

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

功率 MOS FET

应用说明

目录

1. 电特性的意义和活用方法.....	2
2. 功率 MOS FET 的破坏机理和对策.....	12
3. 功率 MOS FET 的应用.....	41

1. 电特性的意义和活用方法

1.1 绝对最大额定值和电特性

1.1.1 绝对最大额定值

功率 MOS FET 的绝对最大额定值的意义如图 1 所示。

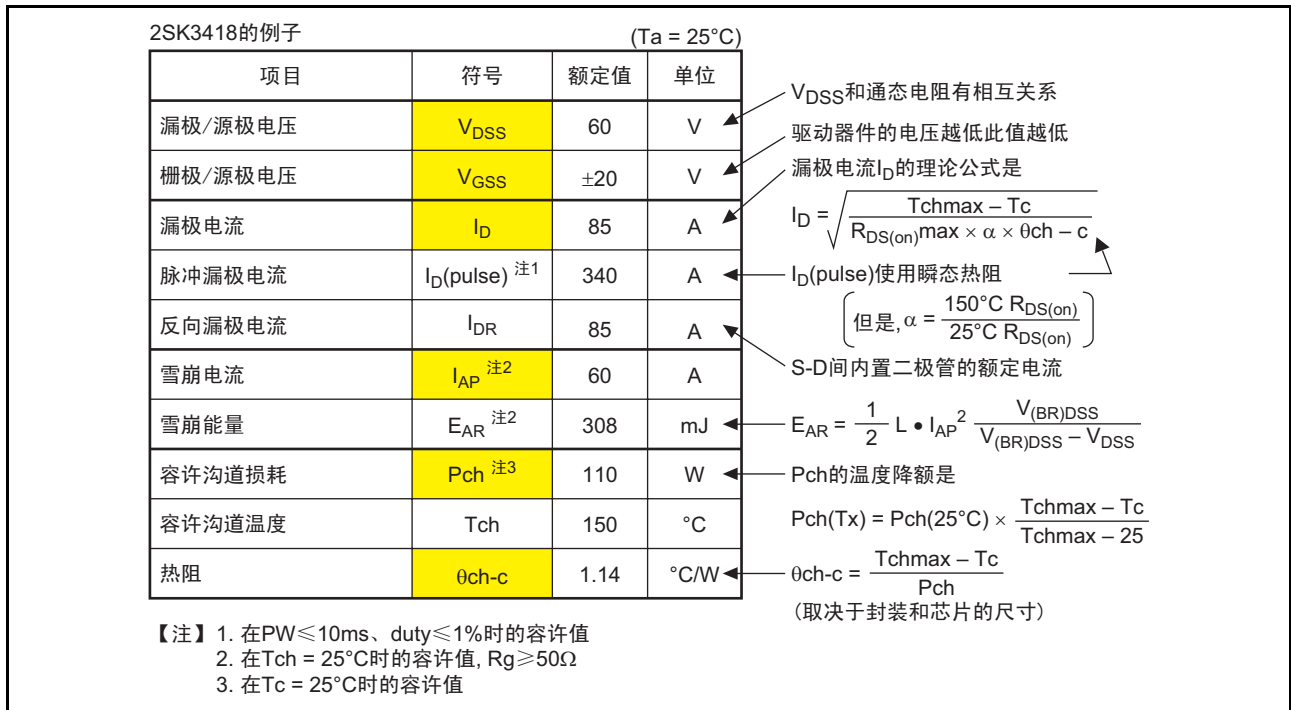


图 1 功率 MOS FET 的绝对最大额定值

1.1.2 电特性

功率MOS FET的电特性意义如表1所示。

表1 功率MOS FET的电特性

(Ta = 25°C)

项目	符号	规格值			测定条件	单位	温度依存	设计上的注意点
		Min	Typ	Max				
漏极/源极破坏电压	$V_{(BR)DSS}$	60	—	—	$I_D=10mA$ 、 $V_{GS}=0$	V	●	和通态电阻相关。
漏极截止电流	I_{DSS}	—	—	10	$V_{DS}=60V$ 、 $V_{GS}=0$	μA	●	温度依存性大，但是损耗小。
栅极截止电流	I_{GSS}	—	—	± 0.1	$V_{GS}=\pm 20V$ 、 $V_{DS}=0$	μA	—	内置保护二极管的产品为几十 nA ~ 几 μA ，规格值为 $\pm 10\mu A$ 。
栅极/源极截止电压	$V_{GS(off)}$	1.0	—	2.5	$V_{DS}=10V$ 、 $I_D=1mA$	V	○	影响开关运行时的噪声和开关时间 t_r 、 t_f 。
正向传输导纳	$ Y_{fs} $	55	90	—	$I_D=45A$ 、 $V_{DS}=10V$	s	○	
漏极/源极通态电阻1	$R_{DS(on)1}$	—	4.3	5.5	$I_D=45A$ 、 $V_{GS}=10V$	$m\Omega$	●	决定通态损耗最重要的参数。 注意：随着温度的上升而上升
漏极/源极通态电阻2	$R_{DS(on)2}$	—	6.0	9.0	$I_D=45A$ 、 $V_{GS}=4V$	$m\Omega$	●	
输入电容	C_{iss}	—	9770	—	$V_{DS}=10V$ 、 $V_{GS}=0$ 、 $f=1MHz$	pF	—	具有 V_{DS} 依存性；是模拟运行时的驱动损耗指标。
输出电容	C_{oss}	—	1340	—		pF	—	具有 V_{DS} 依存性；影响负载轻时的下降时间 t_f 。
反向传输电容	C_{rss}	—	470	—		pF	—	具有 V_{DS} 依存性；影响开关时间 t_r 、 t_f 。
总栅极充电电荷量	Q_g	—	180	—	$V_{DD}=50V$ 、 $V_{GS}=10V$ 、 $I_D=85A$	nC	—	是决定驱动损耗的特性；对栅极驱动电压有很强的依存性。
栅极/源极充电电荷量	Q_{gs}	—	32	—		nC	—	
栅极/漏极（米勒电容）充电电荷量	Q_{gd}	—	36	—		nC	—	是决定开关时间 t_r 、 t_f 的特性；依存电源电压 V_{DD} （随着 V_{DD} 的上升而增大）
接通延迟时间	$t_{d(on)}$	—	53	—	$V_{GS}=10V$ 、 $I_D=45A$ 、 $R_L=0.67\Omega$ 、 $R_g=50\Omega$	ns	—	取决于 R_g 、 Q_{gd} 以及栅极驱动电压；影响变频器用途的接通损耗。
上升时间	t_r	—	320	—		ns	—	
断开延迟时间	$t_{d(off)}$	—	700	—		ns	—	
下降时间	t_f	—	380	—		ns	—	
二极管正向电压	V_{DF}	—	1.0	—	$I_F=85A$ 、 $V_{GS}=0$	V	○	如果给 V_{GS} 外加正向偏压，就变为和通态电阻相同的特性
二极管反向恢复时间	t_{rr}	—	70	—	$I_F=85A$ 、 $V_{GS}=0$ 、 $di/dt=50\mu A/\mu s$	ns	●	降低 di/dt 以抑制短路电流和噪声。

【注】 ●：具有正的温度系数；○：具有负的温度系数。

1.2 通态电阻 $R_{DS(on)}$ 和耐压 V_{DSS} 的关系

耐压 $V_{DSS}=20\sim 100V$ 的额定器件和通态电阻 $R_{DS(on)}$ 的关系如图2所示。在选定器件的耐压时，对于电路运行条件的电源电压 V_{DD} 以及开关断开时产生的电涌电压 $V_{DS(peak)}$ ，在设定时需要一定的容限。因为 V_{DSS} 对于温度具有正温度特性，所以必须考虑使用的最低温度环境条件。

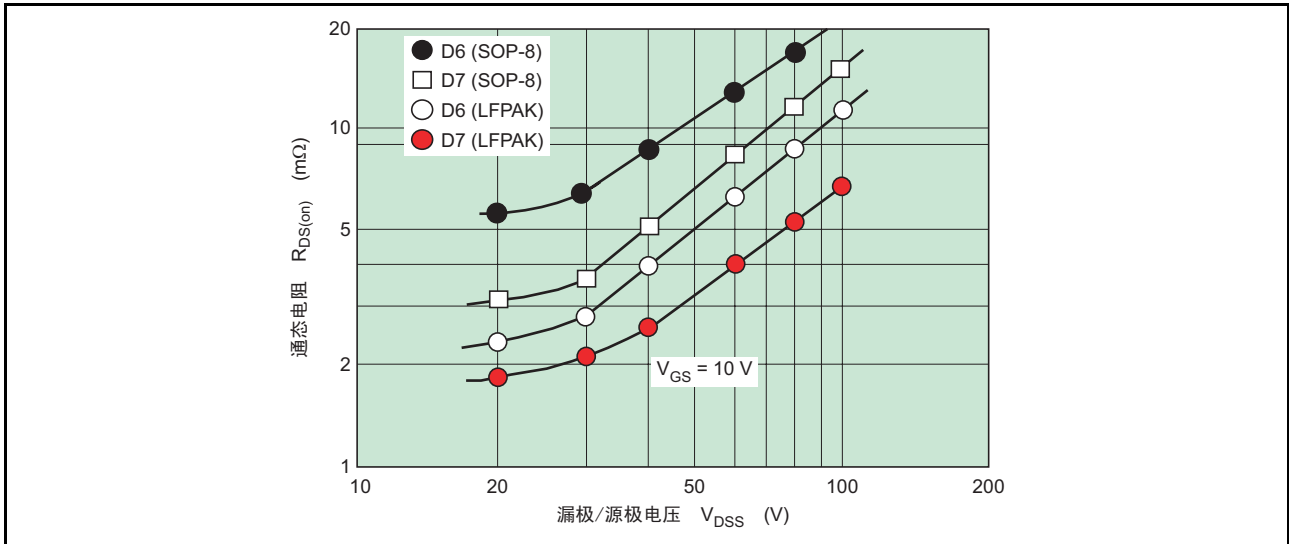


图2 $R_{DS(on)}$ - V_{DSS} 相关图

$V_{(BR)DSS}$ 的温度特性(2SK3418的例子)如图3所示。如果此时取大于所需的耐压容限，就会导致通态电阻增大，正常运行时的损耗也会增大，因此不是上策。最近为了能够尽量减少此容限，实现低损耗，推出能够支持保证雪崩耐量的器件产品。

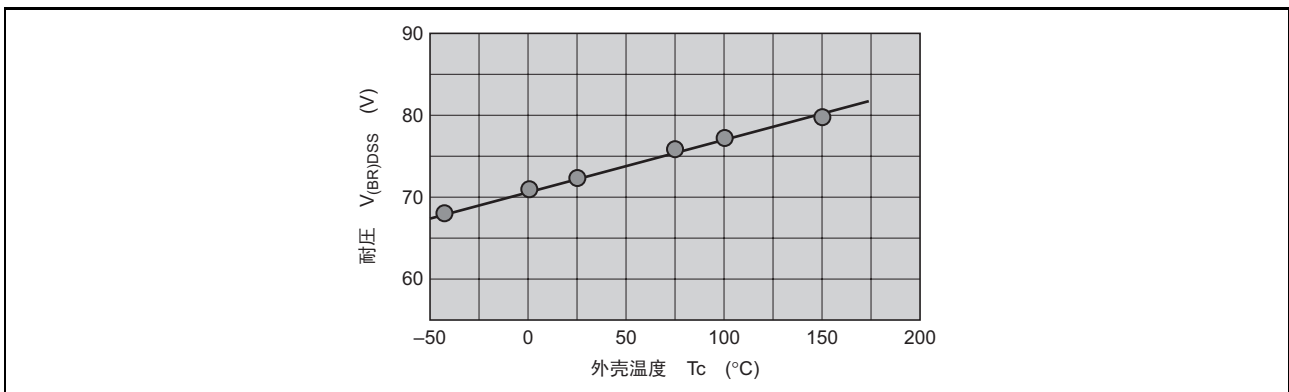


图3 $V_{(BR)DSS}$ - T_c 特性(2SK3418)

1.3 饱和电压 $V_{DS(on)} (=I_D \times R_{DS(on)})$ 的栅极驱动电压依存性

本特性是为了设计在规定的工作电流 I_D 下，外加多少 V 的栅极驱动电压可以达到饱和电压 $V_{DS(on)}$ 区（通态电阻区）的特性曲线。

根据栅极驱动的工作电压，功率 MOS FET 实现 10V 驱动器件、4V 驱动器件、2.5V 驱动（或者 2.5V 以下）器件的产品。作为低电压驱动的方法，一般通过栅极氧化膜的薄化（栅极/源极耐压 V_{GSS} 的额定值变低）来降低 $V_{GS(off)}$ 。

$V_{GS(off)}$ 具有大约 $-5mV/^\circ C$ 左右的负温度系数（如果温度上升 $100^\circ C$ 就降低 0.5V 的特性）。

在选定使用多少 V 的驱动器件时，必须考虑到应用（例如，为了对应开关电源和马达驱动等的噪声，选定 $V_{GS(off)}$ 较高的的 10V 驱动器件）和所使用的栅极驱动 IC、LSI 的规格（保持断开 MOS FET 时的 LOW 电平电压等）。

因此，最近即使在汽车电装产品中，根据使用条件和应用，也有分别使用 4V 驱动器件和 10V 驱动器件的情况。

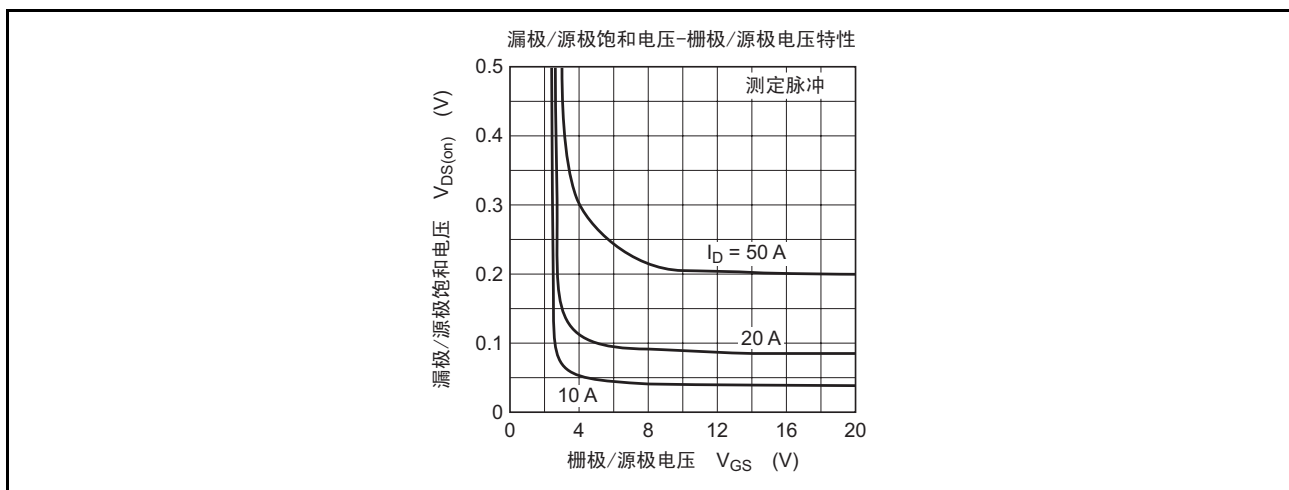


图4 $V_{DS(on)}-V_{GS}$ 特性(2SK3418)

1.3.1 通态电阻 $R_{DS(on)}$ 的温度特性

通态电阻 $R_{DS(on)}$ 的温度依存性如图5所示。功率 MOS FET 的通态电阻 $R_{DS(on)}$ 具有正温度特性。

假设沟道温度额定值 $T_{ch(Max.)} 150^\circ C$ 和室温 $25^\circ C$ 的比率（ $150^\circ C R_{on} / 25^\circ C R_{on}$ ）为 α ，在不超过 100V 的低耐压器件时 α 的值大约为 1.7~1.8，在 500V 高耐压器件时 α 的值大约为 2.4~2.5。另外，如图所示，随着温度的上升， $R_{DS(on)}$ 并不是呈直线上升，而是呈曲线上升。

这就说明假设环境温度 $T_a=100^\circ C$ 时的沟道温度计算结果为 $T_{ch}=130^\circ C$ ，如果当 $T_a=120^\circ C$ （上升 $20^\circ C$ ）时，并不是 T_{ch} 就等于 $150^\circ C$ ，而是上升到大于 $150^\circ C$ 的温度。

因此，如果在像汽车电装产品这样的高温环境下使用的，在进行散热设计时必须充分考虑该温度特性。另外，有关详细内容请参照功率 MOS FET 的散热设计例。

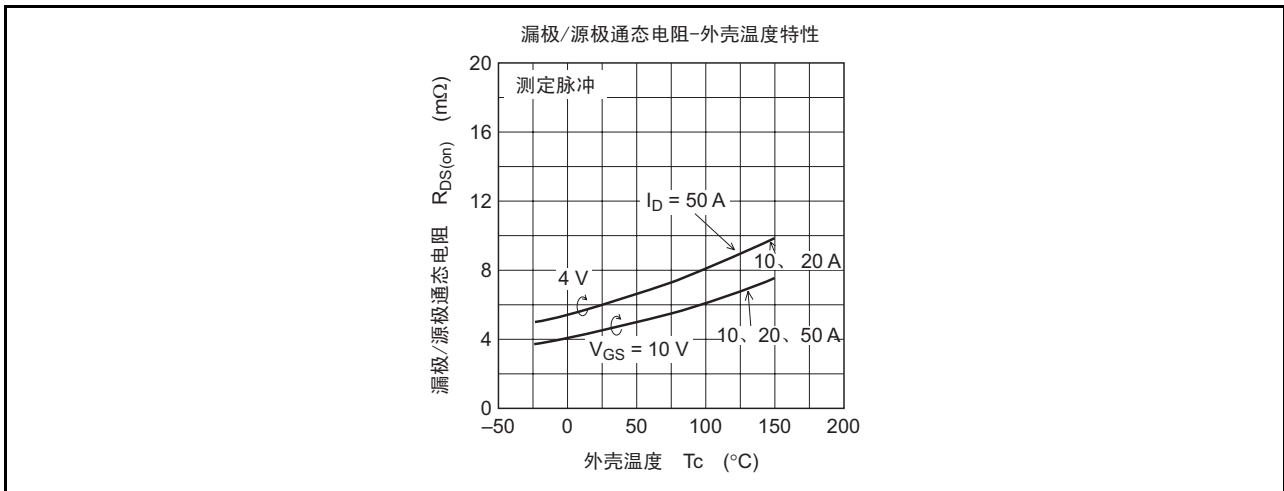


图5 R_{DS(on)}-T_c特性(2SK3418)

1.4 各栅极充电电荷量 Q_g、Q_{gs}、Q_{gd}

到图6(a)中规定的驱动电压 V_{GS}(=XV)的点为总栅极充电电荷量 Q_g。这是为了驱动栅极的栅极峰值电流 i_g(peak)和决定驱动损耗 P(drive loss)的特性参数。

$$i_g(\text{peak}) = Q_g/t \quad \dots\dots\dots(1)$$

$$P(\text{drive loss}) = f \cdot Q_g \cdot V_{GS} \quad \dots\dots\dots(2)$$

Q_{gd}相当于米勒电容 C_{rss}，依存电源电压 V_{DS}。另外是影响开关特性的特性参数。

$$t_f \approx \frac{(R_s + r_g) \cdot Q_{gd}}{V_{GS(\text{on})} - V_{th}} \log \frac{V_{GS(\text{on})}}{V_{th}} \quad \dots\dots\dots(3)$$

支配L负载时的开关损耗的下降时间 t_f如公式(3)所示。Q_g、Q_{gd}是在设计高频工作损耗时的重要项目。在高速运行 (f ≥ 100kHz) 的应用中，如果 Ron · Q_g 和 Ron · Q_{gd} 的积越小，器件的性能就越高。

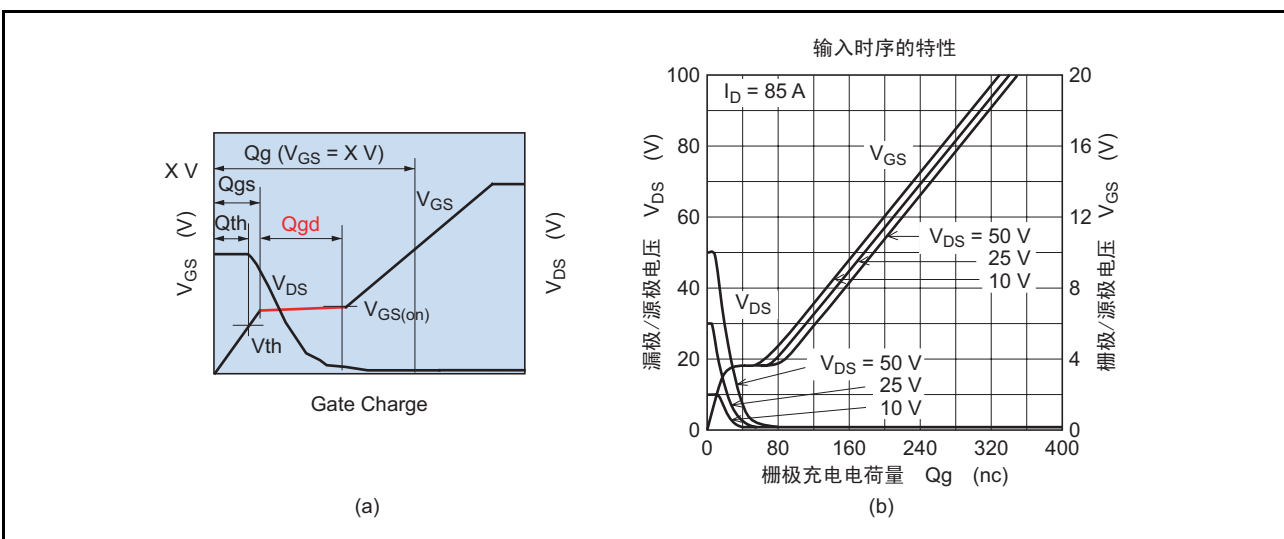


图6 输入时序的特性(2SK3418)

1.4.1 漏极/源极间内置二极管的特性

在功率MOS FET的漏极/源极间内置了寄生二极管。此二极管的额定电流 I_{DR} 值和正向漏极电流额定值 I_D 相同。

此二极管的特性是，当栅极驱动电压为“零”偏压 ($V_{GS}=0$) 时，和通常的二极管的正向电压特性相同；当栅极驱动电压为正偏压 (Nch) 时，如图7所示，能得到即使和SBD（肖特基势垒二极管）相比，也非常低的前向电压。此正向电压（即电压下降值）由和正向相同的通态电阻 $R_{DS(on)}$ 特性 ($V_{SD} = I_d \times R_{DS(on)}$) 决定。

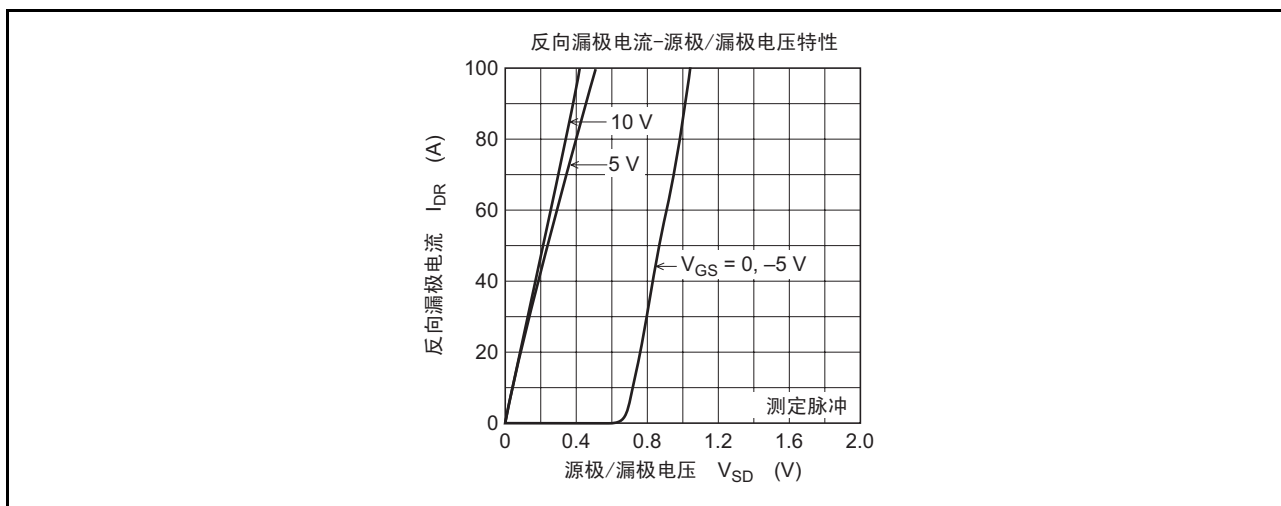


图7 I_{DR} - V_{SD} 特性(2SK3418)

发挥上述反向特性的优点，积极应用于以下用途。

- 防止电池反接的负载开关
- 开关电源(n+1)冗余方式的Hot Swap电路
- 代替马达驱动电路的外接二极管
- 开关电源的二次侧同步整流电路等

1.5 内置二极管的反向恢复时间 t_{rr} 的电流 I_{DR} 特性

在积极使用功率MOS FET内置二极管的马达驱动（电装产品中的动力转向器、起动发电机等）或开关电源的同步整流用途时，要求此反向恢复时间 t_{rr} 为高速。这些用途中，由于在运行时的此 t_{rr} 期间上桥臂/下桥臂短路，导致产生过大的接通损耗。因此，通常的控制电路系统中，设计有在切换上/下器件开关的同时使栅极信号断开的Dead Time（比 t_{rr} 长的期间）。

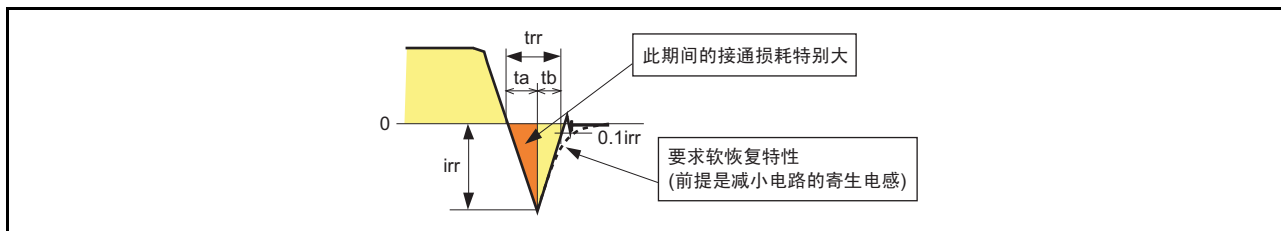


图8 反向恢复时间 t_{rr} 的波形

此反向恢复时间 t_{rr} 有随着温度上升而增大的倾向。另外，恢复时（图8的 t_b 部分）的 di/dt 曲线越陡，就越容易产生噪声，因此要求软恢复特性。根据器件的耐压 t_{rr} 会有很大的不同。在小于等于 60V 的低耐压时， t_{rr} 的值为 40~60ns，速度较高；在耐压为 100V 级别时， t_{rr} 的值为 100ns 左右；在 250~500V 的高耐压级别时， t_{rr} 的值为 300~600ns。因此，在大于等于 250V 的高耐压级别，通过寿命控制技术开发出 100ns 左右的高速产品。

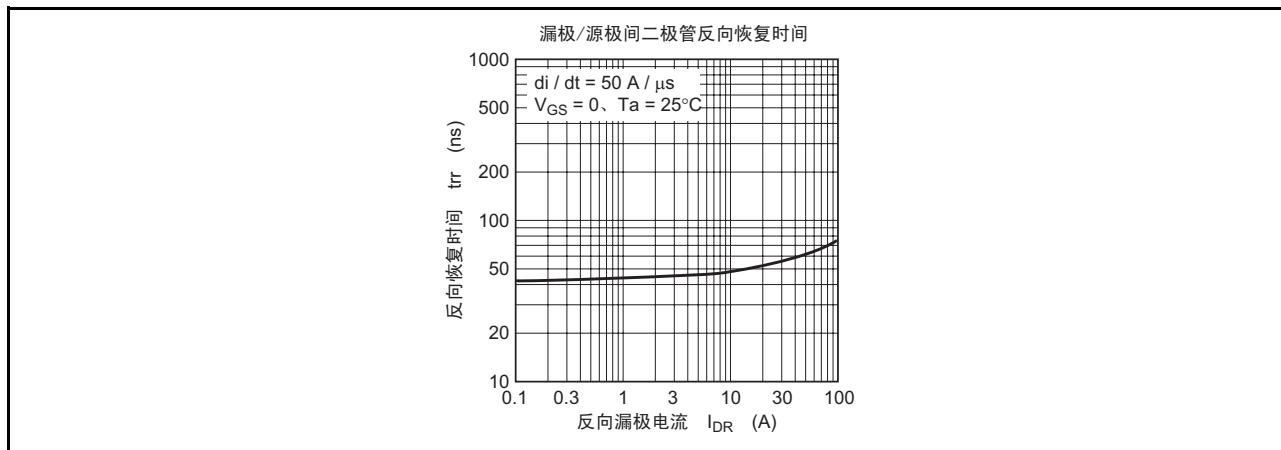


图9 t_{rr} - I_{DR} 特性(2SK3418)

1.6 瞬态热阻 $\theta_{ch-c}(t)$ - 脉宽 PW 特性

$\theta_{ch-c}(t)$ - 脉宽 PW 特性如图 10 所示。此特性是为了计算器件在运行状态时的沟道温度 T_{ch} 。横轴的脉宽 PW 表示运行时间，记载 1 shot single Pulse（单触发脉冲）和反复运行的条件。

例如，如果 $PW=1ms$ 、 $D=0.2$ (Duty Cycle=20%)，就说明反复频率为 200Hz（反复周期 $T=5ms$ ）。

通常，设 Duty Cycle=20% ($D=0.2$)、 $PW=10ms$ 时的功耗 $P_d=60W$ ，通过以下的计算公式可以算出上升的沟道温度 ΔT_{ch} 。但是因为会产生下述的误差，因此应当使用瞬态热阻特性。

$$T_{ch} = (0.2 \times P_d) \times \theta_{ch-c} = (0.2 \times 60) \times 1.14 = 13.7 \text{ } ^\circ\text{C}$$

如果使用瞬态热阻（如下所示），就发现产生 16.5 $^\circ\text{C}$ （和上式相减）的误差。

$$T_{ch} = P_d \times \theta_{ch-c}(t) = 60 \times 0.44 \times 1.14 = 30.2 \text{ } ^\circ\text{C}$$

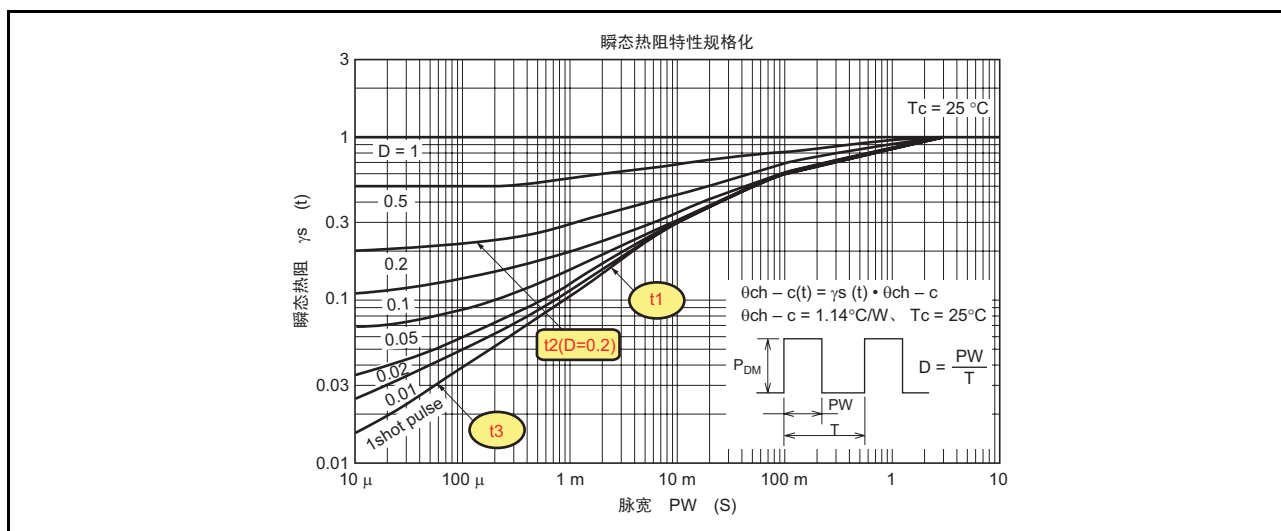


图10 $\theta_{ch-c}(t)$ - 脉宽 PW 特性(2SK3418)

使用瞬态热阻计算沟道温度Tch的计算例子(2SK3418)如下所示。

• [例1]

假设是外壳温度Tc=85°C、峰值功率Pd(peak)1=50W、外加时间ts=10ms、单触发脉冲的情况，沟道温度Tch为：

$$Tch1 = Tc + (Pd(peak)1) \times \theta_{ch-c}(t1) = 85 + (50 \times 0.3 \times 1.14) = 102.1^\circ C$$

• [例2]

假设是外壳温度Tc=85°C、工作频率f=2kHz、Duty Cycle=20%的反复运行、外加功率Pd(peak)2=50W的情况，沟道温度Tch为：

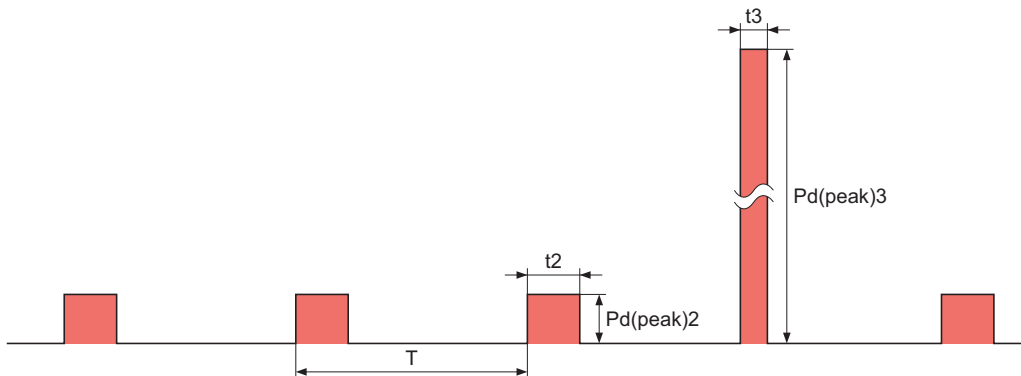
通过上述运行得出外加时间t2=100μs、反复周期T=500μs、D=t2/T=0.2，所以

$$Tch2 = Tc + (Pd(peak)2) \times \theta_{ch-c}(t2/T) = 85 + 50 \times 0.22 \times 1.14 = 97.54^\circ C$$

• [例3]

在[例2]的运行中，如果在其他电路控制系统中再外加t3为60μs的500W峰值功率Pd(peak)3时，峰值沟道温度Tch(peak)为：

$$\begin{aligned} Tch2 &= Tc + (Pd(peak)2) \times \theta_{ch-c}(t2/T) + \{(Pd(peak)3 - Pd(peak)2) \times t3/T\} \times \theta_{ch-c}(t3) \\ &= 85 + (50 \times 0.22 \times 1.14) + (500 - 50 \times 0.2) \times 0.031 \times 1.14 \\ &= 85 + 12.54 + 17.32 \\ &= 114.86^\circ C \end{aligned}$$



1.7 安全工作区域 ASO

1.7.1 安全工作区域 ASO(Area of Safe Operation) 图

2SK3418的安全工作区域ASO图如图11所示。

ASO限制区域分为以下5区。

①区是受最大额定电流 I_{DC} 、 $I_{D(pulse)max}$ 限制的区域。

②区是受通态电阻 $R_{DS(on)max}$ 理论限制的区域 $[I_D = V_{DS}/R_{DS(on)}]$ 。通常和 ASO 区域分开的情况较多。

③区是受沟道损耗限制的区域。

④区是在连续运行或脉宽较长（至少几ms）的运行条件下可见到的和双极晶体管相同的二次击穿区域。这是因为在该小电流区的输出传输特性（ V_{gs} - I_d 特性）为负温度特性，所以在相同外加功率线上，工作电压越高，工作电流就应当越小。如果变为正温度特性的大电流区，此现象就会消失。使温度特性由负转正的电流值因各产品而异，在数安培以下的产品中此现象不容易产生，也就是通常所说的在没有二次击穿的不同功率线上可以得到保证。

⑤区是受耐压 V_{DSSmax} 限制的区域。

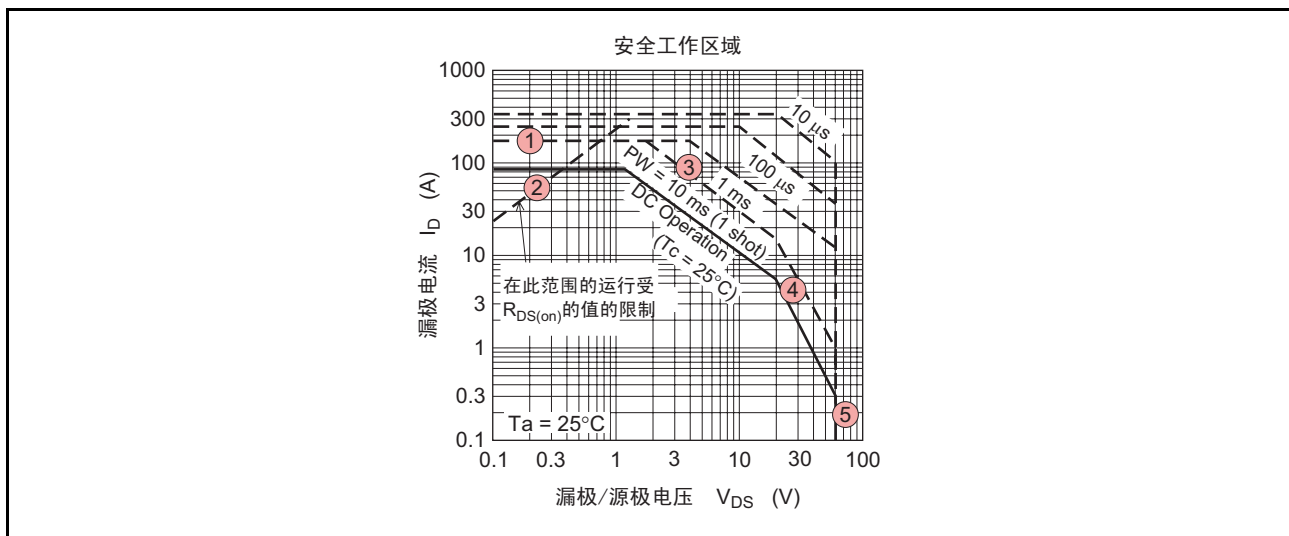


图 11 ASO图(2SK3418)

1.7.2 电路控制系统中ASO的注意事项

功率 MOS FET 一般应用于开关，因此在正常运行中通常使用②限制区。在电路设计上必须注意控制系统的顺序。

截止系统源极电源时的终端电子电路的电源电压和栅极驱动电压的顺序例如图 12 所示。如图中的实线所示，因为如果到断开电源电压 V_{DD} 的下降时间长于栅极驱动电压 V_{GS} 的下降时间时， V_{GS} 在图中的 t_1 期间内不能充分驱动，且进入 ASO 限制区④或区⑤，所以有必要确认是否在安全区域内。另外为了避免这样的工作区域，如虚线所示，可使用通过控制顺序使栅极驱动电压 V_{GS} 的下降时间迟于电源电压 V_{DD} 的下降时间的有效方法。

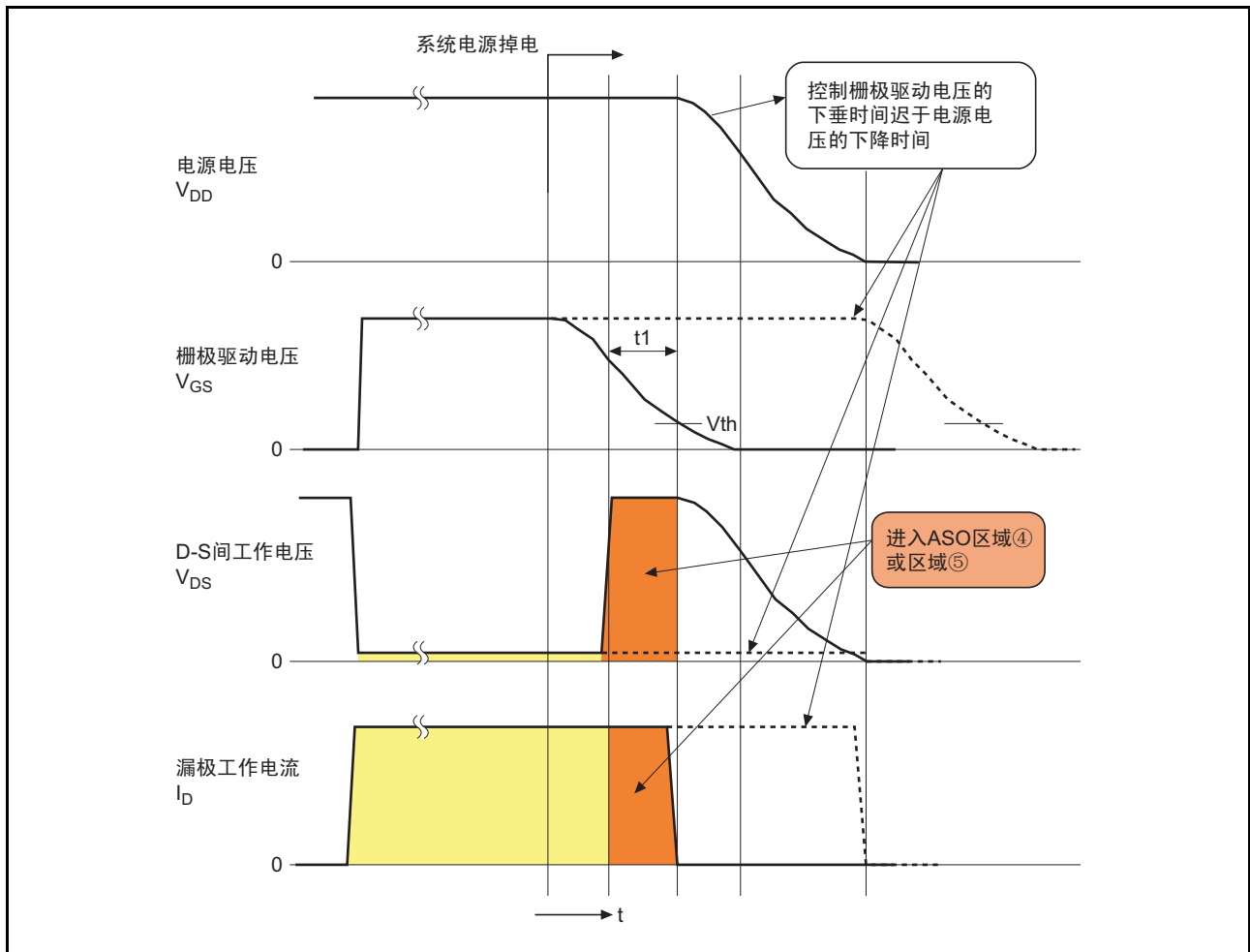


图 12 终端电子电路的电源电压和栅极驱动电压的顺序例

2. 功率MOS FET的破坏机理和对策

功率MOS FET较多的应用在电子设备应用电路的终端输出电路，并且可以在各种运行条件下使用，因此器件常常会在电路设计者想象不到的地方发生破坏，有时还需要面对这些问题。

本章的目的是，为了熟练使用功率MOS FET，在掌握其破坏机理等知识后再进行电子电路的设计，并且在设计完成后的量产中和市场上也尽量不发生发热或破坏等故障。

2.1 有关功率MOS FET的应用领域和破坏模式的关联性

2.1.1 功率MOS FET的主要应用领域和破坏模式的关联性

功率MOS FET的主要应用领域和破坏模式的关联性如表2所示。功率MOS FET的破坏模式大致可以分为以下5种。

表2 功率MOS FET的应用领域和破坏模式的关联性

破坏模式	应用	开关电源							汽车(电装)		马达驱动		音频放大器	
		AC/DC (OA、服务器)				DC-DC转换器	同步整流	UPS (DC-AC)	工作机(放电加工机)	马达	电磁阀螺线管	低耐压		高耐压
		单端正激式	谐振式	电桥电路	大输出并联									
1 雪崩破坏		◎	◎	◎	◎	◎	○	○	◎	○	◎	○	◎	—
2 ASO破坏	正向偏压ASO	—	—	—	—	—	—	—	—	—	—	—	—	◎
	损耗↓ 发热													
	负载短路ASO (上下桥臂短路)	—	○	○	—	—	○	◎	—	○	—	○	◎	—
	R _{DS(on)}	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	—
	开关	◎	◎	○	○	◎	◎	◎	◎	○	○	◎	○	—
	内置Di trr	—	◎	○	—	—	◎	◎	—	○	—	○	◎	—
3 内置二极管破坏		—	○	○	—	—	○	◎	—	○	—	○	◎	—
4 因并联运行时寄生振荡导致的破坏		—	—	○	◎	—	—	○	◎	—	—	—	—	◎
5 栅机电涌、静电破坏		注意操作（包括安装设备的带电等）静电、向电路外加的外部电涌												

1. 雪崩破坏

如果在漏极-源极间外加超出器件额定V_{DSS}的电涌电压，而且达到击穿电压V_{(BR)DSS}（根据击穿电流其值不同），并超出一定的能量后就发生破坏的现象。其破坏能量根据各产品以及运行条件的不同而不同。

2. ASO(Area of Safe Opration)破坏

超出作为器件最大额定值的漏极电流I_d、漏极源极电压V_{DSS}、容许沟道损耗P_{th(W)}，即大多数的破坏是由超出安全区域引起发热而导致的。发热的原因分为连续性原因和过度性原因两种。

a. 连续性原因：由DCASO（因外加直流功率而导致的损耗）引起的发热

通态电阻R_{DS(on)}损耗（高温时R_{DS(on)}增大）

由泄露电流I_{DSS}引起的损耗（和其他损耗相比极小）

b. 过度性原因：脉冲ASO（外加单触发电涌）

负载短路ASO

开关损耗（接通、断开）*

内置二极管的trr损耗（上下桥臂短路损耗）*

以上所有都具有温度依存性。*表示还依存工作频率f。

3. 内置二极管破坏
在源极/漏极间构成的寄生二极管运行时，由于在反向返回时功率MOS FET的寄生双极晶体管运行，导致此二极管破坏的模式（详细内容参照2.4 内置二极管破坏）。
4. 由寄生振荡导致的破坏
此破坏方式在并联时尤其容易发生（详细内容参照2.5 由寄生振荡引起的破坏和2.6 并联时的注意事项）。
5. 栅极电涌、静电破坏
主要有因在栅极和源极之间外加外部电路的电涌而导致的破坏，即栅极过电压破坏和由操作中产生的静电（包括安装和测定设备的带电）而导致的栅极破坏，即ESD(Electro Static Discharge)。

表2说明以上5点破坏模式在各应用设备和具体应用中的重要性，同时在设计电路和选定器件时，如果事先进行充分考虑，就是回避各种故障的有效方法。

从上述观点看，考虑时有以下注意点。

2.1.2 功率MOS FET的应用和工作范围

MOS FET应用在何种工作条件下如图13所示。其中用参数表示工作频率和负载电感值L。

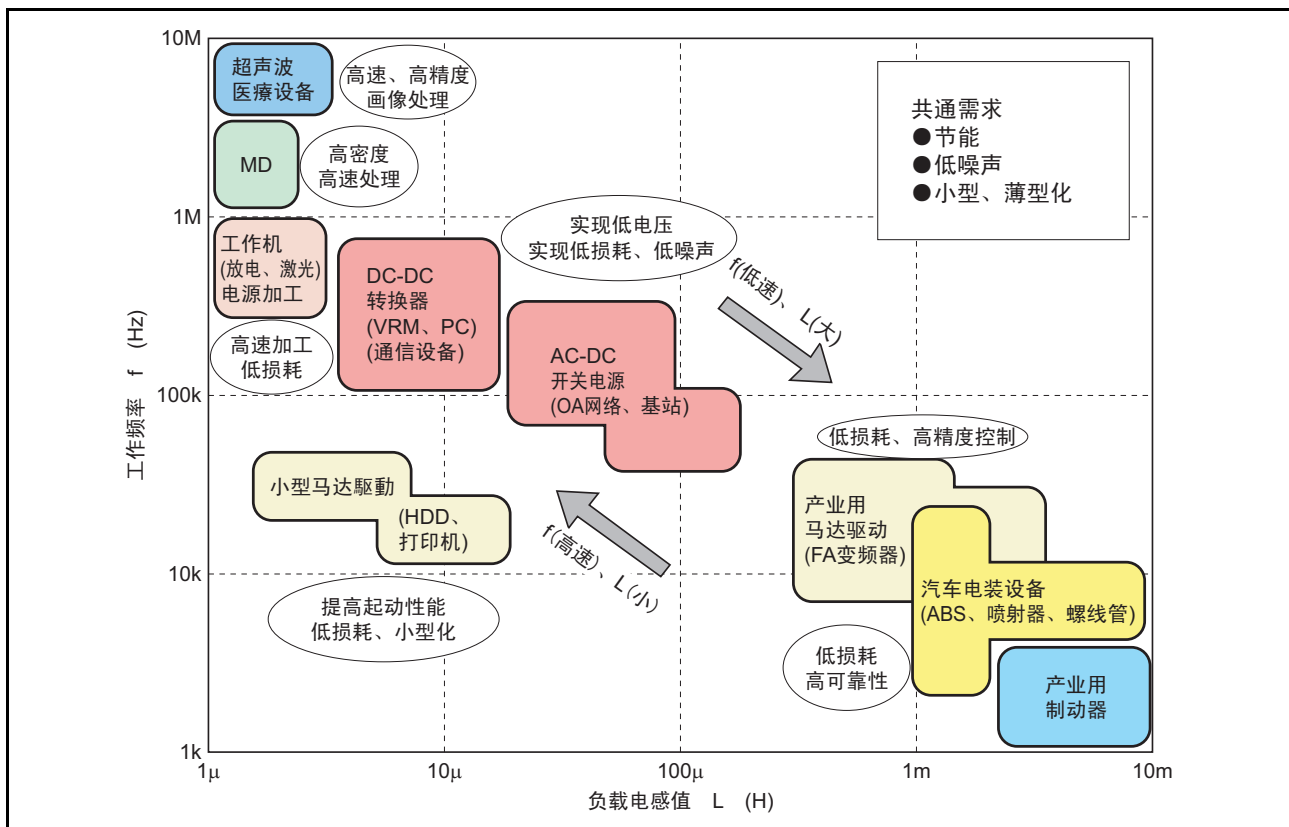


图13 功率MOS FET的应用

市场需求①节能、②低噪声（支持环境）、③小型、薄型化的产品。

需求的功率MOS FET特性根据领域和应用的不同，所以被重视的特性和规格当然也就不同。

因此，最近市场需求根据各应用而特别生产的产品。

2.1.3 功率MOS FET的结构

N沟道功率MOS FET的芯片照片和结构如图14所示。

N沟道功率MOS FET的芯片结构是在内部并联多个单元（如图所示）。如单元的扩大图所示，电流从漏极流到源极（P沟道的情况和此相反）。

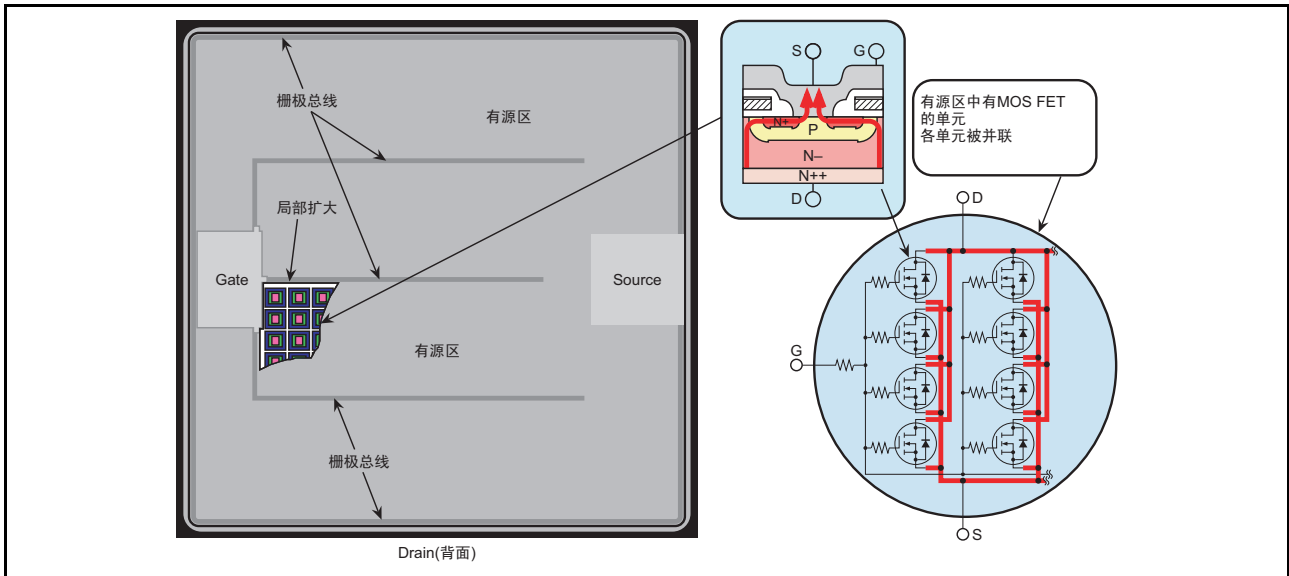


图14 N沟道功率MOS FET的芯片和结构

N沟道功率MOS FET的截面结构（内置栅极保护二极管）如图15所示。

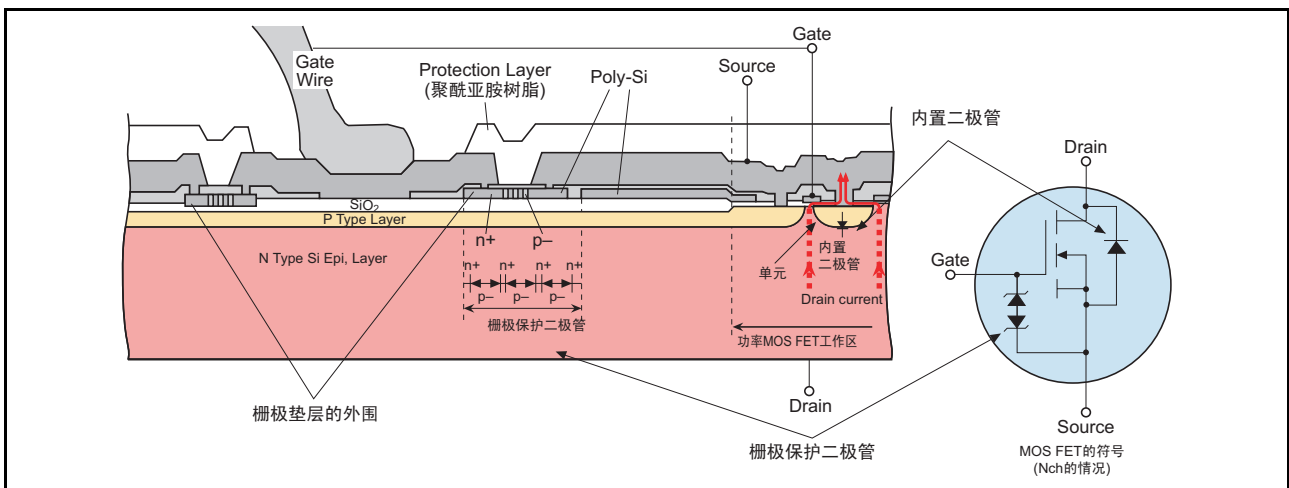


图15 N沟道功率MOS FET的截面结构（内置栅极保护二极管）

高耐压功率 MOS FET(2SK1522)的输出静态特性和二极管特性如图 16 所示。在功率 MOS FET 应用于监视器驱动和 UPS（不间断供电电源）等时，可以积极使用此二极管特性。另外一般 MOS FET 的平面结构的单元截面结构及其等效电路图如图 16 所示。功率 MOS FET 的结构由并联漏极和栅极间的寄生双极晶体管构成。此晶体管在过渡时运行，因此为了不影响 MOS FET 的破坏耐量必须设法减小了 Rb。

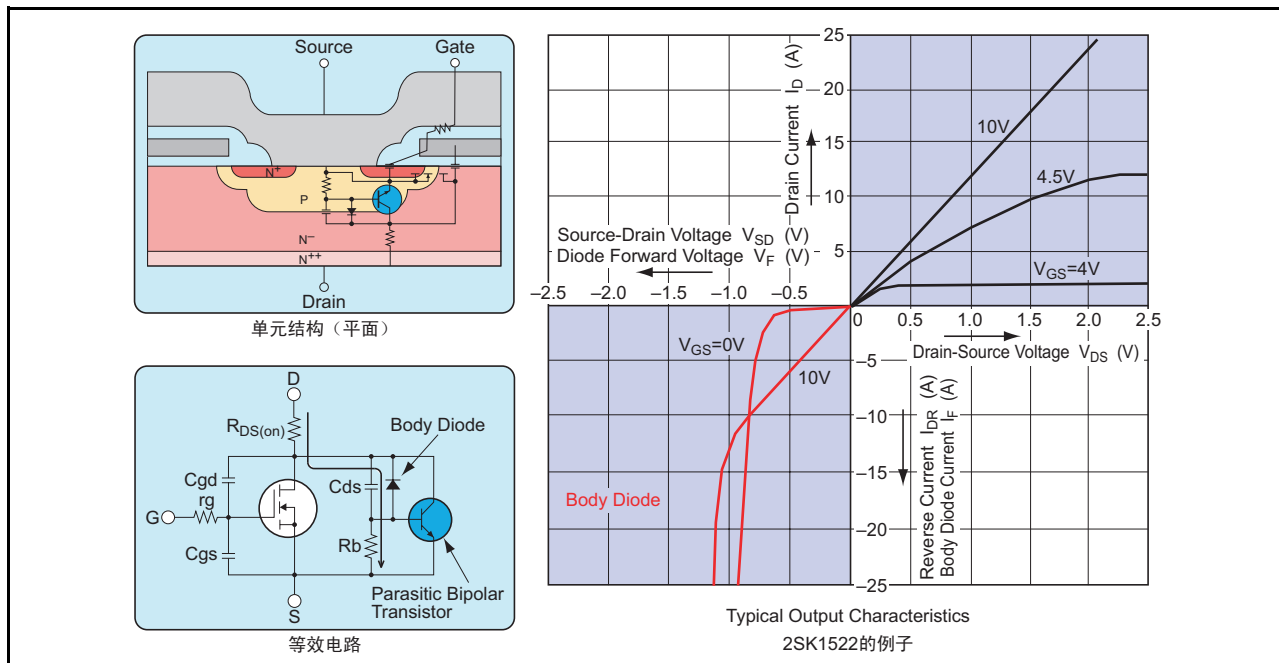


图 16 输出静态特性和二极管特性（高耐压）

低耐压功率 MOS FET(HAT2064R)的输出静态特性和二极管特性如图 17 所示。因为低耐压功率 MOS FET 实现了低于几个 mΩ 数量级的超低通态电阻特性，比整流肖特基势垒二极管 (SBD) 的低 V_F 器件 ($V_F=0.4 \sim 0.5V$) 还要小很多，因此以提高低电压电源 ($V_{out} \leq 3.3V$) 效率为目的，作为 MOS 同步整流器件采用的情况正在扩大。

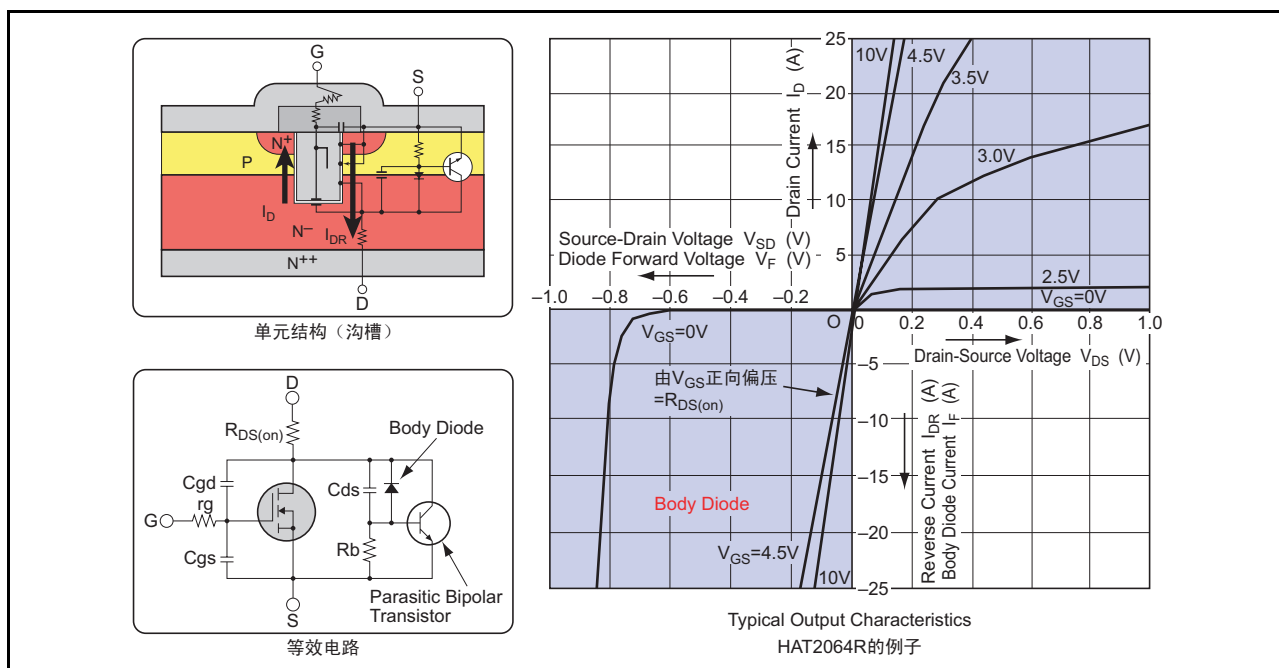


图 17 输出静态特性和二极管特性（低耐压）

2.2 雪崩破坏

2.2.1 什么是雪崩破坏

雪崩破坏是指在介质负载的开关运行断开时产生的回扫电压，或者由漏磁电感产生的尖峰电压超出功率 MOS FET 的漏极额定耐压并进入击穿区而导致破坏的模式。

2.2.2 雪崩破坏耐量测定电路和波形

雪崩破坏耐量的标准测定电路 (a) 及其运行波形 (b) 如图 18 所示。

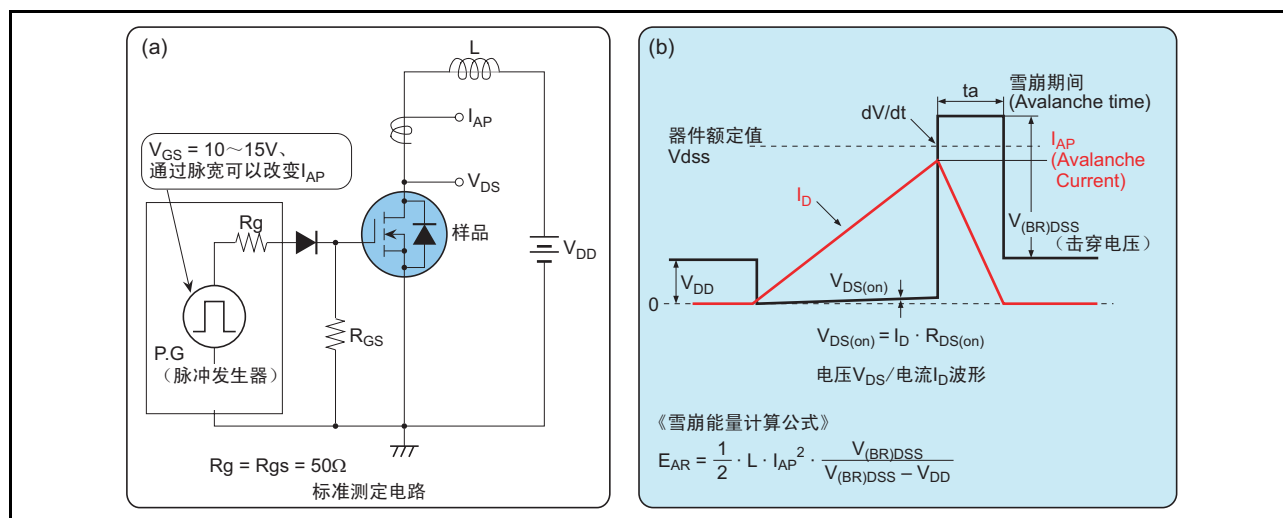


图 18 雪崩破坏耐量测定电路和波形

将 (b) 波形中的期间 t_a 定义为雪崩期间。漏极/源极峰值电压 $V_{ds(p)}$ 的范围为 $V_{DSS} \leq V_{ds(p)} < V_{(BR)DSS}$ ，即超过额定电压但还未达到雪崩击穿的区域。实际上在这样的运行区域，根据器件的实力耐压 $V_{(BR)DSS}$ ，有可能进入雪崩区的器件和未进入雪崩区的器件，因此推荐选择保证雪崩耐量的产品。保证雪崩耐量的产品在如 (a) 所示的标准电路中全数执行筛选。另外保证雪崩耐量的产品规定了雪崩电流的额定值 $I_{AP}(A)$ 、雪崩能量值 $E_{AR}(J)$ 。通过 (1) 式可以计算 E_{AR} 。

$$E_{AR} = P_d \cdot t = \frac{1}{2} V_{(BR)DSS} \cdot I_{AP} \cdot t_a = \frac{1}{2} \cdot L \cdot I_{AP}^2 \cdot \frac{V_{(BR)DSS}}{V_{(BR)DSS} - V_{DD}} \quad (J) \dots\dots(1)$$

雪崩运行状态中的沟道峰值温度 $T_{ch(peak)}$ 必须在额定沟道温度 $T_{ch} \leq 150^\circ C$ 内。该沟道温度的计算例子另外进行说明。

2.2.3 雪崩能量的计算方法

雪崩试验等效电路如图19所示。

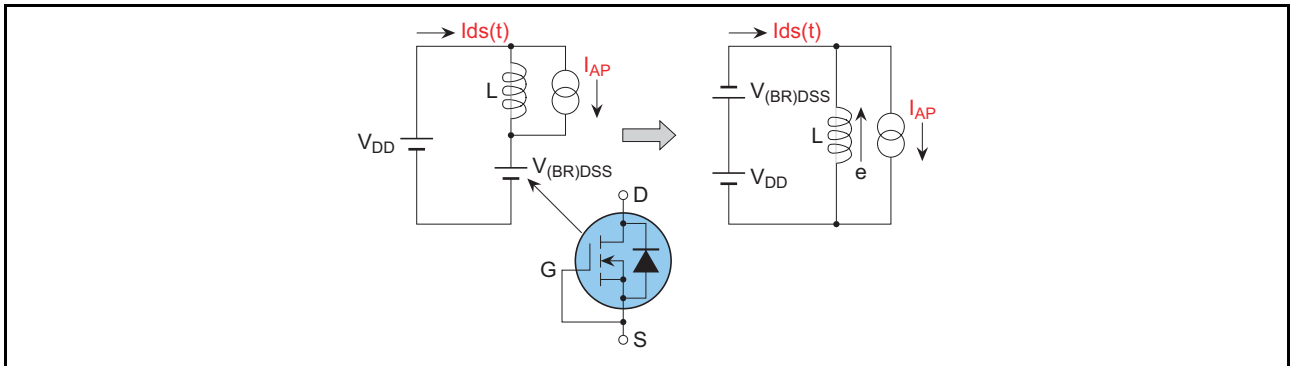


图19 雪崩试验等效电路

在图19的等效电路中，雪崩能量 E_{AR} 可通过(1)式表示。

$$E_{AR} = \int_0^{t_a} V_{ds}(t) \cdot I_d(t) dt \quad \dots\dots\dots(1)$$

$V_{ds}(t)$ 、 $I_d(t)$ 分别为：

$$V_{ds}(t) = V_{(BR)DSS} \quad \dots\dots\dots(2)$$

$$I_d(t) = I_{AP} - \frac{I_{AP}}{t_a} t \quad \dots\dots\dots(3)$$

$$t_a = \frac{L \cdot I_{AP}}{V_{(BR)DSS} - V_{DD}} \quad \dots\dots\dots(4)$$

将(2)、(3)式代入(1)式，得出：

$$\begin{aligned} E_{AR} &= \int_0^{t_a} V_{(BR)DSS} \left(I_{AP} - \frac{I_{AP}}{t_a} t \right) dt = \int_0^{t_a} \left(V_{(BR)DSS} \cdot I_{AP} - \frac{V_{(BR)DSS} \cdot I_{AP} \cdot t}{t_a} \right) dt \\ &= \left[V_{(BR)DSS} \cdot I_{AP} \cdot t - \frac{V_{(BR)DSS} \cdot I_{AP} \cdot t^2}{2t_a} \right]_0^{t_a} = \frac{1}{2} \cdot V_{(BR)DSS} \cdot I_{AP} \cdot t_a \end{aligned}$$

将(4)式代入上式，得出：

$$\therefore E_{AR} = \frac{1}{2} \cdot L \cdot I_{AP}^2 \cdot \frac{V_{(BR)DSS}}{V_{(BR)DSS} - V_{DD}}$$

2.2.4 雪崩破坏主要原因的区分

影响雪崩破坏耐量值的主要原因有如图20中所示的3种。

1. 受漏极电流 I_D 额定值的限制
2. 受超过雪崩时的沟道温度限制
3. 由于 dV/dt (图18(b)) 使破坏耐量降低

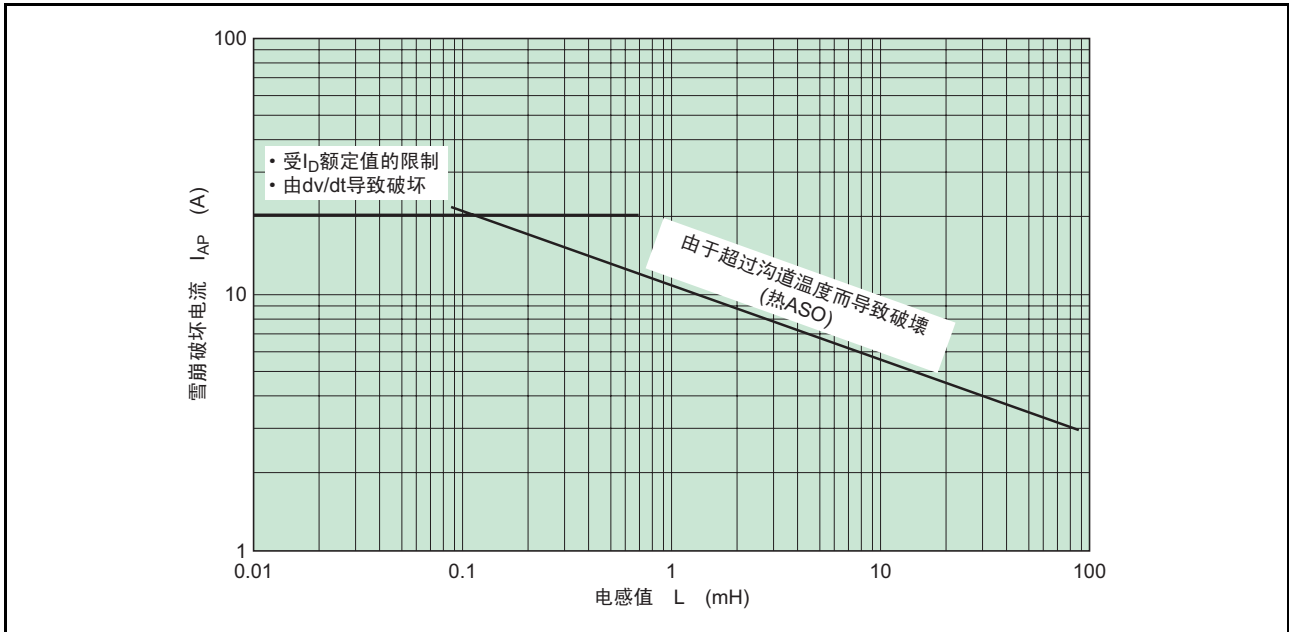


图20 雪崩破坏主要原因的区分

2.2.5 雪崩破坏电流和能量值

高耐压为500V级别的器件和低耐压为60V级别的器件的雪崩破坏电流 I_{AP} 以及雪崩破坏能量 E_{AR} ，根据电感值 L 进行实际测量后的数据分别如图21和图22所示。随着电感值 L 的增大破坏电流 I_{AP} 降低，破坏能量 E_{AR} 的值增大。因此在判断雪崩耐量强弱时，必须考虑电流值 I_{AP} 和能量值 E_{AR} 。通常认为电感值 L 小且破坏能量值 E_{AR} 大的器件就是雪崩耐量强的器件。

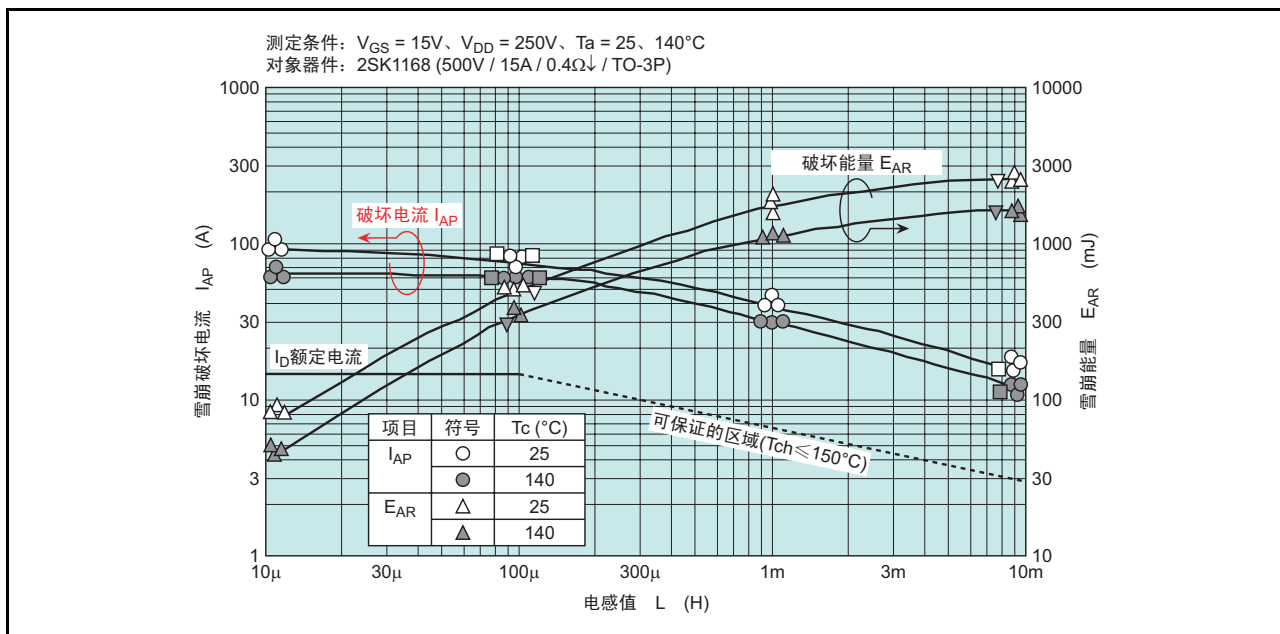


图21 雪崩破坏电流和能量值（高耐压）

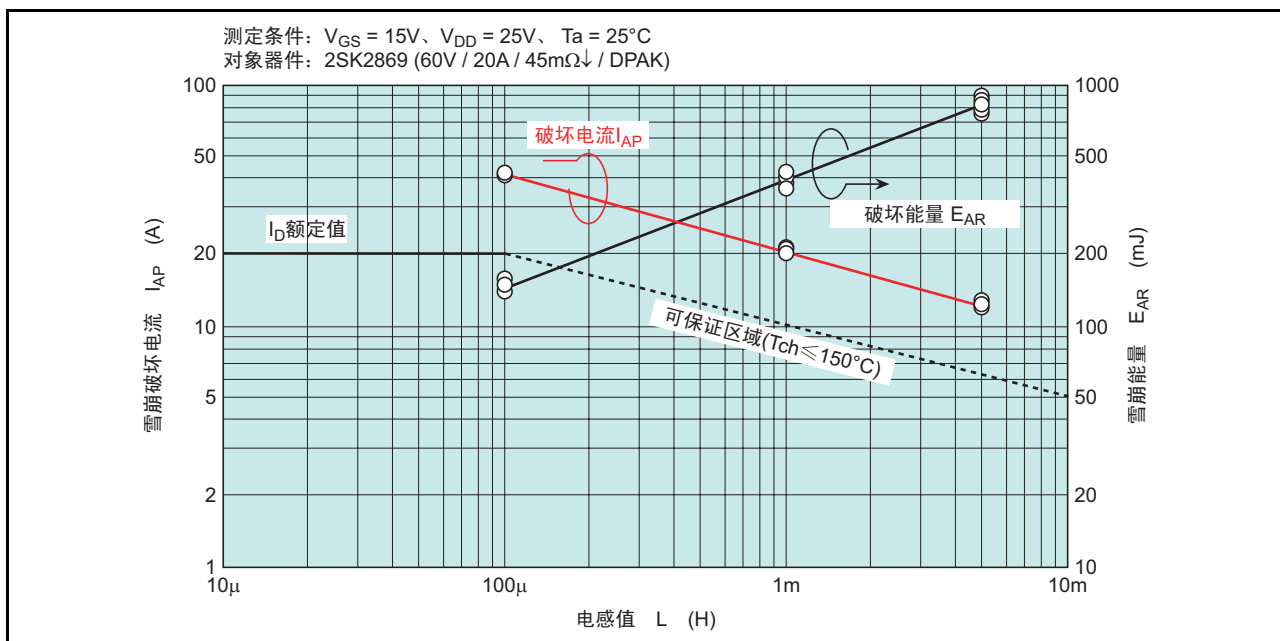


图22 雪崩破坏电流和能量值（低耐压）

2.2.6 雪崩破坏电流和dV/dt耐量

以下说明第3种主要原因dV/dt和雪崩破坏耐量的关系。雪崩破坏电流 I_{AP} 的dV/dt耐量依存性的实际测量值如图23所示。如在图16的结构中所述，功率MOS FET在漏极和源极间形成寄生双极晶体管，如果dV/dt变陡，就通过电容 C_{ds} 流入过渡的电流，因为接通该晶体管导致破坏耐量降低。在图23的例中，可以认为在 $dV/dt \leq 10V/\mu s$ 时为安全区域。此值根据各器件而不同。

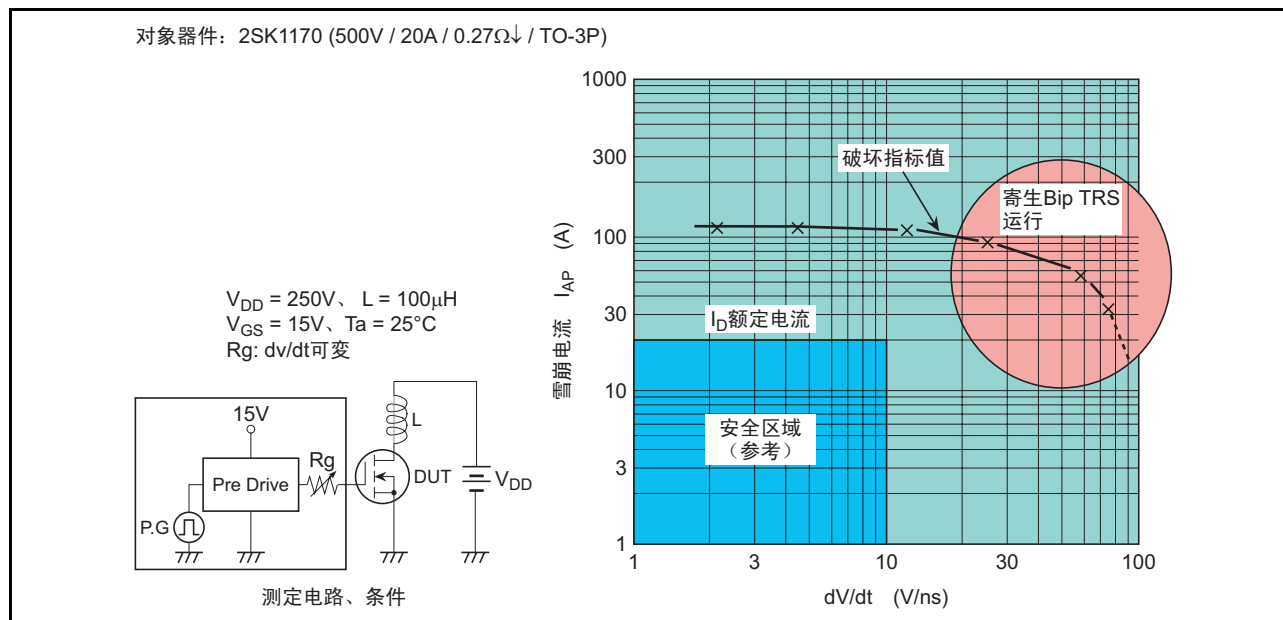


图23 雪崩破坏电流和dV/dt耐量

2.2.7 判断保证雪崩耐量产品的简单方法

以下说明判断保证雪崩耐量产品的简单方法。以对象器件2SK2869(60V/20A、45mΩ↓、DPAK封装)的保证雪崩耐量产品为例，根据图24所示的雪崩运行波形（单触发期间）进行说明。

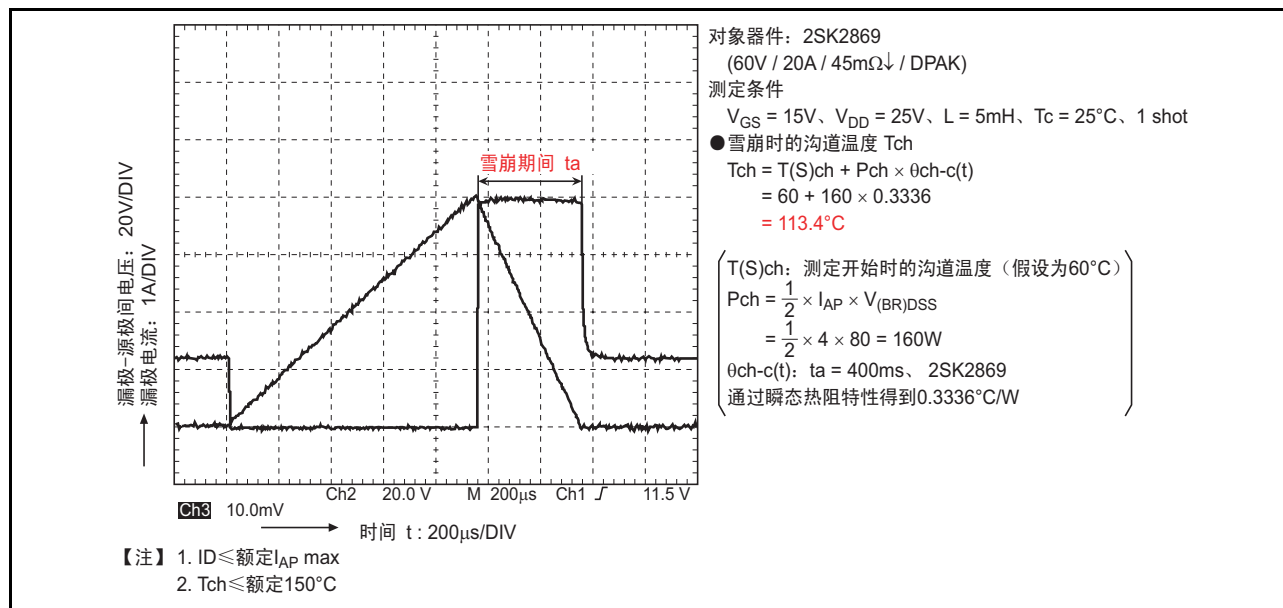


图24 雪崩期间和漏极/源极间电压（漏极电流）

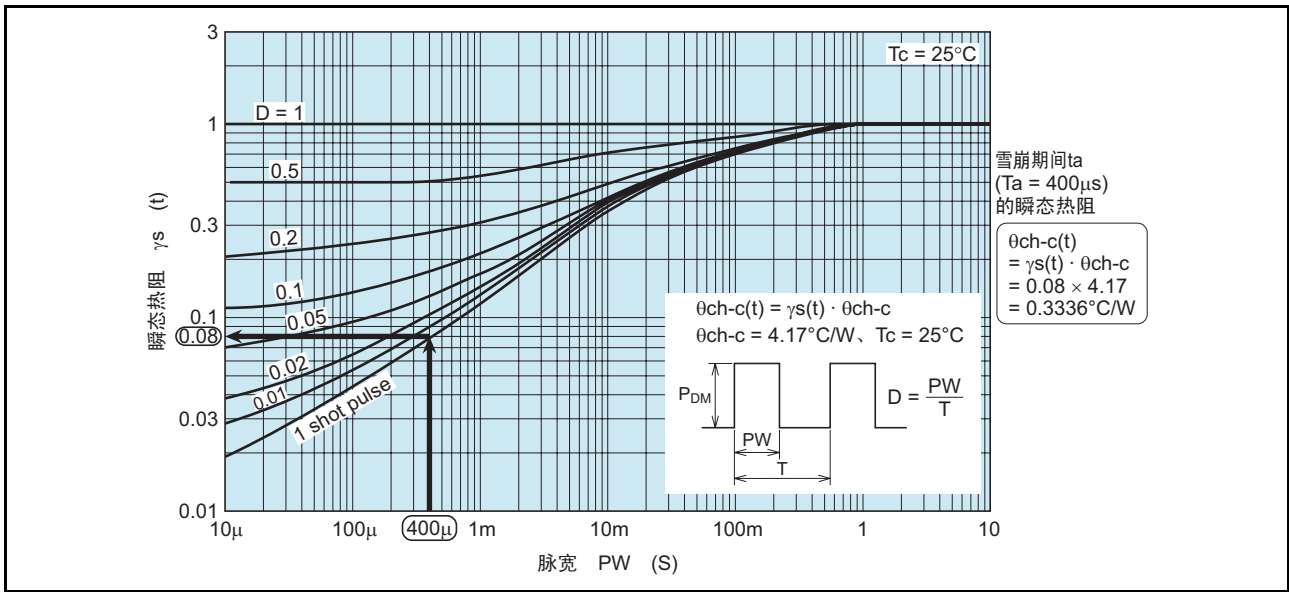


图 25 2SK2869瞬态热阻特性（数据表）

假设雪崩运行前（由于通态电阻 $R_{DS(on)}$ 和开关损耗引起的沟道温度上升）开始时的沟道温度 $T(s)ch=60^{\circ}C$ ，进行试算。且 dV/dt 在安全区域。因此确认以下2处检查点。

1. 雪崩电流 I_{AP} 是否在雪崩保证电流额定值 I_{APmax} 内。
（2SK2869的雪崩保证电流 I_{AP} ，在 $L=5mH$ 时， $I_{APmax}=6.2A$ （参照图22））
2. 雪崩运行时的沟道温度 Tch 是否满足 $Tchmax \leq 150^{\circ}C$ 的条件。
首先(1)中的雪崩电流 I_{AP} 可通过波形得出 $I_{AP}=4A$ ，因此可以确认雪崩额定电流满足 $I_{APmax} \leq 6.2A$ 。
然后(2)中的雪崩运行时的沟道温度 Tch 可通过(1)式表示：

$$Tch = T(s)ch + Pch \times \theta_{ch-c}(t)$$

$$= T(s)ch + \left(\frac{1}{2} \times I_{AP} \times V_{(BR)DSS} \right) \times \theta_{ch-c}(t) \dots\dots\dots(1)$$

此处的 $\theta_{ch-c}(t)$ 为瞬态热阻，通过图25中的2SK2869数据表的瞬态热阻特性进行计算。雪崩运行期间 $t_a=400\mu s$ 时的 $\theta_{ch-c}(t=400\mu s)$ 可通过图表按照以下的方法进行计算。

$$\theta_{ch-c}(t = 400\mu s) = \gamma(t) \times \theta_{ch-c}$$

$$= 0.08 \times 4.17$$

$$= 0.3336^{\circ}C/W$$

因此将各数值代入(1)式求沟道温度 Tch ：

$$Tch = T(s)ch + \left(\frac{1}{2} \times I_{AP} \times V_{(BR)DSS} \right) \times \theta_{ch-c}(t)$$

$$= 60 + \left(\frac{1}{2} \times 4 \times 80 \right) \times 0.3336$$

$$= 113.4^{\circ}C$$

由上可确认满足 $Tchmax \leq 150^{\circ}C$ 的额定条件。

所以判断在雪崩保证范围内。

另外如果牵扯其他更复杂的条件或因素时，需要个别对应。

2.2.8 雪崩破坏的对策方法

雪崩破坏的对策方法（抑制电涌电压的方法）如图26所示。

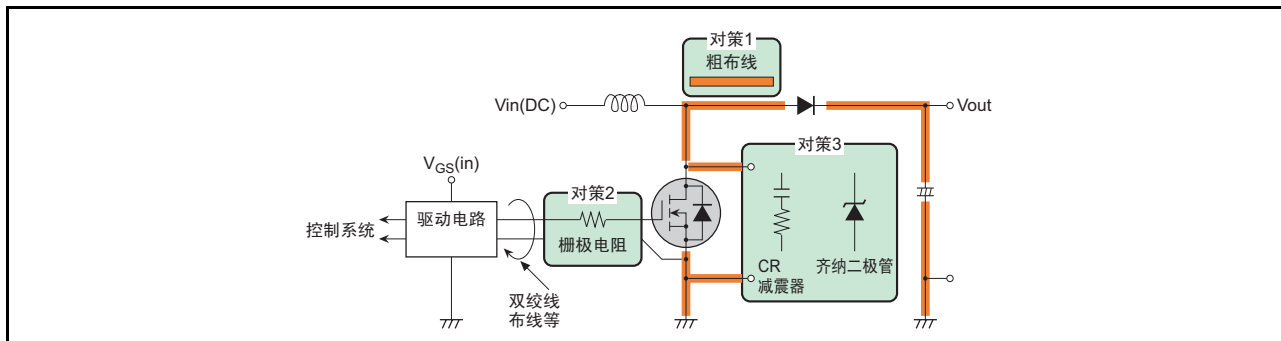


图26 雪崩破坏的对策方法

雪崩破坏是因寄生电感（电感负载）产生反电压而导致的破坏。破坏后的特性为各电极间短路。

针对雪崩破坏，可以采取以下3种对策。

1. 大电流路径尽量使用粗短布线，降低寄生电感。
2. 串联栅极电阻 R_g ，抑制 dV/dt 。因为在开关断开时产生电涌电压，通过增大断开时的常数 R_g ，可以抑制电涌电压。但是如果常数 R_g 过大，就会导致开关损耗的增大，因此在决定常数时必须考虑此问题。
3. 插入CR减震器、齐纳二极管
插入用于吸收电涌的减震器等时，也尽量使用粗短布线，并直接连接在功率MOS FET的漏极、源极引脚。

2.3 ASO破坏（散热设计）

2.3.1 什么是ASO破坏

ASO破坏是指由在正常运行时不发生的负载短路等引起的过电流和使用电压被同时外加时，造成瞬时局部发热而导致破坏的模式。另外，由于热量不相配或反复频率的高频化使芯片不能正常散热时，持续的发热使温度超出沟道温度导致热击穿的破坏模式。

2.3.2 ASO破坏对策方法

ASO破坏及其对策如图27所示。

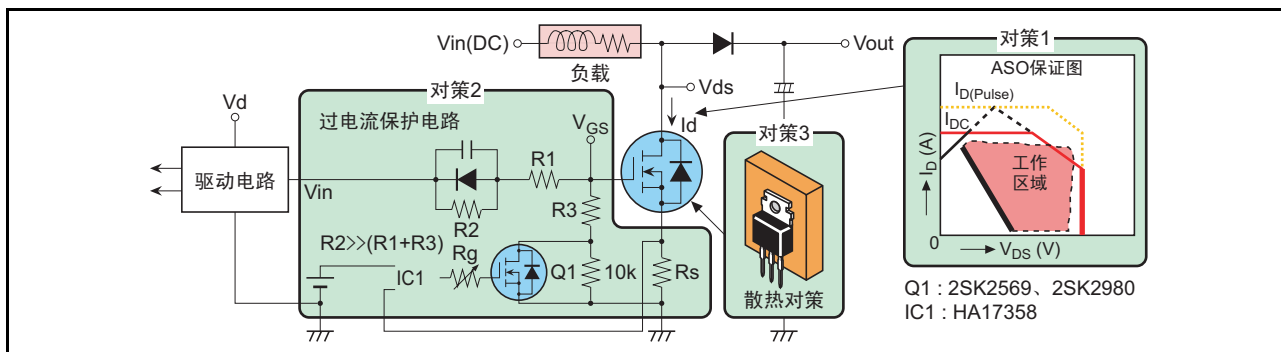


图27 ASO破坏（散热设计）和对策

对策有以下3个注意点:

1. 是否在保证正向偏压ASO（安全工作区域）内，或者其温度降额是否充分。
2. 设想在负载短路时，插入过电流保护电路。
如果流入不低于规定的漏极负载电流，就检测Rs间的电压，MOS FET Q1接通，通过R3使主MOS FET的G-S间短路，断开MOS FET。此时R3的值必须是大于决定通常开关断开时期的常数R1的值，而且是在过电流（截止）保护时不产生电涌的常数。或者通过Q1的栅极电阻Rg，使截止时的速度较缓。

正常运行时MOS FET的栅极/源极驱动电压V_{GS}可以用(1)式表示:

$$V_{GS} = V_{in} \times \frac{R3 + 10k\Omega}{(R3 + 10k\Omega) + (R1 + R2)} \dots\dots\dots(1)$$

将V_{GS}设定为MOS FET在通态电阻区能充分运行的值（V_{GS}为10V左右）。过电流截止时的栅极保持电压V_{GS(cut)}可用(2)式表示:

$$V_{GS(cut)} = V_{in} \times \frac{R3}{R1 + R2 + R3} \dots\dots\dots(2)$$

此V_{GS(cut)}必须设定为小于功率MOS FET的栅极/源极截止电压V_{GS(off)}。而且必须考虑V_{GS(off)}的温度特性(α=-5mV~-7mV/°C)。

3. 进行有适当容限的散热设计。
具体内容在散热设计实践例子中进行说明。

2.3.3 正向偏压ASO（安全工作区域）

有关正向偏压ASO图(2SK3082)及其温度降额方法如图28所示（有关安全工作区域ASO的内容，参照前述功率MOS FET的特性活用法）。

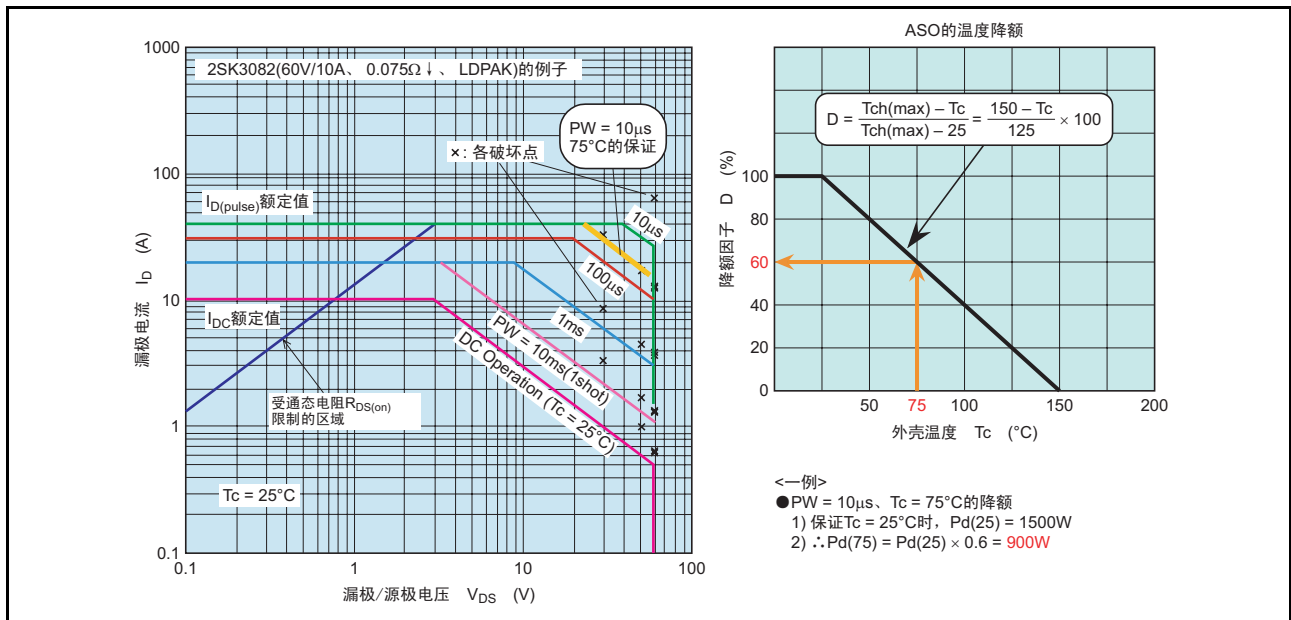


图28 正向偏压ASO（安全工作区域）图

有关ASO温度降额的方法，以PW=10µs、Tc=75°C的降额为例进行说明。

首先通过ASO图得出PW=10µs、Tc=25°C的保证值为Pd(25)=1500W(=V_{ds} × I_D = 50V × 30A)的功率线。因为Tc=75°C的降额因子D=60%，所以

$$\begin{aligned} Pd(75) &= Pd(25) \times 0.6 \\ &= 1500 \times 0.6 \\ &= 900W \end{aligned}$$

在图28中，是用PW=10µs、Tc=75°C的直线显示的区域。

2.3.4 负载短路耐量及其对策

功率 MOS FET 的负载短路耐量（2SK1518、2SK1522 的例子）如图 29 所示。

将 MOS FET 应用于马达驱动时，即使负载万一短路，也必须保证在过电流保护电路工作前不被破坏。

1. 如图 29 所示，此负载短路耐量依存使用电源电压 $V_{DD}(\approx V_{DS})$ ， V_{DS} 越大，（因为由负载短路导致外加功率变大）到破坏的时间就越短。此破坏时间根据产品各异，但是必须将负载短路时的过电流保护检测时间设定在 1/2 ~ 1/3 的破坏时间以内。

功率 MOS FET 设定在 $10\mu s \sim 15\mu s$ 以内认为安全。

2. 负载短路时，流过的短路电流为正常工作电流 5 ~ 10 倍左右的过电流，必须截止此过电流。此时必须注意截止此过电流时产生的电涌电压，其波形如图 29 所示。因为流过的电流大于正常电流，必须通过将截止时的断开时间设定为迟于正常接通/断开的时间，以抑制截止时的电涌电压不超过器件的额定电压 V_{DSS} 。

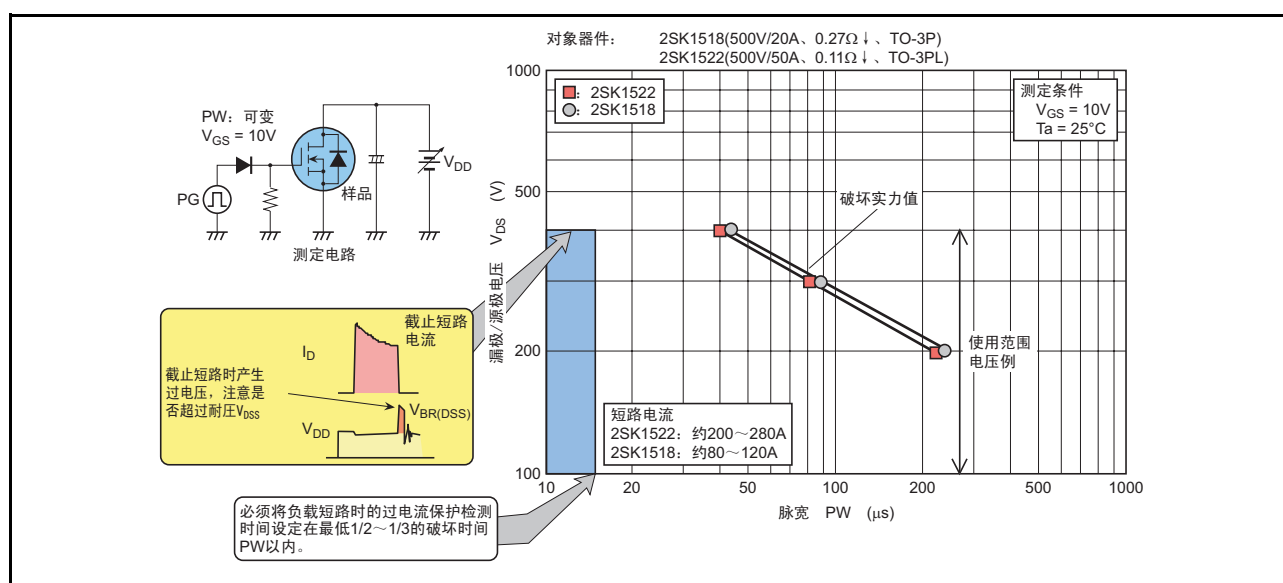


图 29 功率 MOS FET 的负载短路耐量和对策

2.3.5 散热设计

在设计安装功率器件时，在各环境条件下如何利用冷却技术进行高效率的散热不用说非常重要。如何进行高效率的热量计算也变得重要。此处对可计算功率 MOS FET 的运行沟道温度的散热设计实践例子进行说明。

1. 以下说明使用 2SK1170(500V/20A、0.27Ω、TO-3P) 时的前提条件

A. 工作条件

- 环境温度 $T_a = 50^\circ C$
- 2 种工作电流 $I_D = 8A$ 、 $10A$
- $PW = 10\mu s$ 、 $duty = 50\% \max(f = 50kHz \text{ 运行})$
- 开关损耗 $P(tf) = 500W$ 、 tf 期间 $= 0.2\mu s$ （此处省略 t_{on} 损耗）

设计目标: $T_{ch} \leq 120^\circ C$

- #### B. 3 种散热板热阻 θ_{f-a} : ① $0.5^\circ C/W$ 、② $1.0^\circ C/W$ 、③ $1.5^\circ C/W$

- #### C. 安装方法: 使用绝缘云母板，有硅脂
- $(\theta(i) + \theta(c)) = 0.8^\circ C/W$

其中， $\theta(i)$: 绝缘云母板热阻

$\theta(c)$: 接触热阻

表3 晶体管封装的各热阻

各热阻		封装							
		DPAK	TO-220AB	LDBAK	TO-220FM	TO-3P	TO-3PFM	TO-3PL	
Rth(ch-c)	(°C/W)	Rth(ch-c)=Tjmax-Tc/Pch (Pch(W)参照各产品目录)							
Rth(ch-a)*1	(°C/W)	178	80	83.3	62.5	55	42	45	
(Rth(i)+Rth(c)) (°C/W)	无绝缘板	有硅脂	0.3~0.6	0.3~0.5	0.3~0.5	0.4~0.6	0.1~0.2	0.3~0.5	0.1~0.2
		无硅脂	2.0~2.5	1.5~2.0	1.5~2.0	1.5~2.0	0.5~0.9	1.0~1.5	0.4~0.5
	插入云母 (t=50~100μm)	有硅脂	—	2.0~2.5	—	—	0.5~0.8	—	0.5~0.7
		无硅脂	—	4.0~6.0	—	—	2.0~3.0	—	1.2~1.5

【注】 1.参考值

根据这些前提条件，设定设计目标为沟道温度 $T_{ch} \leq 120^{\circ}\text{C}$ 。

- 此方法是通过计算各散热条件下的容许损耗特性①、由功率MOS FET的沟道温度上升产生的功耗特性②，通过①和②的函数交点求饱和状态下的沟道温度。
以上述工作和环境的使用条件为前提计算的结果如图30所示。

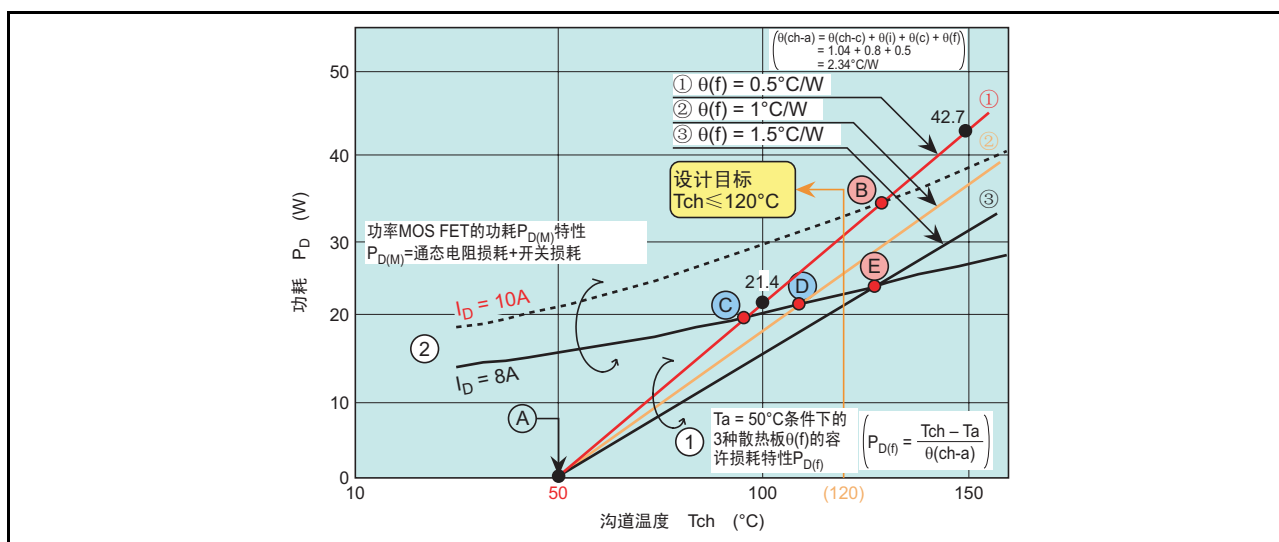


图30 沟道温度 T_{ch} 和功耗 P_D

以下说明达到图30的顺序。

- 参照下框内的说明，分别计算上述各散热条件下的容许损耗特性①和功率MOS FET的功耗特性②。
在计算功率MOS FET的功耗 P_D 时，必须事先根据各别数据表的Ron-Tc特性读取如表4第二行上的MOS FET的通态电阻温度系数 α （当Tch=25°C， $\alpha=1.0$ 时的系数），再代入进行计算。其计算结果如表4所示。

- 计算并作出各散热条件下的容许功耗直线 $P_{D(f)}$ （图30①）
首先，求出各散热板条件的全部热阻 $\theta(ch-a)$ 。

$$\theta(ch-a) = \theta(ch-c) + (\theta(i) + \theta(c)) + \theta(f) \dots\dots\dots(1)$$
 通过(1)式，求使用①散热板时的 $\theta(ch-a)$ 为：
 $\theta(ch-a)=1.04+0.8+0.5=2.34^\circ\text{C/W}$ （以同样的方法求出②=2.84°C/W、③=3.34°C/W）
 可以用(2)式表示容许损耗 $P_{D(f)}$ 。容许损耗的曲线只需要求出3点即可。

$$P_{D(f)} = \frac{Tch - Ta}{\theta(ch-a)} \dots\dots\dots(2)$$
 在条件①下，设Tch=50、100、150°C，各 $P_{D(f)}=0、21.4、42.7\text{W}(\approx(150-50)/2.34)$
 用同样的方法计算出条件②和③下的 $P_{D(f)}$ 后，就能得到3条直线。
- 计算并作出功率MOS FET的功耗曲线 $P_{D(M)}$ （图30②）
功率MOS FET的通态电阻 $R_{DS(on)}$ 具有正温度特性。
即随着Tch的上升（如各别产品目录所示）曲线也上升。
考虑此特点，随着 $I_D=8\text{A}、10\text{A}$ 时的温度上升求功率MOS FET的全部功耗 $P_{D(M)}$ ，就能得到2条曲线。

表4 功率MOS FET功耗 $P_{D(M)}$ 的计算(2SK1170的例子)

项目		Tch(°C)									备注
		25	40	60	80	100	120	140	150		
R _{DS(on)} 的温度系数 α (Tch=25°C时， $\alpha=1.0$)		1.0	1.09	1.27	1.5	1.73	2.0	2.27	2.41	参照各别数据表的Ron-Tc特性	
MOS 功耗	通态电阻损耗 $P_{ON}=I_D^2 \cdot R_{DS(on)max} \times \alpha \cdot t_{ON}/T$	$I_D=8\text{A}$	8.64	9.4	11.0	13.0	14.9	17.3	19.6	20.8	注意R _{DS(on)} 的温度依存性
	$I_D=10\text{A}$	13.5	14.7	17.1	20.3	23.4	27	30.6	32.5		
开关损耗*1 $P_s=tf/T \cdot P(tf)$			5	5	5	5	5	5	5	注意依存工作频率	
全部功耗 $P_{D(M)}$ $P_{(DM)}=P_{ON}+P_s$		$I_D=8\text{A}$	13.6	14.4	16.0	18.0	19.9	22.3	24.6	25.8	R、L负载的Ron损耗以及SW损耗的详细计算公式，参照其他项目
		$I_D=10\text{A}$	18.5	19.7	22.1	25.5	28.4	32.0	35.6	37.5	

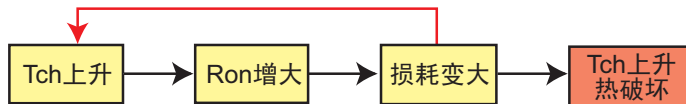
【注】 1.为了简略化，将 $I_D=8\text{A}、10\text{A}$ 时的 P_s 值视为相同。

- 按照上述的方法作图30沟道温度Tch和功耗 P_D 的图。
首先，作各放热条件下的容许损耗特性①图。
因为环境温度 $T_a=50^\circ\text{C}$ （又因为Tch=50°C时的容许损耗为0W），所以以Tch=50°C为零点，画出使用3种散热板时的各容许损耗特性。然后画出表4中计算出的功耗MOS FET的功耗（ $I_D=8\text{A}、10\text{A}$ 时）就作出图30。

5. 以下对图30的看法（计算结果的考察）和对应方法进行说明。

- Tch- P_D 图结果的考察
 - (a) (B)、(C)、(D)、(E)各交点是在各条件下热量平衡状态的沟道温度 Tch。
即满足目标设计 $Tch \leq 120^\circ C$ 的条件只有 $I_D=8A$ 的散热条件①、② ((C)、(D)点)。
 - (b) 当交点的沟道温度 $Tch \geq 150^\circ C$ 时, 就超出最大额定值。
 - (c) 如 $I_D=10A$ 时和散热板③的条件所示, 两条损耗特性没有交点时, 就说明热击穿(注1)发生导致破坏。

【注】1.



- 设计值 $Tch \leq 120^\circ C$ 的对应
 - (a) 在工作电流 I_D 小于等于 $8A_{max}$ 下使用时, 适用于散热条件①或② (满足设计目标 Tch 的是(C)、(D))。
 - (b) 到工作电流 $I_D=10A_{max}$ 为止时使用, 必须重新考虑以下的点 (组合)。
 - 1) 使用小于①的热阻的散热板 (通过改善散热条件来降低 $\theta(ch-a)$)。
 - 2) 通过改变器件的 PKG 来降低 $\theta(ch-c)$ 。例: TO-3P/2SK1170 \rightarrow TO-3PL/2SK1629
 - 3) 将 MOS FET 改为 1 个级别以上的低通态电阻器件。但是, 在高速运行 ($f \geq 100kHz$) 时还必须考虑开关损耗 $P(tf)$ (因为通常通态电阻 R_{on} 和开关时间 t_f 为背反关系)。

6. 图30的活用方法和注意事项如图31所示。

另外, 功率 MOS FET 的损耗计算公式及其计算方法如表5、表6所示。

反复运行时的峰值沟道温度 Tch(peak) 及其热阻 $\theta(ch-c)(PW/T)$ 的计算方法如图32所示。

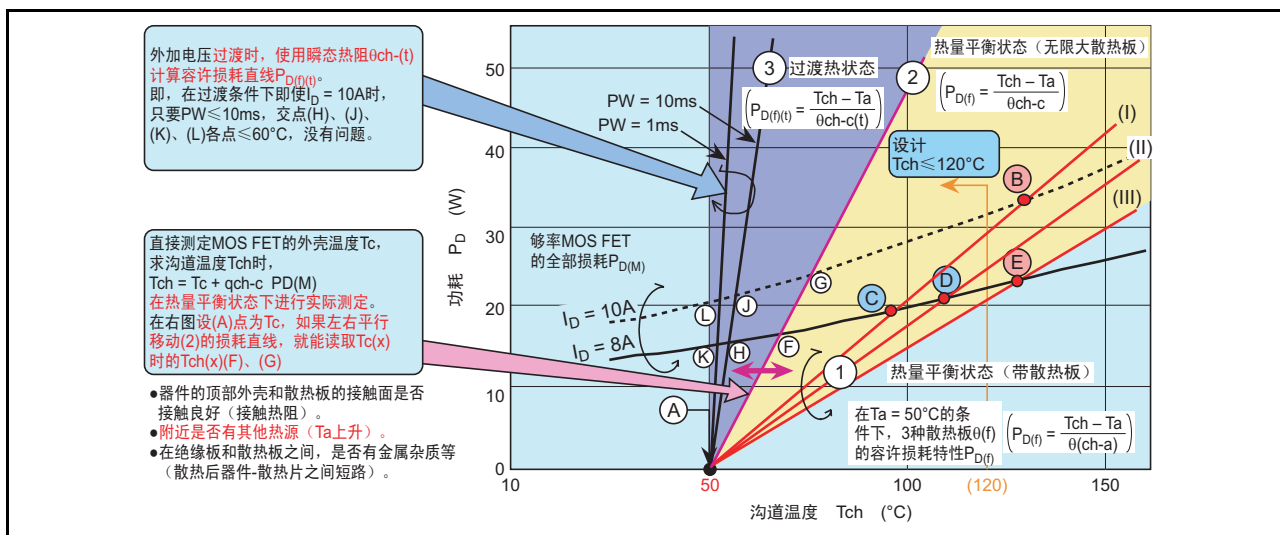


图31 沟道温度 Tch 和功耗 P_D 的关系

- 功率 MOS FET 的损耗计算公式。

表5 功率 MOS FET 的损耗计算公式

区分	运行波形	No.	运行时间	平均损耗计算公式
电阻 (R) 负载		1	tr 期间 Ptr	$Ptr = \frac{1}{6} (Vds \cdot Id + 2Id^2 \cdot Ron \cdot \alpha) \frac{tr}{T}$ <p>通常, 对于1项来说此值太小可忽略不计</p>
		2	ton 期间 Pton	$Pton = Id^2 \cdot Ron \cdot \alpha \cdot \frac{ton}{T}$
		3	tf 期间 Ptf	$Ptf = \frac{1}{6} (Vds \cdot Id + 2Id^2 \cdot Ron \cdot \alpha) \frac{tf}{T}$ <p>通常, 对于1项来说此值太小可忽略不计</p>
电感 (L) 负载		1	tr 期间 Ptr	[和2、3相比此值太小可忽略不计]
		2	ton 期间 Pton	<p>实线</p> $Pton = \frac{1}{3} (la^2 + la \cdot lb + lb^2) Ron \cdot \alpha \frac{ton}{T}$ <p>虚线</p> $Pton = \frac{1}{3} lb^2 \cdot Ron \cdot \alpha \cdot \frac{ton}{T}$
		3	tf 期间 Ptf	$Ptf = \frac{1}{2} Vds(p) \cdot lb \cdot \frac{tf}{T}$

【注】1. α 是 Ron 的温度系数 ($=T(^\circ C)/T(25^\circ C)$)。

- 功率 MOS FET 的损耗公式计算例 (参考)

表6 功率 MOS FET 的损耗公式计算例 (参考)

区分	运行波形	计算损耗的公式 (省略 Ron 的温度系数 α)
电阻 (R) 负载 tf 期间 Ptf 损耗公式		$Ptf = \frac{1}{T} \int_0^{tf} Vds(t) \cdot Id(t) dt$ $= \frac{1}{T} \int_0^{tf} \left(\frac{Vds - Id \cdot Ron}{tf} t + Id \cdot Ron \right) \left(-\frac{Id}{tf} t + Id \right) dt$ $= \frac{1}{T} \int_0^{tf} \left(\frac{Id^2 \cdot Ron - Id \cdot Vds}{tf^2} t^2 + \left(\frac{Id \cdot Vds - 2Id^2 \cdot Ron}{tf} t + Id^2 \cdot Ron \right) dt \right) dt$ $= \frac{1}{T} \left[\left(\frac{Id^2 \cdot Ron - Id \cdot Vds}{3tf^2} \right) t^3 + \left(\frac{Id \cdot Vds - 2Id^2 \cdot Ron}{2tf} t^2 + Id^2 \cdot Ron \cdot t \right) \right]_0^{tf}$ $\therefore Ptf = \frac{1}{6T} tf(Vds \cdot Id + 2Id^2 \cdot Ron) \approx \frac{1}{6} Vds \cdot Id \frac{tf}{T}$
电感 (L) 负载 ton 期间 Pton 损耗公式 (电流为实线波形)		$Pton = \frac{1}{T} \int_0^{ton} Id^2(t) \cdot Ron dt$ $= \frac{1}{T} \int_0^{ton} \left(\frac{lb - la}{ton} t + la \right)^2 \cdot Ron dt$ $= \frac{1}{T} \int_0^{ton} \left(\frac{la^2 - 2la \cdot lb + lb^2}{ton^2} t^2 + 2 \left(\frac{lb - la}{ton} t \cdot la \right) + la^2 \right) Ron dt$ $= \frac{1}{T} \left[\left(\frac{Id^2 \cdot Ron - Id \cdot Vds}{3tf^2} \right) t^3 + \left(\frac{la \cdot lb - la^2}{ton} t^2 + la^2 \cdot t \right) \right]_0^{ton}$ $\therefore Pton = \frac{1}{3} (la^2 + la \cdot lb + lb^2) Ron \frac{ton}{T}$

- 在反复频率下的 Tch(peak)、热阻 $\theta_{ch-c}(PW/T)$

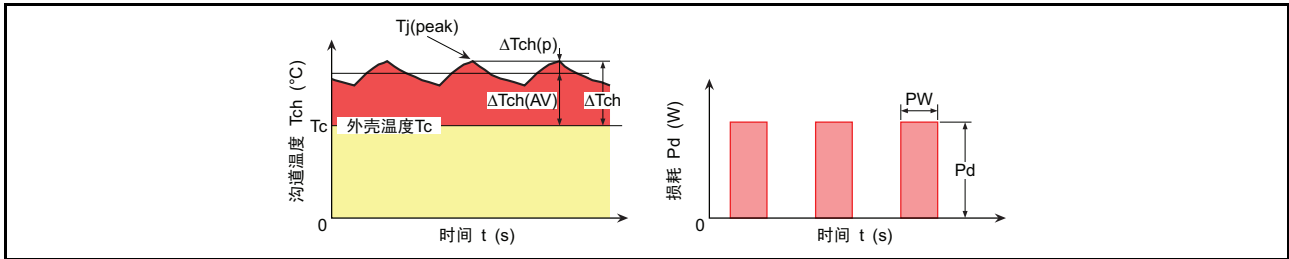


图 32 在反复频率下的 Tch(peak)、热阻 $\theta_{ch-c}(PW/T)$

$$Tch(peak) = Tc + \Delta Tch = Tc + Pd \left\{ \frac{PW}{T} \theta_{ch-c} + \left(1 - \frac{PW}{T} \right) \theta_{ch-c}^{(PW)} \right\} \dots\dots\dots(1)$$

$$\theta_{ch-c} \left(\frac{PW}{T} \right) = \frac{Tch(peak) - Tc}{Pd} = \frac{\Delta Tch}{Pd} \dots\dots\dots(2)$$

通过(1)、(2)式得

$$\theta_{ch-c} \left(\frac{PW}{T} \right) = \theta_{ch-c} \left\{ \frac{PW}{T} + \left(1 - \frac{PW}{T} \right) \frac{\theta_{ch-c}^{(PW)}}{\theta_{ch-c}} \right\} \dots\dots\dots(3)$$

$$\text{正规瞬态热阻 } \gamma_s^{(PW)} = \frac{\theta_{ch-c}^{(PW)}}{\theta_{ch-c}} \dots\dots\dots(4)$$

$$\text{反复duty周期 } n(\%) = \frac{PW}{T} \times 100 \dots\dots\dots(5)$$

通过(4)、(5)式得出，脉宽 $t = PW$ ，反复周期 T 的热阻 $\theta_{ch-c}^{(PW/T)}$ 为公式(6)

$$\theta_{ch-c} \left(\frac{PW}{T} \right) = \theta_{ch-c} \left\{ \frac{n}{100} + \left(1 - \frac{n}{100} \right) \gamma_s^{(PW)} \right\} \dots\dots\dots(6)$$

其中 θ_{ch-c} 为直流热阻。

2.4 内置二极管破坏

2.4.1 什么是内置二极管破坏

内置二极管破坏是指在积极使用功率 MOS FET 的漏极/源极间的寄生二极管时发生的破坏模式。仅限于在马达控制、不间断供电电源 (UPS) 等的 H 桥电路下使用 DC/AC 变频器的情况。

内置二极管破坏仅在上述用途时产生，尤其是在高电压下使用大于等于 250V 耐压器件的情况。但是近几年随着破坏机理被解明，器件的二极管破坏耐量也随之改善。在高耐压 250~600V 的 AP3-H、AP3-HF（内置高速二极管）、AP4-H 系列中，已基本将此破坏对策设计在器件中。如果考虑到应用面，在上述用途时推荐使用 AP3-HF、AP5-HF 系列。另外，对于低耐压小于等于 100V 的器件，因为使用的电压也低，所以几乎不存在此破坏的问题。

通常使用功率 MOS FET 的变频电路以及在全桥电路下的功率 MOS FET 的运行波形如图 33 所示。在此电路中，Q1、Q4 运行，由 Q1 器件控制 PWM。在 Q1 控制 PWM 期间中，Q4 总是为接通状态。首先流入 Q1 的电流 I_{D1} ，接着断开 Q1，马达的电感 L 的再生电流 I_F 就通过 Q2 的内置二极管流入。再此状态下重新接通 Q1，受 Q2 内置二极管的反向恢复时间 t_{rr} 影响，在此期间 Q1、Q2 为导通状态，并且随着流入的短路电流 I_{rr} ，内置二极管的电压 (V_{DS}) 也跟着恢复。

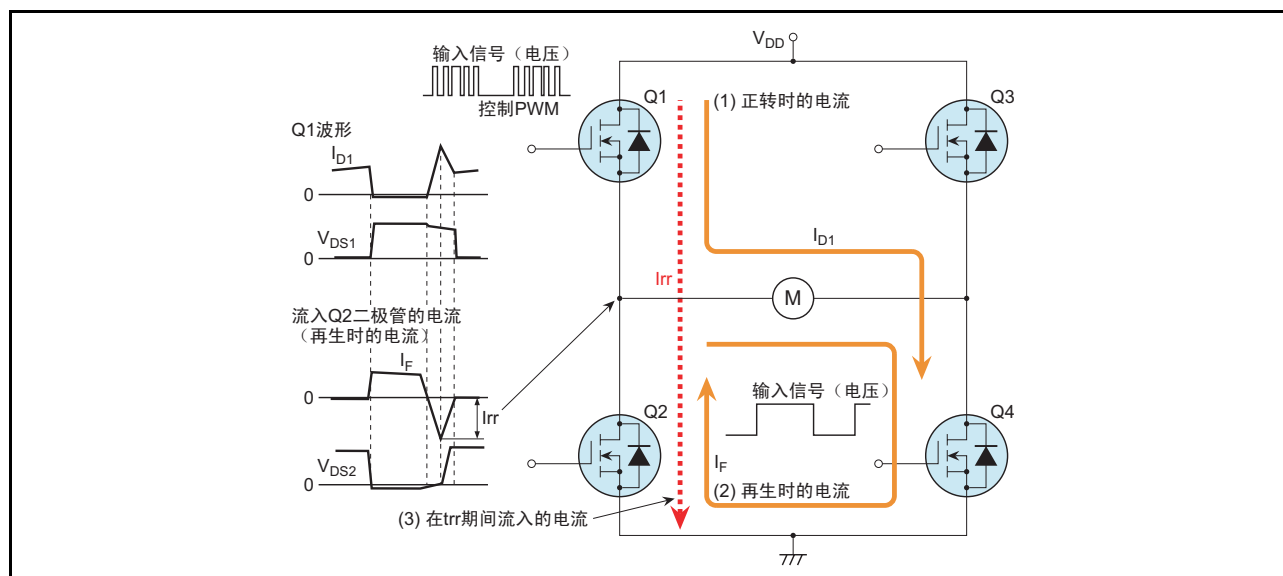


图 33 在全桥时功率 MOS FET 的运行

功率 MOS FET 的结构和等效电路如图 34 所示。如图所示，从结构上来说此二极管形成于源极/漏极之间，也被称作寄生二极管 (Parasitic Diode)。

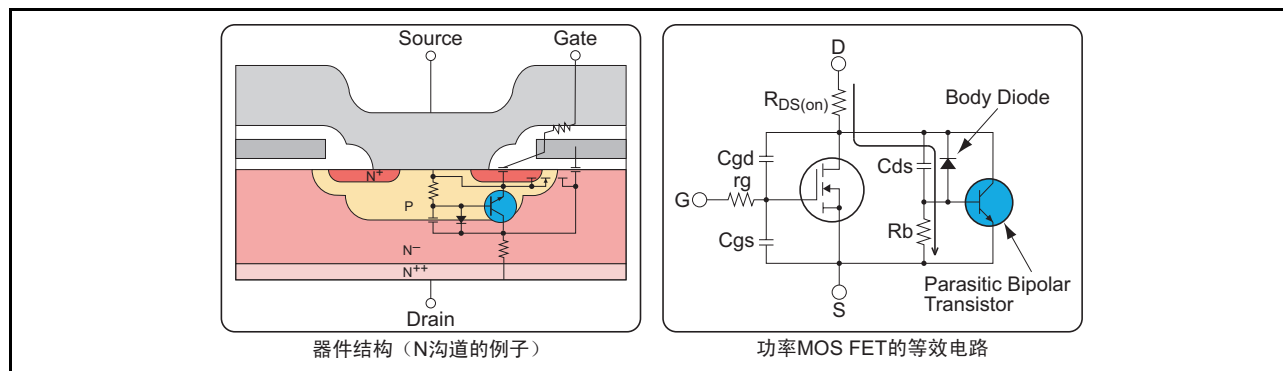


图 34 功率 MOS FET 的器件结构和等效电路

内置二极管的破坏机理如图35所示。

如上所述，现在内置二极管的破坏耐量已经得到相当的改善，在结构上实施使寄生双极晶体管不易运行的对策，因此在通常的使用状态下几乎不会发生破坏。

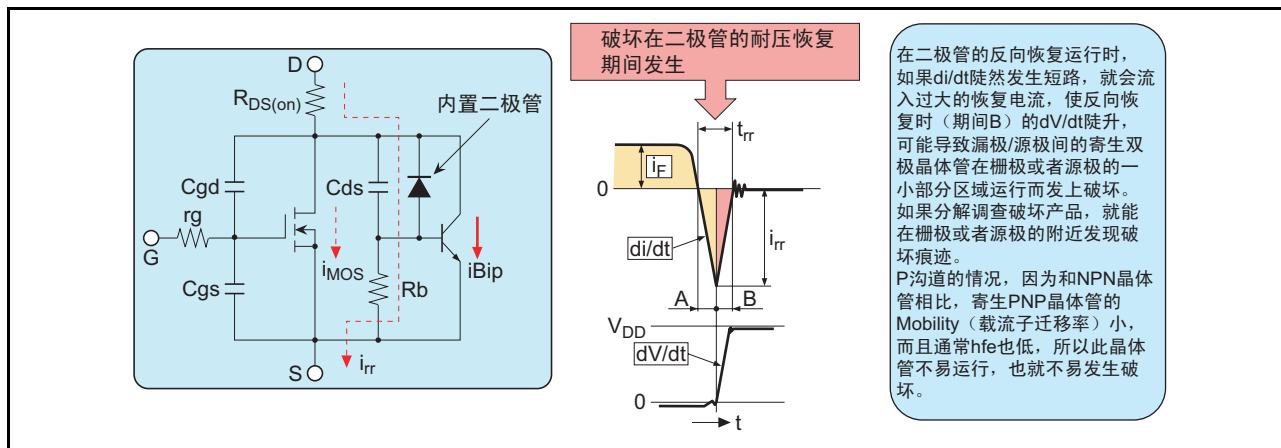


图35 内置二极管的破坏机理

2.4.2 内置二极管破坏的电路对策例

内置二极管破坏的电路对策例（使用上的注意事项）如图36所示。

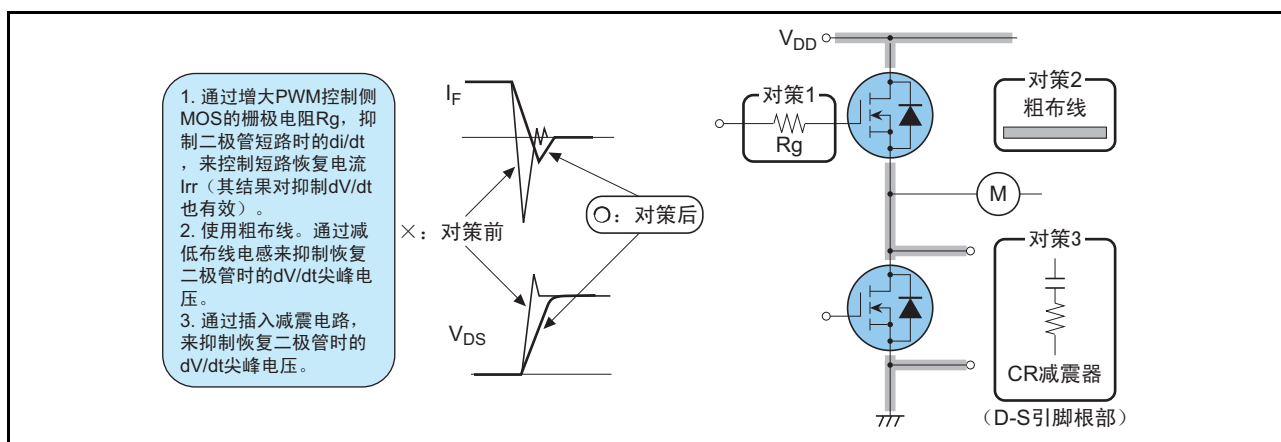


图36 内置二极管破坏的电路对策例

高耐压500V器件实际内置二极管的破坏耐量例如图37所示。关于对策前的器件（现在已是废弃型号，停止生产）和对策后的器件通过具体数据说明。

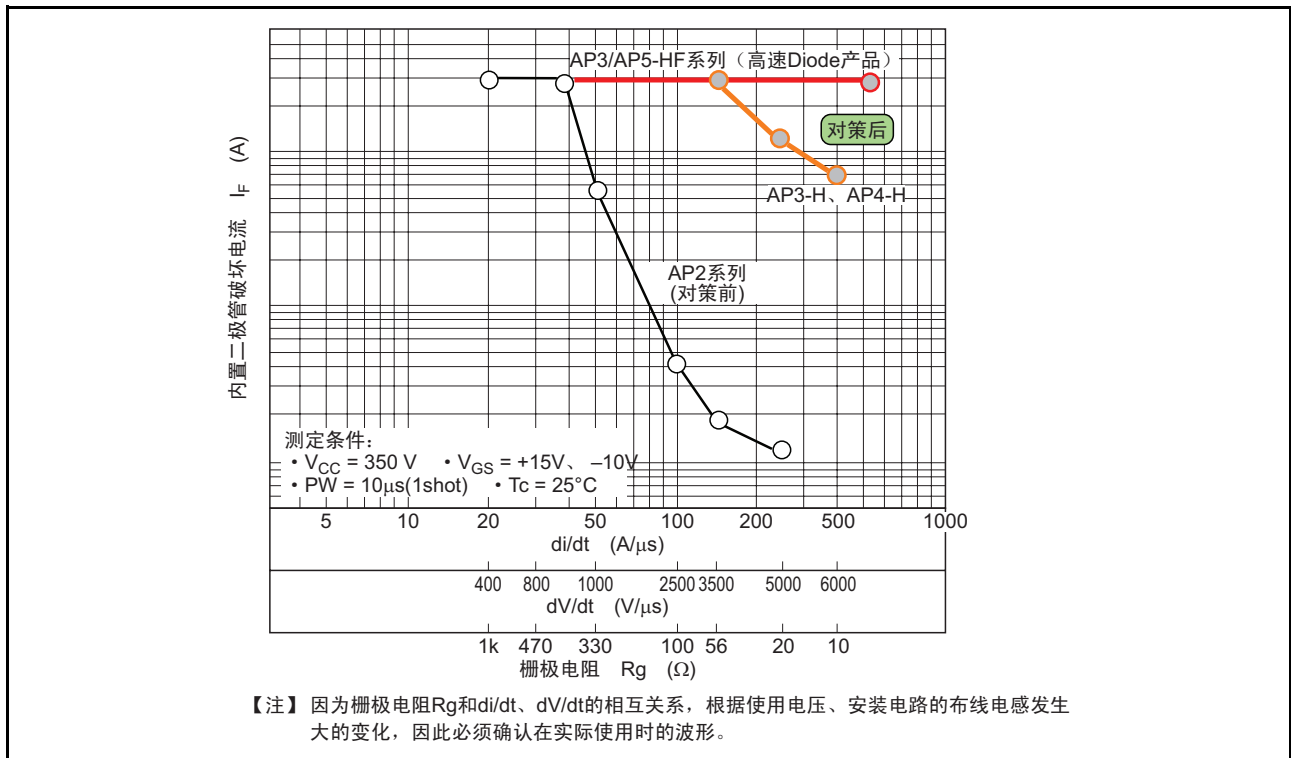


图37 内置二极管破坏耐量（500V/10A级别的例子）

2.5 由寄生振荡引起的破坏

2.5.1 什么是寄生振荡引起的破坏

主要是指在并联功率MOS FET时未插入栅极电阻而直接连接时发生的栅极寄生振荡。高速反复接通、断开漏极-源极电压时，在由栅极-漏极电容Cgd(Crss)和栅极引脚电感Lg形成的谐振电路上发生此寄生振荡。当谐振条件($\omega L=1/\omega C$)成立时，在栅极-源极间外加远远大于驱动电压Vgs(in)的振动电压，由于超出栅极-源极间额定电压导致栅极破坏，或者接通、断开漏极-源极间电压时的振动电压通过栅极-漏极电容Cgd和Vgs波形重叠导致正向反馈，因此可能会由于误动作引起振荡破坏。

2.5.2 功率MOS FET寄生振荡（振动）的机理

并行等效电路如图38所示。

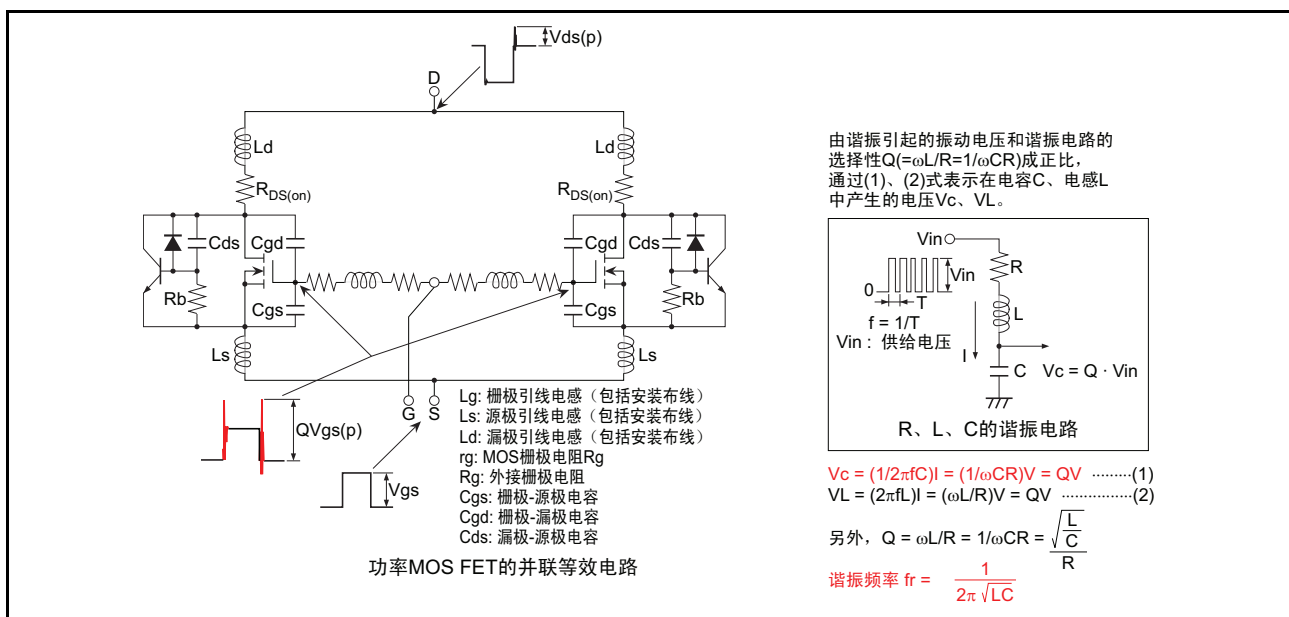


图38 功率MOS FET寄生振荡（振动）的机理

如果不在功率MOS FET中串联栅极电阻而直接并联时，在栅极产生寄生振动波形。高速反复接通、断开漏极/源极电压时，尤其是断开时，由负载的布线电感Ld产生的振动电压Vds(p)，通过栅极/漏极电容Cgd(Crss)，和栅极引线电感Lg形成谐振电路。因为大电流高速功率MOS FET的栅极内部电阻rg很小，在1~2Ω以内，如果没有栅极外接电阻Rg时，谐振电路的Q，即 $\sqrt{L/C/R}$ 的值就变大。如果成为谐振条件时，就在Cgd(Crss)间或Lg间（即MOS的栅极/源极间）产生大的振动电压，引起寄生振荡。

尤其是因为并联时为大电流运行，如果开关断开时的过渡电流平衡变差，全部电流就只在此时序的偏差期间流入到一个MOS FET。因为通常此期间非常短，在几ns~几十ns之间，因此不存在功率MOS FET的热应力问题。但是理论上认为漏极/源极的振动电压Vds(p)为n倍（实际上因为高频大电流在过渡时流入，由于趋肤效应*，Ld的值也大），或为大于n倍的电压。

趋肤效应：高频电流只流入导体的表面而不流入内部的现象。如果电流流入导体，在电流的周围就会产生磁通。这是因为和电流垂直相交起电感的作用。为了处理大电流，通过粗导体使电流通过时，因为导体中也会产生磁通，所以越靠近导体的中心部分电感的作用越强。因此高频电流流入粗导体时，中心部的电感作用变强，电流流通变得不通畅，导致电流集中到导体的表面。此时，因为流入电流的截面减少，则从表面上看电气电阻即电感值大。

并联时的寄生振荡和破坏对策方法如图39所示。

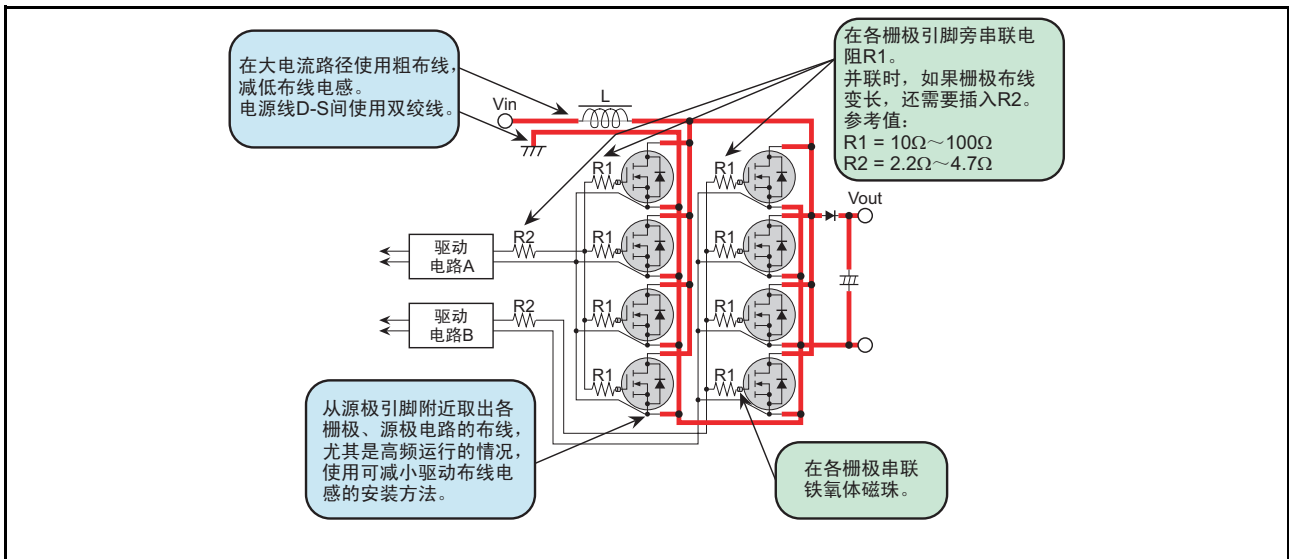


图39 减低寄生振荡和破坏的对策方法

2.6 并联时的注意事项

作为并联时需要注意的安装上的注意事项、功率MOS FET的器件选定以及使用上的技巧如下所示。

2.6.1 安装上的注意事项

- 低电感布线
- 使漏极/源极布线长度相等或使用双绞线等
- 注意寄生振荡（寄生振荡对策参照其他项）

2.6.2 选定功率MOS FET和使用上的技巧

需要和半导体厂家进行协调以及得到同意

挑选 $V_{th}(V_{GS(off)})$ 值 (较大的值好)	⇒	改善断开时的过渡电流的平衡
挑选通态电阻 $R_{DS(on)}$ 值	⇒	改善通态电流的平衡
外加充分的栅极驱动电压 (4V 驱动产品: $V_{GS}=5 \sim 10V$ 、 10V 驱动产品: $V_{GS}=10 \sim 12V$)	⇒	改善散热平衡
尽量避免发生雪崩击穿的条件	⇒	电流集中在低耐压器件

2.7 静电破坏

2.7.1 什么是静电破坏

静电破坏是指在使用或安装产品时，从人体/设备产生的静电或电涌电压引起的破坏。

2.7.2 静电破坏的对策

静电破坏的对策如图40所示。

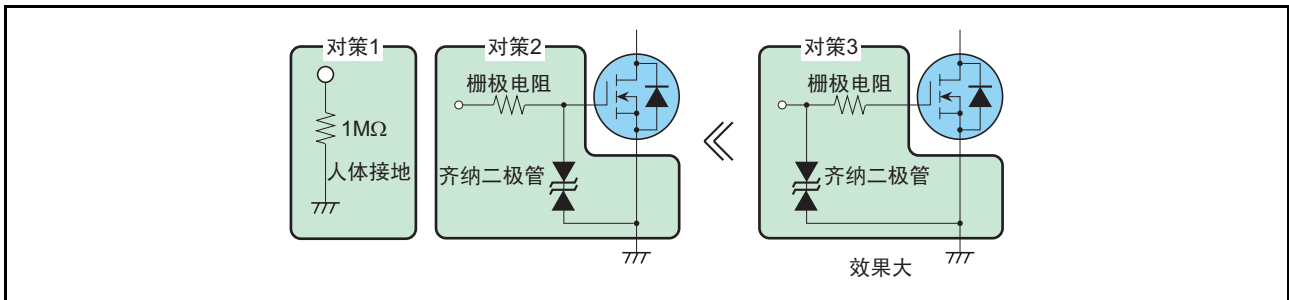


图40 静电破坏的对策

静电破坏是在人体或安装装置等时产生的静电、电涌电压被外加到栅极时，导致栅极氧化膜破坏。作为破坏后的特性有：栅极-源极间电压下降、短路；漏极-源极间短路、漏泄电流增加（参照图41）。

针对静电破坏，可以采取以下3种对策。

1. 通过 $1M\Omega$ 的电阻使人体接地后再进行作业。
2. 确实执行设备接地。
3. 电路板安装后可以考虑到的外加栅极电涌对策为，插入栅极电阻、齐纳二极管。

2.7.3 静电破坏后的破坏进行模式

如图41所示，栅极破坏后的特性模式大致可以分为A和B2种。假设这些产品被安装在器件的电路中，考察会发生什么情况。

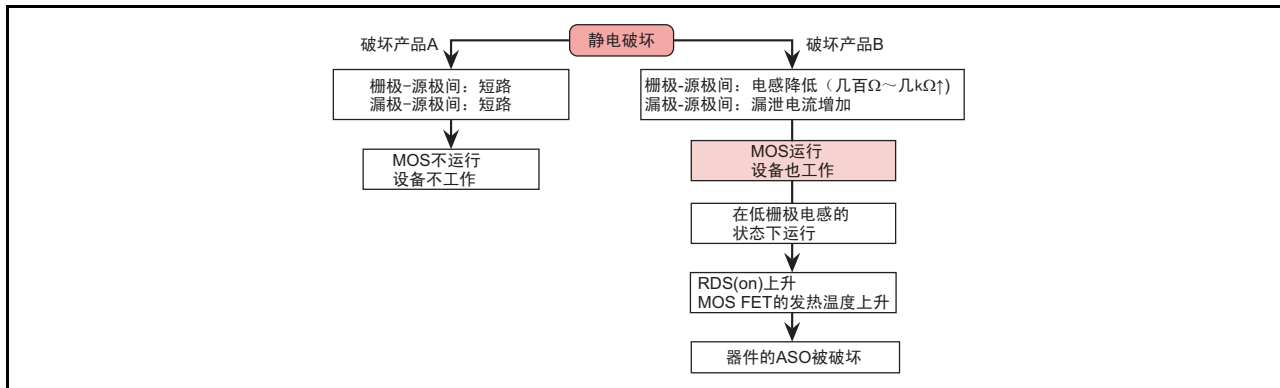


图41 静电破坏后的破坏进行模式

有关栅极破坏产品A和B的特性模式如图42所示。栅极/源极间以及漏极/源极间几乎完全短路的是破坏产品A模式。栅极/源极间具有某种程度的电阻 (\geq 几十 Ω)，并且漏极/源极间的漏泄电流 I_{DSS} 大，在几百mA~几十mA之间，但是可以观察到耐压波形的是破坏产品B模式。

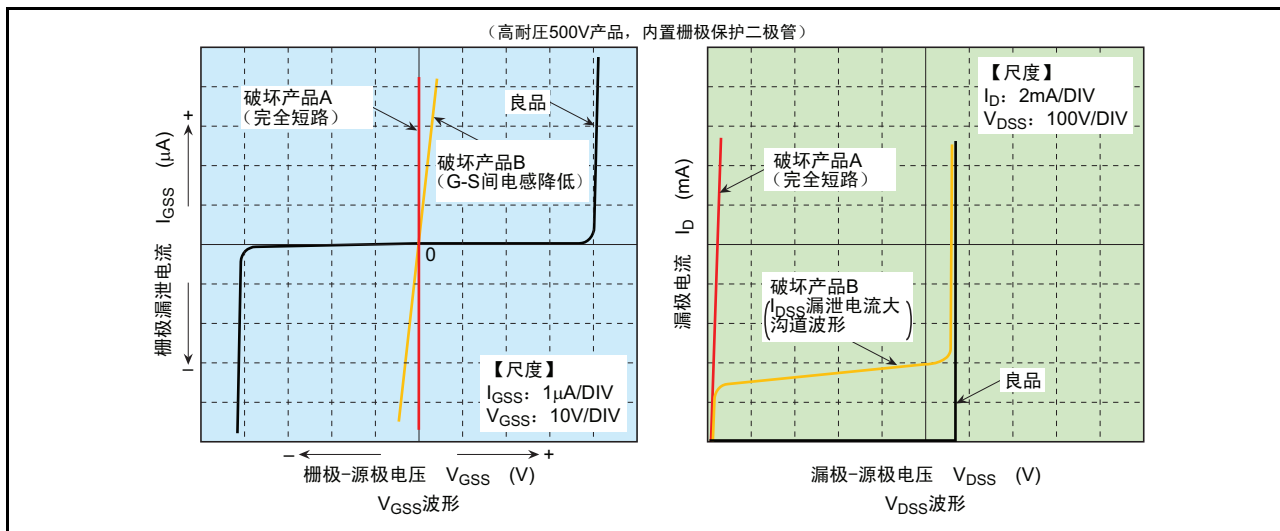


图42 静电破坏产品的 V_{GSS} 、 V_{DSS} 波形例子

2.7.4 栅极破坏产品B达到ASO破坏的机理

假设破坏产品A模式被安装到器件电路中的情况，电路当然不运行，在接通电源的同时短路电流流入MOS FET的漏极/源极间，导致破坏痕迹扩大。

假设是破坏产品B模式被安装到器件电路中的情况，因为确保了漏极/源极间的耐压（由于大漏泄电流 I_{DSS} ，使断开时的功耗增加，导致器件的温度上升），根据电路的栅极信号源电阻 R_S 的常数和产品刚被破坏后的栅极/源极间电阻 R_{GS} ，使器件运行的驱动电压就被外加在栅极/源极间，因此虽然从表面上看驱动电压 V_{GS} 下降，但是开关仍运行。显示此状态的图如图43所示。

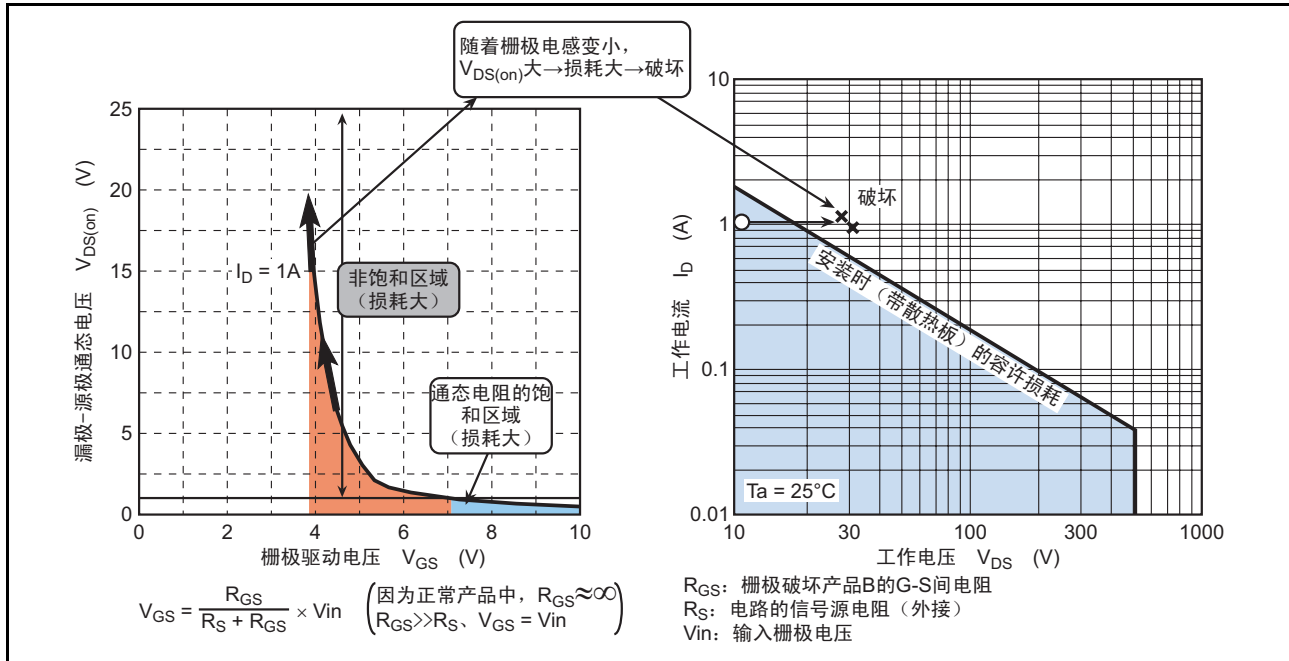


图43 栅极破坏产品B的ASO破坏机理

例如，将假设是破坏产品B模式，并且是刚发生栅极破坏后的栅极/源极间电阻 $R_{GS}=100\Omega$ 、漏极/源极间的漏泄电流 $I_{DSS}=1mA$ 的栅极破坏样品安装到电源电压 $V_{DD}=24V$ 、栅极输入电压 $V_{in}=10V$ 、栅极信号源电阻 $R_S=22\Omega$ 、通态占空比 $D=0.3$ 的运行电路中时，计算此器件的实际栅极驱动电压 V_{GS} 和断开时的功耗 P_{off} ，得 $V_{GS}=8.2V$ 、 $P_{off}=16.8mW$ 。如果是通常的逻辑电平驱动器件，就能充分运行。

$$V_{GS} = \frac{R_{GS}}{R_S + R_{GS}} \times V_{in} = \frac{100}{22 + 100} \times 10 \approx 8.2V$$

$$P_{off} = V_{DD} \times I_{DSS} \times (1 - D) = 24 \times 1 \times 10^{-3} \times 0.7 = 16.8mW$$

但是，因为此破坏产品的栅极/源极间电阻 R_{GS} 还可能变得更小，所以在该过程中，栅极驱动电压 V_{GS} 就不足。其结果为通态电阻增大（不能成为完全接通电阻状态，如图43所示，在 $V_{DS(on)}$ 变大的状态下运行），导致功耗增大，最终达到器件ASO破坏。

之后对上述情况的破坏产品进行分析，就好像是超出器件ASO引起的热击穿。但是成为最初原因的破坏模式也可认为是栅极破坏模式，可是从破坏痕迹扩大的破坏产品来看，很难判断为后者。因此，至少到安装到电路为止的操作（包括器件的测定）需要十分注意。

2.8 使用上的注意事项

2.8.1 功率MOS FET主要损耗的频率依存性和主要特性的关联性

使用DC/DC转换器电源时的“功率MOS FET主要损耗的频率依存性和主要特性的关联性”如图44所示。

随着高频化，开关损耗、驱动损耗也增大。

为了最大限度发挥器件的性能，抑制总损耗，必须通过考虑和通态电阻损耗平衡来妥当设定和控制高频区的栅极驱动电压。

一般的逻辑电平驱动器件在工作频率 $f=200k\sim 300kHz$ 以下运行，为了使通态电阻为最小限度，外加10V左右的栅极驱动电压 V_{GS} ，对总损耗有利。即使外加大于10V的电压（例如 $V_{GS}=15\sim 17V$ ），也只是增大驱动损耗，并不是上策。

在 $f\geq 500kHz$ 的高频运行下，栅极驱动电压 $V_{GS}=5\sim 8V$ 最为合适，可以高效降低总损耗。

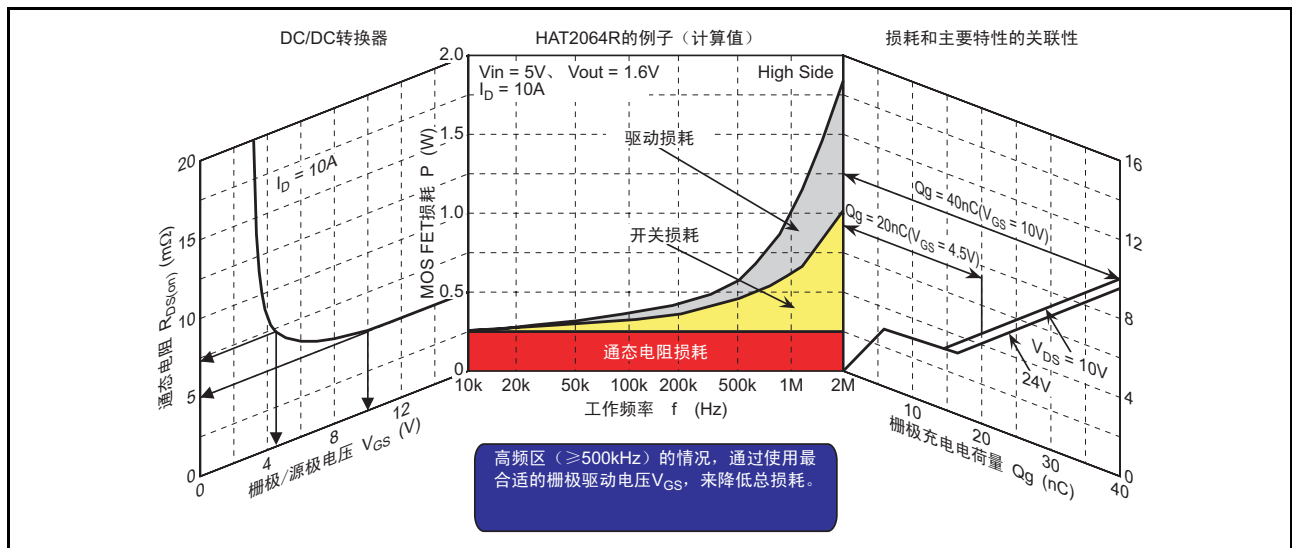


图44 功率MOS FET主要损耗的频率依存性和主要特性的关联性

2.8.2 马达应用时的误动作（桥臂短路）对策

在配合使用P沟道MOS FET和N沟道MOS FET时的小型马达驱动应用中发生的桥臂短路及其对策如图45所示。

此图上侧的P沟道MOS FET为断开状态，下侧的N沟道MOS FET为斩波状态。

在图45中，如A点的电压波形所示，接通下侧N沟道MOS FET，使 V_{DD} 变为0V，导致过渡充电电流通过上侧P沟道MOS FET的 C_{rss} 、 C_{iss} 流入，在栅极/源极间产生 $\Delta V_{GS(t)} = \{C_{rss}/(C_{iss}+C_{rss})\} \Delta V_{DS(t)}$ 的峰值电压。如果此 $\Delta V_{GS(t)}$ 的峰值电压超出P沟道MOS FET的 V_{th} ，上/下侧的器件就同时为接通状态，使桥臂短路电流流入，产生过大损耗。

在H桥电路中使用时，另一侧的桥臂容易产生和在N沟道器件相同的现象。

在此过渡期间的上/下器件短路现象，容易在以下条件下发生。

1. 开关运行（尤其是接通时间）快， dV/dt 越陡越容易发生。
2. 信号源电阻 R_G （栅极断开时的常数）越大越容易发生。
3. 使用器件的 C_{rss}/c_{iss} 的值越大（取 $K_S = \{C_{rss}/(C_{iss}+C_{rss})\} \cdot V_{DD}$ 的值大于器件 V_{th} 的值）越容易发生。
4. 电源电压 V_{DD} 越高越容易发生。

上述1~4中，4的电源电压 V_{DD} 由使用的用途决定，不能改变。有关1~3有以下对策。

1. 减慢接通时间，抑制 dV/dt （加大图中栅极电阻 $R1$ ）。
2. 减小栅极断开时的信号源电阻 R_G （MOS FET的驱动信号源电阻 R_S 和断开时的外接电阻常数 R_g ），使栅极/源极间为低电感。
3. 在栅极/源极间插入电容 $C1$ ，减小 $K_S = \{C_{rss}/(C_{iss}+C1+C_{rss})\} V_{DD}$ ，使其具有容限。另外，减小 K_S ，选定高 V_{th} 的器件。

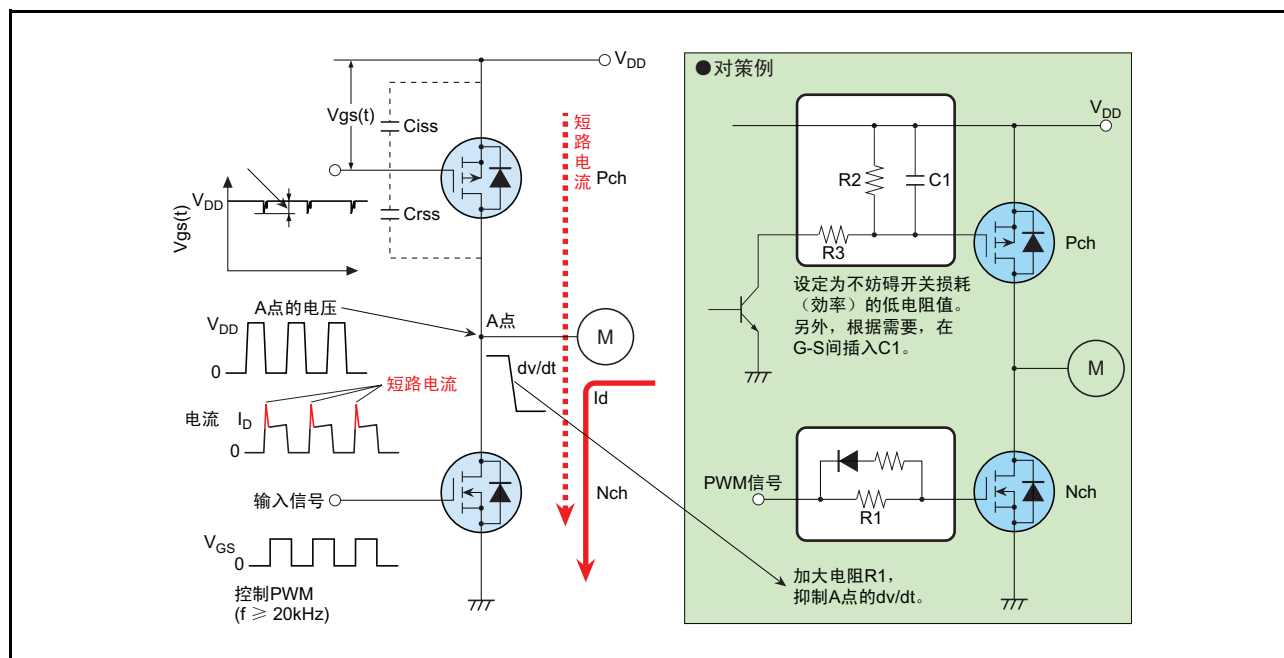


图45 在马达应用时的误动作（桥臂短路）对策

2.8.3 非绝缘型同步整流转换器低端的自导通现象

发生的现象和上述桥臂短路现象相同。

在非绝缘型同步整流电路中低端的自导通现象如图46所示。

在低端器件Q2为断开状态下接通高端器件Q1的时序时发生此现象。由于Q2的漏极/源极电压 V_{DS} 从0急变为 V_{in} ，使 C_{iss} 通过Q2的 C_{rss} 充电，导致原本断开的Q2接通。

即，当 $V_{GS}(Q2) = (C_{rss}/C_{iss} + C_{rss}) \times dV(t)$ (1式) 的值大于Q2的 V_{th} 时发生自导通现象。因此，在Q1、Q2同时为接通状态时，产生过大的损耗，引起器件的发热和温度上升，成为导致效力恶化的原因。

低端器件的特性是因为是大电流运行，所以必须将器件设计为低 $R_{DS(on)}$ ，因此相关电容(C_{iss} 、 C_{rss})有偏大的倾向。并且由于重视高速性的设计，使高端器件为高速开关特性，因此 dV/dt 变得更陡。以上都容易造成自导通现象发生。

作为电路对策，一般有以下2种方法。

1. 只延迟高端器件的接通时间（抑制 dV/dt ）。
2. 在低端器件的栅极/源极间插入外接电容C（通过减小 $K_S = (C_{rss}/C_{iss} + C_{rss})$ ），使自导通的容限提高。

作为今后的动向，进行在高频运行（ $\geq 1\text{MHz}$ ）的器件设计时，在减小 C_{iss} 和 C_{rss} 的同时，还需要考虑 C_{iss} 和 C_{rss} 的比($C_{rss} \ll C_{iss}$)。另外，不仅要改善器件，也要在电路设计和安装上尽量减小断开Q2时的栅极/源极间电感($R_S + j\omega L_S$)（因为上述 $V_{GS}(Q2)$ 公式本应在 $(R_S + j\omega L_S) / j\omega C_{iss}$ 时成立）。通过以上方法可以使器件的性能得到充分的发挥。

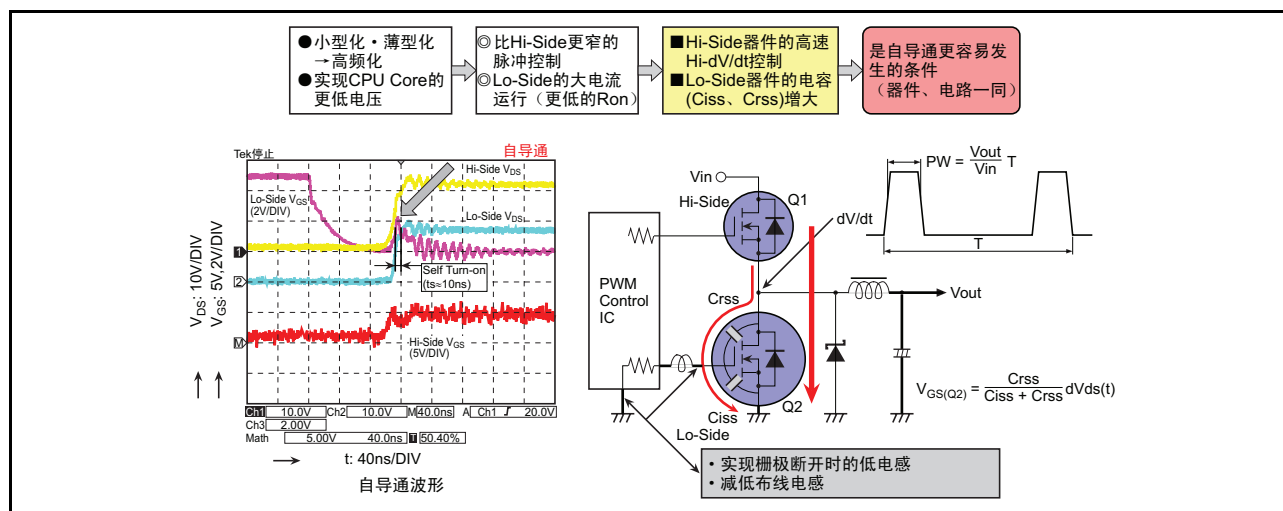


图46 同步整流电路的问题点

3. 功率MOS FET的应用

3.1 应用图

功率MOS FET、IGBT的应用图如图47所示。

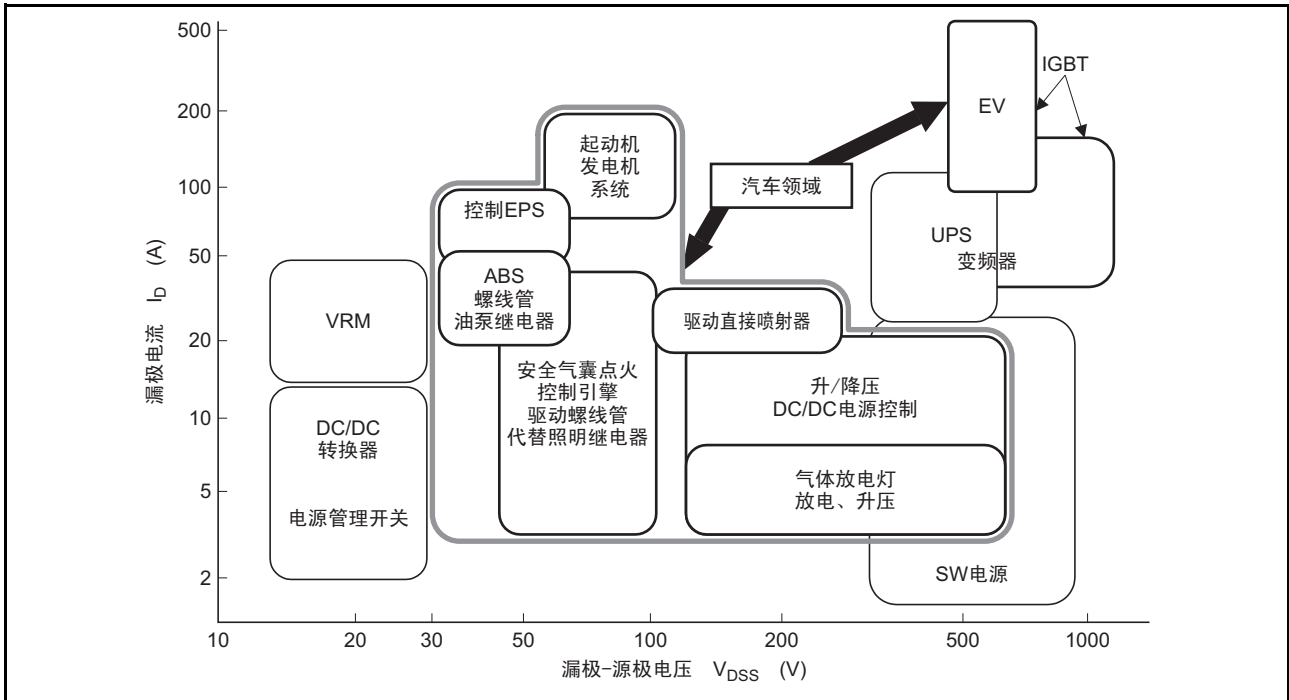


图47 功率 MOS FET、IGBT 应用

3.2 用于汽车

3.2.1 汽车电装设备的技术动向

汽车电装设备的技术动向如图 48 所示。

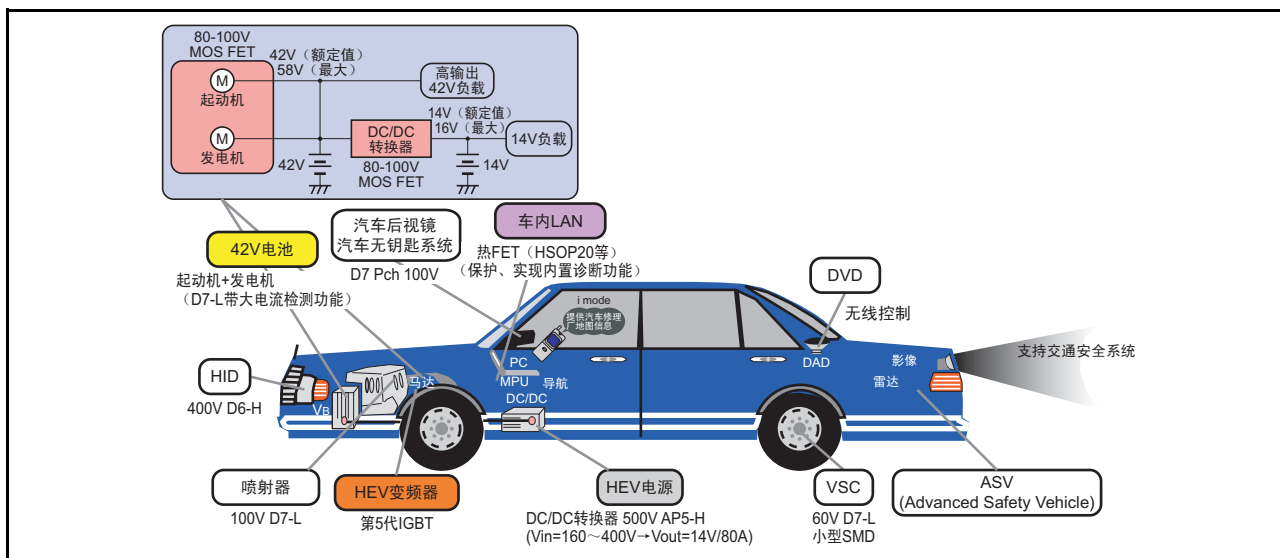


图 48 自动车电装设备的计数动向

3.2.2 汽车ABS的应用例

汽车ABS的应用例如图 49 所示。

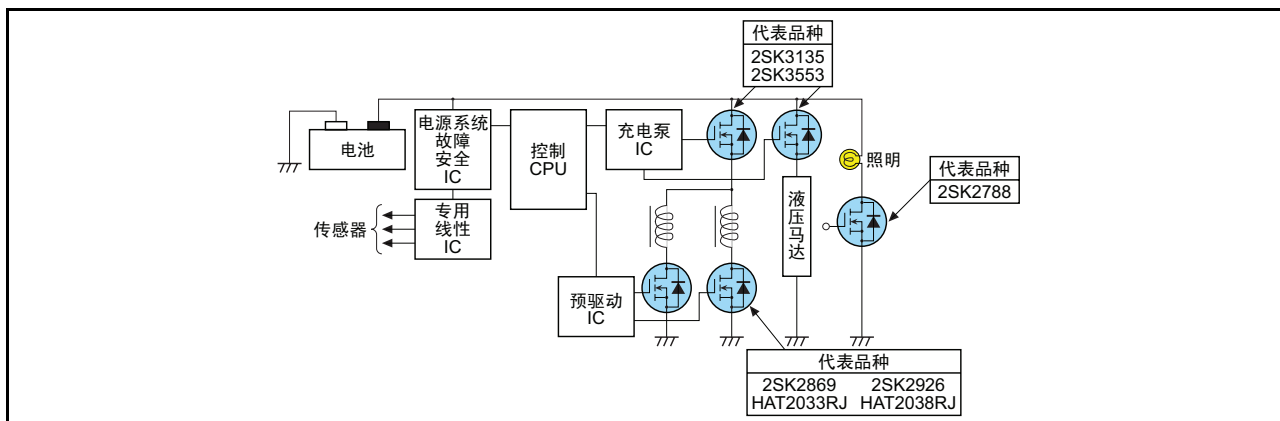


图 49 汽车ABS的应用例

3.2.3 汽车动力转向器应用例

汽车动力转向器应用例如图50所示。

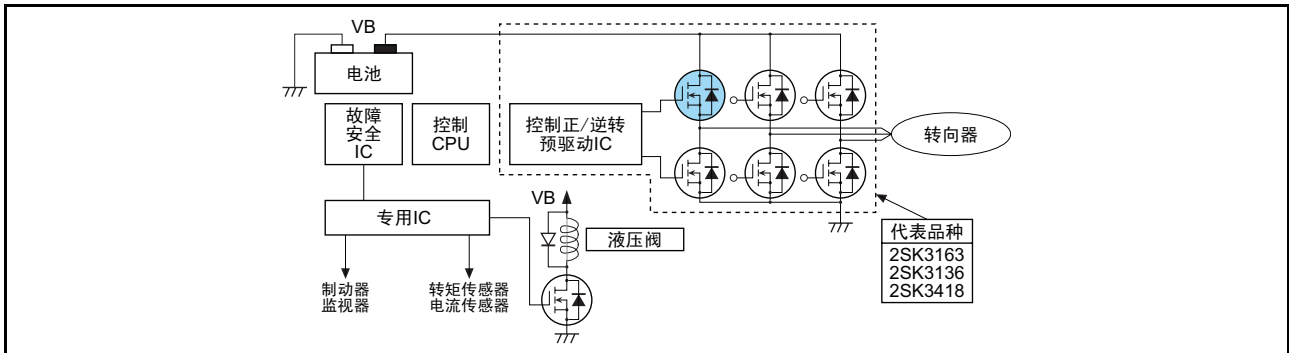


图50 汽车动力转向应用例

3.2.4 汽车HID车前大灯控制应用例

汽车HID车前大灯控制应用例如图51所示。

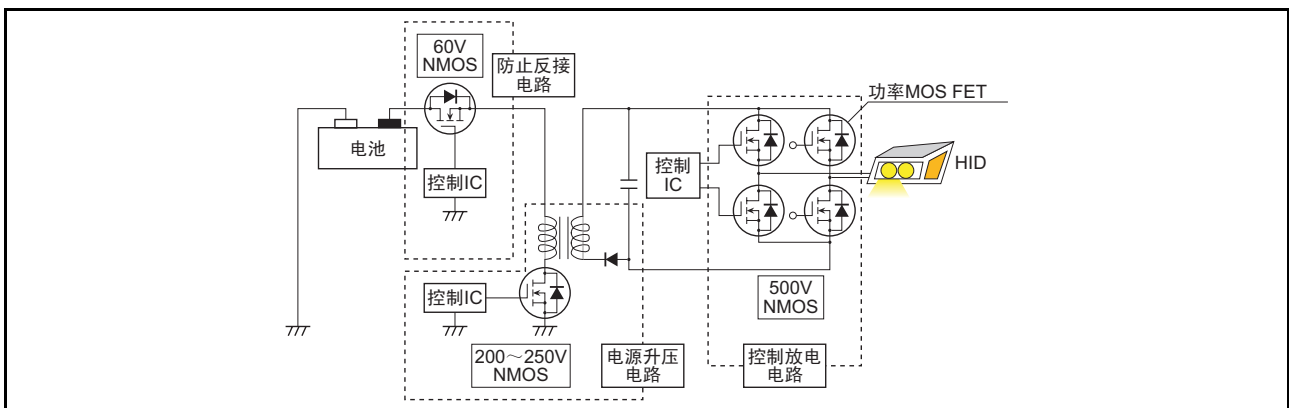


图51 汽车HID车前大灯控制应用例

3.3 用于电源

3.3.1 开关电源

- 应用设备
网络服务器、WS（工作站）、RAID
开关电源的应用例如图52所示。

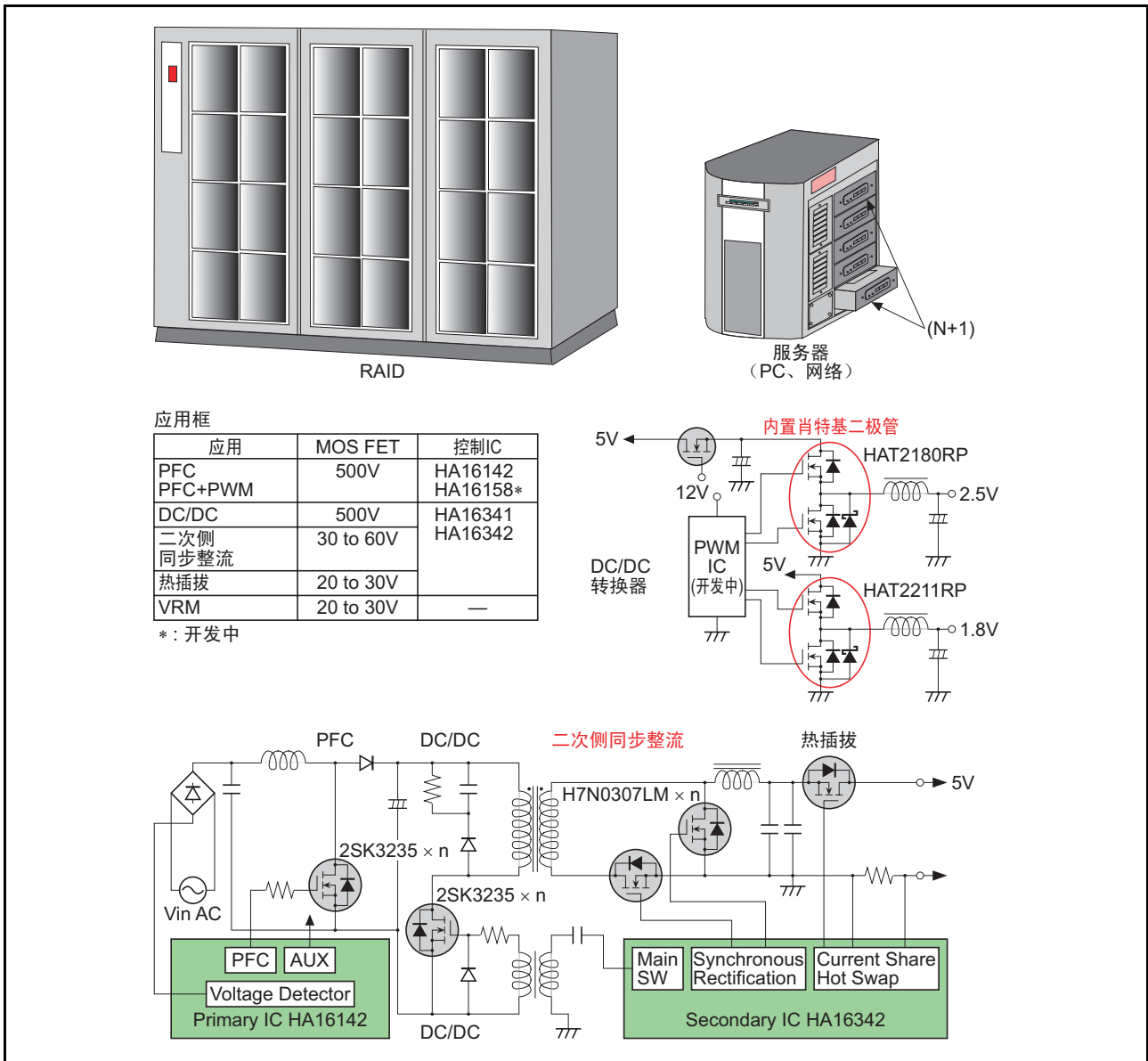


图52 开关电源的应用例

3.3.2 DC/DC 转换器

- 应用设备
用于笔记本PC、VTR摄像机、板上电源的二次侧、保护锂离子电池包的过充电。
DC/DC转换器的应用例如图53所示。

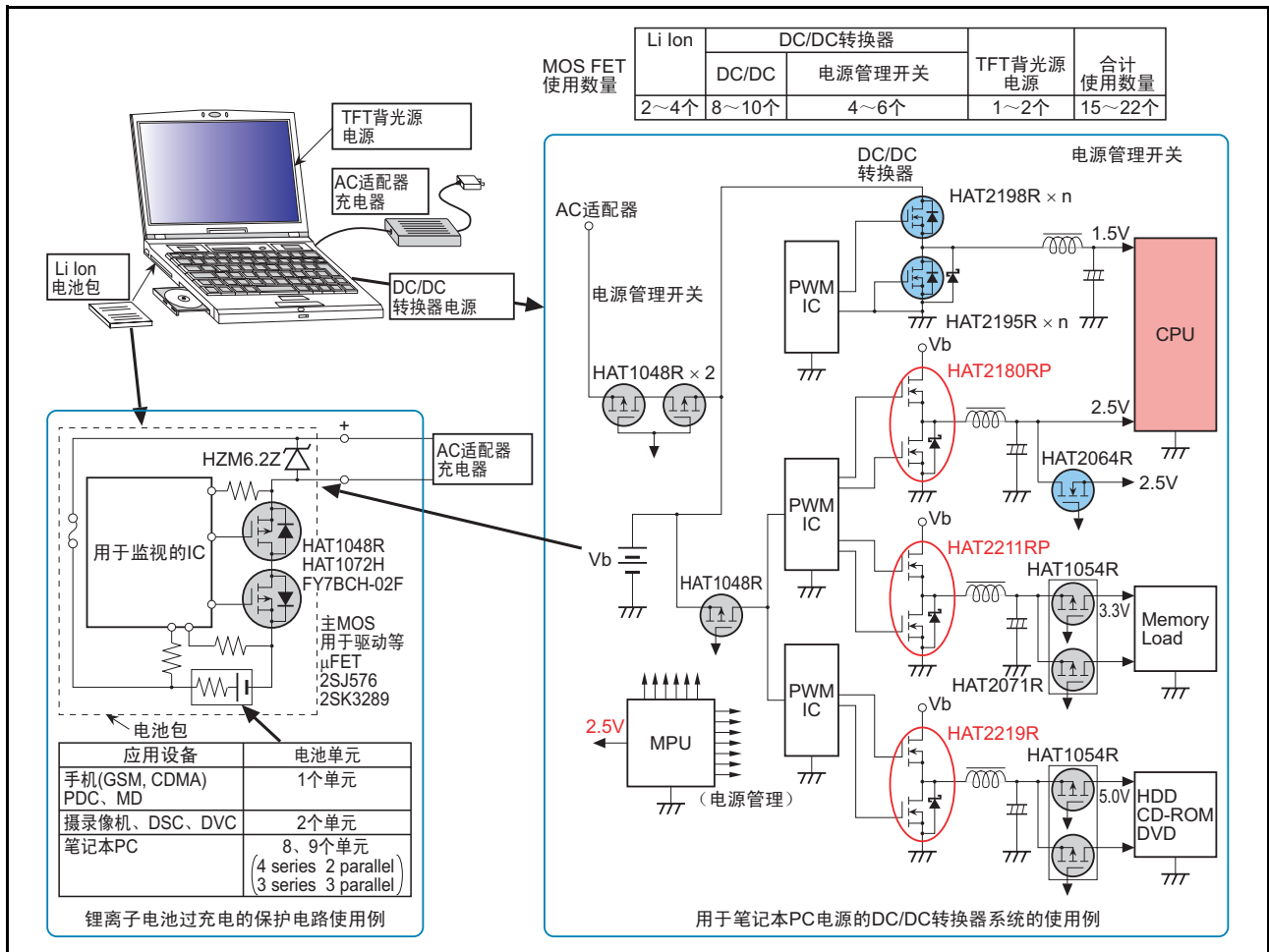


图53 DC/DC转换器的应用例

3.3.3 VRM(Voltage Regulator Module)

- 应用设备
台式PC、笔记本PC、网络服务器、WS（工作站）
VRM的应用例如图54所示。

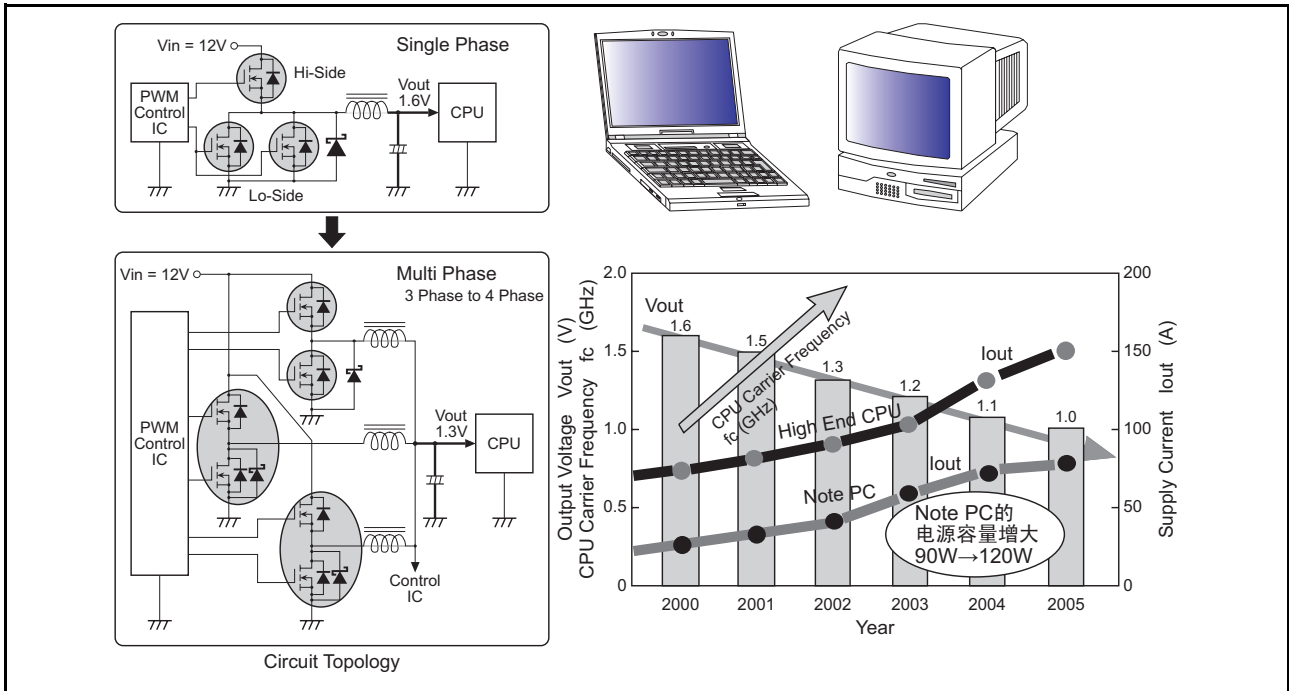


图54 VRM的应用例

3.3.4 基站SMPS(Switch-Mode Power Supply)

基站SMPS的应用例如图55所示。

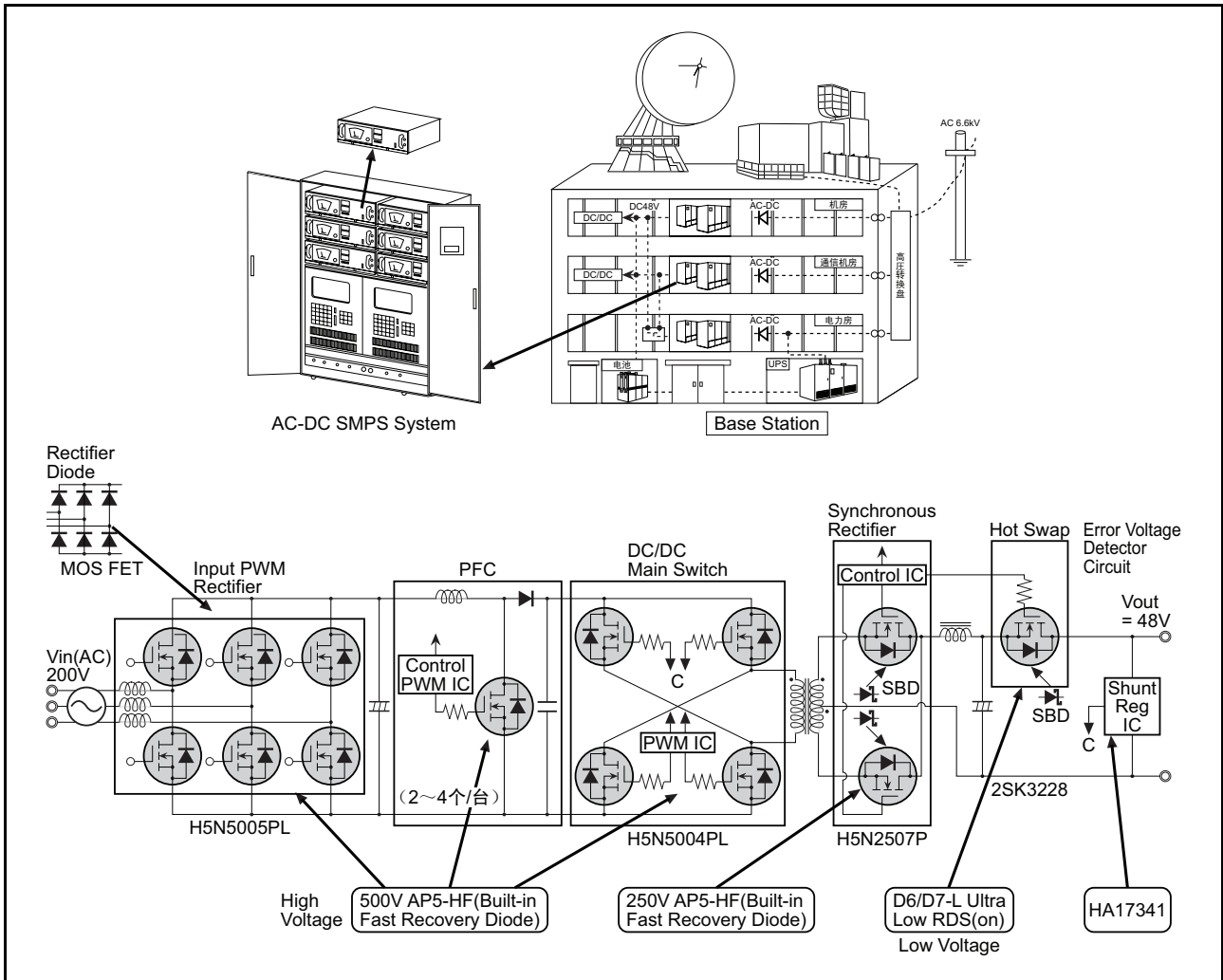


图55 基站SMPS的应用例

3.3.5 用于通信设备的DC/DC转换器

通信设备的DC/DC转换器应用例如图56所示。

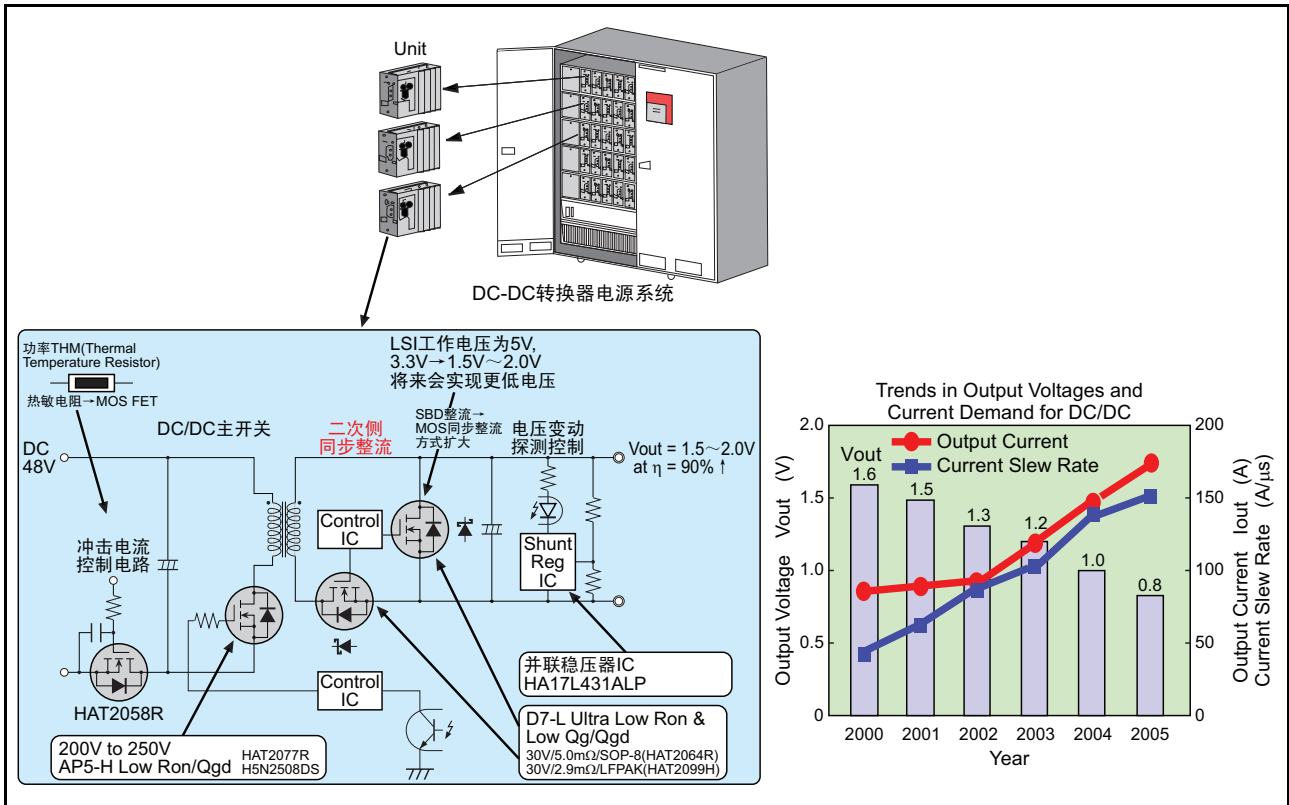


图56 通信设备的DC/DC转换器应用例

3.4 用于马达驱动

3.4.1 小型马达驱动的应用

- 应用设备

应用	设备
H桥	HDD（音圈马达）
	照相机马达、电子节气门
三相	HDD（主轴马达）
	PCC、打印机（输纸马达、多面镜）

小型马达驱动的应用例如图57所示。

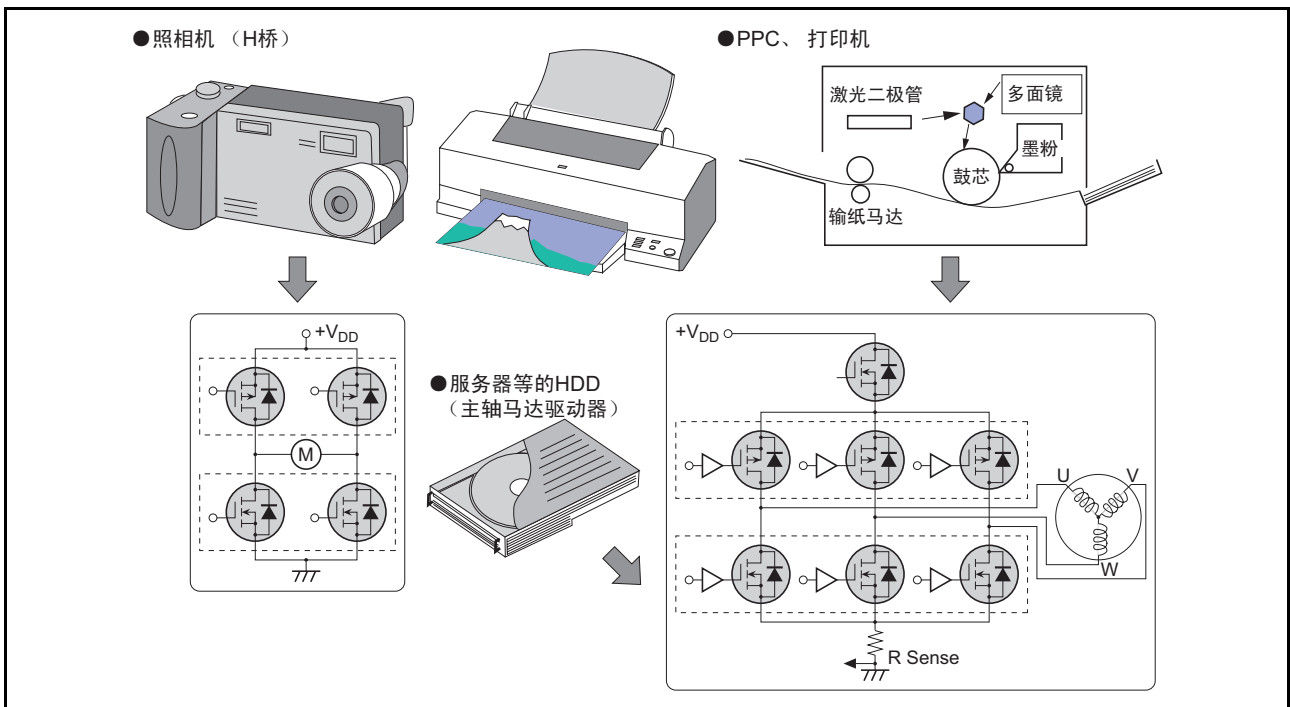


图57 小型马达驱动的应用例

公司主页和咨询窗口

有关本应用说明的技术方面的咨询请参考下面的网页。

瑞萨科技公司主页 <http://www.cn.renesas.com>

修订记录

Rev.	发行日	页	修订内容
			要点
1.00	2008.05.30	—	初版发行

Notes regarding these materials

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guarantees regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human life

Renesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>)等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的,特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的,请务必事先向本公司的营业窗口咨询。另外,对于用于上述目的而造成的损失等,本公司概不负责。
8. 除上述第7项内容外,不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失,本公司概不负责。
 - 1) 生命维持装置。
 - 2) 植埋于人体使用的装置。
 - 3) 用于治疗(切除患处、给药等)的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时,对于最大额定值、工作电源电压的范围、放热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时,对于由此而造成的故障和出现的事故,本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性,但一般来说,半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失,希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等,这是作为机器和系统的出厂保证。特别是单片机的软件,由于单独进行验证很困难,所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下,有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时,请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时,本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时,不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容,或者有其他关心的问题,请向本公司的营业窗口咨询。

© 2008. Renesas Technology Corp., All rights reserved.