

V850E/MA3、RA6M5 グループ

V850E/MA3 から RA6M5 グループへの移行ガイド

要旨

本アプリケーションノートは、V850E/MA3 から RA6M5 グループへの置き換えを行う場合の注意点、並びに相違点などを説明しています。なお、各機能の詳細な情報は最新のユーザーズマニュアル ハードウェア編にてご確認ください。

本文中では、V850E/MA3 は μ PD70F3134BY の仕様を代表として記載しています。その他の V850E/MA3 製品も、メモリ容量の違いはありますが、機能としては μ PD70F3134BY と同等ですので本資料を活用いただけます。また、RA6M5 グループは R7FA6M5 の仕様を代表として記載しています。

なお、RA6M5 グループは、Flexible Software Package (FSP) 及びコード生成ツール(スマート・コンフィグレータ)に対応しているため、ソフトウェア開発の負担を軽減できます。

目次

1. 概要	4
1.1 ラインアップ	4
1.2 機能置き換え可否	4
2. 内蔵機能	6
2.1 CPU 機能	6
2.1.1 仕様比較	6
2.1.2 メモリ・マップ	6
2.2 ポート機能	8
2.2.1 仕様比較	8
2.2.2 注意事項	8
2.2.2.1 オープンドレイン出力	8
2.3 バス制御機能（外部バス・インタフェース機能）	9
2.3.1 仕様比較	9
2.3.2 注意事項	11
2.3.2.1 エンディアンに関する注意事項	11
2.3.2.2 SDRAM 接続	11
2.4 クロック・ジェネレータ	12
2.4.1 仕様比較	12
2.4.2 注意事項	13
2.4.2.1 クロック発生回路に関する注意事項	13
2.5 タイマ機能（TMP, TMQ）	14
2.5.1 搭載ユニット	14
2.5.2 仕様比較	14
2.6 16 ビット・インターバル・タイマ D（TMD）	15
2.6.1 仕様比較	15
2.6.2 注意事項	15
2.6.2.1 タイマの初期化	15
2.7 16 ビット・2 相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ（TMENC1）	16
2.7.1 仕様比較	16
2.7.2 注意事項	16
2.7.2.1 UDC モードと位相係数機能のカウント動作の違い	16
2.8 モータ制御機能	17
2.8.1 仕様比較	17
2.9 ウォッチドッグ・タイマ機能	18
2.9.1 搭載ユニット	18
2.9.2 仕様比較	18
2.9.3 注意事項	18
2.9.3.1 カウント動作について	18
2.10 A/D コンバータ	19
2.10.1 搭載ユニット	19
2.10.2 仕様比較	19
2.10.3 注意事項	20
2.10.3.1 A/D コンバータの動作状態	20
2.11 D/A コンバータ	21

2.11.1 仕様比較	21
2.12 アシクロナス・シリアル・インタフェース A (UARTA)	22
2.12.1 仕様比較	22
2.12.2 注意事項	22
2.12.2.1 0 パリティ	22
2.13 クロック同期式シリアル・インタフェース B (CSIB)	23
2.13.1 搭載ユニット	23
2.13.2 仕様比較	23
2.14 I ² C バス	25
2.14.1 搭載ユニット	25
2.14.2 仕様比較	25
2.15 DMA 機能 (DMA コントローラ)	26
2.15.1 仕様比較	26
2.16 割り込み／例外処理機能	27
2.16.1 仕様比較	27
2.17 スタンバイ機能	28
2.17.1 仕様比較	28
3. 参考ドキュメント	30
改訂記録	31

1. 概要

1.1 ラインアップ

V850E/MA3 と RA6M5 グループの製品ラインアップ(コードサイズおよびピン数) を示します。

表 1.1 グループのコードサイズおよびピン数一覧

V850E/MA3		RA6M5	
ROM/RAM	Pin 数	Code Flash/RAM	Pin 数
256K/8K(マスク ROM)	144,161pin	—	—
256K/16K(マスク ROM)	144,161pin	—	—
256K/32K(マスク ROM)	144,161pin	—	—
512K/16K(マスク ROM)	144,161pin	—	—
512K/32K(マスク ROM, フラッシュメモリ)	144,161pin	—	—
—	—	1M/512K	100,144,176pin
—	—	1.5M/512K	100,144,176pin
—	—	2M/512K	100,144,176pin

1.2 機能置き換え可否

V850E/MA3(μ PD70F3134BY)の機能に対して RA6M5 グループ(R7FA6M5)での機能置き換え可否を表 1.2 に示します。

表 1.2 機能置き換え可否

V850E/MA3 の機能	RA6M5 による置き換え可否
ポート機能	可能
バス制御機能 (外部バス・インタフェース機能)	可能 ただし、端子によるバス・ホールド機能なし
クロック・ジェネレータ	可能
タイマ機能 (TMP, TMQ)	汎用 PWM タイマ(GPT)にて実現可能 ただし、一部機能は CPU 割り込みを介在させる必要あり
16 ビット・インターバル・タイマ D (TMD)	低消費電力非同期汎用タイマ(AGT)にて実現可能
16 ビット・2 相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TMENC1)	汎用 PWM タイマ(GPT)にて実現可能
モータ制御機能	汎用 PWM タイマ(GPT)にて実現可能
ウォッチドッグ・タイマ機能	ウォッチドッグタイマ(WDT)または独立ウォッチドッグタイマ(IWDT)にて実現可能
A/D コンバータ	12 ビット A/D コンバータ(ADC12)にて実現可能
D/A コンバータ	12 ビット D/A コンバータ(DAC12)にて実現可能
アシンクロナス・シリアル・インタフェース A (UARTA)	シリアルコミュニケーションインタフェース (SCI)にて実現可能
クロック同期式シリアル・インタフェース B (CSIB)	シリアルペリフェラルインタフェース(SPI)またはシリアルコミュニケーションインタフェース (SCI)にて実現可能
I ² C バス	I ² C バスインタフェース(IIC)またはシリアルコミュニケーションインタフェース(SCI)にて実現可能

V850E/MA3 の機能	RA6M5 による置き換え可否
DMA 機能 (DMA コントローラ)	DMA コントローラ(DMAC)にて実現可能 ただし、シングルステップ転送モードなし
割り込み/例外処理機能	可能 ただし、外部割り込みや周辺モジュールに依存する仕様は除く
スタンバイ機能	可能

2. 内蔵機能

2.1 CPU 機能

2.1.1 仕様比較

V850E/MA3 と RA6M5 グループの CPU 機能の仕様比較を表 2.1 に示します。

表 2.1 V850E/MA3 と RA6M5 グループの CPU 機能

項目	V850E/MA3	RA6M5
MAX 周波数	80MHz	200MHz

2.1.2 メモリ・マップ

V850E/MA3 と RA6M5 グループのメモリ・マップを表 2.2 に示します。

表 2.2 V850E/MA3 と RA6M5 グループのメモリ・マップ

項目	V850E/MA3
メモリ・マップ	<p>The diagram illustrates the memory map for V850E/MA3. It shows a vertical stack of memory regions:</p> <ul style="list-style-type: none"> 内蔵周辺I/O領域 (Internal Peripheral I/O Area): Located at the top, with an address range from <code>x00000000H</code> to <code>x00000004H</code>, and a size of 4 K バイト. 内蔵RAM領域 (Internal RAM Area): Located below the I/O area, with an address range from <code>x00000004H</code> to <code>x00000064H</code>, and a size of 60 K バイト. アクセス不可^注 (Access Prohibited): A large region in the middle, with a size of 256 M バイト, indicated by a tilde symbol (~). 内蔵ROM領域 (Internal ROM Area): Located at the bottom, with an address range from <code>x00000000H</code> to <code>x00000001H</code>, and a size of 1 M バイト. <p>Additional address markers shown on the left side of the diagram include <code>x00000000H</code>, <code>x00000004H</code>, <code>x00000064H</code>, <code>x00000000H</code>, <code>x00000004H</code>, <code>x00000000H</code>, and <code>x00000001H</code>.</p> <p>注 PMCAL, PMCAH, PMCDL, PMCCS, PMCCT, PMCCM, PMCCDレジスタを兼用機能に設定することにより、外部メモリ領域として使用できます。</p>

項目	RA6M5																															
メモリ・マップ	<p>0xFFFF_FFFF</p> <p>0xE000_0000</p> <p>0x8800_0000 (176ピン)、0x8720_0000 (144ピン、100ピン)</p> <p>0x8000_0000</p> <p>0x6800_0000</p> <p>0x6000_0000</p> <p>0x4080_0000</p> <p>0x407F_C000</p> <p>0x407F_0000</p> <p>0x407E_0000</p> <p>0x4018_0000</p> <p>0x4000_0000</p> <p>0x2800_0400</p> <p>0x2800_0000</p> <p>0x2008_0000</p> <p>0x2000_0000</p> <p>0x0800_2000</p> <p>0x0800_0000</p> <p>0x0100_A300</p> <p>0x0100_A100</p> <p>0x0100_81B4</p> <p>0x0100_80F0</p> <p>0x0030_0000</p> <p>0x0000_0000</p>	<p>Cortex®-M33用システム</p> <p>予約領域 (注2)</p> <p>外部アドレス空間 (CS領域)</p> <p>外部アドレス空間 (Octal SPI領域)</p> <p>外部アドレス空間 (Quad SPI領域)</p> <p>予約領域 (注2)</p> <p>フラッシュI/Oレジスタ</p> <p>予約領域 (注2)</p> <p>フラッシュI/Oレジスタ</p> <p>予約領域 (注2)</p> <p>周辺I/Oレジスタ</p> <p>予約領域 (注2)</p> <p>スタンバイSRAM</p> <p>予約領域 (注2)</p> <p>SRAM0</p> <p>予約領域 (注2)</p> <p>内蔵フラッシュ (データフラッシュ)</p> <p>予約領域 (注2)</p> <p>内蔵フラッシュ (オプション設定メモリ)</p> <p>予約領域 (注2)</p> <p>内蔵フラッシュ (ファクトリフラッシュ)</p> <p>予約領域 (注2)</p> <p>内蔵フラッシュ (コードフラッシュ) (読み出し専用) (注1)</p>																														
<p>注 1. 以下の表を参照してください。フラッシュの容量は製品により異なります。</p> <p>注 2. 予約領域にアクセスしないでください。</p>																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="3">コードフラッシュメモリ</th> <th colspan="2">データフラッシュメモリ</th> <th colspan="2">SRAM0</th> </tr> <tr> <th rowspan="2">容量</th> <th colspan="2">アドレス</th> <th rowspan="2">容量</th> <th rowspan="2">アドレス</th> <th rowspan="2">容量</th> <th rowspan="2">アドレス</th> </tr> <tr> <th>リニアモード</th> <th>デュアルモード (BANKSEL.BANKSWP[2:0] = 111b)</th> </tr> </thead> <tbody> <tr> <td>2 MB</td> <td>0x0000_0000 - 0x001F_FFFF</td> <td>上位側バンク : 0x0020_0000 - 0x002F_FFFF 下位側バンク : 0x0000_0000 - 0x000F_FFFF</td> <td>8 KB</td> <td>0x0800_0000 - 0x0800_1FFF</td> <td>512 KB</td> <td>0x2000_0000 - 0x2007_FFFF</td> </tr> <tr> <td>1 MB</td> <td>0x0000_0000 - 0x000F_FFFF</td> <td>上位側バンク : 0x0020_0000 - 0x0027_FFFF 下位側バンク : 0x0000_0000 - 0x0007_FFFF</td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>			コードフラッシュメモリ			データフラッシュメモリ		SRAM0		容量	アドレス		容量	アドレス	容量	アドレス	リニアモード	デュアルモード (BANKSEL.BANKSWP[2:0] = 111b)	2 MB	0x0000_0000 - 0x001F_FFFF	上位側バンク : 0x0020_0000 - 0x002F_FFFF 下位側バンク : 0x0000_0000 - 0x000F_FFFF	8 KB	0x0800_0000 - 0x0800_1FFF	512 KB	0x2000_0000 - 0x2007_FFFF	1 MB	0x0000_0000 - 0x000F_FFFF	上位側バンク : 0x0020_0000 - 0x0027_FFFF 下位側バンク : 0x0000_0000 - 0x0007_FFFF				
コードフラッシュメモリ			データフラッシュメモリ		SRAM0																											
容量	アドレス		容量	アドレス	容量	アドレス																										
	リニアモード	デュアルモード (BANKSEL.BANKSWP[2:0] = 111b)																														
2 MB	0x0000_0000 - 0x001F_FFFF	上位側バンク : 0x0020_0000 - 0x002F_FFFF 下位側バンク : 0x0000_0000 - 0x000F_FFFF	8 KB	0x0800_0000 - 0x0800_1FFF	512 KB	0x2000_0000 - 0x2007_FFFF																										
1 MB	0x0000_0000 - 0x000F_FFFF	上位側バンク : 0x0020_0000 - 0x0027_FFFF 下位側バンク : 0x0000_0000 - 0x0007_FFFF																														

2.2 ポート機能

2.2.1 仕様比較

V850E/MA3 のポート機能に対応する RA6M5 グループの I/O ポートの仕様を表 2.3 に示します。

表 2.3 ポート機能の対応

項目	V850E/MA3	RA6M5
CMOS 出力	可能	可能

2.2.2 注意事項

2.2.2.1 オープンドレイン出力

V850E/MA3 では SDA、SCL 端子として使用する場合、擬似オープンドレイン出力(P-ch 側が常にオフ)になります。

RA6M5 グループの汎用ポートは、汎用入力の P200 を除きオープンドレイン出力に対応しています。

2.3 バス制御機能（外部バス・インタフェース機能）

2.3.1 仕様比較

V850E/MA3 グループに搭載された外部バス・インタフェース機能に対応する RA6M5 グループの外部バスの仕様を表 2.4 に示します。また、外部バス・インタフェース機能の端子比較を表 2.5 に示します。

表 2.4 外部バス・インタフェース機能の対応

項目	V850E/MA3	RA6M5
	外部バス・インタフェース機能	外部バス
バスサイズ	8/16 ビット	<ul style="list-style-type: none"> セパレートバス：8/16 ビット アドレス/データマルチプレクスバス：8/16 ビット
バス空間	8 ブロック (ブロックサイズ：2~64MB)	<ul style="list-style-type: none"> CS 領域 (16MB x 8(176 ピン)、2MB x 8(144/100 ピン)) Octal SPI 領域 (OctaFlash 空間:256MB, OctaRAM 空間:128MB) Quad SPI 領域 (128MB)
ウェイト機能	データ・ウェイト	サイクルウェイト、アサートウェイト、データ出力ウェイト設定で実現可能 ^(注1)
	アドレス・セットアップ・ウェイト	CS アサートウェイト設定で可能
	アドレス・ホールド・ウェイト	アドレスサイクルウェイト設定で可能
	端子による外部ウェイト	WAIT#端子により可能
マルチプロセッサ構成におけるバスの調停	バス・ホールド機能によるバス調停	なし
バスモード	セパレート・バス・モード マルチプレクス・バス・モードから選択	セパレートバスインタフェース アドレス/データマルチプレクス I/O インタフェースを選択可能
バス・サイクル・タイプ制御機能	接続する外部デバイスを指定可能 <ul style="list-style-type: none"> SRAM, 外部 ROM, 外部 I/O ページ ROM SDRAM 	<ul style="list-style-type: none"> CS 領域：外部デバイスを接続可能(ページアクセスも可能) Octal SPI 領域：OPI 仕様に準拠した OctaFlash/OctaRAM デバイスを接続可能 Quad SPI 領域：SPI 互換インタフェースを持つシリアル ROM に接続可能
エンディアン制御機能	CS 空間ごとにビッグ・エンディアン形式/リトル・エンディアン形式を選択	領域ごとにビッグエンディアン形式/リトルエンディアン形式を選択可能

注1. リード時：ノーマルリードサイクルウェイト(CSRWAIT)と RD アサートウェイト(RDON)で同等設定可能。
 ライト時：ノーマルライトサイクルウェイト(CSWWAIT)と WR アサートウェイト(WRON)、ライトデータ出力ウェイト(WDON)で同等設定可能。

表 2.5 外部バス・インタフェース機能関連端子比較

V850E/MA3			RA6M5		
端子名	入出力	機能	端子名	入出力	機能
AD0-AD15	入出力	マルチプレクス時はアドレス/データ・バス、セパレート時はデータ・バス ・ 8bit データバス : AD0-AD7 有効(マルチプレクス時、AD8-AD15 はアドレス出力として有効) ・ 16bit データバス : AD0-AD15 有効	D0-D15	入出力	データバス(マルチプレクス時はアドレスとマルチプレクス) ・ 8bit データバス : D0-D7 有効(マルチプレクス時は A0/D0-A7/D7) ・ 16bit データバス : D0-D15 有効(マルチプレクス時は A0/D0-A15/D15)
A0-A25	出力	アドレス・バス ・ マルチプレクス : A16-A25 有効 ・ セパレート : A0-A25 有効	A0-A23	出力	アドレス ・ マルチプレクス(8bit データバス) : A8-A23 有効 ・ マルチプレクス(16bit データバス) : A16-A23 有効 ・ セパレート : A0-A23 有効
$\overline{CS0}$ - $\overline{CS7}$	出力	チップ・セレクト	CS0#- CS7#	出力	CS 領域選択
\overline{IOWR}	出力	I/O ライト・ストロープ	—	—	—
\overline{IORD}	出力	I/O リード・ストロープ	—	—	—
\overline{LWR}	出力	ライトストロープ(D0-D7)	WR0#	出力	バイトストロープモード時のライトストロープ(D0-D7)
\overline{UWR}	出力	ライトストロープ(D8-D15)	WR1#	出力	バイトストロープモード時のライトストロープ(D8-D15)
LDQM	出力	SDRAM 用入出力マスク(D0-D7)	DQM0	出力	SDRAM 入出力データマスクイネーブル(D0-D7)
UDQM	出力	SDRAM 用入出力マスク(D8-D15)	DQM1	出力	SDRAM 入出力データマスクイネーブル(D8-D15)
\overline{LBE}	出力	バイト・イネーブル(D0-D7)	BC0#	出力	1 ライトストロープモード時のバイトストロープ(D0-D7)
\overline{UBE}	出力	バイト・イネーブル(D8-D15)	BC1#	出力	1 ライトストロープモード時のバイトストロープ(D8-D15)
\overline{RD}	出力	リード・ストロープ	RD#	出力	リードストロープ
\overline{WE}	出力	SDRAM 用ライト・イネーブル	—	—	—
\overline{WR}	出力	ライト・ストロープ	WR#	出力	1 ライトストロープモード時のライト・ストロープ
ASTB	出力	アドレス・ストロープ	ALE	出力	アドレスラッチ
\overline{BCYST}	出力	バス・サイクル・スタート	—	—	—
\overline{WAIT}	入力	外部ウェイト要求	WAIT#	入力	ウェイト要求
\overline{HLDAK}	出力	バス・ホールド・アクノリッジ	—	—	—
\overline{HLDRQ}	入力	バス・ホールド要求	—	—	—

V850E/MA3			RA6M5		
端子名	入出力	機能	端子名	入出力	機能
$\overline{\text{REFRQ}}$	出力	SDRAM 用リフレッシュ要求	—	—	—
BUSCLK	出力	バス・クロック	EBCLK	出力	外部バスクロック
SDCKE	出力	SDRAM 用クロック・イネーブル	—	—	—
SDCLK	出力	SDRAM 用クロック	—	—	—
$\overline{\text{SDCAS}}$	出力	SDRAM 用カラム・アドレス・ストロープ	—	—	—
$\overline{\text{SDRAS}}$	出力	SDRAM 用ロウ・アドレス・ストロープ	—	—	—

2.3.2 注意事項

2.3.2.1 エンディアンに関する注意事項

RA6M5 グループで命令コードを実行するには、メモリ空間はリトルエンディアンでなければいけません。

2.3.2.2 SDRAM 接続

RA6M5 には専用コントローラがないため SDRAM を使用できません。SRAM や Quad/Octa SPI IF を持つフラッシュメモリ等の活用をご検討願います。

2.4 クロック・ジェネレータ

2.4.1 仕様比較

V850E/MA3 に搭載されたクロック・ジェネレータに対応する RA6M5 グループのクロック発生回路の仕様を表 2.6 に示します。

表 2.6 クロック・ジェネレータの対応

項目	クロック・ジェネレータ	RA6M5
	V850E/MA3	クロック発生回路
CPU クロック ソース	以下 2 種類から選択 <ul style="list-style-type: none"> 発振クロック(PLL モード時: 4~8 MHz、 クロック・スルー・モード時: 5~25MHz) PLL クロック(1.25/2.5/5/10 通倍) 	以下 6 種類から選択 <ul style="list-style-type: none"> メインクロック(発振周波数 8~24MHz) (発振子と外部クロックを選択可能) PLL クロック(10~30 通倍、1/2/3 分周)^(注1) サブクロック(32.768kHz) HOCO(16/18/20MHz) MOCO(8MHz) LOCO(32.768 kHz)
動作周波数	機能ごとに規定 <ul style="list-style-type: none"> CPU クロック f_{CPU}: 80MHz(max) 内部システムクロック f_{CLK}: 80MHz(max) 周辺クロック: 80MHz(max) ウォッチドッグ・タイマクロック f_{xw}: 40MHz(max) 	機能ごとに異なるクロックを生成 <ul style="list-style-type: none"> ICLK: 200MHz (max) PCLKA: 100MHz (max) PCLKB: 50MHz (max) PCLKC: 50MHz (max) PCLKD: 100MHz (max) FCLK: 4MHz~50MHz(P/E 時) 50MHz (max)(読み出し時) BCLK: 100MHz (max) EBCLK 端子出力: 50MHz (max) USBCLK: 48MHz USB60CLK: 60MHz USBMCLK: 12/20/24MHz OCTACLK: 200MHz (max) CANFDCLK: 40MHz (max) CANMCLK: 8MHz~24MHz CECCLK: 20MHz (max) AGTSCLK: 32.768kHz AGTLCLK: 32.768kHz CACCLK: 各発振器のクロックと同じ RTCCLK: 32.768kHz IWDTCLK: 15kHz SYSTICCLK: 32.768kHz JTAGTCK: 25MHz (max) SWCLK: 25MHz (max) TRCLK: 100MHz (max) TCLK: 50MHz (max) CLKOUT: 60MHz (max)

注1. PLL クロックソースはメインクロックと HOCO から選択可能です。

2.4.2 注意事項

2.4.2.1 クロック発生回路に関する注意事項

RA6M5 グループでは各モジュールに供給されるシステムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIF クロック(FCLK)、外部バスクロック(BCLK)の周波数関係に制限があります。詳細は RA6M5 グループユーザーズマニュアルハードウェア編「8.8.1 クロック発生回路に関する注意事項」を参照してください。

2.5 タイマ機能 (TMP, TMQ)

2.5.1 搭載ユニット

V850E/MA3 と RA6M5 グループに内蔵されたタイマ機能のユニット一覧を表 2.7 に示します。

表 2.7 V850E/MA3、RA6M5 グループのタイマ機能一覧

項目	V850E/MA3	RA6M5
多機能タイマ/ カウンタ 統合モジュール	<ul style="list-style-type: none"> ・ 16 ビット・タイマ/イベント・カウンタ P(TMP) ・ 16 ビット・タイマ/イベント・カウンタ Q(TMQ) 	<ul style="list-style-type: none"> ・ 汎用 PWM タイマ(GPT)

2.5.2 仕様比較

V850E/MA3 に搭載されたタイマ機能(TMP, TMQ) に対応する RA6M5 グループの汎用 PWM タイマ(GPT) の仕様を表 2.8 に示します。

表 2.8 タイマ機能の対応

項目	V850E/MA3	RA6M5
	TMP, TMQ	GPT
タイマカウンタ	4 本 (TMP0-2 : 各 1 本, TMQ0 : 1 本)	10 本 (32 ビット : 4 本, 16 ビット : 6 本)
モード	インターバル・タイマ 任意周期での割り込み発生と方形波出力 カウンタ : 最大 4 チャンネル 波形出力 : 最大 10 本 (TMP0-2 : 各 2 本, TMQ0 : 4 本)	基本動作で可能 カウンタ : 最大 10 チャンネル 波形出力 : 最大 20 本(各チャンネル 2 本)
	外部イベント・カウント 任意の外部イベント入力によるカウント動作 最大 4 チャンネル 入力端子(TMP0-2 : 入力各 1 本, TMQ0 : 入力 1 本)	全 10 チャンネルでカウントアップ/ダウン要因に外部トリガ入力を指定可能 外部トリガ入力端子 : 最大 4 本(各チャンネルで内 1 本を選択可能)
	外部トリガ・パルス出力 外部トリガ入力によるカウント開始と PWM 波形出力 最大 7 本出力可能(TMP0-2 : 入力/出力各 1 本, TMQ0 : 外部イベント入力 1 本, 出力 4 本)	全 10 チャンネルでカウントスタート要因に外部トリガ入力を指定可能 外部トリガ入力端子 : 最大 4 本(各チャンネルで内 1 本を選択可能) PWM 波形出力 : 最大 20 本(各チャンネル 2 本)
	ワンショット・パルス出力 外部トリガ入力によるカウント開始とワンショット・パルス出力 最大 6 本出力(TMP0-2 : 入力/出力各 1 本, TMQ : 外部イベント入力 1 本, 出力 4 本)	ハードで同等の機能はなし ただし、PWM モードと外部トリガ入力、CPU 割り込みを使用して実現可能。 PWM 波形出力 : 最大 20 本(各チャンネル 2 本)
	PWM 出力 最大 10 本出力(TMP0-2 : 各 2 本, TMQ0 : 4 本)	PWM 波形出力 : 最大 20 本(各チャンネル 2 本)
	フリー・ランニング・タイマ 最大 4 チャンネル (TMP0-2, TMQ0)	基本動作で周期を最大に設定することで可能 最大 10 チャンネル 13 個のカウントリソース
	パルス幅測定 最大 4 本測定可能 (入力端子 : TMP0-2 : 各 1 本, TMQ0 : 1 本)	インプットキャプチャ機能で可能 (最大 20 本(各チャンネル 2 本))

2.6 16 ビット・インターバル・タイマ D (TMD)

2.6.1 仕様比較

V850E/MA3 に搭載された 16 ビット・インターバル・タイマ D(TMD) に対応する RA6M5 グループの低消費電力非同期汎用タイマ(AGT)の仕様を表 2.9 に示します。

表 2.9 16 ビット・インターバル・タイマの対応

項目	V850E/MA3	RA6M5
	TMD	AGT
チャンネル数	4 チャンネル	6 チャンネル
カウンタビット長	16 ビット	16 ビット
選択可能な分周クロック	8 通り f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64, f _{xx} /128, f _{xx} /256, f _{xx} /512 の中からチャンネルごとに選択可能	22 通り PCLKB, PCLKB/2, PCLKB/8, AGTLCLK/d, AGTSCCLK/d (d = 1, 2, 4, 8, 16, 32, 64, または 128)、 または AGTn (n = 0, 2, 4) のアンダーフロー信号を 選択可能

2.6.2 注意事項

2.6.2.1 タイマの初期化

V850E/MA3 では TMD へのカウントクロック供給を停止すると TMD ユニットのレジスタはすべてのレジスタが非同期にリセットされます。RA6M5 グループでは、AGT がモジュールストップ状態に遷移してもレジスタは値を保持します。ただし、モジュールストップ状態ではレジスタ値のリードは出来ません。

2.7 16 ビット・2 相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TMENC1)

2.7.1 仕様比較

V850E/MA3 に搭載された 16 ビット・2 相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TMENC1) に対応する RA6M5 グループの汎用 PWM タイマ(GPT)の仕様を表 2.10 に示します。

表 2.10 16 ビット・2 相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマの対応

項目	V850E/MA3	RA6M5
	TMENC1	GPT
タイマカウンタ	1 本(TMENC1)	10 本(32 ビット : 4 本, 16 ビット : 6 本)
モード	汎用タイマ・モード インターバル動作 フリー・ランニング動作 キャプチャ機能 1 チャンネル(TMENC10) タイマ入力端子 : 2 本 タイマ出力端子 : 1 本	基本動作で可能 周期を最大に設定することでフリー・ランニング動作が可能 キャプチャ機能を同時に使用する場合、同期動作を使用し、基本動作と入力キャプチャ機能を設定したチャンネルを組み合わせることで可能 最大 10 チャンネル 入出力端子 : 最大 24 本(入出力端子 : 各 4 本、外部トリガ入力 : 4 本)
	UDC モード 2 相エンコーダ入力による アップ/ダウン・カウント動作 有効エッジ : 立ち上がり/立ち下がり/両エッジ	位相計数機能で UDC モードのモード 3 相当のカウント動作が可能 最大 2 チャンネル(MTU1,2) 有効エッジ : 立ち上がり/立ち下がり

2.7.2 注意事項

2.7.2.1 UDC モードと位相係数機能のカウント動作の違い

RA6M5 グループの位相係数機能には両エッジ検出機能が無いため、モード 4 相当の動作は出来ません。

位相係数機能ではエッジ検出側の入力端子だけでなく、有効エッジを検出していない側の端子の入力レベルもカウント条件に含まれます。そのためモード 1 および、モード 2 相当の動作は出来ません。

位相係数機能のカウント動作の詳細は RA6M5 グループユーザーズマニュアルハードウェア編「21.3.11 位相計数機能」を参照してください。

2.8 モータ制御機能

2.8.1 仕様比較

V850E/MA3 に搭載されたモータ制御機能に対応する RA6M5 グループの汎用 PWM タイマ(GPT)の仕様を表 2.11 に示します。

表 2.11 モータ制御機能の対応

項目	V850E/MA3	RA6M5
	モータ制御機能	GPT
チャンネル数	6相 PWM 出力(正相 3本、逆相 3本) TMQ と TMQOP を組み合わせて使用 1チャンネル(TMQ0+TMQOP0)	PWM 出力動作モードと同期動作の組み合わせにて可能 20相 PWM 出力(正相 10本、逆相 10本) 最大3チャンネル
デッド・タイム制御	デッドタイム制御 逆相波信号の生成	汎用 PWM タイマデッドタイムコントロールレジスタ/汎用 PWM タイマデッドタイム値レジスタ U にて可能
割り込み 間引き	割り込み間引き機能 山割り込みと谷割り込みを指定した間引きカウンタ数分マスク (最大 31 回マスク可能)	間引き機能は無し 割り込み処理内で間引き処理を実装する必要あり
強制出力 停止機能	ハイインピーダンス出力制御 INTP000 端子の有効エッジ検出でハイインピーダンスに切り替え可能	ポートアウトプットイネーブル ^(注1) との連携でハイインピーダンスに切り替え可能
A/D 変換 トリガ	A/D 変換開始トリガ出力機能 以下の 4 つのトリガ・ソースから選択 ・ TMQ カウンタ・アンダフロー ・ TMQ 周期一致 ・ 同調動作 TMP のコンペア一致(2本)	イベントリンク機能 ^(注2) との連携で A/D 変換開始トリガを生成可能

注1. POEG 機能の詳細は RA6M5 グループユーザーズマニュアルハードウェア編「20. GPT 用のポートアウトプットイネーブル(POEG)」を参照してください。

注2. イベントリンク機能の詳細は RA6M5 グループユーザーズマニュアルハードウェア編「18. イベントリンクコントローラ(ELC)」を参照してください。

2.9 ウォッチドッグ・タイマ機能

2.9.1 搭載ユニット

V850E/MA3 と RA6M5 グループに内蔵されたウォッチドッグ・タイマ機能のユニット一覧を表 2.12 に示します。

表 2.12 V850E/MA3、RA6M5 グループのウォッチドッグ・タイマ機能一覧

項目	V850E/MA3	RA6M5
ウォッチドッグ・タイマ機能	ウォッチドッグ・タイマ機能	<ul style="list-style-type: none"> ウォッチドッグタイマ(WDT) 独立ウォッチドッグタイマ(IWDT)

2.9.2 仕様比較

V850E/MA3 に搭載されたウォッチドッグ・タイマ機能に対応する RA6M5 グループのウォッチドッグタイマ(WDT)、および独立ウォッチドッグタイマ(IWDT)の仕様を表 2.13 に示します。

表 2.13 ウォッチドッグ・タイマ機能の対応

項目	V850E/MA3	RA6M5	
	ウォッチドッグ・タイマ機能	WDT	IWDT
カウンタビット長	8 ビット	14 ビット	14 ビット
カウント クロックソース	発振クロック PLL クロック	周辺クロック(PCLKB)	IWDT 専用クロック(IWDTCLK) オンチップオシレータで生成
オーバフロー 時間選択	8 通り $2^{14}/f_{xx}$, $2^{15}/f_{xx}$, $2^{16}/f_{xx}$, $2^{17}/f_{xx}$, $2^{18}/f_{xx}$, $2^{19}/f_{xx}$, $2^{20}/f_{xx}$, $2^{22}/f_{xx}$	15 通り タイムアウト期間 : 1024, 4096, 8192, 16384 サイクル クロック分周比 : 6 種類(4 分周, 64 分周, 128 分周, 512 分周, 2048 分周, 8192 分周)	12 通り タイムアウト期間 : 128, 512, 1024, 2048 サイクル クロック分周比 : 6 種類(分周なし, 16 分周, 32 分周, 64 分周, 128 分周, 256 分周)
オーバフロー 発生時の動作	インターバル・タイマ・モード/ ウォッチドッグ・タイマ・ モード 1/ウォッチドッグ・ タイマ・モード 2 から選択	ノンマスクابل割り込み要求出力/ リセット出力を選択可能	ノンマスクابل割り込み要求出力/ リセット出力を選択可能
割り込み/ リセット 発生要因	オーバフロー	アンダーフロー リフレッシュエラー (ウィンドウ機能)	アンダーフロー リフレッシュエラー (ウィンドウ機能)

2.9.3 注意事項

2.9.3.1 カウント動作について

V850E/MA3 のウォッチドッグ・タイマはアップカウントですが、RA6M5 グループのウォッチドッグタイマ(WDT)および、独立ウォッチドッグタイマ(IWDT)はダウンカウントになります。

2.10 A/D コンバータ

2.10.1 搭載ユニット

V850E/MA3 と RA6M5 グループに内蔵された A/D コンバータのユニット一覧を表 2.14 に示します。

表 2.14 V850E/MA3、RA6M5 の A/D コンバータ一覧

項目	V850E/MA3	RA6M5
A/D コンバータ	・ A/D コンバータ	・ 12 ビット A/D コンバータ(ADC12)

2.10.2 仕様比較

V850E/MA3 に搭載された A/D コンバータに対応する RA6M5 グループの 12 ビット A/D コンバータ(ADC12) の仕様を表 2.15 に示します。

表 2.15 A/D コンバータの対応

項目	V850E/MA3	RA6M5
	A/D コンバータ	ADC12
アナログ入力	8 チャンネル	2 ユニット 26 チャンネル ^(注1) ・ ユニット 0 : 13 チャンネル ・ ユニット 1 : 16 チャンネル
分解能	10 ビット	8/10/12 ビット
A/D 変換方式	逐次変換方式	逐次比較方式
A/D 変換動作モード	セレクト・モード(1 バッファ) 1 つのアナログ入力端子の電圧を 1 回 A/D 変換	シングルスキャンモードで可能
	セレクト・モード(4 バッファ) 1 つのアナログ入力端子の電圧を 4 回 A/D 変換	シングルスキャンモードでダブルトリガモードを選択することで任意に選択したチャンネルのアナログ入力を 2 回 A/D 変換可能
	スキャン・モード AN10 端子から任意のアナログ入力端子 (ANIn : n=0-7) までを順に A/D 変換	シングルスキャンモードで任意に選択したチャンネルの A/D 変換が可能
A/D 変換トリガ・モード	ソフトウェア・トリガ・モード	ソフトウェアトリガ
	タイマ・トリガ・モード(3 本)	・ タイマ割り込み、イベントリンク機能 ^(注2) を組み合わせることで可能
	外部トリガ・モード(1 本)	非同期トリガ ・ ユニット 0 : ADTRG0 端子 ・ ユニット 1 : ADTRG1 端子
外部トリガの有効エッジ	・ 立ち下がりエッジ ・ 立ち上がりエッジ ・ 両エッジ	立ち下がりエッジのみ
変換時間(最速)	2.25 μ s	0.4 μ s
割り込み/	A/D 変換終了	・ スキャン終了 ・ デジタルコンペア機能の比較条件成立

注1. AN000 & AN100、AN001 & AN101、および AN002 & AN102 は、同一のポート端子に割り当てられます。

注2. イベントリンク機能の詳細は RA6M5 グループユーザーズマニュアルハードウェア編「18. イベントリンクコントローラ(ELC)」を参照してください。

2.10.3 注意事項

2.10.3.1 A/D コンバータの動作状態

V850E/MA3 には A/D コンバータが変換動作中かを示すステータスフラグがあります。RA6M5 グループの 12 ビット A/D コンバータにはステータスフラグはありませんが、A/D コントロールレジスタの A/D 変換スタートビットで確認できます。

2.11 D/A コンバータ

2.11.1 仕様比較

V850E/MA3 に搭載された D/A コンバータに対応する RA6M5 グループの 12 ビット D/A コンバータ (DAC12) との仕様比較を表 2.16 に示します。

表 2.16 D/A コンバータの対応

項目	V850E/MA3	RA6M5
	D/A コンバータ	DAC12
アナログ出力	2 チャンネル	2 チャンネル
分解能	8 ビット	12 ビット
セトリング・ タイム/ 変換時間	セトリング・タイム ・ 3 μ s	変換時間 ・ 4 μ s
アナログ出力電 圧	$AV_{DD1} \times m / 256$ ($m = 0-255$; DA0CSn レジスタに設定した値)	$AVCC0 \times m / 4096$ ($m = 0-4096$; DADRn レジスタに設定した値)
動作モード	・ 通常モード (レジスタ書き換えによる D/A 変換)	・ 通常モード (レジスタ書き換えによる D/A 変換)
	・ リアルタイム出力モード (TMD の割り込み要求信号で D/A 変換)	・ タイマ割り込み、イベントリンク機能 ^(注1) を組み合わせることで可能

注1. イベントリンク機能の詳細は RA6M5 グループユーザーズマニュアル ハードウェア編「18. イベントリンクコントローラ(ELC)」を参照してください。

2.12 アシクロナス・シリアル・インタフェース A (UARTA)

2.12.1 仕様比較

V850E/MA3 に搭載されたアシクロナス・シリアル・インタフェース A(UARTA) に対応する RA6M5 グループのシリアルコミュニケーションインタフェース(SCI)の調歩同期式モードの仕様を表 2.17 に示します。

表 2.17 アシクロナス・シリアル・インタフェースの対応

項目	V850E/MA3	RA6M5
	UARTA	SCI の調歩同期式モード
チャンネル数	4 チャンネル	10 チャンネル
通信速度(MAX)	5Mbps(fxx=80MHz 時)	16.7Mbps(PCLKA=100MHz 時)
全二重通信	可能	可能
キャラクタ長	7/8 ビットから選択	7/8/9 ビットから選択可能
送信ストップ・ビット	1/2 ビットから選択	1/2 ビットから選択可能
パリティ機能	奇数/偶数/0/なしから選択	奇数/偶数/なしから選択可能
データ転送	MSB/LSB ファーストから選択可能	MSB/LSB ファーストから選択可能
データ反転	送受信データの反転入出力が可能	送受信データの反転入出力が可能
クロックソース	内部/外部から選択 ^(注1)	内部/外部から選択可能 ^(注2)
ノイズ・フィルタ	ノイズ・フィルタ回路により除去	デジタルフィルタでノイズ除去可能 フィルタの有効/無効を設定可能
端子	シリアル・ボー・レート・クロック入力 送信データの出力 受信データの入力	クロック入出力 送信データの出力 受信データの入力 送受信開始制御用入出力
受信エラー検出	パリティ・エラー フレーミング・エラー オーバラン・エラー	パリティエラー フレーミングエラー オーバランエラー
割り込み要因	受信エラー 受信終了 送信許可	受信エラー 受信データフル 送信データエンブティ 送信完了 受信データレディ (FIFO 選択時) アドレス一致
DMA 起動要因	受信終了 送信許可	受信データフル 送信データエンブティ 受信データレディ (FIFO 選択時) アドレス一致

注1. UARTA3 は外部クロック使用不可

注2. SCI1、SCI2 は GPT からの転送レートクロック入力が可能

2.12.2 注意事項

2.12.2.1 0 パリティ

V850E/MA3 にはパリティの種類に 0 パリティという設定があります。RA6M5 グループには 0 パリティに相当する設定はありません。

2.13 クロック同期式シリアル・インタフェース B (CSIB)

2.13.1 搭載ユニット

V850E/MA3 と RA6M5 グループに内蔵されたクロック同期式シリアル・インタフェースのユニット一覧を表 2.18 に示します。

表 2.18 V850E/MA3、RA6M5 グループのクロック同期式シリアル・インタフェース一覧

項目	V850E/MA3	RA6M5
クロック同期式シリアル・インタフェース	・クロック同期式シリアル・インタフェース B(CSIB)	・シリアルペリフェラルインタフェース(SPI) ・シリアルコミュニケーションインタフェース(SCI) の簡易 SPI モード/クロック同期式モード

2.13.2 仕様比較

V850E/MA3 に搭載されたクロック同期式シリアル・インタフェース B(CSIB) に対応する RA6M5 グループのシリアルペリフェラルインタフェース(SPI)、およびシリアルコミュニケーションインタフェース(SCI)の簡易 SPI モード/クロック同期式モードの仕様を表 2.19 に示します。

表 2.19 クロック同期式シリアル・インタフェースの対応

項目	V850E/MA3	RA6M5	
	CSIB	SPI	SCI (簡易 SPI モード/ クロック同期式モード)
チャンネル数	3 チャンネル	2 チャンネル	10 チャンネル
通信クロック周波数 (MAX)	マスタ/スレーブ共通 : 10MHz	マスタ動作時 : 50MHz (PCLKA=100MHz 時) スレーブ動作時 : 25MHz (PCLKA=100MHz 時)	マスタ動作時 : 15MHz (PCLKA=60MHz 時) スレーブ動作時 : 16.7MHz (PCLKA=100MHz 時)
動作モード	マスタモード/スレーブモード	マスタモード/スレーブモード	マスタモード/スレーブモード
シリアル・クロックとデータのフェーズ切り替え	シリアル・クロックとデータのフェーズ切り替えが可能	RSPCK の位相、極性を変更可能	クロックの位相、極性を変更可能
データ長	8-16 ビットを選択	8-16,20,24,32 ビットから選択可能	8 ビット
データ転送	MSB/LSB 先頭を切り替え可能	MSB/LSB ファースト切り替え可能	MSB/LSB ファースト切り替え可能
転送モード	シングル転送モード(送信, 受信, 送受信モード)	シングル転送可能	シングル転送可能
	連続転送モード(送信, 受信, 送受信モード)	送信/受信バッファはそれぞれダブルバッファ構造により連続転送可能	送信/受信バッファはそれぞれダブルバッファ構造により連続転送可能

項目	V850E/MA3	RA6M5	
	CSIB	SPI	SCI (簡易 SPI モード/ クロック同期式モード)
端子	シリアル・データ出力 シリアル・データ入力 シリアル・クロック入出力	マスタ送出データ入出力 スレーブ送出データ入出力 クロック入出力 スレーブセレクト入出力 (SPI 動作のみ) スレーブセレクト出力 (SPI 動作のみ)	クロック入出力 送信データの出力 受信データの入力 送受信開始制御用入出力/ チップセレクト入力端子
割り込み要因	受信終了 送信許可 受信エラー	受信バッファフル 送信バッファ空き SPI エラー SPI アイドル 送信完了	受信エラー 受信データフル 送信データ空き 送信終了 受信データレディ(FIFO 選択時) アドレス一致
DMA 起動要因	受信終了 送信許可	受信バッファフル 送信バッファ空き	受信データフル 送信データ空き 受信データレディ(FIFO 選択時) アドレス一致

2.14 I²C バス

2.14.1 搭載ユニット

V850E/MA3 と RA6M5 グループに内蔵された I²C バス機能のユニット一覧を表 2.20 に示します。

表 2.20 V850E/MA3、RA6M5 グループの I²C バス機能一覧

項目	V850E/MA3	RA6M5
I ² C 機能	I ² C バス	<ul style="list-style-type: none"> I²C バスインタフェース(IIC) シリアルコミュニケーションインタフェース(SCI)の簡易 IIC モード

2.14.2 仕様比較

V850E/MA3 に搭載された I²C バスに対応する RA6M5 グループの I²C バスインタフェース(IIC)、およびシリアルコミュニケーションインタフェース(SCI)の簡易 IIC モードの仕様を表 2.21 に示します。

表 2.21 I²C バスの対応

項目	V850E/MA3	RA6M5	
	I ² C バス	IIC	SCI の簡易 IIC モード
チャンネル数	1 チャンネル	3 チャンネル	10 チャンネル
通信速度	標準モード：～100kbps 高速モード：～350kbps	スタンダードモード：～100kbps ファストモード：～400kps ファストモードプラス：～1Mbps	スタンダードモード：～100kbps ファストモード：～400kbps
通信フォーマット	I ² C バス・フォーマット	<ul style="list-style-type: none"> I²C バスフォーマット SMBus フォーマット 	I ² C バスフォーマット
通信動作	<ul style="list-style-type: none"> マスタ動作(マルチマスタ対応) スレーブ動作 	<ul style="list-style-type: none"> マスタ動作(マルチマスタ対応) スレーブ動作 	マスタ(シングルマスタのみ)
デジタル・フィルタ	高速モード時のみ使用可能	フィルタの有効/無効を設定可能 ノイズ除去幅を調整可能	フィルタの有効/無効を設定可能 ノイズ除去幅を調整可能
消費電力低減	動作停止モード シリアル転送を行わないときに使用	モジュールストップ機能で実現可能 チャンネルごとに設定可能	モジュールストップ機能で実現可能 チャンネルごとに設定可能
割り込み	1 種類 <ul style="list-style-type: none"> シリアル・クロックの 8 クロック目または 9 クロック目の立ち下がり ストップ・コンディション検出 	4 種類 EEI 割り込み <ul style="list-style-type: none"> 通信エラーまたはイベント発生 アービトラクションロスト検出 NACK タイムアウト スタート/リスタートコンディション ストップコンディション RXI 割り込み <ul style="list-style-type: none"> 受信データフル(スレーブアドレス一致時含む) TXI 割り込み <ul style="list-style-type: none"> 送信データエンプティ(スレーブアドレス一致時含む) TEI 割り込み <ul style="list-style-type: none"> 送信終了 	3 種類 RXI 割り込み <ul style="list-style-type: none"> ACK 検出/受信 TXI 割り込み <ul style="list-style-type: none"> NACK 検出/送信 TEI 割り込み <ul style="list-style-type: none"> 開始条件、再開条件、停止条件生成終了
DMA 起動要因	転送終了	<ul style="list-style-type: none"> 受信データフル 送信データエンプティ 	<ul style="list-style-type: none"> 受信割り込み 送信割り込み

2.15 DMA 機能 (DMA コントローラ)

2.15.1 仕様比較

V850E/MA3 に搭載された DMA 機能(DMA コントローラ)に対応する RA6M5 グループの DMA コントローラ(DMAC)の仕様を表 2.22 に示します。

表 2.22 DMA 機能の対応

項目	V850E/MA3	RA6M5
	DMA 機能	DMAC
チャンネル数	4 チャンネル	8 チャンネル
転送モード	シングル転送モード 1 回の転送要求で 1 データの転送	ノーマル転送モードで実現可能
	シングルステップ転送モード 1 回の転送要求で 1 データ転送とバス解放を指定した転送回数まで継続	—
	ブロック転送モード 1 回の転送要求で 1 データ転送を指定した転送回数まで継続	ブロック転送モードで実現可能
転送単位	1 データ : 8/16 ビットから選択	1 データ : 8/16/32 ビットから選択可能 ブロックサイズ : 1~1024 データを設定可能
最大転送回数	65536 回	65535 回
転送要求	内蔵周辺 I/O からの割り込みによる要求 DMARQ0-3 端子入力による要求 ソフトウェア・トリガによる要求	周辺モジュールからの割り込み要求 外部割り込み入力端子へのトリガ入力 ソフトウェアトリガ
転送対象	メモリ \leftrightarrow I/O メモリ \leftrightarrow メモリ	予約領域を除く全領域が対象
アドレス カウント方式	インクリメント デクリメント 固定	インクリメント デクリメント 固定 オフセット加算 ^(注1)
割り込み	DMA 転送終了割り込み	転送終了割り込み 転送エスケープ終了割り込み

注1. オフセット加算設定は DMAC0 のみ設定可能です。

2.16 割り込み／例外処理機能

2.16.1 仕様比較

V850E/MA3 に搭載された割り込み／例外処理機能に対応する RA6M5 グループの割り込みコントローラ (ICU)／例外処理の仕様を表 2.23 に示します。

表 2.23 割り込み／例外処理機能の対応

項目	V850E/MA3	RA6M5
	割り込み／例外処理機能	ICU／例外処理
割り込み	ノンマスクابل割り込み：2 要因 ・ NMI 端子入力 ・ ウォッチドッグ・タイマのオーバフロー	ノンマスクابل割り込み：11 要因 ・ NMI 端子割り込み ・ WDT アンダーフロー/リフレッシュエラー ^(注1) ・ IWDT アンダーフロー/リフレッシュエラー ^(注1) ・ 低電圧検出 1 ^(注1) ・ 低電圧検出 2 ^(注1) ・ SRAM パリティエラー ・ SRAM ECC エラー ・ TrustZone フィルタエラー ・ キャッシュ RAM パリティエラー ・ 発振停止検出割り込み ^(注1) ・ バスマスタ MPU エラー
	マスクابل割り込み ・ 外部：25 要因 ・ 内蔵周辺機能割り込み	マスクابل割り込み ・ 外部端子割り込み：16 要因 ・ 周辺機能割り込み ・ ソフトウェア割り込み：2 要因
	8 レベルのプログラマブル優先順位制御	16 レベルに設定可能
	外部割り込み要求のノイズ除去 ・ アナログ・フィルタによるノイズ除去回路：NMI, INTPn (n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137) - ノイズ除去時間未満(80ns)で変化する入力は除去	外部割り込み要求端子のノイズ除去 ・ デジタルフィルタ：NMI, IRQ0-15 デジタルフィルタ有効／無効選択可能 - 3 回連続でレベルが一致する入力のみ通過 - サンプリング周波数：PCLKB, PCLKB/8, PCLKB/32, PCLKB/64
	外部割り込み要求の有効エッジ指定：NMI, INTPn (n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137) ・ 立ち上がりエッジ ・ 立ち下がりエッジ ・ 両エッジ	外部割り込み要求端子の割り込み検出を設定可能 ・ Low レベル(IRQ0-15) ・ 立ち下がりエッジ(NMI, IRQ0-15) ・ 立ち上がりエッジ(NMI, IRQ0-15) ・ 両エッジ(IRQ0-15)
例外	ソフトウェア例外 ・ 専用：32 要因	SVC 命令によるソフトウェア例外の発生が可能
	例外トラップ：2 要因(不正命令コード例外, デバッグ・トラップ)	未定義命令例外で実現可能

注1. これらのノンマスクابل割り込みは、マスクابل割り込みとしても使用可能です。

2.17 スタンバイ機能

2.17.1 仕様比較

V850E/MA3 に搭載されたスタンバイ機能に対応する RA6M5 グループの低消費電力モードの仕様を表 2.24 に示します。

表 2.24 スタンバイ機能の対応

項目	V850E/MA3	RA6M5
	スタンバイ機能	低消費電力モード
HALT モード	<p>CPU の動作クロックのみを停止させるモード</p> <p><解除要因></p> <ul style="list-style-type: none"> ・ノンマスクابل割り込み要求信号 (NMI 端子入力, オーバフローによるノンマスクابل割り込み要求信号発生) ・マスクされていないマスクابل割り込み要求信号 ・リセット信号(RESET 端子入力, ウォッチドッグ・タイマのオーバフローによるリセット信号発生) 	<p>スリープモードで実現可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・割り込み ・リセット(RESET 端子リセット, パワーオンリセット, 電圧監視リセット, SRAM パリティエラーリセット, SRAM ECC エラーリセット, バスマスタ MPU エラーリセット, TrustZone エラーリセット, IWDT または WDT アンダーフローによるリセット)
IDLE モード	<p>発振回路以外の内部回路の動作をすべて停止させるモード</p> <p>ただし、スレープ・モード時の CSIB と外部クロック選択時の UARTA は動作可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・ノンマスクابل割り込み要求信号(NMI 端子入力) ・マスクされていない外部割り込み要求信号(INTPn 端子入力) ・IDLE モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレープ・モード時の CSIB 関連割り込み要求信号および外部クロック選択時の UARTA 関連割り込み要求信号) ・リセット信号(RESET 端子入力) 	<p>スリープモードとモジュールストップ機能により実現可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・割り込み ・リセット(RESET 端子リセット, パワーオンリセット, 電圧監視リセット, SRAM パリティエラーリセット, SRAM ECC エラーリセット, バスマスタ MPU エラーリセット, TrustZone エラーリセット, IWDT または WDT アンダーフローによるリセット)
ソフトウェア STOP モード	<p>内部回路の動作をすべて停止させるモード</p> <p>ただし、スレープ・モード時の CSIB と外部クロック選択時の UARTA は動作可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・ノンマスクابل割り込み要求信号(NMI 端子入力) ・マスクされていない外部割り込み要求信号(INTPn 端子入力) ・ソフトウェア STOP モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレープ・モード時の CSIB 関連割り込み要求信号および外部クロック選択時の UARTA 関連割り込み要求信号) ・リセット信号(RESET 端子入力) 	<p>ソフトウェアスタンバイモードとスヌーズモードにより実現可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・外部端子割り込み(NMI, IRQ0-15) ・周辺機能割り込み(RTC アラーム, RTC 周期, IWDT, USBFS または HS サスペンド/レジューム, 電圧監視 1, 電圧監視 2, AGT1, AGT3, IIC ウェイクアップ) ・リセット(RESET#端子リセット, パワーオンリセット, 電圧監視リセット, 独立ウォッチドッグタイマリセット)

n = 000, 001, 004, 005, 010-013, 021,022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137

表 2.25 各モード遷移時の動作状態

機能	V850E/MA3			RA6M5			
	HALT モード	IDLE モード	ソフトウェア STOP モード	スリープ モード	ソフトウェア スタンバイ モード	スヌーズ モード	ディープ ソフトウェア スタンバイ モード
クロック・ジェネレータ	○	○	×	-	-	-	-
メインクロック	-	-	-	○	×	○	×
PLL	○	○	×	○	×	○	×
サブクロック	-	-	-	○	○	○	○
高速オンチップオシレータ	-	-	-	○	×	○	×
低速オンチップオシレータ	-	-	-	○	○	○	○
IWDT 専用オンチップオシレータ	-	-	-	○ ^(注1)	○ ^(注1)	○ ^(注1)	×
CPU	×	×	×	×	×	×	×
DMA	○	×	×	○	×	○	×
割り込みコントローラ	○	×	×	○	○	○	×
ウォッチドッグタイマ	○	×	×	○	○ ^(注2)	○ ^(注2)	×
その他周辺モジュール	注3	注3	注3	○	注3	注3	注3
ポート	保持	保持	保持	○	保持 ^(注4)	○	保持 ^(注4)
RAM	保持	保持	保持	○	×	○	×

○：動作可能、×：動作停止、-：相当する機能なし

保持は内部レジスタ値保持、内部状態は動作中断を示します。

不定は内部レジスタ値不定、内部状態は電源オフを示します。

注1. IWDT 専用オンチップオシレータおよび IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 の IWDT 停止制御ビット(OFS0.IWDTSTPCTL)の設定により、動作/停止を選択することができます。WDT の場合、WDT オートスタートモード時、オプション機能選択レジスタ 0 の WDT 停止制御ビット(OFS0.1WDTSTPCTL)の設定により、動作/停止を選択することができます。動作周波数に応じて適切な動作電力制御モードを選択することにより、通常動作時およびスリープモード時の消費電力を削減することができます。

注2. IWDT のみ、WDT は動作停止。

注3. 各モードによって動作可能な条件やモジュールが異なります。詳細は V850E/MA3 ユーザーズマニュアル ハードウェア編「21 章 スタンバイ機能」および、RA6M5 グループユーザーズマニュアル ハードウェア編「10. 低消費電力モード」を参照してください。

注4. アドレスバスおよびバス制御信号(CS0~CS7、RD、WR0~WR1、WR、BC0~BC1 および ALE)に対して、出力状態の維持やハイインピーダンス状態への変更は、SBYCR.OPE ビットで選択可能です。

3. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

RA6M5 グループユーザーズマニュアル ハードウェア編 (R01UH0891)

V850E/MA3 ユーザーズマニュアル ハードウェア編 (U16397JJ4V0UD)

(最新版をルネサス エレクトロニクスホームページから入手してください)

テクニカルアップデート/テクニカルニュース

(最新版をルネサス エレクトロニクスホームページから入手してください)

ユーザーズマニュアル：開発環境

Renesas Flexible Software Package (FSP) User's Manual (R11UM0155EU)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Mar.24.23	-	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。