

V850ES/JF3-L、RA2L1 グループ

V850ES/JF3-L から RA2L1 グループへの移行ガイド

要旨

本アプリケーションノートは、V850ES/JF3-L から RA2L1 グループへの置き換えを行う場合の注意点、並びに相違点などを説明しています。なお、各機能の詳細な情報は最新のユーザーズマニュアル ハードウェア編にてご確認ください。

本文中では、V850ES/JF3-L は μ PD70F3736 の仕様を代表として記載しています。その他の V850ES/JF3-L 製品も、メモリ容量の違いはありますが、機能としては μ PD70F3736 と同等ですので本資料を活用いただけます。また、RA2L1 グループは R7FA2L1 の仕様を代表として記載しています。

なお、RA2L1 グループは、Flexible Software Package (FSP) 及びコード生成ツール(スマート・コンフィグレータ)に対応しているため、ソフトウェア開発の負担を軽減できます。

目次

1. 概要	4
1.1 ラインアップ	4
1.2 機能置き換え可否	4
2. 内蔵機能	5
2.1 CPU 機能	5
2.1.1 仕様比較	5
2.1.2 メモリ・マップ	5
2.2 ポート機能	7
2.2.1 仕様比較	7
2.3 外部バス制御機能	8
2.3.1 仕様比較	8
2.4 クロック発生回路	9
2.4.1 仕様比較	9
2.4.2 注意事項	9
2.4.2.1 クロック発生回路に関する注意事項	9
2.4.2.2 発振停止検出機能	9
2.5 タイマ機能 (TMP、TMQ)	10
2.5.1 搭載ユニット	10
2.5.2 仕様比較	10
2.6 16ビット・インターバル・タイマ M (TMM)	11
2.6.1 仕様比較	11
2.6.2 注意事項	11
2.6.2.1 タイマカウンタの初期化	11
2.7 時計タイマ機能	12
2.7.1 仕様比較	12
2.7.2 注意事項	12
2.7.2.1 RTC の初期化	12
2.8 ウォッチドッグ・タイマ 2 機能	13
2.8.1 搭載ユニット	13
2.8.2 仕様比較	13
2.8.3 注意事項	13
2.8.3.1 カウント動作について	13
2.8.3.2 カウントスタート	14
2.8.3.3 使用しない場合の設定	14
2.9 リアルタイム出力機能(RTO)	15
2.9.1 仕様比較	15
2.10 A/D コンバータ	16
2.10.1 仕様比較	16
2.10.2 注意事項	16
2.10.2.1 A/D コンバータの動作状態	16
2.11 D/A コンバータ	17
2.11.1 仕様比較	17
2.12 アシクロナス・シリアル・インタフェース A (UARTA)	18
2.12.1 仕様比較	18

2.12.2 注意事項	18
2.12.2.1 0パリティ	18
2.13 3線式可変長シリアル I/O (CSIB)	19
2.13.1 搭載ユニット	19
2.13.2 仕様比較	19
2.14 I ² C バス	21
2.14.1 搭載ユニット	21
2.14.2 仕様比較	21
2.15 DMA 機能 (DMA コントローラ)	22
2.15.1 仕様比較	22
2.16 割り込み/例外処理機能	23
2.16.1 仕様比較	23
2.17 スタンバイ 機能	24
2.17.1 仕様比較	24
2.18 クロック・モニタ	27
2.18.1 仕様比較	27
2.18.2 注意事項	27
2.18.2.1 発振停止検出機能の停止	27
2.19 低電圧検出回路(LVI).....	28
2.19.1 仕様比較	28
2.19.2 注意事項	28
2.19.2.1 再度電圧検出を設定する際の注意事項	28
2.20 CRC 機能	29
2.20.1 仕様比較	29
3. 参考ドキュメント	30

1. 概要

1.1 ラインアップ

V850ES/JF3-L と RA2L1 グループの製品ラインアップ(コードサイズおよびピン数)を表 1.1 に示します。

表 1.1 V850ES/JF3-L、RA2L1 グループのコードサイズおよびピン数一覧

V850ES/JF3-L		RA2L1	
Code Flash/RAM	Pin 数	Code Flash/RAM	Pin 数
128K/8K	80pin	128K/32K	48,64,80,100pin
256K/16K	80pin	256K/32K	48,64,80,100pin

1.2 機能置き換え可否

V850ES/JF3-L の機能に対して RA2L1 グループでの機能置き換え可否を表 1.2 に示します。

表 1.2 機能置き換え可否

V850ES/JF3-L の機能	RA2L1 グループによる置き換え可否
ポート機能	可能
外部バス制御機能	不可
クロック発生回路	可能
タイマ機能 (TMP、TMQ)	汎用 PWM タイマ(GPT)にて実現可能 ただし、一部機能は CPU 割り込みを介在させる必要あり
16 ビット・インターバル・タイマ M (TMM)	低消費電力非同期汎用タイマ(AGT)にて実現可能
時計タイマ機能	リアルタイムクロック(RTC)で実現可能
ウォッチドッグ・タイマ 2 機能	ウォッチドッグタイマ(WDT)または独立ウォッチドッグタイマ(IWDT)で実現可能
リアルタイム出力機能(RTO)	イベントリンクコントローラ(ELC)と任意のタイマ機能で再現可能 ただし、一部機能は CPU 割り込みを介在させる必要あり
A/D コンバータ	12 ビット A/D コンバータ(ADC12)で実現可能
D/A コンバータ	12 ビット D/A コンバータ(DAC12)で実現可能
アシンクロナス・シリアル・インタフェース A (UARTA)	シリアルコミュニケーションインタフェース(SCI)で実現可能
3 線式可変長シリアル I/O (CSIB)	シリアルペリフェラルインタフェース(SPI)またはシリアルコミュニケーションインタフェース(SCI)で実現可能
I ² C バス	シリアルコミュニケーションインタフェース(SCI)または I ² C バスインタフェース(IIC)で実現可能
DMA 機能 (DMA コントローラ)	可能
割り込み/例外処理機能	可能 ただし、外部割り込みや周辺モジュールに依存する仕様は除く
スタンバイ機能	可能
クロック・モニタ	発振停止検出機能で実現可能
低電圧検出回路(LVI)	電圧検出回路(LVD)で実現可能
CRC 機能	可能

2. 内蔵機能

2.1 CPU 機能

2.1.1 仕様比較

V850ES/JF3-L と RA2L1 グループ の CPU 機能の仕様比較を表 2.1 に示します。

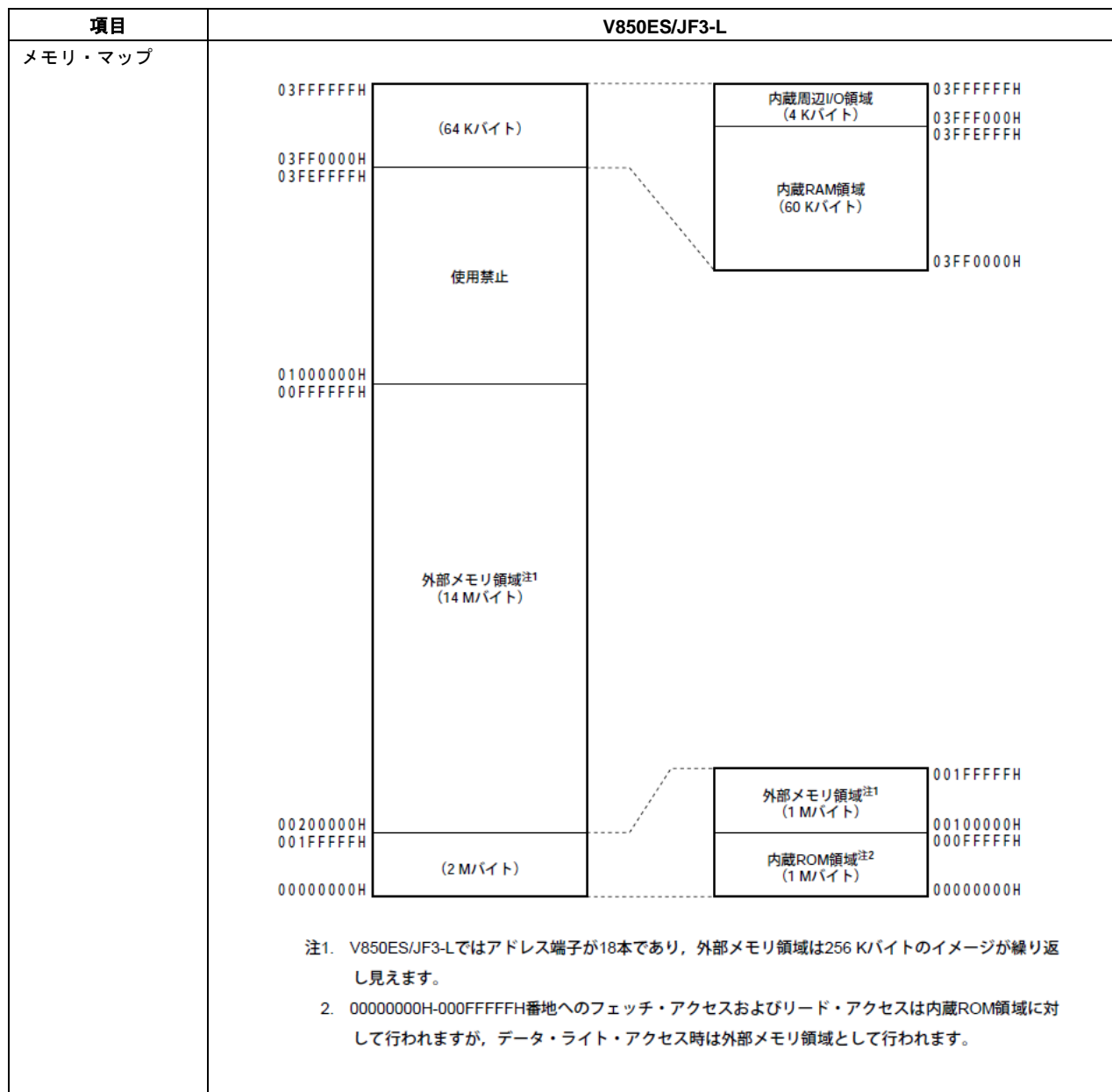
表 2.1 V850ES/JF3-L、RA2L1 グループの CPU 機能

項目	V850ES/JF3-L	RA2L1
最大動作周波数	20MHz	48MHz

2.1.2 メモリ・マップ

V850ES/JF3-L と RA2L1 グループのメモリ・マップを表 2.2 に示します。

表 2.2 V850ES/JF3-L、RA2L1 グループのメモリ・マップ



項目	RA2L1						
メモリ・マップ	<div style="text-align: right; margin-bottom: 10px;"> <p>0xFFFF_FFFF 0xE000_0000</p> <p>Cortex®-M23用システム領域</p> <p>予約領域 (注1)</p> <p>0x407F_0000 0x407E_0000</p> <p>フラッシュI/Oレジスタ</p> <p>予約領域 (注1)</p> <p>0x4010_2000 0x4010_0000</p> <p>内蔵フラッシュ (データフラッシュ)</p> <p>周辺I/Oレジスタ</p> <p>0x4000_0000</p> <p>予約領域 (注1)</p> <p>0x2000_8000 0x2000_0000</p> <p>内蔵SRAM</p> <p>予約領域 (注1)</p> <p>0x0101_0034 0x0101_0010</p> <p>内蔵フラッシュ (オプション設定メモリ)</p> <p>予約領域 (注1)</p> <p>一左表を参照</p> <p>0x0000_0000</p> <p>内蔵フラッシュ (プログラムフラッシュ) (読み出し専用) (注2)</p> </div> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>製品</th> <th>アドレス</th> </tr> </thead> <tbody> <tr> <td>256 KB</td> <td>0x0004_0000</td> </tr> <tr> <td>128 KB</td> <td>0x0002_0000</td> </tr> </tbody> </table> <p>注 1. 予約領域にアクセスしないでください。 注 2. 一部の領域はオプション設定メモリとして予約されています。領域についての詳細は、RA2L1 グループ ユーザーズマニュアル ハードウェア編「6. オプション設定メモリ」を参照してください。</p>	製品	アドレス	256 KB	0x0004_0000	128 KB	0x0002_0000
製品	アドレス						
256 KB	0x0004_0000						
128 KB	0x0002_0000						

2.2 ポート機能

2.2.1 仕様比較

V850ES/JF3-L のポート機能の仕様に対応する RA2L1 グループの I/O ポート機能の仕様を表 2.3 ポート機能に示します。

表 2.3 ポート機能置き換え可否

項目	V850ES/JF3-L	RA2L1
CMOS 出力/ N-ch オープンドレイン出力	可能	可能
内蔵プルアップ/プルダウン機能	可能(プルダウン)	可能(プルアップ)
5V トレラント入力	可能	可能

2.3 外部バス制御機能

2.3.1 仕様比較

RA2L1 グループは V850E/1x3 グループの外部バス・インタフェース機能に対応する機能を内蔵していません。

2.4 クロック発生回路

2.4.1 仕様比較

V850ES/JF3-L に搭載されたクロック発生機能の仕様に対応する RA2L1 グループのクロック発生回路機能の仕様を表 2.4 に示します。

表 2.4 クロック発生機能の対応

項目	V850ES/JF3-L	RA2L1
	クロック発生機能	クロック発生回路
CPU クロックソース	以下 3 種類から選択 <ul style="list-style-type: none"> ・メインクロック ・PLL クロック(4 通倍固定) ・サブクロック ・内蔵発振クロック 	以下 5 種類から選択 <ul style="list-style-type: none"> ・メインクロック(1~20MHz) (発振子と外部クロックを選択可能) ・サブクロック(32.768kHz) ・HOCO(24/32/48/64MHz) ・MOCO(8MHz) ・LOCO(32.768kHz)
動作周波数(max)	機能ごとに規定 CPU クロック周波数： fCPU : 20MHz(max) 内部システム・クロック周波数： fCLK : 20MHz(max) 周辺クロック周波数： 20MHz(max) タイマ M クロック： 20MHz(max) 時計用タイマ・クロック： 32.768kHz ウォッチドッグ・タイマ 2 クロック： 約 39kHz(max) 内蔵発振器：220kHz	機能ごとに異なるクロックを生成 <ul style="list-style-type: none"> ・ICLK : 48MHz (max) ・PCLKB : 32MHz (max) ・PCLKD : 64MHz (max) ・CANMCLK : 20MHz(max) ・AGTSCLK/AGTLCLK : 32.768kHz ・CACCLK : 各発振器のクロックと同じ ・RTCSCLK : 32.768kHz ・IWDTCLK : 15kHz ・SYSTICCLK : 32.768kHz ・CLKOUT : 16MHz ・SWCLK : 12.5MHz

2.4.2 注意事項

2.4.2.1 クロック発生回路に関する注意事項

RA2L1 グループでは、システムクロック(ICLK)、各周辺モジュールに供給されるクロック(PCLKB, PCLKD)の周波数関係に制限があります。詳細は RA2L1 グループユーザーズマニュアル ハードウェア編「8.7.1 クロック発生回路に関する注意事項」を参照してください。

2.4.2.2 発振停止検出機能

RA2L1 グループでは、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに MOCO が出力する中速クロックを供給する機能があります。詳細は RA2L1 グループユーザーズマニュアル ハードウェア編「8.5 発振停止検出機能」を参照してください。

2.5 タイマ機能 (TMP、TMQ)

2.5.1 搭載ユニット

V850ES/JF3-L と RA2L1 グループに内蔵されたタイマ機能のユニット一覧を表 2.5 に示します。

表 2.5 V850ES/JF3-L、RA2L1 グループのタイマ機能一覧

項目	V850ES/JF3-L	RA2L1
多機能タイマ/ カウンタ 統合モジュール	<ul style="list-style-type: none"> ・ 16 ビット・タイマ/イベント・カウンタ P(TMP) ・ 16 ビット・タイマ/イベント・カウンタ Q(TMQ) 	<ul style="list-style-type: none"> ・ 汎用 PWM タイマ(GPT)

2.5.2 仕様比較

V850ES/JF3-L に搭載されたタイマ機能(16 ビット・タイマ/イベント・カウンタ P、16 ビット・タイマ/イベント・カウンタ Q)の仕様に対応する RA2L1 グループの汎用 PWM タイマ(GPT)の機能の仕様を表 2.6 に示します。

表 2.6 タイマ機能の対応

項目	V850ES/JF3-L	RA2L1
	TMP、TMQ	GPT
タイマカウンタ	5 本 (TMP01 : 4 本, TMQ : 1 本)	10 本 (32 ビット : 4 本, 16 ビット : 6 本)
モード	インターバルタイマ 任意周期での割り込み発生と方形波出力 最大 5 チャンネル動作 (TMP : 4 本, TMQ : 1 本)	基本動作で可能 カウンタ : 最大 10 チャンネル 波形出力 : 最大 20 本(各チャンネル 2 本)
	外部イベントカウンタ 外部イベントカウンタ入力の有効エッジをカウントし、任意のカウント数をカウントするごとに割り込み発生 最大 5 チャンネル動作 (TMP : 4 本, TMQ : 1 本)	全 10 チャンネルでカウントアップ/ダウン要因に外部トリガ入力を指定可能 外部トリガ入力端子 : 最大 2 本(各チャンネルで内 1 本を選択可能)
	外部トリガパルス出力 外部トリガによりカウンタ動作/PWM 波形出力 最大 5 本出力(TMP : 4 本, TMQ : 1 本)	全 10 チャンネルでカウントスタート要因に外部トリガ入力を指定可能 外部トリガ入力端子 : 最大 2 本(各チャンネルで内 1 本を選択可能) PWM 波形出力 : 最大 20 本(各チャンネル 2 本)
	ワンショットパルス出力 外部トリガによりカウンタ動作/ワンショットパルス出力 最大 5 本出力(TMP : 4 本, TMQ : 1 本)	ハードで同等の機能はなし ただし、PWM モードと外部トリガ入力、CPU 割り込みを使用して実現可能。 PWM 波形出力 : 最大 20 本(各チャンネル 2 本)
	PWM 出力 最大 5 本出力(TMP : 4 本, TMQ : 1 本)	PWM 波形出力 : 最大 20 本(各チャンネル 2 本)
	フリーランニングタイマ 最大 5 チャンネル動作 (TMP : 4 本, TMQ : 1 本)	基本動作で周期を最大に設定することで可能 最大 10 チャンネル 13 個のカウントリソース
	パルス幅測定 最大 5 本測定 (TMP : 4 本, TMQ : 1 本)	インプットキャプチャ機能で可能 (最大 20 本(各チャンネル 2 本))

2.6 16 ビット・インターバル・タイマ M (TMM)

2.6.1 仕様比較

V850ES/JF3-L に搭載された 16 ビット・インターバル・タイマ M (TMM)機能の仕様に対応する RA2L1 グループの低消費電力非同期汎用タイマ(AGT)の仕様を表 2.7 に示します。

表 2.7 16 ビット・インターバル・タイマ機能の対応

項目	V850ES/JF3-L	RA2L1
	TMM	AGT
チャンネル数	1 チャンネル	6 チャンネル
カウンタビット	16 ビット	16 ビット
選択可能な分周クロック	8 通り fxx、fxx/2、fxx/4、fxx/64、fxx/512、 INTWT、fR/8、FXT の中から選択可能	22 通り PCLKB、PCLKB/2、PCLKB/8、AGTLCLK/d、 AGTSCLK/d (d = 1, 2, 4, 8, 16, 32, 64, または 128)、または AGTn (n = 0, 2, 4) のアンダーフ ロー信号を選択可能

2.6.2 注意事項

2.6.2.1 タイマカウンタの初期化

V850ES/JF3-L では 16 ビット・インターバル・タイマ M が動作停止するとカウンタはカウントクロックとは非同期にリセットされます。16 ビット・カウンタはリード/ライトできません。RA2L1 グループのコンペアマッチタイマでは、カウント停止後は値を保持します。コンペアマッチタイマのカウンタレジスタは初期値を自由に変更できます。

2.7 時計タイマ機能

2.7.1 仕様比較

V850ES/JF3-L に搭載された時計タイマ機能の仕様に対応する RA2L1 グループのリアルタイムクロック (RTC)機能の仕様を表 2.8 に示します。

表 2.8 時計タイマ機能の対応

項目	V850ES/JF3-L	RA2L1
	時計タイマ機能	リアルタイムクロック (RTC)
モード	<ul style="list-style-type: none"> ・ 時計モード - 基準時間 (0.5 秒, 0.25 秒間隔で割り込み出力) 	周期割り込みで可能 割り込み周期 2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒
時計モードと カレンダー カウントモード の相違	基準時間専用のインターバルタイマとして動作	時刻情報をカウント 例 : hh:mm:ss など
カウントクロック	サブクロック メインクロック	サブクロック
割り込み	時計タイマ割り込み インターバル・タイマ割り込み	アラーム割り込み 周期割り込み 桁上げ割り込み

2.7.2 注意事項

2.7.2.1 RTC の初期化

RA2L1 グループのリアルタイムクロックは、RTC 内のレジスタがリセットによる初期化が行われなため、リアルタイムクロックの使用の有無に関わらず初期化を行う必要があります。詳細は RA2L1 グループ ユーザーズマニュアル ハードウェア編「22.3 動作説明」および、「22.6.7 リアルタイムクロックを使用しない場合の初期化手順」を参照してください。

サブクロックを実装していない場合のみ、初期化は不要です。

2.8 ウォッチドッグ・タイマ 2 機能

2.8.1 搭載ユニット

V850ES/JF3-L と RA2L1 グループに内蔵されたウォッチドッグ・タイマ機能のユニット一覧を表 2.9 に示します。

表 2.9 V850ES/JF3-L、RA2L1 グループのウォッチドッグ・タイマ機能一覧

項目	V850ES/JF3-L	RA2L1
ウォッチドッグ タイマ機能	ウォッチドッグ・タイマ 2 機能	・ウォッチドッグタイマ(WDT) ・独立ウォッチドッグタイマ(IWDT)

2.8.2 仕様比較

V850ES/JF3-L に搭載されたウォッチドッグ・タイマ 2 機能の仕様に対応する RA2L1 グループの WDT 機能, IWDT 機能の仕様を表 2.10 に示します。

表 2.10 ウォッチドッグ・タイマ機能の対応

項目	V850ES/JF3-L	RA2L1	
	ウォッチドッグ・タイマ 2	WDT	IWDT
カウンタ ビット長	16 ビット	14 ビット	14 ビット
カウント クロックソース	サブクロック メインクロック 内蔵発振クロック	周辺クロック(PCLKB)	IWDT 専用クロック(IWDTCLK) オンチップオシレータで生成
オーバフロー時間 選択	・サブクロック： $2^9/f_{XT} \sim 2^{16}/f_{XT}$ ・メインクロック： $2^{18}/f_{XX} \sim 2^{25}/f_{XX}$ ・内蔵発振器： $2^{12}/f_R \sim 2^{19}/f_R$	15 通り タイムアウト期間：1024, 4096, 8192, 16384 サイクル クロック分周比：6 種類(4 分 周, 64 分周, 128 分周, 512 分 周, 2048 分周, 8192 分周)	12 通り タイムアウト期間：128, 512, 1024, 2048 サイクル クロック分周比：6 種類(分周な し, 16 分周, 32 分周, 64 分周, 128 分周, 256 分周)
動作モード	ノンマスクابل割り込み要求モー ド/リセットモードから選択可能	ノンマスクابل割り込み要求出 力/リセット出力を選択可能	ノンマスクابل割り込み要求出力 /リセット出力を選択可能
割り込み/ リセット発生要因	・オーバフロー割り込み	アンダーフロー リフレッシュエラー (ウィンドウ機能)	アンダーフロー リフレッシュエラー (ウィンドウ機能)

2.8.3 注意事項

2.8.3.1 カウント動作について

V850ES/JF-3 グループのウォッチドッグ・タイマ 2 はアップカウントですが、RA2L1 グループのウォッチドッグタイマおよび、独立ウォッチドッグタイマはダウンカウントになります。

2.8.3.2 カウントスタート

RA2L1 グループのウォッチドッグタイマおよび、独立ウォッチドッグタイマのカウント開始方法はレジスタスタートモードとオートスタートモードの2種類があります。

2.8.3.3 使用しない場合の設定

V850ES/JF-3 グループではウォッチドッグ・タイマ2はリセット解除後に自動的にリセット・モードでスタートします。使用しない場合、一度ウォッチドッグ・タイマ2をクリアした後、次のインターバル時間内で停止する必要があります。RA2L1 グループではウォッチドッグタイマおよび、独立ウォッチドッグタイマを使用しない場合、設定は不要です。

2.9 リアルタイム出力機能(RTO)

RA2L1 グループには、リアルタイム出力機能(RTO)に相当する機能は実装されていません。ただし、下記留意事項が問題とならない場合、イベントリンクコントローラ(ELC)のポートグループ出力機能と連携可能な任意のタイマ機能を組み合わせて使用することでリアルタイム出力機能と同等の波形を出力することが出来ます。

【留意事項】

- タイマ機能とイベントリンクコントローラの動作クロックの差などによって意図しているタイミングで出力が切り替わらない場合があります。
- 意図しているタイミングで出力が切り替わらない場合、汎用 PWM タイマ(GPT)や低消費電力非同期汎用タイマ(AGT)のタイマ出力機能をご使用ください。

2.9.1 仕様比較

V850ES/JF3-L に搭載されたリアルタイム出力機能に対する RA2L1 のイベントリンクコントローラのポートグループ出力機能の対応を表 2.11 に示します。

表 2.11 リアルタイム出力機能の対応

項目	V850ES/JF3-L	RA2L1
	RTO	ELC のポートグループ出力機能 +任意のタイマ機能 ^(注1)
チャンネル	2 チャンネル	2 チャンネル
出力端子数	最大 6 本 1 チャンネル 6 本出力または 2 チャンネル 4+2 本出力可能	最大 29 本 ポート 1 : 16 本 ポート 2 : 13 本
動作	バッファレジスタにあらかじめ設定したデータを、タイマ割り込みの発生と同時にハードウェアで出力	ポートコントロールレジスタ 4 に設定したデータを、指定した割り込み要求の発生をトリガにハードウェアで出力

注1. イベントリンクコントローラに連携可能なタイマモジュールは RA2L1 グループユーザーズマニュアル ハードウェア編「表 16.2 ELSRn レジスタと周辺モジュールの対応」を確認してください。

2.10 A/D コンバータ

2.10.1 仕様比較

V850ES/JF3-L に搭載された A/D コンバータの仕様に対応する RA2L1 グループの 12 ビット A/D コンバータ(ADC12)機能の仕様を表 2.12 に示します。

表 2.12 A/D コンバータ機能の対応

項目	V850ES/JF3-L	RA2L1
	A/D コンバータ	ADC12
アナログ入力	8 チャンネル	19 チャンネル
分解能	10 ビット	12 ビット
A/D 変換方式	逐次比較方式	逐次比較方式
A/D 変換動作モード	連続セレクト・モード	連続スキャンモードで可能
	連続スキャン・モード	
	ワンショット・セレクト・モード	シングルスキャンモードで可能
	ワンショット・スキャン・モード	
A/D 変換トリガ・モード	ソフトウェアトリガ	ソフトウェアトリガ
	タイマトリガ	イベントリンクコントローラ(ELC)からの同期トリガで可能
	外部トリガ	非同期トリガ(ADTRG0 端子)で可能
外部トリガエッジ	立ち下がりエッジ 立ち上りエッジ 両エッジ	立ち下がりエッジ
変換結果比較	パワーフェイル検出機能 A/D 変換結果とレジスタの設定値の大小比較 条件と合致した場合に割り込み発生	デジタルコンペア機能により結果比較の実現可能
変換時間	2.6 μ s	通常変換モード : 0.7 μ s 高速変換モード : 0.67 μ s
割り込み要因/ DMA 起動要因	A/D 変換終了	スキャン終了割り込みで可能

2.10.2 注意事項

2.10.2.1 A/D コンバータの動作状態

V850ES/JF3-L には A/D コンバータが変換動作中かを示すステータスフラグがあります。RA2L1 グループの 12 ビット A/D コンバータにはステータスフラグはありませんが、A/D コントロールレジスタの A/D 変換スタートビットで確認できます。

2.11 D/A コンバータ

2.11.1 仕様比較

V850ES/JF3-L に搭載された D/A コンバータ機能の仕様に対応する RA2L1 グループの 12 ビット D/A コンバータ(DAC12)機能の仕様を表 2.13 に示します。

表 2.13 D/A コンバータ機能の対応

項目	V850ES/JF3-L	RA2L1
	D/A コンバータ	DAC12
チャンネル数	1 チャンネル	1 チャンネル
分解能	10 ビット	12 ビット
変換時間	セトリングタイム 3 μ s(MAX) AVREF1=2.7~3.6V, 外部負荷 20pF 時	変換時間 30 μ s
アナログ出力電圧	AVREF1 \times m/256 (m=0-255 ; DA0CS0 レジスタに設定した値)	Min: 0.35V, Max: AVCC0 - 0.47 (AVCC0-AVSS0) \times m/4096 (m=0-4095 ; レジスタの値)
動作モード	<ul style="list-style-type: none"> ・ 通常モード (レジスタ書き換えによる D/A 変換) ・ タイマ割り込み(INTTP2CC0 信号)による D/A 変換 	<ul style="list-style-type: none"> ・ 通常モード (レジスタ書き換えによる D/A 変換) ・ タイマ割り込み、イベントリンク機能^(注1)を組み合わせること可能

注1. イベントリンク機能の詳細については RA2L1 グループユーザーズマニュアル ハードウェア編「20. イベントリンクコントローラ(ELC)」を参照してください。

2.12 アシンクロナス・シリアル・インタフェース A (UARTA)

2.12.1 仕様比較

V850ES/JF3-L に搭載されたアシンクロナス・シリアル・インタフェース A(UARTA)機能の仕様に対応する RA2L1 グループのシリアルコミュニケーションインタフェース(SCI)の調歩同期式モードの仕様を表 2.14 に示します。

表 2.14 アシンクロナス・シリアル・インタフェース機能の対応

項目	V850ES/JF3-L	RA2L1
	UARTA	SCI(調歩同期式モード)
チャンネル数	3チャンネル	5チャンネル チャンネルごとにモジュールストップ状態の設定が可能
通信速度 (MAX)	625kbps (fxx=20MHz)	3.33Mbps(PCLKB = 20MHz)
全二重通信	可能	可能
キャラクタ長	7/8 ビットから選択	7/8/9 ビットから選択
ストップビット	1 ビット/2 ビットから選択	1 ビット/2 ビットから選択
パリティ	奇数/偶数/なし/0 から選択	奇数/偶数/なしから選択
データ転送順	MSB/LSB ファーストから選択	MSB/LSB ファーストから選択
データ反転出力	可能	可能
ノイズ・フィルタ	ノイズ・フィルタ回路により除去	デジタルフィルタでノイズ除去可能 フィルタの有効/無効をソフトウェアで設定可能
受信エラー検出	<ul style="list-style-type: none"> ・パリティエラー ・オーバーランエラー ・フレーミングエラー 	<ul style="list-style-type: none"> ・パリティエラー ・オーバーランエラー ・フレーミングエラー
割り込み要因	<ul style="list-style-type: none"> ・受信完了/受信エラー ・送信許可 	<ul style="list-style-type: none"> ・受信エラー ・受信データフル ・送信データエンプティ ・送信完了 ・受信データレディ (FIFO 選択時) ・アドレス一致
DMA 起動要因	<ul style="list-style-type: none"> ・受信完了 ・送信許可 	<ul style="list-style-type: none"> ・受信データフル ・送信データエンプティ ・受信データレディ (FIFO 選択時) ・アドレス一致

2.12.2 注意事項

2.12.2.1 0 パリティ

V850ES/JF3-L にはパリティの種類に 0 パリティという設定があります。RA2L1 グループには 0 パリティに相当する設定はありません。

2.13 3線式可変長シリアル I/O (CSIB)

2.13.1 搭載ユニット

V850ES/JF3-L と RA2L1 グループに内蔵された 3 線式可変長シリアル I/O 機能のユニット一覧を表 2.17 に示します。

表 2.15 V850ES/JF3-L、RA2L1 の 3 線式可変長シリアル I/O 機能一覧

項目	V850ES/JF3-L	RA2L1
3 線式シリアル	3 線式可変長シリアル I/O (CSIB)	<ul style="list-style-type: none"> ・シリアルペリフェラルインタフェース(SPI) ・シリアルコミュニケーションインタフェース(SCI)の簡易 SPI モード/クロック同期式モード

2.13.2 仕様比較

V850ES/JF3-L に搭載された 3 線式可変長シリアル I/O 機能の仕様に対応する RA2L1 グループのシリアルペリフェラルインタフェース(SPI)機能およびシリアルコミュニケーションインタフェース(SCI)のクロック同期式モードの仕様を表 2.16 に示します。

表 2.16 3 線式可変長シリアル I/O 機能の対応

項目	V850ES/JF3-L	RA2L1	
	CSIB	SPI	SCI (簡易 SPI モード/ クロック同期式モード)
チャンネル数	3 チャンネル	1 チャンネル	5 チャンネル
通信クロック周波数 (MAX)	マスタ/スレーブ共通 : 8MHz	マスタ動作時 : 16MHz スレーブ動作時 : 8MHz (PCLKB = 32MHz)	マスタ動作時 : 5MHz スレーブ動作時 : 3.3MHz (PCLKB = 20MHz)
動作モード	マスタ/スレーブ	マスタ/スレーブ	マスタ/スレーブ
シリアル・クロックとデータのフェーズ切り替えが可能	シリアル・クロックとデータのフェーズ切り替えが可能	RSPCK の位相、極性を変更可能	クロックの位相、極性を設定可能
データ長	8 ビット~16 ビット	8-16,20,24,32 ビット	8 ビット
データ転送順	MSB/ LSB ファーストを切り替え可能	MSB/ LSB ファーストを切り替え可能	MSB/ LSB ファーストを切り替え可能
送受信モード	シングル転送モード(送信, 受信, 送受信モード)	シングル転送可能	シングル転送可能
	連続転送モード(送信, 受信, 送受信モード)	送信/受信バッファはそれぞれダブルバッファ構造により連続転送可能	送信/受信バッファはそれぞれダブルバッファ構造により連続転送可能
端子	シリアル・データ出力 シリアル・データ入力 シリアル・クロック入出力	マスタ送出データ入出力 スレーブ送出データ入出力 クロック入出力 スレーブセレクト入出力 (SPI 動作のみ) スレーブセレクト出力 (SPI 動作のみ)	クロック入出力 送信データの出力 受信データの入力 送受信開始制御用入出力/ チップセレクト入力端子
割り込み要因	連続送信書き込み許可 受信終了/受信エラー	受信バッファフル 送信バッファエンプティ SPI エラー SPI アイドル 送信完了	受信エラー 受信データフル 送信データエンプティ 送信完了 受信データレディ (FIFO 選択時) アドレス一致

V850ES/JF3-L、RA2L1 グループ V850ES/JF3-L から RA2L1 グループへの移行ガイド

項目	V850ES/JF3-L	RA2L1	
	CSIB	SPI	SCI (簡易 SPI モード/ クロック同期式モード)
DMA 起動要因	連続送信書き込み許可 受信終了/受信エラー	受信バッファフル 送信バッファエンプティ	受信データフル 送信データエンプティ 受信データレディ(FIFO 選択時) アドレス一致

2.14 I²C バス

2.14.1 搭載ユニット

V850ES/JF3-L と RA2L1 グループに内蔵された I²C バス機能のユニット一覧を表 2.17 に示します。

表 2.17 V850ES/JF3-L、RA2L1 の I²C バス機能一覧

項目	V850ES/JF3-L	RA2L1
I ² C 機能	I ² C バス	<ul style="list-style-type: none"> I²C バスインタフェース(IIC) シリアルコミュニケーションインタフェース (SCI)の簡易 I²C モード

2.14.2 仕様比較

V850ES/JF3-L に搭載された I²C バス機能の仕様に対応する RA2L1 グループの I²C バスインタフェース機能および、シリアルコミュニケーションインタフェースの簡易 I²C モードの仕様を表 2.18 に示します。

表 2.18 I²C バス機能の対応

項目	V850ES/JF3-L	RA2L1	
	I ² C バス	IIC	SCI の簡易 I ² C モード
チャンネル数	2 チャンネル	1 チャンネル	5 チャンネル
通信速度	標準モード： ~100kbps 高速モード： ~350kbps	スタンダードモード： ~100kbps ファストモード： ~400kbps	スタンダードモード： ~100kbps ファストモード： ~400kbps
通信フォーマット	I ² C バスフォーマット	I ² C バスフォーマット SMBus フォーマット	I ² C バスフォーマット
通信動作	マルチマスタ対応 スレーブ動作	マルチマスタ対応 スレーブ動作	シングルマスタ動作のみ
デジタル・フィルタ	高速モード時のみ使用可能	ノイズ除去幅をソフトウェアで調整可能	ノイズ除去幅をソフトウェアで調整可能
消費電力低減	動作停止モード	モジュールストップ機能で実現可能	モジュールストップ機能で実現可能
割り込み	1 種類 ・シリアルクロックの 8 または 9 クロック目の立ち下がり ・ストップ・コンディション検出	4 種類 EEI 割り込み ・通信エラーまたはイベント発生 アビトラーションロスト検出 NACK タイムアウト スタート/リスタート コンディション ストップコンディション RXI 割り込み ・受信データフル (スレーブアドレス一致時含む) TXI 割り込み ・送信データエンプティ (スレーブアドレス一致時含む) TEI 割り込み ・送信終了	3 種類 RXI 割り込み ・ ACK 検出/受信 TXI 割り込み ・ NACK 検出/送信 TEI 割り込み ・開始条件、再開条件、 停止条件生成終了
DMA 起動要因	IICn の転送終了	受信データフル割り込み 送信データエンプティ割り込み	受信割り込み 送信割り込み

2.15 DMA 機能 (DMA コントローラ)

2.15.1 仕様比較

V850ES/JF3-L に搭載された DMA (Direct Memory Access) コントローラ (DMAC) 機能の仕様に対応する RA2L1 グループのデータトランスファコントローラ (DTC) 機能の仕様を表 2.19 に示します。

表 2.19 DMA コントローラ機能の対応

項目	V850ES/JF3-L	RA2L1
	DMAC	DTC
チャンネル数	4 チャンネル	DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	シングル転送モード	ノーマル転送モードで可能 ただし、2 サイクル転送不可
転送単位	8/16 ビット	8/16/32 ビット
最大転送回数	65535 回	65536 回
転送要求	内蔵周辺機能割り込み 外部割り込み端子 ソフトウェアトリガ	周辺モジュールの割り込み 外部割り込み端子 ソフトウェアトリガ
転送対象	内蔵周辺 I/O ↔ 内蔵周辺 I/O 内蔵周辺 I/O ↔ 内蔵 RAM 内蔵周辺 I/O ↔ 外部メモリ 内蔵 RAM ↔ 外部メモリ 外部メモリ ↔ 外部メモリ	予約領域を除く全領域が対象
アドレスカウント方式	インクリメント デクリメント 固定	インクリメント デクリメント 固定
割り込み	DMA 転送完了割り込み	転送終了割り込み

2.16 割り込み／例外処理機能

2.16.1 仕様比較

V850ES/JF3-L に搭載された割り込み／例外処理機能の仕様に対応する RA2L1 グループの割り込みコントローラ(ICU)／例外処理機能の仕様を表 2.20 に示します。

表 2.20 割り込み／例外処理機能の対応

項目	V850ES/JF3-L	RA2L1
	割り込み／例外処理機能	ICU／例外処理
ノンマスクابل 割り込み	<ul style="list-style-type: none"> ・ ウォッチドック・タイマ 2 のオーバフロー ・ NMI 端子割り込み 	<ul style="list-style-type: none"> ・ NMI 端子割り込み ・ WDT アンダーフロー/リフレッシュエラー^(注1) ・ IWDT アンダーフロー/リフレッシュエラー^(注1) ・ 電圧監視 1^(注1) ・ 電圧監視 2^(注1) ・ SRAM パリティエラー ・ SRAM ECC エラー ・ CPU スタックポインタモニタエラー ・ 発振停止検出割り込み^(注1) ・ バスマスタ MPU エラー ・ バススレーブ MPU エラー
マスクابل割り込み	<ul style="list-style-type: none"> ・ 外部端子割り込み：8 要因 ・ 内蔵周辺割り込み 	<ul style="list-style-type: none"> ・ 外部端子割り込み：8 要因 ・ 周辺モジュール割り込み ・ ソフトウェア割り込み：2 要因
優先順位制御	8 レベル	16 レベル
外部端子ノイズ除去	<ul style="list-style-type: none"> ・ アナログ・ディレイによるノイズ除去回路：NMI 端子、INTP0~7 端子 ・ デジタル・ノイズ除去 ・ サンプリング・クロック f_{xx}/64, f_{xx}/128, f_{xx}/256, f_{xx}/512, f_{xx}/1024, f_{XT} から選択 	<ul style="list-style-type: none"> ・ デジタルフィルタ： NMI 端子、IRQ0~7 端子 ・ サンプリング周期 3 回 ・ サンプリング周波数：PCLKB, PCLKB/8, PCLKB/32, PCLKB/64 から選択 ・ デジタルフィルタ 有効/無効選択可能
外部端子 割り込み検出	<ul style="list-style-type: none"> ・ エッジ検出 立ち上がり 立ち下がり 両エッジ ・ エッジ検出なし 	<ul style="list-style-type: none"> ・ エッジ検出 立ち上がり(NMI, IRQ0~7) 立ち下がり(NMI, IRQ0~7) 両エッジ(IRQ0~7) ・ Low レベル検出(IRQ0~7)
ソフトウェア例外	TRAP1n 命令、TRAP0n 命令 (専用ベクタ：32 要因)	SVC 命令
不正命令コード例外	あり	あり(未定義命令例外)

注1. これらのノンマスクابل割り込みは、マスクابل割り込みとしても使用可能です。

2.17 スタンバイ機能

2.17.1 仕様比較

V850ES/JF3-L のスタンバイ機能と RA2L1 グループの対応を表 2.21 に示し、各モード遷移時の動作状態を表 2.22 に示します。

表 2.21 スタンバイ機能の対応

項目	V850ES/JF3-L	RA2L1
HALT モード	<p>CPU の動作クロックのみを停止</p> <p><解除要因></p> <ul style="list-style-type: none"> ・ノンマスクابل割り込み要求信号 ・マスクされていないマスクابل割り込み割り込み要求信号 ・リセット信号 <p>(RESET 端子入力、WDT2RES 信号、低電圧検出回路(LVI)、クロック・モニタ(CLM)によるリセット)</p>	<p>スリープモードで実現可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・全ての割り込み ・リセット <p>(RES 端子リセット、パワーオンリセット、電圧監視リセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスマスタ MPU エラーリセット、バスマスタ MPU エラーリセット、IWDWT または WDT アンダーフローによるリセット)</p>
IDLE1 モード	<p>クロック発振回路、PLL 動作、フラッシュ・メモリは動作を継続</p> <p><解除要因></p> <ul style="list-style-type: none"> ・ノンマスクابل割り込み要求信号 ・マスクされていないマスクابل割り込み割り込み要求信号 ・リセット信号 <p>(RESET 端子入力、WDT2RES 信号、低電圧検出回路(LVI)、クロック・モニタ(CLM)によるリセット)</p>	<p>スリープモードとモジュールストップ機能で実現可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・全ての割り込み ・リセット <p>(RES 端子リセット、パワーオンリセット、電圧監視リセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスマスタ MPU エラーリセット、バスマスタ MPU エラーリセット、IWDWT または WDT アンダーフローによるリセット)</p>
IDLE2 モード	<p>クロック発振回路、PLL 動作、フラッシュ・メモリは動作を継続</p> <p>PLL は IDLE2 モード遷移前の状態に復帰</p> <p><解除要因></p> <ul style="list-style-type: none"> ・ノンマスクابل割り込み要求信号 ・マスクされていないマスクابل割り込み割り込み要求信号 ・リセット信号 <p>(RESET 端子入力、WDT2RES 信号、低電圧検出回路(LVI)、クロック・モニタ(CLM)によるリセット)</p>	<p>スリープモードとモジュールストップ機能で実現可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・全ての割り込み ・リセット <p>(RES 端子リセット、パワーオンリセット、電圧監視リセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスマスタ MPU エラーリセット、バスマスタ MPU エラーリセット、IWDWT または WDT アンダーフローによるリセット)</p>

V850ES/JF3-L、RA2L1 グループ V850ES/JF3-L から RA2L1 グループへの移行ガイド

項目	V850ES/JF3-L	RA2L1
STOP モード/ 低電圧 STOP モード	<p>内部回路の動作を全て停止させるモード</p> <p><解除要因></p> <ul style="list-style-type: none"> ・ノンマスクابل割り込み要求信号 ・マスクされていないマスクابل割り込み割り込み要求信号 ・リセット信号 <p>(RESET 端子入力、WDT2RES 信号、低電圧検出回路(LVI)、クロック・モニタ(CLM)によるリセット)</p>	<p>ソフトウェアスタンバイモードで実現可能 ただし一部を除く周辺モジュールの動作は不可</p> <p><解除要因></p> <ul style="list-style-type: none"> ・ソフトウェアスタンバイで動作可能な周辺モジュールによる割り込み ・リセット <p>(RES 端子リセット、パワーオンリセット、電圧監視リセット、IWDWT アンダーフローに起因したリセット)</p>
サブクロック 動作モード/ 低電圧 サブクロック 動作モード	システム全体がサブクロックのみで動作するモード	Subosc-speed モードで実現可能

表 2.22 各モード遷移時の動作状態

機能	V850ES/JF3-L							RA2L1		
	HALT	IDLE1	IDLE2	STOP	STOP 低電圧	動作 サブクロック	低電圧サブ クロック動作	スリープ	スタンバイ	スヌーズ
メインロック	○	○	○	×	×	○	○	○	×	○
サブクロック	○	○	○	○	○	○	○	○	○	○
内蔵発振器/ HOCO LOCO	○	○	○	○	○	○	○	○	○ 注1	○
PLL	○	×	×	×	×	○	○	-	-	-
CPU	×	×	×	×	×	○	○	×	×	×
DMA/DTC	○	×	×	×	×	○	○	○	×	○
時計用タイマ/ RTC	○	○	○	○ 注2	○ 注2	○	○	○	○	○
ウォッチドック・タイマ/ 独立ウォッチドッグタイマ	○	○	○	○	○	○	○	○ 注3	○ 注3	○ 注3
ポート機能	保持	保持	保持	保持	保持	○	○	○	×	○
割り込み コントローラ	○	×	×	×	×	○	○	○	○	
低電圧検出回路/ 電圧検出回路	○	○	○	○	○	○	○	○	○	○
RAM	保持	保持	保持	保持	保持	保持	保持	○	×	○
レジスタ	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
その他周辺 モジュール	注5	注5	注5	注5	注5	注5	注5	○	×	×

○：動作可能、×：動作停止、-：相当する機能なし
保持は、内部レジスタ値保持、内部状態は動作中断を示します。

- 注1. LOCOのみ動作可能。
- 注2. サブクロックがある場合動作可能。
- 注3. ウォッチドックタイマは動作停止。
- 注4. スタンバイモードの解除のみ可能。
- 注5. 各モードによって動作可能な条件やモジュールが異なります。詳細は V850ES/JF3-L ユーザーズマニュアル ハードウェア編「21章 スタンバイ機能」を参照してください。

2.18 クロック・モニタ

2.18.1 仕様比較

V850ES/JF3-L に搭載されたクロック・モニタ機能の仕様に対応する RA2L1 グループのクロック発生回路の発振停止検出機能の仕様を表 2.23 に示します。

表 2.23 クロック・モニタ機能の対応

項目	V850ES/JF3-L	RA2L1
	クロック・モニタ	発振停止検出機能
監視対象	メインクロック	メインクロック
発振停止検出時の動作	リセット	システムクロックに メインクロックを選択時： 中速オンチップオシレータに切り替え、発振停止検 出割り込み ^(注1) を発生
機能の自動停止	<ul style="list-style-type: none"> ・ STOP モード~発振安定期間 ・ サンプリングクロック (内蔵発振クロック)停止中 ・ CPU が内蔵発振クロック動作中 ・ メイン・クロック停止中^(注2) 	なし

注1. 発振停止検出割り込みはノンマスカブル割り込みです。

注2. メイン・クロック発振回路の制御ビット(PCC. MCK)を使用して、ユーザソフトウェアが意図的にメイン・クロックを停止させた場合の状態

2.18.2 注意事項

2.18.2.1 発振停止検出機能の停止

RA2L1 グループの発振停止検出機能は外部要因によるメインクロックの停止に備えた機能です。そのためソフトウェアでメインクロックを停止させる場合や、ソフトウェアスタンバイモードに遷移する場合、あらかじめ発振停止検出機能を停止する必要があります。詳細は RA2L1 グループユーザーズマニュアルハードウェア編「8.5.1 発振停止検出と検出後の動作」を参照してください。

2.19 低電圧検出回路(LVI)

2.19.1 仕様比較

V850ES/JF3-L に搭載された低電圧検出回路(LVI)機能の仕様に対応する RA2L1 グループの電圧検出回路(LVD) 機能の仕様を表 2.24 に示します。

表 2.24 低電圧検出機能の対応

項目	V850ES/JF3-L	RA2L1		
	低電圧検出回路(LVI)	LVD 電圧監視 0	LVD 電圧監視 1	LVD 電圧監視 2
電圧検出時の動作	<ul style="list-style-type: none"> ・ $V_{DD} < V_{LVI}$ または $V_{DD} < V_{LVI}$ 検出でマスカブル割り込みまたは、リセットを要求 ・ 割り込みとリセットを選択可能 	<ul style="list-style-type: none"> ・ $V_{det0} > VCC$ でリセット 	<ul style="list-style-type: none"> ・ $V_{det1} > VCC$ でリセット ・ $V_{det1} > VCC$、$VCC > V_{det1}$ の両方、またはどちらかで割り込み要求 ・ マスカブル割り込みとノンマスカブル割り込みを選択可能 	<ul style="list-style-type: none"> ・ $V_{det2} > VCC$ でリセット ・ $V_{det2} > VCC$、$VCC > V_{det2}$ の両方、またはどちらかで割り込み要求 ・ マスカブル割り込みとノンマスカブル割り込みを選択可能
検出電圧	2 通り 2.30V 2.80V	5 通り 1.69V 1.90V 2.53V 2.85V 3.85V	16 通り 1.65V 1.75V 1.86V 1.96V 2.20V 2.48V 2.58V 2.68V 2.79V 2.90V 3.00V 3.10V 3.86V 4.03V 4.16V 4.29V	4 通り 3.84V 4.03V 4.17V 4.31V

注1. 動作許可かつ、動作モードを「電源電圧<検出電圧時に内部リセット信号を発生」に設定した場合、低電圧検出回路によるリセット以外のリセット要求が発生するまで低電圧検出回路(LVI)は停止できません。

注2. フラッシュメモリの書き込みまたは削除中はノンマスカブル割り込みを発生させないでください。

2.19.2 注意事項

2.19.2.1 再度電圧検出を設定する際の注意事項

RA2L1 グループでは 1 度電圧検出を行った後、検出フラグのクリア等の再設定が必要です。詳細は RA2L1 グループユーザーズマニュアル ハードウェア編「7.電圧検出回路(LVD)」を参照してください。

2.20 CRC 機能

2.20.1 仕様比較

V850ES/JF3-L に搭載された CRC 機能の仕様に対応する RA2L1 グループの CRC 演算器 (CRC) 機能の仕様を表 2.25 に示します。

表 2.25 CRC 機能の対応

項目	V850ES/JF3-L	RA2L1
	CRC 機能	CRC
データ単位	8bit	8/32bit
方式	CRC-16-CCITT (16bitCRC) $X^{16} + X^{12} + X^5 + 1$	CRC-32 (32bitCRC) $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ CRC-32C (32bitCRC) $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ CRC-16-CCITT (16bitCRC) $X^{16} + X^{12} + X^5 + 1$ CRC-16-IBM (16bitCRC) $X^{16} + X^{15} + X^2 + 1$ CRC-8-ATM (8bitCRC) $X^8 + X^2 + X + 1$
データ転送	LSB 固定	MSB/LSB から選択可能

3. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

RA2L1 グループユーザーズマニュアル ハードウェア編 (R01UH0853)

V850ES/JF3-L ユーザーズマニュアル ハードウェア編 (R01UH0017)

(最新版をルネサス エレクトロニクスホームページから入手してください)

テクニカルアップデート/テクニカルニュース

(最新版をルネサス エレクトロニクスホームページから入手してください)

ユーザーズマニュアル：開発環境

Renesas Flexible Software Package (FSP) User's Manual (R11UM0155EU)

改訂記録

Rev	発行日	改訂内容	
		ページ	ポイント
1.00	Mar.24.23	-	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS製品の取り扱いの際は静電気防止を心がけてください。CMOS製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレストシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。