

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# Super Low Power シリーズ

## $\Delta\Sigma$ A/D 変換器ユーザーズガイド

### 目次

1.	$\Delta\Sigma$ A/D 変換器の原理	3
1.1	従来の逐次比較型との違い	3
1.1.1	逐次比較型	3
1.1.2	$\Delta\Sigma$ 型	3
1.2	$\Delta\Sigma$ A/D 変換の概要	4
1.2.1	直流を測定する場合	4
1.3	$\Delta\Sigma$ A/D 変換器の必要性	6
1.3.1	逐次比較型	6
1.3.2	$\Delta\Sigma$ 型	6
2.	$\Delta\Sigma$ A/D 変換器	7
2.1	構成	7
2.2	$\Delta$ 変調器	7
2.3	$\Delta\Sigma$ 変調器 (積分器+ $\Delta$ 変調器)	8
2.4	1次/2次 $\Delta\Sigma$ 変調器	9
2.5	2次 $\Delta\Sigma$ A/D 変換器	10
3.	フィルタ	11
3.1	デジタルフィルタ	11
3.2	量子化誤差	12
3.3	折り返し雑音	13
3.4	インパルス応答	14
3.5	デジタルフィルタのノイズ除去	15
3.6	デジタルフィルタの回路方式	16
4.	誤差と補正方法	17
4.1	A/D 変換器の誤差	17
4.1.1	逐次比較型 A/D 変換器	17
4.1.2	二重積分型 A/D 変換器	17
4.1.3	$\Delta\Sigma$ 型 A/D 変換器	17
4.1.4	微分非直線性 (Differential Non-Linearity) 誤差	18
4.1.5	積分非直線性 (Integral Nonlinearity Error) 誤差	18
4.2	オフセット/フルスケール誤差の補正	19
4.2.1	補正の考え方	19
4.2.2	オフセット/フルスケール誤差補正方法	19
4.3	オフセット/フルスケール誤差補正プログラム例	20
5.	使用推奨条件と注意事項	21
5.1	推奨条件-1: PGA=Bypass 時 (ローパスフィルタ回路なし)	21
5.1.1	動作条件	21
5.1.2	外付け回路	21
5.2	推奨条件-2: PGA=Gain1 時 (ローパスフィルタ回路あり)	22
5.2.1	動作条件	22
5.2.2	外付け回路 (例: カットオフ周波数 80Hz)	22
5.3	推奨条件-3: PGA=Gain1 時 (内部基準電圧使用)	23
5.3.1	動作条件	23
5.3.2	外付け回路 (例: カットオフ周波数 80Hz)	23
5.4	使用上の注意事項	24
5.4.1	内部発生ノイズの抑制	24
5.4.2	オーバーサンプリング周波数について	24
5.4.3	入力端子 (Ain1, Ain2) の電位差が大きい場合	24

5.4.4	電源立ち上げ時の測定について	24
5.4.5	平均化処理について	24
5.4.6	内部基準電圧 (REF) の扱い	24
5.4.7	基板設計時の注意事項	24
5.4.8	PGA のバイパスモード使用時の注意事項 (入力インピーダンスについて)	24
5.4.9	外部基準電圧 (Vref) 設定時の注意事項	25
6.	アプリケーションノート	26
6.1	外部基準電圧を使用した $\Delta\Sigma$ A/D 変換器による電圧測定	26
6.1.1	仕様	26
6.1.2	$\Delta\Sigma$ A/D 変換器測定条件	26
6.1.3	使用機能説明	27
6.1.4	$\Delta\Sigma$ A/D 変換器動作説明	31
6.1.5	フルスケール/オフセット誤差補正動作説明	32
6.1.6	ソフトウェア説明	34
6.1.7	フローチャート	41
6.1.8	プログラムリスト	43
7.	特性データ	46
7.1	パラメータ依存性測定結果	46
7.1.1	Flash ROM 版	47
7.1.2	MASK ROM 版	105
7.2	消費電流特性	145
7.3	デジタルフィルタの周波数特性	154
7.4	REF 出力電圧特性 (立ち上がり時間)	155

1.  $\Delta\Sigma$  A/D 変換器の原理

1.1 従来の逐次比較型との違い

1.1.1 逐次比較型

被測定電圧と可変の基準電圧 (D/A で発生させる電圧) を比較しながら測定する方式で、動作は次の通りです。

1. D/A 変換器の出力を中央値にして、アナログ測定電圧と比較する。
2. アナログ測定電圧が大きければ上側、小さければ下側について、D/A 変換器の出力をその中央値にして比較を繰り返す。
3. これを  $n+1$  回 ( $n$  ビット分解能の場合) 繰り返して測定を完了します。

定規で物を測るのに例えるなら、色々な長さの定規を当ててみて、どれに一番近いかを逐次絞り込んで測定する方法です。

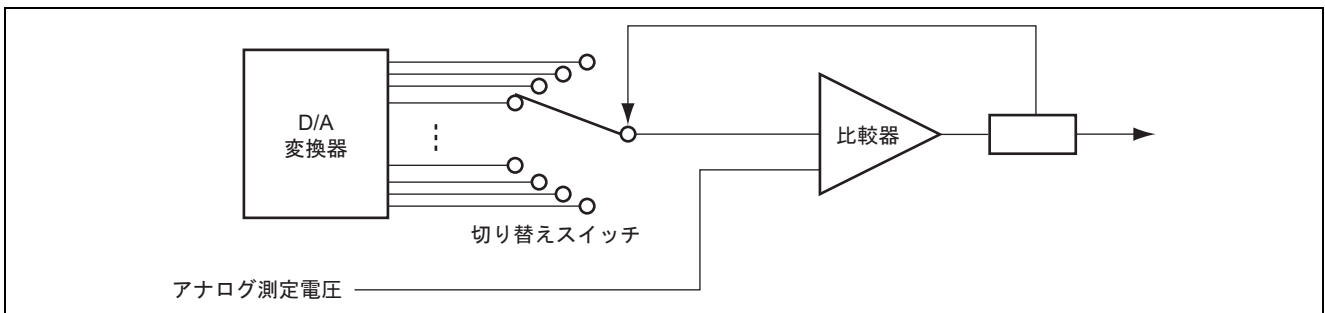


図 1.1 逐次比較型

1.1.2  $\Delta\Sigma$  型

被測定電圧をサンプリングして積分し、一定電圧の基準電圧と比較 (微分) しながらデジタルに変換する方式です。

定規で物を測るのに例えるならば、1cm がいくつ入っているかを数えて、1cm にその数を掛ける方法です。その過程で微分と積分を行うことから  $\Delta\Sigma$  型と呼ばれます。

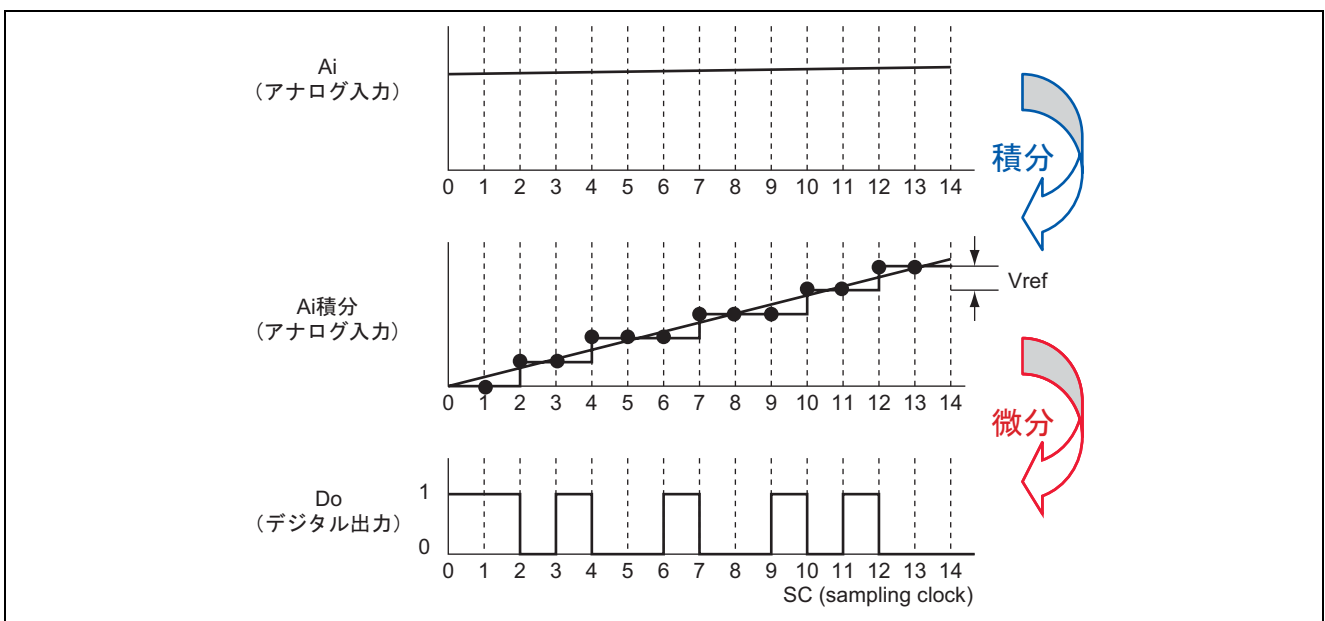


図 1.2  $\Delta\Sigma$  型

1.2  $\Delta\Sigma$  A/D 変換の概要

1.2.1 直流を測定する場合

話を簡単にするために直流 (DC) 電圧を測定することにします。

- SC=1 では、SC=0 で比較電圧はまだ 0V なので、 $0 < A_i$  となり、デジタル出力は 1 になります。そして、比較する電圧を +Vref します。
- SC=2 では Vref と  $A_i$  を比較します。Vref >  $A_i$  でデジタル出力は 0 になり、次に比較する電圧はそのままです。(Vref)
- SC=3 でも Vref と  $A_i$  を比較します。Vref >  $A_i$  でデジタル出力は 0 になり、次に比較する電圧はそのままです。(Vref)

これを何回繰り返してもデジタル出力は 1 が最初に 1 回でただで残りはずっと 0 です。いつまで経っても  $A_i$  の値はわかりません。

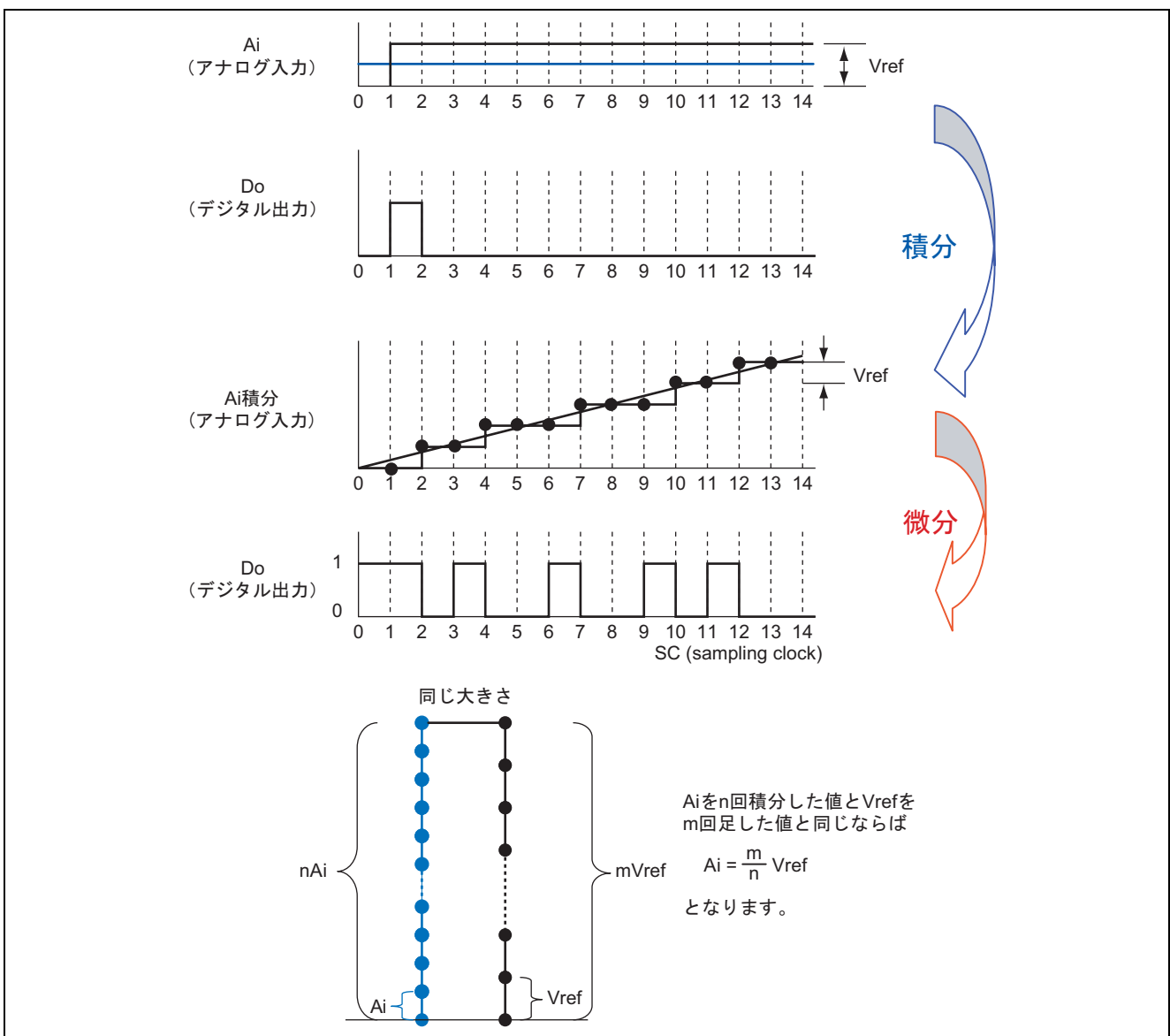


図 1.3 サンプリング精度

そこで、 $A_i$  を積分します。積分した波形の傾きが  $A_i$  を表すことになります。  
図 1.3 のように積分した値と  $V_{ref}$  を比較しましょう。

- SC=1 では  $A_i$  を 1 回積分ですから、 $V_{ref}$  は 0 のままです。  
 $V_{ref} \leq A_i$  でデジタル出力は 1 になります。次に比較する電圧を  $+V_{ref}$  します。
- SC=2 では  $A_i$  が 2 回積分されますので  $V_{ref}$  と  $2A_i$  を比較することになります。  
 $V_{ref} > 2A_i$  なのでデジタル出力は 0 になり、比較する電圧はそのままです ( $V_{ref}$ ) 。
- SC=3 では  $A_i$  が 3 回積分されますので  $V_{ref}$  と  $3A_i$  を比較することになります。  
 $V_{ref} < 3A_i$  なのでデジタル出力は 1 になり、次に比較する電圧を  $+V_{ref}$  します ( $2V_{ref}$  になります) 。
- SC=4 では  $A_i$  が 4 回積分されますので  $2V_{ref}$  と  $4A_i$  を比較することになります。図 1.3 では  $2V_{ref} > 4A_i$  なのでデジタル出力は 0 になり、比較する電圧はそのままです。 ( $V_{ref}$ ) 。

これを何回か繰り返します。

$A_i$  は周期的に積分されています (傾きが  $A_i$ ) 。

これと  $V_{ref}$  と比較して、大小関係をチェックしながら  $V_{ref}$  を足して比較を繰り返します。

これは、傾きの  $A_i$  と  $V_{ref}$  を比較していることになります。

1 回の増加分の  $A_i$  が  $V_{ref}$  より小さいので何回か加算して  $V_{ref}$  と比較します。加算を繰り返して  $V_{ref}$  よりも大きくなったら今度は  $V_{ref}$  を加算して、また比較します。

サンプリングが 1 回よりは 2 回、2 回よりは 3 回のほうが、精度が上がるのがわかると思います。

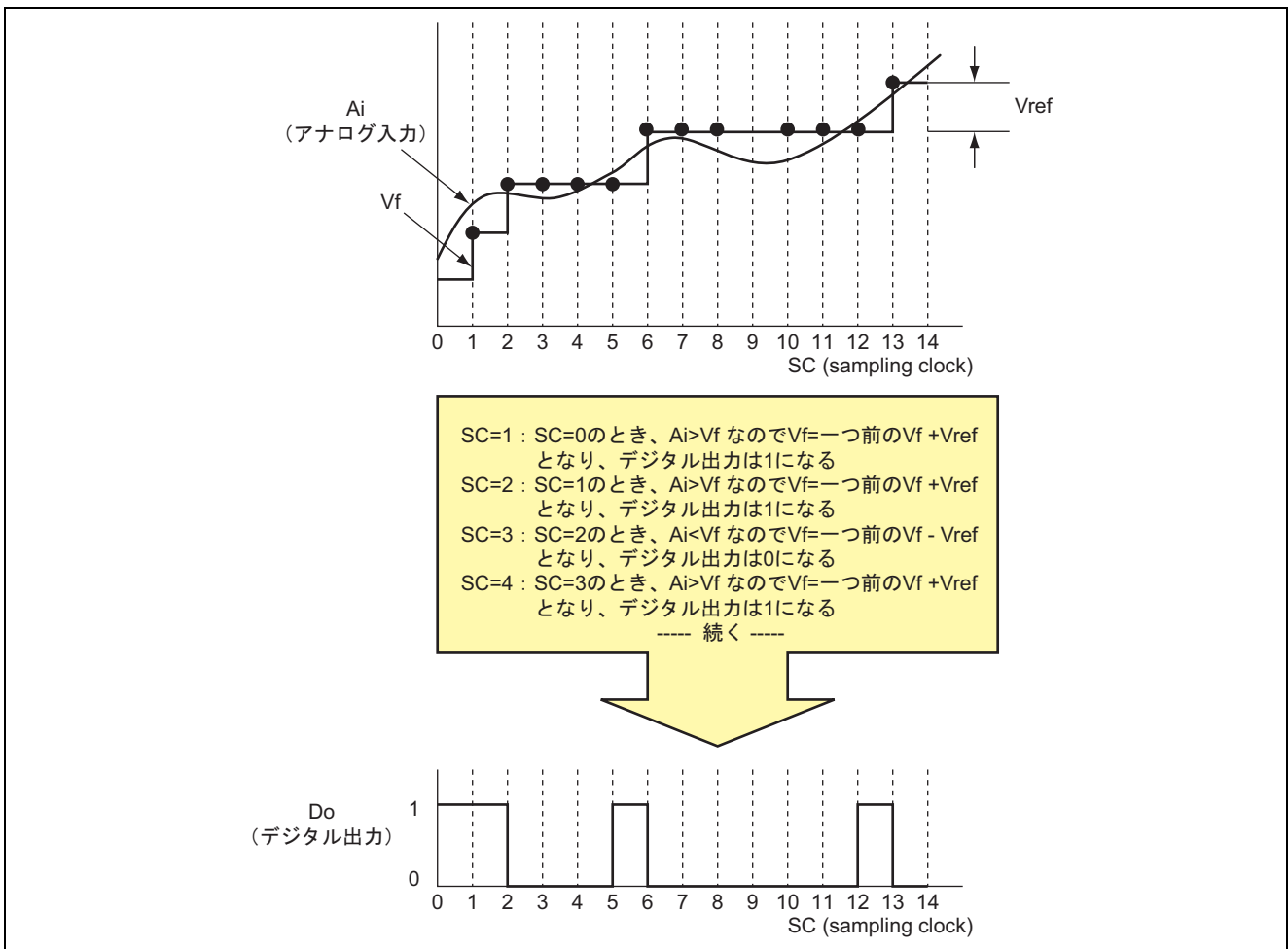


図 1.4 △変調器アナログ入力/デジタル出力

### 1.3 $\Delta\Sigma$ A/D 変換器の必要性

#### 1.3.1 逐次比較型

- メリットは変換速度が速く、低い分解能であれば比較的安価に実現できます。
- $n$  ビット分解能であれば、 $2^n$  個の抵抗内蔵が必要、シリコン上に形成する場合、加工バラツキにより実現精度に限界があり、高分解能実現には不向きです。  
 → 相対加工精度バラツキにより実現精度に限界 → 新方式が必要

#### 1.3.2 $\Delta\Sigma$ 型

- 変換速度は逐次比較型に比べると遅く、二重積分型よりは高速です。
- 高分解能実現に適した方式です。

表 1.1 逐次比較型と  $\Delta\Sigma$  型の比較

項 目	逐次比較方式	$\Delta\Sigma$ 方式
方式	サンプル&ホールド	サンプリング
モジュールサイズ	大	適
変換時間	速 ( $\approx 10 \mu\text{S}$ ) (H8S/2264)	遅 ( $32 \mu\text{S}$ 以上) (H8/38086R)
高分解能	不適	適
周波数帯域	制限なし	デジタルフィルタに依存
耐ノイズ性	弱	強 (ノイズシェイピング)



## 2. $\Delta\Sigma$ A/D 変換器

### 2.1 構成

$\Delta\Sigma$  A/D は積分器とデルタ変調器とデジタルフィルタで構成されます。

アナログ入力を $\Delta$ 変調器でデジタル信号に変調し、次のデジタルフィルタでノイズを除去して測定データとします。

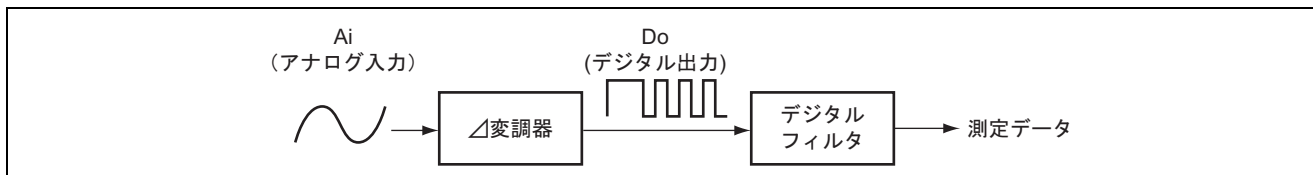


図 2.1  $\Delta\Sigma$  A/D 変換器の構成

### 2.2 $\Delta$ 変調器

アナログ入力 ( $A_i$ ) と積分器出力 ( $V_f$ ) を比較してデジタル値を出力します。

動作順に説明すると

1. 1クロック前のデジタル出力に従って D/A 変換し、積分した  $V_f$  と、アナログ信号入力  $A_i$  の差分を加算器で検出します。
2. 加算器の出力を比較器で 0V と比較し、その結果により 1 または 0 のデジタル値を出力します。  $A_i > V_f$  なら比較器出力は 1 になり、  $A_i < V_f$  なら 0 になります。

これらの一連の動作を繰り返してアナログ入力をデジタル値に変換します。

この $\Delta$ 変調器の動作をまとめると次のような欠点があるため対策が必要となります。

<変換>

デジタル出力はアナログ入力を微分したものの。

<欠点>

1. 直流電圧が変換できない。
2. 傾斜過負荷\*に対応できず高速信号が正確に変換できない。

<対策>

アナログ入力をいったん積分して $\Delta$ 変調器に入力する。

**【注】** \* 傾斜過負荷：急な変化の信号（高電圧および高速変化信号）。積分速度よりも高速な信号変化。

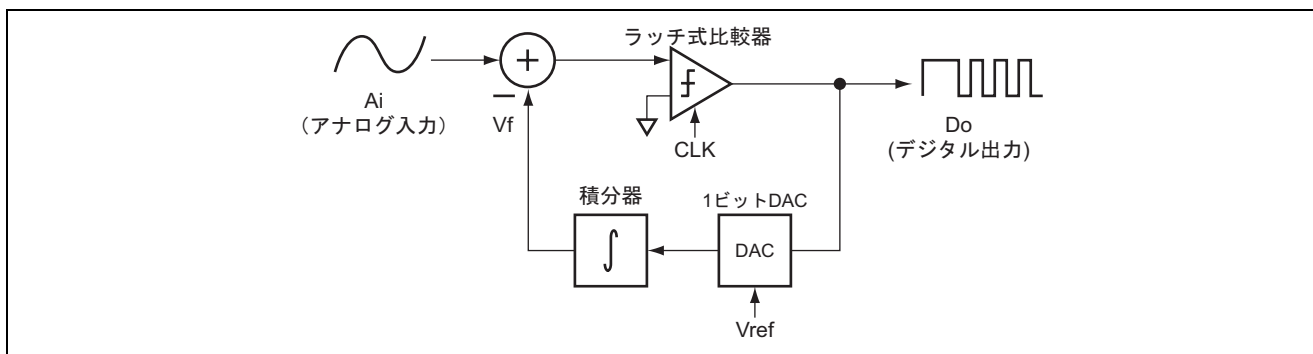


図 2.2  $\Delta$ 変調器

### 2.3 $\Delta\Sigma$ 変調器 (積分器+ $\Delta$ 変調器)

直流電圧の変換に対応するために変調器入力に積分器を追加します。

$\Delta$ 変調器の入力に積分器を追加したものを $\Delta\Sigma$ 変調器と言います。

積分 ( $\Sigma$ ) と微分 ( $\Delta$ ) による変調 =  $\Delta\Sigma$  変調

次の式から分かるように、2つの積分器は一つにまとめられるので加算器の後に置き換えます。

$$\begin{aligned} & \int f_1(x)dx + \int f_2(x)dx \\ &= \int (f_1(x) + f_2(x)) dx \\ &= \int f(x)dx \end{aligned}$$

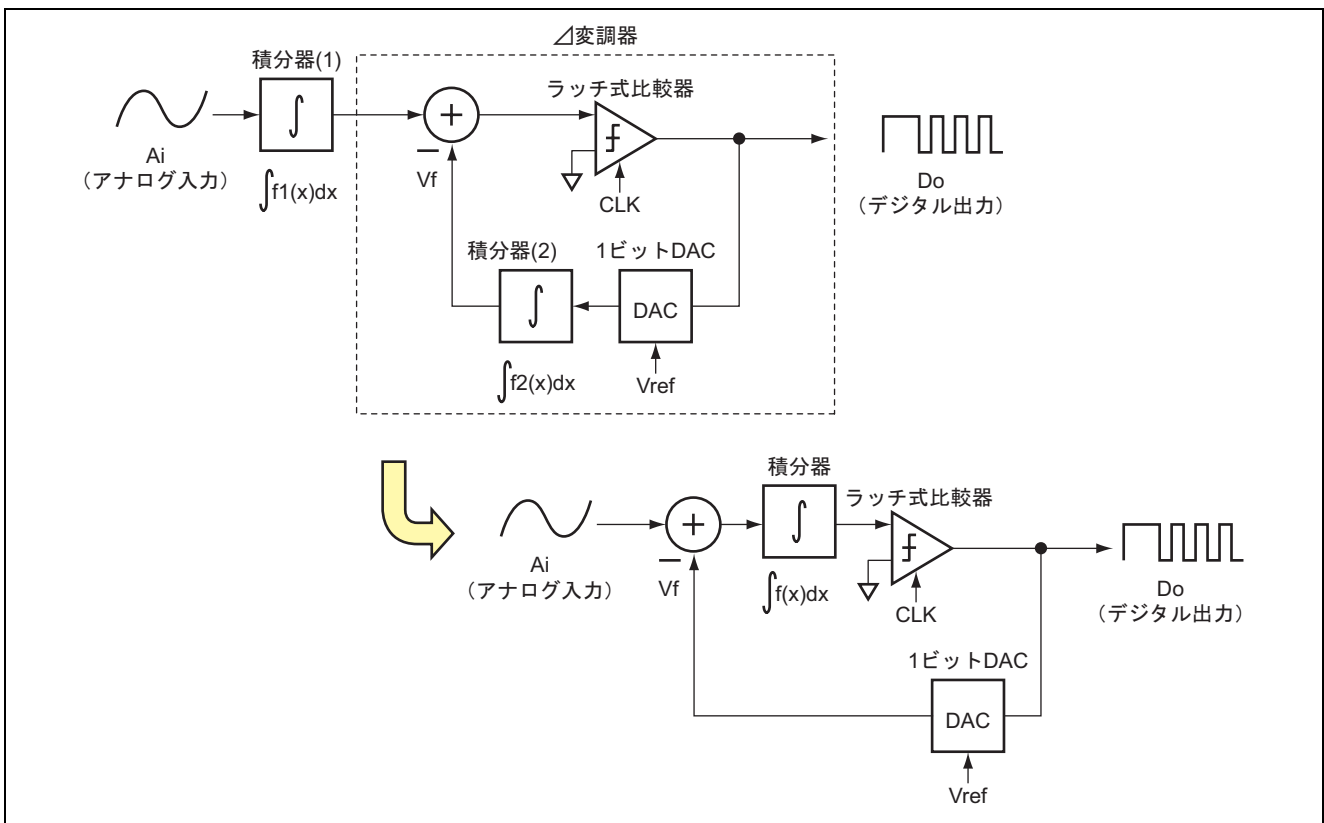


図 2.3 入力段積分器+ $\Delta$ 変調器

2.4 1次/2次 $\Delta\Sigma$ 変調器

1次 $\Delta\Sigma$ 変調器は、積分器が1つ、2次 $\Delta\Sigma$ 変調器は、積分器が2つあります。

ノイズシェイピング効果は、1次 $\Delta\Sigma$ 変調器よりも2次 $\Delta\Sigma$ 変調器のほうが優れています。

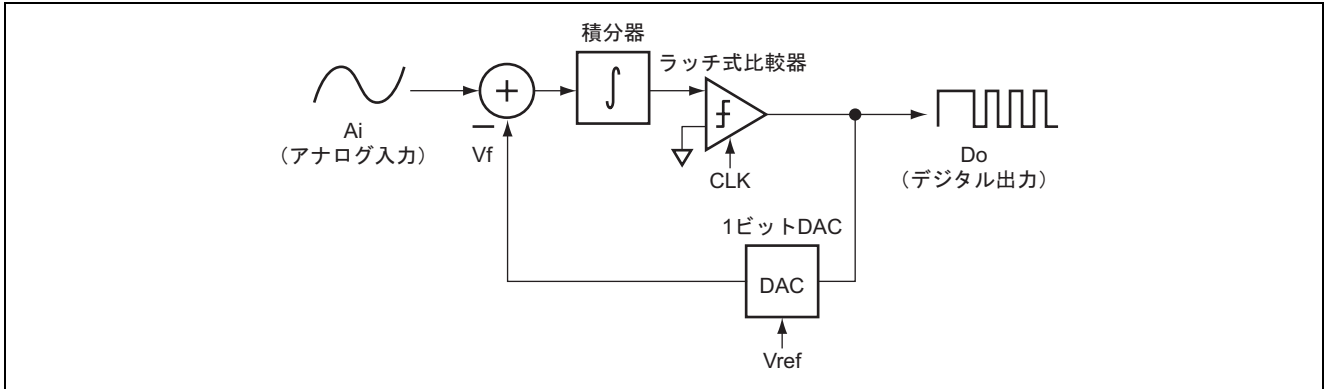


図 2.4 1次 $\Delta\Sigma$ 変調器

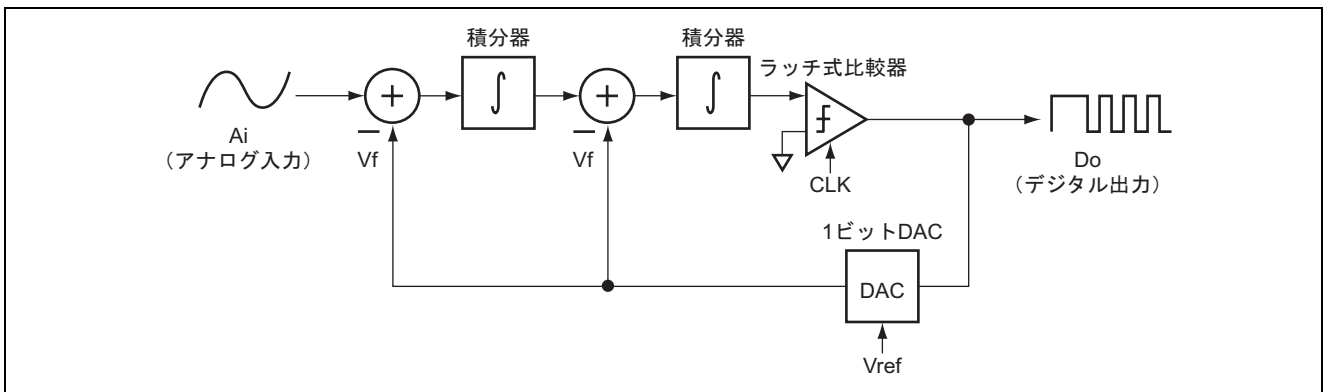


図 2.5 2次 $\Delta\Sigma$ 変調器

## 2.5 2次 $\Delta\Sigma$ A/D変換器

2次 $\Delta\Sigma$ A/D変換器の動作を整理すると次の通りになります。

1. アナログ入力は2回積分されます。
2. 2つの微分ループによって2回微分されます（動作原理は2回微分ですが、式を展開した結果、回路の比較器は一つにまとめられています）。
3. 積分と微分は逆の変換関数なので、積分と微分で結局信号は元に戻りますが、デジタル信号が得られます。
4. デジタルフィルタでサンプリングによって生じたノイズを取り除きます。

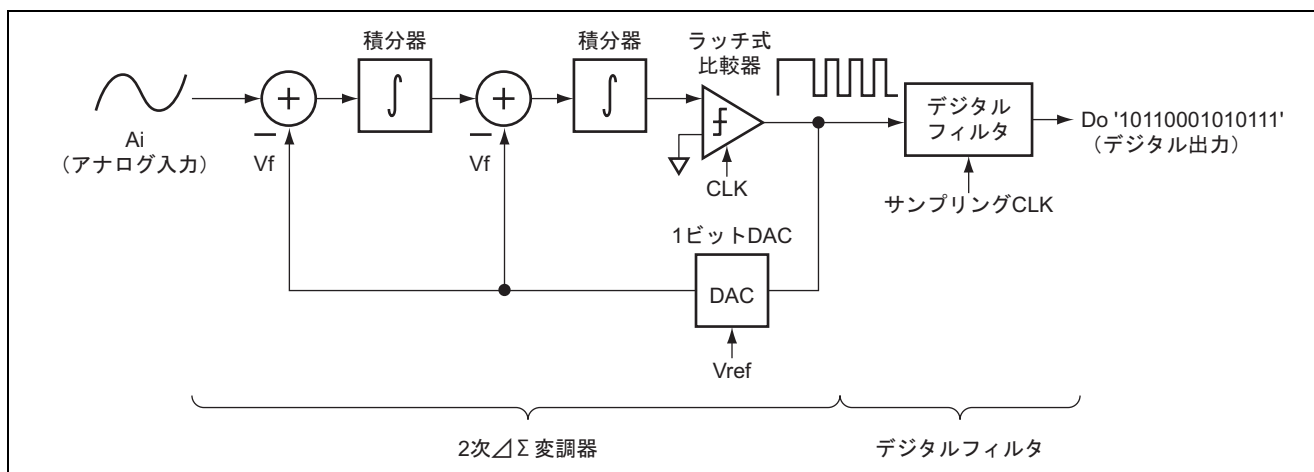


図 2.6 2次 $\Delta\Sigma$ A/D変換器

## 3. フィルタ

### 3.1 デジタルフィルタ

$\Delta\Sigma$  変調器のデジタル出力はサンプリングによって発生する 2 種類のノイズが含まれます。

一つは量子化誤差 (図 3.2)、もうひとつは折り返し雑音 (図 3.3) です。

デジタルフィルタはインパルス応答でフィルタ特性を取り扱っています。すなわちリアルタイムのデジタル数値演算で、波形の補間を行い、そしてデシメンション (間引き) を行って、これらのノイズを除去します。

デシメンション (間引き) とは高いサンプリング周波数から低い周波数に変換する操作です。

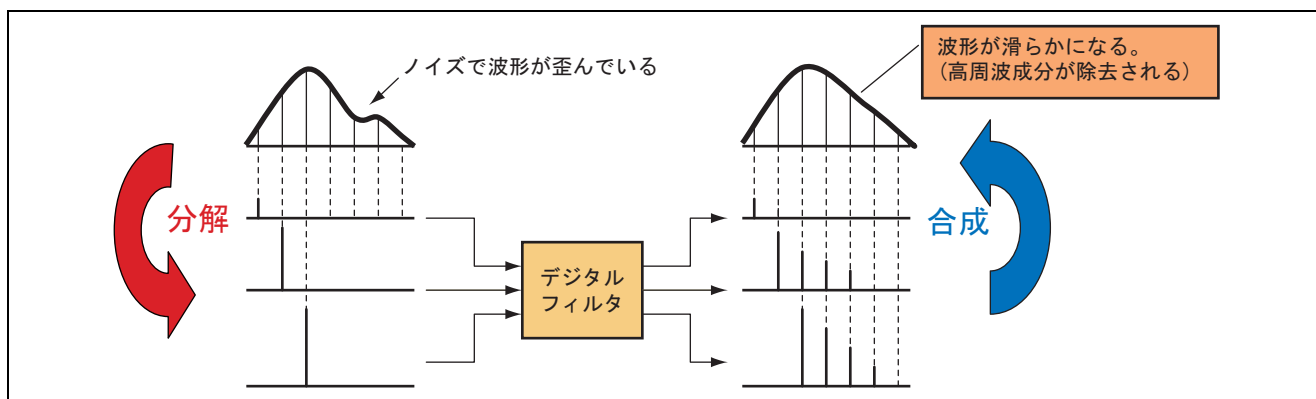


図 3.1 デジタルフィルタ

3.2 量子化誤差

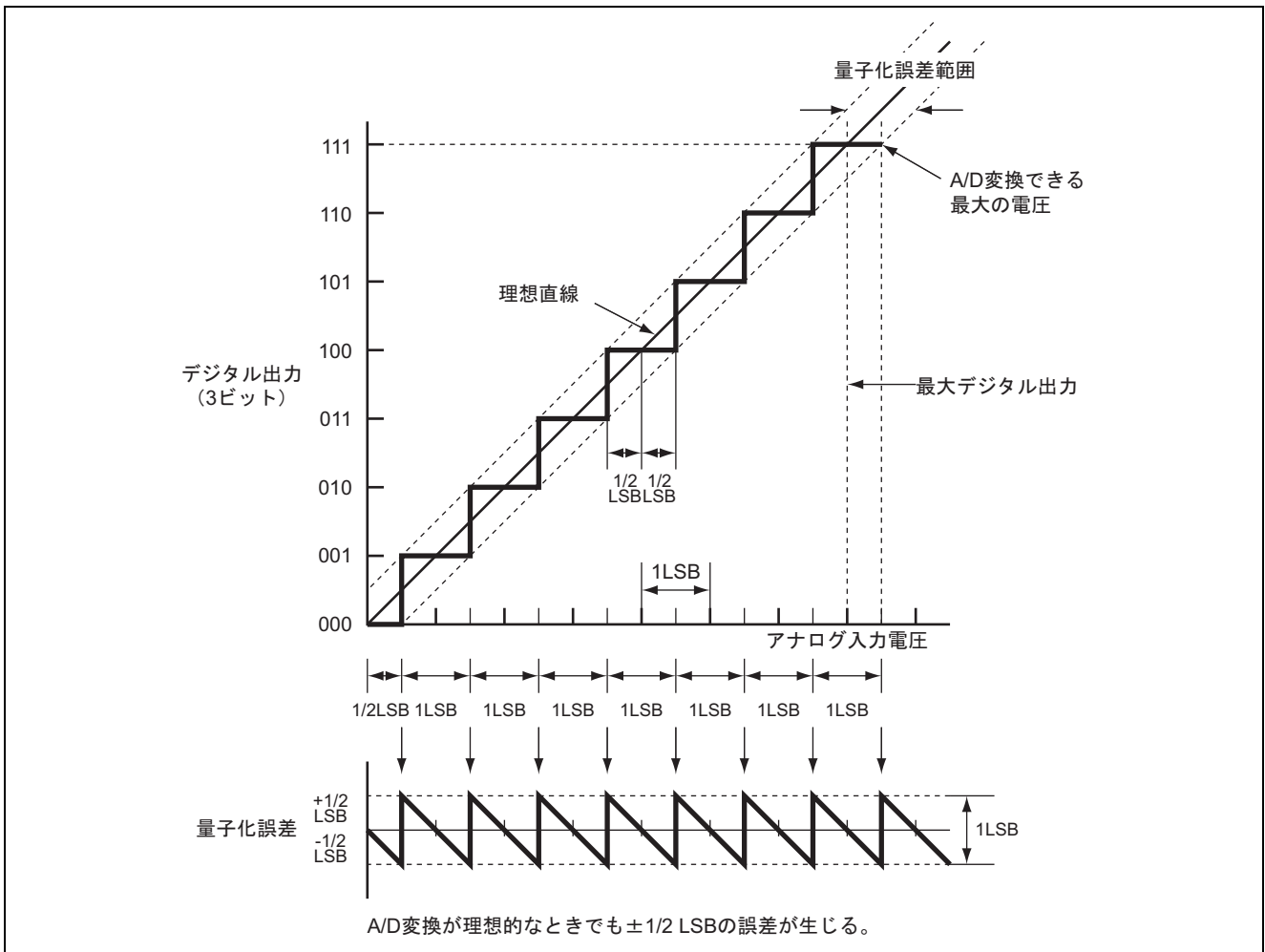


図 3.2 量子化誤差

### 3.3 折り返し雑音

$f_1$  と  $f_2$  ( $f_1 \times 7$  倍) を、 $f_1 \times 8$  倍のサンプリング周波数で測定する場合、 $f_1$  と  $f_2$  のサンプリング点は同一となります。

このサンプリング点は  $f_2$  の周波数要因を持っていることになり、 $f_2$  を  $f_1$  の折り返し雑音と呼びます。

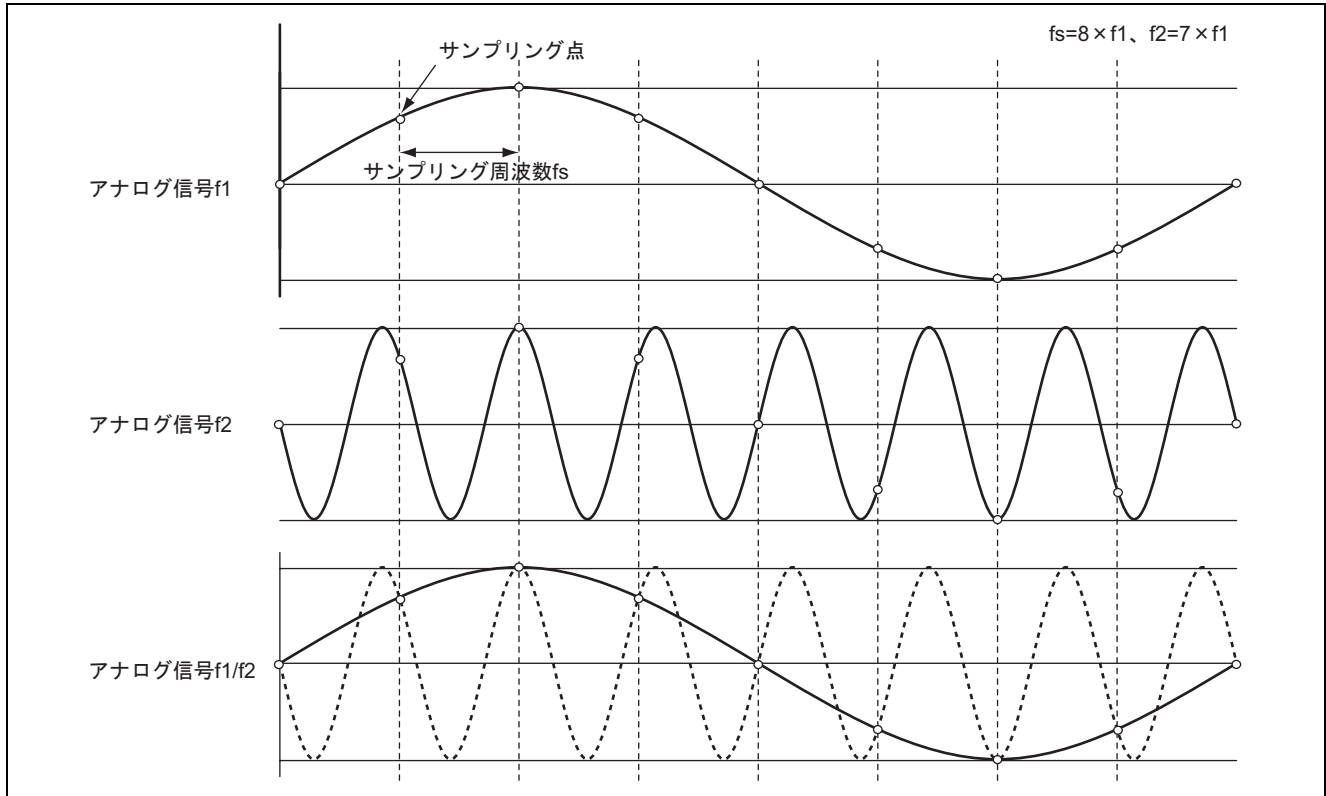


図 3.3 折り返し雑音

### 3.4 インパルス応答

連続アナログ系の信号を解析する手法として、インパルス応答というものがあります。

インパルス応答とは、システムに単位インパルスを加えたときの応答です。

1. 連続したアナログ信号をそのまま解析すると難しいので短冊（インパルス）に分解します。
2. 一つの短冊（インパルス）の応答波形は伝達関数が  $h(t)$  の場合、  

$$y(t) = h(t) * x(t)$$
 で求められます。
3. 線形システムの定義から、この系には重ね合わせの原理が成立し、一つ一つのパルスに対するそれぞれの応答波形を加えたものが、結局、入力信号の全体に対する応答波形になります。

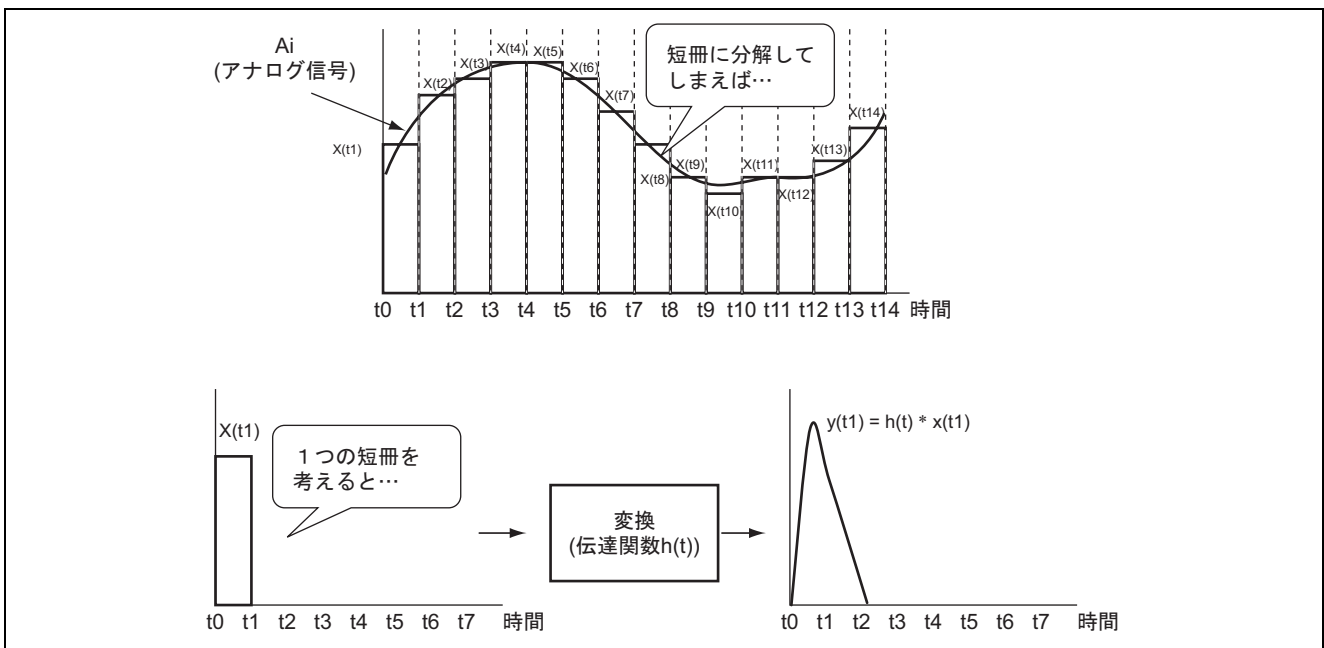


図 3.4 インパルス応答

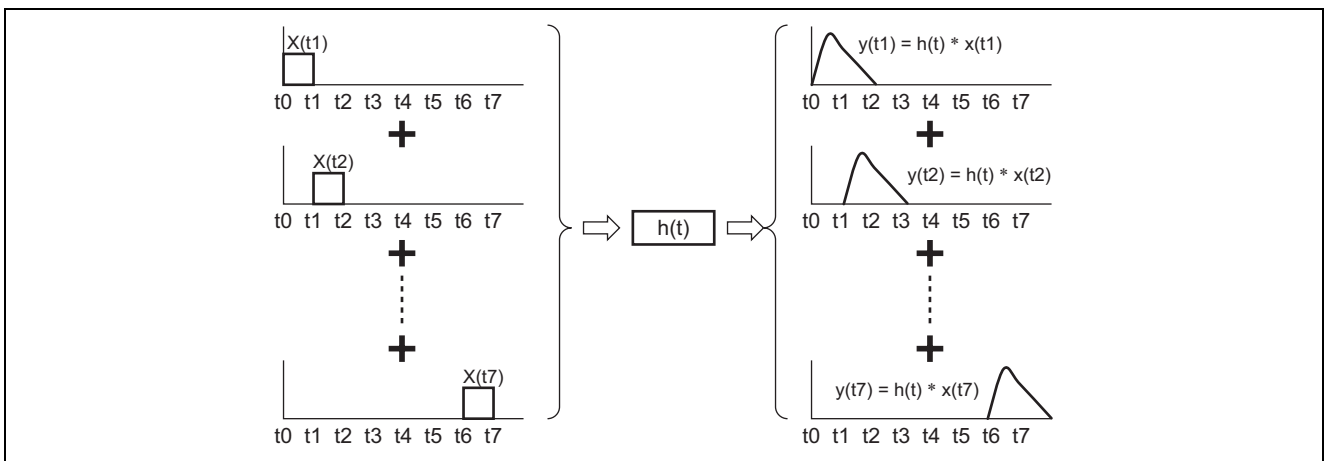


図 3.5 重ね合わせの定義



3.5 デジタルフィルタのノイズ除去

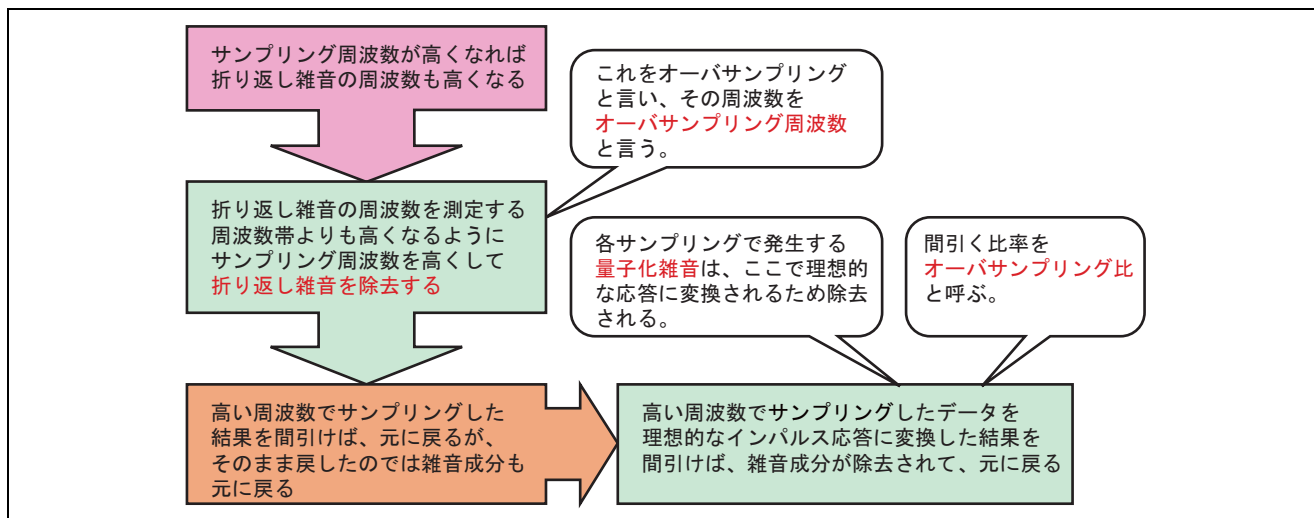


図 3.6 デジタルフィルタのノイズ除去手順

### 3.6 デジタルフィルタの回路方式

デジタルフィルタはサンプリングされたデータを理想的なインパルス応答に変換する役目を持っています。

具体的には、入力されたインパルスに伝達関数を掛けて、合成します。この伝達関数の掛け方の方法によって2種類の方式があります。

#### 1. IIR (infinite impulse response) フィルタ

加算器と値延器をフィードバックによって結合している方式。一度入力信号が加わると出力波形は減衰しながら無限に続くので、無限インパルス応答型と呼ばれます。

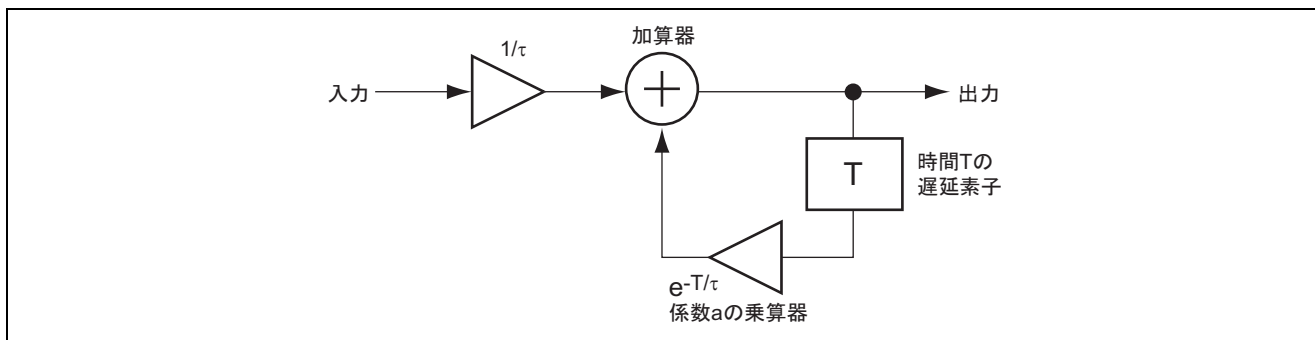


図 3.7 IIR 型フィルタ (無限インパルス) 応答型

#### 2. FIR (finite impulse response) フィルタ

シフトレジスタと各端子にデータを掛ける乗算器、それらを合成する加算器で構成されます。ここで言うデータとは理想フィルタのインパルス応答から算出した値の係数です。この係数は ROM に格納されています。H8/38086R は FIR フィルタを採用しています。

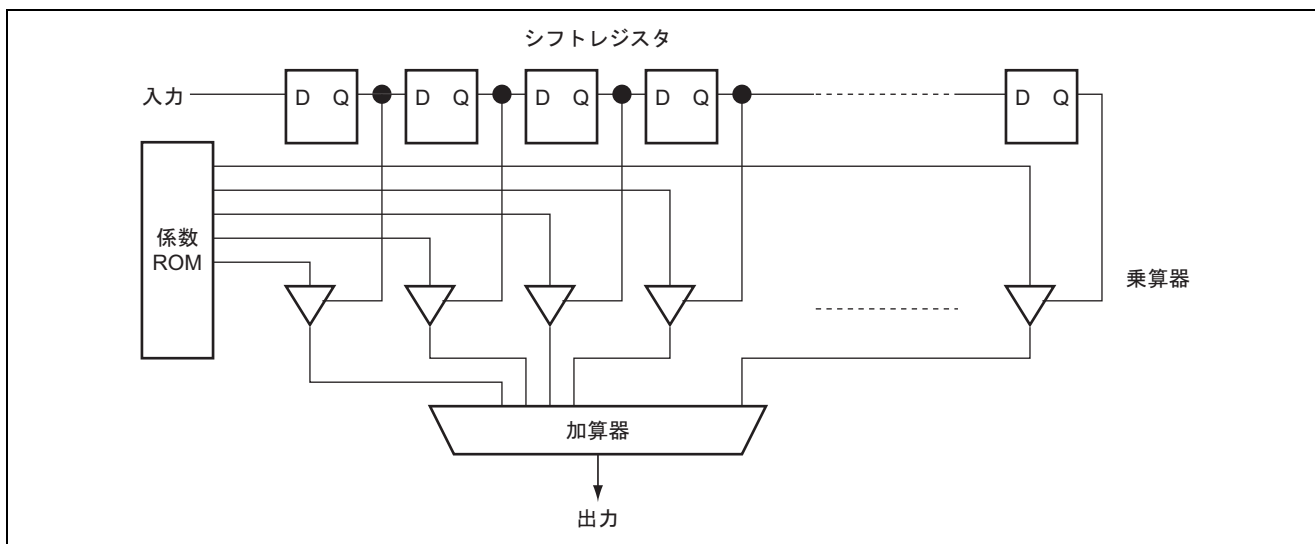


図 3.8 FIR 型フィルタ (有限インパルス) 応答型

4. 誤差と補正方法

4.1 A/D 変換器の誤差

4.1.1 逐次比較型 A/D 変換器

出力特性は 1/2FSR、1/4FSR 等の変化点で大きな誤差が生じやすいのが特徴です。  
 誤差は微分比直線性誤差の割合が大きく、すべてのビットが変化する 1/2FSR で最大となります。

4.1.2 二重積分型 A/D 変換器

出力特性は急峻な変化はなく、誤差は積分非直線性誤差が大きく、滑らかな曲線となります。

4.1.3  $\Delta\Sigma$  型 A/D 変換器

オフセット誤差 (OS 誤差) とフルスケール誤差 (FS 誤差) が発生するため、測定範囲は OS~FS の間となります。オフセットとフルスケールの補正を行うと、直線性に優れた出力特性となります。

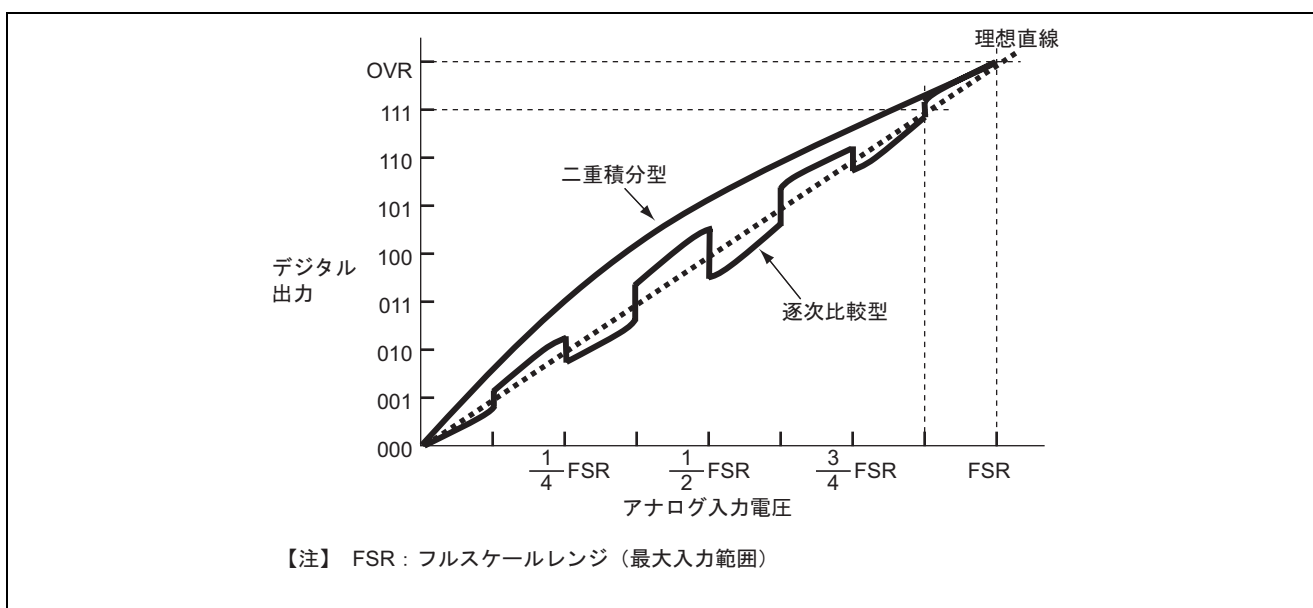


図 4.1 逐次比較型と二重積分型の誤差

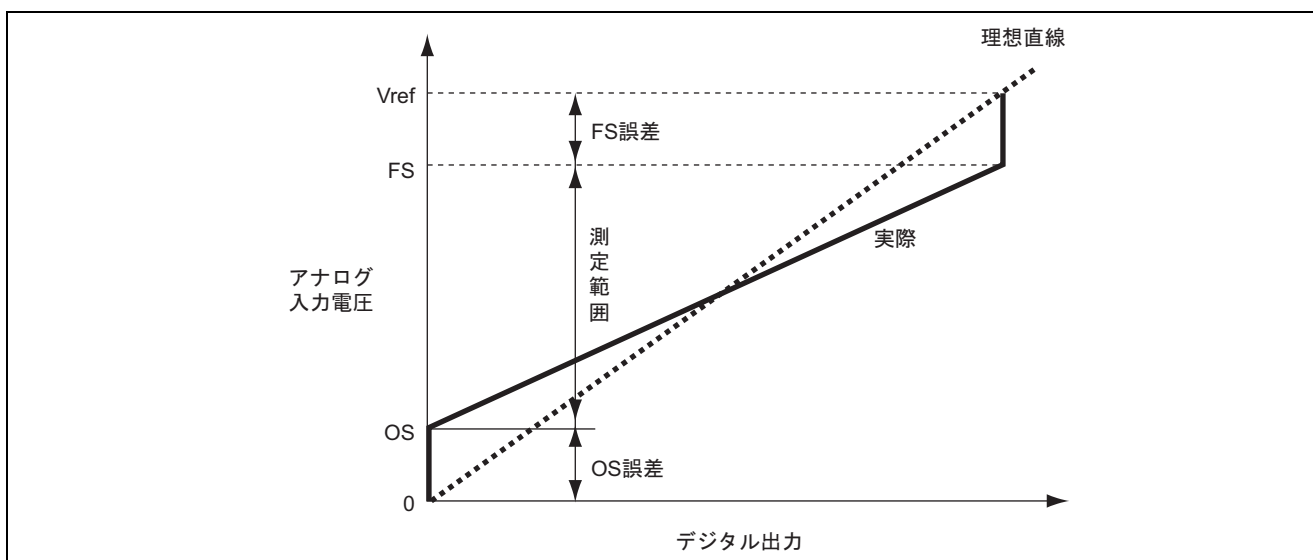


図 4.2  $\Delta\Sigma$  型 A/D 変換器の誤差

4.1.4 微分非直線性 (Differential Non-Linearity) 誤差

図 4.3 に示すように、微分非直線性誤差とは、1LSB 当たりの理想値と、実際のステップ幅の相違です。ステップ幅がちょうど 1LSB のとき、微分非直線性誤差は 0 です。微分非直線性誤差が 1LSB を超えるとき、入力増加に対する出力の度合いはより小さくなります。また、コード損失が起こる可能性もあります。つまり、 $2^n$  の中の 1 個以上のコードが出力されない可能性があります。

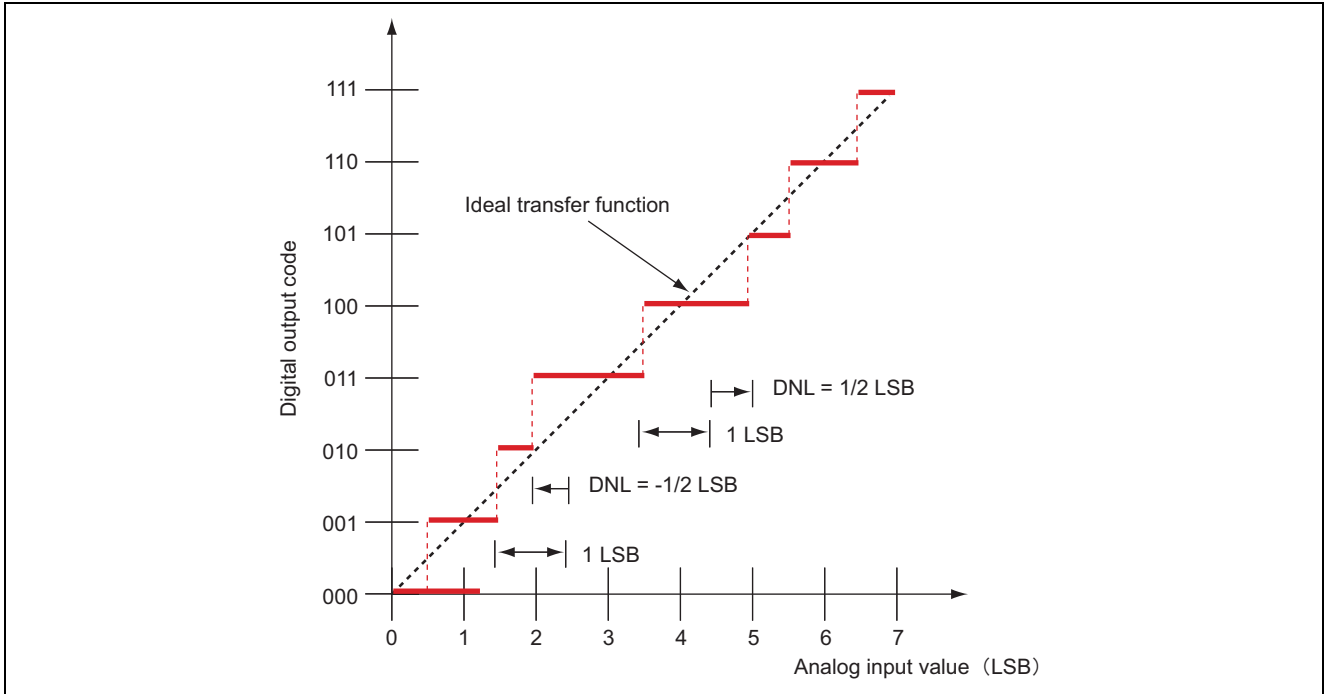


図 4.3 微分非直線性誤差

4.1.5 積分非直線性 (Integral Nonlinearity Error) 誤差

実際の変換時の理想的な直線からの値の偏差を積分非直線性誤差と呼びます (図 4.4)。この偏差は、1 ステップの変化幅で測定されます。

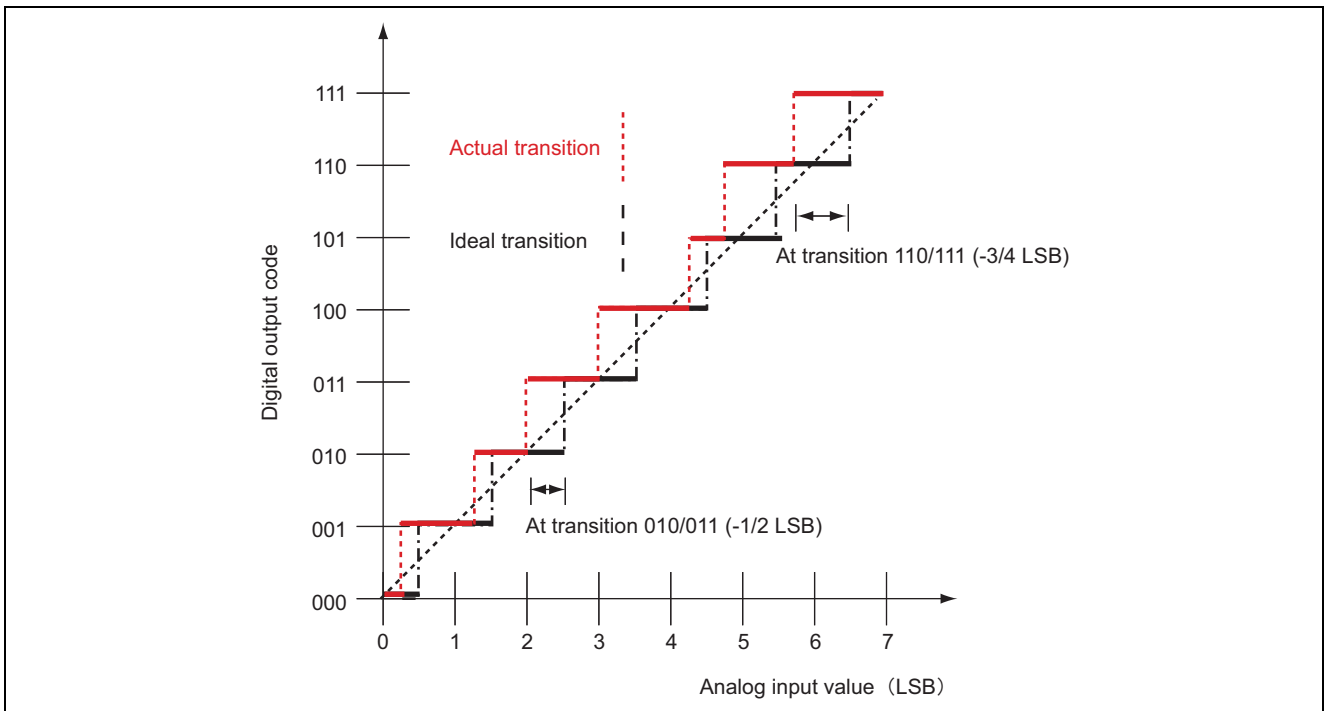


図 4.4 積分非直線性誤差

## 4.2 オフセット／フルスケール誤差の補正

### 4.2.1 補正の考え方

図 4.5 に  $\Delta\Sigma$  A/D 変換器のデジタル値 (ADDR の値) とアナログ値 (被測定対象) の関係を示します。

理想的な A/D 変換器の場合、図 4.5 の点線のように原点とフルスケールを結ぶ直線の関係にあります。しかし、実際にはオフセット誤差 (OS 誤差)、フルスケール誤差 (FS 誤差) が発生するため、実線のような関係となります。したがって、測定したデジタル値から被測定対象の値を精度良く求めるためには、オフセット／フルスケール誤差の補正を行う必要があります。

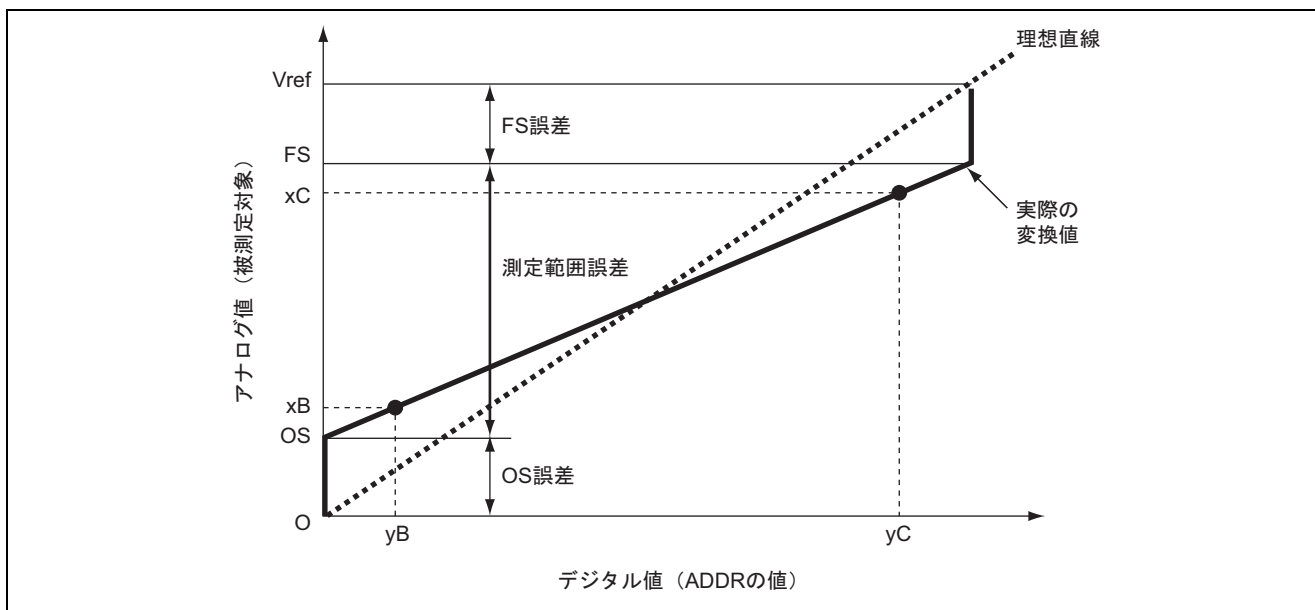


図 4.5 アナログ値 (ADDR の値) とデジタル値 (被測定対象) の関係

図 4.5 の実線の  $x$  と  $y$  の関係を求めると、

$$lsb = (xC - xB) / (yC - yB) \quad \dots (1)$$

$$x = (xC - xB) / (yC - yB) * y + OS \quad \dots (2)$$

$$OS = xB - (xC - xB) / (yC - yB) * yB \quad \dots (3)$$

(1) (2) (3) 式より、

$$x = lsb * y + xB - lsb * yB = lsb * (y - yB) + xB$$

### 4.2.2 オフセット／フルスケール誤差補正方法

実際にオフセット／フルスケール誤差の補正をする場合には、下記のような手順にて補正を行います。

1. 図 4.5 における 4 点  $(xA, yA)$ 、 $(xB, yB)$ 、 $(xC, yC)$ 、 $(xD, yD)$  を測定
2. 測定した 2 点  $(xB, yB)$ 、 $(xC, yC)$  から、傾き (lsb) を計算
3. デジタル値 (ADDR の値) から、被測定対象の値を計算

$$\text{被測定対象の値} = \text{傾き (lsb)} * (\text{ADDR の値} - yB) + xB$$

### 4.3 オフセット／フルスケール誤差補正プログラム例

以下にオフセット／フルスケール誤差補正のプログラム例を示します。

#### (1) 測定条件

- Vcc=DVcc=3.0V
- Vss=0V
- Ain=0~3.0V
- オーバサンプリング周波数 =  $\phi/32$
- 変換モード=連続モード
- PGA=Bypass
- BGR=OFF

#### (2) 2点測定結果

- xB=12.838mV
- yB=26 (10進)
- xC=2924.092mV
- yC=16375 (10進)
- 傾き (lsb) =0.17806924

#### (3) プログラム例

```

        .
        .
        .
c_data = correct(data);          /* c_data = 補正後のデータ、 data = ADRR の値 */
        .
        .
        .
float correct (unsigned short y)
{
    const float lsb=0.17806924, yb=26, xb=12.838; /* 傾き, B 点の ADRR の値, B 点の非測定対象の値 */
    return (lsb * ( y - yb ) + xb );          /* 補正計算 */
}
    
```

## 5. 使用推奨条件と注意事項

### 5.1 推奨条件-1 : PGA=Bypass 時 (ローパスフィルタ回路なし)

#### 5.1.1 動作条件

1. レジスタの設定

PGA : バイパスモード

変換モード : ウェイトモード

オーバーサンプリング周波数 (fovs) :  $\phi$

BGR 回路 : 停止

PB5/Vref/REF 端子 : Vref 入力端子

2. 外部条件

Vcc=DVcc=3V、Vref=外部から 2.7V 供給、fosc=4~10MHz

ローパスフィルタ入力回路 : なし

基準電圧 (Vref) の入力インピーダンスは約 20k $\Omega$  ですので、入力電流が定常的に流れます。

アナログ入力端子には C、R 負荷は接続しないください。

#### 5.1.2 外付け回路

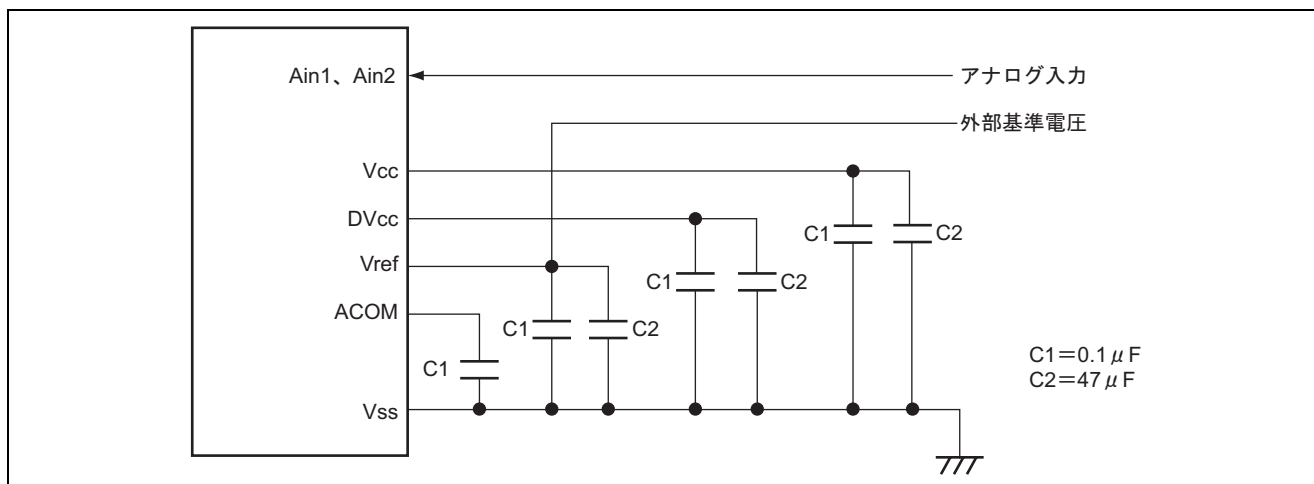


図 5.1 外付け回路 (ローパスフィルタ回路なし)

## 5.2 推奨条件-2 : PGA=Gain1 時 (ローパスフィルタ回路あり)

### 5.2.1 動作条件

#### 1. レジスタの設定

PGA : 使用

PGA ゲインセレクト : 1/3、1、2、4 のどれかを設定

変換モード : ウェイトモード

オーバーサンプリング周波数 (fovs) :  $\phi$

BGR 回路 : 停止

PB5/Vref/REF 端子 : Vref 入力端子

#### 2. 外部条件

Vcc=DVcc=3V、Vref=外部から 2.7V 供給、fosc=4~10MHz

ローパスフィルタ入力回路 : あり

基準電圧 (Vref) の入力インピーダンスは約 20k $\Omega$  ですので、入力電流が定常的に流れます。

### 5.2.2 外付け回路 (例 : カットオフ周波数 80Hz)

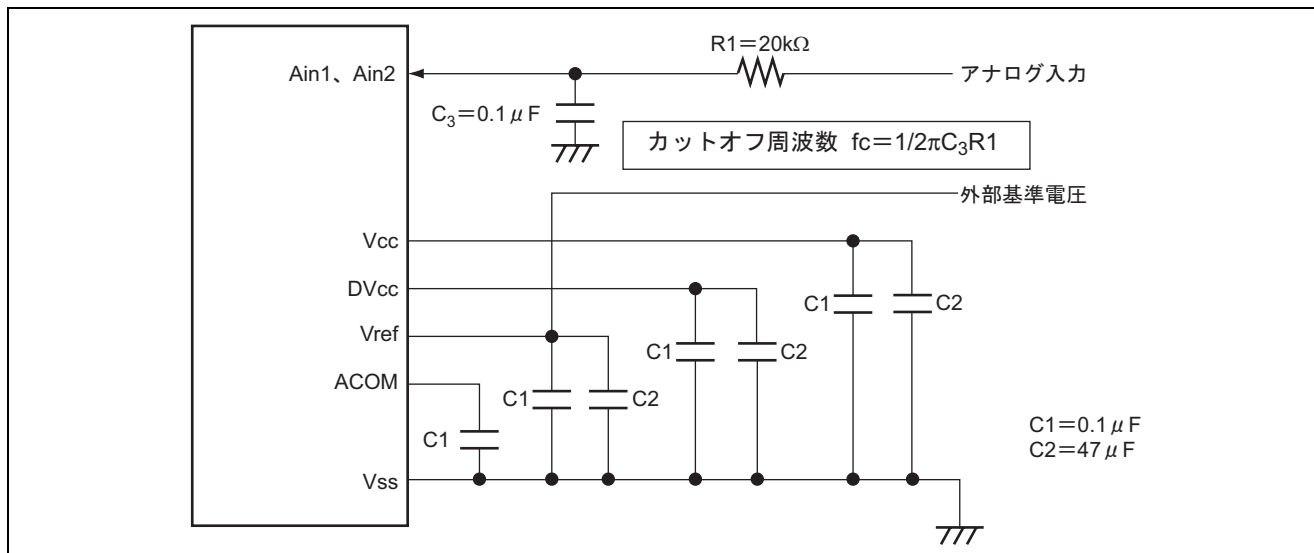


図 5.2 外付け回路 (ローパスフィルタ回路あり)



## 5.3 推奨条件-3 : PGA=Gain1 時 (内部基準電圧使用)

### 5.3.1 動作条件

#### 1. レジスタの設定

PGA : 使用

PGA ゲインセレクト : 1/3、1、2、4 のどれかを設定

変換モード : ウェイトモード

オーバーサンプリング周波数 (fovs) :  $\phi$

BGR 回路 : 動作

BGR 出力電圧トリミング : BGR 出力電圧の調整値を設定

PB5/Vref/REF 端子 : REF 出力端子で、内部基準電圧を基準電圧発生回路に入力と設定

#### 2. 外部条件

Vcc=DVcc=3V、Vref=内蔵 BGR 使用、fosc=4~10MHz、

ローパスフィルタ入力回路 : あり

### 5.3.2 外付け回路 (例 : カットオフ周波数 80Hz)

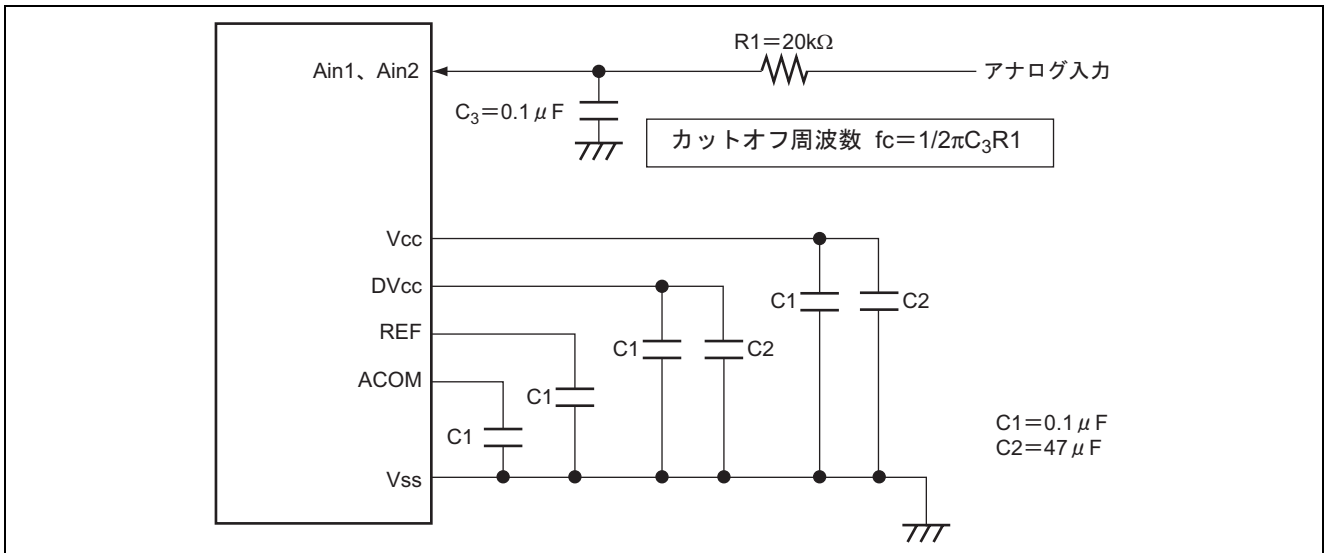


図 5.3 外付け回路 (内部基準電圧使用)

## 5.4 使用上の注意事項

A/D 変換器をより良い精度で使用するには、次の点にご注意ください。

### 5.4.1 内部発生ノイズの抑制

変換開始後、スリープモードに遷移して、A/D 変換中は CPU 部から発生するノイズを抑えてください。また、A/D 変換中はなるべく周辺機能を動作させないでください。

### 5.4.2 オーバーサンプリング周波数について

オーバーサンプリング周波数を分周した場合は、周辺 I/O のノイズの影響を受けます。

基本的には分周せずに使用してください。

### 5.4.3 入力端子 (Ain1, Ain2) の電位差が大きい場合

Ain1 と Ain2 の電位差が大きい場合に、入力を切り替えて測定すると電圧が収束するまでに時間がかかる場合があります。

その場合は、1 回目の測定値を破棄して 2 回目からのデータを使用してください。

### 5.4.4 電源立ち上げ時の測定について

電源立ち上げ時に、入力回路のコンデンサの充電が間に合わない場合があります。その場合は、1 回目の測定値を破棄して 2 回目からのデータを使用してください。

### 5.4.5 平均化処理について

A/D 変換は測定回数を増やして平均化すると誤差が減少しますので、処理時間に問題がなければ複数回測定による平均化処理をお願いします。

### 5.4.6 内部基準電圧 (REF) の扱い

#### 1. 内部基準電圧の調整

内部基準電圧 (typ 値) は 1.17V です。

使用する前に測定し、必要があれば調整してください。

出力電圧の調整は BGR コントロールレジスタ (BGRMR) のビット 0 から 2 で行います。

#### 2. 内部基準電圧の外部使用方法

内部基準電圧 (REF) 出力電流は小さいため、そのままでは外部でご使用いただけません。

外部で使用する場合は、ハイインピーダンス入力の素子 (オペアンプ等) で電流増幅して使用してください。

### 5.4.7 基板設計時の注意事項

ノイズ対策のため、多層基板で Vcc 層と GND 層を別層とし、入力ラインのノイズ重畳等に注意して設計してください。

### 5.4.8 PGA のバイパスモード使用時の注意事項 (入力インピーダンスについて)

#### 1. PGA を使用する場合

PGA の入力インピーダンスが高いため、入力にアナログフィルタ (CR 時定数回路) を使用することができます。

#### 2. PGA を使わずにバイパスモードとした場合

A/D 変換時間が  $32\ \mu\text{S}$  の場合、入力抵抗  $1\text{k}\Omega$  あたり  $5.6\text{mV}$  の電圧降下が発生します。

変換時間が長い程、電圧降下が少なくなりますので、このデータを最悪条件として設計してください。

## 5.4.9 外部基準電圧 (Vref) 設定時の注意事項

### 1. DVcc から外部基準電圧の作成方法

外部基準電圧入力 (Vref) 端子の入力インピーダンスは  $20k\Omega$  (typ) です。

DVcc から外部基準電圧を供給する場合、図 5.4 のように抵抗 (R1) と入力インピーダンスとの分圧値で外部基準電圧を設定し、供給することが出来ます。

入力インピーダンスの  $20k\Omega$  は typ 値ですので、R1 の設定をする際には注意してください。

### 2. 消費電流の抑制方法

DVcc から R1 を介して外部基準電圧を供給する場合は、 $DVcc / (\text{内部抵抗} + R1)$  の電流が流れます。

A/D 変換を行わない間は、Vref 端子をポート (PB5) に設定 (ADCR のビット 3、2 を "00") すれば PB5 機能 (入力) となり、電流パスがカットされ消費電流を抑制できます。

外部基準電圧 (Vref) 入力 =  $0.2DVcc \sim 0.9DVcc$

外部基準電圧 (Vref) 入力インピーダンス =  $20k\Omega$  (typ)

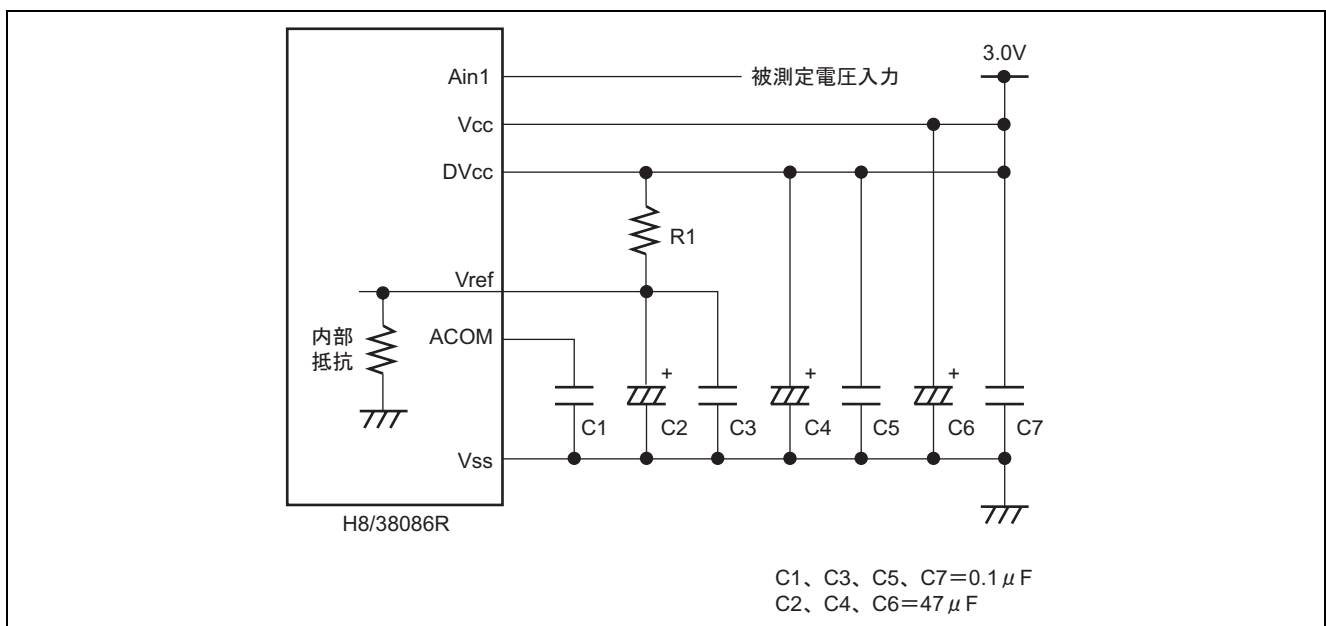


図 5.4  $\Delta\Sigma$  A/D 変換器測定回路例 (外部基準電圧に DVcc からの分圧値を使用)

6. アプリケーションノート

6.1 外部基準電圧を使用した $\Delta\Sigma$  A/D 変換器による電圧測定

6.1.1 仕様

- 図 6.1 に示すように、H8/38086R の $\Delta\Sigma$  A/D 変換器を使用して、Ain1 端子に入力した電圧測定を行います。
- $\Delta\Sigma$  A/D 変換器の基準となる電圧は、外部入力電圧を使用します。
- Ain1 端子に入力した被測定電圧の A/D 変換を行い、A/D 変換結果を内蔵 RAM に格納します。なお、A/D 変換は 2 回行い、1 回目の A/D 変換結果は破棄し、2 回目の A/D 変換結果を採用します。また、A/D データレジスタ (ADDR) から読み出した 14 ビットの A/D 変換結果はオフセット/フルスケール誤差補正を行ってから内蔵 RAM に格納します。
- 動作モードはウェイトモードを使用し、オーバサンプリング周波数は $\phi$ 、PGA バイパスにて A/D 変換を行います。
- A/D 変換中は CPU 等から発生するノイズを押さえるため、スリープ (高速) モードに遷移します。A/D 変換終了割り込みによりスリープ (高速) モードを解除し、アクティブ (高速) モードに遷移してから、A/D 変換結果を内蔵 RAM に格納します。また、モジュールスタンバイ機能により、 $\Delta\Sigma$  A/D 変換器以外の SCI3、A/D 変換器、タイマ F、RTC、TPU、IIC2、PWM、AEC、ウォッチドッグタイマ、LCD の内蔵周辺モジュールはモジュールスタンバイモードに設定します。

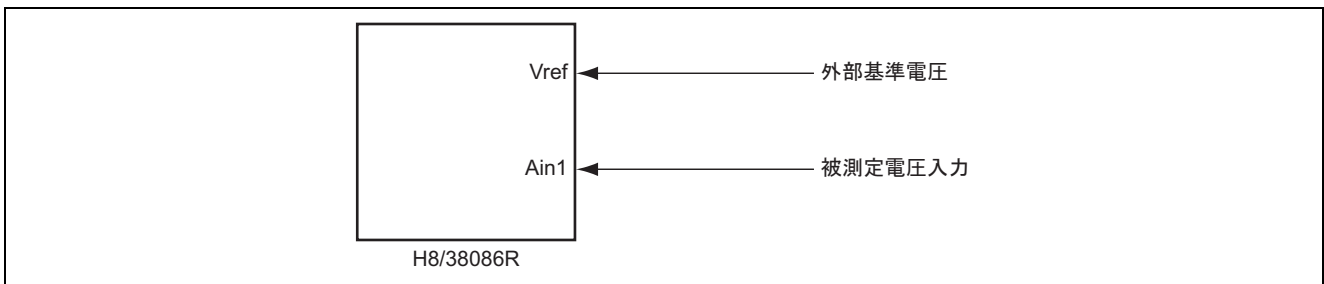


図 6.1  $\Delta\Sigma$  A/D 変換器による電圧測定 (外部基準電圧使用)

6.1.2  $\Delta\Sigma$  A/D 変換器測定条件

図 6.2 に本タスク例における測定回路を示します。

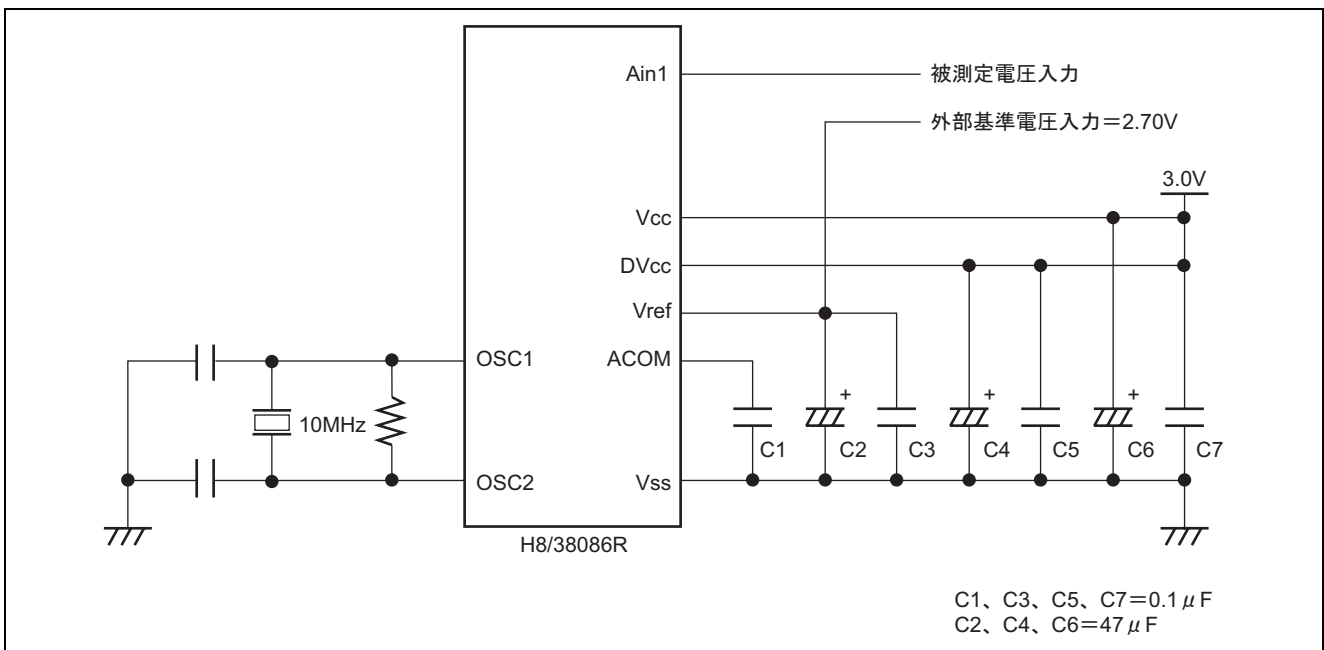


図 6.2  $\Delta\Sigma$  A/D 変換器測定回路 (外部基準電圧使用)

以下に、外部基準電圧を使用した $\Delta\Sigma$  A/D 変換器による電圧測定における測定条件を示します。

- Vcc=3.0V
- DVcc=3.0V
- Vref=外部入力 2.70V
- システムクロック周波数 ( $\phi$ ) = 10MHz
- オーバサンプリング周波数 ( $f_{OVS}$ ) =  $\phi$
- PGA=Bypass
- 変換モード=ウェイトモード
- 入力電圧範囲=0.2V~Vref (2.70V)

6.1.3 使用機能説明

図 6.3 に $\Delta\Sigma$  A/D 変換器のブロック図を示します。

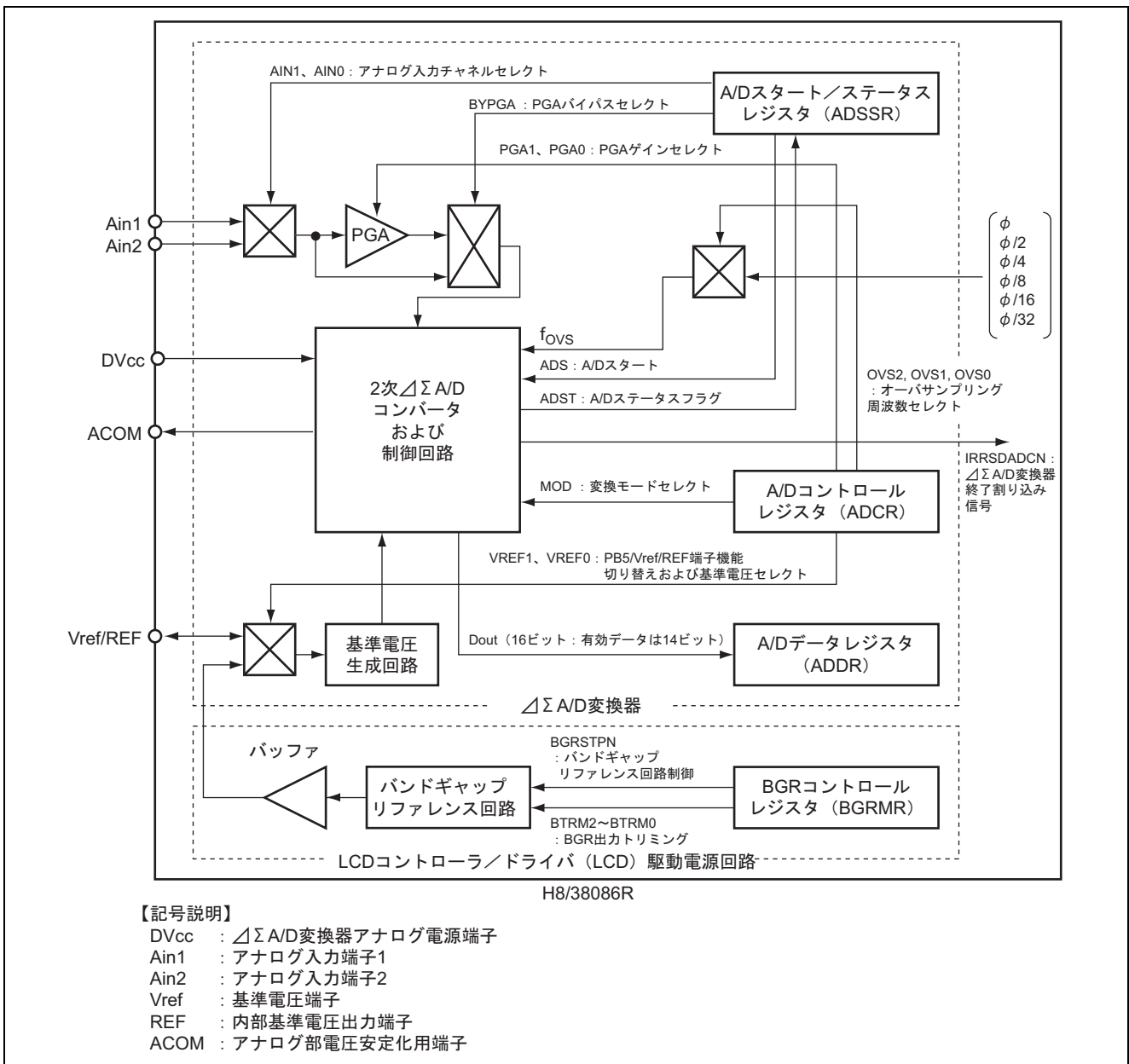


図 6.3  $\Delta\Sigma$  A/D 変換器ブロック図

以下に、 $\Delta\Sigma$  A/D 変換器の機能説明を示します。

## (1) 特長

- 分解能 : 14 ビット
- 入力チャンネル : 2 チャンネル
- 変換方式 : 2 次 $\Delta\Sigma$ 、320 倍オーバーサンプリング型
- 変換時間 : 1 チャンネルあたり 32  $\mu$ s (10MHz 動作時)
- 割り込み要因 : 1 種類 (A/D 変換終了割り込み要求)
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

## (2) 入出力端子

$\Delta\Sigma$  A/D 変換器で使用する端子構成を表 6.1 に示します。

表 6.1  $\Delta\Sigma$  A/D 変換器端子構成

端子名	記号	入出力	機能
基準電圧端子	Vref	入力	外部基準電圧入力
内部基準電圧出力端子	REF	出力	内部基準電圧出力
アナログ部電圧安定化用端子	ACOM	出力	安定化容量 (0.1 $\mu$ F) 接続
アナログ入力端子 1	Ain1	入力	アナログ入力端子
アナログ入力端子 2	Ain2	入力	
$\Delta\Sigma$ A/D 変換器アナログ電源端子	DVcc	入力	電源端子

## (3) レジスタ説明

$\Delta\Sigma$  A/D 変換器には以下のレジスタがあります。

- A/D データレジスタ (ADDR)  
 ADDR は A/D 変換結果を格納するための 16 ビットのリード専用レジスタです。ADDR は常に CPU からリード可能です。A/D 変換中は ADDR の値は不定で、A/D 変換終了時に変換結果の 14 ビットデータが ADDR の上位 14 ビットに格納され、次の変換開始までこのデータが保持されます。ADDR の初期値は不定です。
- BGR コントロールレジスタ (BGRMR)  
 BGRMR はバンドギャップリファレンス回路 (BGR) の動作制御および REF 端子から出力される内部基準電圧 (BGR 出力電圧) の調整を行います。
- A/D コントロールレジスタ (ADCR)  
 ADCR は変換モードの設定、PGA (プログラマブルゲインアンプ) 倍率の設定、PB5/Vref/REF 端子機能の選択、基準電圧の設定および、オーバーサンプリング周波数の設定を行います。
- A/D スタート/ステータスレジスタ (ADSSR)  
 ADSSR は A/D 変換のステータスフラグ、アナログ入力のチャンネルの選択、および PGA バイパスの選択を行います。

#### (4) $\Delta\Sigma$ A/D 変換器

$\Delta\Sigma$  A/D 変換器は、 $\Delta\Sigma$  モジュレータを用いた A/D 変換器で、Vref 端子で決定されるアナログ入力電圧範囲を 14 ビットの分解能でデジタルに変換します。 $\Delta\Sigma$  A/D 変換器は、 $\Delta\Sigma$  モジュレータを主体とするアナログ部と、デジタルフィルタ制御回路からなるデジタル部で構成されています。

アナログ部では、アナログ入力端子 1、2 (Ain1、Ain2) の電圧を変換周期の 320 倍の周波数 (オーバーサンプリング周波数) でサンプリングし、2 次の  $\Delta\Sigma$  A/D モジュレータで 1 ビットのデジタル値列に変換します。変換結果は、デジタル部でデシメーションフィルタを経て、14 ビットのデータとして A/D データレジスタ (ADDR) へ符号なし 2 進数で出力されます。このとき、ADDR のビット 13 が MSB、ビット 0 が LSB となります。

#### (5) $\Delta\Sigma$ A/D 変換器変換モード

$\Delta\Sigma$  A/D 変換器の変換モードには、ウェイトモード、連続モードの 2 種類あります。

##### (a) ウェイトモード

ウェイトモードは指定された 1 チャンネルのアナログ入力を 1 回 A/D 変換します。

1. ソフトウェアによって A/D スタート/ステータスレジスタ (ADSSR) の ADS ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると A/D 変換結果が A/D データレジスタ (ADDR) に転送されます。
3. A/D 変換終了時、割り込み要求レジスタ 2 (IRR2) の A/D 変換器割り込み要求フラグ (IRRSAD) が 1 にセットされます。このとき、割り込み許可レジスタ 2 (IENR2) の A/D 変換器割り込み要求イネーブル (IENSAD) が 1 にセットされていると、A/D 変換終了割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的に 0 にクリアされて A/D 変換器は待機状態になります。

##### (b) 連続モード

連続モードは指定された 1 チャンネルのアナログ入力を以下のように連続して A/D 変換します。

1. ソフトウェアによって A/D コントロールレジスタ (ADCR) の MOD ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると A/D 変換結果が A/D データレジスタに転送されます。
3. A/D 変換終了時、割り込み要求レジスタ 2 (IRR2) の A/D 変換器割り込み要求フラグ (IRRSAD) が 1 にセットされます。このとき、割り込み許可レジスタ 2 (IENR2) の A/D 変換器割り込み要求イネーブル (IENSAD) が 1 にセットされていると、A/D 変換終了割り込み要求を発生します。
4. その後、2.~3.を繰り返します。連続モードを停止するには、リセットするか、あるいはウォッチモード、サブアクティブモード、サブスリープモード、スタンバイモードへ遷移させるか、ADCR の MOD ビットを 0 に設定してください。

## (6) $\Delta\Sigma$ A/D 変換器動作モード

$\Delta\Sigma$  A/D 変換器の動作モードを表 6.2 に示します。

表 6.2  $\Delta\Sigma$  A/D 変換器の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュールスタンバイ
ADCR	リセット	動作	保持	保持	保持	保持	保持	保持
ADSSR	リセット	動作	動作	保持	保持	保持	保持	保持
ADDR	保持*	動作	動作	保持	保持	保持	保持	保持
BGRMR	リセット	動作	保持	保持	動作	保持	保持	保持

【注】 \* パワーオンリセット時は不定

## (7) 端子機能割り付け

本タスク例における端子機能割り付けを表 6.3 に示します。

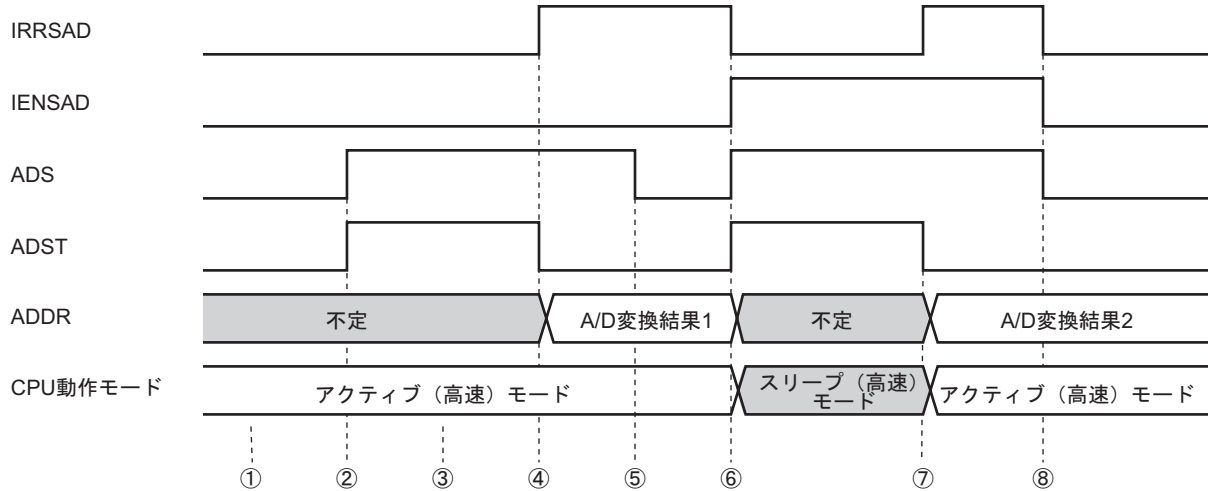
表 6.3 端子機能割り付け

端子	機能割り付け
Vref/REF	Vref 入力端子として、外部基準電圧 (DC2.7V) を入力
DVcc	$\Delta\Sigma$ A/D 変換器のアナログ入力端子として DC3.0V を入力
Ain1	アナログ入力端子として、被測定対象の値を入力
Ain2	未使用
ACOM	アナログ部電圧安定化用端子として 0.1 $\mu$ F のコンデンサを接続



### 6.1.4 △Σ A/D 変換器動作説明

図 6.4 に本タスク例におけるウェイトモード時の△Σ A/D 変換の動作説明を示します。なお、本タスク例では、1 回目の A/D 変換の終了判定はソフトウェアポーリングを使用し、2 回目の A/D 変換はスリープ（高速）モードを解除するために、割り込みを使用します。



#### ① △Σ A/D 変換器初期設定

ソフトウェア処理	1. ADCRを[H'04]に設定（変換モード：ウェイトモード、オーバーサンプリング周波数：φ、PB5/Vref/REF端子機能：Vref入力端子、基準電圧：外部基準電圧） 2. ADSSR [H'18]に設定（アナログ入力チャネル：Ain1、PGAバイパス）
----------	---

#### ② 1回目A/D変換スタート

ハードウェア処理	ADSTが[1]にセットされ、△Σ A/D 変換器はA/D変換中
ソフトウェア処理	ADSを[1]にセットし、A/D変換を開始

#### ③ 1回目A/D変換終了待ち

ハードウェア処理	A/D変換中
ソフトウェア処理	ADSTビットが[0]になるまで、待機（ソフトウェアポーリング）

#### ④ 1回目A/D変換終了

ハードウェア処理	ADSTビットが[0]にクリアされ、A/D変換結果がADDRに転送
----------	-----------------------------------

#### ⑤ 1回目A/D変換結果読み出し

ハードウェア処理	ADSビットを[0]クリア
----------	---------------

#### ⑥ 2回目A/D変換スタート

ハードウェア処理	1. ADSTビットが[1]にセットされ、△Σ A/D 変換器はA/D変換中 2. スリープ（高速）モードへ遷移
ソフトウェア処理	1. ADSビットを[1]にセットし、A/D変換を開始 2. IRRSADビットを[0]にクリア、IENSADビットを[1]にセットしA/D変換終了割り込みを許可 3. SLEEP命令により、スリープ（高速）モードへ遷移

#### ⑦ 2回目A/D変換終了

ハードウェア処理	1. ADSTビットが[0]にクリアされ、A/D変換結果がADDRに転送 2. A/D変換終了割り込み要求により、スリープ（高速）モードを解除し、アクティブ（高速）モードへ遷移
----------	---

#### ⑧ 2回目A/D変換結果読み出し（A/D変換終了割り込み処理）

ソフトウェア処理	1. IRRSADビットを[0]にクリア、IENSADビットを[0]にクリアし、A/D変換終了割り込みを禁止 2. ADSビットを[0]にクリアし、ADDRからA/D変換結果の読み出し
----------	---

図 6.4 △Σ A/D 変換器による電圧測定（外部基準電圧使用）動作説明

## 6.1.5 フルスケール／オフセット誤差補正動作説明

図 6.5 にアナログ値（被測定対象）とデジタル値（ADDR の値）の関係を示します。

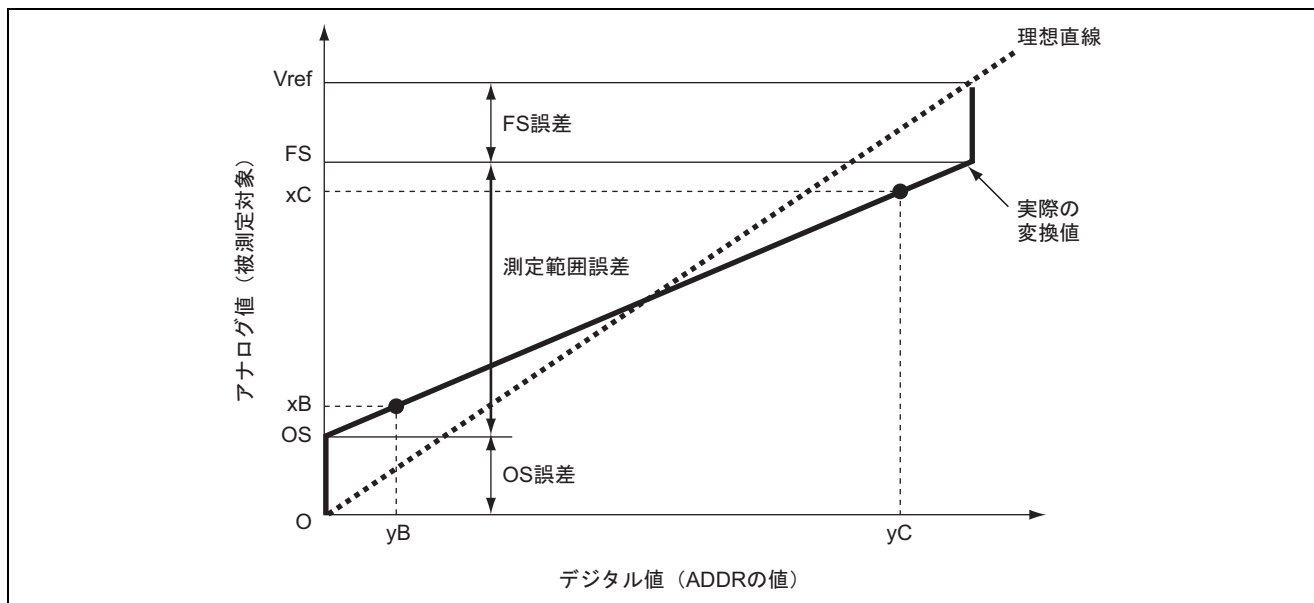


図 6.5 アナログ値（被測定対象）とデジタル値（ADDR の値）の関係

図 6.5 の実線の  $x$  と  $y$  の関係を求めると、

$$\text{傾き (lsb)} = (x_C - x_B) / (y_C - y_B)$$

$$\text{被測定対象 (x)} = (x_C - x_B) / (y_C - y_B) * y + OS$$

$$\text{オフセット誤差 (OS)} = x_B - (x_C - x_B) / (y_C - y_B) * y_B$$

となります。上記 3 式より、

$$\begin{aligned} \text{被測定対象 (x)} &= \text{lsb} * y + x_B - \text{lsb} * y_B \\ &= \text{lsb} * (y - y_B) + x_B \end{aligned}$$

が求められます。

以下にオフセット／フルスケール誤差補正のプログラム例を示します。

```

.
.
.
c_data = correct ( data );          /* c_data = 補正後のデータ、data = ADDR の値 */
.
.
.
float correct ( unsigned short y )
{
    const float lsb = 0.1780692, yb = 1094, xb = 203.016 ; /* 傾き ( lsb )、B 点 ( xB , yB ) の値 */
    return ( lsb * ( y - yb ) + xb ) ;                    /* オフセット／フルスケール誤差計算 */
}

```

実際にオフセット／フルスケール誤差補正を行う方法を以下に示します。

1. 図 6.5 における 4 点 (xA, yA)、(xB, yB)、(xC, yC)、(xD, yD) を測定。
2. 測定した 2 点 (xB, yB)、(xC, yC) から傾き (lsb) を計算。

(例) 2 点測定結果

xB = 203.016[mV]  
 yB = 1094 (10 進数)  
 xC = 2695.095[mV]  
 yC = 15089 (10 進数)

(例) 傾き (lsb) 計算

$$\begin{aligned} \text{lsb} &= (x_C - x_B) / (y_C - y_B) \\ &= (2695.095 - 203.016) / (15089 - 1094) \\ &= 0.1780692 \end{aligned}$$

3. プログラム中の lsb、xb、yb に lsb = 0.1780692、xb = 203.016、yb = 1094 を設定する。
4. 上記定数より、A/D 変換結果 (ADDR の値) から、被測定対象を計算する。

(例) 被測定対象 = lsb \* (ADDR の値 - yb) + xB

6.1.6 ソフトウェア説明  
 (1) 使用内蔵 I/O レジスタ説明

以下に本タスク例における使用内蔵 I/O レジスタ説明を示します。

- A/D データレジスタ (ADDR) : アドレス H'F062

表 6.4 A/D データレジスタ (ADDR)

ビット	ビット名	初期値	R/W	説明	設定値
15	ADD13	不定	R	A/D 変換結果を格納するための 16 ビットのリード専用レジスタで、14 ビットの A/D 変換データが上位 14 ビットに格納。A/D 変換中は ADDR の値は不定。	-
14	ADD12				
13	ADD11				
12	ADD10				
11	ADD9				
10	ADD8				
9	ADD7				
8	ADD6				
7	ADD5				
6	ADD4				
5	ADD3				
4	ADD2				
3	ADD1				
2	ADD0				
1	-	不定	-		-
0	-	不定	-		-

- A/D コントロールレジスタ (ADCR) : アドレス H'F060

表 6.5 A/D コントロールレジスタ (ADCR)

ビット	ビット名	初期値	R/W	説 明	設定値
7	MOD	0	R/W	変換モードセレクト 変換モードを設定します。MOD=1 のときは、ADSSR の ADS に無関係に A/D 変換を行います。 0 : ウェイトモード 1 : 連続モード	0
6	OVS2	0	R/W	オーバサンプリング周波数セレクト	0
5	OVS1	0	R/W	オーバサンプリング周波数を選択します。	0
4	OVS0	0	R/W	000 : $\phi$ 001 : $\phi/2$ 010 : $\phi/4$ 011 : $\phi/8$ 100 : $\phi/16$ 101 : $\phi/32$ 11x : 設定禁止	0
3	VREF1	0	R/W	PB5/Vref/REF 端子機能切り替えおよび基準電圧セレクト PB5/Vref/REF 端子を PB5 端子として使用するか、Vref 端子として使用するか REF 端子として使用するかを設定します。また、 $\Delta\Sigma$ A/D 変換器の基準電圧を外部基準電圧 (Vref) とするか内部基準電圧 (REF) とするかを選択します。ただし、REF を使用する場合は、BGRMR の BGRSTPN ビットを 1 にセットし、BGR を動作させてから、これらのビットを設定してください。 00 : PB5 入力端子として機能 01 : Vref 入力端子として機能し、外部基準電圧 (Vref) を基準電圧生成回路に入力 10 : REF 出力端子として機能 11 : REF 出力端子として機能し、内部基準電圧 (REF) を基準電圧生成回路に入力 B'11 設定時は、REF 端子から内部基準電圧 (REF) が出力されると同時に、 $\Delta\Sigma$ A/D 変換器内の基準電圧生成回路にも REF 出力が入力されます。内部基準電圧 (REF) を用いて $\Delta\Sigma$ A/D 変換器を動作させるときは、B'11 を設定してください。	0
2	VREF0	0	R/W		1
1	PGA1	0	R/W	PGA ゲインセレクト	0
0	PGA0	0	R/W	アナログ入力電圧を 1/3 倍~4 倍に設定します。 00 : 1 倍 01 : 2 倍 10 : 4 倍 11 : 1/3 倍	0

【記号説明】 x : Don't care

- A/D スタート/ステータスレジスタ (ADSSR) : アドレス H'F061

表 6.6 A/D スタート/ステータスレジスタ (ADSSR)

ビット	ビット名	初期値	R/W	説明	設定値
7	ADS	0	R/W	A/D スタート ウェイトモード時 (ADCR の MOD ビットが 0 のとき)、このビットを 1 にセットすると、A/D 変換を開始します。	1
6	ADST	0	R	A/D ステータスフラグ ウェイトモード時 (ADCR の MOD ビットが 0 のとき)、このビットをリードすることで A/D 変換のステータスを識別できます。 0 : 待機中 1 : A/D 変換中	—
5 4	AIN1 AIN0	0 0	R/W	アナログ入力チャンネルセレクト アナログ入力チャンネルを選択します。 00 : 非選択 01 : Ain1 10 : Ain2 11 : 非選択	0 1
3	BYPGA	0	R/W	PGA バイパスセレクト アナログ入力を PGA へ入力するか 2 次 $\Delta\Sigma$ A/D コンバータへ入力するかを選択します。 0 : アナログ入力を PGA へ入力 1 : アナログ入力を 2 次 $\Delta\Sigma$ A/D コンバータへ入力	1
2 1 0	— — —	0 0 0	— — —	リザーブビット ライトは無効です。	— — —

- 割り込み許可レジスタ 2 (IENR2) : アドレス H'FFF4

表 6.7 割り込み許可レジスタ 2 (IENR2)

ビット	ビット名	初期値	R/W	説明	設定値
5	IENSAD	0	R/W	$\Delta\Sigma$ A/D 変換器割り込み要求イネーブル このビットを 1 にセットすると $\Delta\Sigma$ A/D 変換器割り込み要求がイネーブルになります。 0 : $\Delta\Sigma$ A/D 変換器割り込み要求は禁止 1 : $\Delta\Sigma$ A/D 変換器割り込み要求は許可	1

- 割り込み要求レジスタ 2 (IRR2) : アドレス H'FFF7

表 6.8 割り込み要求レジスタ 2 (IRR2)

ビット	ビット名	初期値	R/W	説明	設定値
5	IRRSAD	0	R/(W)*	$\Delta\Sigma$ A/D 変換器割り込み要求フラグ [セット条件] • $\Delta\Sigma$ A/D 変換が終了したとき [クリア条件] • 0 をライトしたとき	0

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

- システムコントロールレジスタ 1 (SYSCR1) : アドレス H'FFF0

表 6.9 システムコントロールレジスタ 1 (SYSCR1)

ビット	ビット名	初期値	R/W	説明	設定値
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を選択します。 0 : スリープモードあるいはサブスリープモードに遷移 1 : スタンバイモードあるいはウォッチモードに遷移	0
3	LSON	0	R/W	ロースピードオンフラグ ウォッチモードを解除したときに CPU の動作クロックをシステムクロック ( $\phi$ ) にするか、サブクロック ( $\phi_{SUB}$ ) にするかを選択します。 0 : CPU の動作クロックはシステムクロック ( $\phi$ ) 1 : CPU の動作クロックはサブクロック ( $\phi_{SUB}$ )	0

- システムコントロールレジスタ 2 (SYSCR2) : アドレス H'FFF1

表 6.10 システムコントロールレジスタ 2 (SYSCR2)

ビット	ビット名	初期値	R/W	説明	設定値
3	DTON	0	R/W	ダイレクトトランスファオンフラグ SYSCR1 の SSBY、TMA3、LSON、SYSCR2 の MSON とともに SLEEP 命令実行後の遷移先を選択します。	0
2	MSON	0	R/W	ミドルスピードオンフラグ スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ (高速) モードで動作させるか、アクティブ (中速) モードで動作させるかを選択します。	0

- クロック停止レジスタ 1 (CKSTPR1) : アドレス H'FFFA

表 6.11 クロック停止レジスタ 1 (CKSTPR1)

ビット	ビット名	初期値	R/W	説明	設定値
7	S4CKSTP	1	R/W* <sup>1</sup>	SCI4 モジュールスタンバイ このビットが0のとき SCI4 はスタンバイ状態になります。 0 : SCI4 はモジュールスタンバイモードに設定 1 : SCI4 のモジュールスタンバイモードは解除	1
6	S31CKSTP	1	R/W	SCI3_1 モジュールスタンバイ* <sup>2</sup> このビットが0のとき SCI3_1 はスタンバイ状態になります。 0 : SCI3_1 はモジュールスタンバイモードに設定 1 : SCI3_1 のモジュールスタンバイモードは解除	0
5	S32CKSTP	1	R/W	SCI3_2 モジュールスタンバイ* <sup>2</sup> このビットが0のとき SCI3_2 はスタンバイ状態になります。 0 : SCI3_2 はモジュールスタンバイモードに設定 1 : SCI3_2 のモジュールスタンバイモードは解除	0
4	ADCKSTP	1	R/W	A/D 変換器モジュールスタンバイ このビットが0のとき A/D 変換器はスタンバイ状態になります。 0 : A/D 変換器はモジュールスタンバイモードに設定 1 : A/D 変換器のモジュールスタンバイモードは解除	0
3	DADCKSTP	1	R/W	$\Delta\Sigma$ A/D 変換器モジュールスタンバイ このビットが0のとき $\Delta\Sigma$ A/D 変換器はスタンバイ状態になります。 0 : $\Delta\Sigma$ A/D 変換器はモジュールスタンバイモードに設定 1 : $\Delta\Sigma$ A/D 変換器のモジュールスタンバイモードは解除	1
2	TFCKSTP	1	R/W	タイマ F モジュールスタンバイ このビットが0のときタイマ F はスタンバイ状態になります。 0 : タイマ F はモジュールスタンバイモードに設定 1 : タイマ F のモジュールスタンバイモードは解除	0
1	FROMCKSTP	1	R/W	フラッシュメモリモジュールスタンバイ このビットが0のときフラッシュメモリはスタンバイ状態になります。 0 : フラッシュメモリはモジュールスタンバイモードに設定 1 : フラッシュメモリのモジュールスタンバイモードは解除	1
0	RTCCKTP	1	R/W	RTC モジュールスタンバイ このビットが0のとき RTC はスタンバイ状態になります。 0 : RTC はモジュールスタンバイモードに設定 1 : RTC のモジュールスタンバイモードは解除	0

【注】 \*1 マスク ROM 版ではリード/ライト不可のリザーブビットとなります。

\*2 SCI3 をモジュールスタンバイに設定した場合、SCI3 の全レジスタはリセット状態となります。



- クロック停止レジスタ 2 (CKSTPR2) : アドレス H'FFFB

表 6.12 クロック停止レジスタ 2 (CKSTPR2)

ビット	ビット名	初期値	R/W	説明	設定値
7	ADBCKSTP	1	R/W	アドレスブレイクモジュールスタンバイ このビットが0のときアドレスブレイクはスタンバイ状態になります。 0: アドレスブレイクはモジュールスタンバイモードに設定 1: アドレスブレイクのモジュールスタンバイモードは解除	1
6	TPUCKSTP	1	R/W	TPU モジュールスタンバイ このビットが0のとき TPU はスタンバイ状態になります。 0: TPU はモジュールスタンバイモードに設定 1: TPU のモジュールスタンバイモードは解除	0
5	IICCKSTP	1	R/W	IIC2 モジュールスタンバイ このビットが0のとき IIC2 はスタンバイ状態になります。 0: IIC2 はモジュールスタンバイモードに設定 1: IIC2 のモジュールスタンバイモードは解除	0
4	PW2CKSTP	1	R/W	PWM2 モジュールスタンバイ このビットが0のとき PWM2 はスタンバイ状態になります。 0: PWM2 はモジュールスタンバイモードに設定 1: PWM2 のモジュールスタンバイモードは解除	0
3	AECKSTP	1	R/W	非同期イベントカウンタモジュールスタンバイ このビットが0のとき非同期イベントカウンタはスタンバイ状態になります。 0: 非同期イベントカウンタはモジュールスタンバイモードに設定 1: 非同期イベントカウンタのモジュールスタンバイモードは解除	0
2	WDCKSTP	1	R/W*	ウォッチドッグタイマモジュールスタンバイ このビットが0のときウォッチドッグタイマはスタンバイ状態になります。 0: ウォッチドッグタイマはモジュールスタンバイモードに設定 1: ウォッチドッグタイマのモジュールスタンバイモードを解除	0
1	PW1CKSTP	1	R/W	PWM1 モジュールスタンバイ このビットが0のとき PWM1 はスタンバイ状態になります。 0: PWM1 はモジュールスタンバイモードに設定 1: PWM1 のモジュールスタンバイモードを解除	0
0	LDCKSTP	1	R/W	LCD コントローラ/ドライバモジュールスタンバイ このビットが0のとき LCD コントローラ/ドライバはスタンバイ状態になります。 0: LCD コントローラ/ドライバはモジュールスタンバイモードに設定 1: LCD コントローラ/ドライバのモジュールスタンバイモードは解除	0

【注】 \* WDCKSTP は TCSRWD1 の WDON が 0 のとき有効になります。WDON が 1 (ウォッチドッグタイマ動作中) のとき、WDCKSTP を 0 に設定すると WDCKSTP は 0 に設定されますが、ウォッチドッグタイマはモジュールスタンバイモードには入らずウォッチドッグ機能を継続します。ウォッチドッグ機能が終了し、ソフトウェアで WDON を 0 に設定すると同時に WDCKSTP が有効になり、ウォッチドッグタイマはモジュールスタンバイモードになります。

## (2) モジュール説明

以下に本タスク例におけるモジュール説明を表 6.13 に示します。

表 6.13 モジュール説明

モジュール名	機能
main( )	メインルーチン $\Delta\Sigma$ A/D 変換器の初期設定、1 回目の $\Delta\Sigma$ A/D 変換終了待ち、 $\Delta\Sigma$ A/D 変換終了割り込み要求の許可、スリープ（高速）モードへの遷移を行う。
int_dsadc( )	$\Delta\Sigma$ A/D 変換器割り込み処理ルーチン $\Delta\Sigma$ A/D 変換器割り込み要求フラグのクリア、 $\Delta\Sigma$ A/D 変換器割り込み要求の禁止、A/D 変換結果の RAM への格納を行う。
correct( )	オフセット／フルスケール誤差補正処理ルーチン $\Delta\Sigma$ A/D 変換結果からオフセット／フルスケール誤差補正処理を行う。

## (3) 使用 RAM 領域説明

以下に本タスク例における使用 RAM 説明を表 6.14 に示します。

表 6.14 使用 RAM 説明

ラベル名	機能	データサイズ	アドレス	使用モジュール名
c_data	14 ビット $\Delta\Sigma$ A/D 変換結果をオフセット／フルスケール誤差補正した結果	float	H'F780	main( ) int_dsadc( ) correct( )

## (4) リンクアドレス指定

以下に本タスク例におけるリンクアドレス指定を表 6.15 に示します。

表 6.15 リンクアドレス指定

セクション名	アドレス
CVECT	H'0000
P	H'0100
B	H'F780

### 6.1.7 フローチャート (1) メインルーチン

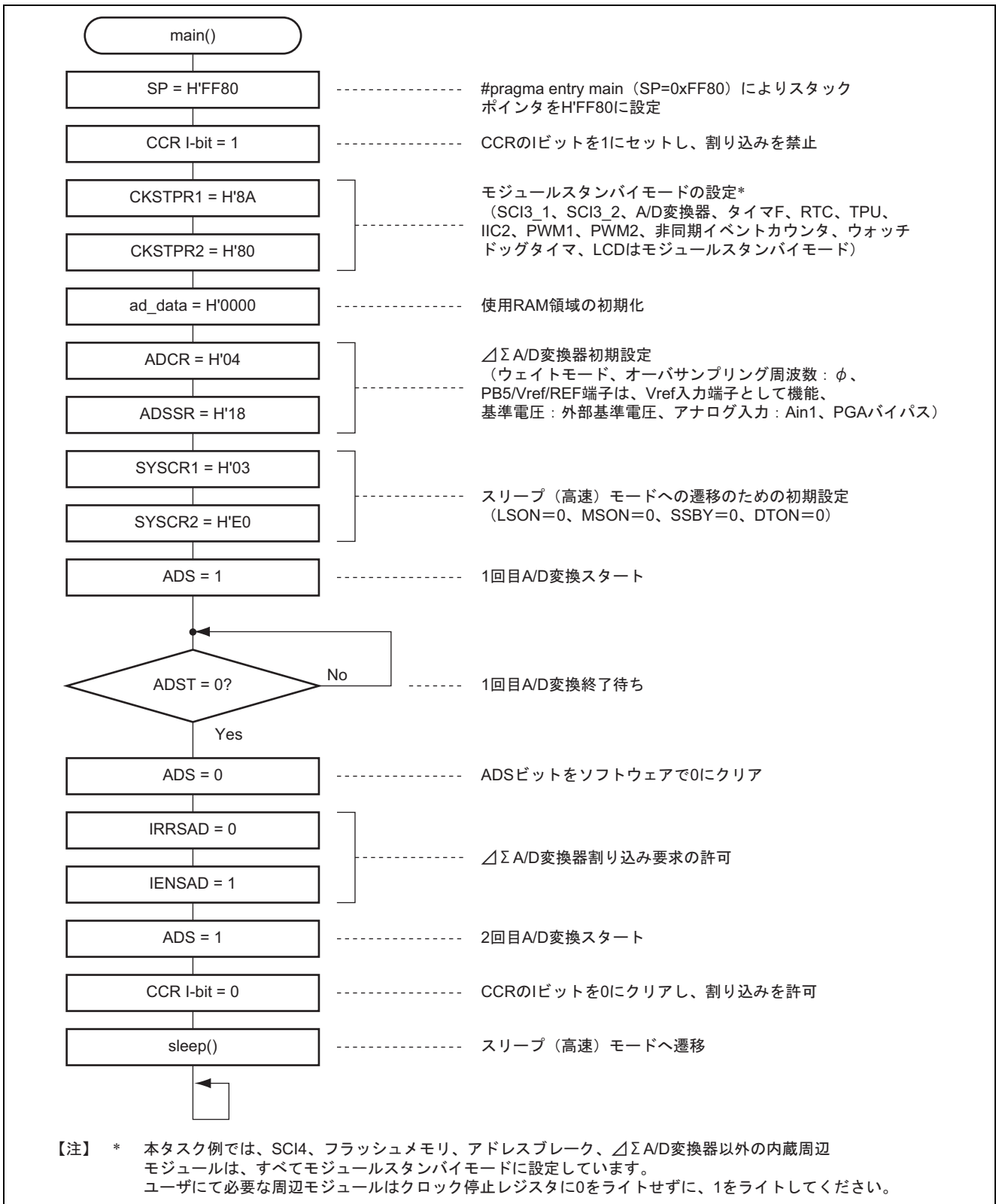


図 6.6 メインルーチンフローチャート

(2)  $\Delta\Sigma$  A/D 変換器割り込み処理ルーチン

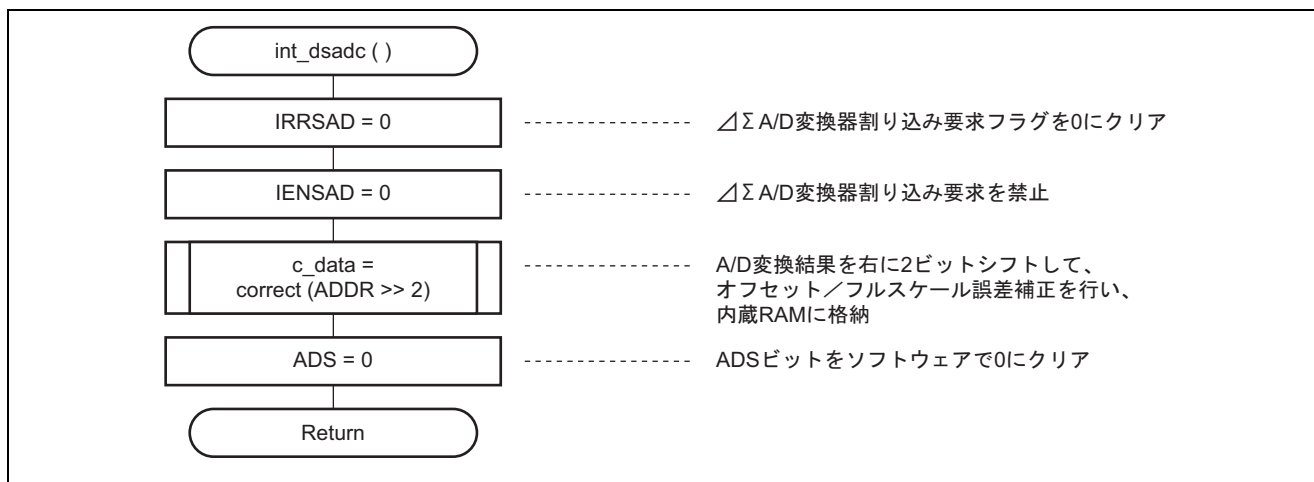


図 6.7  $\Delta\Sigma$  A/D 変換器割り込み処理ルーチンフローチャート

(3) オフセット/フルスケール誤差補正処理ルーチン

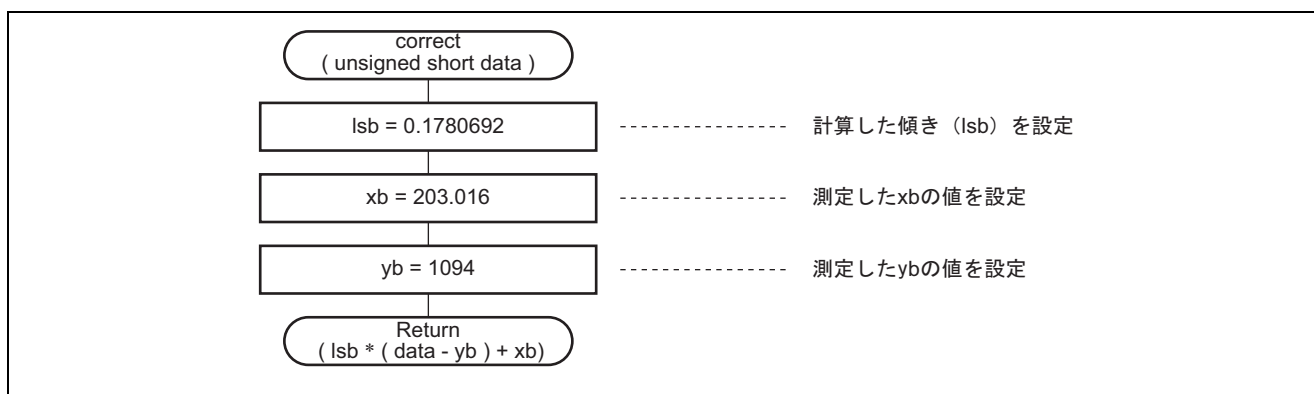


図 6.8 オフセット/フルスケール誤差補正処理ルーチンフローチャート

### 6.1.8 プログラムリスト

```

#include <machine.h>
struct BIT {
    unsigned char b7:1;      /* Bit-7 */
    unsigned char b6:1;      /* Bit-6 */
    unsigned char b5:1;      /* Bit-5 */
    unsigned char b4:1;      /* Bit-4 */
    unsigned char b3:1;      /* Bit-3 */
    unsigned char b2:1;      /* Bit-2 */
    unsigned char b1:1;      /* Bit-1 */
    unsigned char b0:1;      /* Bit-0 */
};
/*****
/* Internal I/O register symbol definition */
/*****
#define ADCR      *(volatile unsigned char *)0xF060 /* A/D control register */
#define ADSSR     *(volatile unsigned char *)0xF061 /* A/D start/status register */
#define ADSSR_BIT (*(struct BIT *)&ADSSR)
#define ADS       ADSSR_BIT.b7 /* A/D start */
#define ADST      ADSSR_BIT.b6 /* A/D status flag */
#define ADDR      *(volatile unsigned short *)0xF062 /* A/D data register */
#define SYSCR1    *(volatile unsigned char *)0xFFF0 /* System control register 1 */
#define SYSCR2    *(volatile unsigned char *)0xFFF1 /* System control register 2 */
#define IENR2     *(volatile unsigned char *)0xFFF4 /* Interrupt enable register 2 */
#define IENR2_BIT (*(struct BIT *)&IENR2)
#define IENSAD    IENR2_BIT.b5 /* Delta-sigma ADC interrupt
/* request enable */
#define IRR2      *(volatile unsigned char *)0xFFF7 /* Interrupt request register 2 */
#define IRR2_BIT (*(struct BIT *)&IRR2)
#define IRRSAD    IRR2_BIT.b5 /* Delta-sigma ADC interrupt request flag */
#define CKSTPR1  *(volatile unsigned char *)0xFFFA /* Clock stop register 1 */
#define CKSTPR2  *(volatile unsigned char *)0xFFFB /* Clock stop register 2 */
/*****
/* Interrupt function definition */
/*****
#pragma interrupt (int_dsadc) /* Delta-sigma ADC interrupt */
/*****
/* Function definition */
/*****
void main(void); /* Main routine */
void int_dsadc(void); /* Delta-sigma ADC interrupt routine */
float correct(unsigned short data); /* Data correct routine */
/*****
/* User RAM area symbol definition */
/*****
float c_data; /* A/D result data store */

```

```

/*****
/* Vector table
/*****
#pragma section VECT
void (*const vect_tbl[])(void) = {
    main,                /* H'0000 : No.00 : Reset                */
    main,                /* H'0002 : No.01 : System reserve      */
    main,                /* H'0004 : No.02 : System reserve      */
    main,                /* H'0006 : No.03 : NMI                  */
    main,                /* H'0008 : No.04 : System reserve      */
    main,                /* H'000A : No.05 : Address break       */
    main,                /* H'000C : No.06 : IRQ0                 */
    main,                /* H'000E : No.07 : IRQ1                 */
    main,                /* H'0010 : No.08 : IRQAEC               */
    main,                /* H'0012 : No.09 : IRQ3                 */
    main,                /* H'0014 : No.10 : IRQ4                 */
    main,                /* H'0016 : No.11 : WKP0                 */
    main,                /* H'0018 : No.12 : WKP1                 */
    main,                /* H'001A : No.13 : WKP2                 */
    main,                /* H'001C : No.14 : WKP3                 */
    main,                /* H'001E : No.15 : WKP4                 */
    main,                /* H'0020 : No.16 : WKP5                 */
    main,                /* H'0022 : No.17 : WKP6                 */
    main,                /* H'0024 : No.18 : WKP7                 */
    main,                /* H'0026 : No.19 : RTC - 0.25sec overflow */
    main,                /* H'0028 : No.20 : RTC - 0.5sec overflow */
    main,                /* H'002A : No.21 : RTC - second periodic overflow */
    main,                /* H'002C : No.22 : RTC - minute periodic overflow */
    main,                /* H'002E : No.23 : RTC - hour periodic overflow */
    main,                /* H'0030 : No.24 : RTC - day periodic overflow */
    main,                /* H'0032 : No.25 : RTC - week periodic overflow */
    main,                /* H'0034 : No.26 : RTC - free-run overflow */
    main,                /* H'0036 : No.27 : WDT                  */
    main,                /* H'0038 : No.28 : AEC                  */
    main,                /* H'003A : No.29 : TPU_1 - TG1A         */
    main,                /* H'003C : No.30 : TPU_1 - TG1B         */
    main,                /* H'003E : No.31 : TPU_1 - TCI1V        */
    main,                /* H'0040 : No.32 : TPU_2 - TG2A         */
    main,                /* H'0042 : No.33 : TPU_2 - TG2B         */
    main,                /* H'0044 : No.34 : TPU_2 - TCI2V        */
    main,                /* H'0046 : No.35 : Timer FL              */
    main,                /* H'0048 : No.36 : Timer FH              */
    main,                /* H'004A : No.37 : SCI4                  */
    main,                /* H'004C : No.38 : SCI3_1                */
    main,                /* H'004E : No.39 : SCI3_2                */
    main,                /* H'0050 : No.40 : IIC2                  */
    int_dsadc,          /* H'0052 : No.41 : Delta-sigma ADC      */
    main,                /* H'0054 : No.42 : 10-bit ADC           */
    main,                /* H'0056 : No.43 : Direct transition    */
};
#pragma entry main(sp=0xFF80)          /* SP = H'FF80
#pragma section
    
```

```

/*****/
/* Main routine */
/*****/
void main(void) {
    set_ccr(0x80);          /* CCR I-bit = 1 */
    CKSTPR1 = 0x8A;       /* Module standby mode set */
    CKSTPR2 = 0x80;
    c_data = 0x00000000;  /* Used RAM area initialize */
    ADCR = 0x04;         /* Delta-sigma ADC initialize */
    ADSSR = 0x18;
    SYSCR1 = 0x03;       /* SSBY = 0, LSON = 0 */
    SYSCR2 = 0xE0;       /* DTON = 0, MSON = 0 */
    ADS = 1;            /* A/D conversion start (1st) */
    while (ADST == 1);  /* A/D conversion end ? */
    ADS = 0;
    IRRSAD = 0;         /* Delta-sigma ADC interrupt enable */
    IENSAD = 1;
    ADS = 1;            /* A/D conversion start (2nd) */
    set_imask_ccr(0);    /* CCR I-bit = 0 */
    sleep();            /* Active-H mode -> Sleep-H mode */
    while(1);
}
/*****/
/* Delta-sigma ADC interrupt routine */
/*****/
void int_dsadc(void) {
    IRRSAD = 0;         /* Interrupt request flag clear to 0 */
    IENSAD = 0;         /* Delta-sigma ADC interrupt disable */
    c_data = correct(ADDR >> 2); /* A/D result data store */
    ADS = 0;            /* A/D start = 0 */
}
/*****/
/* Data correct routine */
/*****/
float correct(unsigned short data) {
    const float lsb=0.1780692, xb=203.016, yb=1094; /* lsb, (xB,yB) set */
    return (lsb * (data - yb) + xb);
}

```

## 7. 特性データ

1. 特性データは、限られたサンプル、条件で取得したものであり、特性を保証するものではありません。ユーザが使用条件を決定する際の参考にすることを目的としています。
2. オフセット誤差、フルスケール誤差については誤差補正が可能です。詳細については、「4. 誤差と補正方法」を参照してください。
3. 使用する条件と同一のデータがない場合は、最も近い条件のデータを参考にしてください。
4. 特性データには電気的特性の保障範囲外条件を含む部分もあります。

### 7.1 パラメータ依存性測定結果

- 測定条件

1. 共通条件

マイコン動作モード：高速アクティブモード ( $\Delta\Sigma$  A/D 以外はすべてモジュールスタンバイ)

$\Delta\Sigma$  A/D 動作モード：ウェイトモード、アナログ入力端子：Ain1

2. 外付け回路

Vcc/AVcc/DVcc/Vref の電源は電池ボックスで供給

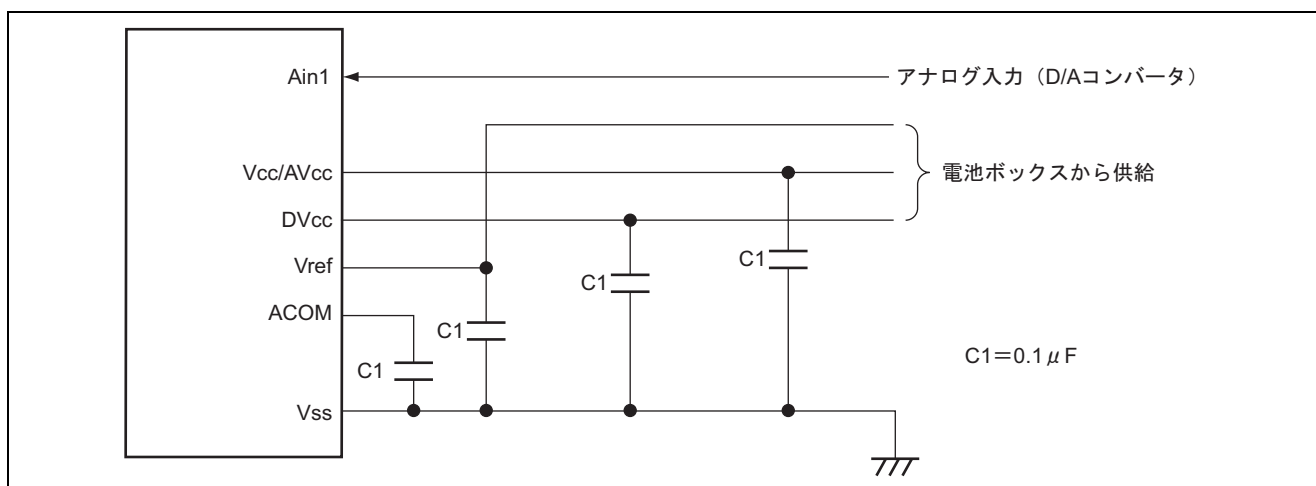


図 7.1 パラメータ測定回路



## 7.1.1 Flash ROM 版

測定データは積分誤差、微分誤差、オフセット誤差、フルスケール誤差の4種類です。

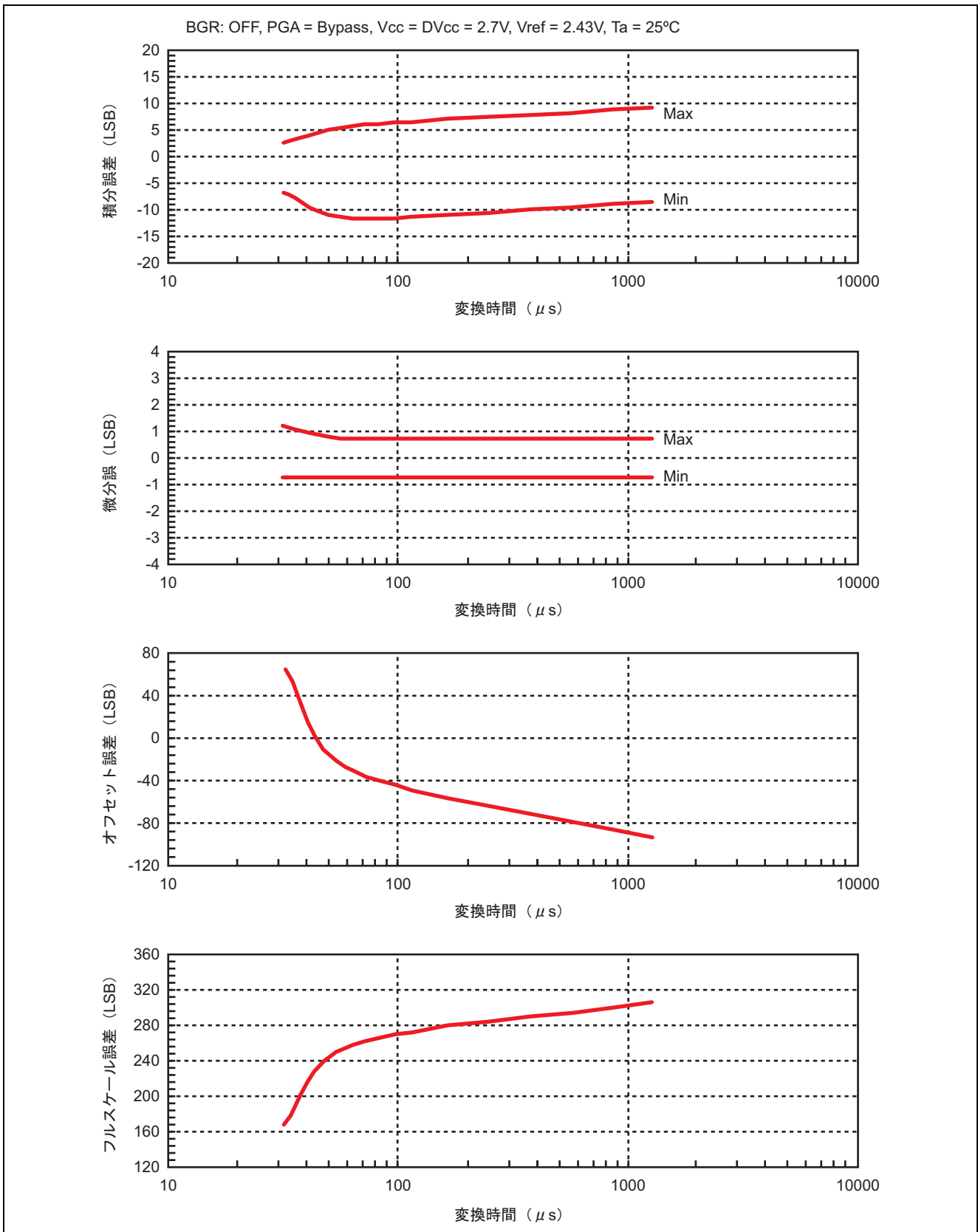
表 7.1 パラメータ依存性測定結果 (Flash ROM 版)

グラフ名称	測定条件						
	BGR	Vcc (V)	DVcc (V)	Vref (V)	Ta (°C)	PGA	変換時間 (μs)
変換時間依存性-1	OFF	2.7	2.7	2.43	25	Bypass	—
変換時間依存性-2	OFF	3.0	3.0	2.70	25	Bypass	—
変換時間依存性-3	OFF	3.0	3.0	2.70	25	1/3	—
変換時間依存性-4	OFF	3.6	3.6	3.24	25	1	—
変換時間依存性-5	OFF	3.0	3.0	2.70	25	1	—
変換時間依存性-6	OFF	2.2	2.2	1.98	25	1	—
変換時間依存性-7	OFF	3.0	3.0	2.70	25	2	—
変換時間依存性-8	OFF	2.7	2.7	2.43	25	2	—
変換時間依存性-9	OFF	3.0	3.0	2.70	25	4	—
変換時間依存性-10	OFF	2.7	2.7	2.43	25	4	—
変換時間依存性-11	OFF	3.0	3.0	2.70	25	1/3	—
変換時間依存性-12	ON	3.0	3.0	2.70	25	Bypass	—
変換時間依存性-13	ON	3.6	3.6	3.24	55	Bypass	—
変換時間依存性-14	ON	3.0	3.0	2.70	25	1	—
変換時間依存性-15	ON	3.6	3.6	3.24	55	1	—
変換時間依存性-16	ON	3.0	3.0	2.70	25	1/3	—
温度依存性-1	OFF	2.2	2.2	1.89	—	Bypass	64
温度依存性-2	OFF	3.0	3.0	2.70	—	Bypass	160
温度依存性-3	OFF	2.7	2.7	2.43	—	Bypass	64
温度依存性-4	OFF	2.2	2.2	1.98	—	1	64
温度依存性-5	OFF	3.0	3.0	2.70	—	1	32
温度依存性-6	OFF	3.0	3.0	2.70	—	2	64
温度依存性-7	OFF	2.7	2.7	2.43	—	2	64
温度依存性-8	OFF	2.2	2.2	1.98	—	2	64
温度依存性-9	OFF	2.7	2.7	2.43	—	4	64
温度依存性-10	OFF	3.0	3.0	2.70	—	4	32
温度依存性-11	OFF	2.2	2.2	1.98	—	4	64
温度依存性-12	OFF	3.0	3.0	2.70	—	1/3	64
温度依存性-13	OFF	2.2	2.2	1.98	—	1/3	64
温度依存性-14	ON	2.2	2.2	1.98	—	Bypass	64
温度依存性-15	ON	2.2	2.2	1.98	—	Bypass	1280
温度依存性-16	ON	3.0	3.0	2.70	—	Bypass	32
温度依存性-17	ON	3.0	3.0	2.70	—	1	32
温度依存性-18	ON	2.2	2.2	1.98	—	1/3	64
温度依存性-19	ON	2.2	2.2	1.98	—	1/3	1280
温度依存性-20	ON	3.0	3.0	2.70	—	1/3	32

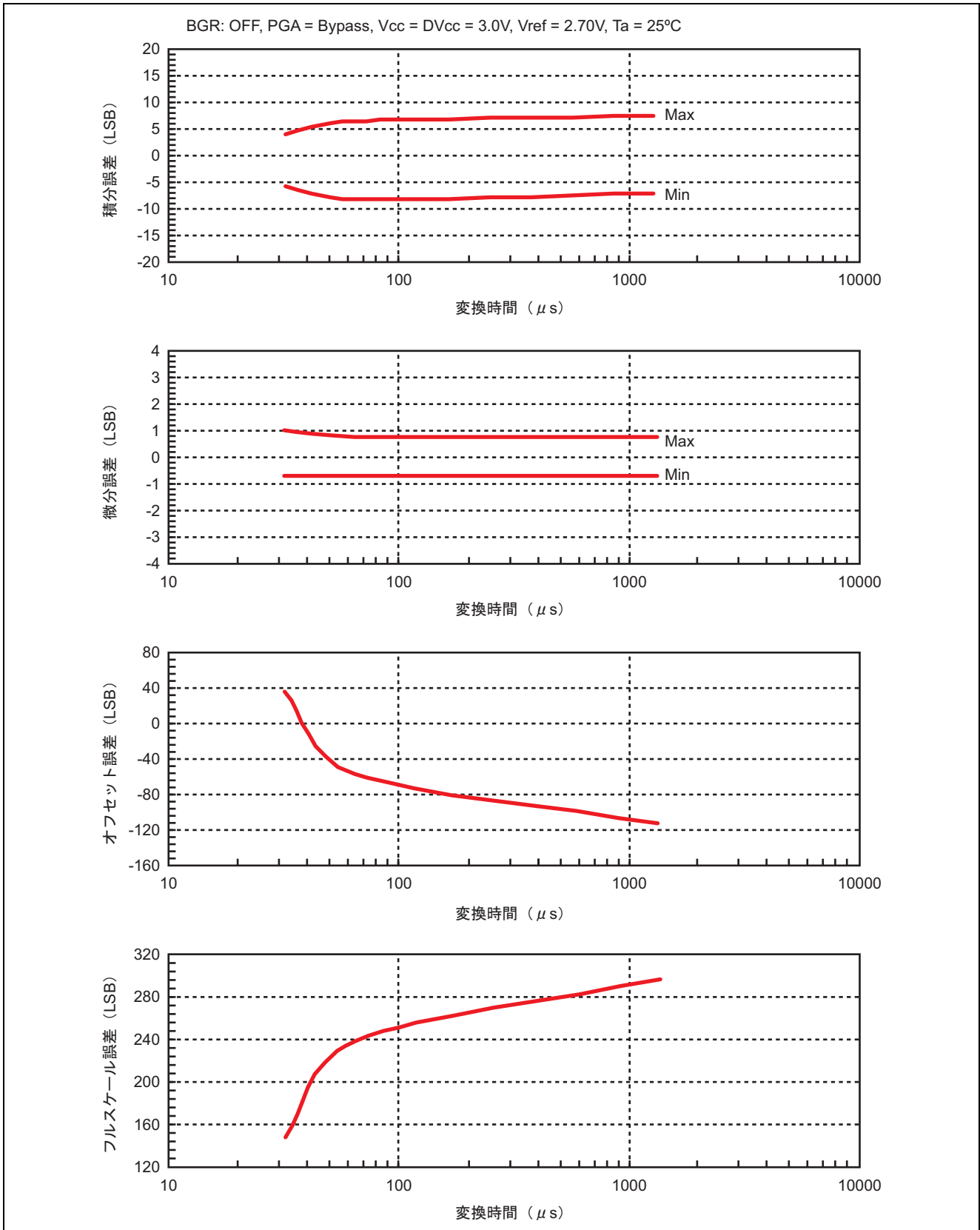
グラフ名称	測定条件						
	BGR	Vcc (V)	DVcc (V)	Vref (V)	Ta (°C)	PGA	変換時間 (μs)
DVcc 依存性-1	OFF	—	—	—	25	Bypass	32
DVcc 依存性-2	OFF	—	—	—	25	Bypass	64
DVcc 依存性-3	OFF	—	—	—	25	Bypass	1280
DVcc 依存性-4	OFF	—	—	—	25	1	32
DVcc 依存性-5	OFF	—	—	—	25	1	64
DVcc 依存性-6	OFF	—	—	—	25	1	1280
DVcc 依存性-7	OFF	—	—	—	25	2	32
DVcc 依存性-8	OFF	—	—	—	25	2	64
DVcc 依存性-9	OFF	—	—	—	25	2	1280
DVcc 依存性-10	OFF	—	—	—	25	4	32
DVcc 依存性-11	OFF	—	—	—	25	4	64
DVcc 依存性-12	OFF	—	—	—	25	4	1280
DVcc 依存性-13	OFF	—	—	—	25	1/3	1280
PGA 依存性-1	OFF	2.2	2.2	1.98	25	—	64
PGA 依存性-2	OFF	2.2	2.2	1.98	25	—	1280
PGA 依存性-3	OFF	3.0	3.0	2.70	25	—	32
PGA 依存性-4	OFF	3.0	3.0	2.70	25	—	64
PGA 依存性-5	OFF	3.0	3.0	2.70	25	—	1280
PGA 依存性-6	OFF	3.6	3.6	3.24	25	—	32
PGA 依存性-7	OFF	3.6	3.6	3.24	25	—	1280

(1) 変換時間依存性

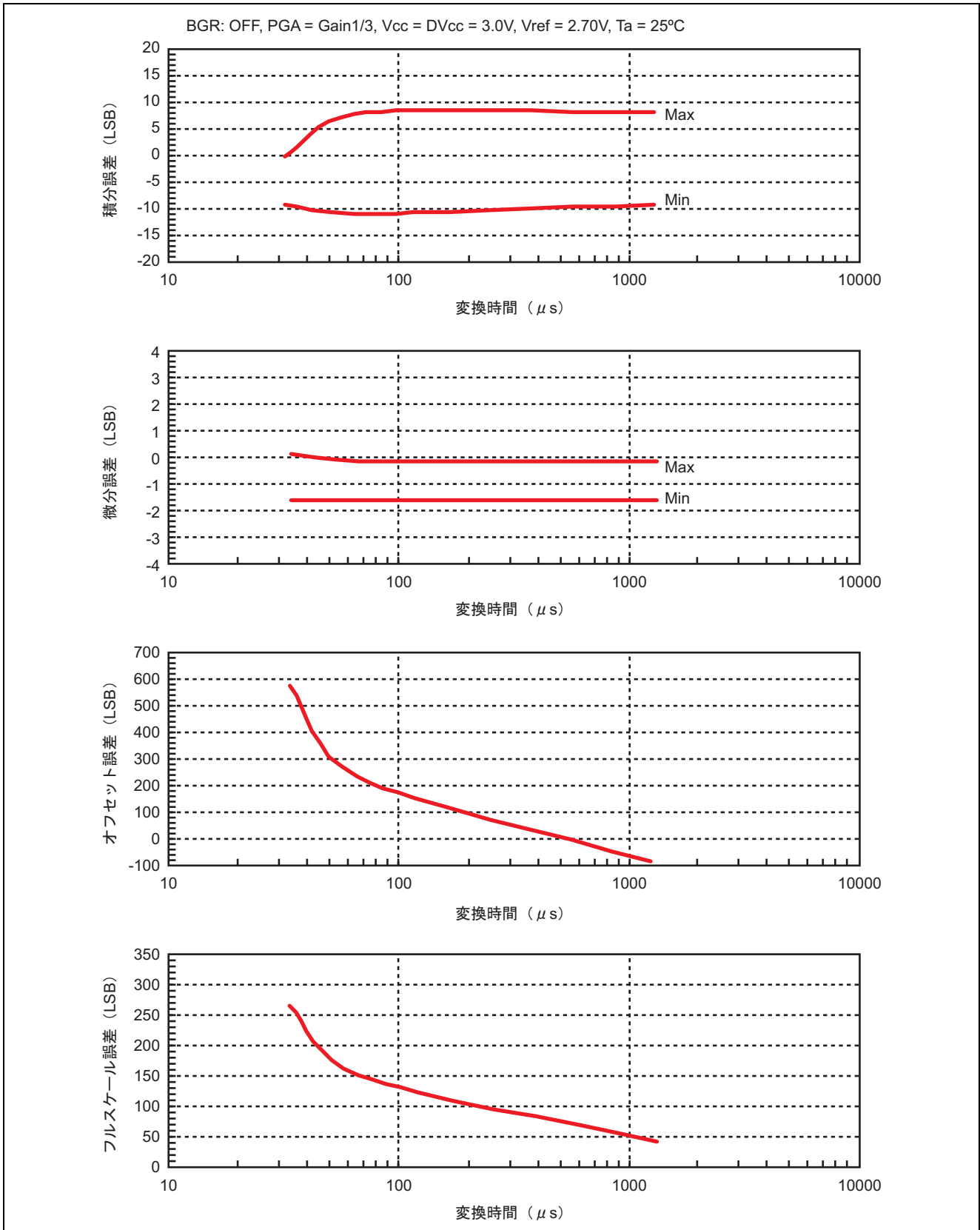
- 変換時間依存性-1



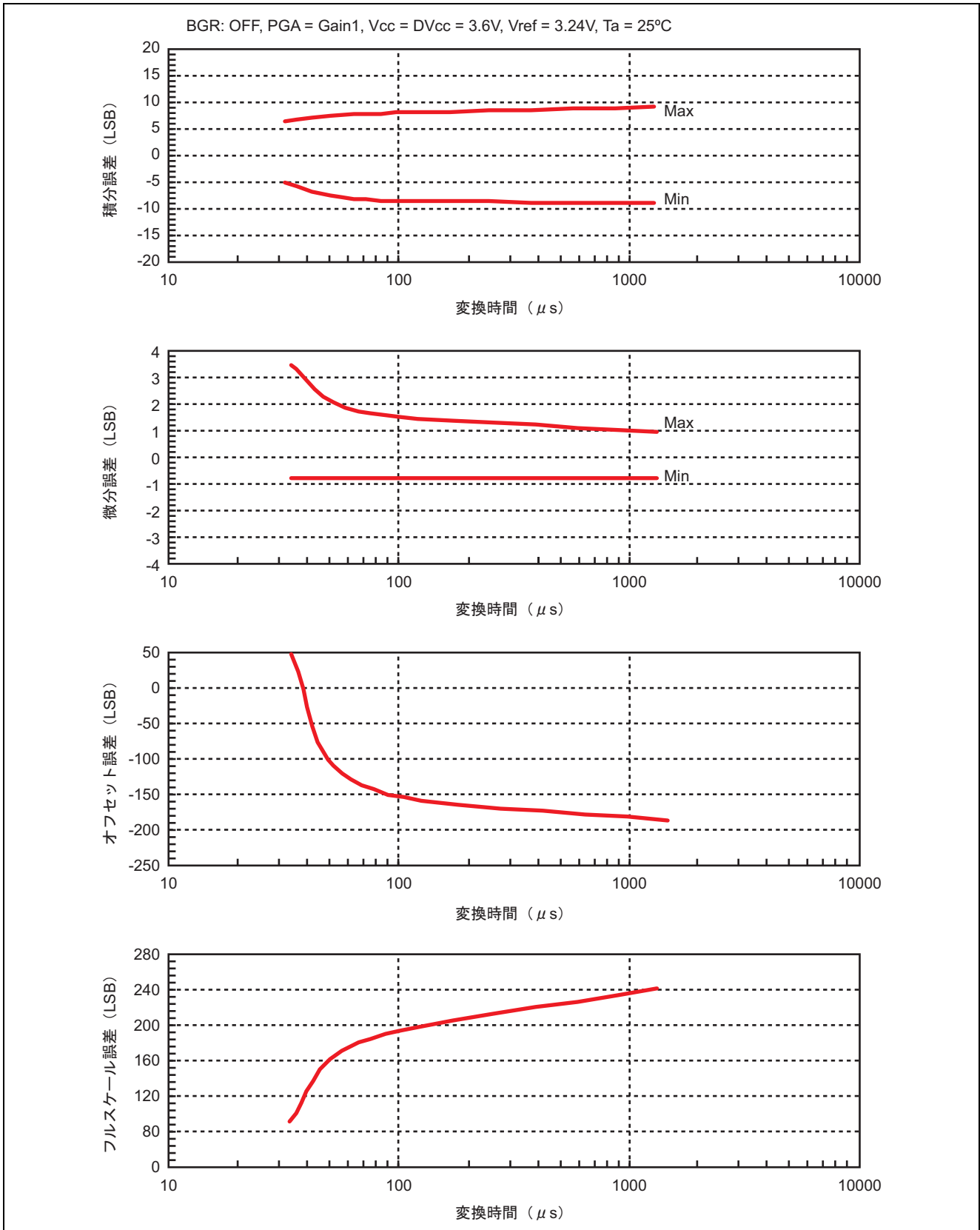
● 変換時間依存性-2



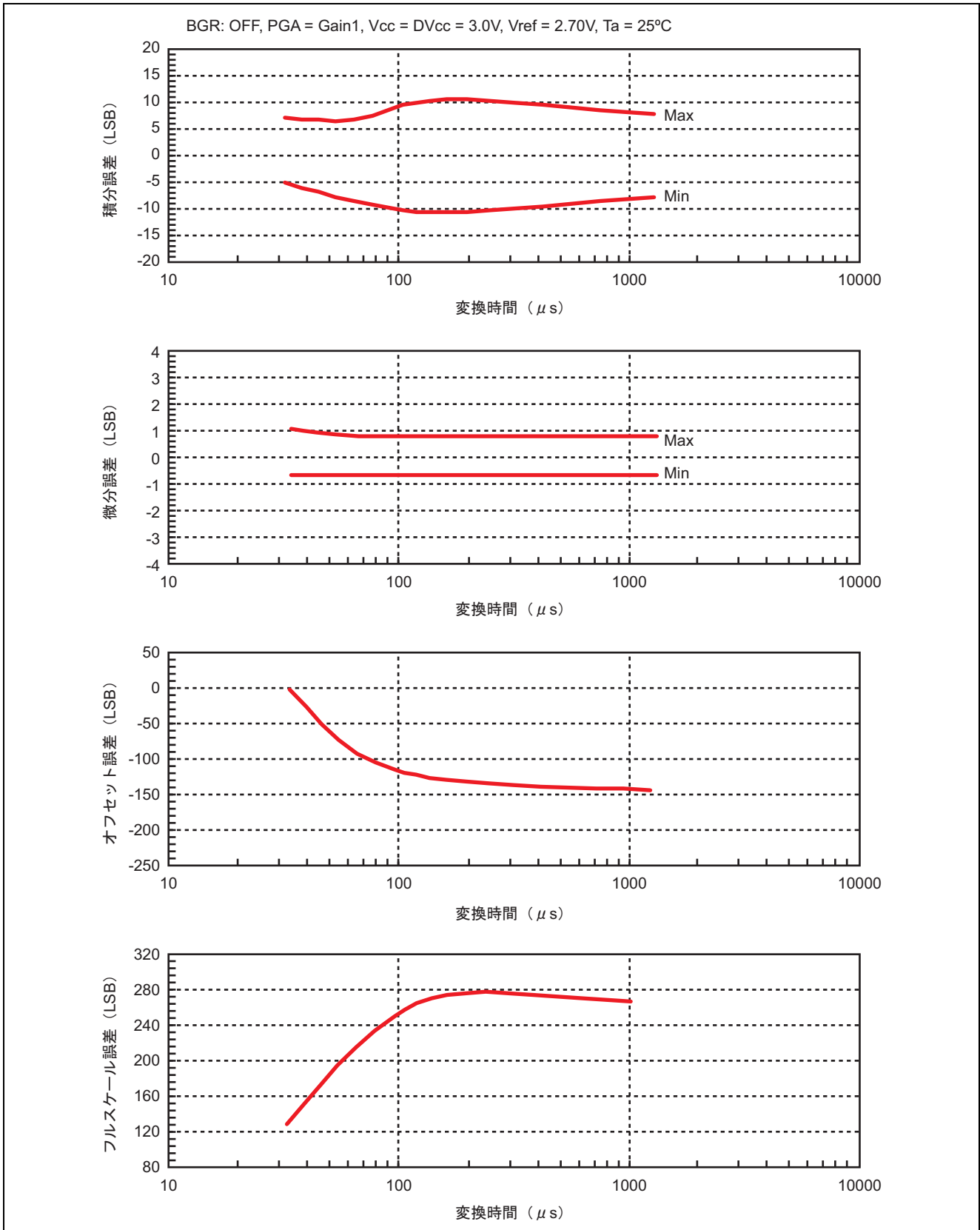
● 変換時間依存性-3



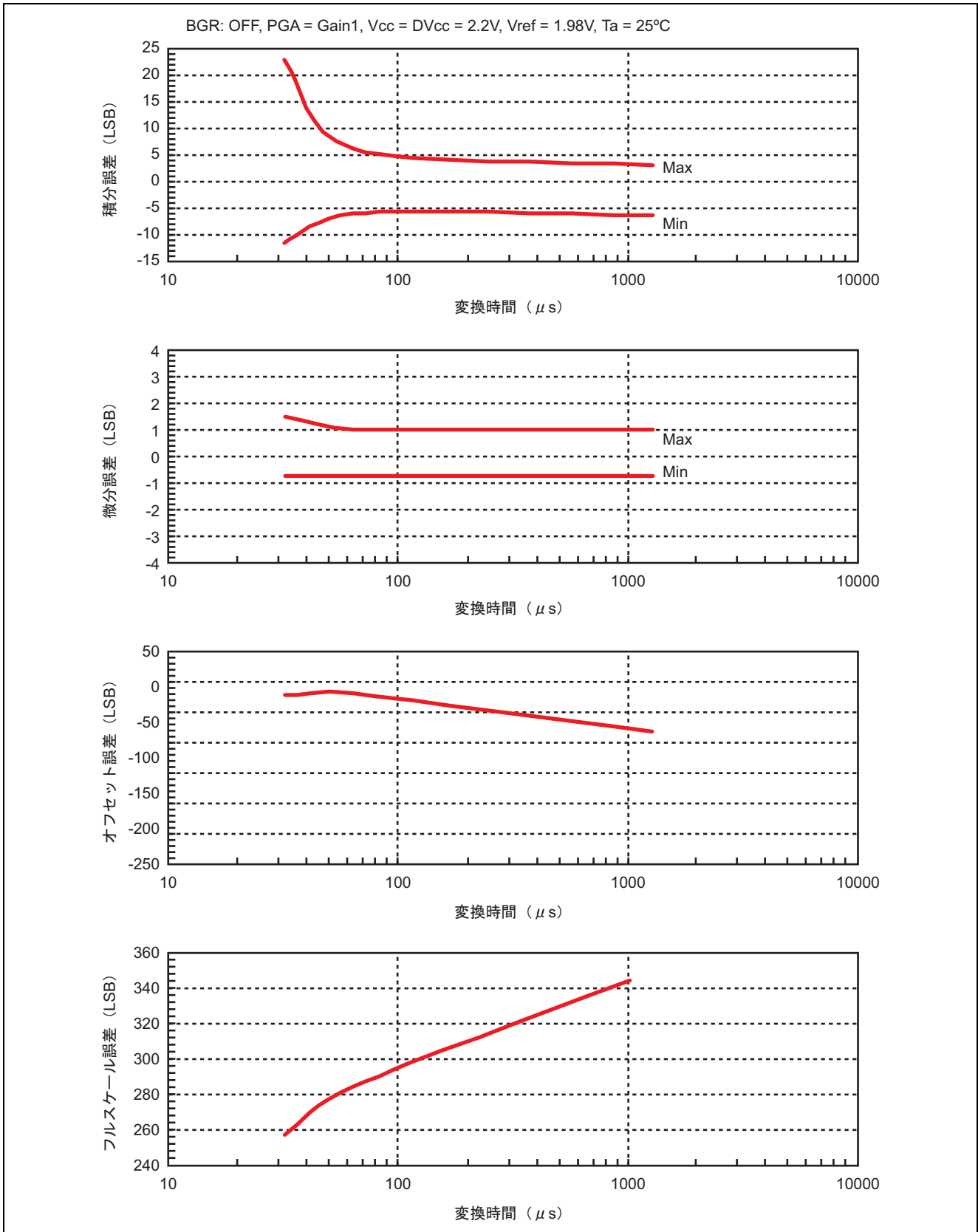
● 変換時間依存性-4



● 変換時間依存性-5

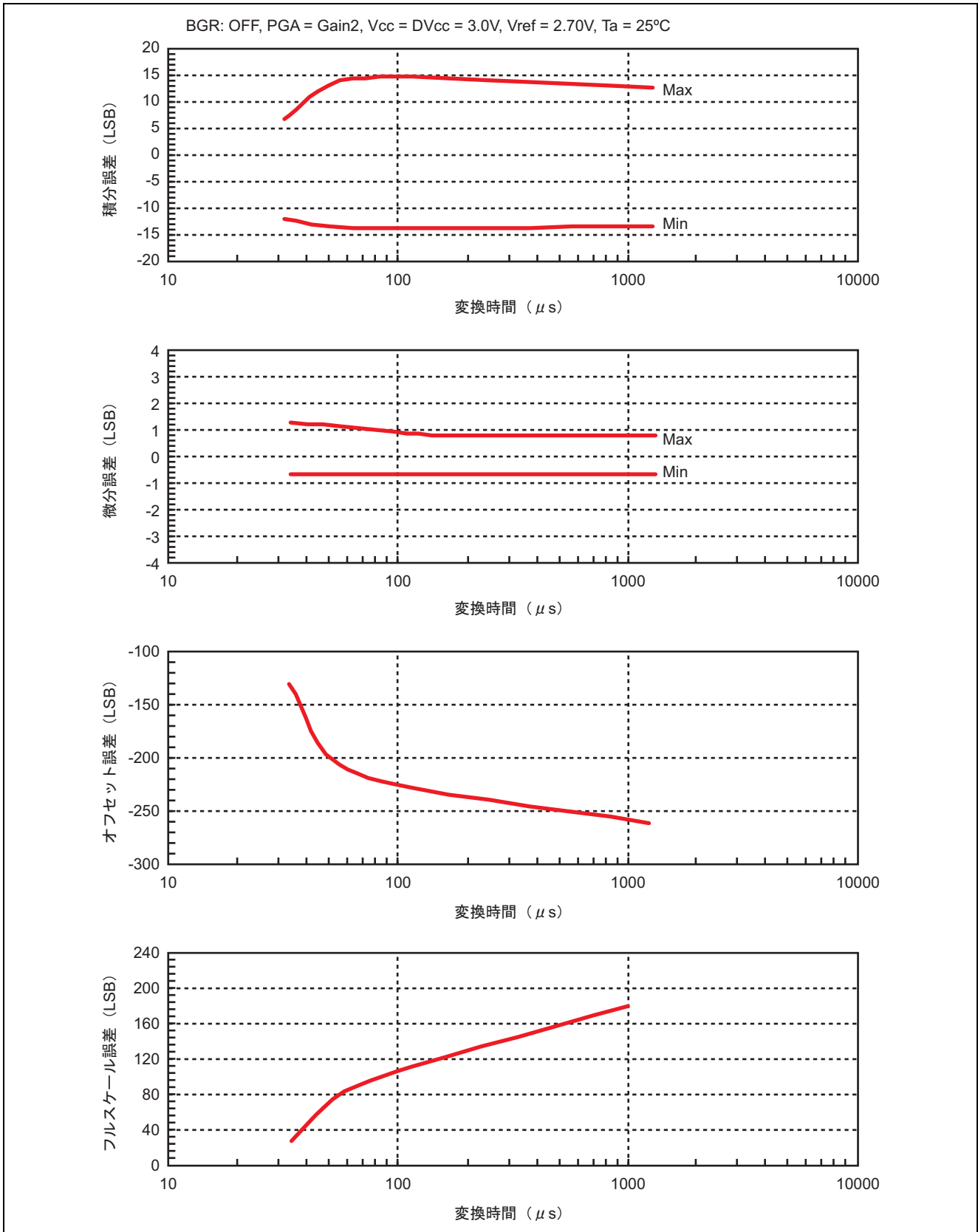


● 変換時間依存性-6

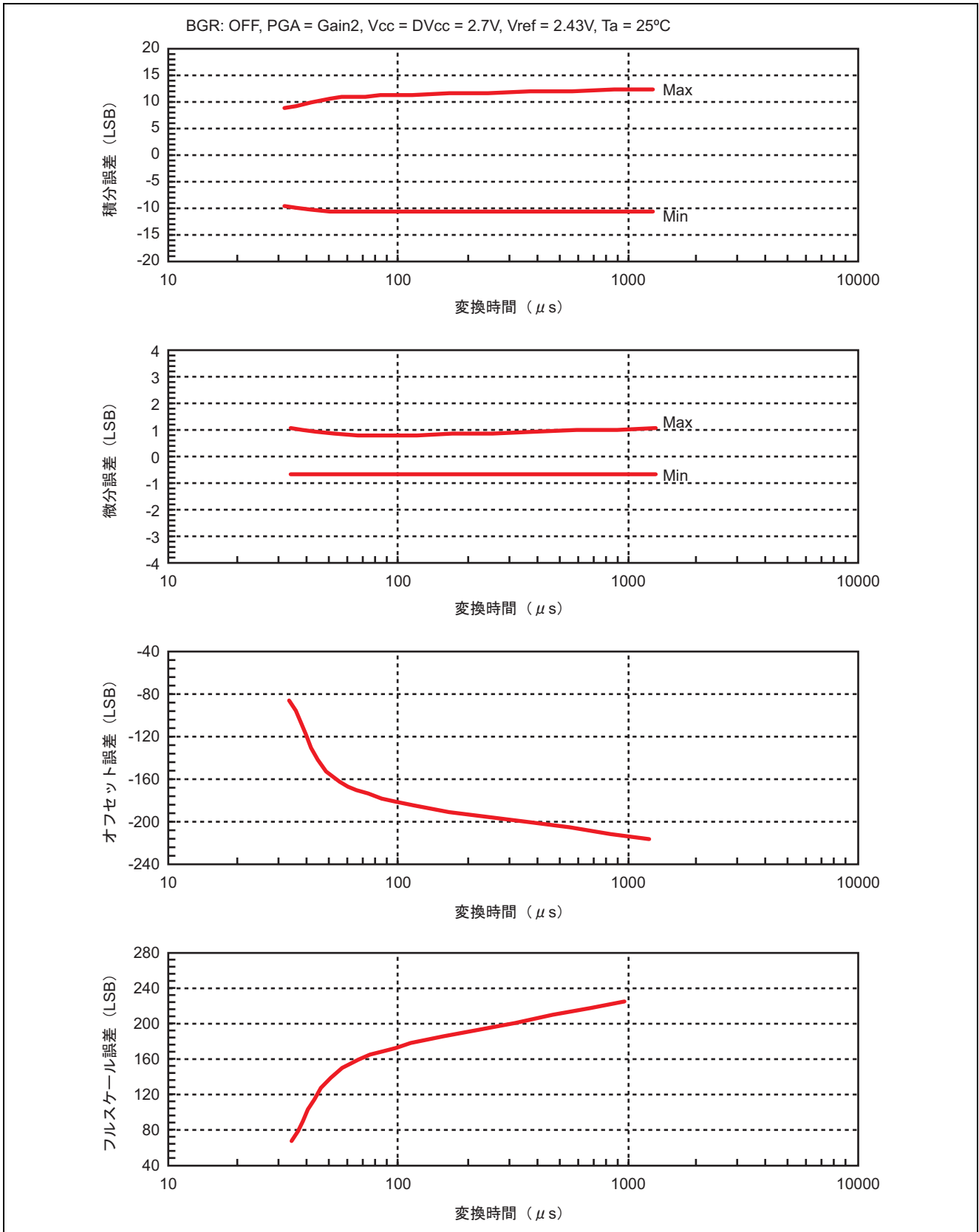




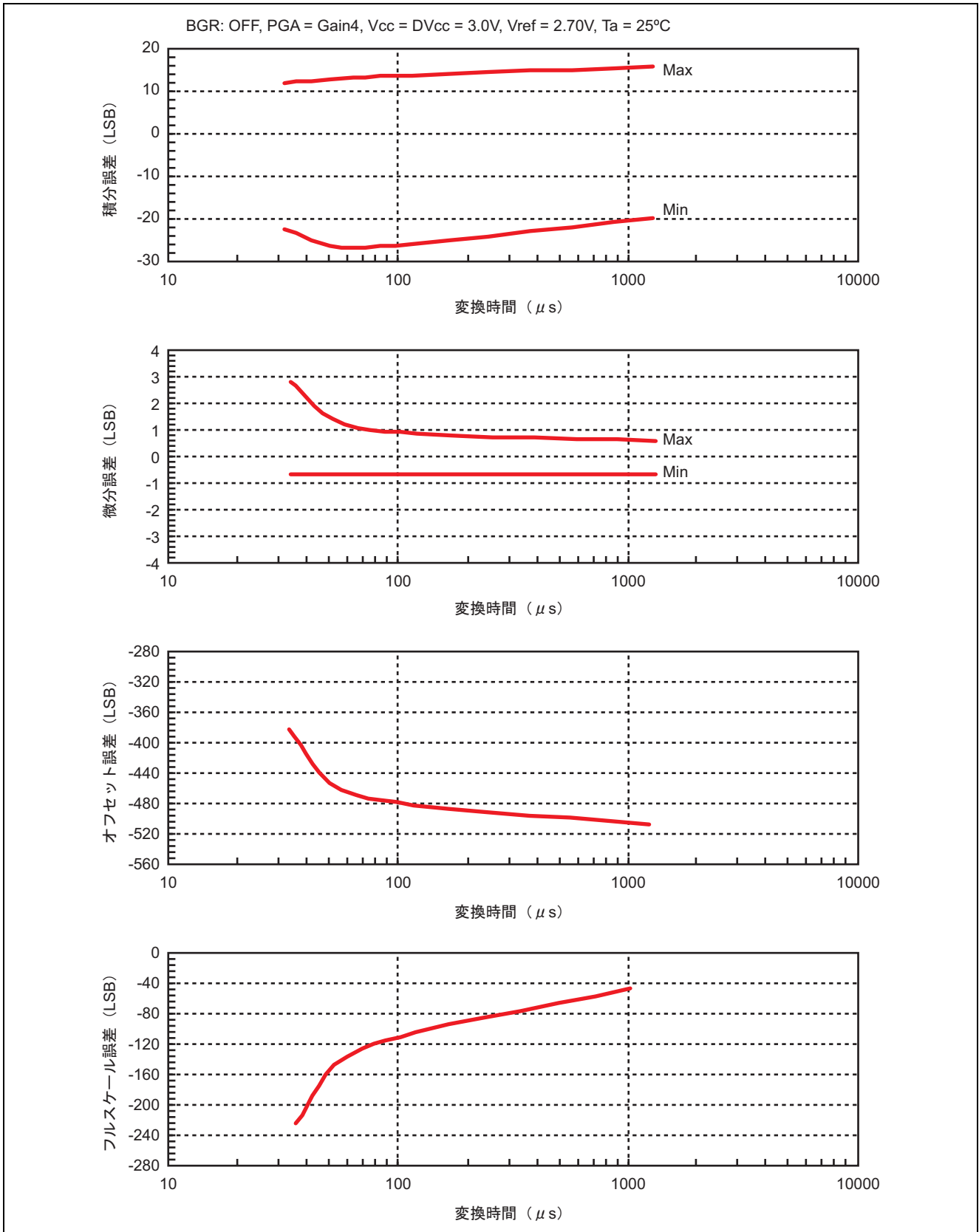
● 変換時間依存性-7



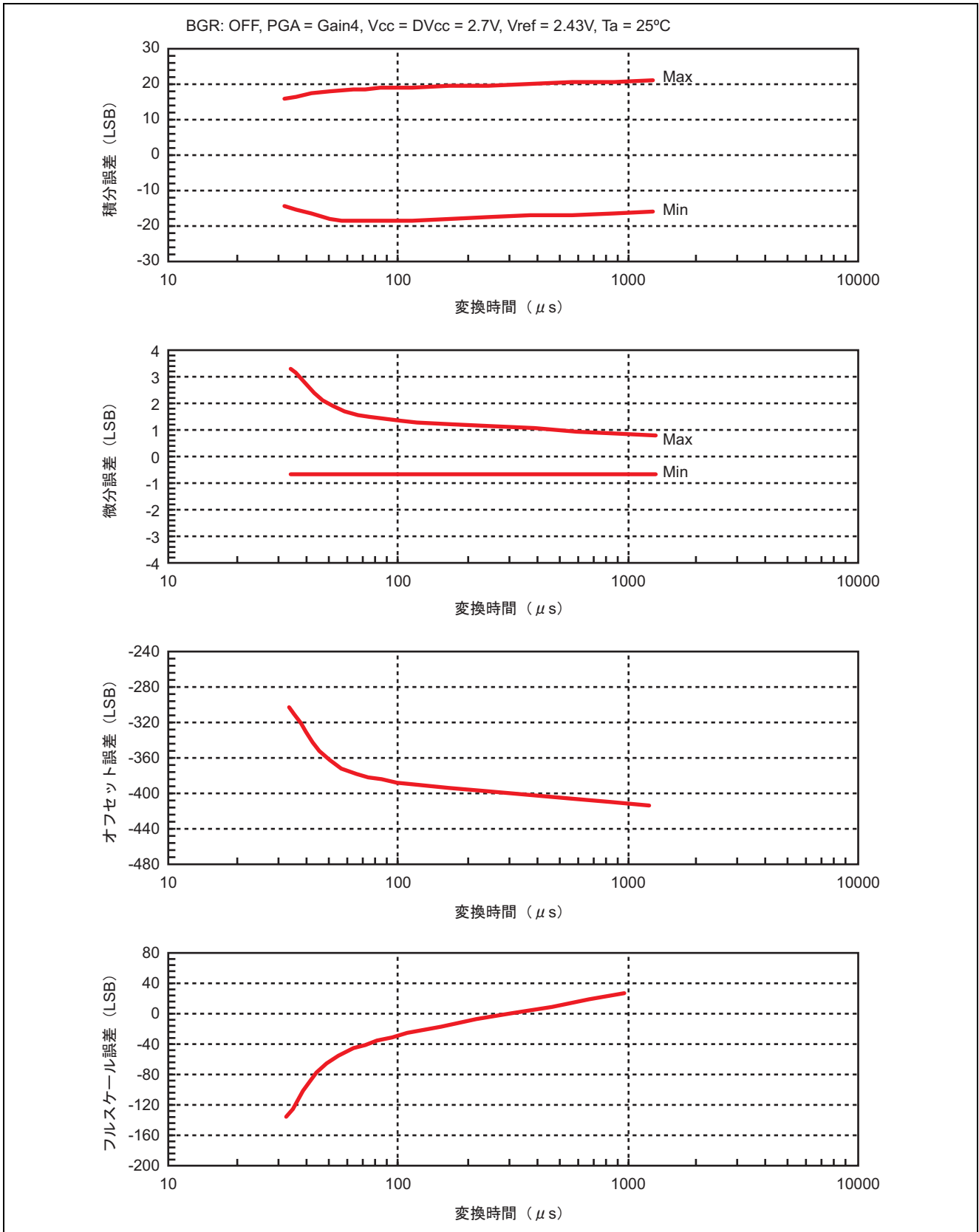
● 変換時間依存性-8



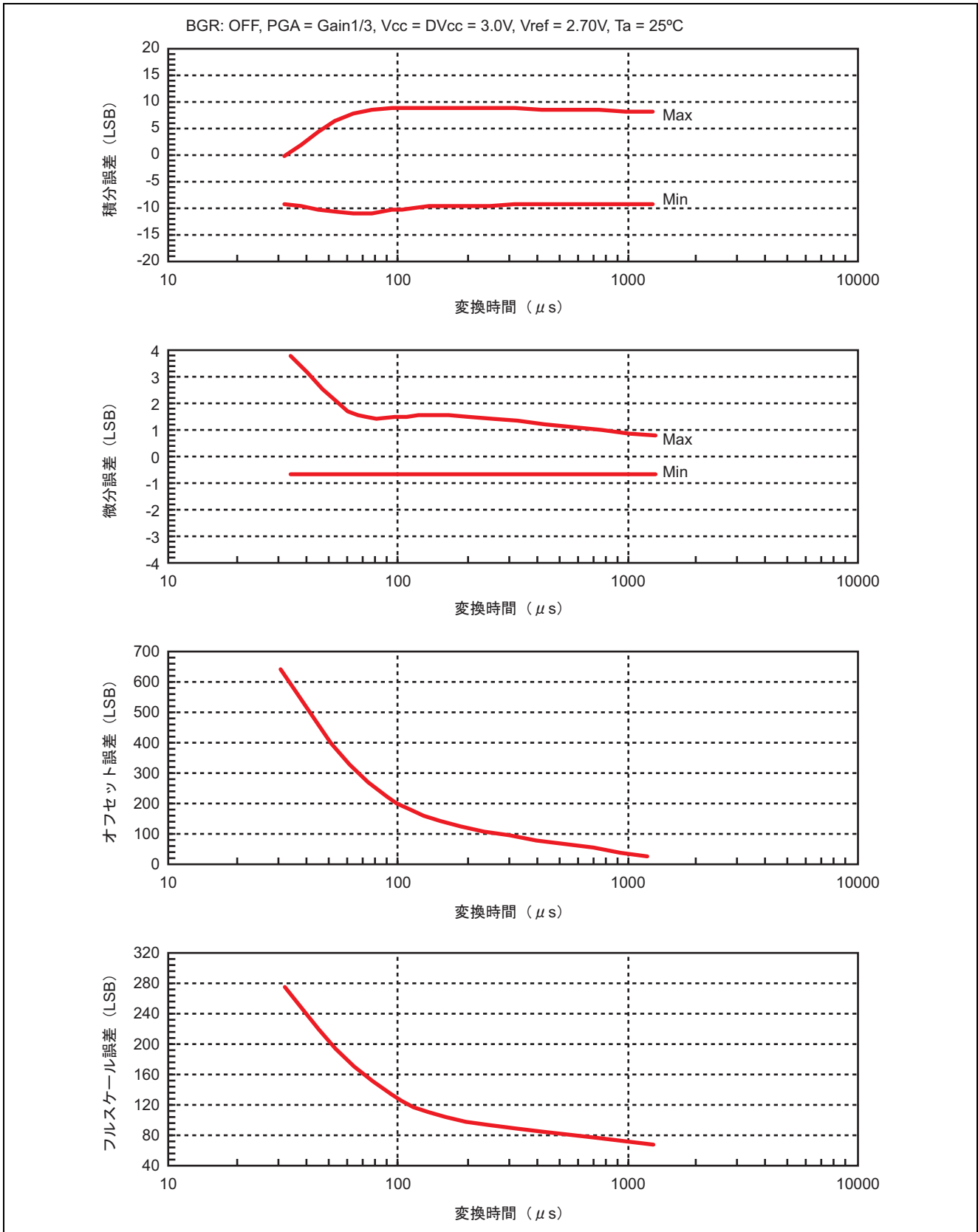
● 変換時間依存性-9



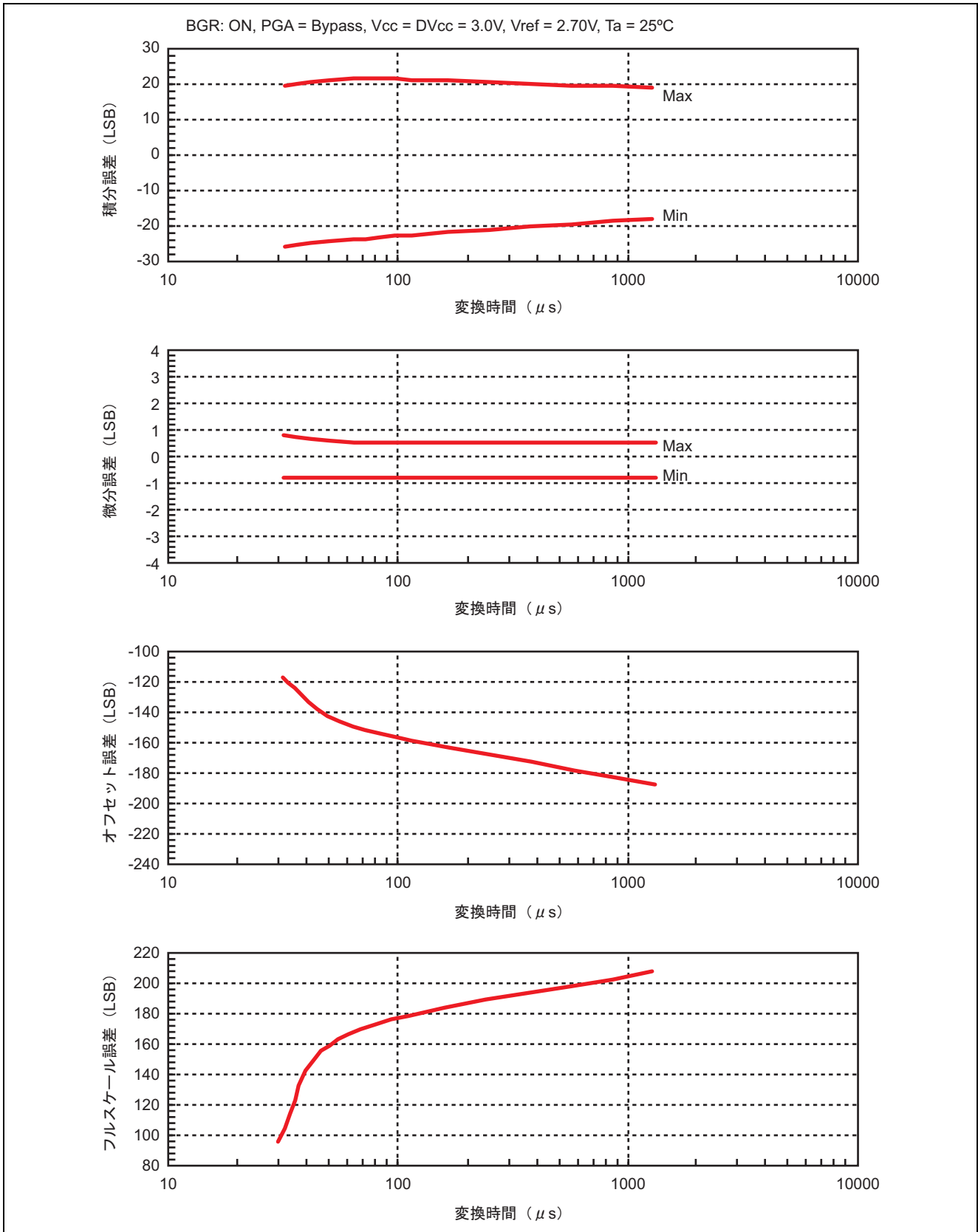
● 変換時間依存性-10



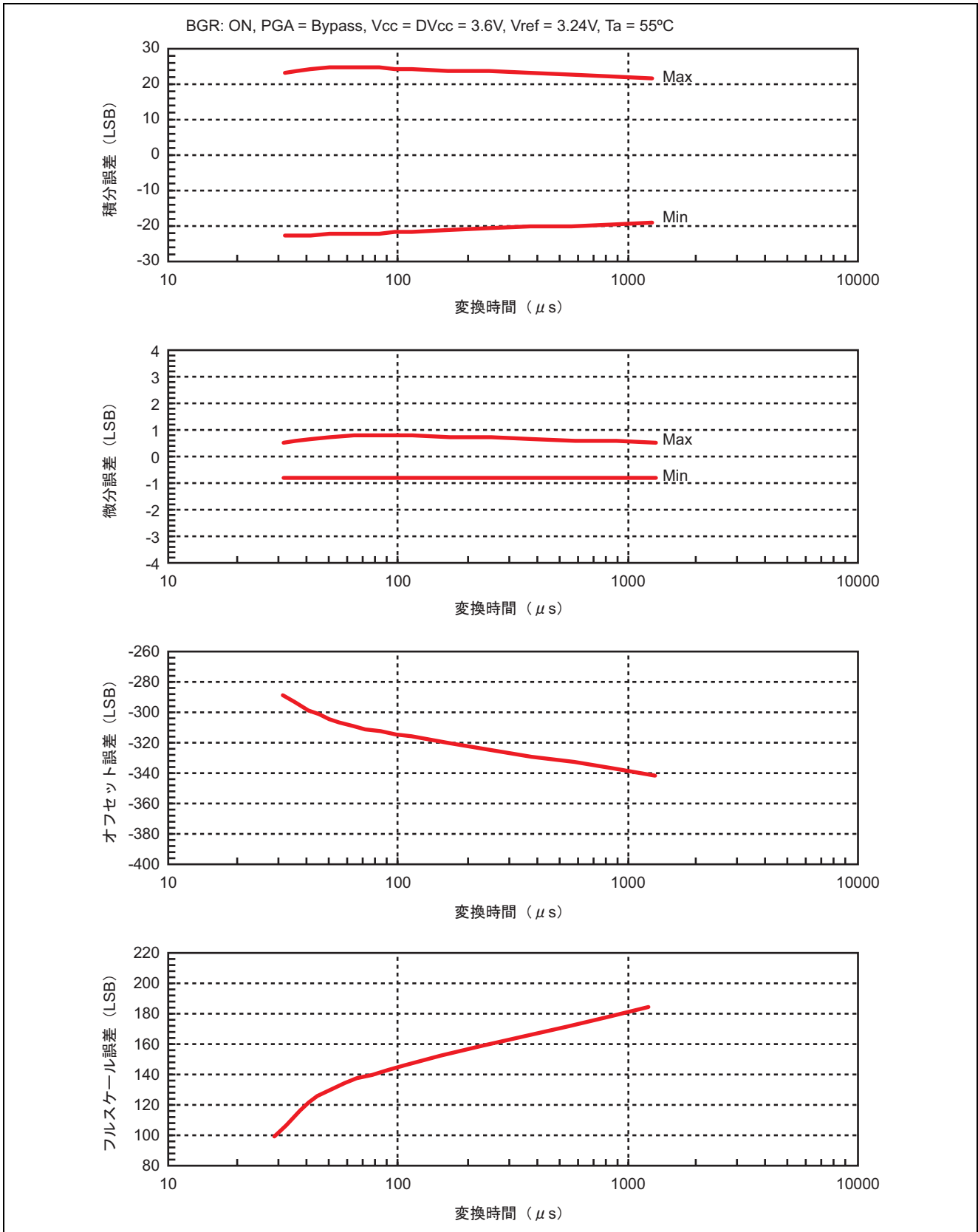
● 変換時間依存性-11



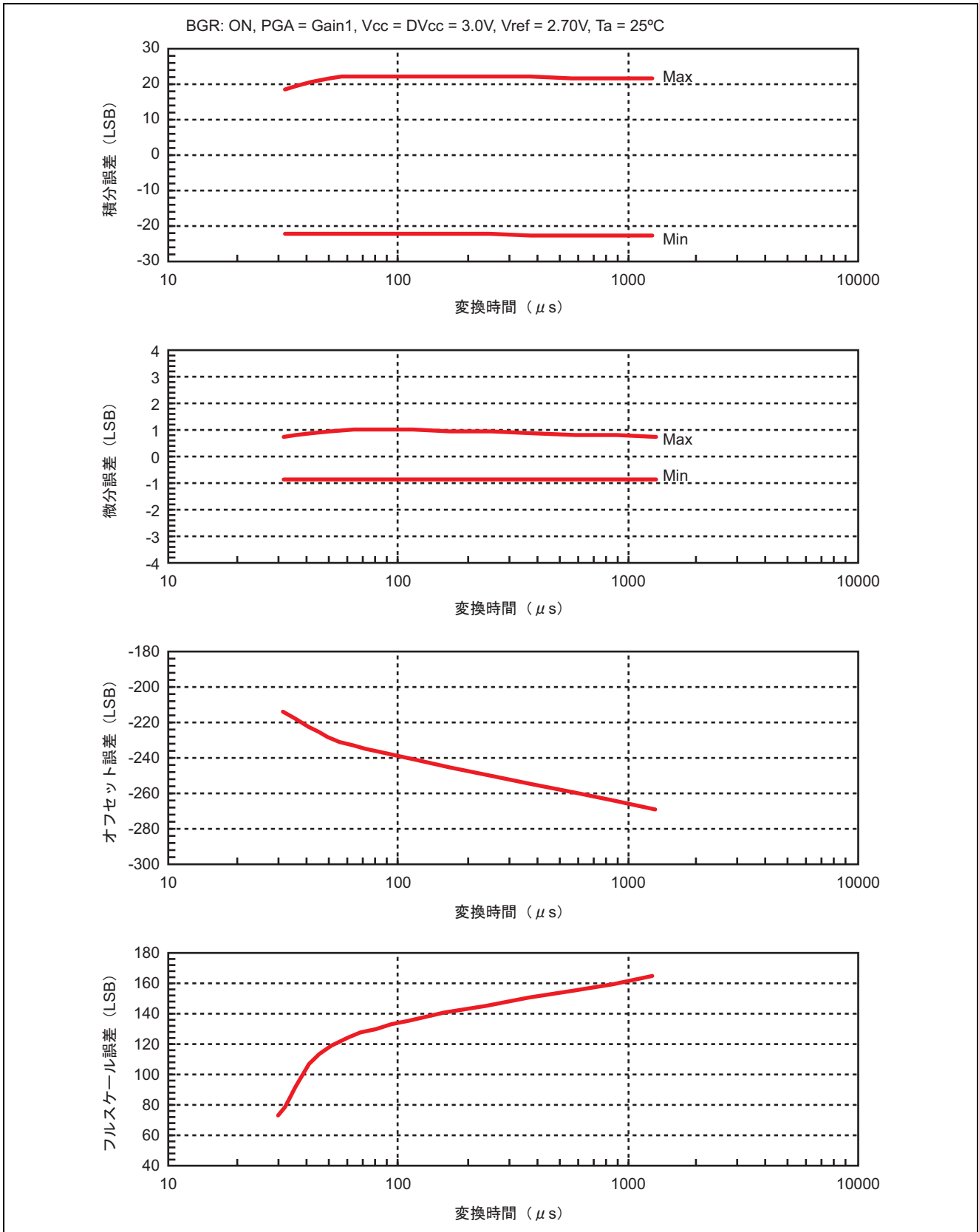
● 変換時間依存性-12



● 変換時間依存性-13

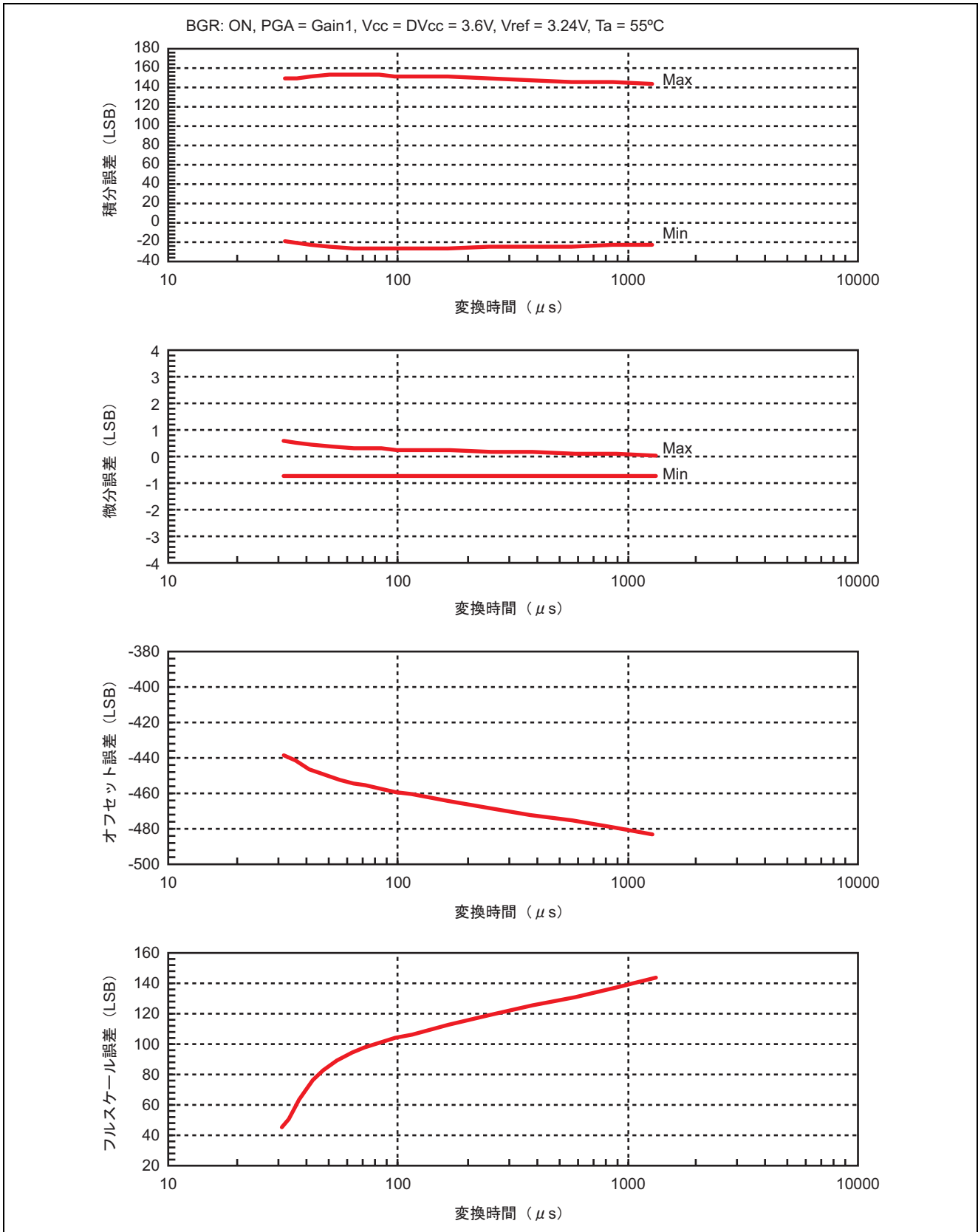


● 変換時間依存性-14

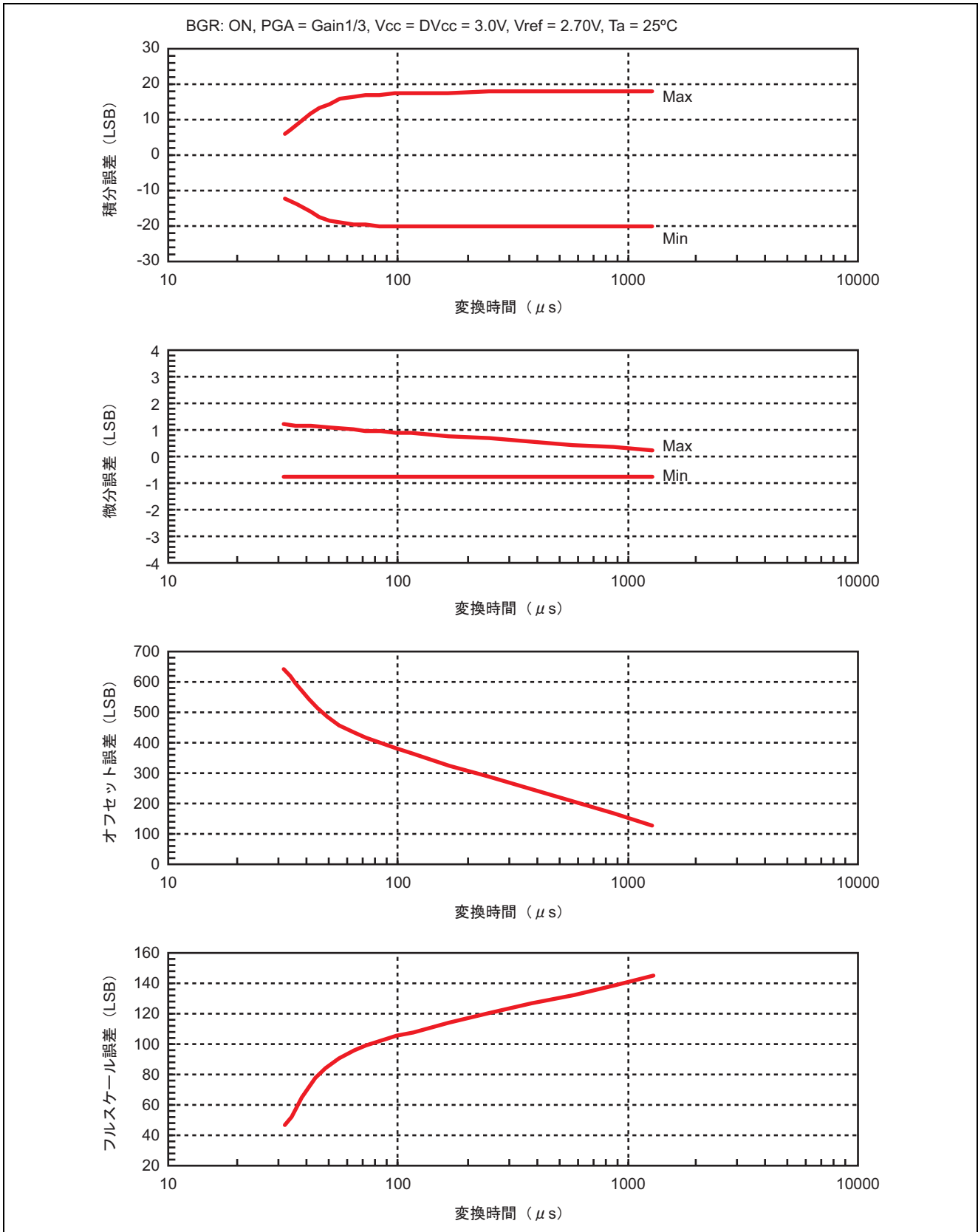




● 変換時間依存性-15

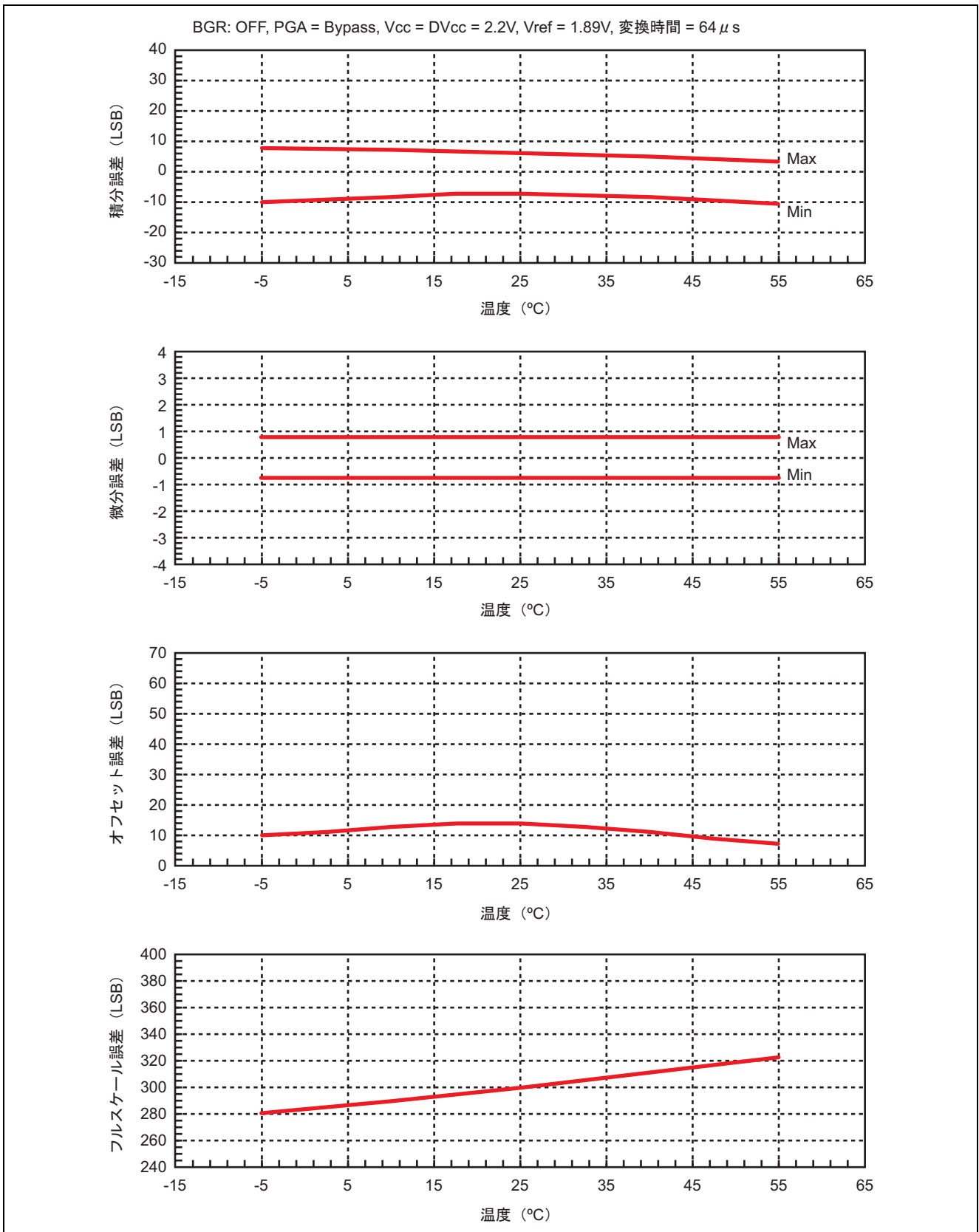


● 変換時間依存性-16

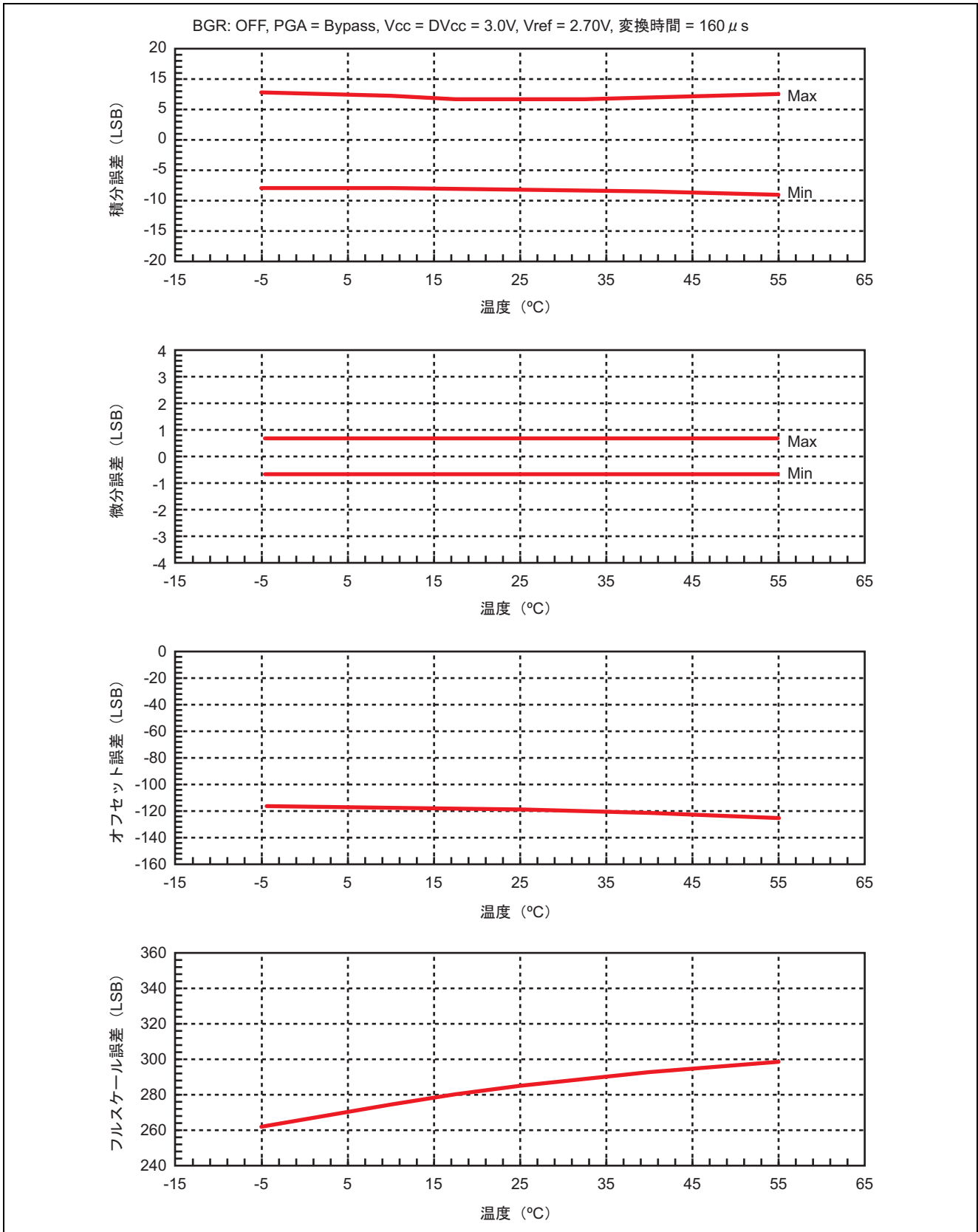


(2) 温度依存性

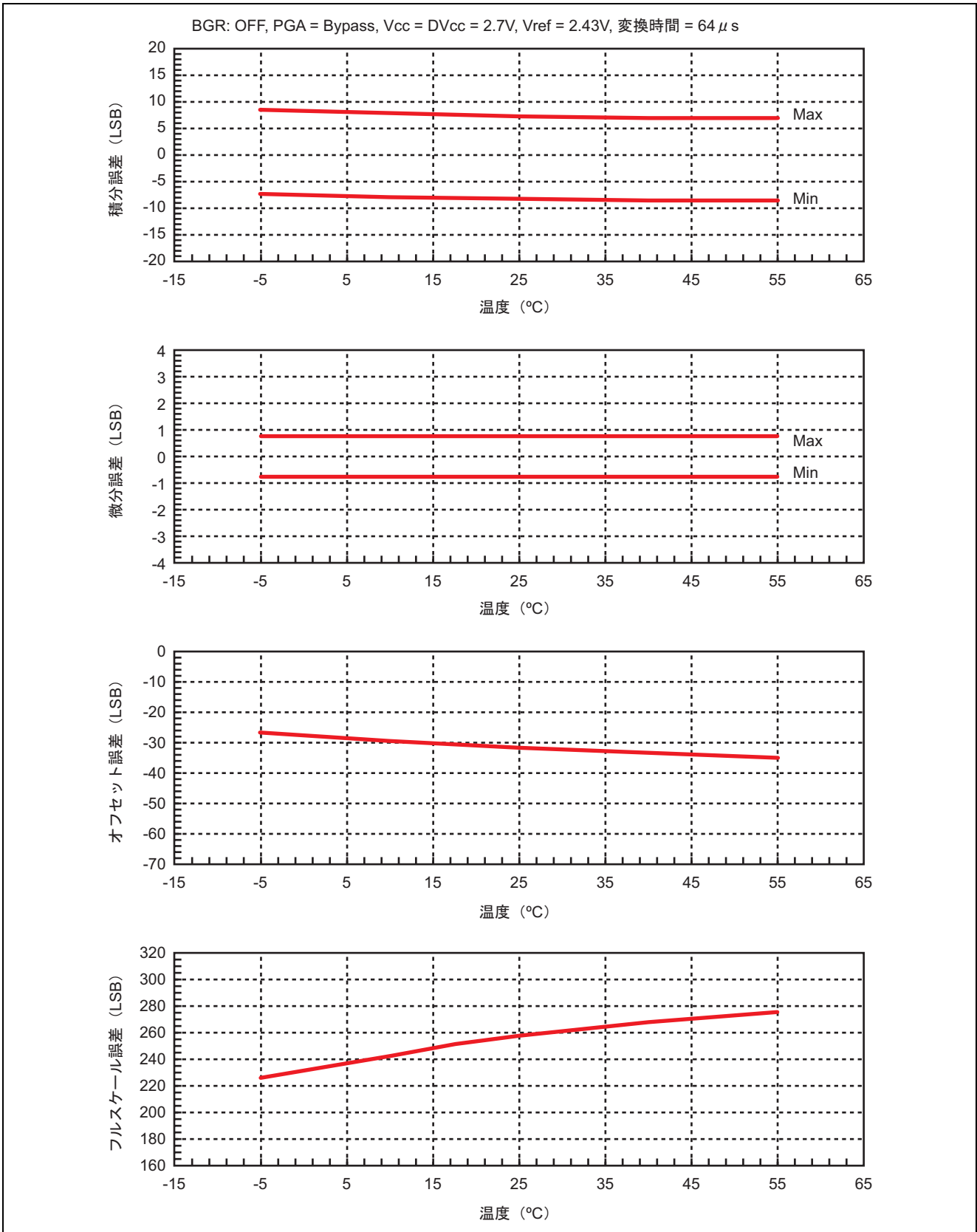
- 温度依存性-1



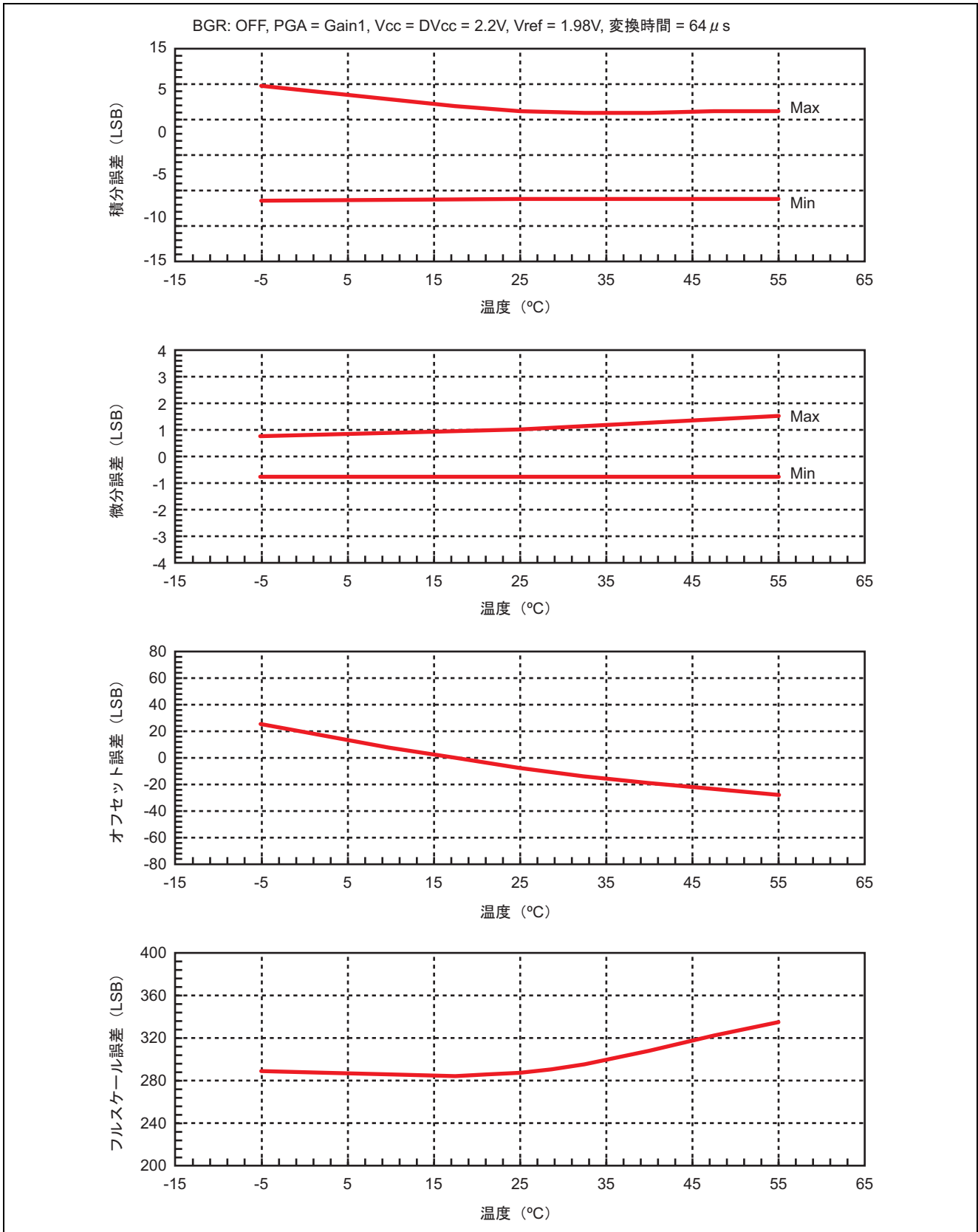
● 温度依存性-2



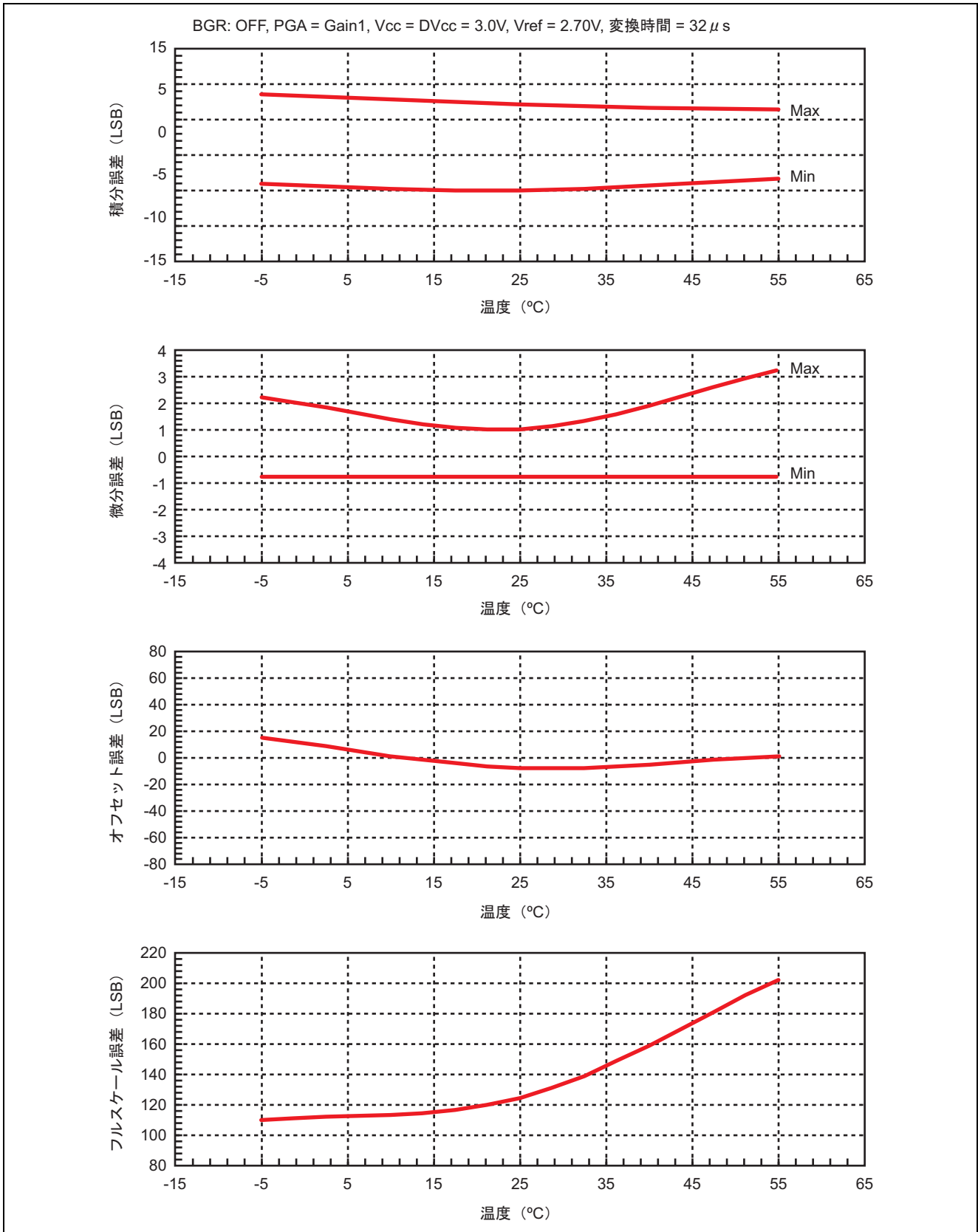
● 温度依存性-3



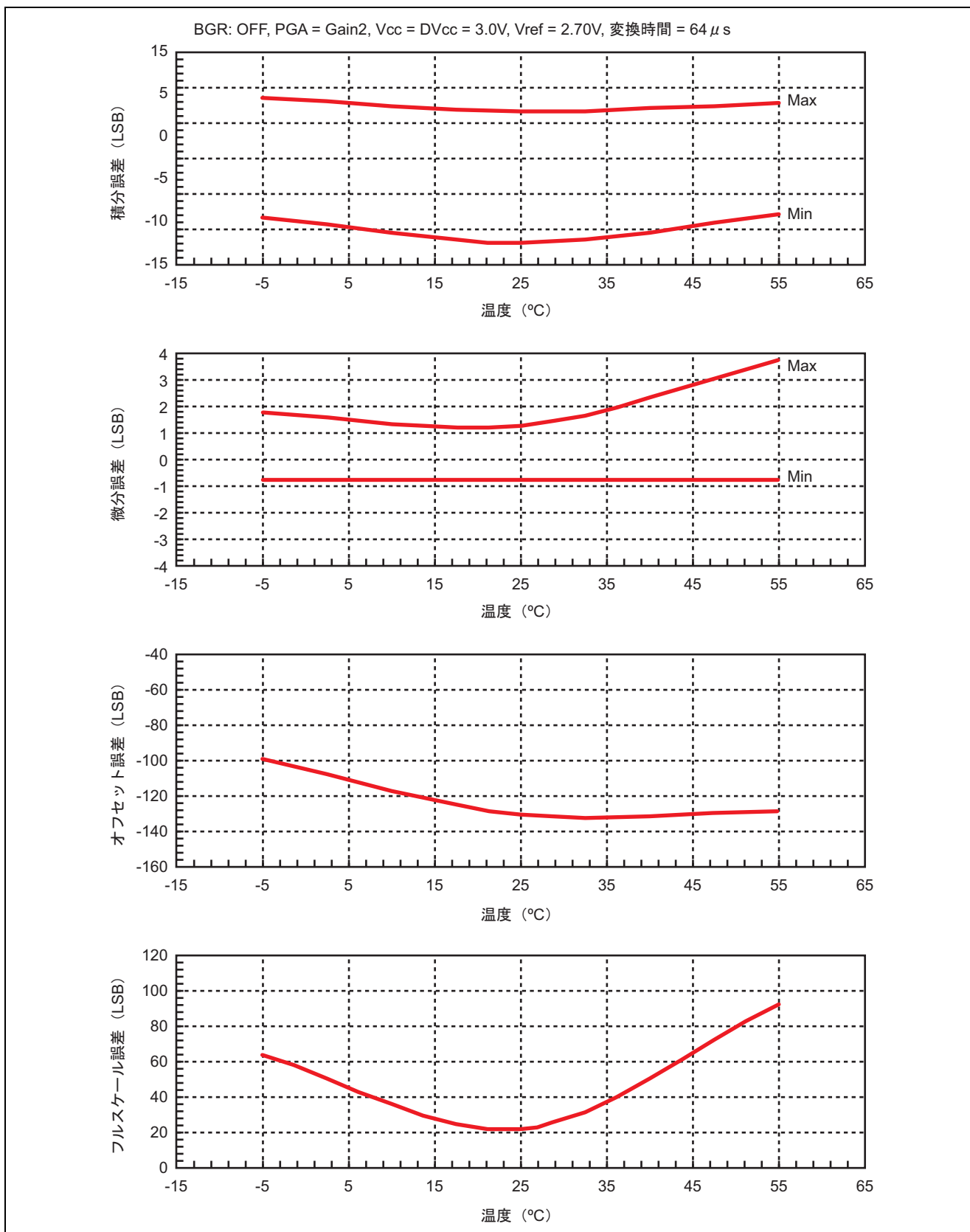
● 温度依存性-4



• 温度依存性-5

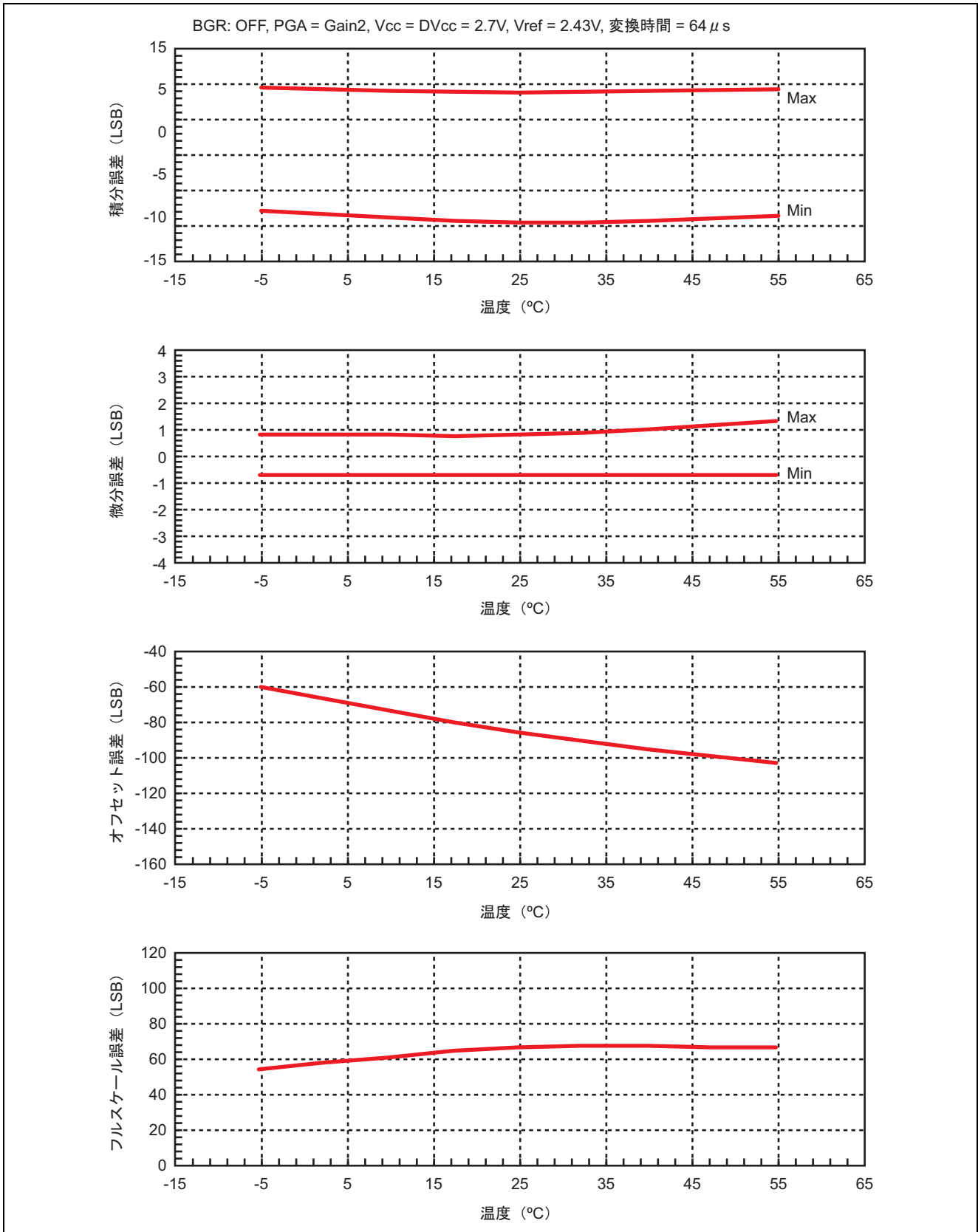


- 温度依存性-6

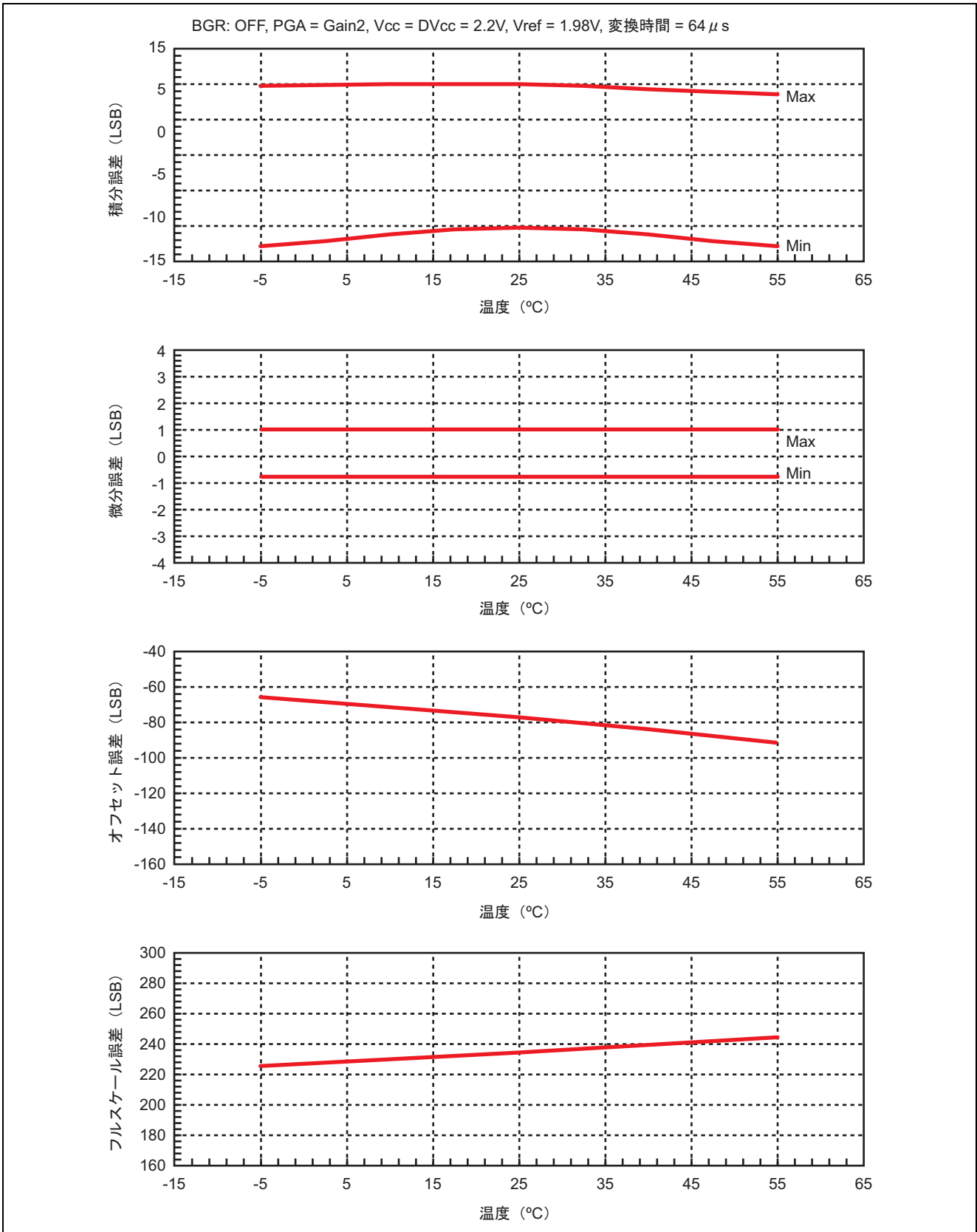




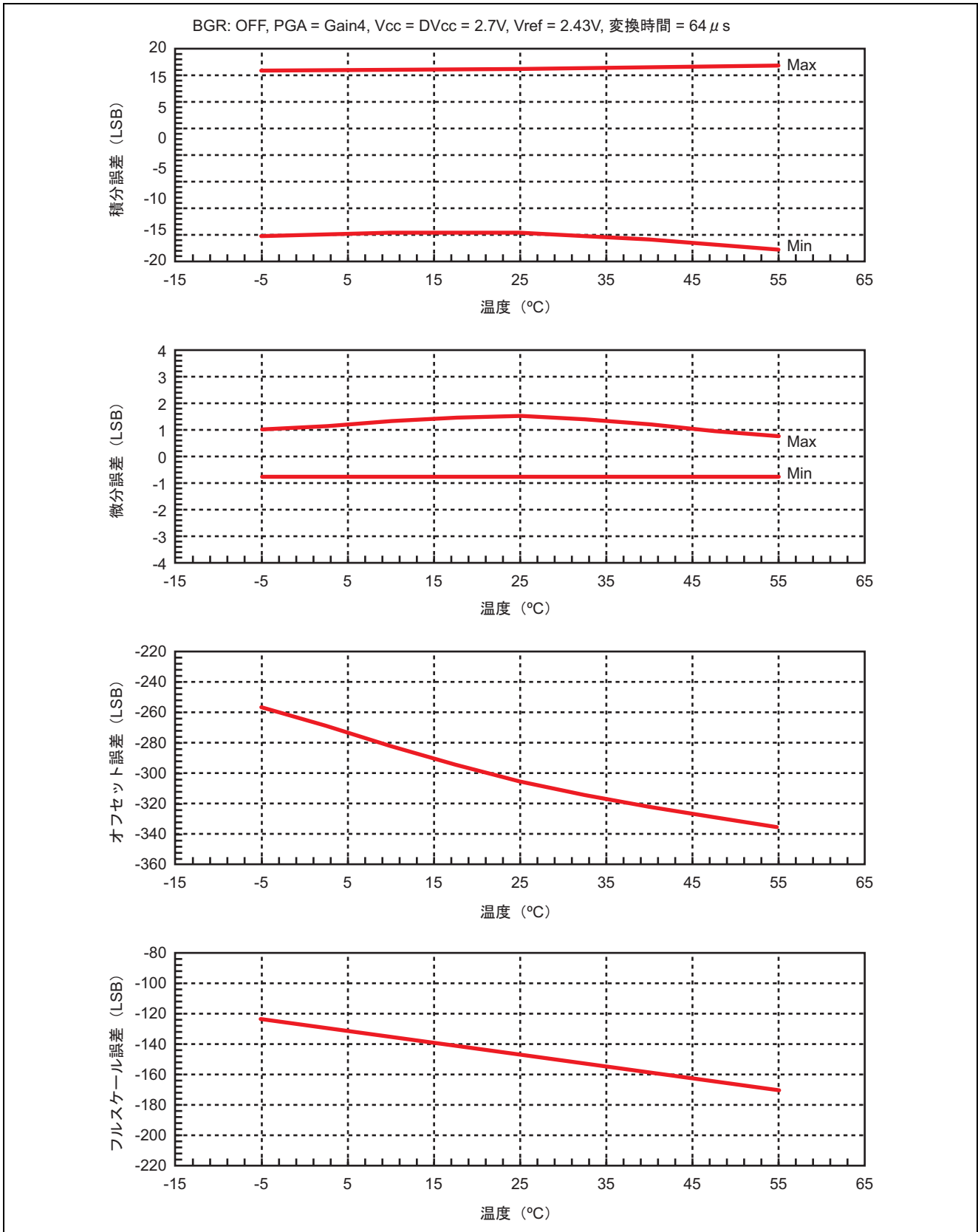
● 温度依存性-7



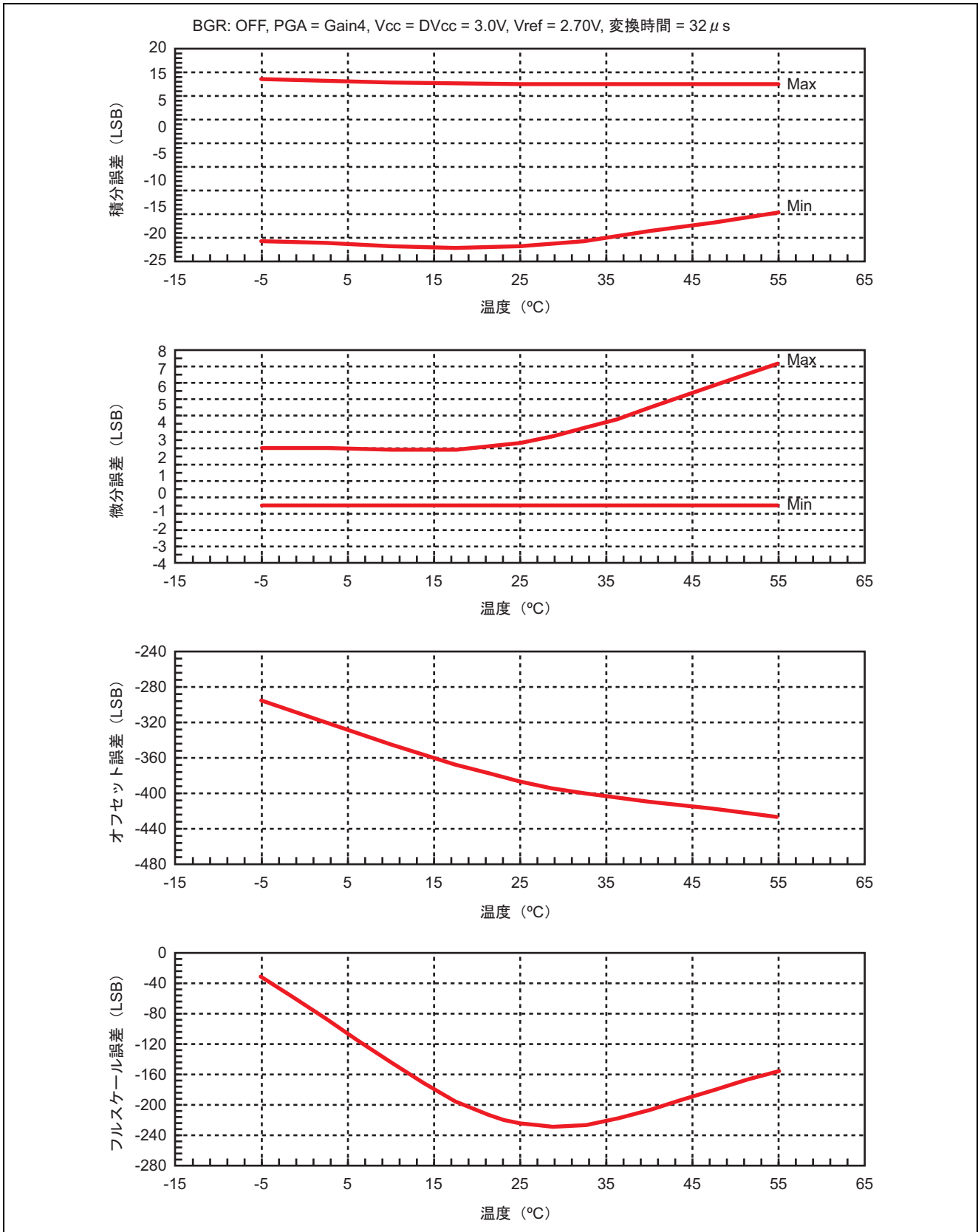
● 温度依存性-8



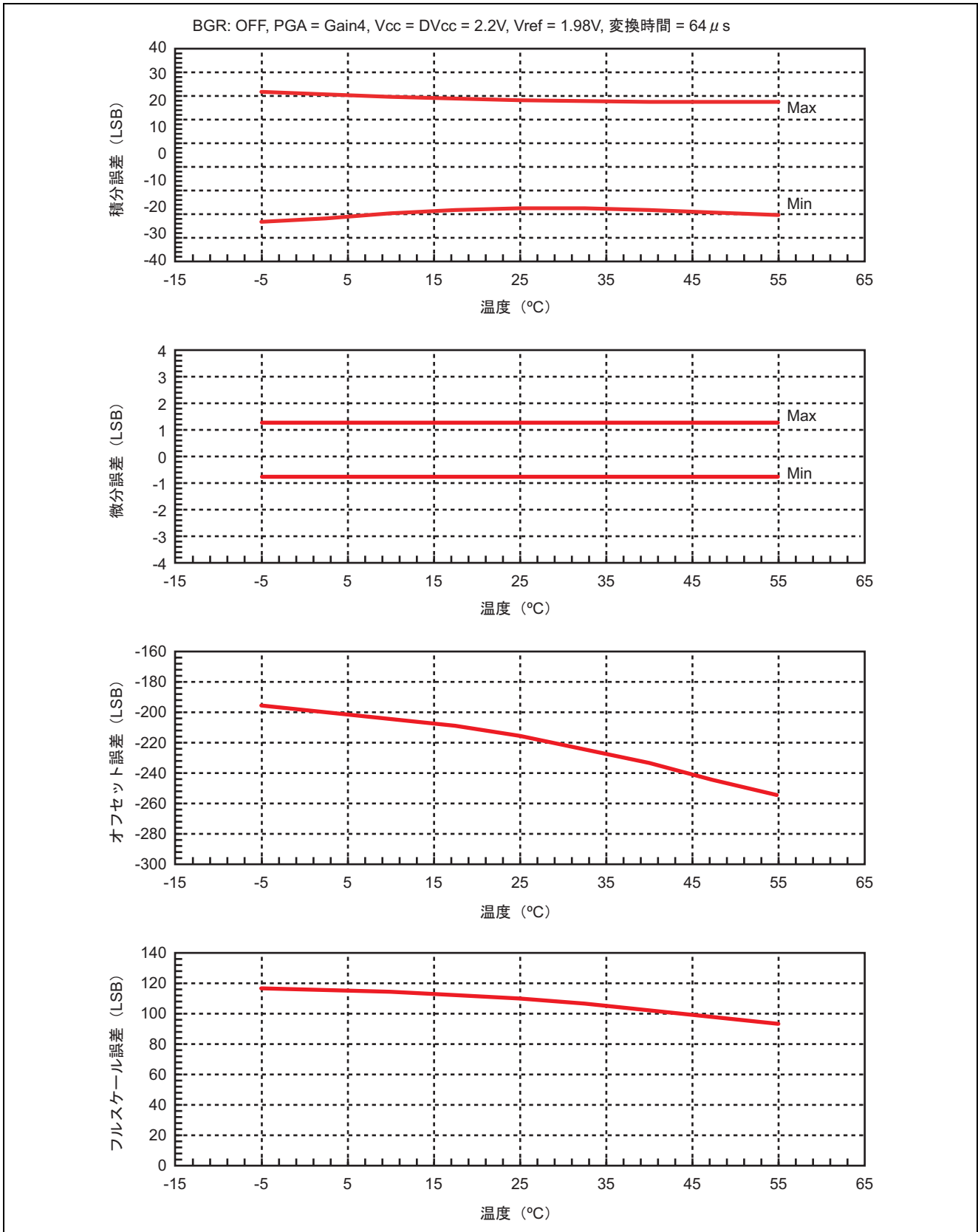
● 温度依存性-9



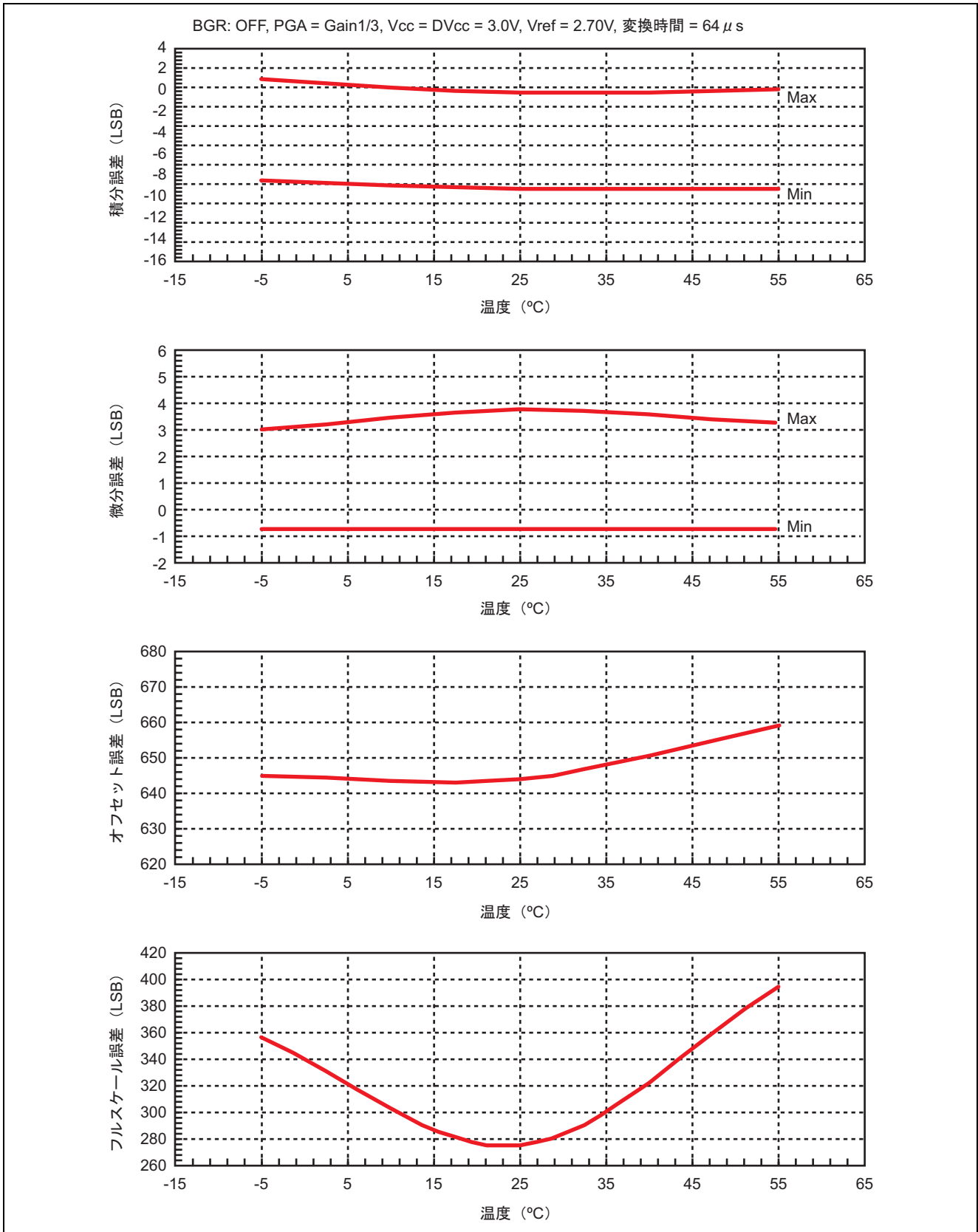
● 温度依存性-10



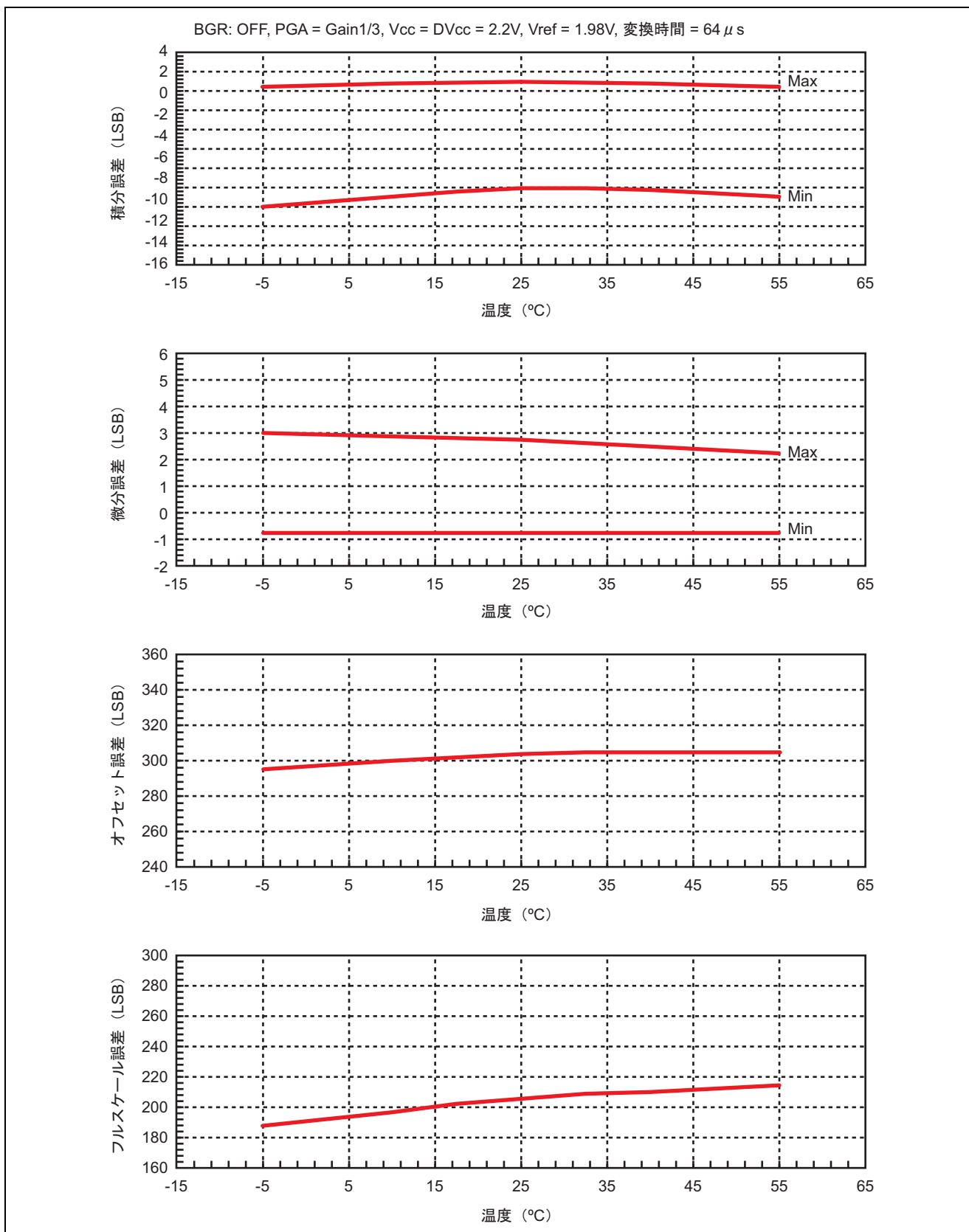
● 温度依存性-11



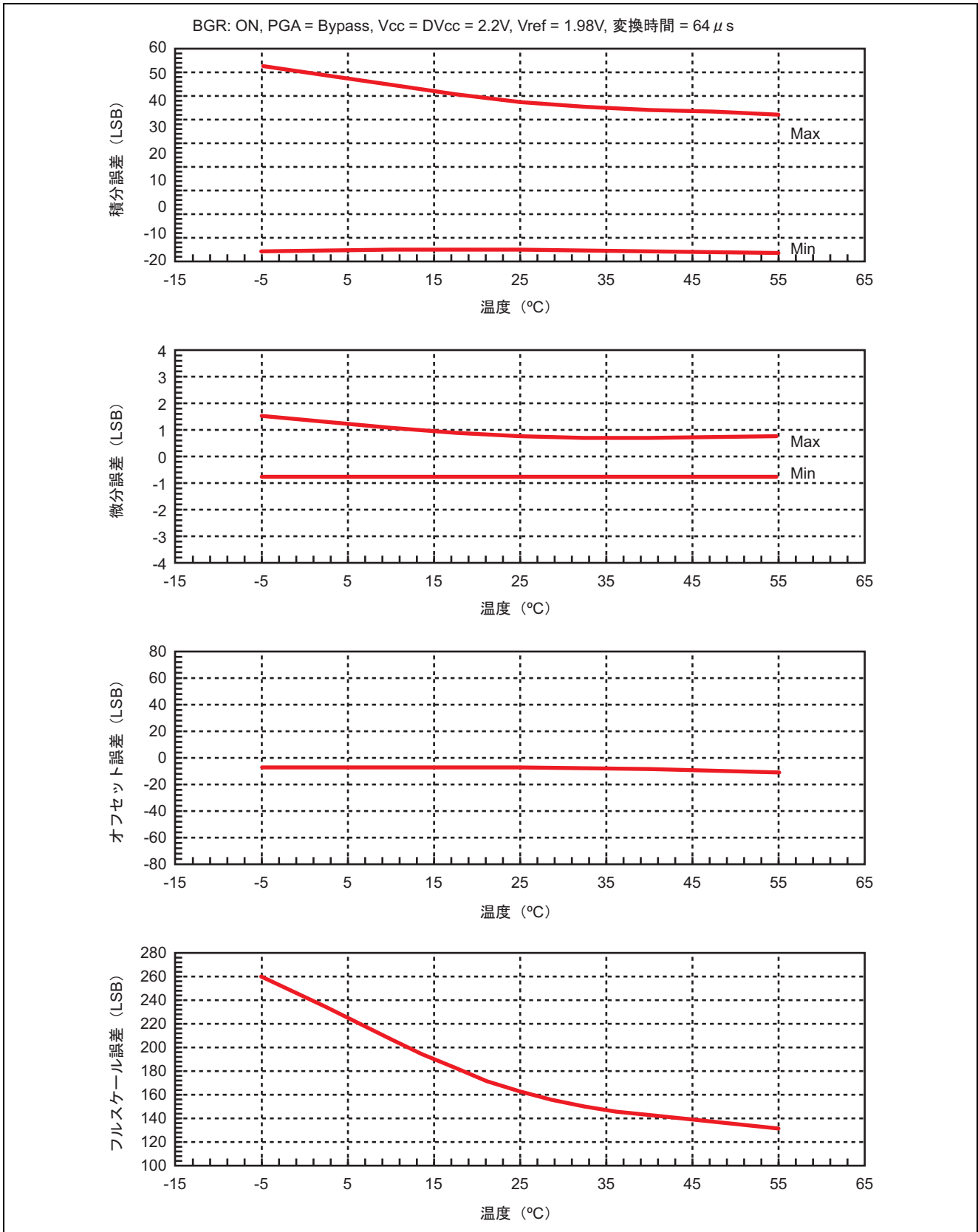
● 温度依存性-12



● 温度依存性-13

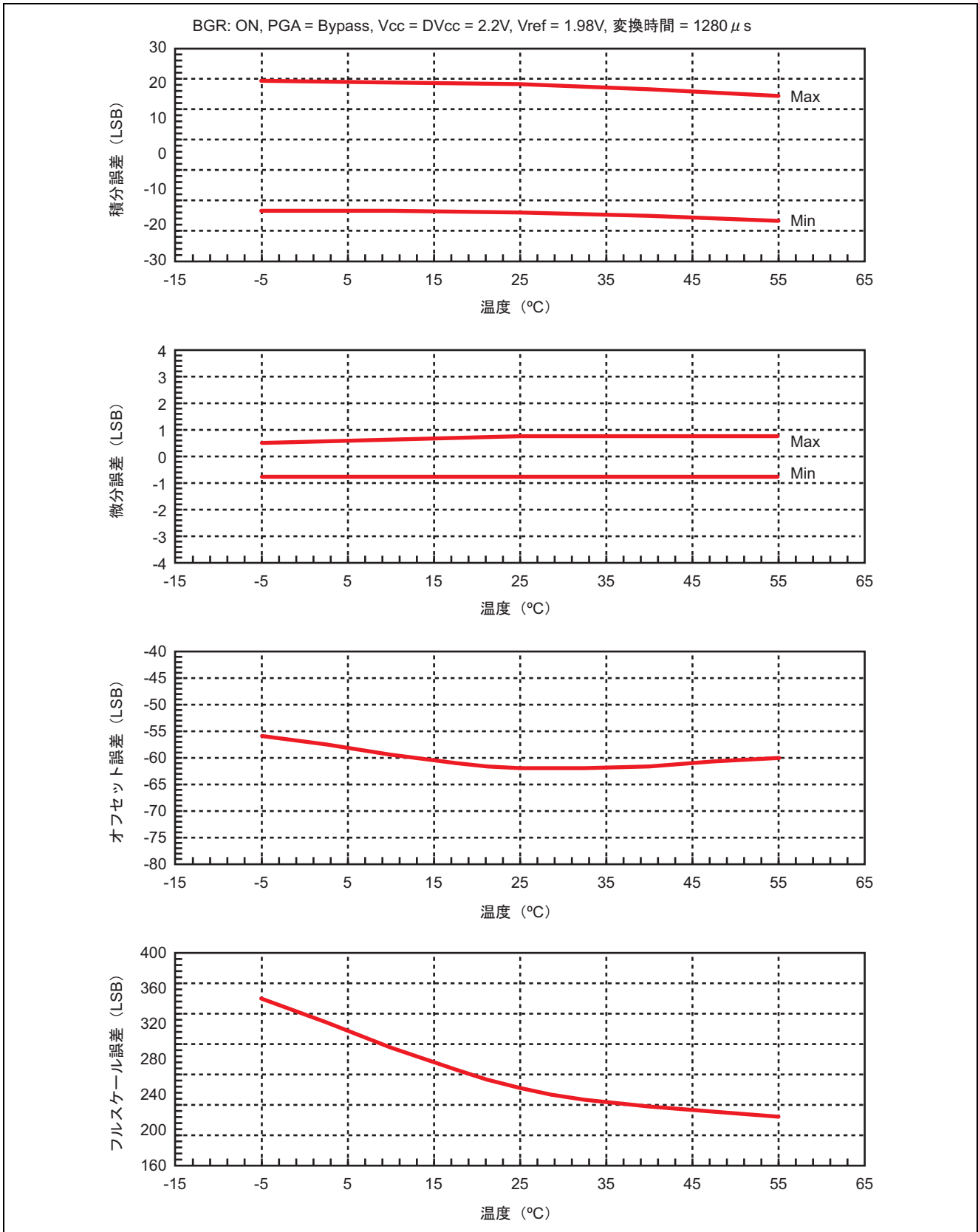


● 温度依存性-14

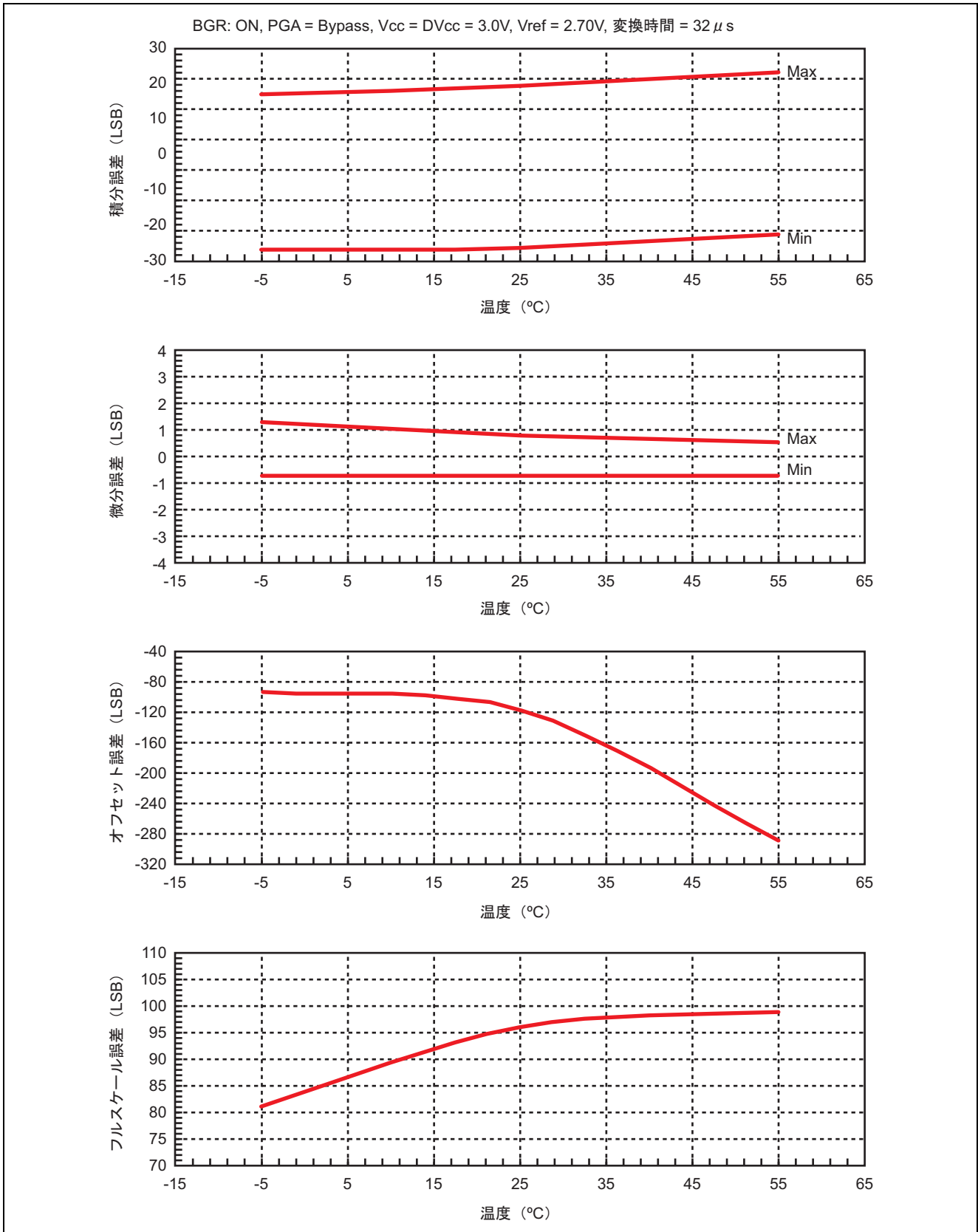




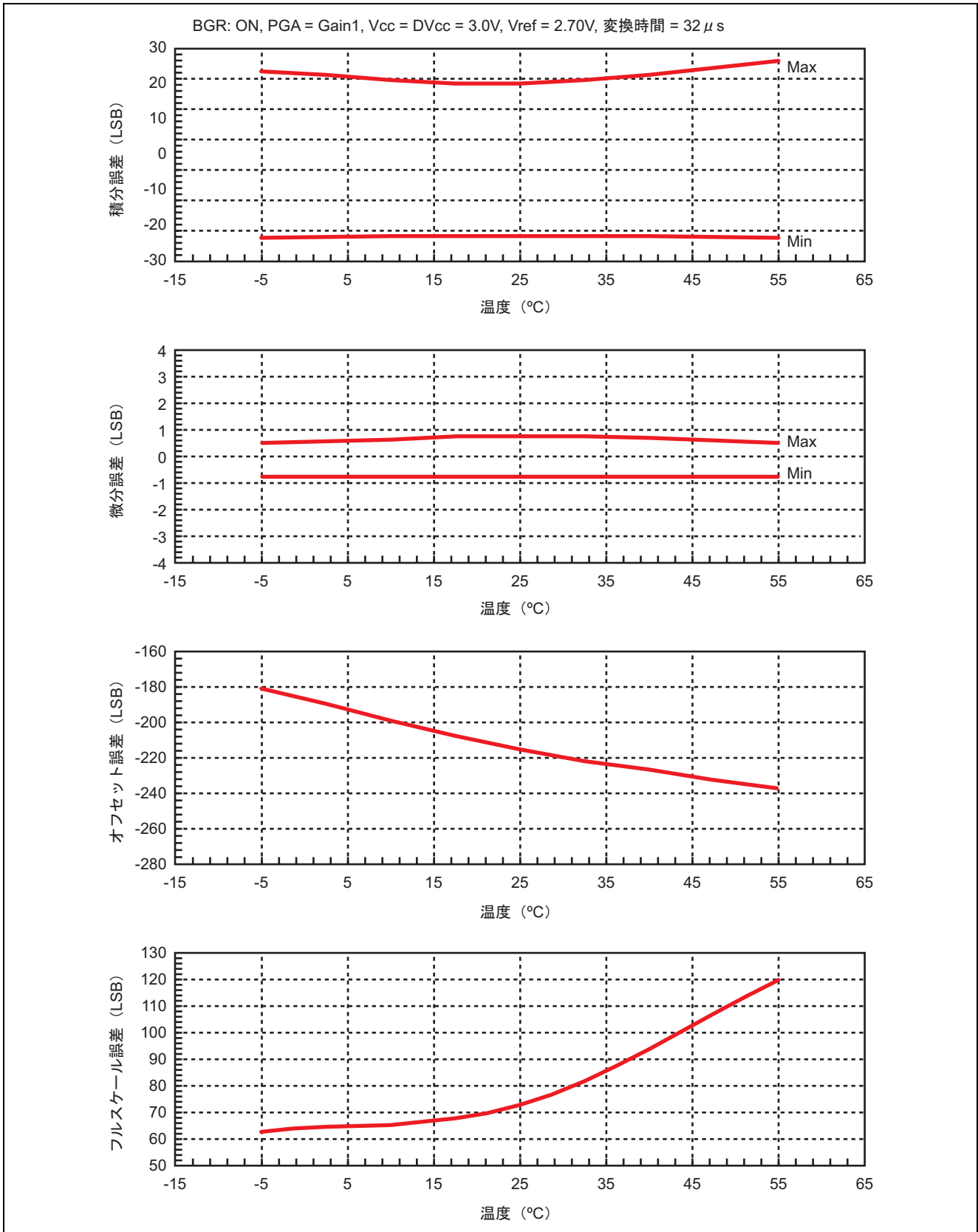
● 温度依存性-15



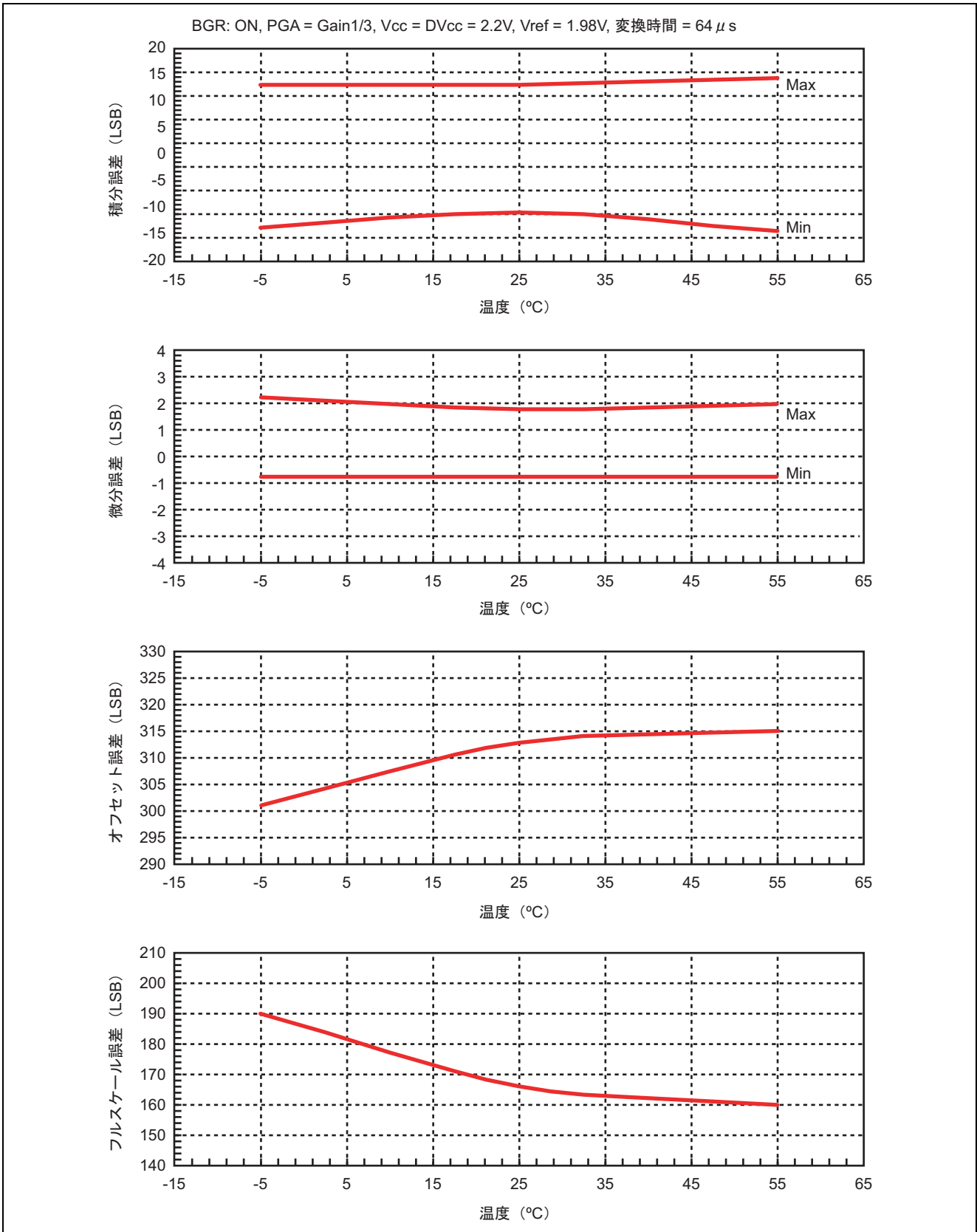
● 温度依存性-16



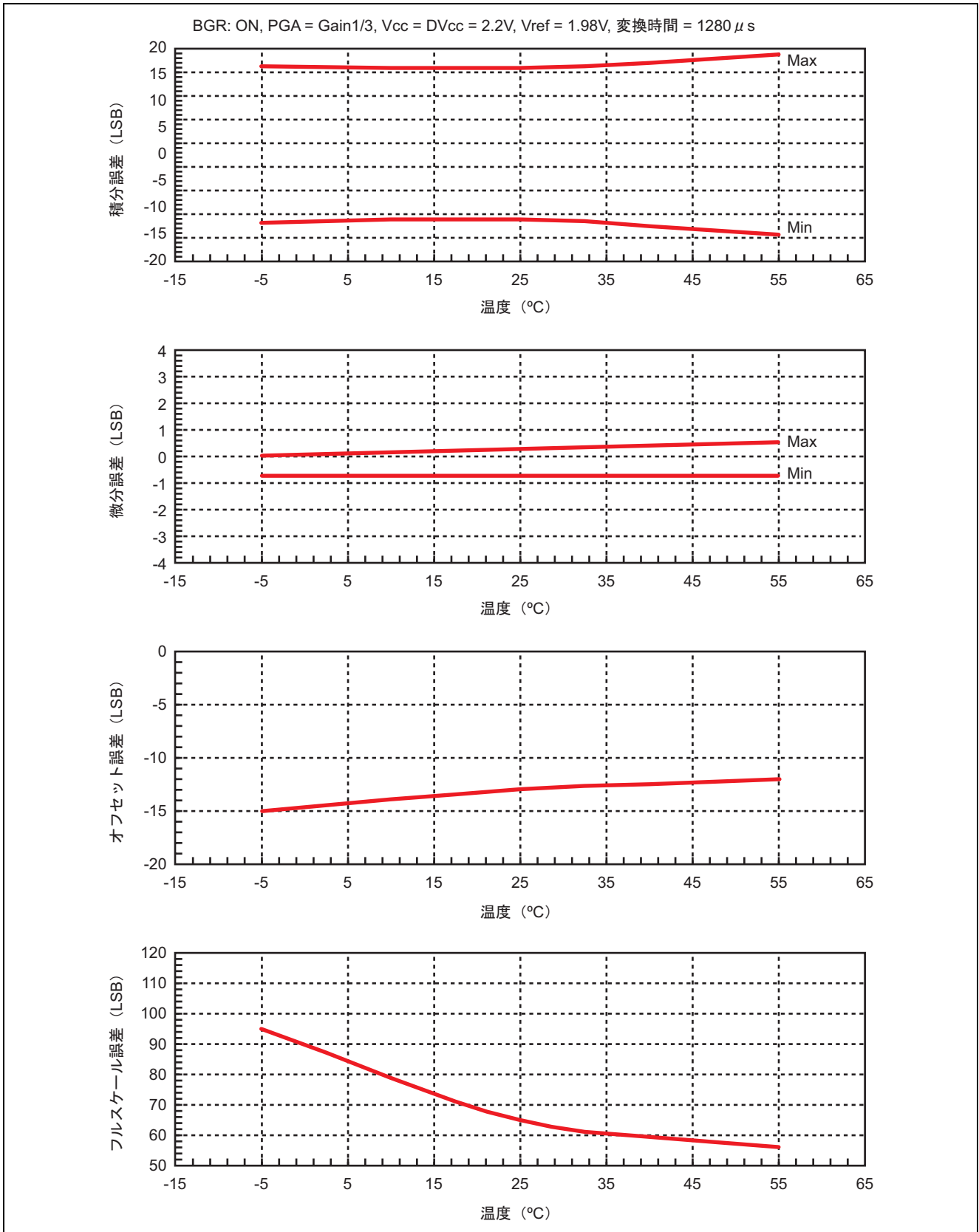
● 温度依存性-17



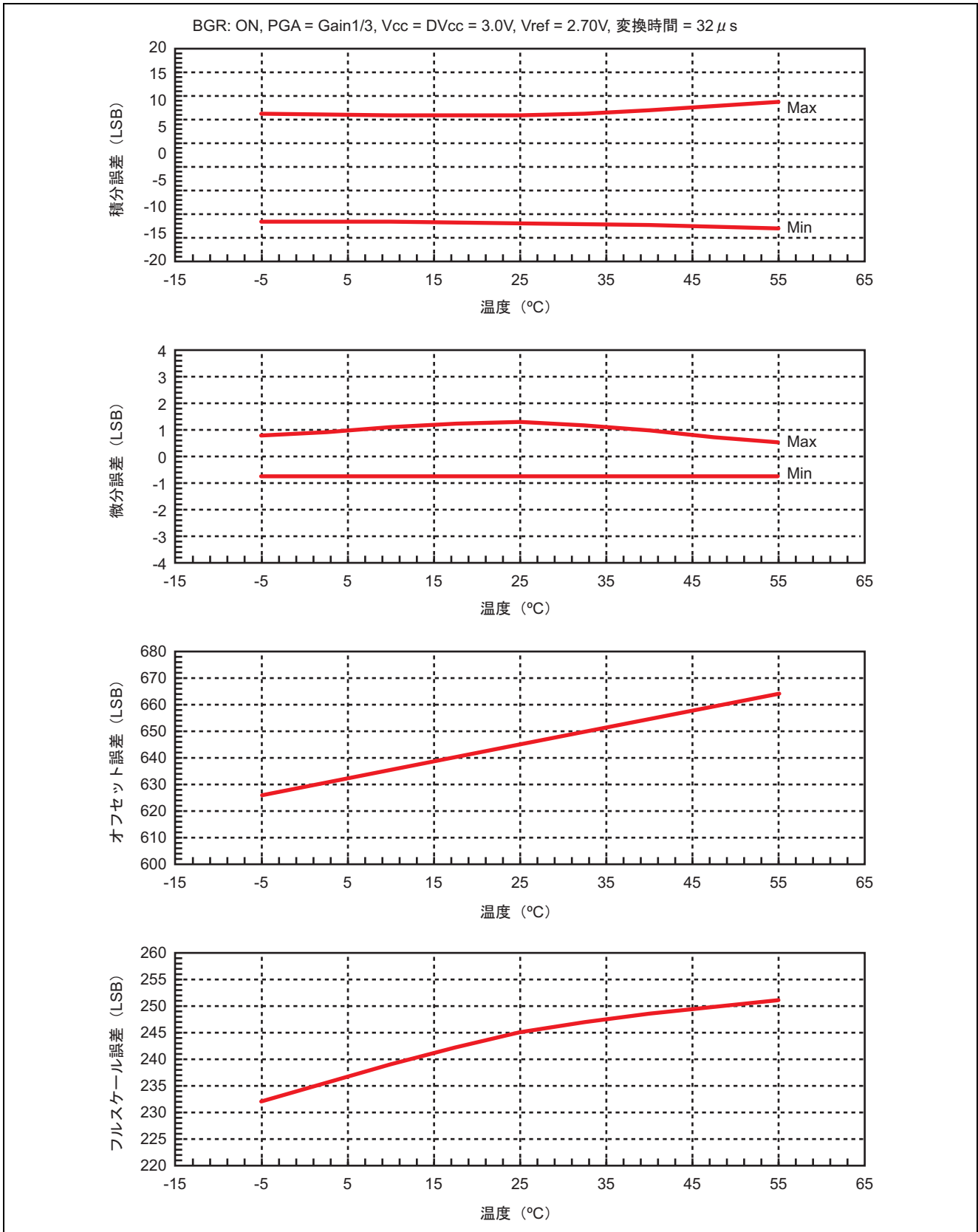
● 温度依存性-18



● 温度依存性-19

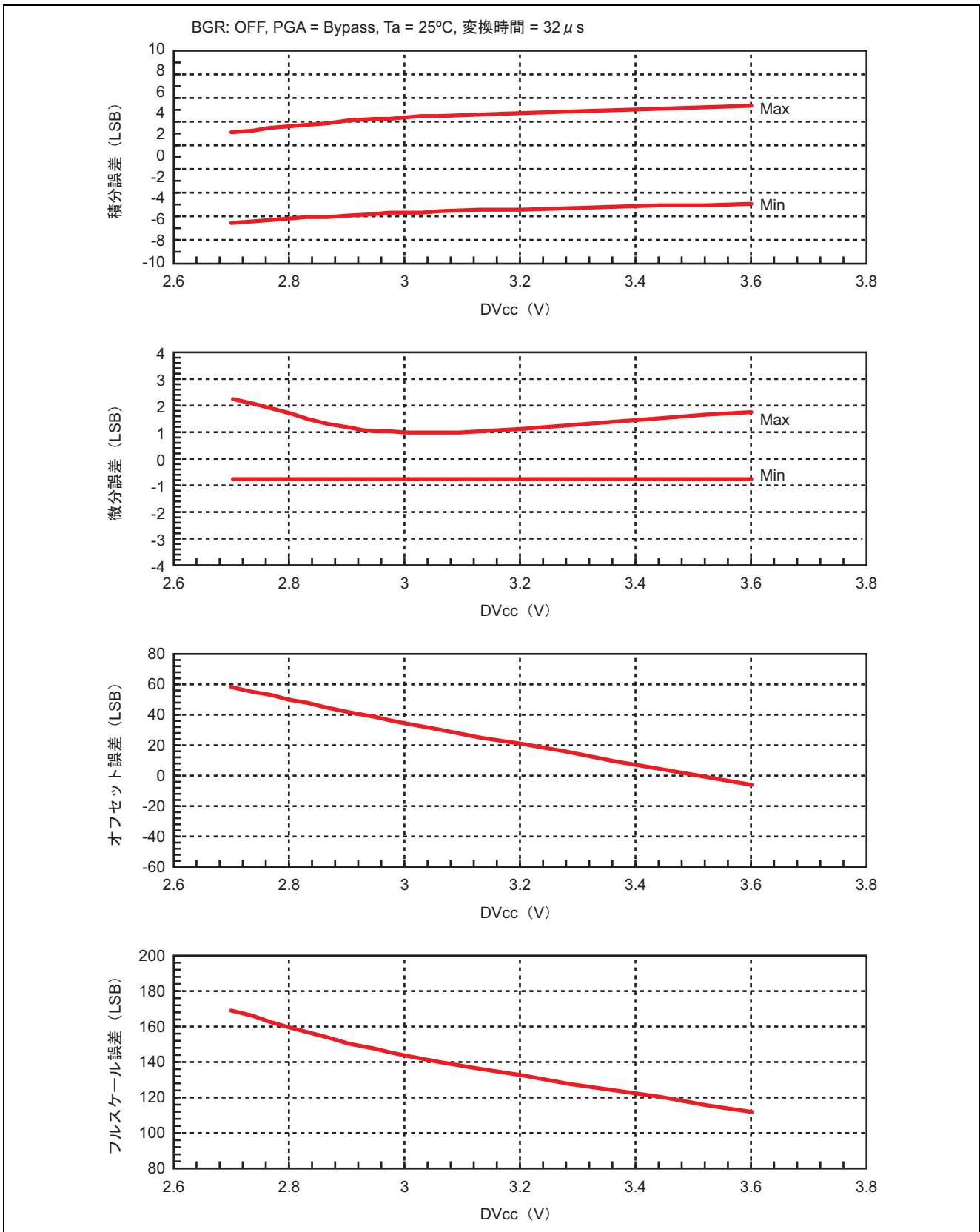


● 温度依存性-20

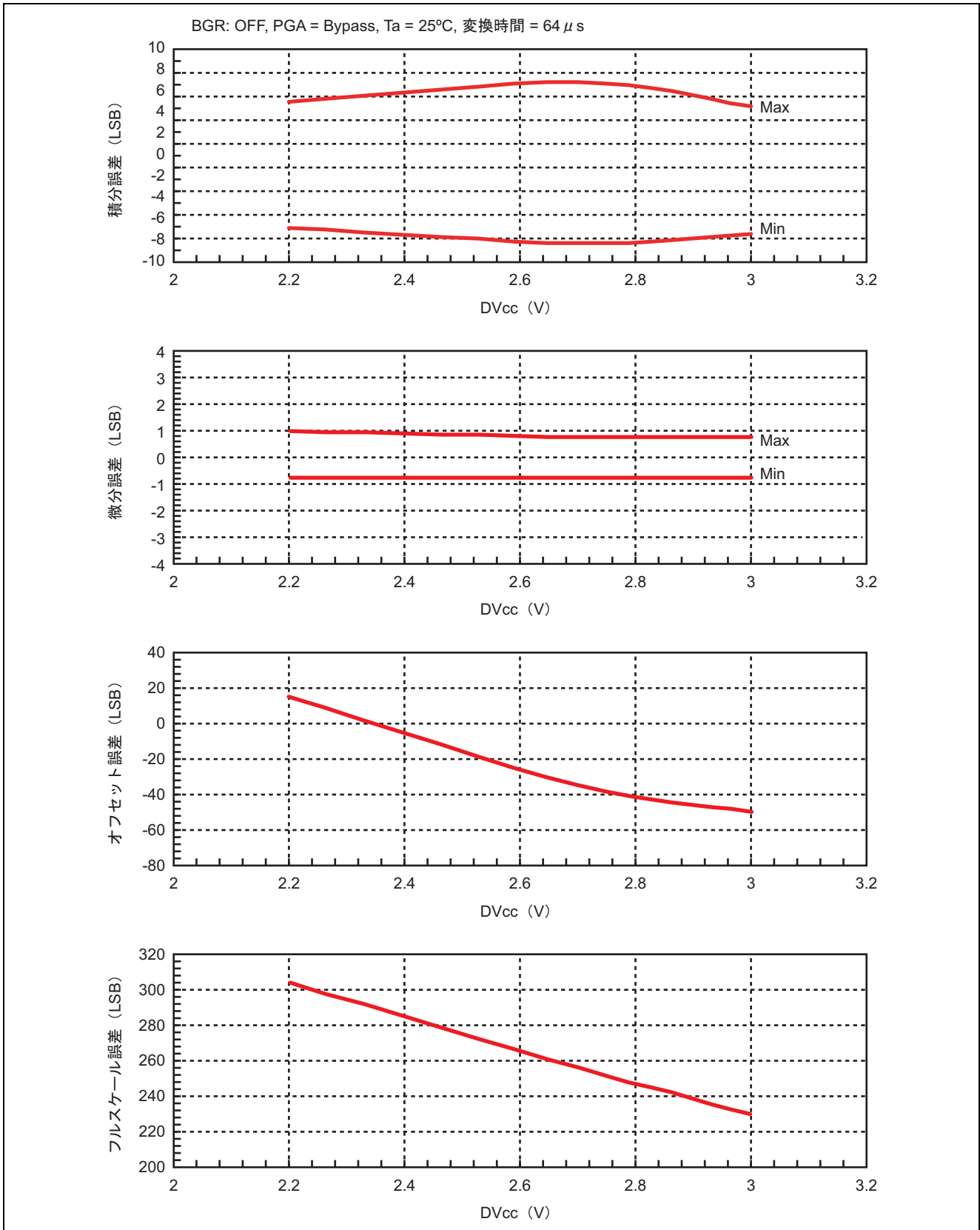


(3) DVcc 依存性

- DVcc 依存性-1

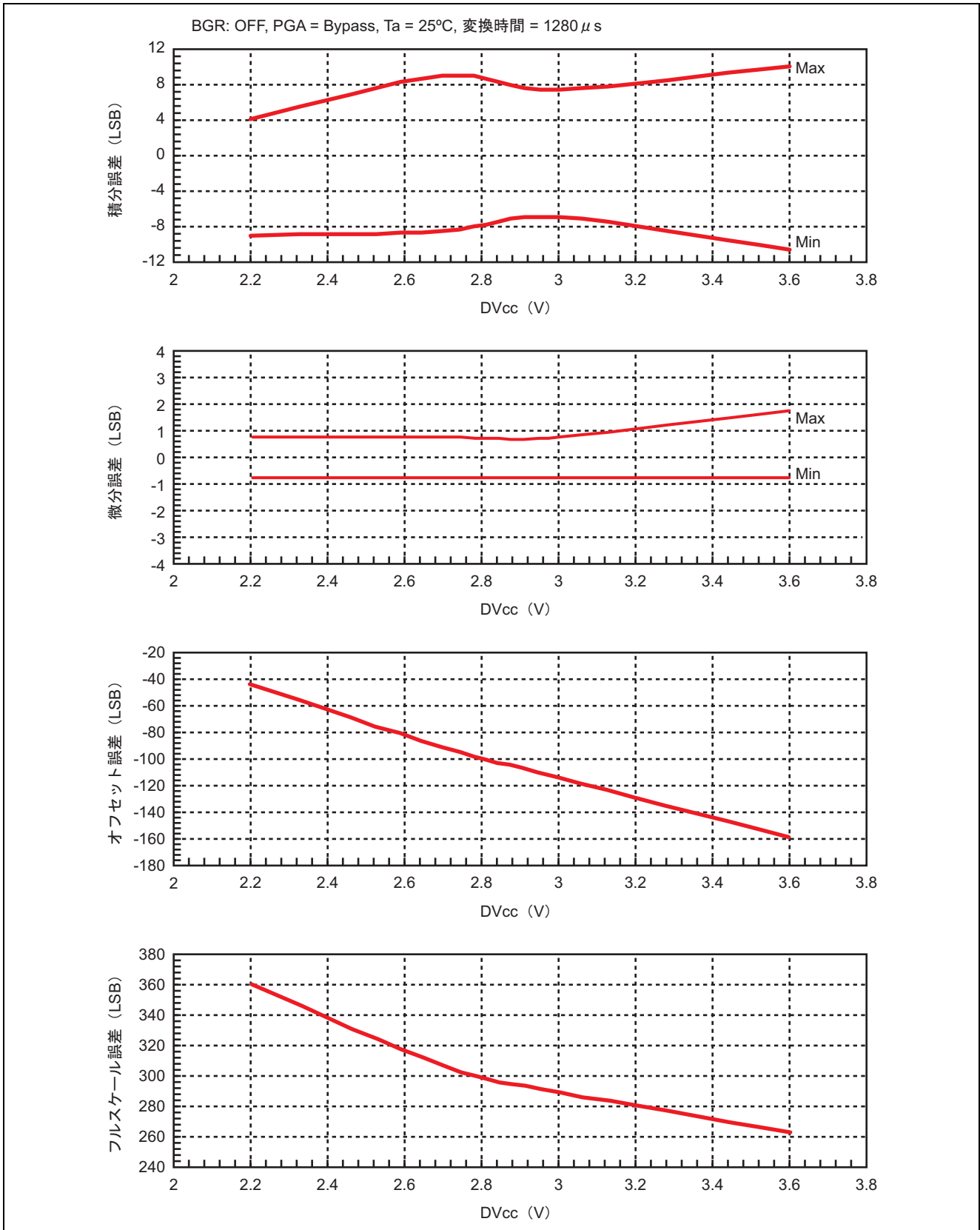


• DVcc 依存性-2

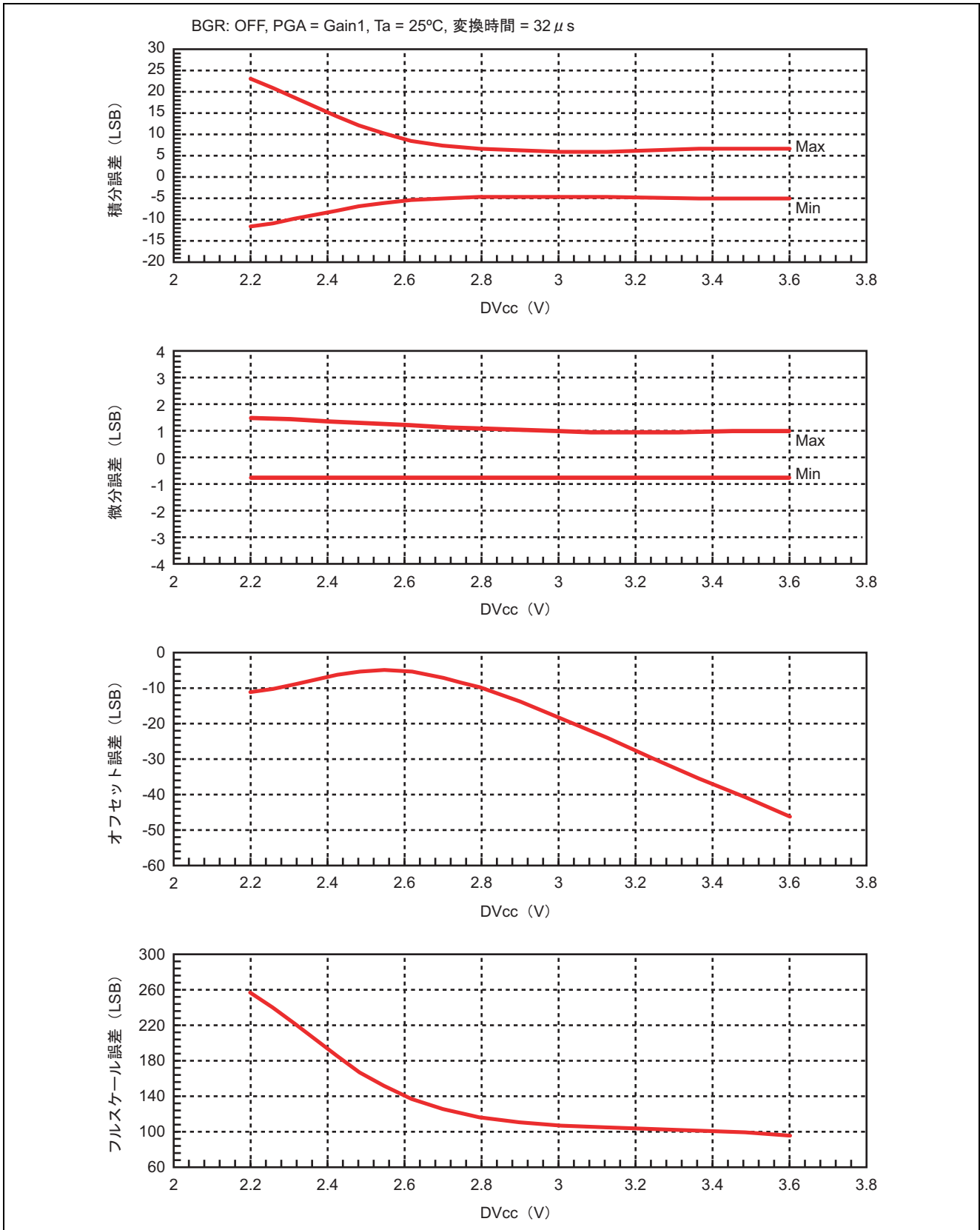




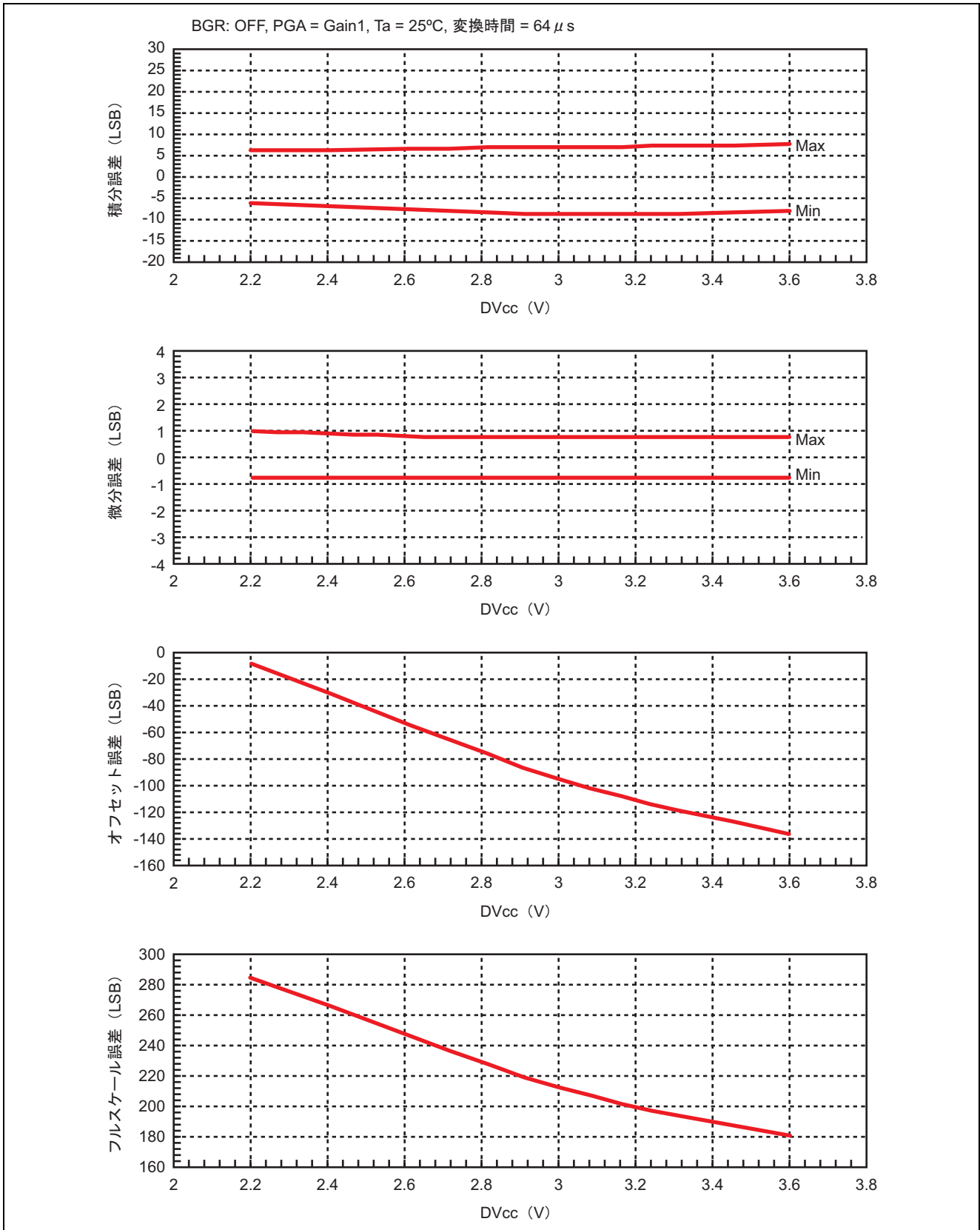
• DVcc 依存性-3



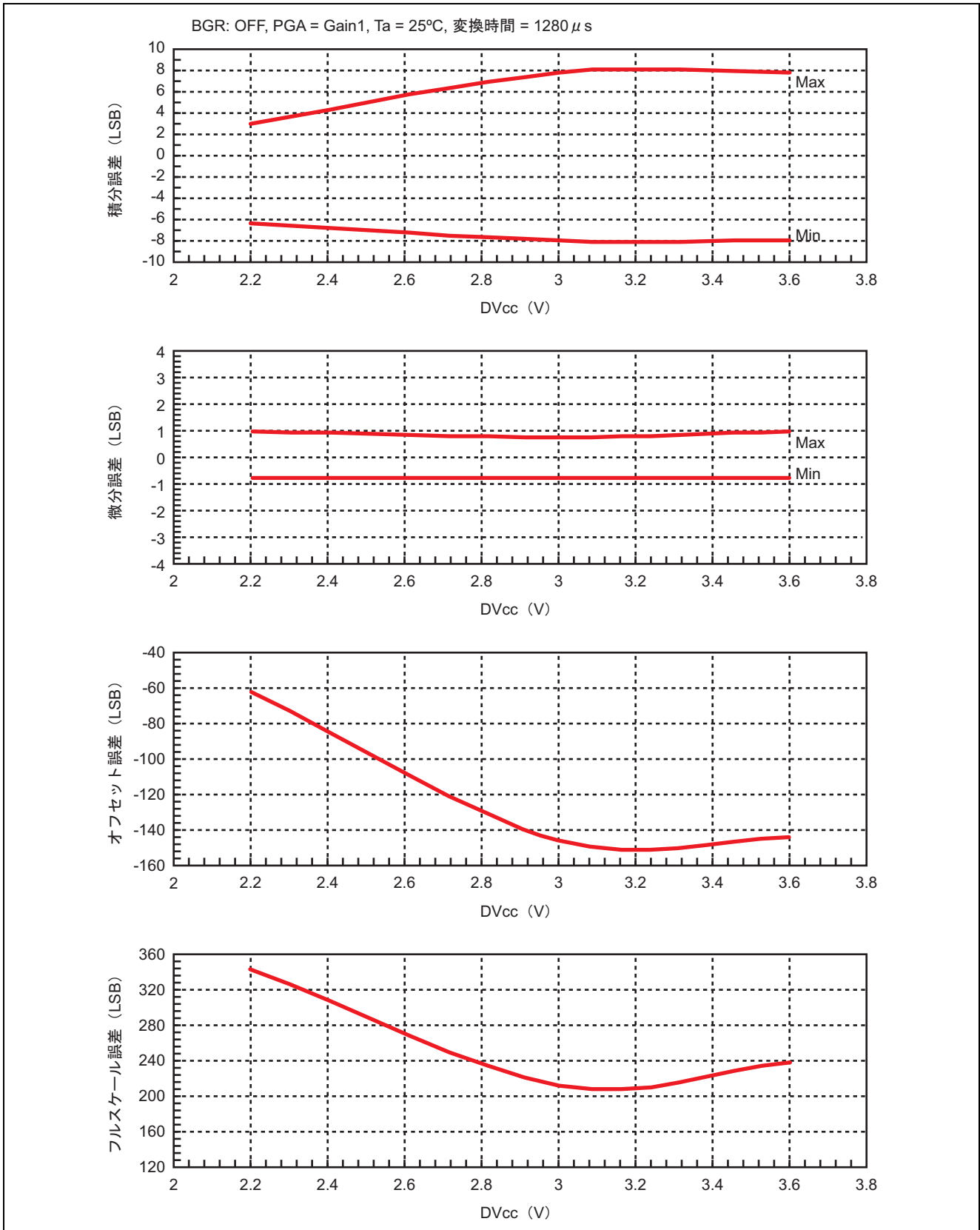
• DVcc 依存性-4



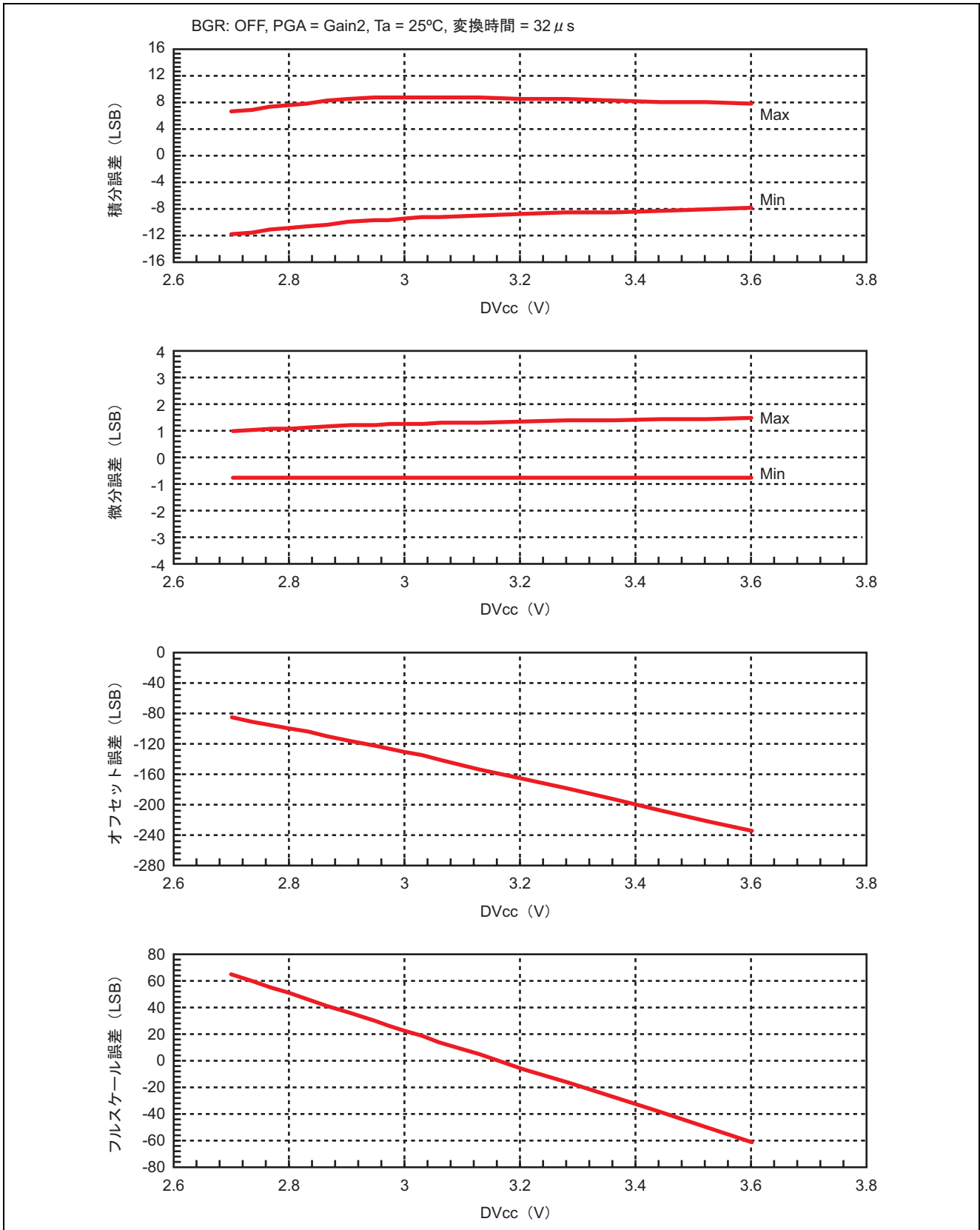
• DVcc 依存性-5



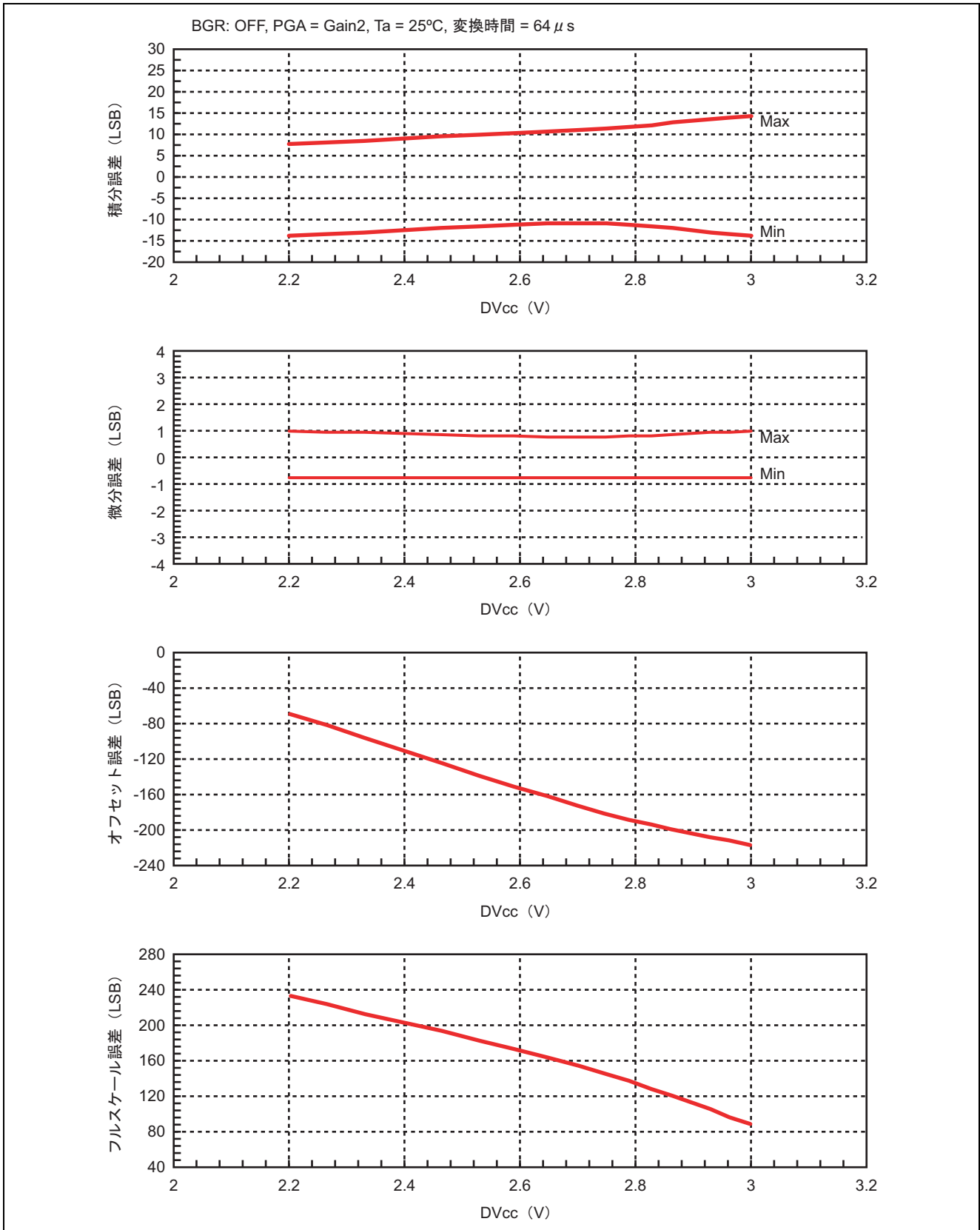
• DVcc 依存性-6



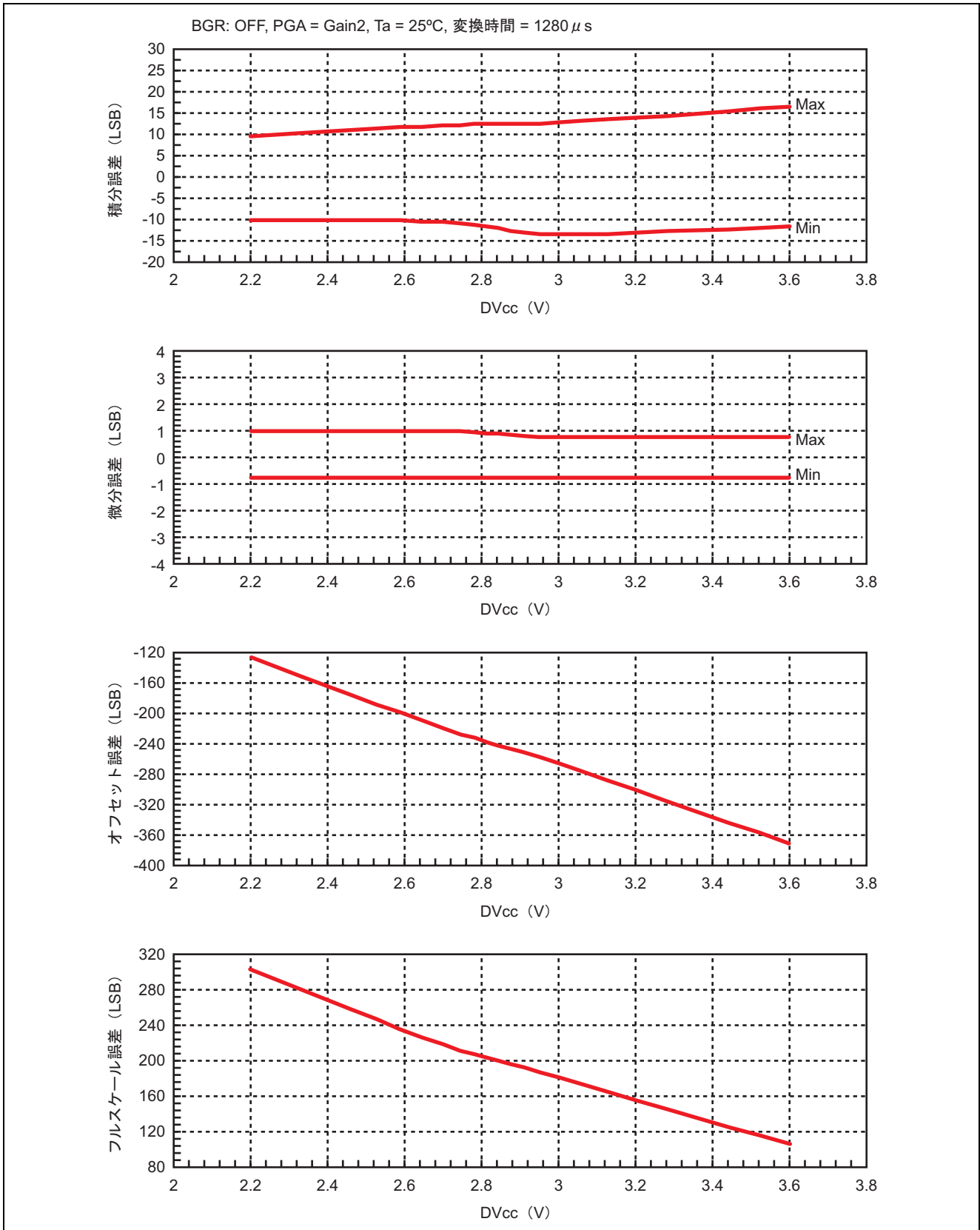
• DVcc 依存性-7



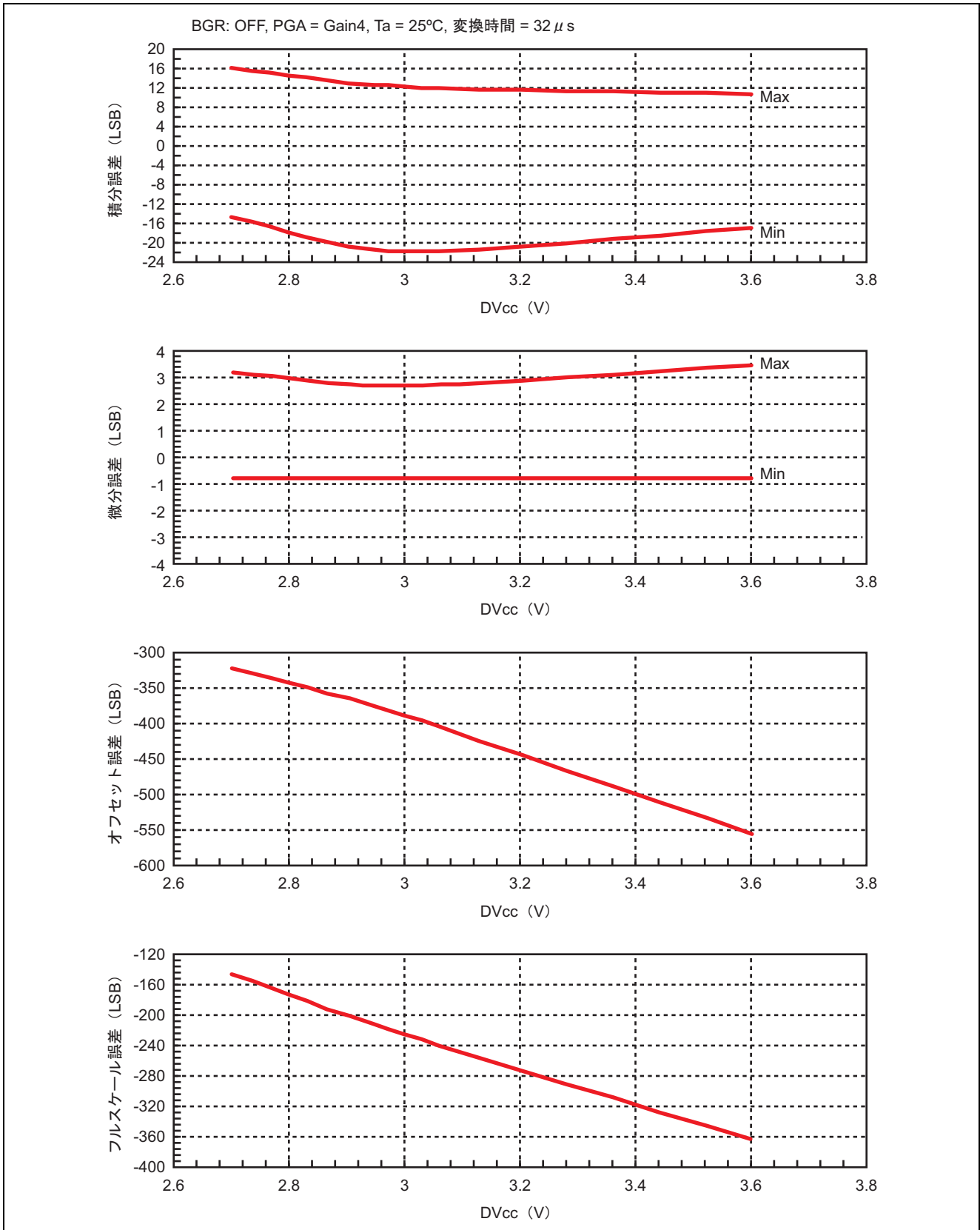
• DVcc 依存性-8



• DVcc 依存性-9

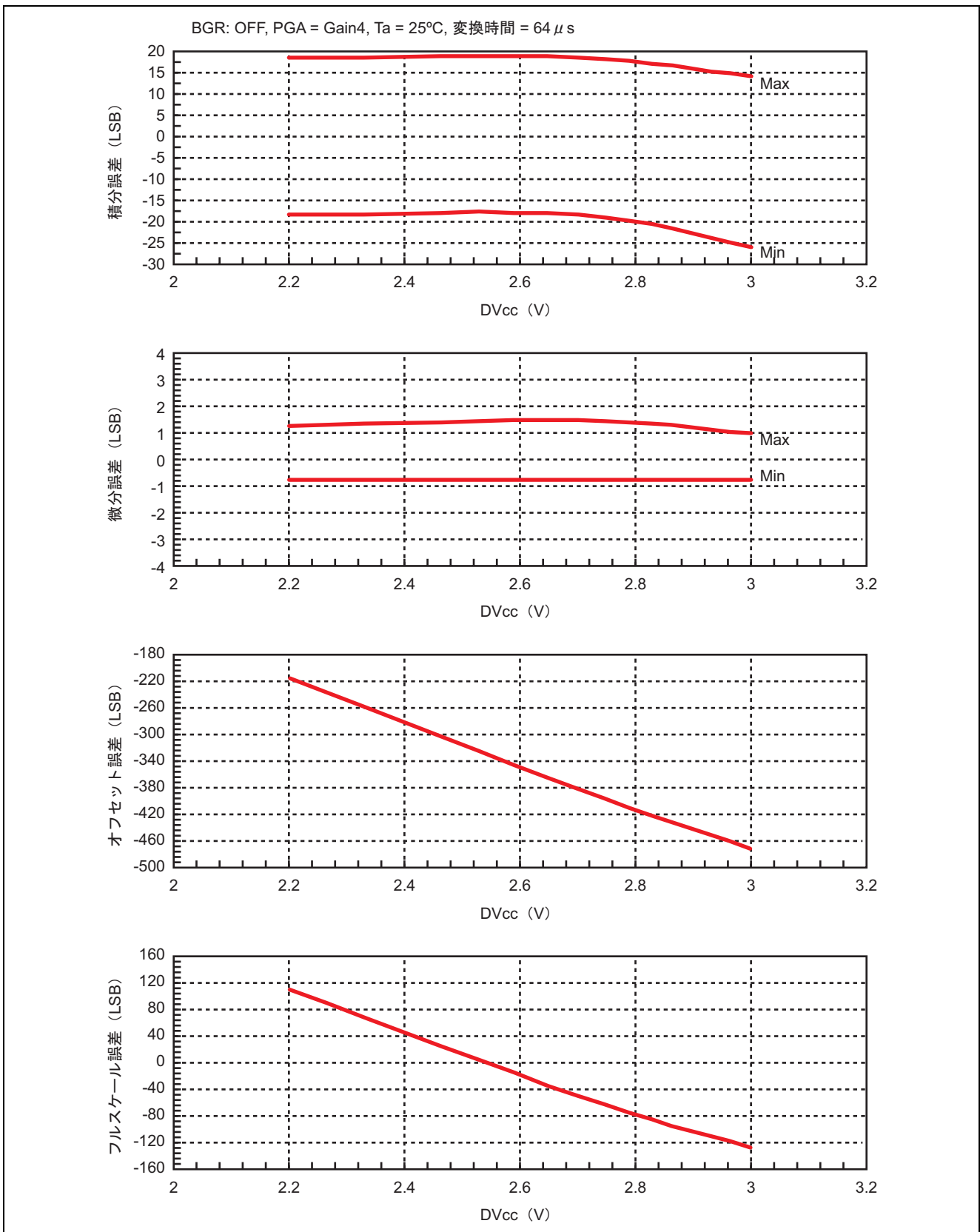


• DVcc 依存性-10

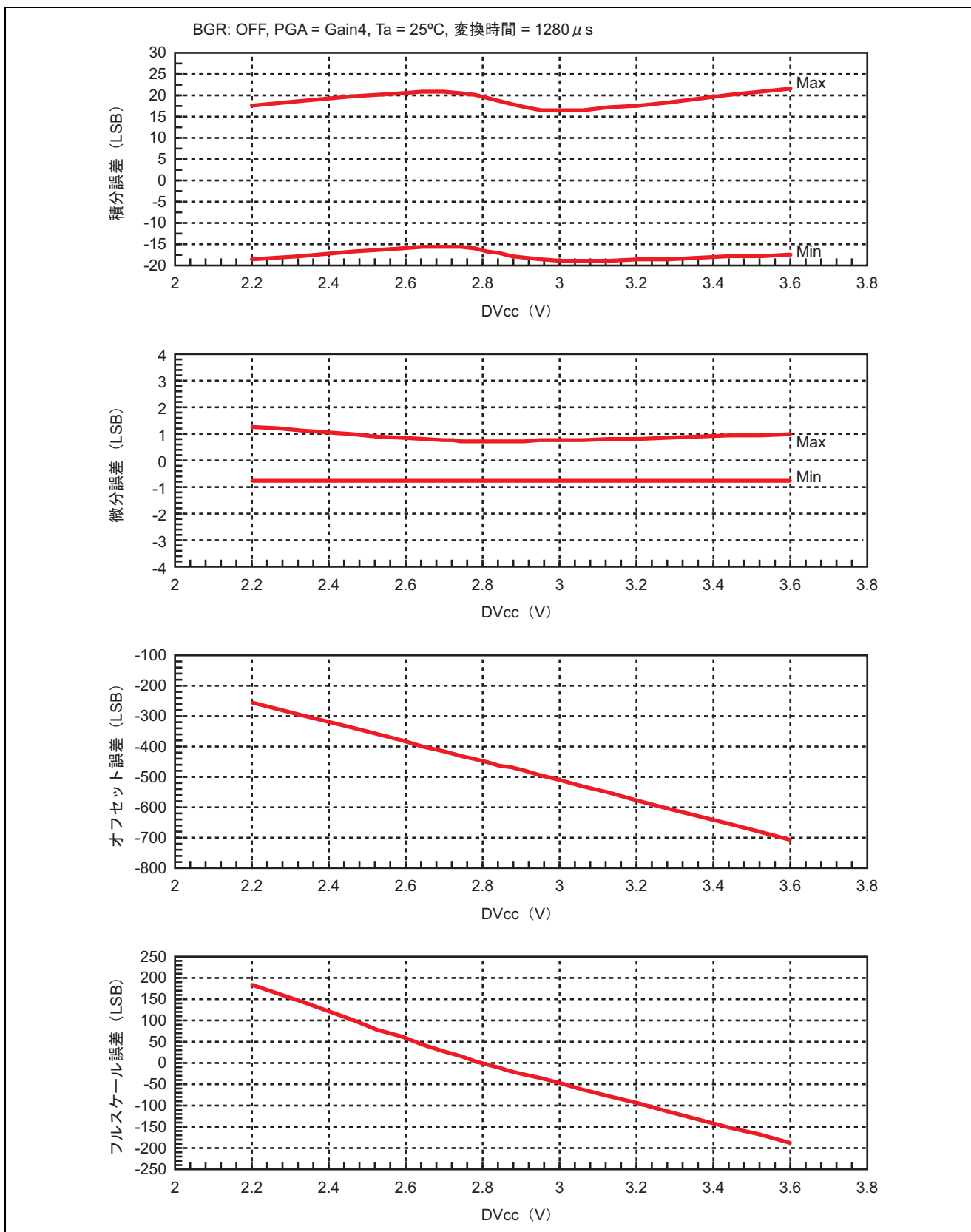




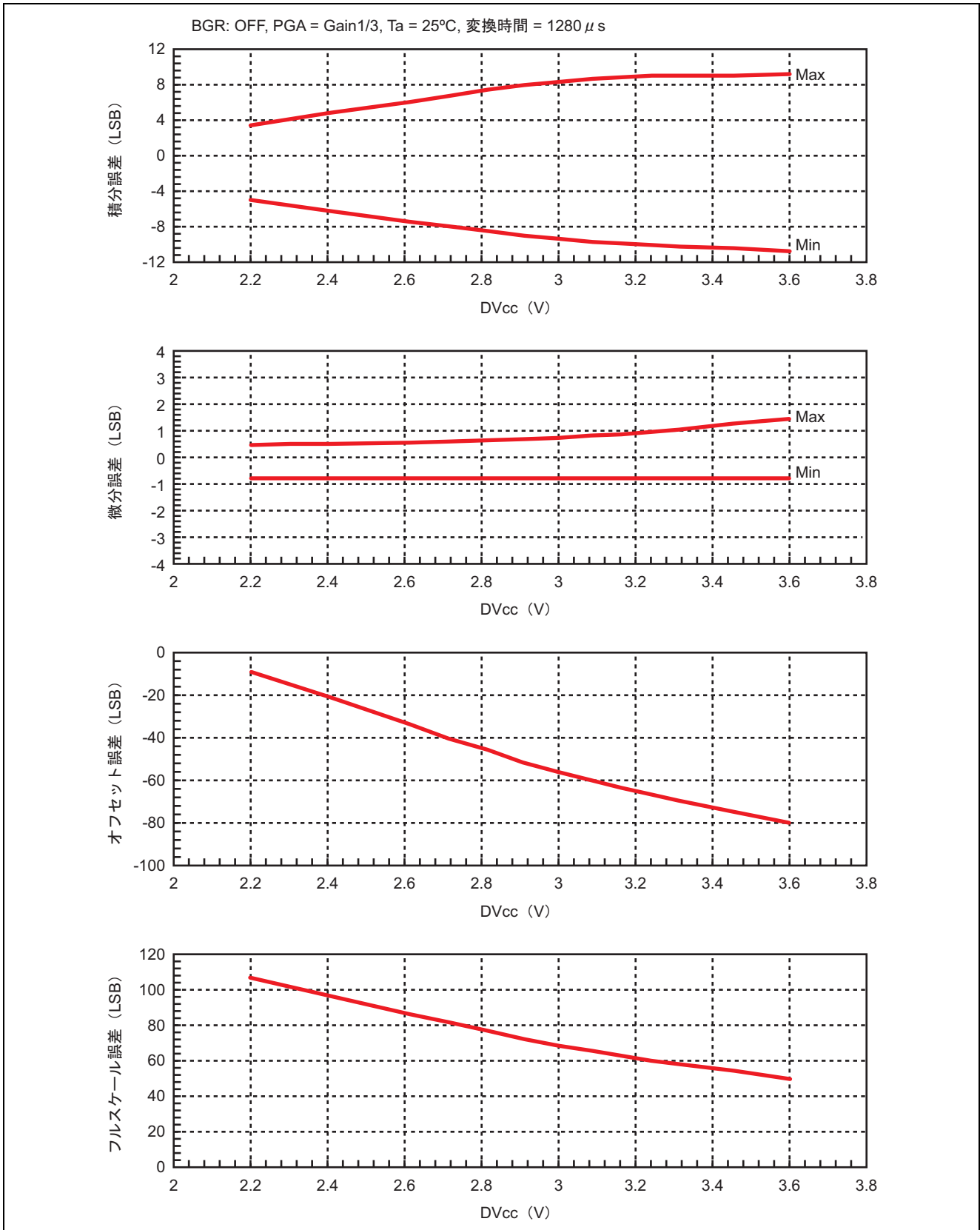
• DVcc 依存性-11



• DVcc 依存性-12

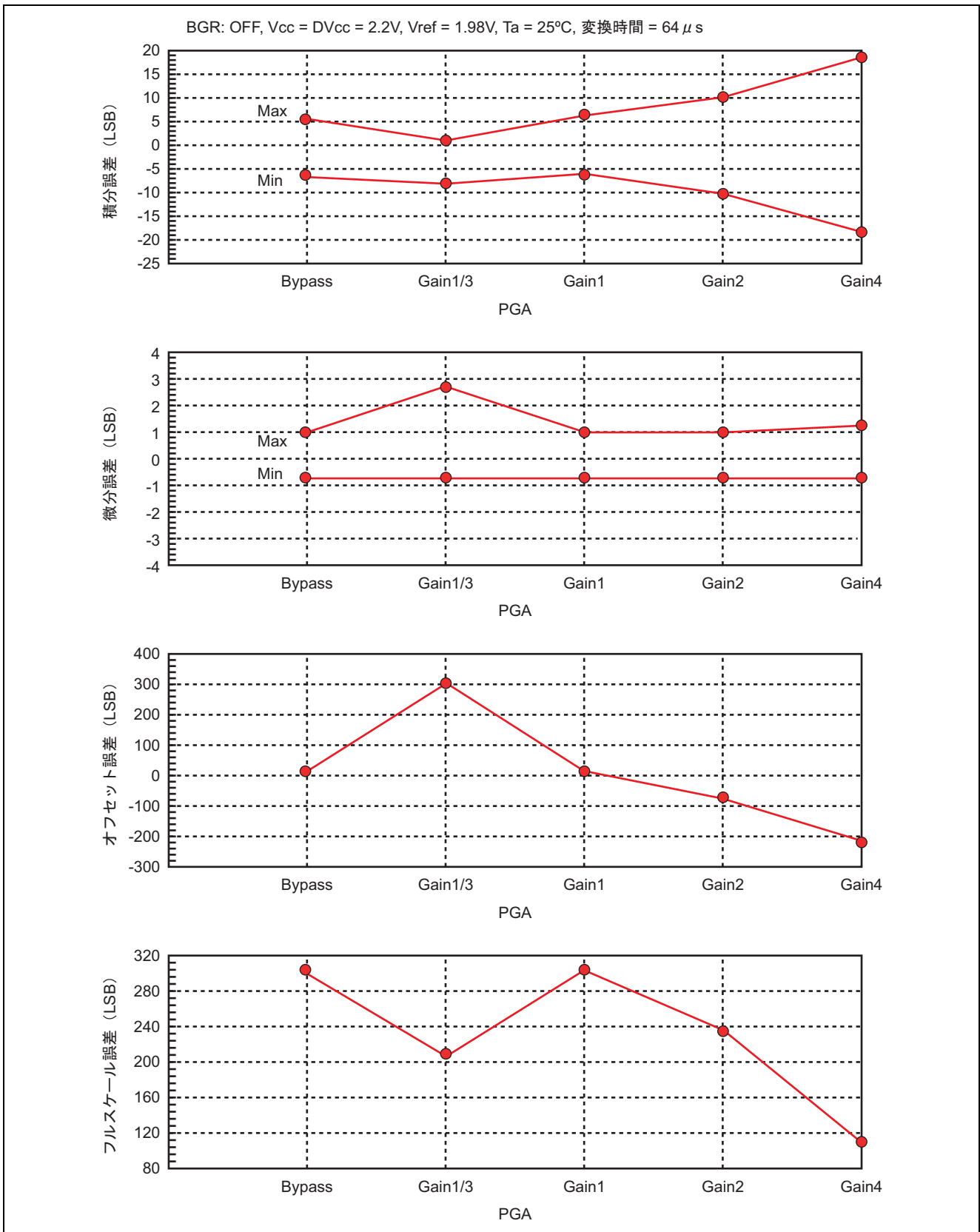


• DVcc 依存性-13

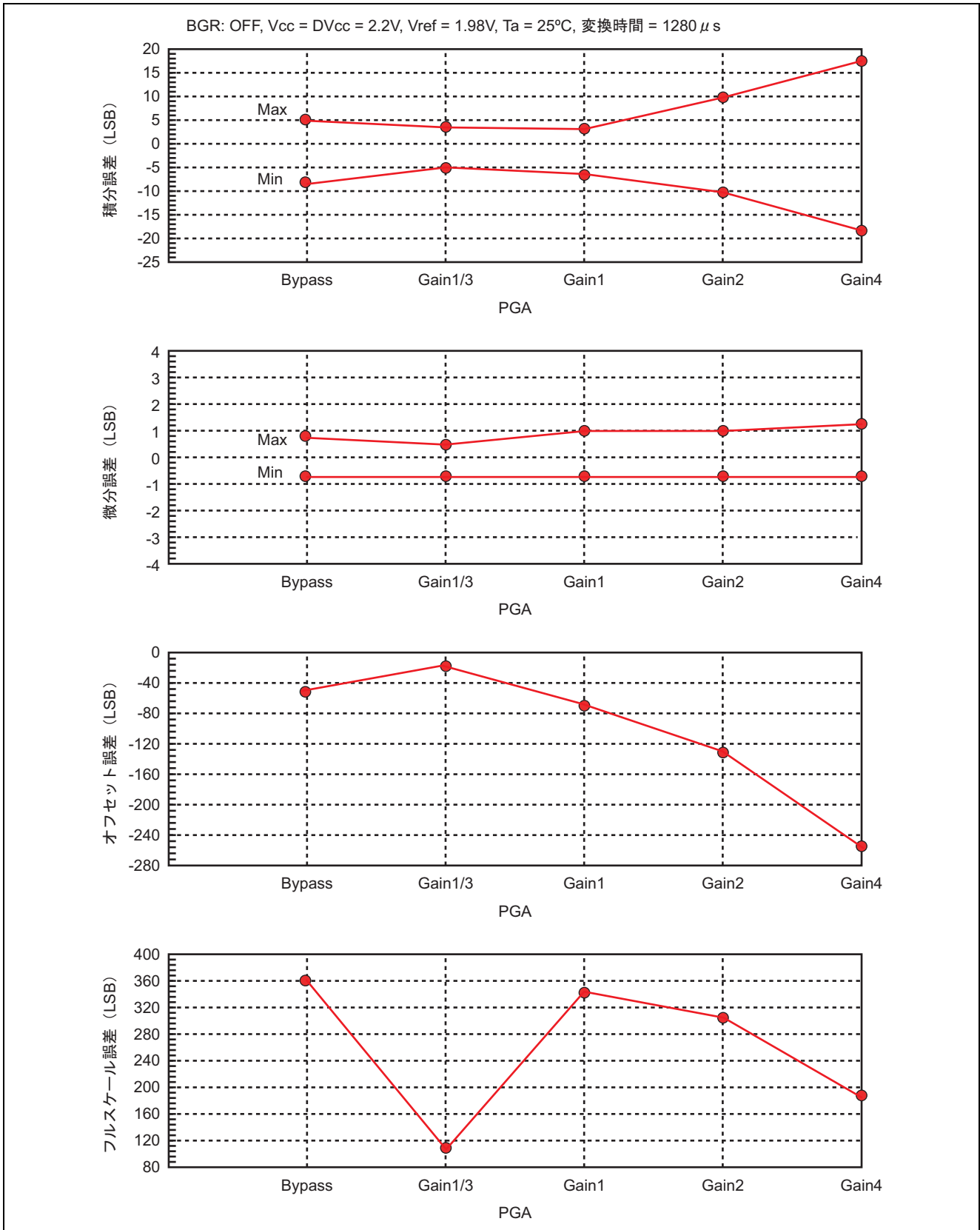


(4) PGA 依存性

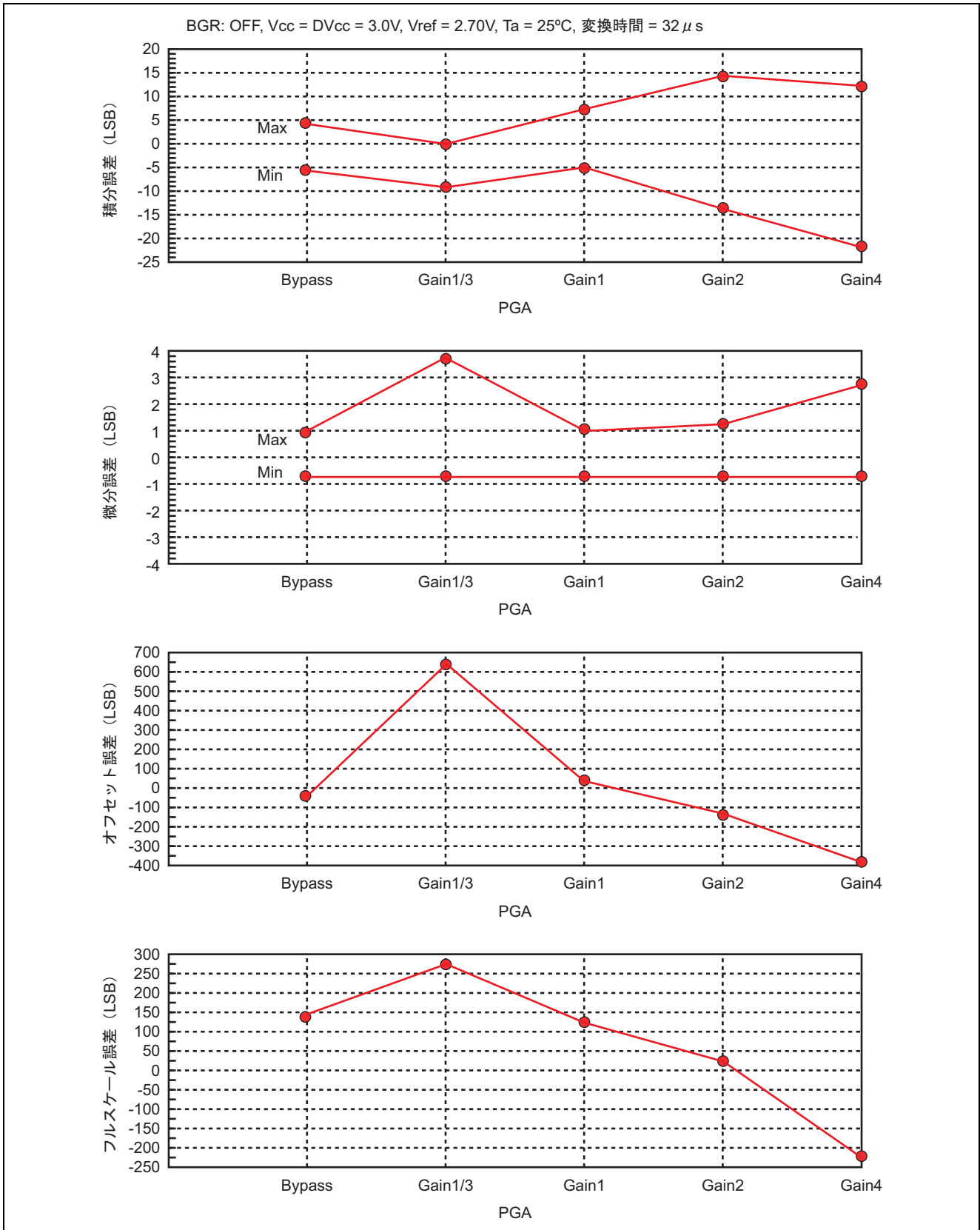
- PGA 依存性-1



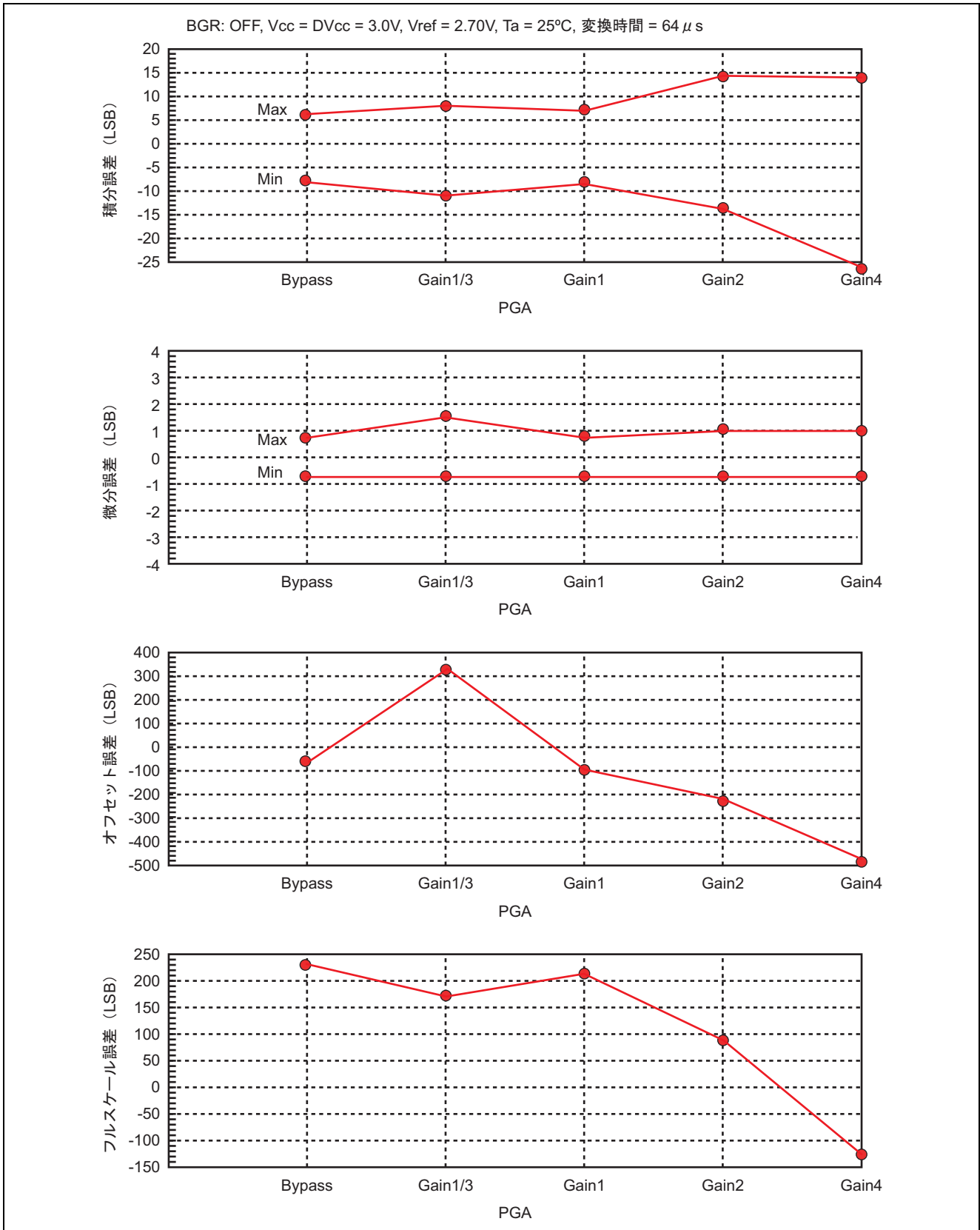
● PGA 依存性-2



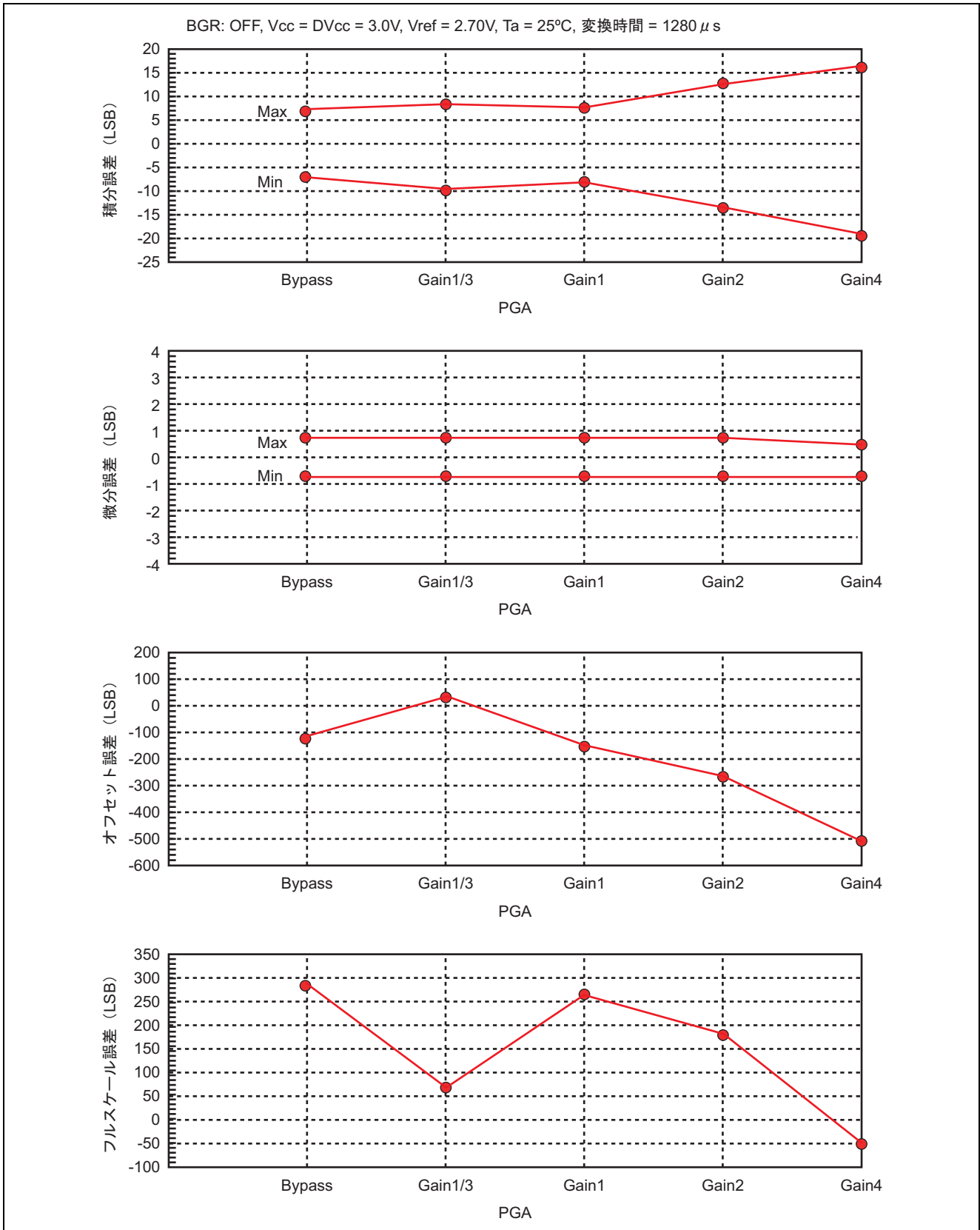
● PGA 依存性-3



● PGA 依存性-4

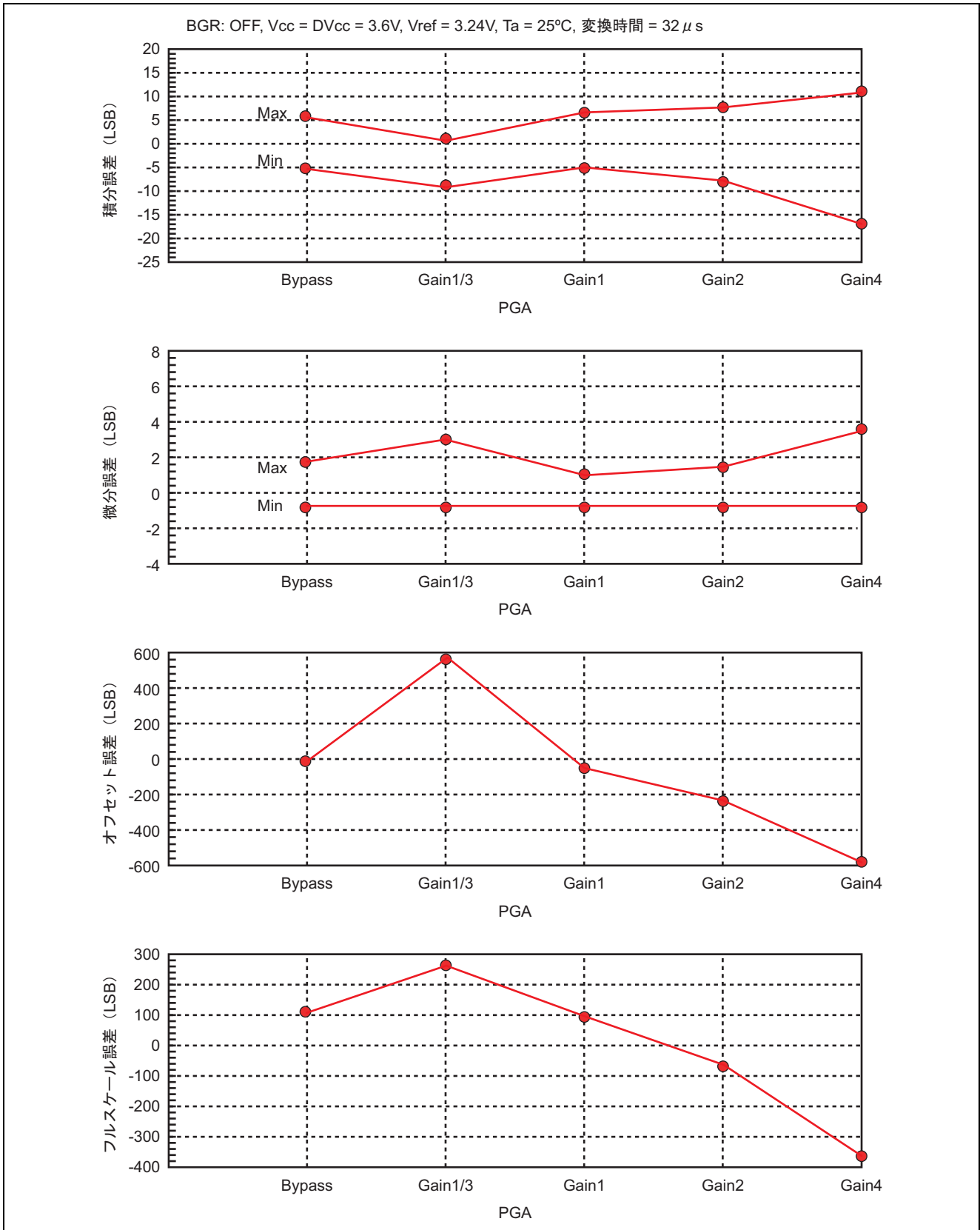


● PGA 依存性-5

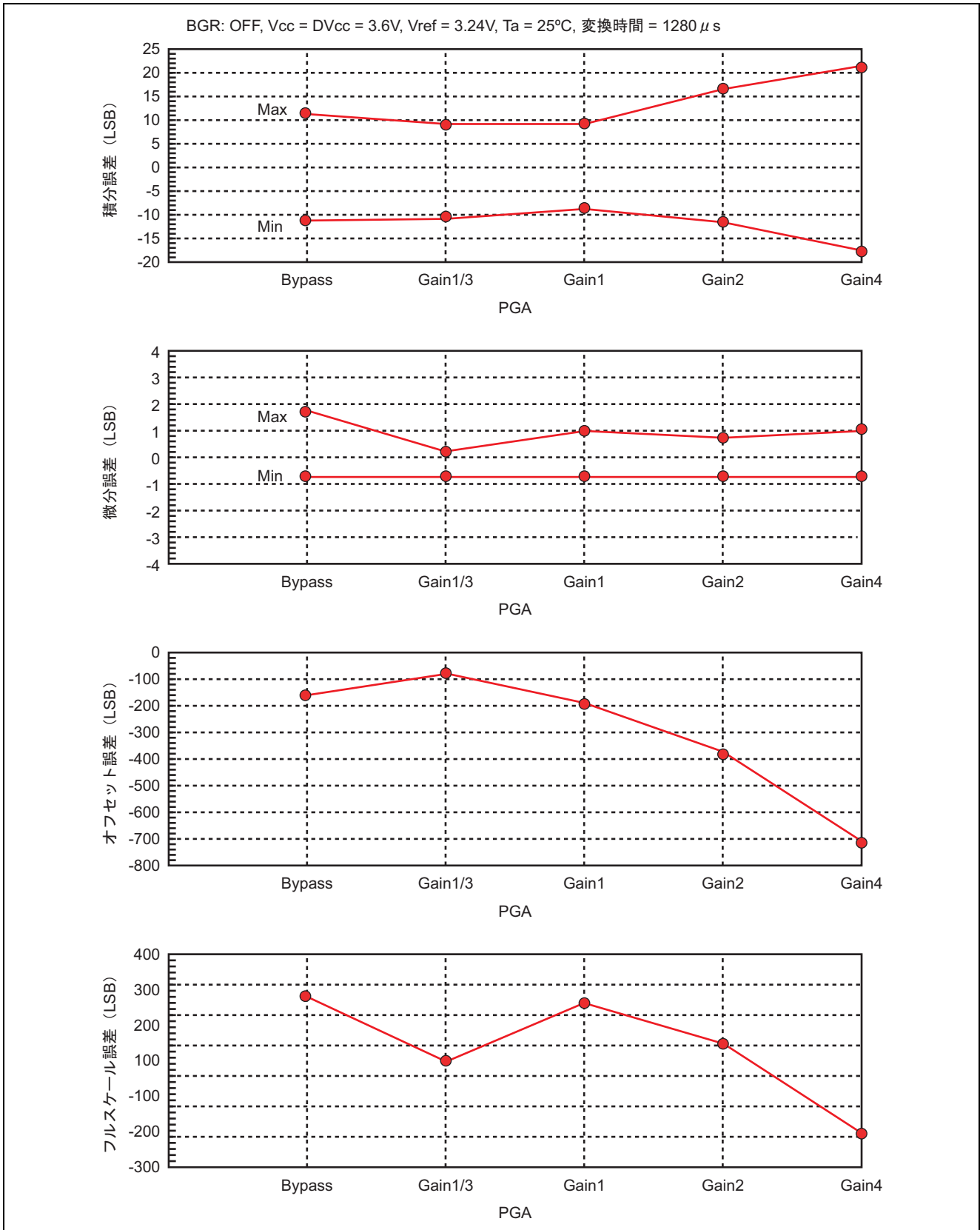




● PGA 依存性-6



● PGA 依存性-7



## 7.1.2 MASK ROM 版

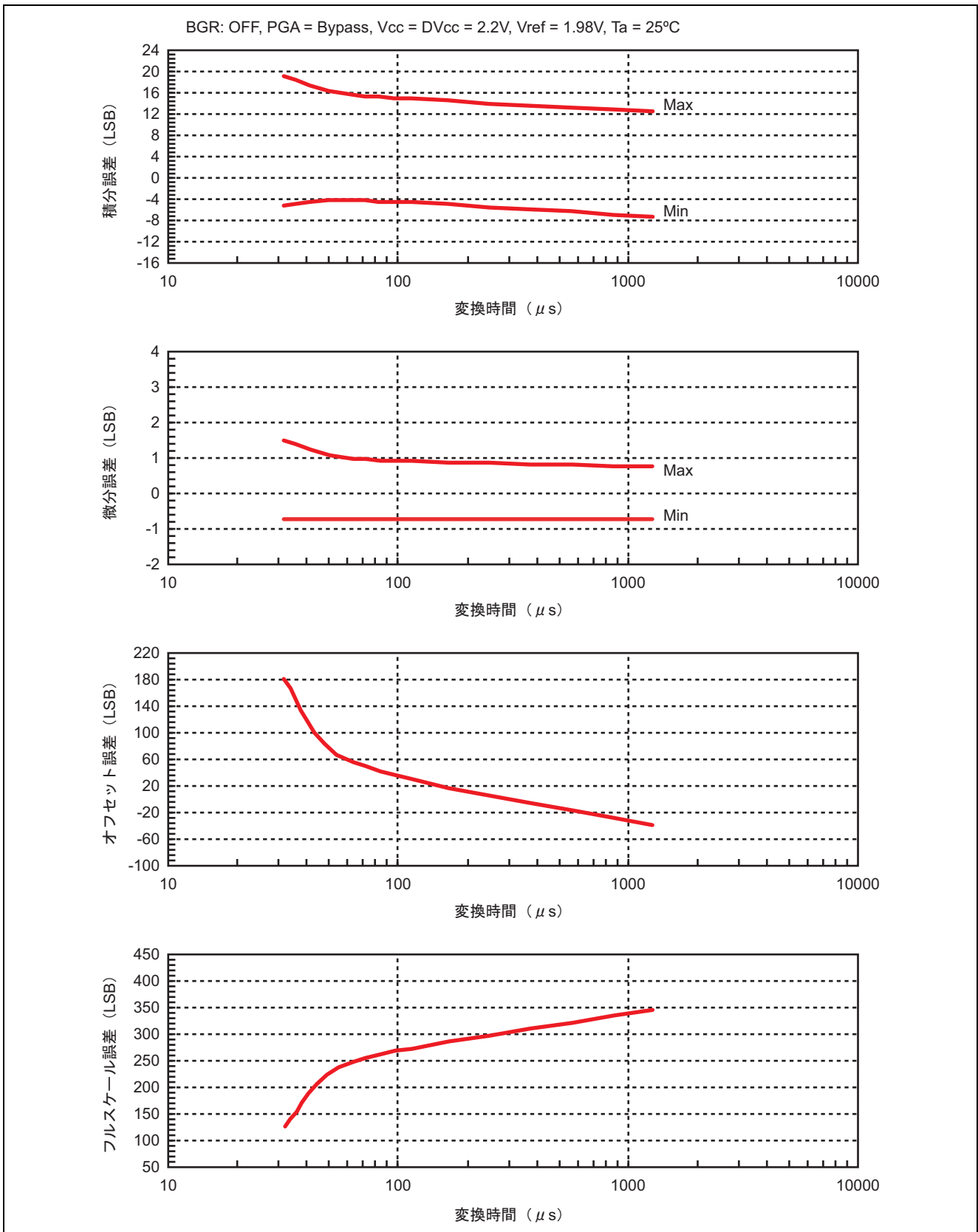
測定データは積分誤差、微分誤差、オフセット誤差、フルスケール誤差の4種類です。

表 7.2 測定値 (MASK ROM 版)

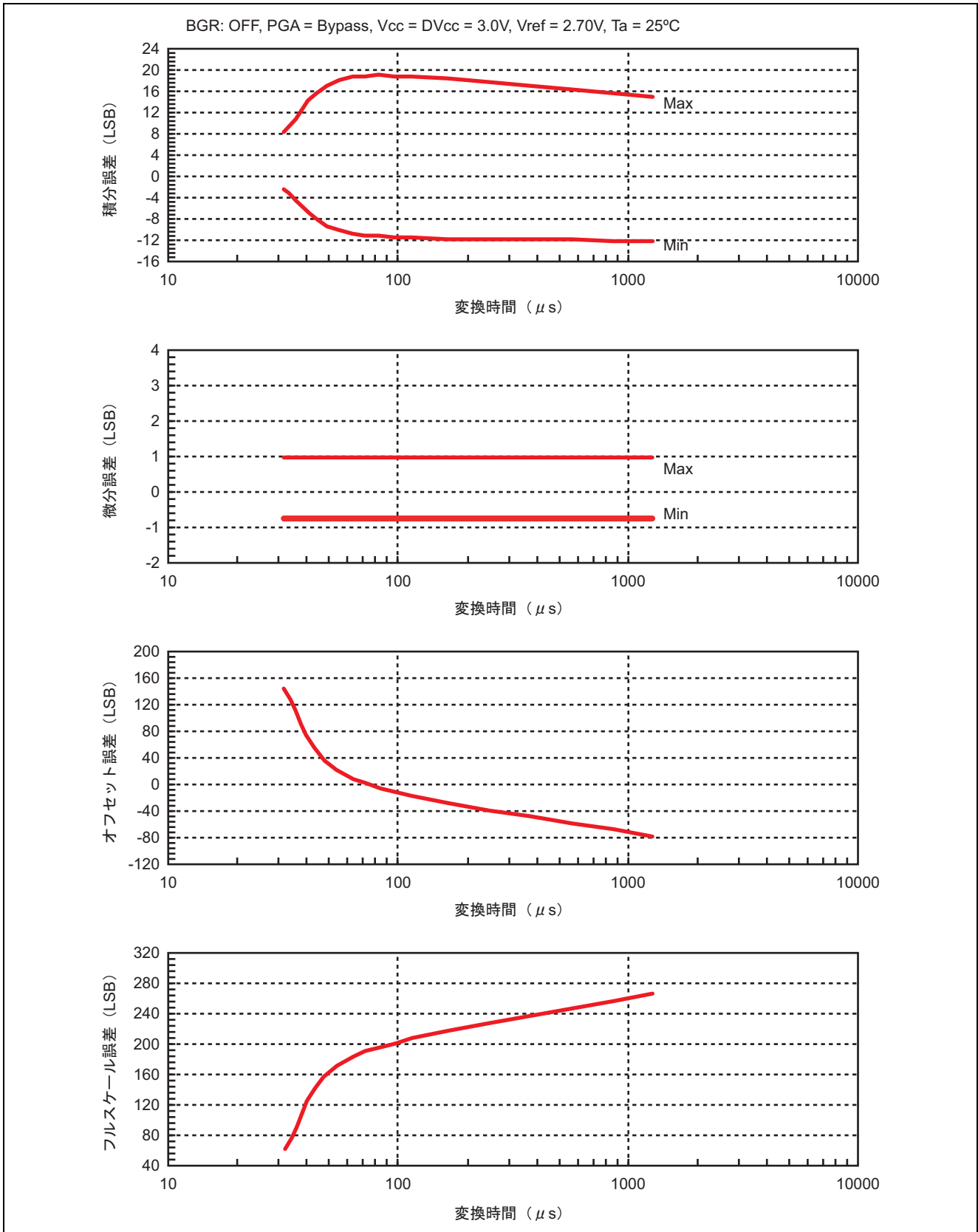
グラフ名称	測定条件						
	BGR	Vcc (V)	DVcc (V)	Vref (V)	Ta (°C)	PGA	変換時間 (μs)
変換時間依存性-1	OFF	2.2	2.2	1.98	25	Bypass	—
変換時間依存性-2	OFF	3.0	3.0	2.70	25	Bypass	—
変換時間依存性-3	OFF	2.2	2.2	1.98	25	1	—
変換時間依存性-4	OFF	3.0	3.0	2.70	25	1	—
変換時間依存性-5	OFF	3.6	3.6	3.24	25	1	—
変換時間依存性-6	OFF	2.2	2.2	1.98	25	2	—
変換時間依存性-7	OFF	3.0	3.0	2.70	25	2	—
変換時間依存性-8	OFF	2.2	2.2	1.98	25	4	—
変換時間依存性-9	OFF	3.0	3.0	2.70	25	4	—
変換時間依存性-10	OFF	2.2	2.2	1.98	25	1/3	—
変換時間依存性-11	OFF	3.0	3.0	2.70	25	1/3	—
変換時間依存性-12	ON	2.2	2.2	—	25	Bypass	—
変換時間依存性-13	ON	3.0	3.0	—	25	Bypass	—
変換時間依存性-14	ON	2.2	2.2	—	25	1	—
変換時間依存性-15	ON	3.0	3.0	—	25	1	—
変換時間依存性-16	ON	2.2	2.2	—	25	1/3	—
変換時間依存性-17	ON	3.0	3.0	—	25	1/3	—
温度依存性-1	OFF	2.2	2.2	—	—	Bypass	64
温度依存性-2	OFF	3.0	3.0	—	—	Bypass	32
温度依存性-3	OFF	3.0	3.0	—	—	Bypass	64
温度依存性-4	OFF	2.2	2.2	—	—	1	64
温度依存性-5	OFF	3.0	3.0	—	—	1	32
温度依存性-6	OFF	3.0	3.0	—	—	1	64
温度依存性-7	OFF	3.0	3.0	—	—	2	32
温度依存性-8	OFF	3.0	3.0	—	—	2	64
温度依存性-9	OFF	3.0	3.0	—	—	4	32
温度依存性-10	OFF	3.0	3.0	—	—	4	64
温度依存性-11	OFF	3.0	3.0	—	—	1/3	32
温度依存性-12	OFF	3.0	3.0	—	—	1/3	64
DVcc 依存性-1	OFF	—	—	—	25	Bypass	64
DVcc 依存性-2	OFF	—	—	—	25	1	64
DVcc 依存性-3	OFF	—	—	—	25	2	64
DVcc 依存性-4	OFF	—	—	—	25	4	64
DVcc 依存性-5	OFF	—	—	—	25	1/3	64
DVcc 依存性-6	ON	—	—	—	25	Bypass	64
DVcc 依存性-7	ON	—	—	—	25	1	64
DVcc 依存性-8	ON	—	—	—	25	1/3	64
PGA 依存性-1	OFF	2.2	2.2	1.98	25	—	64
PGA 依存性-2	OFF	3.0	3.0	1.98	25	—	32

(1) 変換時間依存性

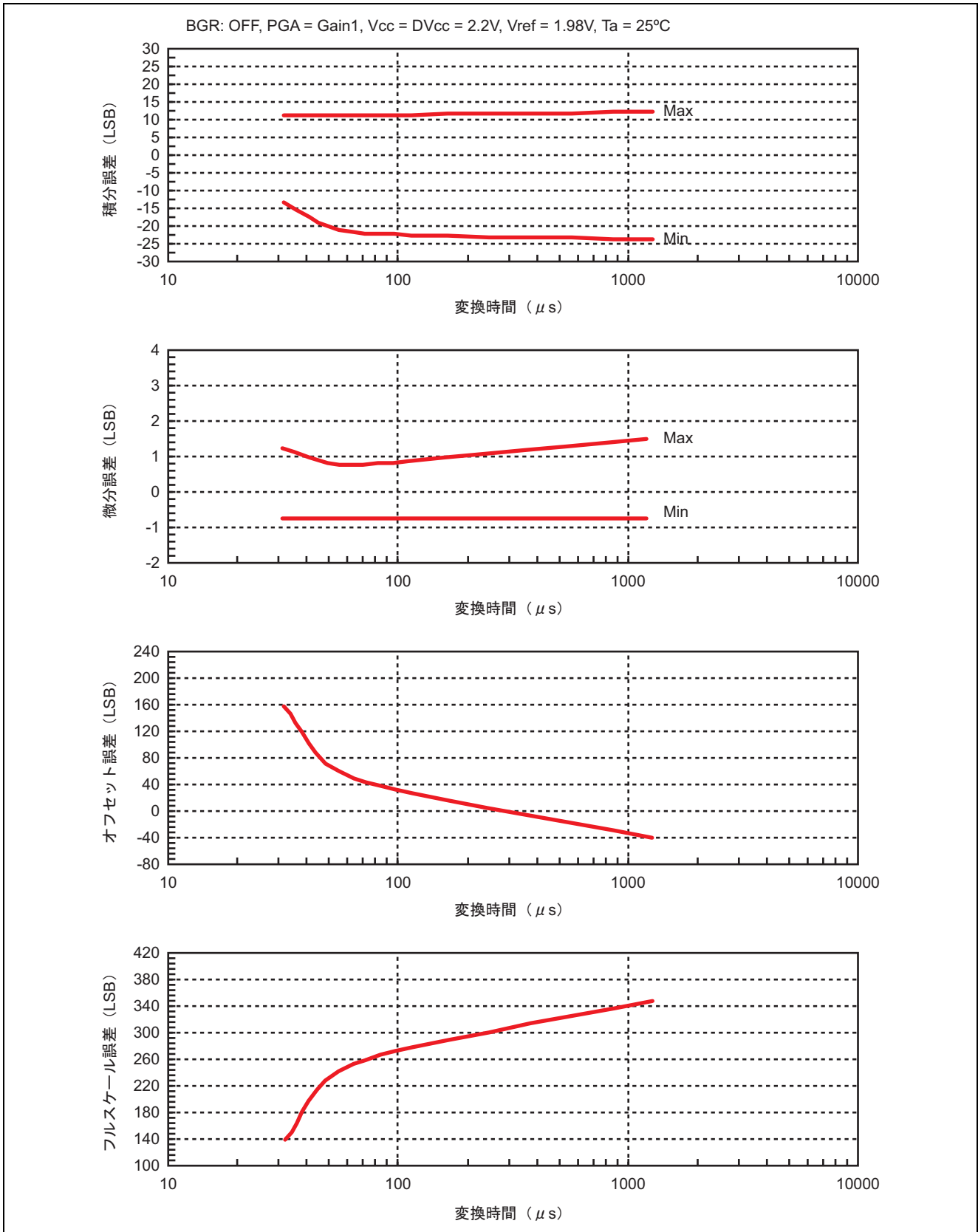
- 変換時間依存性-1



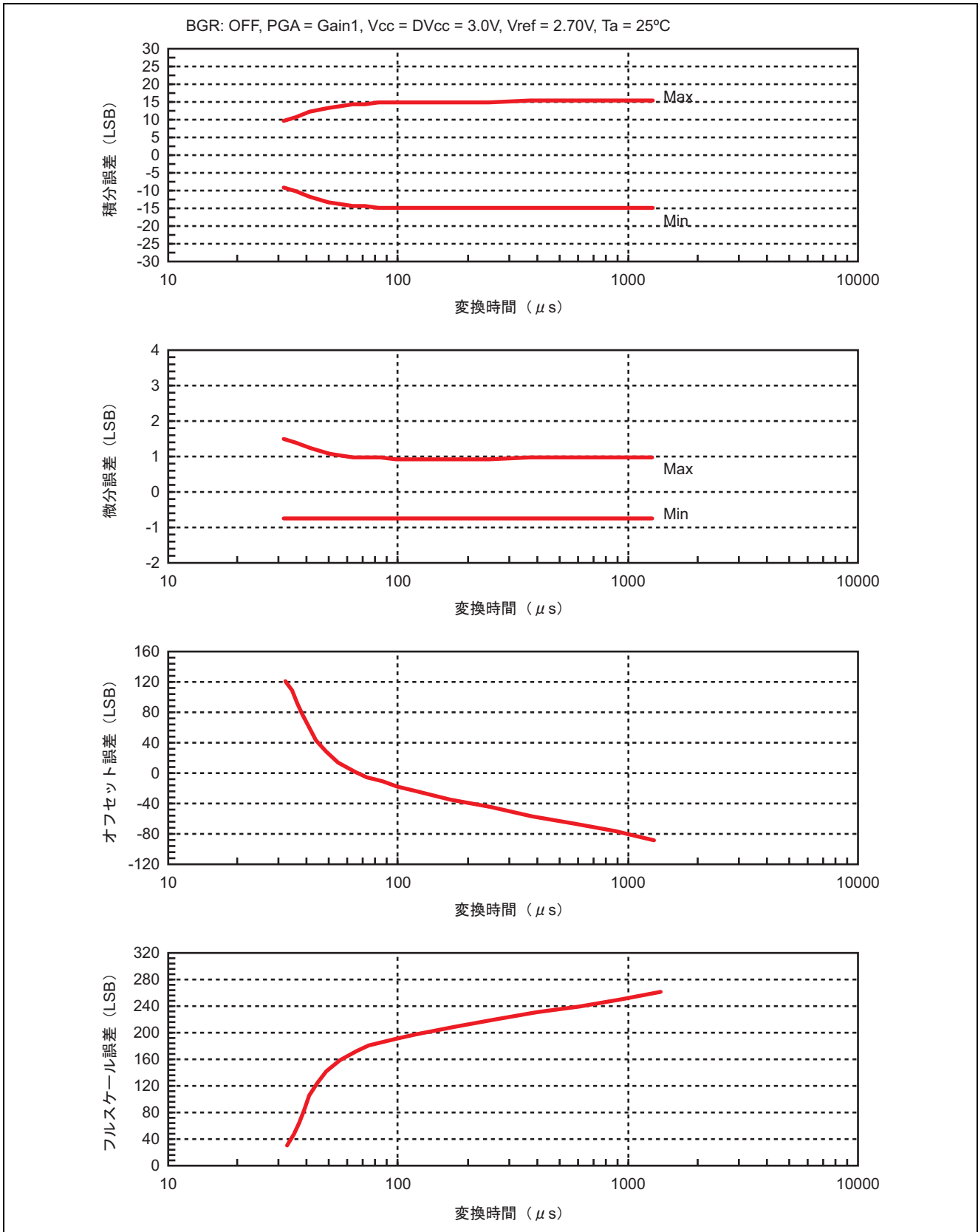
● 変換時間依存性-2



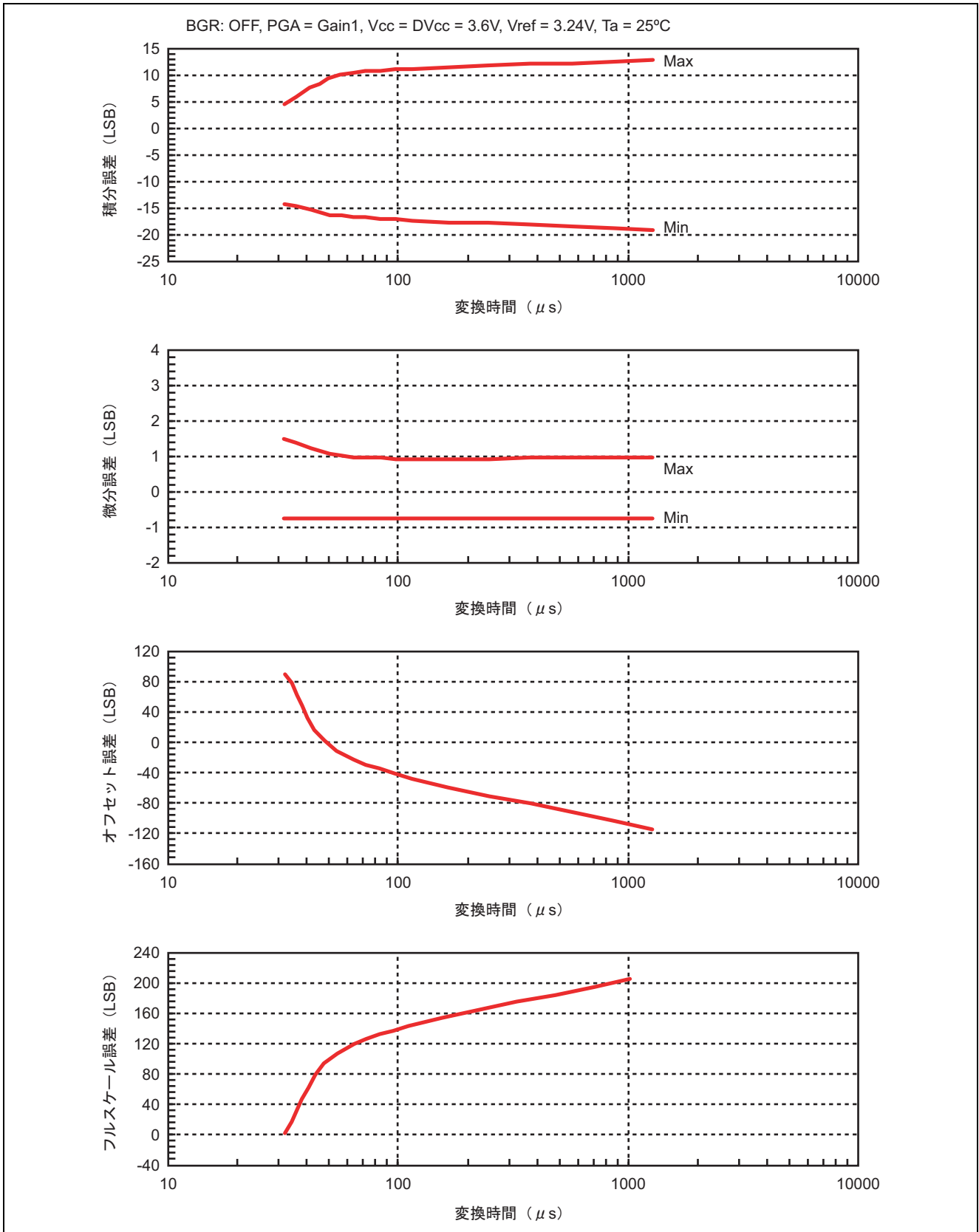
● 変換時間依存性-3



● 変換時間依存性-4

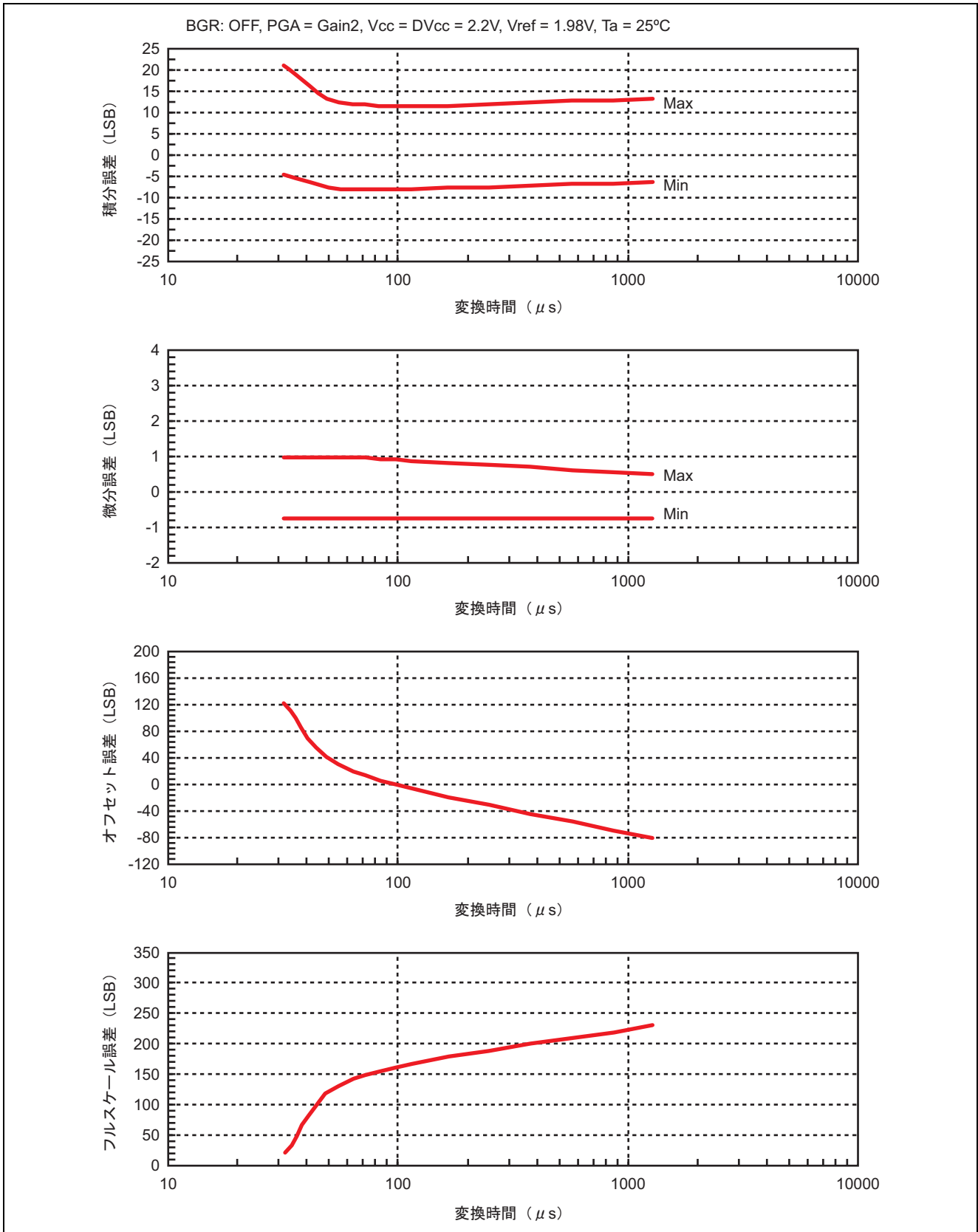


● 変換時間依存性-5

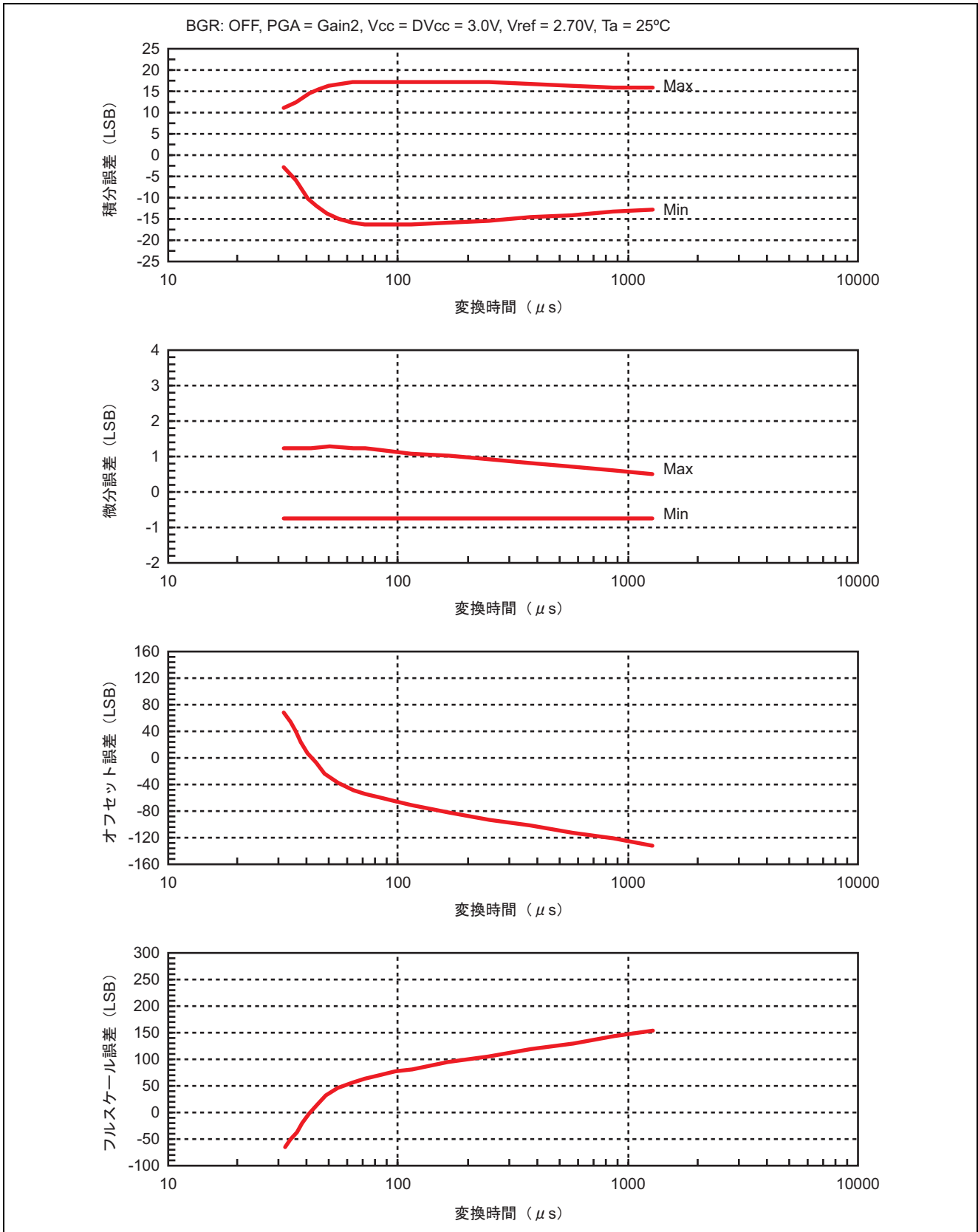




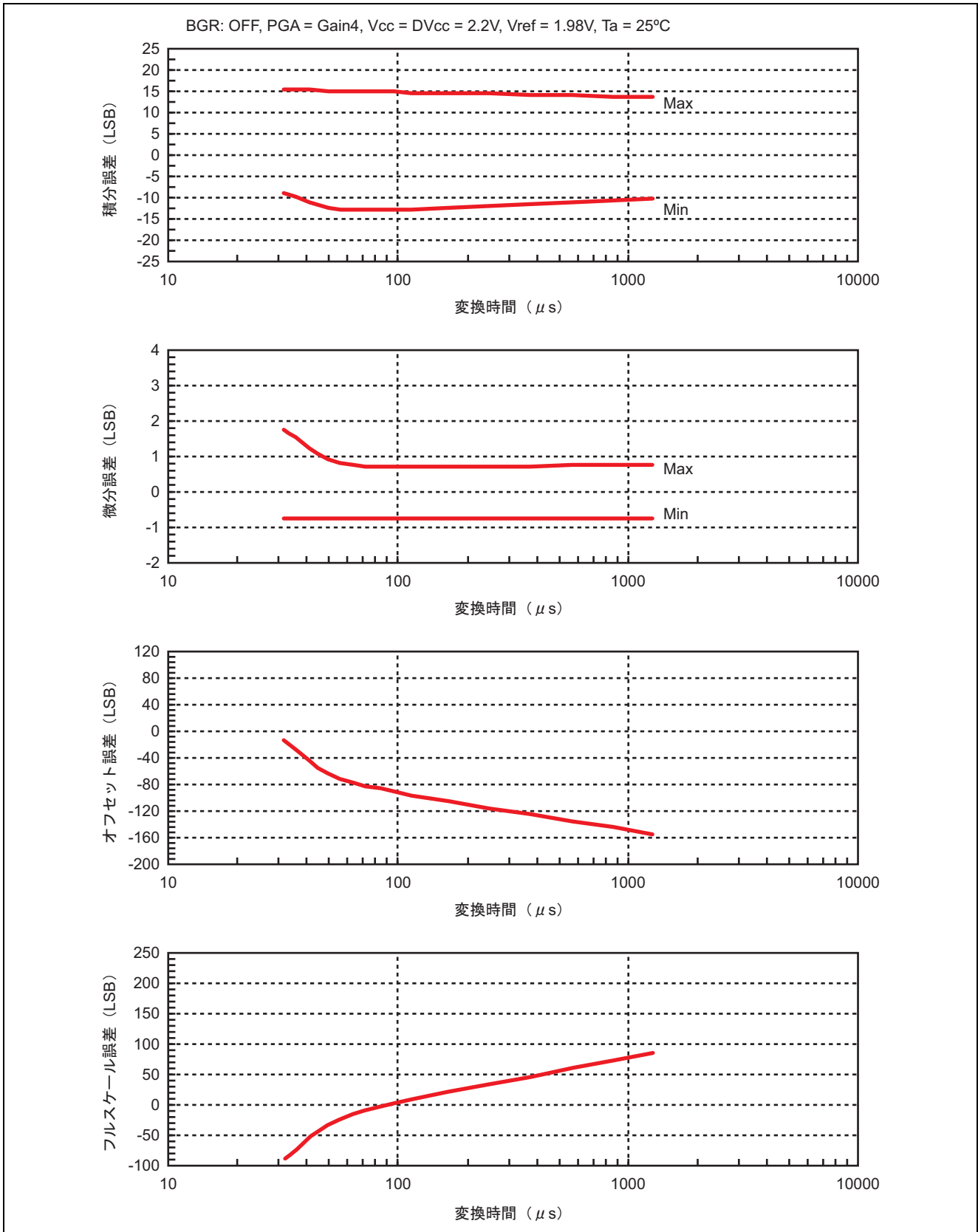
● 変換時間依存性-6



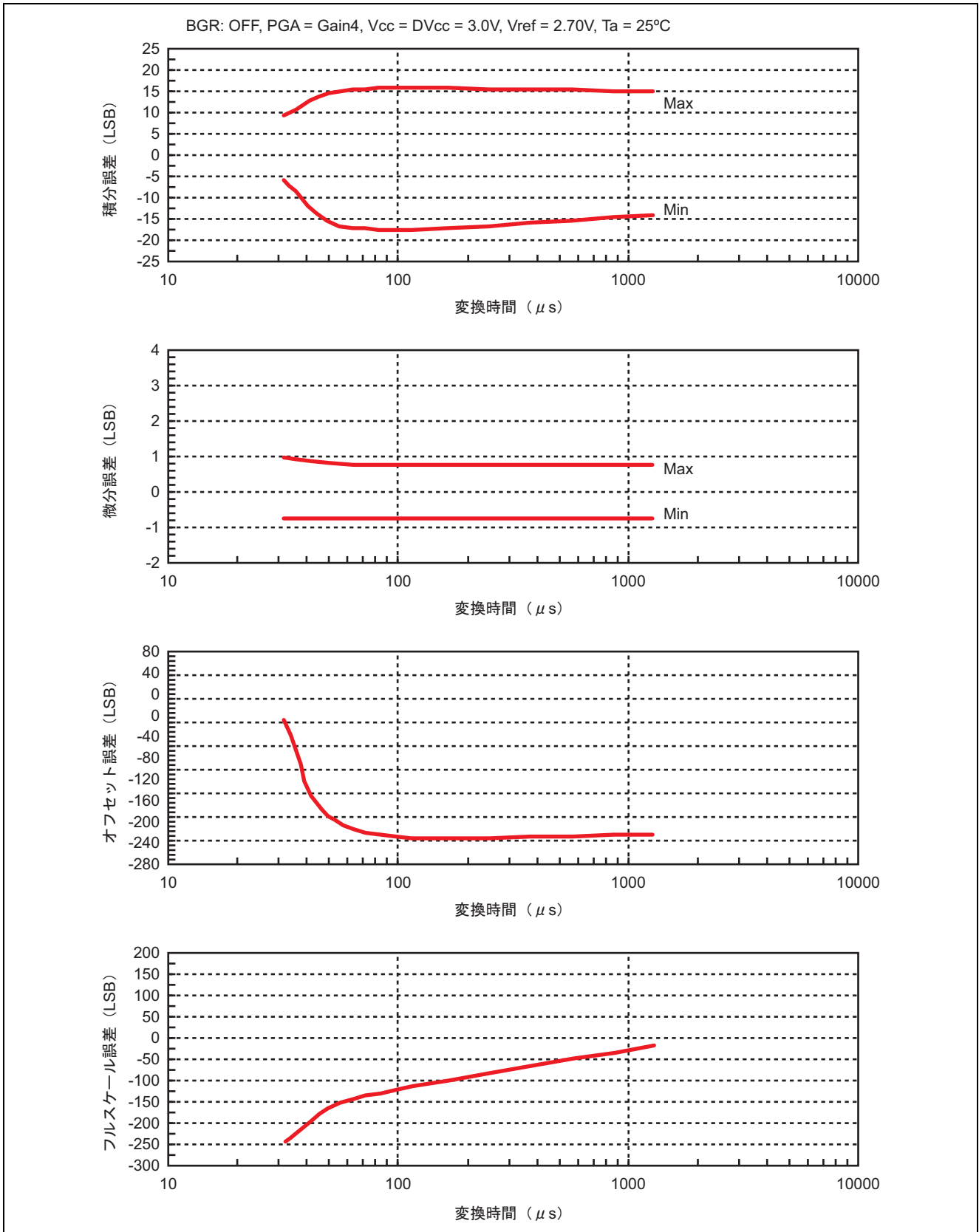
● 変換時間依存性-7



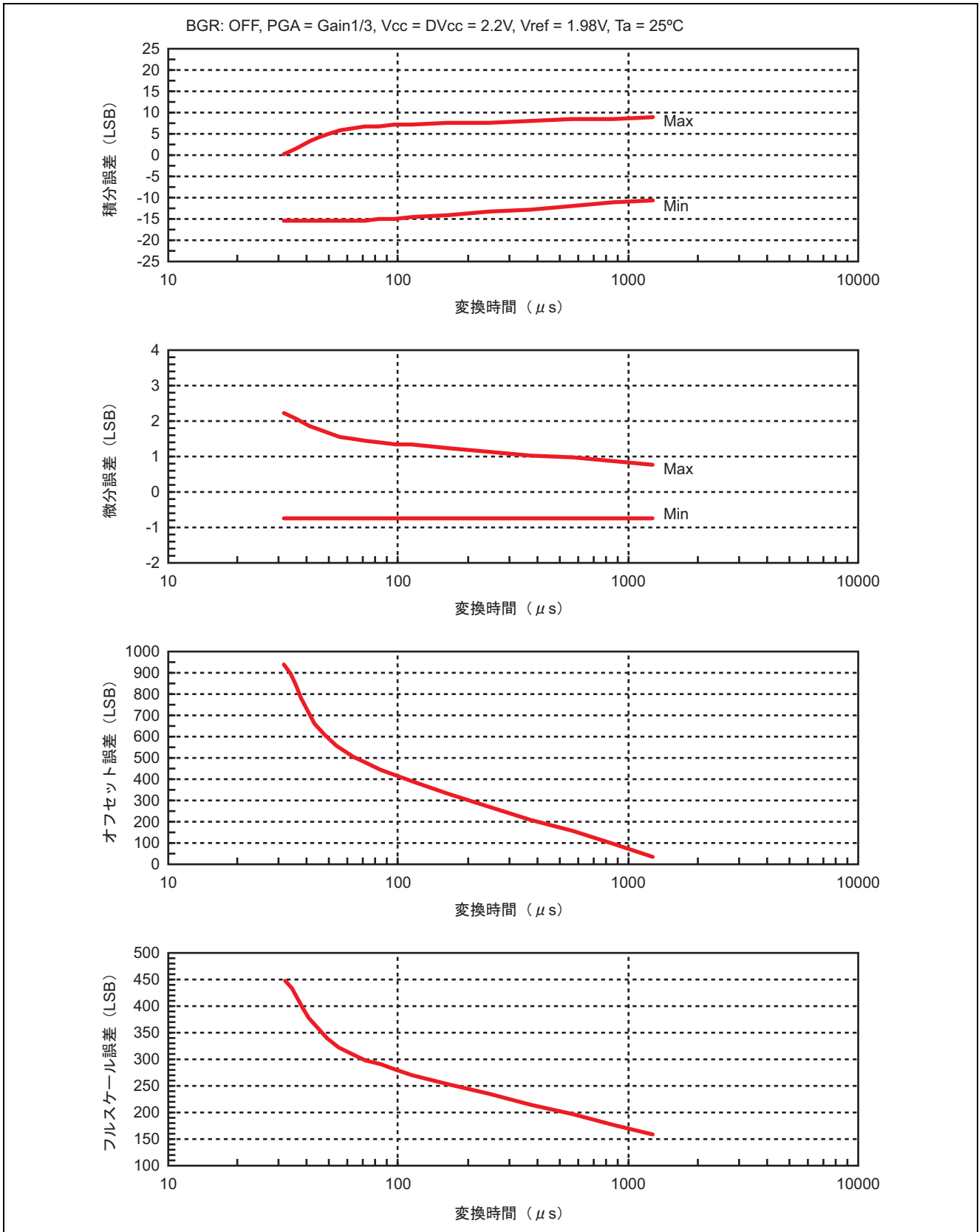
● 変換時間依存性-8



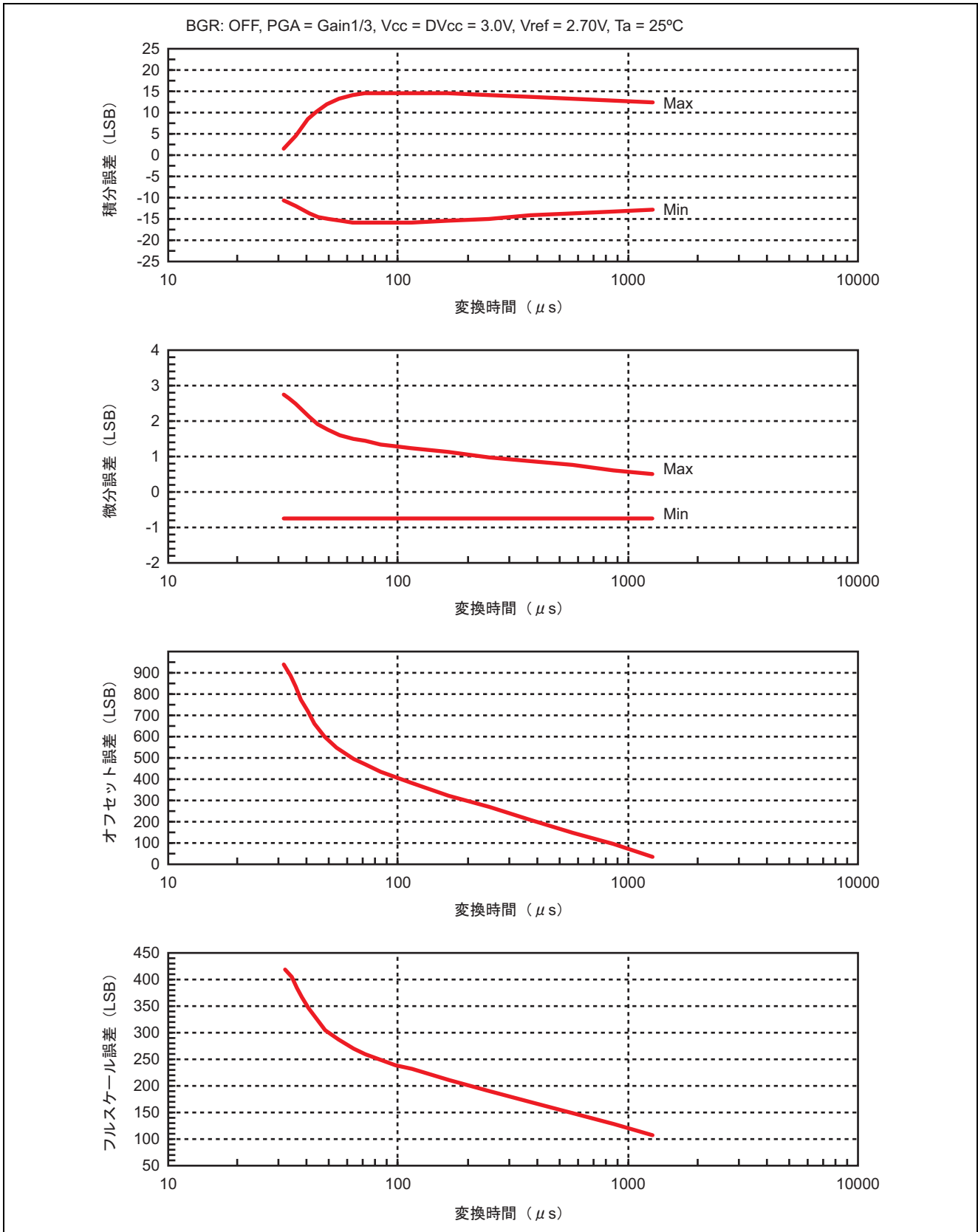
● 変換時間依存性-9



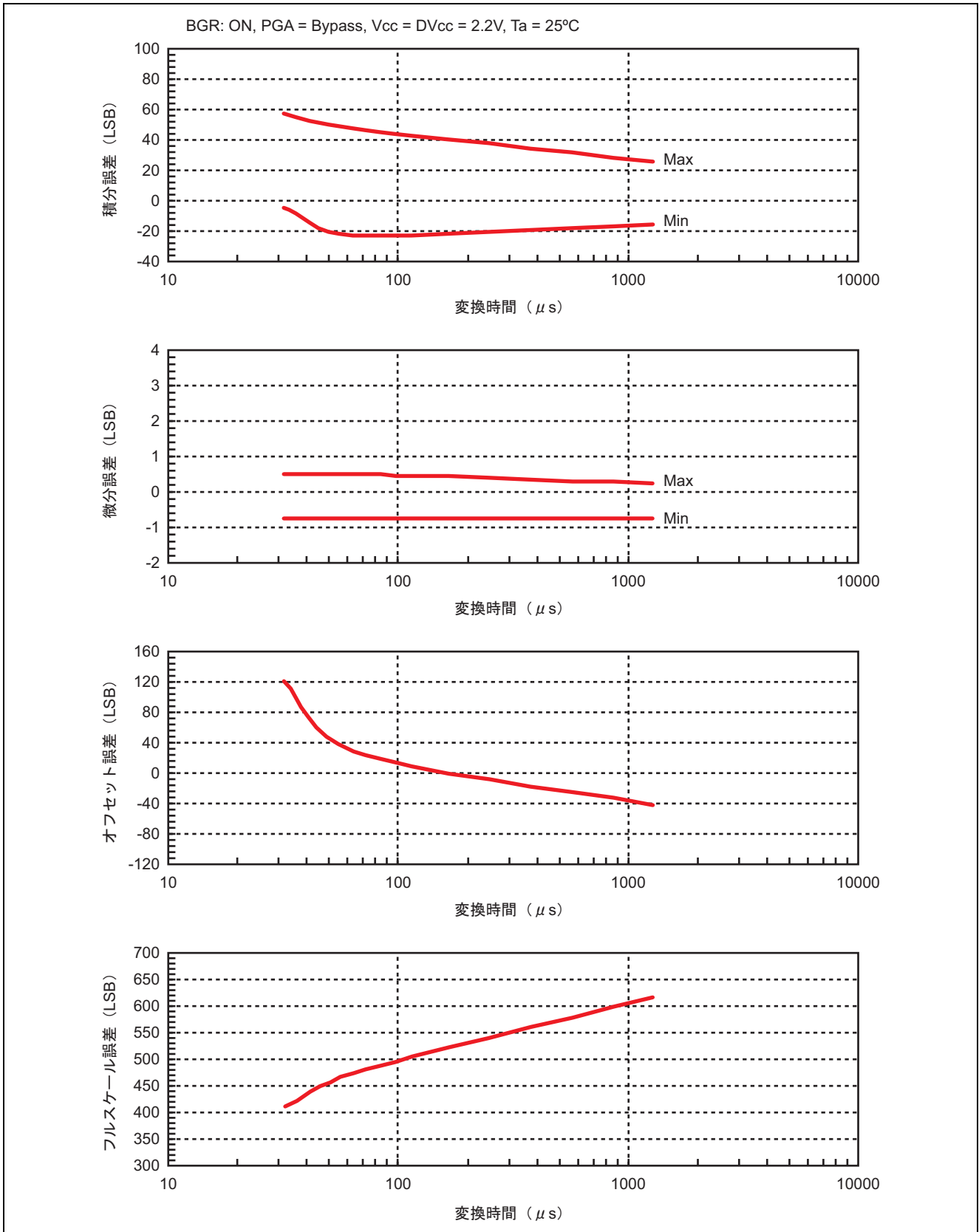
● 変換時間依存性-10



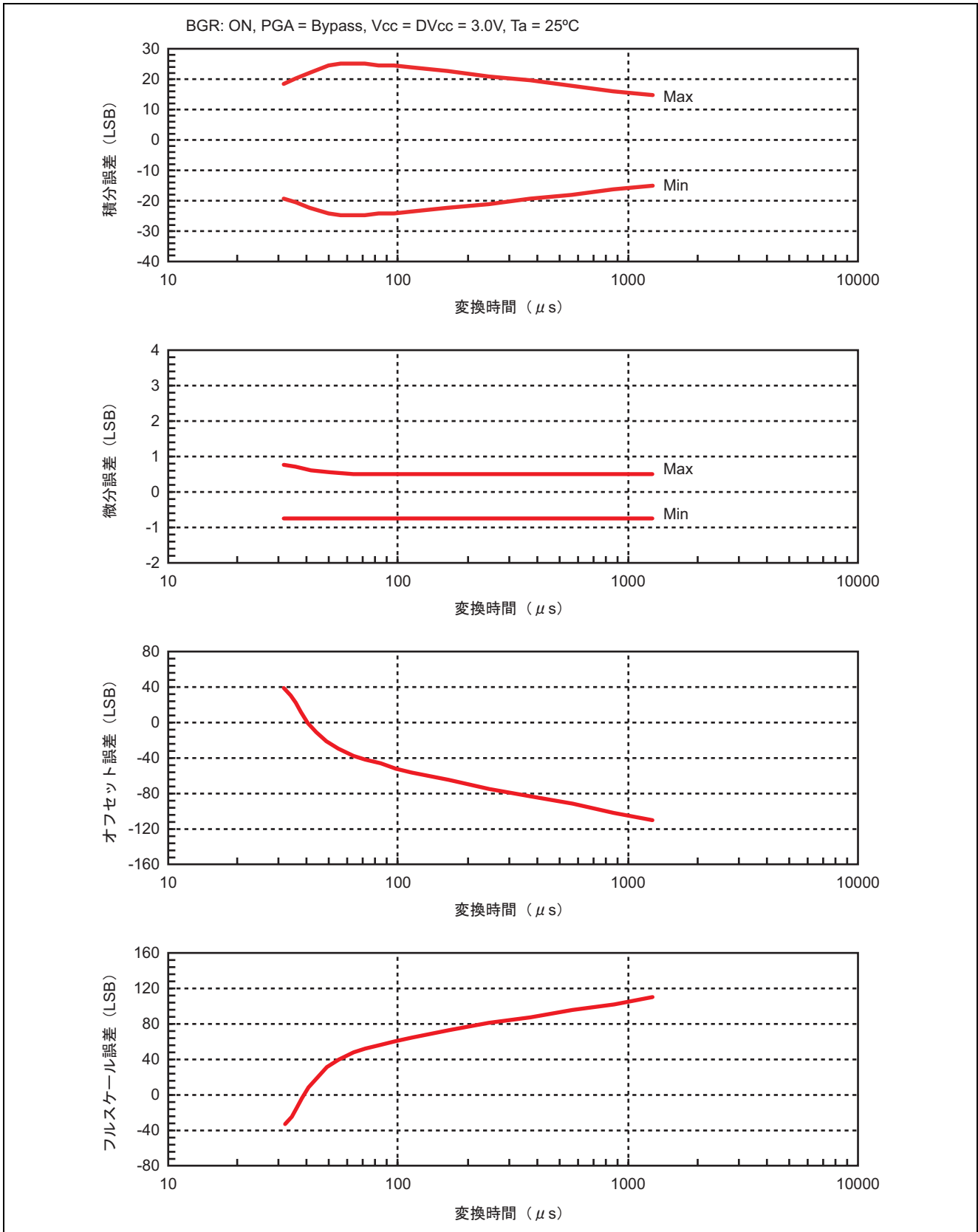
● 変換時間依存性-11



● 変換時間依存性-12

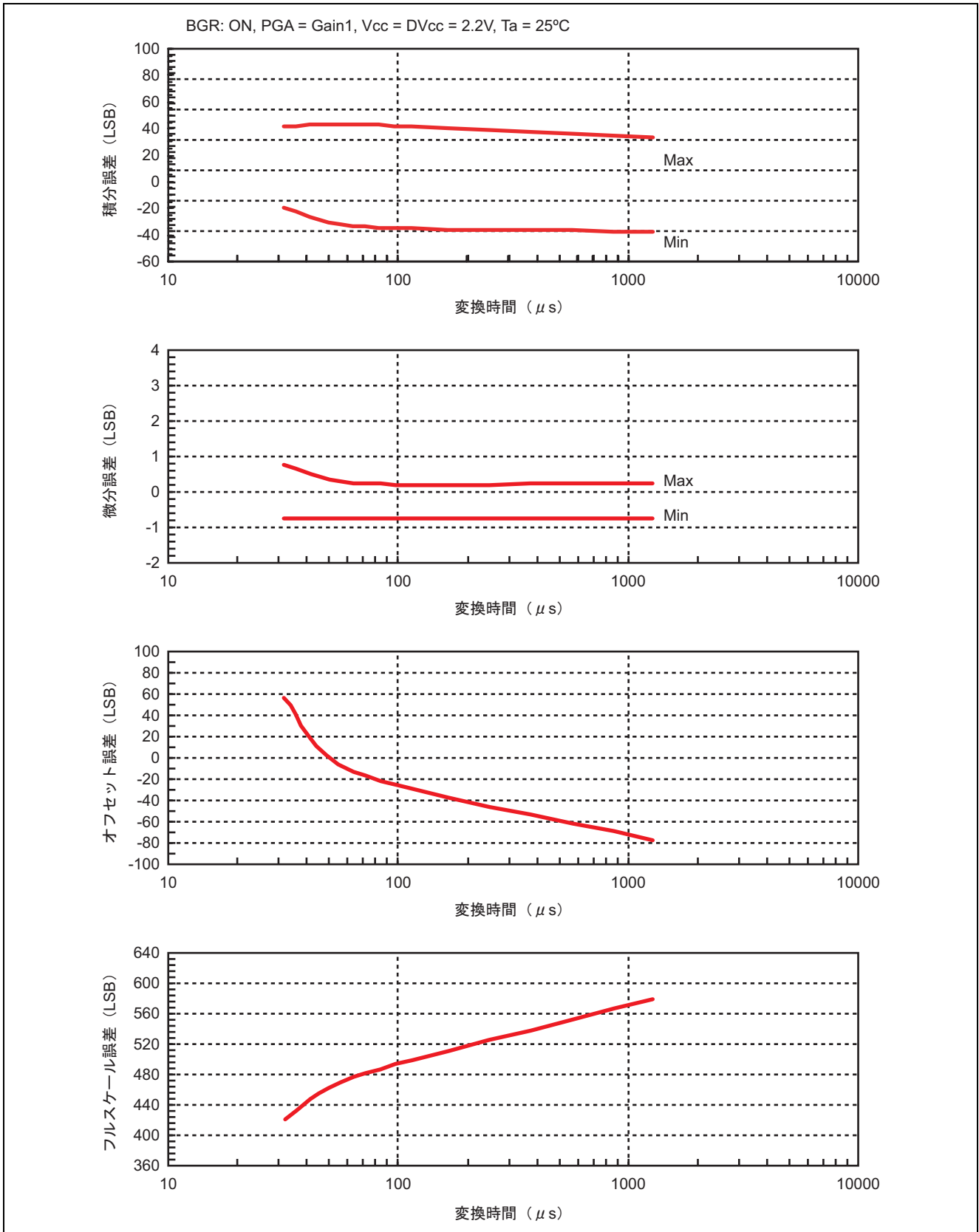


● 変換時間依存性-13

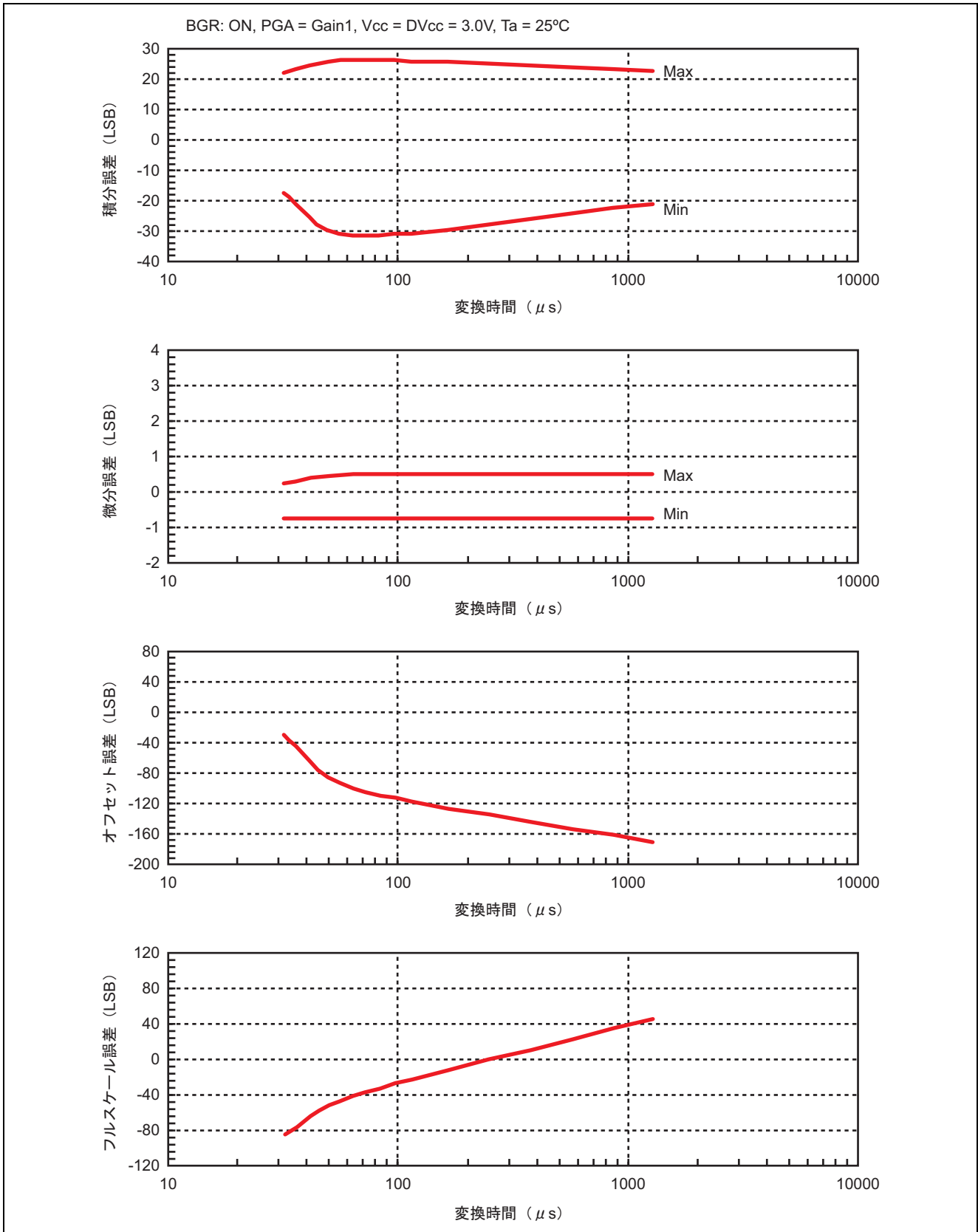




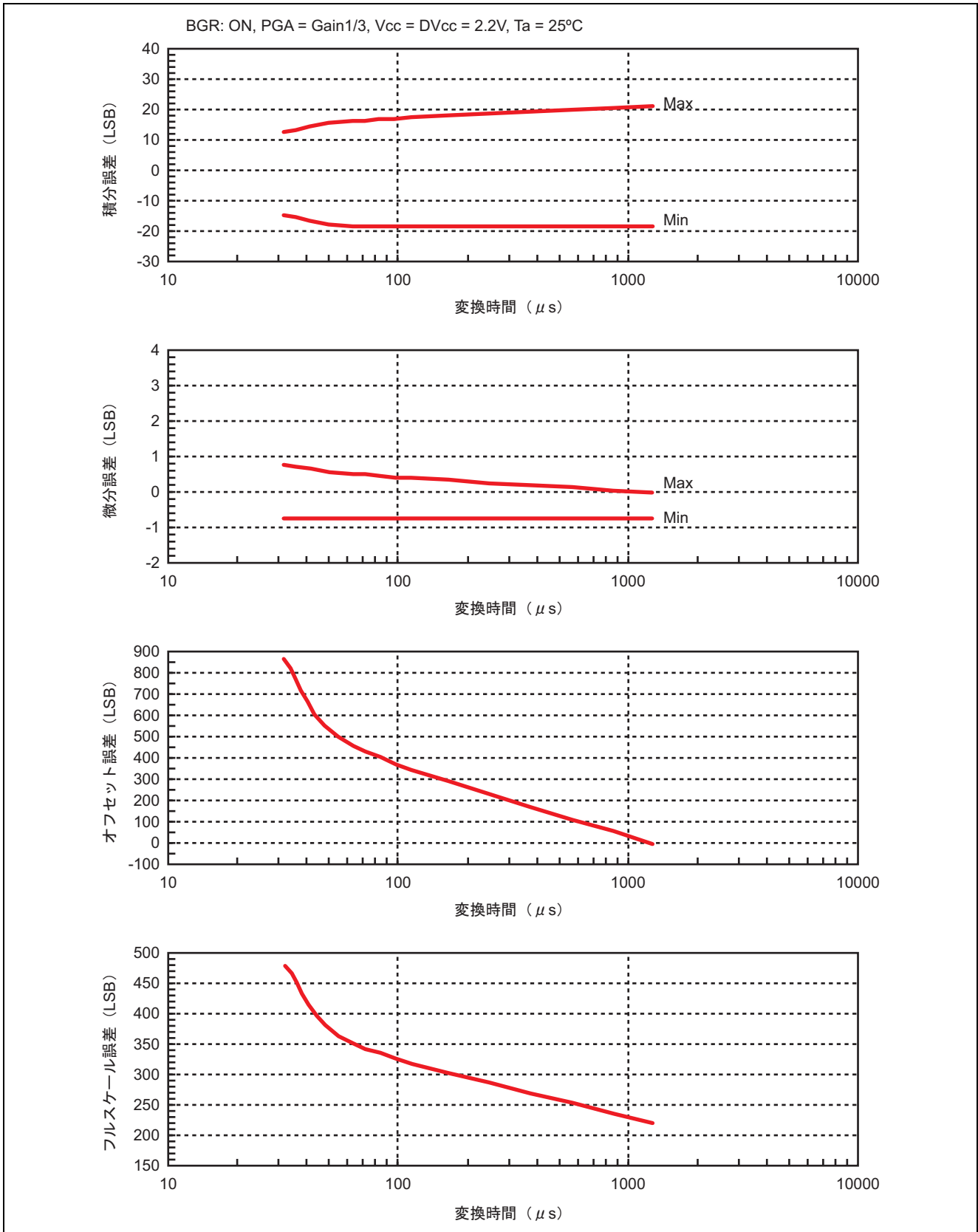
● 変換時間依存性-14



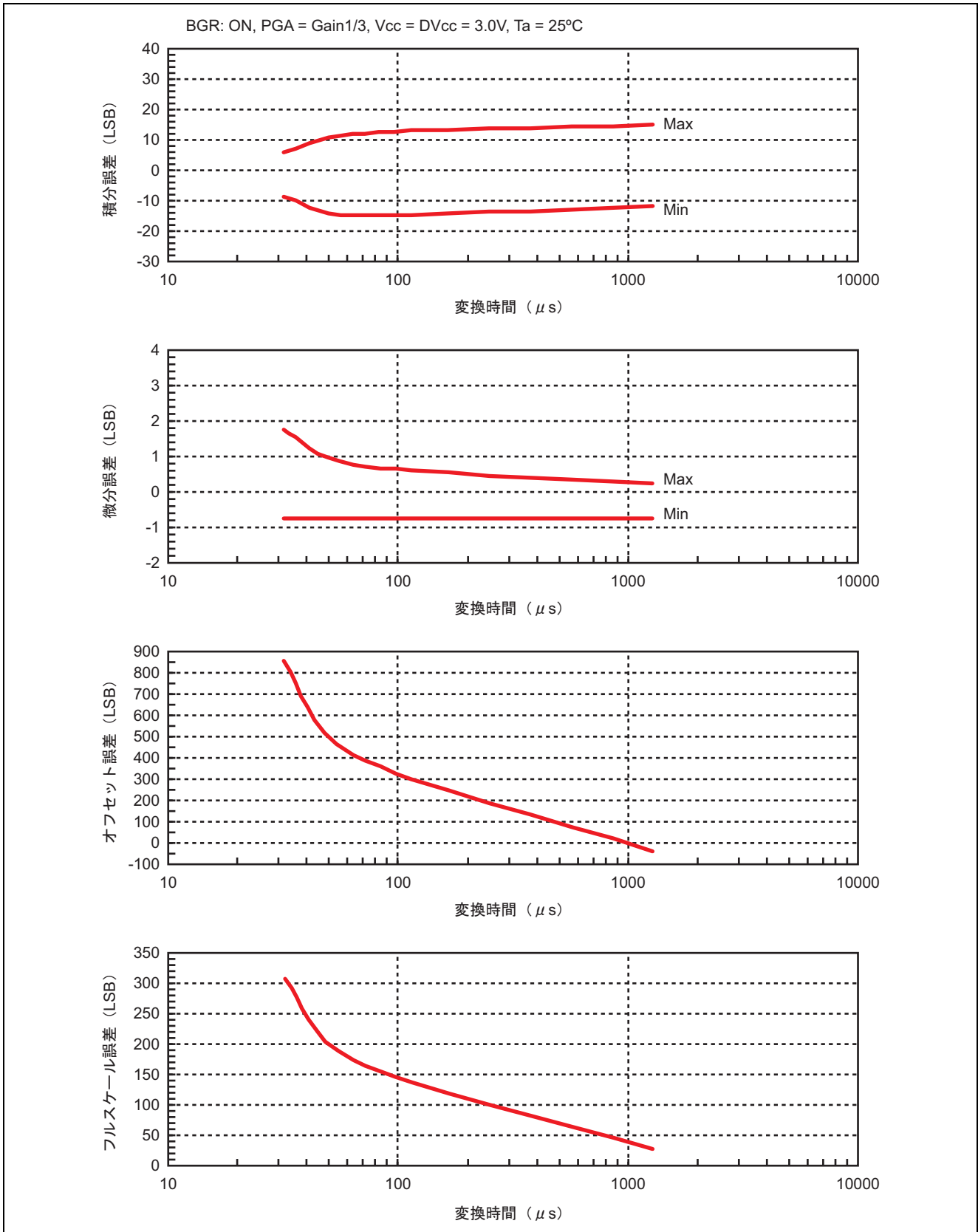
● 変換時間依存性-15



● 換時間依存性-16

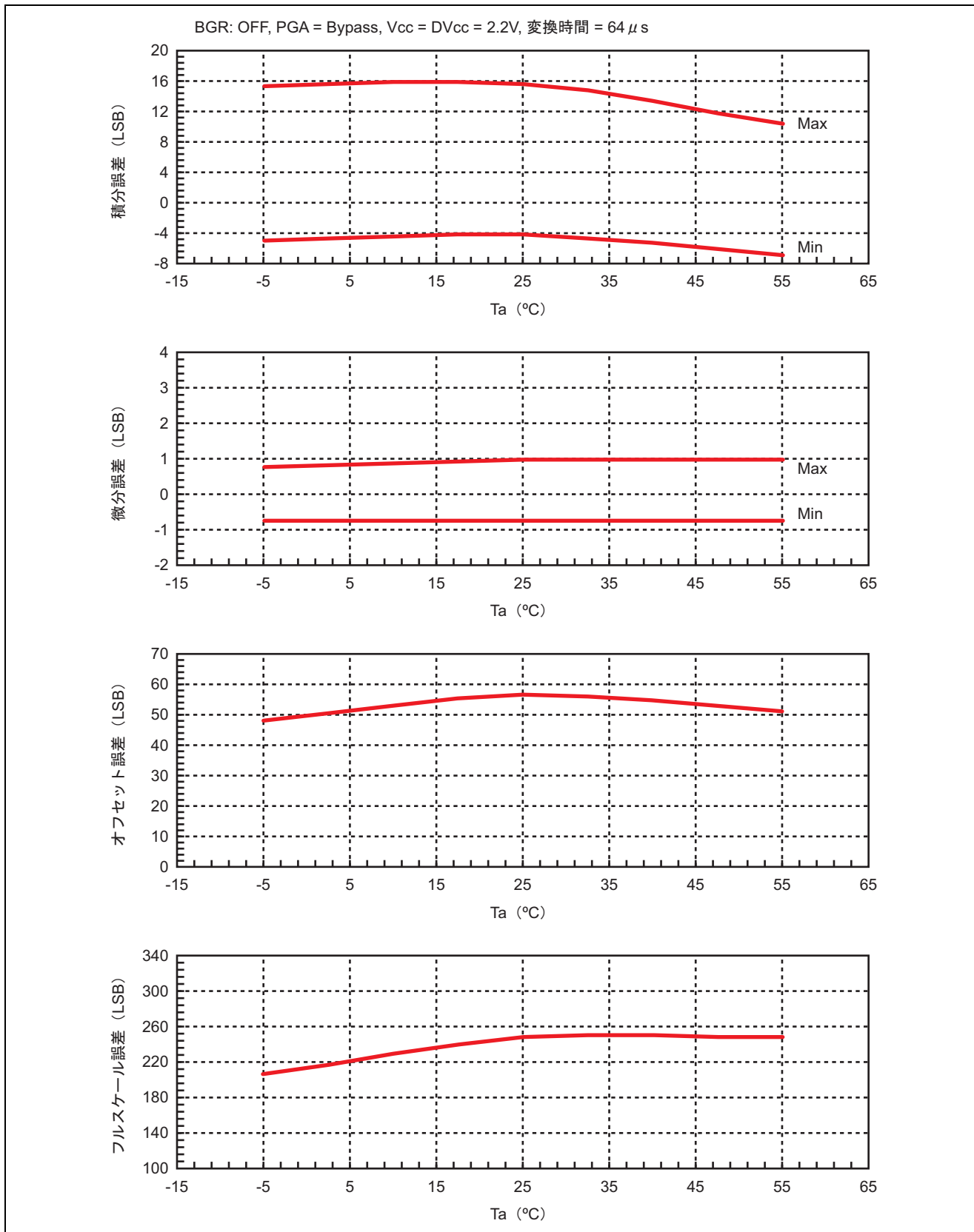


● 変換時間依存性-17

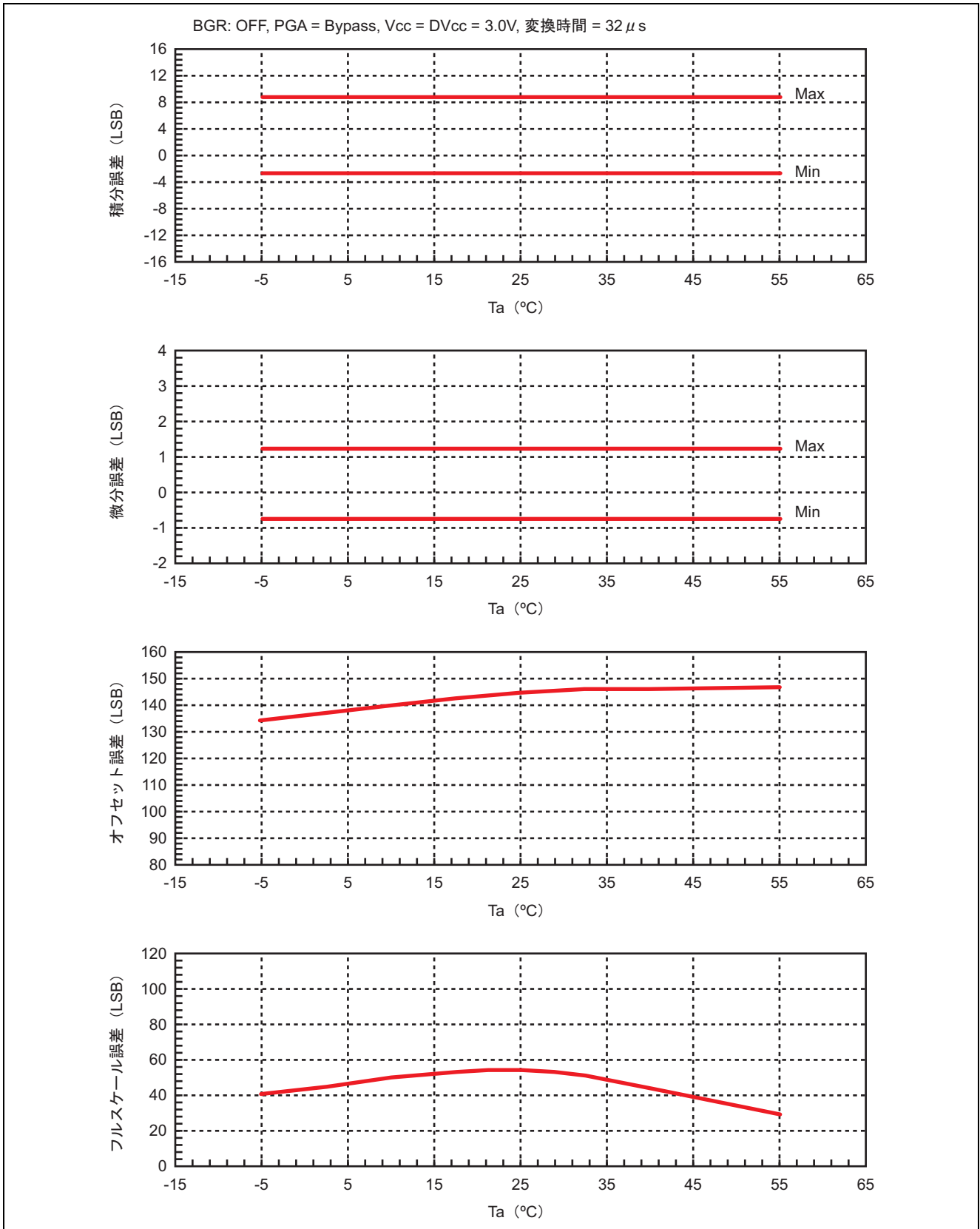


(2) 温度依存性

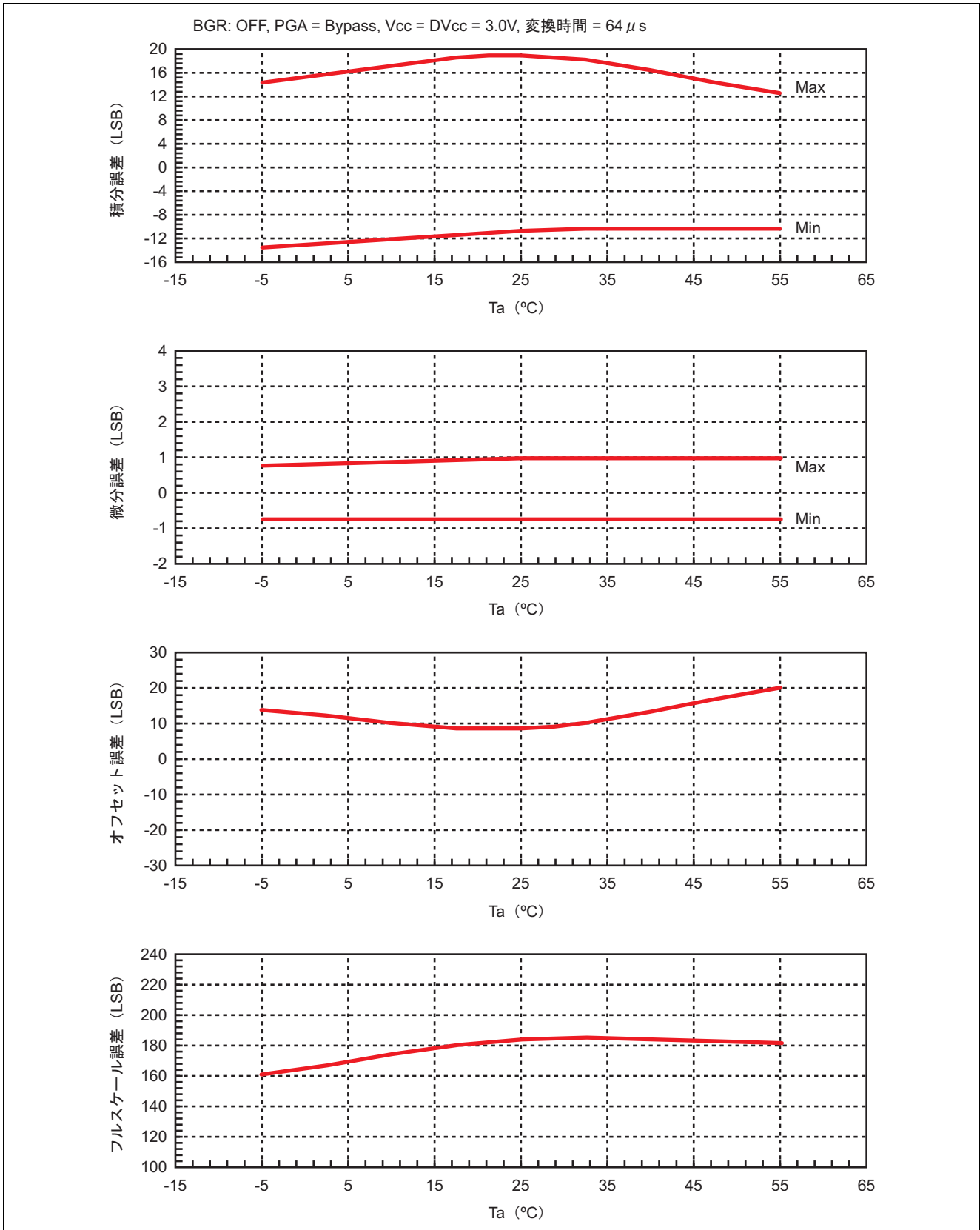
- 温度依存性-1



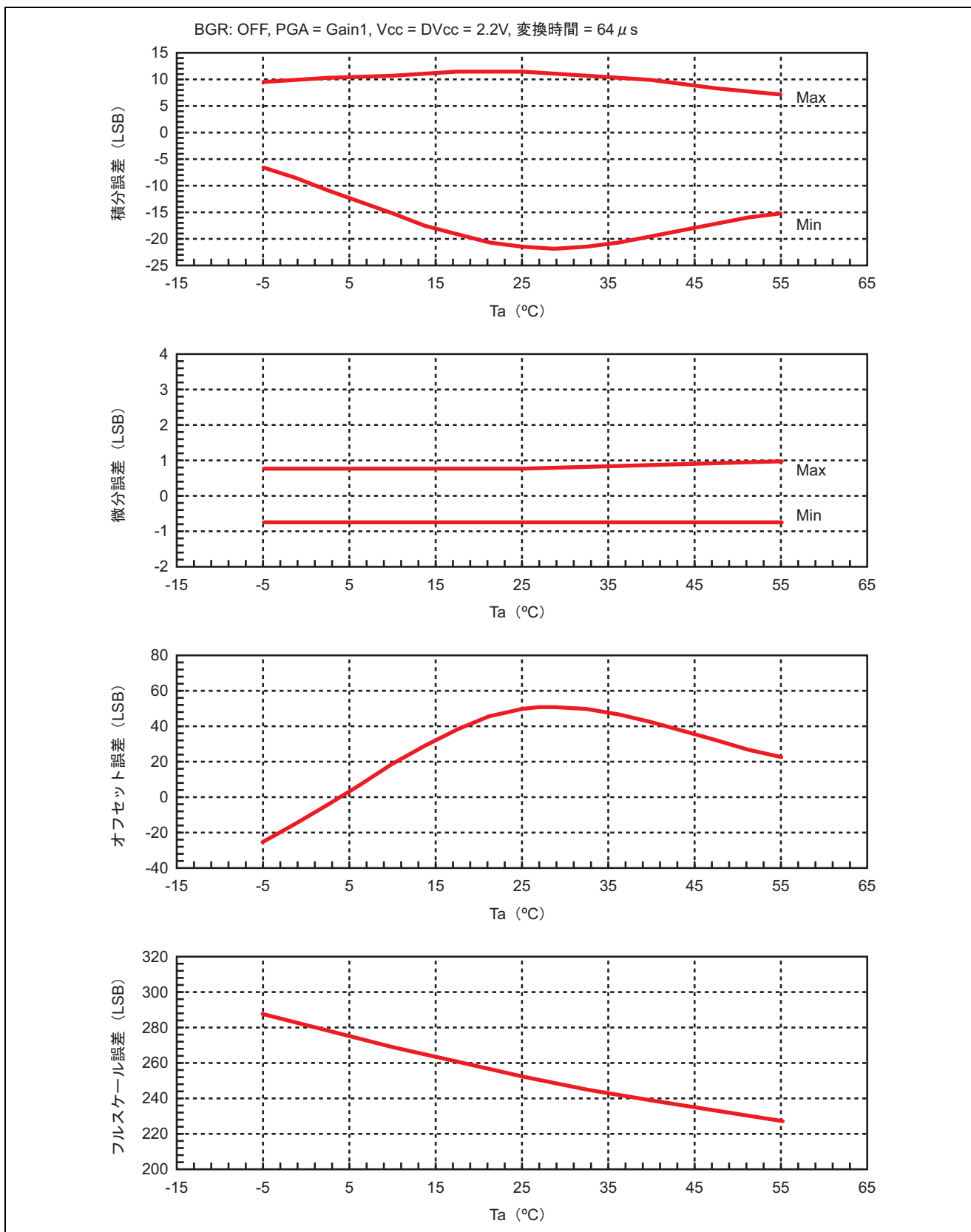
● 温度依存性-2



● 温度依存性-3

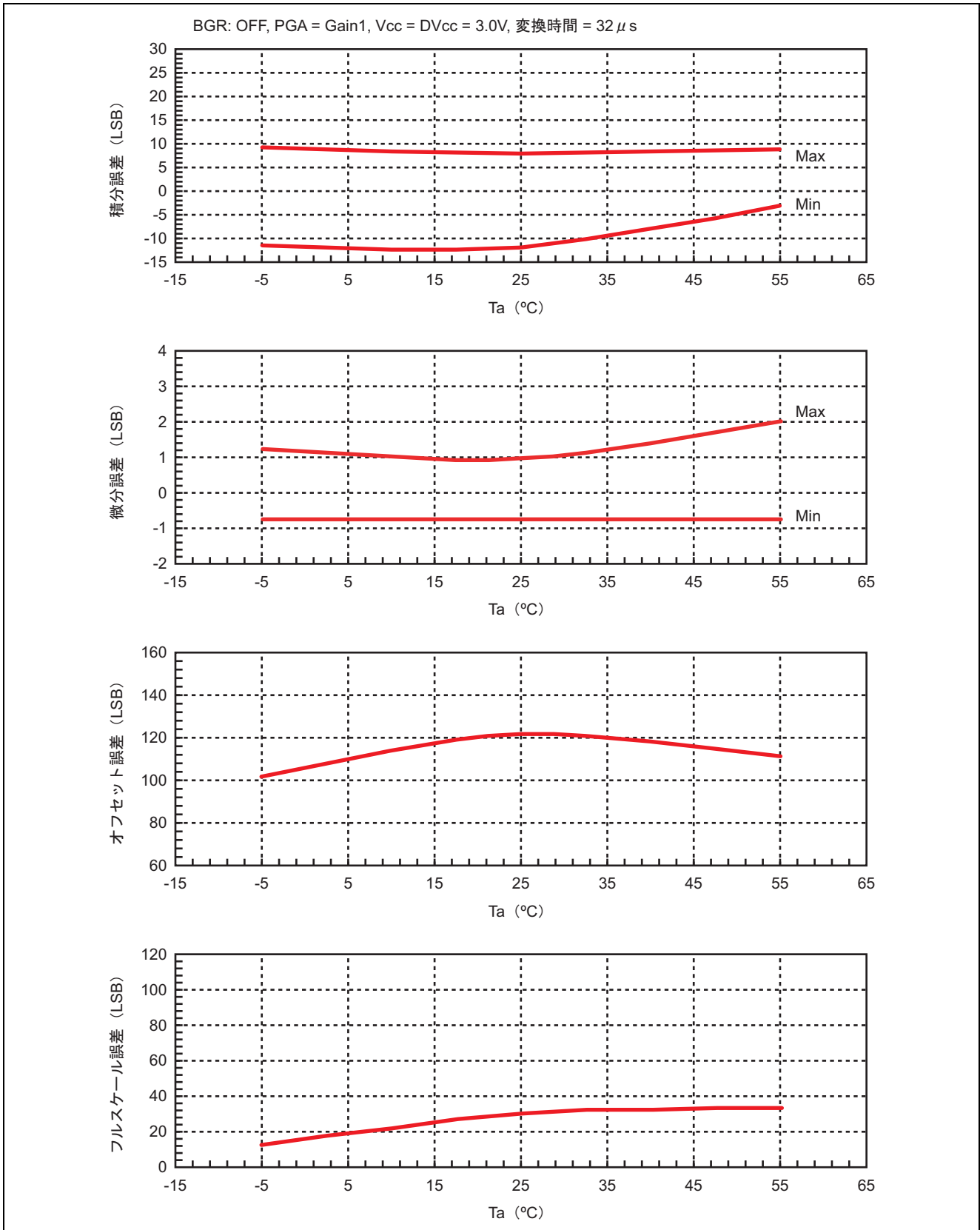


● 温度依存性-4

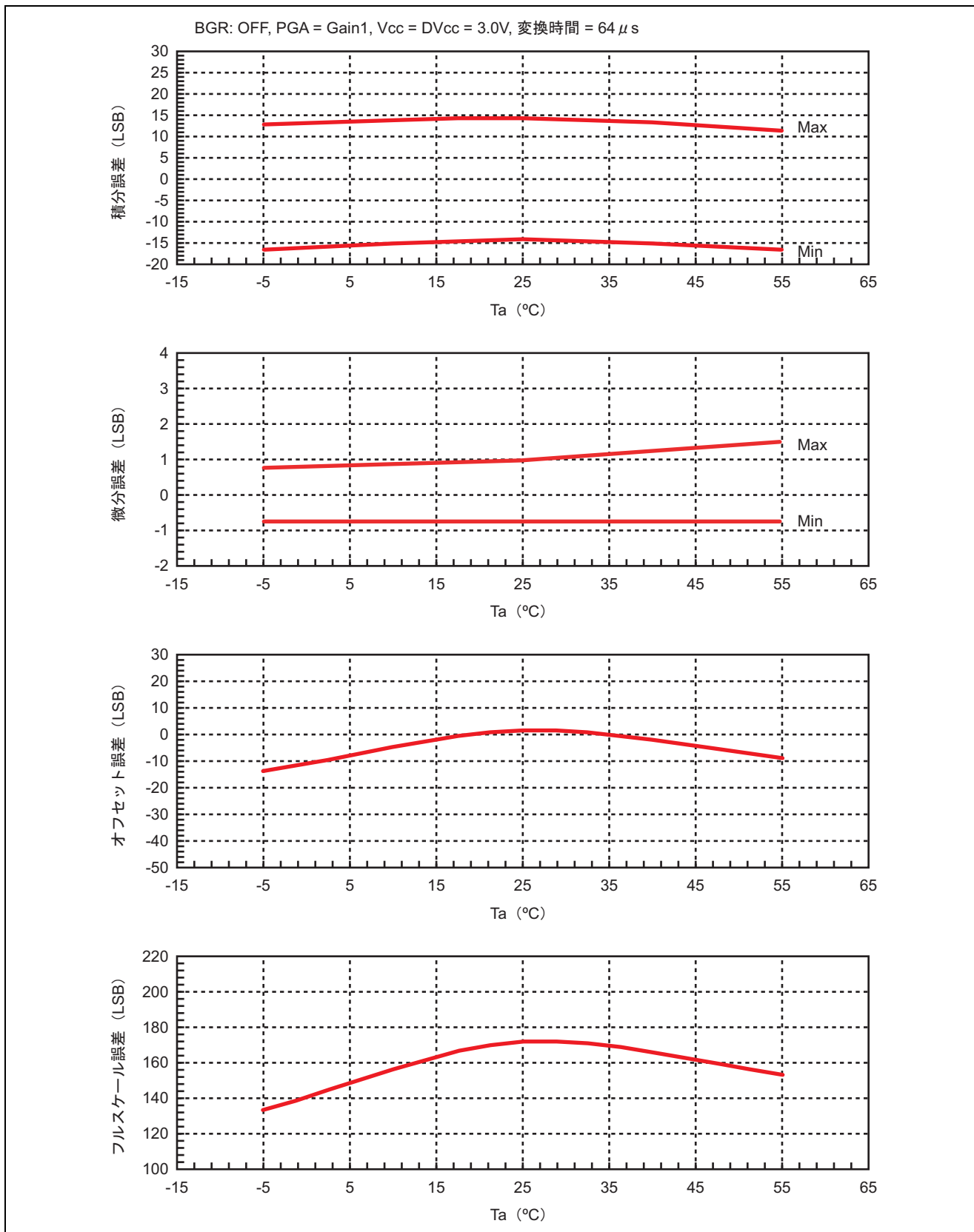




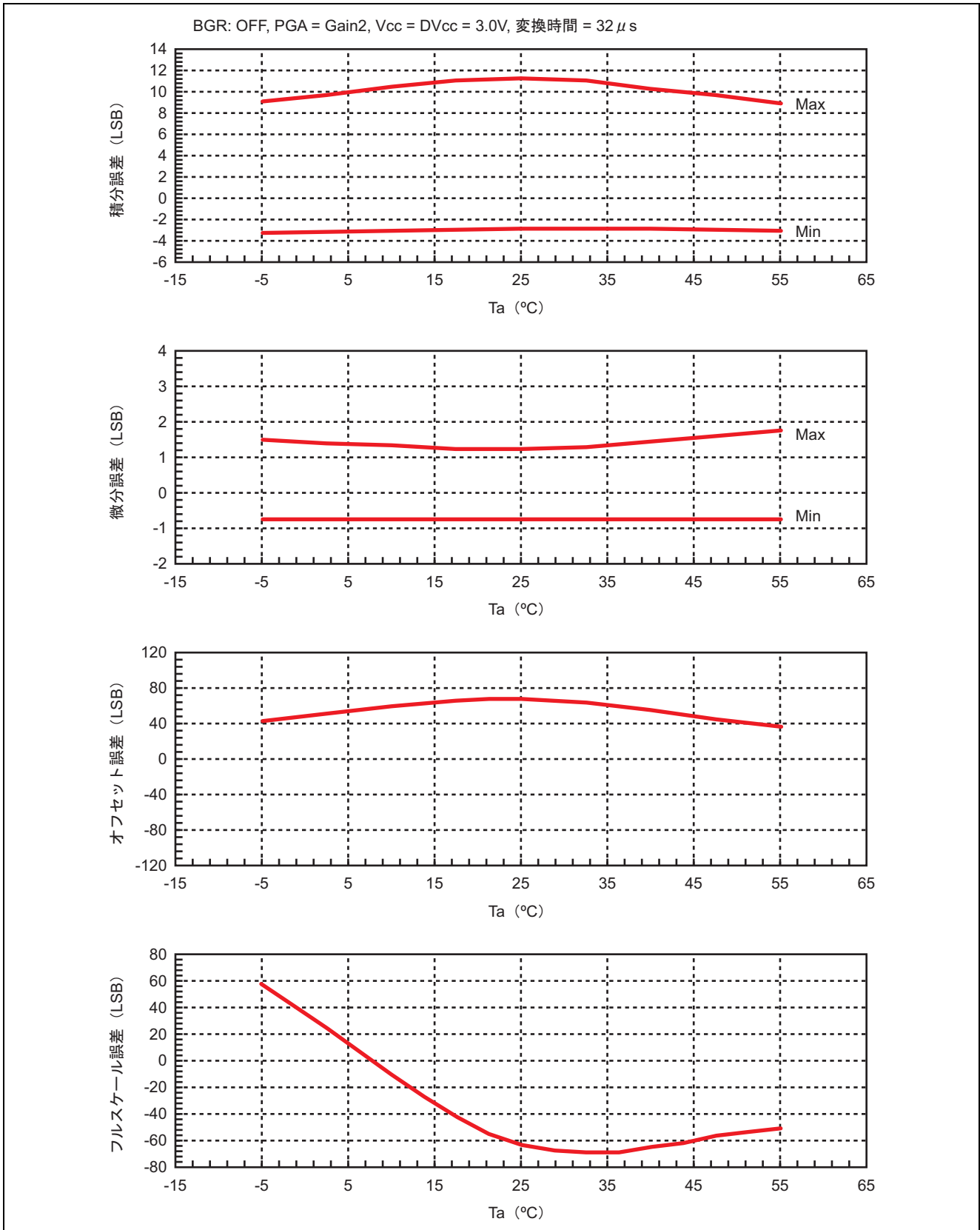
• 温度依存性-5



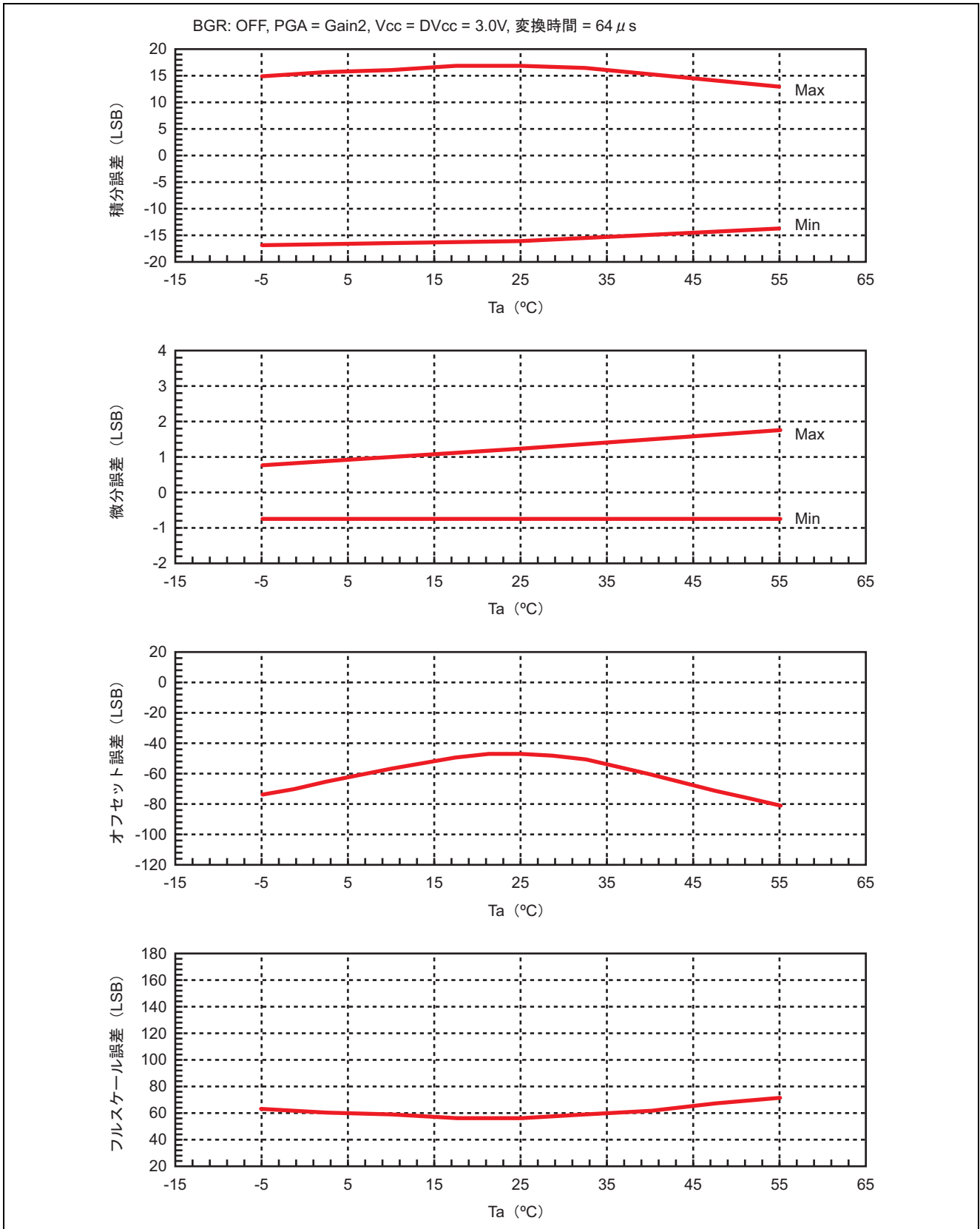
● 温度依存性-6



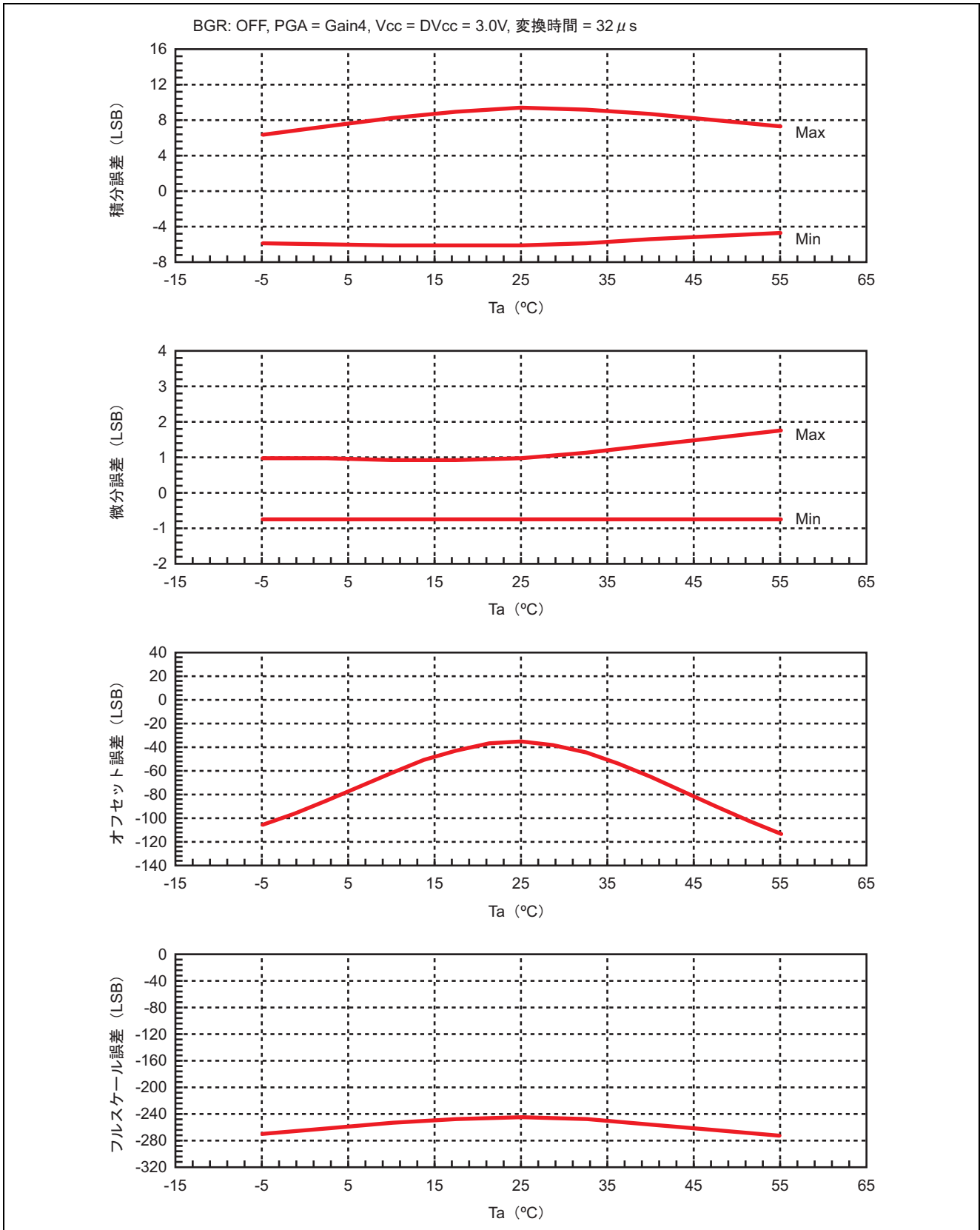
● 温度依存性-7



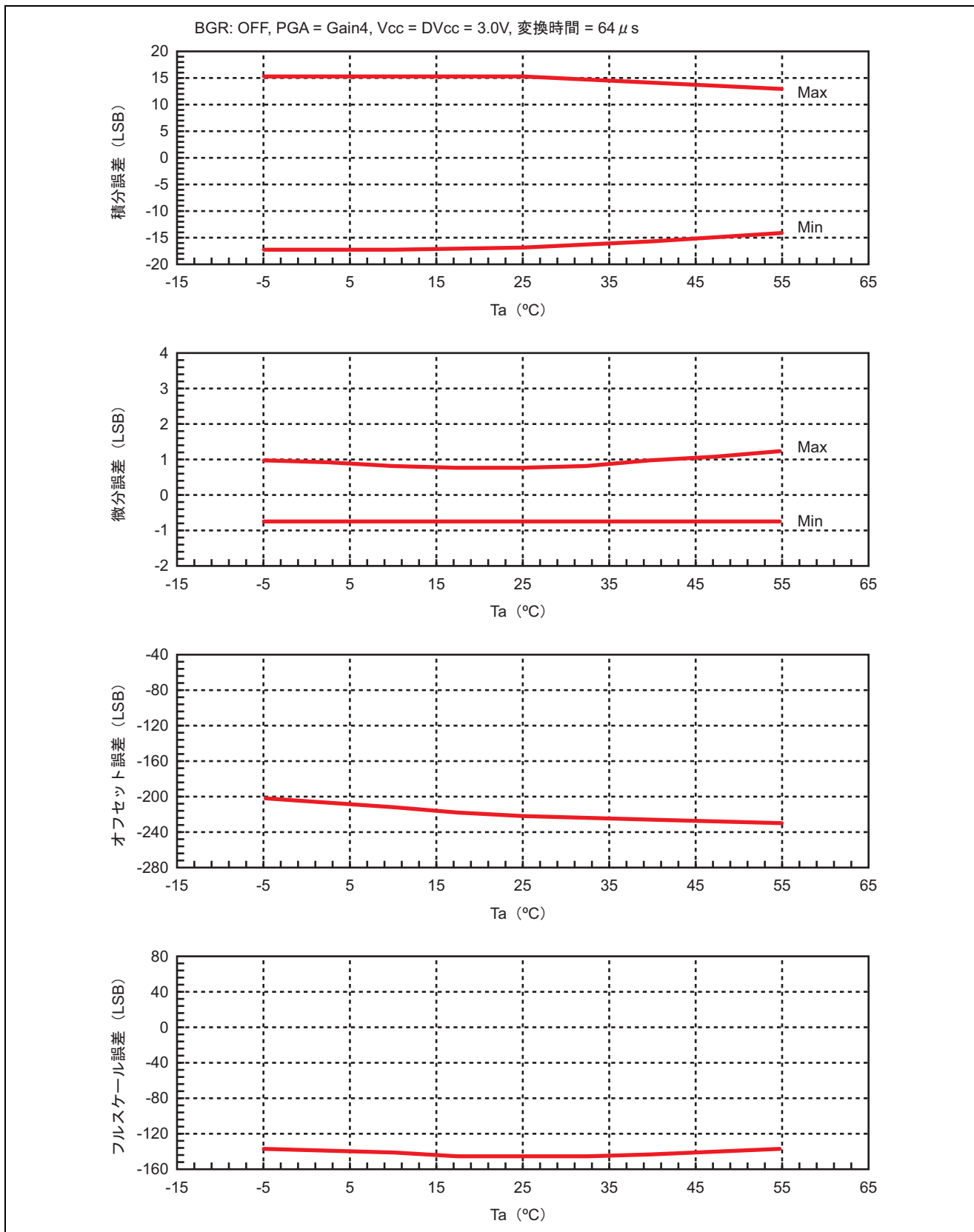
● 温度依存性-8



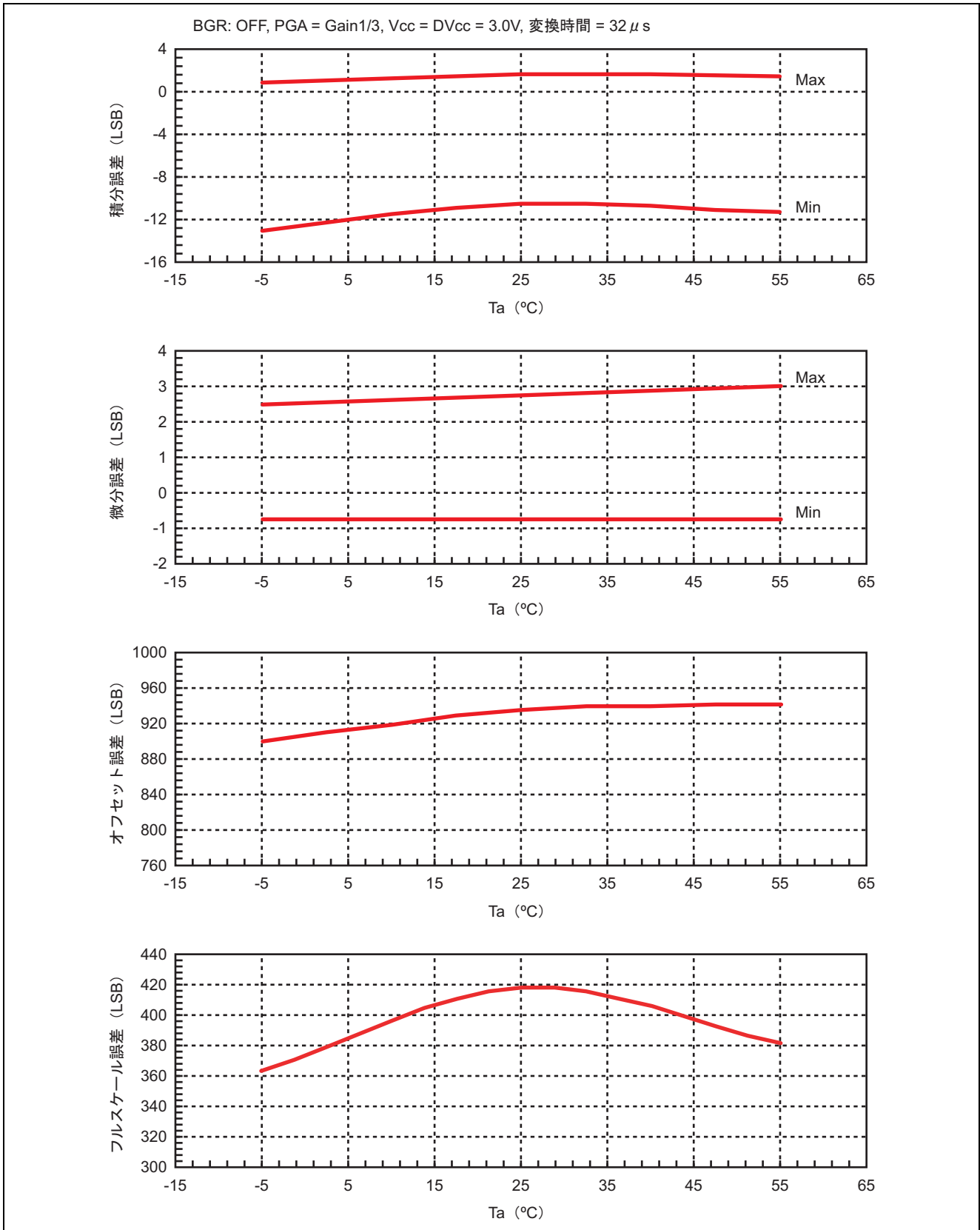
● 温度依存性-9



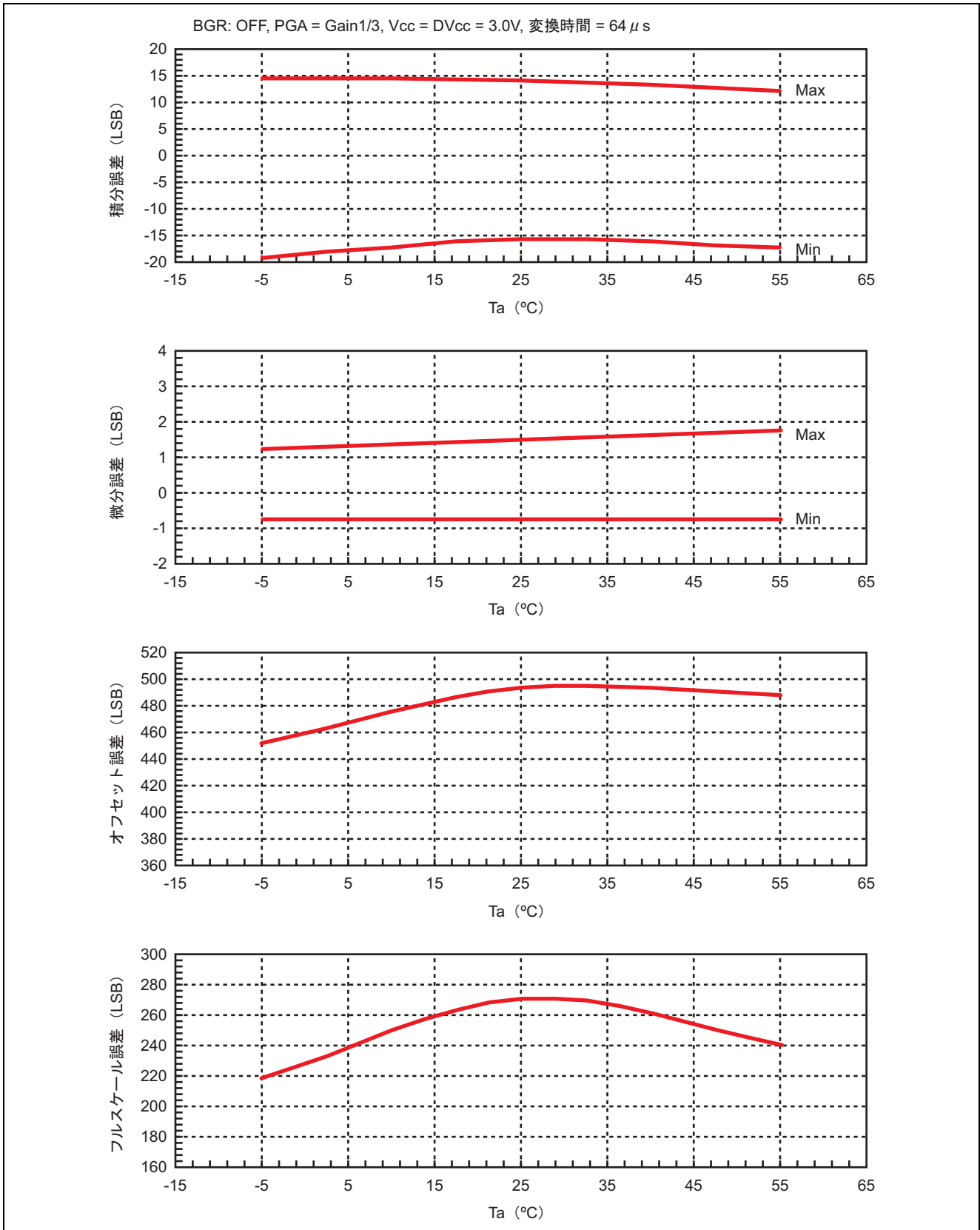
● 温度依存性-10



● 温度依存性-11



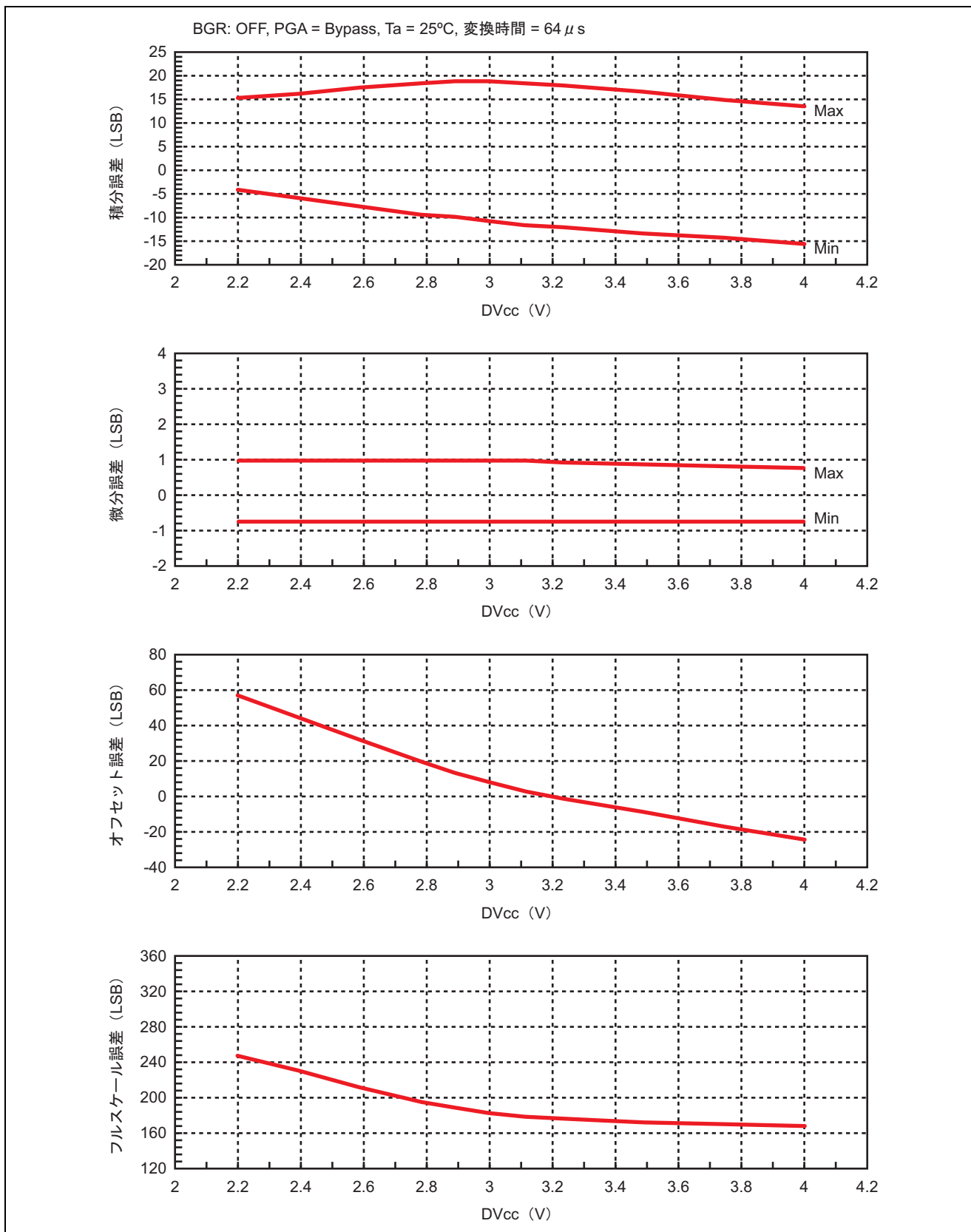
● 温度依存性-12



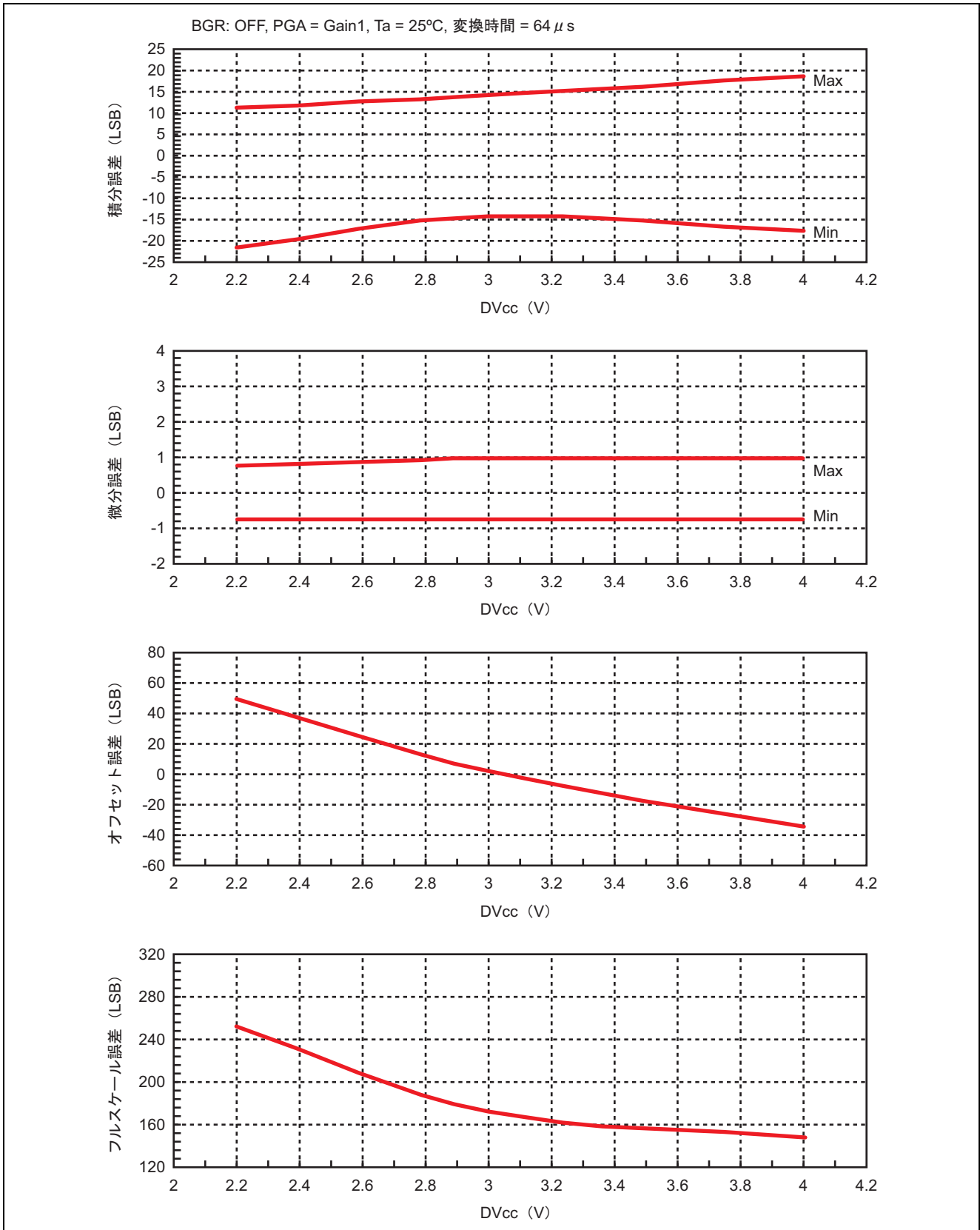


(3) DVcc 依存性

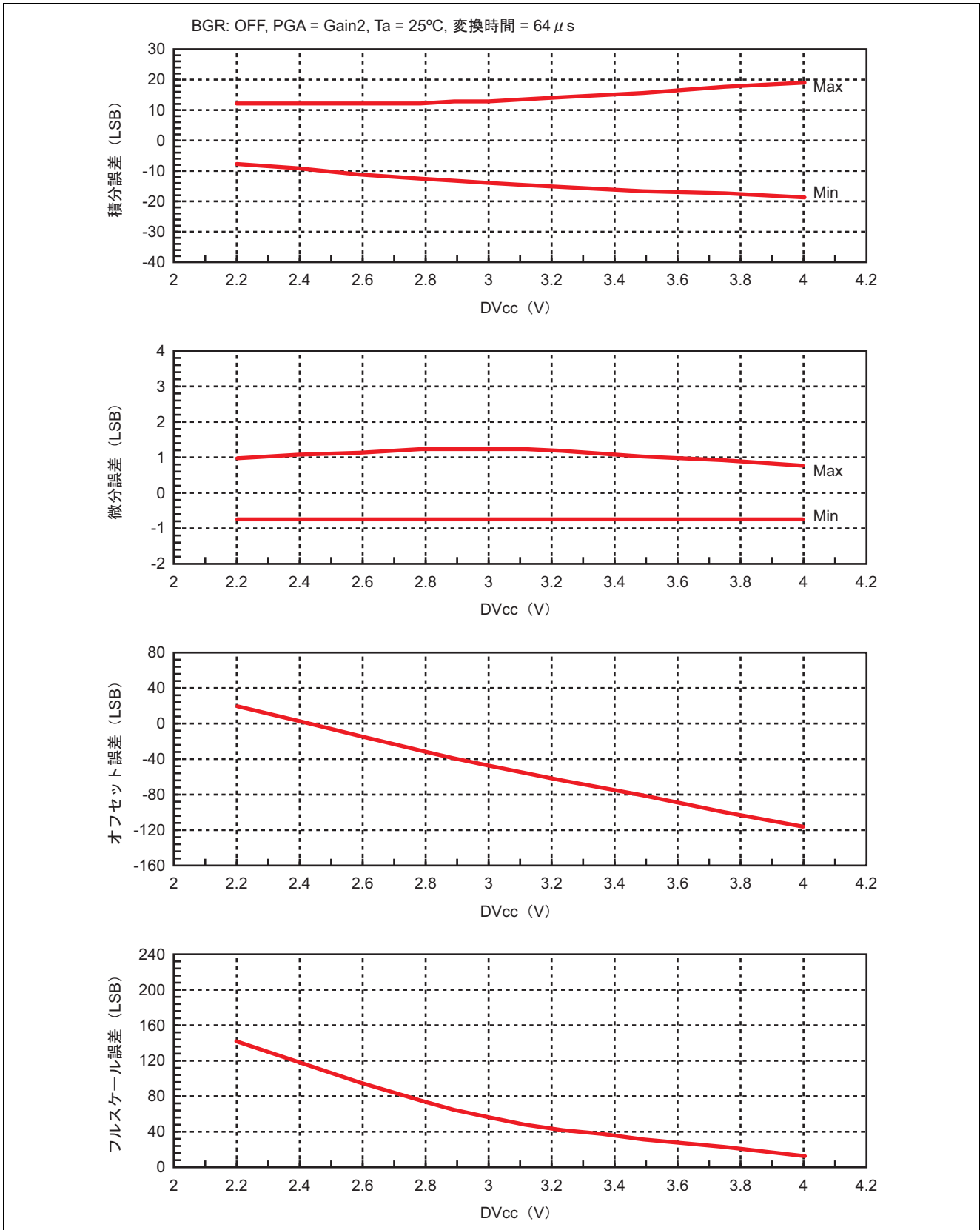
- DVcc 依存性-1



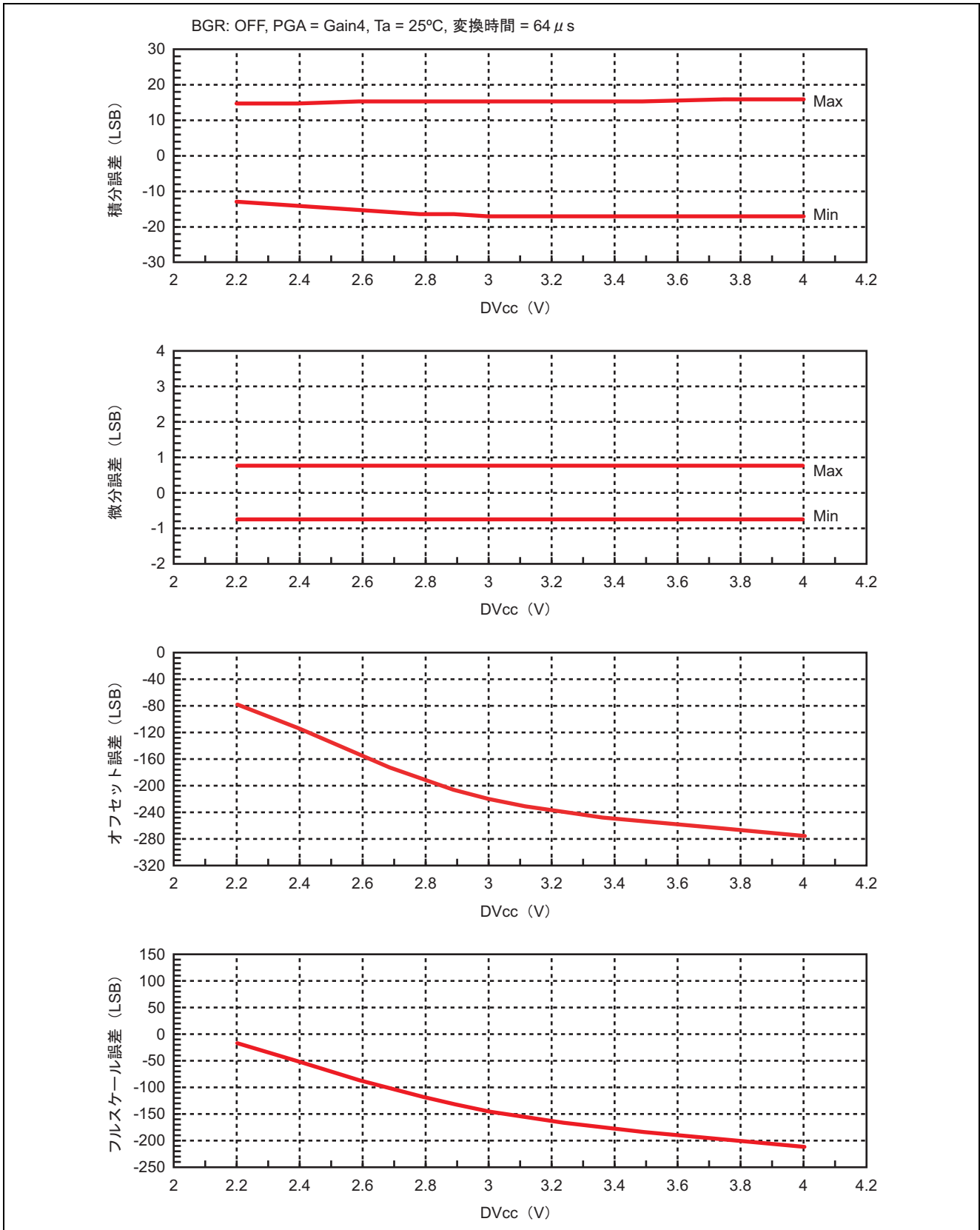
• DVcc 依存性-2



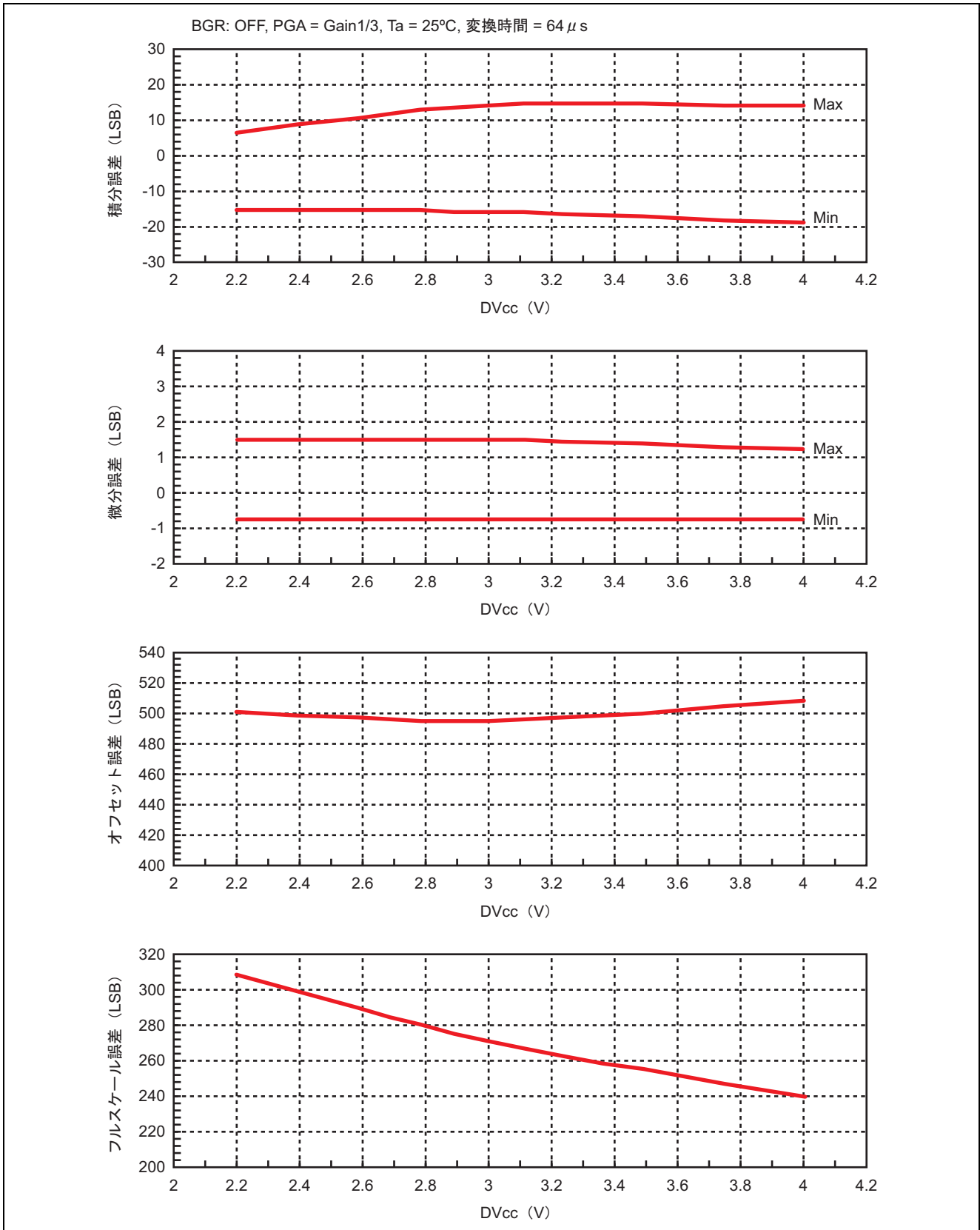
• DVcc 依存性-3



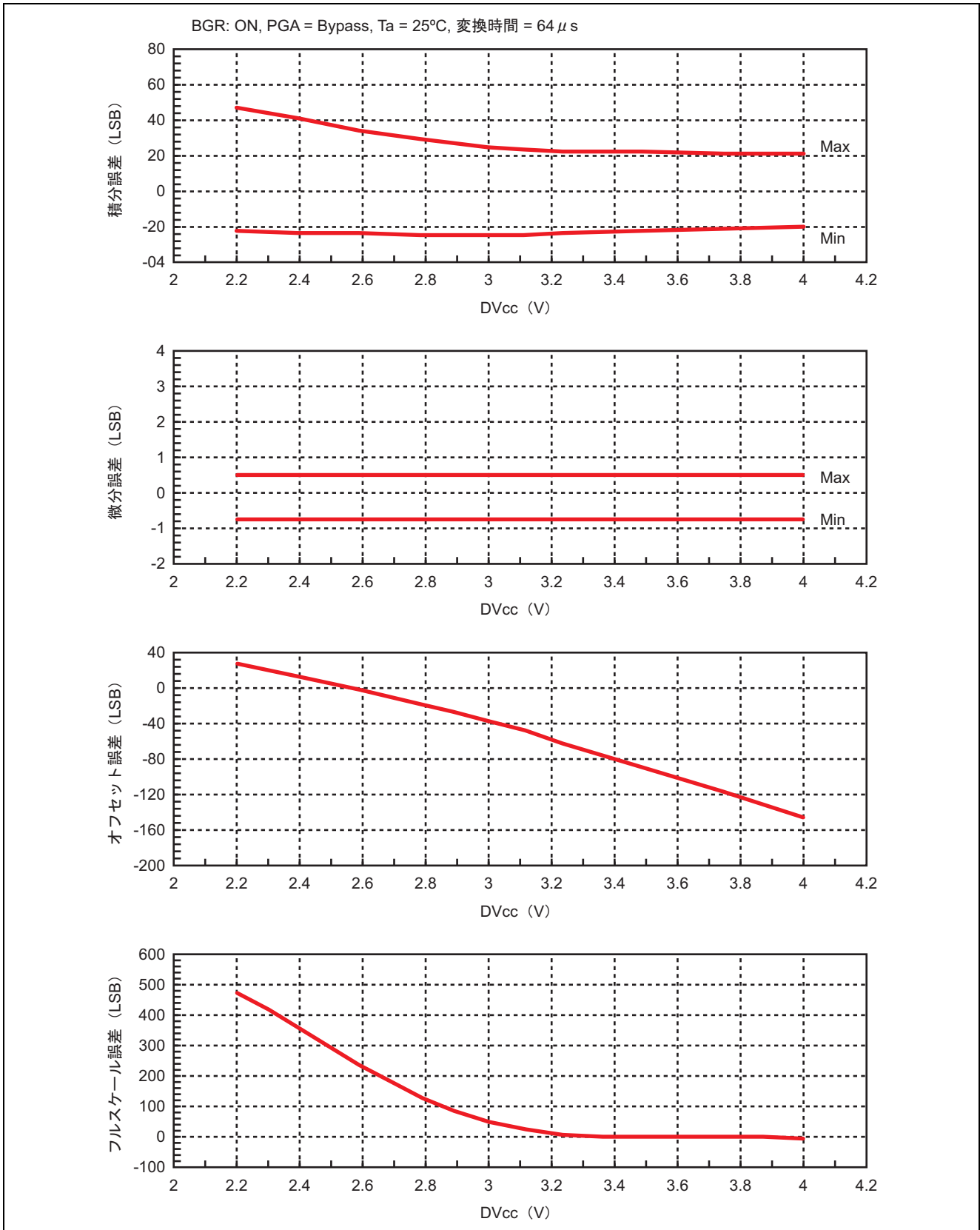
• DVcc 依存性-4



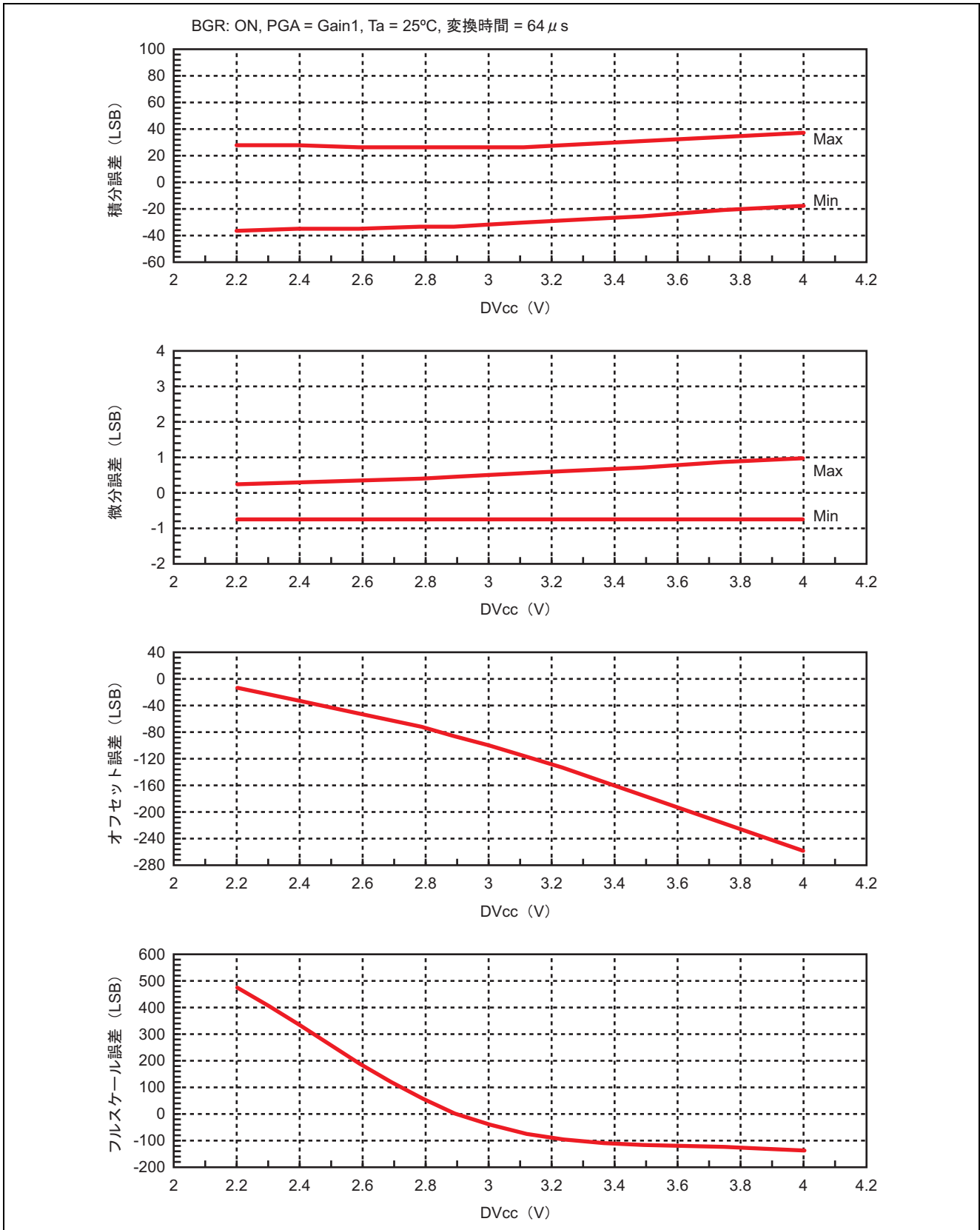
• DVcc 依存性-5



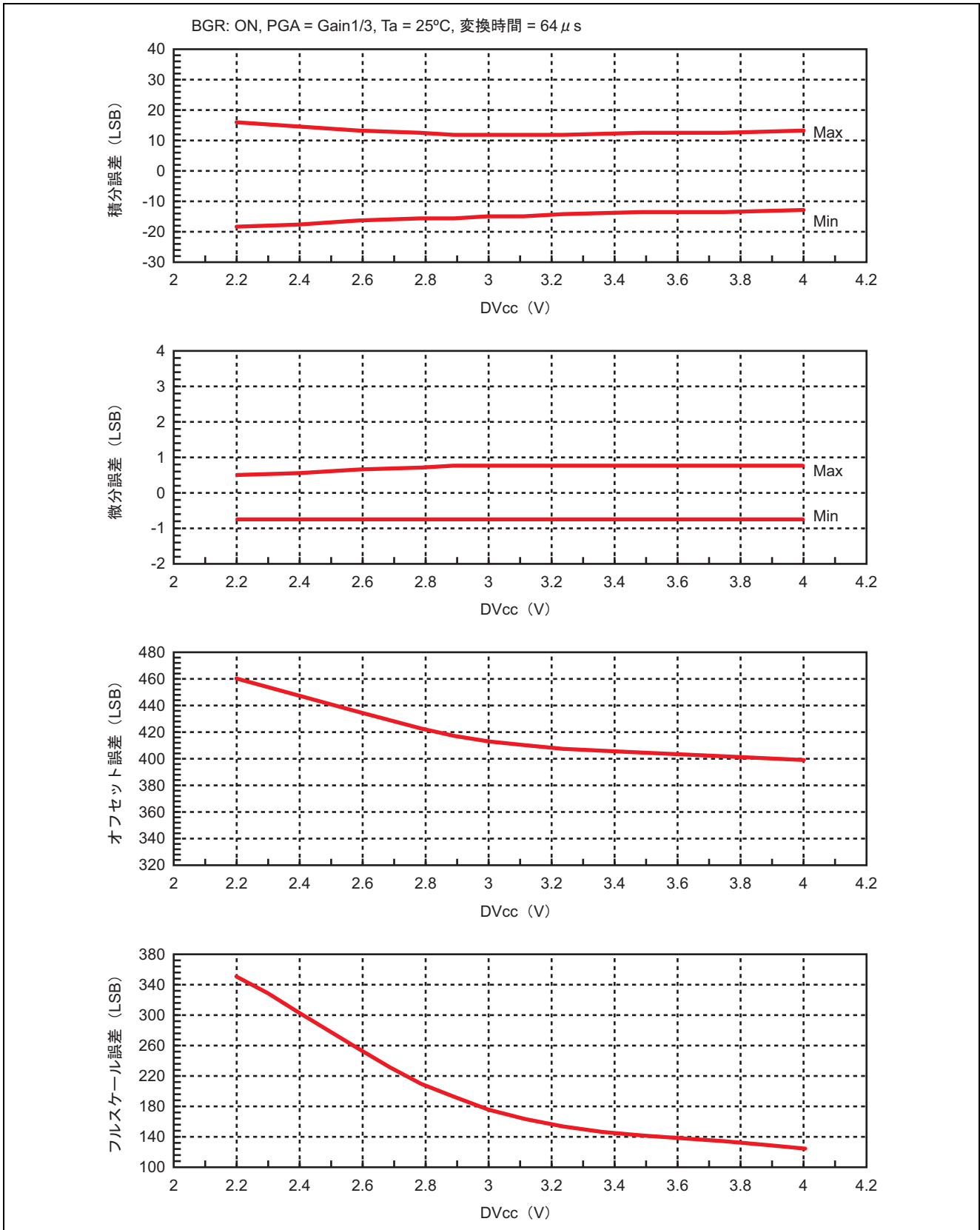
• DVcc 依存性-6



• DVcc 依存性-7



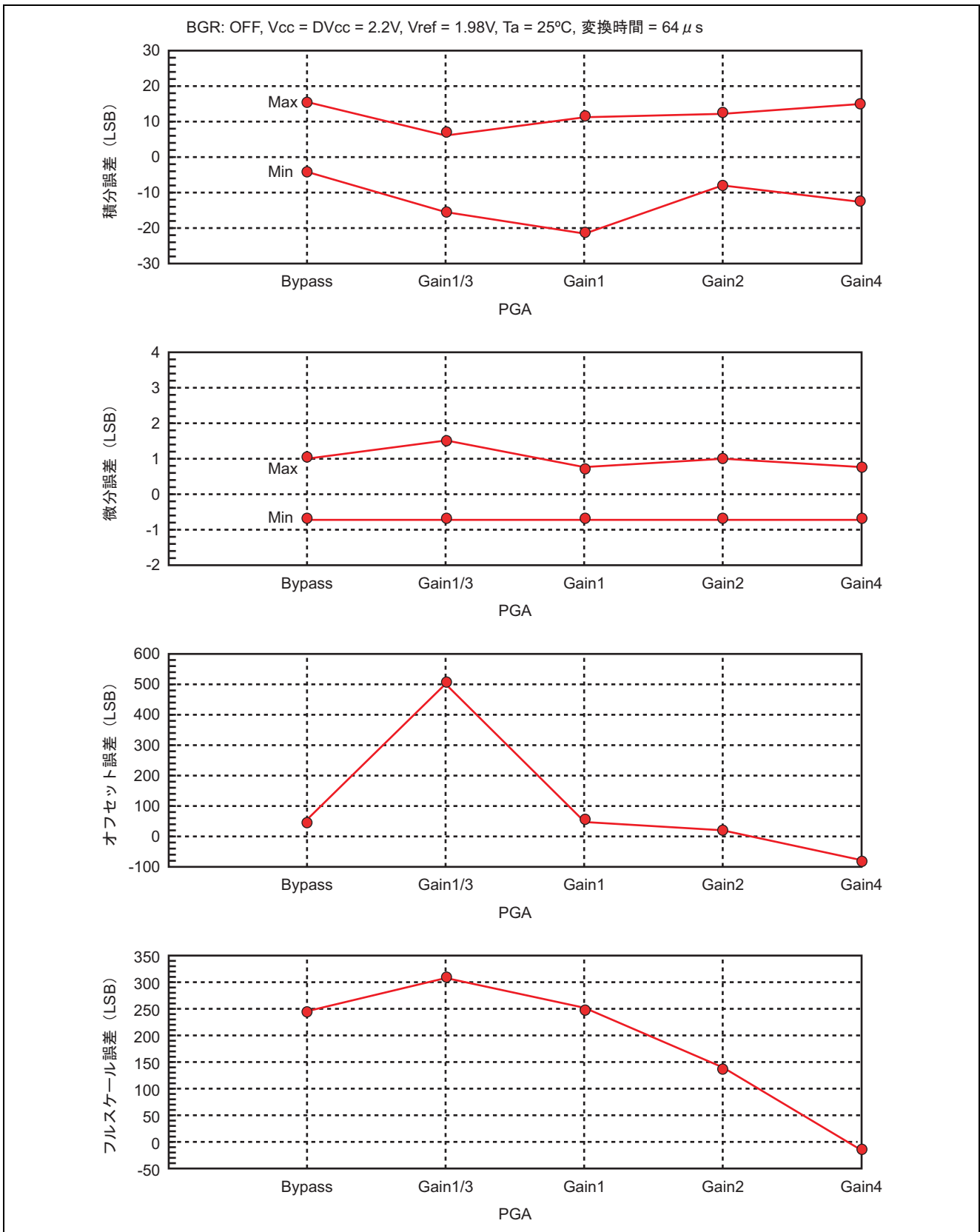
• DVcc 依存性-8



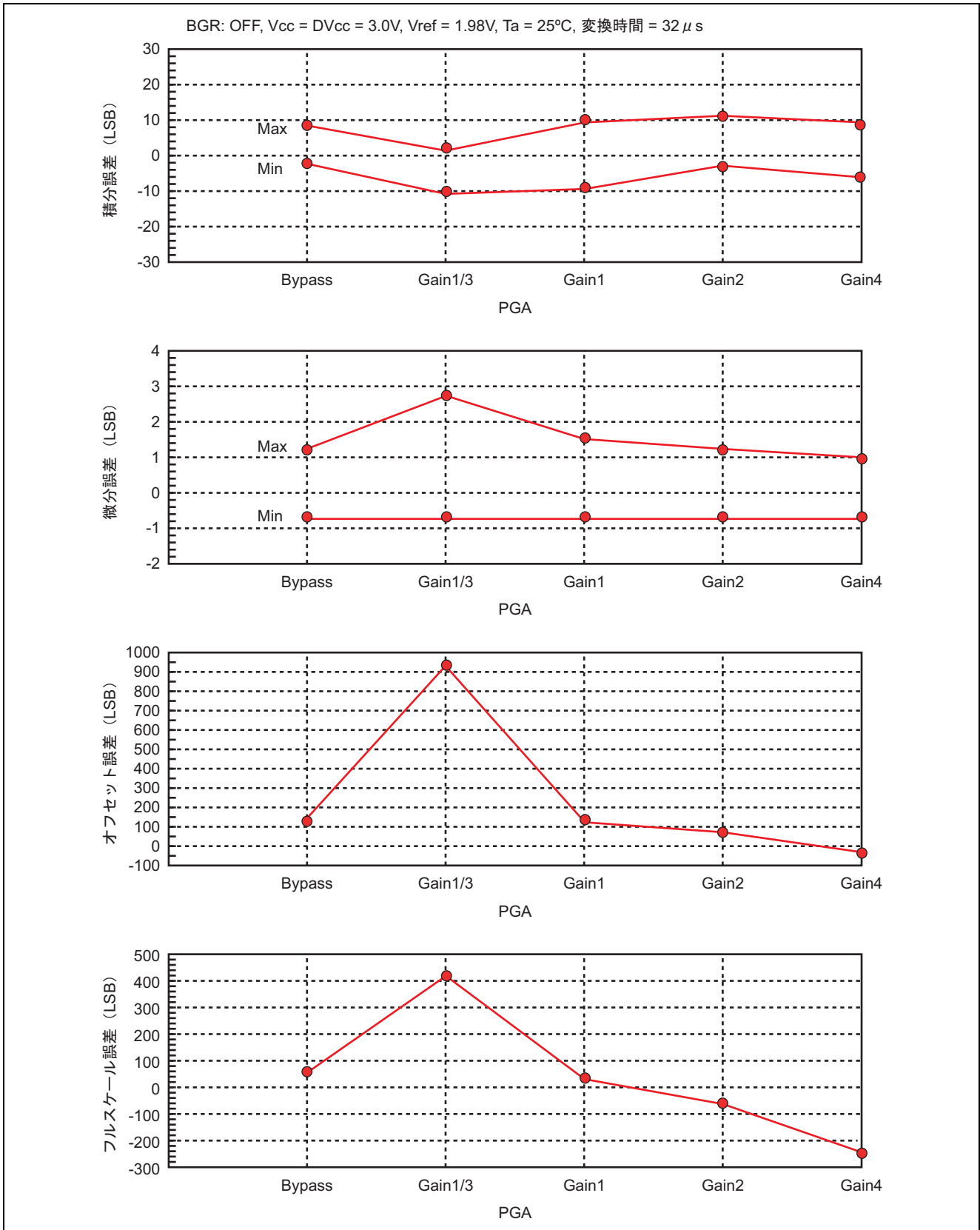


(4) PGA 依存性

- PGA 依存性-1



● PGA 依存性-2



## 7.2 消費電流特性

表 7.3 消費電流特性

共通条件

モード：アクティブモード（高速）

 Fovs =  $\phi$ 

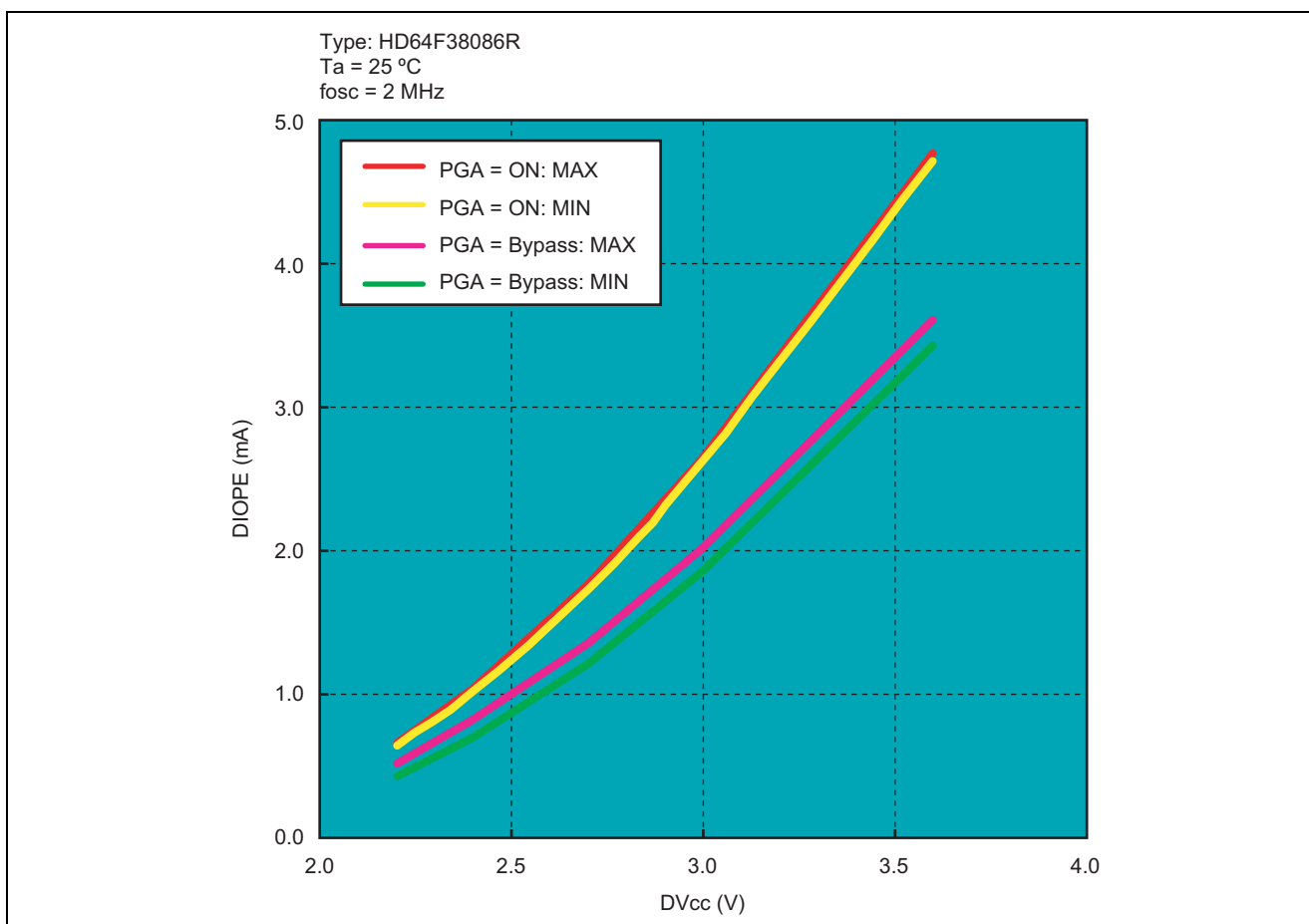
 DIOPE :  $\Delta\Sigma$  A/D 変換器電源電流

 DVcc :  $\Delta\Sigma$  A/D 変換器電源電圧

	項目	モード	BGR	fovs	fosc (MHz)	Ta (°C)	DVcc (V)
1	DIOPE vs DVcc (fosc=2MHz)	アクティブ（高速）	停止	$\phi$	2	25	—
2	DIOPE vs DVcc (fosc=2MHz)	アクティブ（高速）	動作	$\phi$	2	25	—
3	DIOPE vs DVcc (fosc=10MHz)	アクティブ（高速）	停止	$\phi$	10	25	—
4	DIOPE vs DVcc (fosc=10MHz)	アクティブ（高速）	動作	$\phi$	10	25	—
5	DIOPE vs fosc	アクティブ（高速）	停止	$\phi$	—	25	3.0
6	DIOPE vs fosc	アクティブ（高速）	動作	$\phi$	—	25	3.0
7	DIOPE vs Ta	アクティブ（高速）	停止	$\phi$	10	—	3.0
8	DIOPE vs Ta	アクティブ（高速）	動作	$\phi$	10	—	3.0

### (1) DIOPE vs DVcc (fosc=2MHz)

アクティブ (高速) モード  
連続モード、BGR=停止、fovs=φ

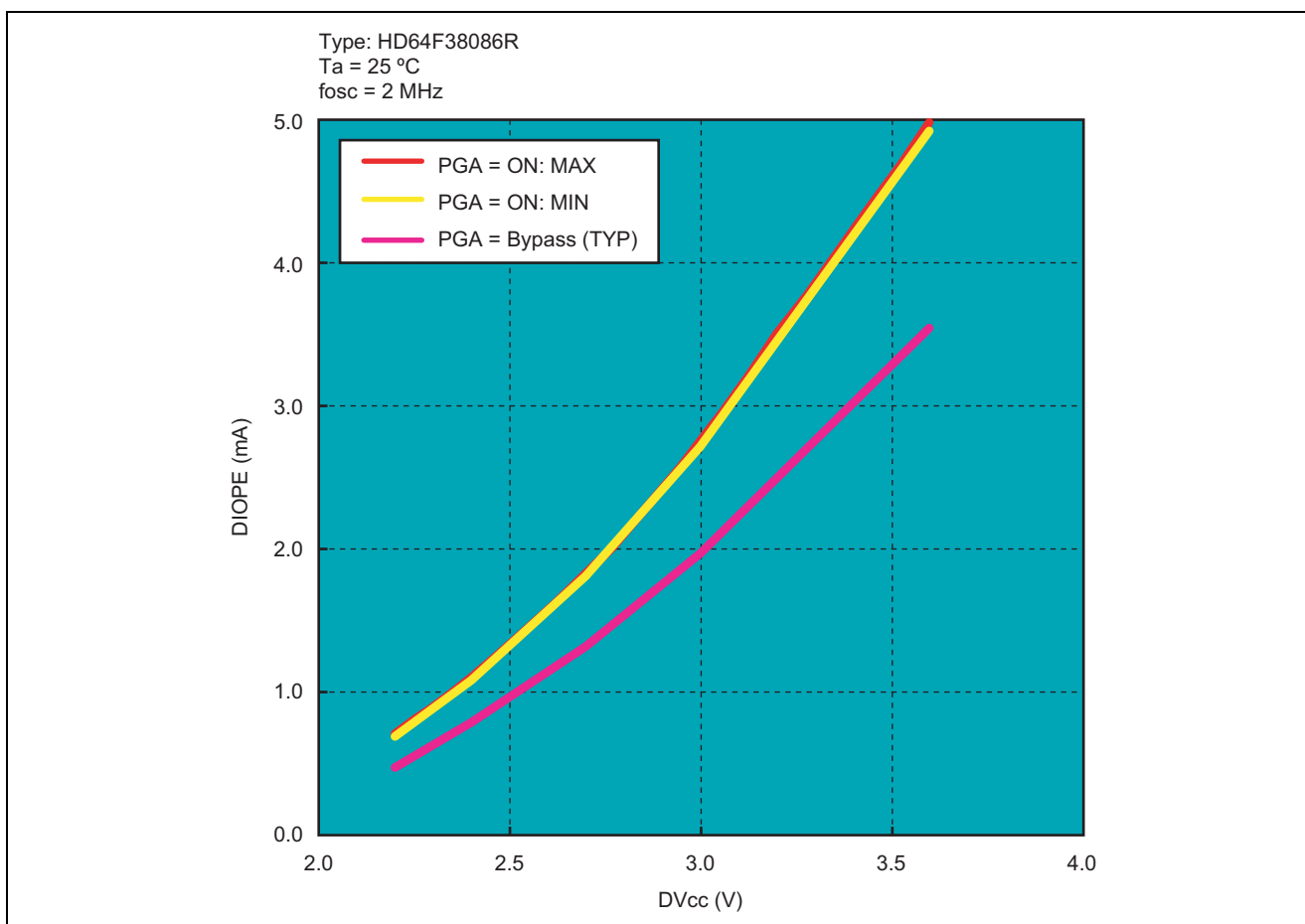


		DVcc (V)				
		2.2	2.4	2.7	3.0	3.6
DIOPE (mA)	PGA=ON : MAX	0.66	1.04	1.76	2.64	4.76
	PGA=ON : MIN	0.64	1.02	1.74	2.62	4.72
	PGA=Bypass : MAX	0.52	0.82	1.36	2.02	3.6
	PGA=Bypass : MIN	0.42	0.7	1.22	1.86	3.42

【注】 本データは限られたサンプルにて測定したものであり、特性を保証するものではありません。  
ご参考値としてご使用ください。

### (2) DIOPE vs DVcc (fosc=2MHz)

アクティブ（高速）モード  
連続モード、BGR=動作、fovs=φ

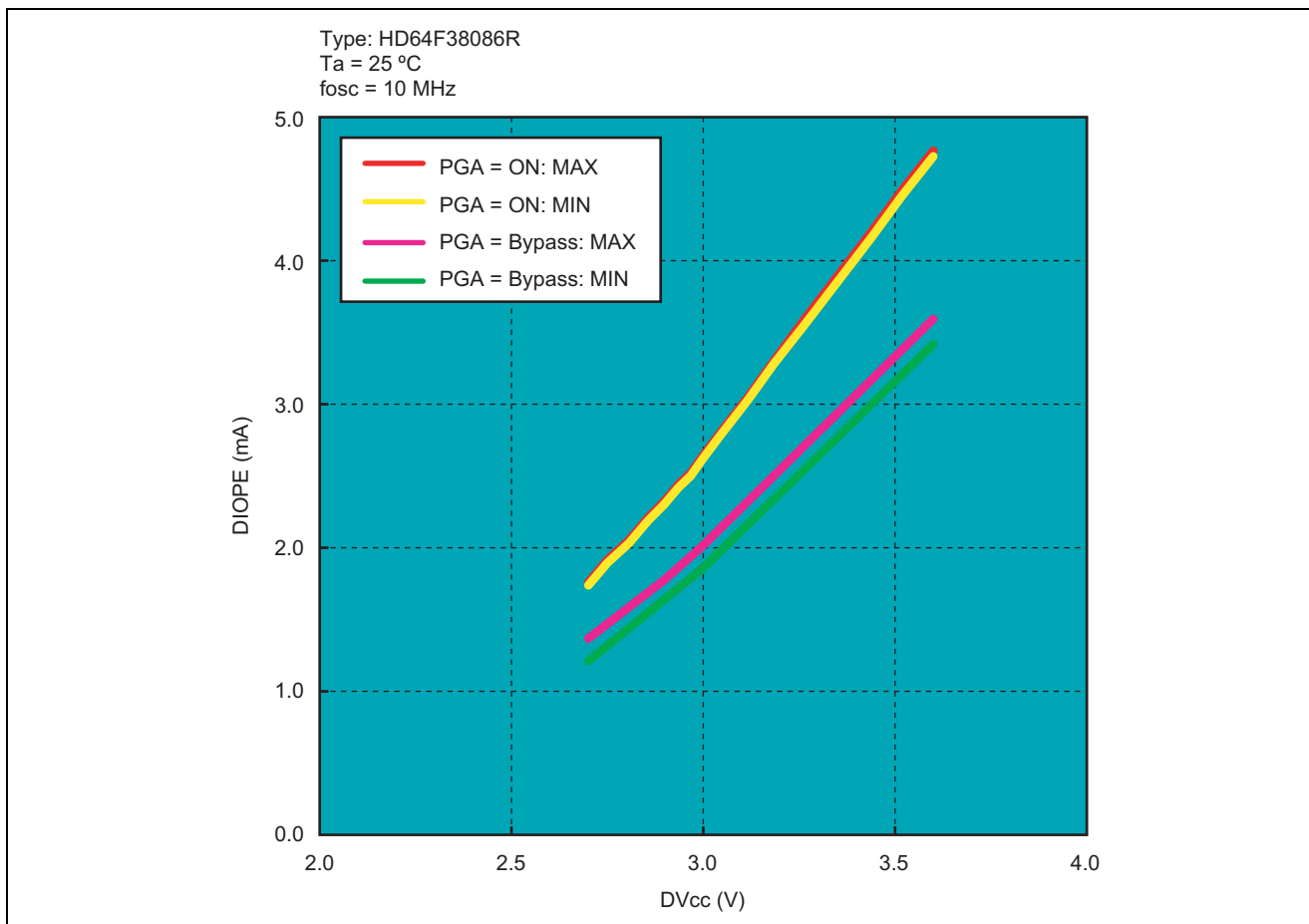


		DVcc (V)				
		2.2	2.4	2.7	3.0	3.6
DIOPE (mA)	PGA=ON : MAX	0.7	1.1	1.84	2.76	4.98
	PGA=ON : MIN	0.68	1.08	1.82	2.72	4.92
	PGA=Bypass (TYP)	0.48	0.78	1.32	1.96	3.54

【注】 本データは限られたサンプルにて測定したものであり、特性を保証するものではありません。  
ご参考値としてご使用ください。

### (3) DIOPE vs DVcc (fosc=10MHz)

アクティブ（高速）モード  
連続モード、BGR=停止、fovs=φ

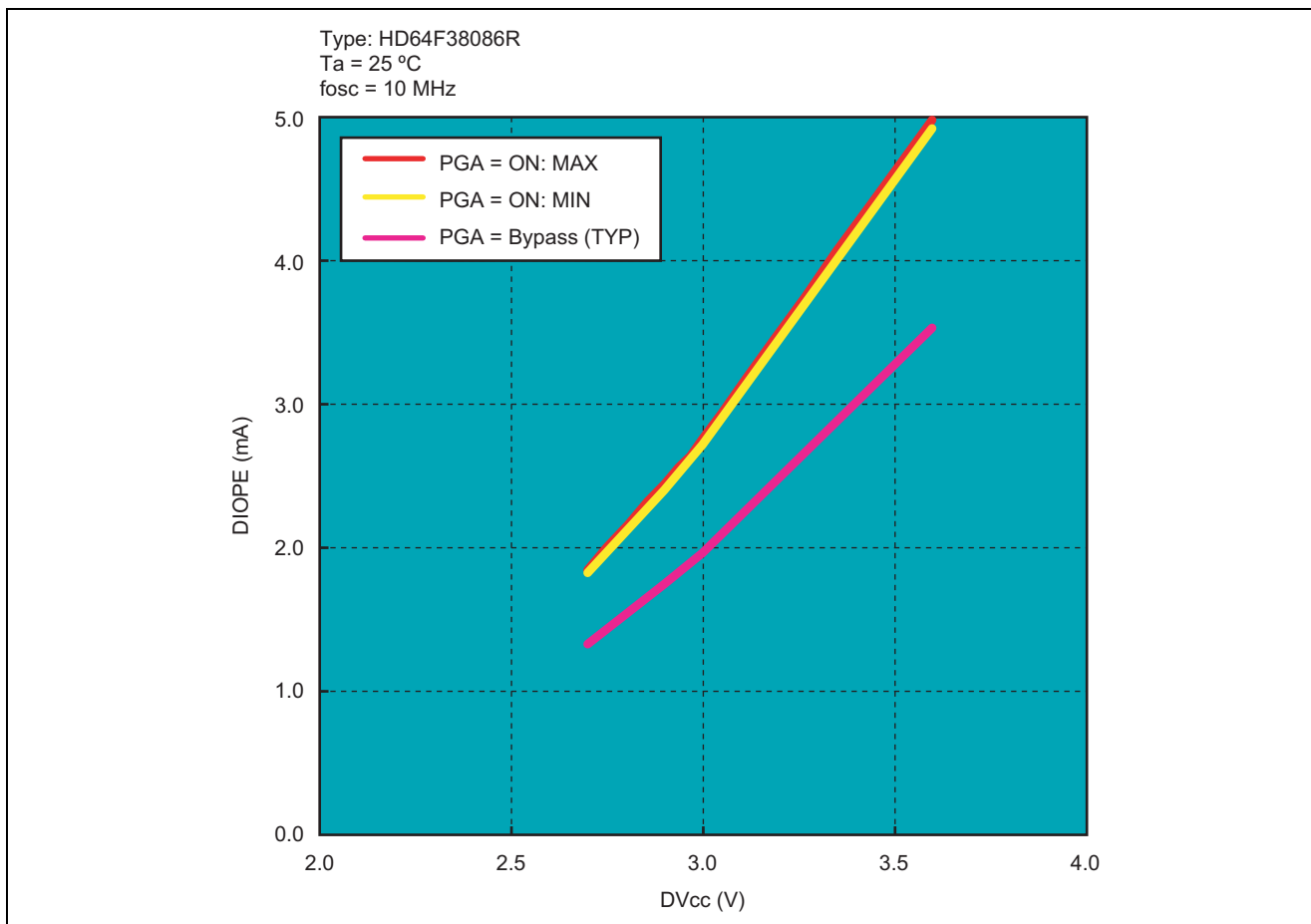


		DVcc (V)			
		2.7	2.9	3.0	3.6
DIOPE (mA)	PGA=ON : MAX	1.76	2.32	2.64	4.76
	PGA=ON : MIN	1.74	2.3	2.62	4.72
	PGA=Bypass : MAX	1.36	1.78	2.02	3.6
	PGA=Bypass : MIN	1.22	1.64	1.86	3.42

【注】 本データは限られたサンプルにて測定したものであり、特性を保証するものではありません。  
ご参考値としてご使用ください。

(4) DIOPE vs DVcc (fosc=10MHz)

アクティブ (高速) モード  
 連続モード、BGR=動作、fovs= $\phi$

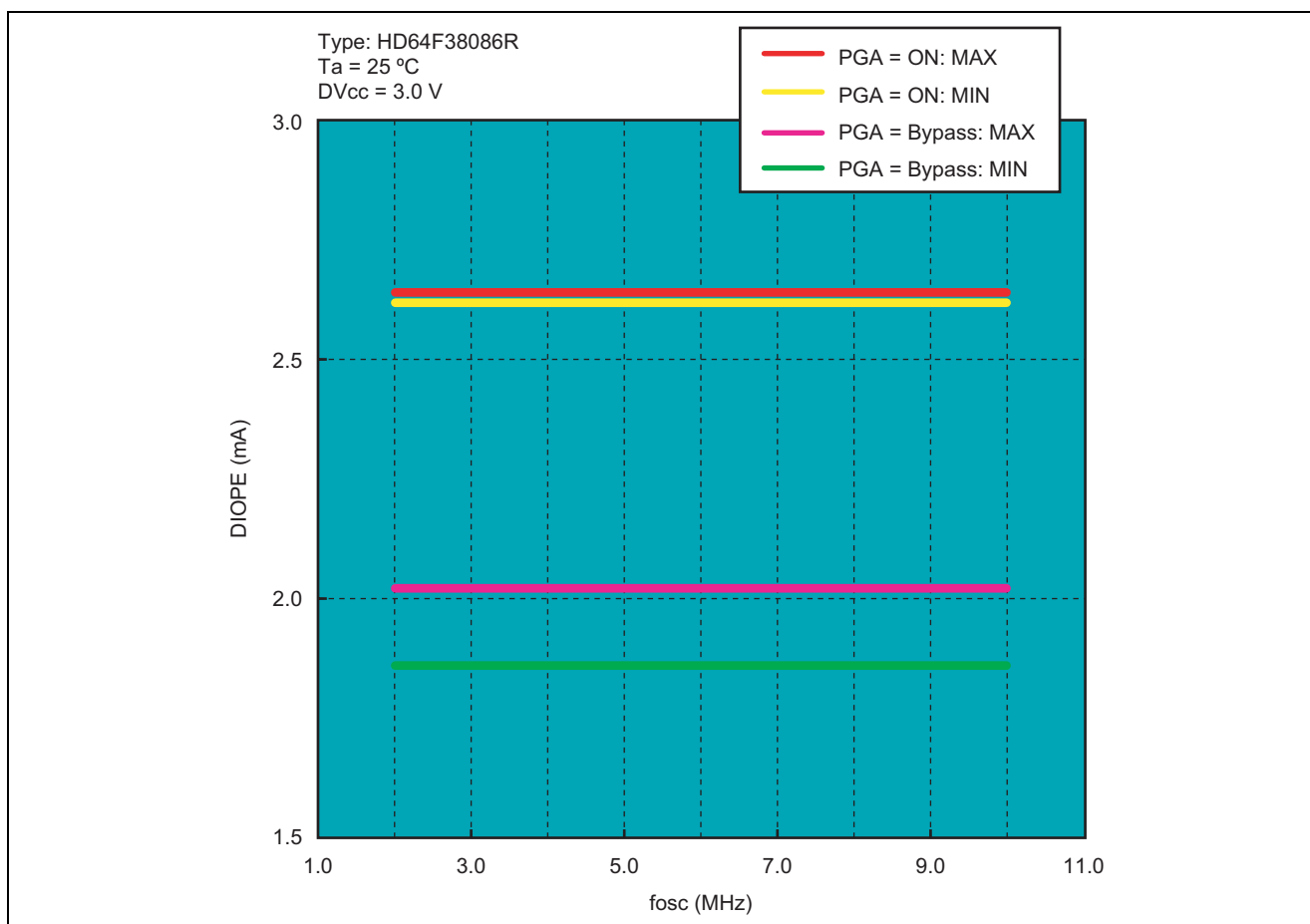


		DVcc (V)			
		2.7	2.9	3.0	3.6
DIOPE (mA)	PGA=ON : MAX	1.84	2.44	2.76	4.98
	PGA=ON : MIN	1.82	2.4	2.72	4.92
	PGA=Bypass (TYP)	1.32	1.74	1.96	3.54

【注】 本データは限られたサンプルにて測定したものであり、特性を保証するものではありません。  
 ご参考値としてご使用ください。

### (5) DIOPE vs fosc

アクティブ（高速）モード  
連続モード、BGR=停止、fovs=φ



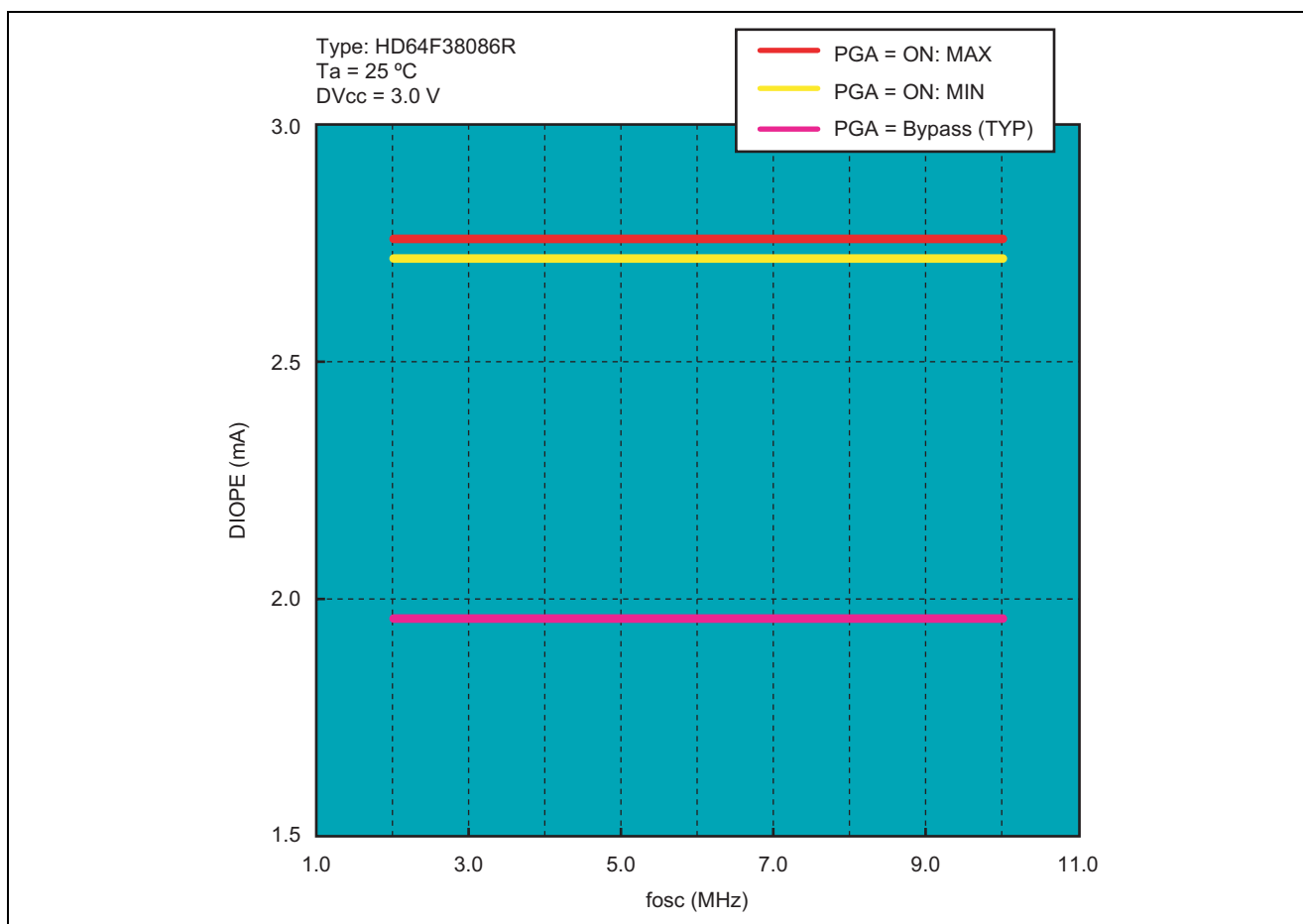
		f <sub>osc</sub> (MHz)	
		2	10
DIOPE (mA)	PGA=ON : MAX	2.64	2.64
	PGA=ON : MIN	2.62	2.62
	PGA=Bypass : MAX	2.02	2.02
	PGA=Bypass : MIN	1.86	1.86

【注】 本データは限られたサンプルにて測定したものであり、特性を保証するものではありません。  
ご参考値としてご使用ください。



### (6) DIOPE vs fosc

アクティブ（高速）モード  
連続モード、BGR=動作、fovs=φ

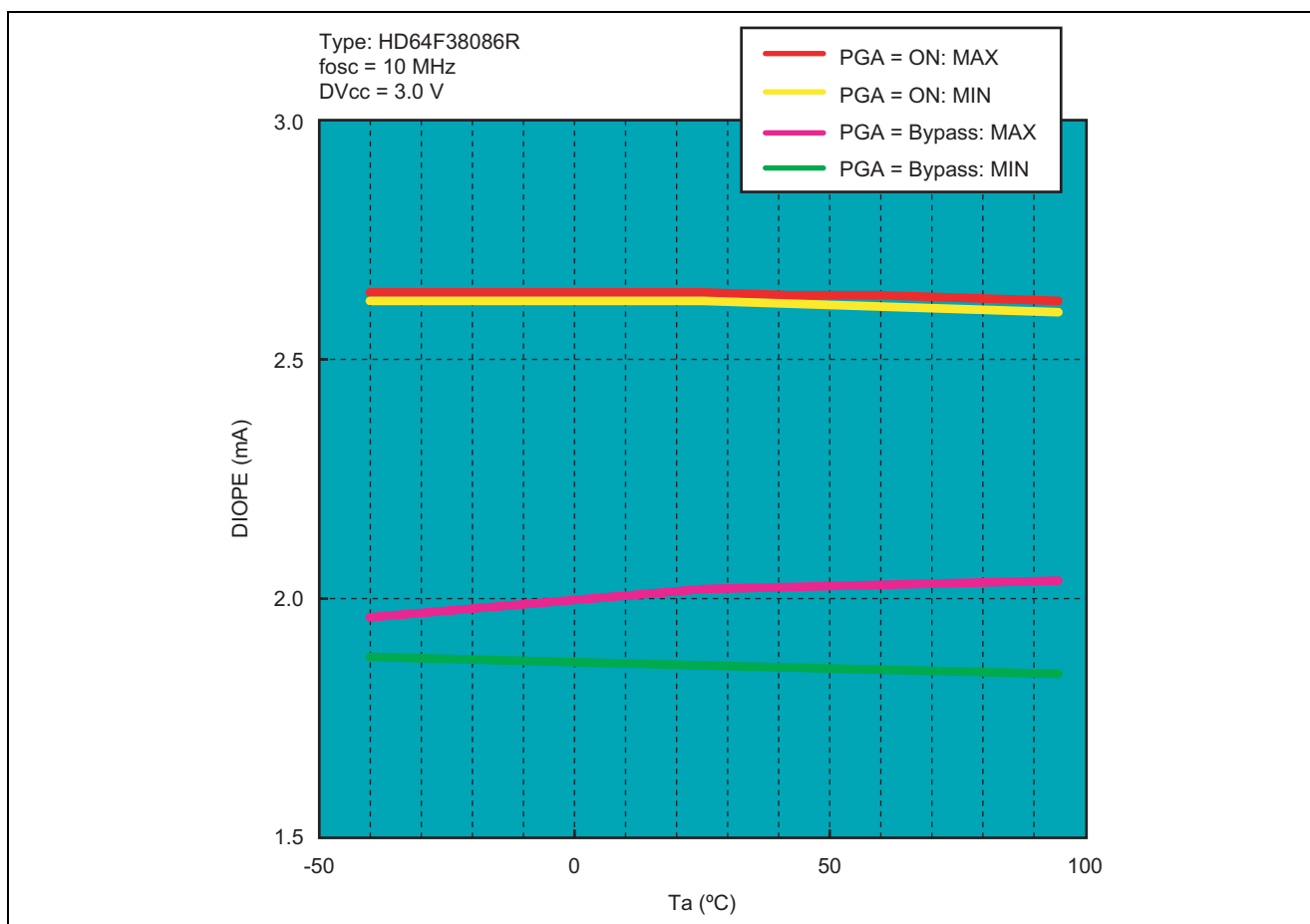


		f <sub>osc</sub> (MHz)	
		2	10
DIOPE (mA)	PGA=ON : MAX	2.76	2.76
	PGA=ON : MIN	2.72	2.72
	PGA=Bypass (TYP)	1.96	1.96

【注】 本データは限られたサンプルにて測定したものであり、特性を保証するものではありません。  
ご参考値としてご使用ください。

### (7) DIOPE vs Ta

アクティブ（高速）モード  
連続モード、BGR=停止、fovs=φ

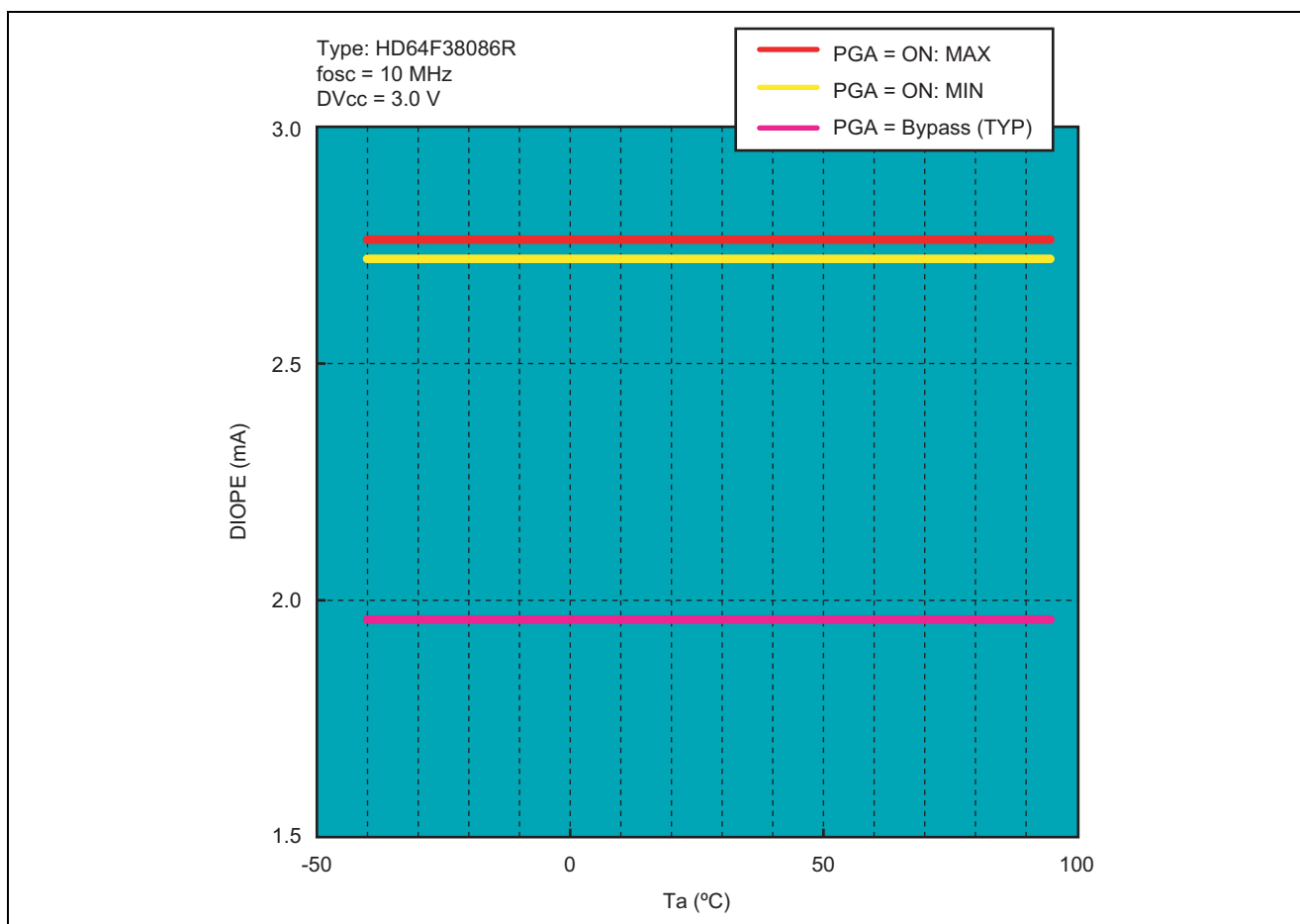


		Ta (°C)		
		-40	25	95
DIOPE (mA)	PGA=ON : MAX	2.64	2.64	2.62
	PGA=ON : MIN	2.62	2.62	2.6
	PGA=Bypass : MAX	1.96	2.02	2.04
	PGA=Bypass : MIN	1.88	1.86	1.84

【注】 本データは限られたサンプルにて測定したものであり、特性を保証するものではありません。  
ご参考値としてご使用ください。

### (8) DIOPE vs Ta

アクティブ（高速）モード  
連続モード、BGR=動作、fovs= $\phi$



		Ta (°C)		
		-40	25	95
DIOPE (mA)	PGA=ON : MAX	2.76	2.76	2.76
	PGA=ON : MIN	2.72	2.72	2.72
	PGA=Bypass (TYP)	1.96	1.96	1.96

【注】 本データは限られたサンプルにて測定したものであり、特性を保証するものではありません。  
ご参考値としてご使用ください。

### 7.3 デジタルフィルタの周波数特性

図 7.2、図 7.3 に 10MHz でサンプリングした時の伝達関数から描いた周波数特性を示します。

- どちらも同じ特性ですが、X 軸を対数目盛りにしたものが図 7.3 です。
- 70kHz あたりまで減衰量が少ないので、70kHz 以下に折り返し雑音を含む場合は、低い周波数ほど折り返し雑音は除去されにくくなっています。

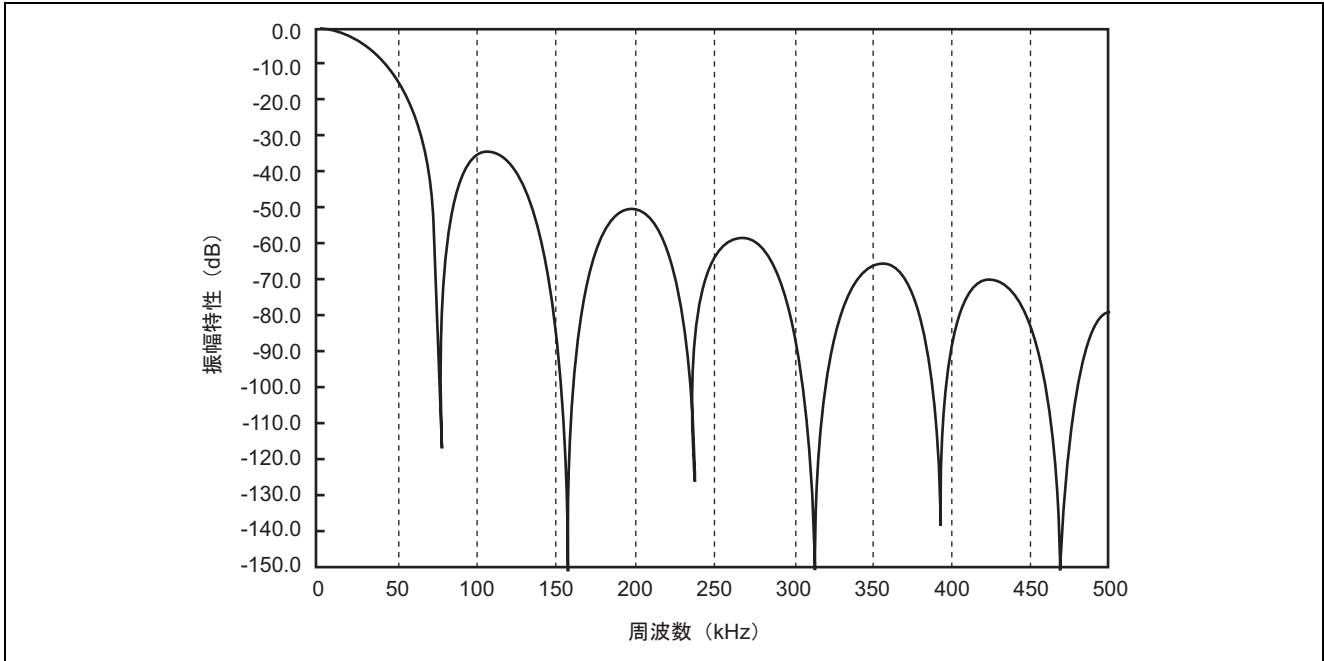


図 7.2 H8/38086R デジタルフィルタ周波数特性  
 (オーバーサンプリング周波数 : 10MHz) (1)

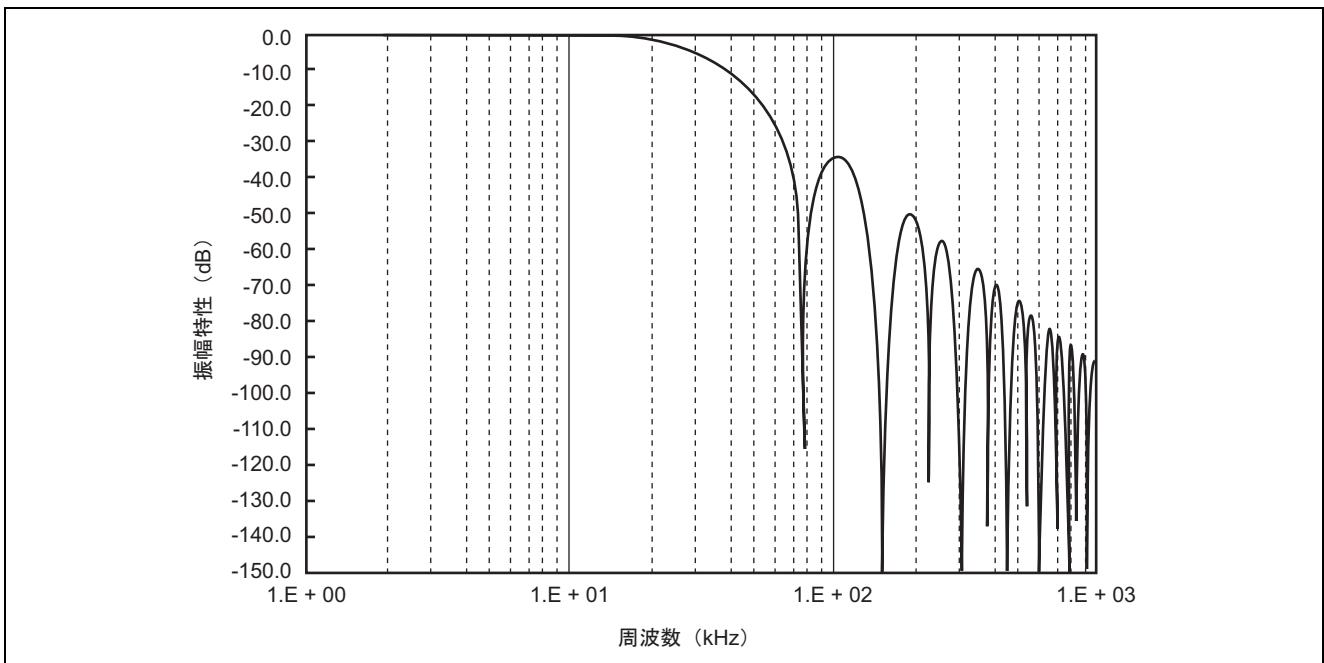


図 7.3 H8/38086R デジタルフィルタ周波数特性  
 (オーバーサンプリング周波数 : 10MHz) (2)

### 7.4 REF 出力電圧特性（立ち上がり時間）

(1) 測定方法

BGR の安定時間とは、BGR コントロールレジスタ (BGRMR) の BTRSTPN (ビット 7) を 1 に設定してからの時間となります。

H8/38086R の  $\Delta\Sigma$  A/D 変換器において、内部基準電圧 (REF) 端子に  $0.1\mu\text{F}$  の積層セラミックコンデンサを接続し、出力される内部基準電圧 (BGR 出力電圧) が約  $1.2\text{V}$  に安定するまでの時間を測定します。

(2) 測定結果

REF 出力電圧が約  $1.2\text{V}$  に安定するまでの時間は約  $70\mu\text{s}$  になります。

(3) 安定時間と測定波形

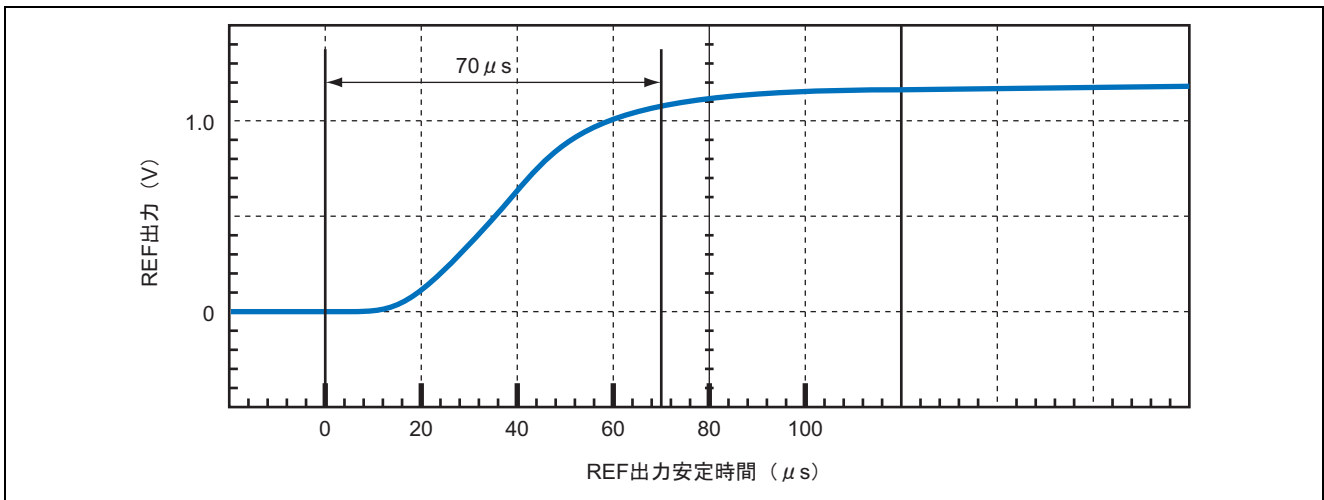


図 7.4 REF 出力電圧安定時間

(4) 測定回路

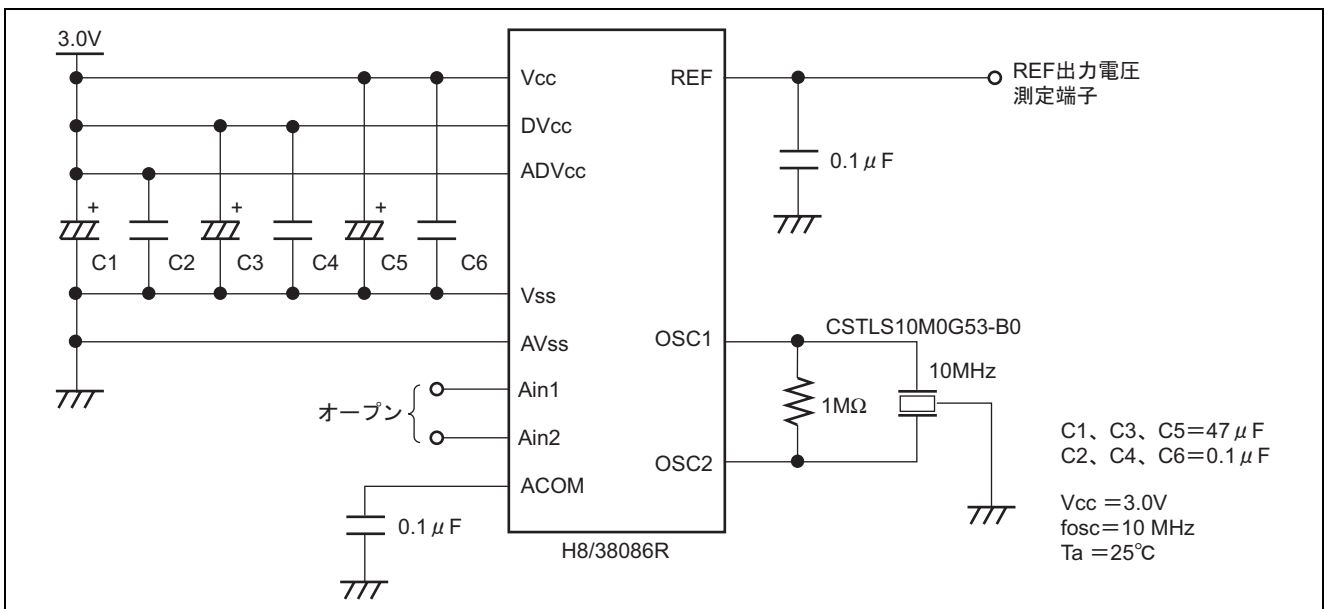


図 7.5 REF 電圧出力特性

## (5) 注意事項

REF 出力端子は十分な駆動能力がありません。外部でご使用になる場合は入力インピーダンスの高い素子で電流増幅してご使用ください。

## ホームページとサポート窓口

ルネサステクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.12.19	—	初版発行
2.00	2006.09.14	1~4	1. $\Delta\Sigma$ A/D 変換器の原理 差し替え
		5~9	2. $\Delta\Sigma$ A/D 変換器 差し替え
		10	2.5 2次 $\Delta\Sigma$ A/D器移動 4.→2.5へ移動
		13	3.3 折り返し雑音 説明文修正 図 3.7 FIR型フィルタ（有限インパルス）応答型 差し替え
		19	図 4.5 アナログ値（ADDRの値）とデジタル値（被測定対象） の関係 差し替え
		19	4.2.1 補正の考え方 計算式修正
		21~23	5.1.1 動作条件、5.2.1 動作条件、5.3.1 動作条件 差し替え
		24、25	5.4 使用上の注意事項 差し替えおよび追加
		32	図 6.5 アナログ値（被測定対象）とデジタル値（ADDRの値） の関係 修正
		32	6.1.5 フルスケール／オフセット誤差補正動作説明 計算式修正
		145	表 7.2 消費電流特性 順番変更、共通条件追加
		146~153	7.2 消費電流特性 (1) DIOPE vs DV <sub>cc</sub> (fosc=2MHz) ~ (8) DIOPE vs Ta 順番変更
		154	7.3 デジタルフィルタの周波数特性 説明文変更 図 7.2 H8/38086R デジタルフィルタ周波数特性 (オーバーサンプリング周波数：10MHz) (1) 追加
155	図 7.5 REF 電圧出力特性 1M $\Omega$ に修正		

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。