

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## H8S ファミリ

### I<sup>2</sup>C バスインタフェース (IIC) シングルマスタモード通信

---

#### 要旨

I<sup>2</sup>C バスインタフェース (IIC) モジュールによるシングルマスタモード通信例を示します。

#### 動作確認デバイス

H8S/2638

#### 目次

1. 仕様 .....	2
2. 適用条件 .....	3
3. 使用機能説明 .....	3
4. 動作説明 .....	4
5. ソフトウェア説明 .....	9

### 1. 仕様

- 図 1 に I<sup>2</sup>C バスインタフェースによるシングルマスタモード通信の接続図を示します。図 1 に各デバイスのスレーブアドレスと SAR\_0 レジスタへの設定値を示します。
- マスタ 1 個，スレーブ 1 個のシングルマスタ構成とします。
- I<sup>2</sup>C バス転送レートは，100k ビット / 秒 (kHz) とします。

以下に本タスク例の動作手順を示します。

1. マスタの  $\overline{\text{IRQ0}}$  端子に Low トリガが入力されると I<sup>2</sup>C バスインタフェースによるシングルマスタ通信を開始します。
2. マスタは，内蔵 ROM 上にあらかじめ用意されたデータをスレーブ側内蔵 RAM へ 4 バイト送信します。
3. スレーブは，2. で受信した内蔵 RAM 上のデータをマスタ側内蔵 RAM へ 4 バイト返送します。
4. マスタは，EEPROM ランダムリードに対応したリスタートを含む受信処理を 1 バイト行います。
5. マスタ側は，内蔵 ROM 上の送信データと内蔵 RAM 上の受信データを比較し，データが一致しているか確認します。
6. マスタ側は，データ比較状態を判定し，PE1, PE0 端子から動作状態を出力します。

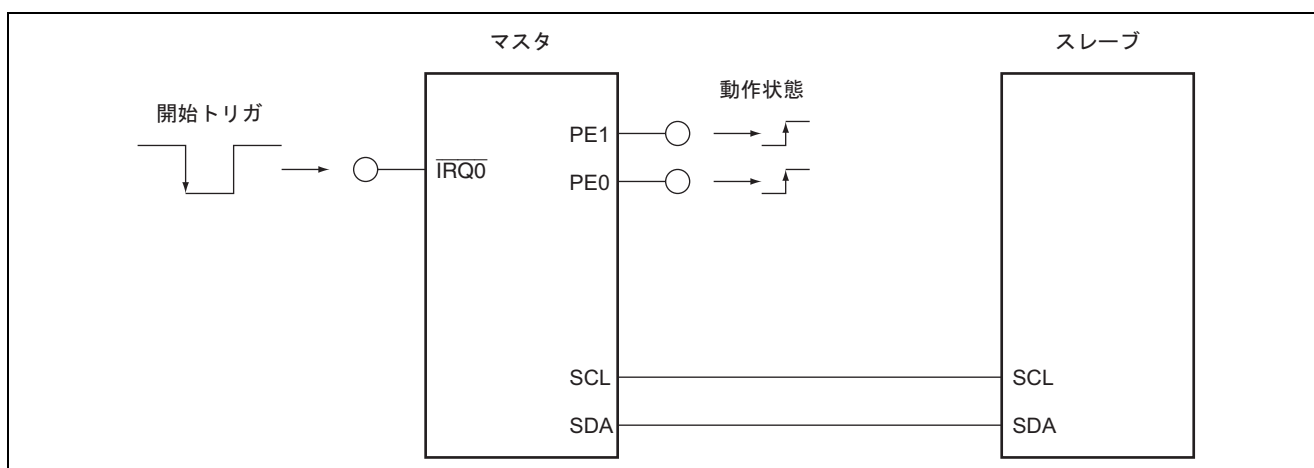


図 1 I<sup>2</sup>C バスインタフェースシングルマスタモード通信接続図

表 1 スレーブアドレス

デバイス	スレーブアドレス	SAR_0 設定値
マスタ	1	H'02
スレーブ	3	H'06

## 2. 適用条件

表 2 適用条件

項目	内容
動作周波数	入力クロック: 20MHz システムクロック (φ): 20MHz 周辺モジュールクロック: 20MHz
動作モード	モード 6 (MD2 = 1, MD1 = 1, MD0 = 0)
開発ツール	High-performance Embedded Workshop V.4.01.01
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler V.6.01.02
コンパイルオプション	-cpu = 2000a: 24, -code = machinecode, -optimize = 1, -regparam = 3 -speed = (register, shift, struct, expression)

表 3 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域
	C	データテーブル
H'FF6000	B	未初期化データ領域 (RAM 領域)

## 3. 使用機能説明

### 3.1 I<sup>2</sup>C バスインタフェース (IIC) 機能

I<sup>2</sup>C バスインタフェース (IIC) 機能は、シングルマスタとして動作し、マスタモードの双方向通信を行います。

### 3.2 マスタ側 $\overline{\text{IRQ0}}$ 端子

マスタ側  $\overline{\text{IRQ0}}$  端子は、マスタ送信、マスタ受信動作の開始トリガを入力します。 $\overline{\text{IRQ0}}$  端子へ立ち下がりエッジが入力されると、I<sup>2</sup>C バスインタフェース通信処理を開始します。

$\overline{\text{IRQ0}}$  端子の判定は、IRQ ステータスフラグのポーリングにより開始トリガを判定します。IRQ 割り込みは使用しておりません。

### 3.3 マスタ側 PE1, PE0 端子

表 4 に示すように、マスタ側 PE1, PE0 端子は、I<sup>2</sup>C バスインタフェース通信の動作状態を出力します。

表 4 マスタ側端子出力値と動作状態

PE1	PE0	動作状態
0	0	リセット時
0	1	データ一致
1	0	データ不一致

## 4. 動作説明

### 4.1 マスタ送信モード動作タイミング

図2にI<sup>2</sup>Cバスインタフェースマスタ送信モードの動作タイミングを示します。また、図2の説明として表5にハードウェアおよびソフトウェア処理の内容を示します。

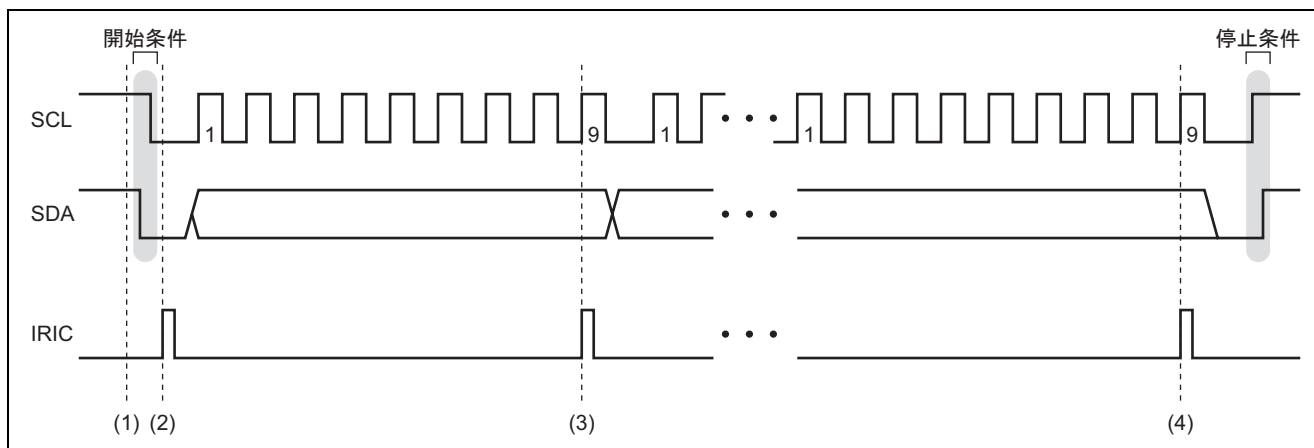


図2 マスタ送信モード動作タイミング

表5 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	処理なし	a. IEIC = 1 に設定: I <sup>2</sup> C バスインタフェース割り込み許可。 b. 開始条件発行。
(2)	a. I <sup>2</sup> C バスインタフェース割り込み発生。 開始条件を検出し, IRIC = 1 にセットされる。	a. "スレーブ側アドレス+R/W"を ICDR へライトし送信する。 b. IRIC フラグをクリア。
(3)	a. I <sup>2</sup> C バスインタフェース割り込み発生。 SCL の9クロック目が立ち上がったとき, IRIC = 1 にセットされる。	a. 送信データを ICDR へライトし送信する。 b. IRIC フラグをクリア。
(4)	a. I <sup>2</sup> C バスインタフェース割り込み発生。 SCL の9クロック目が立ち上がったとき, IRIC = 1 にセットされる。	a. IEIC = 0 に設定: I <sup>2</sup> C バスインタフェース割り込み禁止。 b. IRIC フラグをクリア。 c. 停止条件を発行する。

## 4.2 マスタ受信モード動作タイミング

図3, 図4にI<sup>2</sup>Cバスインタフェースマスタ受信モードの動作タイミングを示します。また, 図3, 図4の説明として, 表6, 表7にハードウェアおよびソフトウェア処理の内容を示します。

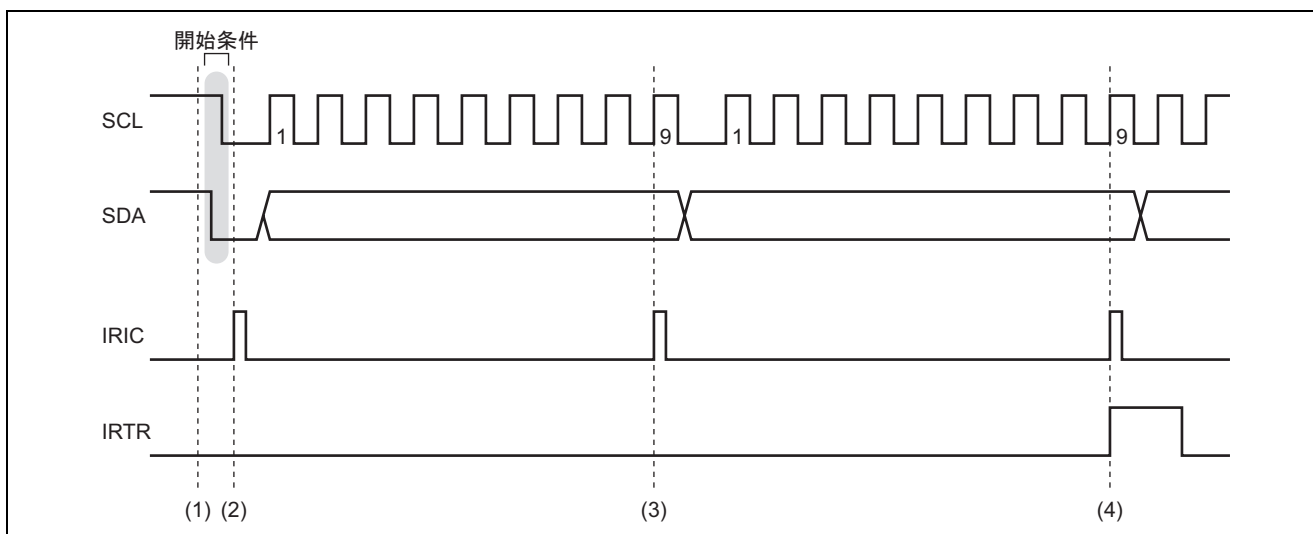


図3 マスタ受信モード動作タイミング1

表6 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	処理なし	a. IEIC = 1 に設定: I <sup>2</sup> C バスインタフェース割り込み許可。 b. 開始条件発行。
(2)	a. I <sup>2</sup> C バスインタフェース割り込み発生。 開始条件を検出し, IRIC = 1 にセットされる。	a. "スレーブ側アドレス+R/W"を ICDR へライトし送信する。 b. IRIC フラグをクリア。
(3)	a. I <sup>2</sup> C バスインタフェース割り込み発生。 SCL の9クロック目が立ち上がったとき, IRIC = 1 にセットされる。	a. TRS = 0: 受信モードに設定。 b. ACKB = 0: アクノリッジ出力タイミングで0出力。 c. IRIC フラグをクリア。 d. WAIT = 1: データとアクノリッジの間にウェイトを挿入する。 e. ICDRR をダミーリードする。
(4)	a. I <sup>2</sup> C バスインタフェース割り込み発生。 SCL の9クロック目が立ち上がったとき, IRIC = 1 にセットされる。 b. IRTR = 1 にセットされる。 ICDRS から ICDRR へ受信データが転送されたとき, RDRF = 1, IRTR = 1 にセットされる。	a. IRTR = 1 のとき, ICDR から 1 バイトリードし, RAM へ格納する。 b. IRIC フラグをクリア (IRTR もクリアされる)

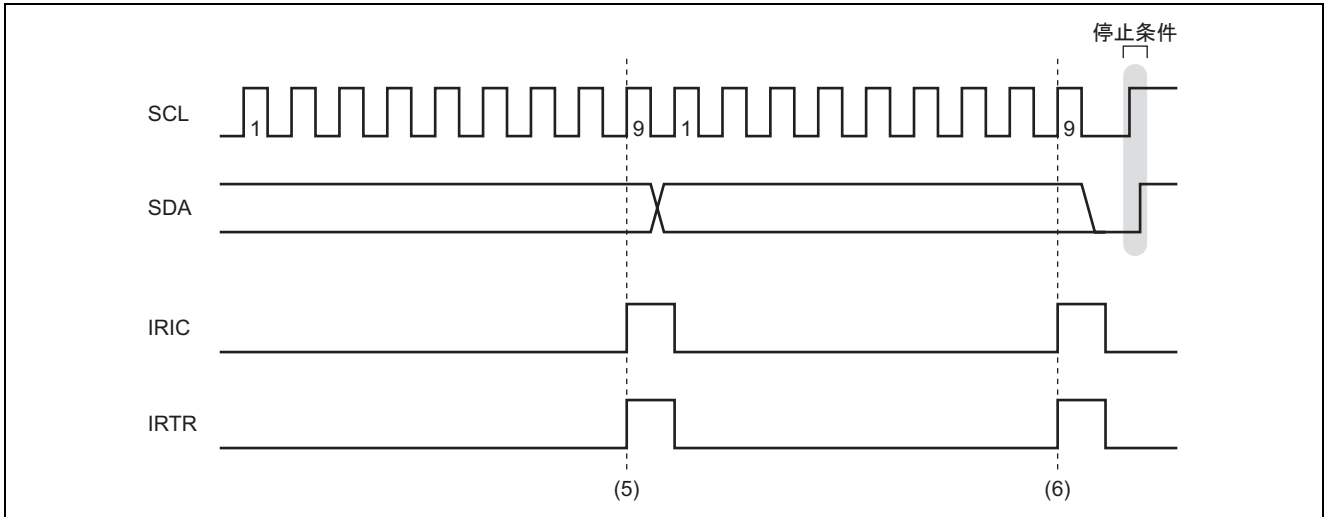


図 4 マスタ受信モード動作タイミング 2

表 7 処理内容

	ハードウェア処理	ソフトウェア処理
(5)	<ul style="list-style-type: none"> <li>a. I<sup>2</sup>C バスインタフェース割り込み発生。SCL の 9 クロック目が立ち上がったとき、IRIC = 1 にセットされる。</li> <li>b. IRTR = 1 にセットされる。ICDRS から ICDRR へ受信データが転送されたとき、RDRF = 1、IRTR = 1 にセットされる。</li> </ul>	<ul style="list-style-type: none"> <li>a. ACKB = 1: アクノリッジ出力タイミングで 1 出力。</li> <li>b. TRS = 1: 停止条件送出手の送信モードに設定。</li> <li>c. IRTR = 1 のとき、ICDR から 1 バイトリードし、RAM へ格納する。</li> <li>d. IRIC フラグをクリア (IRTR もクリアされる)</li> </ul>
(6)	<ul style="list-style-type: none"> <li>a. I<sup>2</sup>C バスインタフェース割り込み発生。SCL の 9 クロック目が立ち上がったとき、IRIC = 1 にセットされる。</li> <li>b. IRTR = 1 にセットされる。ICDRS から ICDRR へ受信データが転送されたとき、RDRF = 1、IRTR = 1 にセットされる。</li> </ul>	<ul style="list-style-type: none"> <li>a. WAIT = 0: データとアクノリッジを連続的に転送する。</li> <li>b. IRIC フラグをクリア (IRTR もクリアされる)</li> <li>c. IRTR = 1 のとき、ICDR から最後のデータをリードし、RAM へ格納する。</li> <li>d. 停止条件を発行する。</li> </ul>



### 4.3 ランダムリードの波形と割り込みタイミング

図 5 に I<sup>2</sup>C バスインタフェースマスタ送信モードの動作タイミングを示します。また、図 5 の説明として、表 8 にハードウェアおよびソフトウェア処理の内容を示します。

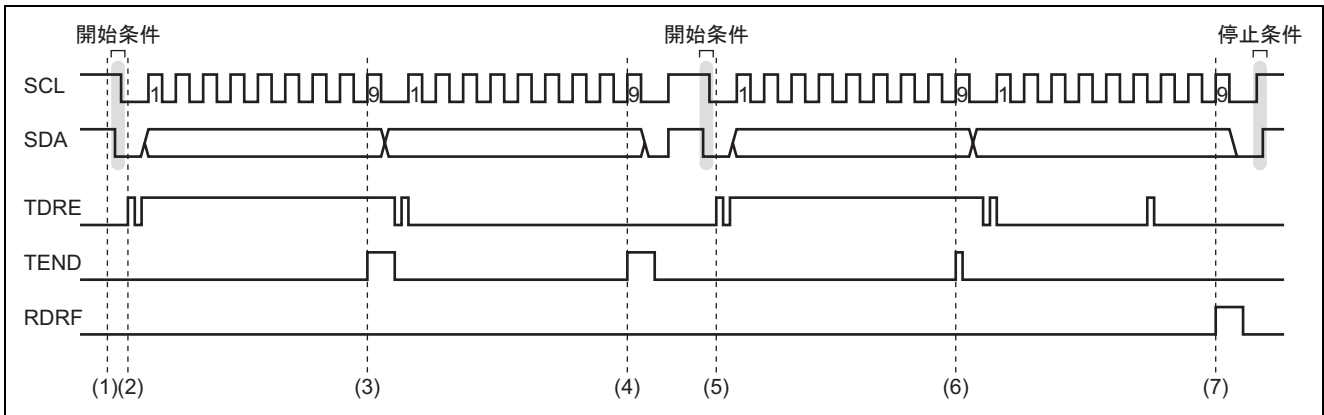


図 5 マスタ送信モード動作タイミング

表 8 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	処理なし	a. TIE = 1 に設定: データエンプティ割り込み許可。 TDRE = 1 のとき, 割り込み発生。 b. 開始条件発行。
(2)	a. 送信データエンプティ割り込み発生。 開始条件を検出し, TDRE = 1 にセットされる。	a. "スレーブ側アドレス+R/W"を ICDRT へライトし送信する。 ICDRT ライトにより, TDRE, TEND フラグは, クリアされる。 b. TIE = 0 に設定: 送信データエンプティ割り込み禁止。 c. TEIE = 1 に設定: 送信終了割り込み許可。 TEND = 1 のとき, 割り込み発生。
(3)	a. 送信終了割り込み発生。 SCL の 9 クロック目が立ち上がったとき, TEND = 1 にセットされる。	a. メモリアドレスを ICDRT へライトし送信する。 ICDRT ライトにより, TDRE, TEND フラグは, クリアされる。
(4)	a. 送信終了割り込み発生。 SCL の 9 クロック目が立ち上がったとき, TEND = 1 にセットされる。	a. TIE = 1 に設定: データエンプティ割り込み許可。 TDRE = 1 のとき, 割り込み発生。 b. TEIE = 0 に設定: 送信終了割り込み禁止。 c. TEND フラグをソフトクリア。 d. SCL = Low を確認後, 開始条件を発行する。
(5)	a. 送信データエンプティ割り込み発生。 開始条件を検出し, TDRE = 1 にセットされる。	a. "スレーブ側アドレス+R/W"を ICDRT へライトし送信する。 ICDRT ライトにより, TDRE, TEND フラグは, クリアされる。 b. TIE = 0 に設定: 送信データエンプティ割り込み禁止。 c. TEIE = 1 に設定: 送信終了割り込み許可。 TEND = 1 のとき, 割り込み発生。

	ハードウェア処理	ソフトウェア処理
(6)	a. 送信終了割り込み発生。 SCL の 9 クロック目が立ち上がったとき、 TEND = 1 にセットされる。	a. TEIE = 0 に設定: 送信終了割り込み禁止。 b. RIE = 1 に設定: 受信データフル割り込み許可。 c. TEND フラグをソフトクリア。 d. TRS = 0 受信モードに設定。 e. ACKBT = 1 に設定: 受信モード時、 アクノリッジのタイミングで 1 を送出。 f. ICDRR をダミーリードする。 ICDRR リードにより、RDRF はクリアされる。
(7)	a. 受信データ割り込み発生。 ICDRS から ICDRR にデータ転送されたため、 RDRF = 1 にセットされる。	a. ICDRR から最終バイトの受信データを リードし、RAM へ格納する。 ICDRR リードにより、RDRF はクリア される。 b. RIE = 0 に設定: 受信データフル割り込み 禁止。 c. TEND フラグをソフトクリア。 d. SCL = Low を確認後、停止条件を発行する。

### 4.4 状態遷移図

図 6 に本タスク例の状態遷移図を示します。本タスク例では、マスタ送信モードがデフォルトの処理状態です。リセット直後や I<sup>2</sup>C バスインタフェース通信アイドル時は、マスタ送信モードへ遷移します。

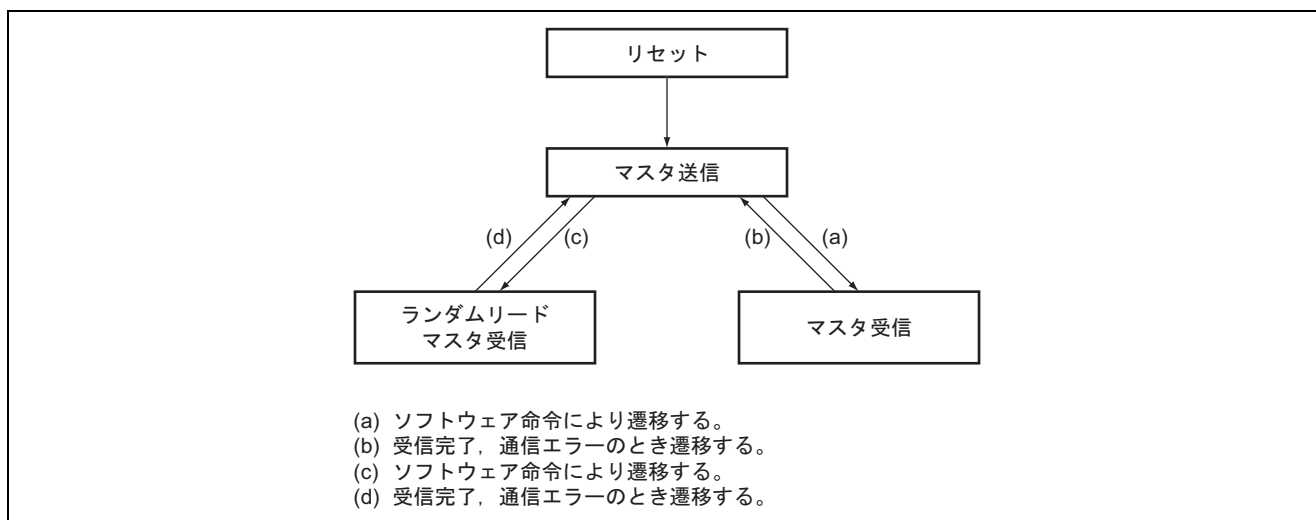


図 6 状態遷移図

5. ソフトウェア説明

5.1 関数一覧

表 9 main.c ファイル関数一覧

関数名	機能
init	初期化ルーチン CCR, クロック設定, モジュールストップ解除, main 関数のコール
main	メインルーチン マスタモードとして動作し, I <sup>2</sup> C 端子判定, マスタ送受信処理を行う

表 10 iic.c ファイル関数一覧

関数名	機能
iic_init	I <sup>2</sup> C バスインタフェース初期化ルーチン。
mtrs_start	I <sup>2</sup> C バスインタフェースマスタ送信の設定。開始条件発行。
mrcv_start	I <sup>2</sup> C バスインタフェースマスタ受信の設定。開始条件発行。
mrandr_start	ランダムリードの設定。開始条件発行。
iici0_int	I <sup>2</sup> C バスインタフェース割り込み処理。動作状態を判別して, 停止条件, マスタ送信, マスタ受信, ランダムリードの各プログラムをコールする。
receive_stop_condition	停止条件検出処理。
master_transfer	本タスク例の処理状態がマスタ送信モードのとき, I <sup>2</sup> C バスインタフェース割り込み処理からコールされるマスタ送信処理。 1回のコールで1バイトのデータを送信する。
master_receive	本タスク例の処理状態がマスタ受信モードのとき, I <sup>2</sup> C バスインタフェース割り込み処理からコールされるマスタ受信処理。 1回のコールで1バイトのデータを受信する。
master_randomread	本タスク例の処理状態がランダムリードモードのとき, I <sup>2</sup> C バスインタフェース割り込み処理からコールされるランダムリード処理。 指定アドレスの送信と1バイトのデータを受信する。

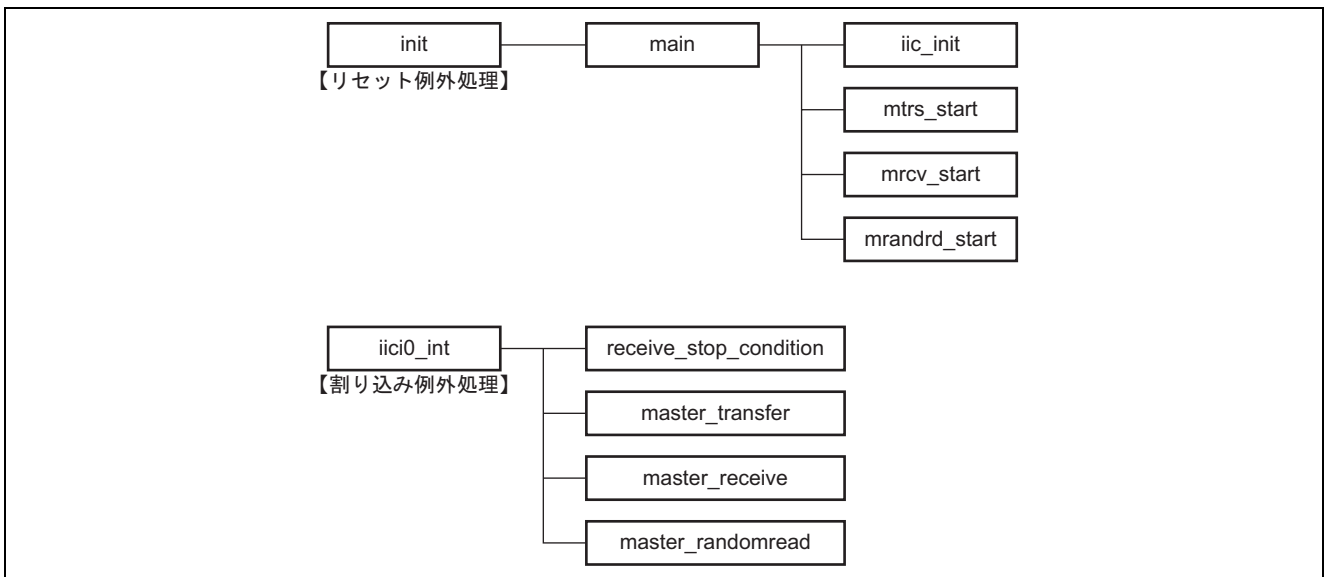


図 7 ユーザプログラム階層構造

## 5.2 ベクタテーブル

表 11 割り込み例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブルアドレス	割り込み先関数
リセット	0	H'000000	main
IIC10 割り込み	116	H'0001D0	iici0_int

## 5.3 使用 RAM

表 12 使用 RAM

型	変数名	内容	使用関数
unsigned char	iic_mode	本タスク例の処理状態を設定する。	iic_init mtrs_start mrcv_start mrandrd_start iici0_int receive_stop_condition
unsigned short	mt_cnt	マスタ送信時のカウンタ。	main iic_init mtrs_start master_transfer
unsigned short	mr_cnt	マスタ受信時のカウンタ。	main iic_init mrcv_start master_receive
unsigned char	randrd_cnt	ランダムリード時のカウンタ。	main iic_init mrandrd_start master_randomread
unsigned short	mt_num	マスタ送信数。	mtrs_start master_transfer
unsigned short	mr_num	マスタ受信数。	mrcv_start master_receive
unsigned char	*mt_data	送信データのポインタ。	mtrs_start mrandrd_start master_transfer master_randomread
unsigned char	*mr_data	受信データのポインタ。	mrcv_start mrandrd_start master_receive master_randomread
unsigned char	MemAddress	EEPROM メモリアドレスを設定するためのメモリ領域。	mrandrd_start
unsigned char	MRcv_dt[4]	マスタ側受信エリア。	main

## 5.4 const 定数

表 13 const 定数

型	変数名	設定値	内容	使用関数
unsigned char	MTrs_dt[4]	H'81, H'01, H'02, H'03	マスタ送信データ	main

## 5.5 マクロ定数

表 14 マクロ定数

定数名	設定値	内容	使用関数名
DTNUM	4	送受信データ数	main
SLAVE_ADDR	H'02	スレーブアドレス	iic_init
MT_ID	H'06	マスタ送信時スレーブアドレス スレーブ側のスレーブアドレス+R/W(0)	master_transfer master_randomread
MR_ID	H'07	マスタ受信時スレーブアドレス スレーブ側のスレーブアドレス+R/W(1)	master_receive master_randomread
MODE_MR_RAND	4	本タスク例の処理状態 ランダムリードモード	mrandr_start iici0_int
MODE_MT	3	本タスク例の処理状態 マスタ送信モード	iic_init mtrs_start iici0_int receive_stop_condition
MODE_MR	2	本タスク例の処理状態 マスタ受信モード	mrcv_start iici0_int

## 5.6 main.c ファイル関数説明

### 5.6.1 init 関数

#### 1. 機能概要

初期化ルーチン。モジュールストップ解除，クロック設定，main 関数のコール。

#### 2. 引数

なし

#### 3. 戻り値

なし

#### 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお，設定値は本タスク例において使用している値であり，初期値とは異なります。

#### ● システムクロックコントロールレジスタ (SCKCR)                      アドレス: H'FFFDE6

ビット	ビット名	設定値	R/W	機能
2	SCK2	0	R/W	システムクロックセレクト 2~0 バスマスタのクロックを選択します。 000: バスマスタは高速モード
1	SCK1	0	R/W	
0	SCK0	0	R/W	

#### ● ローパワーコントロールレジスタ (LPWRCR)                      アドレス: H'FFFDEC

ビット	ビット名	設定値	R/W	機能
1	STC1	0	R/W	システムクロックセレクト 2~0 PLL 回路の周波数逡倍率を指定します。 00: ×1
0	STC0	0	R/W	

#### ● モードコントロールレジスタ (MDCR)                      アドレス: H'FFFDE7

ビット	ビット名	設定値	R/W	機能
2	MDS2	—*	R	モードセレクト 2~0 モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットは MD2~MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると，モード端子 (MD2~MD0) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットで解除されます。
1	MDS1	—*	R	
0	MDS0	—*	R	

【注】 \* MD2~MD0 端子の設定により決定されます。

MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

● モジュールストップコントロールレジスタ A (MSTPCRA) アドレス: H'FFFDE8

ビット	ビット名	設定値	R/W	機能
6	MSTPA6	1	R/W	データトランスファコントローラ (DTC)
5	MSTPA5	1	R/W	16 ビットタイマパルスユニット (TPU)
3	MSTPA3	1	R/W	プログラマブルパルスジェネレータ (PPG)
2	MSTPA2	1	R/W	D/A コンバータ (チャンネル 0, 1)
1	MSTPA1	1	R/W	A/D コンバータ

● モジュールストップコントロールレジスタ B (MSTPCRB) アドレス: H'FFFDE9

ビット	ビット名	設定値	R/W	機能
7	MSTPB7	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
6	MSTPB6	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
5	MSTPB5	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
4	MSTPB4	0	R/W	I <sup>2</sup> C バスインタフェース_0 (IIC_0)
3	MSTPB3	1	R/W	I <sup>2</sup> C バスインタフェース_1 (IIC_1)

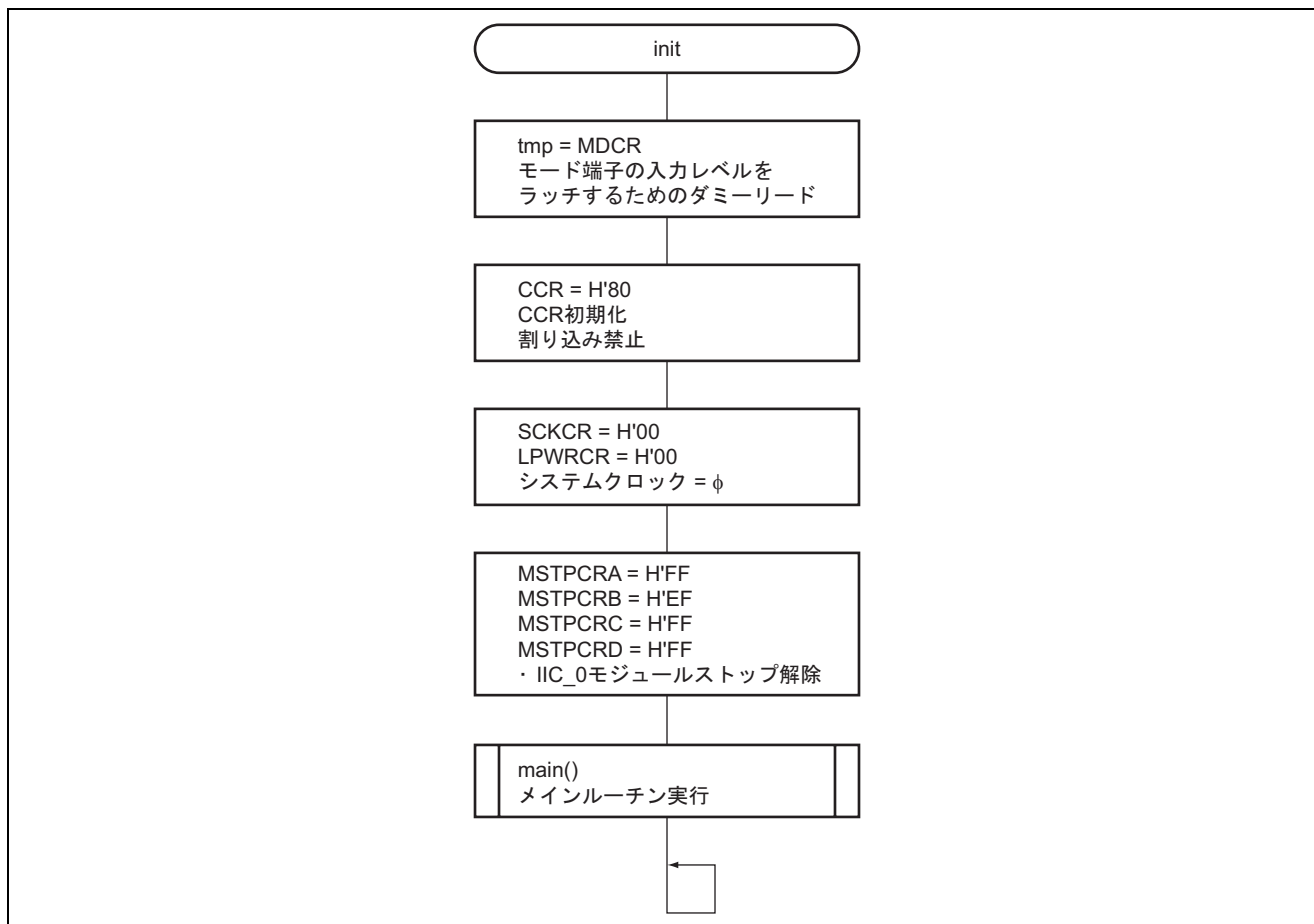
● モジュールストップコントロールレジスタ C (MSTPCRC) アドレス: H'FFFDEA

ビット	ビット名	設定値	R/W	機能
4	MSTPC4	1	R/W	PC ブレークコントローラ (PBC)
3	MSTPC3	1	R/W	HCAN0
2	MSTPC2	1	R/W	HCAN1

● モジュールストップコントロールレジスタ D (MSTPCRD) アドレス: H'FFFC60

ビット	ビット名	設定値	R/W	機能
7	MSTPD7	1	R/W	モータコントロール PWM (PWM)

5. フローチャート





## 5.6.2 main 関数

## 1. 機能概要

- $\overline{\text{IRQ0}}$  端子の立ち下がリエッジにより, 4 バイトマスタ送信, 4 バイトマスタ受信, 1 バイトランダムリード処理を行う。
- マスタ送信データとマスタ受信データのコンペアを行い, コンペア結果を PE1, PE0 へ出力する。

## 2. 引数

なし

## 3. 戻り値

なし

## 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお, 設定値は本タスク例において使用している値であり, 初期値とは異なります。

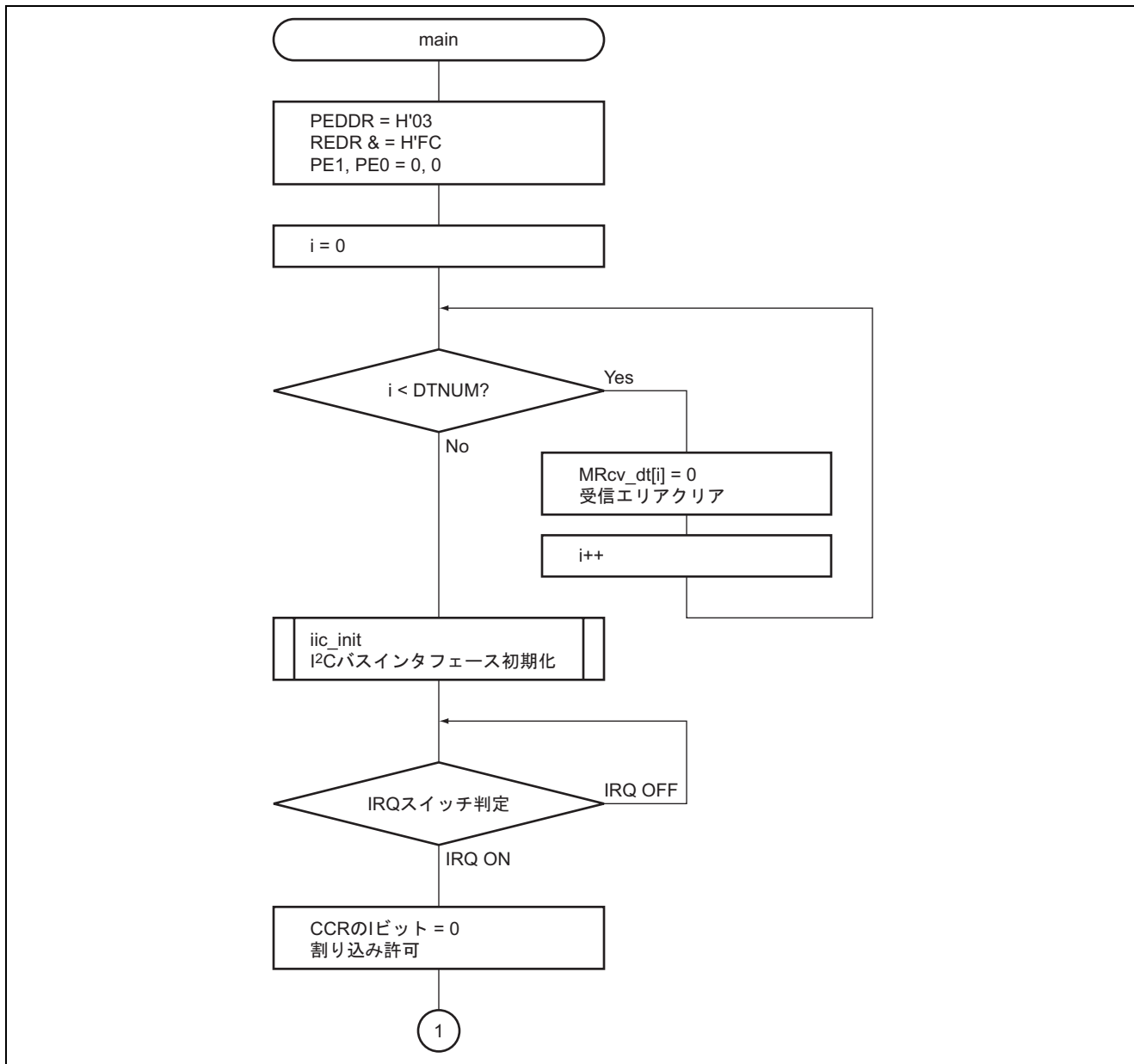
## ● ポート E データディレクションレジスタ (PEDDR)                      アドレス: H'FFFE3D

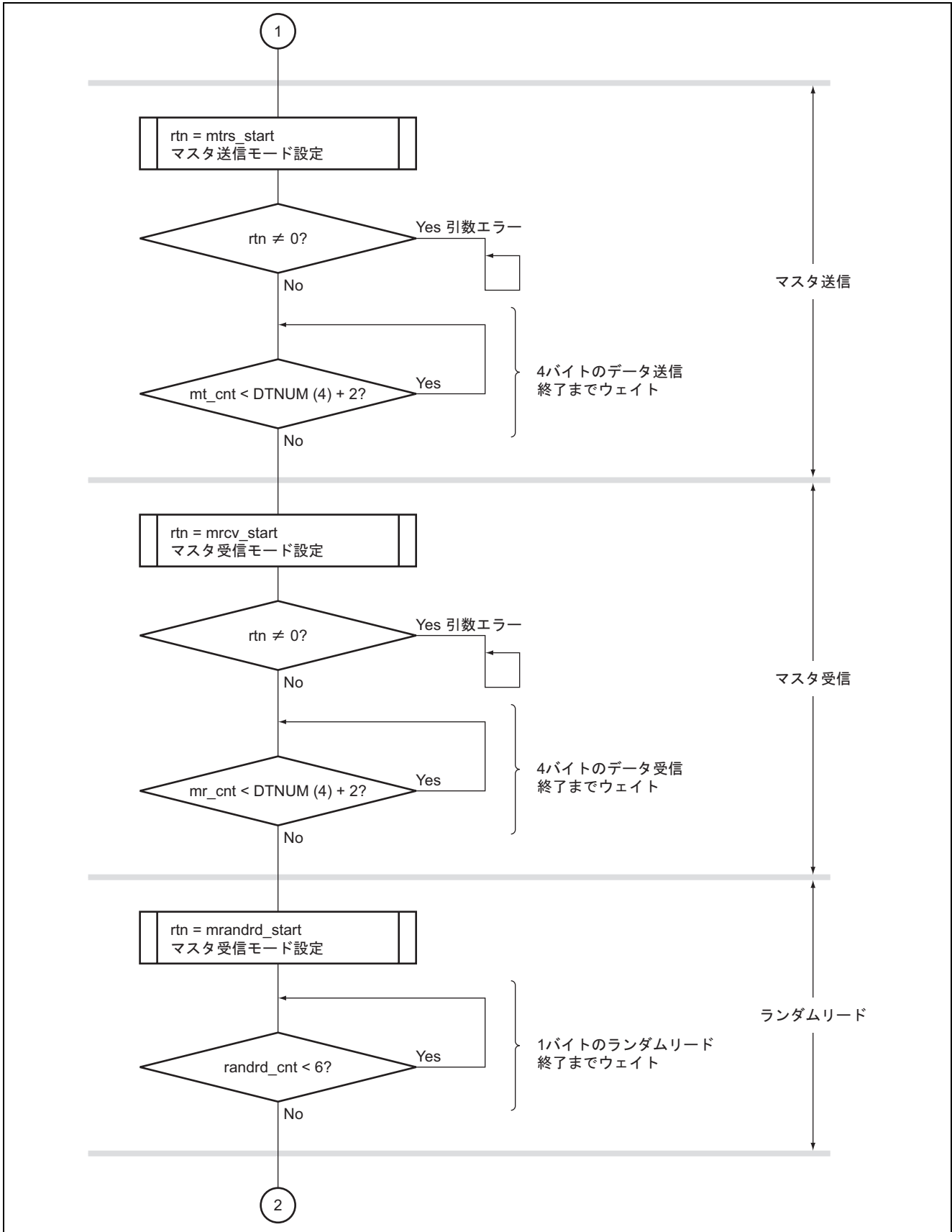
ビット	ビット名	設定値	R/W	機能
1	PE1DDR	1	R/W	0: PE1 端子を入力端子に設定 1: PE1 端子を出力端子に設定
0	PE0DDR	1	R/W	0: PE0 端子を入力端子に設定 1: PE0 端子を出力端子に設定

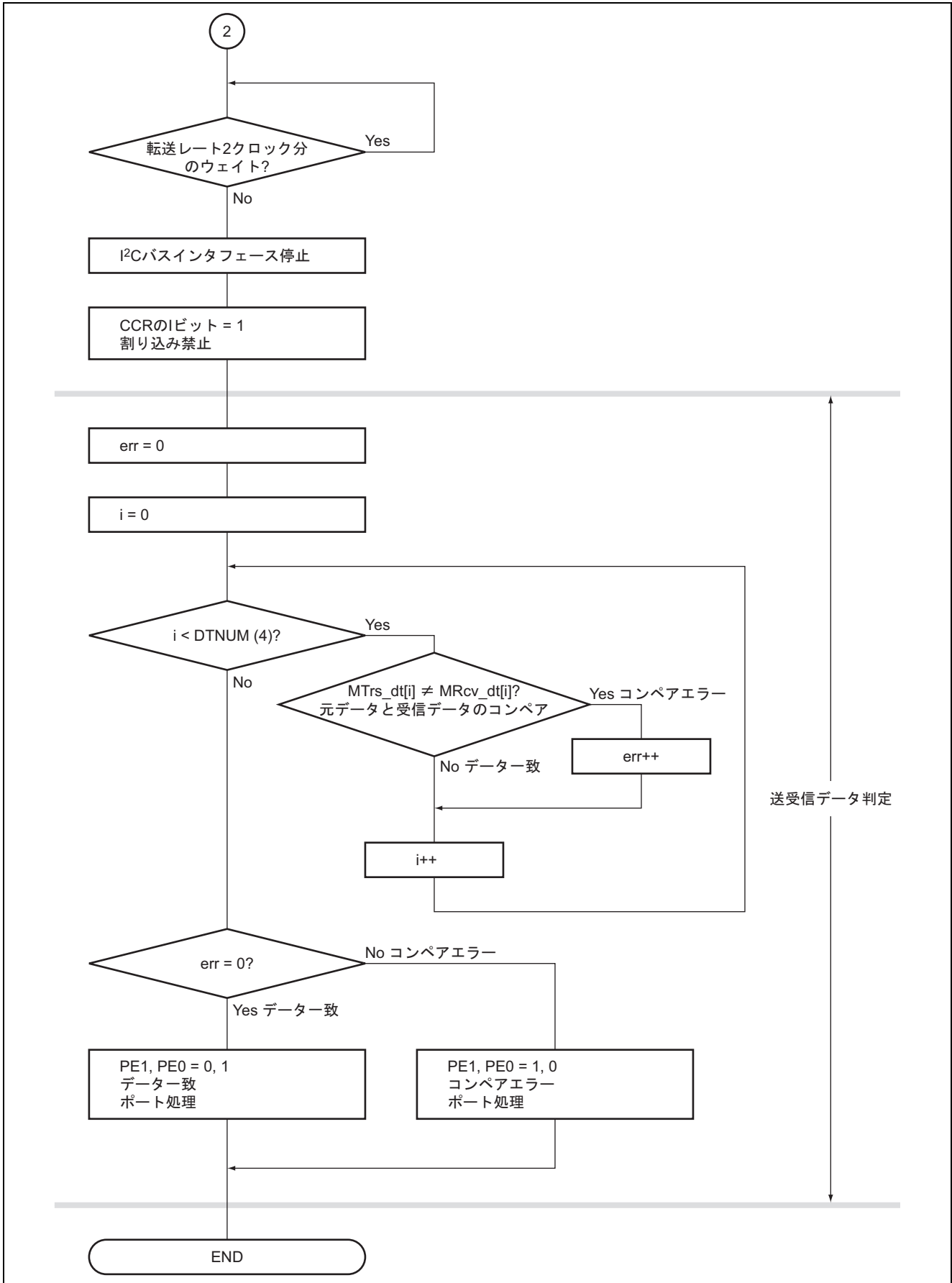
## ● ポート E データレジスタ (PEDR)    アドレス: H'FFFF0D

ビット	ビット名	設定値	R/W	機能
1	PE1DR	0/1	R/W	0: PE1 端子は Low レベル 1: PE1 端子は High レベル
0	PE0DR	0/1	R/W	0: PE0 端子は Low レベル 1: PE0 端子は High レベル

5. フローチャート







送受信データ判定

## 5.7 iic.c ファイル関数説明

### 5.7.1 iic\_init 関数

#### 1. 機能概要

I<sup>2</sup>C バスインタフェース初期化ルーチン。

#### 2. 引数

なし

#### 3. 戻り値

なし

#### 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

#### ● シリアルコントロールレジスタ X (SCRX)

アドレス: H'FFFDB4

ビット	ビット名	設定値	R/W	機能
5	IICX0	1	R/W	I <sup>2</sup> C バストランスファレートセレクト 1, 0 ICMR の CKS2 ~ CKS0 と組み合わせて、マスタモードでの転送レートを選択します。
4	IICE	1	R/W	I <sup>2</sup> C マスタイネーブル 0: I <sup>2</sup> C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを禁止。 1: I <sup>2</sup> C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを許可。

• I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0)

 アドレス: H'FFFF78\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
7	ICE	0/1	R/W	I <sup>2</sup> C バスインタフェースイネーブル 0: IIC モジュールは非動作状態。IIC モジュール内部状態の初期化。SAR, SARX がアクセス可能。 1: IIC モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)。ICMR, ICDR がアクセス可能。
6	IEIC	1	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル 0: 割り込み要求を禁止 1: 割り込み要求を許可
5	MST	0	R/W	マスタ/スレーブ選択
4	TRS	0	R/W	送信/受信選択 00: スレーブ受信モード
3	ACKE	0/1	R/W	アクノリッジビット判定選択 0: アクノリッジビットの内容を無視して、連続的に転送を行う 1: アクノリッジビットが 1 の場合、連続的な転送を中断する
2	BBSY	0	R/W	バスビジー [セット条件] • 開始条件検出時 [クリア条件] • 停止条件検出時
1	IRIC	0	R/(W)* <sup>2</sup>	I <sup>2</sup> C バスインタフェース割り込み要求フラグ [セット条件] • 割り込みが発生したとき [クリア条件] • IRIC = 1 の状態でリードした後、0 をライトしたとき
0	SCP	1	W	開始条件/停止条件発行禁止ビット 0: ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行 1: リード時、常に 1 をリード (初期値) ライト時、無効

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。

• I<sup>2</sup>C バスステータスレジスタ\_0 (ICSR\_0)

 アドレス: H'FFFF79\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
2	AAS	0	R/(W)* <sup>2</sup>	スレーブアドレス認識フラグ スレーブ受信モードで FS = 0 で開始条件直後の第 1 フレームが SAR の SVA6 ~ SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出した場合にセットされます。 [セット条件] <ul style="list-style-type: none"> <li>スレーブ受信モードかつ FS = 0 でスレーブアドレスを検出したとき</li> <li>スレーブ受信モードかつ FS = 0 でゼネラルコールアドレスを検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>ICDR にデータをライト (送信)、または ICDR のデータをリード (受信) したとき</li> <li>1 の状態をリードした後、0 をライトしたとき</li> <li>マスタモードのとき</li> </ul>
0	ACKB	0	R/W	アクノリッジビット 受信モード時、アクノリッジのタイミングで送出するビットを設定します。 0: アクノリッジのタイミングで 0 を送出 1: アクノリッジのタイミングで 1 を送出

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。

 • I<sup>2</sup>C バスモードレジスタ\_0 (ICMR\_0)

 アドレス: H'FFFF7F\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0: MSB ファースト 1: LSB ファースト
6	WAIT	0	R/W	ウェイト挿入ビット 0: データとアクノリッジを連続的に転送 1: データとアクノリッジの間にウェイトを挿入
5	CKS2	1	R/W	転送クロック選択 SCRX レジスタの IICX0 = 1, CKS2 ~ CKS0 = 1, 0, 1: φ = 20MHz のとき転送レート 100kbps
4	CKS1	0	R/W	
3	CKS0	1	R/W	
2	BC2	0	R/W	ビットカウンタ 次に転送するデータのビット数を設定します。 000: 9 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

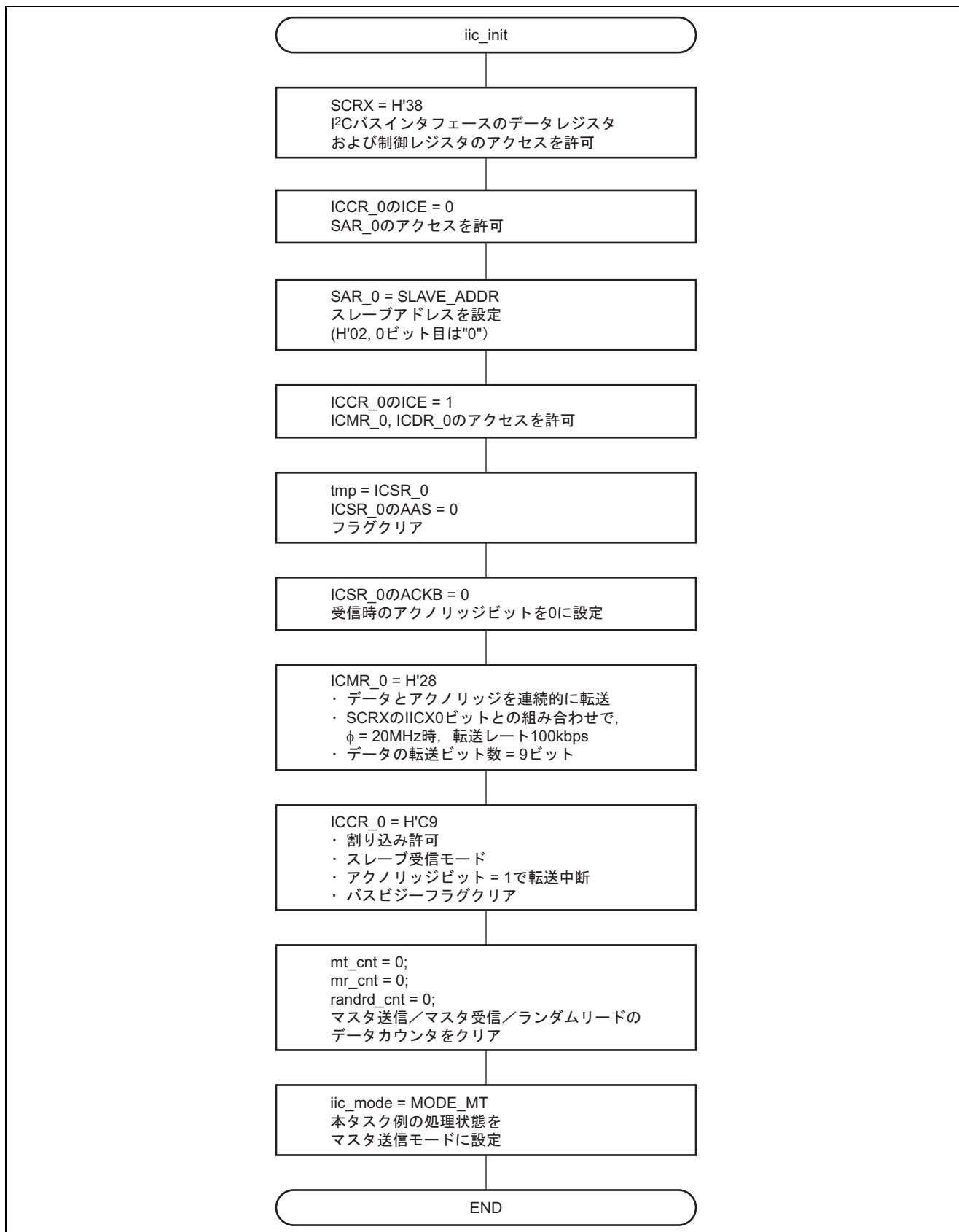
- スレーブアドレスレジスタ\_0 (SAR\_0) アドレス: H'FFFF7F<sup>\*1</sup>  
 SAR は、スレーブアドレスを設定します。スレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。SAR は、ICMR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SAR のリード/ライトが可能です。

ビット	ビット名	設定値	R/W	機能
7~1	SVA6 ~ SVA0	SLAVE_ADDR	R/W	スレーブアドレス 6~0 I <sup>2</sup> C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS		R/W	フォーマットセレクト SAR のスレーブアドレスを認識

【注】 \*1 ICCR\_0 の ICE = 0 のとき、アクセス可能です。



### 5. フローチャート



## 5.7.2 mtrs\_start 関数

## 1. 機能概要

I<sup>2</sup>C バスインタフェースのマスタ送信の設定。開始条件発行。

## 2. 引数

型	変数名	内容
const unsigned char	*dtadd	送信データの先頭アドレス
unsigned short	dtnum	送信データ数

## 3. 戻り値

型	内容
unsigned char	0: 引数は正常 1: 引数は異常

## 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

 • I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0)

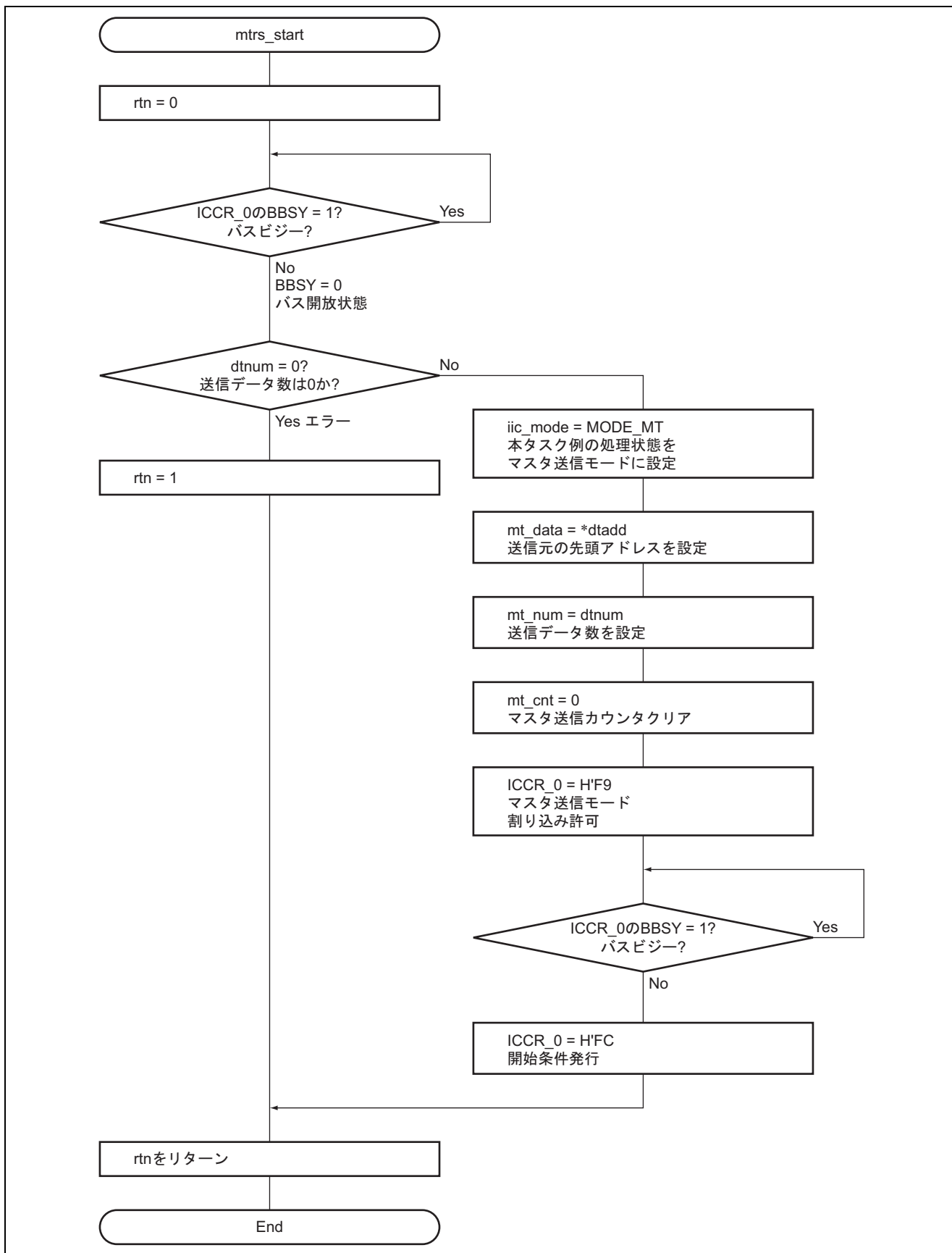
 アドレス: H'FFFF78\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
6	IEIC	1	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル 0: 割り込み要求を禁止 1: 割り込み要求を許可
5	MST	1	R/W	マスタ/スレーブ選択 送信/受信選択 11: マスタ送信モード
4	TRS	1	R/W	
3	ACKE	1	R/W	アクノリッジビット判定選択 0: アクノリッジビットの内容を無視して、連続的に転送を行う 1: アクノリッジビットが1の場合、連続的な転送を中断する
2	BBSY	0/1	R/W	バスビジー [セット条件] • 開始条件検出時 [クリア条件] • 停止条件検出時
1	IRIC	0	R/(W)* <sup>2</sup>	I <sup>2</sup> C バスインタフェース割り込み要求フラグ [セット条件] • 割り込みが発生したとき [クリア条件] • IRIC = 1 の状態でリードした後、0 をライトしたとき
0	SCP	1/0	W	開始条件/停止条件発行禁止ビット 0: ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行。BBSY = 1, SCP = 0 のとき、開始条件発行。 1: リード時、常に1をリード(初期値) ライト時、無効

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

\*2 フラグをクリアするための0ライトのみ可能です。

5. フローチャート



### 5.7.3 mrcv\_start 関数

#### 1. 機能概要

I<sup>2</sup>C バスインタフェースのマスタ受信の設定。開始条件発行。

#### 2. 引数

型	変数名	内容
const unsigned char	*dtadd	受信データの先頭アドレス
unsigned short	dtnum	受信データ数

#### 3. 戻り値

型	内容
unsigned char	0 : 引数は正常 1 : 引数は異常

## 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

 ● I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0)

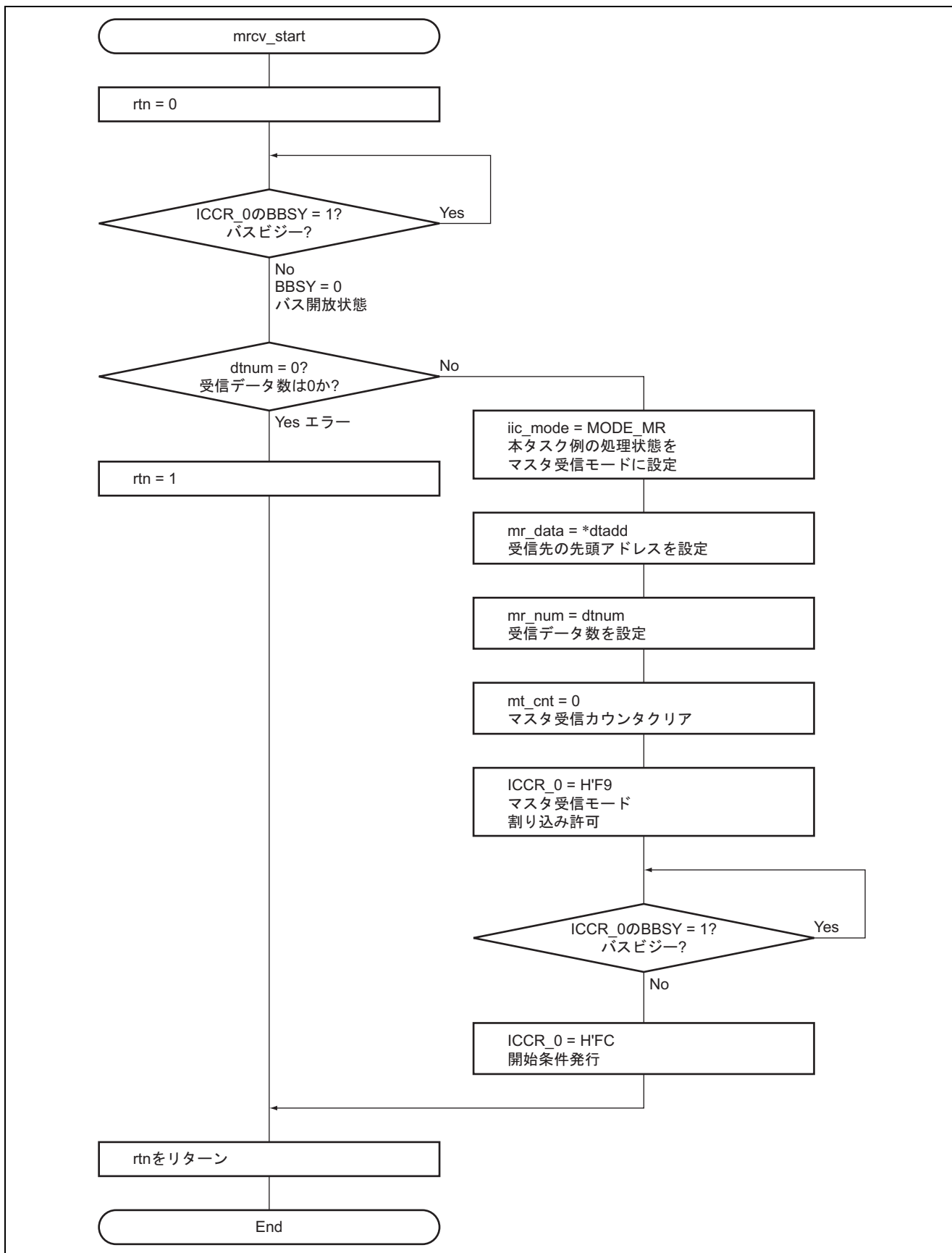
 アドレス: H'FFFF78\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
6	IEIC	1	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル 0: 割り込み要求を禁止 1: 割り込み要求を許可
5	MST	1	R/W	マスタ/スレーブ選択 送信/受信選択 11: マスタ送信モード
4	TRS	1	R/W	
3	ACKE	1	R/W	アクノリッジビット判定選択 0: アクノリッジビットの内容を無視して、連続的に転送を行う 1: アクノリッジビットが1の場合、連続的な転送を中断する
2	BBSY	0/1	R/W	バスビジー [セット条件] • 開始条件検出時 [クリア条件] • 停止条件検出時
1	IRIC	0	R/(W)* <sup>2</sup>	I <sup>2</sup> C バスインタフェース割り込み要求フラグ [セット条件] • 割り込みが発生したとき [クリア条件] • IRIC = 1 の状態でリードした後、0 をライトしたとき
0	SCP	1/0	W	開始条件/停止条件発行禁止ビット 0: ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行。BBSY = 1, SCP = 0 のとき、開始条件発行。 1: リード時、常に1をリード(初期値) ライト時、無効

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

\*2 フラグをクリアするための0ライトのみ可能です。

5. フローチャート



## 5.7.4 mrandrd\_start 関数

## 1. 機能概要

EEPROM 向けリスタートを含むランダムリード処理。開始条件発行。

## 2. 引数

型	変数名	内容
const unsigned char	*mrbuf	ランダムリードデータの格納先
unsigned short	mtbuf	EEPROM メモリアドレス

## 3. 戻り値

なし

## 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

 • I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0) アドレス: H'FFFF78\*<sup>1</sup>

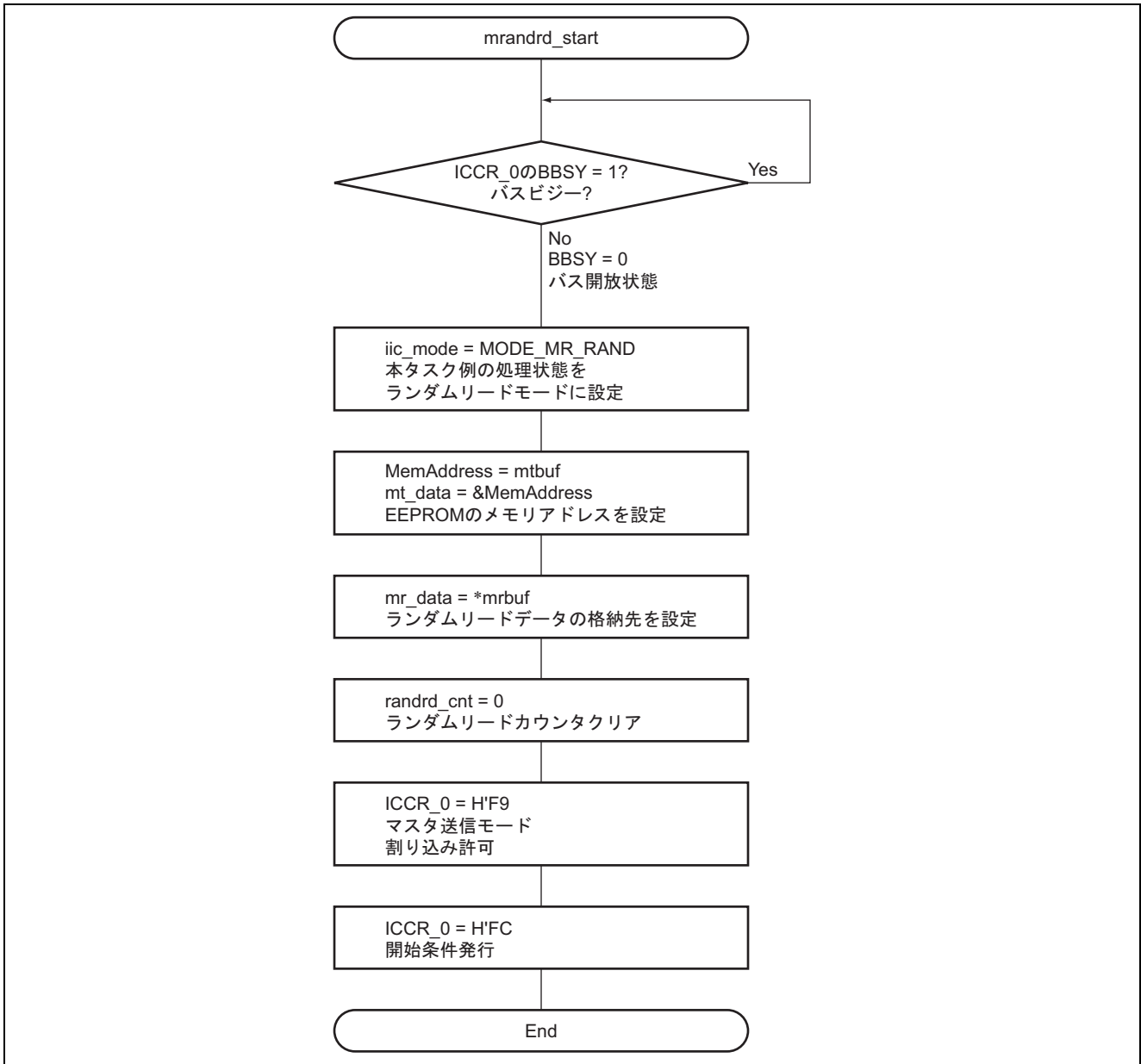
ビット	ビット名	設定値	R/W	機能
6	IEIC	1	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル 0: 割り込み要求を禁止 1: 割り込み要求を許可
5	MST	1	R/W	マスタ/スレーブ選択 送信/受信選択 11: マスタ送信モード
4	TRS	1	R/W	
3	ACKE	1	R/W	アクノリッジビット判定選択 0: アクノリッジビットの内容を無視して、連続的に転送を行う 1: アクノリッジビットが 1 の場合、連続的な転送を中断する
2	BBSY	0/1	R/W	バスビジー [セット条件] • 開始条件検出時 [クリア条件] • 停止条件検出時
1	IRIC	0	R/(W)* <sup>2</sup>	I <sup>2</sup> C バスインタフェース割り込み要求フラグ [セット条件] • 割り込みが発生したとき [クリア条件] • IRIC = 1 の状態でリードした後、0 をライトしたとき
0	SCP	1/0	W	開始条件/停止条件発行禁止ビット 0: ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行。BBSY = 1, SCP = 0 のとき、開始条件発行。 1: リード時、常に 1 をリード (初期値) ライト時、無効

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。



5. フローチャート



## 5.7.5 iici0\_int 関数

## 1. 機能概要

I<sup>2</sup>C バスインタフェース割り込み処理。動作状態を判別して、停止条件、マスタ送信、マスタ受信、スレーブ送信、スレーブ受信、ランダムリードの各プログラムをコールする。

## 2. 引数

なし

## 3. 戻り値

なし

## 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0) アドレス: H'FFFF78<sup>\*1</sup>

ビット	ビット名	設定値	R/W	機能
4	TRS	不定	R/W	送信 / 受信選択 0: 受信モード 1: 送信モード

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

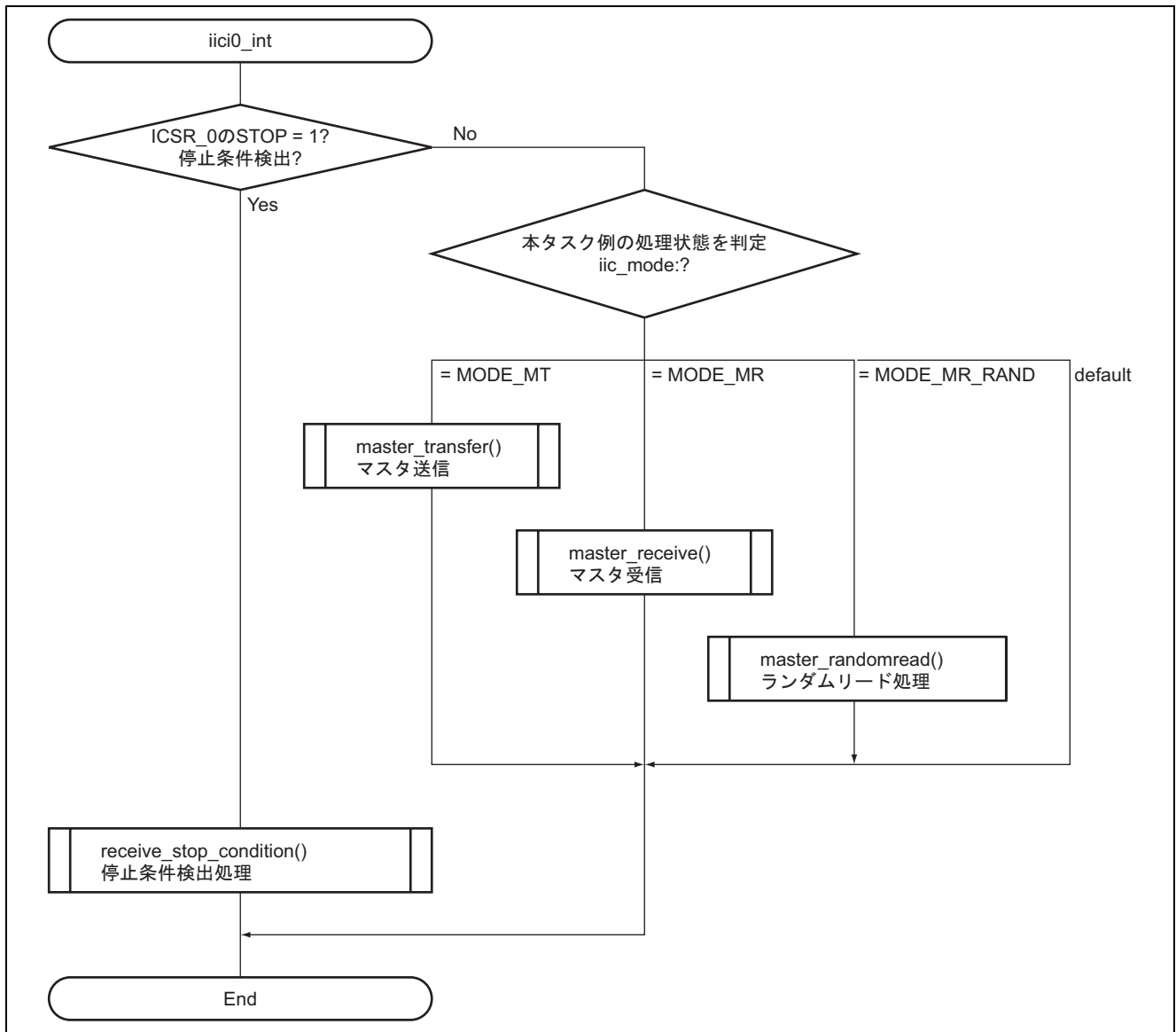
- I<sup>2</sup>C バスステータスレジスタ\_0 (ICSR\_0) アドレス: H'FFFF79<sup>\*1</sup>

ビット	ビット名	設定値	R/W	機能
6	STOP	不定	R/(W) <sup>*2</sup>	正常停止条件検出フラグ [セット条件] <ul style="list-style-type: none"> <li>• スレーブモード時、フレーム転送の完了後に停止条件を検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• IRIC フラグが 0 にクリアされたとき</li> </ul>

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。

5. フローチャート



## 5.7.6 receive\_stop\_condition 関数

## 1. 機能概要

停止条件検出処理

## 2. 引数

なし

## 3. 戻り値

なし

## 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

 ● I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0) アドレス: H'FFFF78<sup>\*1</sup>

ビット	ビット名	設定値	R/W	機能
1	IRIC	0	R/W	I <sup>2</sup> C バスインタフェース割り込み要求フラグ [セット条件] <ul style="list-style-type: none"> <li>割り込みが発生したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>IRIC = 1 の状態でリードした後、0 をライトしたとき</li> </ul>

【注】 <sup>\*1</sup> ICCR\_0 の ICE = 1 のとき、アクセス可能です。

 ● I<sup>2</sup>C バスステータスレジスタ\_0 (ICSR\_0) アドレス: H'FFFF79<sup>\*1</sup>

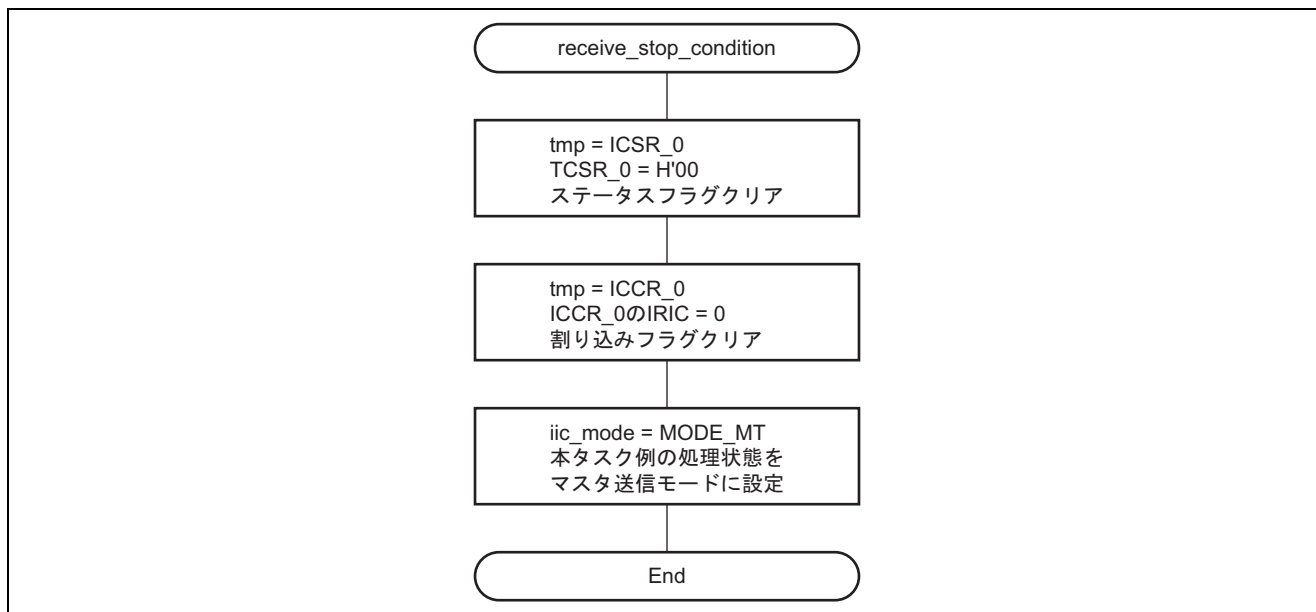
ビット	ビット名	設定値	R/W	機能
7	ESTP	0	R/(W) <sup>*2</sup>	エラー停止条件検出フラグ [セット条件] エラー停止条件を検出 <ul style="list-style-type: none"> <li>スレーブモード時、フレームの転送の途中で停止条件を検出したとき</li> </ul> [クリア条件] エラー停止条件なし <ul style="list-style-type: none"> <li>ESTP = 1 の状態をリードした後、0 をライトしたとき</li> <li>IRIC フラグが 0 にクリアされたとき</li> </ul>
6	STOP	1	R/(W) <sup>*2</sup>	正常停止条件検出フラグ [セット条件] <ul style="list-style-type: none"> <li>スレーブモード時、フレーム転送の完了後に停止条件を検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> <li>IRIC フラグが 0 にクリアされたとき</li> </ul>

ビット	ビット名	設定値	R/W	機能
5	IRTR	0	R/(W)* <sup>2</sup>	I <sup>2</sup> C バスインタフェース連続送受信割り込み要求フラグ [セット条件] <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスインタフェースでスレーブモードのとき</li> <li>• AASX = 1 の状態で, TDRE または RDRF フラグが 1 にセットされたとき</li> <li>• I<sup>2</sup>C バスインタフェースでスレーブモードのとき以外</li> <li>• TDRE または RDRF フラグが 1 にセットされたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• IRTR = 1 の状態をリードした後, 0 をライトしたとき</li> <li>• IRIC フラグが 0 にクリアされたとき</li> </ul>
3	AL	0	R/(W)* <sup>2</sup>	アービトレーションロストフラグ [セット条件] バス競合負け (アービトレーションロスト) <ul style="list-style-type: none"> <li>• マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき</li> <li>• マスタ送信モードで SCL の立ち下がりで内部 SCL が High レベルのとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• ICDR にデータをライト (送信), データをリード (受信) したとき</li> <li>• AL = 1 の状態をリードした後, 0 をライトしたとき</li> </ul>
2	AAS	0	R/(W)* <sup>2</sup>	スレーブアドレス認識フラグ スレーブ受信モードで FS = 0 で開始条件直後の第 1 フレームが SAR の SVA6 ~ SVA0 と一致した場合, またはゼネラルコールアドレス (H'00) を検出した場合にセットされます。 [セット条件] <ul style="list-style-type: none"> <li>• スレーブ受信モードかつ FS = 0 でスレーブアドレスを検出したとき</li> <li>• スレーブ受信モードかつ FS = 0 でゼネラルコールアドレスを検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• ICDR にデータをライト (送信), または ICDR のデータをリード (受信) したとき</li> <li>• 1 の状態をリードした後, 0 をライトしたとき</li> <li>• マスタモードのとき</li> </ul>
0	ACKB	0	R/W	アクノリッジビット 受信モード時, アクノリッジのタイミングで送出するビットを設定します。 0: アクノリッジのタイミングで 0 を送出 1: アクノリッジのタイミングで 1 を送出

【注】 \*1 ICCR\_0 の ICE = 1 のとき, アクセス可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。

5. フローチャート



## 5.7.7 master\_transfer 関数

## 1. 機能概要

I<sup>2</sup>C バスインタフェース割り込み処理からコールされるマスタ送信処理。1 バイトごとの送信エンプティ割り込みでコールされ、データを送信する。競合負けした場合は、スレーブ受信モードへ遷移する。

## 2. 引数

なし

## 3. 戻り値

なし

## 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

 • I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0)

アドレス: H'FFFF78\*1

ビット	ビット名	設定値	R/W	機能
7	ICE	1	R/W	I <sup>2</sup> C バスインタフェースイネーブル 0: IIC モジュールは非動作状態。IIC モジュール内部状態の初期化。SAR, SARX がアクセス可能。 1: IIC モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)。ICMR, ICDR がアクセス可能。
6	IEIC	0	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル 0: 割り込み要求を禁止 1: 割り込み要求を許可
5	MST	1	R/W	マスタ/スレーブ選択 送信/受信選択 11: マスタ送信モード
4	TRS	1	R/W	
3	ACKE	0	R/W	アクノリッジビット判定選択 0: アクノリッジビットの内容を無視して、連続的に転送を行う 1: アクノリッジビットが 1 の場合、連続的な転送を中断する
2	BBSY	0	R/W	バスビジー [セット条件] • 開始条件検出時 [クリア条件] • 停止条件検出時
1	IRIC	0	R/(W)*2	I <sup>2</sup> C バスインタフェース割り込み要求フラグ [セット条件] • 割り込みが発生したとき [クリア条件] • IRIC = 1 の状態でリードした後、0 をライトしたとき
0	SCP	0	W	開始条件/停止条件発行禁止ビット 0: ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行。BBSY = 0, SCP = 0 のとき、停止条件発行。 1: リード時、常に 1 をリード (初期値) ライト時、無効

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。

• I<sup>2</sup>C バスステータスレジスタ\_0 (ICSR\_0)

アドレス: H'FFFF79\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
0	ACKB	不定	R/W	アクノリッジビット 送信モード時, 受信デバイスのアクノリッジ返送結果がセットされます。 0: 受信デバイスからアクノリッジがあった (0であった) ことを示す。 1: 受信デバイスからアクノリッジがなかった (1であった) ことを示す。

【注】 \*1 ICCR\_0 の ICE = 1 のとき, アクセス可能です。

• I<sup>2</sup>C バスデータレジスタ\_0 (ICDR\_0)

アドレス: H'FFFF7E\*<sup>1</sup>

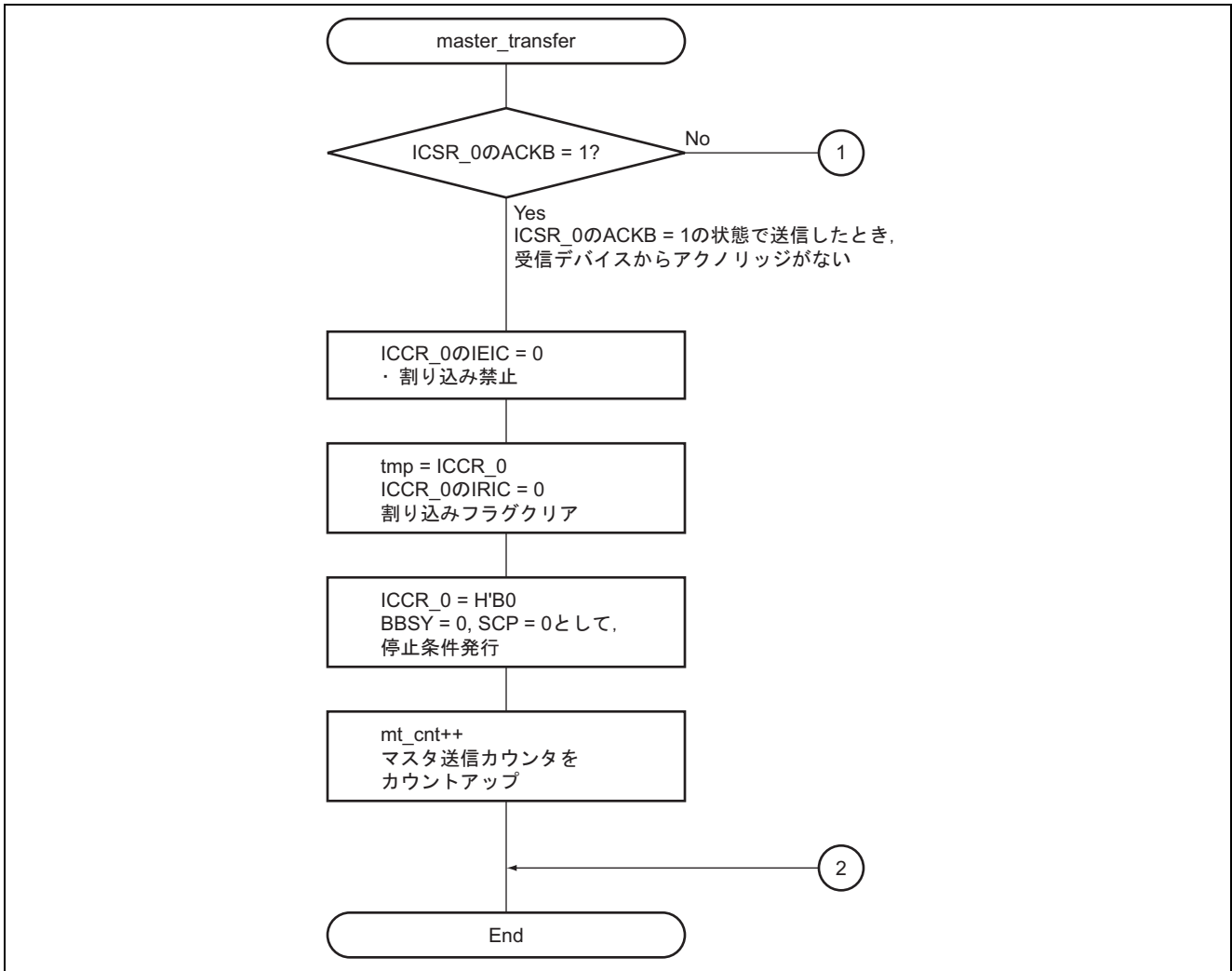
機能: ICDR は 8 ビットのリード/ライト可能なレジスタで, 送信時は送信用データレジスタとして, 受信時は受信用データレジスタとして使用します。ICDR は, 内部的に, シフトレジスタ(ICDRS), 受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。それぞれ CPU からのリード/ライト不可, リード専用およびライト専用となっています。3 本のレジスタ間のデータ転送は, バス状態の変化に関連付けられて自動的に行われ, TDRE や RDRF などの内部フラグの状態に影響を与えます。

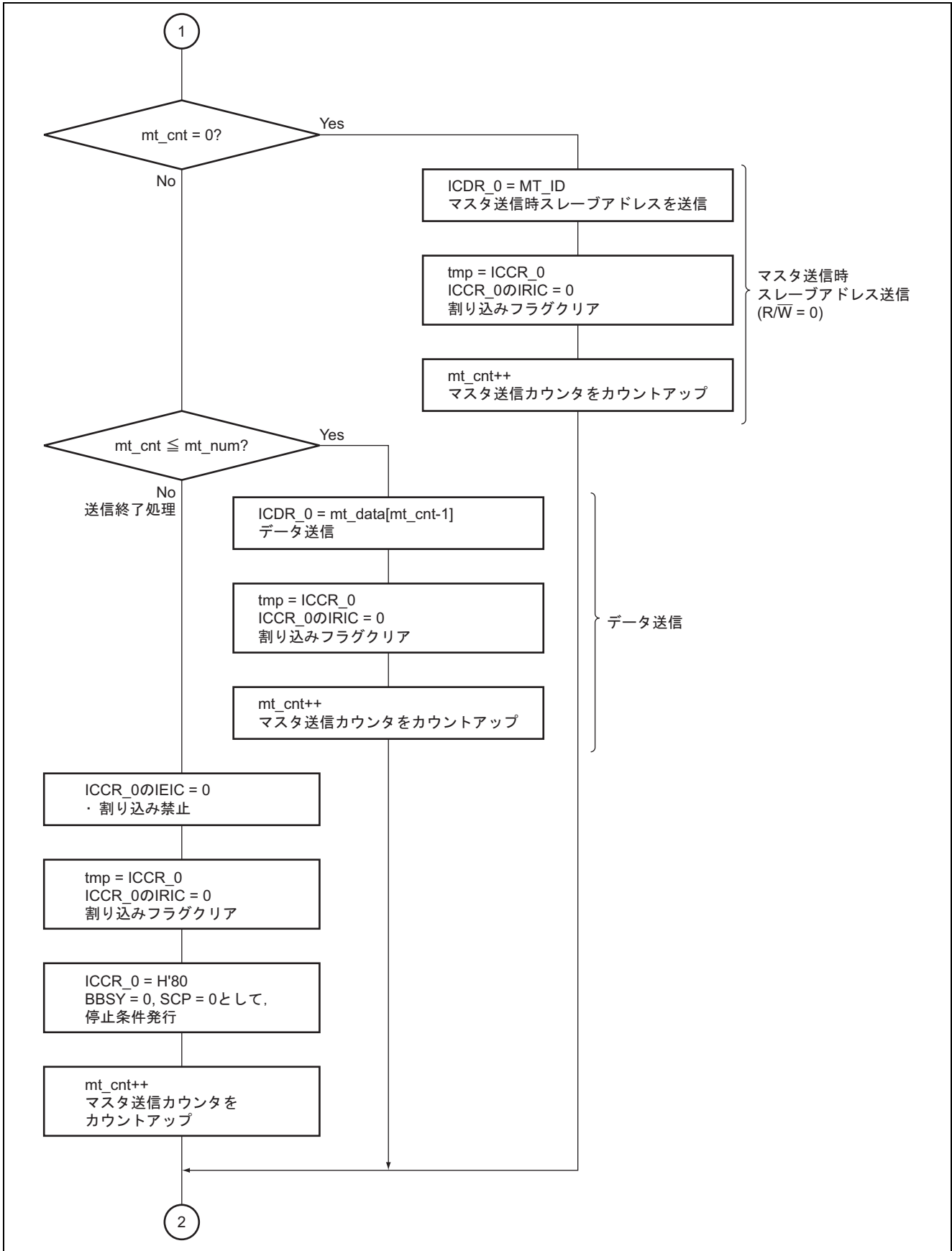
設定値: MT\_ID, mt\_data[mt\_cnt-1]

【注】 \*1 ICCR\_0 の ICE = 1 のとき, アクセス可能です。



5. フローチャート





## 5.7.8 master\_receive 関数

## 1. 機能概要

I<sup>2</sup>C バスインタフェース割り込み処理からコールされるマスタ受信処理。1 バイトごとの受信データフル割り込みでコールされ、データを受信する。

## 2. 引数

なし

## 3. 戻り値

なし

## 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

 • I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0)

 アドレス: H'FFFF78\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
6	IEIC	0	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル 0: 割り込み要求を禁止 1: 割り込み要求を許可
5 4	MST TRS	B'10 & B'11	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 10: マスタ受信モード 11: マスタ送信モード
2	BBSY	0	R/W	バスビジー [セット条件] • 開始条件検出時 [クリア条件] • 停止条件検出時
1	IRIC	0	R/(W)* <sup>2</sup>	I <sup>2</sup> C バスインタフェース割り込み要求フラグ [セット条件] • 割り込みが発生したとき [クリア条件] • IRIC = 1 の状態でリードした後、0 をライトしたとき
0	SCP	1	W	開始条件 / 停止条件発行禁止ビット 0: ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行。BBSY = 0, SCP = 0 のとき停止条件を発行。 1: リード時、常に 1 をリード (初期値) ライト時、無効

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。

• I<sup>2</sup>C バスステータスレジスタ\_0 (ICSR\_0)

 アドレス: H'FFFF79\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
5	IRTR	0	R/(W)* <sup>2</sup>	I <sup>2</sup> C バスインタフェース連続送受信割り込み要求フラグ [セット条件] <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスインタフェースでスレーブモードのとき</li> <li>• AASX = 1 の状態で, TDRE または RDRF フラグが 1 にセットされたとき</li> <li>• I<sup>2</sup>C バスインタフェースでスレーブモードのとき以外</li> <li>• TDRE または RDRF フラグが 1 にセットされたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• IRTR = 1 の状態をリードした後, 0 をライトしたとき</li> <li>• IRIC フラグが 0 にクリアされたとき</li> </ul>
3	AL	0	R/(W)* <sup>2</sup>	アービトレーションロストフラグ [セット条件] <p>バス競合負け (アービトレーションロスト)</p> <ul style="list-style-type: none"> <li>• マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき</li> <li>• マスタ送信モードで SCL の立ち下がりで内部 SCL が High レベルのとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• ICDR にデータをライト (送信時), データをリード (受信時) したとき</li> <li>• AL = 1 の状態をリードした後, 0 をライトしたとき</li> </ul>
0	ACKB	0	R/W	アクノリッジビット 受信モード時, アクノリッジのタイミングで送出するビットを設定します。 0: アクノリッジのタイミングで 0 を送出 1: アクノリッジのタイミングで 1 を送出

 【注】 \*<sup>1</sup> ICCR\_0 の ICE = 1 のとき, アクセス可能です。

 \*<sup>2</sup> フラグをクリアするための 0 ライトのみ可能です。

 • I<sup>2</sup>C バスデータレジスタ\_0 (ICDR\_0)

 アドレス: H'FFFF7E\*<sup>1</sup>

機能: ICDR は 8 ビットのリード/ライト可能なレジスタで, 送信時は送信用データレジスタとして, 受信時は受信データレジスタとして使用します。ICDR は, 内部的に, シフトレジスタ (ICDRS), 受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。それぞれ CPU からのリード/ライト不可, リード専用およびライト専用となっています。3 本のレジスタ間のデータ転送は, バス状態の変化に関連付けられて自動的に行われ, TDRE や RDRF などの内部フラグの状態に影響を与えます。

設定値: MR\_ID

 【注】 \*<sup>1</sup> ICCR\_0 の ICE = 1 のとき, アクセス可能です。

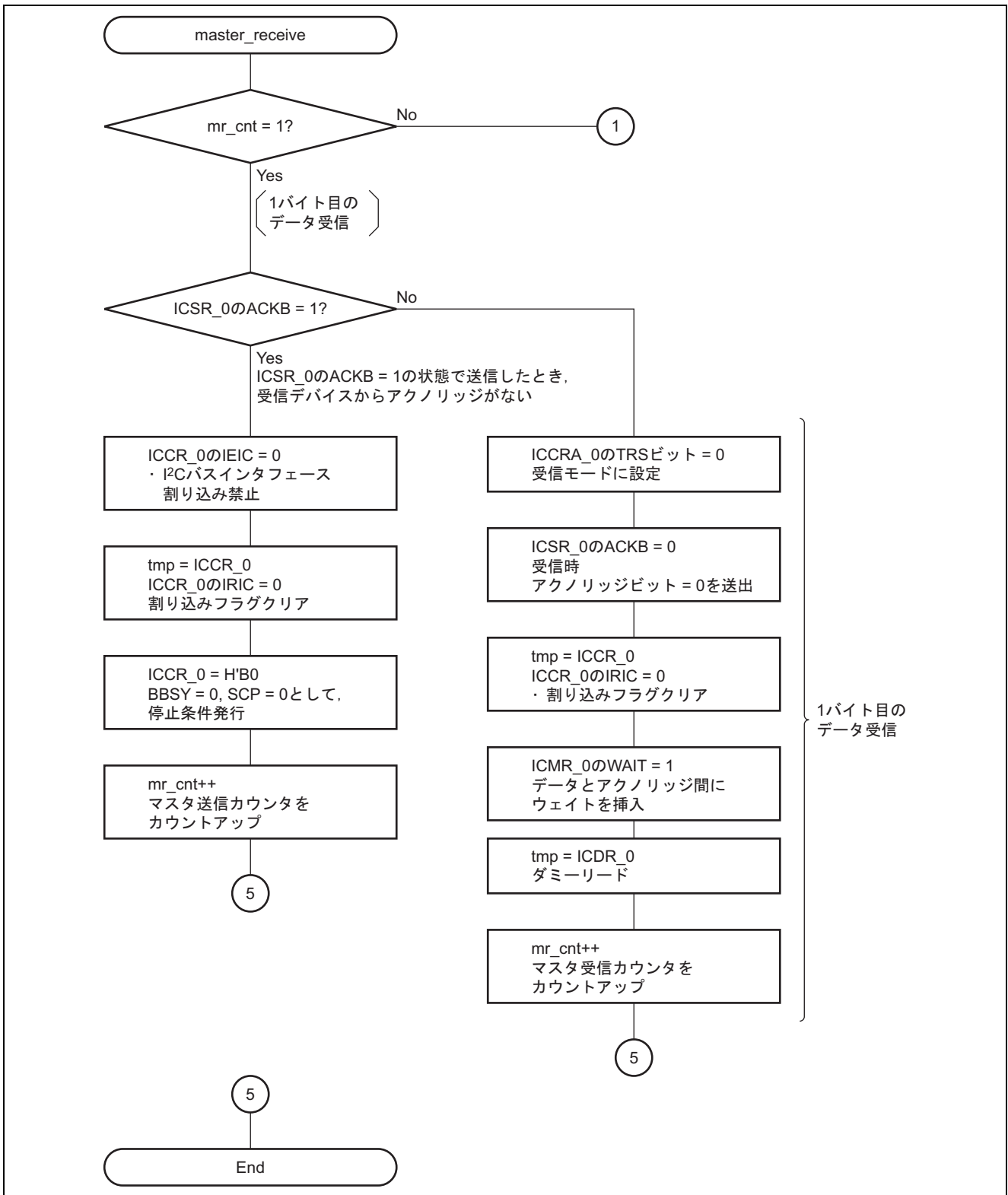
 • I<sup>2</sup>C バスモードレジスタ\_0 (ICMR\_0)

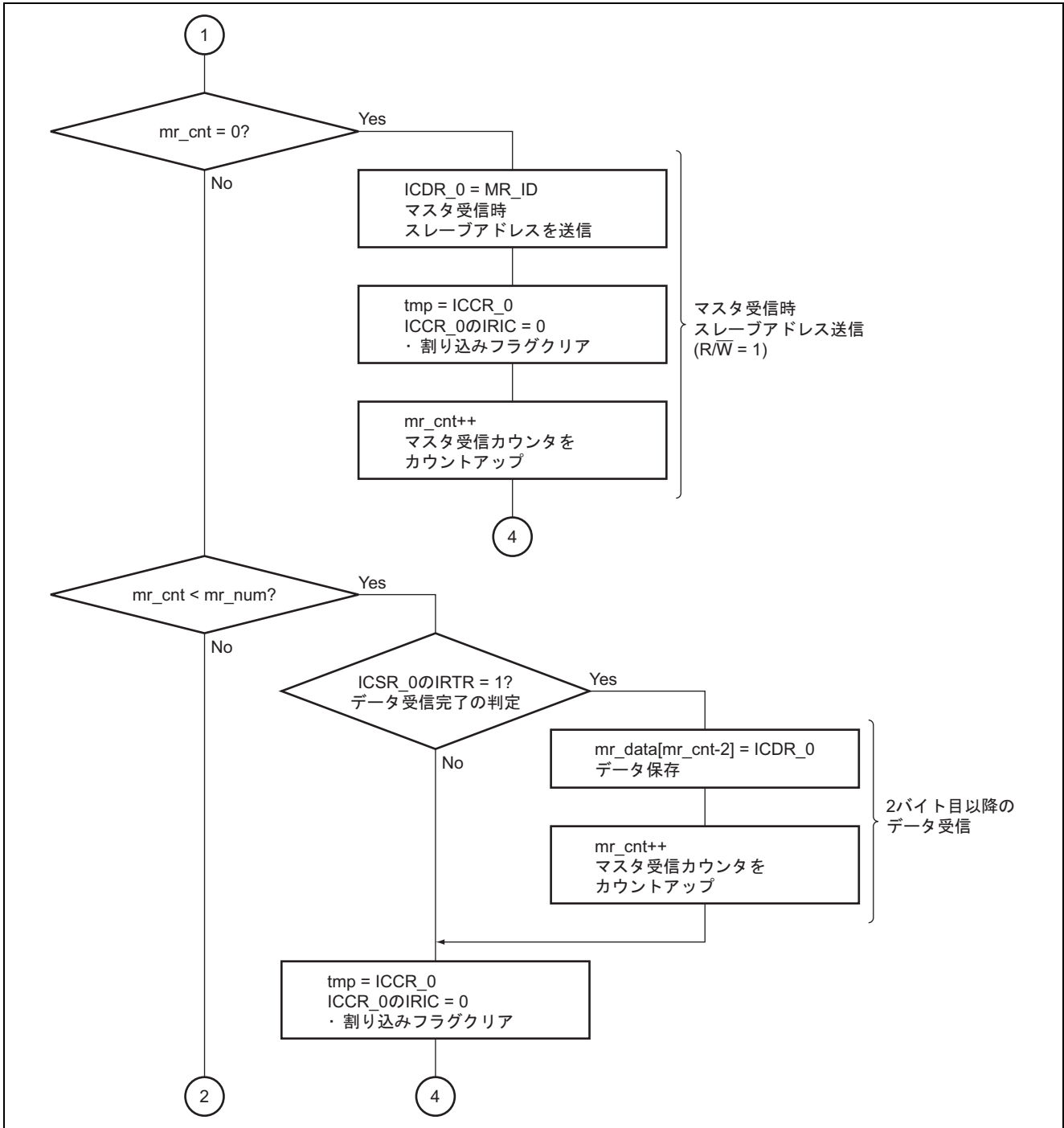
 アドレス: H'FFFF7F\*<sup>1</sup>

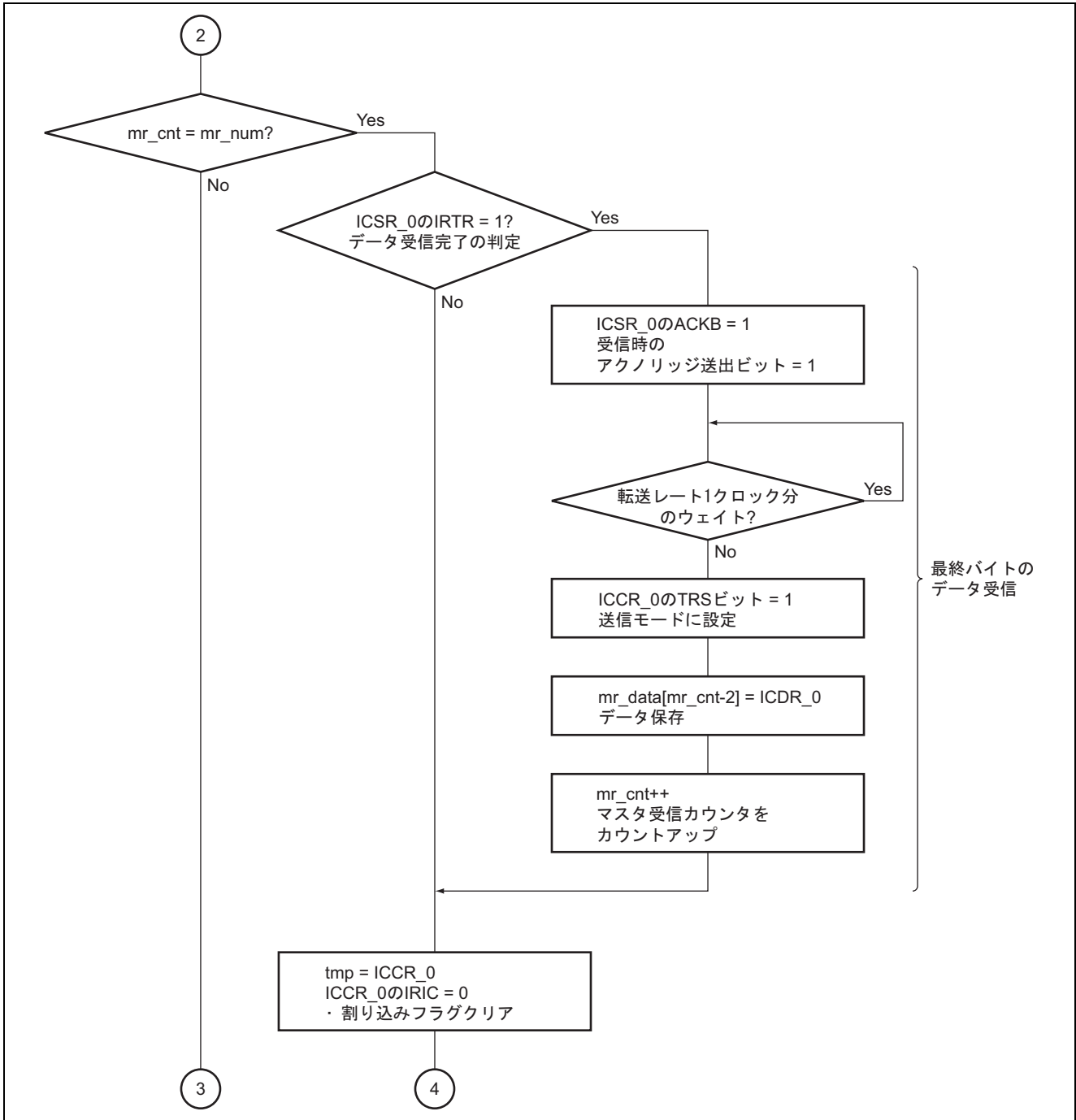
ビット	ビット名	設定値	R/W	機能
6	WAIT	0/1	R/W	ウェイト挿入ビット 0: データとアクノリッジを連続的に転送 1: データとアクノリッジの間にウェイトを挿入

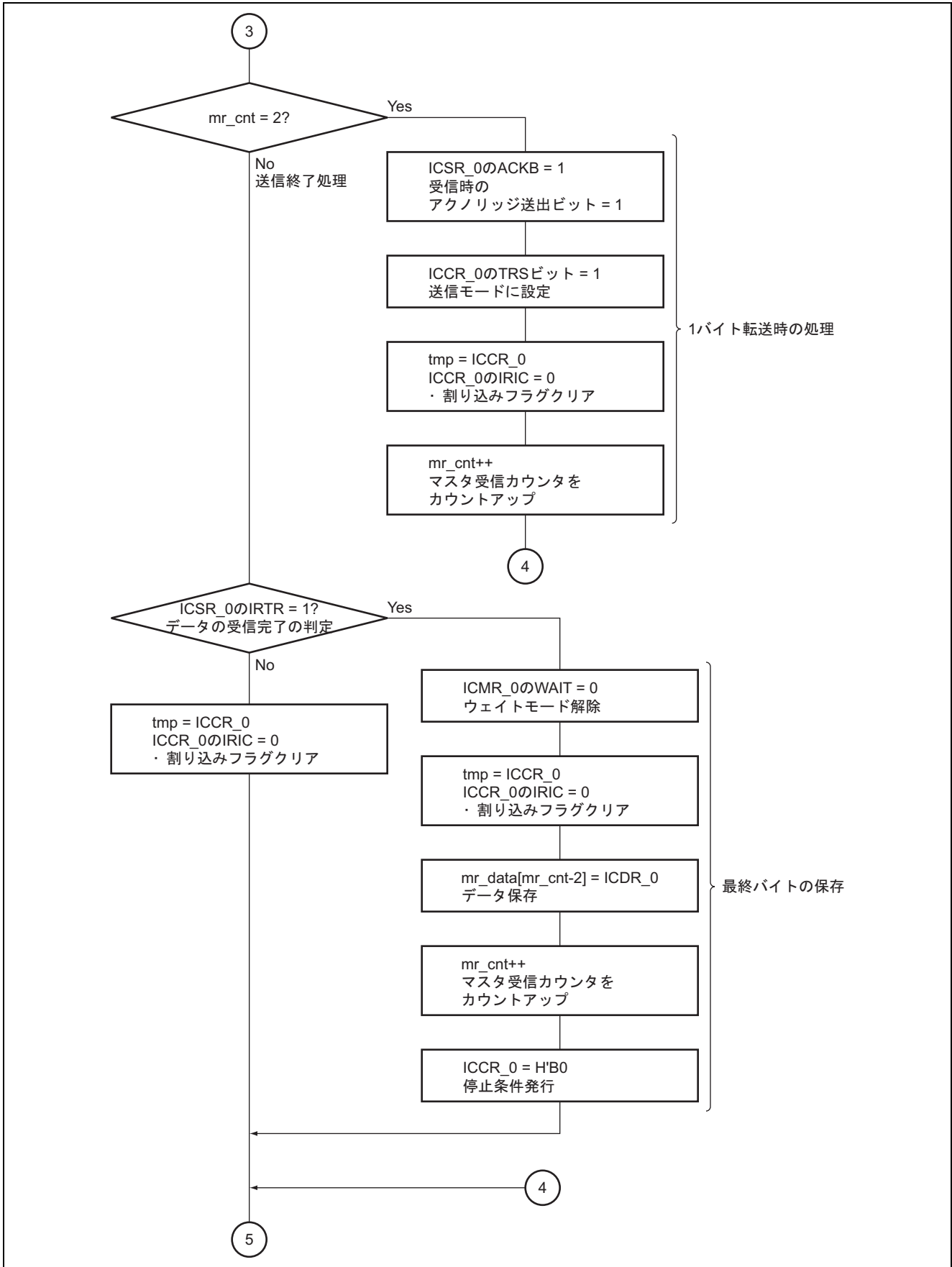
 【注】 \*<sup>1</sup> ICCR\_0 の ICE = 1 のとき, アクセス可能です。

5. フローチャート











## 5.7.9 master\_randomread 関数

## 1. 機能概要

I<sup>2</sup>C バスインタフェース割り込み処理からコールされるマスタ受信処理。1 バイトごとの受信データフル割り込みでコールされ、データを受信する。

## 2. 引数

なし

## 3. 戻り値

なし

## 4. 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

 • I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0)

 アドレス: H'FFFF78\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
6	IEIC	0/1	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル 0: 割り込み要求を禁止 1: 割り込み要求を許可
5 4	MST TRS	B'10 & B'11	R/W R/W	マスタ/スレーブ選択 送信/受信選択 10: マスタ受信モード 11: マスタ送信モード
3	ACKE	0/1	R/W	アクノリッジビット判定選択 0: アクノリッジビットの内容を無視して、連続的に転送を行う 1: アクノリッジビットが 1 の場合、連続的な転送を中断する
2	BBSY	0/1	R/W	バスビジー [セット条件] • 開始条件検出時 [クリア条件] • 停止条件検出時
1	IRIC	0	R/(W)* <sup>2</sup>	I <sup>2</sup> C バスインタフェース割り込み要求フラグ [セット条件] • 割り込みが発生したとき [クリア条件] • IRIC = 1 の状態でリードした後、0 をライトしたとき
0	SCP	0/1	W	開始条件/停止条件発行禁止ビット 0: ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行。BBSY = 0, SCP = 0 のとき停止条件を発行。BBSY = 1, SCP = 0 のとき開始条件を発行。 1: リード時、常に 1 をリード (初期値) ライト時、無効

【注】 \*1 ICCR\_0 の ICE = 1 のとき、アクセス可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。

• I<sup>2</sup>C バスステータスレジスタ\_0 (ICSR\_0)

 アドレス: H'FFFF79\*<sup>1</sup>

ビット	ビット名	設定値	R/W	機能
5	IRTR	不定	R/(W)* <sup>2</sup>	I <sup>2</sup> C バスインタフェース連続送受信割り込み要求フラグ [セット条件] <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスインタフェースでスレーブモードのとき</li> <li>• AASX = 1 の状態で, TDRE または RDRF フラグが 1 にセットされたとき</li> <li>• I<sup>2</sup>C バスインタフェースでスレーブモードのとき以外</li> <li>• TDRE または RDRF フラグが 1 にセットされたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• IRTR = 1 の状態をリードした後, 0 をライトしたとき</li> <li>• IRIC フラグが 0 にクリアされたとき</li> </ul>
0	ACKB	0/1	R/W	アクノリッジビット 受信モード時, アクノリッジのタイミングで送出するビットを設定します。 0: アクノリッジのタイミングで 0 を送出 1: アクノリッジのタイミングで 1 を送出

【注】 \*1 ICCR\_0 の ICE = 1 のとき, アクセス可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。

 • I<sup>2</sup>C バスデータレジスタ\_0 (ICDR\_0)

 アドレス: H'FFFF7E\*<sup>1</sup>

機能: ICDR は 8 ビットのリード/ライト可能なレジスタで, 送信時は送信用データレジスタとして, 受信時は受信用データレジスタとして使用します。ICDR は, 内部的に, シフトレジスタ(ICDRS), 受信バッファ(ICDRR) および送信バッファ(ICDRT) に分かれています。それぞれ CPU からのリード/ライト不可, リード専用およびライト専用となっています。3 本のレジスタ間のデータ転送は, バス状態の変化に関連付けられて自動的に行われ, TDRE や RDRF などの内部フラグの状態に影響を与えます。

設定値: MT\_ID, MR\_ID, mt\_data[0]

【注】 \*1 ICCR\_0 の ICE = 1 のとき, アクセス可能です。

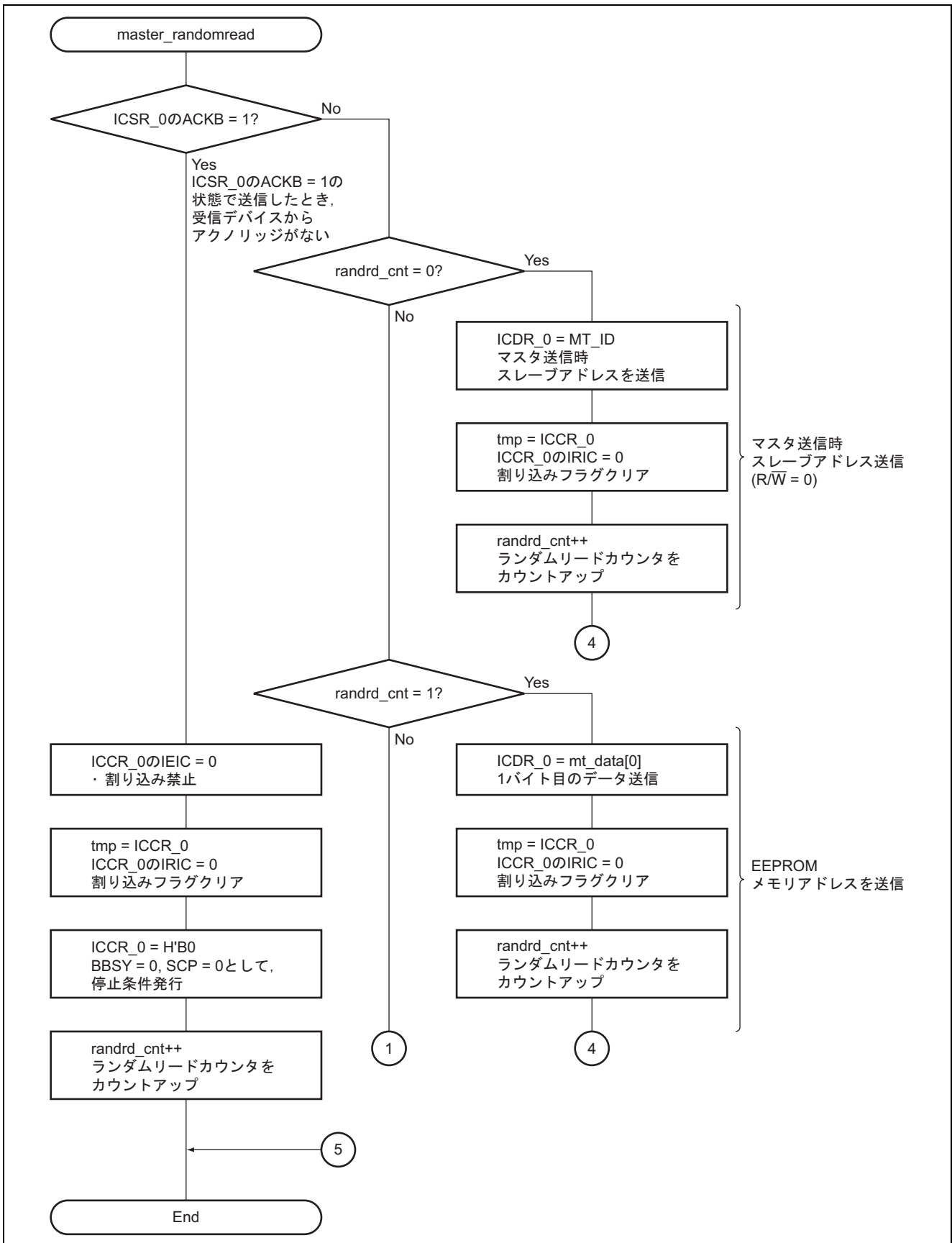
 • I<sup>2</sup>C バスモードレジスタ\_0 (ICMR\_0)

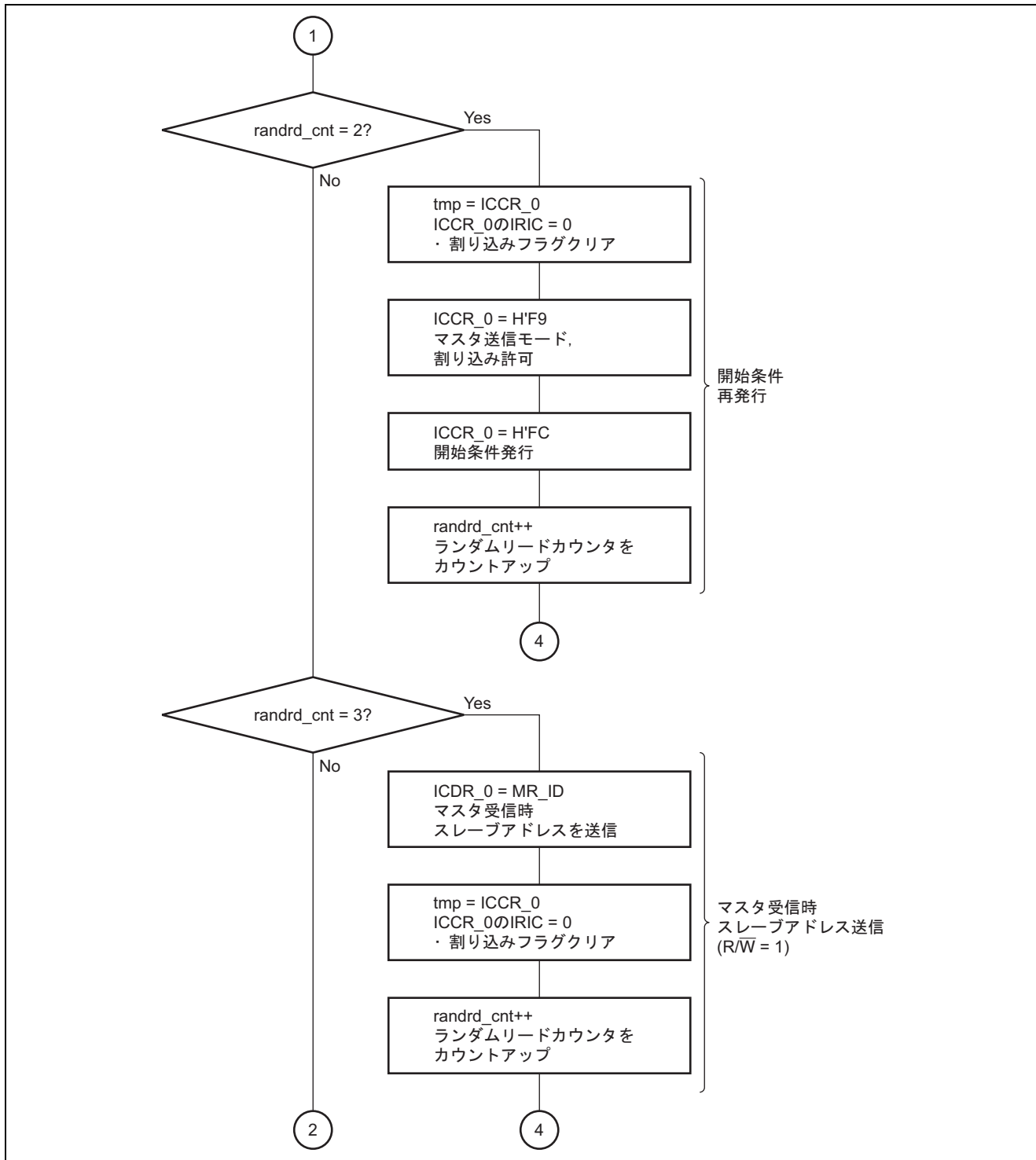
 アドレス: H'FFFF7F\*<sup>1</sup>

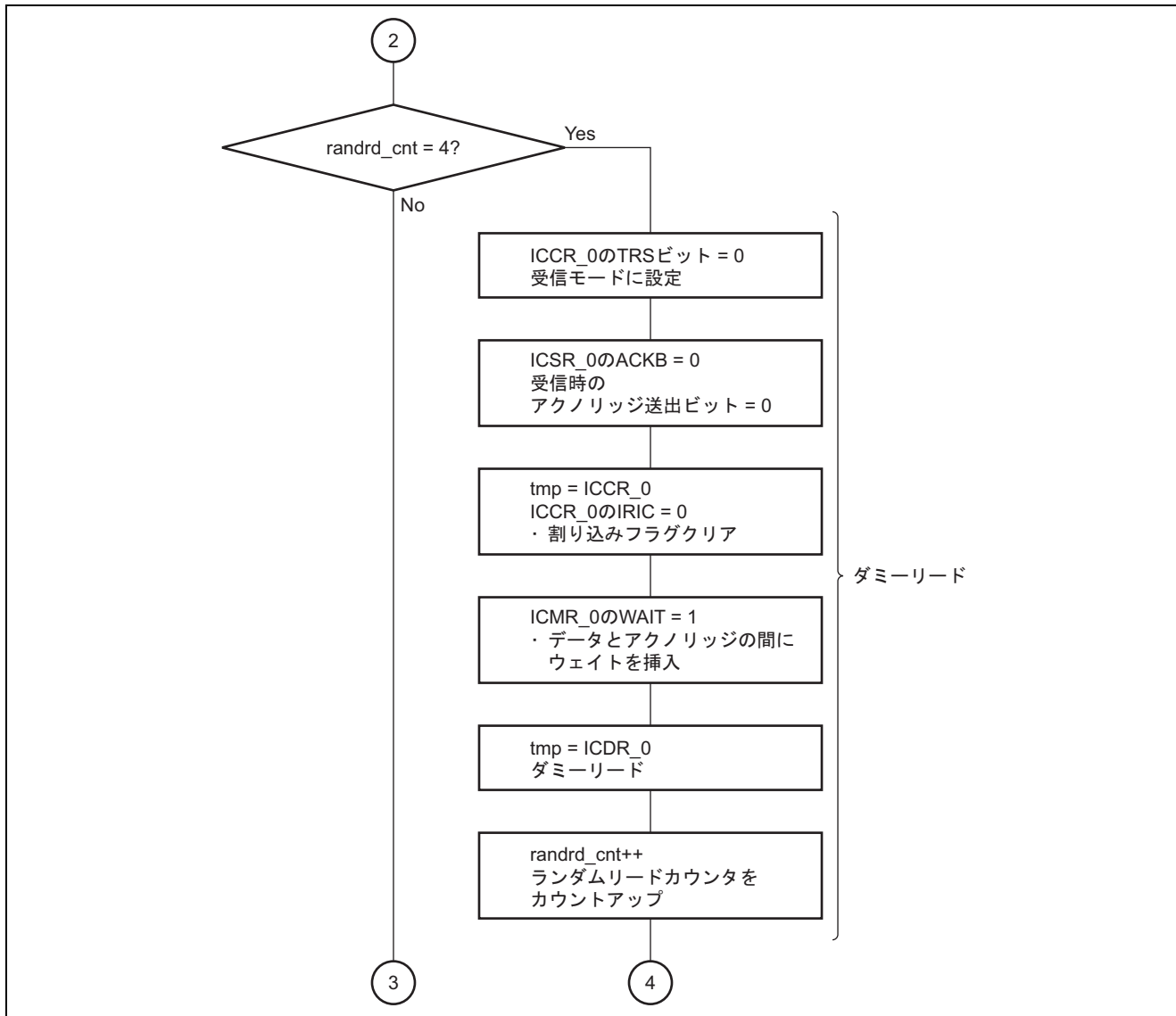
ビット	ビット名	設定値	R/W	機能
6	WAIT	0/1	R/W	ウェイト挿入ビット 0: データとアクノリッジを連続的に転送 1: データとアクノリッジの間にウェイトを挿入

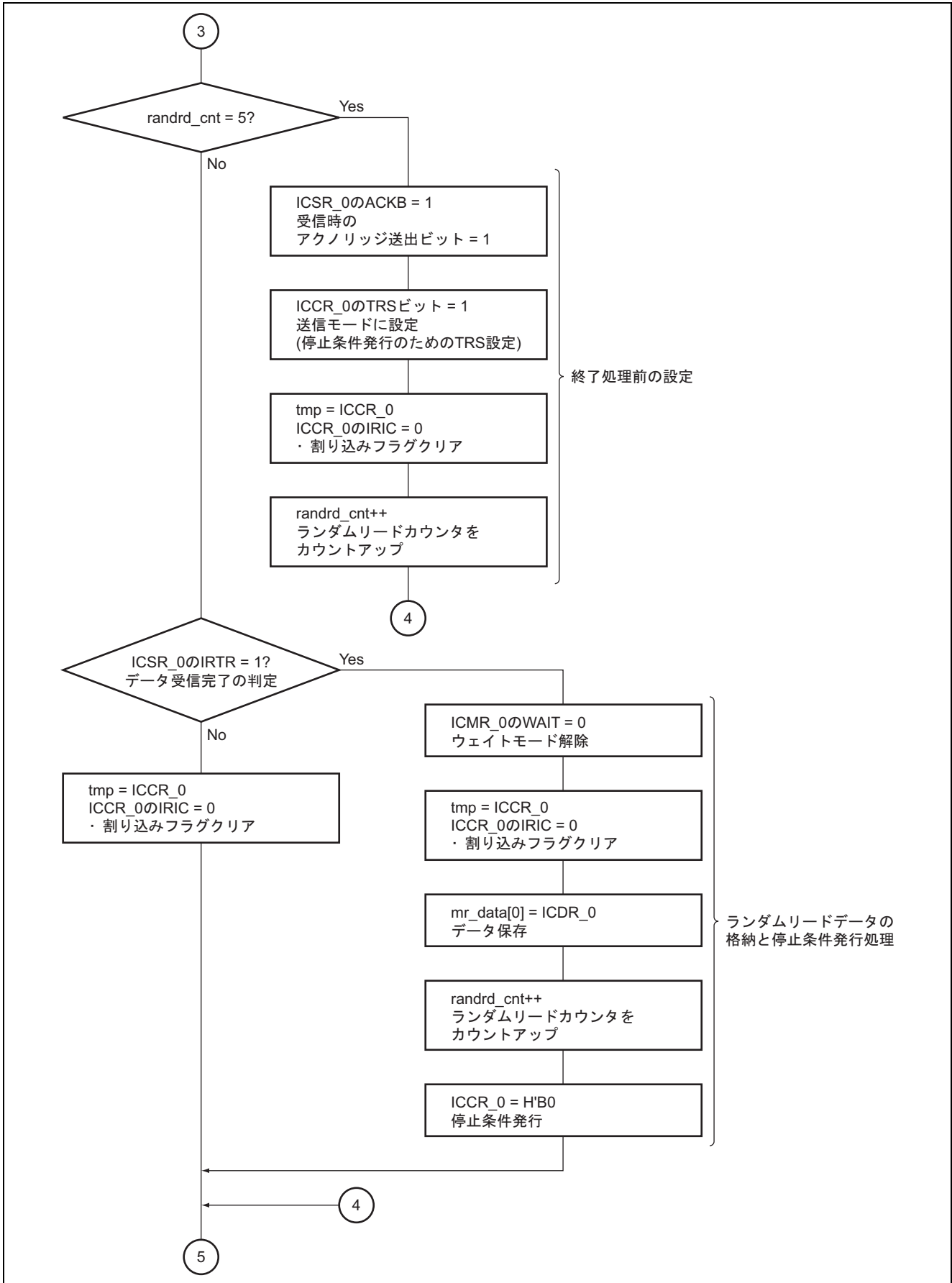
【注】 \*1 ICCR\_0 の ICE = 1 のとき, アクセス可能です。

### 5. フローチャート









ホームページとサポート窓口

ルネサステクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2007.01.31	—	初版発行

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。