
RL78/G13

R01AN2912JJ0111

Rev.1.11

2019.05.20

CPU クロックの切り替えとスタンバイ設定 (アセンブリ言語編) CC-RL

要旨

本アプリケーションノートでは、RL78/G13 の CPU クロックの切り替えとスタンバイ設定（動作モードの切り替え）を説明します。

本アプリケーションでは、スイッチ入力により、CPU クロックと動作モードの切り替えを行います。4 つの LED 点灯を制御し、CPU クロックの状態と動作モードを表します。

対象デバイス

RL78/G13

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1.	仕様	4
1.1	CPUクロックの切り替え	6
1.1.1	高速オンチップ・オシレータ・クロックから高速システム・クロックへの切り替え	7
1.1.2	高速オンチップ・オシレータ・クロックからサブシステム・クロックへの切り替え	9
1.1.3	高速システム・クロックから高速オンチップ・オシレータ・クロックへの切り替え	10
1.1.4	高速システム・クロックからサブシステム・クロックへの切り替え	11
1.1.5	サブシステム・クロックから高速オンチップ・オシレータ・クロックへの切り替え	12
1.1.6	サブシステム・クロックから高速システム・クロックへの切り替え	13
2.	動作確認条件	14
3.	関連アプリケーションノート	14
4.	ハードウェア説明	15
4.1	ハードウェア構成例	15
4.2	使用端子一覧	15
5.	ソフトウェア説明	16
5.1	動作概要	16
5.2	オプション・バイトの設定一覧	19
5.3	変数一覧	19
5.4	関数（サブルーチン）一覧	20
5.5	関数（サブルーチン）仕様	21
5.6	フローチャート	27
5.6.1	CPU初期化関数	28
5.6.2	入出力ポート設定	29
5.6.3	クロック発生回路の設定	30
5.6.4	外部割り込みの設定	35
5.6.5	12ビット・インターバル・タイマの設定	36
5.6.6	メイン処理	37
5.6.7	状態移行AtoB	40
5.6.8	CPU動作(NOP命令実行)	40
5.6.9	状態移行BtoD	41
5.6.10	状態移行エラー処理	44
5.6.11	状態移行DtoG	45
5.6.12	状態移行GtoD	45
5.6.13	状態移行DtoB	46
5.6.14	状態移行BtoC	48
5.6.15	状態移行CtoD	50
5.6.16	状態移行DtoC	52
5.6.17	状態移行CtoF	54
5.6.18	状態移行FtoC	54
5.6.19	状態移行CtoI	55
5.6.20	状態移行ItoC	55
5.6.21	状態移行CtoB	56
5.6.22	状態移行BtoE	58
5.6.23	状態移行EtoB	58
5.6.24	状態移行BtoH	59
5.6.25	状態移行HtoB	59
5.6.26	状態移行BtoJ	60
5.6.27	A/Dコンバータ設定	61
5.6.28	状態移行JtoB	67
5.6.29	状態移行終了処理	68
5.6.30	外部割り込み処理	69
5.6.31	12ビット・インターバル・タイマ割り込み処理	70

5.6.32 A/D変換終了割り込み処理	70
6. サンプルコード	71
7. 参考ドキュメント	71

1. 仕様

本アプリケーションノートでは、動作モード状態移行図に沿った CPU クロックと動作モードの切り替えを行います。また、CPU クロックと動作モードの状態に合わせ、4つの LED 点灯を制御します。

使用する周辺機能と用途、動作モード状態移行図、動作モードと LED 表示の関係をそれぞれ表 1.1、図 1.1、表 1.2 に示します。

表 1.1 使用する周辺機能と用途

周辺機能	用途
ポート出力	P52、P53、P62、P63 端子に接続された LED の点灯制御 (LED0-LED3)
外部割り込み	スイッチ入力(SW1)による端子入力エッジ検出の割り込み(INTP1)
12 ビット・インターバル・タイマ	12 ビット・インターバル・タイマのインターバル信号検出の割り込み(INTIT)
A/D コンバータ	P26/ANI6 端子のアナログ信号入力レベルを変換する

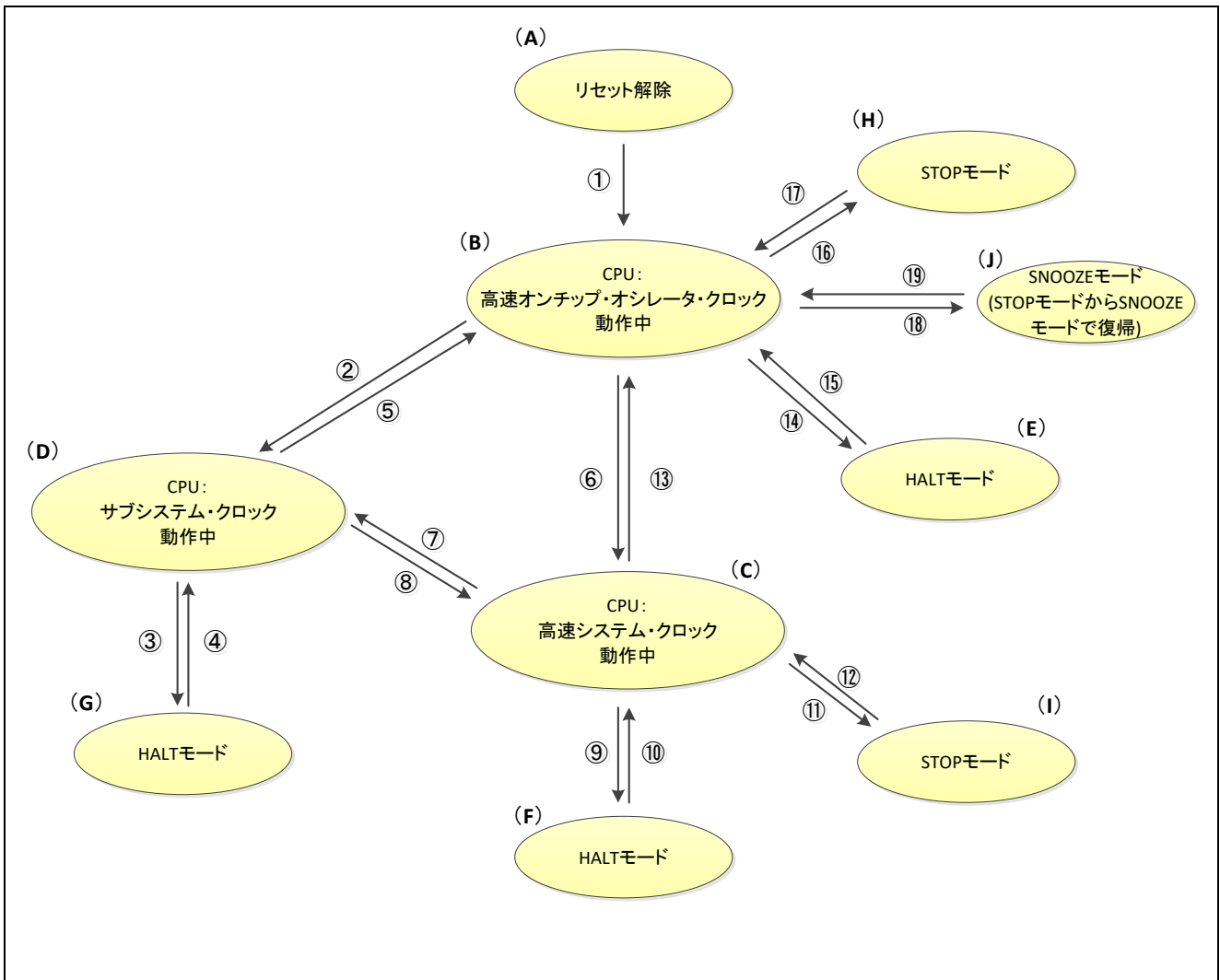


図 1.1 動作モード状態移行図

表 1.2 動作モードと LED 表示の関係

CPU/周辺ハードウェア・クロック (f _{CLK})	動作モード	LED 表示			
		LED0	LED1	LED2	LED3
高速オンチップ・オシレータ・クロック (f _{IH})	通常動作モード	点灯	点灯	点灯	点灯
	HALT モード	点灯	点灯	点灯	消灯
	SNOOZE モード	点灯	点灯	消灯	点灯
	STOP モード	点灯	点灯	消灯	消灯
高速システム・クロック (f _{MX})	通常動作モード	点灯	消灯	点灯	点灯
	HALT モード	点灯	消灯	点灯	消灯
	STOP モード	点灯	消灯	消灯	消灯
サブシステム・クロック (f _{SUB})	通常動作モード	消灯	点灯	点灯	点灯
	HALT モード	消灯	点灯	点灯	消灯

1.1 CPU クロックの切り替え

つぎの CPU クロックの切り替えについて、特殊機能レジスタ（SFR）の設定手順を説明します。

- ・高速オンチップ・オシレータ・クロックから高速システム・クロックへの切り替え
- ・高速オンチップ・オシレータ・クロックからサブシステム・クロックへの切り替え
- ・高速システム・クロックから高速オンチップ・オシレータ・クロックへの切り替え
- ・高速システム・クロックからサブシステム・クロックへの切り替え
- ・サブシステム・クロックから高速オンチップ・オシレータ・クロックへの切り替え
- ・サブシステム・クロックから高速システム・クロックへの切り替え

1.1.1 高速オンチップ・オシレータ・クロックから高速システム・クロックへの切り替え

CPU クロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに変更する場合、クロック動作モード制御レジスタ(CMC)、発振安定時間選択レジスタ(OSTS)、クロック動作ステータス制御レジスタ(CSC)で発振回路の設定と発振開始を行います。次に、発振安定時間カウンタ状態レジスタ(OSTC)で発振の安定待ちを行います。

発振安定時間経過後、システム・クロック制御レジスタ(CKC)で高速システム・クロックを fCLK に設定します。

メイン・システム・クロックのステータスが高速システム・クロックに切り替わったのを確認し、高速オンチップ・オシレータを停止します。

- ① CMC レジスタの OSCSEL ビットをセット(1)し、fx > 10MHz の場合は AMPH ビットをセット(1)して X1 発振回路を動作させます。外部クロックを使用される場合は EXCLK ビットと OSCSEL ビットをセット(1)してください。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH
	0/1	1	x	x	0	x	x	0/1

AMPH ビット : X1 発振クロックが 10 MHz 以下の場合は 0 を設定してください。

- ② OSTS レジスタで X1 発振回路の発振安定時間を選択します。外部クロックでは設定不要です。

例) 10MHz の発振子で 102μs 以上までウエイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSC レジスタの MSTOP ビットをクリア(0)して X1 発振回路の発振を開始します。外部クロック使用時は、MSTOP ビットをクリア(0)する前に外部クロック信号を入力してください。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	0	x	0	0	0	0	0	0

- ④ OSTC レジスタで X1 発振回路の発振安定待ちを行います。外部クロックでは発振安定待ちは不要です。

例) 10MHz の発振子で 102μs 以上までウエイトする場合は、以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

レジスタ図の設定値

x : 使用しないビット、空白 : 変更しないビット、- : 予約ビットまたは、何も配置されていないビット

- ⑤ CKC レジスタの MCM0 ビットで高速システム・クロックを CPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
	0	0	0	1	0	0	0	0

- ⑥ CKC レジスタの MCS ビットが切り替わるのを待ち、その後 HIOSTOP をセット(1)し、高速オンチップ・オシレータ・クロックを停止します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	0	x	0	0	0	0	0	1

レジスタ図の設定値

×：使用しないビット、空白：変更しないビット、－：予約ビットまたは、何も配置されていないビット

1.1.2 高速オンチップ・オシレータ・クロックからサブシステム・クロックへの切り替え

CPU クロックを高速オンチップ・オシレータ・クロックからサブシステム・クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ(OSMC)、クロック動作モード制御レジスタ(CMC)、クロック動作ステータス制御レジスタ(CSC)で発振回路の設定と発振開始を行います。次に、タイマ等で発振の安定待ちを行います。発振安定時間経過後、システム・クロック制御レジスタ(CKC)でサブシステム・クロックを f_{CLK} に設定します。CPU/周辺ハードウェア・クロックのステータスがサブシステム・クロックに切り替わったのを確認し、高速オンチップ・オシレータを停止します。

- ① 本アプリケーションノートでは、サブシステム・クロック用発振子の発振安定時間を 12 ビット・インターバル・タイマでカウントします。12 ビット・インターバル・タイマのカウント・クロックに低速オンチップ・オシレータ・クロックを使用するため、WUTMMCK0 ビットに 1 を設定します。なお、STOP モード時または HALT モード時（サブシステム・クロックで CPU 動作中の場合）にリアルタイム・クロック、12 ビット・インターバル・タイマのみサブシステム・クロックで動作させる場合は RTCLPC ビットに 1 を設定します。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0
	x	0	0	1	0	0	0	0

- ② CMC レジスタで XT1 発振モードを選択します。外部クロックを使用される場合は EXCLKS ビットと OSCSELS ビットをセット(1)してください。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH
	x	x	0/1	1	0	0/1	0/1	x

- ③ CSC レジスタの XTSTOP ビットをクリア(0)して XT1 発振回路を動作させます。外部クロック使用時は、XTSTOP ビットをクリア(0)する前に外部クロック信号を入力してください。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	x	0	0	0	0	0	0	0

- ④ サブシステム・クロック用発振子の発振が安定するまでソフトウェアでウェイトします。ウェイト時間（発振安定時間）はタイマ機能などを用いてカウントします。本アプリケーションノートでは 12 ビット・インターバル・タイマを用いてカウントします。外部クロックでは発振安定待ちは不要です。

- ⑤ CKC レジスタの CSS ビットでサブシステム・クロックを CPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
	0	1	0	0	0	0	0	0

- ⑥ CKC レジスタの CLS ビットが 1 になったことを確認して、HIOSTOP をセット(1)し、高速オンチップ・オシレータ・クロックを停止します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	x	0	0	0	0	0	0	1

1.1.3 高速システム・クロックから高速オンチップ・オシレータ・クロックへの切り替え

CPU クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに変更する場合、クロック動作ステータス制御レジスタ(CSC)で発振開始を行います。次に、タイマ等で発振の安定待ちを行います。発振安定時間経過後、システム・クロック制御レジスタ(CKC)で高速オンチップ・オシレータ・クロックを f_{CLK} に設定します。メイン・システム・クロックのステータスが高速オンチップ・オシレータ・クロックに切り替わったのを確認して X1 発振回路を停止します。

- ① CSC レジスタの HIOSTOP ビットをクリア(0)して高速オンチップ・オシレータの発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	0	x	0	0	0	0	0	0

- ② 高速オンチップ・オシレータ・クロックの発振が安定するまでソフトウェアでウェイトします。ウェイト時間（発振安定時間 18μs～65μs）はタイマ機能などを用いてカウントします。本アプリケーションノートでは 12 ビット・インターバル・タイマを用いてカウントします。

- ③ CKC レジスタの MCM0 ビットで高速オンチップ・オシレータ・クロックを CPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
	0	0	1	0	0	0	0	0

- ④ CKC レジスタの MCS ビットが切り替わるのを待ち、その後 MSTOP をセット(1)し、X1 発振回路の発振を停止します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	1	x	0	0	0	0	0	0

レジスタ図の設定値

x：使用しないビット、空白：変更しないビット、－：予約ビットまたは、何も配置されていないビット

1.1.4 高速システム・クロックからサブシステム・クロックへの切り替え

CPU クロックを高速システム・クロックからサブシステム・クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ(OSMC)、クロック動作ステータス制御レジスタ(CSC)で発振開始を行い、タイマ等で発振の安定待ちを行います。発振安定時間経過後、システム・クロック制御レジスタ(CKC)でサブシステム・クロックを f_{CLK} に設定します。CPU/周辺ハードウェア・クロックのステータスがサブシステム・クロックに切り替わったのを確認し、X1 発振回路を停止します。

- ① STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時にリアルタイム・クロック、12 ビット・インターバル・タイマのみサブシステム・クロックで動作させる場合は RTCLPC ビットを 1 に設定します。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0
	x	0	0	1	0	0	0	0

- ② CSC レジスタの XTSTOP ビットをクリア(0)して XT1 発振回路の発振を開始します。外部クロック使用時は、XTSTOP ビットをクリア(0)する前に外部クロック信号を入力してください。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	0	0	0	0	0	0	0	1

- ③ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウエイトします。本アプリケーションノートでは 12 ビット・インターバル・タイマを用いてカウントします。外部クロックでは発振安定待ちは不要です。

- ④ CKC レジスタの CSS ビットでサブシステム・クロックを CPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
	0	1	1	1	0	0	0	0

- ⑤ CKC レジスタの CLS ビットが切り替わるのを待ち、その後 MSTOP をセット(1)し、X1 発振回路の発振を停止します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	1	0	0	0	0	0	0	1

レジスタ図の設定値

x: 使用しないビット、空白: 変更しないビット、-: 予約ビットまたは、何も配置されていないビット

1.1.5 サブシステム・クロックから高速オンチップ・オシレータ・クロックへの切り替え

CPU クロックをサブシステム・クロックから高速オンチップ・オシレータ・クロックに変更する場合、クロック動作ステータス制御レジスタ(CSC)で発振開始を行います。次に、タイマ等で発振の安定待ちを行います。発振安定時間経過後、システム・クロック制御レジスタ(CKC)で高速オンチップ・オシレータ・クロックを f_{CLK} に設定します。CPU/周辺ハードウェア・クロックのステータスが高速オンチップ・オシレータ・クロックに切り替わったのを確認し、XT1 発振回路を停止します。

- ① CSC レジスタの HIOSTOP ビットをクリア(0)して高速オンチップ・オシレータの発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	x	0	0	0	0	0	0	0

- ② タイマ機能などを用いて、高速オンチップ・オシレータ・クロックに必要な発振安定時間(18μs~65μs)をソフトウェアでウエイトします。本アプリケーションノートでは 12 ビット・インターバル・タイマを用いてカウントします。

- ③ CKC レジスタの CSS ビットで高速オンチップ・オシレータ・クロックを CPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0 ^注	0	0	0	0
	1	0	0	0	0	0	0	0

- ④ CKC レジスタの CLS ビットが切り替わるのを待ち、その後 XTSTOP をクリア(0)し、XT1 発振回路の発振を停止します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	x	1	0	0	0	0	0	0

注 CPU/周辺ハードウェア・クロックがサブシステム・クロックで動作中に MCM0 ビットの値を変更することは禁止です。

レジスタ図の設定値

x : 使用しないビット、空白 : 変更しないビット、- : 予約ビットまたは、何も配置されていないビット

1.1.6 サブシステム・クロックから高速システム・クロックへの切り替え

CPU クロックをサブシステム・クロックから高速システム・クロックに変更する場合、クロック動作モード制御レジスタ(CMC)、クロック動作ステータス制御レジスタ(CSC)で発振開始を行います。次に、発振安定時間カウンタ状態レジスタ(OSTC)で発振の安定待ちを行います。発振安定時間経過後、システム・クロック制御レジスタ(CKC)で高速システム・クロックを f_{CLK} に設定します。メイン・システム・クロックのステータスが高速システム・クロックに切り替わったのを確認し、XT1 発振回路を停止します。

- ① OSTC レジスタで X1 発振回路の発振安定時間を選択します。外部クロックでは設定不要です。

例) 10MHz の発振子で 102 μ s 以上までウエイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ② CSC レジスタの MSTOP ビットをクリア(0)して X1 発振回路の発振を開始します。外部クロック使用時は、MSTOP ビットをクリア(0)する前に外部クロック信号を入力してください。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	0	0	0	0	0	0	0	x

- ③ OSTC レジスタで X1 発振回路の発振安定待ちを行います。外部クロックでは発振安定待ちは不要です。

例) 10MHz の発振子で 102 μ s 以上までウエイトする場合は、以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ④ CKC レジスタの CSS ビットで高速システム・クロックを CPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0 ^注	0	0	0	0
	1	0	1	1	0	0	0	0

- ⑤ CKC レジスタの CLS ビットが切り替わるのを待ち、その後 XTSTOP をセット(1)し、XT1 発振回路の発振を停止します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
	0	1	0	0	0	0	0	x

注 CPU/周辺ハードウェア・クロックがサブシステム・クロックで動作中に MCM0 ビットの値を変更することは禁止です。

レジスタ図の設定値

×：使用しないビット、空白：変更しないビット、－：予約ビットまたは、何も配置されていないビット

2. 動作確認条件

本アプリケーションノートサンプルコードは、下記の条件で動作を確認しています。

表 2.1 動作確認条件

項目	内容
使用マイコン	RL78/G13 (R5F100LEA)
動作周波数	<ul style="list-style-type: none"> ● 高速オンチップ・オシレータ・クロック : 32MHz ● 高速システム・クロック : 20MHz ● サブシステム・クロック : 32.768kHz ● CPU/周辺ハードウェア・クロック : 32MHz/20MHz/32.768kHz ^注
動作電圧	5.0V (2.9V~5.5V で動作可能) LVD 動作 (V _{LVD}) : リセット・モード 2.81V (2.76V~2.87V)
統合開発環境 (CS+)	ルネサス エレクトロニクス製 CS+ for CC V4.00.00
アセンブラ (CS+)	ルネサス エレクトロニクス製 CC-RL V1.02.00
統合開発環境 (e ² studio)	ルネサス エレクトロニクス製 e ² studio V4.3.0.008
アセンブラ (e ² studio)	ルネサス エレクトロニクス製 CC-RL V1.02.00
使用ボード	ルネサス エレクトロニクス製 RL78/G13 スタータ・キット (R0K50100LS000BE/900BE)

注 アプリケーションでは、CPU/周辺ハードウェア・クロックの設定を切替えています。

3. 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。併せて参照してください。

RL78/G13 初期設定 (R01AN2575J) アプリケーションノート

4. ハードウェア説明

4.1 ハードウェア構成例

図 4.1に本アプリケーションノートで使用するハードウェア構成例を示します。

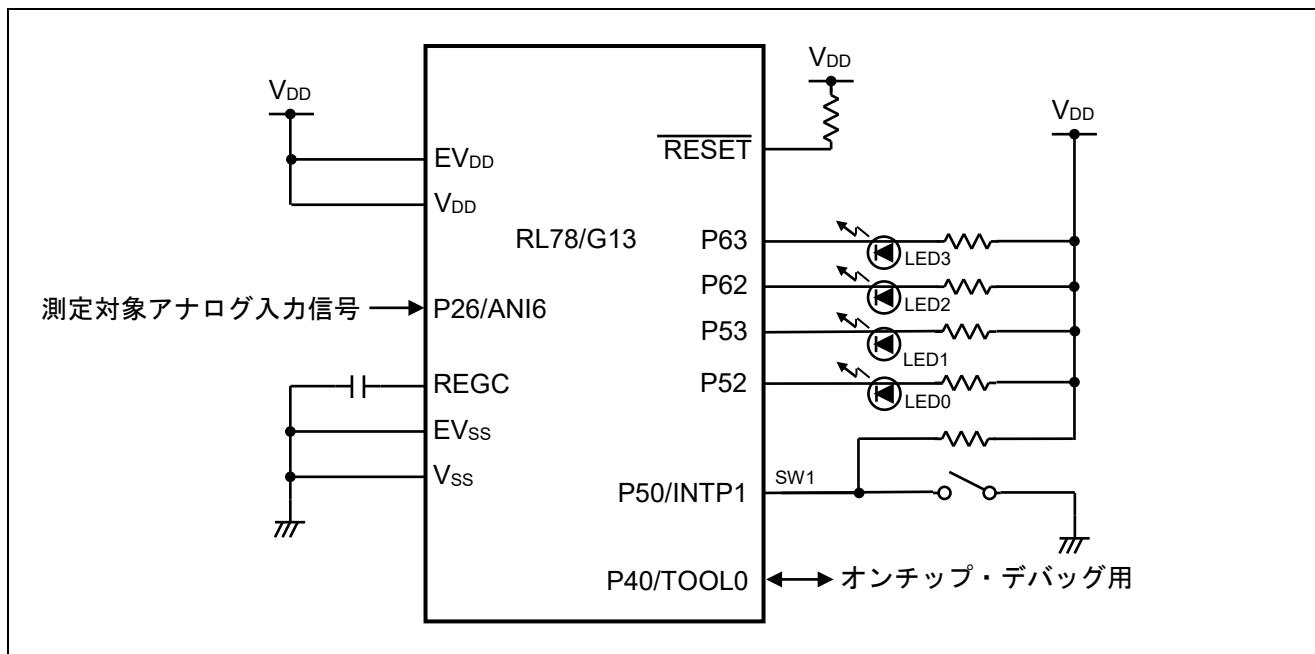


図 4.1 ハードウェア構成

注意 1 この回路イメージは接続の概要を示す為に簡略化しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください（入力専用ポートは個別に抵抗を介して VDD 又は VSS に接続して下さい）。

- 2 EVSS で始まる名前の端子がある場合には VSS に、EVDD で始まる名前の端子がある場合には VDD にそれぞれ接続してください。
- 3 VDD は LVD にて設定したリセット解除電圧（V_{LVD}）以上にしてください。

4.2 使用端子一覧

表 4.1 に使用端子と機能を示します。

表 4.1 使用端子と機能

端子名	入出力	内容
P50	入力	スイッチ（SW1）入力ポート
P26/AIN6	入力	A/D コンバータ アナログ入力ポート
P52	出力	LED 点灯（LED0）制御ポート
P53	出力	LED 点灯（LED1）制御ポート
P62	出力	LED 点灯（LED2）制御ポート
P63	出力	LED 点灯（LED3）制御ポート

5. ソフトウェア説明

5.1 動作概要

本アプリケーションノートでは、スイッチ入力により、CPU クロックと動作モードを切り替えます。
CPU クロックと動作モードの切り替えは、下記①から⑱の順に行います。

- ① 高速オンチップ・オシレータ・クロック : CPU 動作(B)
- ② 高速オンチップ・オシレータ・クロック : CPU 動作(B) → サブシステム・クロック : CPU 動作(D)
- ③ サブシステム・クロック : CPU 動作(D) → サブシステム・クロック : HALT モード(G)
- ④ サブシステム・クロック : HALT モード(G) → サブシステム・クロック : CPU 動作(D)
- ⑤ サブシステム・クロック : CPU 動作(D) → 高速オンチップ・オシレータ・クロック : CPU 動作(B)
- ⑥ 高速オンチップ・オシレータ・クロック : CPU 動作(B) → 高速システム・クロック : CPU 動作(C)
- ⑦ 高速システム・クロック : CPU 動作(C) → サブシステム・クロック : CPU 動作(D)
- ⑧ サブシステム・クロック : CPU 動作(D) → 高速システム・クロック : CPU 動作(C)
- ⑨ 高速システム・クロック : CPU 動作(C) → 高速システム・クロック : HALT モード(F)
- ⑩ 高速システム・クロック : HALT モード(F) → 高速システム・クロック : CPU 動作(C)
- ⑪ 高速システム・クロック : CPU 動作(C) → STOP モード(I)
- ⑫ STOP モード(I) → 高速システム・クロック動作(C)
- ⑬ 高速システム・クロック : CPU 動作(C) → 高速オンチップ・オシレータ・クロック : CPU 動作(B)
- ⑭ 高速オンチップ・オシレータ・クロック : CPU 動作(B) → 高速オンチップ・オシレータ・クロック : HALT モード(E)
- ⑮ 高速オンチップ・オシレータ・クロック : HALT モード(E) → 高速オンチップ・オシレータ・クロック : CPU 動作(B)
- ⑯ 高速オンチップ・オシレータ・クロック : CPU 動作(B) → STOP モード(H)
- ⑰ STOP モード(H) → 高速オンチップ・オシレータ・クロック : CPU 動作(B)
- ⑱ 高速オンチップ・オシレータ・クロック : CPU 動作(B) → SNOOZE モード(STOP モードから SNOOZE モードへ移行)(J)
- ⑲ SNOOZE モード(J) → 高速オンチップ・オシレータ・クロック : CPU 動作(B)

(1) 入出力ポートの初期設定を行います。

- ・ P52-P53、 P62-P63 端子 : 出力ポートに設定(LED 点灯制御で使用します)。
- ・ P50/INTP1 端子 : 入力ポートに設定(スイッチ入力で使用します)。
- ・ P26/ANI6 端子 : アナログ入力ポートに設定(A/D 変換のアナログ入力チャネルとして使用します)。

(2) クロック発生回路の初期設定を行います。

<設定条件>

- フラッシュの動作モードを HS(高速メイン)モードに設定します（ユーザ・オプション・バイト (000C2H/010C2H)で設定します）。
- 高速オンチップ・オシレータ・クロックの周波数を 32MHz に設定します。
- サブシステム・クロック端子の動作モードを XT1 発振モードに設定し、XT1/123 端子および XT2/EXCLKS/P124 端子に水晶振動子を接続します。
- XT1 発振回路の発振モードを超低消費発振に設定します（接続する発振子に最適な発振モードを選択します）。
- 高速システム・クロック端子の動作モードを X1 発振モードに設定し、X1/P121 端子および X2/EXCLK/P122 端子に水晶振動子を接続します。
- CPU/周辺ハードウェア・クロック(f_{CLK})にメイン・システム・クロック(f_{MAIN})を選択します。

(3) 割り込み処理の初期設定を行います。

- ・ INTP1 端子の有効エッジを立ち下がりエッジに設定し、スイッチ入力を有効にします。
- ・ スイッチ入力の判定には、12 ビット・インターバル・タイマを使用します。約 5ms 間隔で端子の電圧レベルを確認し、電圧レベルが 2 回連続で一致した場合、有効なスイッチ入力であると判断します（チャタリング除去）。

(4) スイッチ押下による P50/INTP1 端子の立ち下がりエッジを検出する毎に、CPU クロックと動作モードを切り替えます。

- ① LED 点灯制御後(LED0 : ON、 LED1 : ON、 LED2 : ON、 LED3 : ON)、スイッチ入力を待ちます。
- ② CPU クロックを高速オンチップ・オシレータ・クロックからサブシステム・クロックへ切り替え、LED 点灯制御(LED0 : OFF、 LED1 : ON、 LED2 : ON、 LED3 : ON)を行います。その後、スイッチ入力を待ちます。
- ③ LED 点灯制御後(LED0 : OFF、 LED1 : ON、 LED2 : ON、 LED3 : OFF)、HALT モードへ移行し、スイッチ入力を待ちます。
- ④ LED 点灯制御後(LED0 : OFF、 LED1 : ON、 LED2 : ON、 LED3 : ON)、スイッチ入力を待ちます。
- ⑤ CPU クロックをサブシステム・クロックから高速オンチップ・オシレータ・クロックへ切り替え、LED 点灯制御(LED0 : ON、 LED1 : ON、 LED2 : ON、 LED3 : ON)を行います。その後、スイッチ入力を待ちます。
- ⑥ CPU クロックを高速オンチップ・オシレータ・クロックから高速システム・クロックへ切り替え、LED 点灯制御(LED0 : ON、 LED1 : OFF、 LED2 : ON、 LED3 : ON)を行います。その後、スイッチ入力を待ちます。
- ⑦ CPU クロックを高速システム・クロックからサブシステム・クロックへ切り替え、LED 点灯制御(LED0 : OFF、 LED1 : ON、 LED2 : ON、 LED3 : ON)を行います。その後、スイッチ入力を待ちます。
- ⑧ CPU クロックをサブシステム・クロックから高速システム・クロックへ切り替え、LED 点灯制御(LED0 : ON、 LED1 : OFF、 LED2 : ON、 LED3 : ON)を行います。その後、スイッチ入力を待ちます。
- ⑨ LED 点灯制御後(LED0 : ON、 LED1 : OFF、 LED2 : ON、 LED3 : OFF)、HALT モードへ移行し、スイッチ入力を待ちます。
- ⑩ LED 点灯制御後(LED0 : ON、 LED1 : OFF、 LED2 : ON、 LED3 : ON)、スイッチ入力を待ちます。

- ⑪ LED 点灯制御後(LED0 : ON、 LED1 : OFF、 LED2 : OFF、 LED3 : OFF)、STOP モードへ移行し、スイッチ入力を待ちます。
- ⑫ LED 点灯制御後(LED0 : ON、 LED1 : OFF、 LED2 : ON、 LED3 : ON)、スイッチ入力を待ちます。
- ⑬ CPU クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックへ切り替え、LED 点灯制御(LED0 : ON、 LED1 : ON、 LED2 : ON、 LED3 : ON)を行います。その後、スイッチ入力を待ちます。
- ⑭ LED 点灯制御後(LED0 : ON、 LED1 : ON、 LED2 : ON、 LED3 : OFF)、HALT モードへ移行し、スイッチ入力を待ちます。
- ⑮ LED 点灯制御後(LED0 : ON、 LED1 : ON、 LED2 : ON、 LED3 : ON)、スイッチ入力を待ちます。
- ⑯ LED 点灯制御後(LED0 : ON、 LED1 : ON、 LED2 : OFF、 LED3 : OFF)、STOP モードへ移行し、スイッチ入力を待ちます。
- ⑰ LED 点灯制御後(LED0 : ON、 LED1 : ON、 LED2 : ON、 LED3 : ON)、スイッチ入力を待ちます。
- ⑱ LED 点灯制御後(LED0 : ON、 LED1 : ON、 LED2 : OFF、 LED3 : ON)、SNOOZE モードへ移行し、A/D 変換終了割り込みが発生するまで待ちます。
- ⑲ LED 点灯制御後(LED0 : ON、 LED1 : ON、 LED2 : ON、 LED3 : ON)、スイッチ入力を待ちます。

上記⑪から⑲までの CPU クロックと動作モード切り替え後、スイッチ押下による P50/INTP1 端子の立ち下がリエッジを検出すると、LED をすべて消灯し、HALT モードへ移行します（スタンバイ復帰は RESET 入力のみです）。

また、CPU クロックが水晶発振子の発振不良などによって、一定時間内に状態移行できない場合は、エラー処理として LED を全てオフにし、状態移行を終了します。

注意 デバイス使用上の注意事項については、RL78/G13 ユーザーズマニュアル を参照してください。

5.2 オプション・バイトの設定一覧

表 5.1 にオプション・バイト設定を示します。

表 5.1 オプション・バイト設定

アドレス	設定値	内容
000C0H/010C0H	01101110B	ウォッチドッグ・タイマ 動作停止 (リセット解除後、カウント停止)
000C1H/010C1H	01111111B	LVD リセット・モード 2.81V (2.76V~2.87V)
000C2H/010C2H	11101000B	HS モード、HOCO : 32MHz
000C3H/010C3H	10000100B	オンチップ・デバッグ許可

5.3 変数一覧

表 5.2 にグローバル変数を示します。

表 5.2 変数

型	変数名	内容	使用関数
8 ビット	RITCOUNT	12 ビット・インターバル・タイマのインターバル信号検出割り込み回数	_NOP、 IINTP1
8 ビット	RINTFLAG	外部割り込み発生判別フラグ	BtoD、 DtoB、 BtoC、 CtoD、 DtoC、 CtoB、 IINTIT

5.4 関数（サブルーチン）一覧

表 5.3 に関数（サブルーチン）を示します。

表 5.3 関数

関数名	概要	動作モード状態移行図の番号
AtoB	(A)から(B)へ状態移行処理	①
BtoD	(B)から(D)へ状態移行処理	②
DtoG	(D)から(G)へ状態移行処理	③
GtoD	(G)から(D)へ状態移行処理	④
DtoB	(D)から(B)へ状態移行処理	⑤
BtoC	(B)から(C)へ状態移行処理	⑥
CtoD	(C)から(D)へ状態移行処理	⑦
DtoC	(D)から(C)へ状態移行処理	⑧
CtoF	(C)から(F)へ状態移行処理	⑨
FtoC	(F)から(C)へ状態移行処理	⑩
CtoI	(C)から(I)へ状態移行処理	⑪
ItoC	(I)から(C)へ状態移行処理	⑫
CtoB	(C)から(B)へ状態移行処理	⑬
BtoE	(B)から(E)へ状態移行処理	⑭
EtoB	(E)から(B)へ状態移行処理	⑮
BtoH	(B)から(H)へ状態移行処理	⑯
HtoB	(H)から(B)へ状態移行処理	⑰
BtoJ	(B)から(J)へ状態移行処理	⑱
JtoB	(J)から(B)へ状態移行処理	⑲
_NOP	NOP 命令繰り返し実行処理	—
AD_SNOOZE	A/D コンバータ設定	—
END	状態移行終了処理	—
ERROR	状態移行エラー処理	—
IINTP1	外部割り込み発生判別フラグ更新処理	—
IINTIT	12ビット・インターバル・タイマのインターバル 信号検出割り込み回数カウント処理	—
IINTAD	SNOOZE モード解除処理	—

5.5 関数（サブルーチン）仕様

サンプルコードの関数（サブルーチン）仕様を示します。

[関数名] AtoB

概要	(A)から(B)へ状態移行処理
宣言	—
説明	LED 点灯制御を行います。 (CPU クロック：高速オンチップ・オシレータ・クロック)
引数	なし
リターン値	なし
備考	なし

[関数名] BtoD

概要	(B)から(D)へ状態移行処理
宣言	—
説明	CPU クロックを高速オンチップ・オシレータ・クロックからサブシステム・クロックへ切り替えます。クロック切り替え後、LED 点灯制御を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] DtoG

概要	(D)から(G)へ状態移行処理
宣言	—
説明	LED 点灯制御後、HALT モードへ移行します。 (CPU クロック停止（サブシステム・クロック選択時）)
引数	なし
リターン値	なし
備考	なし

[関数名] GtoD

概要	(G)から(D)へ状態移行処理
宣言	—
説明	LED 点灯制御を行います。 (CPU クロック：サブシステム・クロック)
引数	なし
リターン値	なし
備考	なし

[関数名] DtoB

概要	(D)から(B)へ状態移行処理
宣言	—
説明	CPU クロックをサブシステム・クロックから高速オンチップ・オシレータ・クロックへ切り替えます。クロック切り替え後、LED 点灯制御を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] BtoC

概要	(B)から(C)へ状態移行処理
宣言	—
説明	CPU クロックを高速オンチップ・オシレータ・クロックから高速システム・クロック動作へ切り替えます。クロック切り替え後、LED 点灯制御を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] CtoD

概要	(C)から(D)へ状態移行処理
宣言	—
説明	CPU クロックを高速システム・クロックからサブシステム・クロックへ切り替えます。クロック切り替え後、LED 点灯制御を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] DtoC

概要	(D)から(C)へ状態移行処理
宣言	—
説明	CPU クロックをサブシステム・クロックから高速システム・クロックへ切り替えます。クロック切り替え後、LED 点灯制御を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] CtoF

概要	(C)から(F)へ状態移行処理
宣言	—
説明	LED 点灯制御後、HALT モードへ移行します。 (CPU クロック停止 (高速システム・クロック選択時))
引数	なし
リターン値	なし
備考	なし

[関数名] FtoC

概要	(F)から(C)へ状態移行処理
宣言	—
説明	LED 点灯制御を行います。 (CPU クロック : 高速システム・クロック)
引数	なし
リターン値	なし
備考	なし

[関数名] CtoI

概要	(C)から(I)へ状態移行処理
宣言	—
説明	LED 点灯制御後、STOP モードへ移行します。 (CPU クロック停止 (高速システム・クロック選択時))
引数	なし
リターン値	なし
備考	なし

[関数名] ItoC

概要	(I)から(C)へ状態移行処理
宣言	—
説明	LED 点灯制御を行います。 (CPU クロック : 高速システム・クロック)
引数	なし
リターン値	なし
備考	なし

[関数名] CtoB

概要	(C)から(B)へ状態移行処理
宣言	—
説明	CPU クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックへ切り替えます。クロック切り替え後、LED 点灯制御を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] BtoE

概要	(B)から(E)へ状態移行処理
宣言	—
説明	LED 点灯制御後、HALT モードへ移行します。 (CPU クロック停止 (高速オンチップ・オシレータ・クロック選択時))
引数	なし
リターン値	なし
備考	なし

[関数名] EtoB

概要	(E)から(B)へ状態移行処理
宣言	—
説明	LED 点灯制御を行います。 (CPU クロック：高速オンチップ・オシレータ・クロック)
引数	なし
リターン値	なし
備考	なし

[関数名] BtoH

概要	(B)から(H)へ状態移行処理
宣言	—
説明	LED 点灯制御後、STOP モードへ移行します。 (CPU クロック停止（高速オンチップ・オシレータ・クロック選択時）)
引数	なし
リターン値	なし
備考	なし

[関数名] HtoB

概要	(H)から(B)へ状態移行処理
宣言	—
説明	LED 点灯制御を行います。 (CPU クロック：高速オンチップ・オシレータ・クロック)
引数	なし
リターン値	なし
備考	なし

[関数名] BtoJ

概要	(B)から(J)へ状態移行処理
宣言	—
説明	A/D コンバータ設定と LED 点灯制御を行います。 その後、SNOOZE モードへ移行します。
引数	なし
リターン値	なし
備考	なし

[関数名] JtoB

概要	(J)から(B)へ状態移行処理
宣言	—
説明	SNOOZE 解除設定と A/D コンバータ停止を行います。 その後、LED 点灯制御を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] _NOP

概要	NOP 命令繰り返し実行処理
宣言	—
説明	NOP 命令を繰り返し実行します。外部割り込み発生判別フラグがセットされると、処理を終了します。
引数	なし
リターン値	なし
備考	なし

[関数名] AD_SNOOZE

概要	A/D コンバータ設定
宣言	—
説明	12 ビット・インターバル・タイマ割り込み信号によるハードウェア・トリガ・ウェイト・モードに A/D コンバータを設定します。また、SNOOZE モードを許可にして A/D 変換待機状態にします。
引数	なし
リターン値	なし
備考	なし

[関数名] END

概要	状態移行終了処理
宣言	—
説明	割り込みを禁止にし、LED 点灯制御(全てオフ)を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] ERROR

概要	状態移行エラー処理
宣言	—
説明	割り込みを禁止にし、LED 点灯制御(全てオフ)を行います。その後、関数内でループ処理を行います(復帰はリセット入力のみです)。
引数	なし
リターン値	なし
備考	なし

[関数名] IINTP1

概要	外部割り込み発生判別フラグ更新処理
宣言	—
説明	外部割り込み発生により、外部割り込み発生判別フラグをセットします。 また、スイッチの入カレベルがハイ・レベルとなったことを確認し、処理を終了します。
引数	なし
リターン値	なし
備考	なし

[関数名] IINTIT

概要	12 ビット・インターバル・タイマのインターバル信号検出割り込み回数カウント処理
宣言	—
説明	12 ビット・インターバル・タイマのインターバル信号検出割り込み発生の度に、RITCOUNT をインクリメントします。
引数	なし
リターン値	なし
備考	なし

[関数名] IINTAD

概要	SNOOZE モード解除処理
宣言	—
説明	ADM2 レジスタの AWC ビットをクリアし、SNOOZE モードを解除します。
引数	なし
リターン値	なし
備考	なし

5.6 フローチャート

図 5.1 に本アプリケーションノートの全体フローを示します。

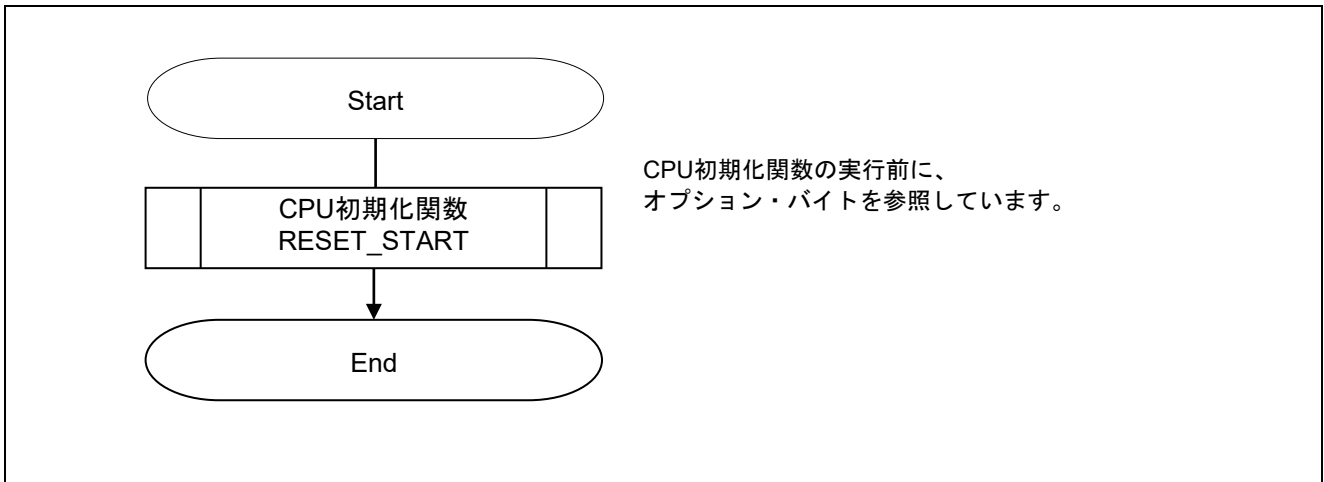


図 5.1 全体フロー

5.6.1 CPU 初期化関数

図 5.2 に CPU 初期化関数のフローチャートを示します。

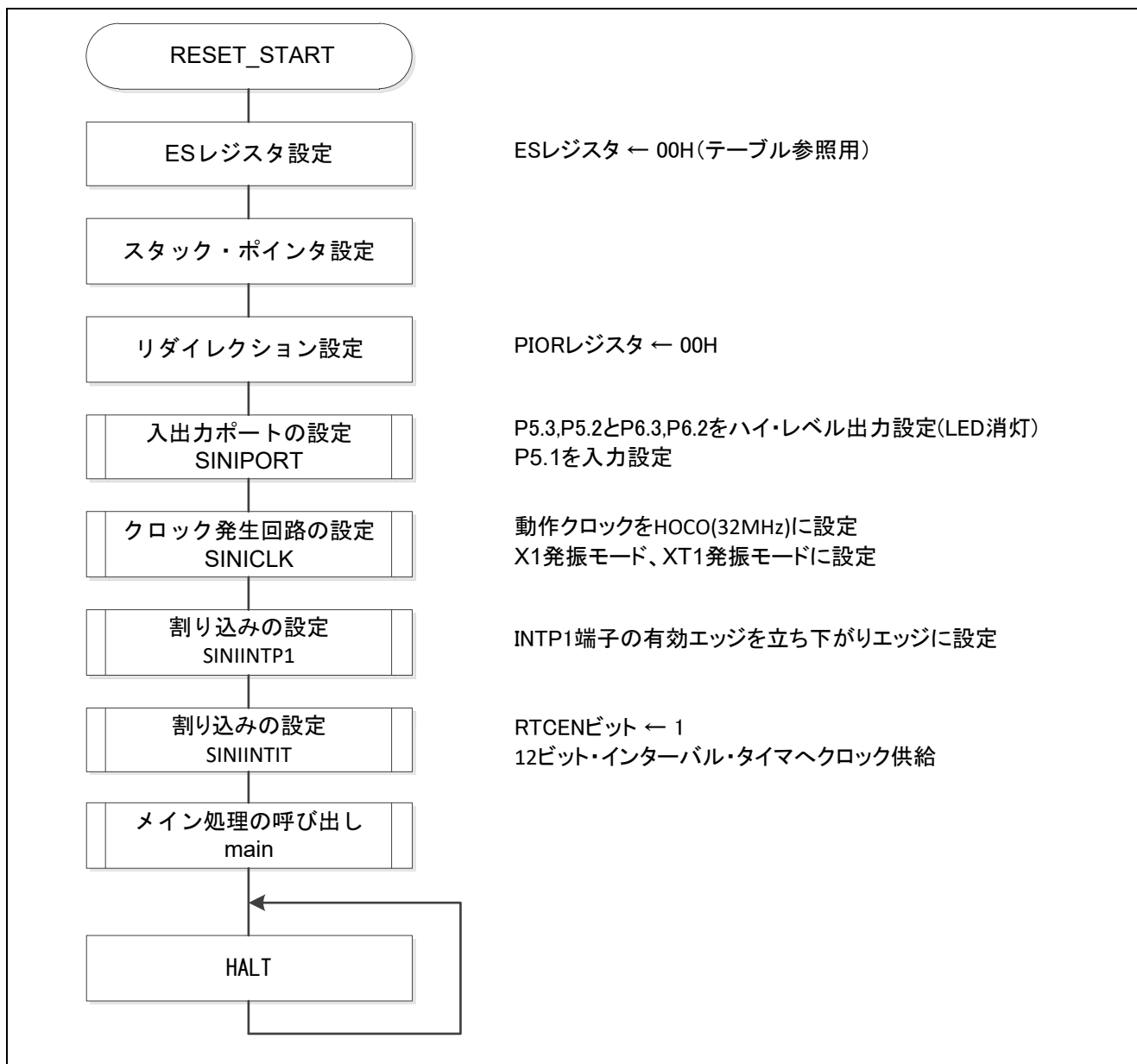


図 5.2 CPU 初期化関数

5.6.2 入出力ポート設定

図 5.3 に入出力ポート設定のフローチャートを示します。

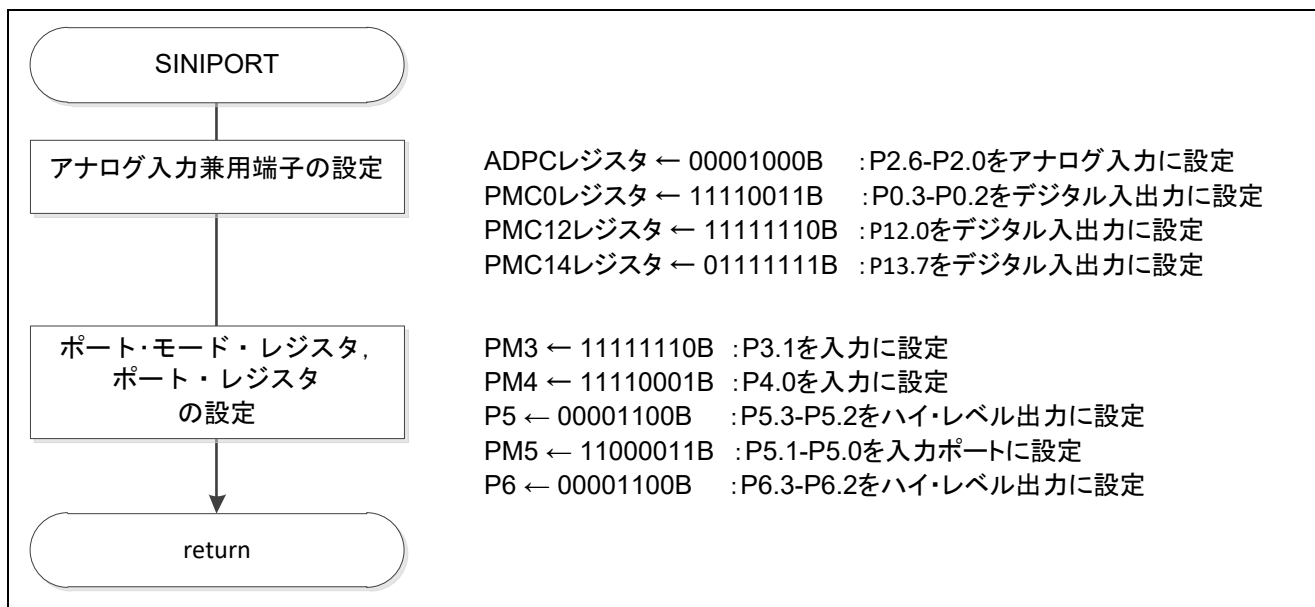


図 5.3 入出力ポート設定

注 未使用ポートの設定については、RL78/G13 初期設定 (R01AN2575J) アプリケーションノート“フローチャート”を参照して下さい。

注意 未使用のポートは、端子処理などを適切に行い、電気的特性を満たすように設計してください。また、未使用の入力専用ポートは個別に抵抗を介して VDD 又は VSS に接続してください。

5.6.3 クロック発生回路の設定

図 5.4 にクロック発生回路の設定のフローチャートを示します。

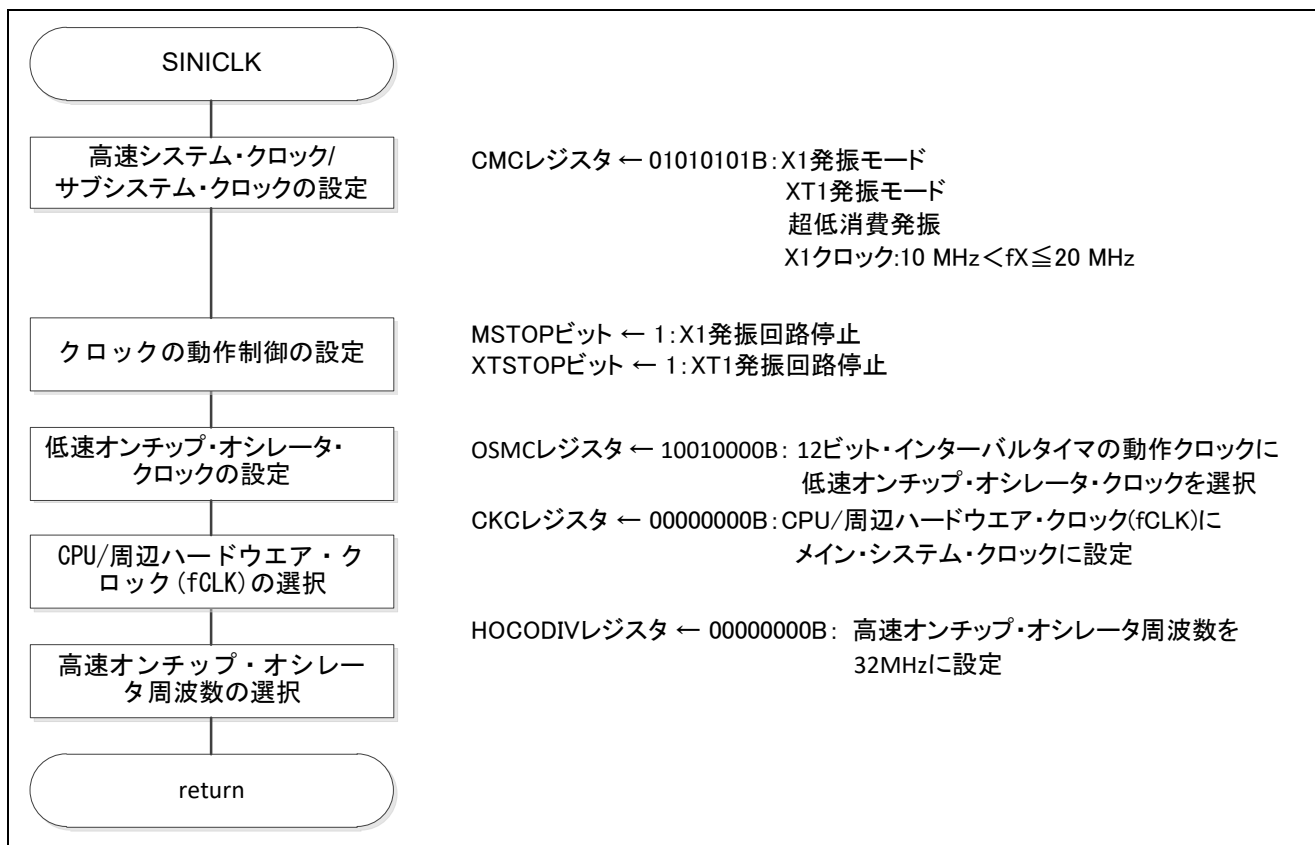


図 5.4 クロック発生回路の設定

クロック動作モードの設定

- ・クロック動作モード制御レジスタ（CMC）
- 高速システム・クロック端子の動作モード：入力ポート・モード
- サブシステム・クロック端子の動作モード：入力ポート・モード
- XT1 発振回路の発振モード：超低消費発振
- X1 クロック発信周波数の制御： $1\text{MHz} \leq f_{MX} \leq 10\text{MHz}$

略号：CMC

7	6	5	4	3	2	1	0
EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH
0	1	0	1	0	1	0	1

ビット7－6

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121 端子	X2/EXCLK/P122 端子
0	0	入力ポート・モード	入力ポート	
0	1	X1 発振モード	水晶/セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

ビット5－4

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	XT1/P123 端子	XT2/EXCLKS/P124 端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1 発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

ビット2－1

AMPHS1	AMPHS0	XT1 発振回路の発振モード選択
0	0	低消費発振(デフォルト)
0	1	通常発振
1	0	超低消費発振
1	1	設定禁止

ビット0

AMPH	X1 クロック発振周波数の制御
0	$1\text{MHz} \leq f_x \leq 10\text{MHz}$
1	$10\text{MHz} < f_x \leq 20\text{MHz}$

注意 レジスタ設定の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

各クロックの動作制御

- ・クロック動作ステータス制御レジスタ（CSC）
 高速システム・クロックの動作制御：X1 発振回路停止
 サブシステム・クロックの動作制御：XT1 発振回路停止
 HOCO クロックの動作制御：HOCO 動作

略号：CSC

7	6	5	4	3	2	1	0
MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
1	1	0	0	0	0	0	0

ビット7

MSTOP	高速システム・クロックの動作制御		
	X1 発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1 発振回路動作	EXCLK 端子からの外部クロック有効	入力ポート
1	X1 発振回路停止	EXCLK 端子からの外部クロック無効	

ビット6

XTSTOP	サブシステム・クロックの動作制御		
	XT1 発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1 発振回路動作	EXCLKS 端子からの外部クロック有効	入力ポート
1	XT1 発振回路停止	EXCLKS 端子からの外部クロック無効	

ビット0

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意 レジスタ設定の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

CPU/周辺ハードウェア・クロック (f_{CLK}) の設定

- ・システム・クロック制御レジスタ (CKC)
 f_{CLK}のステータス : メイン・システム・クロック
 f_{CLK}の選択 : 高速オンチップ・オシレータ・クロック (f_{IH})

略号 : CKC

7	6	5	4	3	2	1	0
CLS	CSS	MCS	MCM0	0	0	0	0
0	0	0	0	0	0	0	0

ビット 7

CLS	CPU/周辺ハードウェア・クロック (f _{CLK}) のステータス
0	メイン・システム・クロック (f _{MAIN})
1	サブシステム・クロック (f _{SUB})

ビット 6

CSS	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択
0	メイン・システム・クロック (f _{MAIN})
1	サブシステム・クロック (f _{SUB})

ビット 5

MCS	メイン・システム・クロック (f _{MAIN}) のステータス
0	高速オンチップ・オシレータ・クロック (f _{IH})
1	高速システム・クロック (f _{MX})

ビット 4

MCM0	メイン・システム・クロック (f _{MAIN}) の動作制御
0	メイン・システム・クロック (f _{MAIN}) に HOCO クロック (f _{IH}) を選択
1	メイン・システム・クロック (f _{MAIN}) に高速システム・クロック (f _{MX}) を選択

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

サブシステム・クロック供給モードの制御

- ・サブシステム・クロック供給モード制御レジスタ（OSMC）
STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時の設定
 - ： 周辺機能へのサブシステム・クロック供給許可
 - リアルタイム・クロック、インターバル・タイマの動作クロックの選択
 - ： サブシステム・クロック

略号：OSMC

7	6	5	4	3	2	1	0
RTCLPC	0	0	WUTMMCK0	0	0	0	0
0	0	0	1	0	0	0	0

ビット 7

RTCLPC	STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時の設定
0	周辺機能へのサブシステム・クロックの供給許可
1	リアルタイム・クロック、インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給停止

ビット 4

WUTMMCK0	リアルタイム・クロック、インターバル・タイマの動作クロックの選択
0	サブシステム・クロック (f _{SUB})
1	低速オンチップ・オシレータ (LOC0) ・クロック

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

5.6.4 外部割り込みの設定

図 5.5 に外部割り込みの設定のフローチャートを示します。



図 5.5 外部割り込みの設定

外部割り込みの有効エッジを制御

- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
INTP1 端子の有効エッジの選択：立ち下がリエッジ

略号：EGP0

7	6	5	4	3	2	1	0
EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0
x	x	x	x	x	x	0	x

略号：EGN0

7	6	5	4	3	2	1	0
EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0
x	x	x	x	x	x	1	x

ビット 1

EGP1	EGN1	INTP1 端子の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がリエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

5.6.5 12ビット・インターバル・タイマの設定

図 5.6 に 12 ビット・インターバル・タイマの設定のフローチャートを示します。

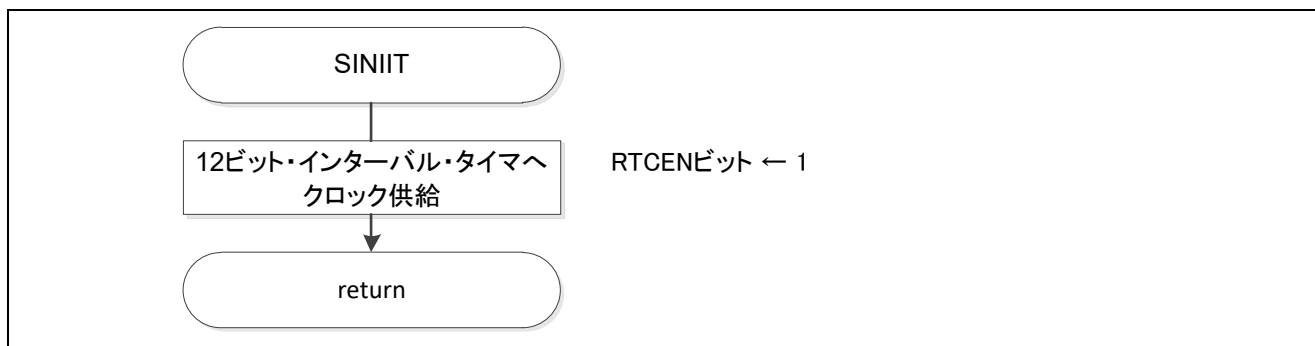


図 5.6 12 ビット・インターバル・タイマの設定

12 ビット・インターバル・タイマへのクロック供給許可設定

- ・周辺イネーブル・レジスタ 0 (PER0)
- 12 ビット・インターバル・タイマへのクロック供給許可設定

略号 : PER0

7	6	5	4	3	2	1	0
RTCEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN
1	x	x	x	x	x	x	x

ビット 7

RTCEN	12 ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止
1	入カクロック供給

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

5.6.6 メイン処理

図 5.7、図 5.8 にメイン処理のフローチャートを示します。

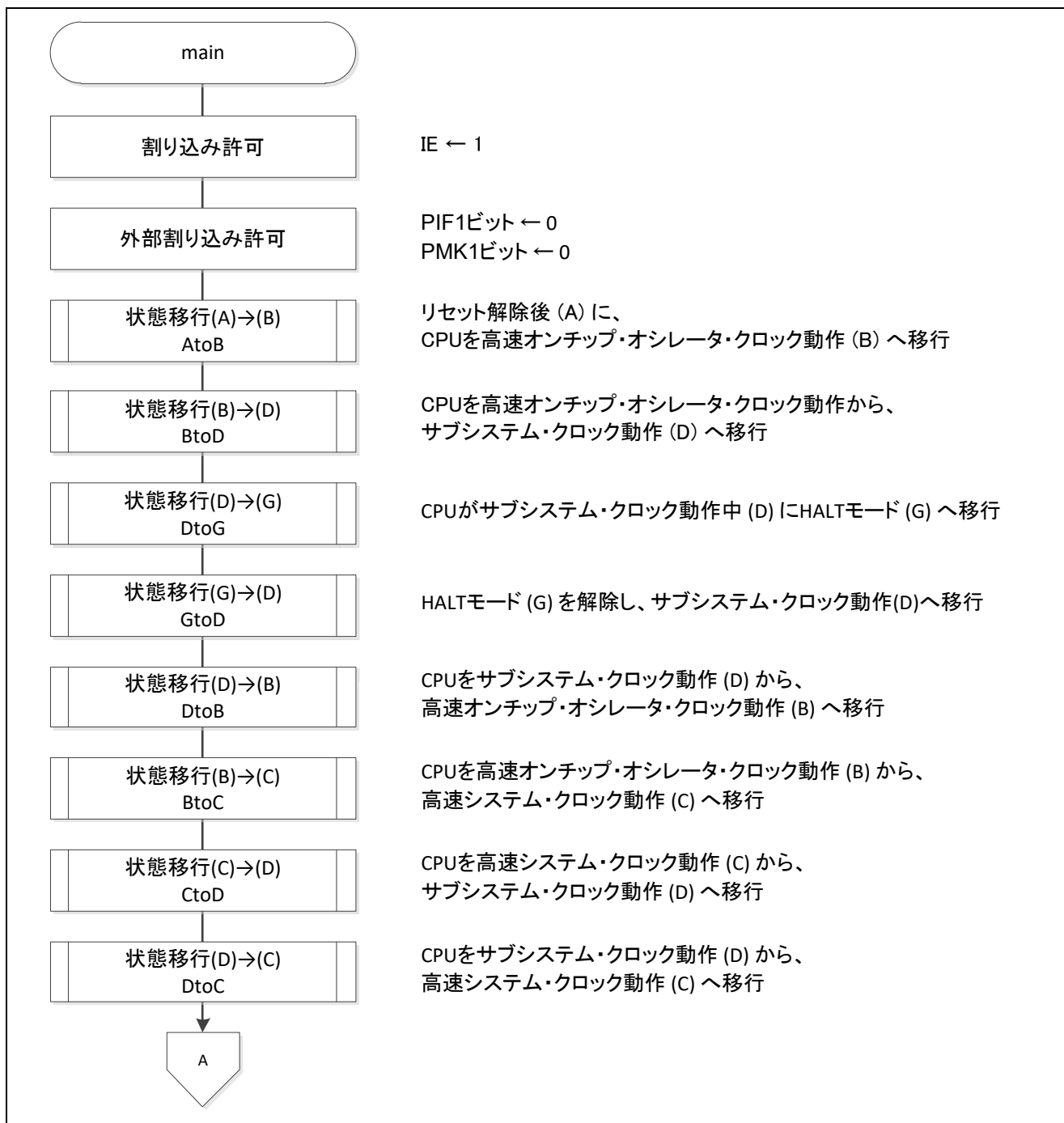


図 5.7 メイン処理(1/2)

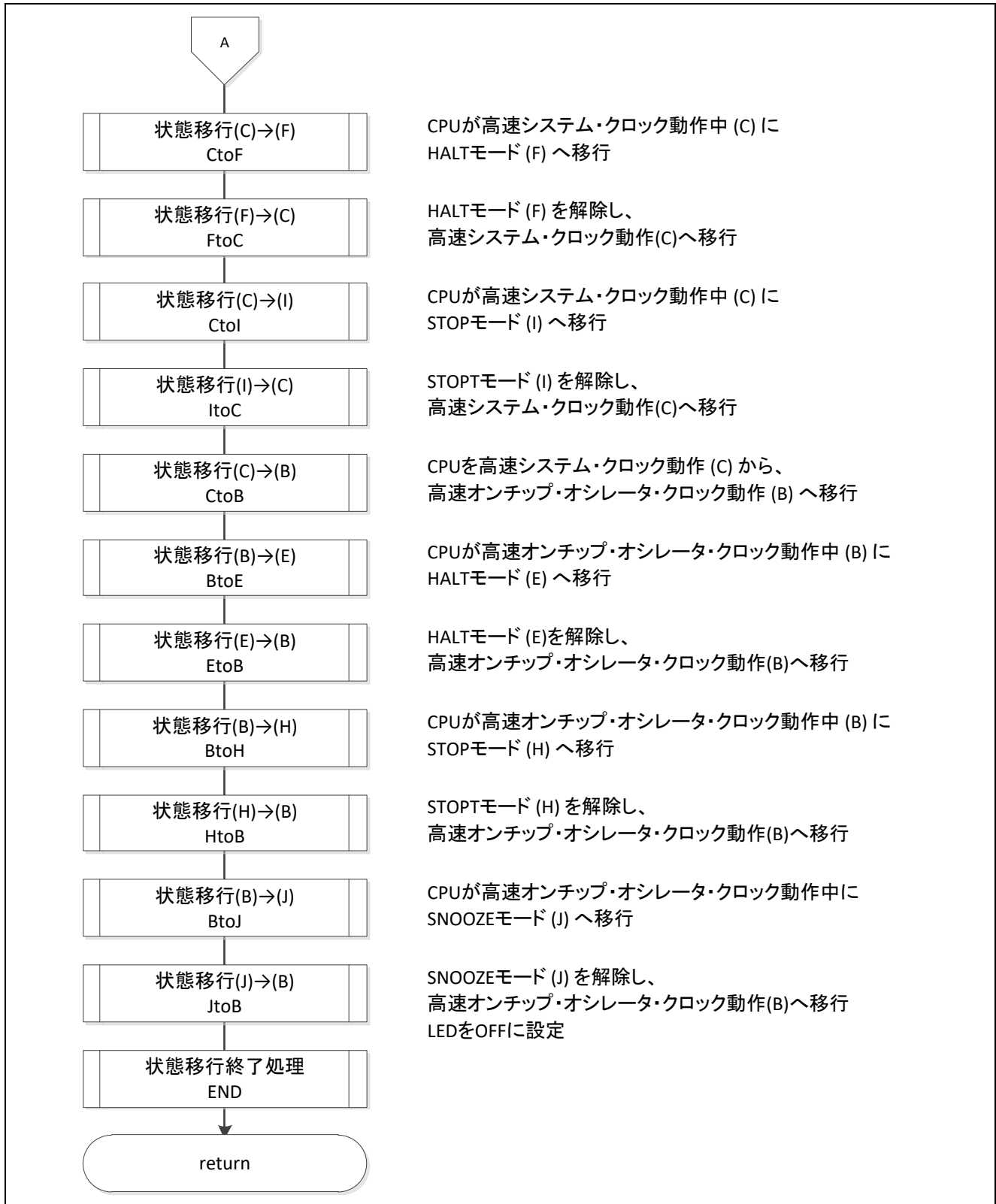


図 5.8 メイン処理(2/2)

端子入力エッジ検出割り込み(INTP1)の設定

- ・割り込み要求フラグ・レジスタ（IF0L）
PIF1 割り込み要因フラグをクリア
- ・割り込みマスク・フラグ・レジスタ（MK0L）
PMK1 割り込みマスクの設定

略号：IF0L

7	6	5	4	3	2	1	0
PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF	WDTIF
x	x	x	x	0	x	x	x

ビット3

PIF1	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号：MK0L

7	6	5	4	3	2	1	0
PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTMK
x	x	x	x	0	x	x	x

ビット3

RTCMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

5.6.7 状態移行 AtoB

図 5.9 に状態移行 AtoB のフローチャートを示します。

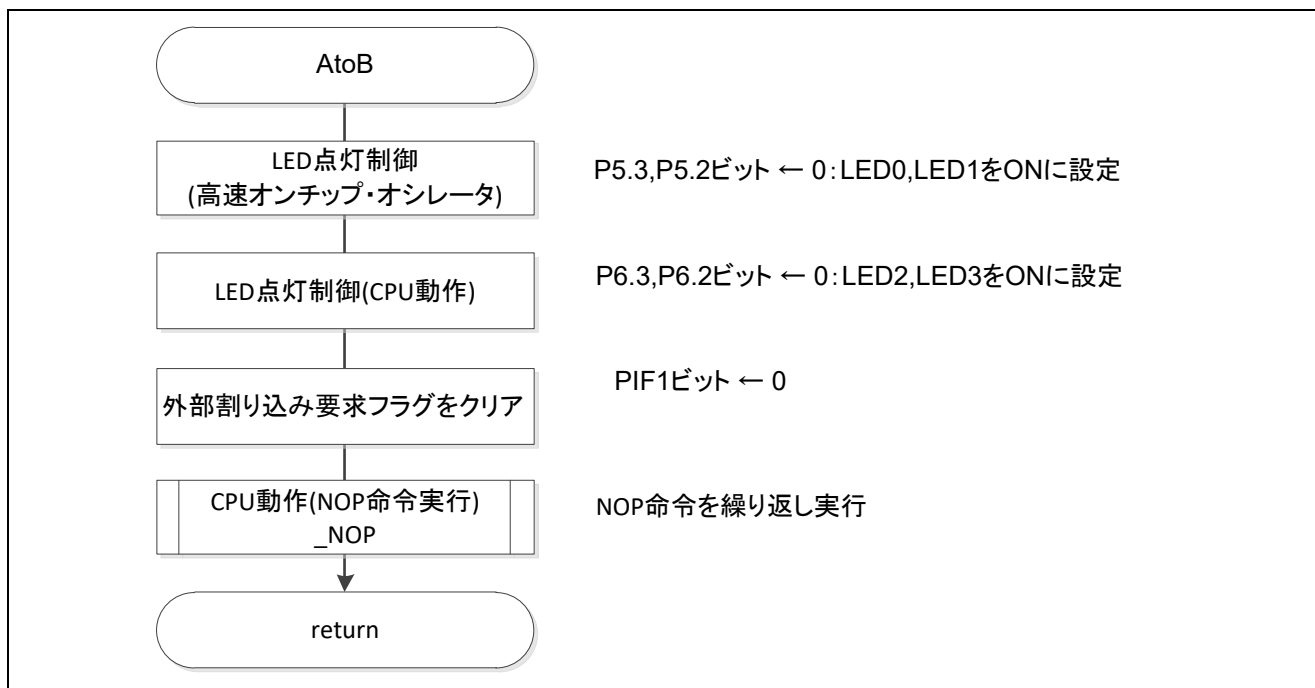


図 5.9 状態移行 AtoB

5.6.8 CPU 動作(NOP 命令実行)

図 5.10 に CPU 動作(NOP 命令実行)のフローチャートを示します。

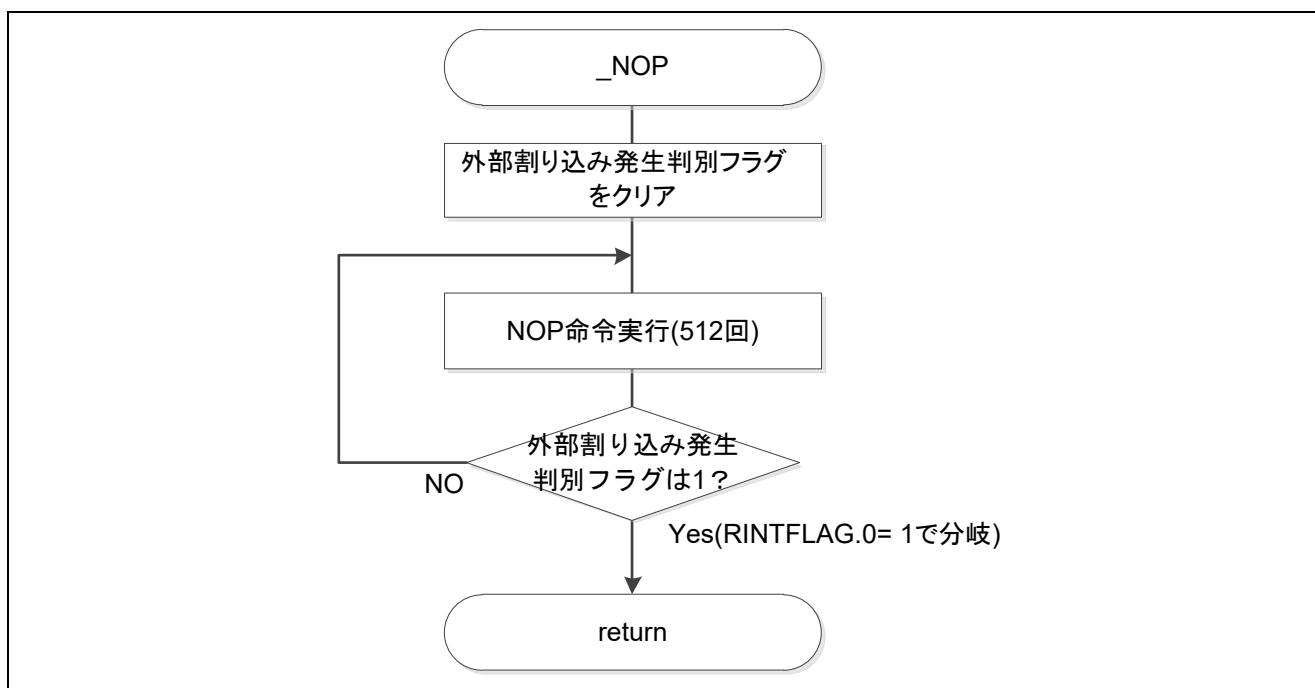


図 5.10 CPU 動作(NOP 命令実行)

5.6.9 状態移行 BtoD

図 5.11、図 5.12 に状態移行 BtoD のフローチャートを示します。

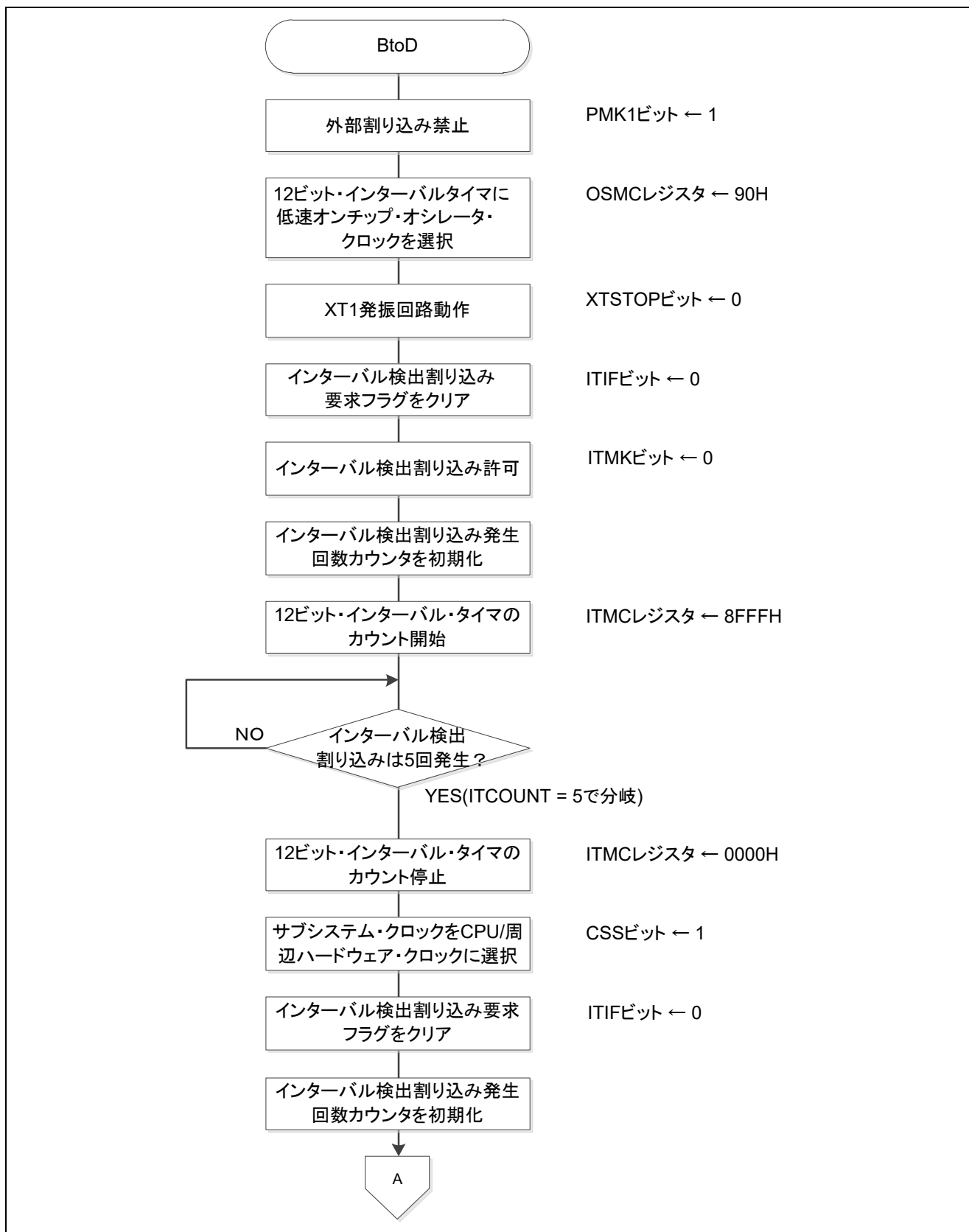


図 5.11 状態移行 BtoD(1/2)

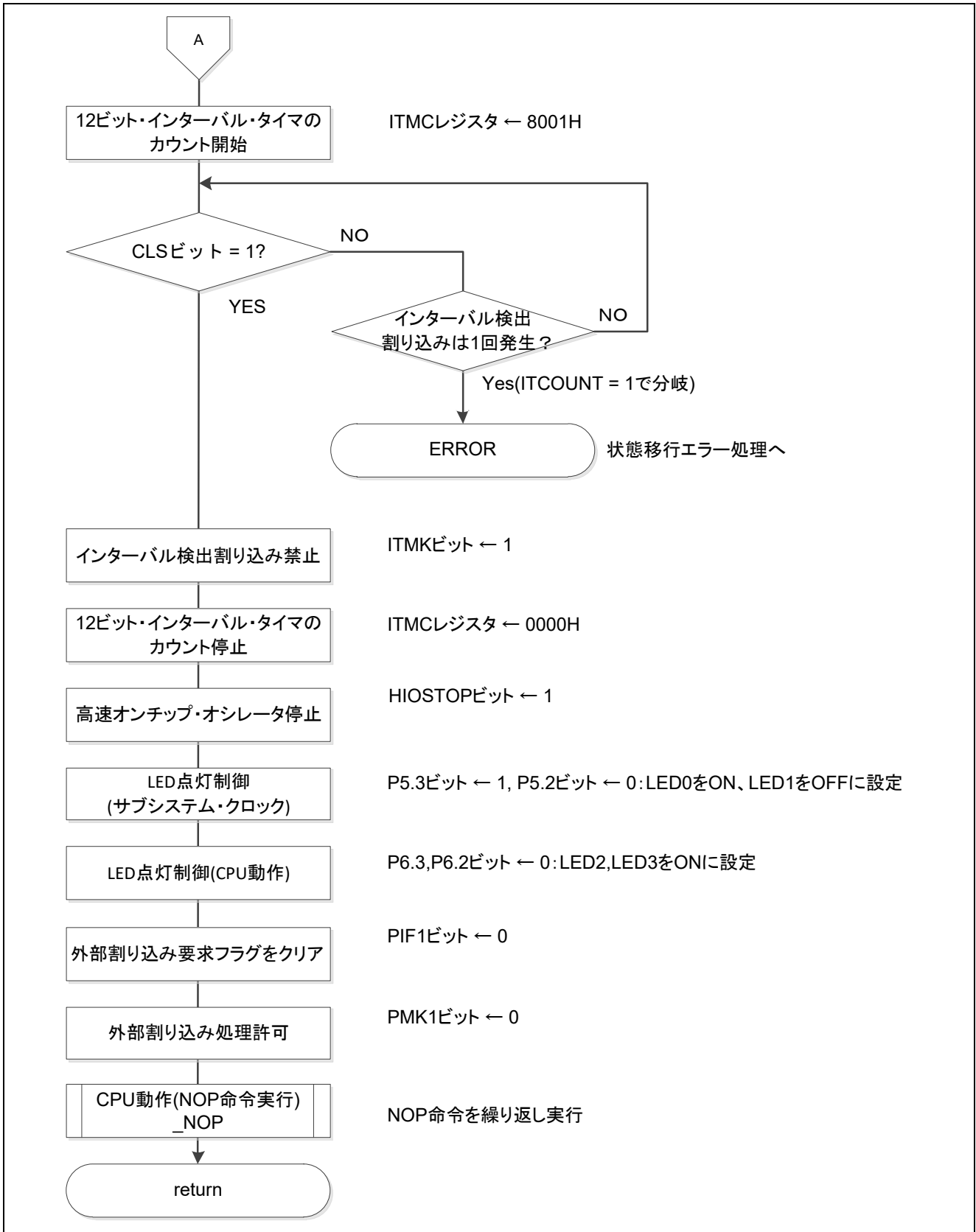


図 5.12 状態移行 BtoD(2/2)

12 ビット・インターバル・タイマのインターバル信号検出割り込み(INTIT)の設定

- ・割り込み要求フラグ・レジスタ（IF1H）
ITIF 割り込み要因フラグをクリア
- ・割り込みマスク・フラグ・レジスタ（MK1H）
ITMK 割り込みマスクの設定

略号：IF1H

7	6	5	4	3	2	1	0
TMIF04	TMIF13	SRIF3 CSIF31 IICIF31	STIF3 CSIF30 IICIF30	KRIF	ITIF	RTCIF	ADIF
x	x	x	X	X	0	x	x

ビット 2

ITIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号：MK1H

7	6	5	4	3	2	1	0
TMMK04	TMMK13	SRMK3 CSIMK31 IICMK31	STMK3 CSIMK30 IICMK30	KRMK	ITMK	RTCMK	ADMK
x	x	x	x	X	0	x	x

ビット 2

ITMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

12 ビット・インターバル・タイマのインターバル信号検出割り込み(INTIT)の設定

- ・インターバル・タイマ・コントロール・レジスタ (ITMC)
12 ビット・インターバル・タイマのカウンタ動作開始

略号：ITMC

15	14	13	2	11-0
RINTE	0	0	0	ITCMP11-ITCMP0
1	0	0	0	FFFH

ビット 1 5

RINTE	12 ビット・インターバル・タイマの動作制御
0	カウンタ動作停止 (カウンタ・クリア)
1	カウンタ動作開始

ビット 1 1 - 0

ITCMP11-ITCMP0	12 ビット・インターバル・タイマのコンペア値設定
FFFH	「カウンタ・クロック周期 × (ITCMP 設定値 FFFH+1) 」の定周期割り込みを発生します。
000H	設定禁止

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

5.6.10 状態移行エラー処理

図 5.13 に状態移行エラー処理のフローチャートを示します。

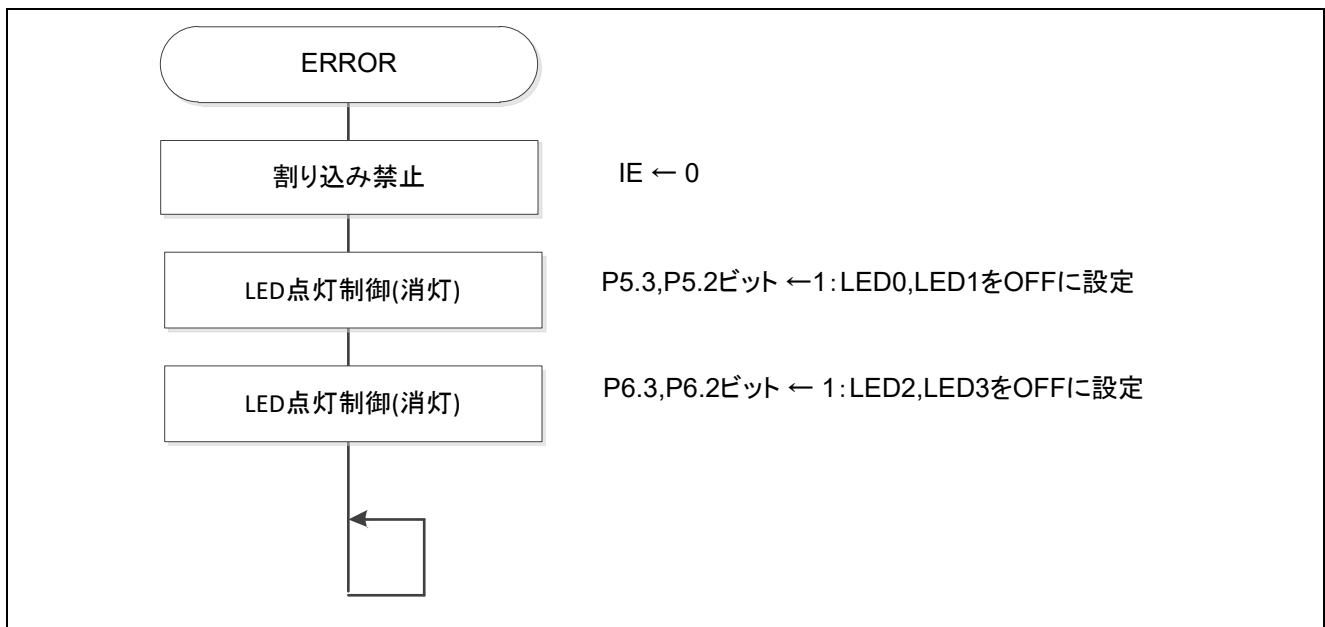


図 5.13 状態移行エラー処理

5.6.11 状態移行 DtoG

図 5.14 に状態移行 DtoG のフローチャートを示します。

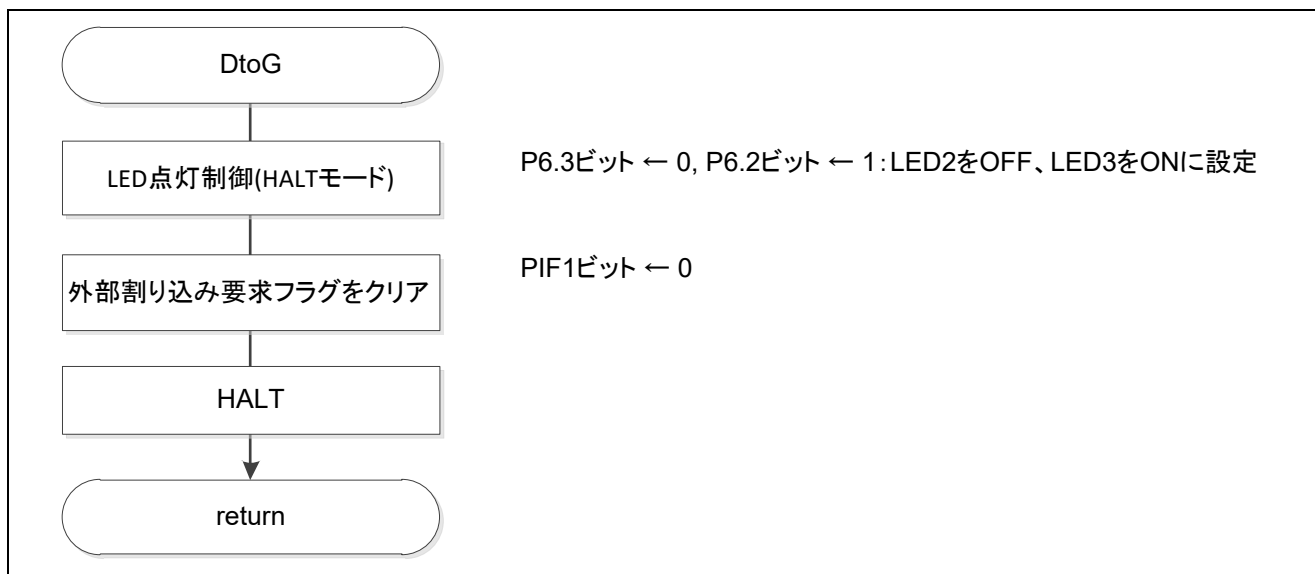


図 5.14 状態移行 DtoG

5.6.12 状態移行 GtoD

図 5.15 に状態移行 GtoD のフローチャートを示します。

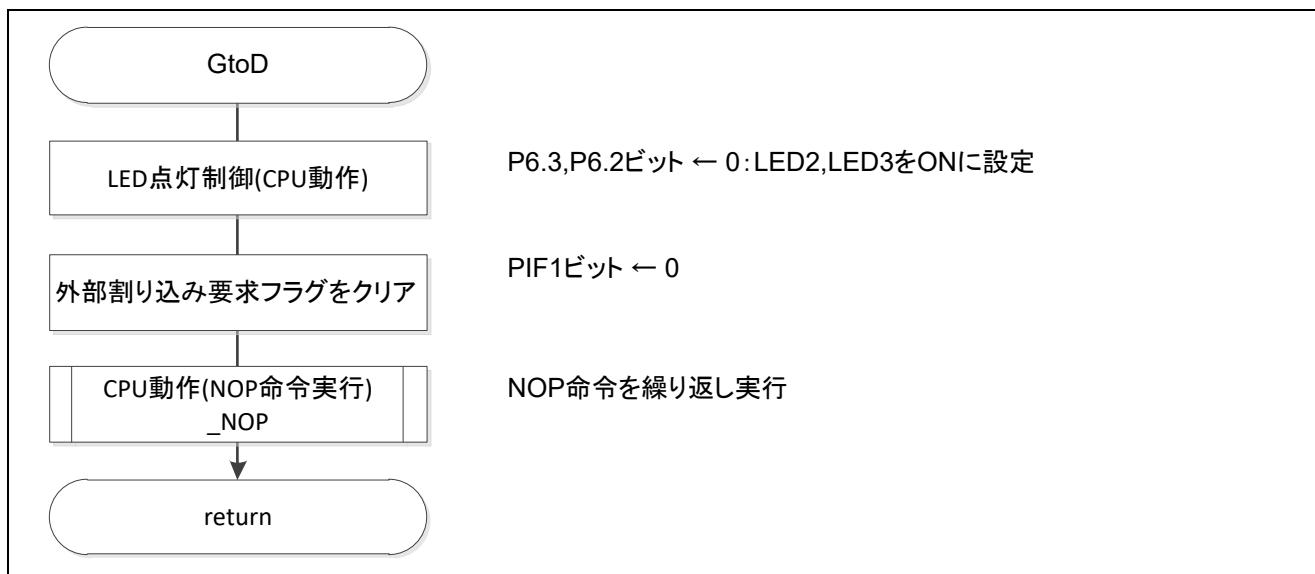


図 5.15 状態移行 GtoD

5.6.13 状態移行 DtoB

図 5.16、図 5.17 に状態移行 DtoB のフローチャートを示します。

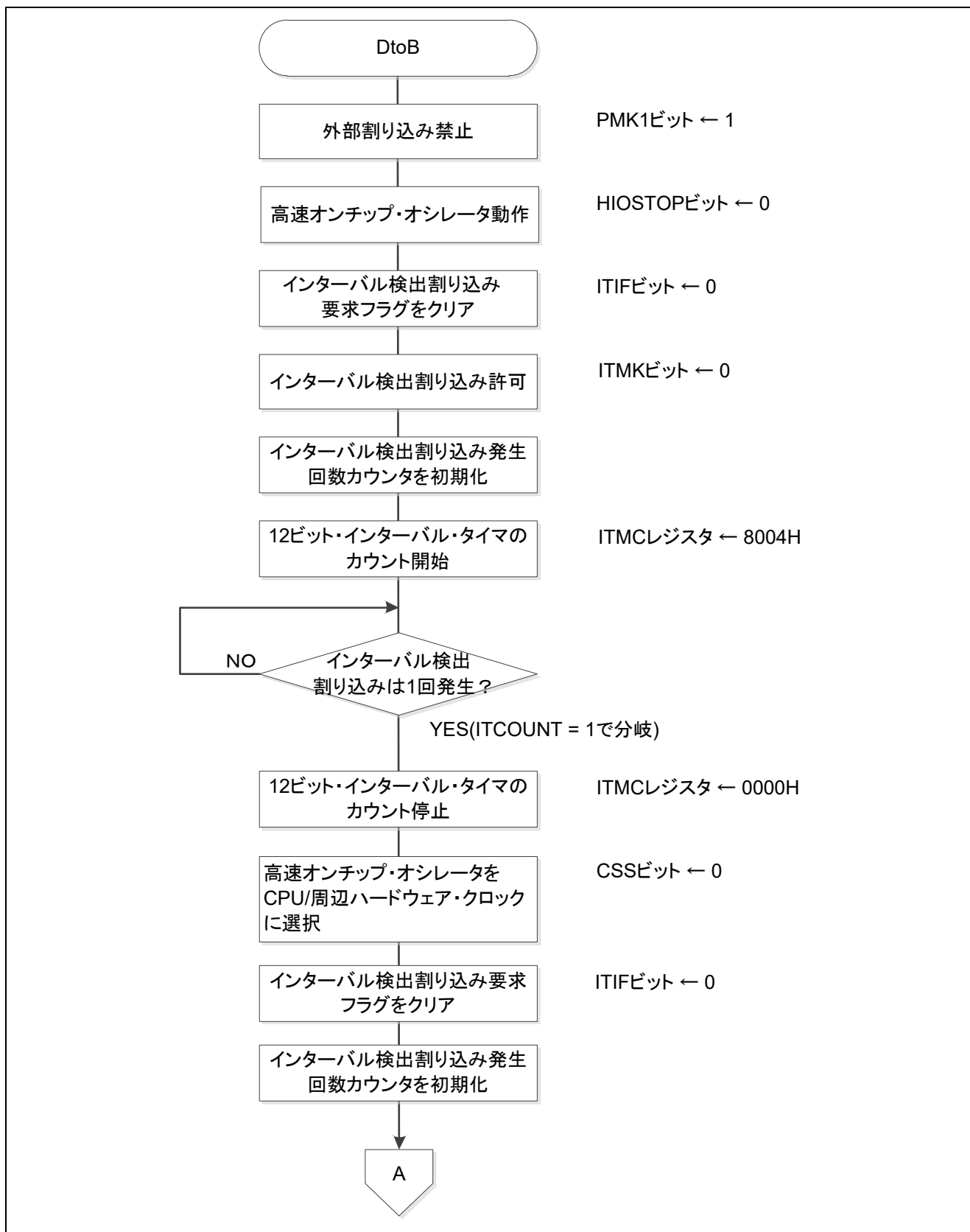


図 5.16 状態移行 DtoB(1/2)

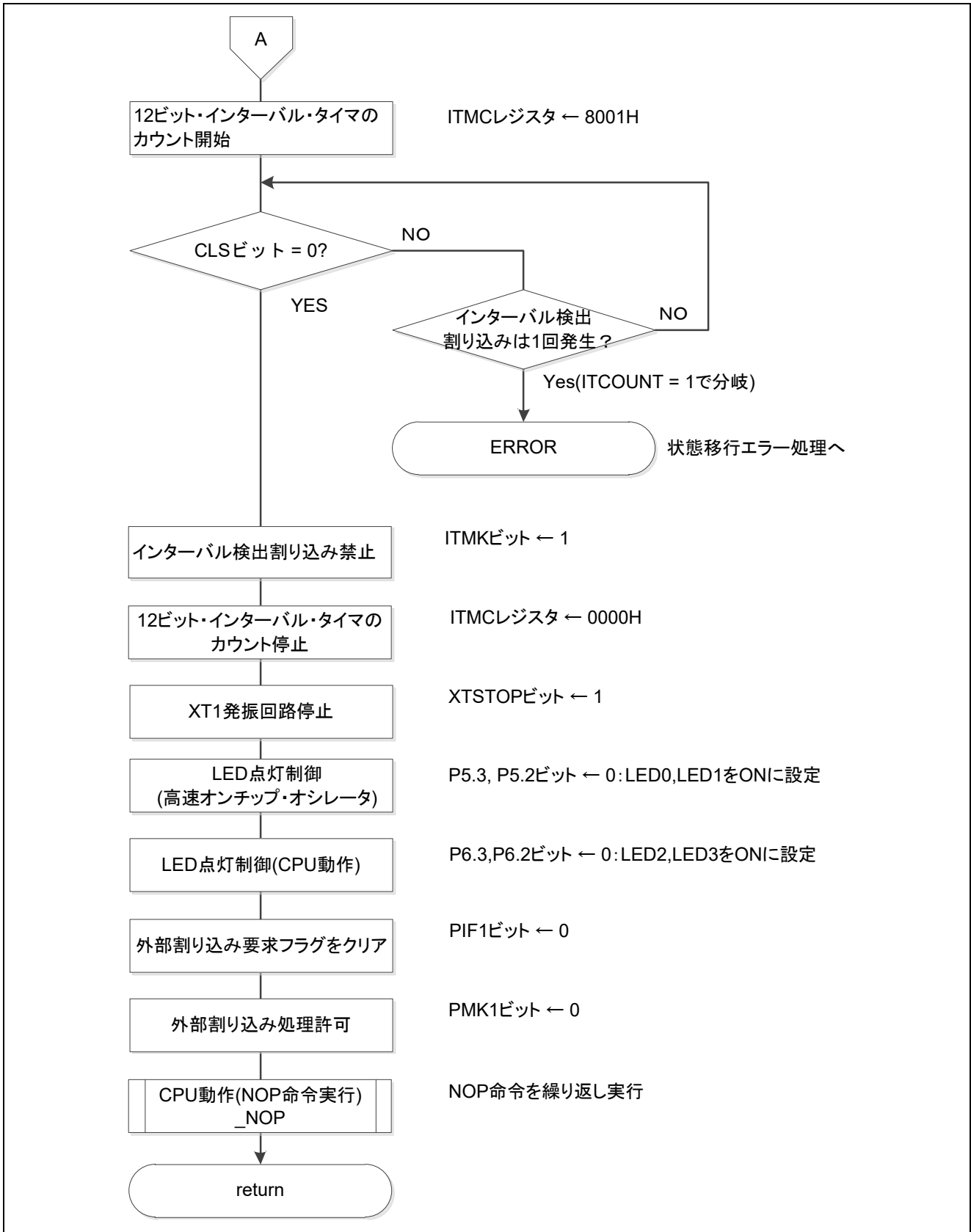


図 5.17 状態移行 DtoB(2/2)

5.6.14 状態移行 BtoC

図 5.18、図 5.19 に状態移行 BtoC のフローチャートを示します。

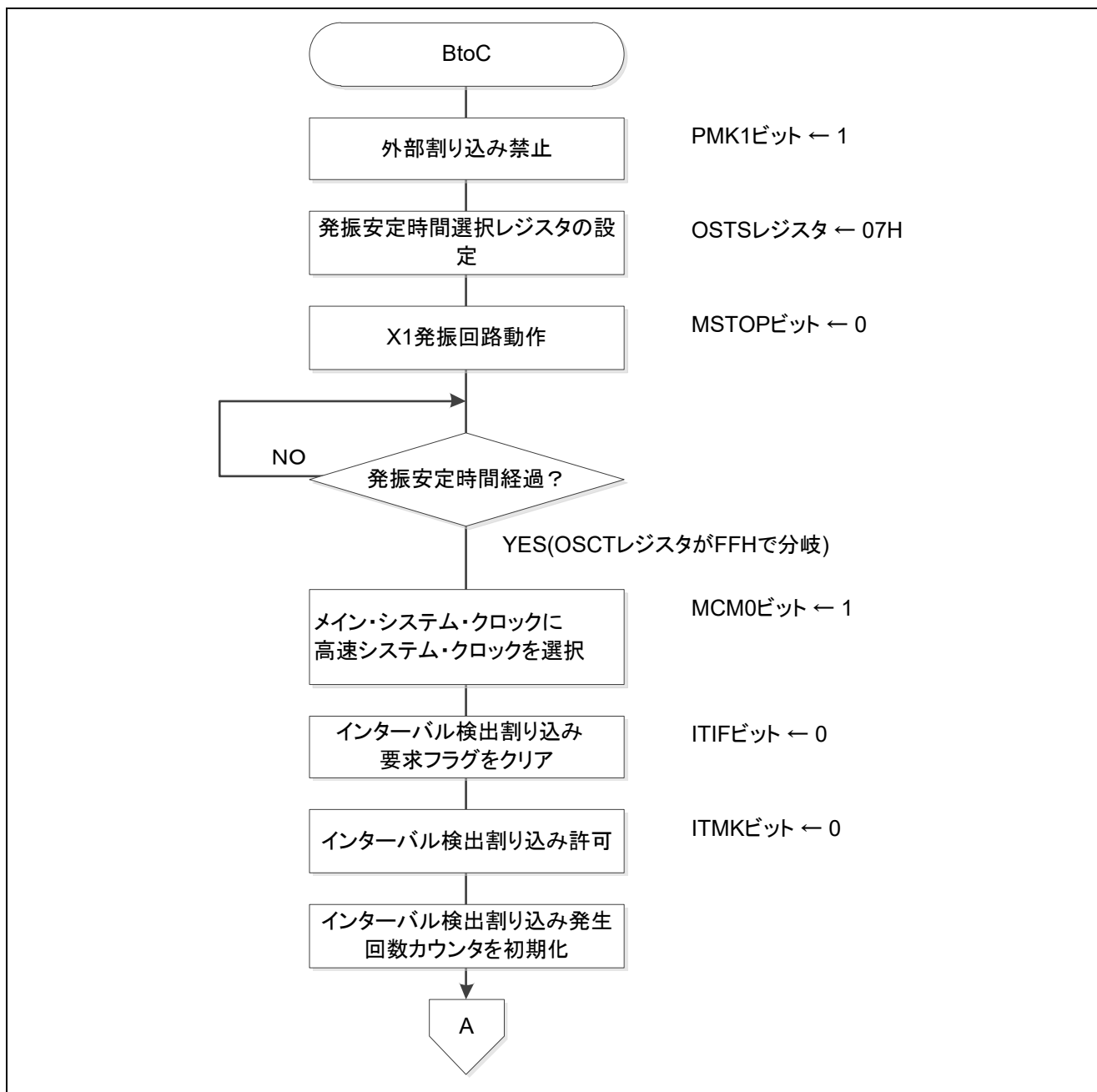


図 5.18 状態移行 BtoC(1/2)

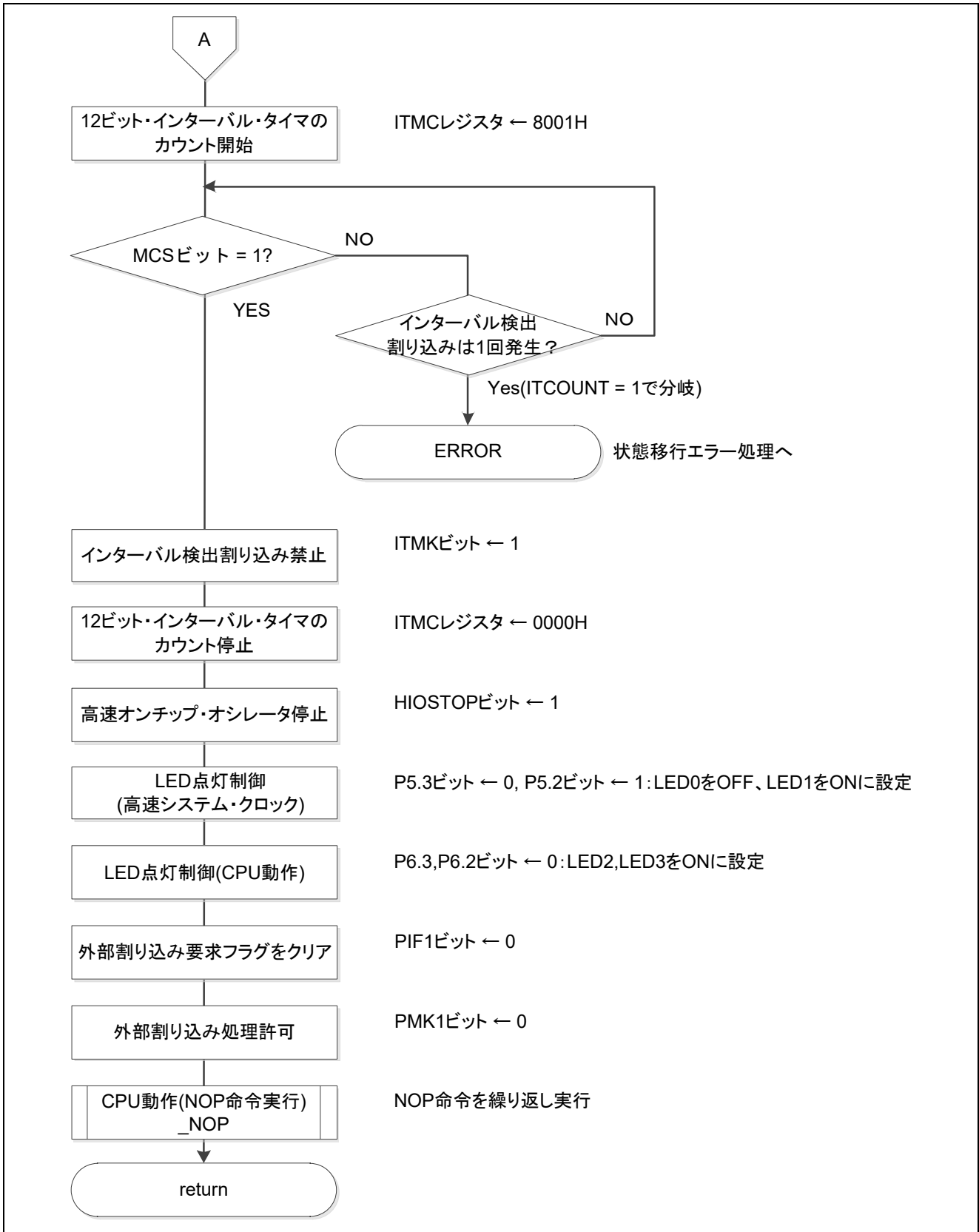


図 5.19 状態移行 BtoC(2/2)

5.6.15 状態移行 CtoD

図 5.20、図 5.21 に状態移行 CtoD のフローチャートを示します。

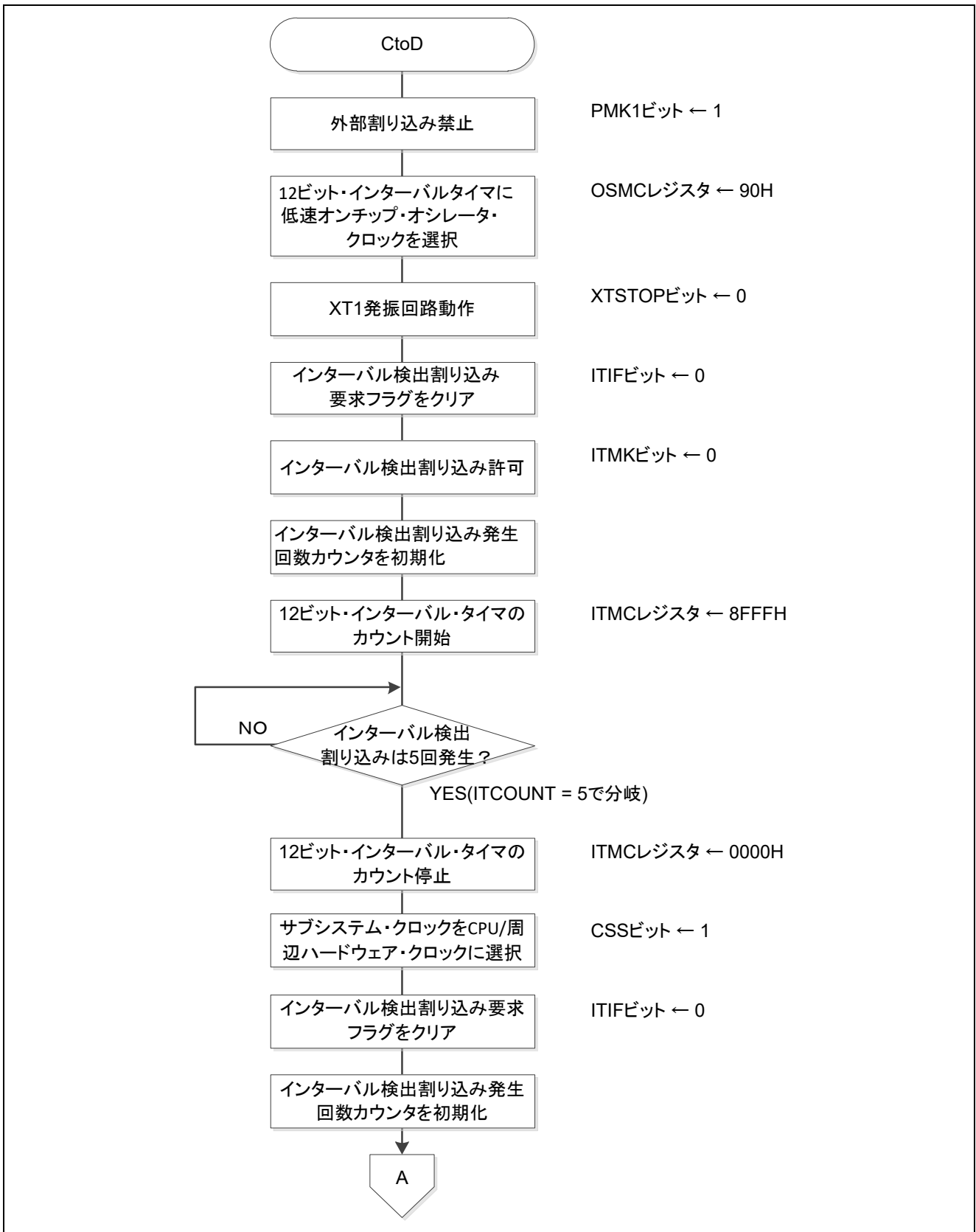


図 5.20 状態移行 CtoD(1/2)

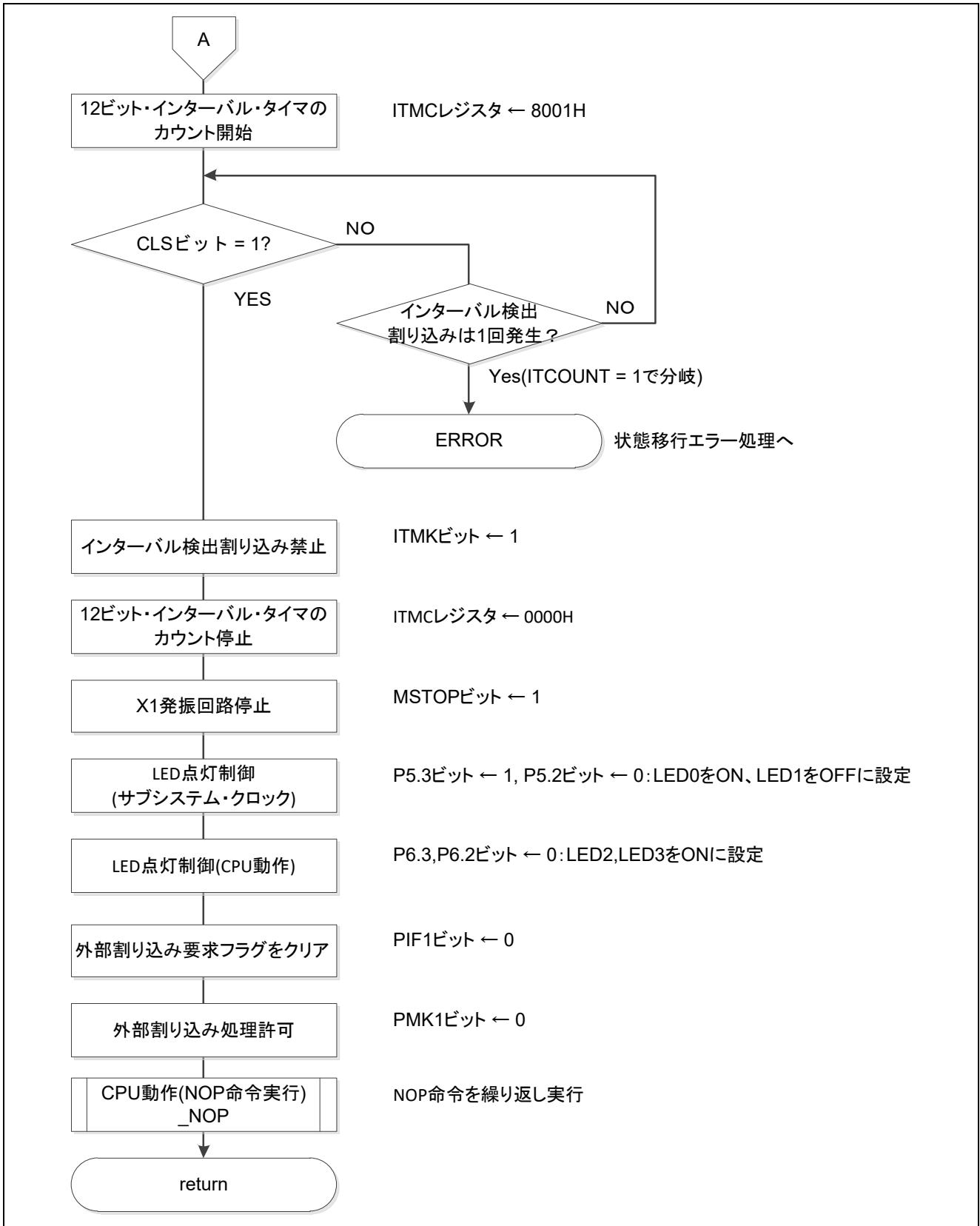


図 5.21 状態移行 CtoD(2/2)

5.6.16 状態移行 DtoC

図 5.22、図 5.23 に状態移行 DtoC のフローチャートを示します。

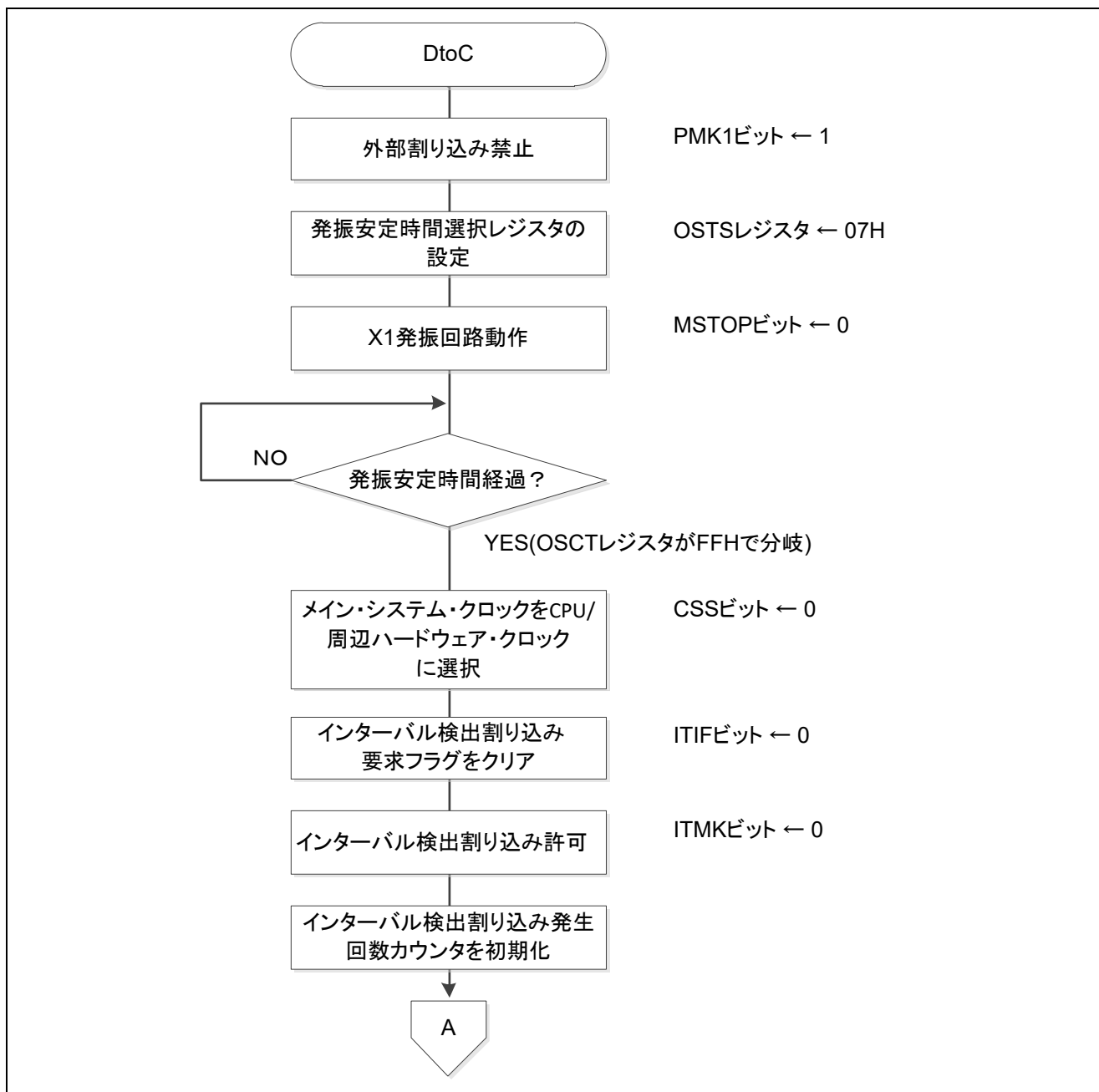


図 5.22 状態移行 DtoC(1/2)

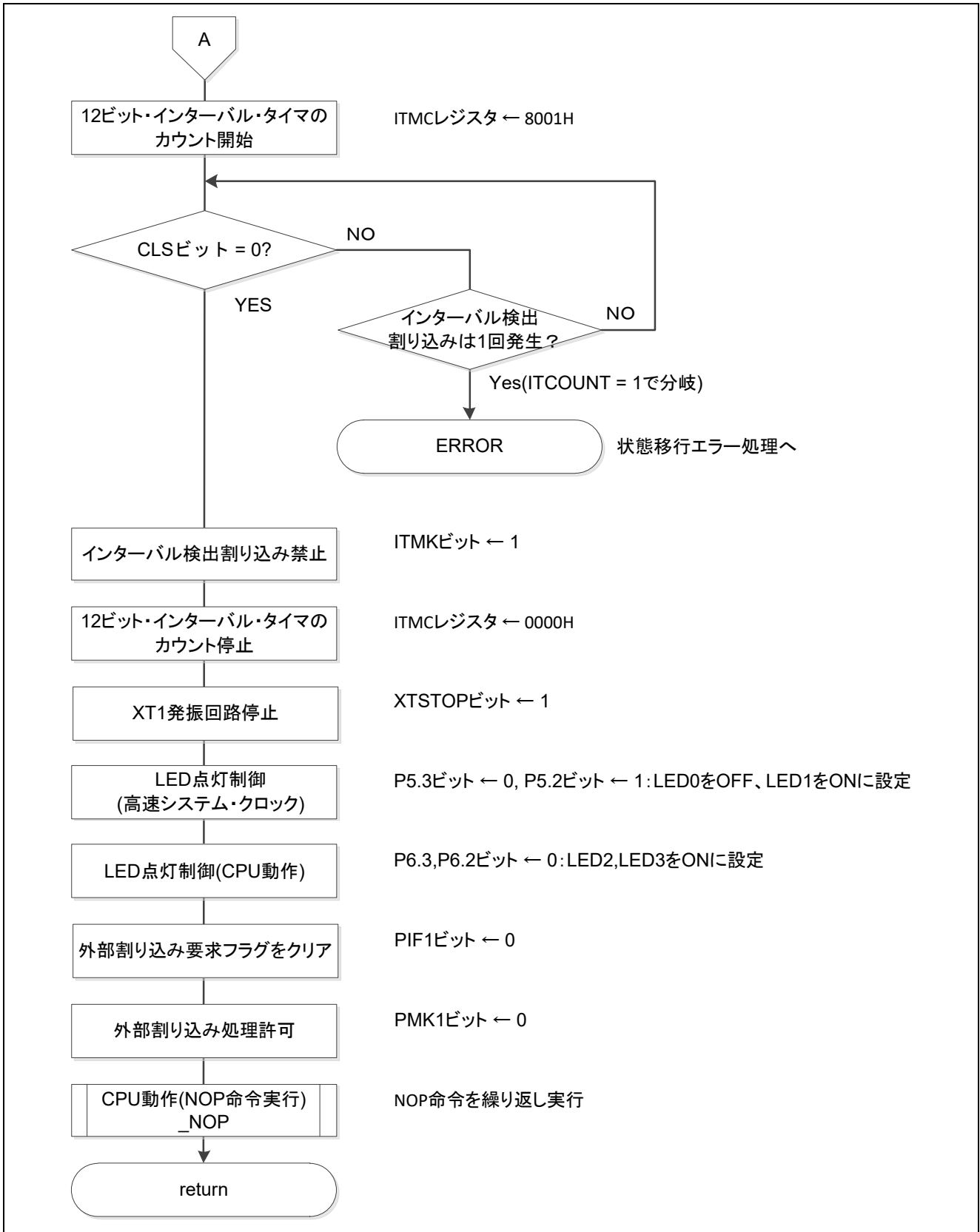


図 5.23 状態移行 DtoC(2/2)

5.6.17 状態移行 CtoF

図 5.24 に状態移行 CtoF のフローチャートを示します。

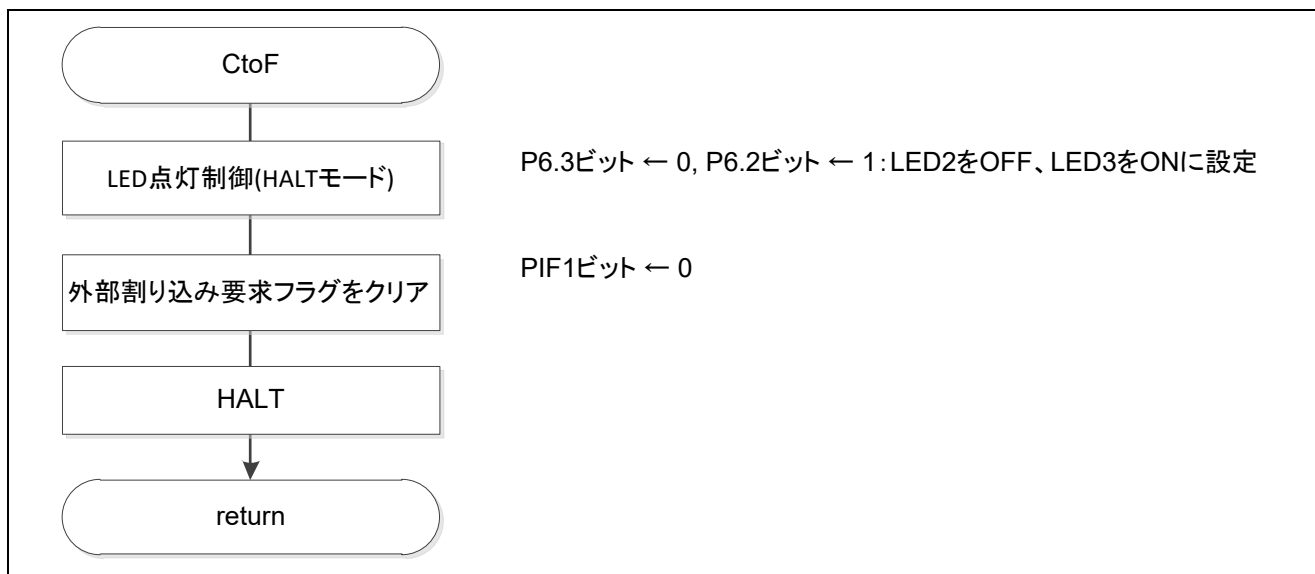


図 5.24 状態移行 CtoF

5.6.18 状態移行 FtoC

図 5.25 に状態移行 FtoC のフローチャートを示します。

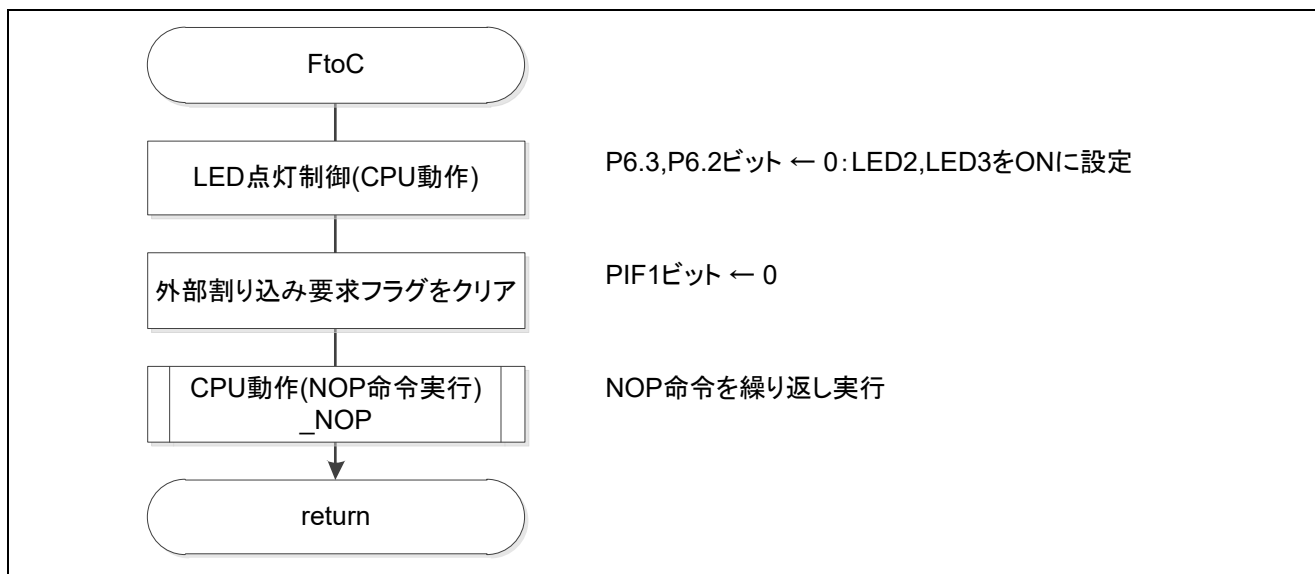


図 5.25 状態移行 FtoC

5.6.19 状態移行 CtoI

図 5.26 に状態移行 CtoI のフローチャートを示します。

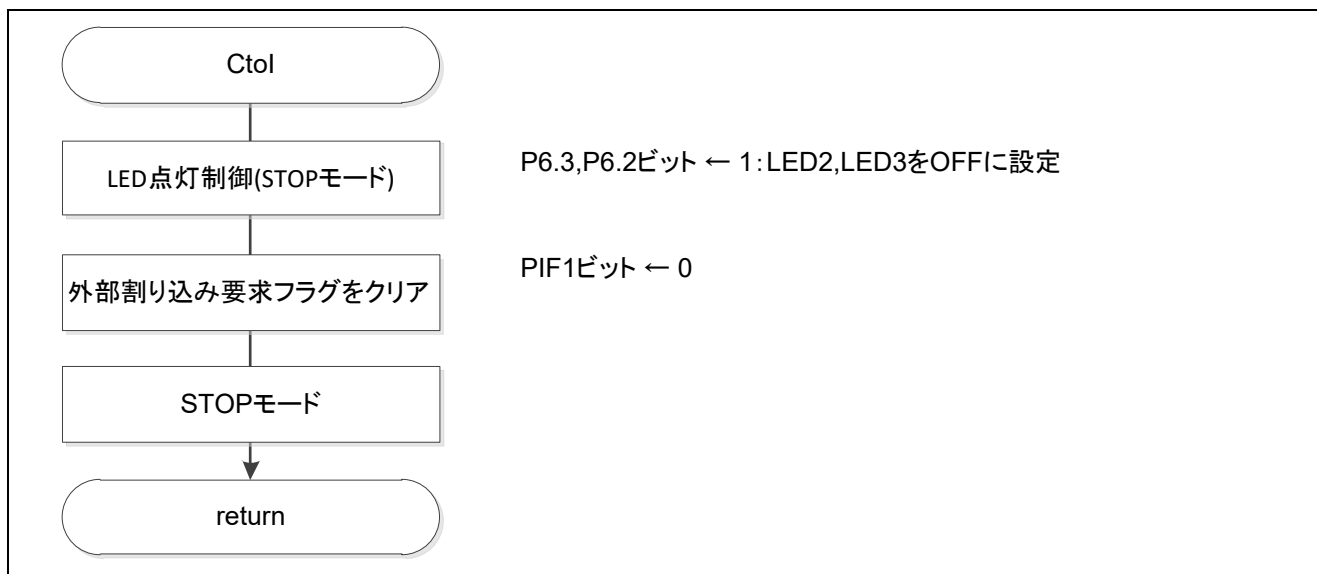


図 5.26 状態移行 CtoI

5.6.20 状態移行 ItoC

図 5.27 に状態移行 ItoC のフローチャートを示します。

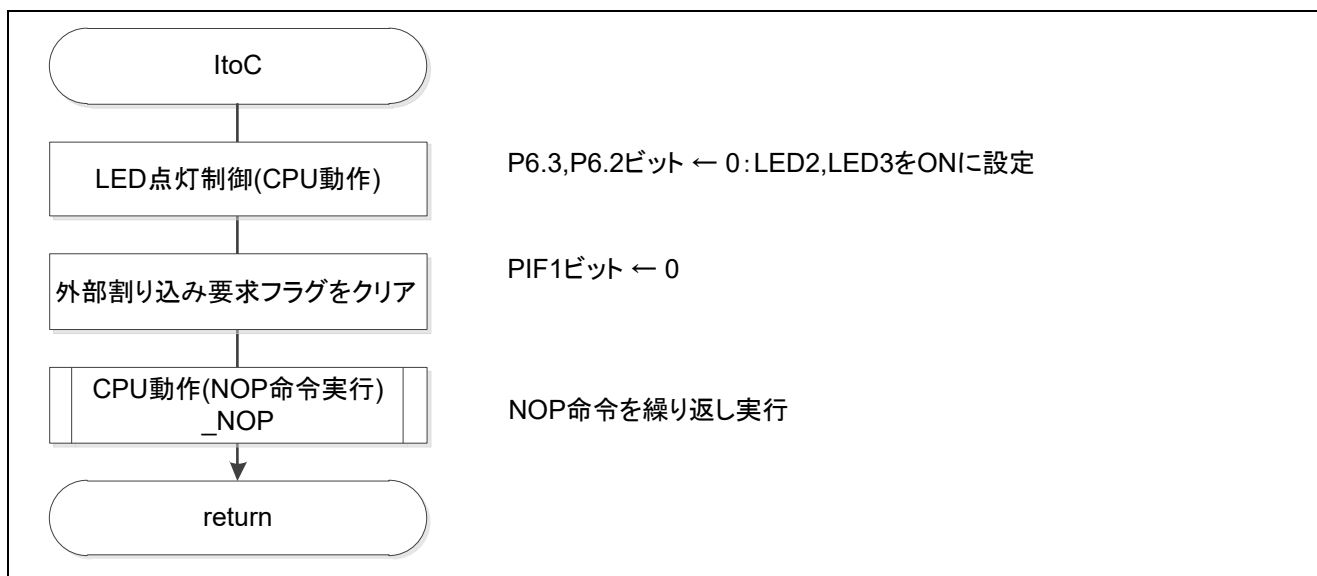


図 5.27 状態移行 ItoC

5.6.21 状態移行 CtoB

図 5.28、図 5.29 に状態移行 CtoB のフローチャートを示します。

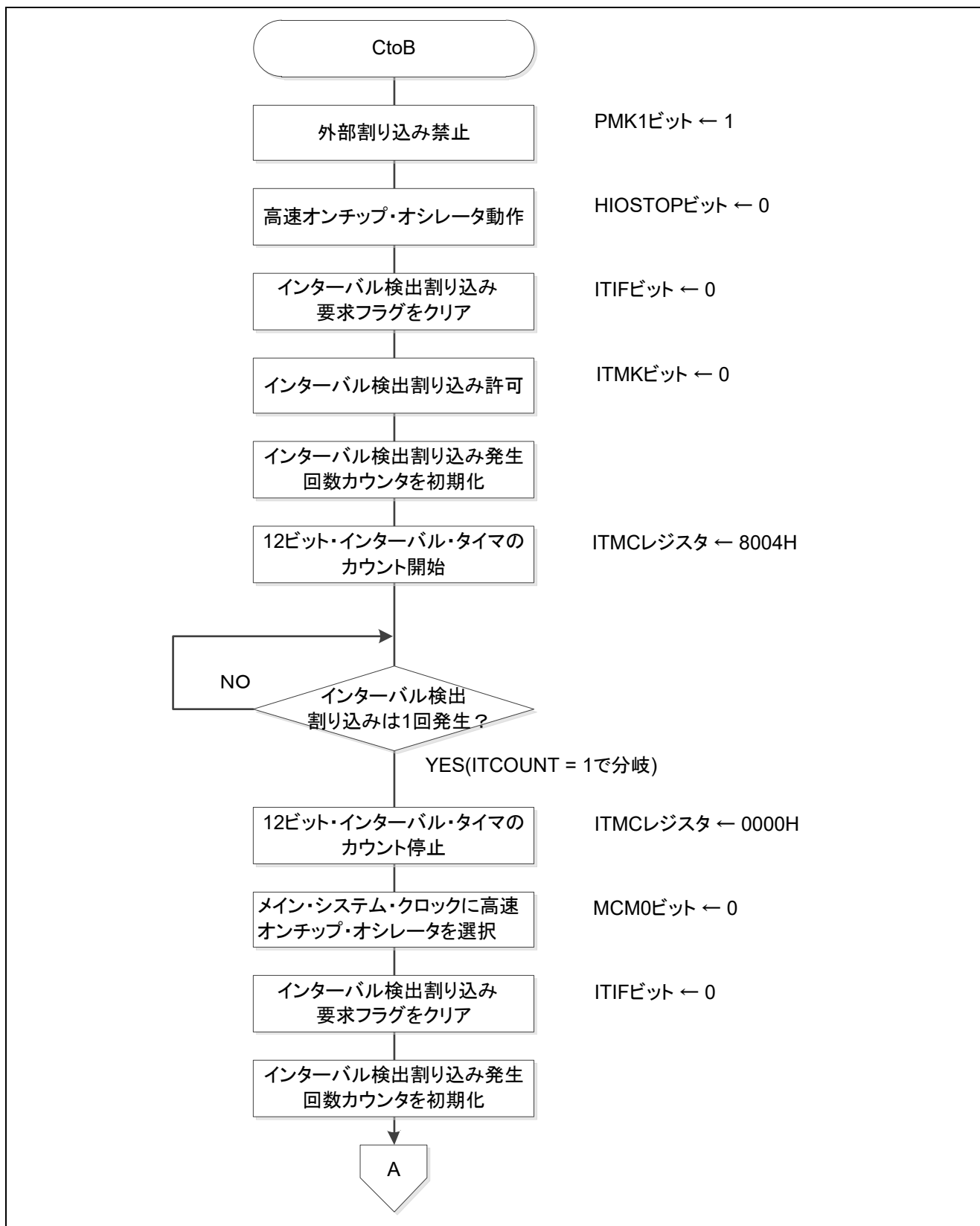


図 5.28 状態移行 CtoB(1/2)

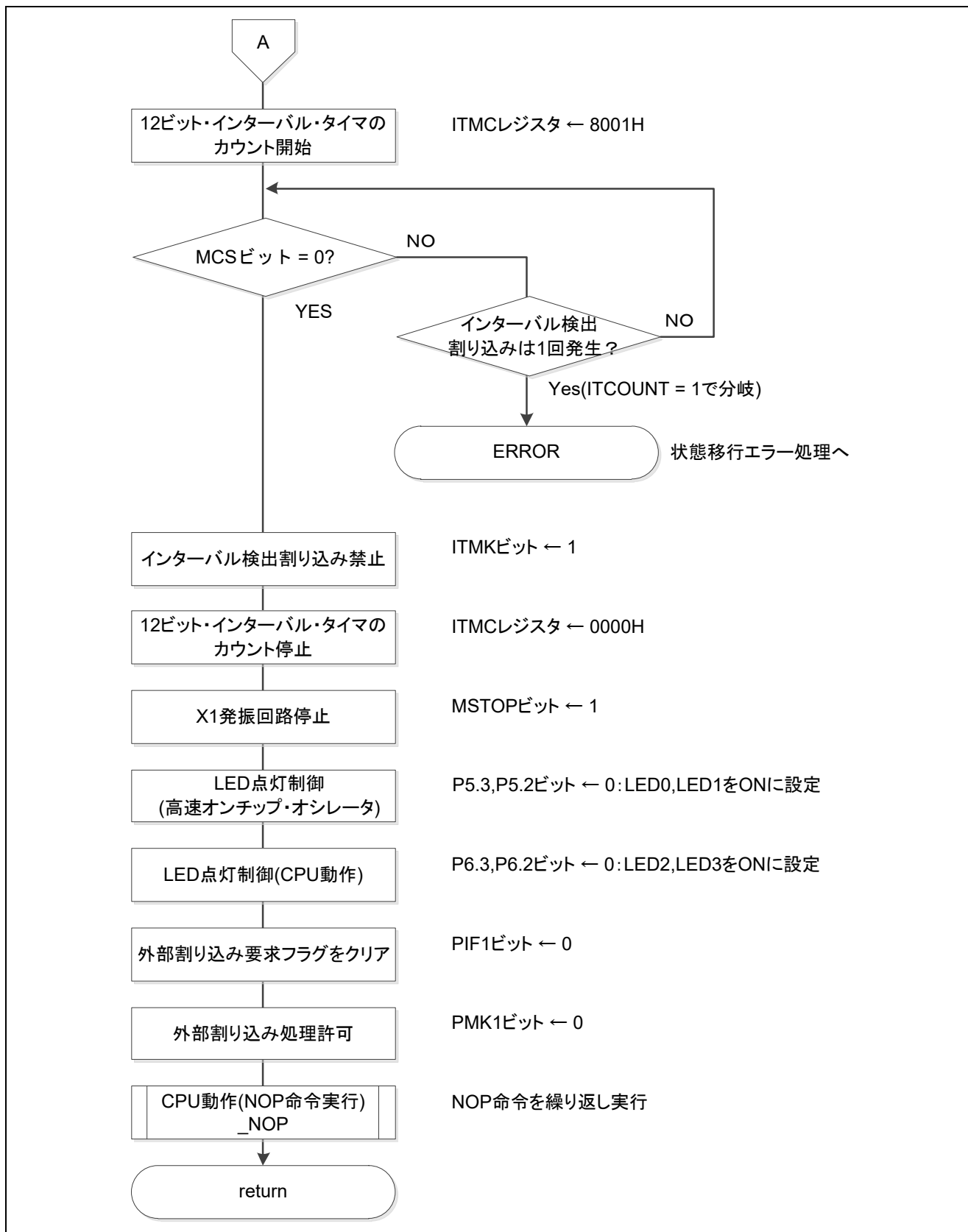


図 5.29 状態移行 CtoB(2/2)

5.6.22 状態移行 BtoE

図 5.30 に状態移行 BtoE のフローチャートを示します。

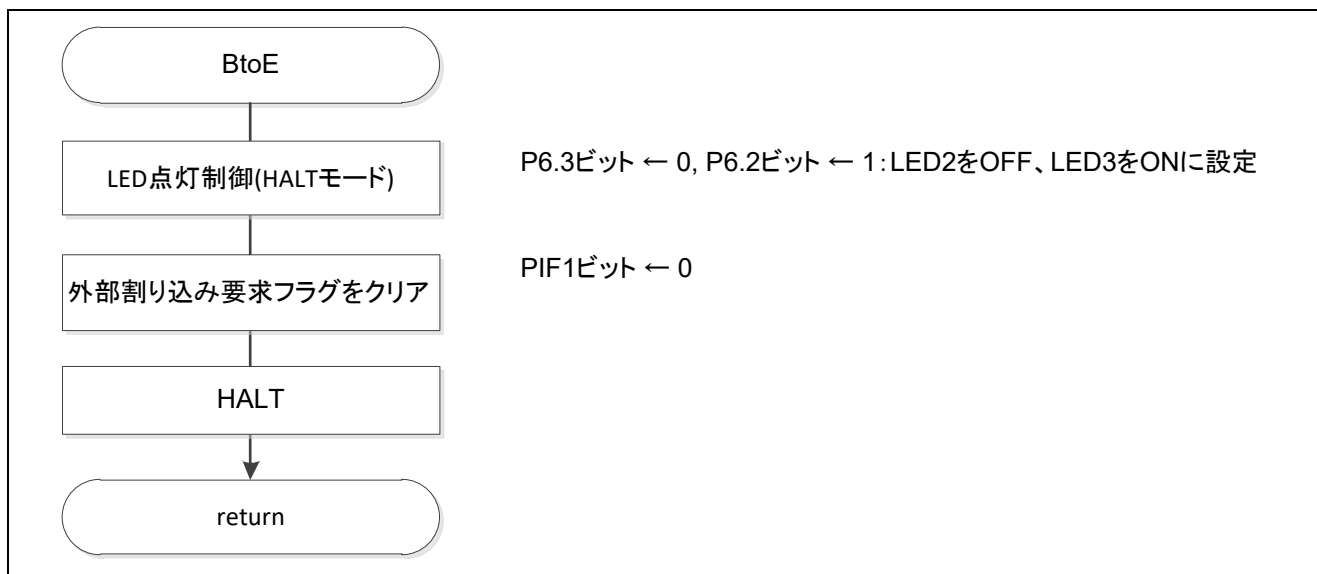


図 5.30 状態移行 BtoE

5.6.23 状態移行 EtoB

図 5.31 に状態移行 EtoB のフローチャートを示します。

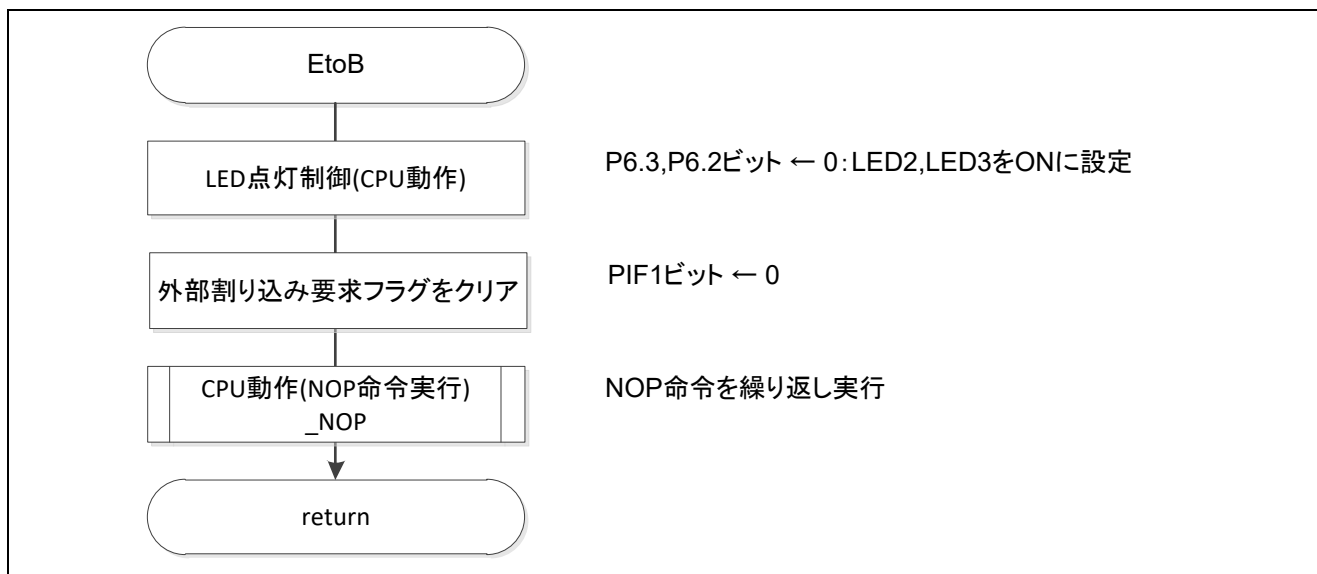


図 5.31 状態移行 EtoB

5.6.24 状態移行 BtoH

図 5.32 に状態移行 BtoH のフローチャートを示します。

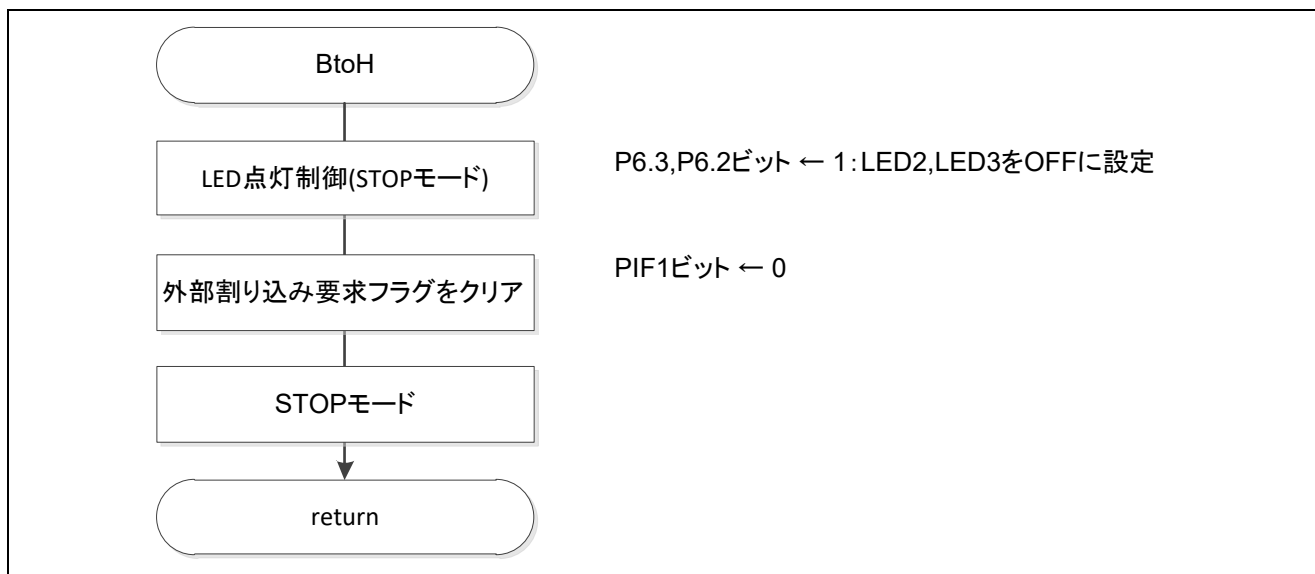


図 5.32 状態移行 BtoH

5.6.25 状態移行 HtoB

図 5.33 に状態移行 HtoB のフローチャートを示します。

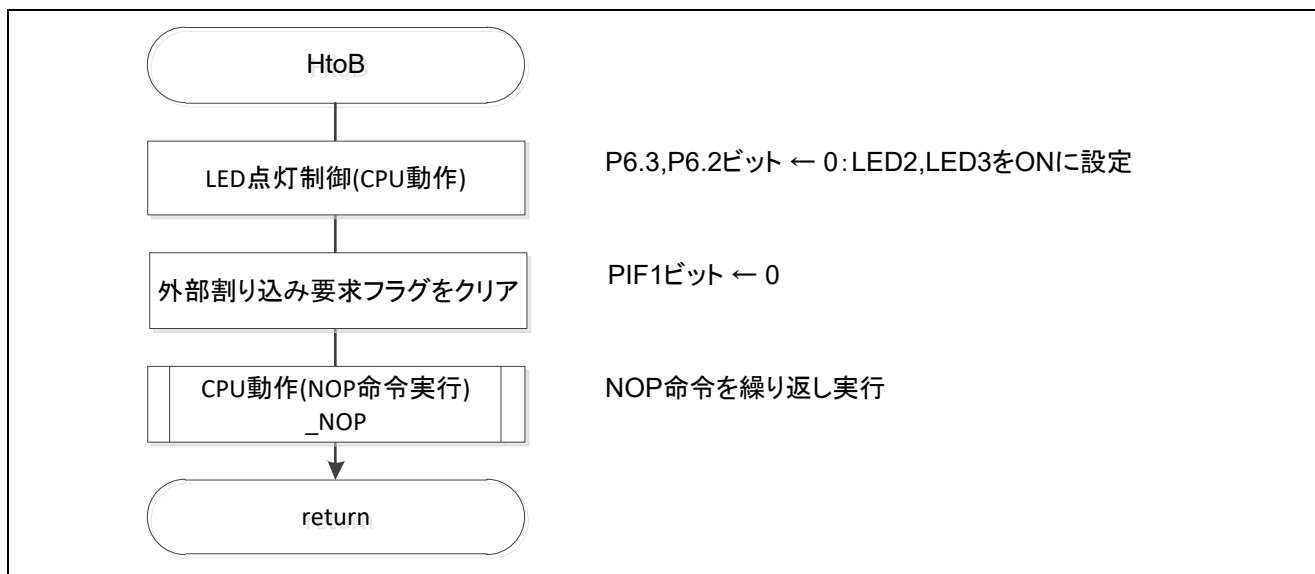


図 5.33 状態移行 HtoB

5.6.26 状態移行 BtoJ

図 5.34 に状態移行 BtoJ のフローチャートを示します。

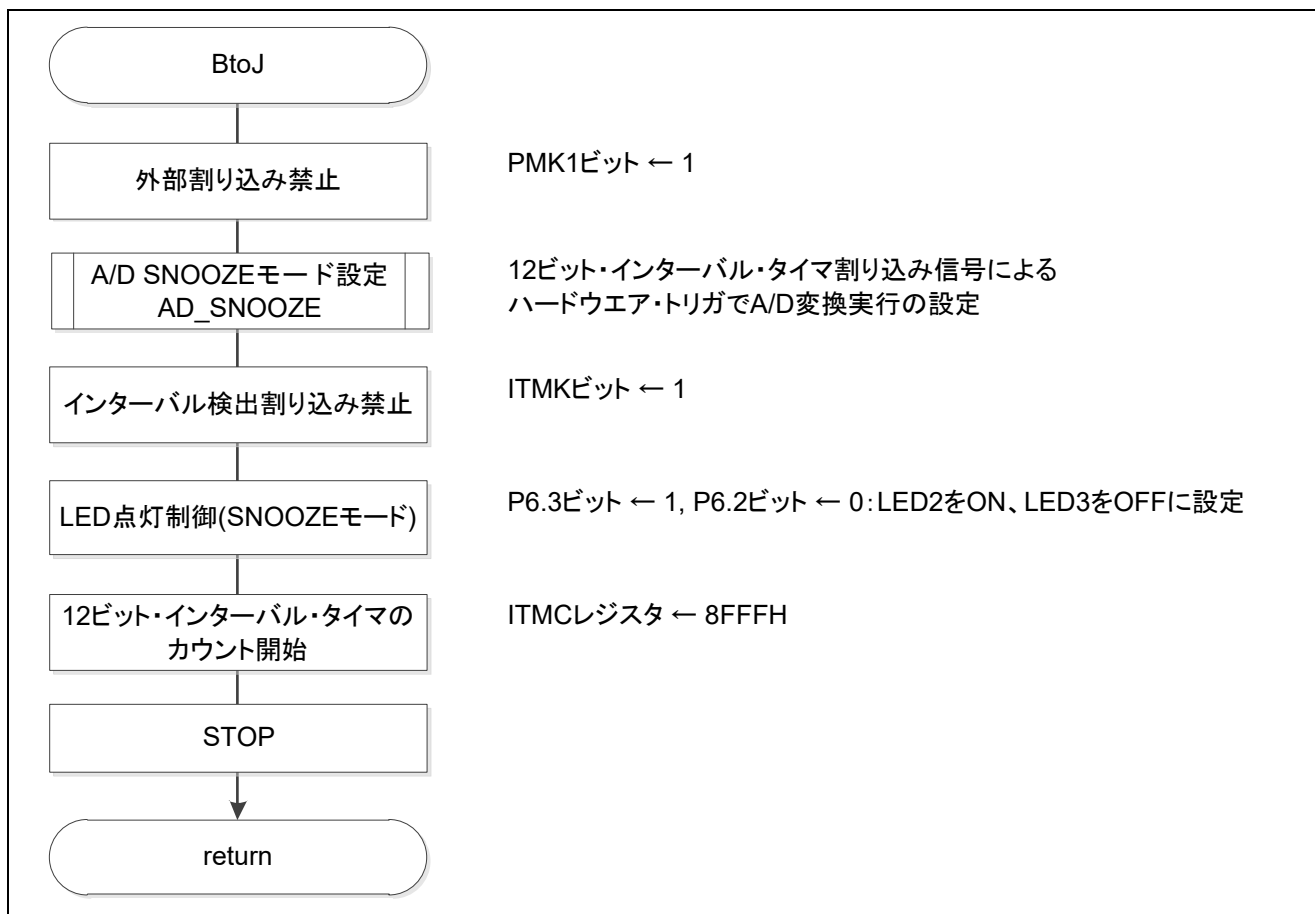


図 5.34 状態移行 BtoJ

5.6.27 A/D コンバータ設定

図 5.35 に A/D コンバータ 設定のフローチャートを示します。

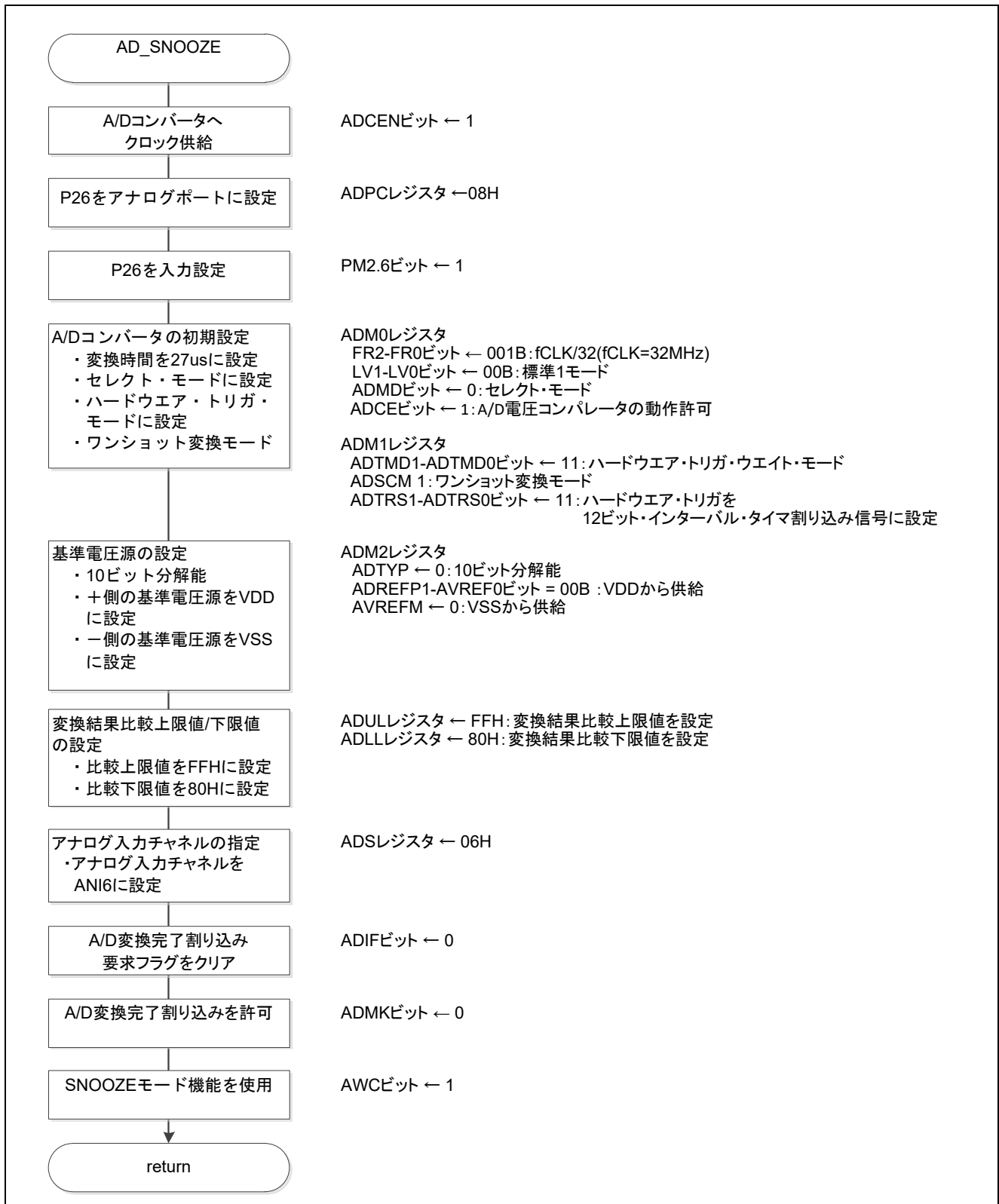


図 5.35 A/D コンバータ 設定

A/D 変換時間と動作モードの設定

・ A/D コンバータ・モード・レジスタ 0 (ADM0)

A/D 変換動作の制御

A/D 変換チャンネル選択モードの指定

略号 : ADM0

7	6	5	4	3	2	1	0
ADCS	ADMD	FR2	FR1	FR0	LV1	LV0	ADCE
x	0	0	0	1	0	0	1

ビット 6

ADMD	A/D チャンネル選択モードを指定
0	セレクト・モード
1	スキャン・モード

ビット 5 - 1

ADM0					モード	変換時間の選択					変換 クロック (f_{AD})
FR2	FR1	FR0	LV1	LV0		$f_{CLK}=$ 1MHz	$f_{CLK}=$ 4MHz	$f_{CLK}=$ 8MHz	$f_{CLK}=$ 16MHz	$f_{CLK}=$ 32MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	108 μ s	54 μ s	$f_{CLK}/64$
0	0	1						108 μ s	54 μ s	27 μs	$f_{CLK}/32$
0	1	0					108 μ s	54 μ s	27 μ s	13.5 μ s	$f_{CLK}/16$
0	1	1					54 μ s	27 μ s	13.5 μ s	6.75 μ s	$f_{CLK}/8$
1	0	0					40.5 μ s	20.25 μ s	10.125 μ s	5.0625 μ s	$f_{CLK}/6$
1	0	1				135 μ s	33.75 μ s	16.875 μ s	8.4375 μ s	4.21875 μ s	$f_{CLK}/5$
1	1	0				108 μ s	27 μ s	13.5 μ s	6.75 μ s	3.375 μ s	$f_{CLK}/4$
1	1	1				54 μ s	13.5 μ s	6.75 μ s	3.375 μ s	設定禁止	$f_{CLK}/2$
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	100 μ s	50 μ s	$f_{CLK}/64$
0	0	1						100 μ s	50 μ s	25 μ s	$f_{CLK}/32$
0	1	0					100 μ s	50 μ s	25 μ s	12.5 μ s	$f_{CLK}/16$
0	1	1					50 μ s	25 μ s	12.5 μ s	6.25 μ s	$f_{CLK}/8$
1	0	0					37.5 μ s	18.75 μ s	9.375 μ s	4.6875 μ s	$f_{CLK}/6$
1	0	1				125 μ s	31.25 μ s	15.625 μ s	7.8125 μ s	3.90625 μ s	$f_{CLK}/5$
1	1	0				100 μ s	25 μ s	12.5 μ s	6.25 μ s	3.125 μ s	$f_{CLK}/4$
1	1	1				50 μ s	12.5 μ s	6.25 μ s	3.125 μ s	設定禁止	$f_{CLK}/2$

ビット 0

ADCE	A/D 電圧コンパレータの動作制御
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

A/D 変換トリガ・モードの設定

- ・ A/D コンバータ・モード・レジスタ 1 (ADM1)
- A/D 変換トリガ・モードの選択
- A/D 変換動作モードの設定

略号 : ADM1

7	6	5	4	3	2	1	0
ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0
1	1	1	0	0	0	1	1

ビット 7 – 6

ADTMD1	ADTMD0	A/D 変換トリガ・モードの選択
0	—	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ビット 5

ADSCM	A/D 変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ビット 1 – 0

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・チャンネル 01 のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)
0	1	設定禁止
1	0	リアルタイム・クロック割り込み信号 (INTRTC)
1	1	12 ビット・インターバル・タイマ割り込み信号 (INTIT)

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

基準電圧源の設定

- ・ A/D コンバータ・モード・レジスタ 2 (ADM2)
基準電圧源の設定

略号 : ADM2

7	6	5	4	3	2	1	0
ADREFP1	ADREFP0	ADREFM	0	ADCRK	AWC	0	ADTYP
0	0	0	0	0	0	0	0

ビット 7 - 6

ADREFP1	ADREFP0	A/D コンバータの+側の基準電圧源の選択
0	0	V _{DD} から供給
0	1	P20/AV _{REFP} /ANI0 から供給
1	0	内部基準電圧 (1.45 V) から供給
1	1	設定禁止

ビット 5

ADREFM	A/D コンバータの-側の基準電圧源の選択
0	V _{SS} から供給
1	P21/AV _{REFM} /ANI1 から供給

ビット 3

ADCRK	変換結果上限/下限値チェック
0	ADLL レジスタ ≤ ADCR レジスタ ≤ ADUL レジスタのとき割り込み信号 (INTAD) が発生。
1	ADCR レジスタ < ADLL レジスタ、ADUL レジスタ < ADCR レジスタのとき割り込み信号 (INTAD) が発生。

ビット 2

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

ビット 0

ADTYP	A/D 変換分解能の選択
0	10 ビット分解能
1	8 ビット分解能

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

変換結果比較上限値／下限値の設定

- ・変換結果比較上限値設定レジスタ（ADUL）
 - ・変換結果比較下限値設定レジスタ（ADLL）
- 変換結果比較上限値／下限値の設定

略号：ADUL

7	6	5	4	3	2	1	0
ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0
1	1	1	1	1	1	1	1

略号：ADLL

7	6	5	4	3	2	1	0
ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0
1	0	0	0	0	0	0	0

入力チャンネルの指定

- ・アナログ入力チャンネル指定レジスタ（ADS）
- A/D 変換するアナログ電圧の入力チャンネルを指定

略号：ADS

7	6	5	4	3	2	1	0
ADISS			ADS4	ADS3	ADS2	ADS1	ADS0
0	0	0	0	0	1	1	0

ビット7、4－0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0 端子/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1 端子/AV _{REFM} 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子
0	0	0	1	0	1	ANI5	P25/ANI5 端子
0	0	0	1	1	0	ANI6	P26/ANI6 端子
0	0	0	1	1	1	ANI7	P27/ANI7 端子
0	1	0	0	0	0	ANI16	P03/ANI16 端子
0	1	0	0	0	1	ANI17	P02/ANI17 端子
0	1	0	0	1	0	ANI18	P147/ANI18 端子
0	1	0	0	1	1	ANI19	P120/ANI19 端子
1	0	0	0	0	0	—	温度センサ0 出力
1	0	0	0	0	1	—	内部基準電圧出力（1.45V）
上記以外						設定禁止	

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

SNOOZE モードの設定

- ・A/D コンバータ・モード・レジスタ 2 (ADM2)
SNOOZE モードの設定

略号 : ADM2

7	6	5	4	3	2	1	0
ADREFP1	ADREFP0	ADREFM	0	ADCRK	AWC	0	ADTYP
x	x	x	0	x	1	0	x

ビット 2

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

注意 レジスタ設定方法の詳細については、RL78/G13 ユーザーズマニュアル ハードウェア編を参照してください。

5.6.28 状態移行 JtoB

図 5.36 に状態移行 JtoB のフローチャートを示します。

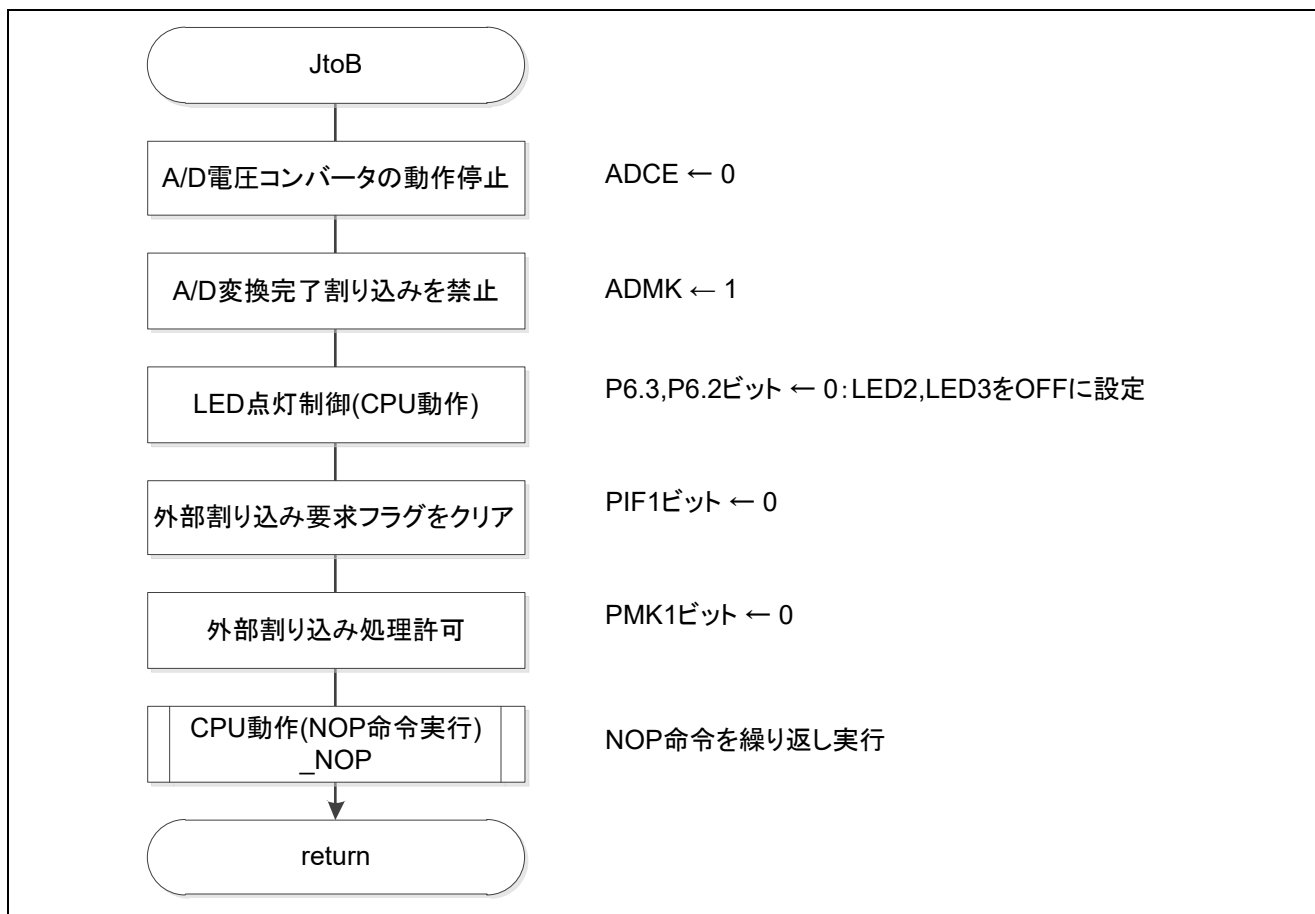


図 5.36 状態移行 JtoB

5.6.29 状態移行終了処理

図 5.37 に状態移行終了処理のフローチャートを示します。

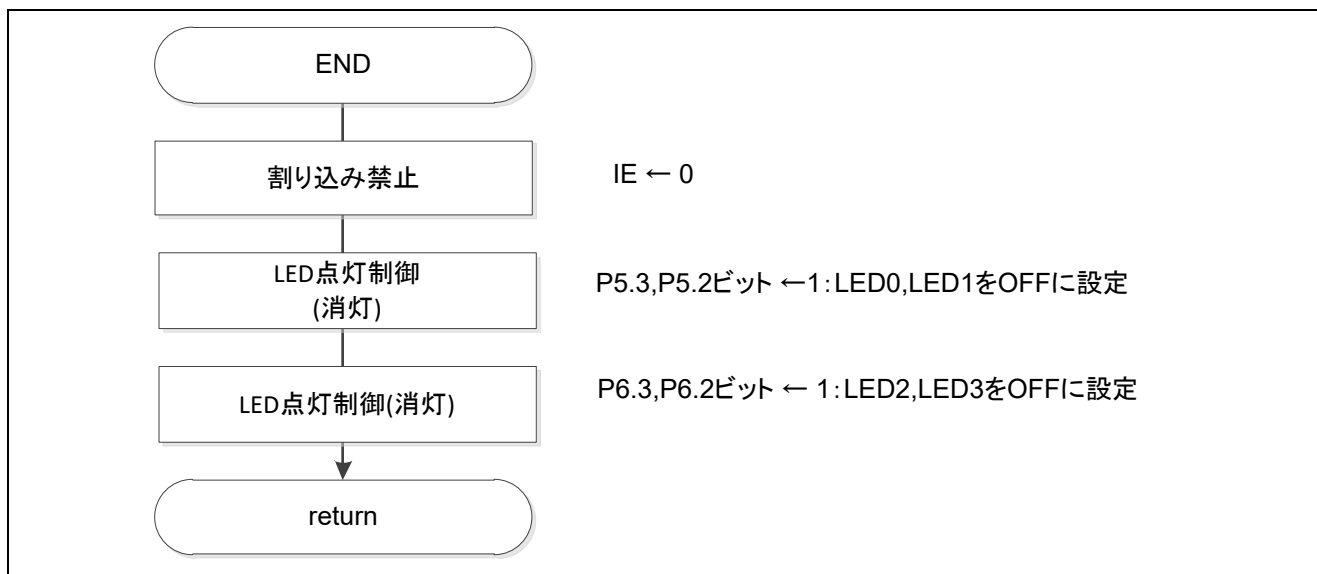


図 5.37 状態移行終了処理

5.6.30 外部割り込み処理

図 5.38 に外部割り込み処理のフローチャートを示します。

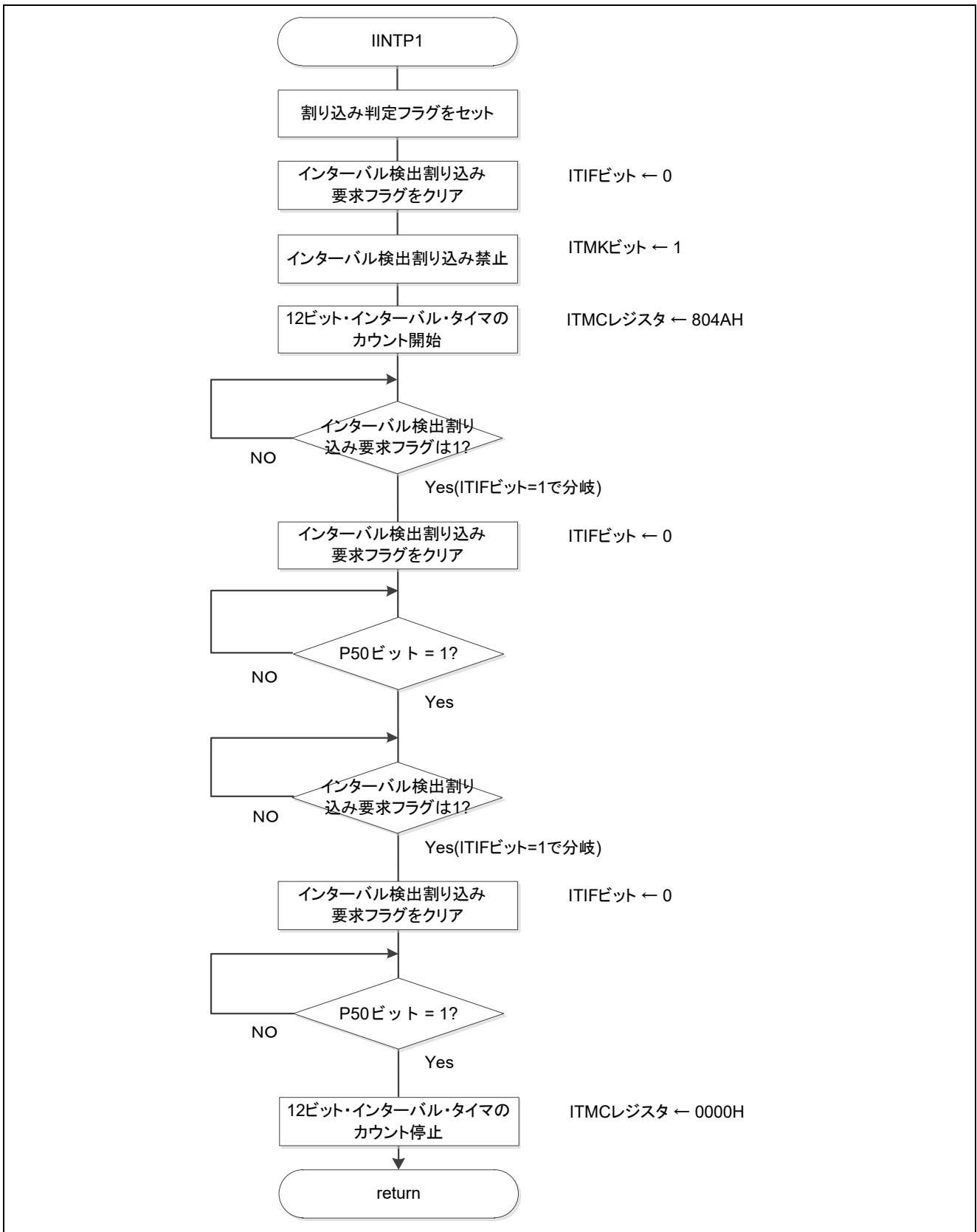


図 5.38 外部割り込み処理

5.6.31 12ビット・インターバル・タイマ割り込み処理

図 5.39 に 12 ビット・インターバル・タイマ割り込み処理のフローチャートを示します。

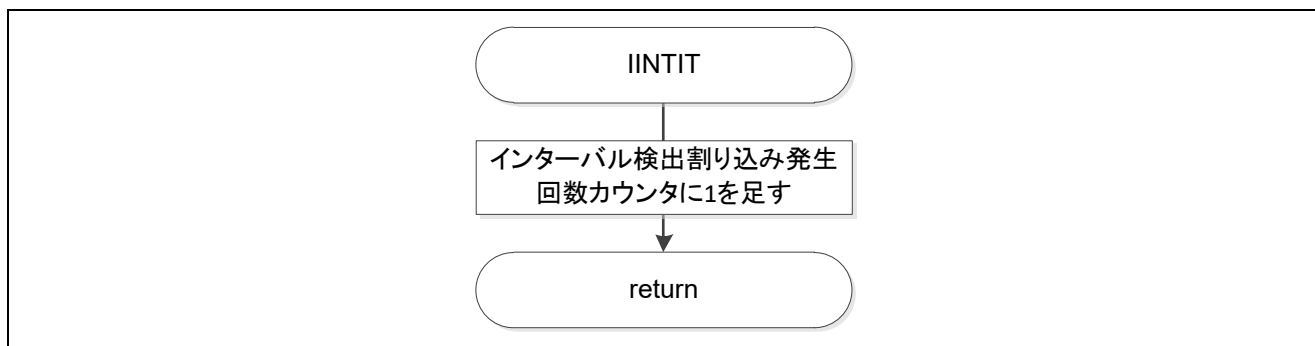


図 5.39 12 ビット・インターバル・タイマ割り込み処理

5.6.32 A/D 変換終了割り込み処理

図 5.40 に A/D 変換終了割り込み処理のフローチャートを示します。

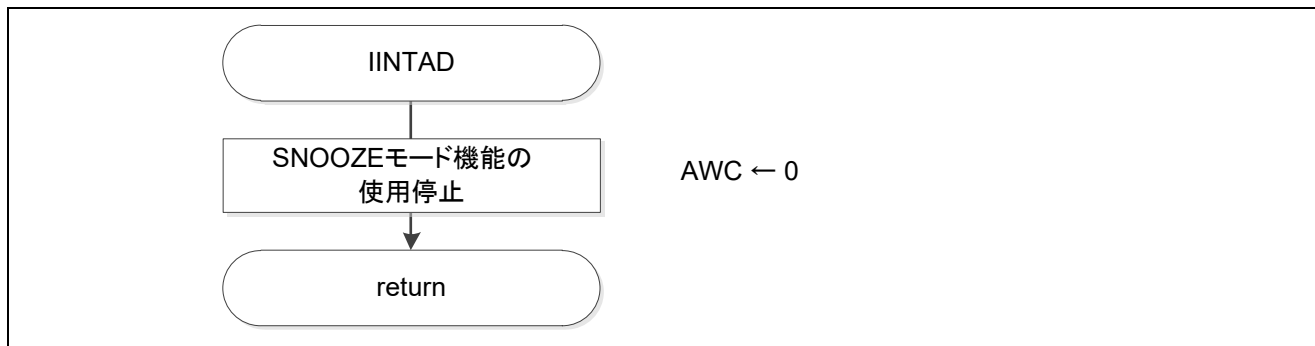


図 5.40 A/D 変換終了割り込み処理

6. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

7. 参考ドキュメント

RL78/G13 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0146J)

RL78 ファミリ ユーザーズマニュアル ソフトウェア編 Rev.1.00 (R01US0015J)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/contact>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録	RL78/G13 CPU クロックの切り替えとスタンバイ設定 （アセンブリ言語編） CC-RL
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.03.12	—	初版発行
1.10	2016.08.26	5	図 1.1 を修正
		7,9,11,13	外部クロックの説明追加
		12,13	注を追加
		14	CS+と e ² studio のバージョン情報を変更
		18,20,25	状態移行エラー処理についての説明を追加
		42,44,47,49, 51,53,57	状態移行エラー処理追加のため、フローチャート修正
		45,54,55, 58,59	PIF1 ビットをクリアする処理を追加
1.11	2019.05.20	5	図 1.1 を修正

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。