

RL78/G1G

タイマ RD(相補 PWM モード)と

PWM・オプション・ユニットによる PWM 出力の強制遮断 CC-RL

要旨

本アプリケーションノートでは、RL78/G1G のタイマ RD(相補 PWM モード)を使用して、相補 PWM 波形と 1/2 周期ごとの反転出力波形を出力する方法を説明します。また、PWM・オプション・ユニットを使用して、PWM 出力を強制遮断する方法を説明します。

対象デバイス

RL78/G1G

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. 仕様	3
1.1 動作確認条件	7
2. 関連アプリケーションノート	7
3. ハードウェア説明	8
3.1 ハードウェア構成例	8
3.2 使用端子一覧	9
4. ソフトウェア説明	10
4.1 動作概要	10
4.1.2 出力波形説明	13
4.1.3 タイミング図	18
4.1.4 PWM・オプション・ユニット	23
4.2 オプション・バイトの設定一覧	25
4.3 定数一覧	26
4.4 変数一覧	26
4.5 関数一覧	27
4.6 関数仕様	27
4.7 フローチャート	31
4.7.1 初期設定	31
4.7.2 周辺機能初期設定	32
4.7.3 ポート初期設定	33
4.7.4 CPU クロック初期設定	34
4.7.5 タイマ RD 初期設定	35
4.7.6 コンパレータ・PGA 初期設定	52
4.7.7 メイン処理	63
4.7.8 メイン初期設定	64
4.7.9 コンパレータ 0 起動	66
4.7.10 コンパレータ 1 起動	69
4.7.11 PGA 起動	72
4.7.12 タイマ RD カウント開始設定	73
4.7.13 タイマ RD 割り込み	76
5. サンプルコード	78
6. 参考ドキュメント	78

1. 仕様

本アプリケーションノートでは、RL78/G1G のタイマ RD(相補 PWM モード)を使用して、相補 PWM 波形と 1/2 周期ごとの反転出力波形を出力する方法を説明します。また、PWM・オプション・ユニットを使用して、PWM 出力を強制遮断する方法を説明します。

タイマ RD は周期 350 μ s の PWM 波形(三相、三角波変調、短絡防止時間あり)を正相 3 本、逆相 3 本、PWM の 1/2 周期ごとの反転出力を 1 本、計 7 本の波形を出力します。一定周期ごとにバッファ動作を使用して PWM 波形を切り替えます。正相 3 本、逆相 3 本はそれぞれ同じ信号を出力します。PWM・オプション・ユニットによる PWM 出力の強制遮断は、プログラマブル・ゲイン・アンプ(以降、PGA と示す)とコンパレータを使用します。本アプリケーションノートでは、コンパレータの内蔵基準電圧は製品の VDD 端子(以降、PVDD と記載)電圧の約 40% $((PVDD/256) \times 102)$ に設定し、PGA は GAIN(ゲイン)を 8 倍に設定します。コンパレータは、PGA の出力電圧とコンパレータ内蔵基準電圧を比較します。PGA の出力が内蔵基準電圧を超えた場合は、PWM 波形を強制遮断し Hi-Z 状態にします。PGA の出力が内蔵基準電圧より低くなった場合は、PWM 波形を出力します。

表 1.1 使用する周辺機能と用途を表 1.1 に示します。また、動作概要、内蔵コンパレータ出力→タイマ RD 強制遮断機能についての補足、相補 PWM の出力波形、PWM・オプション・ユニットの強制遮断タイミングをそれぞれ図 1.1、図 1.2、図 1.3、図 1.4 に示します。

表 1.1 使用する周辺機能と用途

周辺機能	用途
タイマ RD(タイマ RD0、タイマ RD1)	PWM 波形出力
PGA	コンパレータの+側入力 過電流検出用信号を 8 倍にしてコンパレータへ入力
コンパレータ 0	起電流検出機能 起電流検出は使用しない為、内蔵基準電圧を 0 に設定し強制遮断をしないようにしています。
コンパレータ 1	過電流検出機能 PGA の出力電圧がコンパレータ 1 内蔵基準電圧 $((PVDD/256) \times 102)$ を超えた場合は PWM 出力を強制遮断し Hi-Z 状態にします。 内蔵基準電圧が $((PVDD/256) \times 102)$ より低くなった場合には、PWM 出力を開始します。

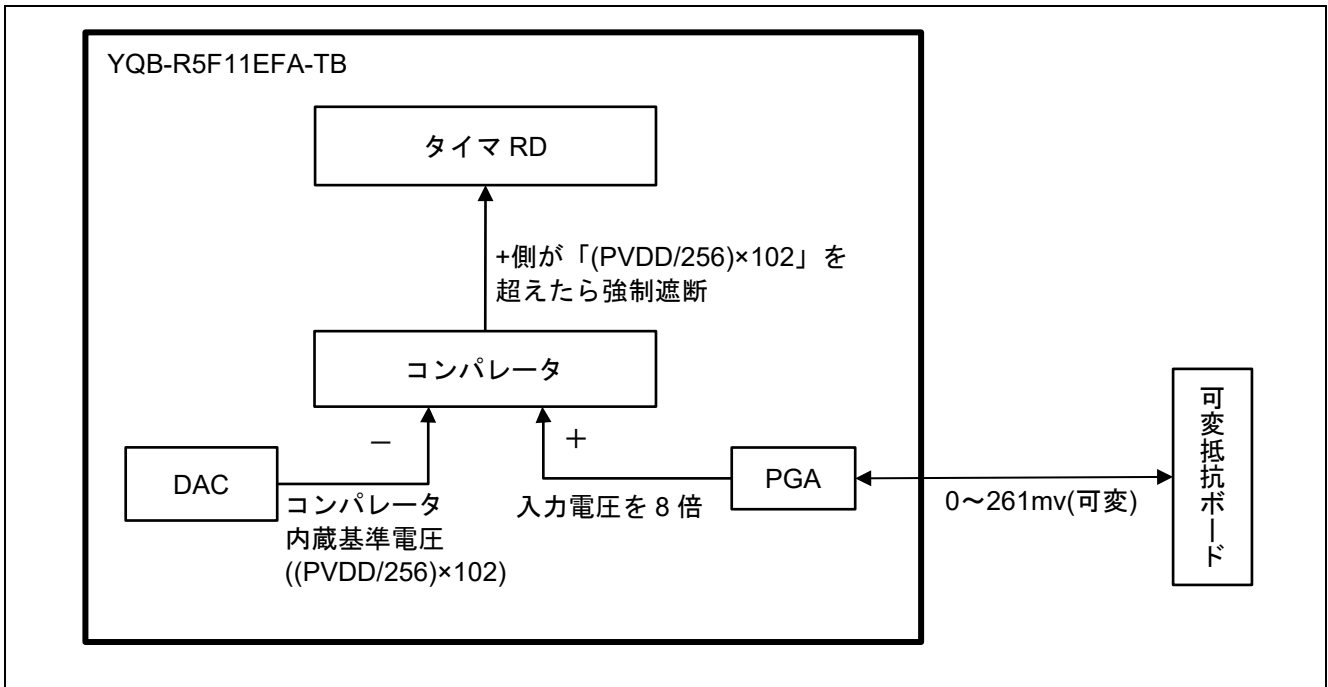


図 1.1 動作概要

強制遮断機能について、RL78/G1G では主に次の 2 種類の方法があります。
本 AN では方法①を使用しています。

内蔵コンパレータ使用例		強制遮断の経路	応答速度	遮断時の端子モード
方法① (本 AN)	ELC を使用しない	CMPnHZO →MPnHZO コントロール	即時	Hi-z のみ
方法②	ELC を使用	CMPnELC イベント →タイマ RD での出力遮断制御	ELC を経由する 時間が発生	Hi-z, H/L 出力 設定可能

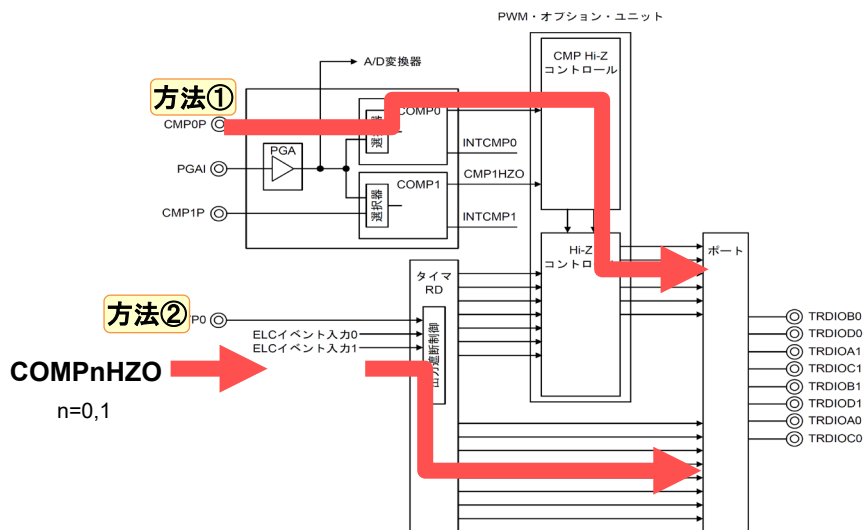


図 1.2 内蔵コンパレータ出力→タイマ RD 強制遮断機能についての補足

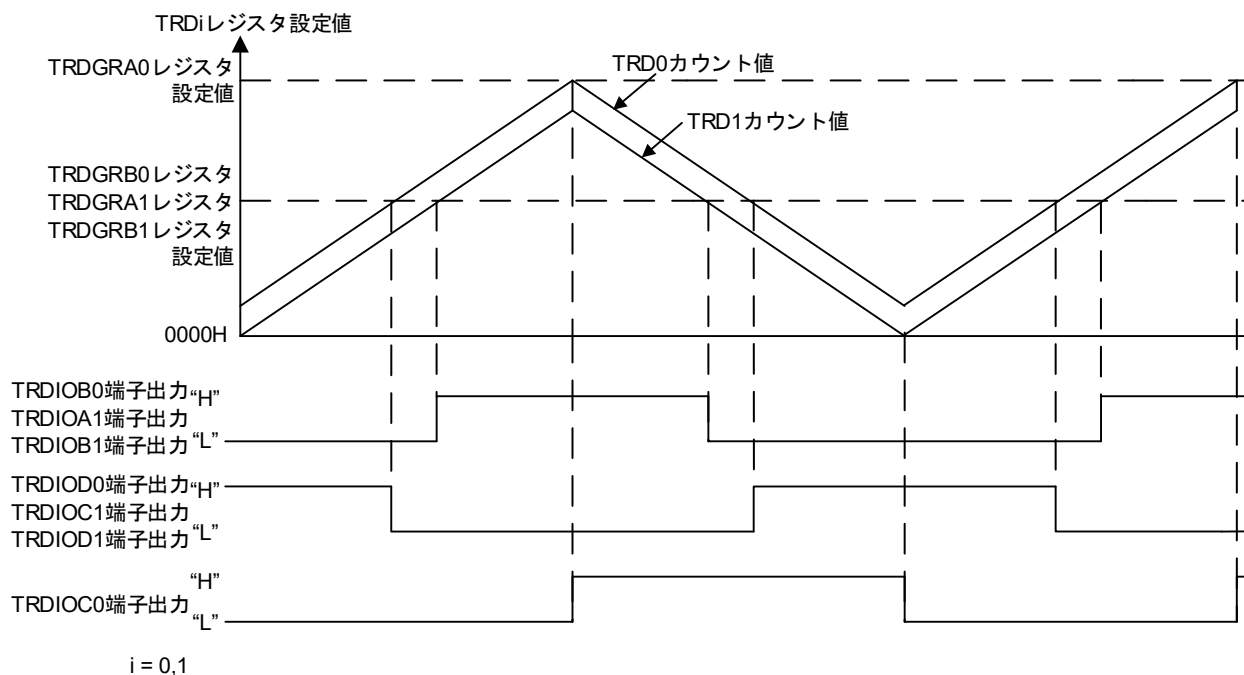


図 1.3 相補 PWM の出力波形

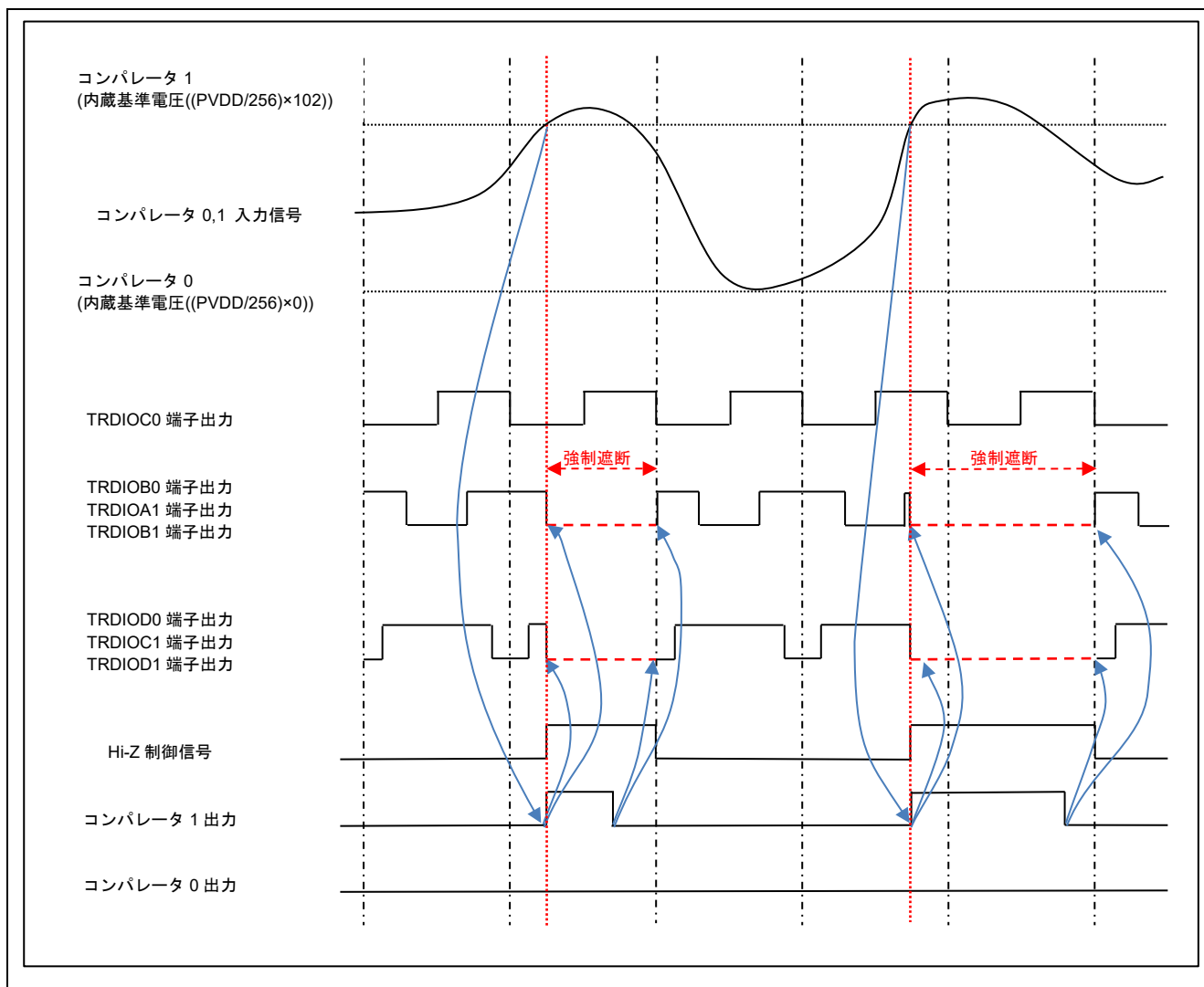


図 1.4 PWM・オプション・ユニットの強制遮断タイミング

1.1 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表 2.1 動作確認条件

項目	内容
使用マイコン	RL78/G1G (R5F11EFAA)
動作周波数	<ul style="list-style-type: none">● 高速内蔵発振クロック(f_{HOCO}): 16MHz(標準)● CPU/周辺ハードウェア・クロック(f_{CLK}): 16MHz
動作電圧	5.0V (2.9V~5.5V で動作可能) LVD 動作 (V_{LVI}): リセット・モード (立ち上がり TYP. 2.81V / 立ち下がり TYP. 2.75V)
統合開発環境 (CS+)	ルネサス エレクトロニクス製 CS+ V3.01.00
C コンパイラ (CS+)	ルネサス エレクトロニクス製 CC-RL V1.01.00
統合開発環境 (e2studio)	ルネサス エレクトロニクス製 e2studio V4.0.2.8
C コンパイラ (e2studio)	ルネサス エレクトロニクス製 CC-RL V1.01.00
統合開発環境 (IAR)	IAR Systems 製 IAR Embedded Workbench for Renesas RL78 V4.21.3
C コンパイラ (IAR)	IAR Systems 製 IAR C/C++ Compiler for Renesas RL78 V4.21.3.2447
使用ボード	RL78/G1G TB ボード (YQB-R5F11EFA-TB)

2. 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。
併せて参照してください。

RL78/G13 初期設定 (R01AN2575J) アプリケーションノート

3. ハードウェア説明

3.1 ハードウェア構成例

図 3.1 に本アプリケーションノートで使用するハードウェアを示します。

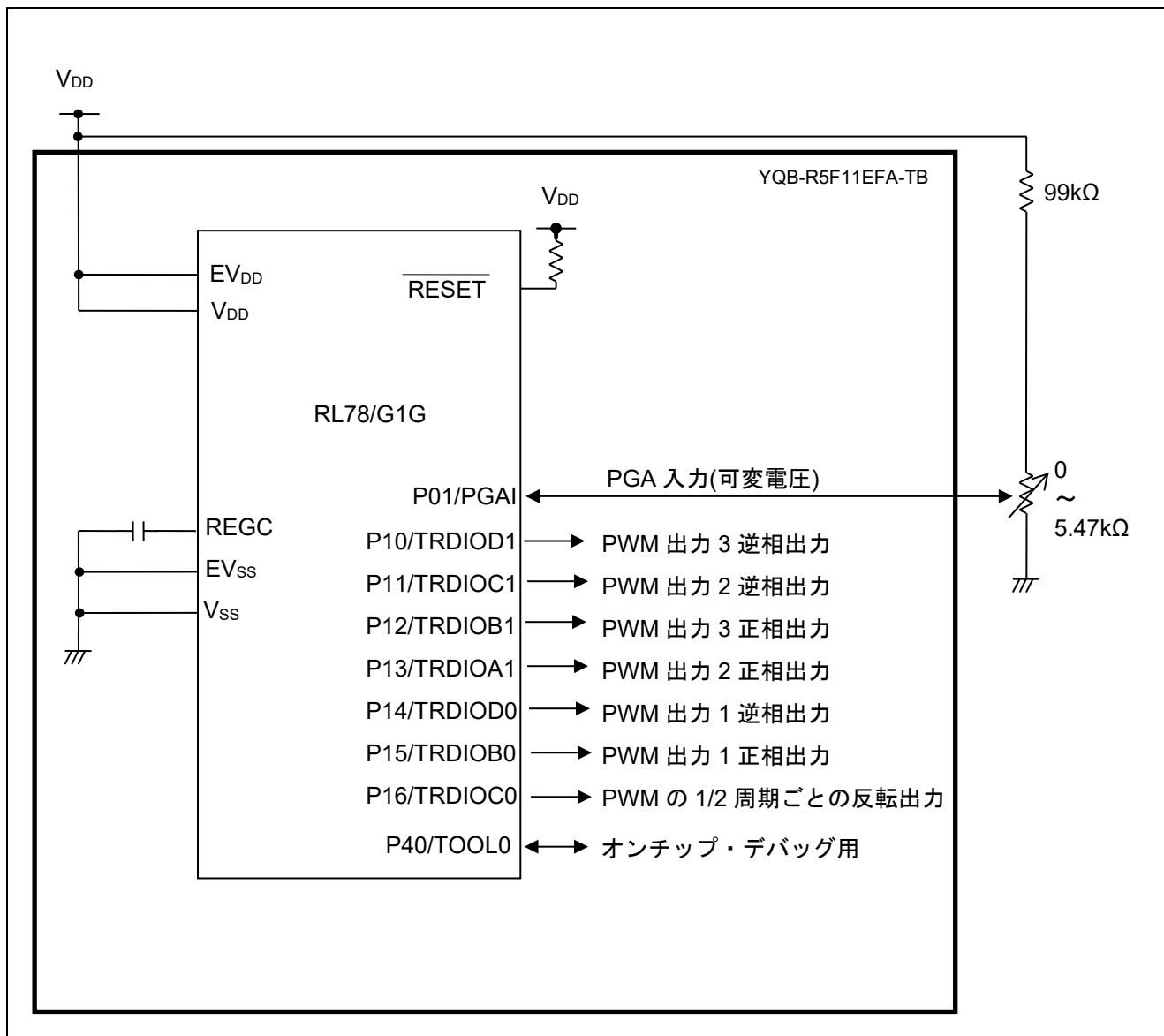


図 3.1 ハードウェア構成例

注意 1 この回路イメージは接続の概要を示す為に簡略化しています。

実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください。

(入力専用ポートは個別に抵抗を介して VDD 又は VSS に接続して下さい)。

- EVSS で始まる名前の端子がある場合には VSS に、EVDD で始まる名前の端子がある場合には VDD にそれぞれ接続してください。
- VDD は LVD にて設定したリセット解除電圧 (VLVI) 以上にしてください。

3.2 使用端子一覧

表 3.1 に使用端子と機能を示します。

表 3.1 使用端子と機能

端子名	入出力	機能
P01/PGAI	入力	PGA 入力(可変電圧)
P15/TRDIOB0	出力	PWM 出力 1 正相出力
P14/TRDIOD0	出力	PWM 出力 1 逆相出力
P13/TRDIOA1	出力	PWM 出力 2 正相出力
P11/TRDIOC1	出力	PWM 出力 2 逆相出力
P12/TRDIOB1	出力	PWM 出力 3 正相出力
P10/TRDIOD1	出力	PWM 出力 3 逆相出力
P16/TRDIOC0	出力	PWM の 1/2 周期ごとの反転出力

4. ソフトウェア説明

4.1 動作概要

本アプリケーションノートでは、RL78/G1G のタイマ RD(相補 PWM モード)を使用して、相補 PWM 波形と 1/2 周期ごとの反転出力波形を出力する方法を説明します。また、PWM・オプション・ユニットを使用して、PWM 出力を強制遮断する方法を説明します。

タイマ RD は周期 350 μ s の PWM 波形(三相、三角波変調、短絡防止時間あり)を正相 3 本、逆相 3 本、PWM の 1/2 周期ごとの反転出力を 1 本、計 7 本の波形を出力します。一定周期ごとにバッファ動作を使用して PWM 波形を切り替えます。正相 3 本、逆相 3 本はそれぞれ同じ信号を出力します。PWM・オプション・ユニットによる PWM 出力の強制遮断は、プログラマブル・ゲイン・アンプ(以降、PGA と示す)とコンパレータを使用します。本アプリケーションノートでは、コンパレータの内蔵基準電圧は製品の VDD 端子(以降、PVDD と記載)電圧の約 40%((PVDD/256)×102)に設定し、PGA は GAIN(ゲイン)を 8 倍に設定します。コンパレータは、PGA の出力電圧とコンパレータ内蔵基準電圧を比較します。PGA の出力が内蔵基準電圧を超えた場合は、PWM 波形を強制遮断し Hi-Z 状態にします。PGA の出力が内蔵基準電圧より低くなった場合は、PWM 波形を出力します。

詳細は下記(1)~(10)に記載します。

(1) タイマ RD の初期設定を行います。

<設定条件>

- カウントソースは f_{CLK} (16MHz)を設定します。
- TRD0 レジスタは、TRDGRA0 レジスタとのコンペアー致後もカウントを継続します。
- TRD1 レジスタは、TRDGRA1 レジスタとのコンペアー致後もカウントを継続します。
- TRDGRD0 レジスタは、TRDGRB0 レジスタのバッファレジスタとして使用します。
- TRDGRC1 レジスタは、TRDGRA1 レジスタのバッファレジスタとして使用します。
- TRDGRD1 レジスタは、TRDGRB1 レジスタのバッファレジスタとして使用します。
- TRD1 レジスタのアンダフロー時にバッファレジスタからジェネラルレジスタへ転送します。
- TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1、TRDIOB1、TRDIOC1、TRDIOD1 端子を出力許可に設定します。
- TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1、TRDIOB1、TRDIOC1、TRDIOD1 端子の出力レベルは アクティブレベル L、初期出力レベルは非アクティブレベル H を設定します。
- パルス出力強制遮断入力機能は使用しません。(PWM・オプション・ユニット機能で強制遮断を行います。)
- TRD0 レジスタと TRDGRA0 レジスタのコンペアー致割り込みを許可に設定します。

(2) コンパレータと PGA の初期設定を行います。

<設定条件>

- コンパレータ 0 とコンパレータ 1 と PGA を使用します。
- PWM・オプション・ユニットは、過電流／起電流検出モードを設定します。
- コンパレータ 0 を以下の設定にします。
 - +側入力設定は PGA 出力を設定します。
 - 起電流を検出しない為に、コンパレータ内蔵基準電圧は 0%を設定します。
- コンパレータ 1 を以下の設定にします。
 - +側入力設定は PGA 出力を設定します。
 - 過電流検出は、コンパレータ内蔵基準電圧を 40%に設定します。
- PGA を以下の設定にします。
 - GAIN(ゲイン)は 8 倍を設定します。

(3) main 処理の初期設定を行います。

<設定条件>

- PER1 レジスタの PWMOPEN ビットに「1」(PWM・オプション・ユニットの入力クロック供給)を設定します。
- OPMR レジスタの HDM ビットに「1」(過電流／起電流検出モード)を設定します。

(4) コンパレータ 0 を起動します。

- COMPMDR レジスタの C0ENB ビットに、「1」(コンパレータ 0 動作許可)を設定します。
- コンパレータ 0 の動作安定待ち時間(3us)のウェイトをします。
- COMPOCR レジスタの C0OE ビットに、「1」(コンパレータ 0 の出力許可)を設定します。
- INCMP0 レジスタの CMPIF0 ビットに「0」(割り込み要求信号が発生していない)を設定します。
- IF2L レジスタの CMPMK0 ビットに「0」(割り込み処理許可)を設定します。

(5) コンパレータ 1 を起動します。

- COMPMDR レジスタの C1ENB ビットに、「1」(コンパレータ 1 動作許可)を設定します。
- コンパレータ 1 の動作安定待ち時間(3us)のウェイトをします。
- COMPOCR レジスタの C0OE ビットに、「1」(コンパレータ 1 の出力許可)を設定します。
- INCMP1 レジスタの CMPIF1 ビットに「0」(割り込み要求信号が発生していない)を設定します。
- IF2H レジスタの CMPMK1 ビットに「0」(割り込み処理許可)を設定します。

(6) PGA を起動します。

- PGACTL レジスタの PGAEN ビットに、「1」(PGA 動作許可)を設定します。

(7) タイマ RD0、タイマ RD1 を起動します。

- TRDSR0 レジスタに、「00H」(オーバフローフラグ・インプットキャプチャ /コンペアー致フラグ D ~A のクリア)を設定します。
- INTTRD0 レジスタの TRDIF0 ビットに「0」(割り込み要求信号が発生していない)を設定します。
- IF2H レジスタの TRDMK0 ビットに「0」(割り込み処理許可)を設定します。
- TRDSTR レジスタの TSTART1 ビットに「1」(TRD1 カウント開始)と TSTART0 ビットに「1」(TRD0 カウント開始)を設定します。

(8) PWM 出力継続時(PGA 出力 \leq (PVDD/256) \times 102)

- TRDSR0 レジスタに、「1」(TRD0 と TRDGRA0 の値が一致したとき)を設定します。
- 変数 g_int_cnt(割り込みカウンタ)をインクリメントします。
- 変数 g_int_cnt(割り込みカウンタ)が 10 以上の場合に、以下の設定をします。
 - 変数 g_int_cnt(割り込みカウンタ)に「0」を設定します。
 - 変数 g_output_chg_mode (波形切り替えモード)をインクリメント
 - 変数 g_output_chg_mode (波形切り替えモード)が「5」以上の場合のみ、変数 g_output_chg_mode に「0」を設定します。
 - 波形切り替えモードを以下に記載します。
 - ◆ 変数 g_output_chg_mode (波形切り替えモード)が「0」(PWM 波形 1→PWM 波形 2)の場合、TRDGRD0、TRDGRC1、TRDGRD1 のバッファレジスタに、アクティブレベル 100 μ s の値を設定
 - ◆ 変数 g_output_chg_mode (波形切り替えモード)が「1」(PWM 波形 2→PWM 波形 3)の場合、TRDGRD0、TRDGRC1、TRDGRD1 のバッファレジスタに、アクティブレベル 350 μ s の値を設定
 - ◆ 変数 g_output_chg_mode (波形切り替えモード)が「2」(PWM 波形 3→PWM 波形 2)の場合、TRDGRD0、TRDGRC1、TRDGRD1 のバッファレジスタに、アクティブレベル 100 μ s の値を設定
 - ◆ 変数 g_output_chg_mode (波形切り替えモード)が「3」(PWM 波形 2→PWM 波形 4)の場合、TRDGRD0、TRDGRC1、TRDGRD1 のバッファレジスタに、アクティブレベル 0 μ s の値を設定
 - ◆ 変数 g_output_chg_mode (波形切り替えモード)が「4」(PWM 波形 4→PWM 波形 1)の場合、TRDGRD0、TRDGRC1、TRDGRD1 のバッファレジスタに、アクティブレベル 250 μ s の値を設定
 - ◆ 上記意外、変数 g_output_chg_mode (波形切り替えモード)に「4」を設定し、TRDGRD0、TRDGRC1、TRDGRD1 のバッファレジスタに、アクティブレベル 250 μ s の値を設定

(9) PWM 強制遮断時(PGA 出力 $>$ (PVDD/256) \times 102)

- コンパレータ 1 の立ち上がりエッジを検出し、TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1、TRDIOB1、TRDIOC1、TRDIOD1 端子より Hi-Z 状態にします。その後 PGA の出力がコンパレータ 1 の内蔵基準電圧((PVDD/256) \times 102)より低くなればコンパレータ 1 の立ち下がりエッジを検出し、Hi-Z 状態を解除して PWM 出力を開始します。

(10) 以降、(8)または(9)を繰り返します。

4.1.2 出力波形説明

各端子から出力する PWM 波形の種類と、アクティブ / 非アクティブレベル、短絡防止時間の計算式を以下に示します。

$$\begin{aligned} \text{PWM 周期} : 350\mu\text{s} &= 1/16\text{MHz} \times (\text{TRDGRA0} + 2 - \text{TRD0}) \times 2 \\ &= 62.5\text{ns} \times (3200 - 400) \times 2 \end{aligned}$$

(1) PWM 波形 1

正相出力：非アクティブレベル H 期間(50 μs)→アクティブレベル L 期間(250 μs)

→非アクティブレベル H 期間(50 μs)

逆相出力：アクティブレベル L 期間(25 μs)→短絡防止時間(25 μs)→非アクティブレベル H 期間(250 μs)

→短絡防止時間(25 μs)→アクティブレベル L 期間(25 μs)

PWM 波形 1 出力時のアクティブレベル L 期間 / 非アクティブレベル H 期間、短絡防止時間の計算式は、以下の通りです。

PWM 波形 1 正相出力：TRDIOB0 端子、TRDIOA1 端子、TRDIOB1 端子

$$\begin{aligned} \text{アクティブレベル L 期間} &: 250\mu\text{s} = 1/16\text{MHz} \times (\text{TRDGRA0} - n - \text{TRD0} + 1) \times 2 \\ &= 62.5\text{ns} \times (3198 - 799 - 400 + 1) \times 2 \end{aligned}$$

$$\begin{aligned} \text{非アクティブレベル H 期間} &: 50\mu\text{s} = 1/16\text{MHz} \times (n + 1) \\ &= 62.5\text{ns} \times (799 + 1) \end{aligned}$$

PWM 波形 1 逆相出力：TRDIOD0 端子、TRDIOC1 端子、TRDIOD1 端子

$$\begin{aligned} \text{アクティブレベル L 期間} &: 25\mu\text{s} = 1/16\text{MHz} \times (n + 1 - \text{TRD0}) \\ &= 62.5\text{ns} \times (799 + 1 - 400) \end{aligned}$$

$$\begin{aligned} \text{非アクティブレベル H 期間} &: 250\mu\text{s} = 1/16\text{MHz} \times (\text{TRDGRA0} - n - \text{TRD0} + 1) \times 2 \\ &= 62.5\text{ns} \times (3198 - 799 - 400 + 1) \times 2 \end{aligned}$$

$$\begin{aligned} \text{短絡防止時間(H 期間)} &: 25\mu\text{s} = 1/16\text{MHz} \times \text{TRD0} \\ &= 62.5\text{ns} \times 400 \end{aligned}$$

n は、TRDGRB0 レジスタ設定値(PWM 出力 1)、TRDGRA1 レジスタ設定値(PWM 出力 2)、TRDGRB1 レジスタ設定値(PWM 出力 3)です。本サンプルコードでは、同じ信号を出力します。

図 4.1 に PWM 波形 1 を示します。

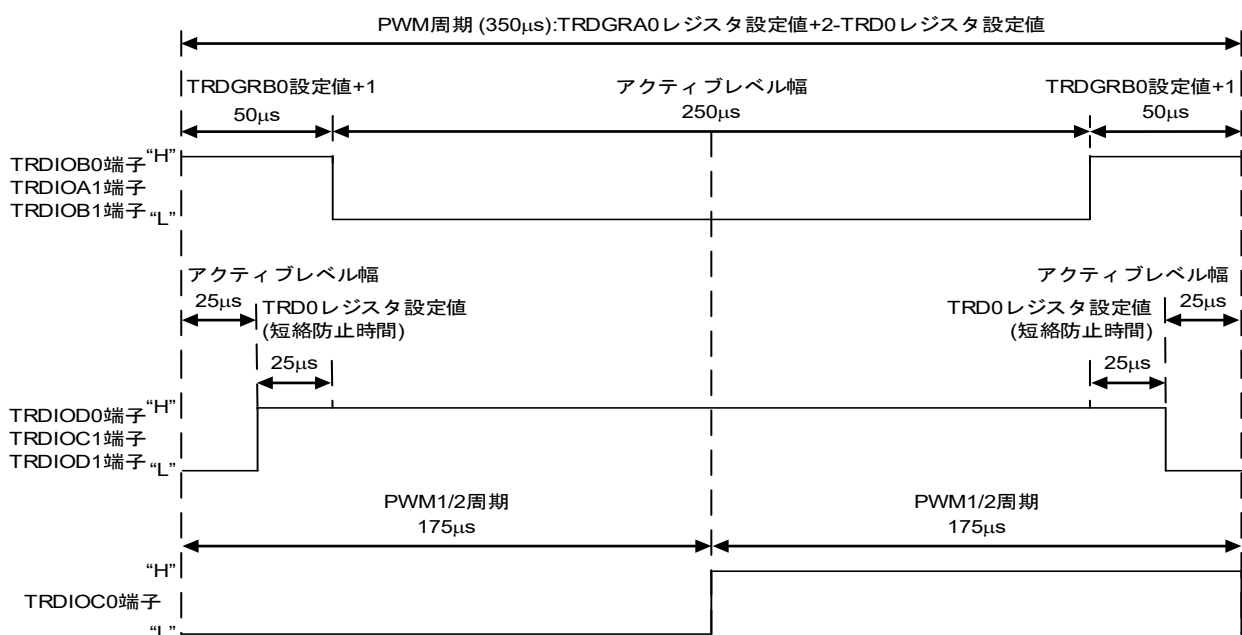


図 4.1 PWM 波形 1

(2) PWM 波形 2

正相出力：非アクティブレベル H 期間(125 μs)→アクティブレベル L 期間(100 μs)

→非アクティブレベル H 期間(125 μs)

逆相出力：アクティブレベル L 期間(100 μs)→短絡防止時間(25 μs)

→非アクティブレベル H 期間(100 μs)→短絡防止時間(25 μs)

→アクティブレベル L 期間(100 μs)

PWM 波形 2 出力時のアクティブレベル L 期間 / 非アクティブレベル H 期間、短絡防止時間の計算式は、以下の通りです。

PWM 波形 2 正相出力：TRDIOB0 端子、TRDIOA1 端子、TRDIOB1 端子

$$\begin{aligned} \text{アクティブレベル L 期間} &: 100\mu\text{s} = 1/16\text{MHz} \times (\text{TRDGRA0} - n - \text{TRD0} + 1) \times 2 \\ &= 62.5\text{ns} \times (3198 - 1999 - 400 + 1) \times 2 \end{aligned}$$

$$\begin{aligned} \text{非アクティブレベル H 期間} &: 125\mu\text{s} = 1/16\text{MHz} \times (n + 1) \\ &= 62.5\text{ns} \times (1999 + 1) \end{aligned}$$

PWM 波形 2 逆相出力：TRDIOD0 端子、TRDIOC1 端子、TRDIOD1 端子

$$\begin{aligned} \text{アクティブレベル L 期間} &: 100\mu\text{s} = 1/16\text{MHz} \times (n + 1 - \text{TRD0}) \\ &= 62.5\text{ns} \times (1999 + 1 - 400) \end{aligned}$$

$$\begin{aligned} \text{非アクティブレベル H 期間} &: 100\mu\text{s} = 1/16\text{MHz} \times (\text{TRDGRA0} - n - \text{TRD0} + 1) \times 2 \\ &= 62.5\text{ns} \times (3198 - 1999 - 400 + 1) \times 2 \end{aligned}$$

$$\begin{aligned} \text{短絡防止時間(H 期間)} &: 25\mu\text{s} = 1/16\text{MHz} \times \text{TRD0} \\ &= 62.5\text{ns} \times 400 \end{aligned}$$

n は、TRDGRB0 レジスタ設定値(PWM 出力 1)、TRDGRA1 レジスタ設定値(PWM 出力 2)、TRDGRB1 レジスタ設定値(PWM 出力 3)です。本サンプルコードでは、同じ信号を出力します。

図 4.2 に PWM 波形 2 を示します。

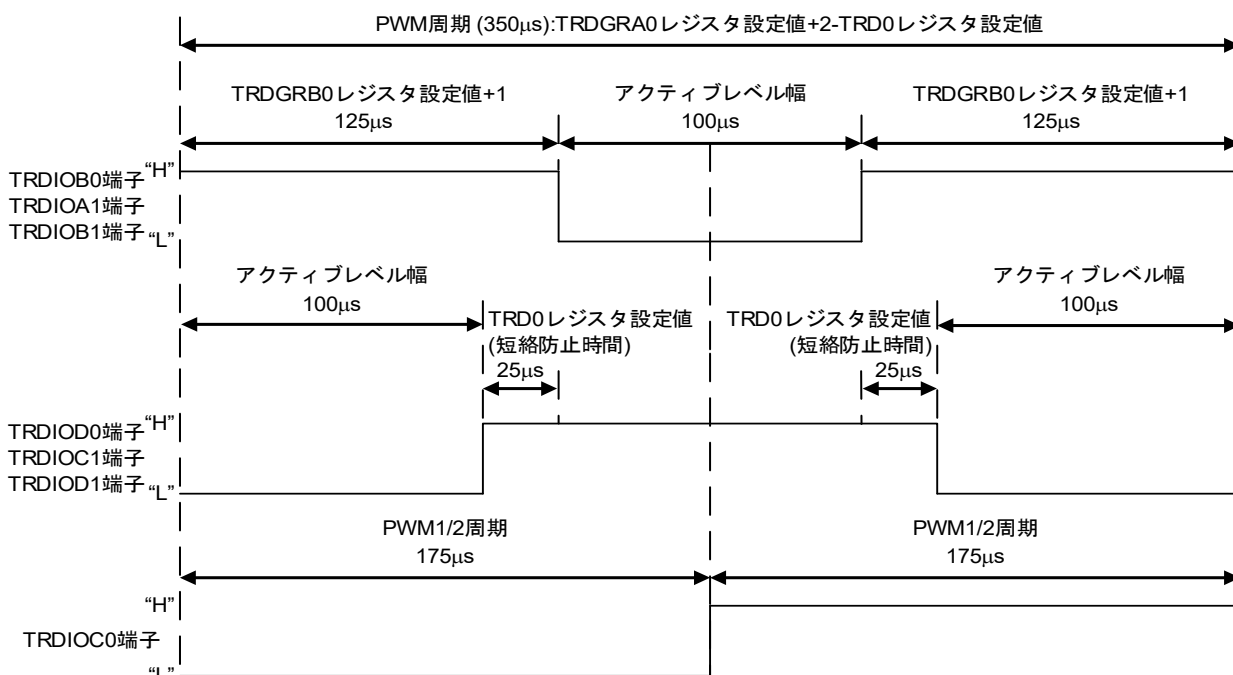


図 4.2 PWM 波形 2

(3) PWM 波形 3

正相出力 : アクティブレベル L 期間(350 μ s)

逆相出力 : 非アクティブレベル H 期間(350 μ s)

バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1 レジスタ)の値に「0000H」を設定した後、TRD0 レジスタと TRDGRA0 レジスタがコンペア一致すると、以下のレベルを出力します。

PWM 波形 3 正相出力 : TRDIOB0 端子、TRDIOA1 端子、TRDIOB1 端子

アクティブレベル L 期間 : 350 μ s

PWM 波形 3 逆相出力 : TRDIOD0 端子、TRDIOC1 端子、TRDIOD1 端子

非アクティブレベル H 期間 : 350 μ s

本サンプルコードでは、同じ信号を出力します。

図 4.3 に PWM 波形 3 を示します。

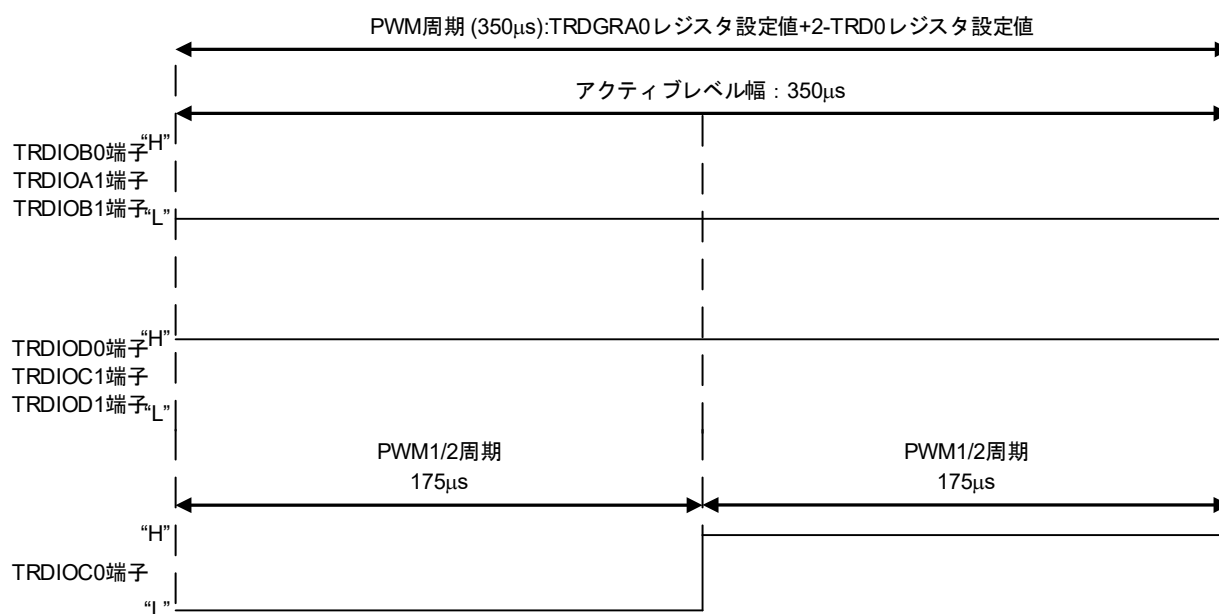


図 4.3 PWM 波形 3

(4) PWM 波形 4

正相出力：非アクティブレベル H 期間(350 μ s)

逆相出力：アクティブレベル L 期間(350 μ s)

バッファレジスタ (TRDGRD0、TRDGRC1、TRDGRD1 レジスタ) に TRDGRA0 レジスタ設定値を超える値を設定した後、TRD1 レジスタがアンダフローすると、以下のレベルを出力します。

PWM 波形 4 正相出力：TRDIOB0 端子、TRDIOA1 端子、TRDIOB1 端子

非アクティブレベル H 期間：350 μ s

PWM 波形 4 逆相出力：TRDIOD0 端子、TRDIOC1 端子、TRDIOD1 端子

アクティブレベル L 期間：350 μ s

本サンプルコードでは、同じ信号を出力します。

図 4.4 に PWM 波形 4 を示します。

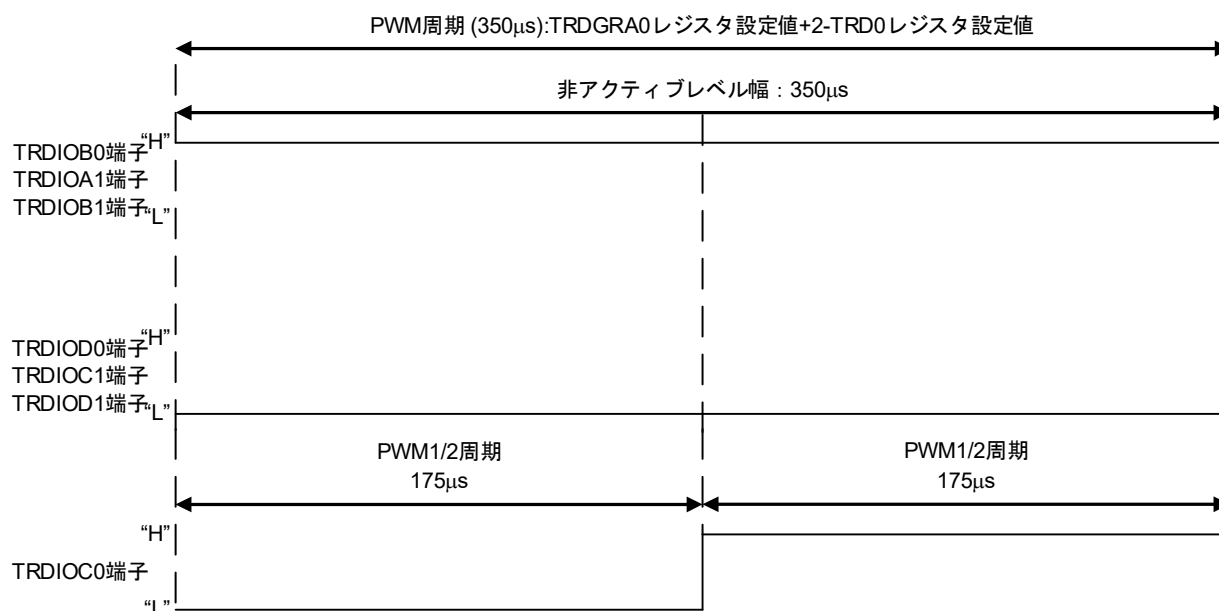


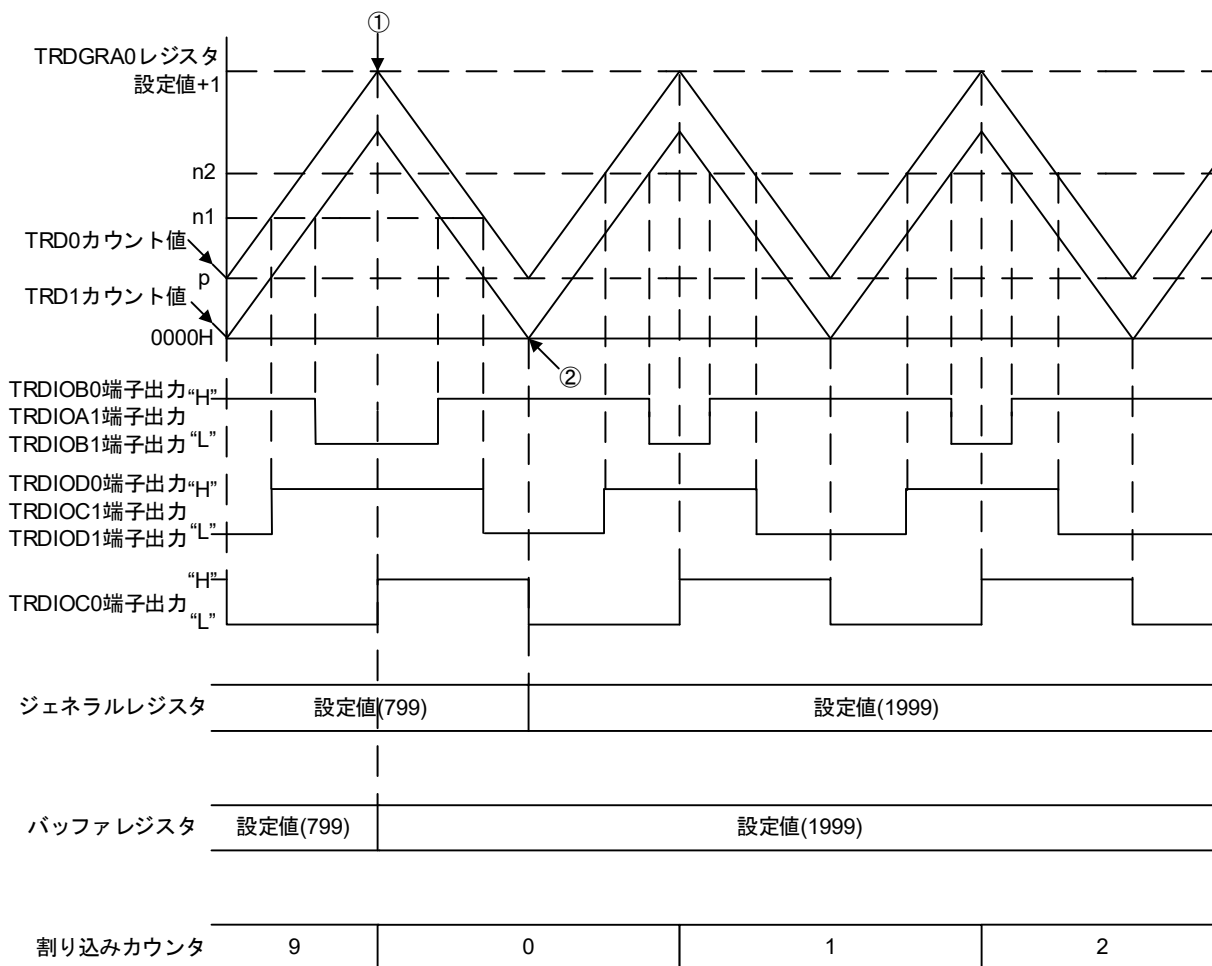
図 4.4 PWM 波形 4

4.1.3 タイミング図

TRD0 レジスタと TRDGRA0 レジスタのコンペアー一致割り込みが 10 回発生したタイミングで、バッファ動作を使用して PWM 波形を切り替えます。

PWM 波形切り替えのタイミング図を以下に示します。

PWM波形1→PWM波形2

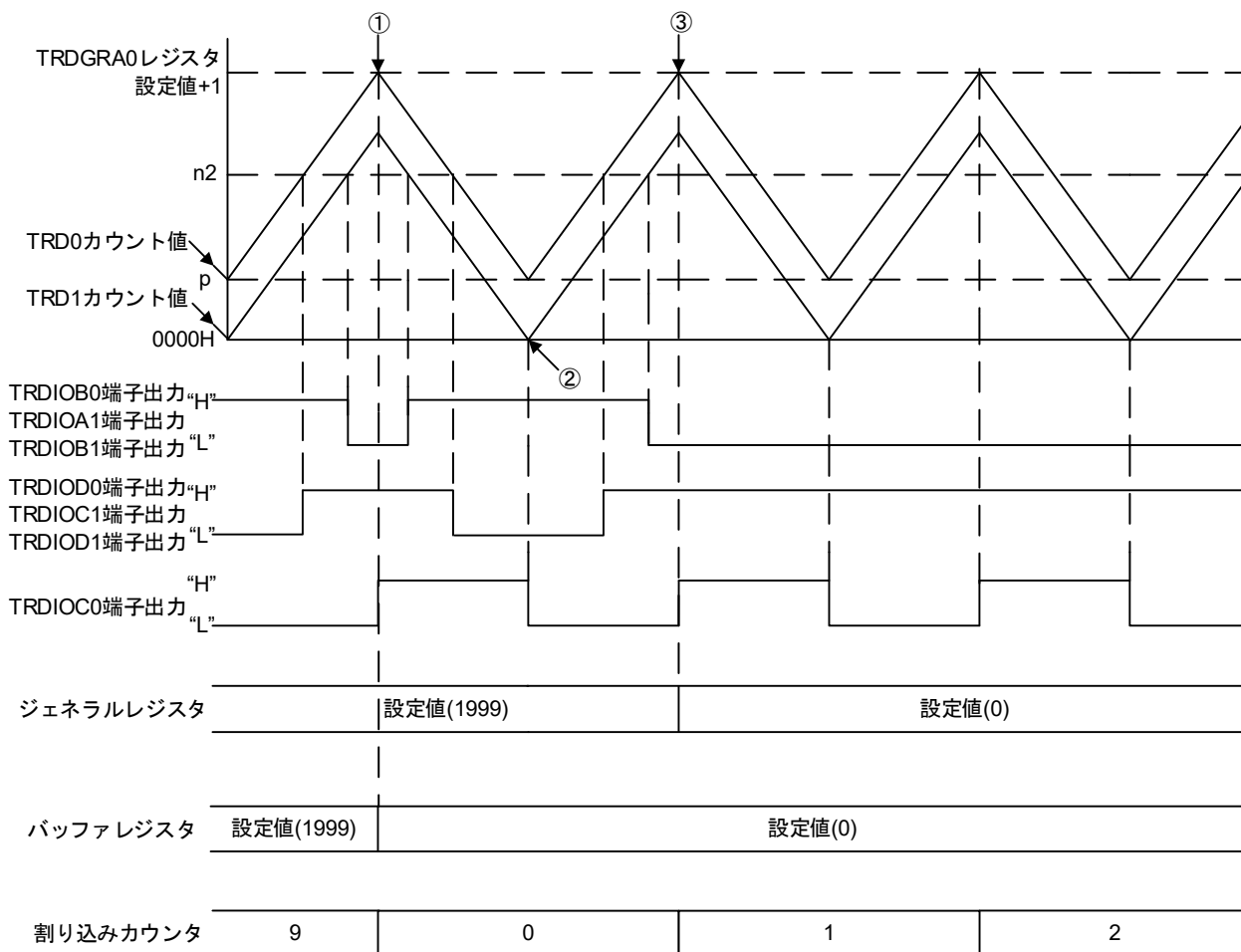


p:TRD0レジスタの設定値(400)
 n1:PWM波形1出力時のジェネラルレジスタ設定値(799)
 n2:PWM波形2出力時のジェネラルレジスタ設定値(1999)

- ① 10回目のTRD0レジスタとTRDGRA0レジスタの一致で、バッファレジスタにn2を設定します。
- ② TRD1レジスタのアンダフロー時に、バッファレジスタからジェネラルレジスタへ転送されます。

図 4.5 PWM 波形 1→PWM 波形 2 切り替えタイミング

PWM波形2→PWM波形3



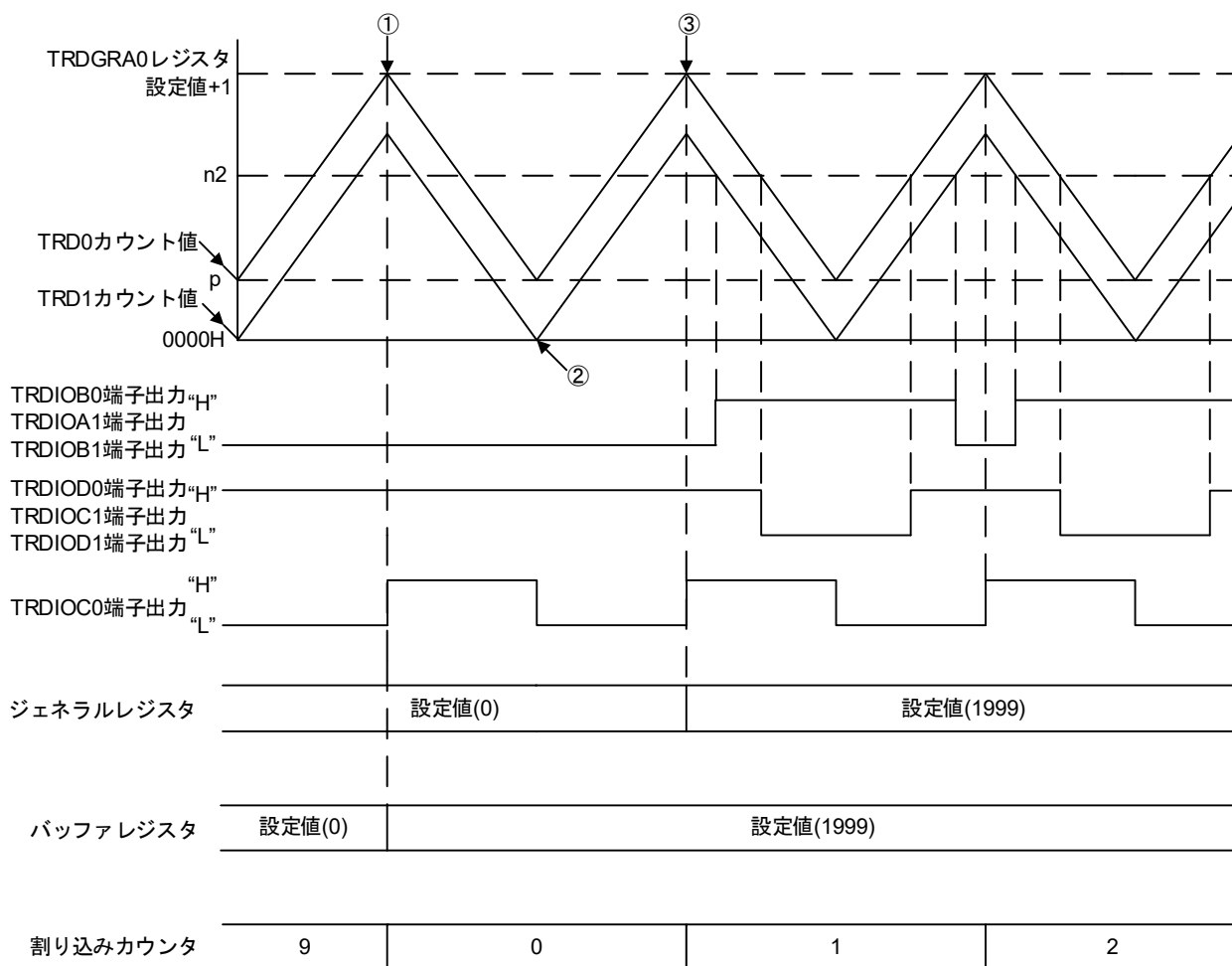
p:TRD0レジスタの設定値(400)

n2:PWM波形2出力時のジェネラルレジスタ設定値(1999)

- ① 10回目のTRD0レジスタとTRDGRA0レジスタの一致で、バッファレジスタに“0000H”を設定します。
- ② バッファレジスタの設定値が“0000H”なのでTRD1レジスタのアンダフロー時に、バッファレジスタからジェネラルレジスタへ転送されません。
- ③ バッファレジスタの設定値が“0000H”なのでTRD0レジスタとTRDGRA0レジスタの一致で、バッファレジスタからジェネラルレジスタへ転送されます。

図 4.6 PWM 波形 2→波形 3 切り替えタイミング

PWM波形3→PWM波形2



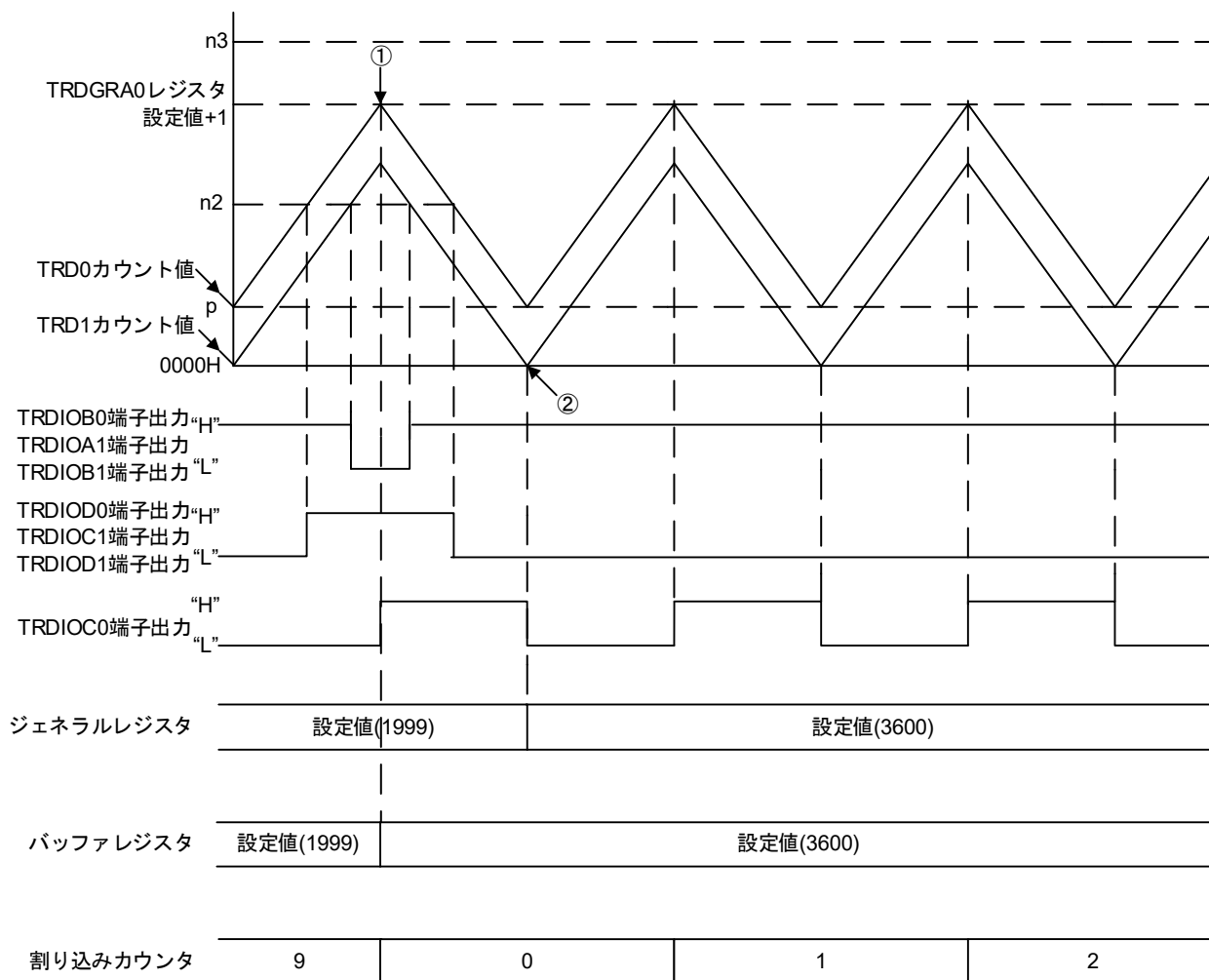
p:TRD0レジスタの設定値(400)

n2:PWM波形2出力時のジェネラルレジスタ設定値(1999)

- ① 10回目のTRD0レジスタとTRDGRA0レジスタの一致で、バッファレジスタにn2を設定します。
- ② バッファレジスタの設定値を"0000H"からn2に設定後、1回目のTRD1レジスタのアンダフローなのでバッファレジスタからジェネラルレジスタへ転送されません。
- ③ バッファレジスタの設定値を"0000H"からn2に設定後、1回目のTRD0レジスタとTRDGRA0レジスタの一致なのでバッファレジスタからジェネラルレジスタへ転送されます。

図 4.7 PWM 波形 3→PWM 波形 2 切り替えタイミング

PWM波形2→PWM波形4



p:TRD0レジスタの設定値(400)

n2:PWM波形2出力時のジェネラルレジスタ設定値(1999)

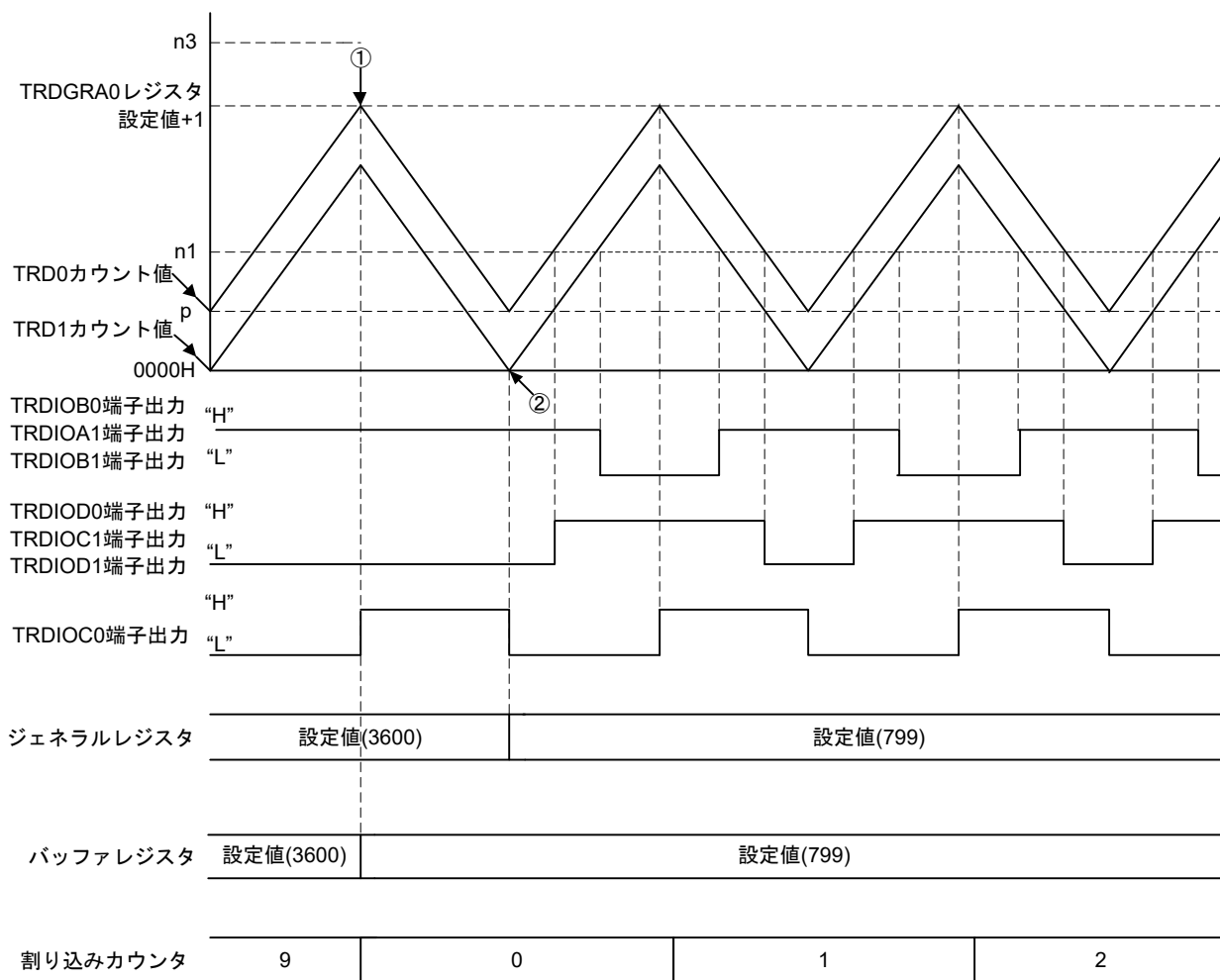
n3:PWM波形4出力時のジェネラルレジスタ設定値(3600)

① 10回目のTRD0レジスタとTRDGRA0レジスタの一致で、バッファレジスタにn3を設定します。

② $n3 \geq \text{TRDGRA0}$ なのでTRD1レジスタのアンダフロー時に、バッファレジスタからジェネラルレジスタへ転送されます。

図 4.8 PWM 波形 2→波形 4 切り替えタイミング

PWM波形4→PWM波形1



p:TRD0レジスタの設定値(400)
 n1:PWM波形1出力時のジェネラルレジスタ設定値(799)
 n3:PWM波形4出力時のジェネラルレジスタ設定値(3600)

- ① 10回目のTRD0レジスタとTRDGRA0レジスタの一致で、バッファレジスタにn1を設定します。
- ② TRDGRD0レジスタの設定値をn3($n3 \geq \text{TRDGRA0}$)からn1に設定後、1回目のTRD1レジスタのアンダフローなのでバッファレジスタからジェネラルレジスタへ転送されます。

図 4.9 PWM 波形 4→PWM 波形 1 切り替えタイミング

4.1.4 PWM・オプション・ユニット

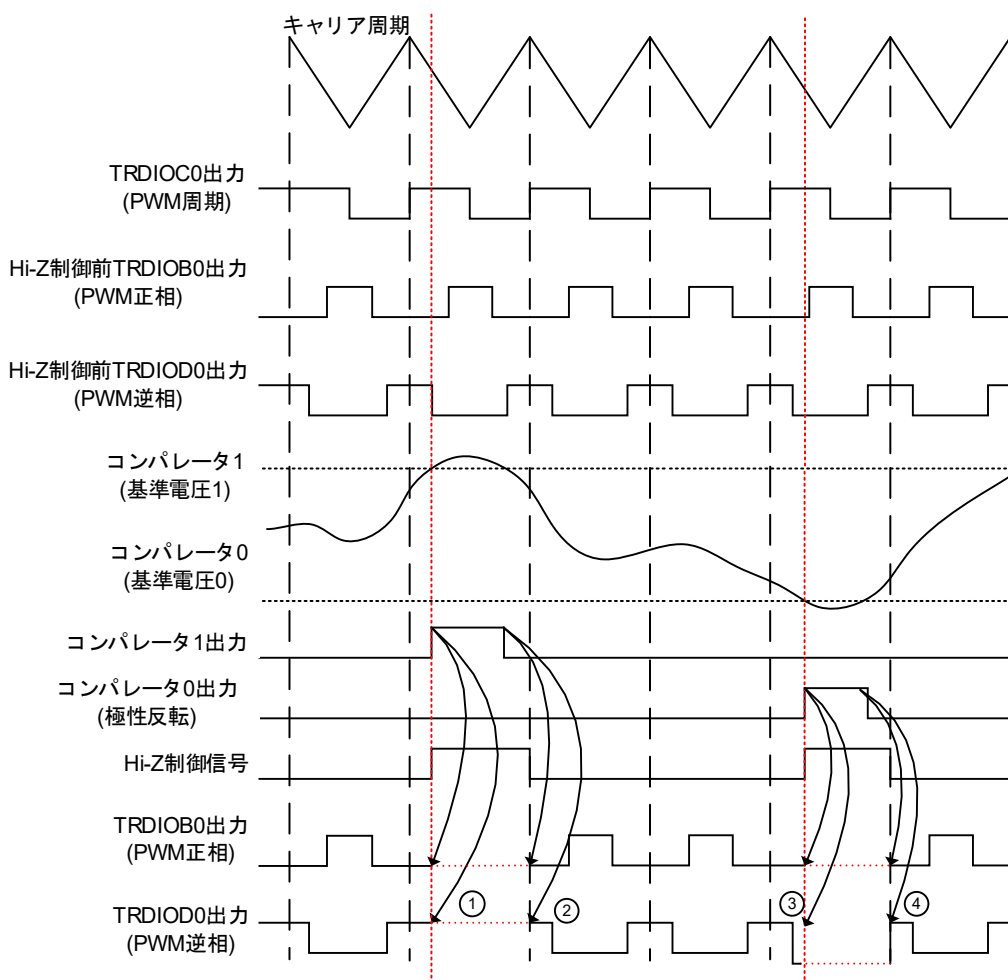
PWM・オプション・ユニットには、「過電流／起電流検出」と「2段階過電流検出」の2つの機能があります。

本アプリケーションノートでは、「過電流／起電流検出機能」を利用して、PGA 出力電圧が、基準電圧を超えた場合に Hi-Z 状態にし、基準電圧より低くなった場合は Hi-Z 状態を解除します。

参考までに、「過電流／起電流検出機能」と「2段階過電流検出機能」のタイミング図を示します。

過電流／起電流検出機能のタイミング図を図 4.10 に示します。

過電流／起電流検出機能

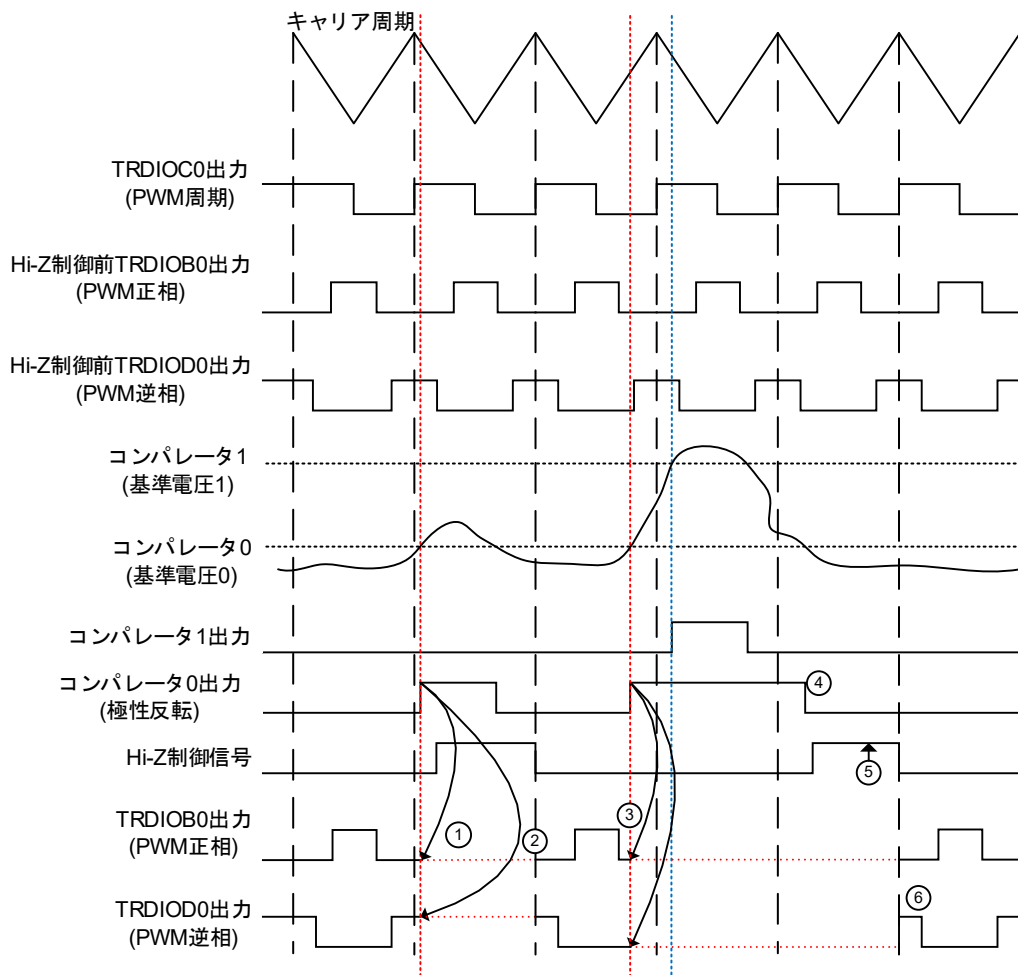


- ① コンパレータ1出力信号の立ち上がりエッジ検出でTRDI0B0, TRDI0D0端子出力がHi-Z状態になります。
- ② コンパレータ1出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTRDI0B0, TRDI0D0端子出力のHi-Z状態が解除されます。
- ③ コンパレータ0出力信号の立ち上がりエッジ検出でTRDI0B0, TRDI0D0端子出力がHi-Z状態になります。
- ④ コンパレータ0出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTRDI0B0, TRDI0D0端子出力のHi-Z状態が解除されます。

図 4.10 過電流／起電流検出機能のタイミング図

2 段階過電流検出機能のタイミング図を図 4.11 に示します。

2段階過電流検出機能



- ① コンパレータ0出力信号の立ち上がりエッジ検出でTRDIOB0, TRDIOD0端子出力がHi-Z状態になります。
- ② コンパレータ0出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTRDIOB0, TRDIOD0端子出力のHi-Z状態が解除されます。
- ③ コンパレータ1出力信号の立ち上がり、またはコンパレータ0出力信号の立ち上がりエッジ検出でTRDIOB0, TRDIOD0端子出力がHi-Z状態になります。
- ④ コンパレータ1出力信号の立ち下がり、またはコンパレータ0出力信号の立ち下がりエッジを検出してもTRDIOB0, TRDIOD0端子出力のHi-Z状態は解除されません。
- ⑤ コンパレータ0出力信号とコンパレータ1出力信号がともにインアクティブ・レベルになったあと、OPHT0ビットに1を書き込んでください。
- ⑥ キャリア周期に同期してTRDIOB0, TRDIOD0端子出力のHi-Z状態が解除されます。

図 4.11 2 段階過電流検出機能のタイミング図

4.2 オプション・バイトの設定一覧

表 4.1 にオプション・バイト設定一覧を示します。

表 4.1 オプション・バイト設定一覧

アドレス	設定値	内容
000C0H/010C0H	11101111B	ウォッチドッグ・タイマ動作停止 (リセット解除後、カウント停止)
000C1H/010C1H	01111111B	LVD 動作 (V_{LVI}) : リセット・モード (立ち上がり TYP. 2.81V / 立ち下がり TYP. 2.75V)
000C2H/010C2H	11101001B	高速内蔵発振 HS モード 16MHz
000C3H/010C3H	10000100B	オンチップ・デバッグ許可

4.3 定数一覧

表 4.2 にサンプルコードで使用する定数を示します。

表 4.2 サンプルコードで使用する定数

定数名	設定値	内容
ACT_250us_100us	0	波形切り替えモード：PWM 波形 1→PWM 波形 2
ACT_100us_LOUT	1	波形切り替えモード：PWM 波形 2→PWM 波形 3
ACT_LOUT_100us	2	波形切り替えモード：PWM 波形 3→PWM 波形 2
ACT_100us_HOUT	3	波形切り替えモード：PWM 波形 2→PWM 波形 4
ACT_HOUT_250us	4	波形切り替えモード：PWM 波形 4→PWM 波形 1
ACT_250us	0	PWM 波形 1 のレジスタ設定値インデックス
ACT_100us	1	PWM 波形 2 のレジスタ設定値インデックス
ACT_HOUT	2	PWM 波形 4 のレジスタ設定値インデックス
ACT_LOUT	3	PWM 波形 3 のレジスタ設定値インデックス

4.4 変数一覧

表 4.3 にグローバル変数を示します。

表 4.3 グローバル変数

Type	Variable Name	Contents	Function Used
unsigned char	g_int_cnt	割り込みカウンタ	r_tmr0_interrupt
unsigned char	g_output_chg_mode	波形切り替えモード	r_tmr0_interrupt

表 4.4 に const 型変数を示します。

表 4.4 const 型変数

Type	Variable Name	Contents	Function Used
unsigned short const	TRDGRB0_VALUE_TBL[]	アクティブレベル設定値テーブル	r_tmr0_interrupt

4.5 関数一覧

表 4.5 に関数一覧を示します。

表 4.5 関数一覧

関数名	概要
hdwinit	初期設定
R_Systeminit	周辺機能初期設定
R_PORT_Create	ポート初期設定
R_CGC_Create	CPU クロック 初期設定
R_TMRD0_Create	タイマ RD 初期設定
R_COMPPGA_Create	コンパレータ・PGA 初期設定
Main	メイン処理
R_MAIN_UserInit	メイン初期設定
R_COMP0_Start	コンパレータ 0 起動
R_COMP1_Start	コンパレータ 1 起動
R_PGA_Start	PGA 起動
R_TMRD0_Start	タイマ RD0、タイマ RD1 カウント開始設定
r_tmr0_interrupt	タイマ RD 割り込み

4.6 関数仕様

サンプルコードの関数仕様を示します。

[関数名] hdwinit

概要	初期設定
ヘッダ	なし
宣言	void hdwinit(void)
説明	周辺機能の初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_Systeminit

概要	周辺機能初期設定
ヘッダ	なし
宣言	void R_Systeminit(void)
説明	本アプリケーションノートで使用する周辺機能の初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_PORT_Create

概要	ポート初期設定
ヘッダ	r_cg_port.h
宣言	void R_PORT_Create(void)
説明	ポート初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_CGC_Create

概要	CPU クロック初期設定
ヘッダ	r_cg_cgc.h
宣言	void R_CGC_Create(void)
説明	CPU クロック初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TMRD0_Create

概要	タイマ RD 初期設定
ヘッダ	r_cg_tmr.d.h
宣言	void R_TMRD0_Create (void)
説明	タイマ RD 初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_COMPPGA_Create

概要	コンパレータ・PGA 初期設定
ヘッダ	r_cg_comppga.h
宣言	void R_COMPPGA_Create(void)
説明	コンパレータ・PGA 初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] main

概要	メイン処理
ヘッダ	なし
宣言	void main(void)
説明	メイン処理を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_MAIN_UserInit

概要	メイン初期設定
ヘッダ	なし
宣言	void R_MAIN_UserInit(void)
説明	メイン初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_COMP0_Start

概要	コンパレータ 0 起動
ヘッダ	r_cg_comppga.h
宣言	void R_COMP0_Start(void)
説明	コンパレータ 0 の起動許可設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_COMP1_Start

概要	コンパレータ 1 起動
ヘッダ	r_cg_comppga.h
宣言	void R_COMP1_Start(void)
説明	コンパレータ 1 の起動許可設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_PGA_Start

概要	PGA 起動
ヘッダ	r_cg_comppga.h
宣言	void R_PGA_Start(void)
説明	PGA の起動許可設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TMRD0_Start

概要	タイマ RD0、タイマ RD1 カウント開始設定
ヘッダ	r_cg_tmrd.h
宣言	void timer_rd0_start(void)
説明	タイマ RD0、タイマ RD1 のカウント開始を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] r_tmr0_interrupt

概要	タイマ RD 割り込み
ヘッダ	r_cg_tmr.h
宣言	__interrupt static void r_tmr0_interrupt(void)
説明	10 回割り込みが発生すると、バッファレジスタの値を設定します。
引数	なし
リターン値	なし
備考	なし

4.7 フローチャート

図 4.12 にサンプルコードの全体フローを示します。

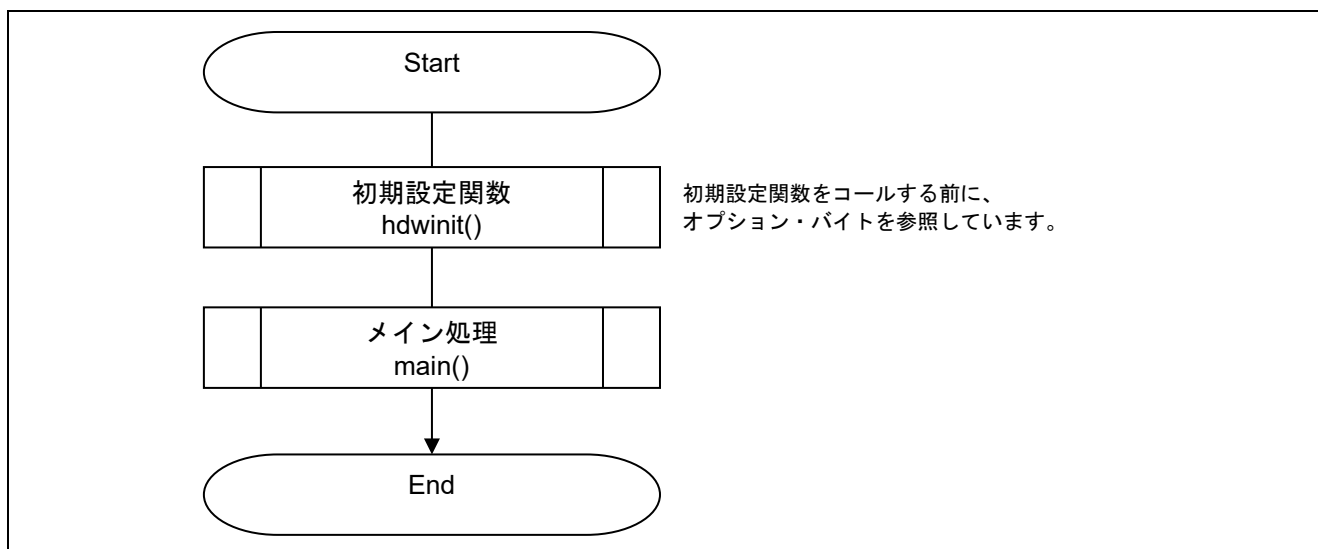


図 4.12 全体フロー

4.7.1 初期設定

図 4.13 に初期設定のフローチャートを示します。

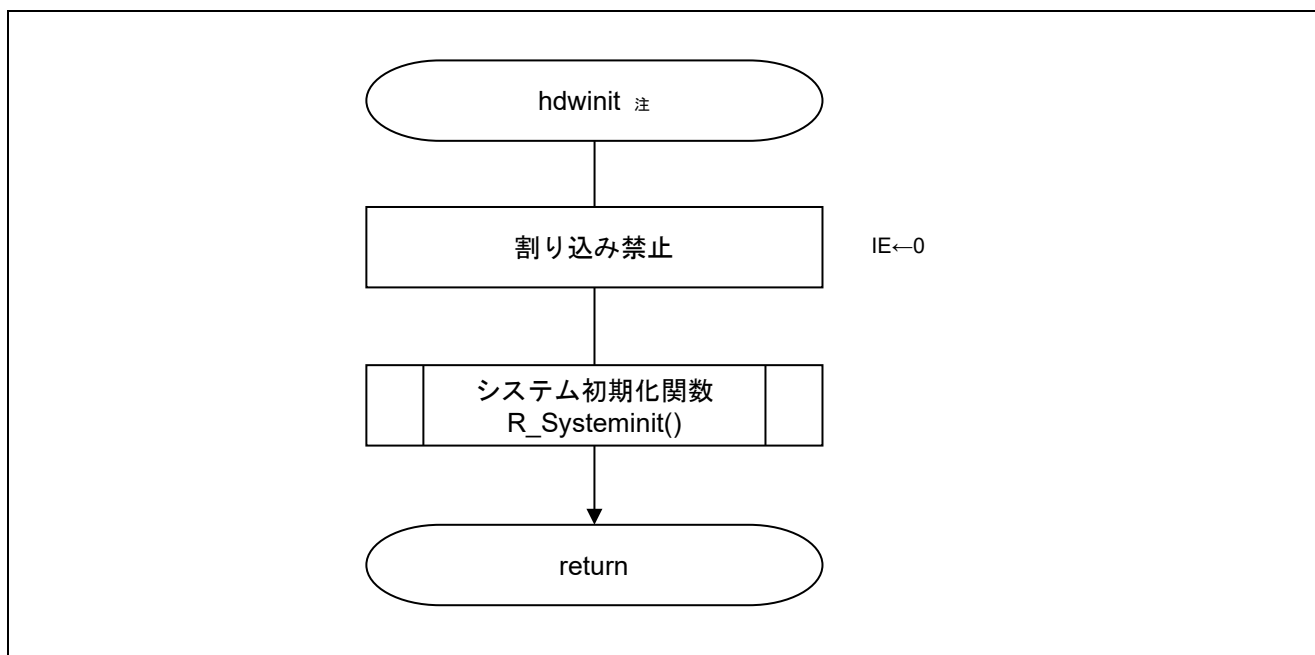


図 4.13 初期設定

4.7.2 周辺機能初期設定

図 4.14 に周辺機能初期設定のフローチャートを示します。

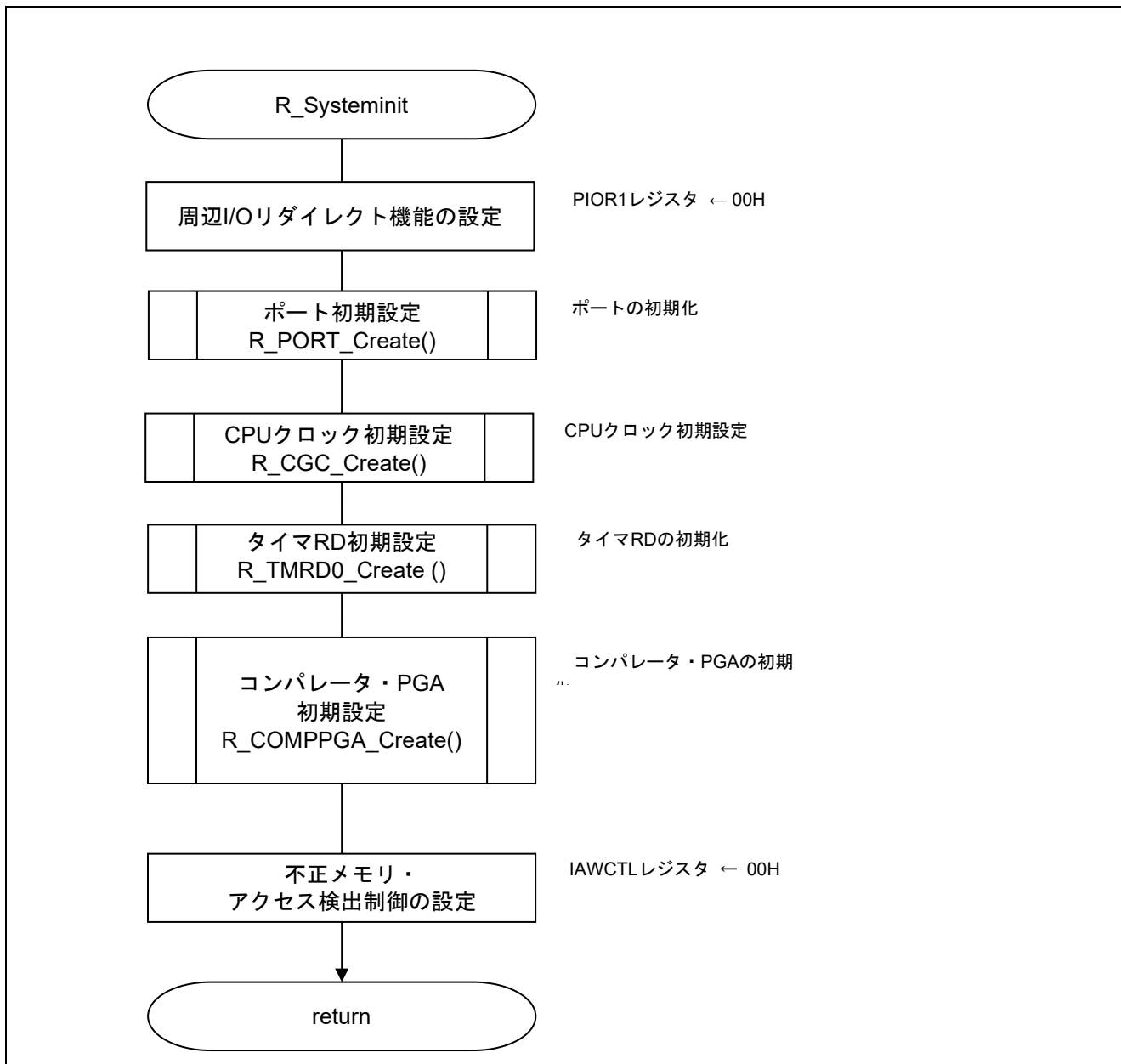


図 4.14 周辺機能初期設定

4.7.3 ポート初期設定

図 4.15 にポート初期設定のフローチャートを示します。

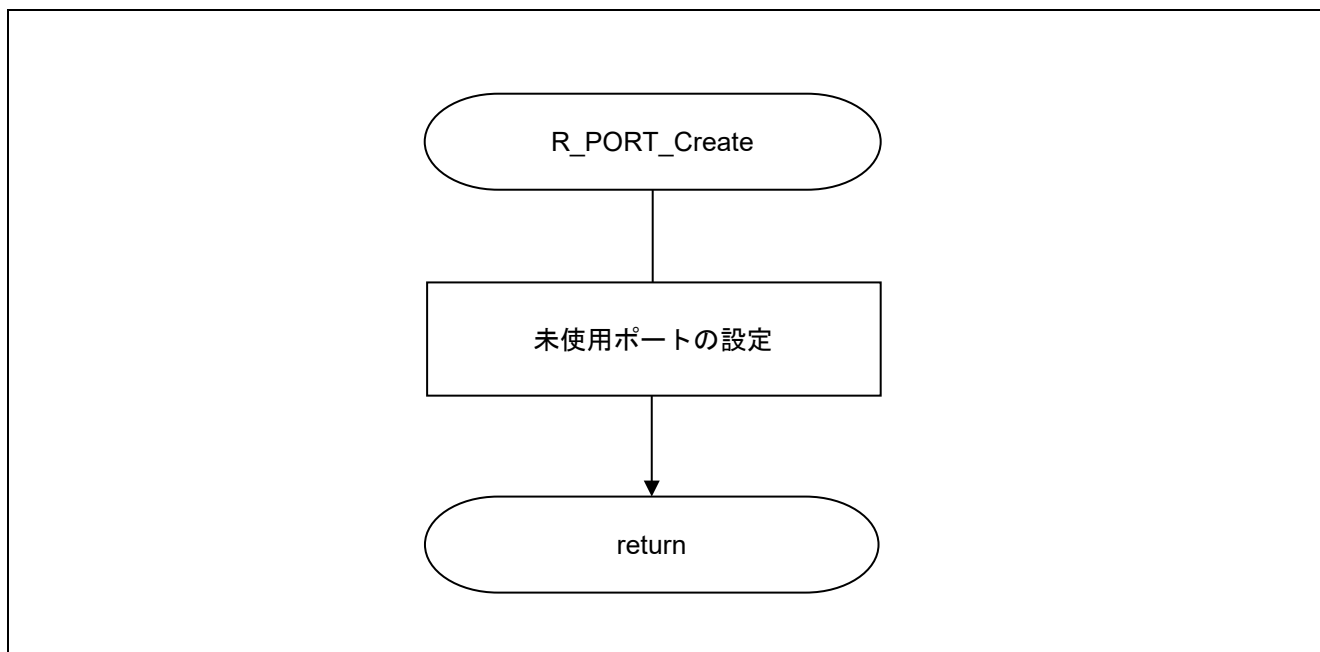


図 4.15 ポート初期設定

- 注意 1. 未使用ポートの設定については、RL78/G13 初期設定 (R01AN0451J) アプリケーションノート「フローチャート」を参照して下さい。
2. 未使用のポートは、端子処理などを適切に行い、電気的特性を満たすように設計して下さい。また、未使用の入力専用ポートは個別に抵抗を介して VDD 又は VSS に接続して下さい。

4.7.4 CPU クロック初期設定

図 4.16 に CPU クロック初期設定のフローチャートを示します。

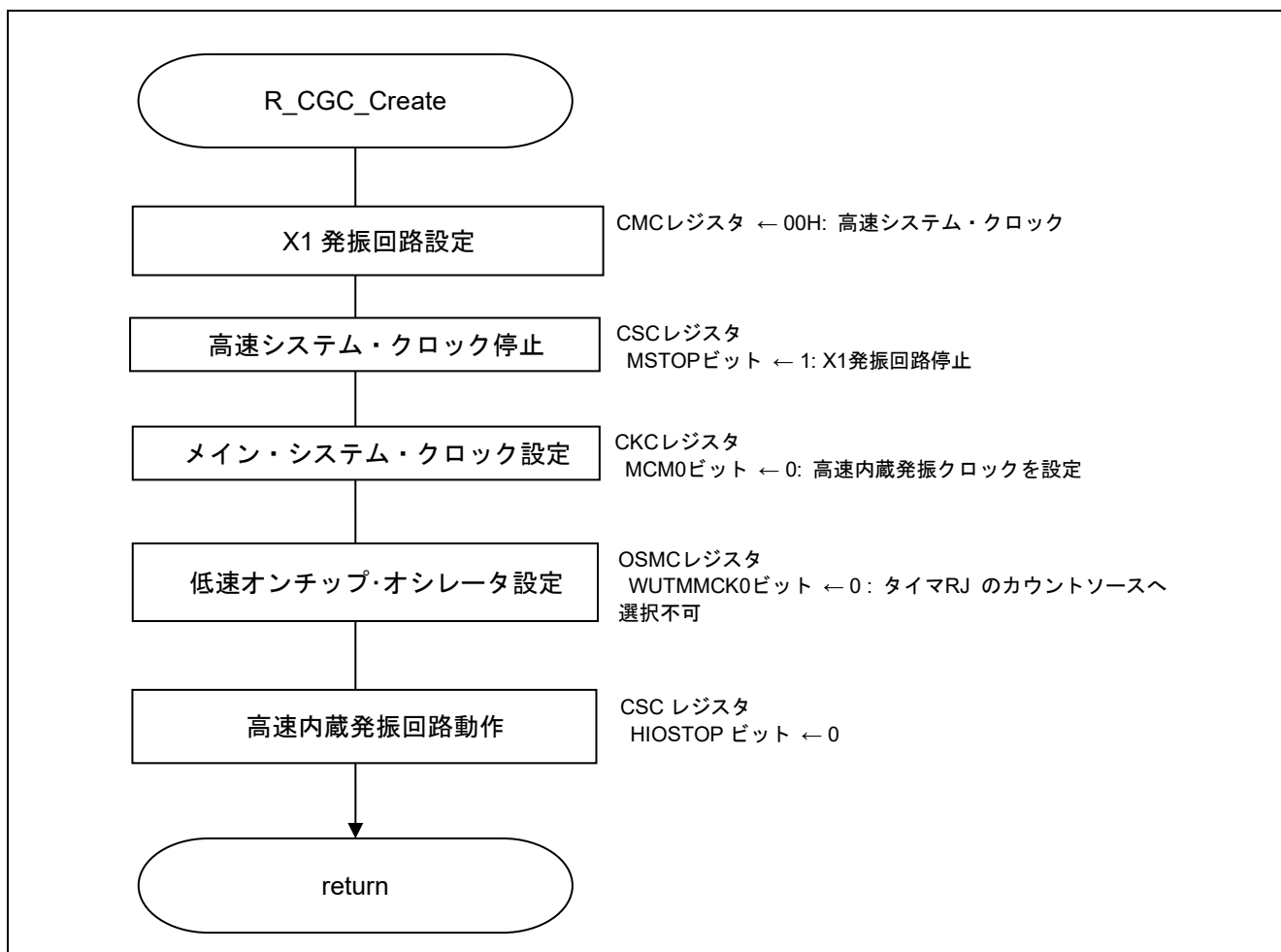


図 4.16 CPU クロック初期設定

4.7.5 タイマ RD 初期設定

図 4.17~図 4.19 にタイマ RD 設定初期フローチャートを示します。

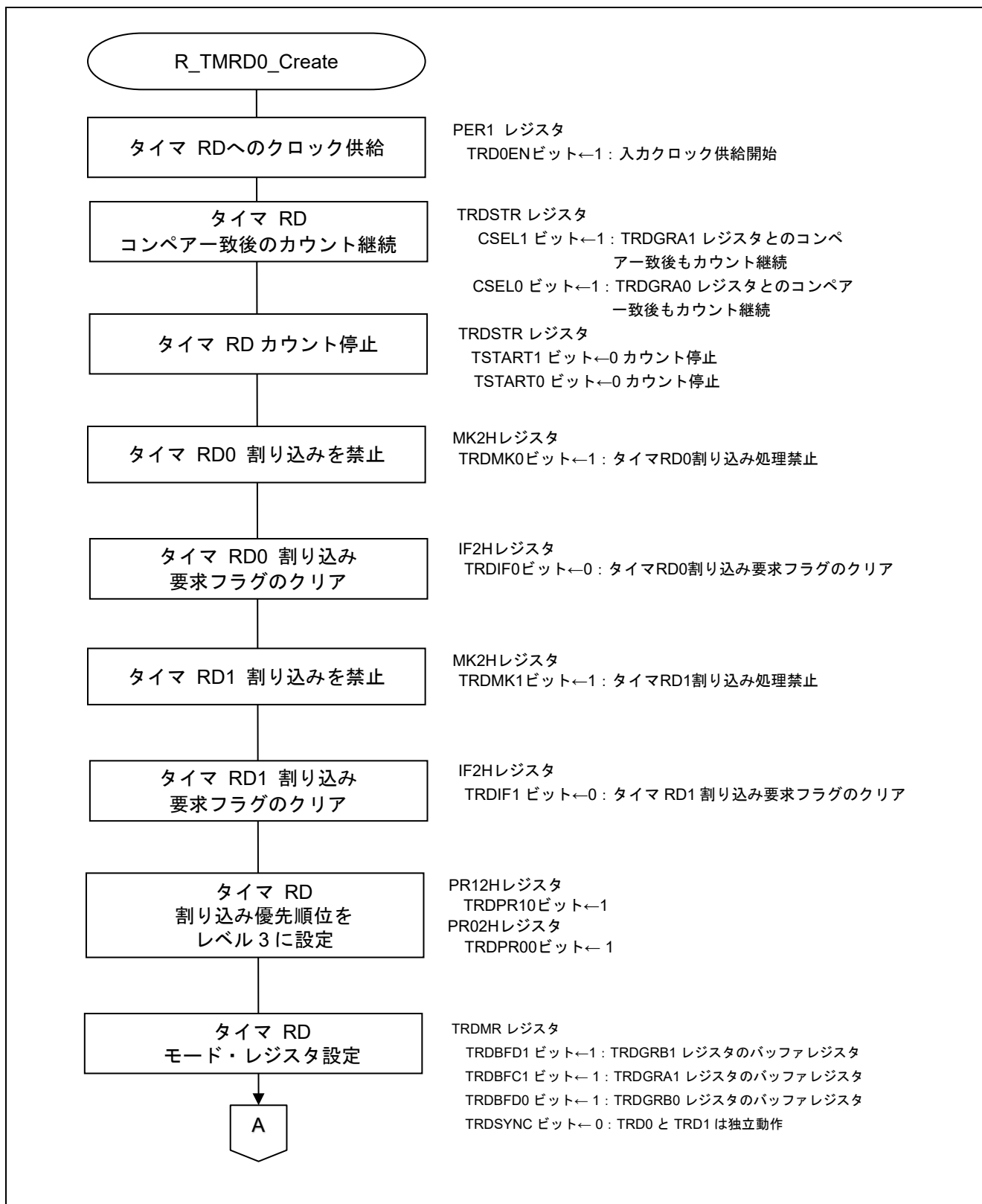


図 4.17 タイマ RD 初期設定(1/3)

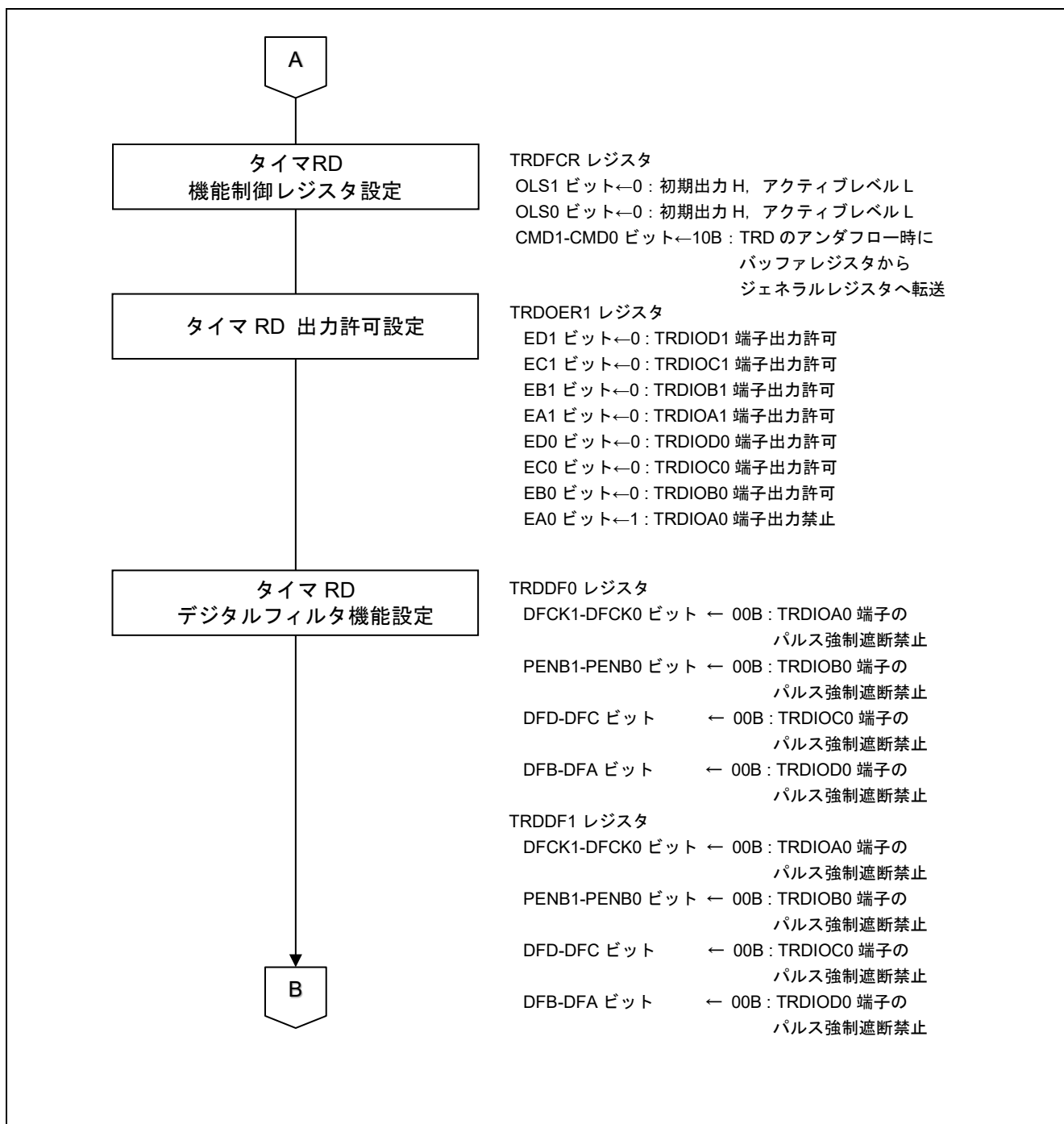


図 4.18 タイマ RD 初期設定(2/3)

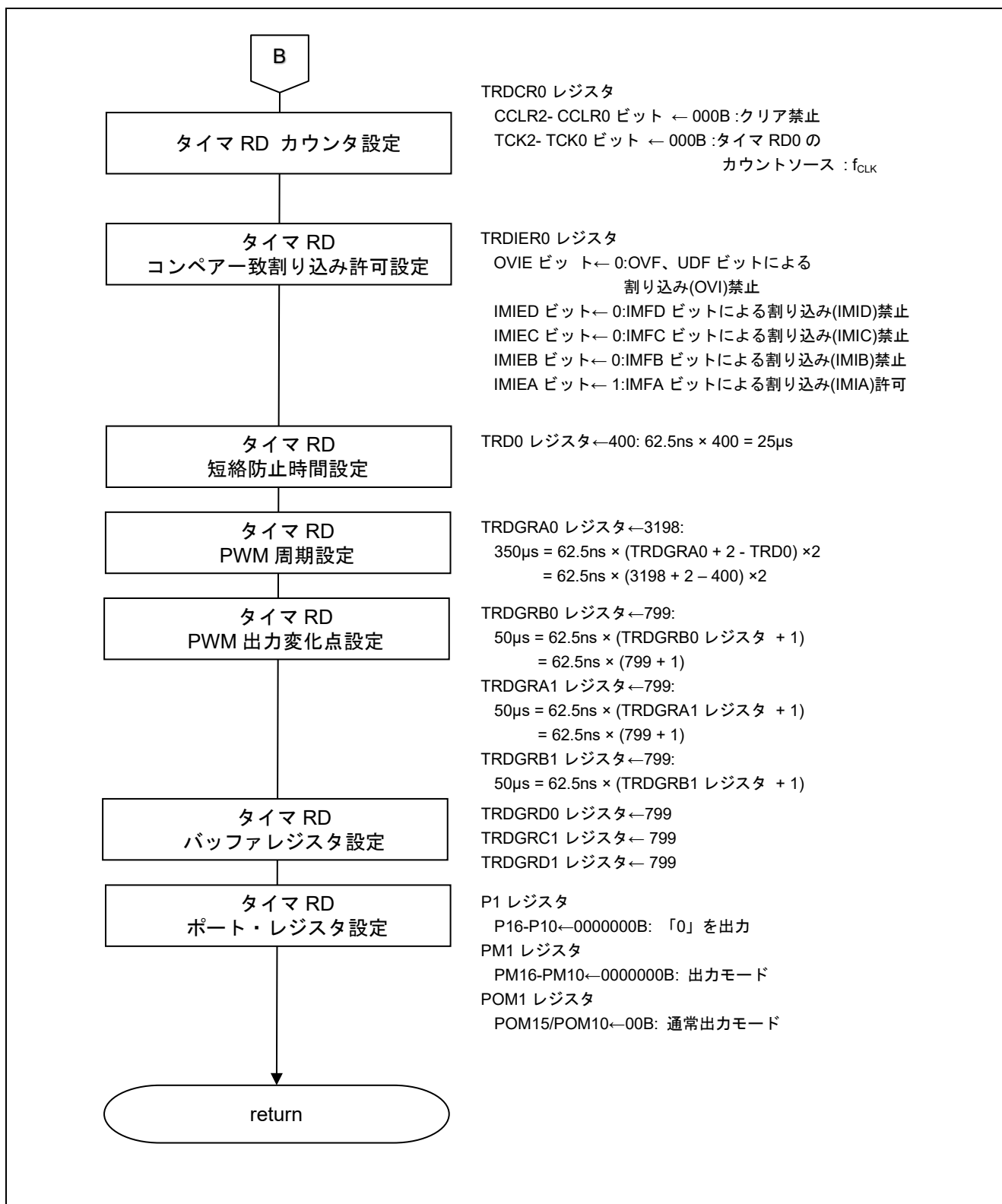


図 4.19 タイマ RD 初期設定(3/3)

タイマ RD のクロック供給開始

- ・周辺イネーブル・レジスタ 1 (PER1)
タイマ RD のクロック供給を開始します。

略号 : PER1

7	6	5	4	3	2	1	0
TMKAEN	PWMOPEN	OACMPEN	TRD0EN	0	0	0	TRJ0EN
x	x	x	1	0	0	0	x

ビット 4

TRD0EN	タイマ RD の入カクロック供給の制御
0	入カクロック供給停止
1	入カクロック供給

タイマ RD のコンペアー一致後のカウント継続とカウント停止

- ・タイマ RD スタートレジスタ (TRDSTR)
タイマ RD のコンペアー一致後のカウント継続を設定します。
タイマ RD のカウントを停止します。

略号 : TRDSTR

7	6	5	4	3	2	1	0
0	0	0	0	CSEL1	CSEL0	TSTART1	TSTART0
0	0	0	0	1	1	0	0

ビット 3

CSEL1	TRD1 カウント動作選択
0	TRDGRA1 レジスタとのコンペアー一致でカウント停止
1	TRDGRA1 レジスタとのコンペアー一致後もカウント継続

ビット 2

CSEL0	TRD0 カウント動作選択
0	TRDGRA0 レジスタとのコンペアー一致でカウント停止
1	TRDGRA0 レジスタとのコンペアー一致後もカウント継続

ビット 1

TSTART1	TRD1 カウント開始フラグ
0	カウント停止
1	カウント開始

ビット 0

TSTART0	TRD0 カウント開始フラグ
0	カウント停止
1	カウント開始

タイマ RD 割り込みの設定

- ・割り込み要求フラグ・レジスタ(MK2H)
タイマRD0・タイマRD1の割り込み禁止
- ・割り込み要求フラグ・レジスタ(IF2H)
タイマRD0・タイマRD1の割り込み要求フラグのクリア

略号 : MK2H

	7	6	5	4	3	2	1	0
FLMK	1	1	1	1	1	TRDMK1	TRDMK0	CMPMK1
	1	1	1	1	1	1	1	x

ビット 2

TRDMK1	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

ビット 1

TRDMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号 : IF2H

	7	6	5	4	3	2	1	0
FLIF	0	0	0	0	0	TRDIF1	TRDIF0	CMPIF1
	1	0	0	0	0	0	0	x

ビット 2

TRDIF1	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

ビット 1

TRDIF0	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

タイマ RD 割り込み優先レベルの設定

- ・優先順位フラグ・レジスタ(PR12H, PR02H)
レベル3(低優先順位)に設定します。

略号 : PR12H

	7	6	5	4	3	2	1	0
FLPR1	1	1	1	1	1	TRDPR11	TRDPR10	CMPPR11
	x	1	1	1	1	x	1	x

略号 : PR02H

	7	6	5	4	3	2	1	0
FLPR0	1	1	1	1	1	TRDPR01	TRDPR00	CMPPR01
	x	1	1	1	1	x	1	x

ビット 1

TRDPR10	TRDPR00	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

タイマ RD 動作モードの設定

- ・タイマRDモード・レジスタ(TRDMR)
TRDGRB1・TRDGRA1・TRDGRB0をバッファレジスタに設定をしま
す

略号 : TRDMR

	7	6	5	4	3	2	1	0
TRDBFD1	TRDBFC1	TRDBFD0	TRDBFC0	0	0	0	0	TRDSYNC
1	1	1	0	0	0	0	0	0

ビット 7

TRDBFD1	TRDGRD1 レジスタ機能選択
0	ジェネラルレジスタ
1	TRDGRB1 レジスタのバッファレジスタ

ビット 6

TRDBFC1	TRDGRC1 レジスタ機能選択
0	ジェネラルレジスタ
1	TRDGRA1 レジスタのバッファレジスタ

ビット 5

TRDBFD0	TRDGRD0 レジスタ機能選択
0	ジェネラルレジスタ
1	TRDGRB0 レジスタのバッファレジスタ

ビット 4

TRDBFC0	TRDGRC0 レジスタ機能選択
0	ジェネラルレジスタ
1	TRDGRA0 レジスタのバッファレジスタ

ビット 0

TRDSYNC	タイマ RD 同期
0	TRD0 と TRD1 は独立動作
1	TRD0 と TRD1 は同期動作

タイマ RD 機能制御レジスタの設定

- ・タイマRD機能制御レジスタ(TRDFCR)
初期出力をH・アクティブレベルをLに設定をします。
タイマRD1のアンダフロー時にバッファレジスタからジェネラルレジスタに転送するように設定します。

略号 : TRDFCR

7	6	5	4	3	2	1	0
PWM3	STCLK	0	0	OLS1	OLS0	CMD1	CMD0
x	0	0	0	0	0	1	0

ビット 6

STCLK	外部クロック入力選択
0	外部クロック入力無効
1	外部クロック入力有効

ビット 3

OLS1	逆相出力レベル選択
0	初期出力 H, アクティブレベル L
1	初期出力 L, アクティブレベル H

ビット 2

OLS0	正相出力レベル選択
0	初期出力 H, アクティブレベル L
1	初期出力 L, アクティブレベル H

ビット 0

CMD0	CMD0	コンビネーションモード選択
1	0	TRD1 のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送
1	1	TRD0 と TRDGRA0 レジスタのコンペアー一致時にバッファレジスタからジェネラルレジスタへ転送
上記以外		設定しないでください

タイマ RD 出力許可設定

- ・タイマRD出力マスタ許可レジスタ1 (TRDOER1)
TRDIOA0以外のタイマRDを出力許可に設定をします。

略号 : TRDOER1

7	6	5	4	3	2	1	0
ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
0	0	0	0	0	0	0	1

ビット 7

ED1	TRDIOD1 出力禁止
0	出力許可
1	出力禁止(TRDIOD1 端子は I/O ポート)

ビット 6

EC1	TRDIOD1 出力禁止
0	出力許可
1	出力禁止(TRDIOD1 端子は I/O ポート)

ビット 5

EB1	TRDIOD1 出力禁止
0	出力許可
1	出力禁止(TRDIOD1 端子は I/O ポート)

ビット 4

EA1	TRDIOD1 出力禁止
0	出力許可
1	出力禁止(TRDIOD1 端子は I/O ポート)

ビット 3

ED0	TRDIOD0 出力禁止
0	出力許可
1	出力禁止(TRDIOD1 端子は I/O ポート)

ビット 2

EC0	TRDIOD0 出力禁止
0	出力許可
1	出力禁止(TRDIOD1 端子は I/O ポート)

ビット 1

EB0	TRDIOD0 出力禁止
0	出力許可
1	出力禁止(TRDIOD1 端子は I/O ポート)

ビット 0

EA0	TRDIOD0 出力禁止
0	出力許可
1	出力禁止(TRDIOD1 端子は I/O ポート)

タイマ RD0 デジタルフィルタの設定

- ・タイマRDデジタルフィルタ機能選択レジスタ(TRDDF0)
強制遮断禁止の設定をします。

略号 : TRDDF0

7	6	5	4	3	2	1	0
DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA
0	0	0	0	0	0	0	0

ビット 7-6

DFCK1	DFCK0	TRDIOA 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L 出力
1	1	H 出力

ビット 5-4

PENB1	PENB0	TRDIOB 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L 出力
1	1	H 出力

ビット 3-2

DFD	DFC	TRDIOC 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L 出力
1	1	H 出力

ビット 1-0

DFB	DFA	TRDIOD 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L 出力
1	1	H 出力

タイマ RD1 デジタルフィルタの設定

- ・タイマRDデジタルフィルタ機能選択レジスタ(TRDDF1)
強制遮断禁止の設定をします。

略号 : TRDDF1

7	6	5	4	3	2	1	0
DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA
0	0	0	0	0	0	0	0

ビット 7-6

DFCK1	DFCK0	TRDIOA 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L 出力
1	1	H 出力

ビット 5-4

PENB1	PENB0	TRDIOB 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L 出力
1	1	H 出力

ビット 3-2

DFD	DFC	TRDIOC 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L 出力
1	1	H 出力

ビット 1-0

DFB	DFA	TRDIOD 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L 出力
1	1	H 出力

タイマ RD カウンタの設定

- ・タイマRD制御レジスタ0 (TRDCR0)
 カウントソースを f_{CLK} に設定します。

略号 : TRDCR0

7	6	5	4	3	2	1	0
CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
0	0	0	0	0	0	0	0

ビット 7-5

CCLR2	CCLR1	CCLR0	TRD0 カウンタクリア選択
0	0	0	000B (クリア禁止(フリーランニング動作))にしてください。

ビット 4-3

CKEG1	CKEG0	外部クロックエッジ選択
0	0	立ち上がりエッジでカウント
0	1	立ち下がりエッジでカウント
1	0	両エッジでカウント
上記以外		設定禁止

ビット 2-0

TCK2	TCK1	TCK0	カウントソース選択
0	0	0	f_{CLK}, f_{HOCO}
0	0	1	$f_{CLK}/2$
0	1	0	$f_{CLK}/4$
0	1	1	$f_{CLK}/8$
1	0	0	$f_{CLK}/32$
1	0	1	TRDCLK 入力
上記以外			設定禁止

タイマ RD コンペア一致割り込み許可の設定

- ・タイマRD割り込み許可レジスタ0 (TRDIER0)
IMFAビットによる割り込みのみ許可に設定します。

略号 : TRDIER0

7	6	5	4	3	2	1	0
0	0	0	OVIE	IMIED	IMIEC	IMIEB	IMIEA
0	0	0	0	0	0	0	1

ビット 4

OVIE	オーバーフロー／アンダフロー割り込み許可
0	OVF, UDF ビットによる割り込み (OVI)禁止
1	OVF, UDF ビットによる割り込み (OVI)許可

ビット 3

IMIED	インプットキャプチャ／コンペア一致割り込み許可 D
0	IMFD ビットによる割り込み (IMID)禁止
1	IMFD ビットによる割り込み (IMID)許可

ビット 2

IMIEC	インプットキャプチャ／コンペア一致割り込み許可 C
0	IMFC ビットによる割り込み (IMIC)禁止
1	IMFC ビットによる割り込み (IMIC)許可

ビット 1

IMIEB	インプットキャプチャ／コンペア一致割り込み許可 B
0	IMFB ビットによる割り込み (IMIB)禁止
1	IMFB ビットによる割り込み (IMIB)許可

ビット 0

IMIEA	インプットキャプチャ／コンペア一致割り込み許可 A
0	IMFA ビットによる割り込み (IMIA)禁止
1	IMFA ビットによる割り込み (IMIA)許可

RL78/G1G タイマ RD(相補 PWM モード)と

PWM・オプション・ユニットによる PWM 出力の強制遮断 CC-RL

タイマ RD 短絡防止時間設定

- ・タイマRDカウンタ0 (TRD0)
短絡防止時間(25 μ s)の設定をします。

略号 : TRD0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0

ビット 15-0

機能
カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0 レジスタの OVF ビットが1になる。

タイマ RD PWD 周期設定

- ・タイマRDジェネラルレジスタA0 (TRDGRA0)
PWD周期設定(350 μ s)をします。

略号 : TRDGRA0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	1	0	0	0	1	1	1	1	1	1	0

ビット 15-0

機能	PWM 出力端子
ジェネラルレジスタ。初期設定時 PWM 周期を設定してください。	TRDIOC0 半周期ごとに出力反転

RL78/G1G タイマ RD(相補 PWM モード)と

PWM・オプション・ユニットによる PWM 出力の強制遮断 CC-RL

タイマ RD PWD 出力変化点設定

- ・タイマRDジェネラルレジスタA0 (TRDGRB0・TRDGRA1・TRDGRB1)
PWD出力変化点設定(50μs)をします。

略号 : TRDGRB0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1

ビット 15-0

機能	PWM 出力端子
ジェネラルレジスタ。初期設定時 PWM1 出力の変化点を設定してください。	TRDIOB0 TRDIOD0

略号 : TRDGRA1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1

ビット 15-0

機能	PWM 出力端子
ジェネラルレジスタ。初期設定時 PWM2 出力の変化点を設定してください。	TRDIOA1 TRDIOC1

略号 : TRDGRB1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1

ビット 15-0

機能	PWM 出力端子
ジェネラルレジスタ。初期設定時 PWM3 出力の変化点を設定してください。	TRDIOB1 TRDIOD1

タイマ RD バッファレジスタ設定

- ・タイマRDジェネラルレジスタA0 (TRDGRD0・TRDGRC1・TRDGRD1)
バッファレジスタの設定をします。

略号 : TRDGRD0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1

ビット 15-0

設定	機能	PWM 出力端子
TRDBFD0=1	バッファレジスタ。次回の PWM 出力の変化点を設定してください	TRDIOB0

略号 : TRDGRC1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1

ビット 15-0

設定	機能	PWM 出力端子
TRDBFC1 = 1	バッファレジスタ。次回の PWM 出力の変化点を設定してください	TRDIOA1

略号 : TRDGRD1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1

ビット 15-0

設定	機能	PWM 出力端子
TRDBFD1 = 1	バッファレジスタ。次回の PWM 出力の変化点を設定してください	TRDIOB1

タイマ RD ポート・レジスタ設定

- ・ポート・レジスタ (P1)
出力データは0に設定をします。
- ・ポート・モード・レジスタ (PM1)
出力モードに設定をします。
- ・ポート出力モード・レジスタ (POM1)
POM15とPOM10の出力モードを通常出力モードに設定します。

略号 : P1

7	6	5	4	3	2	1	0
P17	P16	P15	P14	P13	P12	P11	P10
x	0	0	0	0	0	0	0

ビット 6-0

P1n	出力データの制御(n = 0-6)
0	0 を出力
1	1 を出力

略号 : PM1

7	6	5	4	3	2	1	0
PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
x	0	0	0	0	0	0	0

ビット 6-0

PM1n	P1n 端子の入出力モードの選択(n = 0-6)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

略号 : POM1

7	6	5	4	3	2	1	0
POM17	0	POM15	0	0	0	0	POM10
x	0	0	0	0	0	0	0

ビット 5

POM 15	P15 端子の出力モードの選択
0	通常出力モード
1	N-ch オープン・ドレイン出力(VDD 耐圧)モード

ビット 0

POM 10	P15 端子の出力モードの選択
0	通常出力モード
1	N-ch オープン・ドレイン出力(VDD 耐圧)モード

4.7.6 コンパレータ・PGA 初期設定

図 4.20~図 4.21 にコンパレータ・PGA 初期設定のフローチャートを示します。

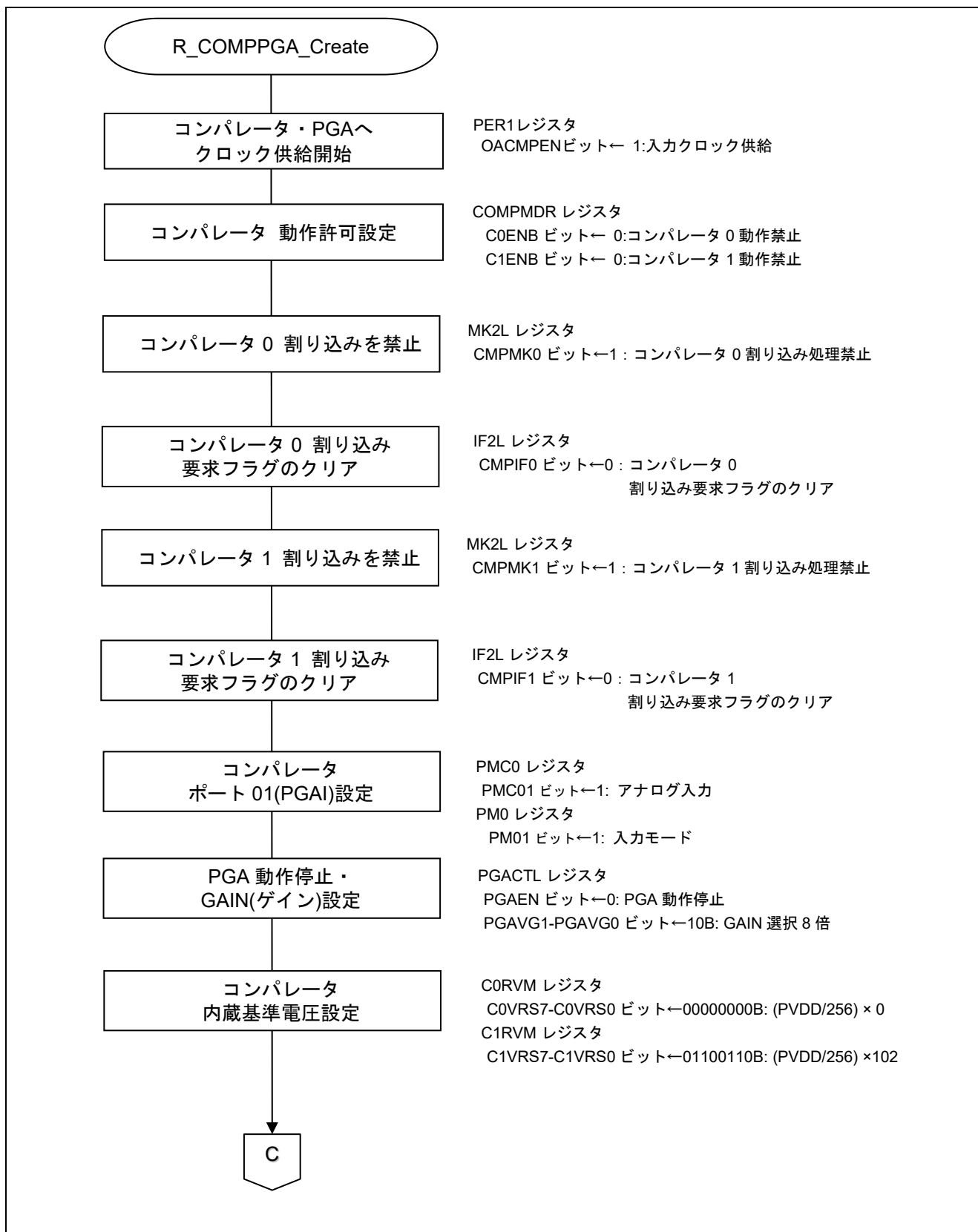


図 4.20 コンパレータ・PGA 初期設定(1/2)

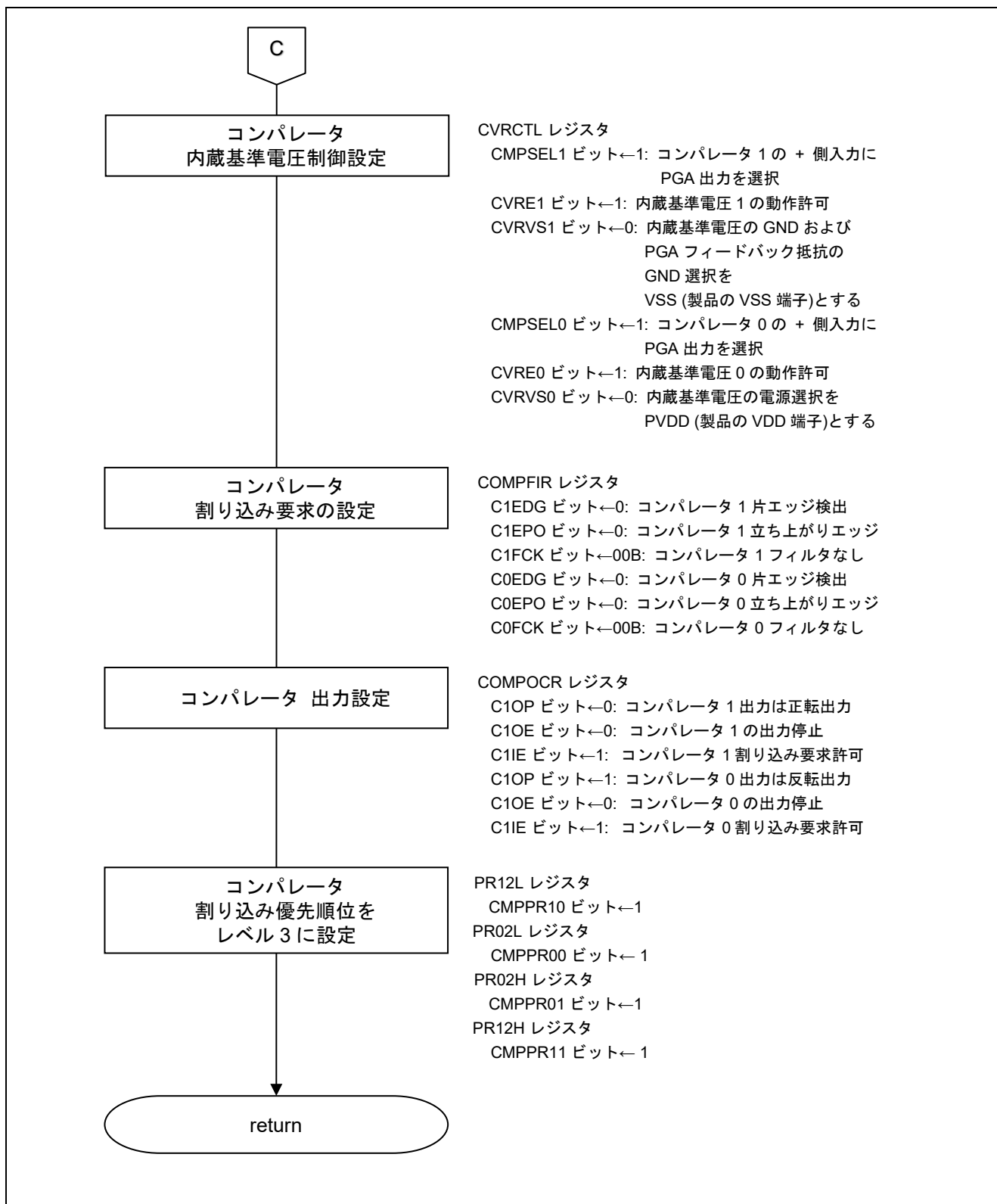


図 4.21 コンパレータ・PGA 初期設定(2/2)

コンパレータ・PGA のクロック供給開始

- ・周辺イネーブル・レジスタ 1 (PER1)
コンパレータ・PGA のクロック供給を開始します。

略号 : PER1

7	6	5	4	3	2	1	0
TMKAEN	PWMOPEN	OACMPEN	TRD0EN	0	0	0	TRJ0EN
x	x	1	x	x	x	x	x

ビット 5

OACMPEN	コンパレータ 0, 1 およびプログラマブル・ゲイン・アンプの入カクロック供給の制御
0	入カクロック供給停止
1	入カクロック供給

コンパレータの動作許可設定

- ・コンパレータモード設定レジスタ (COMPMDR)
コンパレータ 0・コンパレータ 1 の動作許可を設定します。

略号 : COMPMDR

7	6	5	4	3	2	1	0
C1MON	0	0	C1ENB	C0MON	0	0	C0ENB
x	0	0	0	x	0	0	0

ビット 4

C1ENB	コンパレータ 1 動作許可
0	コンパレータ 1 動作禁止
1	コンパレータ 1 動作許可

ビット 0

C0ENB	コンパレータ 0 動作許可
0	コンパレータ 0 動作禁止
1	コンパレータ 0 動作許可

コンパレータ割り込みの設定

- ・ 割り込み要求フラグ・レジスタ(MK2L・MK2H)
コンパレータ0・コンパレータ1の割り込み禁止
- ・ 割り込み要求フラグ・レジスタ(IF2L・IF2H)
コンパレータ0・コンパレータ1の割り込み要求フラグのクリア

略号 : MK2L

	7	6	5	4	3	2	1	0
CMPMK0	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1

ビット 7

CMPMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号 : MK2H

	7	6	5	4	3	2	1	0
FLMK	1	1	1	1	1	TRDMK1	TRDMK0	CMPMK1
x	1	1	1	1	1	x	x	1

ビット 0

CMPMK1	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号 : IF2L

	7	6	5	4	3	2	1	0
CMPIF0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0

ビット 7

CMPIF0	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号 : IF2H

	7	6	5	4	3	2	1	0
FLIF	0	0	0	0	0	TRDIF1	TRDIF0	CMPIF1
x	0	0	0	0	0	x	x	0

ビット 0

CMPIF1	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

コンパレータ ポート・レジスタ設定

- ・ポート・レジスタ (PMC0)
アナログ入力に設定します。
- ・ポート・モード・レジスタ (PM0)
入力モードに設定します。

略号 : PMC0

7	6	5	4	3	2	1	0
1	1	1	1	1	1	PMC01	PMC00
1	1	1	1	1	1	1	x

ビット 1

PMC01	P01 端子のデジタル入出力／アナログ入力の選択
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入力

略号 : PM0

7	6	5	4	3	2	1	0
1	1	1	1	1	1	PM01	PM00
1	1	1	1	1	1	1	x

ビット 1

PM01	P01 端子の入出力モードの選択
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

PGA 動作停止・増幅率設定

- ・PGA制御レジスタ (PGACTL)
PGA動作停止に設定します。
GAIN(ゲイン)を8倍に設定します。

略号 : PGACTL

	7	6	5	4	3	2	1	0
PGAEN	0	0	0	0	0	0	PGAVG1	PGAVG0
	0	0	0	0	0	0	0	1

ビット7

PGAEN	機能
0	PGA 動作停止
1	PGA 動作許可

ビット1-0

PGAVG1	PGAVG0	機能
0	0	GAIN 選択 4 倍
0	1	GAIN 選択 8 倍
1	0	GAIN 選択 16 倍
1	1	GAIN 選択 32 倍

コンパレータ内蔵基準電圧設定

- ・コンパレータ内蔵基準電圧選択レジスタ0(C0RVM)
コンパレータ0を0に設定します。
- ・コンパレータ内蔵基準電圧選択レジスタ1(C1RVM)
コンパレータ1を102に設定します。

略号 : C0RVM

7	6	5	4	3	2	1	0
C0VRS7	C0VRS6	C0VRS5	C0VRS4	C0VRS3	C0VRS2	C0VRS1	C0VRS0
0	0	0	0	0	0	0	0

ビット 7-0

C0VRS7 - C0VRS0	コンパレータ 0 内蔵基準電圧選択
0000000	$\{(AVREFP \text{ または } PVDD)/256\} \times 0$
0000001	$\{(AVREFP \text{ または } PVDD)/256\} \times 1$
.	.
.	.
.	.
1111110	$\{(AVREFP \text{ または } PVDD)/256\} \times 254$
1111111	$\{(AVREFP \text{ または } PVDD)/256\} \times 255$

略号 : C1RVM

7	6	5	4	3	2	1	0
C1VRS7	C1VRS6	C1VRS5	C1VRS4	C1VRS3	C1VRS2	C1VRS1	C1VRS0
0	1	1	0	0	1	1	0

ビット 7-0

C1VRS7 - C1VRS0	コンパレータ 1 内蔵基準電圧選択
0000000	$\{(AVREFP \text{ または } PVDD)/256\} \times 0$
0000001	$\{(AVREFP \text{ または } PVDD)/256\} \times 1$
.	.
.	.
.	.
01100110	$\{(AVREFP \text{ または } PVDD)/256\} \times 102$
.	.
.	.
.	.
1111110	$\{(AVREFP \text{ または } PVDD)/256\} \times 254$
1111111	$\{(AVREFP \text{ または } PVDD)/256\} \times 255$

コンパレータ内蔵基準電圧制御の設定

- ・コンパレータ内蔵基準電圧制御レジスタ(CVRCTL)
コンパレータ0・コンパレータ1の+側入力をPGAに設定します。
内蔵基準電圧0・内蔵基準電圧1を動作許可に設定します。
GNDをVSSに設定します。
内蔵基準電圧をPVDDに設定します。

略号 : CVRCTL

7	6	5	4	3	2	1	0
0	CMPSEL1	CVRE1	CVRVS1	0	CMPSEL0	CVRE0	CVRVS0
0	1	1	0	0	1	1	0

ビット 6

CMPSEL1	機能
0	コンパレータ 1 の + 側入力を CMP1P 端子を選択
1	コンパレータ 1 の + 側入力を PGA 出力を選択

ビット 5

CVRE1	機能
0	内蔵基準電圧 1 の動作停止
1	内蔵基準電圧 1 の動作許可

ビット 4

CVRVS1	機能
0	内蔵基準電圧の GND および PGA フィードバック抵抗の GND 選択を VSS とする
1	内蔵基準電圧の GND および PGA フィードバック抵抗の GND 選択を AVREFM とする

ビット 2

CMPSEL0	機能
0	コンパレータ 0 の + 側入力を CMP0PI 端子を選択
1	コンパレータ 0 の + 側入力を PGA 出力を選択

ビット 1

CVRE0	機能
0	内蔵基準電圧 0 の動作停止
1	内蔵基準電圧 0 の動作許可

ビット 0

CVRVS0	機能
0	内蔵基準電圧の電源選択を PVDD (製品の VDD 端子)とする
1	内蔵基準電圧の電源選択を AVREFP とする

コンパレータ割り込み要求の設定

- ・コンパレータフィルタ制御レジスタ(COMPFIIR)
片エッジの立ち上がりエッジに設定します。
フィルタなしに設定します。

略号 : COMPFIIR

7	6	5	4	3	2	1	0
C1EDG	C1EPO	C1FCK		C0EDG	C0EPO	C0FCK	
0	0	0	0	0	0	0	0

ビット 7

C1EDG	コンパレータ 1 エッジ検出選択
0	コンパレータ 1 片エッジ検出での割り込み要求
1	コンパレータ 1 両エッジ検出での割り込み要求

ビット 6

C1EPO	コンパレータ 1 エッジ極性切り替え
0	コンパレータ 1 立ち上がりエッジで割り込み要求
1	コンパレータ 1 立ち下がりエッジで割り込み要求

ビット 5-4

C1FCK	コンパレータ 1 フィルタ選択	
0	0	コンパレータ 1 フィルタなし
0	1	コンパレータ 1 フィルタあり, f_{CLK} でサンプリング
1	0	コンパレータ 1 フィルタあり, $f_{CLK}/8$ でサンプリング
1	1	コンパレータ 1 フィルタあり, $f_{CLK}/32$ でサンプリング

ビット 3

C0EDG	コンパレータ 0 エッジ検出選択
0	コンパレータ 0 片エッジ検出での割り込み要求
1	コンパレータ 0 両エッジ検出での割り込み要求

ビット 2

C0EPO	コンパレータ 0 エッジ極性切り替え
0	コンパレータ 0 立ち上がりエッジで割り込み要求
1	コンパレータ 0 立ち下がりエッジで割り込み要求

ビット 1-0

C0FCK	コンパレータ 0 フィルタ選択	
0	0	コンパレータ 0 フィルタなし
0	1	コンパレータ 0 フィルタあり, f_{CLK} でサンプリング
1	0	コンパレータ 0 フィルタあり, $f_{CLK}/8$ でサンプリング
1	1	コンパレータ 0 フィルタあり, $f_{CLK}/32$ でサンプリング

コンパレータ割り込み要求の設定

- ・コンパレータ出力制御レジスタ(COMPOCR)
 コンパレータ0出力は反転出力・コンパレータ1出力は正転出力に設定します。
 コンパレータ0・コンパレータ1出力停止に設定します。
 コンパレータ0・コンパレータ1割り込み許可に設定します。

略号 : COMPOCR

7	6	5	4	3	2	1	0
0	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
0	0	0	1	0	1	0	1

ビット 6

C1OP	コンパレータ 1 出力極性選択
0	コンパレータ 1 出力は正転出力
1	コンパレータ 1 出力は反転出力

ビット 5

C1OE	コンパレータ 1 出力許可
0	コンパレータ 1 の出力停止(CMP1HZO 出力 L 固定)
1	コンパレータ 1 の出力許可(CMP1HZO 出力許可)

ビット 4

C1IE	コンパレータ 1 割り込み要求許可
0	コンパレータ 1 割り込み要求禁止
1	コンパレータ 1 割り込み要求許可

ビット 2

C0OP	コンパレータ 0 出力極性選択
0	コンパレータ 0 出力は正転出力
1	コンパレータ 0 出力は反転出力

ビット 1

C0OE	コンパレータ 0 出力許可
0	コンパレータ 0 の出力停止(CMP0HZO 出力 L 固定)
1	コンパレータ 0 の出力許可(CMP0HZO 出力許可)

ビット 0

C0IE	コンパレータ 0 割り込み要求許可
0	コンパレータ 0 割り込み要求禁止
1	コンパレータ 0 割り込み要求許可

コンパレータ割り込み優先レベルの設定

- ・優先順位フラグ・レジスタ(PR12L, PR02L・PR12H, PR02H)
レベル3(低優先順位)に設定します。

略号 : PR12L

	7	6	5	4	3	2	1	0
CMPPR10	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1

略号 : PR02L

	7	6	5	4	3	2	1	0
CMPPR00	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1

ビット 7

CMPPR10	CMPPR00	優先順位レベルの選択
0	0	レベル 0 を指定(高優先順位)
0	1	レベル 1 を指定
1	0	レベル 2 を指定
1	1	レベル 3 を指定(低優先順位)

略号 : PR12H

	7	6	5	4	3	2	1	0
FLPR1	1	1	1	1	TRDPR11	TRDPR10	CMPPR11	
x	1	1	1	1	x	x	1	

略号 : PR02H

	7	6	5	4	3	2	1	0
FLPR0	1	1	1	1	TRDPR01	TRDPR00	CMPPR01	
x	1	1	1	1	x	x	1	

ビット 0

CMPPR11	CMPPR01	優先順位レベルの選択
0	0	レベル 0 を指定(高優先順位)
0	1	レベル 1 を指定
1	0	レベル 2 を指定
1	1	レベル 3 を指定(低優先順位)

4.7.7 メイン処理

図 4.22 にメイン処理のフローチャートを示します。

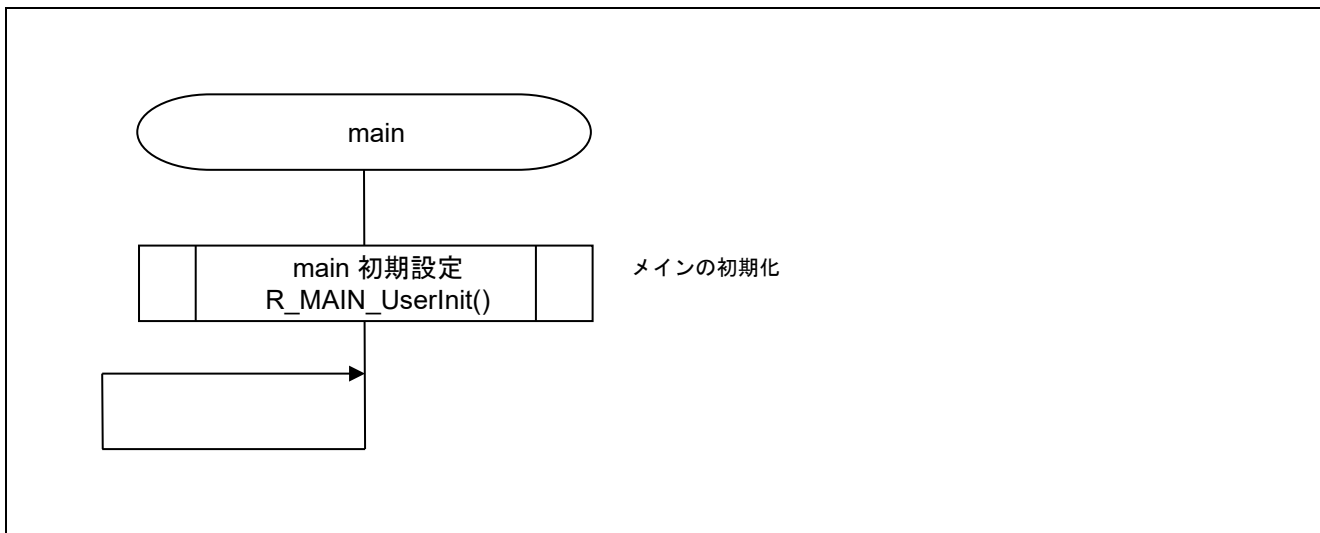


図 4.22 メイン処理

4.7.8 メイン初期設定

図 4.23 にメイン初期設定のフローチャートを示します。

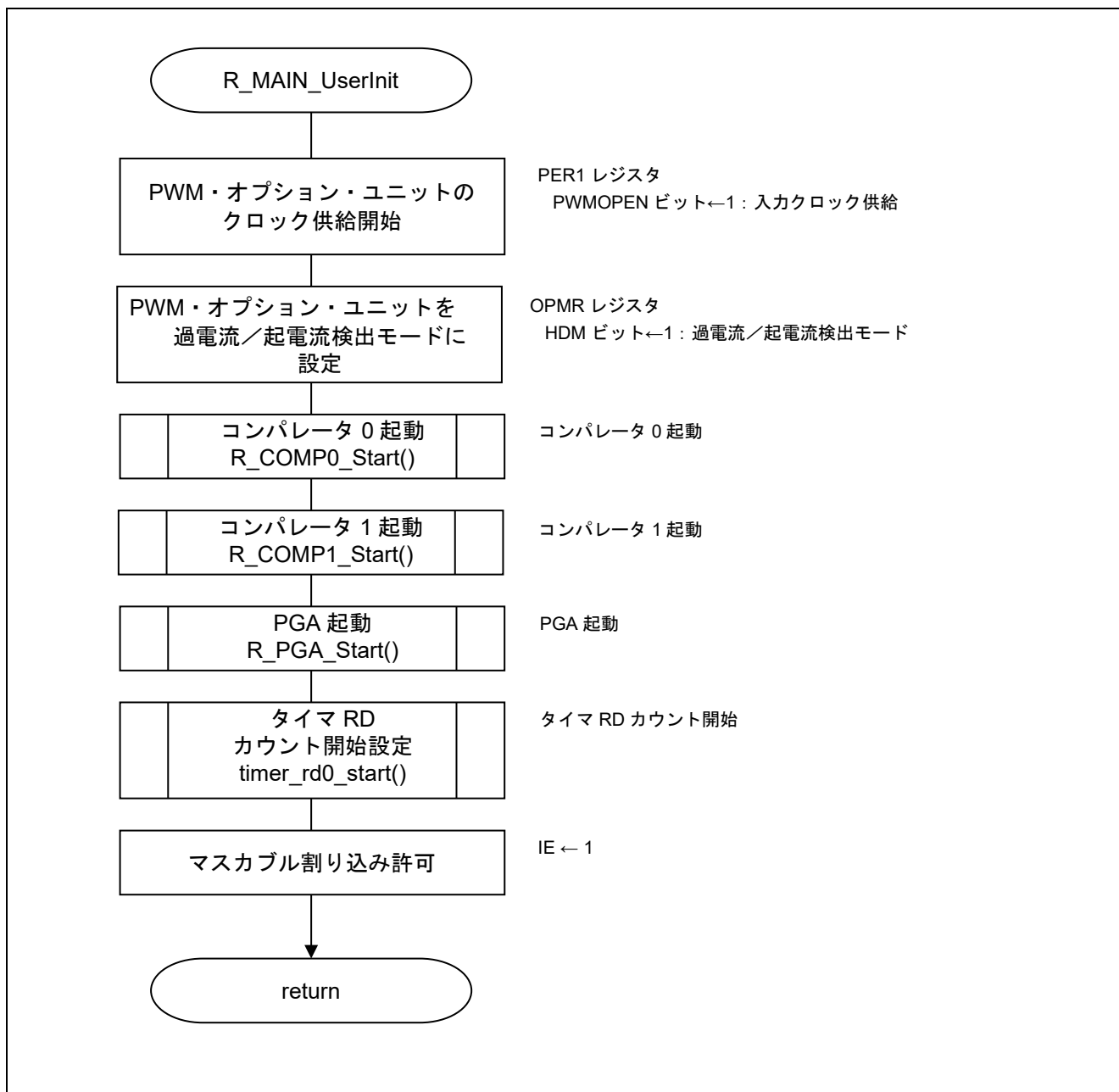


図 4.23 メイン初期設定

PWM・オプション・ユニットの供給開始

- ・周辺イネーブル・レジスタ 1 (PER1)
PWM・オプション・ユニットのクロック供給を開始します。

略号 : PER1

7	6	5	4	3	2	1	0
TMKAEN	PWMOPEN	OACMPEN	TRD0EN	0	0	0	TRJ0EN
x	1	x	x	0	0	0	x

ビット 6

PWMOPEN	PWM・オプション・ユニットの入カクロック供給の制御
0	入カクロック供給停止
1	入カクロック供給

PWM・オプション・ユニット過電流／起電流検出モード

- ・6相 PWM オプション・モード・レジスタ (OPMR)
PWM・オプション・ユニットの過電流／起電流検出モードに設定します。

略号 : OPMR

7	6	5	4	3	2	1	0
0	0	0	0	0	0	HDM	0
0	0	0	0	0	0	1	0

ビット 1

HDM	PWM オプション・動作モード
0	2 段階過電流検出モード
1	過電流／起電流検出モード

4.7.9 コンパレータ 0 起動

図 4.24 にコンパレータ 0 起動のフローチャートを示します。

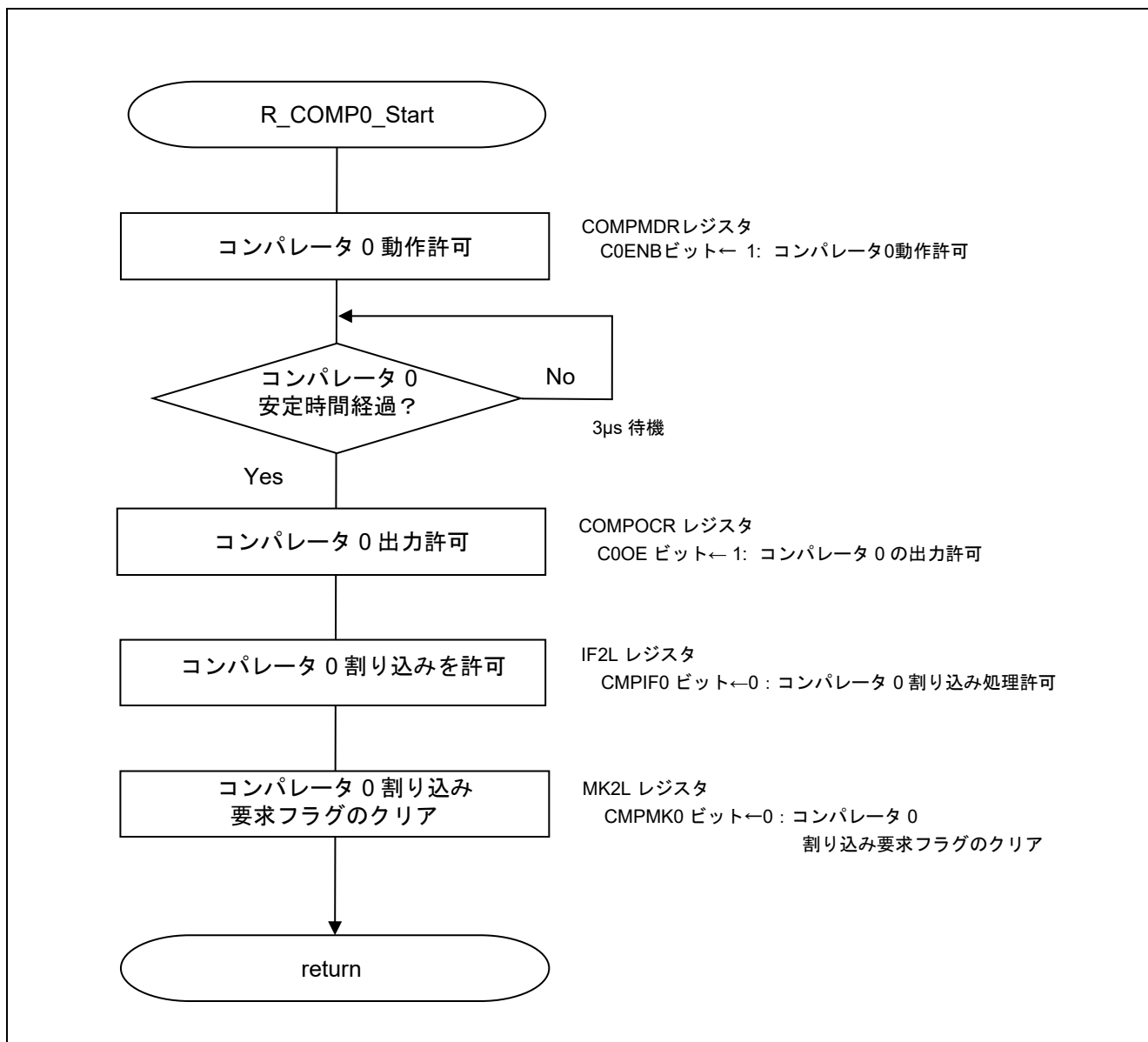


図 4.24 コンパレータ 0 起動

コンパレータの動作許可設定

- ・コンパレータモード設定レジスタ (COMPMDR)
コンパレータ 0 の動作許可を設定します。

略号 : COMPMDR

	7	6	5	4	3	2	1	0
C1MON	0	0	C1ENB	C0MON	0	0	C0ENB	
	x	0	0	x	x	0	0	1

ビット 0

C0ENB	コンパレータ 0 動作許可
0	コンパレータ 0 動作禁止
1	コンパレータ 0 動作許可

コンパレータの動作許可設定

- ・コンパレータ出力制御レジスタ (COMPOCR)
コンパレータ 0 の動作許可を設定します。

略号 : COMPOCR

	7	6	5	4	3	2	1	0
0	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE	
0	x	x	x	0	x	1	x	

ビット 1

C0OE	コンパレータ 0 出力許可
0	コンパレータ 0 の出力停止(CMP0HZO 出力 L 固定)
1	コンパレータ 0 の出力許可(CMP0HZO 出力許可)

コンパレータ割り込みの設定

- ・ 割り込み要求フラグ・レジスタ(MK2L)
コンパレータ0の割り込み許可
- ・ 割り込み要求フラグ・レジスタ(IF2L)
コンパレータ0の割り込み要求フラグのクリア

略号 : MK2L

	7	6	5	4	3	2	1	0
CMPMK0	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1

ビット 7

CMPMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号 : IF2L

	7	6	5	4	3	2	1	0
CMPIF0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0

ビット 7

CMPIF0	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

4.7.10 コンパレータ 1 起動

図 4.25 にコンパレータ 1 起動のフローチャートを示します。

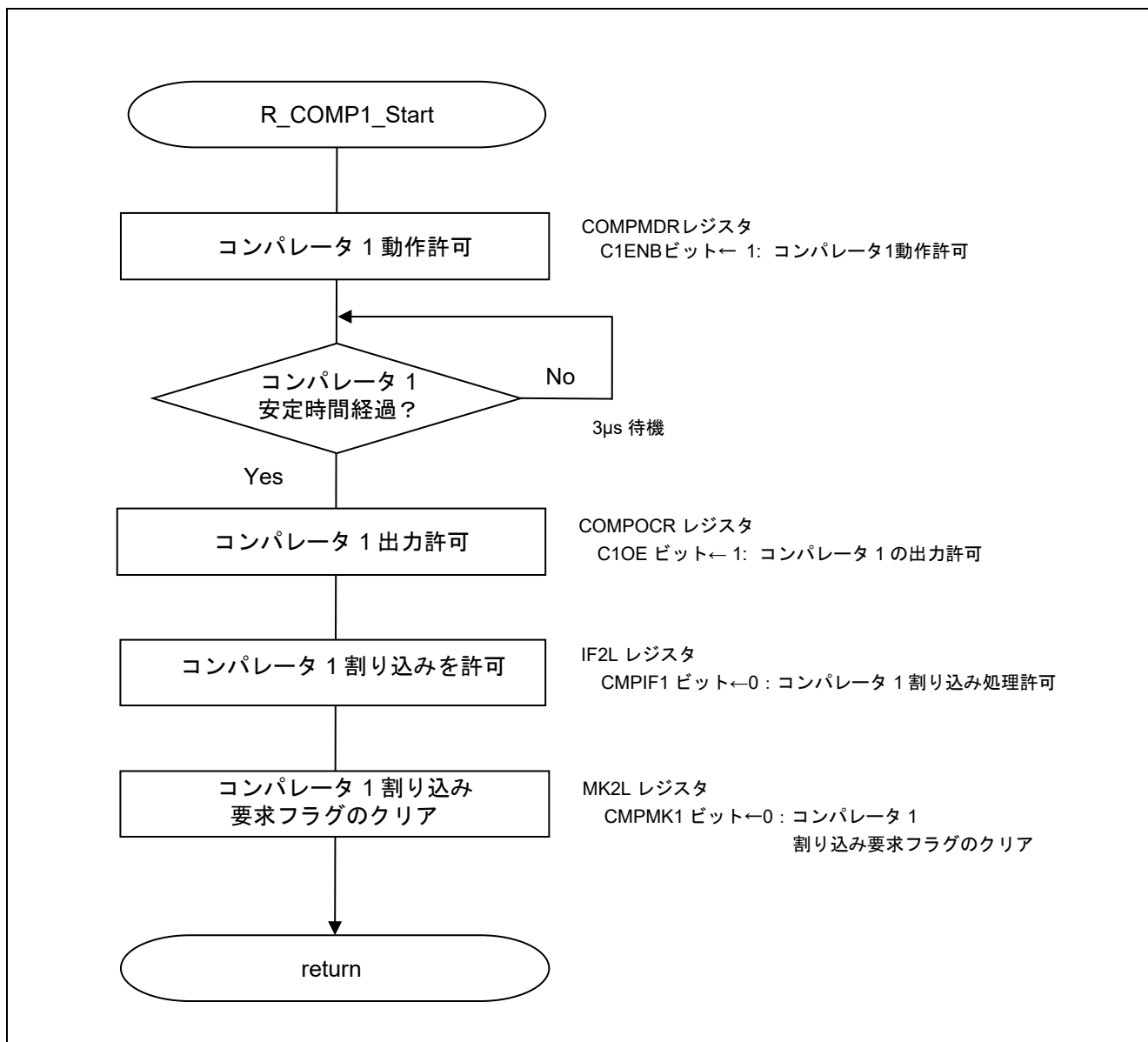


図 4.25 コンパレータ 1 起動

コンパレータの動作許可設定

- ・コンパレータモード設定レジスタ (COMPMDR)
コンパレータ 1 の動作許可を設定します。

略号 : COMPMDR

	7	6	5	4	3	2	1	0
C1MON	0	0	C1ENB	C0MON	0	0	C0ENB	
	x	0	0	1	x	0	0	x

ビット 4

C1ENB	コンパレータ 1 動作許可
0	コンパレータ 1 動作禁止
1	コンパレータ 1 動作許可

コンパレータの動作許可設定

- ・コンパレータ出力制御レジスタ (COMPOCR)
コンパレータ 1 の動作許可を設定します。

略号 : COMPOCR

	7	6	5	4	3	2	1	0
	0	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
	0	x	1	x	0	x	x	x

ビット 4

C1OE	コンパレータ 1 出力許可
0	コンパレータ 1 の出力停止(CMP1HZO 出力 L 固定)
1	コンパレータ 1 の出力許可(CMP1HZO 出力許可)

コンパレータ割り込みの設定

- ・割り込み要求フラグ・レジスタ(MK2H)
コンパレータ1の割り込み許可
- ・割り込み要求フラグ・レジスタ(IF2H)
コンパレータ1の割り込み要求フラグのクリア

略号 : MK2H

	7	6	5	4	3	2	1	0
FLMK	1	1	1	1	1	TRDMK1	TRDMK0	CMPMK1
x	1	1	1	1	1	x	x	0

ビット 0

CMPMK1	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号 : IF2H

	7	6	5	4	3	2	1	0
FLIF	0	0	0	0	0	TRDIF1	TRDIF0	CMPIF1
x	0	0	0	0	0	x	x	0

ビット 0

CMPIF1	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

4.7.11 PGA 起動

図 4.26 に PGA 起動のフローチャートを示します。

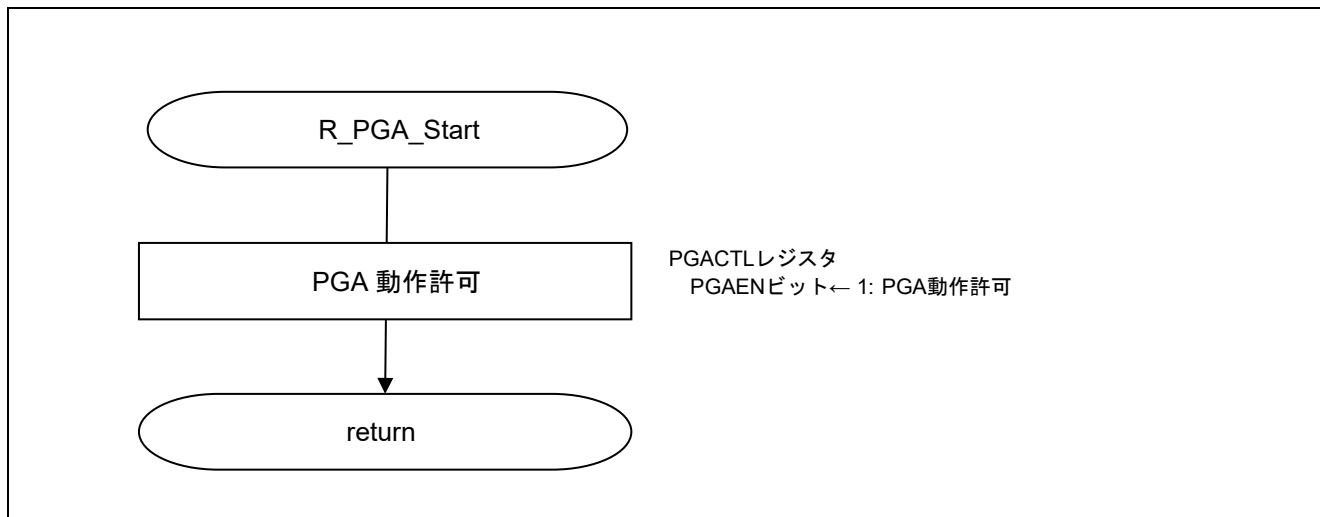


図 4.26 PGA 起動

PGA 動作許可

- ・PGA制御レジスタ (PGACTL)
PGA動作許可に設定します。

略号 : PGACTL

	7	6	5	4	3	2	1	0
PGAEN	0	0	0	0	0	0	PGAVG1	PGAVG0
1	0	0	0	0	0	0	x	x

ビット7

PGAEN	機能
0	PGA 動作停止
1	PGA 動作許可

4.7.12 タイマ RD カウント開始設定

にタイマ RD カウント開始設定のフローチャートを示します。

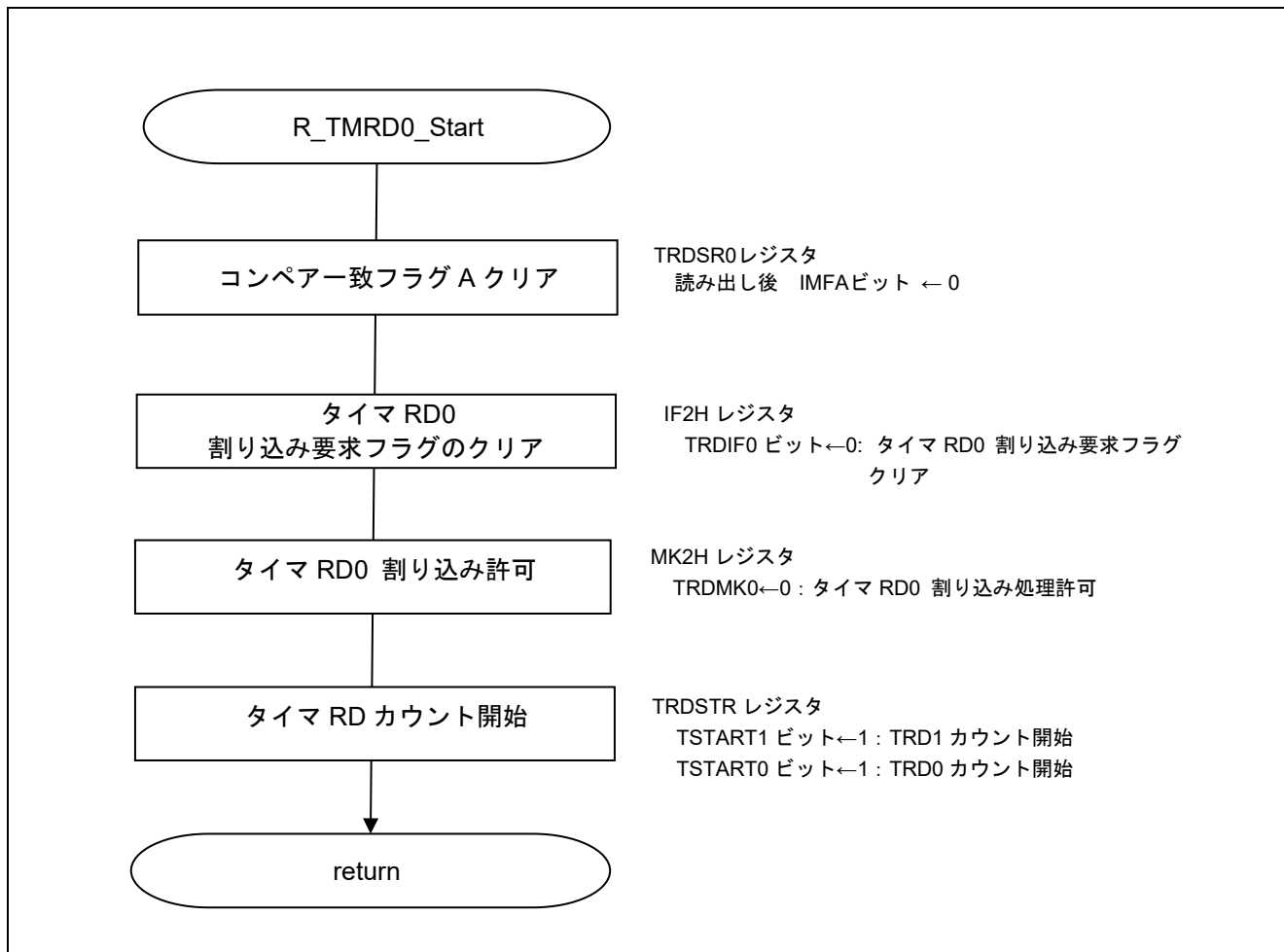


図 4.27 タイマ RD カウント開始設定

コンペアー一致フラグ A のクリア

- ・タイマ RD ステータスレジスタ 0 (TRDSR0)
PGA 動作許可に設定します。

略号 : TRDSR0

7	6	5	4	3	2	1	0
0	0	0	OVF	IMFD	IMFC	IMFB	IMFA
0	0	0	x	x	x	x	0

ビット 0

IMFA	インプットキャプチャ / コンペアー一致フラグ A
[0 になる要因]	
読んだ後, 0 を書く	
[1 になる要因]	
TRDIOA0 端子の入力エッジ	

タイマ RD 割り込みの設定

- ・割り込み要求フラグ・レジスタ (MK2H)
タイマ RD0 の割り込み許可
- ・割り込み要求フラグ・レジスタ (IF2H)
タイマ RD0 の割り込み要求フラグのクリア

略号 : MK2H

7	6	5	4	3	2	1	0
FLMK	1	1	1	1	TRDMK1	TRDMK0	CMPMK1
x	1	1	1	1	x	0	x

ビット 1

TRDMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号 : IF2H

7	6	5	4	3	2	1	0
FLIF	0	0	0	0	TRDIF1	TRDIF0	CMPIF1
x	0	0	0	0	x	0	x

ビット 1

TRDIF0	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

タイマ RD カウント開始

- ・ 割り込み要求フラグ・レジスタ (TRDSTR)
タイマRD0・タイマRD1のカウント開始

略号 : TRDSTR

7	6	5	4	3	2	1	0
0	0	0	0	CSEL1	CSEL0	TSTART1	TSTART0
0	0	0	0	x	x	1	1

ビット 1

TSTART1	TRD1 カウント開始フラグ
0	カウント停止
1	カウント開始

ビット 0

TSTART0	TRD0 カウント開始フラグ
0	カウント停止
1	カウント開始

4.7.13 タイマ RD 割り込み

図 4.28~図 4.29 にタイマ RD 割り込みのフローチャートを示します。

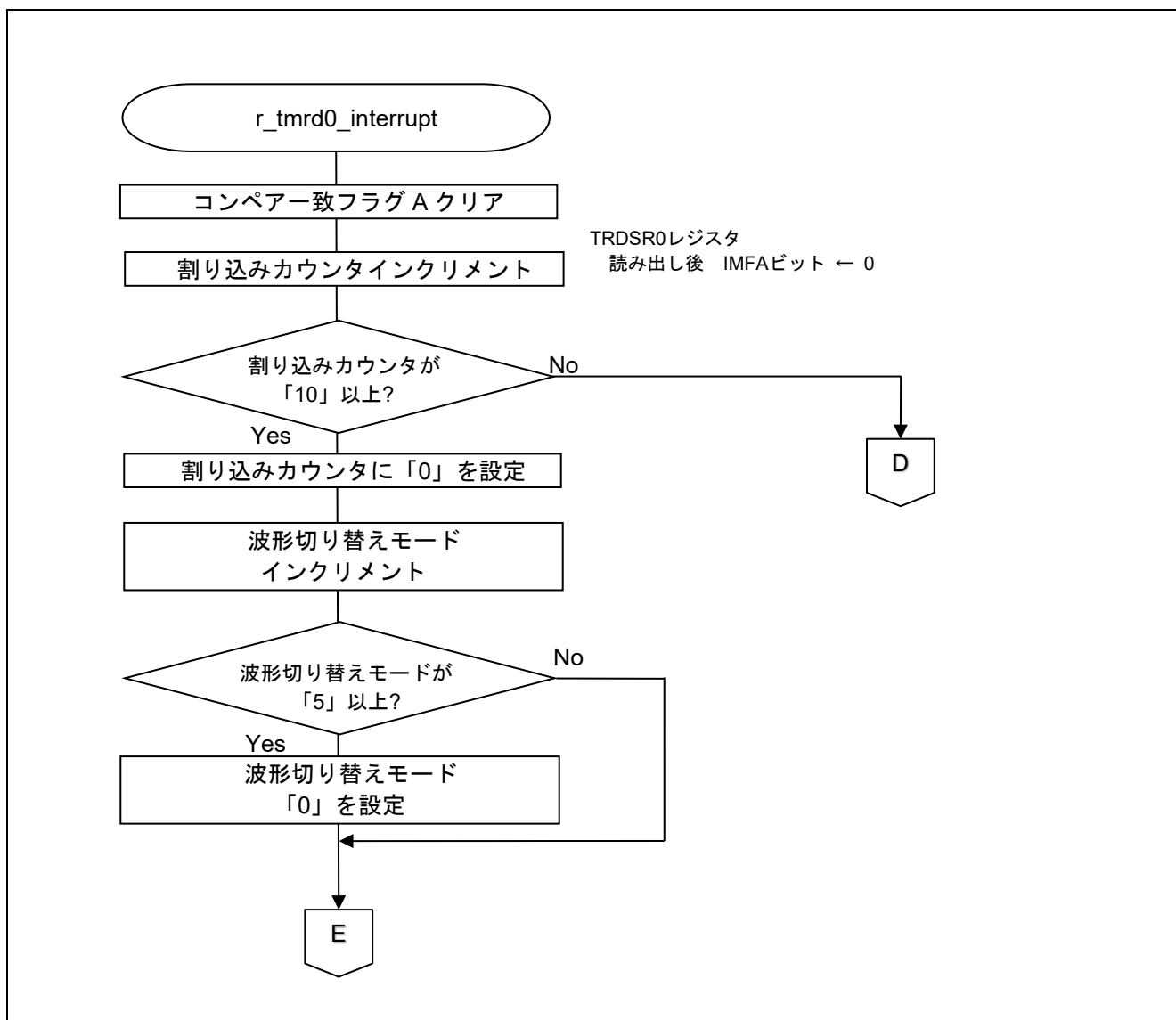


図 4.28 タイマ RD 割り込み(1/2)

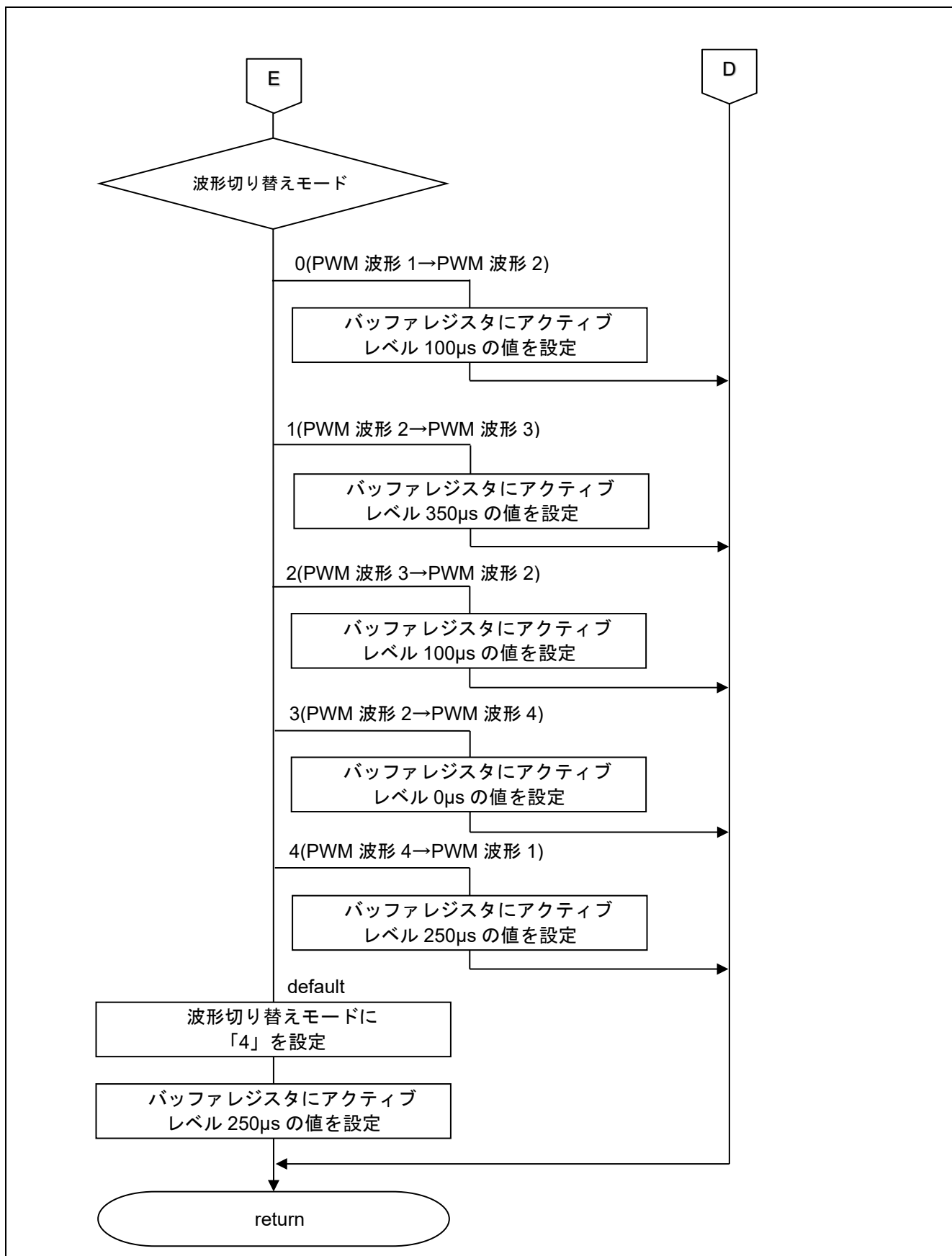


図 4.29 タイマ RD 割り込み(2/2)

5. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

6. 参考ドキュメント

RL78/G1G ユーザーズマニュアル ハードウェア編 Rev.1.20 (R01UH0499J)

RL78 ファミリ ユーザーズマニュアル ソフトウェア編 Rev.1.00 (R01US0015J)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.11.13	—	初版発行
1.10	2022.05.11	4	図 1.1 動作概要を更新
		7	動作確認条件を更新
		8	図 3.1 ハードウェア構成例を更新
		11	コンパレータと PGA の初期設定を更新

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/