

RX ファミリ

ハードウェアデザインガイド

要旨

本アプリケーションノートでは、RX ファミリ使用時の基板設計の注意事項やレイアウト実例などについて説明します。

対象デバイス

RX ファミリ

目次

1. 基板構成	2
1.1 ブロック図.....	2
1.2 部品レイアウト	3
1.3 層構成.....	5
2. 基板設計	7
2.1 電源端子	7
2.2 VCL 端子	9
2.2.1 2層基板の場合	11
2.2.2 4層以上の基板の場合	13
2.3 リセット端子.....	14
2.4 クロック入出力端子	16
2.5 アナログ入力端子.....	21
2.6 大電流が流れる信号端子.....	23
2.7 高速にレベル変化する信号端子	23
3. ボードのパターン例	24
3.1 2層基板パターン例.....	24
3.2 4層基板パターン例.....	27
4. 参考ドキュメント.....	31
改訂記録.....	32

1. 基板構成

1.1 ブロック図

設計事例の基板構成のブロック図を図 1-1 に示します。

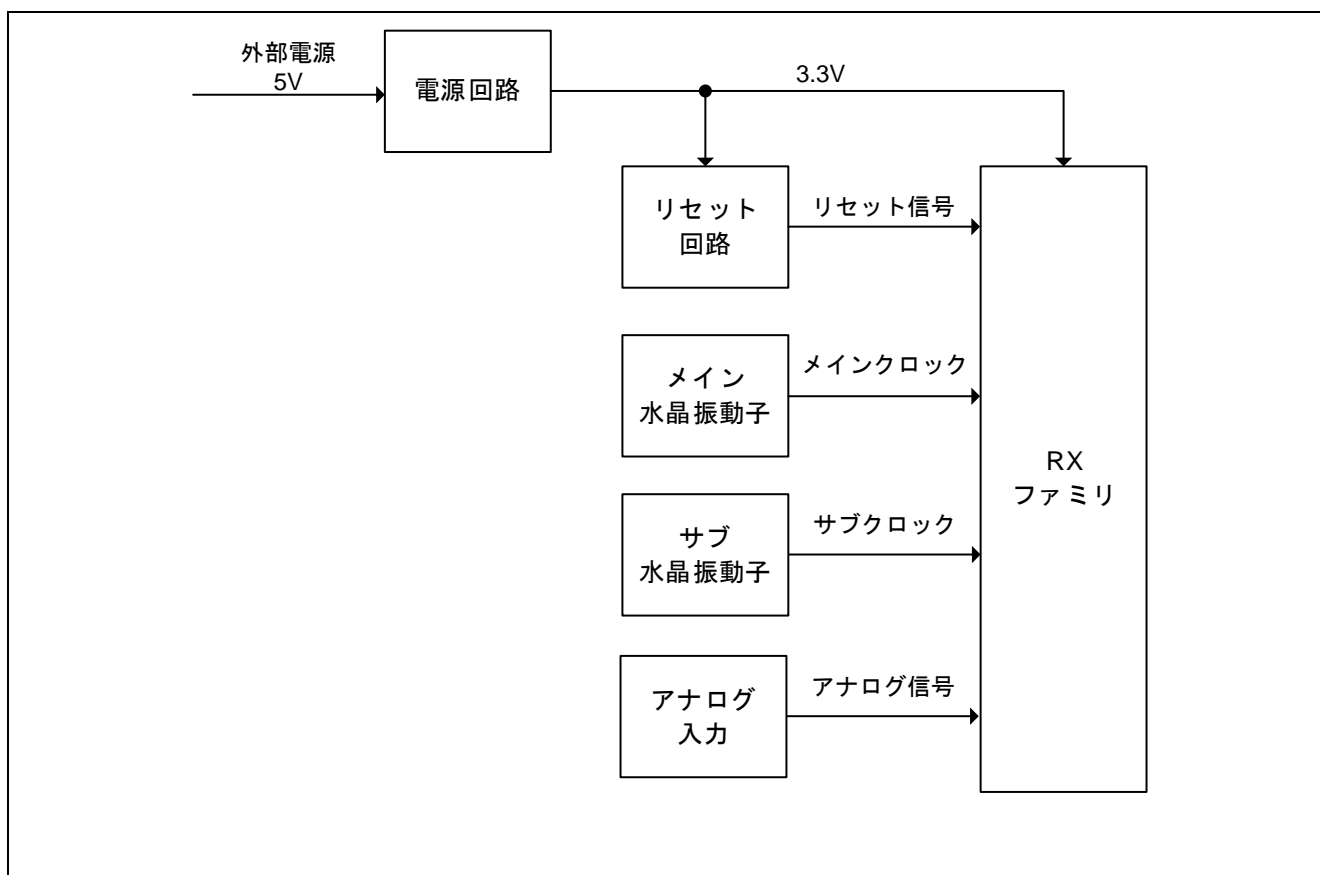


図 1-1 ブロック図

1.2 部品レイアウト

部品レイアウト例を図 1-2 と図 1-3 に示します。また、基板厚は一般的な 1.6mm とします。

帰還抵抗(R2)、ダンピング抵抗(R3、R5)は通常は不要です(図 1-2 では帰還抵抗は未実装です)。発振子メーカーから外部に帰還抵抗、ダンピング抵抗を追加するよう指示があった場合は、その指示に従って実装してください。

ダンピング抵抗(R3、R5)については 0Ω またはパターン接続で良い場合もあります。

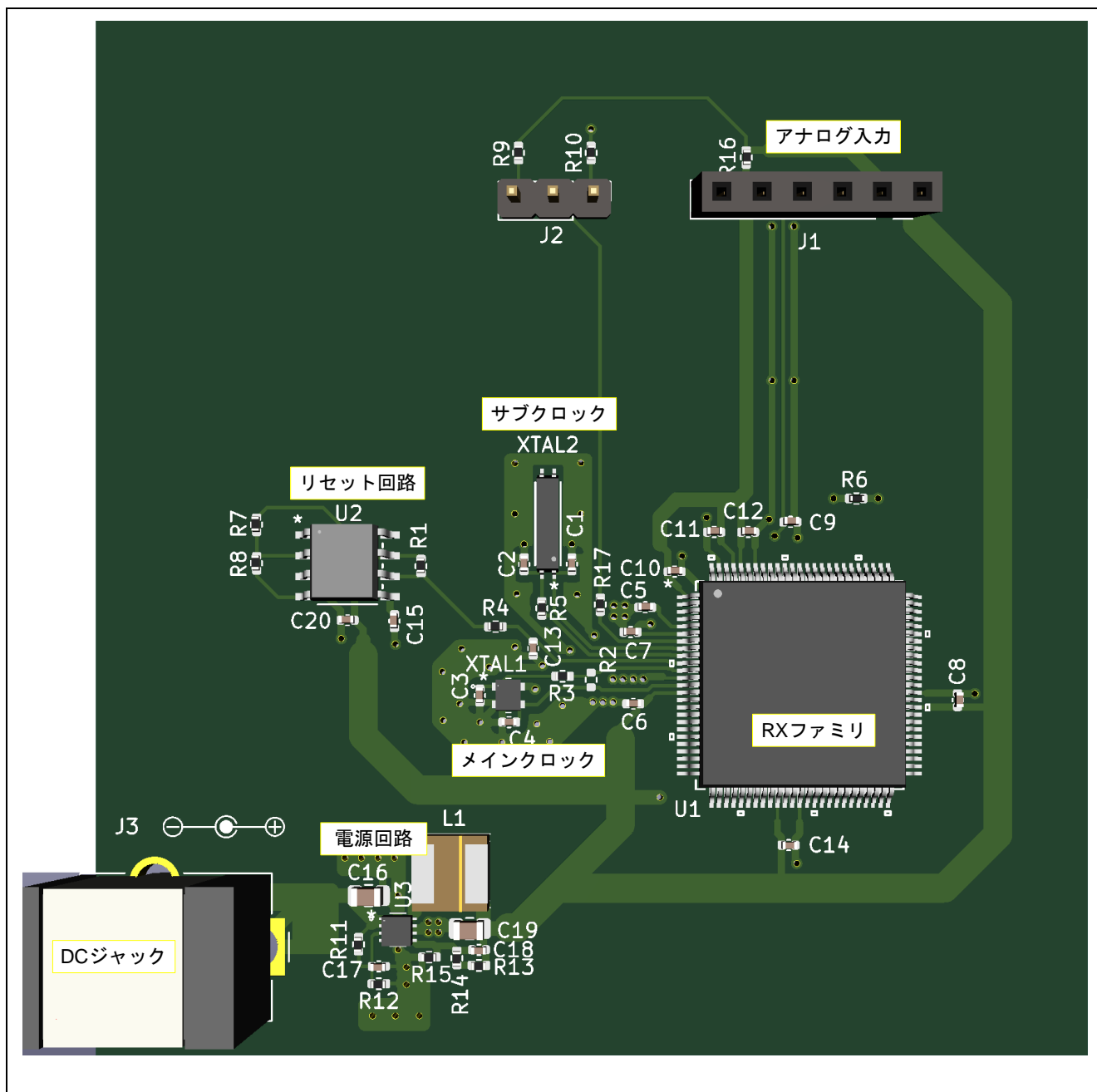


図 1-2 部品レイアウト(表面)

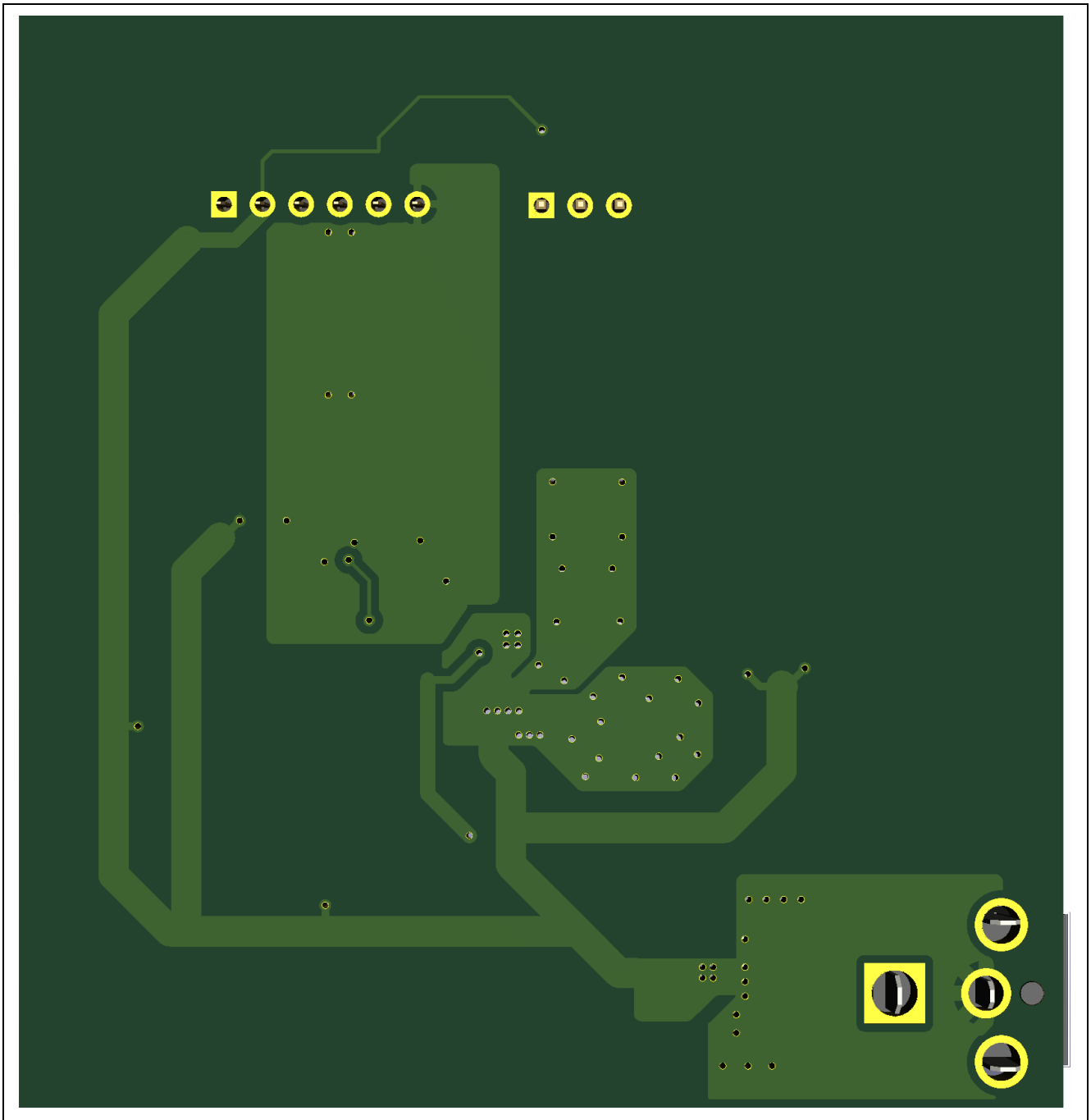


図 1-3 部品レイアウト(裏面)

1.3 層構成

層構成例を図 1-4 に示します。

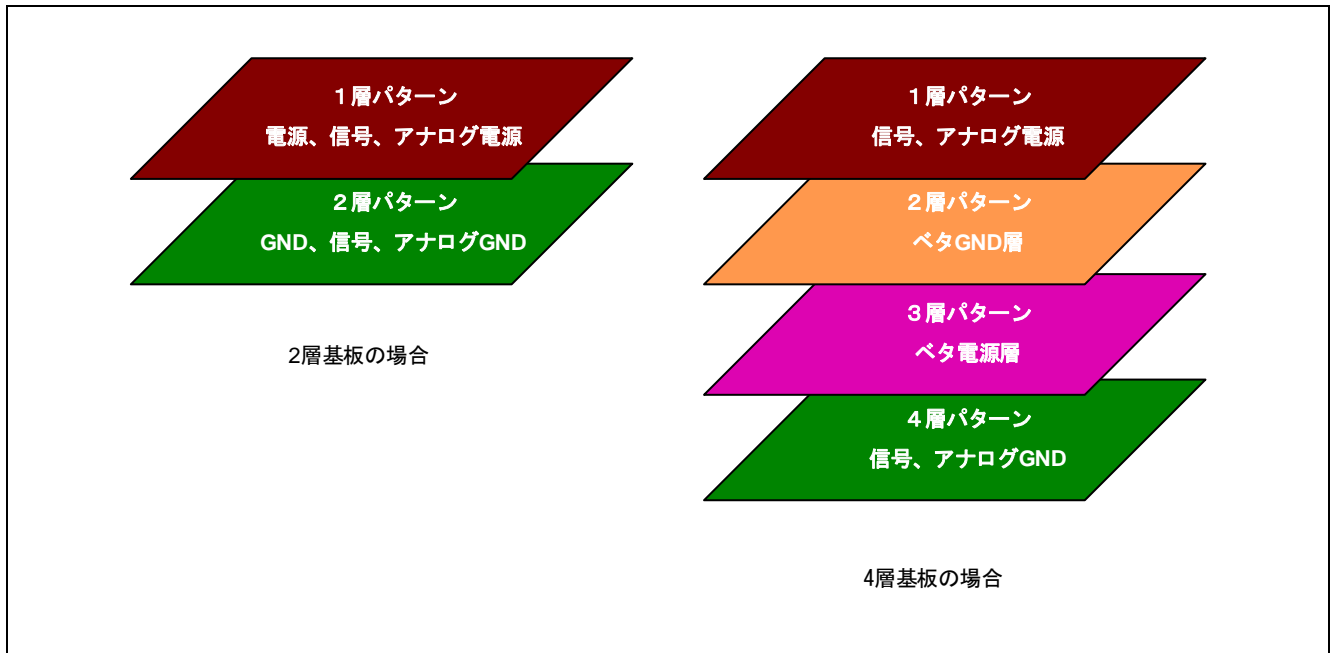


図 1-4 層構成例

2層基板の場合のパターン例を図 1-5 に示します。

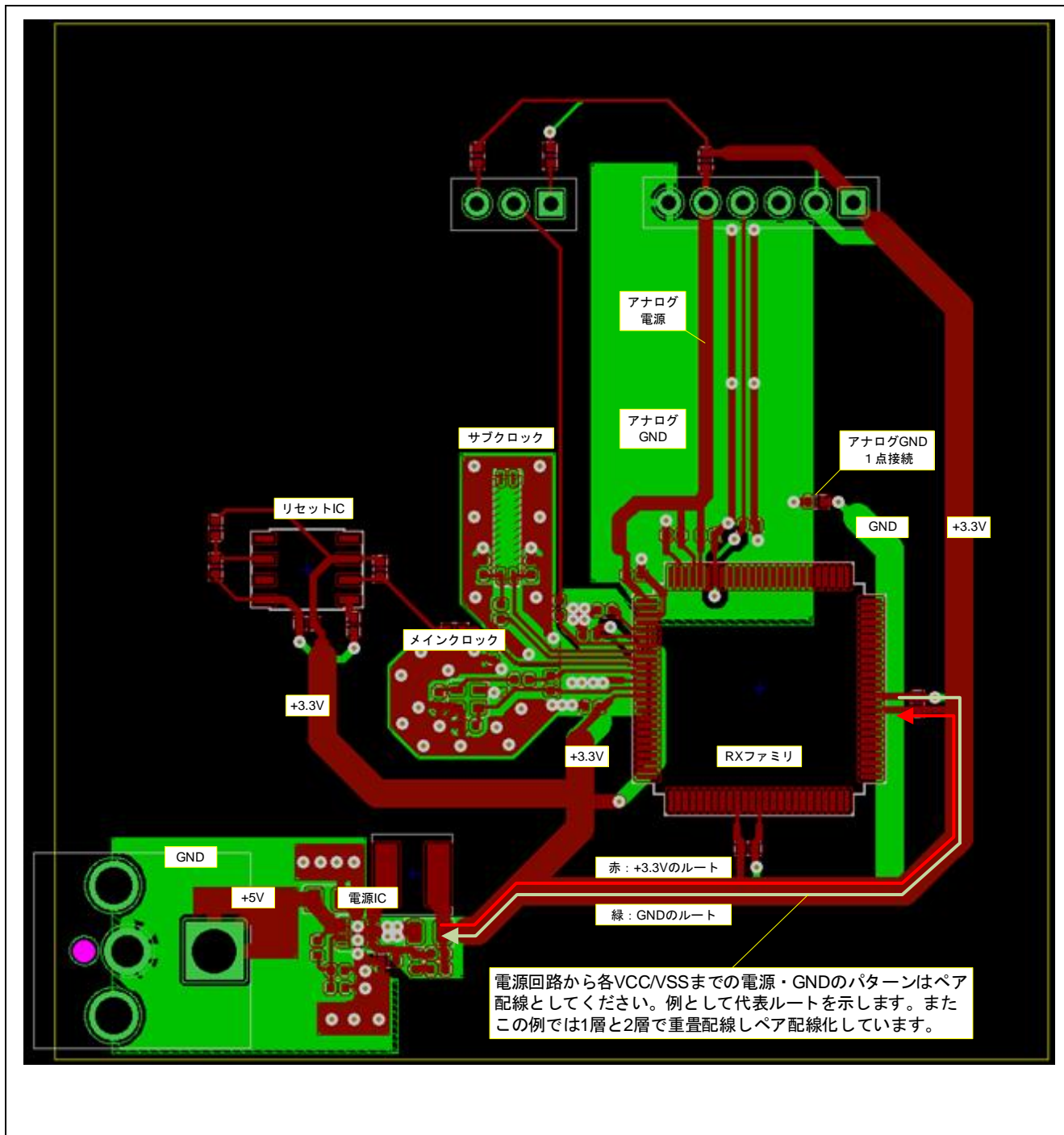


図 1-5 2層基板の場合のパターン例

2. 基板設計

2.1 電源端子

電源端子は、バイパスコンデンサ(またはデカップリングコンデンサ)を介して GND に接続してください。バイパスコンデンサは、セラミックコンデンサなどの周波数特性の良いコンデンサを使用してください。その際、電源端子-バイパスコンデンサ間は、最短かつ等長に配線してください。また、電源端子は、端子のカップリングに注意してください。例えば、VCC 端子と VSS 端子、AVCC 端子と AVSS 端子、VREFH 端子と VREFL 端子をペアとしてください。端子のペアについては、各製品のユーザーズマニュアル ハードウェア編を参照してください。電源端子のパターンは、他の信号線よりも幅の太いパターンで配線し、バイパスコンデンサを介して電源および GND と接続してください。図 2-1 に電源端子とバイパスコンデンサの接続例を示します。

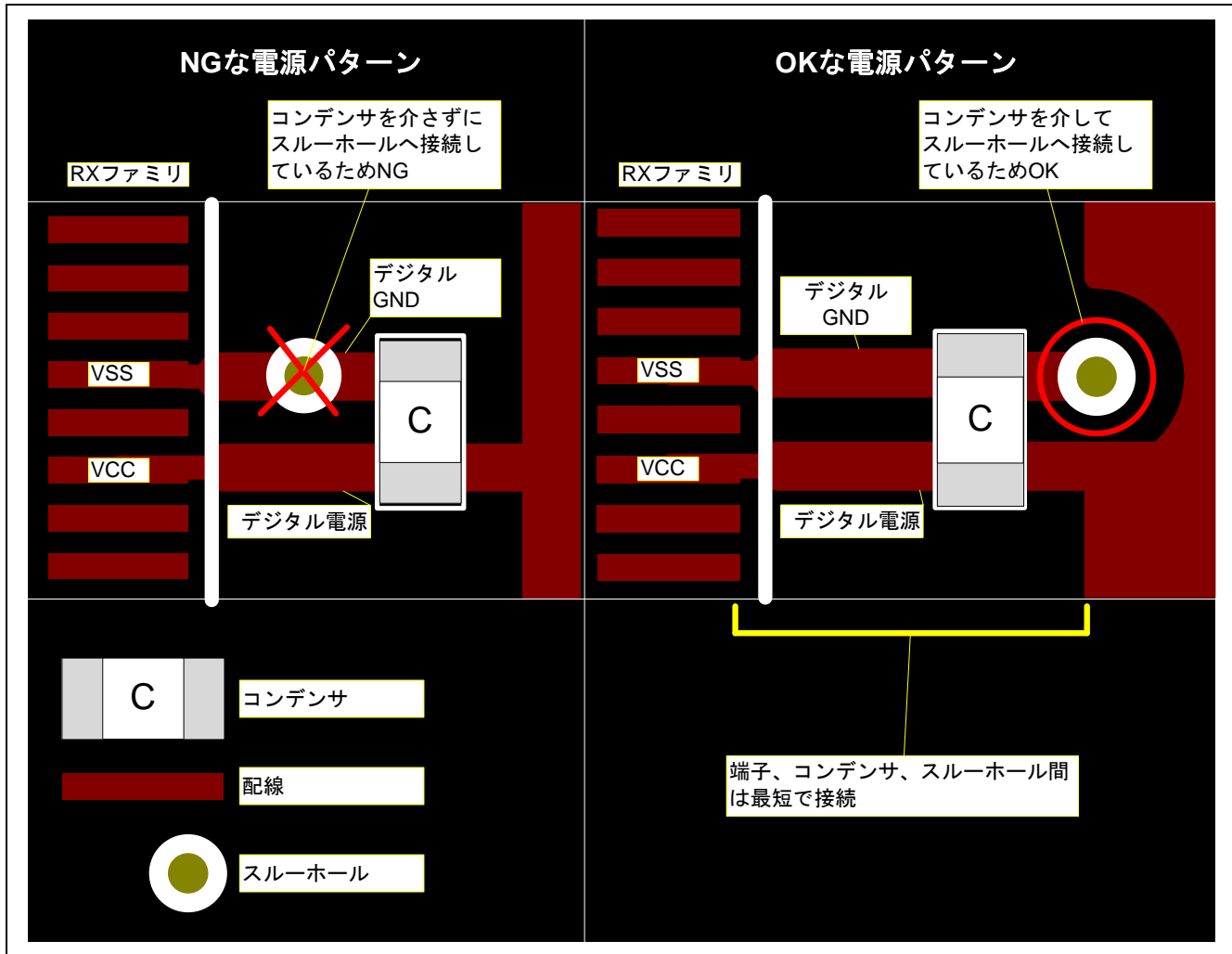


図 2-1 電源端子とバイパスコンデンサの接続例

アナログ電源端子については、以下のアプリケーションノートも参照してください。最新版および新製品のガイドも合わせて、ルネサス エレクトロニクスホームページから入手してください。

- RX610 グループ アナログ電源パターンの注意事項(R01AN0271JJ)
- RX62N グループ、RX621 グループ アナログ電源パターンの注意事項(R01AN0269JJ)
- RX62T グループ アナログ電源パターンの注意事項(R01AN0638JJ)

基板設計時のポイント

電源端子に接続するバイパスコンデンサは、マイコン動作時のノイズを GND にバイパスするために接続します。

図 2-2 に電源端子の回路構成例、図 2-3 に電源端子パターン例を示します。

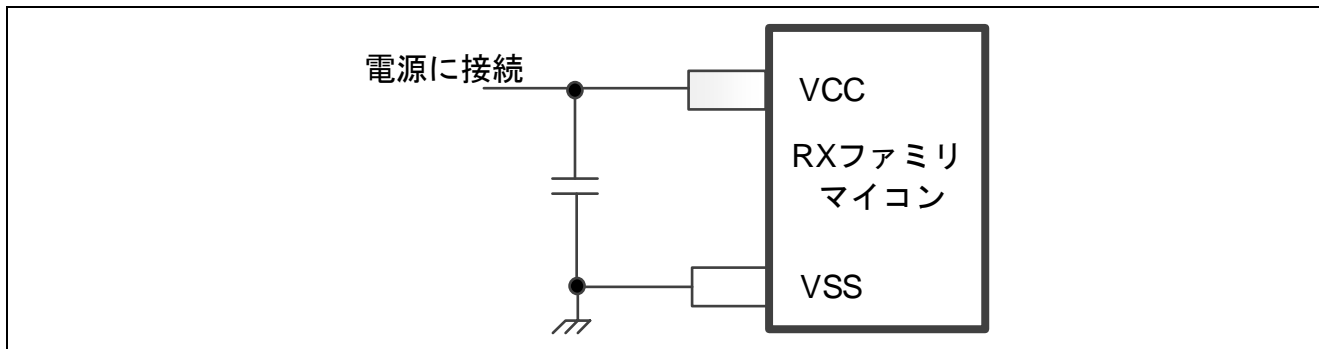


図 2-2 電源端子の回路構成例

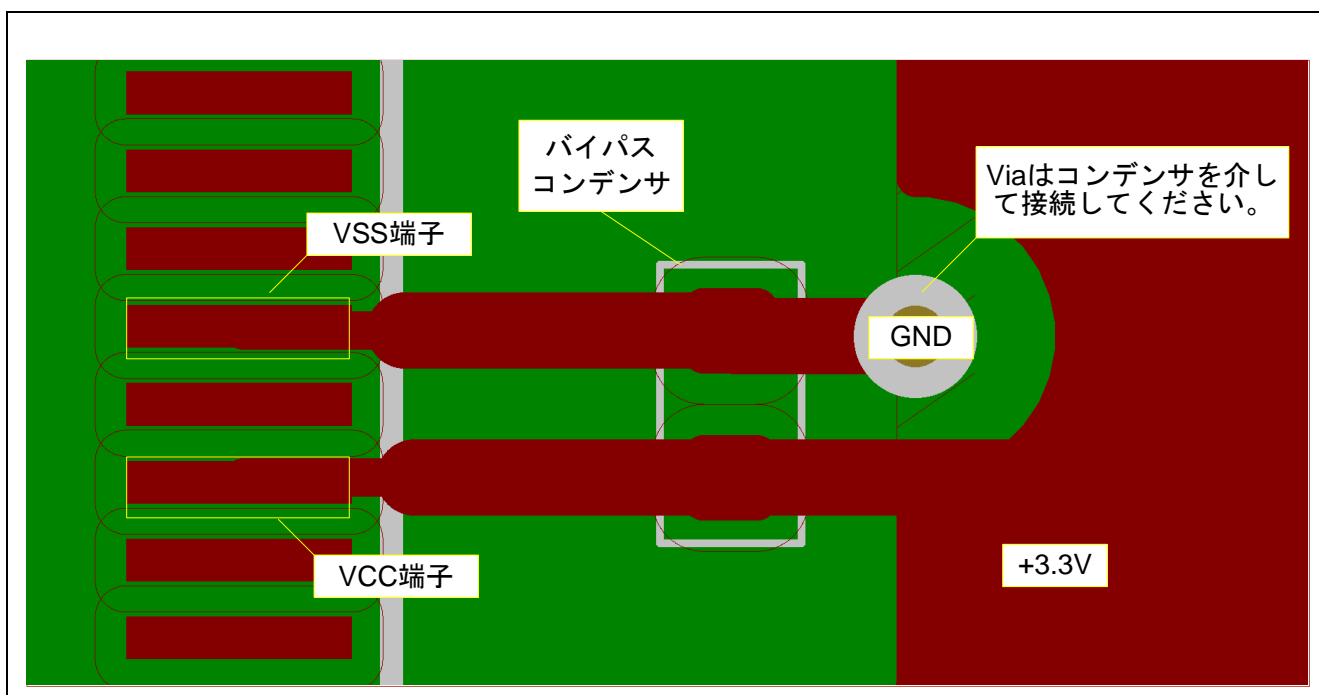


図 2-3 電源端子パターン例

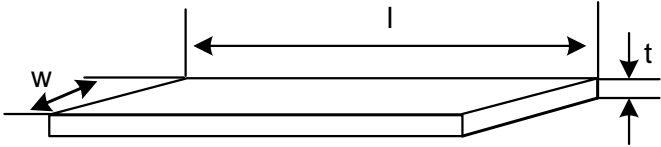
2.2 VCL 端子

VCL 端子は、使用デバイスのユーザーズマニュアルに記載されている容量のコンデンサを介して、GND に接続してください。VCL 端子とコンデンサ間の配線長は、8mm 以内(可能であれば 4mm 以内)に配置してください。

また作成する基板の層数によって、GND パターンの配線が異なるため、注意してください。2.2.1 章に 2 層の基板、2.2.2 章に 4 層以上の基板の場合をそれぞれ示します。

基板設計時のポイント

VCL 端子とコンデンサ間の配線長が 8mm より長くなると、寄生抵抗値が大きくなるため、コンデンサの効き目が弱くなり、VCC 端子からノイズを出しやすくなります。VCL 端子とコンデンサの配線長が 8mm より長い場合、VCL 端子とコンデンサ間の寄生抵抗値は、1Ω 未満になるよう配線を設計してください。図 2-4 に寄生抵抗値の算出式を示します。



プリント基板上の配線

$$R = l / \sigma wt \ (\Omega)$$

$$L = 0.2l [\ln \{ 2l / (w+t) \} + 0.5] \ (\mu H)$$

$$\omega L = 2\pi fL (\Omega)$$

$$f = 20(\text{MHz})(\text{電源供給時のマイコン内部の変動})$$

寄生抵抗値 = $R + 2\pi fL (\Omega) < 1(\Omega)$

図 2-4 寄生抵抗値の算出式

図 2-4 に示した寄生抵抗値の算出例を以下に示します。

例：

配線長(l) : 0.008 m (8mm)
 配線幅(w) : 0.00025 m (0.25mm)
 配線厚(t) : 0.000035 m (0.035mm)
 銅の抵抗率($\rho = 1 / \sigma$) : 0.0000000169 $\Omega \cdot m$

$$\begin{aligned} \text{寄生抵抗値} &= R + 2\pi fL \\ &= (l / \sigma wt) + 2 \times \pi \times 20 \times (0.2 \times l (\log_e (2 \times l / (w + t)) + 0.5)) \\ &= 0.01545 + 2 \times 3.1416 \times 20 \times 0.00724 \\ &\doteq 0.9253 (\Omega) \end{aligned}$$

図 2-5 に VCL 端子の回路構成例を示します。

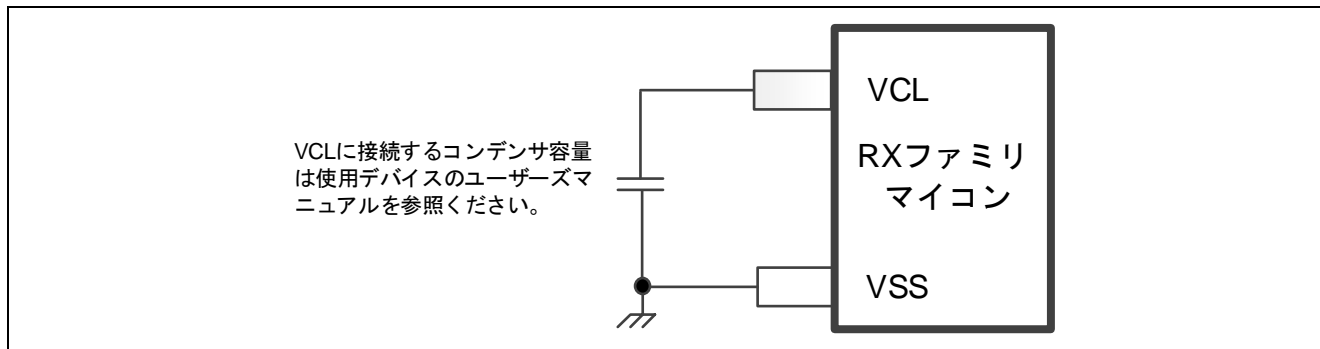


図 2-5 VCL 端子の回路構成例

2.2.1 2層基板の場合

- VCL 端子とコンデンサ間の裏面は、GND パターンでガードしてください。
- GND へのスルーホールは 4 ヶ所以上で接続してください。
- GND パターンの幅は極力太くしてください。

図 2-6 に 2 層基板の VCL 端子パターン例を示します。

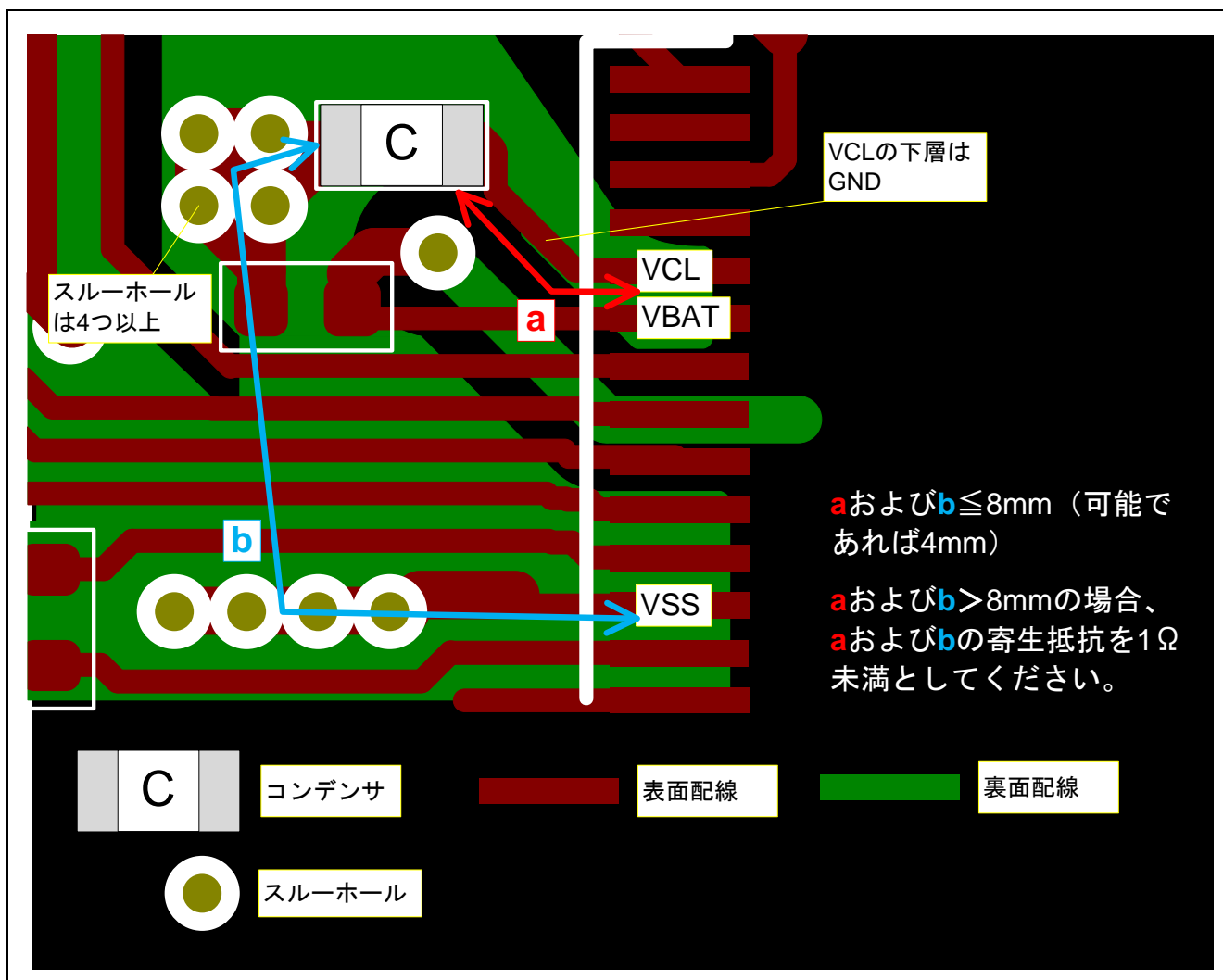


図 2-6 2 層基板の VCL 端子パターン例

図 2-7 に VCL 端子のパターン配線例(2 層基板)を示します。

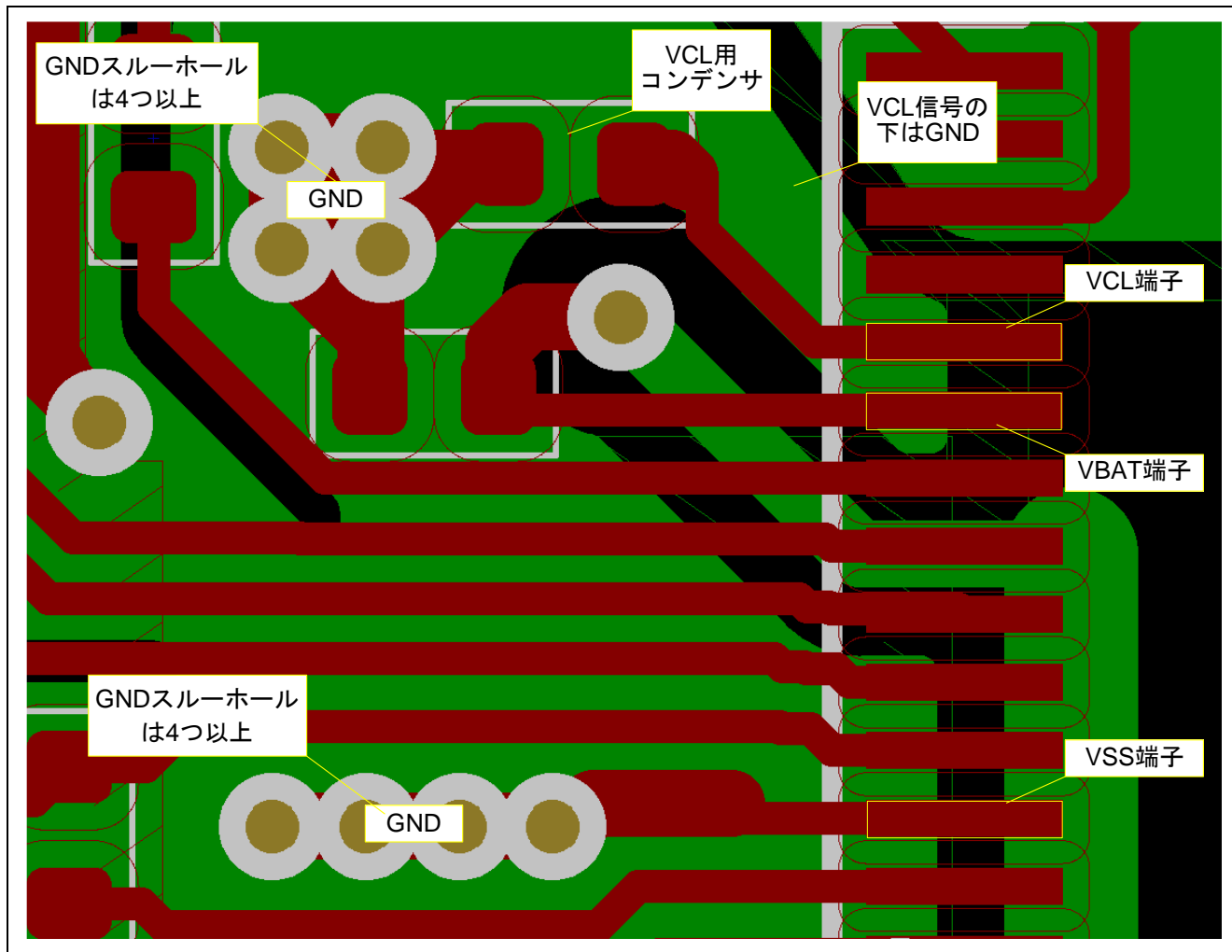


図 2-7 VCL 端子パターン配線例(2 層基板)

2.2.2 4層以上の基板の場合

図 2-8 に VCL 端子のパターン配線例(4層以上の基板)を示します。

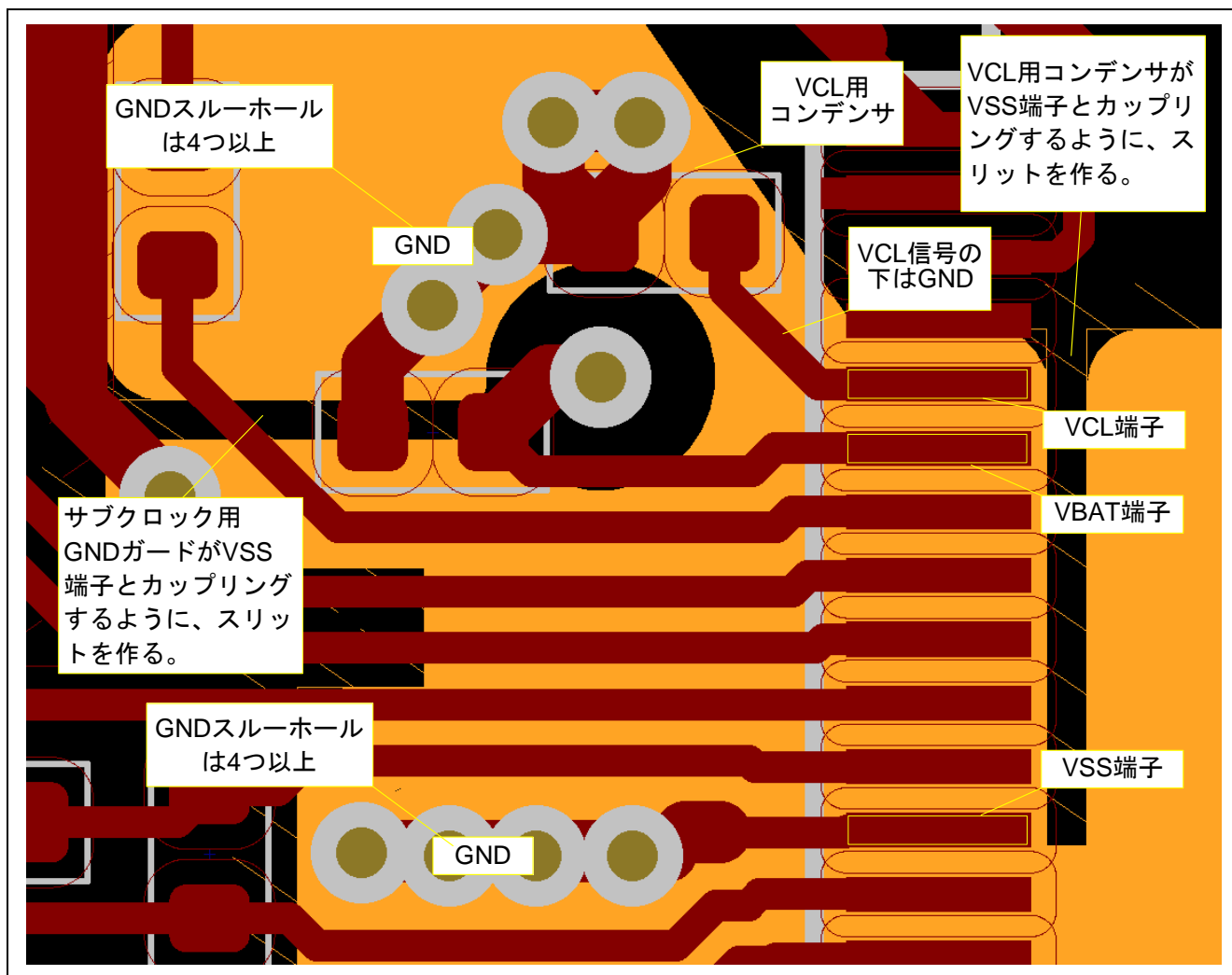


図 2-8 VCL 端子パターン配線例(4層以上の基板)

2.3 リセット端子

リセット端子をリセット IC と直接接続する場合、できる限り近傍にリセット IC を配置してください。また、ローパスフィルタを挿入することでノイズを低減できます。リセット端子のパターンは、他のパターン(大電流が流れるパターンや高速にレベル変化するパターン)を並走させないでください。ローパスフィルタを設けない場合は GND パターンでシールドしてください。この GND シールド線幅は 0.3mm 以上で、GND シールドと配線との間(スペース)を 0.3~2.0mm にしてください。

基板設計時のポイント

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

図 2-9 にリセット端子の回路構成例を示し、図 2-10 にリセット端子パターン例(多層基板の場合)を示します。

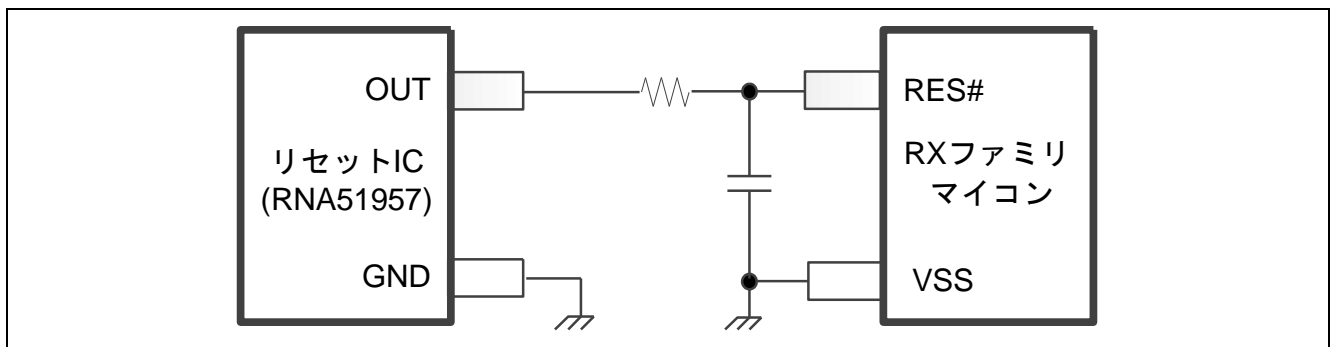


図 2-9 リセット端子の回路構成例(ローパスフィルタあり)

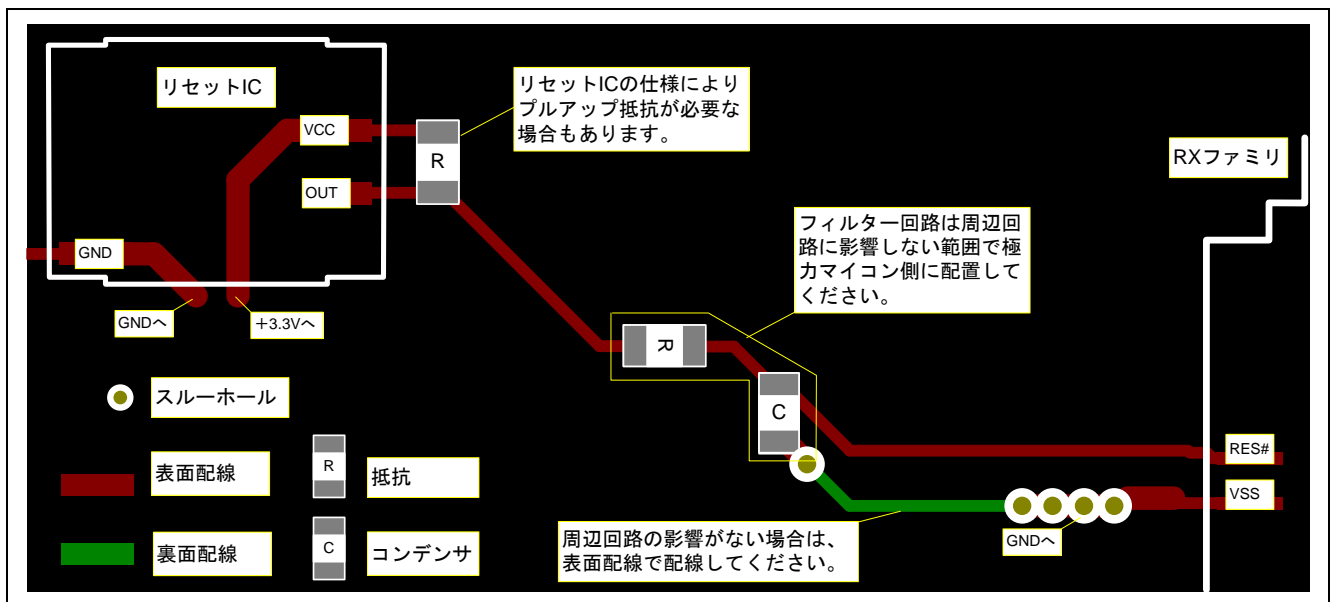


図 2-10 リセット端子パターン例

図 2-11 にリセット端子パターン配線例を示します。

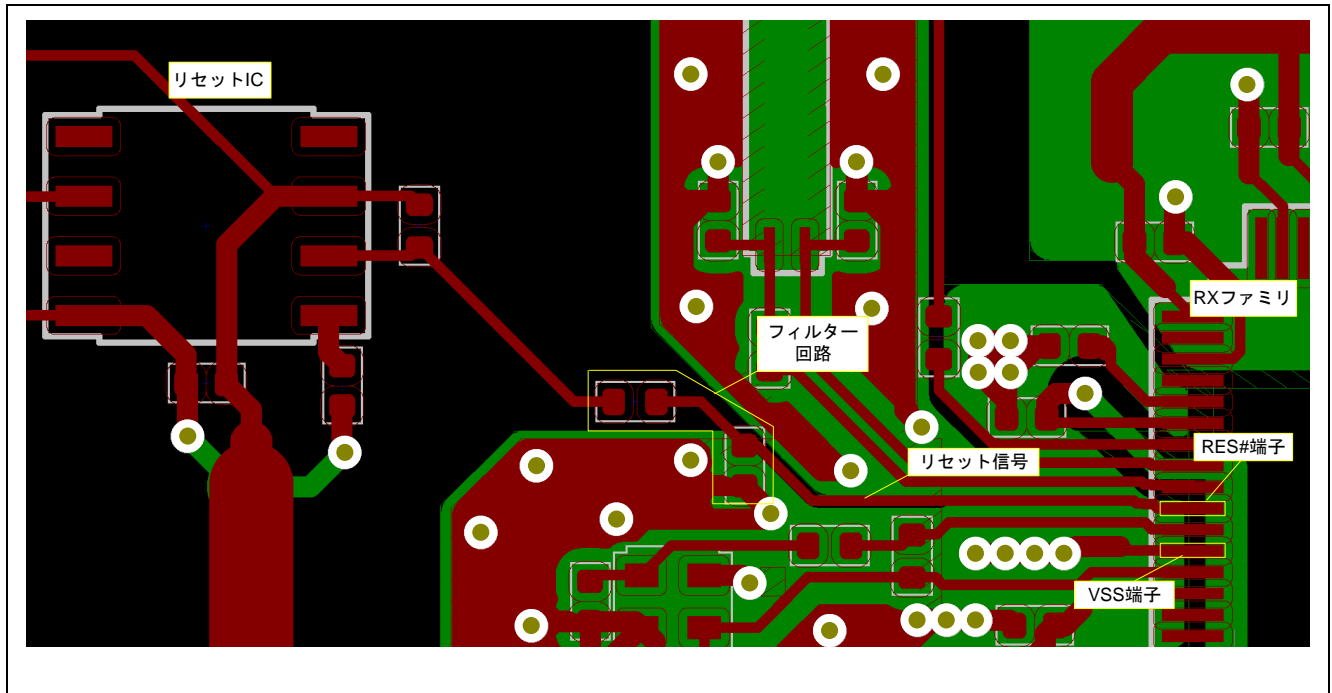


図 2-11 リセット端子パターン配線例

2.4 クロック入出力端子

クロック入出力端子(EXATL、XTAL、XCIN、XCOUT)は、周辺回路を含め最短に配線してください。クロック入出力端子パターンは、他のパターン(大電流が流れるパターンや高速にレベル変化するパターン)を並走または交差させずに、GND パターンでシールドしてください。GND シールド線幅は 0.3mm 以上で、GND シールドと配線との間(スペース)を 0.3~2.0mm にしてください。また、水晶振動子の周辺回路の下層に GND パターンや電源パターンを配線しないでください。

メインクロック回路とサブクロック回路については、以下のアプリケーションノートも参照してください。最新版および新製品のガイドも合わせて、ルネサス エレクトロニクスホームページから入手してください。

- RX、RA ファミリ メインクロック回路、サブクロック回路のデザインガイド(R01AN7202JJ)

基板設計時のポイント

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、マイコンの誤動作や暴走の原因となります。また、マイコンの VSS 電位と振動子の VSS 電位との間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

図 2-12 にクロック入出力端子の回路構成例を示します。

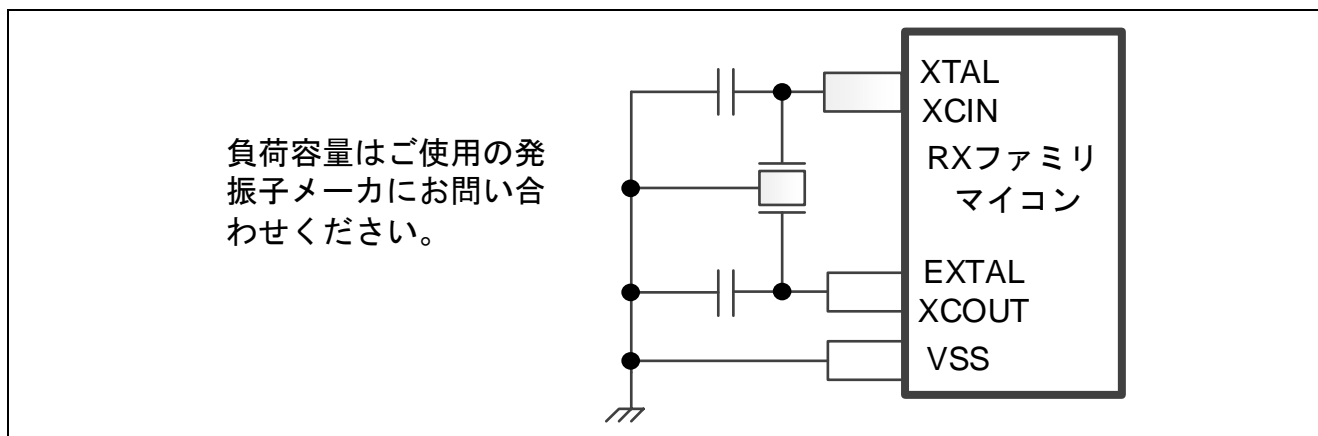


図 2-12 クロック入出力端子の回路構成例

図 2-13、図 2-14、図 2-15 にクロック入出力端子パターン例を示します。

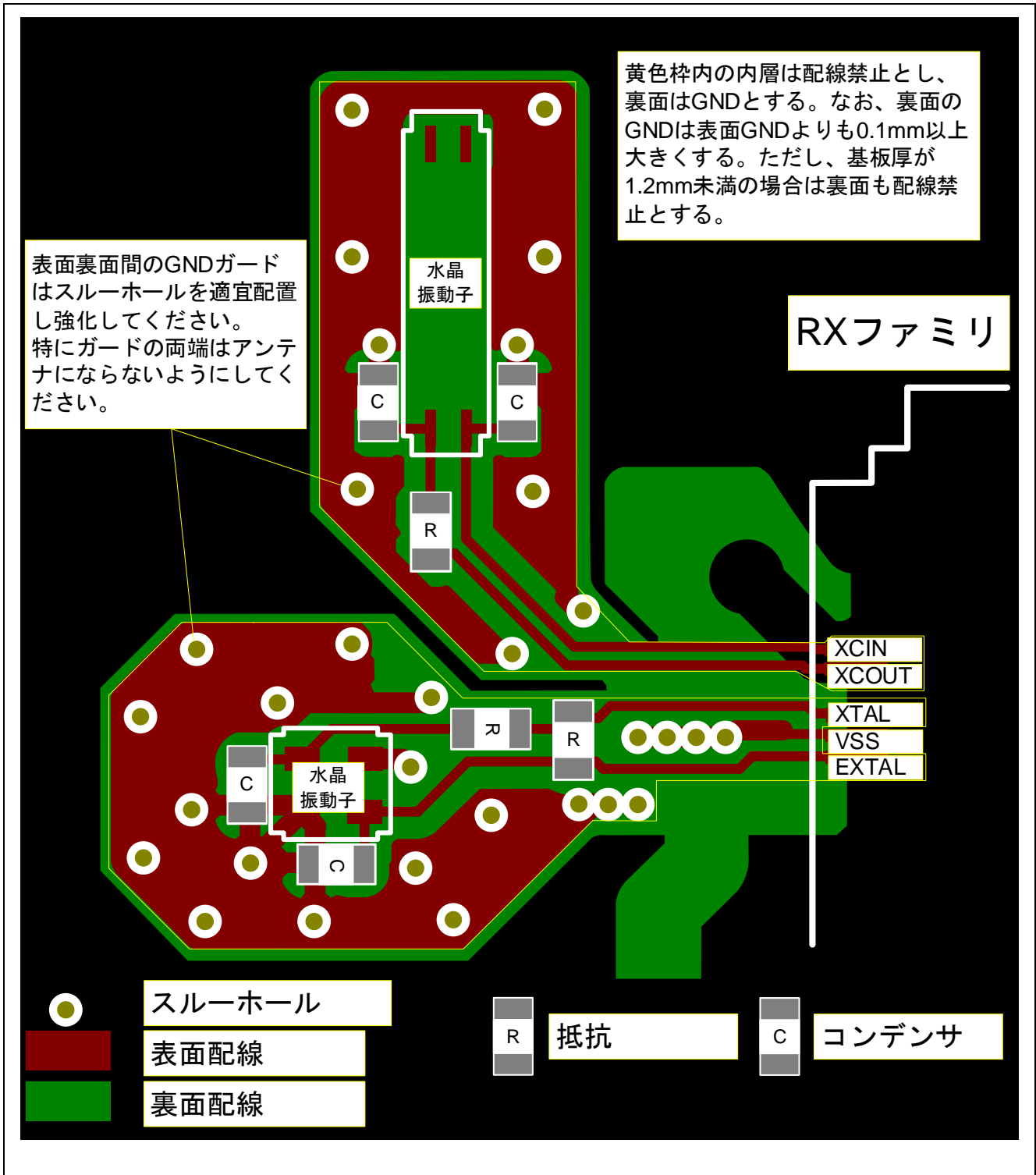


図 2-13 クロック入出力端子パターン例

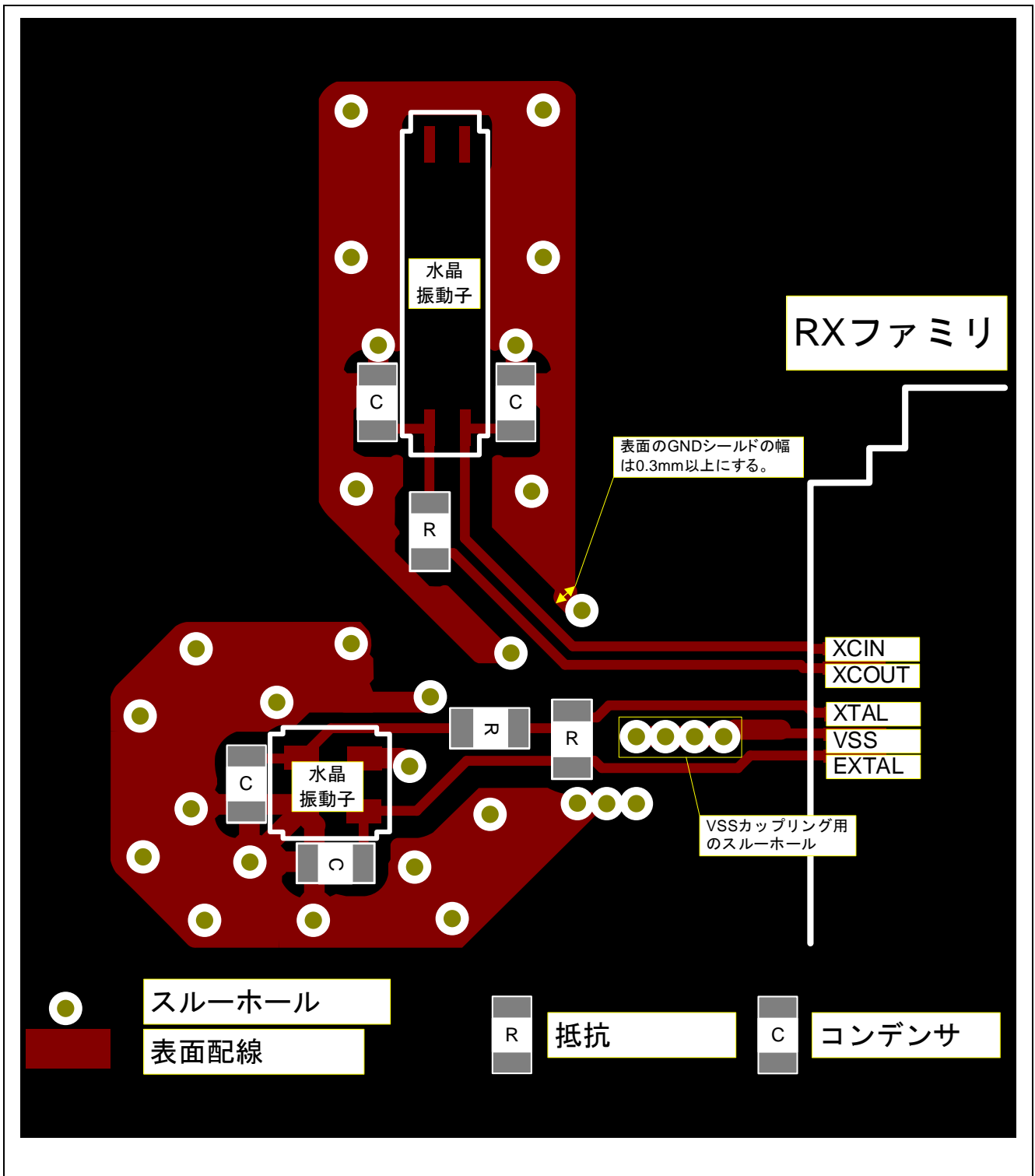


図 2-14 クロック入出力端子パターン例(表面)

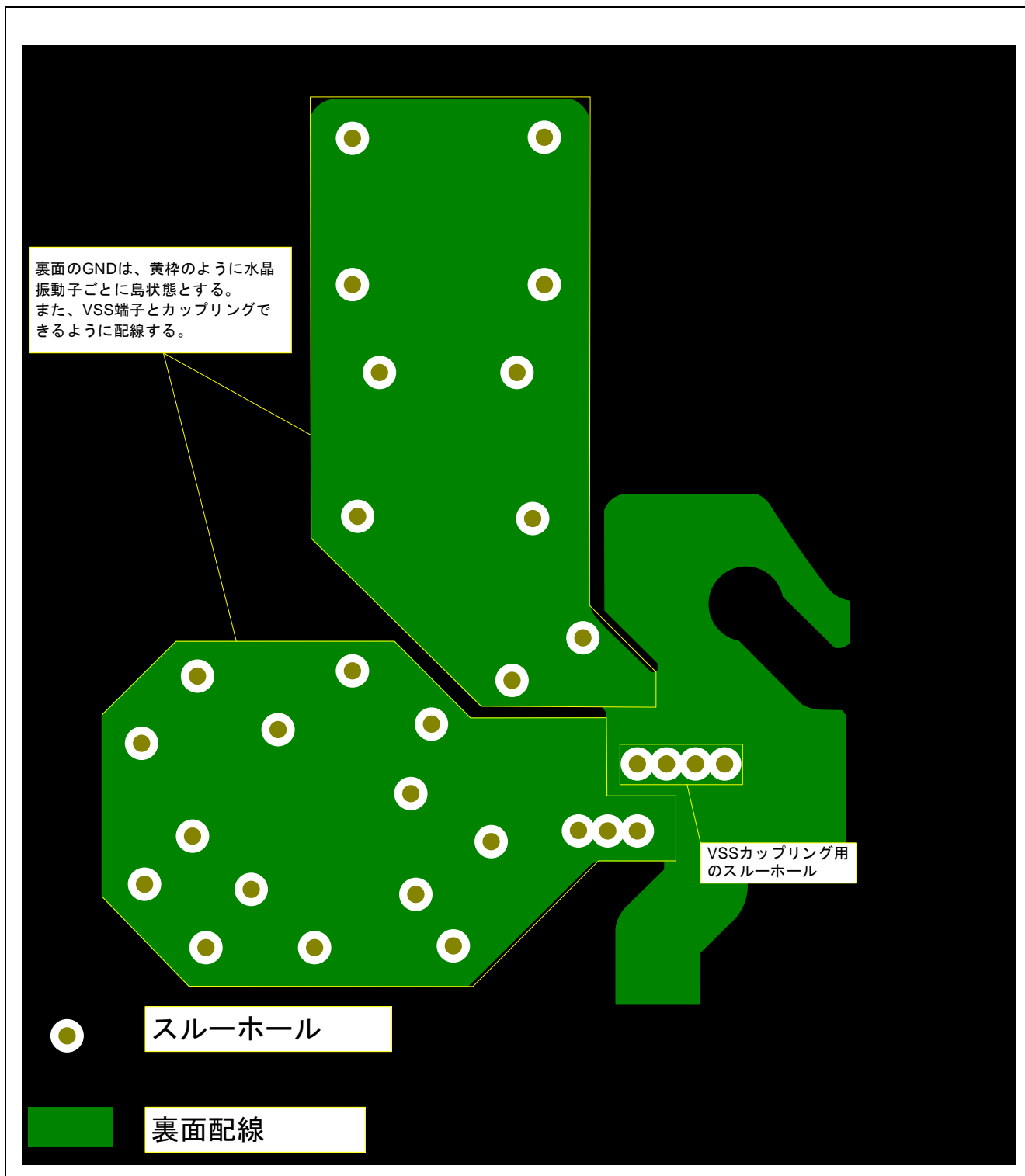


図 2-15 クロック入出力端子パターン例(裏面)

図 2-16 にクロック入出力端子の配線例を示します。

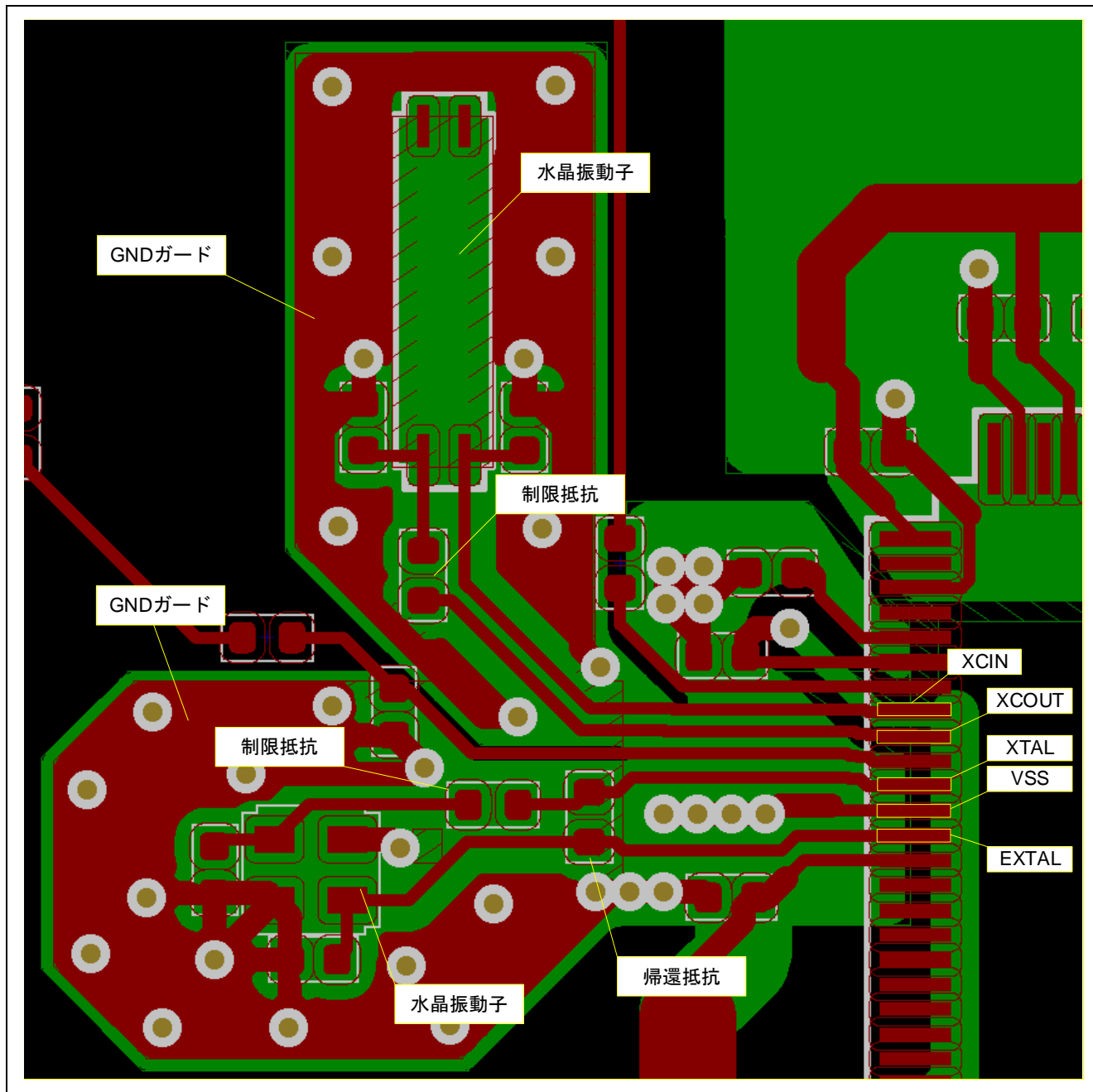


図 2-16 クロック入出力端子配線例

2.5 アナログ入力端子

アナログ入力端子は、コンデンサを介して GND に接続してください。その際、アナログ入力端子-コンデンサ間と、AVSS 端子-コンデンサ間を最短かつ等長に配線してください。アナログ入力端子パターンは、他のパターン(大電流が流れるパターンや高速にレベル変化するパターン)を並走または交差させずに、GND パターンでシールドしてください。GND シールド線幅は 0.3mm 以上で、GND シールドと配線との間(スペース)を 0.3~2.0mm にしてください。

基板設計時のポイント

アナログ入力端子にノイズが侵入すると、波形が乱れ、A/D コンバータの精度が劣化します。外付けコンデンサを接続することで、ノイズを低減しています。

また、外付けコンデンサは、高速変換を実現するためにも使用します。そのためにはサンプル&ホールド回路の入力コンデンサから信号源インピーダンスの影響を抑えるため、変換開始前に外付けコンデンサに電荷を十分蓄えておく必要があります。ただし、連続スキャンモード等でアナログ入力端子の電圧レベルが変動し、外付けコンデンサの電荷が更新される場合は、電荷を十分に蓄えることができないため、外付けコンデンサを接続しないでください。

図 2-17 にアナログ入力端子の回路構成例、図 2-18 にアナログ入力端子パターン例を示します。

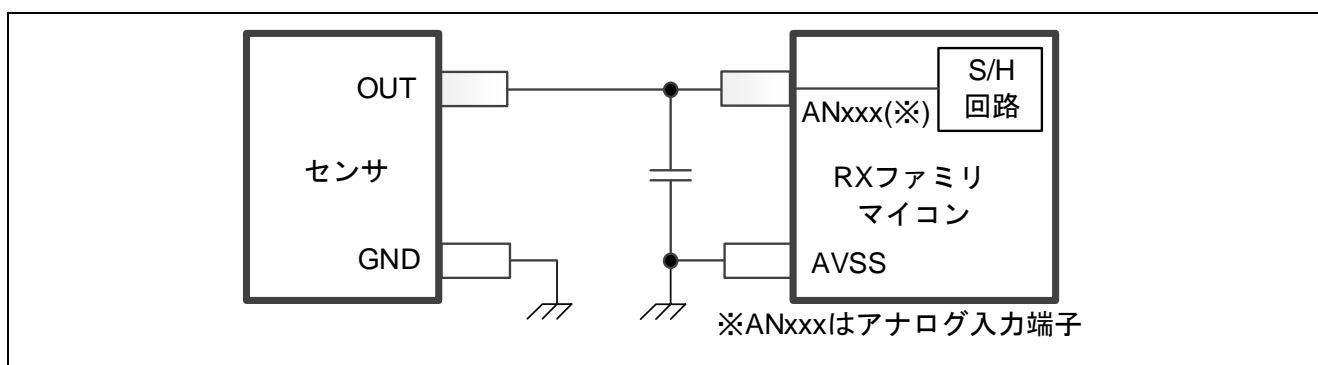


図 2-17 アナログ入力端子の回路構成例

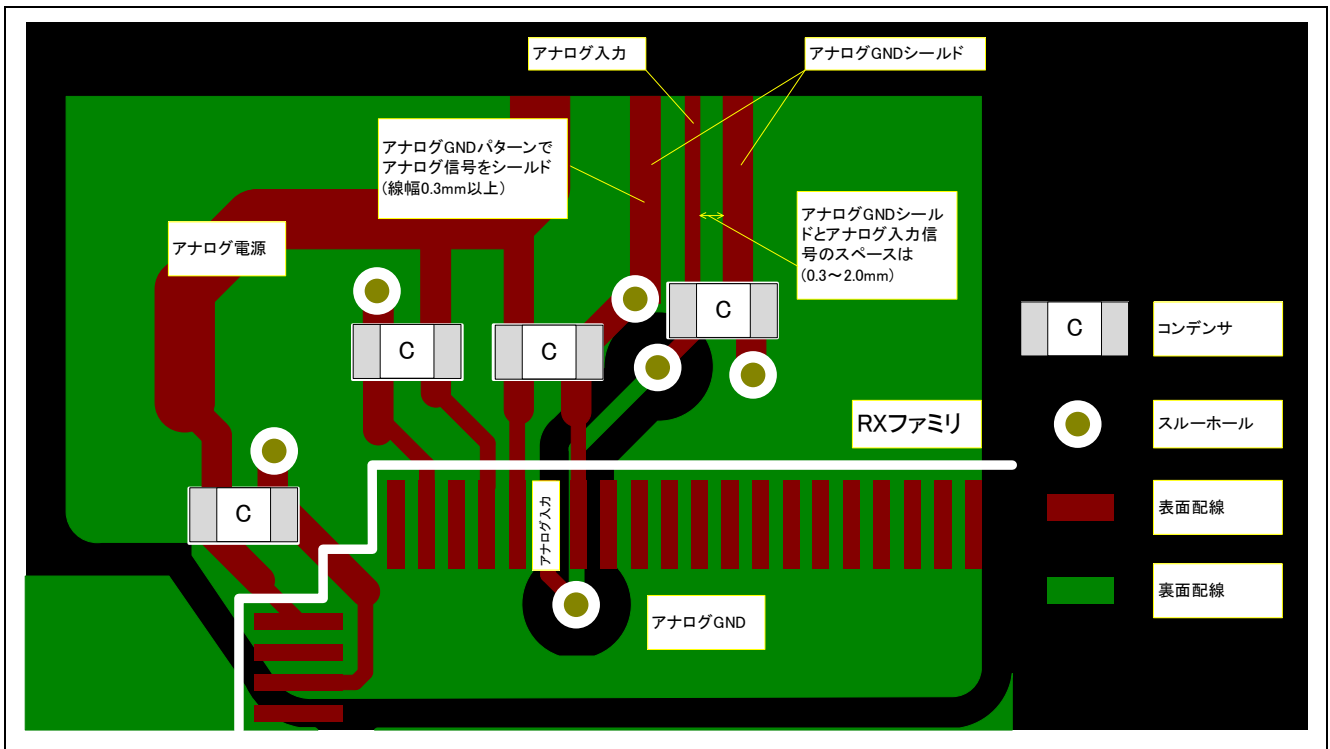


図 2-18 アナログ入力端子パターン例

図 2-19 にアナログ入力端子配線例を示します。

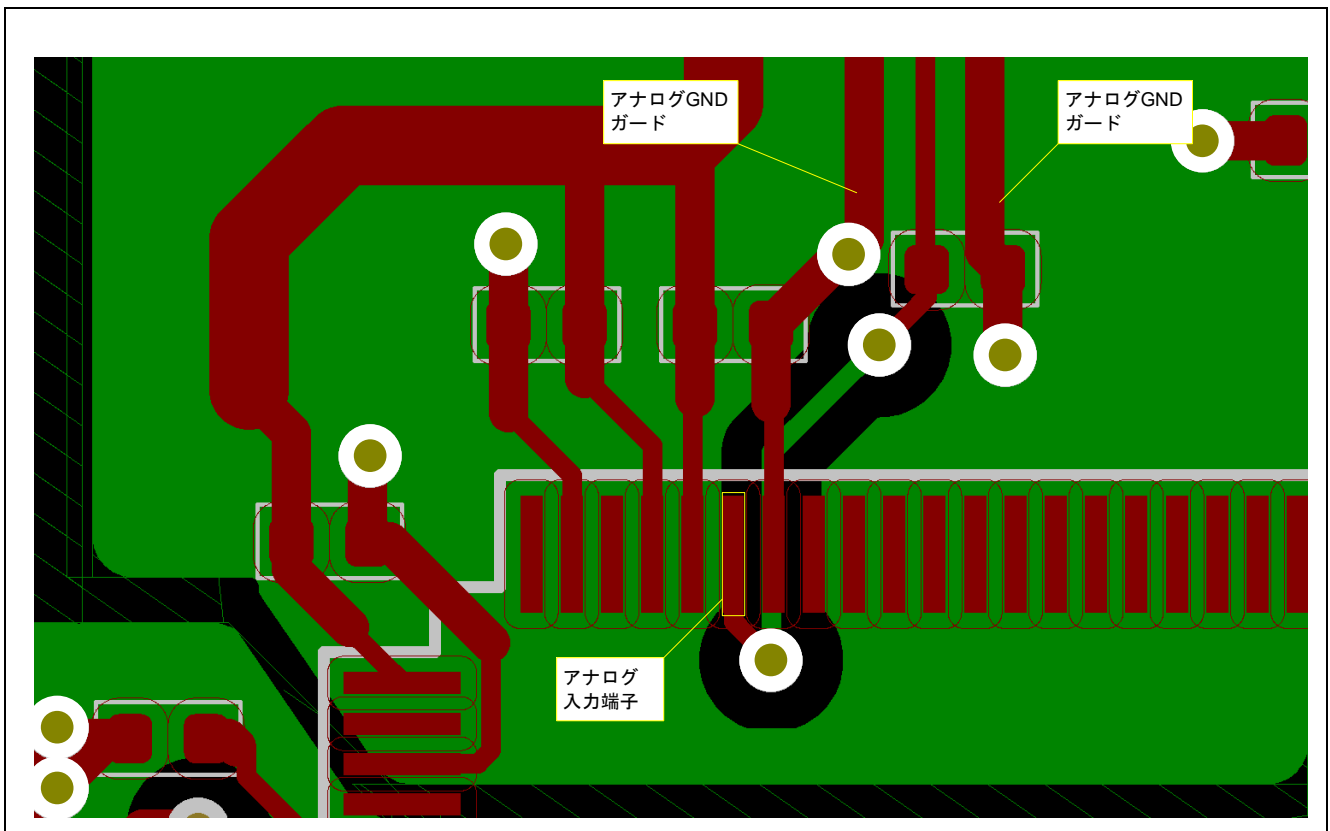


図 2-19 アナログ入力端子配線例

2.6 大電流が流れる信号端子

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に振動子)からできる限り離れた位置に配置し、リセット端子、クロック入出力端子、アナログ入力端子のパターンと、並走または交差させないでください。

基板設計時のポイント

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、並走した配線に相互インダクタンスによるノイズが発生します。

2.7 高速にレベル変化する信号端子

高速にレベル変化する信号線は、振動子および振動子の配線パターンからできるだけ遠い位置に配置し、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差および平行に長く引き回さないでください。

基板設計時のポイント

高速にレベル変化する信号線は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

3. ボードのパターン例

3.1 2層基板パターン例

RX ファミリを2層基板で使用する場合、ボードのパターン例を図 3-1、それぞれの層毎に分けたパターン例を図 3-2、図 3-3 に示します。

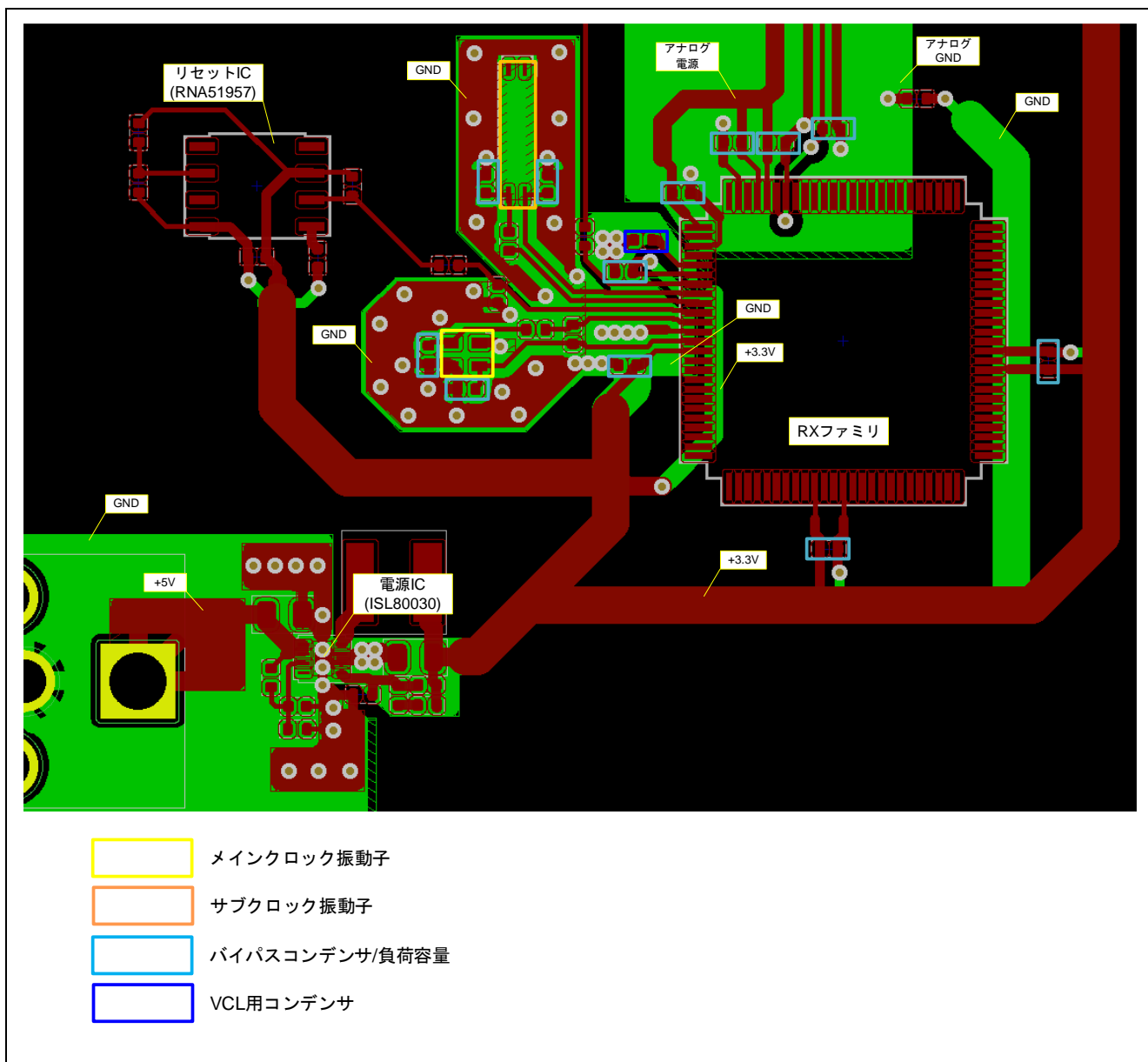


図 3-1 ボードのパターン例(2層基板の場合)

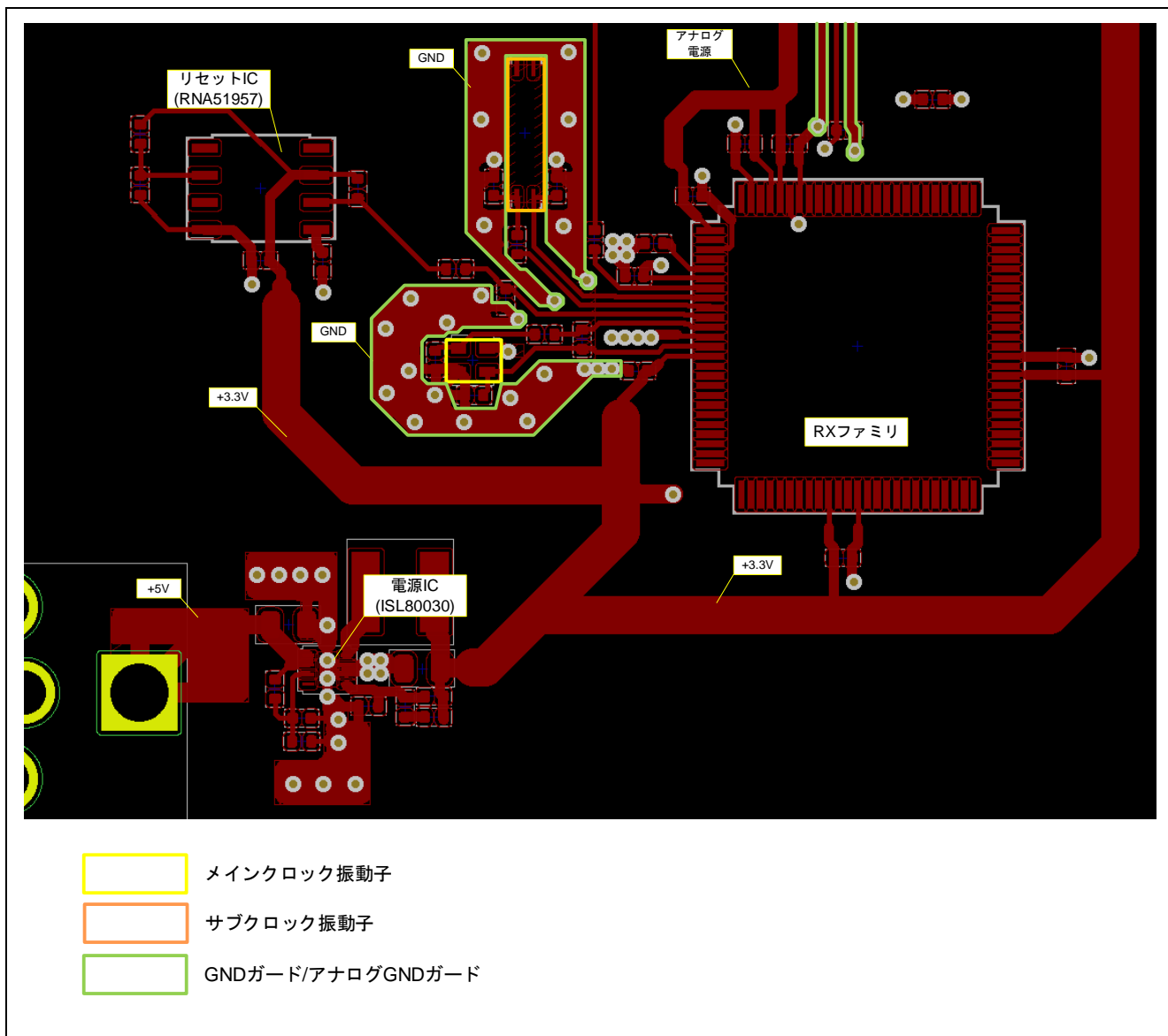


図 3-2 ボードのパターン例(1層パターン)

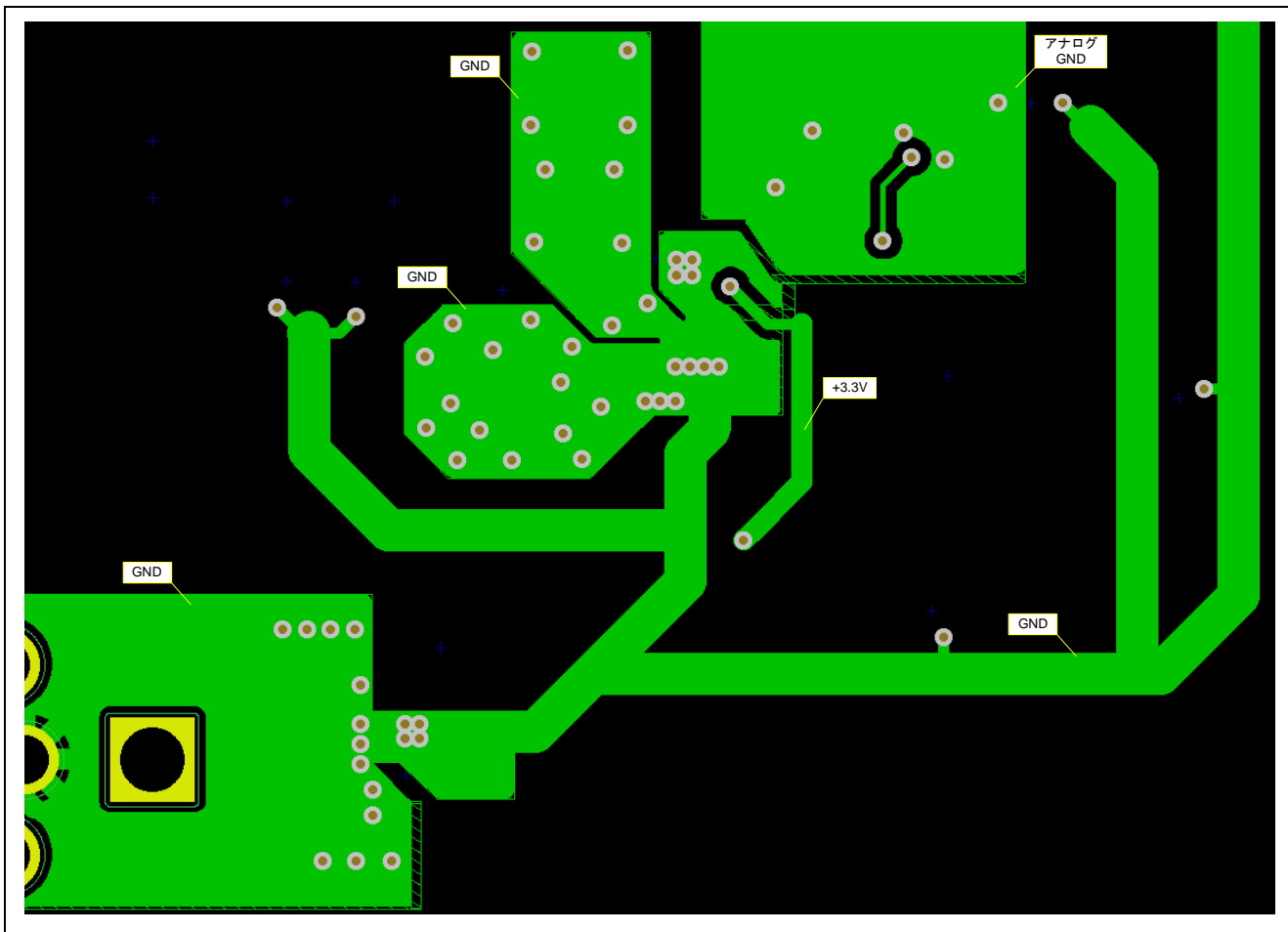


図 3-3 ボードのパターン例(2層パターン)

3.2 4層基板パターン例

RX ファミリーを4層基板で使用する場合、ボードのパターン例を図3-4、それぞれの層毎に分けたパターン例を図3-5、図3-6、図3-7、図3-8に示します。

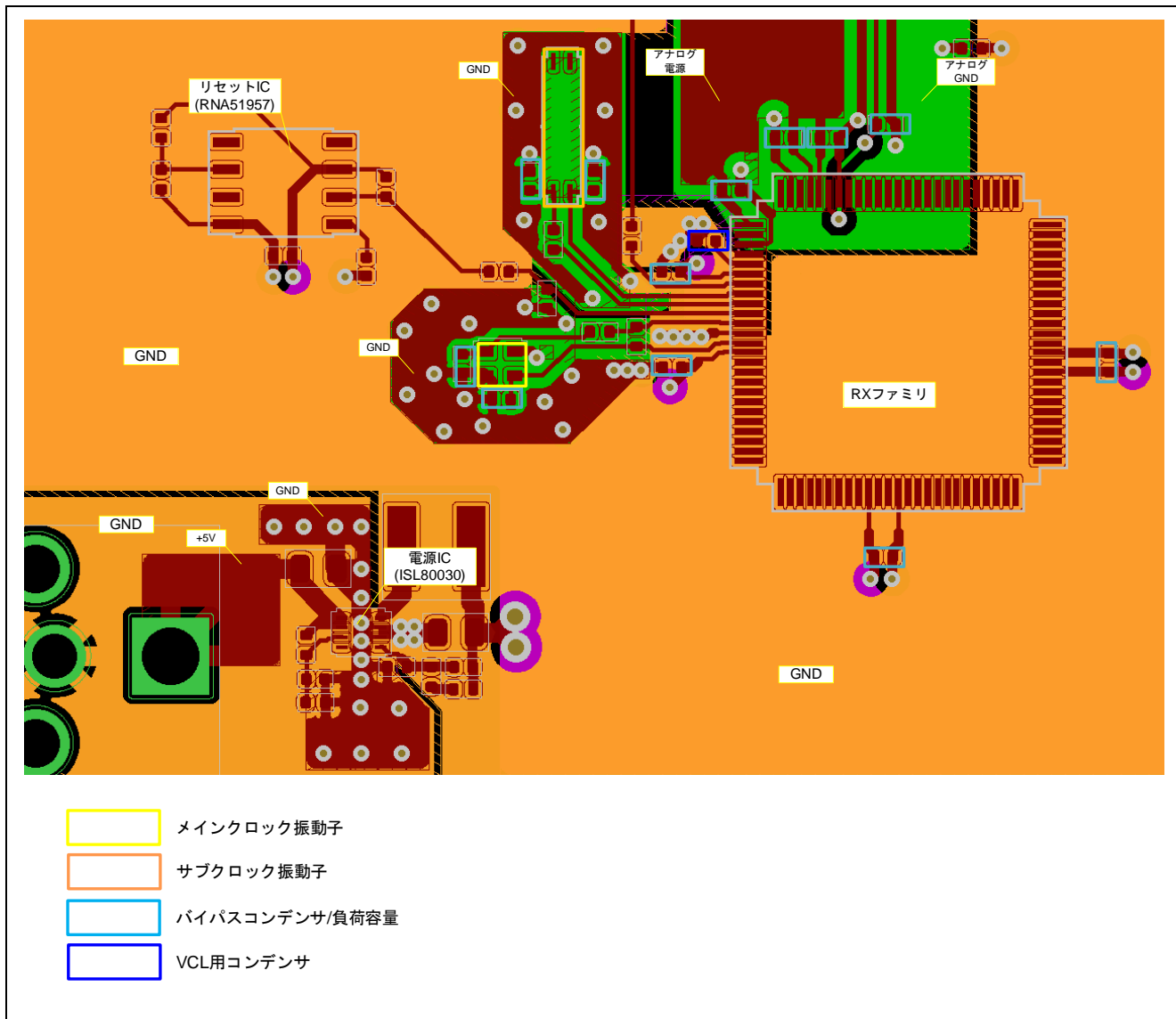


図 3-4 ボードのパターン例(4層基板の場合)

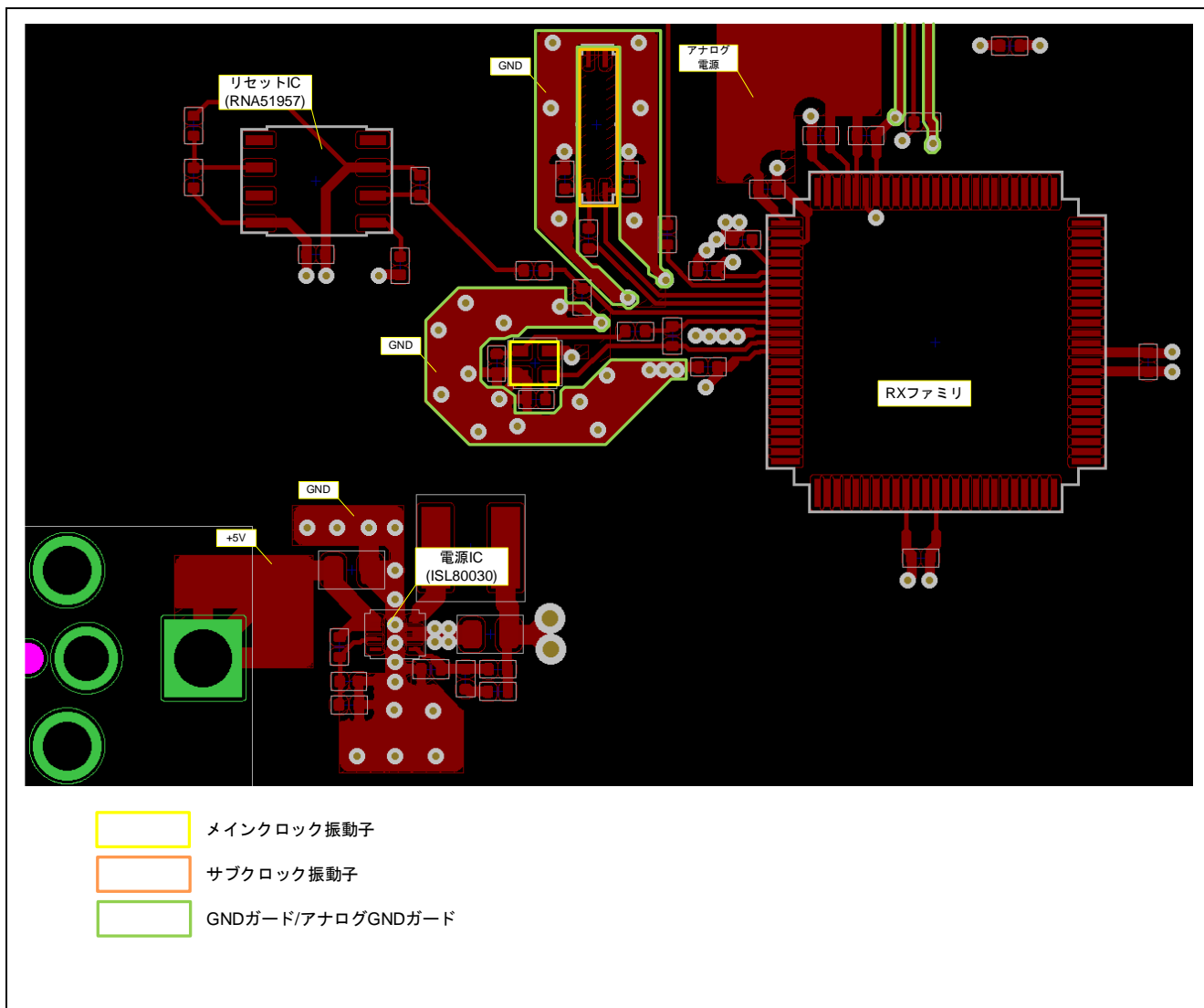


図 3-5 ボードのパターン例(1層パターン)

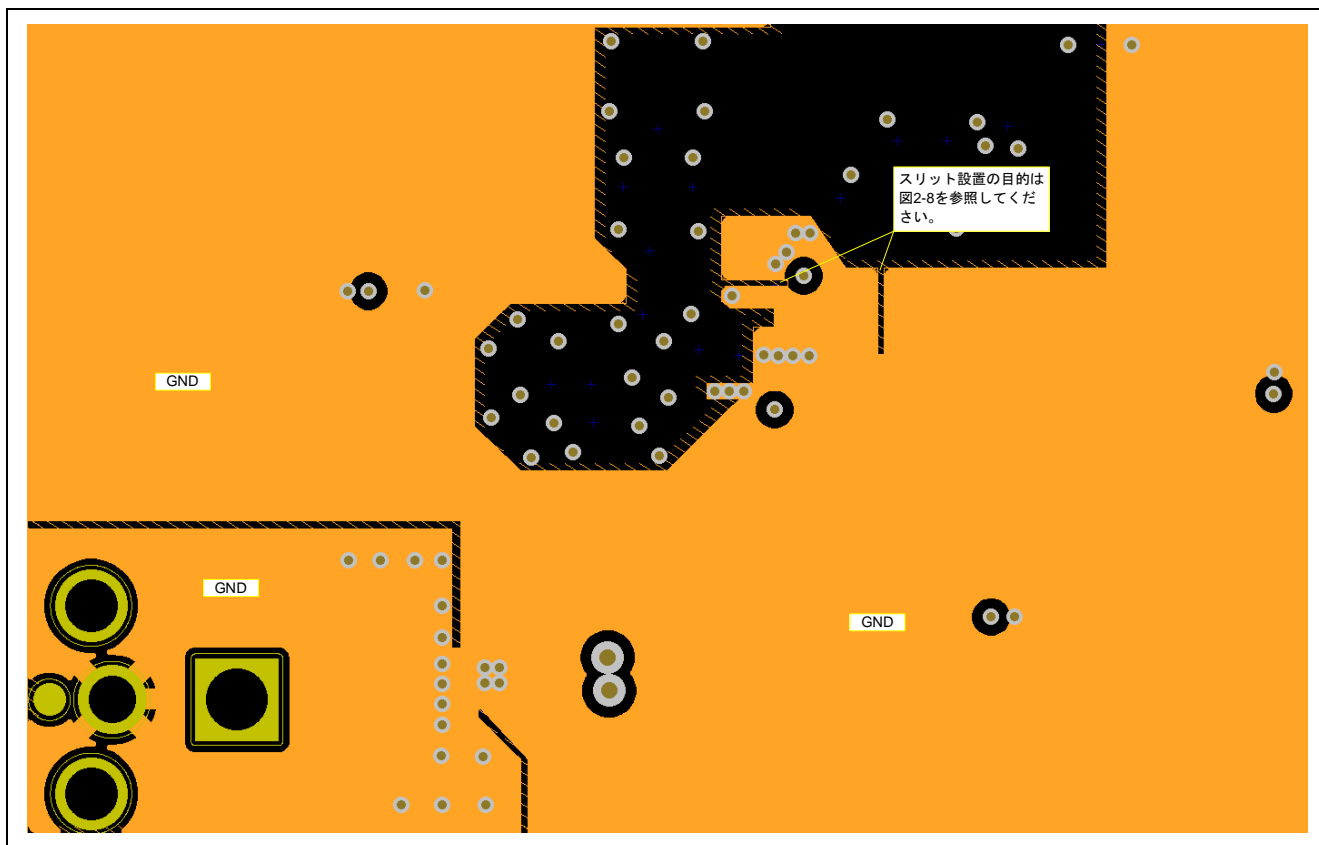


図 3-6 ボードのパターン例(2層パターン)

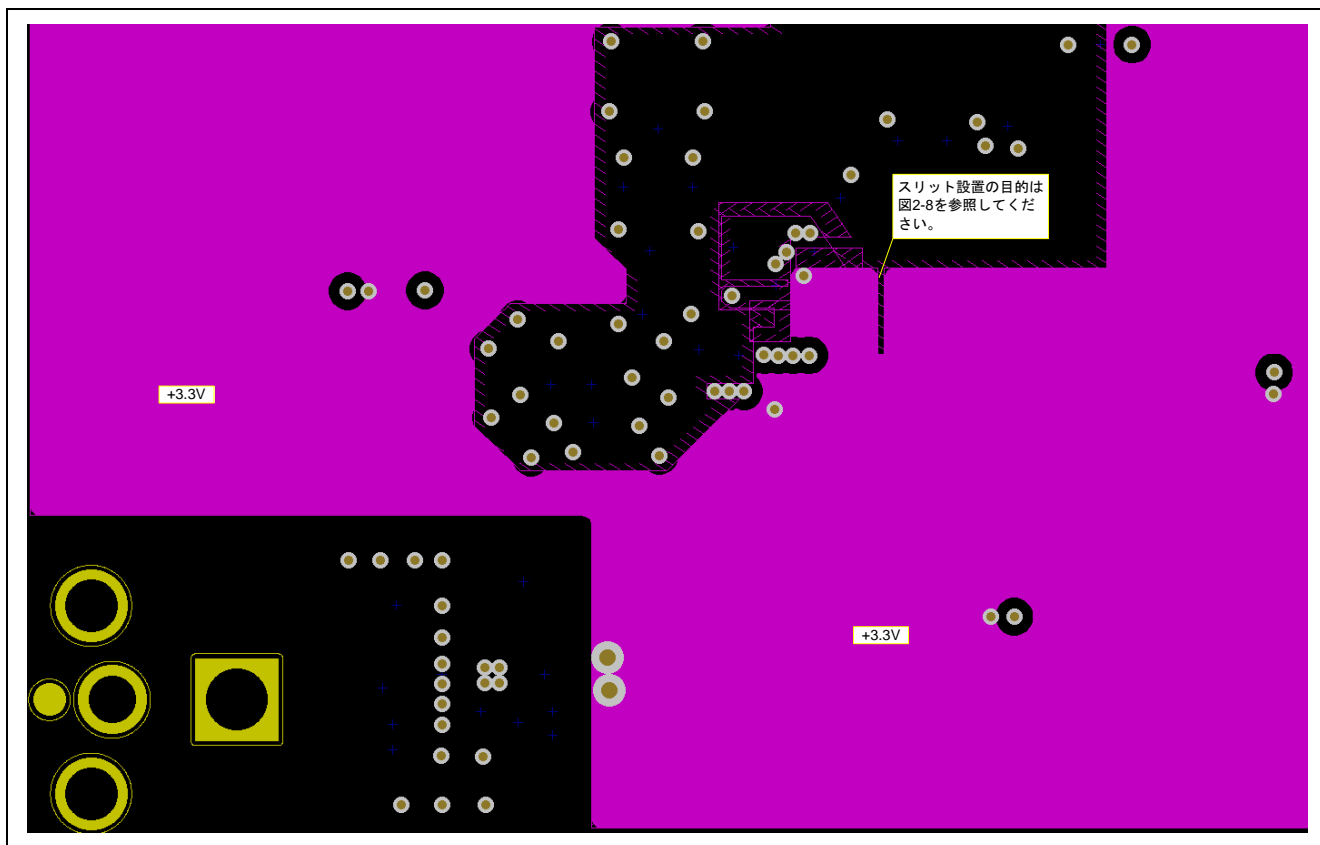


図 3-7 ボードのパターン例(3層パターン)

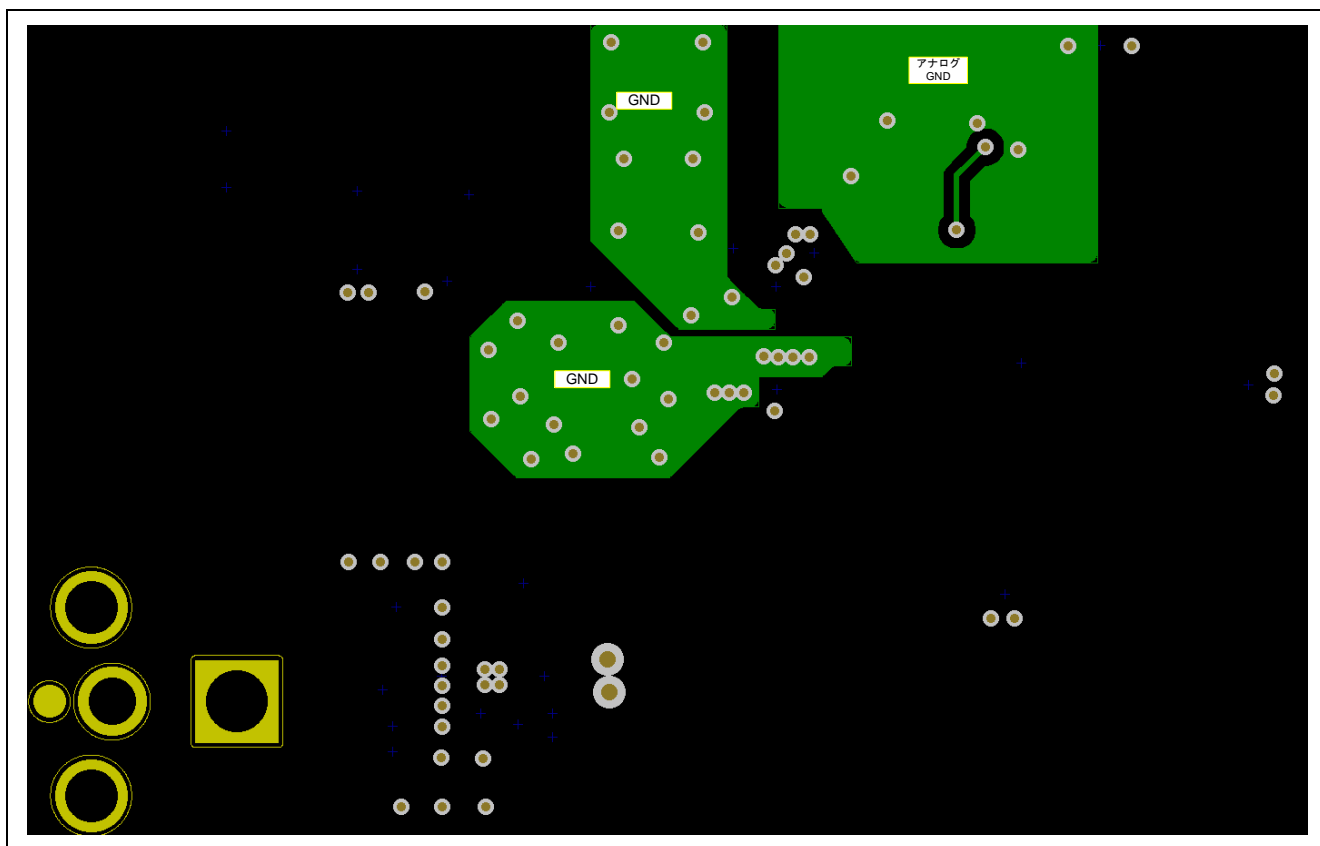


図 3-8 ボードのパターン例(4層パターン)

4. 参考ドキュメント

- ユーザーズマニュアル:ハードウェアカタログ
- RX ファミリ各グループ ユーザーズマニュアル ハードウェア編
(各デバイスの最新版をルネサス エレクトロニクスホームページから入手してください。)
- RX610 グループ アナログ電源パターンの注意事項(R01AN0271JJ)
- RX62N グループ、RX621 グループ アナログ電源パターンの注意事項(R01AN0269JJ)
- RX62T グループ アナログ電源パターンの注意事項(R01AN0638JJ)
- RX、RA ファミリ メインクロック回路、サブクロック回路のデザインガイド(R01AN7202JJ)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Aug.29.2013	—	初版発行
1.01	Sep.26.2014	5	1.2 VCL 端子 説明変更
		11	図 1.14 アナログ入力端子パターン例 変更
		15	3. 参考ドキュメント 変更
1.10	Sep.30.2021	2	1 章新規追加(以降、章番号、図番号振り直し)
		4	1.2.1 章削除
		7	2 章の題目を変更
		7	VCL コンデンサの配線制限を変更
		10	図 2-5 VCL コンデンサ容量の注記を追記
		14, 16, 21	GND ガード配線幅とスペースの配線条件を追記
		16	図 2-12 負荷容量の注記とカップリング端子の VSS を追記
		24 - 30	1 層基板、多層基板の例を 2 層基板、4 層基板の例に変更
31	参考ドキュメントを追加		
1.11	Feb.15.2024	16, 31	参考ドキュメントを更新
1.12	Jan.7.2025	6	図 1-5 誤記修正

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。