

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

概要

3803/3804グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。A-D変換器、D-A変換器を内蔵しており、家電、OA機器他アナログ信号の処理を行うシステムの制御に最適です。

3804グループは、3803グループにマルチマスタI²Cバスインタフェース機能が追加されたものです。

特長

基本機械語命令	71
命令実行時間	0.24 μs
(最短命令、発振周波数16.8MHz時)	
メモリ容量 ROM	16K~60Kバイト
RAM	640~2048バイト
プログラマブル入出力ポート	56本
ソフトウェアプルアップ抵抗	内蔵
割り込み	
21要因16ベクタ	3803グループ
(外部8、内部12、ソフトウェア1要因)	
23要因16ベクタ	3804グループ
(外部9、内部13、ソフトウェア1要因)	
タイマ	16ビット×1 8ビット×4 (8ビットプリスケラ付き)
ウォッチドッグタイマ	16ビット×1
シリアルI/O	
UART又はクロック同期形	8ビット×2
クロック同期形	8ビット×1
PWM	8ビット×1 (8ビットプリスケラ付き)
I ² Cバスインタフェース(3804グループのみ)	1チャンネル
A-D変換器	10ビット×16チャンネル (8ビット読み出し可能)
D-A変換器	8ビット×2チャンネル
LED直接駆動ポート	8本
クロック発生回路	2回路内蔵 (セラミック共振子又は水晶共振子外付け)
電源電圧	
[高速モード、中速モード時]	
発振周波数 16.8MHz時	4.5~5.5V
発振周波数 12.5MHz時	4.0~5.5V
発振周波数 8.38MHz時	2.7~5.5V(*)
[低速モード時]	
発振周波数 32kHz	2.7~5.5V(*)
(*:フラッシュメモリ版は4.0~5.5Vです。)	
消費電力	
高速モード時	60mW(標準)
(発振周波数16.8MHz、電源電圧5V時)	
低速モード時	60 μW(標準)
(発振周波数32kHz、電源電圧3V時)	

動作周囲温度	-20~85
パッケージ	
SP	64P4B (64ピン750mil SDIP)
FP	64P6N-A (64ピン14×14mm QFP)
HP	64P6Q-A (64ピン10×10mm LQFP)

<フラッシュメモリモード>

電源電圧(プログラム/イレーズ時)	V _{CC} =5V ± 10%
プログラム/イレーズ電圧	V _{PP} =11.7~12.6V
プログラム	バイト単位
イレーズ	
一括消去	パラレル/シリアル入出力モード
ブロック消去	CPU書き換えモード
ソフトウェアコマンドによるプログラム/イレーズ制御	
プログラムイレーズ回数	100回
動作周囲温度(プログラム/イレーズ時)	常温

注意事項

1. フラッシュメモリ版は、マイコンカード組み込み用途には使用できません。
2. フラッシュメモリ版の電源電圧範囲はV_{CC}=4.0~5.5Vです。

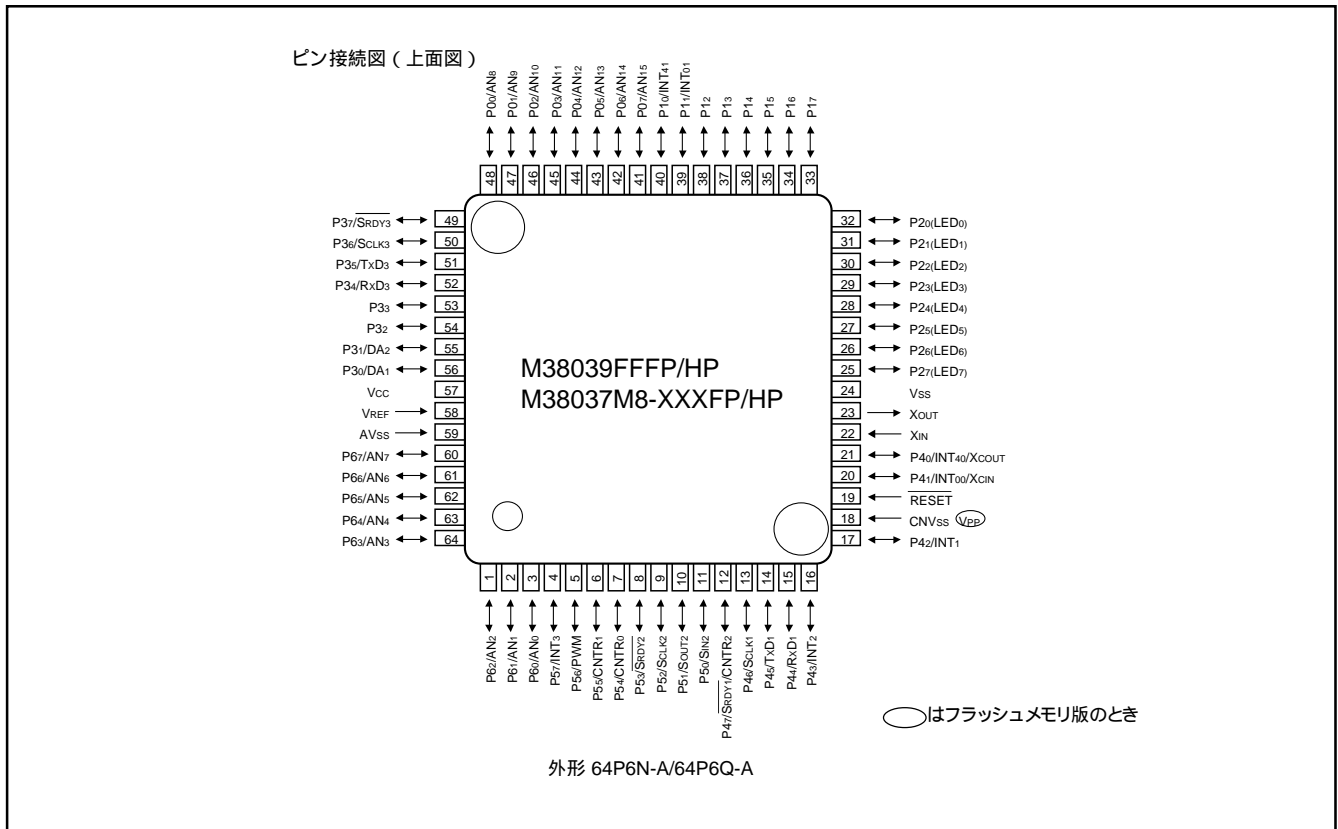


図1. 3803グループのピン接続図

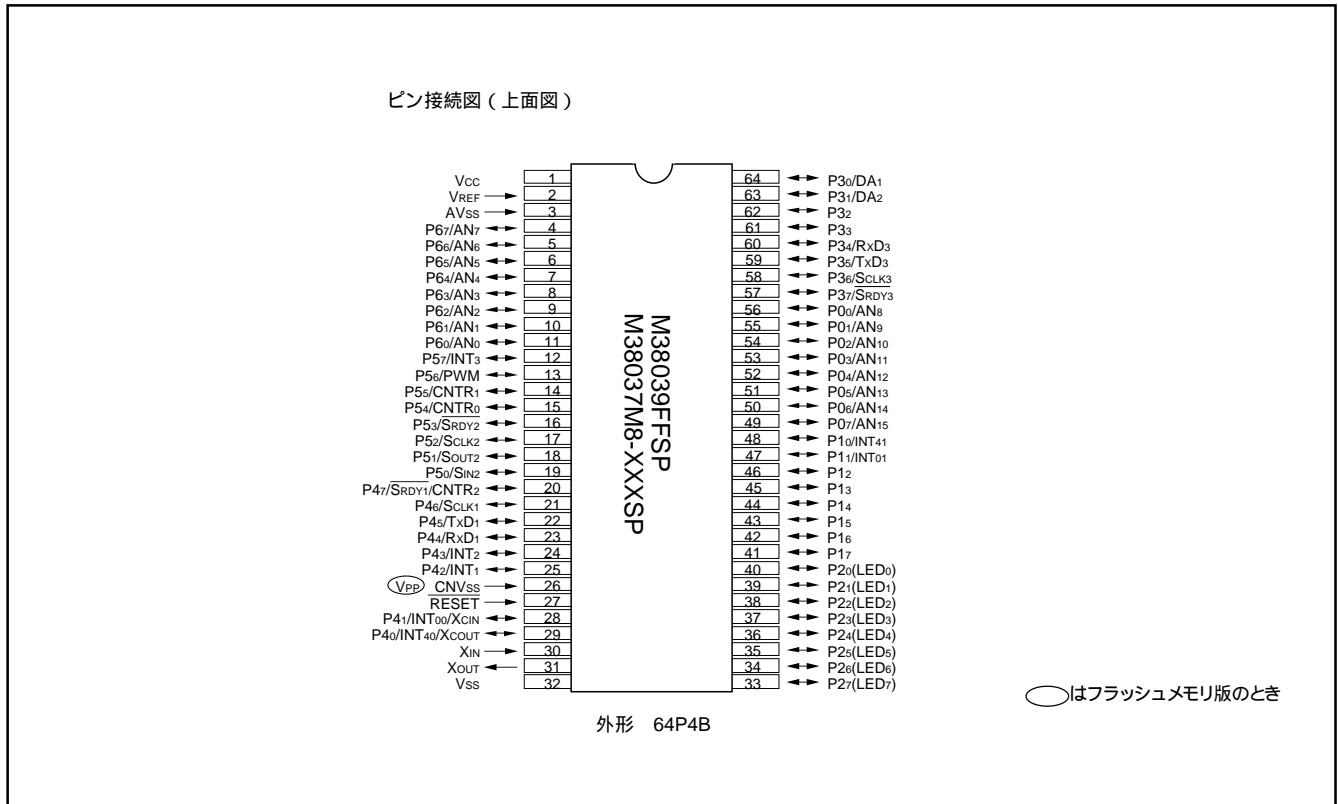


図2. 3803グループのピン接続図

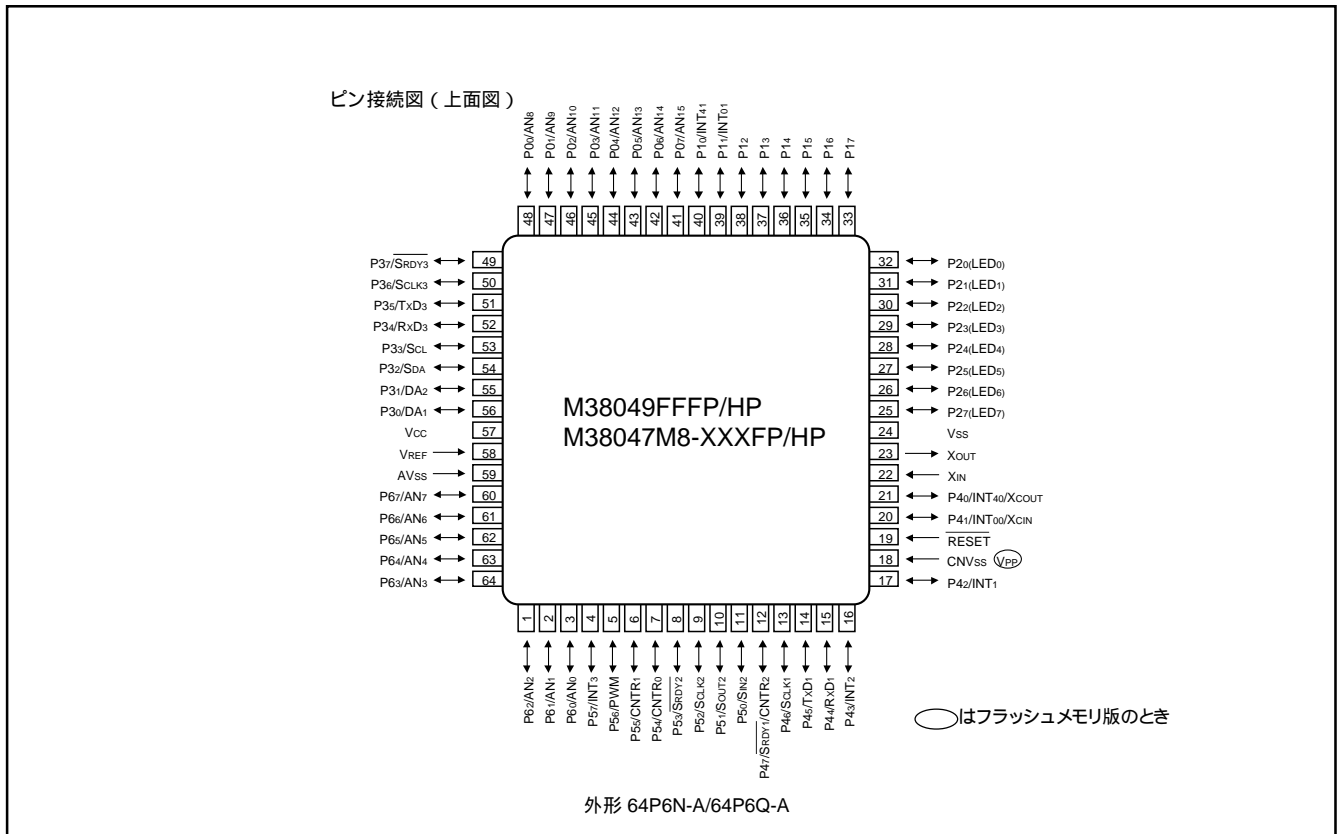


図3. 3804グループのピン接続図

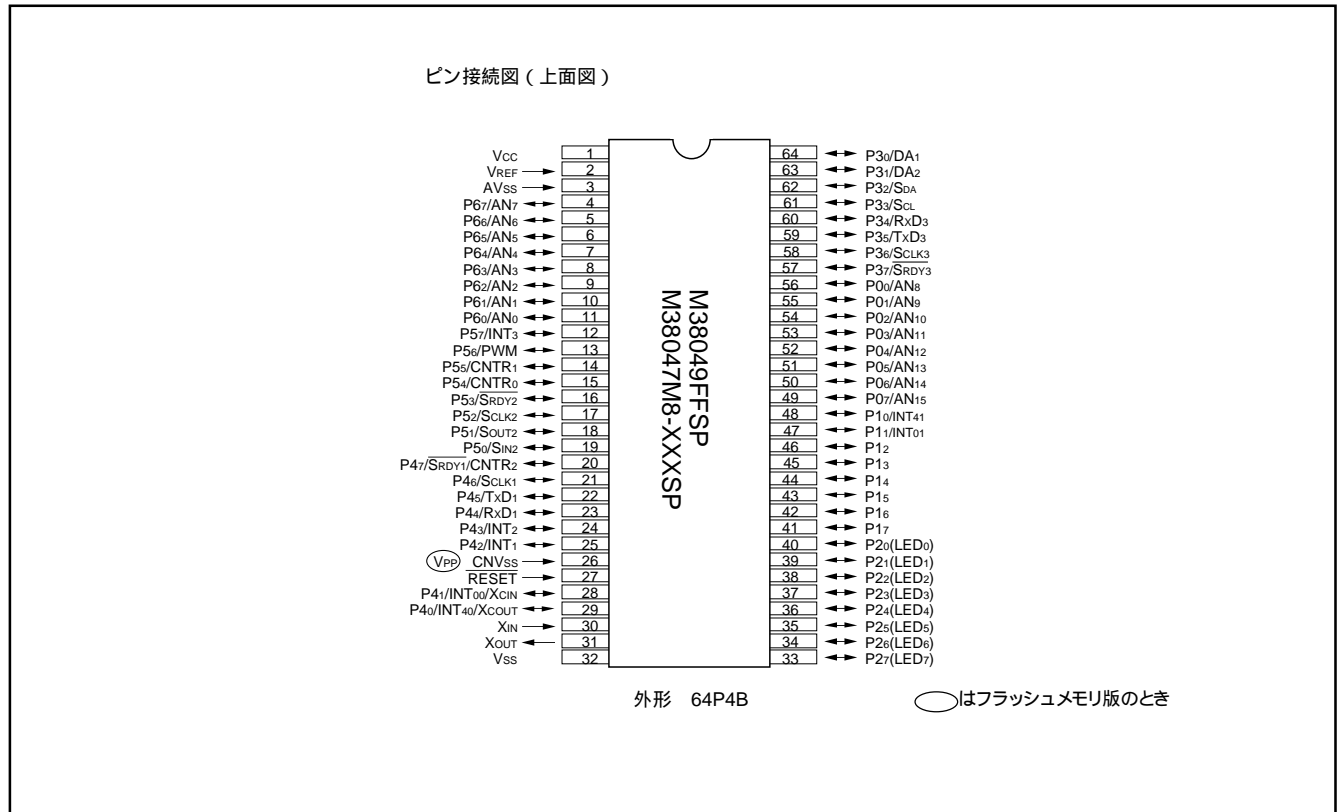


図4. 3804グループのピン接続図

端子の機能説明

表1. 端子の機能説明(3803グループ)

端子名	名称	機能	ポート以外の機能
Vcc,Vss	電源入力	Vccに2.7~5.5V、Vssに0Vを印加します。フラッシュメモリ版はVccに4.0~5.5Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。フラッシュメモリモードでは、Vpp電源入力端子になります。	
VREF	基準電圧入力	A-D変換器およびD-A変換器の基準電圧入力端子です。	
AVss	アナログ電源入力	A-D変換器およびD-A変換器のアナログ電源入力端子です。この端子はVssに接続してください。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。	
XOUT	クロック出力		
P00/AN8 ~ P07/AN15	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。	A-D変換器入力端子
P10/INT41 P11/INT01 P12 ~ P17	入出力ポートP1	CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。P20 ~ P27はLED駆動用の大電流出力が可能です。	割り込み入力端子
P20 ~ P27	入出力ポートP2		
P30/DA1 P31/DA2 P32,P33	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルはCMOS入力レベルです。P30,P31,P34 ~ P37の出力形式はCMOS3ステートです。P32,P33の出力形式はNチャネルオープンドレインです。P32,P33以外はビット単位でプルアップ制御が可能です。	D-A変換器出力端子
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3			シリアルI/O3の機能端子
P40/INT40/XCOUT P41/INT00/XCIN P42/INT1 P43/INT2 P44/RxD1 P45/TxD1 P46/SCLK1 P47/SRDY1/CNTR2	入出力ポートP4	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	割り込み入力端子 サブクロック発生入出力端子 (共振子を接続します。) 割り込み入力端子
			シリアルI/O1機能端子
			シリアルI/O1、タイマZ機能端子
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2 P54/CNTR0 P55/CNTR1 P56/PWM P57/INT3	入出力ポートP5	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	シリアルI/O2の機能端子
			タイマX機能端子
			タイマY機能端子
			PWM出力端子
			割り込み入力端子
P60/AN0 ~ P67/AN7	入出力ポートP6		A-D変換器入力端子

端子の機能説明

表2. 端子の機能説明(3804グループ)

端子名	名称	機能	ポート以外の機能
Vcc,Vss	電源入力	Vccに2.7 ~ 5.5V ,Vssに0Vを印加します。フラッシュメモリ版はVccに4.0 ~ 5.5Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。フラッシュメモリモードでは、VPP電源入力端子になります。	
VREF	基準電圧入力	A-D変換器およびD-A変換器の基準電圧入力端子です。	
AVss	アナログ電源入力	A-D変換器およびD-A変換器のアナログ電源入力端子です。この端子はVssに接続してください。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	クロック発生回路の入出力端子で XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し XOUTは開放にします。帰還抵抗内蔵です。	
XOUT	クロック出力		
P00/AN8 ~ P07/AN15	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。	A-D変換器入力端子
P10/INT41 P11/INT01 P12 ~ P17	入出力ポートP1	CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。P20 ~ P27はLED駆動用の大電流出力が可能です。	割り込み入力端子
P20 ~ P27	入出力ポートP2		
P30/DA1 P31/DA2	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。	D-A変換器出力端子
P32/SDA P33/SCL		入力レベルはCMOS入力レベルです。 (P32,P33はI ² C-BUSインタフェース機能時CMOS/SMBUS入力レベル切り替えが可能です。)	I ² C-BUSインタフェース機能端子
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3		P30,P31,P34 ~ P37の出力形式はCMOS3ステートです。P32,P33の出力形式はNチャネルオープンドレインです。P32,P33以外はビット単位でプルアップ制御が可能です。	シリアルI/O3の機能端子
P40/INT40/XCOUT P41/INT00/XCIN	入出力ポートP4	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。	割り込み入力端子 サブクロック発生入出力端子 (共振子を接続します。)
P42/INT1 P43/INT2		CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	割り込み入力端子
P44/RxD1 P45/TxD1 P46/SCLK1 P47/SRDY1/CNTR2			シリアルI/O1機能端子
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2	入出力ポートP5	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。	シリアルI/O2の機能端子
P54/CNTR0 P55/CNTR1 P56/PWM P57/INT3		CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	タイマX機能端子 タイマY機能端子 PWM出力端子 割り込み入力端子
P60/AN0 ~ P67/AN7	入出力ポートP6		A-D変換器入力端子

形名とメモリサイズ・パッケージ

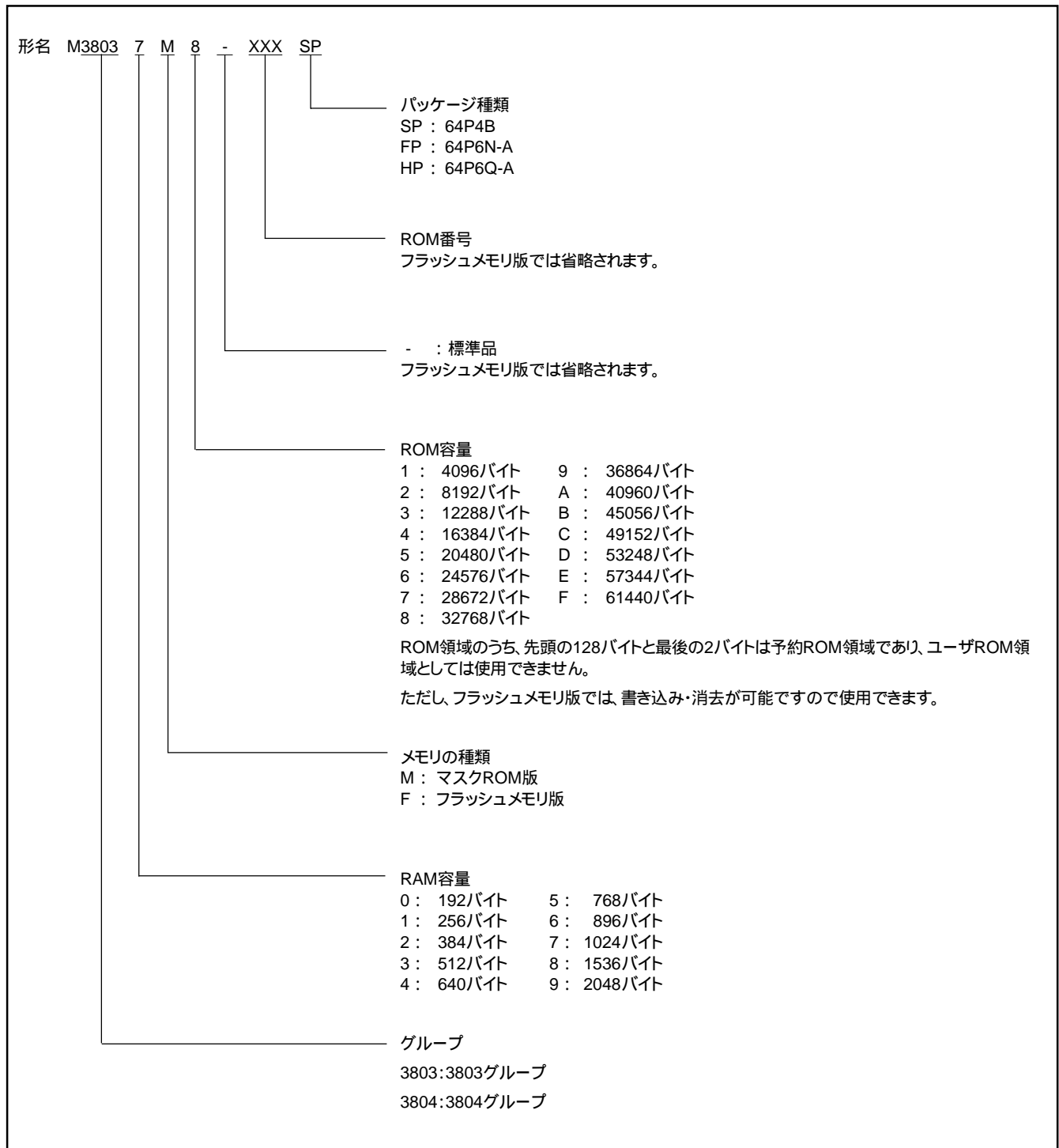


図7. 形名とメモリサイズ・パッケージ

3803/3804グループ

グループ展開

3803/3804グループは次のような展開を計画しています。

メモリの種類

マスクROM版、フラッシュメモリ版のサポート

パッケージ

64P4B シュリンクプラスチックモールドDIP

64P6N-A 0.8mmピッチプラスチックモールドQFP

64P6Q-A 0.5mmピッチプラスチックモールドLQFP

メモリ容量

フラッシュメモリ容量 60Kバイト

マスクROM容量 16K ~ 60Kバイト

RAM容量 640 ~ 2048バイト

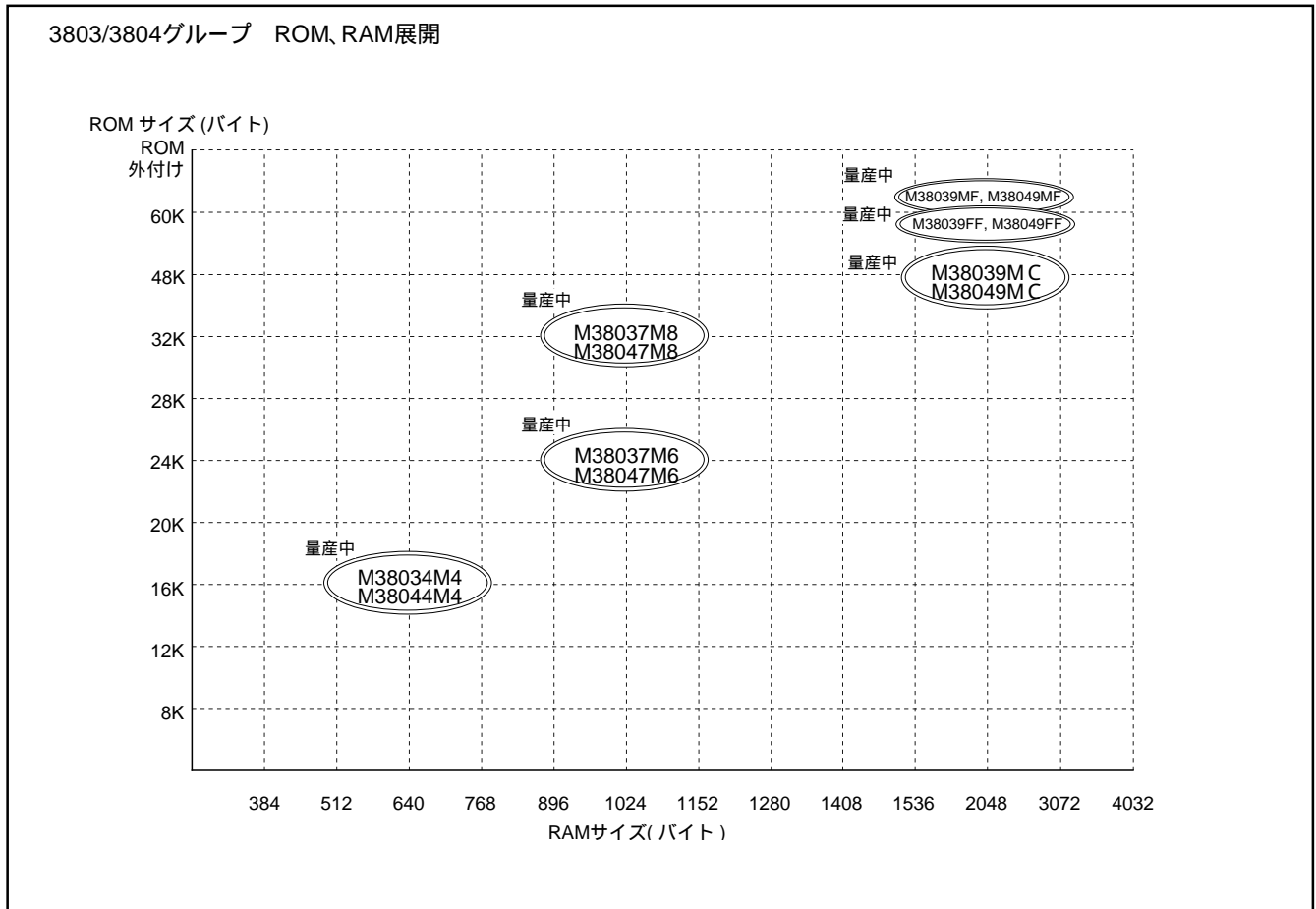


図8. ROM及びRAM展開

製品一覧を下記に示します。

表3. 製品一覧

2003年11月現在

製品形名	ROM容量(バイト) ()内はユーザROM容量	RAM(バイト)	パッケージ	備考
M38034M4-XXXSP	16384 (16254)	640	64P4B	マスクROM版
M38034M4-XXXFP			64P6N-A	
M38034M4-XXXHP			64P6Q-A	
M38044M4-XXXSP			64P4B	
M38044M4-XXXFP			64P6N-A	
M38044M4-XXXHP			64P6Q-A	
M38037M6-XXXSP	24576 (24446)	1024	64P4B	マスクROM版
M38037M6-XXXFP			64P6N-A	
M38037M6-XXXHP			64P6Q-A	
M38047M6-XXXSP			64P4B	
M38047M6-XXXFP			64P6N-A	
M38047M6-XXXHP			64P6Q-A	
M38037M8-XXXSP	32768 (32638)	1024	64P4B	マスクROM版
M38037M8-XXXFP			64P6N-A	
M38037M8-XXXHP			64P6Q-A	
M38047M8-XXXSP			64P4B	
M38047M8-XXXFP			64P6N-A	
M38047M8-XXXHP			64P6Q-A	
M38039MC-XXXSP	49152 (49022)	2048	64P4B	マスクROM版
M38039MC-XXXFP			64P6N-A	
M38039MC-XXXHP			64P6Q-A	
M38049MC-XXXSP			64P4B	
M38049MC-XXXFP			64P6N-A	
M38049MC-XXXHP			64P6Q-A	
M38039MF-XXXSP	61440 (61310)	2048	64P4B	マスクROM版
M38039MF-XXXFP			64P6N-A	
M38039MF-XXXHP			64P6Q-A	
M38049MF-XXXSP			64P4B	
M38049MF-XXXFP			64P6N-A	
M38049MF-XXXHP			64P6Q-A	
M38039FFSP	61440	2048	64P4B	フラッシュメモリ版
M38039FFFP			64P6N-A	
M38039FFHP			64P6Q-A	
M38049FFSP			64P4B	
M38049FFFP			64P6N-A	
M38049FFHP			64P6Q-A	

機能ブロック動作説明

中央演算処理装置 (CPU)

3803/3804グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図9にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図10に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

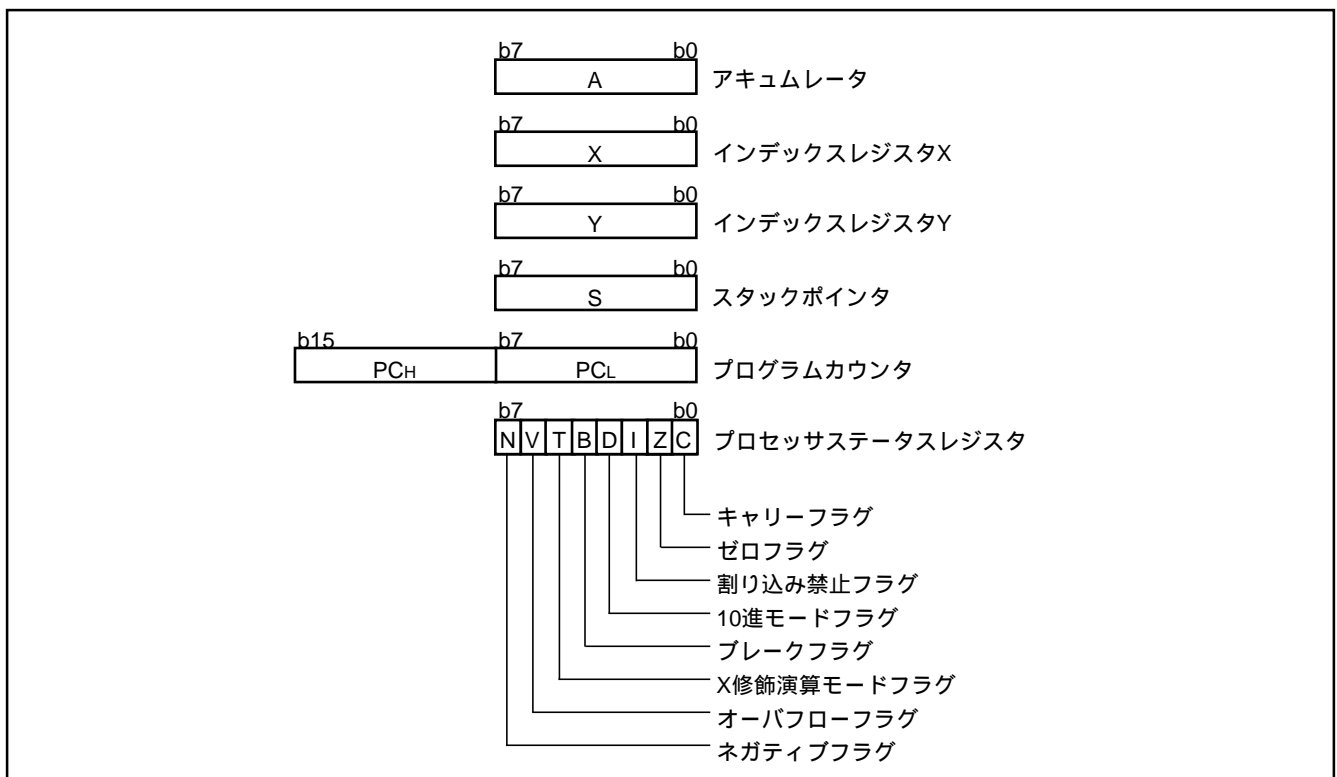


図9 . 740ファミリ CPUの構成

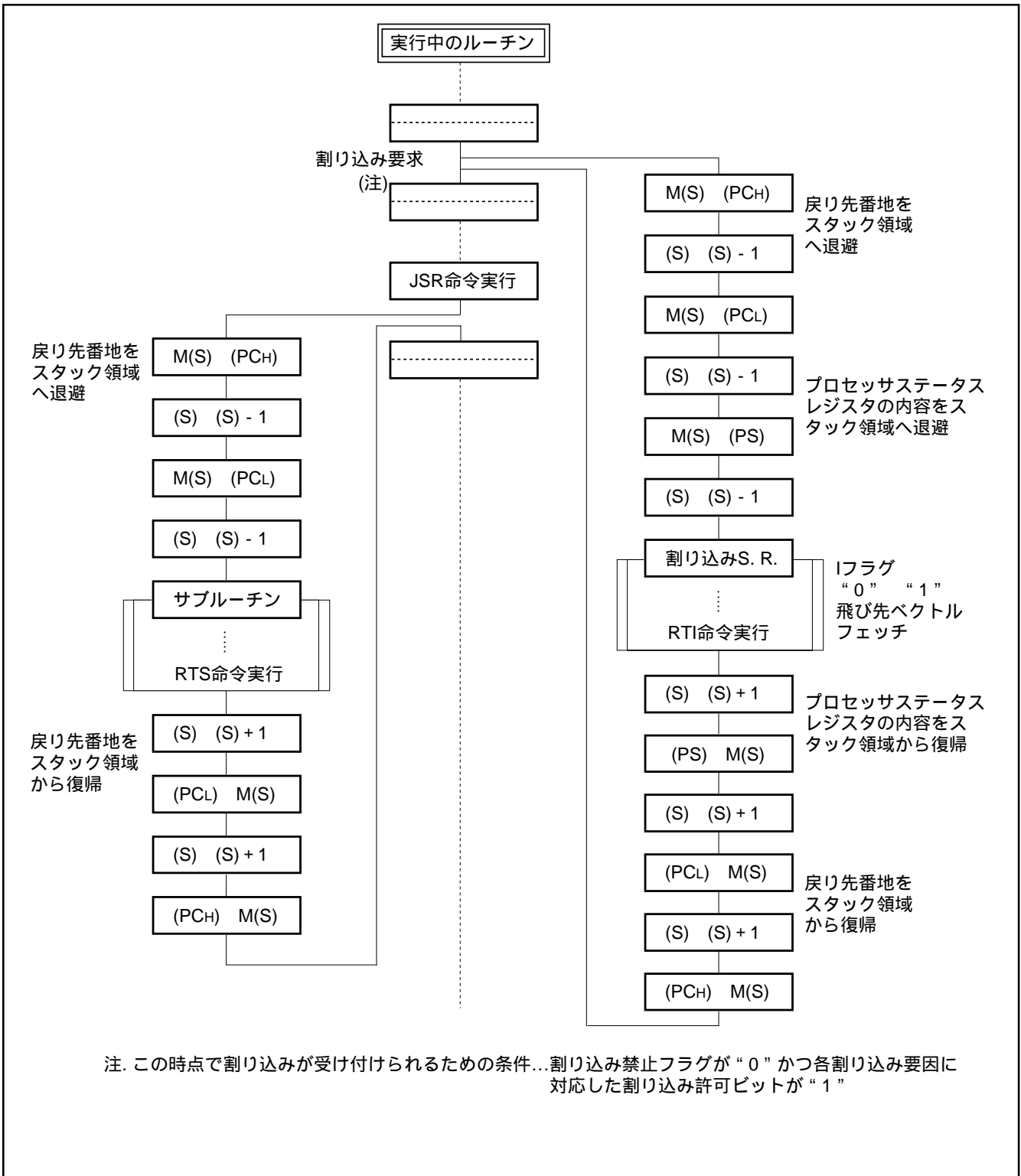


図10 . スタックへの退避及び復帰動作

表4 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はボーローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みみでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使われます。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページ選択のビットや内部システムクロック制御ビットなどが割り当てられています。このレジスタは003B₁₆番地に配置されています。

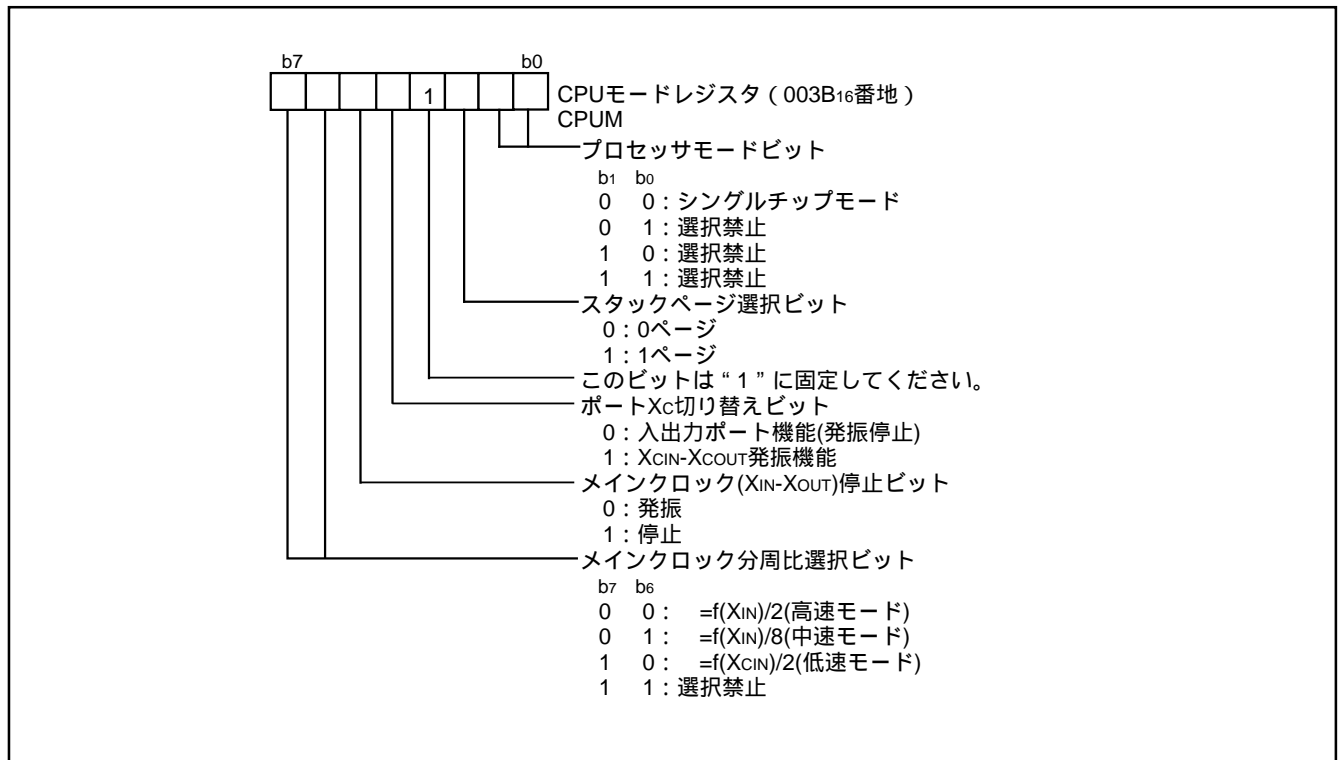


図11 . CPUモードレジスタの構成

【MISRG】

(1) STP命令解除後の発振安定時間設定ビット(0010₁₆番地のビット0)

STP命令によって発振が停止している状態で、外部割り込み要因によってSTP命令が解除された場合、発振安定時間を待つためタイマ1とプリスケーラ12には通常、自動的に値(タイマ1 0₁₆、プリスケーラ12 FF₁₆)が設定されます。MISRG(0010₁₆番地)のビット0を“1”にすることで、自動設定を禁止することができます。

しかし、このビットを“1”に設定したときは、STP命令実行前の設定値がタイマ1とプリスケーラ12に残っていますので、STP命令実行前に発振安定時間として適切な値を、それぞれのレジスタに設定してください。

図12にMISRGの構成を示します。

(2) 中速モード自動切り替え機能(0010₁₆番地のビット1,2,3)

サブクロックを持つマイコンは、低速モードから中速モード(あるいは高速モード)に切り替える場合、CPUモードレジスタ(003B₁₆番地)を設定し、メインクロック発振開始 発振安定時間待ち 中速モード切り替えをする必要がありますが、SCL/SDA割り込み(3804グループのみ)、又はソフトウェアによって低速モードから中速モードに自動的に切り替える機能を内蔵しています。

SCL/SDA割り込みからの中速モード自動切り替え(3804グループのみ)

MISRG(0010₁₆番地)の中速モード自動切り替え設定ビット(ビット1)を“1”にすることで、SCL/SDA割り込み要因で自動切り替えが許可されます。自動切り替えが実行される時の条件は、I²Cスタート/ストップコンディション制御レジスタ(0016₁₆番地)のSCL/SDA割り込み端子選択ビット(ビット6)とSCL/SDA割り込み端子極性選択ビット(ビット5)の設定に依存します。また、メインクロックの発振安定時間はMISRG(0010₁₆番地)の中速モード自動切り替え待ち時間設定ビット(ビット2)で選択できます。

ソフトウェアによる中速モード自動切り替え

マイコンが低速モードで動作中に、ソフトウェアにより自動的に中速モードへの切り替えが可能です。低速モードで動作中に、中速モード自動切り替え設定ビットが“1”の状態、MISRG(0010₁₆番地)の中速モード自動切り替え開始ビット(ビット3)を“1”にすることで、中速モードに自動的に切り替わります。このときのメインクロックの発振安定時間はMISRG(0010₁₆番地)の中速モード自動切り替え待ち時間設定ビット(ビット2)で選択できます。

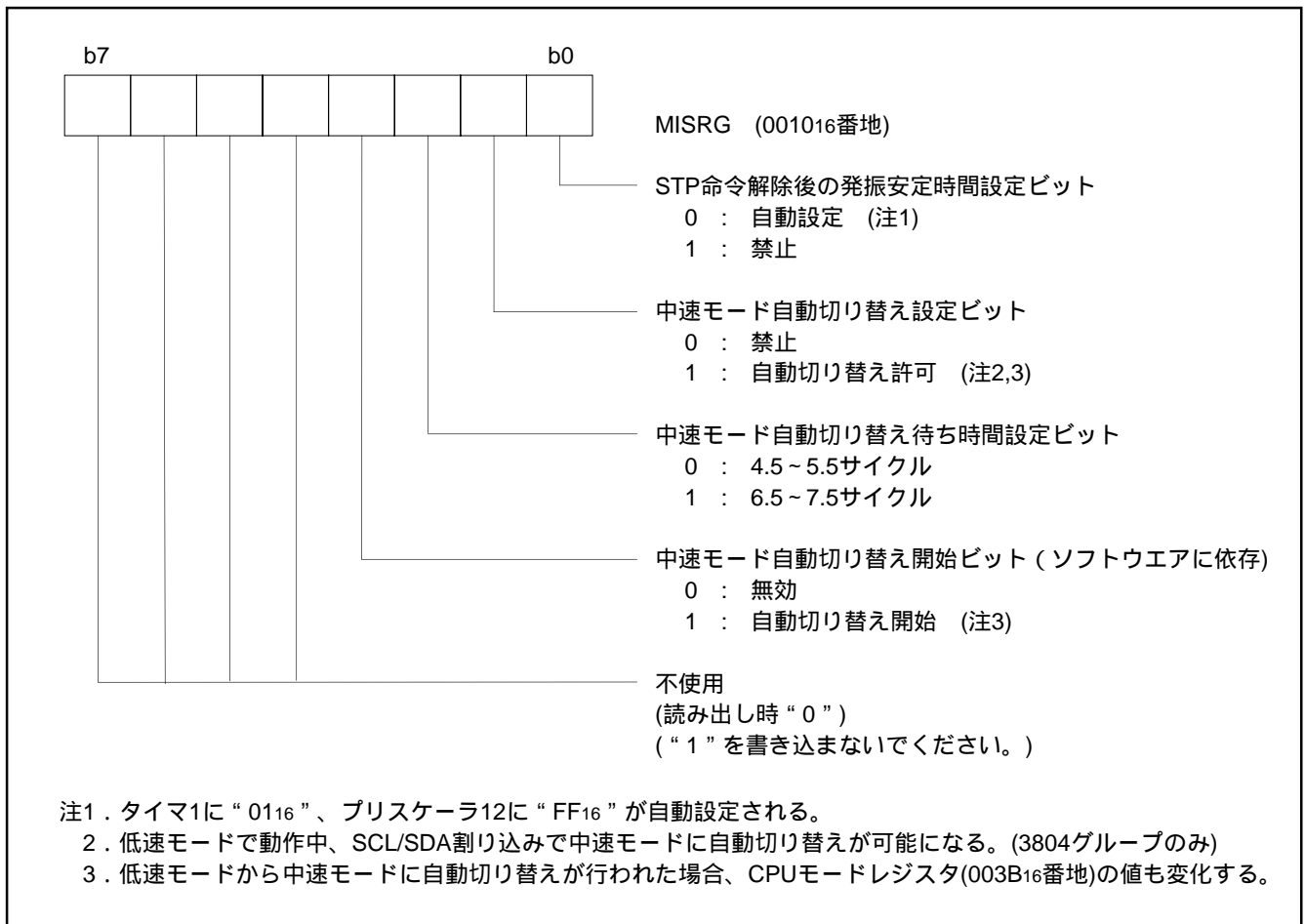


図12 . MISRGの構成

メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

●ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

フラッシュメモリ版では、予約ROM領域のプログラム/イレーズが可能です。

●割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより2語でアクセスできる領域です。

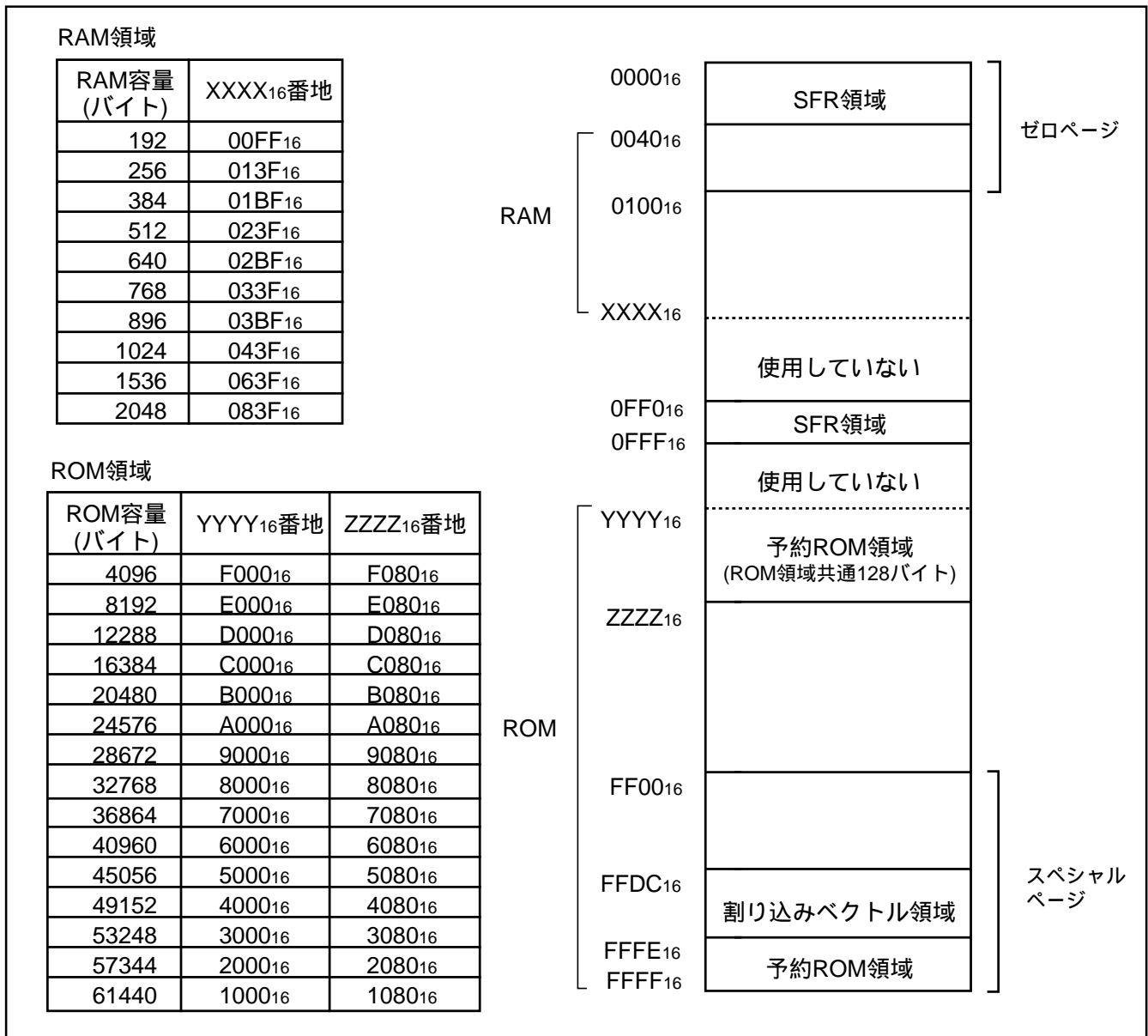


図13. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケアラ12(PRE12)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ1(T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2(T2)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケアラX(PREX)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマX(TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケアラY(PREY)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマY(TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマZ下位(TZL)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	タイマZ上位(TZH)
000A ₁₆	ポートP5(P5)	002A ₁₆	タイマZモードレジスタ(TZM)
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	PWM制御レジスタ(PWMCON)
000C ₁₆	ポートP6(P6)	002C ₁₆	PWMプリスケアラ(PREPWM)
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	PWMレジスタ(PWM)
000E ₁₆	タイマ12,Xカウントソース選択レジスタ(T12XCSS)	002E ₁₆	
000F ₁₆	タイマY,Zカウントソース選択レジスタ(TYZCSS)	002F ₁₆	ポーレートジェネレータ3(BRG3)
0010 ₁₆	MISRG	0030 ₁₆	送信/受信バッファレジスタ3(TB3/RB3)
0011 ₁₆	予約注)	0031 ₁₆	シリアルI/O3ステータスレジスタ(SIO3STS)
0012 ₁₆	予約注)	0032 ₁₆	シリアルI/O3制御レジスタ(SIO3CON)
0013 ₁₆	予約注)	0033 ₁₆	UART3制御レジスタ(UART3CON)
0014 ₁₆	予約注)	0034 ₁₆	AD/DA制御レジスタ(ADCON)
0015 ₁₆	予約注)	0035 ₁₆	A-D変換レジスタ1(AD1)
0016 ₁₆	予約注)	0036 ₁₆	D-A1変換レジスタ(DA1)
0017 ₁₆	予約注)	0037 ₁₆	D-A2変換レジスタ(DA2)
0018 ₁₆	送信/受信バッファレジスタ1(TB1/RB1)	0038 ₁₆	A-D変換レジスタ2(AD2)
0019 ₁₆	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 ₁₆	割り込み要因選択レジスタ(INTSEL)
001A ₁₆	シリアルI/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART1制御レジスタ(UART1CON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ1(BRG1)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	シリアルI/O2制御レジスタ(SIO2CON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	シリアルI/O2レジスタ(SIO2)	003F ₁₆	割り込み制御レジスタ2(ICON2)
		0FF0 ₁₆	ポートP0プルアップ制御レジスタ(PULL0)
		0FF1 ₁₆	ポートP1プルアップ制御レジスタ(PULL1)
		0FF2 ₁₆	ポートP2プルアップ制御レジスタ(PULL2)
		0FF3 ₁₆	ポートP3プルアップ制御レジスタ(PULL3)
		0FF4 ₁₆	ポートP4プルアップ制御レジスタ(PULL4)
		0FF5 ₁₆	ポートP5プルアップ制御レジスタ(PULL5)
		0FF6 ₁₆	ポートP6プルアップ制御レジスタ(PULL6)
		0FFE ₁₆	フラッシュメモリ制御レジスタ(FCON)
		0FFF ₁₆	フラッシュコマンドレジスタ(FCMD)

注．予約領域のため、何もデータを書き込まないでください。

図14. 3803グループのSFR(スペシャルファンクションレジスタ)メモリマップ

0000 ¹⁶	ポートP0(P0)	0020 ¹⁶	プリスケラ12(PRE12)
0001 ¹⁶	ポートP0方向レジスタ(P0D)	0021 ¹⁶	タイマ1(T1)
0002 ¹⁶	ポートP1(P1)	0022 ¹⁶	タイマ2(T2)
0003 ¹⁶	ポートP1方向レジスタ(P1D)	0023 ¹⁶	タイマXYモードレジスタ(TM)
0004 ¹⁶	ポートP2(P2)	0024 ¹⁶	プリスケラX(PREX)
0005 ¹⁶	ポートP2方向レジスタ(P2D)	0025 ¹⁶	タイマX(TX)
0006 ¹⁶	ポートP3(P3)	0026 ¹⁶	プリスケラY(PREY)
0007 ¹⁶	ポートP3方向レジスタ(P3D)	0027 ¹⁶	タイマY(TY)
0008 ¹⁶	ポートP4(P4)	0028 ¹⁶	タイマZ下位(TZL)
0009 ¹⁶	ポートP4方向レジスタ(P4D)	0029 ¹⁶	タイマZ上位(TZH)
000A ¹⁶	ポートP5(P5)	002A ¹⁶	タイマZモードレジスタ(TZM)
000B ¹⁶	ポートP5方向レジスタ(P5D)	002B ¹⁶	PWM制御レジスタ(PWMCON)
000C ¹⁶	ポートP6(P6)	002C ¹⁶	PWMプリスケラ(PREPWM)
000D ¹⁶	ポートP6方向レジスタ(P6D)	002D ¹⁶	PWMLレジスタ(PWM)
000E ¹⁶	タイマ12,Xカウントソース選択レジスタ(T12XCSS)	002E ¹⁶	
000F ¹⁶	タイマY,Zカウントソース選択レジスタ(TYZCSS)	002F ¹⁶	ポーレートジェネレータ3(BRG3)
0010 ¹⁶	MISRG	0030 ¹⁶	送信/受信バッファレジスタ3(TB3/RB3)
0011 ¹⁶	I ² Cデータシフトレジスタ(S0)	0031 ¹⁶	シリアルI/O3ステータスレジスタ(SIO3STS)
0012 ¹⁶	I ² Cスペシャルモードステータスレジスタ(S3)	0032 ¹⁶	シリアルI/O3制御レジスタ(SIO3CON)
0013 ¹⁶	I ² Cステータスレジスタ(S1)	0033 ¹⁶	UART3制御レジスタ(UART3CON)
0014 ¹⁶	I ² Cコントロールレジスタ(S1D)	0034 ¹⁶	AD/DA制御レジスタ(ADCON)
0015 ¹⁶	I ² Cクロックコントロールレジスタ(S2)	0035 ¹⁶	A-D変換レジスタ1(AD1)
0016 ¹⁶	I ² Cスタート/ストップ コンテ ィション制御レジスタ(S2D)	0036 ¹⁶	D-A1変換レジスタ(DA1)
0017 ¹⁶	I ² Cスペシャルモード制御レジスタ(S3D)	0037 ¹⁶	D-A2変換レジスタ(DA2)
0018 ¹⁶	送信/受信バッファレジスタ1(TB1/RB1)	0038 ¹⁶	A-D変換レジスタ2(AD2)
0019 ¹⁶	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 ¹⁶	割り込み要因選択レジスタ(INTSEL)
001A ¹⁶	シリアルI/O1制御レジスタ(SIO1CON)	003A ¹⁶	割り込みエッジ選択レジスタ(INTEDGE)
001B ¹⁶	UART1制御レジスタ(UART1CON)	003B ¹⁶	CPUモードレジスタ(CPUM)
001C ¹⁶	ポーレートジェネレータ1(BRG1)	003C ¹⁶	割り込み要求レジスタ1(IREQ1)
001D ¹⁶	シリアルI/O2制御レジスタ(SIO2CON)	003D ¹⁶	割り込み要求レジスタ2(IREQ2)
001E ¹⁶	ウォッチドッグタイマ制御レジスタ(WDTCON)	003E ¹⁶	割り込み制御レジスタ1(ICON1)
001F ¹⁶	シリアルI/O2レジスタ(SIO2)	003F ¹⁶	割り込み制御レジスタ2(ICON2)
0FF0 ¹⁶	ポートP0プルアップ制御レジスタ(PULL0)	0FFE ¹⁶	フラッシュメモリ制御レジスタ(FCON)
0FF1 ¹⁶	ポートP1プルアップ制御レジスタ(PULL1)	0FFF ¹⁶	フラッシュコマンドレジスタ(FCMD)
0FF2 ¹⁶	ポートP2プルアップ制御レジスタ(PULL2)		
0FF3 ¹⁶	ポートP3プルアップ制御レジスタ(PULL3)		
0FF4 ¹⁶	ポートP4プルアップ制御レジスタ(PULL4)		
0FF5 ¹⁶	ポートP5プルアップ制御レジスタ(PULL5)		
0FF6 ¹⁶	ポートP6プルアップ制御レジスタ(PULL6)		
0FF7 ¹⁶	I ² Cスレーブアドレスレジスタ0(S0D0)		
0FF8 ¹⁶	I ² Cスレーブアドレスレジスタ1(S0D1)		
0FF9 ¹⁶	I ² Cスレーブアドレスレジスタ2(S0D2)		

図15. 3804グループのSFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを‘1’にセットするとその端子は出力ポートになります。‘0’にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

表6. 入出力ポートの機能一覧(3803グループ)

端子名	名称	入出力形式	ポート以外の機能	関連するSFR	図番
P00/AN8 ~ P07/AN15	ポートP0	CMOS入力レベル CMOS3ステート出力	A-D変換器入力	AD/DA制御レジスタ	(1)
P10/INT41 P11/INT01	ポートP1		外部割り込み入力	割り込みエッジ選択レジスタ	(2)
P12~P17					(3)
P20/LED0 ~ P27/LED7	ポートP2				
P30/DA1 P31/DA2	ポートP3	CMOS入力レベル CMOS3ステート出力	D-A変換器出力	AD/DA制御レジスタ	(4)
P32,P33		CMOS入力レベル Nチャネルオープンドレイン出力			(5)
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3		CMOS入力レベル CMOS3ステート出力	シリアル/O3機能入出力	シリアル/O3制御レジスタ UART3制御レジスタ	(6) (7) (8) (9)
P40/INT40/XCIN P41/INT00/XCOUT	ポートP4	CMOS入力レベル CMOS3ステート出力	外部割り込み入力 サブクロック発振回路	割り込みエッジ選択レジスタ CPUモードレジスタ	(10) (11)
P42/INT1 P43/INT2			外部割り込み入力	割り込みエッジ選択レジスタ	(2)
P44/RxD1 P45/TxD1 P46/SCLK1			シリアル/O1機能入出力	シリアル/O1制御レジスタ UART1制御レジスタ	(6) (7) (8)
P47/SRDY1/CNTR2			シリアル/O1機能入出力 タイマZ機能入出力	シリアル/O1制御レジスタ タイマZモードレジスタ	(12)
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2			シリアル/O2機能入出力	シリアル/O2制御レジスタ	(13) (14) (15) (16)
P54/CNTR0 P55/CNTR1		タイマX,Y機能入出力	タイマXYモードレジスタ	(17)	
P56/PWM			PWM出力	PWM制御レジスタ	(18)
P57/INT3			外部割り込み入力	割り込みエッジ選択レジスタ	(2)
P60/AN0 ~ P67/AN7	ポートP6	CMOS入力レベル CMOS3ステート出力	A-D変換器入力	AD/DA制御レジスタ	(1)

注1. ダブルファンクションポートを機能入出力端子として使用方法については、関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

表7. 入出力ポートの機能一覧(3804グループ)

端子名	名称	入出力形式	ポート以外の機能	関連するSFR	図番
P00/AN8 ~ P07/AN15	ポートP0	CMOS入力レベル CMOS3ステート出力	A-D変換器入力	AD/DA制御レジスタ	(1)
P10/INT41 P11/INT01	ポートP1		外部割り込み入力	割り込みエッジ選択レジスタ	(2)
P12 ~ P17					(3)
P20/LED0 ~ P27/LED7	ポートP2				
P30/DA1 P31/DA2	ポートP3	CMOS入力レベル CMOS3ステート出力	D-A変換器出力	AD/DA制御レジスタ	(4)
P32/SDA P33/SCL		CMOS入力レベル Nチャネルオープンドレイン出力 (I ² C-BUSインタフェース 機能選択時 CMOS/SMBUS入力レベル)	I ² C-BUSインタフェース 機能入出力	I ² Cコントロールレジスタ	(5)
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3		CMOS入力レベル CMOS3ステート出力	シリアル/O3機能入出力	シリアル/O3制御レジスタ UART3制御レジスタ	(6) (7) (8) (9)
P40/INT40/XCIN P41/INT00/XCOUT		ポートP4	CMOS入力レベル CMOS3ステート出力	外部割り込み入力 サブクロック発振回路	割り込みエッジ選択レジスタ CPUモードレジスタ
P42/INT1 P43/INT2			外部割り込み入力	割り込みエッジ選択レジスタ	(2)
P44/RxD1 P45/TxD1 P46/SCLK1			シリアル/O1機能入出力	シリアル/O1制御レジスタ UART1制御レジスタ	(6) (7) (8)
P47/SRDY1/CNTR2			シリアル/O1機能入出力 タイマZ機能入出力	シリアル/O1制御レジスタ タイマZモードレジスタ	(12)
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2			ポートP5	CMOS入力レベル CMOS3ステート出力	シリアル/O2機能入出力
P54/CNTR0 P55/CNTR1			タイマX,Y機能入出力	タイマXYモードレジスタ	(17)
P56/PWM			PWM出力	PWM制御レジスタ	(18)
P57/INT3			外部割り込み入力	割り込みエッジ選択レジスタ	(2)
P60/AN0 ~ P67/AN7	ポートP6	CMOS入力レベル CMOS3ステート出力	A-D変換器入力	AD/DA制御レジスタ	(1)

注1. ダブルファンクションポートを機能入出力端子として使用する方法については 関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はV_{cc}にしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

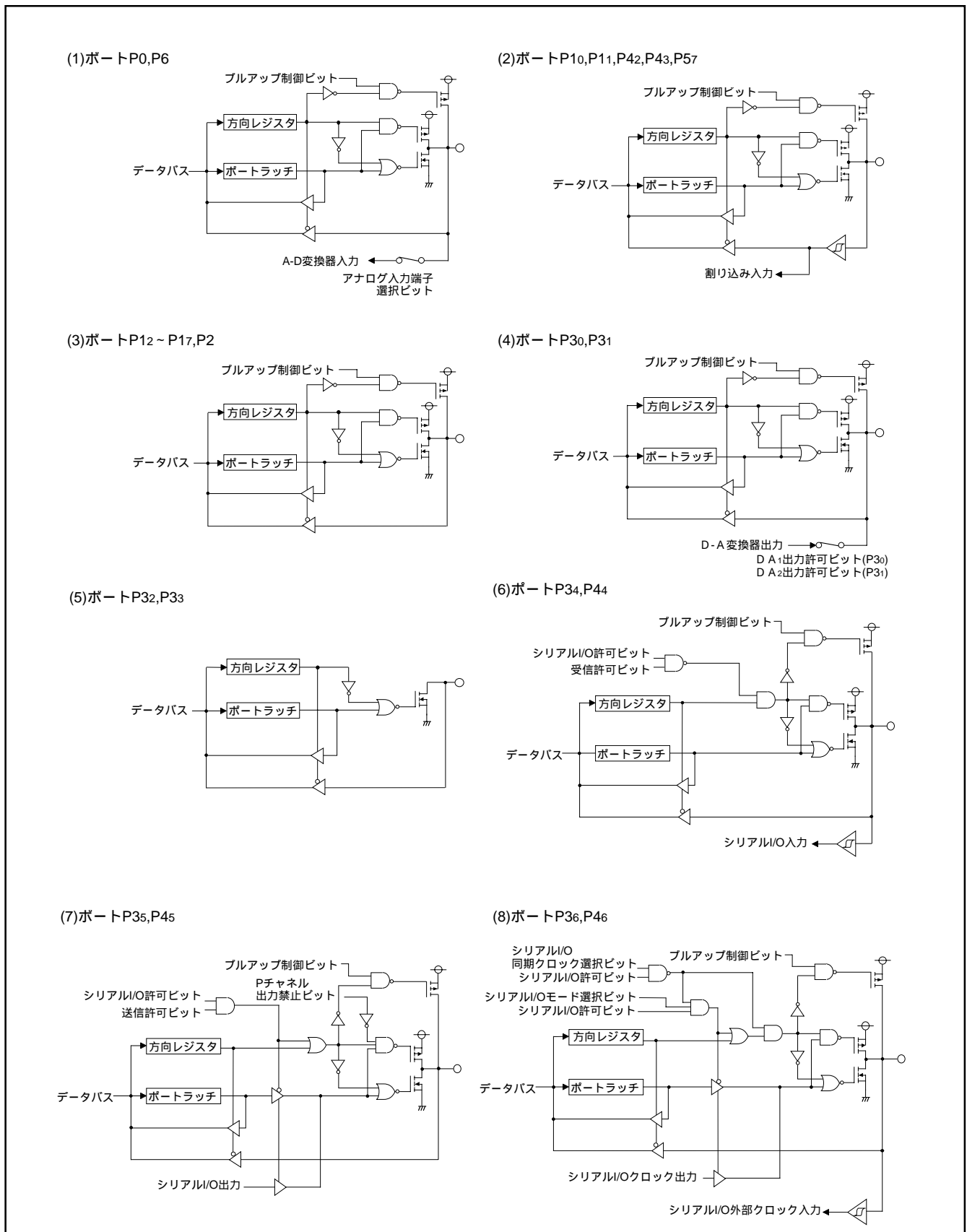


図16. 3803グループのポートブロック図(1)

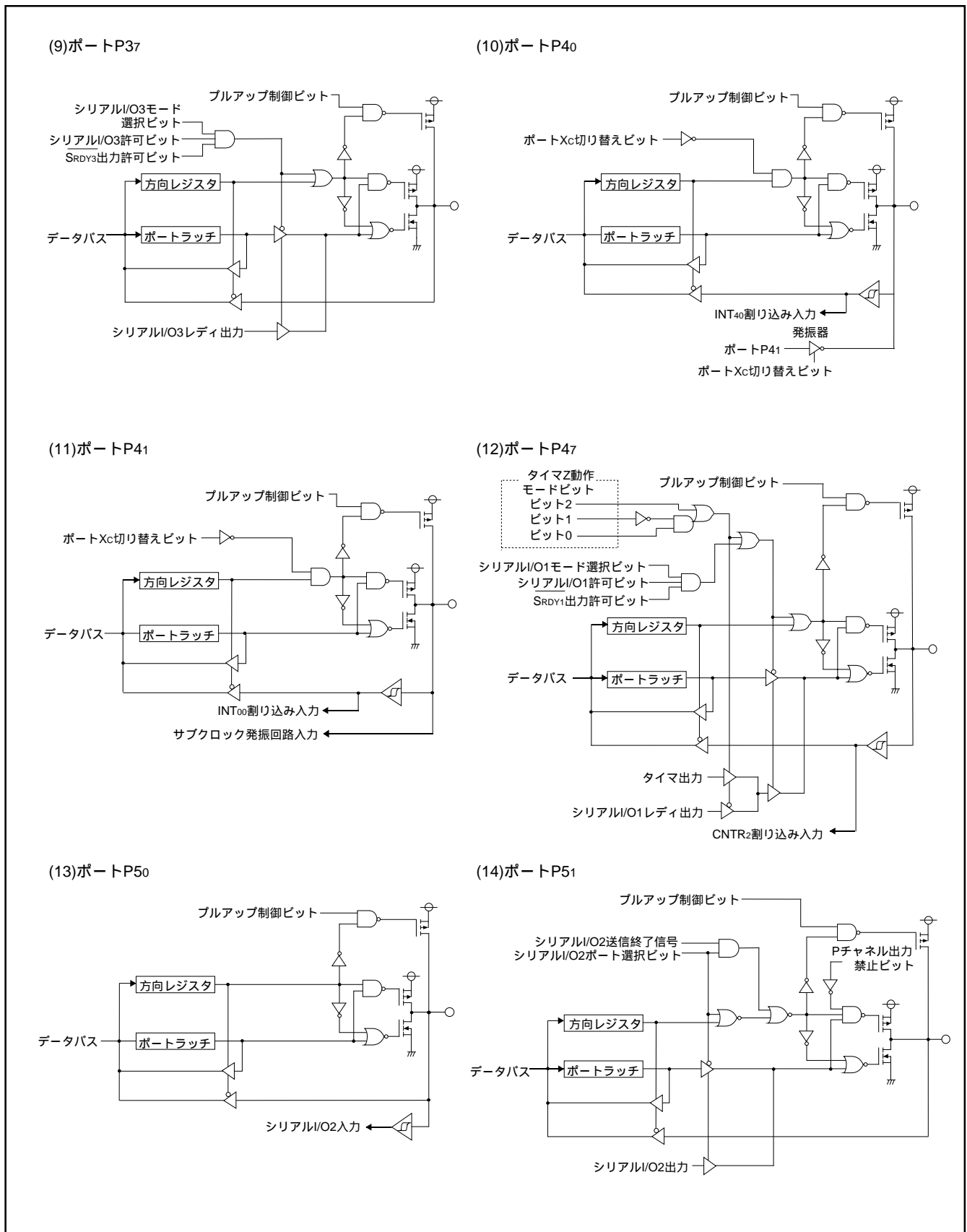
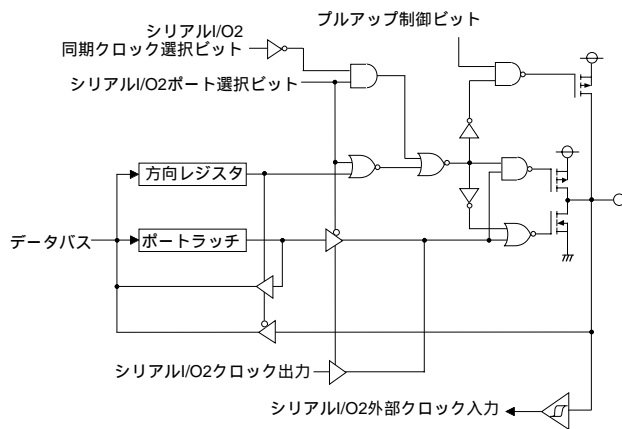
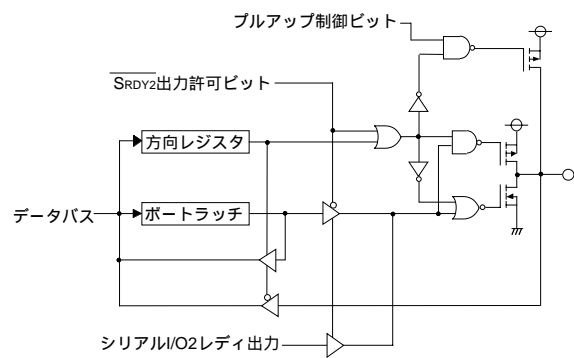


図17. 3803グループのポートブロック図(2)

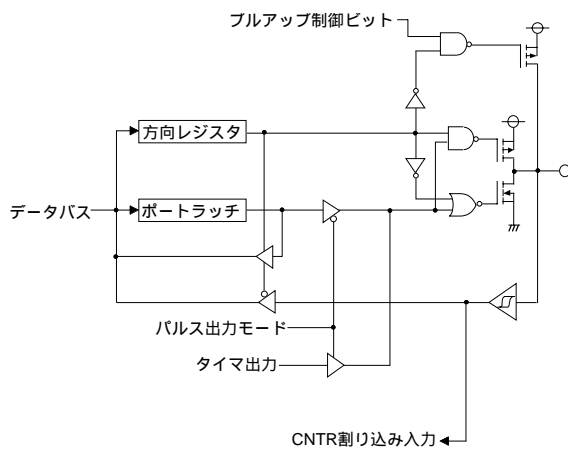
(15)ポートP52



(16)ポートP53



(17)ポートP54,P55



(18)ポートP56

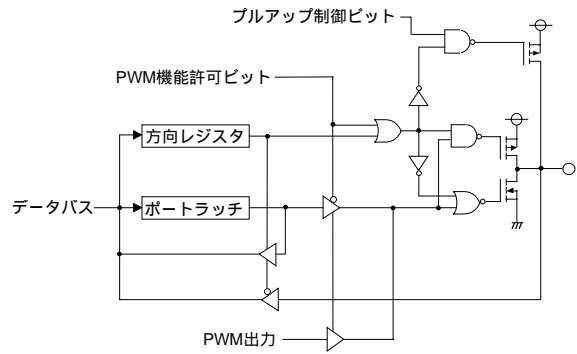


図18. 3803グループのポートブロック図(3)

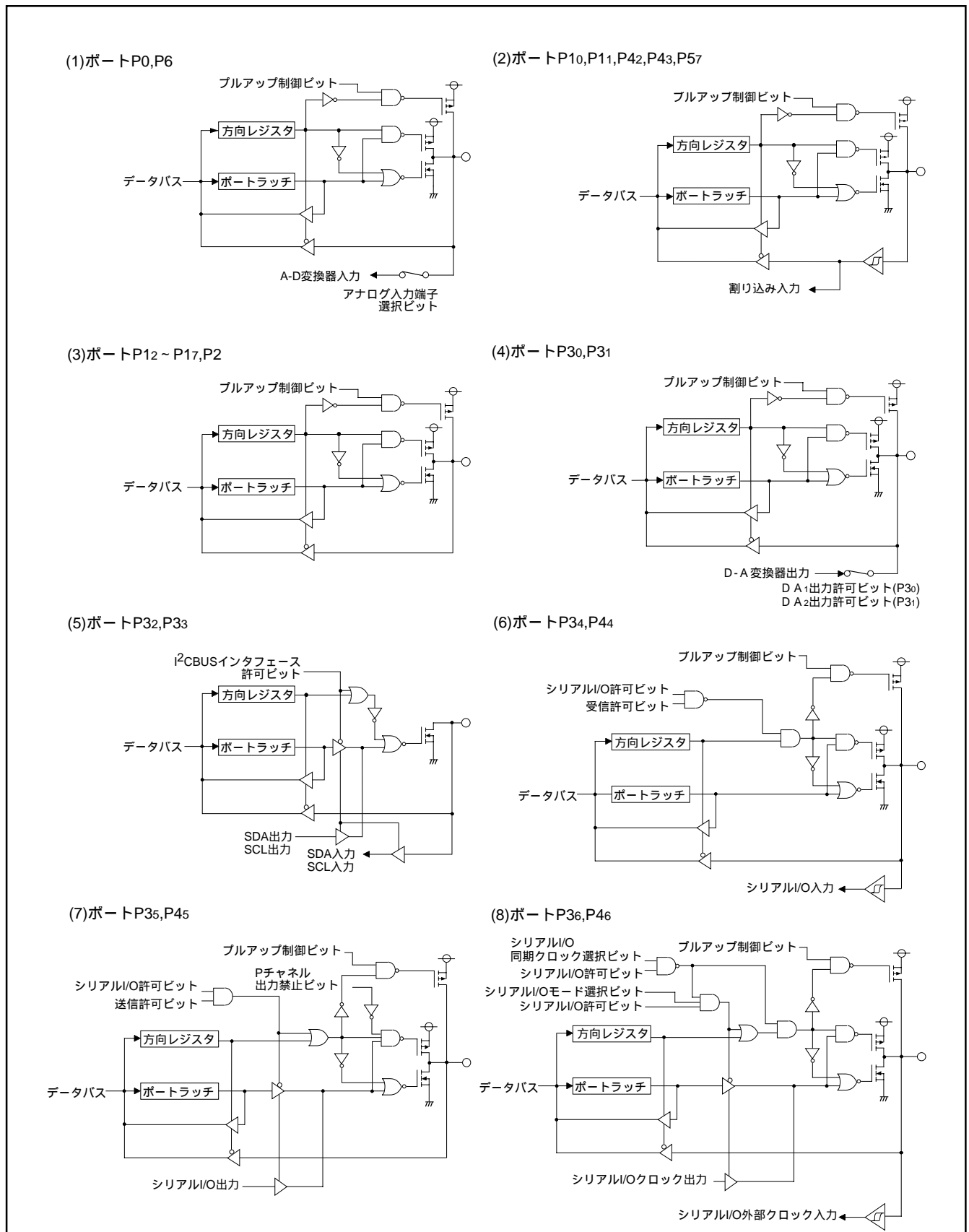


図19. 3804グループのポートブロック図(1)

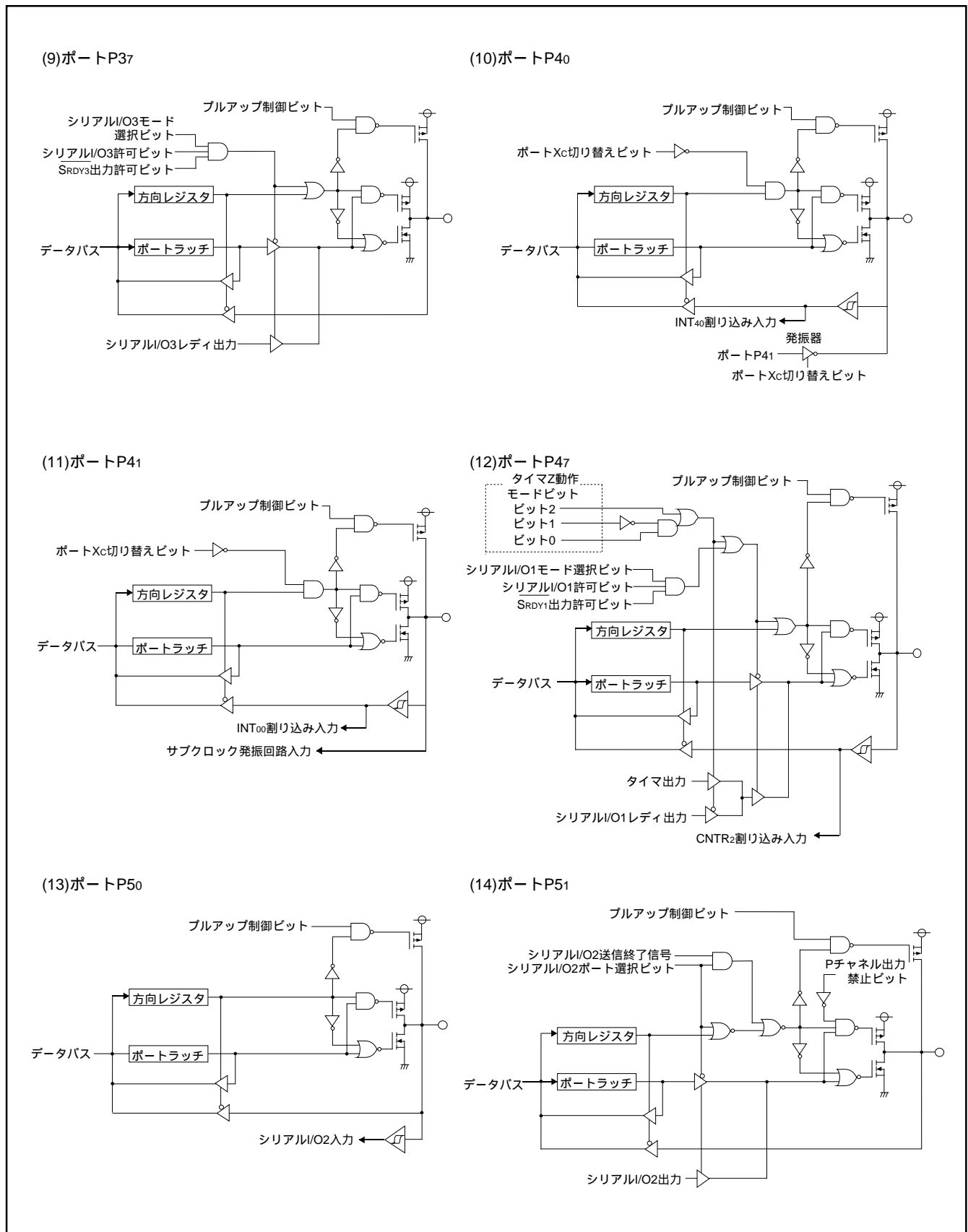
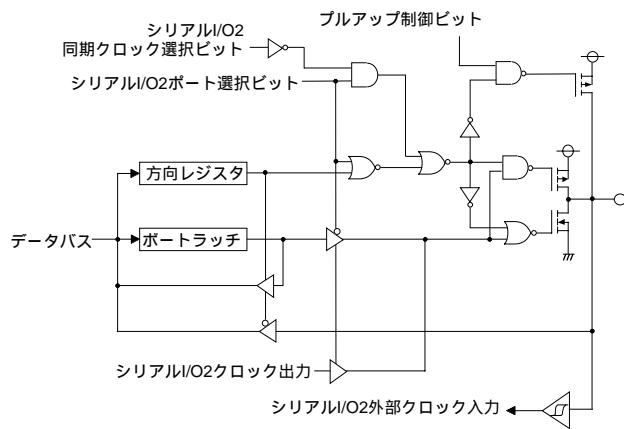
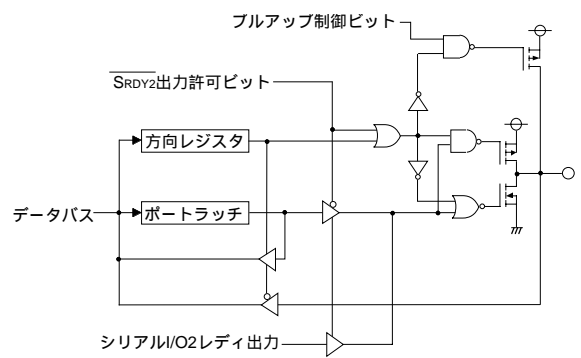


図20. 3804グループのポートブロック図(2)

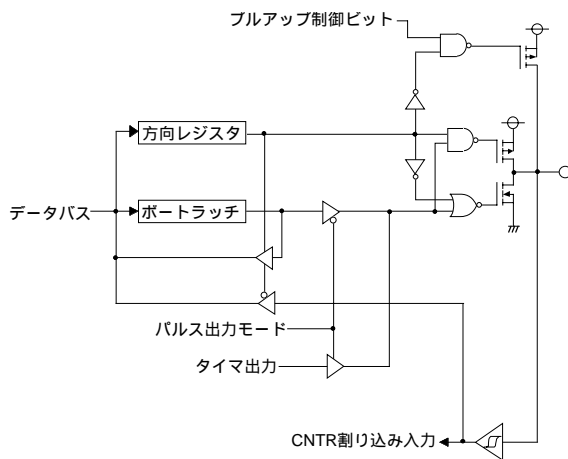
(15)ポートP52



(16)ポートP53



(17)ポートP54,P55



(18)ポートP56

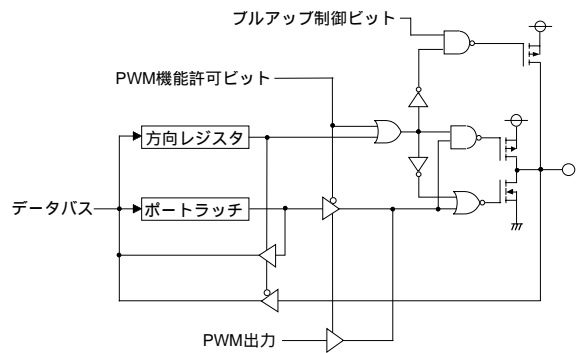


図21. 3804グループのポートブロック図(3)

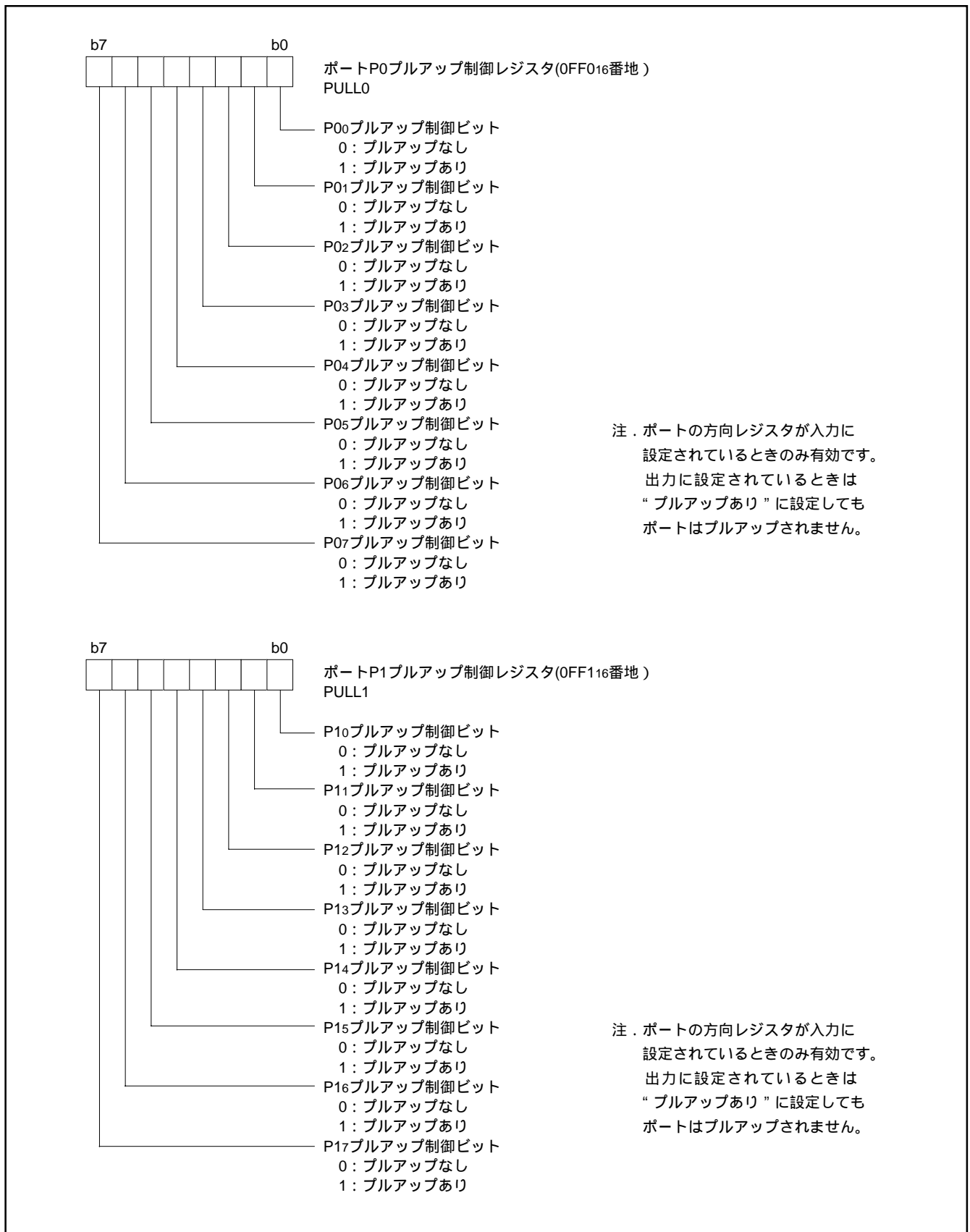


図22. ポートレジスタ構成図(1)

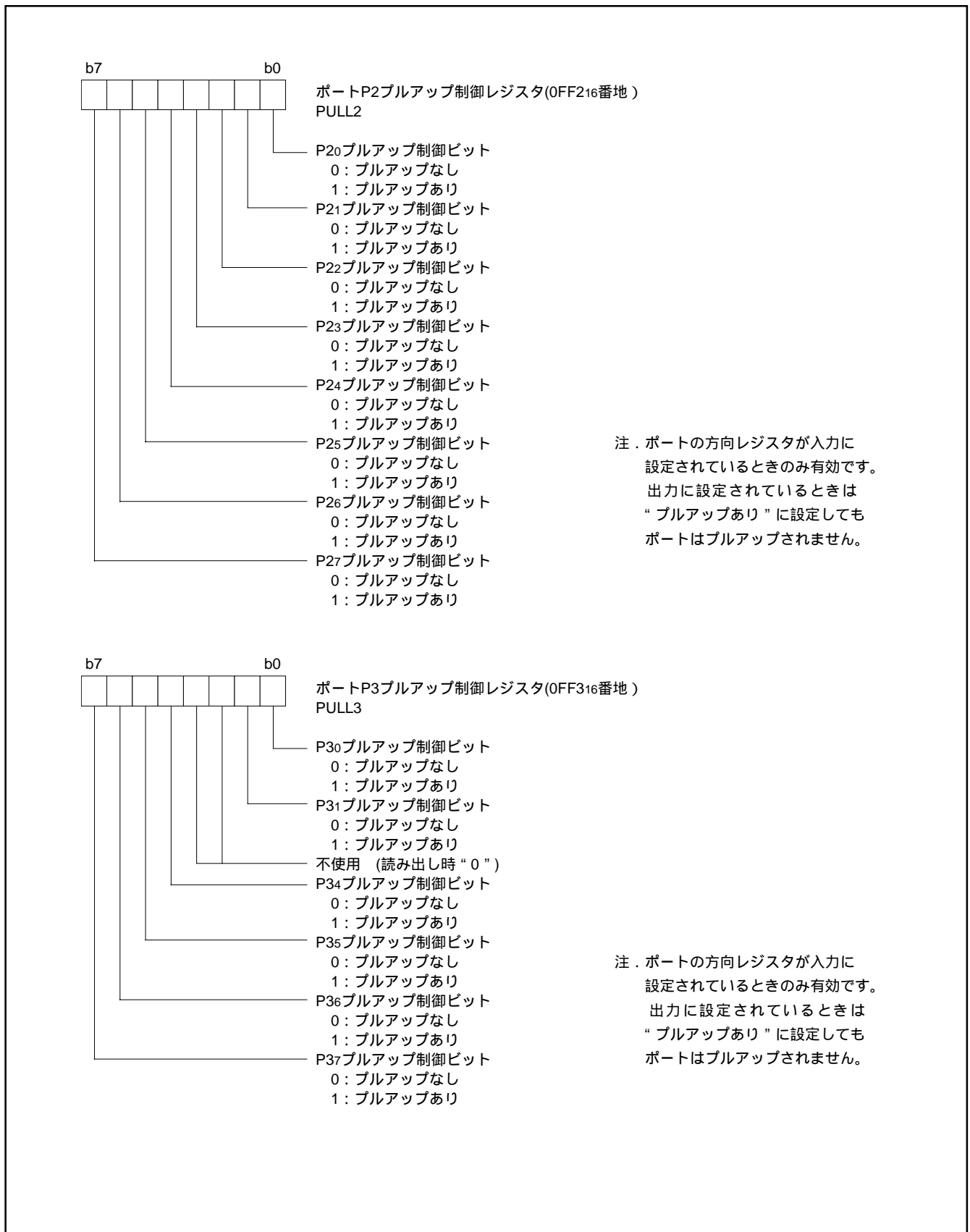


図23. ポートレジスタ構成図(2)

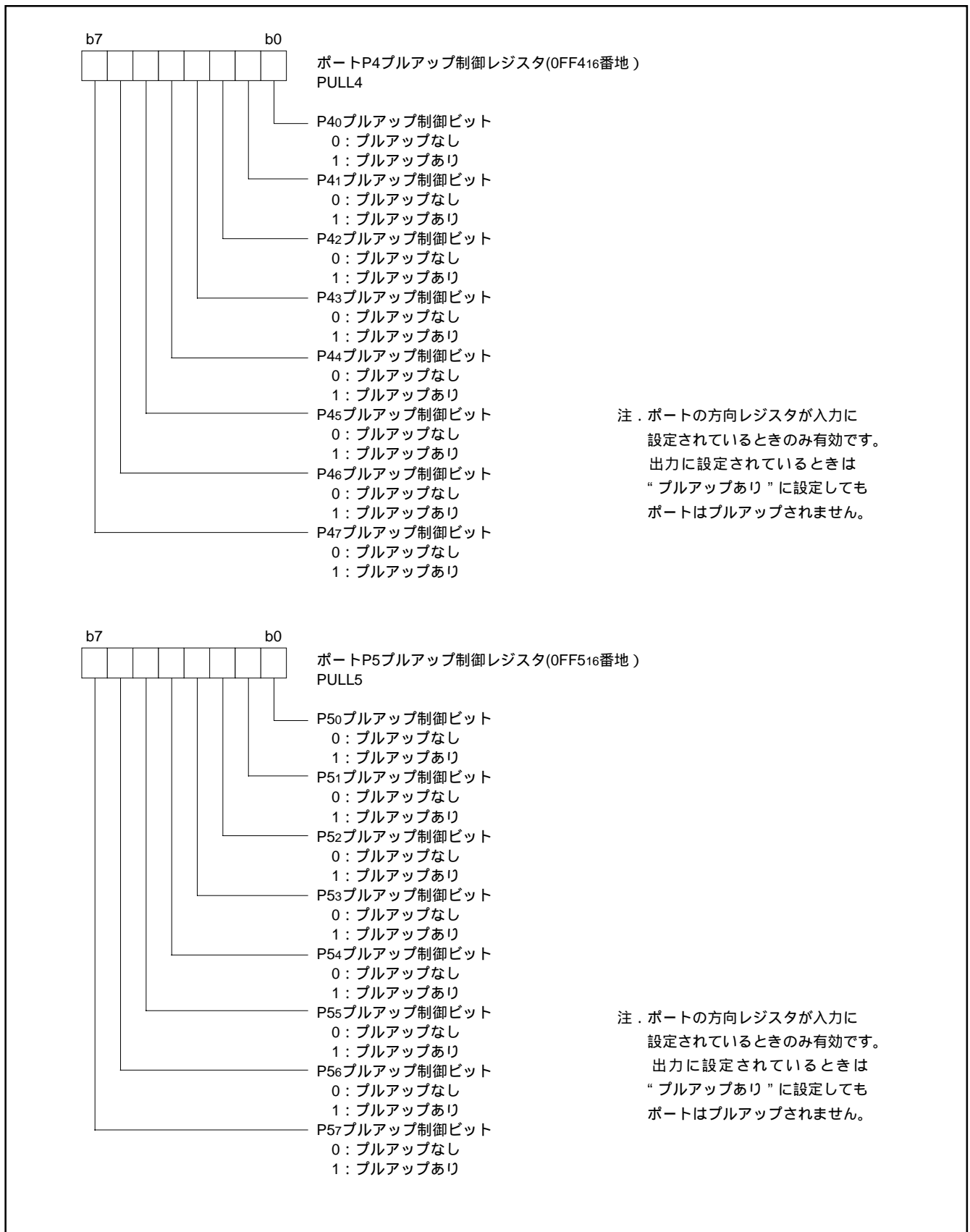


図24. ポートレジスタ構成図(3)

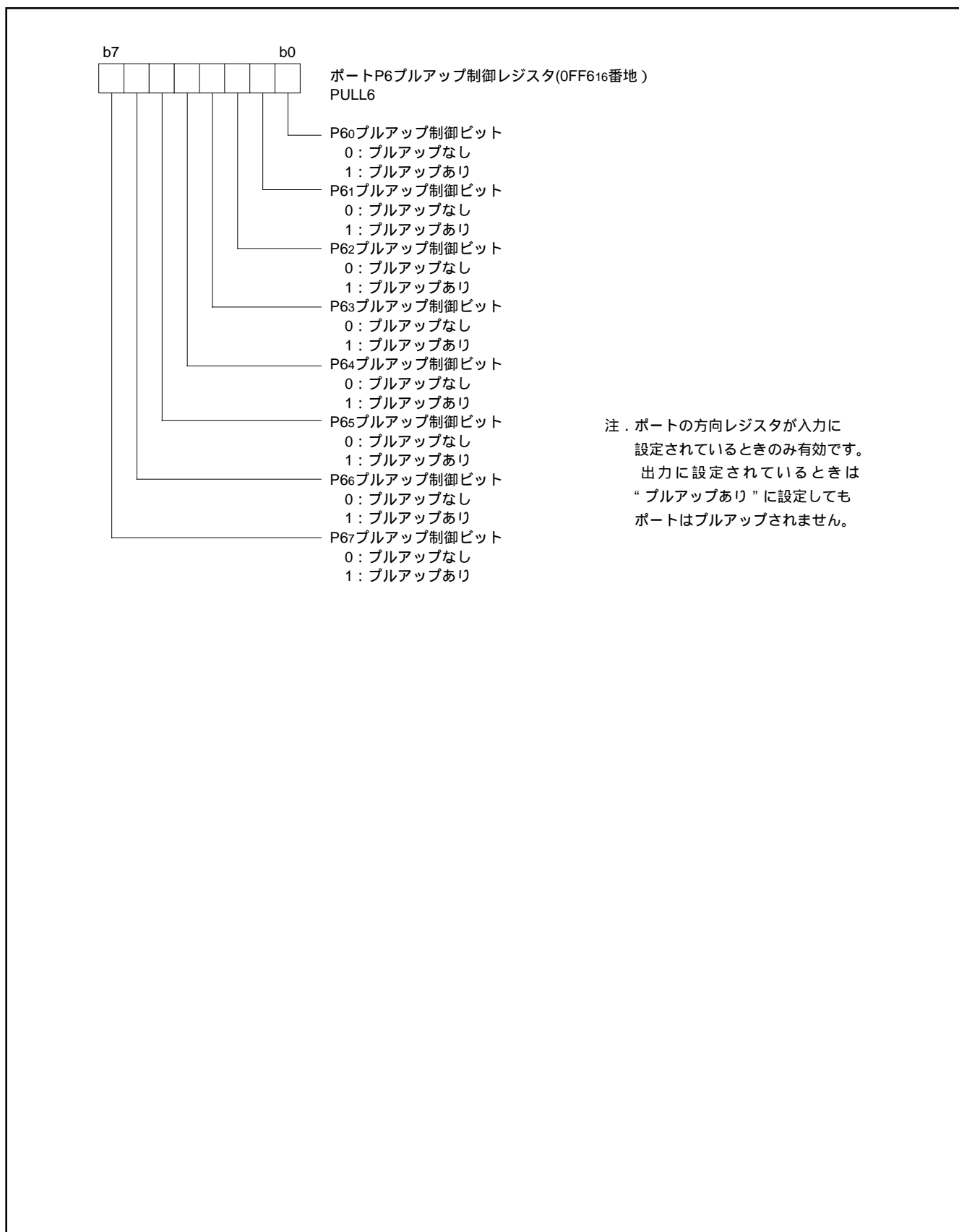


図25. ポートレジスタ構成図(4)

割り込み

3803グループの割り込みはベクトル割り込みで、外部8要因、内部12要因、ソフトウェア1要因の21要因のうち16要因から発生することが可能です。

3804グループでは外部9要因、内部13要因、ソフトウェア1要因の23要因のうち16要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが「1」でかつ割り込み禁止フラグが「0」のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に回避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

・割り込み要因選択

以下の割り込み要因は、割り込み要因選択レジスタ(0039₁₆番地)によりいずれかを選択することができます。

1. INT₀あるいはタイマZ
2. シリアルI/O1送信あるいはSCL,SDA(3804グループのみ)
3. CNTR₀あるいはSCL,SDA(3804グループのみ)
4. CNTR₁あるいはシリアルI/O3受信
5. シリアルI/O2あるいはタイマZ
6. INT₂あるいはI²C(3804グループのみ)
7. INT₄あるいはCNTR₂
8. A-D変換あるいはシリアルI/O3送信

・外部割り込み端子選択

外部割り込みINT₀、INT₄は、外部入力端子であるINT₀₀、INT₄₀あるいはINT₀₁、INT₄₁のいずれかを割り込みエッジ選択レジスタのINT₀、INT₄割り込み切り替えビット(003A₁₆番地のビット6)により選択することができます。

注意事項

次の場合、割り込み要求ビットが「1」になる場合があります。

- ・外部割り込みのアクティブエッジを切り替える際
対象レジスタ: 割り込みエッジ選択レジスタ(3A₁₆番地)
タイマXYモードレジスタ(23₁₆番地)
タイマZモードレジスタ(2A₁₆番地)
I²Cスタート/ストップコンディション制御レジスタ(16₁₆番地)(3804グループのみ)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ: 割り込み要因選択レジスタ(39₁₆番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- ① 該当する割り込み許可ビットを「0」(禁止)にする。
- ② 割り込みエッジ選択ビットや割り込み要因ビットを設定する。
- ③ 一命令以上おいてから、該当する割り込み要求ビットを「0」にする。
- ④ 該当する割り込み許可ビットを「1」(許可)にする。

表8. 割り込みベクトル番地と優先順位(3803グループ)

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD	FFFC	リセット時	ノンマスクابل
INT0	2	FFFB	FFFA	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマZ				タイマZアンドフロー時	
INT1	3	FFF9	FFF8	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O1受信	4	FFF7	FFF6	シリアル/O1データ受信終了時	シリアル/O1選択時のみ有効
シリアル/O1送信	5	FFF5	FFF4	シリアル/O1送信シフト終了時又は送信バッファ空き時	シリアル/O1選択時のみ有効
タイマX	6	FFF3	FFF2	タイマXアンドフロー時	
タイマY	7	FFF1	FFF0	タイマYアンドフロー時	
タイマ1	8	FFEF	FFEE	タイマ1アンドフロー時	STP 解除タイマアンドフロー
タイマ2	9	FFED	FFEC	タイマ2アンドフロー時	
CNTR0	10	FFEB	FFEA	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR1				CNTR1の入力立ち上がり又は立ち下がりエッジ検出時	
シリアル/O3受信	12	FFE7	FFE6	シリアル/O3データ受信完了時	シリアル/O3選択時のみ有効
シリアル/O2				シリアル/O2データ送受信終了時	
タイマZ				タイマZアンドフロー時	
INT2	13	FFE5	FFE4	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT3	14	FFE3	FFE2	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT4	15	FFE1	FFE0	INT4入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR2				CNTR2入力の立ち上がり又は立ち下がりエッジ検出時	
A-D変換	16	FFDF	FFDE	A-D変換終了時	シリアル/O3選択時のみ有効
シリアル/O3送信				シリアル/O3送信シフト終了時又は送信バッファ空き時	
BRK命令	17	FFDD	FFDC	BRK命令実行時	ノンマスクابلソフトウェア 割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
 2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

表9. 割り込みベクトル番地と優先順位(3804グループ)

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD	FFFC	リセット時	ノンマスクابل
INT0	2	FFFB	FFFA	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマZ				タイマZアングフロー時	
INT1	3	FFF9	FFF8	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアルI/O1受信	4	FFF7	FFF6	シリアルI/O1データ受信終了時	シリアルI/O1選択時のみ有効
シリアルI/O1送信				シリアルI/O1送信シフト終了時又は送信バッファ空き時	シリアルI/O1選択時のみ有効
SCL,SDA				SCLまたはSDA立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマX	6	FFF3	FFF2	タイマXアングフロー時	
タイマY	7	FFF1	FFF0	タイマYアングフロー時	
タイマ1	8	FFEF	FFEE	タイマ1アングフロー時	STP 解除タイマアングフロー
タイマ2	9	FFED	FFEC	タイマ2アングフロー時	
CNTR0	10	FFEB	FFEA	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
SCL,SDA				SCL又はSDA入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR1				CNTR1の入力立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアルI/O3受信	11	FFE9	FFE8	シリアルI/O3データ受信完了時	シリアルI/O3選択時のみ有効
シリアルI/O2				シリアルI/O2データ送受信終了時	シリアルI/O2選択時のみ有効
タイマZ	12	FFE7	FFE6	タイマZアングフロー時	
INT2				INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
I ² C	13	FFE5	FFE4	データ送受信終了時	
INT3				INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT4	15	FFE1	FFE0	INT4入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR2				CNTR2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A-D変換	16	FFDF	FFDE	A-D変換終了時	
シリアルI/O3送信				シリアルI/O3送信シフト終了時又は送信バッファ空き時	シリアルI/O3選択時のみ有効
BRK命令	17	FFDD	FFDC	BRK命令実行時	ノンマスクابلソフトウェア 割り込み

- 注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
 2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

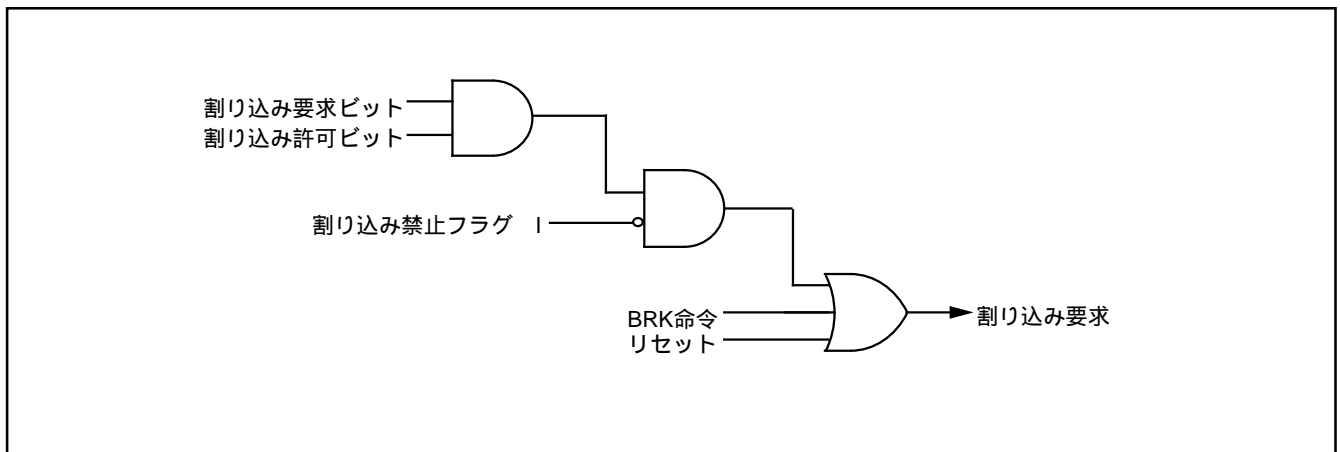


図26. 割り込み制御図

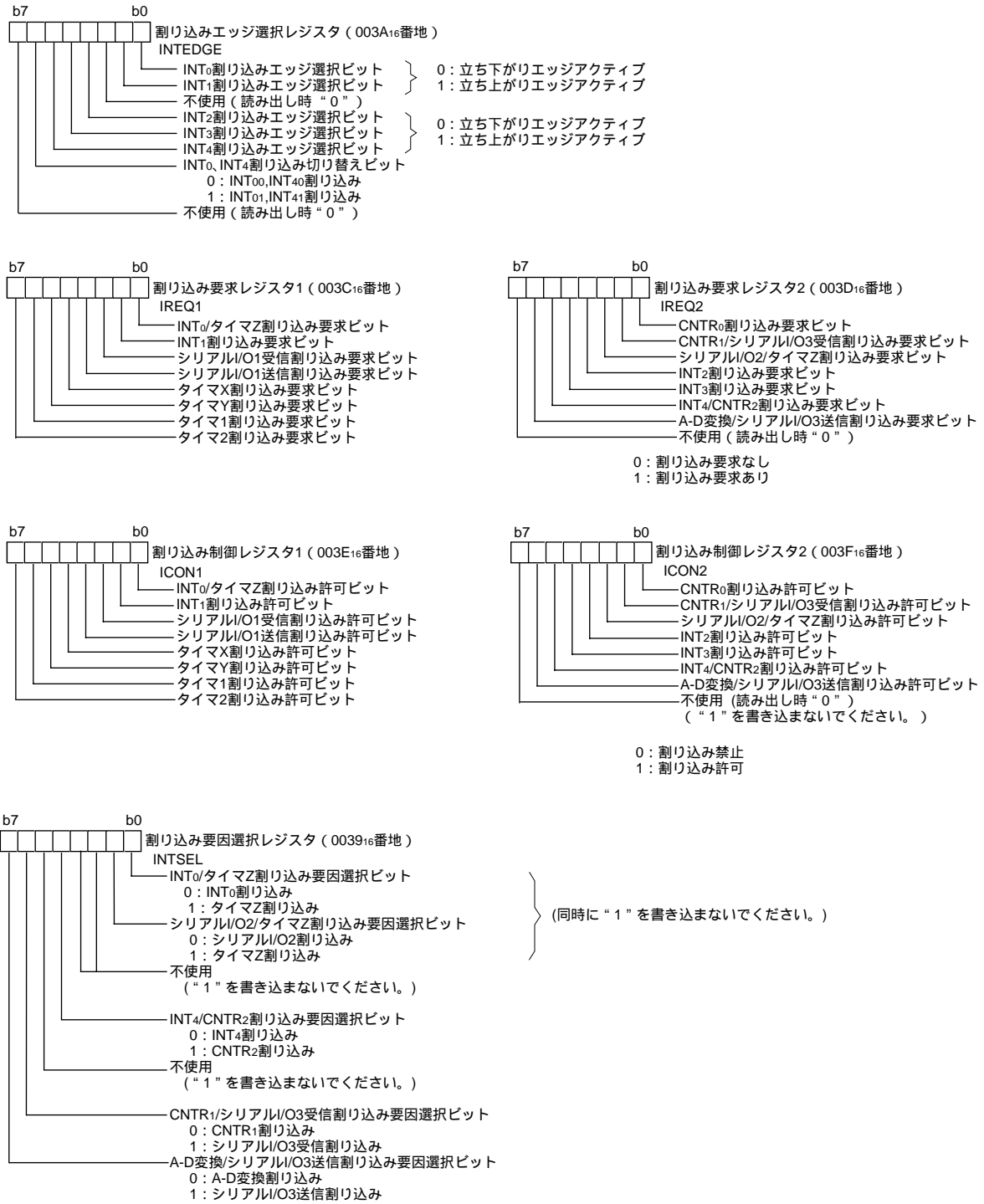


図27. 割り込み関係レジスタの構成(3803グループ)

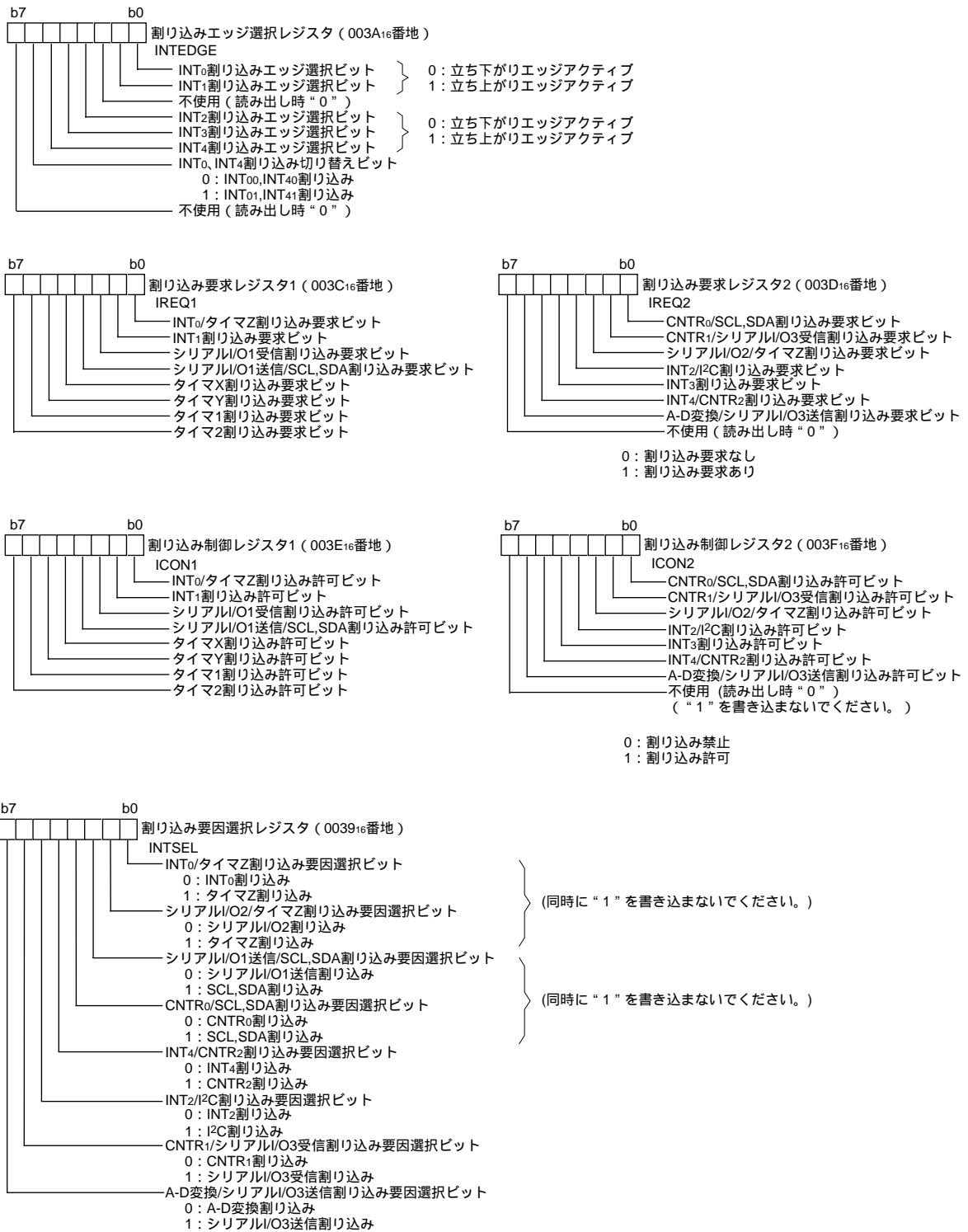


図28. 割り込み関係レジスタの構成(3804グループ)

タイマ

8ビットタイマ

タイマは、タイマX、タイマY、タイマA、タイマBの16ビットタイマ4本と、タイマ1、タイマ2、タイマ3の8ビットタイマ3本があります。

タイマはすべてカウントダウン方式で、カウンタの内容が 0016_{16} 又は 0000_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされ、カウントダウンが続行されます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが 1 にセットされます。

・タイマ用分周器

分周器のカウントソースは、CPUモードレジスタ(003B₁₆番地)のメインクロック分周比選択ビット(b7,b6)が 00 (高速モード) 01 (中速モード)のときは、XINとなり、 10 (低速モード)のときはXCINとなります。

・プリスケアラ12

プリスケアラ12はタイマ用分周器の出力をカウントします。カウントソースは、タイマ12、Xカウントソース選択レジスタ(000E₁₆番地)で制御され、f(XIN)又はf(XCIN)のそれぞれ $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ が選択できます。

・タイマ1、タイマ2

タイマ1及びタイマ2は、常にプリスケアラ12の出力をカウントし、周期的に割り込み要求ビットをセットします。

・プリスケアラX、プリスケアラY

プリスケアラX、プリスケアラYはタイマ用分周器の出力、又はf(XCIN)をカウントします。カウントソースは、タイマ12、Xカウントソース選択レジスタ(000E₁₆番地)、タイマY、Zカウントソース選択レジスタ(000F₁₆番地)で制御され、f(XIN)又はf(XCIN)のそれぞれ $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ 、又はf(XCIN)が選択できます。

・タイマX、タイマY

タイマXYモードレジスタ(0023₁₆番地)を設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1,b0)、タイマY動作モードビット(b5,b4)を 00 に設定することによりこのモードが選択されます。

<動作説明>

タイマカウント動作はタイマXYモードレジスタ(0023₁₆番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)に 0 を設定することにより開始します。タイマの内容が 00 になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。

(2) パルス出力モード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1,b0)、タイマY動作モードビット(b5,b4)を 01 に設定することによりこのモードが選択されます。

<動作説明>

タイマがアンダフローするたびに極性の反転するパルスをCNTR0/CNTR1端子から出力することを除けば、タイマモードと同じ動作をします。タイマXYモードレジスタ(0023₁₆番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)が 0 のときはCNTR0/CNTR1端子の出力は H 出力から開始します。 1 のときは L 出力から開始します。パルス出力中に、CNTR0/CNTR1極性切り替えビットの値を書き替えると、CNTR0/CNTR1端子の出力レベルが反転します。

<注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP54/P55を出力に設定してください。

(3) イベントカウンタモード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1,b0)、タイマY動作モードビット(b5,b4)を“10”に設定することによりこのモードが選択されます。

<動作説明>

CNTR0/CNTR1端子からの入力信号をカウントすることを除けば、タイマモードと同じ動作をします。カウント動作の有効エッジはタイマXYモードレジスタ(0023₁₆番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)の設定によって決まり、“0”のときは立ち上がりエッジ、“1”のときは立ち下がりエッジをカウントします。

<注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP54/P55を入力に設定してください。

(4) パルス幅測定モード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1,b0)、タイマY動作モードビット(b5,b4)を“11”に設定することによりこのモードが選択されます。

<動作説明>

タイマXYモードレジスタ(0023₁₆番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)が“1”の場合はCNTR0/CNTR1端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。また、“0”の場合はCNTR0/CNTR1端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。

<注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP54/P55を入力に設定してください。

いずれのモードでも、タイマXYモードレジスタ(0023₁₆番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)を“1”に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

・カウントソース切り替え時の注意

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

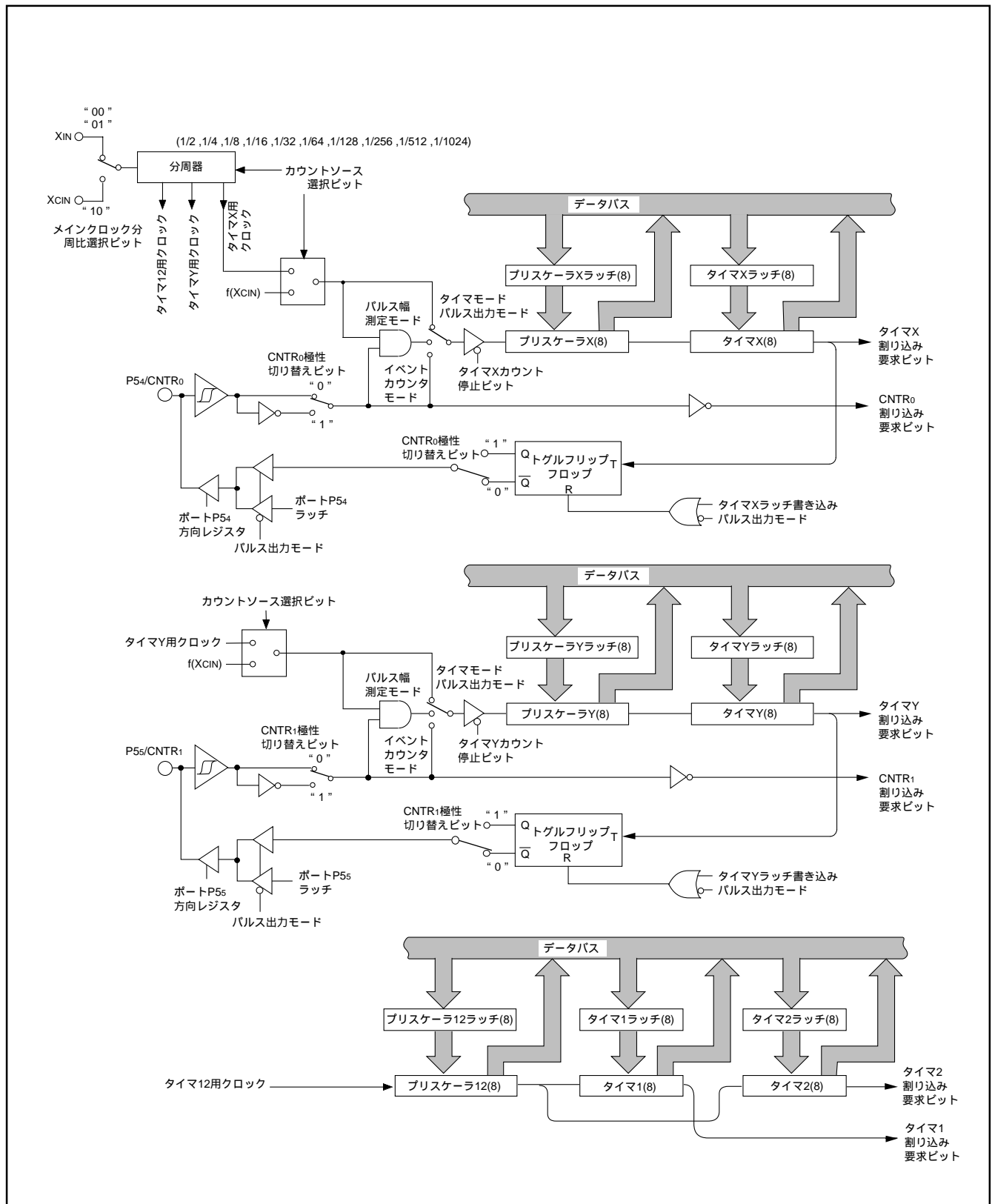


図29. タイマX, タイマY, タイマ1及びタイマ2のブロック図

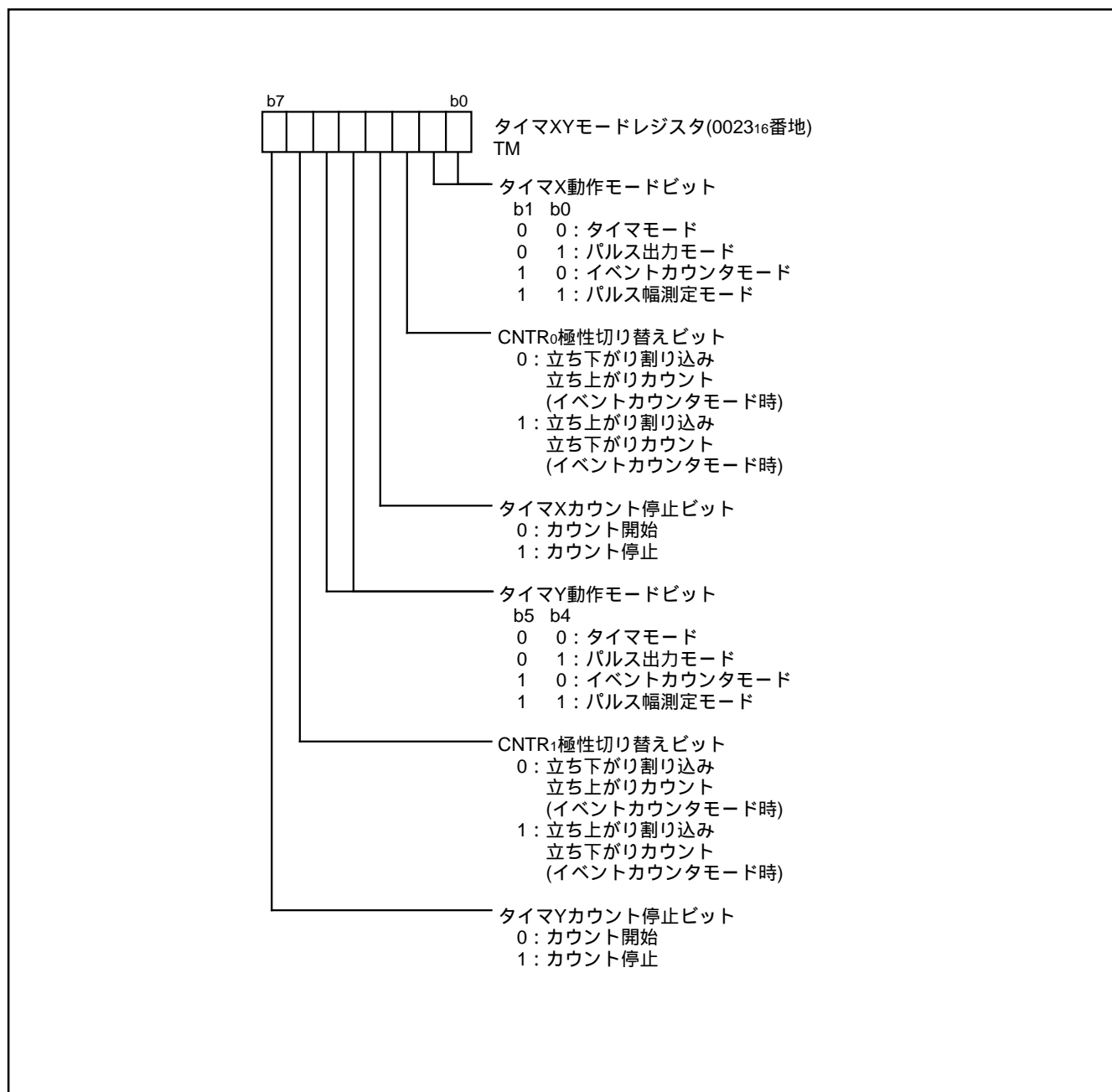


図30. タイマXYモードレジスタの構成

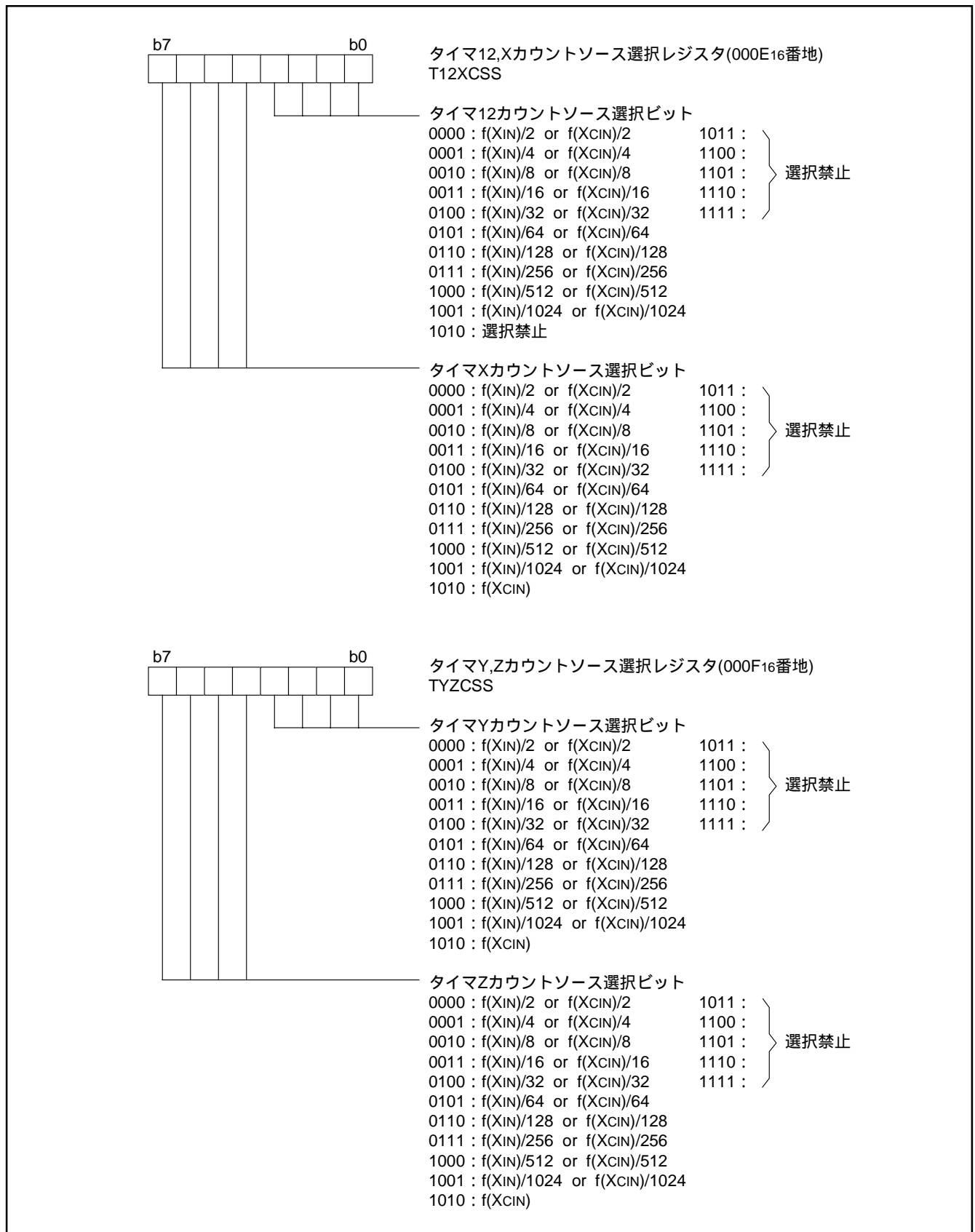


図31. タイマ1,2,X,Y,Zカウントソース選択レジスタの構成

16ビットタイマ

タイマZは16ビットのタイマで、タイマの内容が 0000_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容を再ロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマZに対応する割り込み要求ビットが 1 にセットされます。

タイマZを読み書きする場合は、必ず上位バイト、下位バイトとも読み書きしてください。タイマZの値を読み出す場合は、上位バイト、下位バイトの順に読み出しを行い、上位バイトの読み出し操作と下位バイトの読み出し操作の間にタイマZへの書き込みを行わないでください。タイマZへ値を書き込む場合は、下位バイト、上位バイトの順に書き込みを行い、下位バイトへの書き込み操作と上位バイトへの書き込み操作の間にタイマZの読み出しを行わないでください。

タイマY,Zカウントソース選択レジスタ(000F₁₆番地)のタイマZカウントソース選択ビット(b7,b6,b5,b4)によりカウントソースを選択することができます。

タイマZはタイマZモードレジスタにより7つの動作モードを選択することができます。

(1)タイマモード

<モードの選択>

タイマZモードレジスタ(002A₁₆番地)のタイマZ動作モードビット(b2,b1,b0)を 000 に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を 0 に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(XIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

低速モード時のカウントソースは $f(XCIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

<割り込み>

アンダフロー発生時、割り込み要求レジスタ1(003C₁₆番地)のINT0/タイマZ割り込み要求ビット(b0)が 1 になります。

<動作説明>

タイマ停止状態では、通常ラッチ及びタイマへの同時書き込みによってタイマの値を設定します。タイマ動作はタイマZモードレジスタ(002A₁₆番地)のタイマZカウント停止ビット(b6)に 0 を設定することにより開始します。タイマの内容が 0000_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。カウント動作中にタイマの値を変更する場合は、ラッチのみへの書き込みによってラッチの値を変更することにより、次のアンダフロー時にタイマラッチのリロードでタイマの値が変更されます。

(2)イベントカウンタモード

<モードの選択>

タイマZモードレジスタ(002A₁₆番地)のタイマZ動作モードビット(b2,b1,b0)を 000 に設定し、かつ、タイマモード/イベントカウンタモード切り替えビット(b7)を 1 に設定することによりこのモードを選択します。カウント動作の有効エッジはタイマZモードレジスタ(002A₁₆番地)のCNTR2極性切り替えビット(b5)の設定によって決まり、“ 0 ”のときは立ち上がりエッジ、“ 1 ”のときは立ち下がりエッジをカウントします。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマモードの動作説明と同様です。このモードではCNTR2端子と共用のポートP47を入力に設定してください。

図34にタイマ・イベントカウンタモードのタイミング図を示します。

(3)パルス出力モード

<モードの選択>

タイマZモードレジスタ(002A₁₆番地)のタイマZ動作モードビット(b2,b1,b0)を 001 に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を 0 に設定することによりこのモードが選択されます。

<カウントソース選択>

高速、中速モード選択時のカウントソースは、 $f(XIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

低速モード選択時のカウントソースは $f(XCIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびに極性の反転するパルスをCNTR2端子から出力することを除けば、タイマモードと同じ動作をします。タイマZモードレジスタ(002A₁₆番地)のCNTR2極性切り替えビット(b5)が 0 のときはCNTR2端子の出力は“H”出力から開始します。“ 1 ”のときは“L”出力から開始します。

<注意事項>

このモードではCNTR2端子と共用のポートP47を出力に設定してください。

(タイマ動作停止中)

CNTR2端子の出力はタイマへの書き込みによって、CNTR2極性切り替えビットで設定されるレベルに初期化されます。

(タイマ動作許可中)

CNTR2極性切り替えビットの値を書き替えると、CNTR2端子の出力レベルが反転します。

図35にパルス出力モードのタイミング図を示します。

(4) パルス周期測定モード

<モードの選択>

タイマZモードレジスタ(002A₁₆番地)のタイマZ動作モードビット(b2,b1,b0)を⁰ 010¹に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を⁰ 0¹に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アングフロー時の割り込みはタイマモードの説明と同様です。パルス周期測定終了と同時に割り込み要求レジスタ2(003D₁₆番地)のINT4/CNTR2割り込み要求ビット(b5)が⁰ 1¹になります。

<動作説明>

CNTR2端子から入力されたパルスの周期を測定します。タイマZモードレジスタ(002A₁₆番地)のCNTR2極性切り替えビット(b5)が⁰ 0¹の場合はCNTR2端子入力の立ち下がりから次の立ち上がりまでの期間中カウントします。⁰ 1¹の場合はCNTR2端子入力の立ち上がりから次の立ち上がりまでの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれ、タイマには⁰ FFFF₁₆¹が設定されます。また、タイマがアングフローした場合、タイマZ割り込みが発生し、タイマには⁰ FFFF₁₆¹が設定されます。タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行いません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアングフローした場合、またはパルス周期測定の有効エッジを検出した場合のみ⁰ FFFF₁₆¹に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

図36にパルス周期測定モードのタイミング図を示します。

(5) パルス幅測定モード

<モードの選択>

タイマZモードレジスタ(002A₁₆番地)のタイマZ動作モードビット(b2,b1,b0)を⁰ 011¹に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を⁰ 0¹に設定することによりこのモードになります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アングフロー時の割り込みはタイマモードの説明と同様です。パルス幅測定終了と同時に割り込み要求レジスタ2(003D₁₆番地)のINT4/CNTR2割り込み要求ビット(b5)が⁰ 1¹になります。

<動作説明>

CNTR2端子から入力されたパルス幅を測定します。タイマZモードレジスタ(002A₁₆番地)のCNTR2極性切り替えビット(b5)が⁰ 0¹の場合はCNTR2端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。タイマZモードレジスタ(002A₁₆番地)のCNTR2極性切り替えビット(b5)が⁰ 1¹の場合はCNTR2端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれ、タイマには⁰ FFFF₁₆¹が設定されます。また、タイマがアングフローした場合、タイマZ割り込みが発生し、タイマには⁰ FFFF₁₆¹が設定されます。タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行いません。タイマへの書き込みはタイマ動作停止中(パルス幅未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアングフローした場合、またはパルス幅測定の有効エッジを検出した場合のみ⁰ FFFF₁₆¹に設定されます。よってパルス幅測定開始時のタイマの値は、測定開始以前のタイマの値に依存します。

図37にパルス幅測定モードのタイミング図を示します。

(6) プログラマブル波形発生モード

<モードの選択>

タイマZモードレジスタ(002A₁₆番地)のタイマZ動作モードビット(b2,b1,b0)を“100”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびにタイマZモードレジスタ(002A₁₆番地)のアウトプットレベルラッチ(b4)に設定された値のレベルをCNTR2端子より出力することを除けば、タイマモードと同じ動作をします。アンダフロー発生後、アウトプットレベルラッチとタイマラッチの値を変更することによって、任意の波形をCNTR2端子より発生することが可能です。

<注意事項>

このモードではCNTR2端子と共用のポートP47を出力に設定してください。

図38にプログラマブル波形発生モードのタイミング図を示します。

(7) プログラマブルワンショット発生モード

<モードの選択>

タイマZモードレジスタ(002A₁₆番地)のタイマZ動作モードビット(b2,b1,b0)を“101”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同じです。ワンショット発生のトリガは、割り込みエッジ選択レジスタ(003A₁₆番地)のINT1割り込みエッジ選択ビット(b1)の設定により、“0”のときは立ち上がりエッジアクティブ、“1”のときは立ち上がりエッジアクティブを選択します。またINT1端子の有効エッジ検出によって、割り込み要求レジスタ1(003C₁₆番地)のINT1割り込み要求ビット(b1)が“1”になります。

<動作説明>

“H”ワンショットパルスの場合:タイマZモードレジスタのb5=“0”

CNTR2端子の出力レベルは、モード選択時“L”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“H”を出力し、タイマのアンダフローによって“L”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“H”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“H”が出力されますが、アンダフローが発生しないため“H”出力状態が続きます。

“L”ワンショットパルスの場合:タイマZモードレジスタのb5=“1”

CNTR2端子の出力レベルはモード選択時“H”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“L”を出力し、タイマのアンダフローによって“H”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“L”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“L”が出力されますが、アンダフローが発生しないため“L”出力状態が続きます。

<注意事項>

このモードではCNTR2端子と共用のポートP47を出力に、INT1端子と共用のポートP42を入力に設定してください。

低速モード選択時このモードは使用できません。

ワンショット発生許可中、またはワンショット発生中にCNTR2極性切り替えビットの値を変更した場合、CNTR2端子からの出力レベルが変化します。

図39にプログラマブルワンショット発生モードのタイミング図を示します。

全モードにおいての注意事項

・タイマZ書き込み制御

タイマZはタイマZモードレジスタ(002A16番地)のタイマZ書き込み制御ビット(b3)によってラッチ及びタイマへの同時書き込み、またはラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なおラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

・タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

・CNTR2、INT1割り込み極性切り替えについての注意

CNTR2極性切り替えビット、INT1割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

・カウントソース切り替え時の注意

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

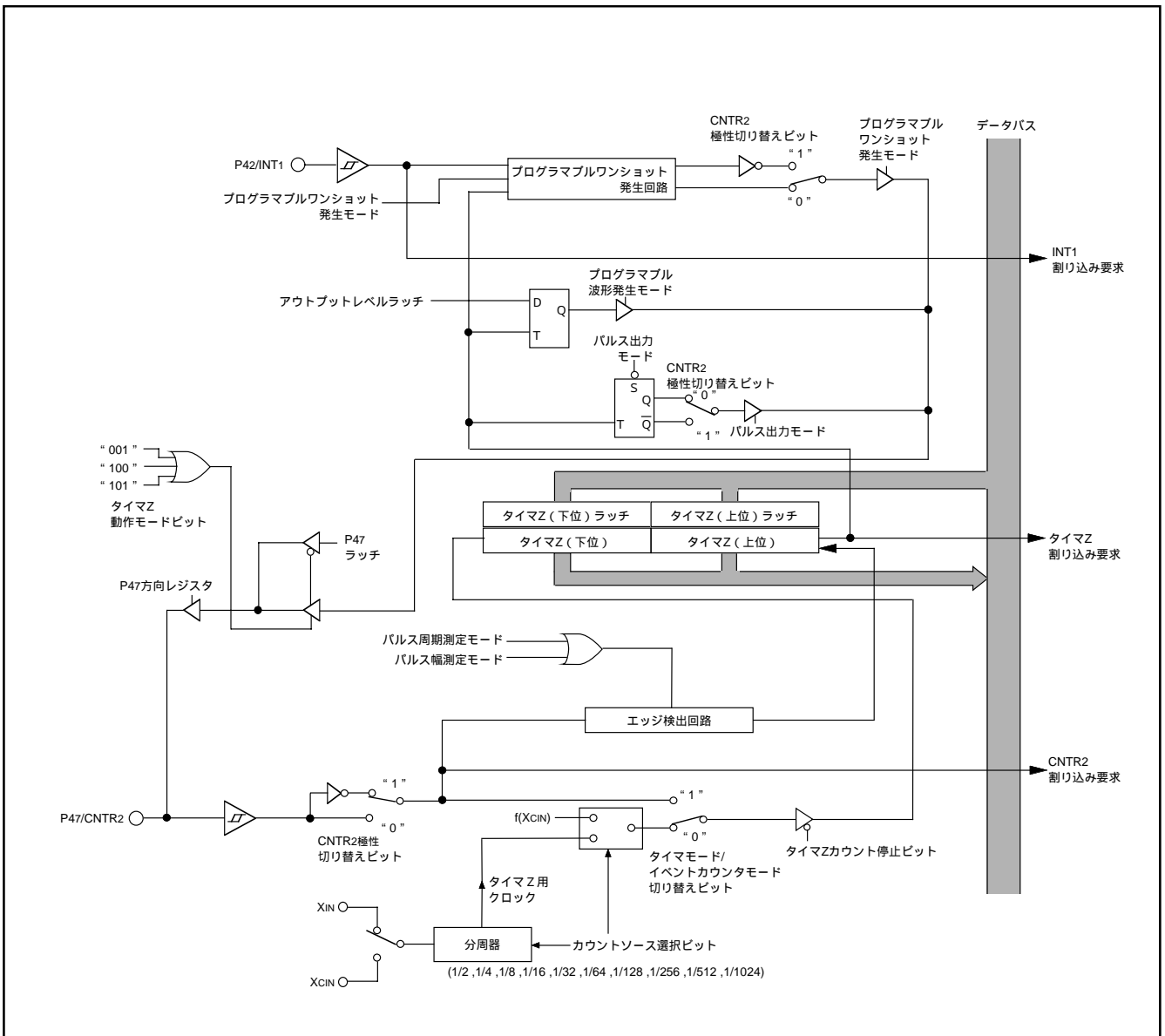


図32. タイマZのブロック図

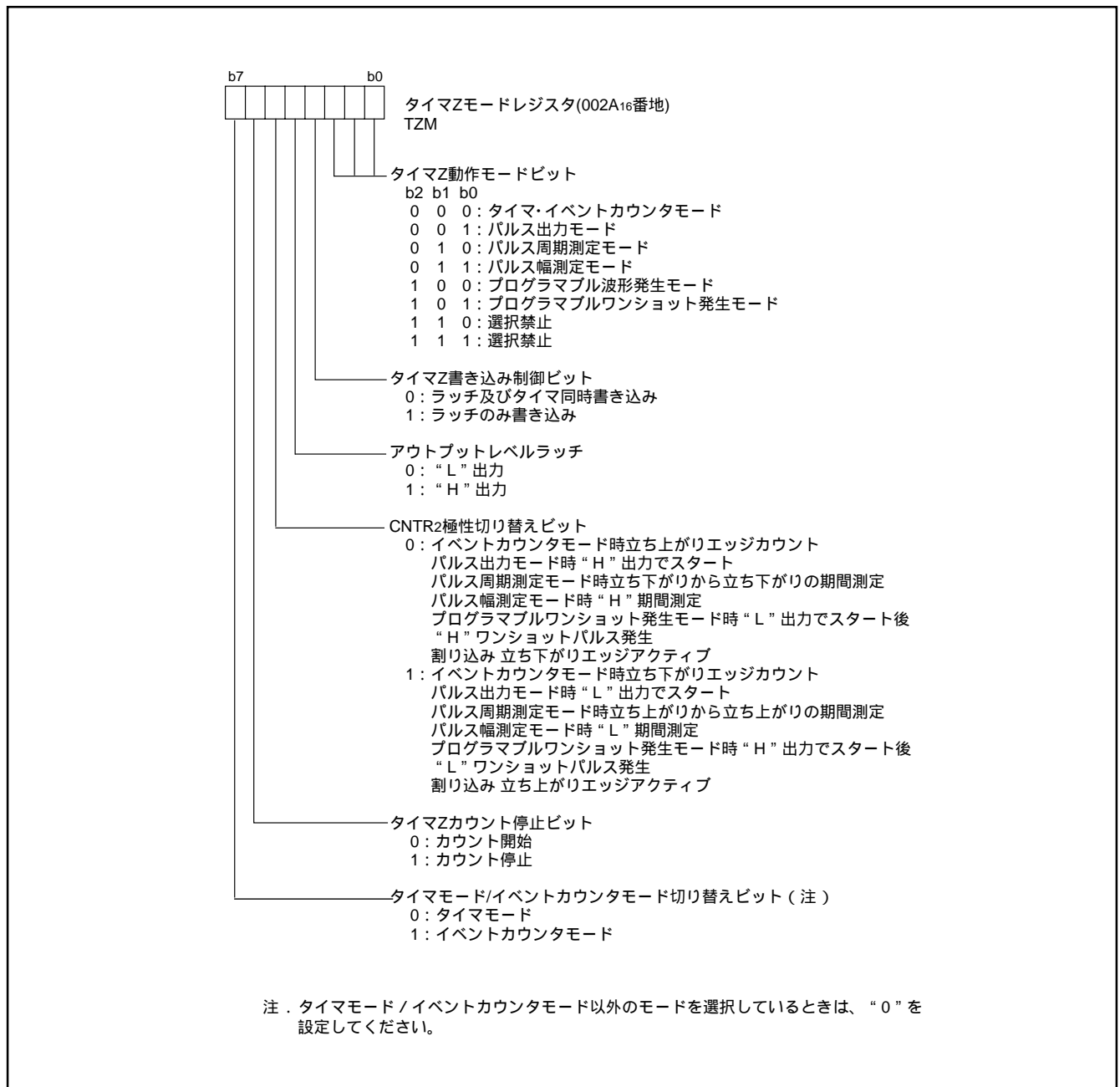


図33. タイマZモードレジスタの構成

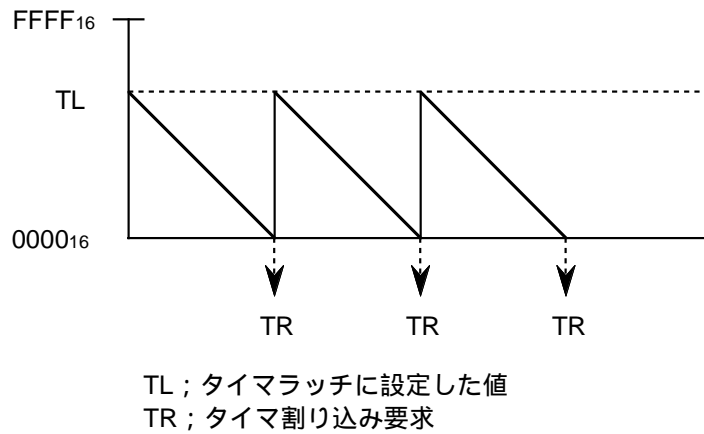


図34. タイマ・イベントカウンタモードのタイミング図

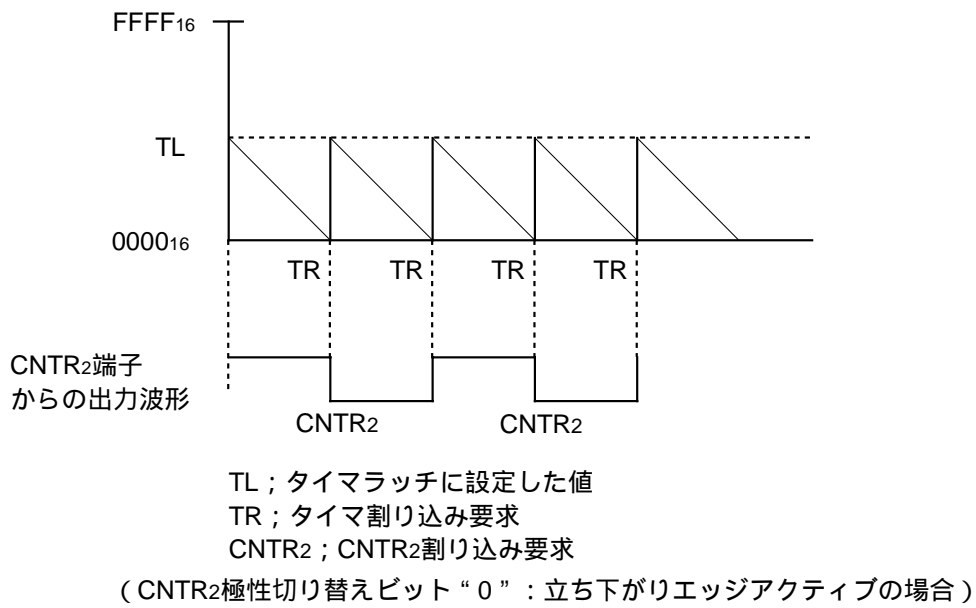


図35. パルス出力モードのタイミング図

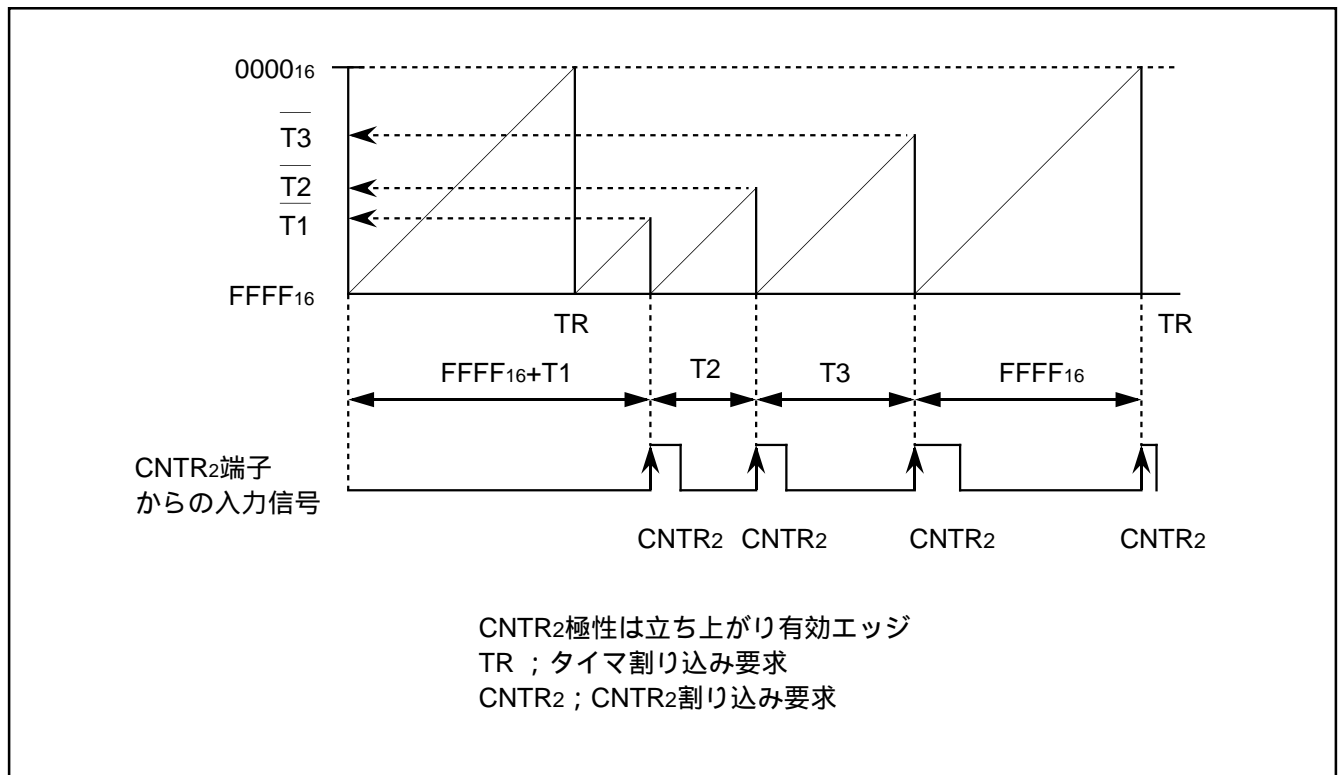


図36. パルス周期測定モードのタイミング図(立ち上がり区間測定時)

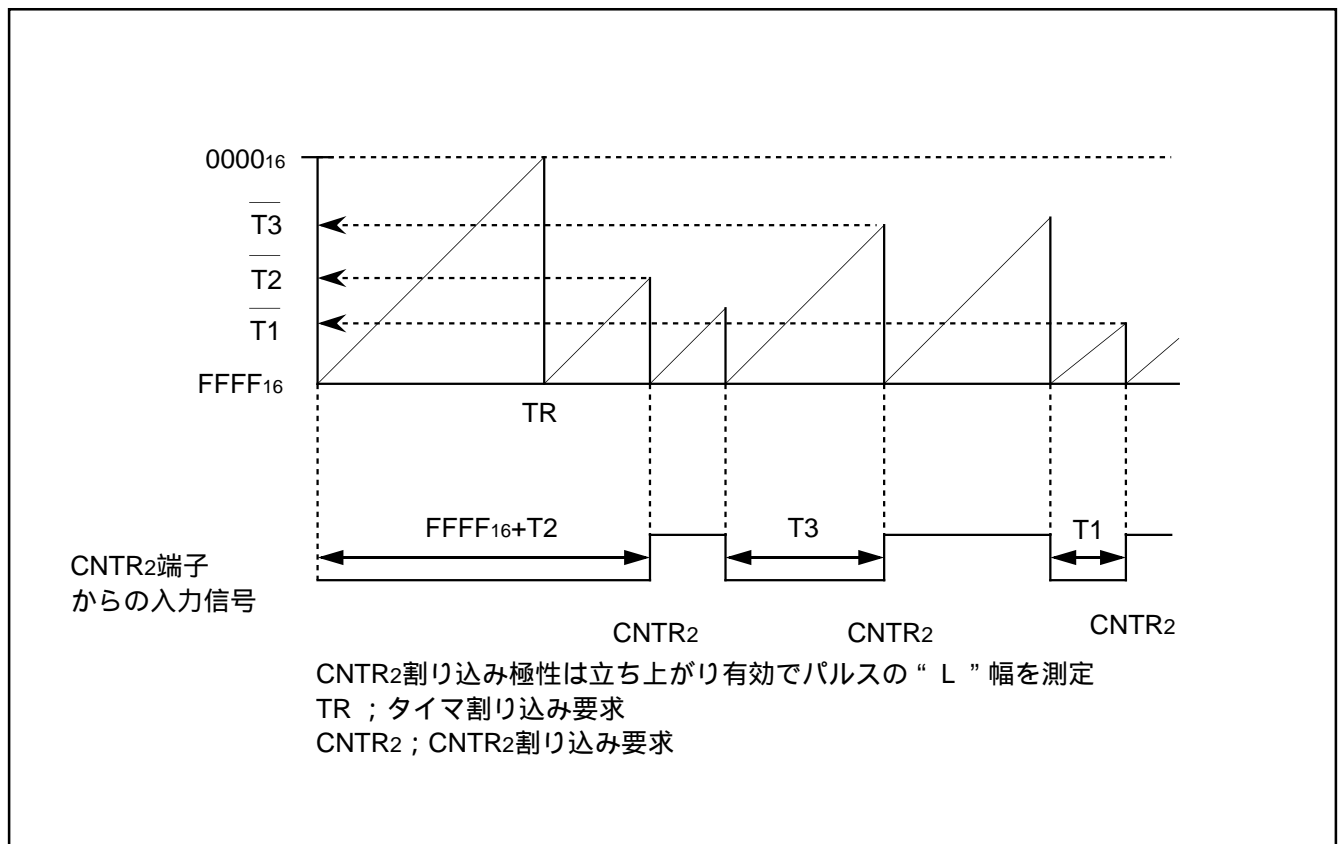


図37. パルス幅測定モードのタイミング図(“L”区間測定時)

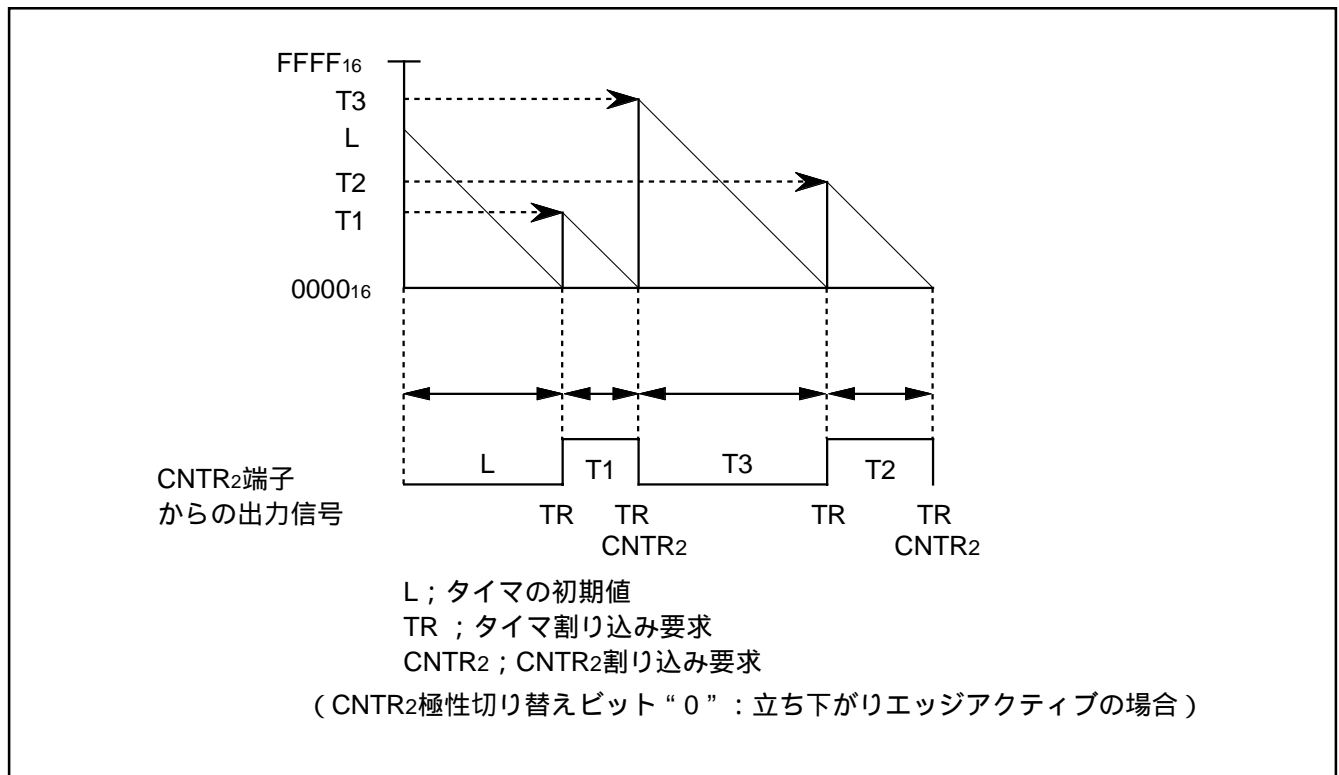


図38. プログラマブル波形発生モードのタイミング図

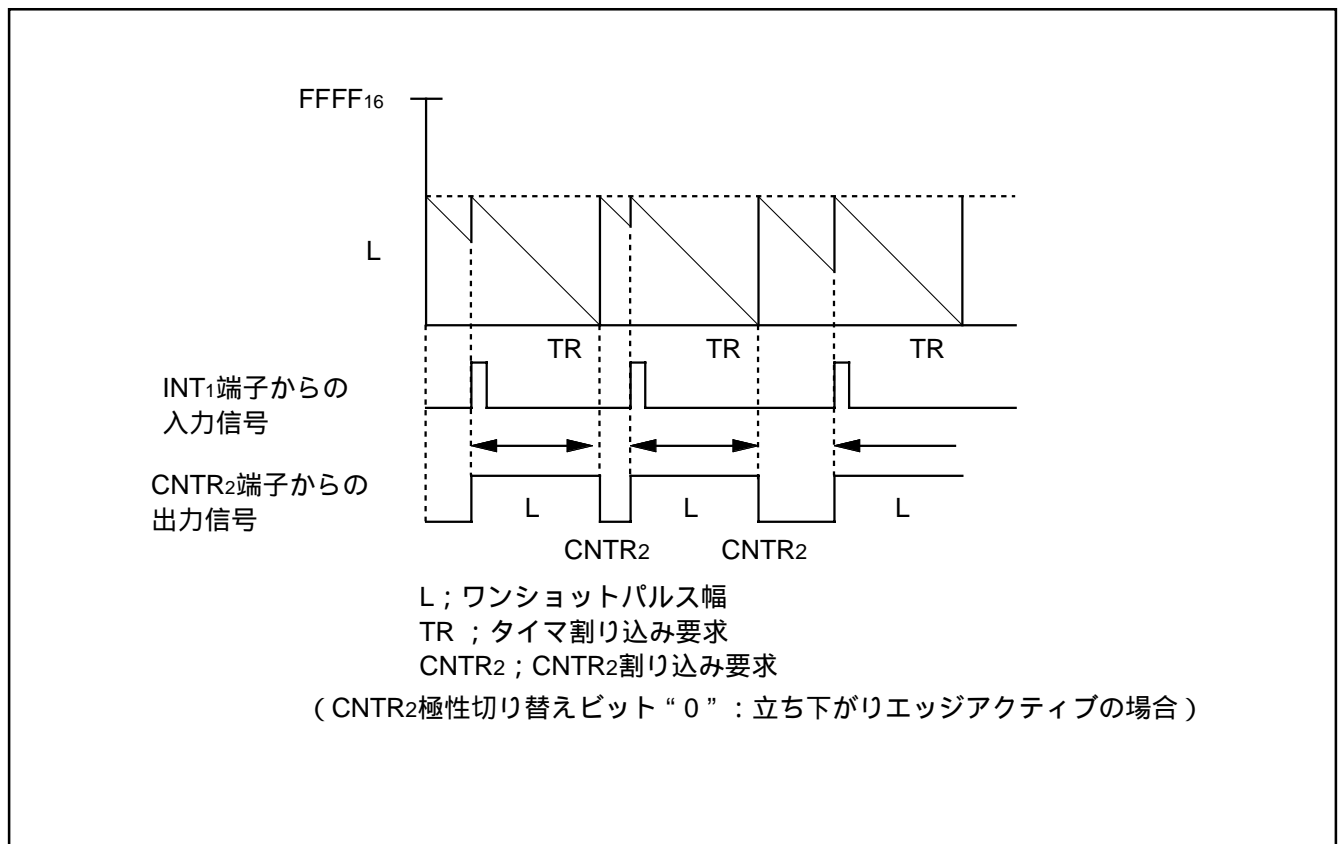


図39. プログラマブルワンショット発生モードのタイミング図(“H”ワンショットパルス発生時)

シリアルI/O

●シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを'1'にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

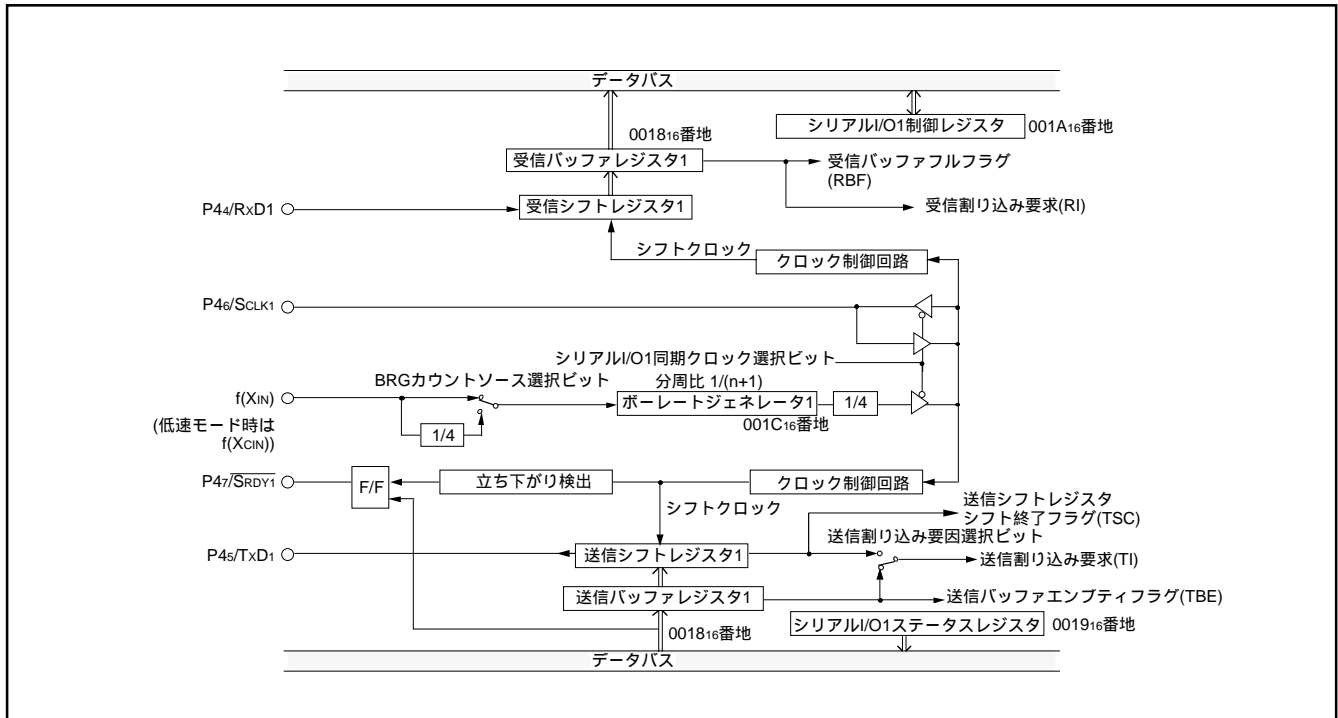


図40. クロック同期形シリアルI/O1ブロック図

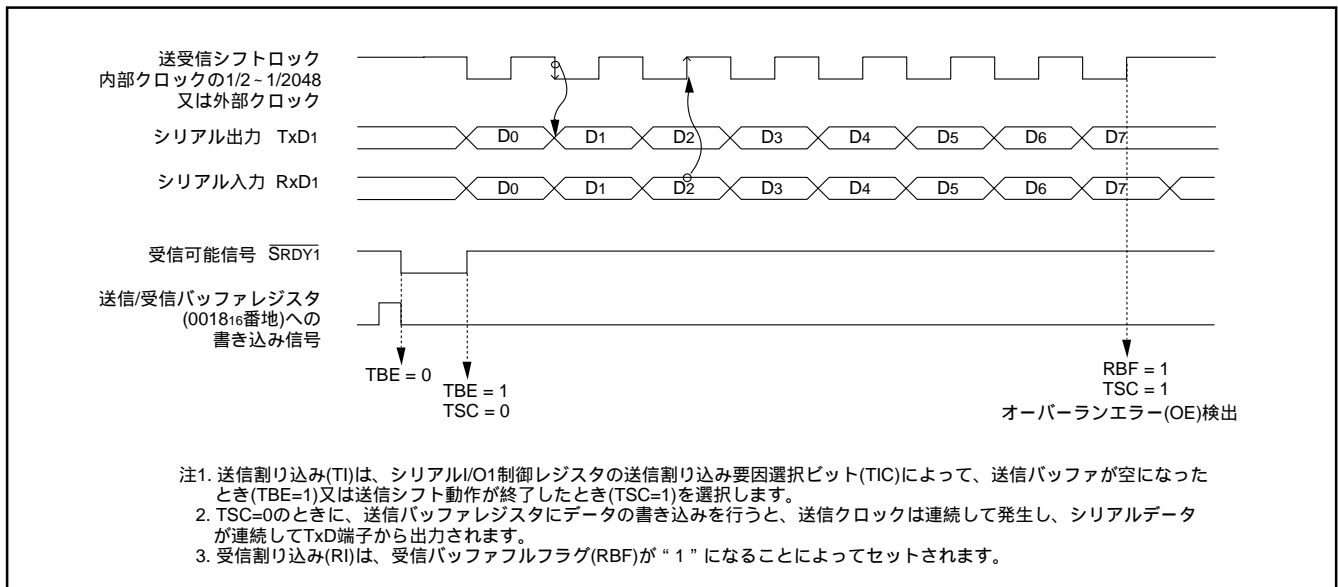


図41. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアル/O1(UART)モード

シリアル/O1制御レジスタのモード選択ビットを'0'にすることによってUARTが選択されます。

3803/3804グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3803/3804グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタ

を持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

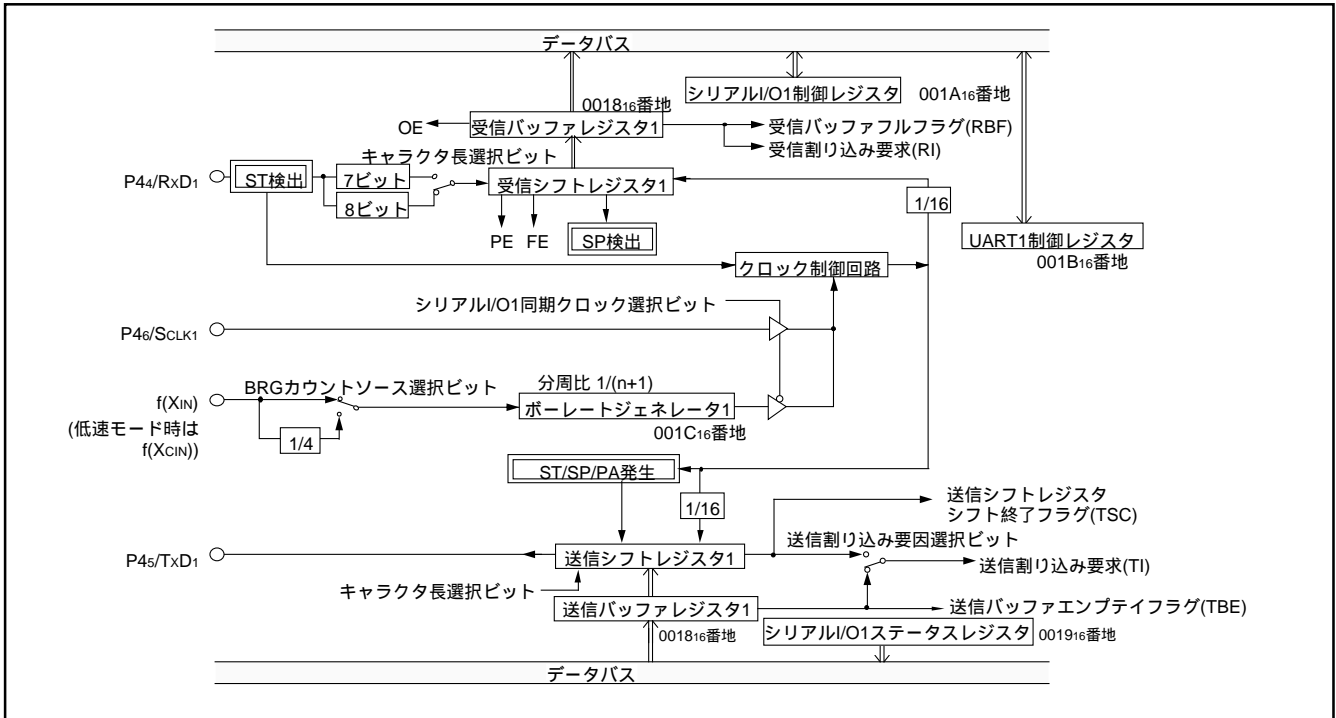


図42. UART形シリアル/O1ブロック図

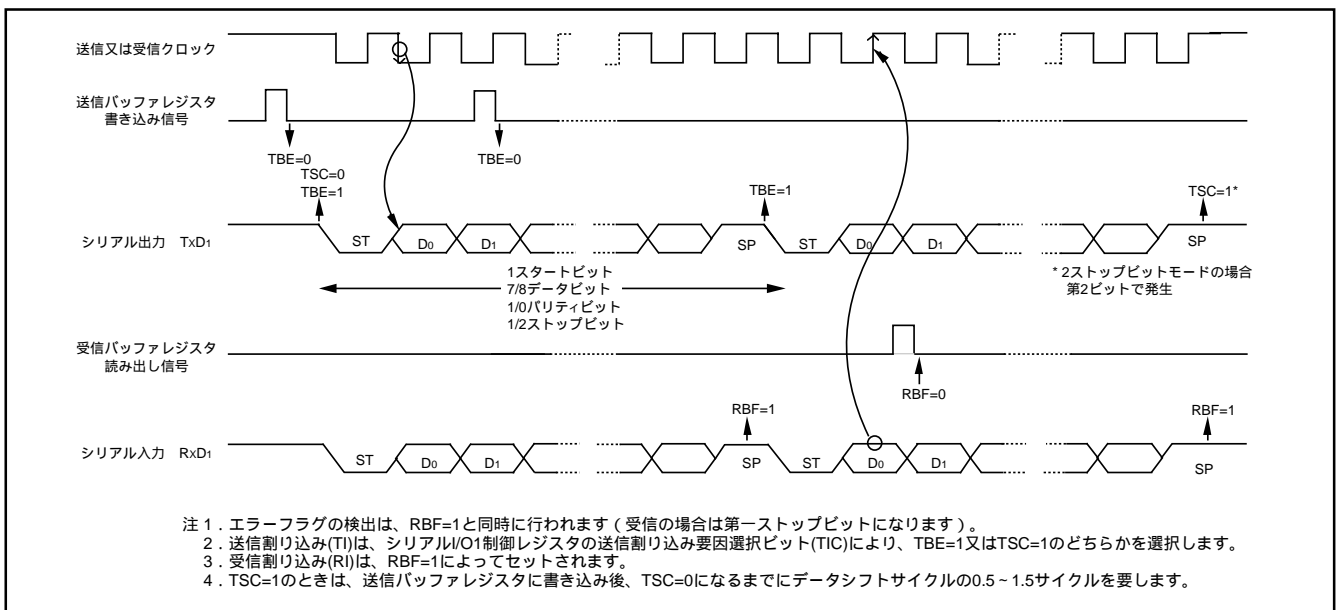


図43. UART形シリアル/O1動作図

【 シリアルI/O1制御レジスタ 】 SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【 UART1制御レジスタ 】 UART1CON

UART選択時有効な4ビットの制御ビットと、1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD1端子の出力形式などを設定します。

【 シリアルI/O1ステータスレジスタ 】 SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。受信バッファフルフラグは受信バッファレジスタを読み出すと0にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に0を書き込むとエラーフラグを含むすべてのステータスフラグが0にクリアされます。

このレジスタのビット0からビット6はリセット時0に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを1にしたときビット2とビット0は1になります。

【 送信バッファレジスタ1/受信バッファレジスタ1 】 TB1/RB1

送信バッファレジスタ1と受信バッファレジスタ1は同じアドレスに配置されており、送信バッファレジスタ1は書き込み専用、受信バッファレジスタ1は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ1に格納される受信データのMSBは0となります。

【 ボーレートジェネレータ1 】 BRG1

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

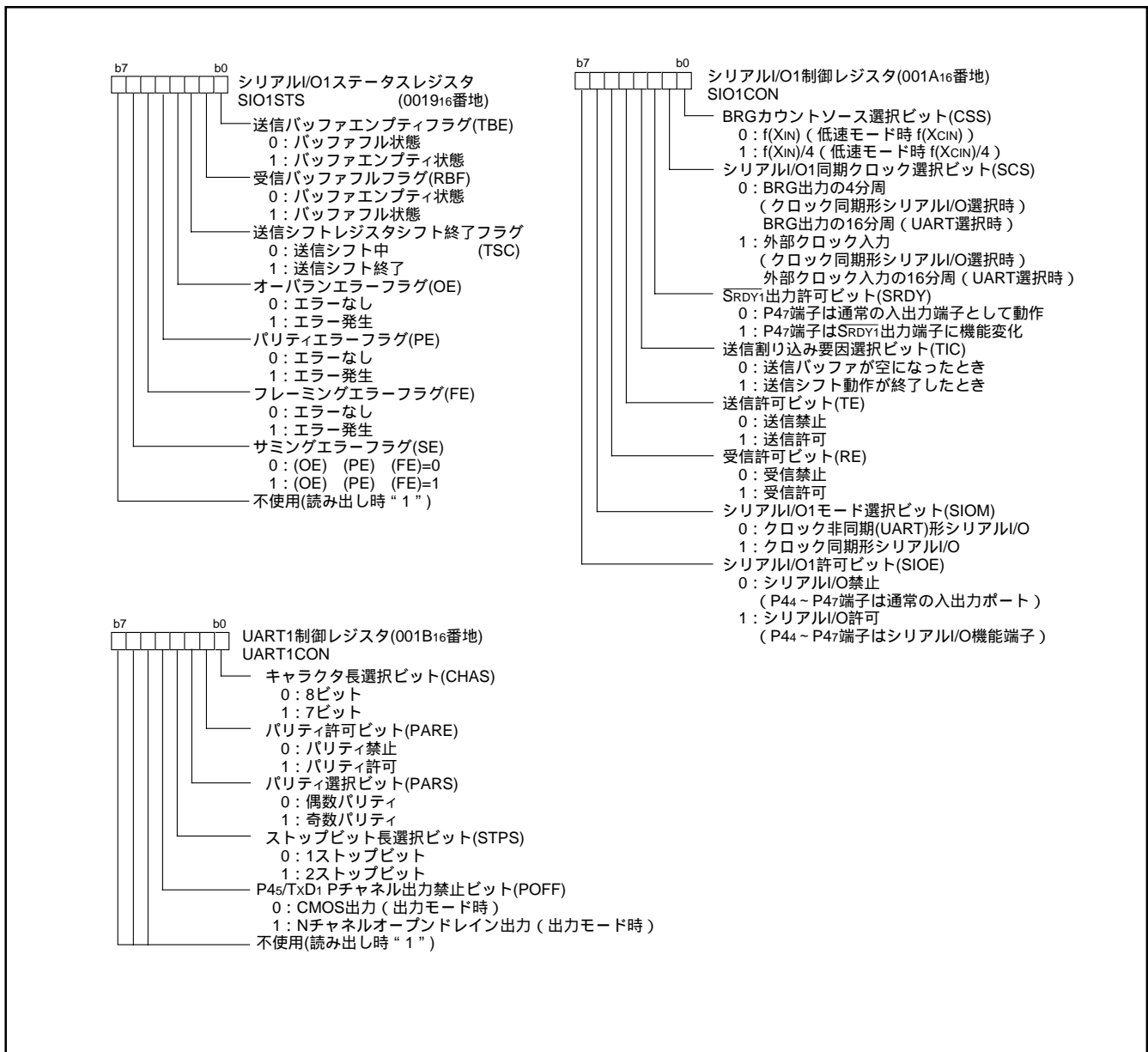


図44. シリアルI/O1関係レジスタの構成

シリアルI/O1の注意事項

1 同期形の選択時

1.1 送信動作の停止

・注意事項

シリアルI/O1許可ビット及び送信許可ビットを $\bar{0}$ (シリアルI/O及び送信禁止)にしてください。

・理由

シリアルI/O1許可ビットだけを $\bar{0}$ (シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1, SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを $\bar{1}$ にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

1.2 受信動作の停止

・注意事項

受信許可ビットを $\bar{0}$ (受信禁止)、又はシリアルI/O1許可ビットを $\bar{0}$ (シリアルI/O禁止)にしてください。

1.3 送受信動作の停止

・注意事項

送信許可ビット、及び受信許可ビットの両方を同時に $\bar{0}$ (送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

・理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを $\bar{0}$ (送信禁止)にしても送信回路は止まらない構成になっています。また<1.1送信動作の停止>と同様に、シリアルI/O1許可ビットを $\bar{0}$ (シリアルI/O禁止)にしても送信回路を初期化できません。

2 非同期形の選択時

2.1 送信動作の停止

・注意事項

送信許可ビットを $\bar{0}$ (送信禁止)にしてください。シリアルI/O1許可ビットを $\bar{0}$ にすることで送信動作は止まりません。

・理由

シリアルI/O1許可ビットだけを $\bar{0}$ (シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1, SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを $\bar{1}$ にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

2.2 受信動作の停止

・注意事項

受信許可ビットを $\bar{0}$ (受信禁止)にしてください。

2.3 送受信動作の停止

・注意事項1 (送信のみの停止)

送信許可ビットを $\bar{0}$ (送信禁止)にしてください。シリアルI/O1許可ビットを $\bar{0}$ にすることで送信動作は止まりません。

・理由

シリアルI/O1許可ビットだけを $\bar{0}$ (シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1, SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを $\bar{1}$ にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

・注意事項2 (受信のみの停止)

受信許可ビットを $\bar{0}$ (受信禁止)にしてください。

3 受信側のSRDY1出力

・注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビット及びSRDY1出力許可ビットとともに、送信許可ビットも「1」(送信許可)にしてください。

4 シリアルI/O1制御レジスタの再設定

・注意事項

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を「0」にして、送信及び受信回路をリセットした後、設定し直してください。

送信許可ビット(TE)、受信許可ビット(RE)
の両方を「0」にする。

シリアルI/O1制御レジスタのビット0～ビット3、
及びビット6を設定する。

LDM命令
で同時に
設定可

送信許可ビット(TE)、受信許可ビット(RE)
の両方、又はどちらか一方を「1」にする。

5 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

・注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れで「1」から「0」へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

6 外部クロック選択時の送信制御

・注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が「H」の状態ですべて送信許可ビットを「1」にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が「H」の状態で行ってください。

7 送信許可ビットセット時の送信割り込み要求

・注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

- ①シリアルI/O1送信割り込み許可ビットを「0」(禁止)にする。
- ②送信許可ビットを「1」にする。
- ③一命令以上おいてからシリアルI/O1送信割り込み要求ビットを「0」にする。
- ④シリアルI/O1送信割り込み許可ビットを「1」(許可)にする。

・理由

送信許可ビットを「1」に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは、「1」に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが「1」に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

●シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。
 シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

【シリアルI/O2制御レジスタ】 SIO2CON

シリアルI/O2制御レジスタは、8ビットでシリアルI/O2の各種制御を行う選択ビットで構成されています。

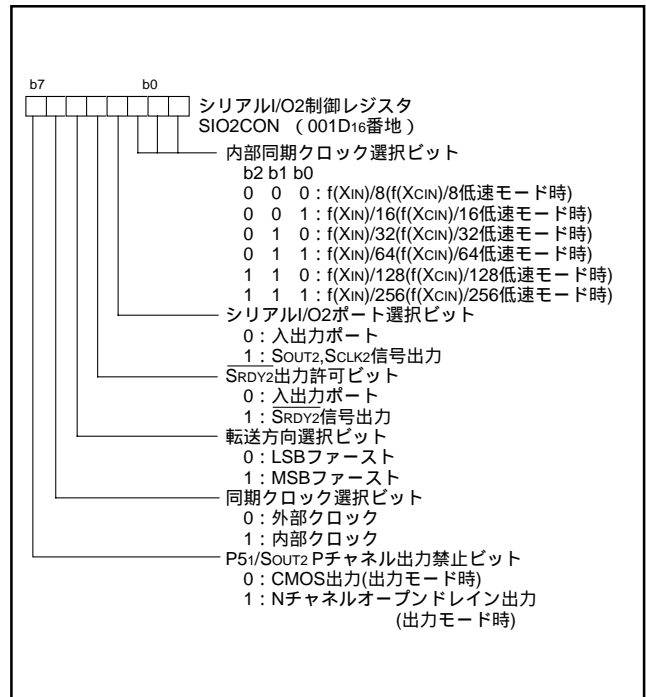


図45. シリアルI/O2制御レジスタの構成

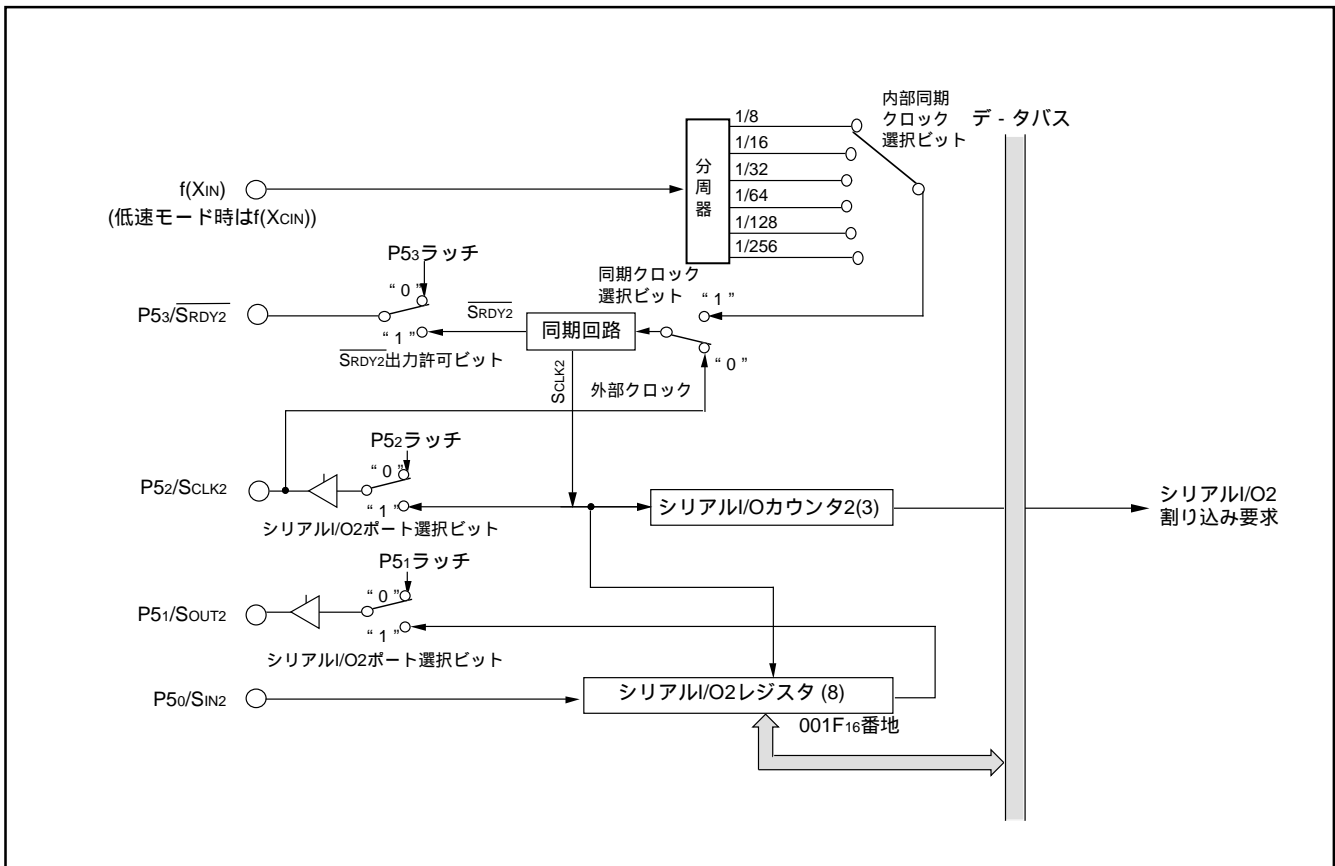


図46. シリアルI/O2ブロック図

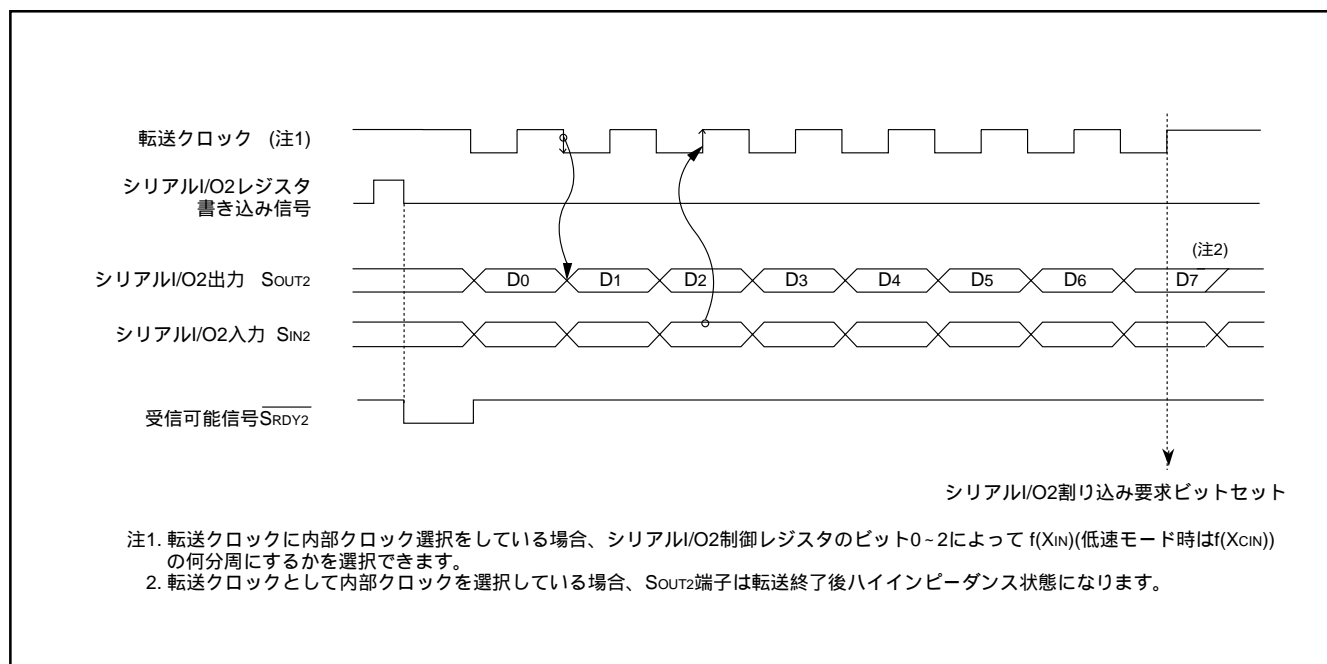


図47. シリアル/O2タイミング図

●シリアルI/O3

シリアルI/O3はクロック同期形、非同期形UARTのどちらでも動作可能です。また、シリアルI/O動作時のボーレート発生専用タイム(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O3制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

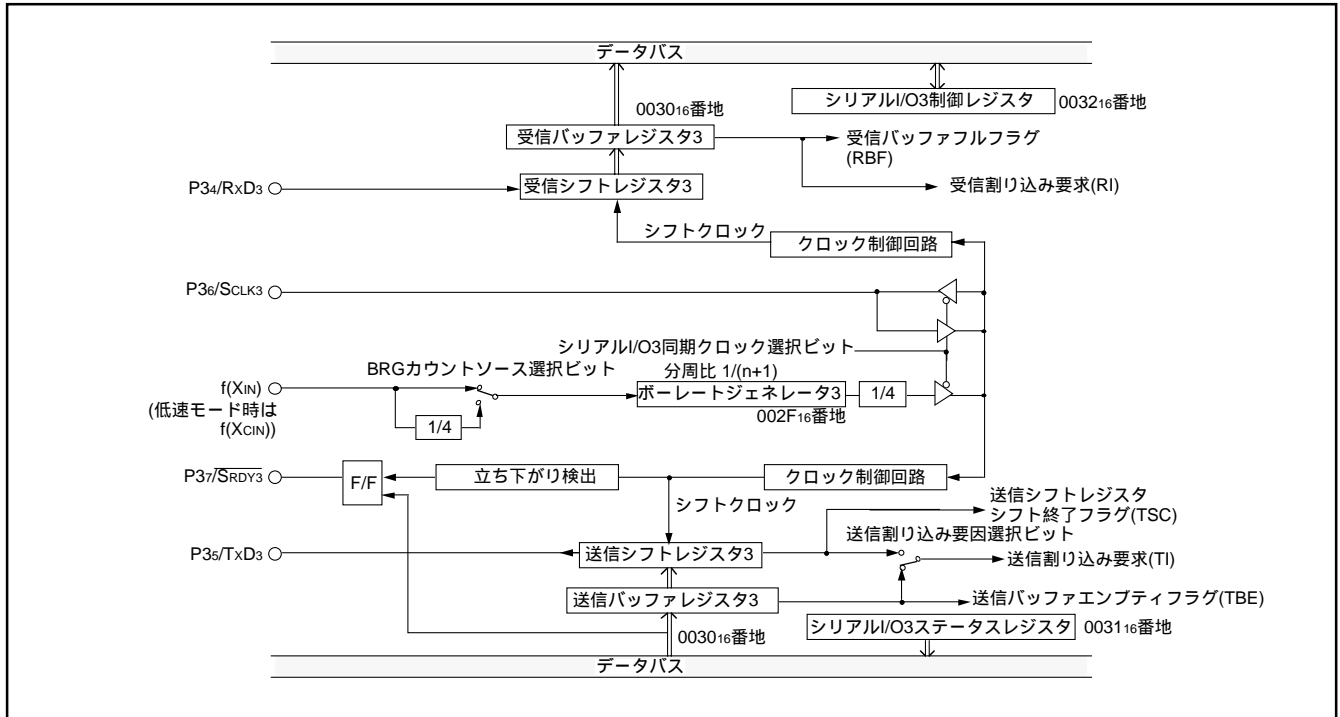


図48. クロック同期形シリアルI/O3ブロック図

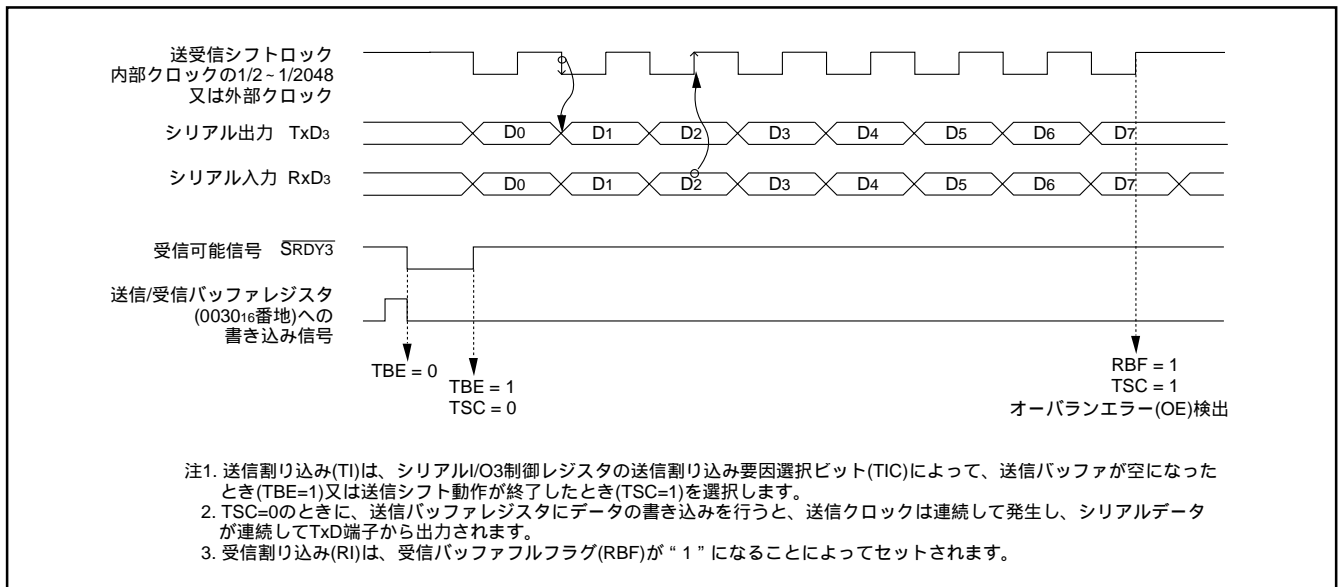


図49. クロック同期形シリアルI/O3動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O3制御レジスタのシリアルI/O3モード選択ビットを“0”にすることによってUARTが選択されます。

3803/3804グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3803/3804グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタ

を持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

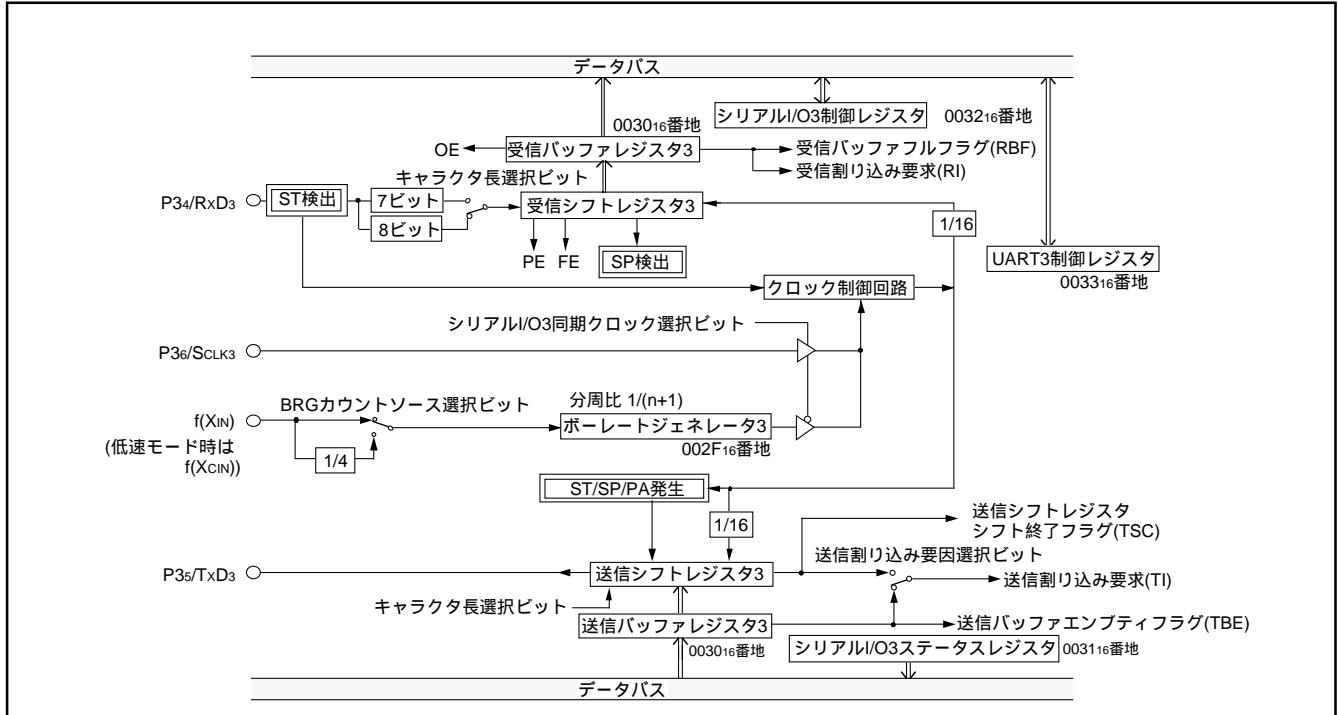
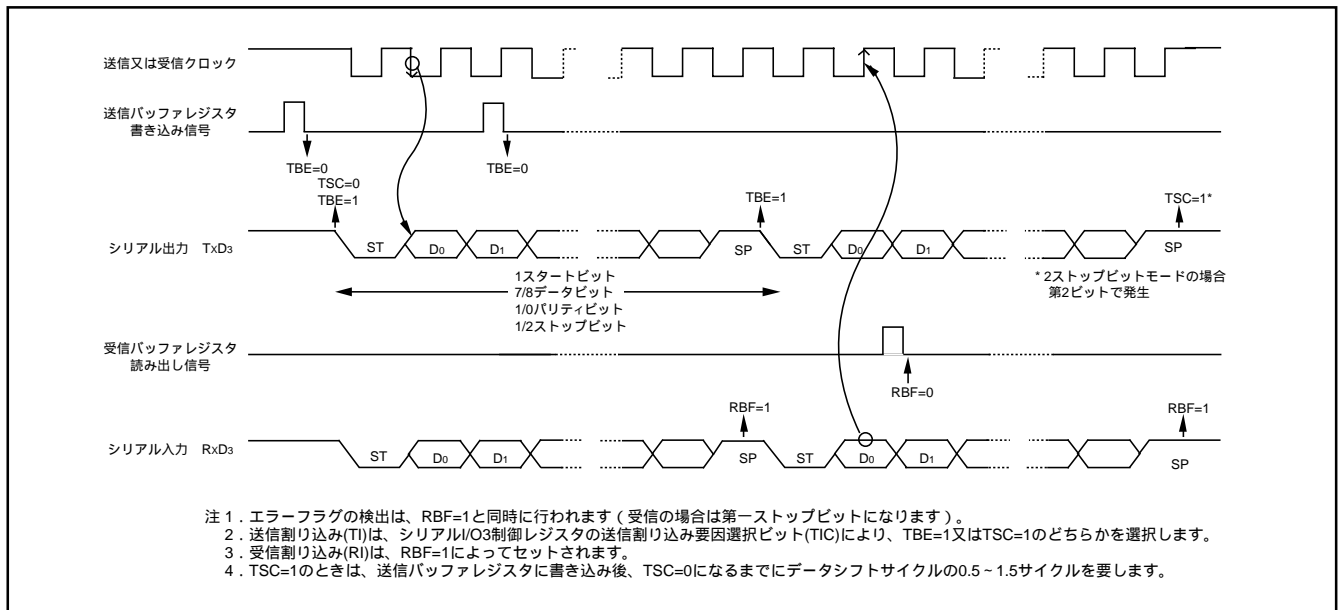


図50. UART形シリアルI/O3ブロック図



注1. エラーフラグの検出は、RBF=1と同時に行われます(受信の場合は第一ストップビットになります)。
 注2. 送信割り込み(TI)は、シリアルI/O3制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。
 注3. 受信割り込み(RI)は、RBF=1によってセットされます。
 注4. TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5 - 1.5サイクルを要します。

図51. UART形シリアルI/O3動作図

【 シリアルI/O3制御レジスタ 】 SIO3CON

シリアルI/O3制御レジスタはシリアルI/O3の各種制御を行う8ビットの選択ビットで構成されています。

【 UART3制御レジスタ 】 UART3CON

UART選択時有効な4ビットの制御ビットと、1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P35/TxD3端子の出力形式などを設定します。

【 シリアルI/O3ステータスレジスタ 】 SIO3STS

シリアルI/O3の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。受信バッファフルフラグは受信バッファレジスタを読み出すと0にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O3ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O3許可ビット(SIOE)に0を書き込むとエラーフラグを含むすべてのステータスフラグが0にクリアされます。

このレジスタのすべてのビットはリセット時0に初期化されますが、シリアルI/O3制御レジスタの送信許可ビットを1にしたときビット2とビット0は1になります。

【 送信バッファレジスタ3/受信バッファレジスタ3 】 TB3/RB3

送信バッファレジスタ3と受信バッファレジスタ3は同じアドレスに配置されており、送信バッファレジスタ3は書き込み専用、受信バッファレジスタ3は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ3に格納される受信データのMSBは0となります。

【 ボーレートジェネレータ3 】 BRG3

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

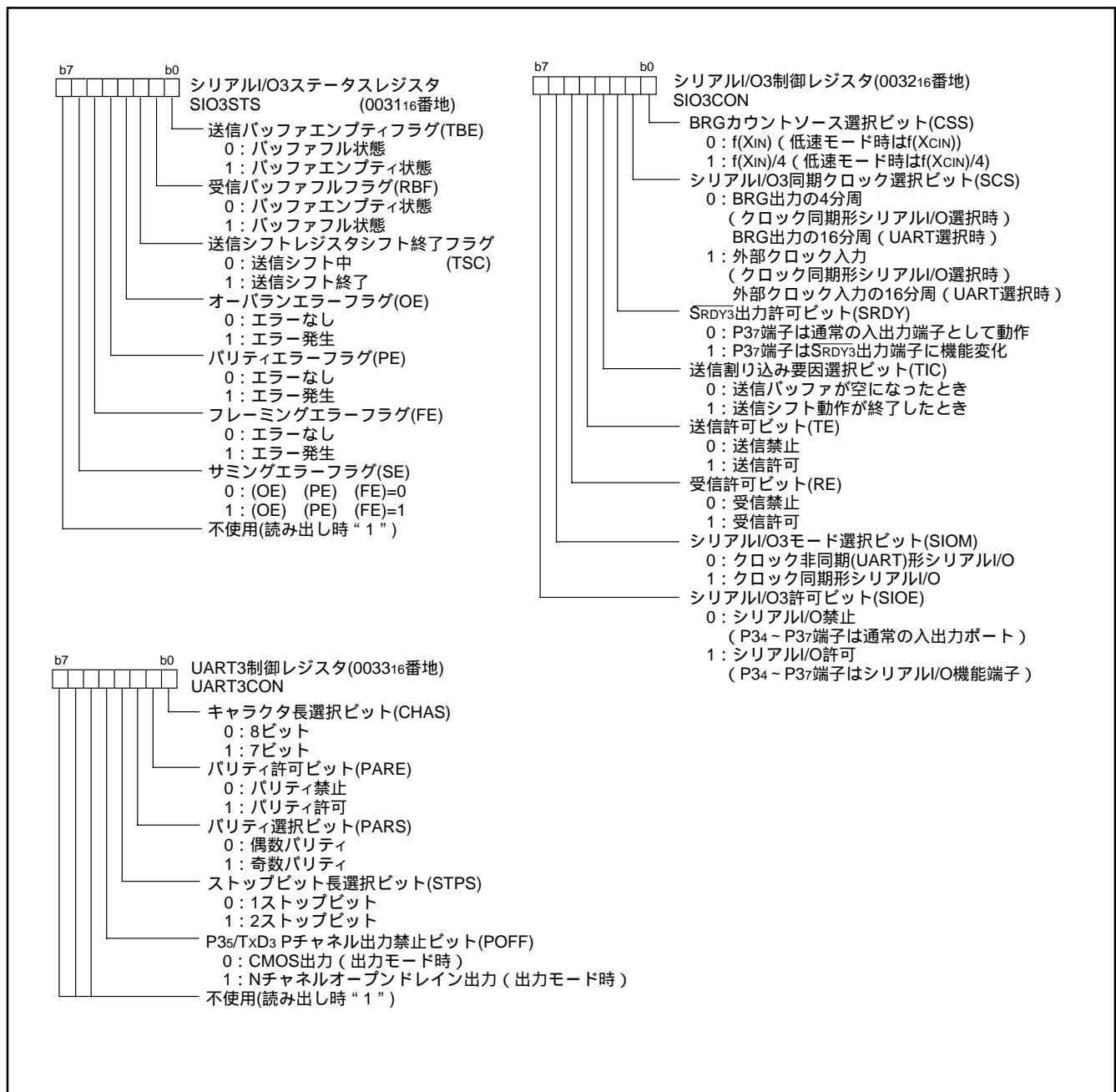


図52. シリアルI/O3関係レジスタの構成

シリアルI/O3の注意事項

1 同期形の選択時

1.1 送信動作の停止

・注意事項

シリアルI/O3許可ビット及び送信許可ビットを‘0’(シリアルI/O及び送信禁止)にしてください。

・理由

シリアルI/O3許可ビットだけを‘0’(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TXD3,RXD3,SCLK3,SRDY3各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを‘1’にすると、内部でシフト中のデータが途中からTXD3端子に出力され、不具合の原因となります。

1.2 受信動作の停止

・注意事項

受信許可ビットを‘0’(受信禁止)、又はシリアルI/O3許可ビットを‘0’(シリアルI/O禁止)にしてください。

1.3 送受信動作の停止

・注意事項

送信許可ビット、及び受信許可ビットの両方を同時に‘0’(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

・理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを‘0’(送信禁止)にしても送信回路は止まらない構成になっています。また<1.1送信動作の停止>と同様に、シリアルI/O3許可ビットを‘0’(シリアルI/O禁止)にしても送信回路を初期化できません。

2 非同期形の選択時

2.1 送信動作の停止

・注意事項

送信許可ビットを‘0’(送信禁止)にしてください。シリアルI/O3許可ビットを‘0’にすることで送信動作は止まりません。

・理由

シリアルI/O3許可ビットだけを‘0’(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TXD3,RXD3,SCLK3,SRDY3各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを‘1’にすると、内部でシフト中のデータが途中からTXD3端子に出力され、不具合の原因となります。

2.2 受信動作の停止

・注意事項

受信許可ビットを‘0’(受信禁止)にしてください。

2.3 送受信動作の停止

・注意事項1 (送信のみの停止)

送信許可ビットを‘0’(送信禁止)にしてください。シリアルI/O3許可ビットを‘0’にすることで送信動作は止まりません。

・理由

シリアルI/O3許可ビットだけを‘0’(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TXD3,RXD3,SCLK3,SRDY3各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを‘1’にすると、内部でシフト中のデータが途中からTXD3端子に出力され、不具合の原因となります。

・注意事項2 (受信のみの停止)

受信許可ビットを‘0’(受信禁止)にしてください。

3 受信側のSRDY3出力

・注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY3出力を行う場合、受信許可ビット及びSRDY3出力許可ビットとともに、送信許可ビットも「1」(送信許可)にしてください。

4 シリアルI/O3制御レジスタの再設定

・注意事項

シリアルI/O3制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を「0」にして、送信及び受信回路をリセットした後、設定し直してください。

送信許可ビット(TE)、受信許可ビット(RE)
の両方を「0」にする。

シリアルI/O3制御レジスタのビット0～ビット3、
及びビット6を設定する。

送信許可ビット(TE)、受信許可ビット(RE)
の両方、又はどちらか一方を「1」にする。

LDM命令
で同時に
設定可

5 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

・注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れで「1」から「0」へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

6 外部クロック選択時の送信制御

・注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK3が「H」の状態ですべて送信許可ビットを「1」にしてください。また、送信バッファレジスタへの書き込みも、SCLK3が「H」の状態で行ってください。

7 送信許可ビットセット時の送信割り込み要求

・注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

- ①シリアルI/O3送信割り込み許可ビットを「0」(禁止)にする。
- ②送信許可ビットを「1」にする。
- ③一命令以上おいてからシリアルI/O3送信割り込み要求ビットを「0」にする。
- ④シリアルI/O3送信割り込み許可ビットを「1」(許可)にする。

・理由

送信許可ビットを「1」に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは、「1」に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが「1」に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

PWM

(PWM: Pulse Width Modulation)

PWMは、8ビット分解能を持ち、クロック入力XIN又はXINを2分周した信号を基本としています。(低速モード時はXCIN又はXCIN/2)

・データの設定

PWMの出力端子はポートP56と共用しています。PWMプリスケアラによりPWM 周期を設定し、PWMレジスタにより出力パルスの H 期間を設定します。

PWMプリスケアラの値をn、PWMレジスタの値をmとすると、以下のようになります(ただし、n=0~255、m=0~255です)。

$$\text{PWM周期} = \frac{255 \times (n + 1)}{f(XIN)}$$

$$= 31.875 \times (n + 1) \mu s \quad (f(XIN) = 8\text{MHzの場合})$$

$$\text{出力パルスの H 期間} = \frac{\text{PWM周期} \times m}{255}$$

$$= 0.125 \times (n + 1) \times m \mu s \quad (f(XIN) = 8\text{MHzの場合})$$

・PWMの動作

PWM 制御レジスタのビット0 (PWM許可ビット)を“ 1 ”にすると、PWM出力回路は初期状態より動作を開始し、“ H ”から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

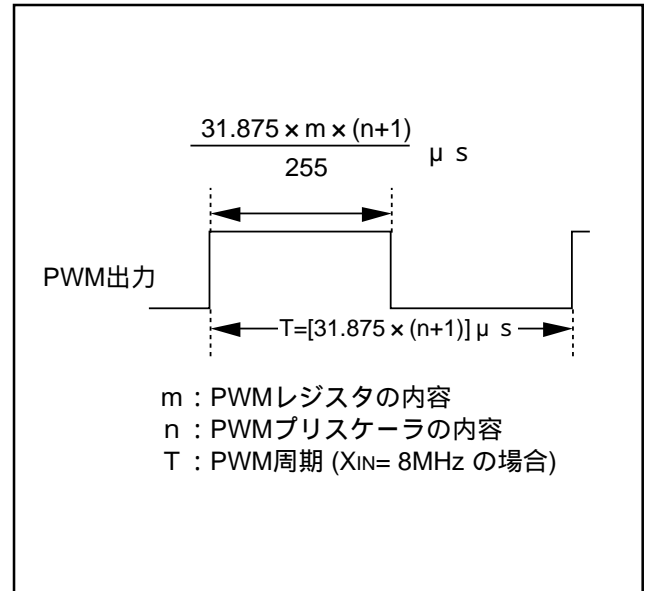


図53. PWM周期のタイミング図

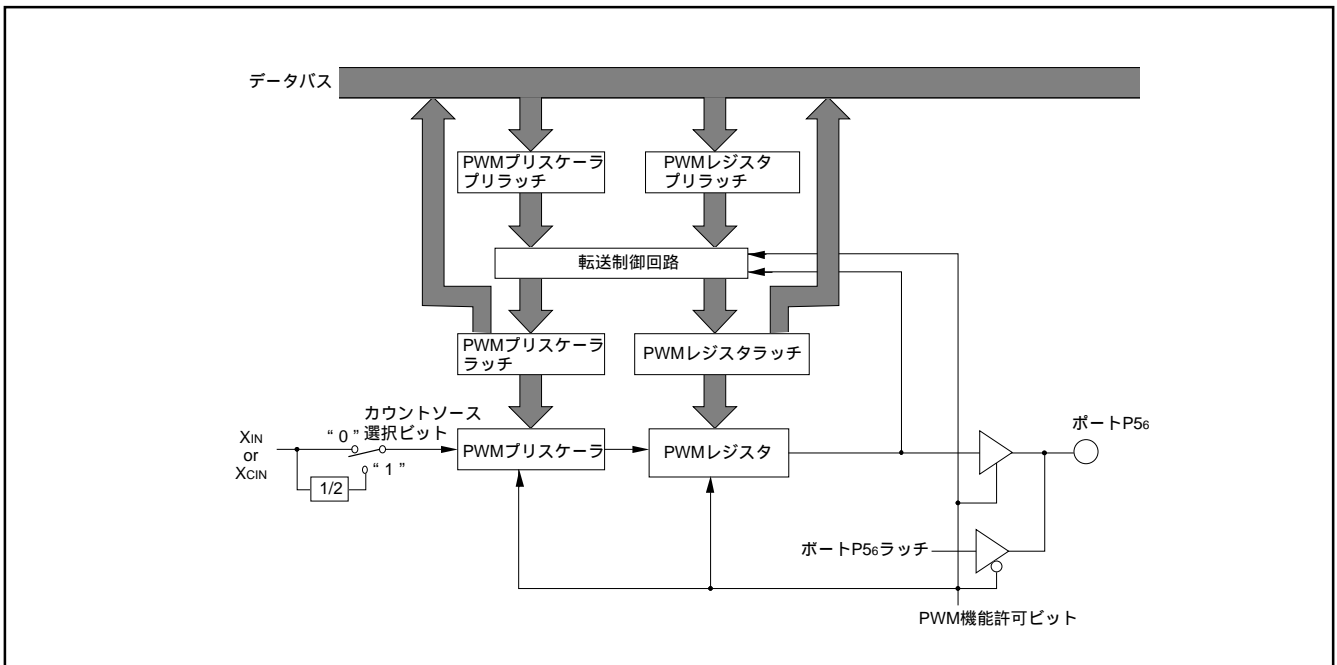


図54. PWM回路ブロック図

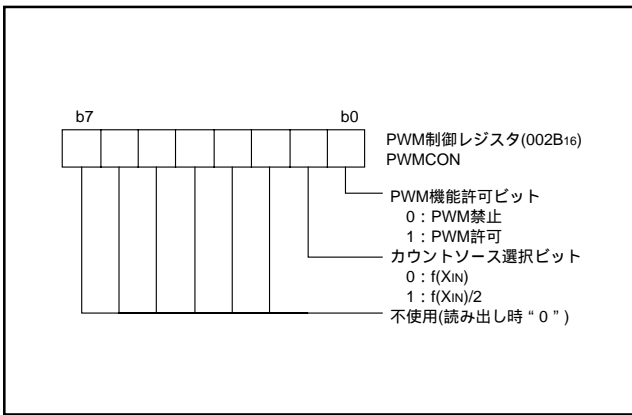


図55. PWM制御レジスタの構成

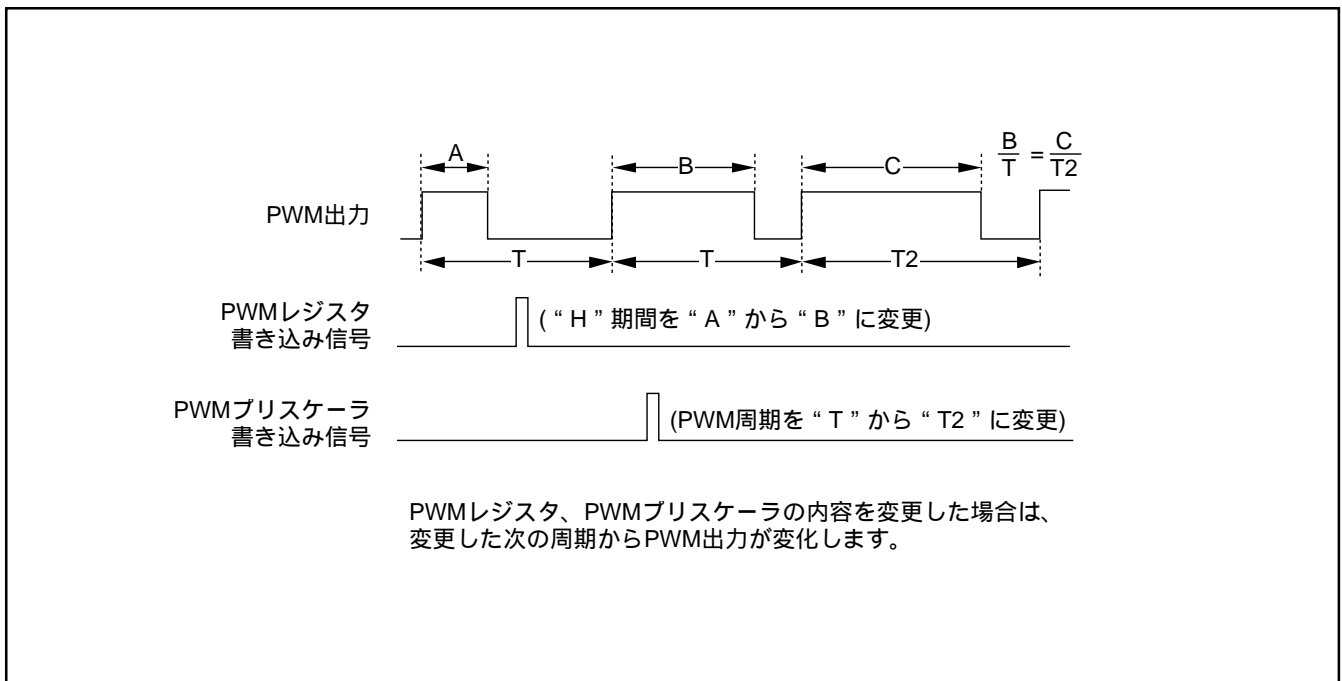


図56. PWM制御レジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図

A-D変換器

【A-D変換レジスタ1 2】AD1,AD2

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

A-D変換レジスタ2のビット7は、変換モード選択ビットです。このビットを“0”に設定すると、10ビットA-Dモード、“1”に設定すると8ビットA-Dモードとなります。

8ビットA-Dモードの変換結果はA-D変換レジスタ1に格納されます。

10ビットA-Dモードは、図58のようにA-D変換終了後にA-D変換レジスタ1 2を読み出す順序を選ぶことで、変換結果を10ビットで読み出すだけでなく、上位8ビットだけの読み出しを行うことも可能です。

10ビットA-Dモードでは、A-D変換開始後、A-D変換レジスタ1読み出しを行うと、MSB寄りの8ビット読み出しになります。A-D変換レジスタ2読み出し後、AD変換レジスタ1読み出しを行うと、LSB寄りの8ビット読み出しになります。

【AD/DA制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット4、ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A-D変換が開始されます。

【比較電圧発生器】

10ビットA-Dモードは、VREFとAVSSの間の電圧を1024分割し比較電圧を出力します。(8ビットA-Dモードでは256分割)

各モードでの比較電圧VrefはVREF電圧を下記のとおり分圧して入力電圧との逐次比較を行います。

10ビットA-Dモード(10ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

10ビットA-Dモード(8ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

8ビットA-Dモード

$$V_{ref} = \frac{V_{REF}}{256} \times (n - 0.5) \quad (n=1 \sim 255)$$

$$= 0 \quad (n=0)$$

【チャンネルセクタ】

ポートP67/AN7～P60/AN0,ポートP07/AN15～P00/AN8より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタ1 2に格納します。また、A-D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A-D変換中はf(XIN)を500kHz以上にしてください。

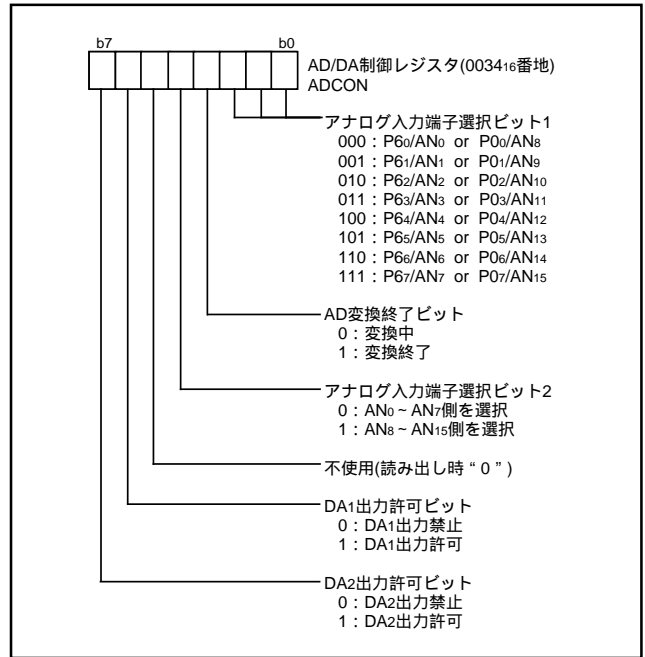


図57. AD/DA制御レジスタの構成

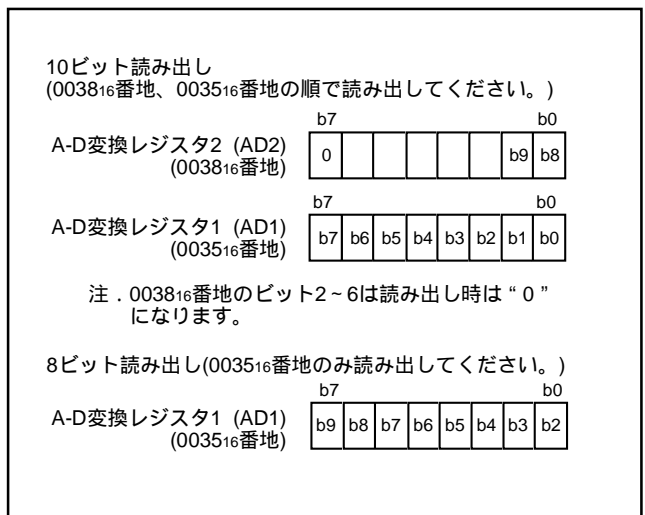


図58. 10ビットA-Dモードの読み出し構成

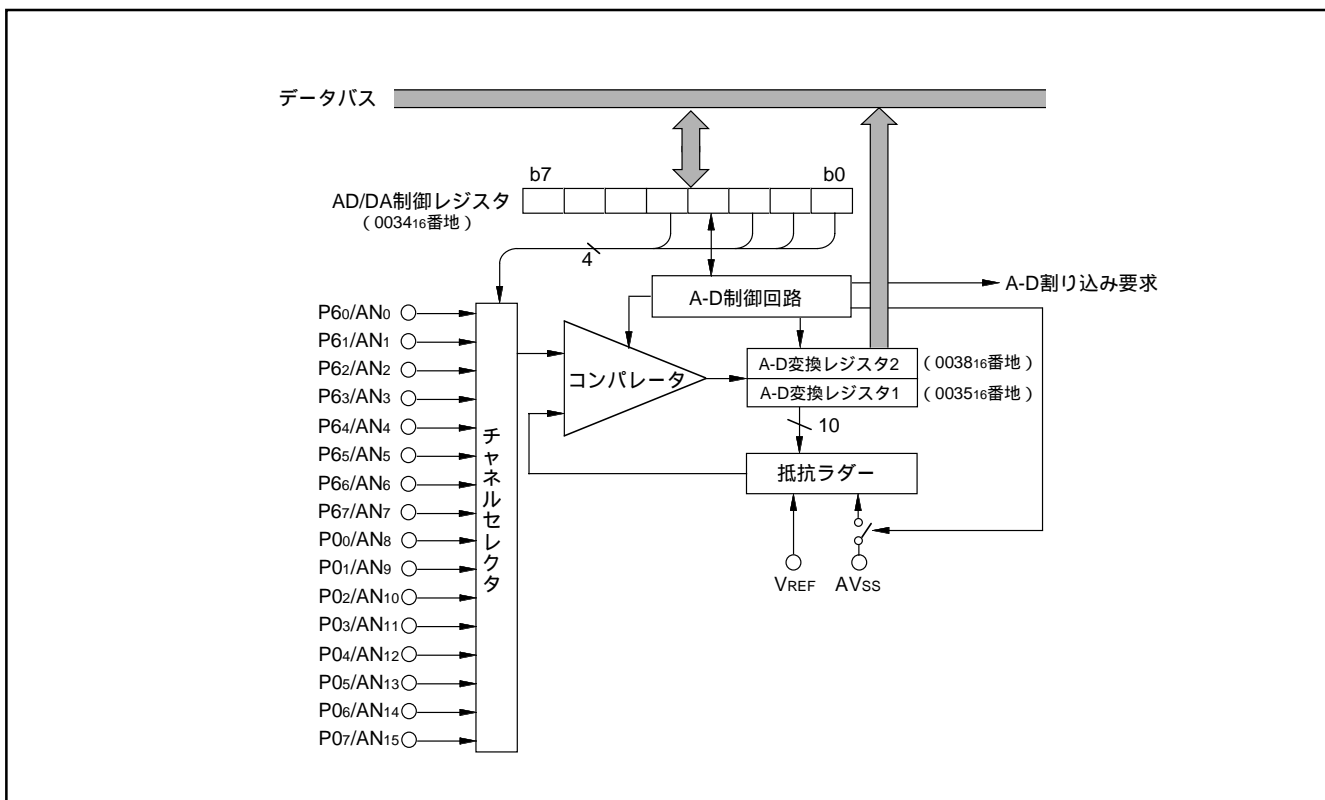


図59. AD変換のブロック図

D-A変換器

D-A変換器は分解能8ビットで、2チャンネル(DA1、DA2)内蔵しています。

D-A変換はそれぞれ対応するD-A変換レジスタに値を設定することによって行われます。D-A変換された結果は、DA出力許可ビットを‘1’にセットすることによって、DA1、DA2端子から出力されます。このとき、P30/DA1、P31/DA2の方向レジスタは‘0’(入力状態)にしておいてください。

出力されるアナログ電圧VはD-A変換レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n = 0 \sim 255)$$

*VREFは基準電圧

D-A変換レジスタはリセット時‘0016’にクリアされます。また、DA出力許可ビットも、リセット時‘0’にクリアされ、P30/DA1、P31/DA2端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

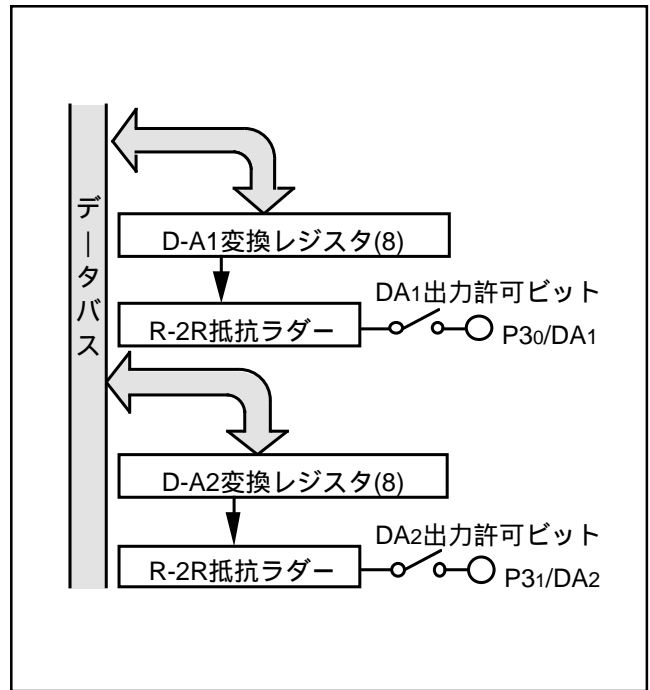


図60. D-A変換器ブロック図

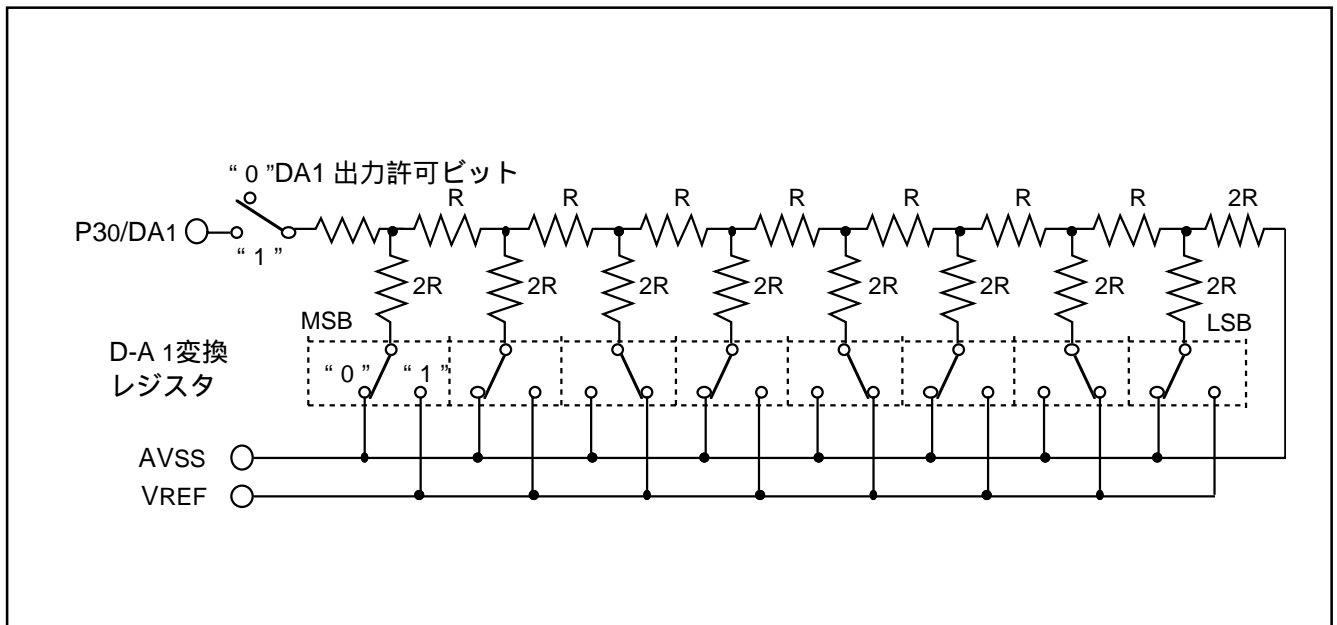


図61. D-A変換器等価回路図(D-A1)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

・ウォッチドッグタイマの初期値

リセット時、又はウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりウォッチドッグタイマHは“FF16”に、ウォッチドッグタイマLは“FF16”にセットされます。書き込みのための命令はSTA、LDM、CLBなど書き込み信号が発生する命令であれば、どんな命令でも使用できます。ウォッチドッグタイマ制御レジスタへの書き込みデータはビット6、7のみ有効です。ビット0～5に書き込まれる値に関係なく各タイマに上記の値がセットされます。

・ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりカウントダウンを開始します。ウォッチドッグタイマHがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセット解除され、リセットベクトル番地からプログラムを再実行します。通常はウォッチドッグタイマHがアンダフローする前にウォッチドッ

グタイマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

なお、ウォッチドッグタイマ制御レジスタのビット6を“0”にしておくと、STP命令は許可され、STP命令が実行されるとクロックが停止してウォッチドッグタイマも停止します。ストップモード解除と同時にカウントを再開します(注)。WIT命令実行時はウォッチドッグタイマは停止しません。また、このビットを“1”に書き換えることによりSTP命令は禁止されます。このときSTP命令が実行されると未定義命令として処理され、内部でリセットが発生します。このビットを一旦“1”に書き換えるとプログラムにより“0”に書き換えることはできなくなります。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマHがアンダフローするまでの時間を以下に示します。

ウォッチドッグタイマ制御レジスタのビット7が“0”の場合

$$XCIN=32.768kHz時32s、XIN=16MHz時65.536ms$$

ウォッチドッグタイマ制御レジスタのビット7が“1”の場合

$$XCIN=32.768kHz時125ms、XIN=16MHz時256\mu s$$

注 ストップ解除の待ち時間の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマHがアンダフローしないように注意してください。

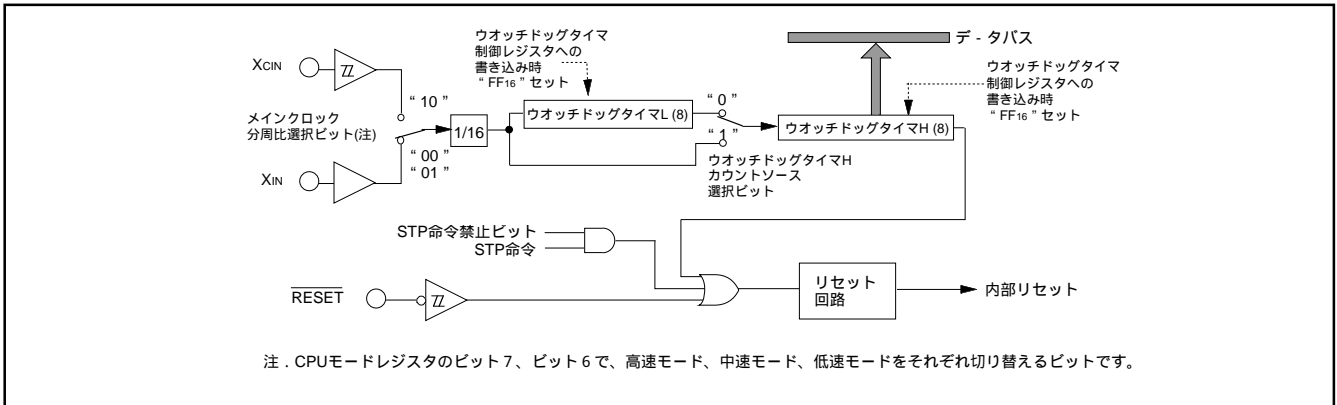


図62. ウォッチドッグタイマのブロック図

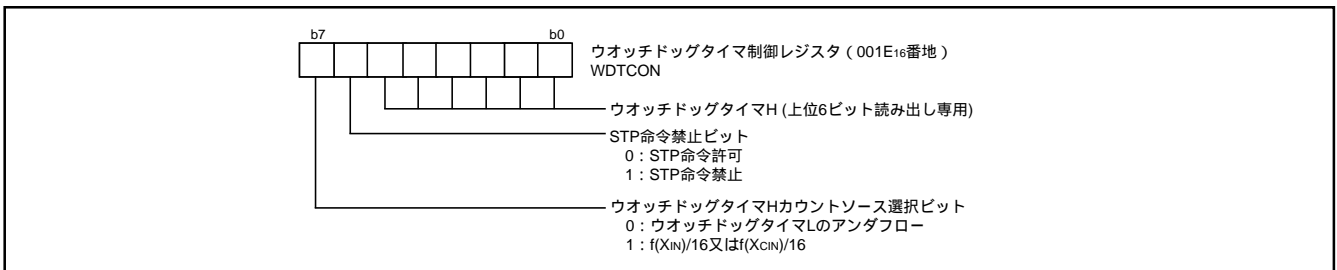


図63. ウォッチドッグタイマ制御レジスタの構成

マルチマスタI²C-BUSインタフェース

3804グループはマルチマスタI²C-BUSインタフェースを持ちます。

マルチマスタI²C-BUSインタフェースは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロナス機能を有しており、マルチマスタのシリアル通信に対応できます。

図64にマルチマスタI²C-BUSインタフェースのブロック図、表10にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースは、I²Cスレーブアドレスレジスタ0~2、I²Cデータシフトレジスタ、I²Cクロックコントロールレジスタ、I²Cコントロールレジスタ、I²Cステータスレジスタ、I²Cスタート/ストップコンディション制御レジスタ、I²Cスペシャルモード制御レジスタ、I²Cスペシャルモードステータスレジスタとその他の制御回路により構成されています。

マルチマスタI²C-BUSインタフェースを使用する場合は、内部クロックφを1MHz以上にしてください。

表10. マルチマスタI²C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz, (φ = 4 MHz時)

内部クロック φ: = (XIN)/2(高速モード)
φ: = (XIN)/8(中速モード)

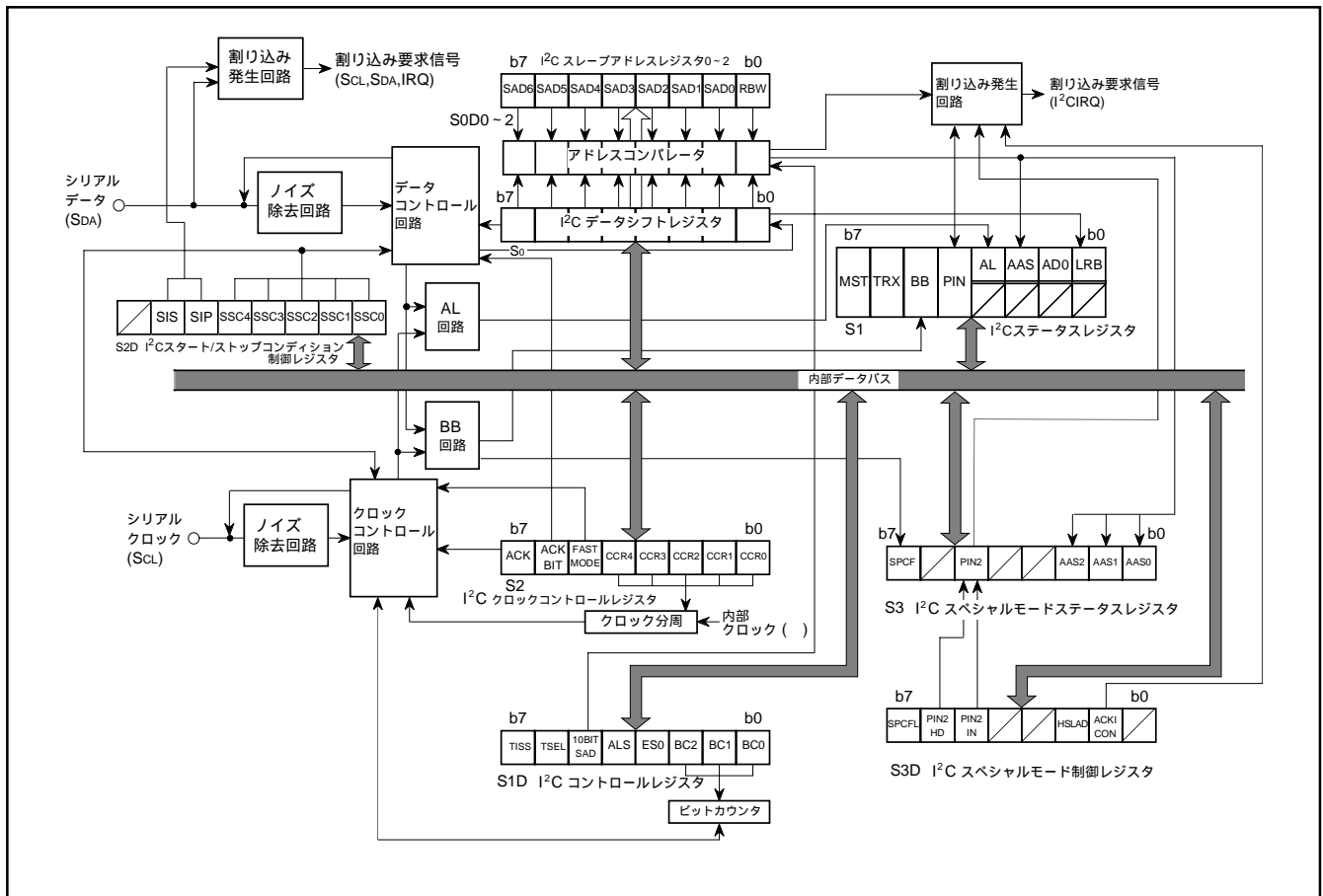


図64. マルチマスタI²C-BUSインタフェースのブロック図

* :Purchase of MITSUBISHI ELECTRIC CORPORATION ' S I²C components conveys a license under the Philips I²C Patent Rights to use these components an I²C system , provided that the system conforms to the I²C Standard Specification as defined by Philips.

I²Cデータシフトレジスタ

I²Cデータシフトレジスタ(S0:001116番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データはこのレジスタに書き込むと、SCLKに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLKに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

SCLKの立ち上がりから、このレジスタに入力されるまでは、最短で内部クロックφの2サイクルを要します。

I²Cデータシフトレジスタは、I²Cコントロールレジスタ(S1D:001416番地)のI²C-BUSインタフェース許可ビット(ES0ビット)が“1”のときのみ書き込みが可能です。I²Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I²Cステータスレジスタ(S1:001316番地)のMSTビットが“1”のとき、I²Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

I²Cスレーブアドレスレジスタ0~2

I²Cスレーブアドレスレジスタ0~2(S0D0~2:0FF716~0FF916番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

(1)ビット0:リード/ライトビット(RWB)

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cスレーブアドレスレジスタ0~2の内容(SAD6~SAD0+RWB)が比較されるため、“0”を設定しておく必要があります。2バイトのアドレスデータとスレーブアドレスが一致した場合には、このビットをソフトウェアで“1”に設定することにより、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/WのデータとI²Cスレーブアドレスレジスタの値を一致させることができます。

RWBビットはストップコンディションを検出すると、自動的に“0”になります。

(2)ビット1~ビット7:スレーブアドレス(SAD0~SAD6)

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

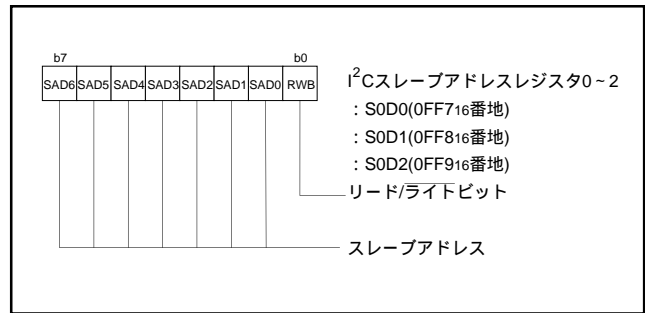


図65. I²Cスレーブアドレスレジスタ0~2の構成

I²Cクロックコントロールレジスタ

I²Cクロックコントロールレジスタ(S2:0015₁₆番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

(1)ビット0～ビット4:SCL周波数制御ビット(CCR0～CCR4)

SCL周波数を制御するビットです。表11を参照してください。

(2)ビット5:SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。高速モードI²Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(XIN)を8MHz以上、高速モード(メインクロック分周比を2)でご使用ください。

(3)ビット6:アックビット(ACK BIT)

アックロック*発生時のSDAの状態を設定します。“0”の場合はアック応答を返すモードとなり、アックロック発生時にSDAを“L”にします。“1”の場合はアック応答を返さないモードとなり、アックロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT=“0”の状態アドレスデータ受信の場合は、スレーブアドレスとアドレスデータが一致すると自動的にSDAが“L”(ACK応答あり)となり、一致しなかった場合は自動的にSDAが“H”(ACK応答なし)となります。

*アックロック:確認応答用のクロック

(4)ビット7:アックロックビット(ACK)

データ転送の確認応答であるアックリジメントのモードを指定するビットです。“0”の場合、アックロック発生なしモードになり、データ転送後にアックロックは発生しません。“1”の場合はアックロック発生ありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアックロックを発生します。アドレスデータ、制御データを送信するデバイスは、アックロック発生時にSDAを開放し(“H”の状態にする)データを受信するデバイスが発生させるアックビットを受信します。

注. I²Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Cクロックジェネレータがリセットされ、データが正常に転送できません。

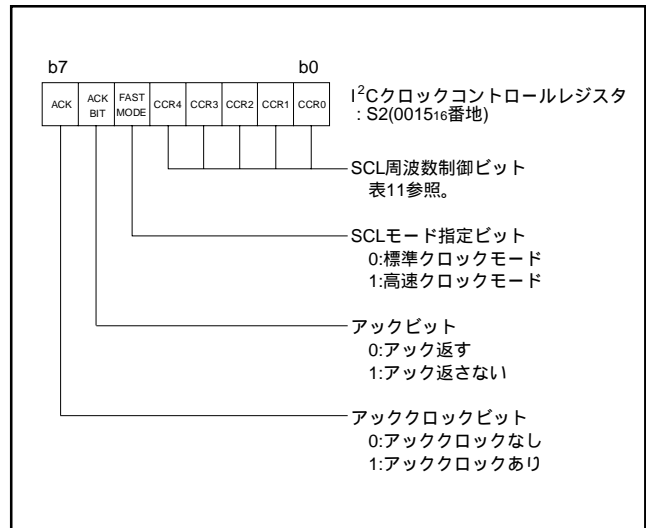


図66. I²Cクロックコントロールレジスタの構成

表11. I²Cクロックコントロールレジスタの設定値とSCL周波数

CCR4～CCR0の設定値					SCL周波数(φ = 4 MHz時, 単位: kHz)(注1)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	選択禁止	選択禁止
0	0	0	0	1	選択禁止	選択禁止
0	0	0	1	0	選択禁止	選択禁止
0	0	0	1	1	- (注2)	333
0	0	1	0	0	- (注2)	250
0	0	1	0	1	100	40(注3)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. SCLK出力のデューティは50%です。高速クロックモードCCR値=5のみ35～45%になります。(400kHz, φ=4MHz時)また、クロックの“H”の期間は標準クロックモードで+2～-4マシサイクル、高速クロックモードで+2～-2マシサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が増えることはありません。これらはシンクロニアス機能によるSCLK同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4～CCR0を10進数表記した値です。

2. φ=4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合はφをより低い周波数で使用してください。

3. SCL周波数の計算式は次のとおりです。

$$\phi / (8 \times \text{CCR値}) \text{標準クロックモード}$$

$$\phi / (4 \times \text{CCR値}) \text{高速クロックモード(CCR値 = 5)}$$

$$\phi / (2 \times \text{CCR値}) \text{高速クロックモード(CCR値 = 5)}$$

CCR値=0～2はφの周波数に関わらず選択禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4～CCR0を設定してください。

I²Cコントロールレジスタ

I²Cコントロールレジスタ(S1D:0014₁₆番地)はデータ通信フォーマットの制御を行うレジスタです。

(1)ビット0～ビット2:ビットカウンタ(BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(S2:0015₁₆番地のビット7)による指定があればアックロックも合わせたビットカウント数の転送完了直後、I²C割り込みの要求が発生し、BC0～BC2は“000₂”に戻ります。またスタートコンディションを検出してもBC0～BC2は“000₂”になり、アドレスデータは必ず8ビットで送受信されます。

(2)ビット3:I²Cインタフェース許可ビット(ES0)

マルチマスタI²C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。ES0 = “0”のとき、次のように処理されます。

I²Cステータスレジスタ(S1:0013₁₆番地)のPIN=“1”、

BB=“0”、AL=“0”に設定される。

I²Cデータシフトレジスタ(S0:0011₁₆番地)への書き込みは禁止される。

(3)ビット4:データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール「I²Cステータスレジスタ」のビット1参照を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

(4)ビット5:アドレッシングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²Cスレーブアドレスレジスタ0～2の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²Cスレーブアドレスレジスタ0～2の全ビットがアドレスデータと比較されます。

(5)ビット7:I²C-BUSインタフェース端子入力レベル選択ビット(TISS)

マルチマスタI²C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

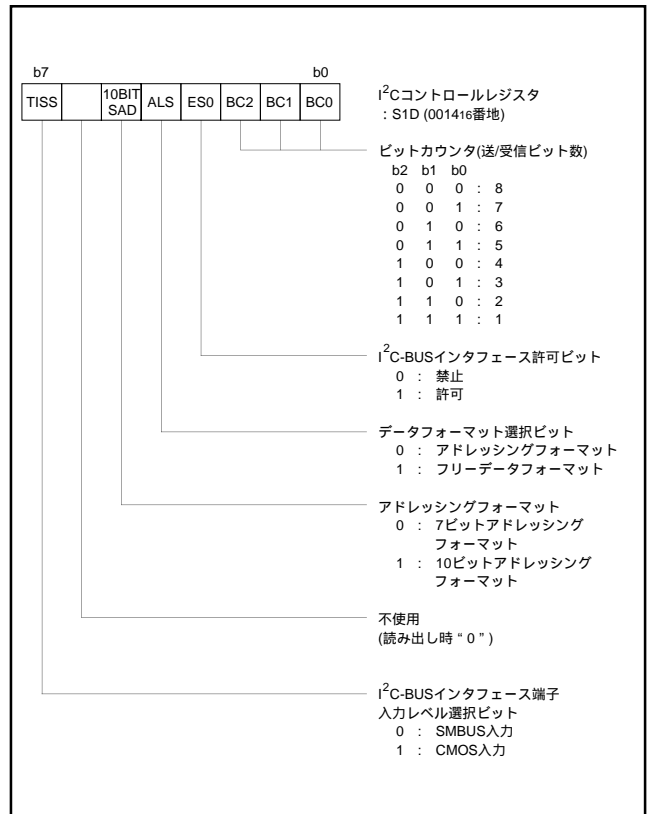


図67. I²Cコントロールレジスタのビット構成

I²Cステータスレジスタ

I²Cステータスレジスタ(S1:0013₁₆番地)はI²C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので“00002”を書き込みください。

(1)ビット0:最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アック応答の受信確認に使用可能です。アッククロック発生時に、アック応答が返ってきた場合、LRBビットは“0”になります。アック応答が返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²Cデータシフトレジスタ(S0:0011₁₆番地)に書き込み命令を実行すると“0”になります。

(2)ビット1:ジェネラルコール検出フラグ(AD0)

ALSビットが“0”の場合、アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより“0”になります。

*ジェネラルコール: マスタが全スレーブにジェネラルコールアドレス“00₁₆”を送信すること。

(3)ビット2:スレーブアドレス比較フラグ(AAS)

ALSビットが“0”の場合アドレスの比較結果を示します。

スレーブ受信モード時、7ビットアドレッシングフォーマットで以下のいずれかの条件で、“1”になります。

- ・スタートコンディション発生直後のアドレスデータがI²Cスレーブアドレスレジスタに格納されている上位7ビットのスレーブアドレスと一致した場合。
- ・ジェネラルコールを受信した場合
スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。
- ・アドレスデータとI²Cスレーブアドレスレジスタ(スレーブアドレス、及びRWBビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

このビットはES0が“1”の場合のI²Cデータシフトレジスタ(S0:0011₁₆番地)への書き込み、又はリセットにより“0”になります。

(4)ビット3:アービトレーションロスト*検出フラグ(AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に“0”になります。

アービトレーションロストはマスタ送信モードのみ検出可能で

ず。スレーブアドレス送信中にアービトレーションを失った場合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

ALビットが“0”になる条件を以下に示します。

・I²Cデータシフトレジスタ(S0:0011₁₆番地)への書き込み命令の実行

・ES0ビットが“0”のとき

・リセット時

*アービトレーションロスト: マスタとしての通信が不許可となった状態。

(5)ビット4:SCL端子Lowホールドビット(PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ送受信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへの割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”のとき、SCLは“0”に保たれクロックの発生は禁止されます。図69に割り込み要求信号の発生タイミングを示します。

PINビットが“1”になる条件を以下に示します。

・I²Cデータシフトレジスタ(S0:0011₁₆番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)

・ES0ビットが“0”のとき

・リセット時

・ソフトウェアによる“1”書き込み。

PINビットが“0”になる条件を以下に示します。

・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)

・1バイトのデータ受信完了直後

・スレーブ受信の際、ALS=0で、スレーブアドレス一致又は、ジェネラルコールアドレス受信完了直後

・スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

(6)ビット5:パスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI²Cスタート/ストップコンディション制御レジスタ(S2D:0016₁₆番地)のスタート/ストップコンディション設定ビット(SSC4～SSC0)の条件に従います。また、I²Cコントロールレジスタ(S1D:0014₁₆番地)のES0ビット(ビット3)が“0”のとき、及びリ

セット時にBBフラグは“0”になります。BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法及びストップコンディション発生方法をご参照ください。

- (7)ビット6:通信モード指定ビット(転送方向指定ビット:TRX)
 データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。
 ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。以下の場合、ハードウェアにより“1”になります。
- ・ALS=“0”かつスレープで、R/Wビット受信が“1”の場合
 以下の場合、ハードウェアにより“0”になります。
 - ・アービトレーションロストを検出した場合
 - ・ストップコンディションを検出した場合
 - ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
 - ・MST=“0”で、スタートコンディションを検出した場合
 - ・MST=“0”でアック応答が返ってこなかったことを検出した場合
 - ・リセット時

- (8)ビット7:通信モード指定ビット(マスタ/スレープ指定ビット:MST)
 データ通信を行う際のマスタ/スレープを指定するビットです。“0”の場合、スレープとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。
- 以下の場合、ハードウェアにより“0”になります。
- ・アービトレーションロストを検出した場合、アービトレーションを失ったバイトの転送終了直後
 - ・ストップコンディションを検出した場合
 - ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
 - ・リセット時

注 スタートコンディション重複防止機能
 スタートコンディション発生の手順では、BBフラグの“0”を確認後、MST、TRX、BBの各ビットに同時“1”書き込みを行います。BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレープアドレスの受信完了までの期間有効となります。

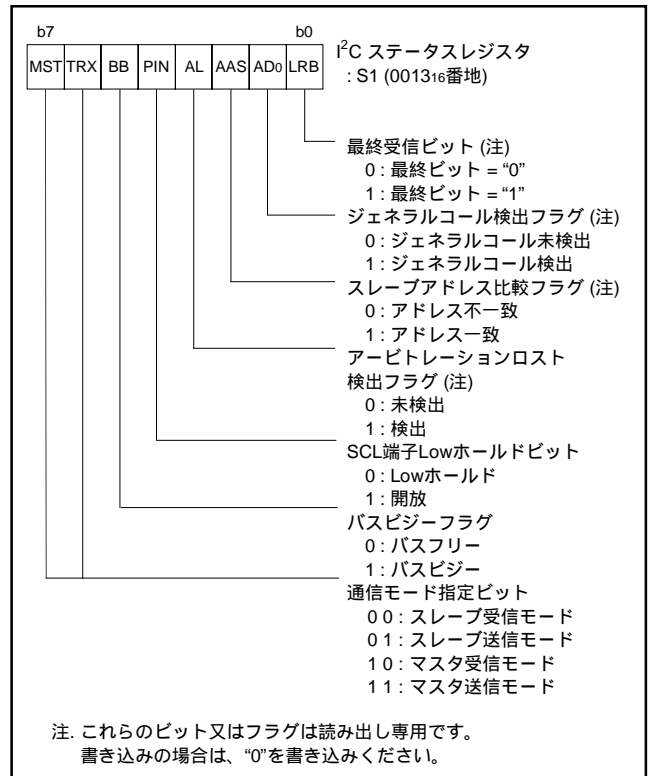


図68. I²Cステータスレジスタの構成

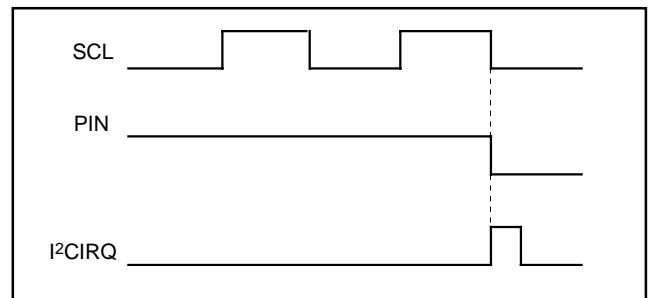


図69. 割り込み要求信号の発生タイミング

スタートコンディション発生方法

I²Cコントロールレジスタ(S1D:0014₁₆番地)のES0ビットが“1”、BBフラグが“0”の状態、I²Cデータシフトレジスタ(S0:0011₁₆番地)にスレーブアドレスの書き込みの後、I²Cステータスレジスタ(S1:0013₁₆番地)のMST、TRX、BBビットに“1”書き込みを同時に行くとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり、1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図70のスタートコンディション発生タイミング図と表12のスタートコンディション発生タイミング表を参照してください。

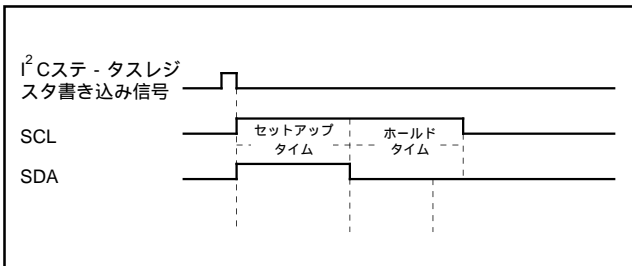


図70. スタートコンディション発生タイミング図

表12. スタートコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μs (20サイクル)	2.5 μs (10サイクル)
ホールド時間	5.0 μs (20サイクル)	2.5 μs (10サイクル)

注. = 4MHz時の絶対時間 ()内は のサイクル数。

ストップコンディションの発生方法

I²Cコントロールレジスタ(S1D:0014₁₆番地)のES0ビットが“1”の状態、I²Cステータスレジスタ(S1:0013₁₆番地)のMST、TRXビットに“1”、BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図71のストップコンディション発生タイミング図と表13のストップコンディション発生タイミング表を参照してください。

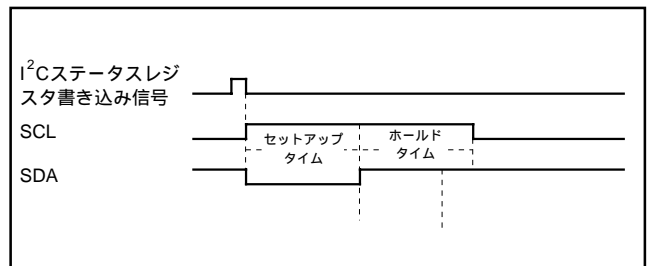


図71. ストップコンディション発生タイミング図

表13. ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μs (20サイクル)	3.0 μs (12サイクル)
ホールド時間	4.5 μs (18サイクル)	2.5 μs (10サイクル)

注. = 4MHz時の絶対時間 ()内は のサイクル数。

スタート/ストップコンディション検出条件

スタート/ストップコンディションの検出動作を図72、図73と表14に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL、SDA端子の入力信号が、表14のSCL開放時間、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表14のBBフラグセット/リセット時間を参照してください。

注 スレープ(MST=0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号I²CIRQを発生します。

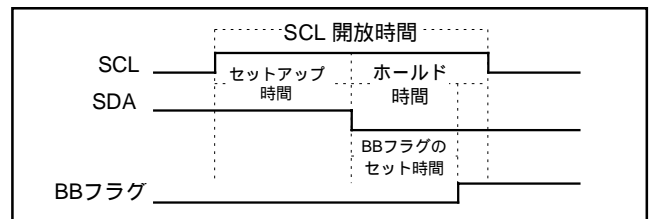


図72. スタートコンディション検出のタイミング図

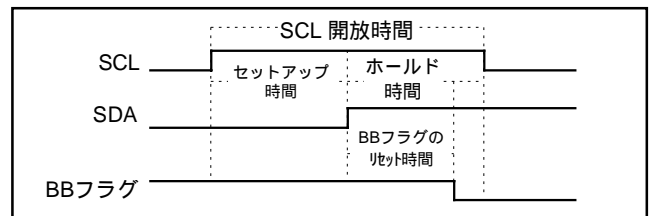


図73. ストップコンディション検出のタイミング図

表14. スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL開放時間	SSC値+1サイクル(6.25 μs)	4サイクル(1.0 μs)
セットアップ時間	$\frac{\text{SSC値}+1}{2}$ サイクル < 4.0 μs(3.125 μs)	2サイクル(0.5 μs)
ホールド時間	$\frac{\text{SSC値}+1}{2}$ サイクル < 4.0 μs(3.125 μs)	2サイクル(0.5 μs)
BBフラグセット/ リセット時間	$\frac{\text{SSC値}-1}{2}$ +2サイクル(3.375 μs)	3.5サイクル(0.875 μs)

注 単位は内部クロック のサイクル数

SSC値はスタート/ストップコンディション設定ビットSSC4 ~ SSC0を10進法表記した値です。

SSC値=0及び奇数となる設定は禁止です。

()内は =4MHz時、I²Cスタート/ストップコンディション制御レジスタに“1816”を設定した場合の時間の一例です。

I²Cスタート/ストップコンディション制御レジスタ

I²Cスタート/ストップコンディション制御レジスタ(S2D:0016₁₆番地)はスタートコンディション/ストップコンディションの検出を制御するレジスタです。

(1)ビット0～ビット4:スタート/ストップコンディション設定ビット(SSC4～SSC0)

SCL開放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数f(XIN)や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL開放時間、セットアップ時間、ホールド時間を設定する必要があります。表14を参照してください。スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表15に示します。

(2)ビット5:SCL/SDA割り込み端子極性選択ビット(SIP)

SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。

(3)ビット6:SCL/SDA割り込み端子選択ビット(SIS)

SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

注 SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビットやI²C-BUSインタフェース許可ビットES0の設定を変更する際、SCL/SDA割り込み要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、上記のビット設定を“0”にリセットして割り込みを許可してください。

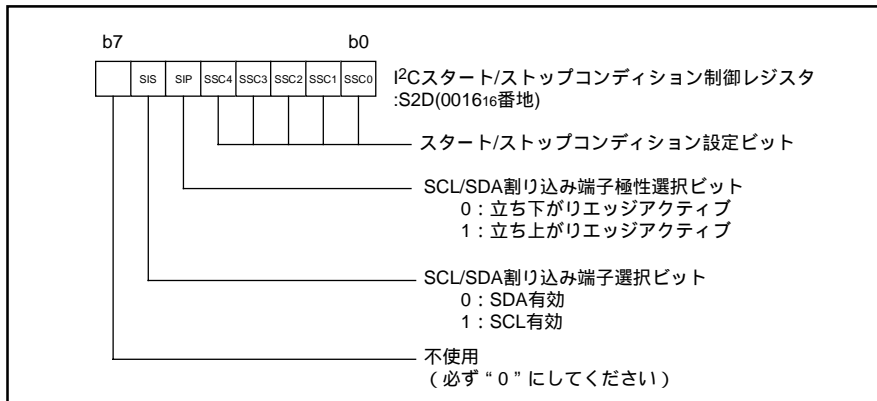


図74. I²Cスタート/ストップコンディション制御レジスタの構成

表15. 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値

発振周波数 f(XIN) (MHz)	メインクロック分周比	内部クロック (MHz)	スタート/ストップコンディション制御レジスタ	SCL開放時間 (μs)	セットアップ時間 (μs)	ホールド時間 (μs)
8	2	4	XXX11010	6.75 μs (27サイクル)	3.5 μs (14サイクル)	3.25 μs (13サイクル)
			XXX11000	6.25 μs (25サイクル)	3.25 μs (13サイクル)	3.0 μs (12サイクル)
8	8	1	XXX00100	5.0 μs (5サイクル)	3.0 μs (3サイクル)	2.0 μs (2サイクル)
4	2	2	XXX01100	6.5 μs (13サイクル)	3.5 μs (7サイクル)	3.0 μs (6サイクル)
			XXX01010	5.5 μs (11サイクル)	3.0 μs (6サイクル)	2.5 μs (5サイクル)
2	2	1	XXX00100	5.0 μs (5サイクル)	3.0 μs (3サイクル)	2.0 μs (2サイクル)

注. スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

I²Cスペシャルモードステータスレジスタ

I²Cスペシャルモードステータスレジスタ(S3:0012₁₆番地)はI²Cスペシャルモード制御レジスタ(0017₁₆番地)で設定された、I²Cの特殊モード時のI²Cの動作状態を示すフラグで構成されています。ストップコンディションフラグはあらゆる動作モードで有効です。

(1)ビット0:スレーブアドレス0比較フラグ(AAS0)

ビット1:スレーブアドレス1比較フラグ(AAS1)

ビット2:スレーブアドレス2比較フラグ(AAS2)

アドレスデータの比較結果を示すフラグです。これらのフラグはスレーブアドレス制御ビット(MSLAD)が[※]1のときのみ有効です。スレーブ受信モード時、7ビットアドレッシングフォーマットではスタートコンディション発生直後のアドレスデータがI²Cアドレスレジスタ0,1,2(0FF7₁₆番地,0FF8₁₆番地,0FF9₁₆番地)に格納されている上位7ビットのスレーブアドレスと一致した場合、それぞれのI²Cスレーブアドレスレジスタ0~2に対応するスレーブアドレスi(i=0, 1, 2)比較フラグが[※]1になります。また、スレーブモード時、10ビットアドレッシングフォーマットでは、アドレスデータとI²Cスレーブアドレスレジスタ0~2のスレーブアドレス、およびRWBビットで構成される8ビットとを比較し、第1バイト目が一致した場合、それぞれのI²Cスレーブアドレスレジスタ0~2に対応するスレーブアドレスi(i=0, 1, 2)比較フラグが[※]1になります。これらのフラグはリセット時、スレーブアドレス制御ビット(MSLAD)が[※]0のとき、I²Cデータシフトレジスタ(0011₁₆番地)にデータを書き込んだとき0に初期化されます。

(2)ビット5:SCL端子Lowホールド2フラグ(PIN2)

アック割り込み制御ビット(ACKICON)が[※]1で、かつアックロックビット(ACK)が[※]1の場合、データのSCL最終クロックの立ち下がり(アッククロックの直前)に同期してこのビットが[※]0になります。同時にSCL端子がLowホールドされ、I²C割り込みが発生します。このフラグはリセット時、アック割り込み制御ビット(ACKICON)が[※]0のとき、およびSCL端子Lowホールド2フラグセットビット(PIN2IN)に[※]1を書き込んだ場合[※]1に初期化されます。

SCL端子は、SCL端子Lowホールドビット(PIN)又はSCL端子Lowホールド2フラグ(PIN2)のどちらかが[※]0になるとLowホールドされます。また、SCL端子Lowホールドビット(PIN)とSCL端子Lowホールド2フラグ(PIN2)が共に[※]1の場合にSCL端子のLowホールドが開放されます。

(3)ビット7:ストップコンディションフラグ(SPCF)

ストップコンディションが発生した場合に[※]1になります。このフラグはリセット時、I²C-BUSインタフェース使用許可ビット(ES0)が[※]0のとき、およびストップコンディションフラグクリアビット(SPFCL)に[※]1を書き込んだときに[※]0に初期化されま

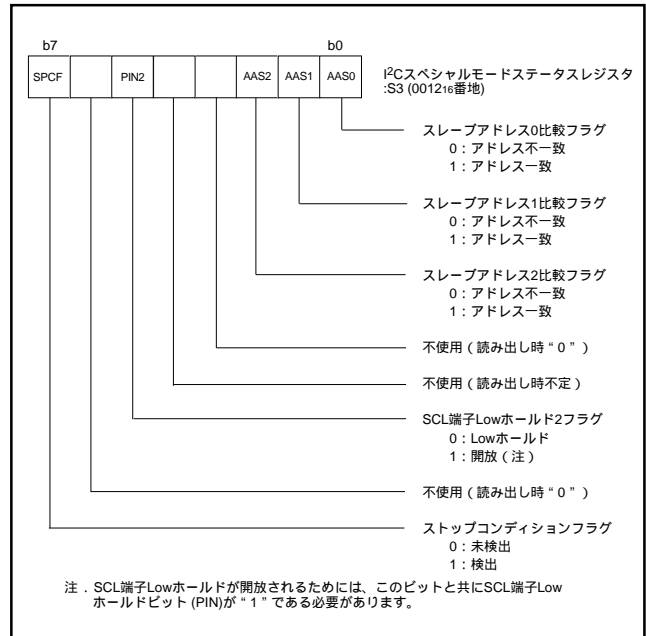


図75. I²Cスペシャルモードステータスレジスタの構成

I²Cスペシャルモード制御レジスタ

I²Cスペシャルモード制御レジスタ(S3D:001716番地)は受信割り込み発生タイミング、スレーブアドレス比較を3バイトに拡張するといったI²C-BUSインタフェースの特殊な機能を制御するビットです。

(1)ビット1:ACK割り込み制御ビット(ACKICON)

マスタ受信、スレーブ受信のデータ受信終了時に発生するI²C割り込みの発生するタイミングを制御するビットです。“0”の場合はSCLの最終クロック(アッククロックを含む)の立ち下がりに同期してSCL端子Lowホールドビット(PIN)が“0”になりSCLがLowホールドされ、同時にI²C割り込みが発生します。このビットが“1”の場合、かつアッククロックビット(ACK)が“1”の場合、データのSCL最終クロック(アッククロックの直前)の立ち下がりに同期してSCL端子Lowホールド2フラグ(PIN2)が“0”になり、SCL端子がLowホールドされ、同時にI²C割り込みが発生します。さらにLowホールド解除後、アッククロックの立ち下がりに同期してSCL端子Lowホールドビット(PIN)が“0”になり、SCL端子がLowホールドされ、同時にI²C割り込みが再び発生します。このモードを使用することにより、データの内容を確認した後に、アックビットを変更することができます。

(2)ビット2:スレーブアドレス制御ビット(MSLAD)

スレーブアドレスを制御するビットです。“0”の場合スレーブアドレスおよびリード/ライトビットはI²Cスレーブアドレスレジスタ0(0FF716番地)のみ有効です。“1”の場合、スレーブアドレスおよびリード/ライトビットはI²Cスレーブアドレスレジスタ0~2(0FF716番地、0FF816番地、0FF916番地)がすべて有効となります。この場合、アドレスデータとI²Cスレーブアドレスレジスタ0~2のうちのどれかが一致すると、スレーブアドレス比較フラグ(AAS)が“1”になるとともに、一致したI²Cスレーブアドレスレジスタ0~2に対応するスレーブアドレスi(i=0, 1, 2)比較フラグが“1”になります。

(3)ビット5:SCL端子Lowホールド2フラグセットビット(PIN2IN)

このビットに“1”を書き込むと、SCL端子Lowホールド2フラグ(PIN2)が“1”に初期化されます。“0”を書いた場合は何も発生しません。

(4)ビット6:SCL端子Lowホールド設定ビット(PIN2HD)

SCL端子はSCL端子Lowホールドビット(PIN)が“0”になるとLowホールドされますが、SCL端子Lowホールドビット(PIN)はソフトウェアで“0”にすることができません。SCL端子Lowホールド設定ビット(PIN2HD)はソフトウェアによりSCL端子をLowホールドするためのビットです。

このビットに“1”を書き込むと、SCL端子Lowホールド2フラグ(PIN2)が“0”になり、SCL端子がLowホールドされます。“0”を書いた場合は何も発生しません。

(5)ビット7:ストップコンディションフラグクリアビット

このフラグに“1”を書き込むと、ストップコンディションフラグ(SPCF)が“0”に初期化されます。“0”を書いた場合は何も発生しません。

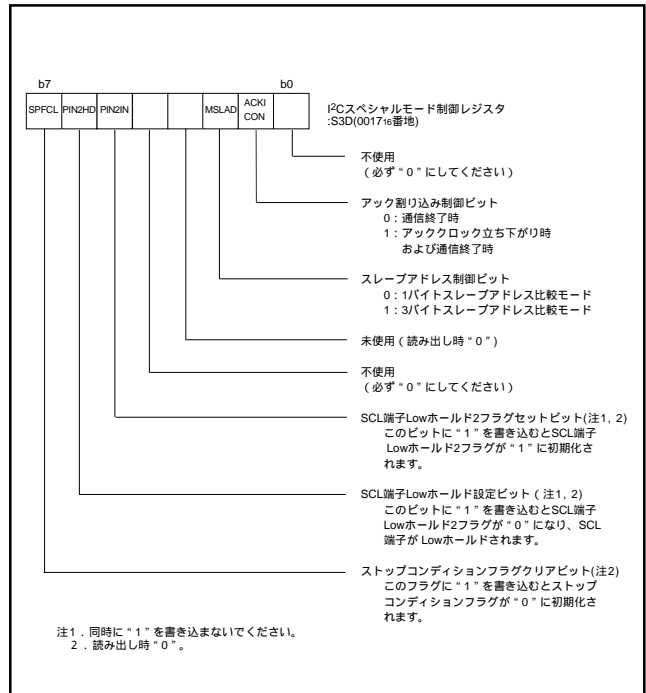


図76. I²Cスペシャルモード制御レジスタの構成

アドレスデータ通信

アドレスデータの通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

(1)7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(S1D:0014₁₆番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Cスレーブアドレスレジスタに格納された7ビットのスレーブアドレスを比較します。この比較時には、I²CスレーブアドレスレジスタのRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図77の(1)、(2)を参照してください。

(2)10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(S1D:0014₁₆番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²Cスレーブアドレスレジスタに格納されたスレーブアドレス8ビットがアドレス比較されます。この比較時には、I²Cスレーブアドレスレジ

スタのRWBビットと、マスタから送信されるアドレスデータの最終ビット(R/Wビット)が、アドレス比較されず。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²Cステータスレジスタ(S1:0013₁₆番地)のAASビットが“1”にセットされず。2バイト目アドレスデータは、I²Cデータシフトレジスタ(S0:0011₁₆番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²CスレーブアドレスレジスタのRWBビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/WのデータとI²Cスレーブアドレスレジスタの値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図77の(3)、(4)を参照してください。

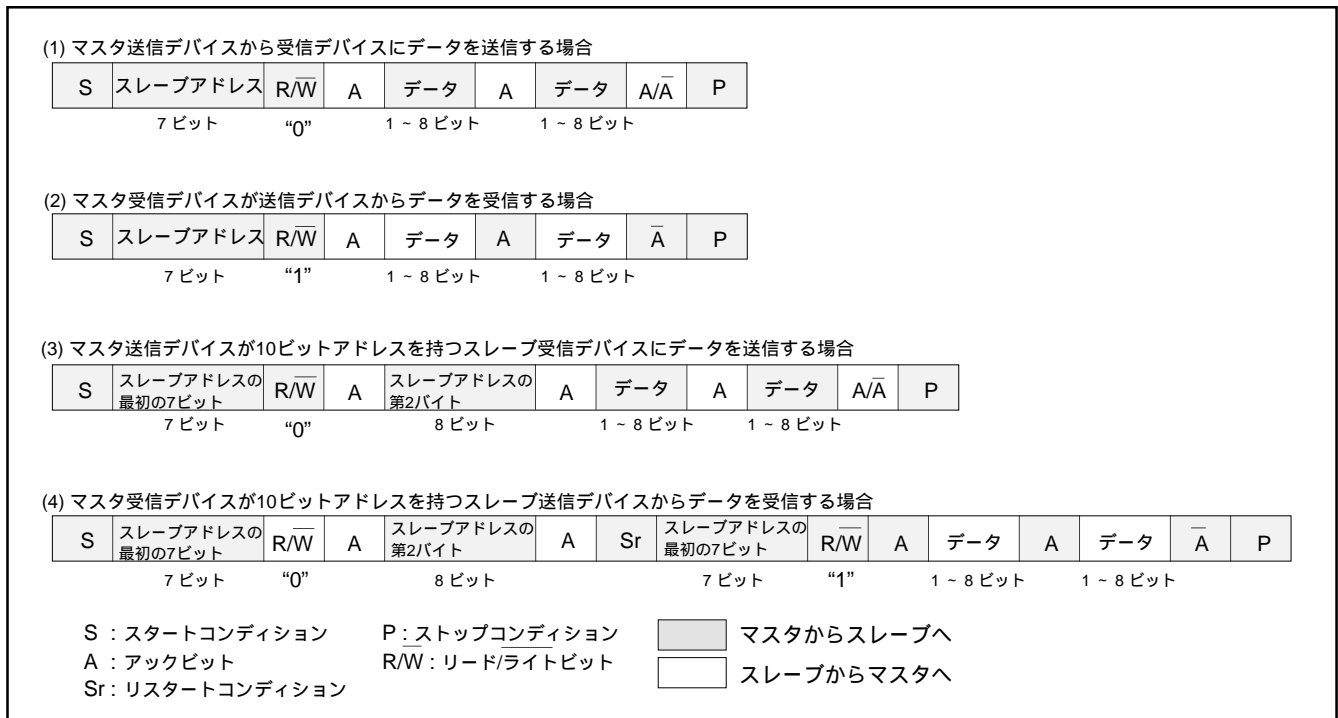


図77. アドレスデータ通信フォーマット

マスタ送信例

標準クロックモード、SCL周波数100kHz、アック応答を返すモードの場合のマスタ送信例を以下に示します。

- (1) I²Cスレーブアドレスレジスタの上位7ビットにスレーブアドレス、RWBビットに“0”に設定します。
- (2) I²Cクロックコントロールレジスタ(S2:0015₁₆番地)に“85₁₆”を設定することによって、アック応答を返すモード、SCL=100kHzにします。
- (3) I²Cステータスレジスタ(S1:0013₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(S1D:0014₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) I²Cステータスレジスタ(S1:0013₁₆番地)のBBフラグによりバスフリー状態を確認します。
- (6) I²Cデータシフトレジスタ(S0:0011₁₆番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- (7) I²Cステータスレジスタ(S1:0013₁₆番地)に“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- (8) I²Cデータシフトレジスタ(S0:0011₁₆番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10) スレーブ受信側からのアック応答が返らない場合、あるいは送信が終了した場合は、I²Cステータスレジスタ(S1:0013₁₆番地)に“D0₁₆”を設定することによって、ストップコンディションを発生させます。

スレーブ受信例

高速クロックモード、SCL周波数400kHz、アック応答なしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I²Cスレーブアドレスレジスタの上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(S2:0015₁₆番地)に“25₁₆”を設定することによって、アック応答なしモード、SCL=400kHzにします。
- (3) I²Cステータスレジスタ(S1:0013₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(S1D:0014₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。
- (6) 送信されたアドレスがすべて“0”の場合(ジェネラルコール)、I²Cステータスレジスタ(S1:0013₁₆番地)のAD0=“1”に設定され、割り込み要求信号が発生します。
 - ・送信されたアドレスが、(1)で設定したアドレスと一致した場合、I²Cステータスレジスタ(S1:0013₁₆番地)のAAS=“1”に設定され、割り込み要求信号が発生します。
 - ・上記以外の場合、I²Cステータスレジスタ(S1:0013₁₆番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
- (7) I²Cデータシフトレジスタ(S0:0011₁₆番地)にダミーデータを設定します。
- (8) 複数バイトの制御データを受信する場合、(7)を繰り返します。
- (9) ストップコンディションを検出すると通信が終了します。

マルチマスタ²C-BUSインタフェースの注意事項

(1)リード・モディファイ・ライト命令の使用について

SEB、CLBなどのリード・モディファイ・ライト命令をマルチマスタ²C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

・I²Cデータシフトレジスタ(S0:0011₁₆番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

・I²Cスレーブアドレスレジスタ0~2(S0D0~2:0FF7₁₆~0FF9₁₆番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット(RWB)が、H/Wによって変化するためです。

・I²Cステータスレジスタ(S1:0013₁₆番地)

すべてのビットはH/Wによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。

・I²Cコントロールレジスタ(S1D:0014₁₆番地)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでビットカウンタ(BC0~BC2)が、H/Wによって変化するためです。

・I²Cクロックコントロールレジスタ(S2:0015₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

・I²Cスタート/ストップコンディション制御レジスタ

(S2D:0016₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

(2)マルチマスタで使用する場合のスタートコンディション

発生手順について

手順例(発生手順の必要条件は 以降に記します。)

```

:
LDA  ~                (スレーブアドレス値の取り出し)
SEI                    (割り込みの禁止)
BBS  5,S1,BUSBUSY    (BBフラグ確認及び分岐処理)
BUSFREE:
STA  S0                (スレーブアドレス値の書き込み)
LDM  #$F0,S1          (スタートコンディション発生トリガ)
CLI                    (割り込みの許可)
:
BUSBUSY:
CLI                    (割り込みの許可)
:

```

BBフラグの確認及び分岐処理はBBS 5, S1, ~ のブランチ・ビット・セット命令を必ず使用してください。

I²Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA \$12, STX \$12あるいはSTY \$12のゼロページアドレス命令を必ず使用してください。

前記 の分岐命令と のストア命令は手順例のとおり必ず連続して実行するようにしてください。

BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3)リスタートコンディション発生手順について

手順例(発生手順の必要条件は(2)以降に記します。)

PINビットが⁰ のとき、以下の手順を実行してください。

```

:
LDM  #$00,S1          (スレーブ受信モードにする)
LDA  ~                (スレーブアドレス値の取り出し)
SEI                    (割り込みの禁止)
STA  S0                (スレーブアドレス値の書き込み)
LDM  #$F0,S1          (リスタートコンディション発生トリガ)
CLI                    (割り込みの許可)
:

```

PINビットが⁰ の状態で、スレーブ受信モードにしてください。

PINビットには¹ を書き込まないでください。

BBビットへの書き込みに⁰ 又は¹ の指定はありません。

TRXビットが⁰ になり、SDA端子が開放されます。

スレーブアドレス値をI²Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。

スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4)I²Cステータスレジスタへの書き込みについて

同時にPINビットを⁰ から¹、MSTビット及びTRXビットを¹ から⁰ にする命令を実行しないでください。SCL端子が開放されて、約1マシサイクル後にSDA端子が開放される状態になることがあります。PINビットが¹ のときに、MSTビット及びTRXビットを¹ から⁰ にする命令を実行しても、同様の状態になることがあります。

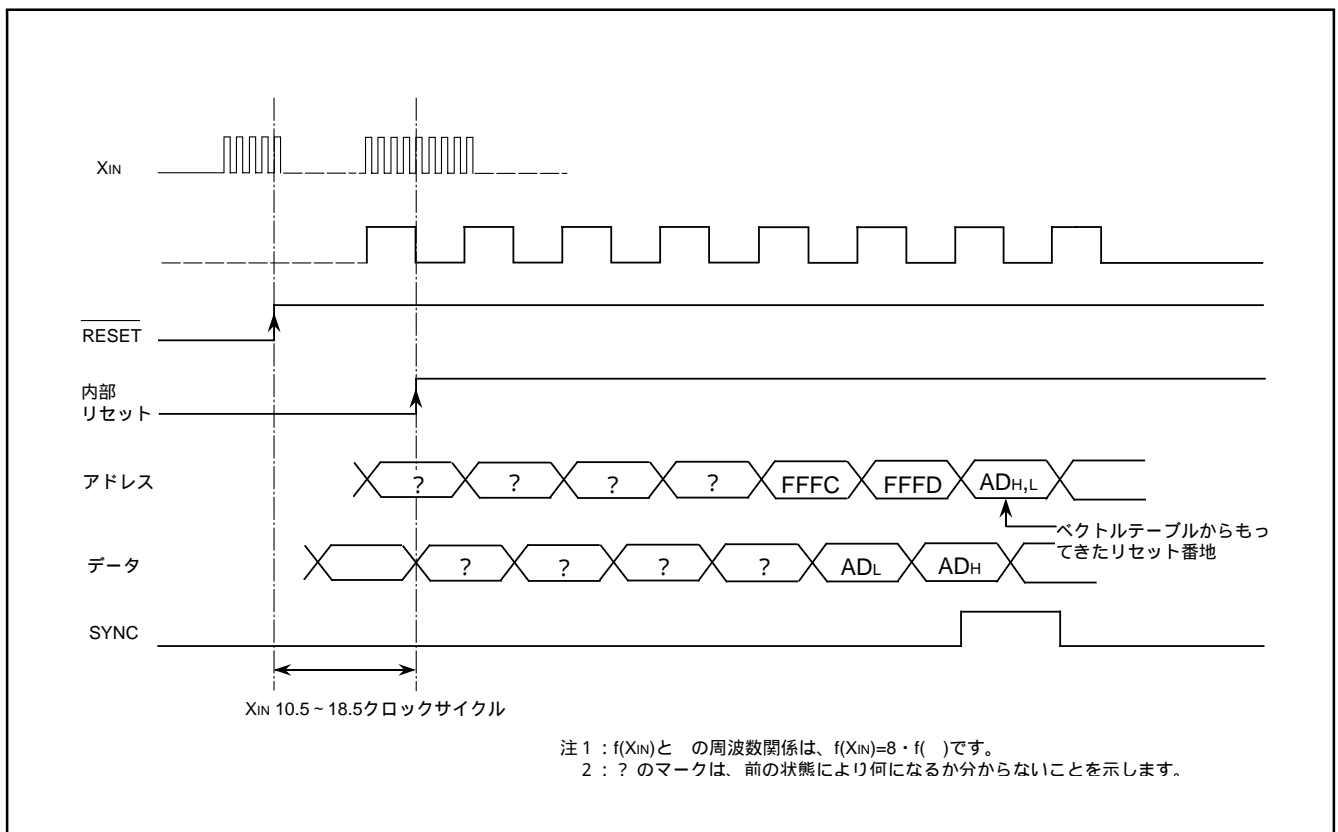
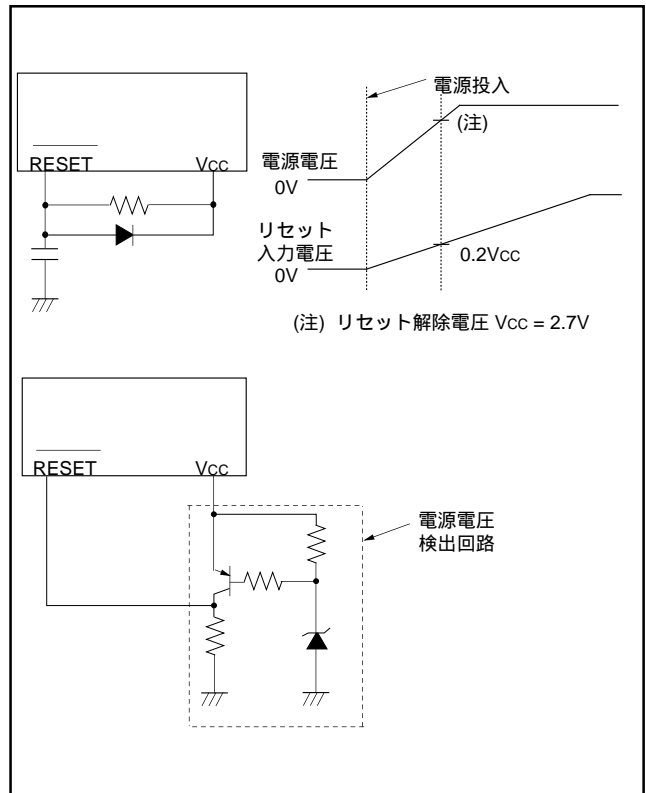
(5)ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが⁰ になるまでの間、I²CデータシフトレジスタS0及びI²CステータスレジスタS1に書き込みを行わないでください。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

リセット回路

電源電圧が2.7～5.5Vにあり、XINが安定発振しているとき、RESET端子をXINの16サイクル以上「L」レベルに保つとリセット状態になり、その後RESET端子を「H」レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7Vを通過する時点で0.54V以下になるようにしてください。



注1：f(XIN)と の周波数関係は、f(XIN)=8・f()です。
 注2：?のマークは、前の状態により何になるか分からないことを示します。

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(35) タイマZ上位	0029 ₁₆	FF ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(36) タイマZモードレジスタ	002A ₁₆	00 ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(37) PWM制御レジスタ	002B ₁₆	00 ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(38) PWMプリスケアラ	002C ₁₆	XXXXXXXXXX
(5) ポートP2	0004 ₁₆	00 ₁₆	(39) PWMレジスタ	002D ₁₆	XXXXXXXXXX
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(40) ポーレートジェネレータ3	002F ₁₆	XXXXXXXXXX
(7) ポートP3	0006 ₁₆	00 ₁₆	(41) 送信/受信バッファレジスタ3	0030 ₁₆	XXXXXXXXXX
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(42) シリアル/O3ステータスレジスタ	0031 ₁₆	10000000
(9) ポートP4	0008 ₁₆	00 ₁₆	(43) シリアル/O3制御レジスタ	0032 ₁₆	00 ₁₆
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(44) UART3制御レジスタ	0033 ₁₆	11100000
(11) ポートP5	000A ₁₆	00 ₁₆	(45) AD/DA制御レジスタ	0034 ₁₆	000001000
(12) ポートP5方向レジスタ	000B ₁₆	00 ₁₆	(46) A-D変換レジスタ1	0035 ₁₆	XXXXXXXXXX
(13) ポートP6	000C ₁₆	00 ₁₆	(47) D-A1変換レジスタ	0036 ₁₆	00 ₁₆
(14) ポートP6方向レジスタ	000D ₁₆	00 ₁₆	(48) D-A2変換レジスタ	0037 ₁₆	00 ₁₆
(15) タイマ12,Xカウントソース選択レジスタ	000E ₁₆	00110011	(49) A-D変換レジスタ2	0038 ₁₆	000000XX
(16) タイマY,Zカウントソース選択レジスタ	000F ₁₆	00110011	(50) 割り込み要因選択レジスタ	0039 ₁₆	00 ₁₆
(17) MISRG	0010 ₁₆	00 ₁₆	(51) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(18) 送信/受信バッファレジスタ1	0018 ₁₆	XXXXXXXXXX	(52) CPUモードレジスタ	003B ₁₆	01001000
(19) シリアル/O1ステータスレジスタ	0019 ₁₆	10000000	(53) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(20) シリアル/O1制御レジスタ	001A ₁₆	00 ₁₆	(54) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(21) UART1制御レジスタ	001B ₁₆	11100000	(55) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(22) ポーレートジェネレータ1	001C ₁₆	XXXXXXXXXX	(56) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(23) シリアル/O2制御レジスタ	001D ₁₆	00 ₁₆	(57) ポートP0プルアップ制御レジスタ	0FF0 ₁₆	00 ₁₆
(24) ウォッチドッグタイマ制御レジスタ	001E ₁₆	00111111	(58) ポートP1プルアップ制御レジスタ	0FF1 ₁₆	00 ₁₆
(25) シリアル/O2レジスタ	001F ₁₆	XXXXXXXXXX	(59) ポートP2プルアップ制御レジスタ	0FF2 ₁₆	00 ₁₆
(26) プリスケアラ12	0020 ₁₆	FF ₁₆	(60) ポートP3プルアップ制御レジスタ	0FF3 ₁₆	00 ₁₆
(27) タイマ1	0021 ₁₆	01 ₁₆	(61) ポートP4プルアップ制御レジスタ	0FF4 ₁₆	00 ₁₆
(28) タイマ2	0022 ₁₆	FF ₁₆	(62) ポートP5プルアップ制御レジスタ	0FF5 ₁₆	00 ₁₆
(29) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆	(63) ポートP6プルアップ制御レジスタ	0FF6 ₁₆	00 ₁₆
(30) プリスケアラX	0024 ₁₆	FF ₁₆	(64) フラッシュメモリ制御レジスタ	0FFE ₁₆	00 ₁₆
(31) タイマX	0025 ₁₆	FF ₁₆	(65) フラッシュコマンドレジスタ	0FFF ₁₆	00 ₁₆
(32) プリスケアラY	0026 ₁₆	FF ₁₆	(66) プロセッサステータスレジスタ	(PS)	XXXXXXXX1XX
(33) タイマY	0027 ₁₆	FF ₁₆	(67) プログラムカウンタ	(PCH)	FFFD ₁₆ 番地の内容
(34) タイマZ下位	0028 ₁₆	FF ₁₆		(PCL)	FFFC ₁₆ 番地の内容

注 . x : 不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図80. リセット時の内部状態(3803グループ)

番地	レジスタの内容	番地	レジスタの内容
(1) ポートP0	0001 ₁₆ 00 ₁₆	(39) プリスケアラY	0026 ₁₆ FF ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆ 00 ₁₆	(40) タイマY	0027 ₁₆ FF ₁₆
(3) ポートP1	0002 ₁₆ 00 ₁₆	(41) タイマZ下位	0028 ₁₆ FF ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆ 00 ₁₆	(42) タイマZ上位	0029 ₁₆ FF ₁₆
(5) ポートP2	0004 ₁₆ 00 ₁₆	(43) タイマZモードレジスタ	002A ₁₆ 00 ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆ 00 ₁₆	(44) PWM制御レジスタ	002B ₁₆ 00 ₁₆
(7) ポートP3	0006 ₁₆ 00 ₁₆	(45) PWMプリスケアラ	002C ₁₆ XX XX XX XX XX
(8) ポートP3方向レジスタ	0007 ₁₆ 00 ₁₆	(46) PWMレジスタ	002D ₁₆ XX XX XX XX XX
(9) ポートP4	0008 ₁₆ 00 ₁₆	(47) ポーレートジェネレータ3	002F ₁₆ XX XX XX XX XX
(10) ポートP4方向レジスタ	0009 ₁₆ 00 ₁₆	(48) 送信/受信バッファレジスタ3	0030 ₁₆ XX XX XX XX XX
(11) ポートP5	000A ₁₆ 00 ₁₆	(49) シリアル/O3ステータスレジスタ	0031 ₁₆ 1 0 0 0 0 0 0 0
(12) ポートP5方向レジスタ	000B ₁₆ 00 ₁₆	(50) シリアル/O3制御レジスタ	0032 ₁₆ 00 ₁₆
(13) ポートP6	000C ₁₆ 00 ₁₆	(51) UART3制御レジスタ	0033 ₁₆ 1 1 1 0 0 0 0 0
(14) ポートP6方向レジスタ	000D ₁₆ 00 ₁₆	(52) AD/DA制御レジスタ	0034 ₁₆ 0 0 0 0 1 0 0 0
(15) タイマ12,Xカウントソース選択レジスタ	000E ₁₆ 0 0 1 1 0 0 1 1	(53) A-D変換レジスタ1	0035 ₁₆ XX XX XX XX XX
(16) タイマY,Zカウントソース選択レジスタ	000F ₁₆ 0 0 1 1 0 0 1 1	(54) D-A1変換レジスタ	0036 ₁₆ 00 ₁₆
(17) MISRG	0010 ₁₆ 00 ₁₆	(55) D-A2変換レジスタ	0037 ₁₆ 00 ₁₆
(18) I ² Cデータシフトレジスタ	0011 ₁₆ XX XX XX XX XX	(56) A-D変換レジスタ2	0038 ₁₆ 0 0 0 0 0 0 XX
(19) I ² Cスペシャルモードステータスレジスタ	0012 ₁₆ 0 0 1 0 0 0 0 0	(57) 割り込み要因選択レジスタ	0039 ₁₆ 00 ₁₆
(20) I ² Cステータスレジスタ	0013 ₁₆ 0 0 0 1 0 0 0 X	(58) 割り込みエッジ選択レジスタ	003A ₁₆ 00 ₁₆
(21) I ² Cコントロールレジスタ	0014 ₁₆ 00 ₁₆	(59) CPUモードレジスタ	003B ₁₆ 0 1 0 0 1 0 0 0
(22) I ² Cクロックコントロールレジスタ	0015 ₁₆ 00 ₁₆	(60) 割り込み要求レジスタ1	003C ₁₆ 00 ₁₆
(23) I ² Cスタート/ストップコンディション制御レジスタ	0016 ₁₆ 0 0 0 1 1 0 1 0	(61) 割り込み要求レジスタ2	003D ₁₆ 00 ₁₆
(24) I ² Cスペシャルモード制御レジスタ	0017 ₁₆ 00 ₁₆	(62) 割り込み制御レジスタ1	003E ₁₆ 00 ₁₆
(25) 送信/受信バッファレジスタ1	0018 ₁₆ XX XX XX XX XX	(63) 割り込み制御レジスタ2	003F ₁₆ 00 ₁₆
(26) シリアル/O1ステータスレジスタ	0019 ₁₆ 1 0 0 0 0 0 0 0	(64) ポートP0プルアップ制御レジスタ	0FF0 ₁₆ 00 ₁₆
(27) シリアル/O1制御レジスタ	001A ₁₆ 00 ₁₆	(65) ポートP1プルアップ制御レジスタ	0FF1 ₁₆ 00 ₁₆
(28) UART1制御レジスタ	001B ₁₆ 1 1 1 0 0 0 0 0	(66) ポートP2プルアップ制御レジスタ	0FF2 ₁₆ 00 ₁₆
(29) ポーレートジェネレータ1	001C ₁₆ XX XX XX XX XX	(67) ポートP3プルアップ制御レジスタ	0FF3 ₁₆ 00 ₁₆
(30) シリアル/O2制御レジスタ	001D ₁₆ 00 ₁₆	(68) ポートP4プルアップ制御レジスタ	0FF4 ₁₆ 00 ₁₆
(31) オフセットタイマ制御レジスタ	001E ₁₆ 0 0 1 1 1 1 1 1	(69) ポートP5プルアップ制御レジスタ	0FF5 ₁₆ 00 ₁₆
(32) シリアル/O2レジスタ	001F ₁₆ XX XX XX XX XX	(70) ポートP6プルアップ制御レジスタ	0FF6 ₁₆ 00 ₁₆
(33) プリスケアラ12	0020 ₁₆ FF ₁₆	(71) I ² Cスレーブアドレスレジスタ0	0FF7 ₁₆ 00 ₁₆
(34) タイマ1	0021 ₁₆ 01 ₁₆	(72) I ² Cスレーブアドレスレジスタ1	0FF8 ₁₆ 00 ₁₆
(35) タイマ2	0022 ₁₆ FF ₁₆	(73) I ² Cスレーブアドレスレジスタ2	0FF9 ₁₆ 00 ₁₆
(36) タイマXYモードレジスタ	0023 ₁₆ 00 ₁₆	(74) フラッシュメモリ制御レジスタ	0FFE ₁₆ 00 ₁₆
(37) プリスケアラX	0024 ₁₆ FF ₁₆	(75) フラッシュコマンドレジスタ	0FFF ₁₆ 00 ₁₆
(38) タイマX	0025 ₁₆ FF ₁₆	(76) プロセッサステータスレジスタ	(PS) XX XX XX 1 XX
		(77) プログラムカウンタ	(PCH) FFFD ₁₆ 番地の内容
			(PCL) FFFC ₁₆ 番地の内容

注 . x : 不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図81. リセット時の内部状態(3804グループ)

クロック発生回路

2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN - XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN - XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックになります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック(XIN - XOUT)停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック(XIN - XOUT)停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックが“H”の状態では停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビット(0010₁₆番地のビット0)が“0”のとき、プリスケアラ12には“FF₁₆”、タイマ1には“01₁₆”が設定されます。一方、STP命令解除後発振安定時間設定ビットが“1”のときは、プリスケアラ12、タイマ1には何も設定されませんのでご使用になる発振子の発振安定時間にあった待ち時間を設定してください。

STP命令解除後のプリスケアラ12の入力には、STP命令実行時に設定されていたカウントソースが接続され、タイマ1にはプリスケアラ12の出力が接続されます。

STP命令実行前に、タイマ1の割り込み許可ビットを禁止状態(“0”)に設定してください。

発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。そのため、STP命令によって発振が停止する以前にタイマ1割り込み要求ビットが“1”に設定されないようにしてください。

リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に“L”レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態では停止しますが、発振器は停止しません。割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

注意事項

- ・中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。
- ・16MHzなど高周波の水晶発振子をご使用の場合、要求仕様等によっては特定の発振子の選定が必要となる場合があります。

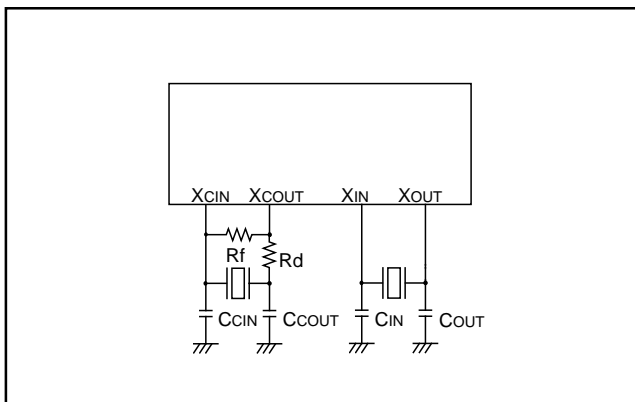


図82. セラミック共振子外付け回路

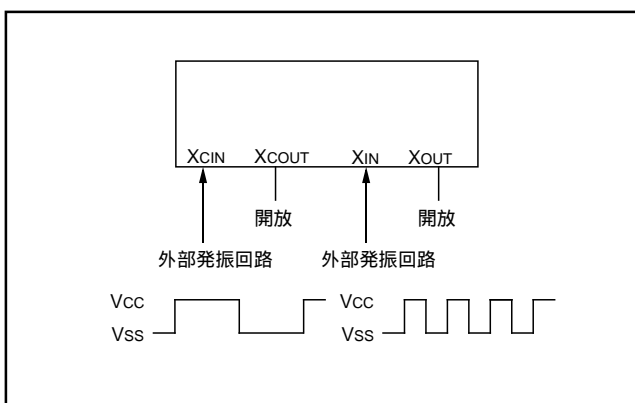


図83. 外部クロック入力回路

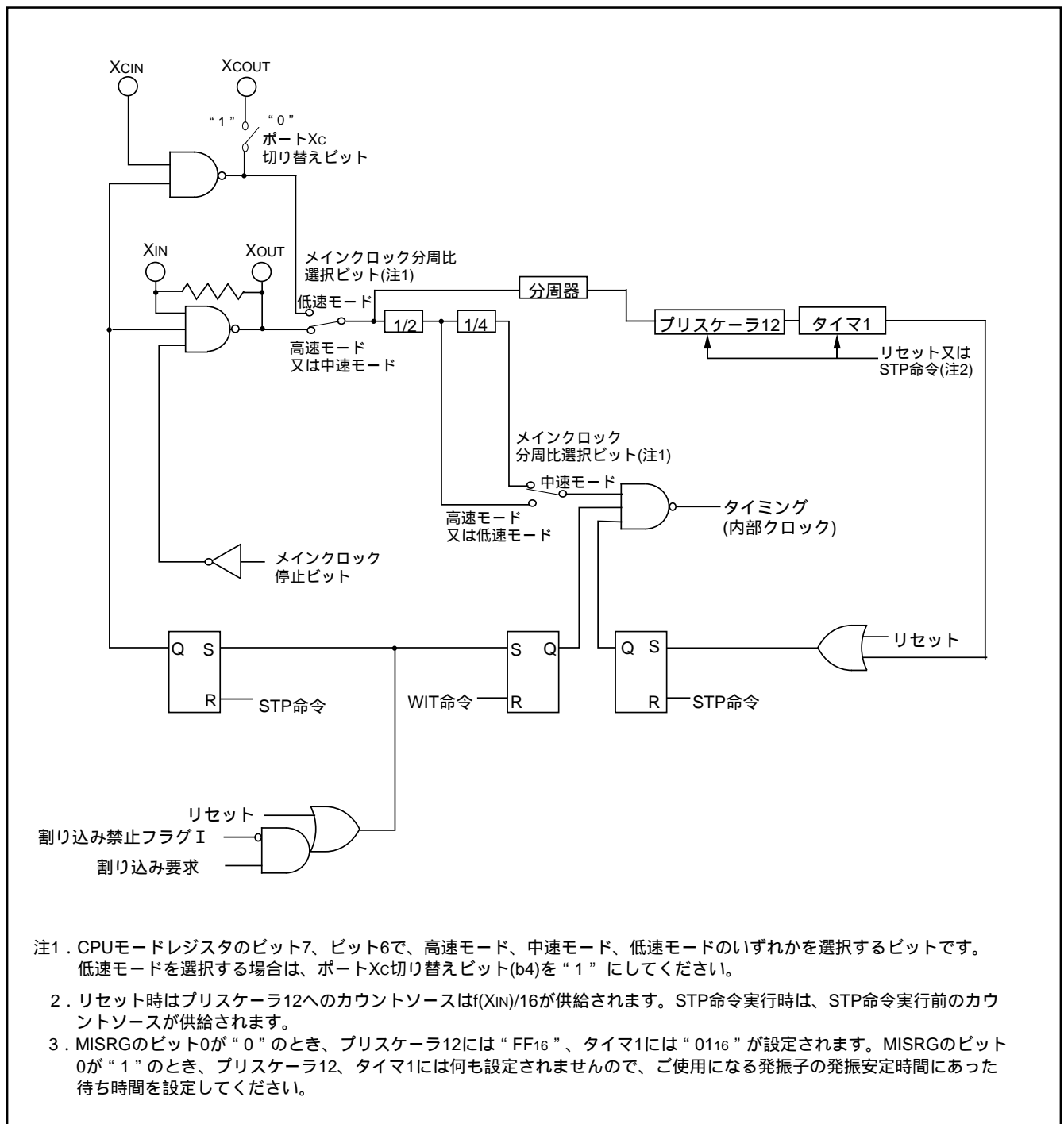


図84. システムクロック発生回路ブロック図 (シングルチップモード)

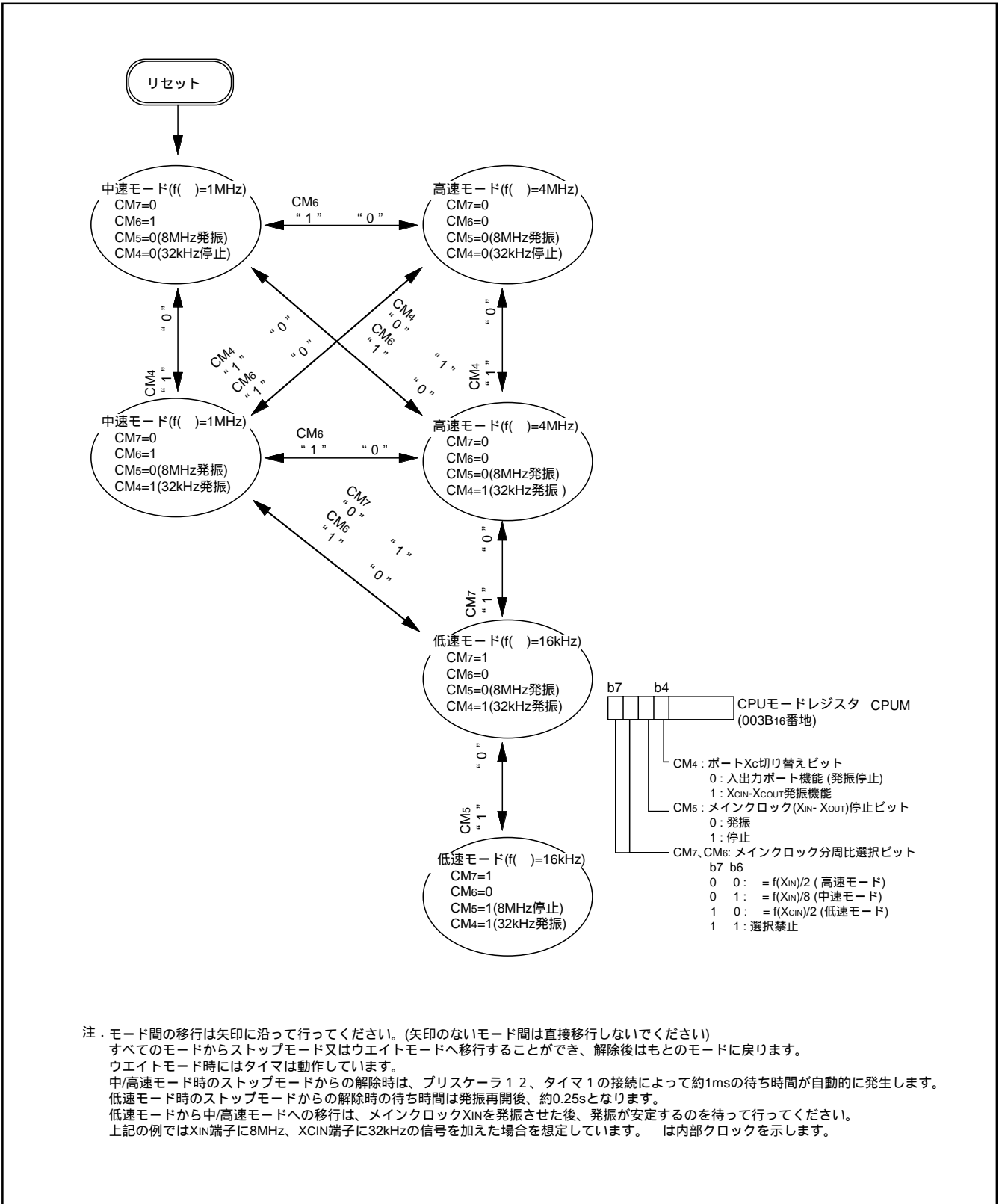


図85. システムクロックの状態遷移図

フラッシュメモリモード

3803/3804グループは、通常の動作モード(マイコンモード)以外に、内蔵するフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードを持っています。

フラッシュメモリモードとして、外部のライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、シリアル入出力モード及び、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を選択できます。

以下それぞれのフラッシュメモリモードについて説明します。

(1)フラッシュメモリモード・1(パラレル入出力モード)

図86、図87に示す結線を行い、VCC、VPP端子に電源を投入すると、パラレル入出力モードが選択されます。このモードでは、M38039FF/M38049FFは当社製CMOSフラッシュメモリM5M28F101相当の動作を行います。ただし、M38039FF/M38049FFの内蔵メモリ容量は60Kバイトですので、プログラムは01000₁₆～0FFFF₁₆番地に対して行い、00000₁₆～00FFF₁₆番地及び10000₁₆～1FFF₁₆番地のデータは必ず“FF₁₆”にしてください。また、アドレス入力(A₉)に高電圧を印加してデバイス識別コードを読み出す機能は内蔵していません。汎用PROMライタ使用時のプログラム条件の設定などは、誤りのないように行ってください。

パラレル入出力モード時の端子対応を表16に示します。

表16. パラレル入出力モード時の端子対応

	M38039FF/M38049FF	M5M28F101
VCC	VCC	VCC
VPP	CNVSS	VPP
VSS	VSS	VSS
アドレス入力	ポートP0, P1, P31	A0 ~ A16
データ入出力	ポートP2	D0 ~ D7
CE	P36	CE
OE	P37	OE
WE	P33	WE

表17. 制御入力と各状態の対応

モード	状態	端子名					データ入出力
		CE	OE	WE	VPP		
リードオンリー	リード	VIL	VIL	VIH	VPP _L	出力	
	出力ディスエーブル	VIL	VIH	VIH	VPP _L	フローティング	
	スタンドバイ	VIH	X	X	VPP _L	フローティング	
リード/ライト	リード	VIL	VIL	VIH	VPP _H	出力	
	出力ディスエーブル	VIL	VIH	VIH	VPP _H	フローティング	
	スタンドバイ	VIH	X	X	VPP _H	フローティング	
	ライト	VIL	VIH	VIL	VPP _H	入力	

注：Xは、VIL又はVIHのどちらでもよい。

機能概要(パラレル入出力モード)

パラレル入出力モードでは、VPP端子の印加電圧によってリードオンリーモードとリード/ライトモード(ソフトウェアコマンドコントロールモード)の2種類の動作モードが設定できます。VPP = VPP_Lに設定するとリードオンリーモードが選択され、 \overline{CE} 、 \overline{OE} 、 \overline{WE} 端子の入力によって、リード、出力ディスエーブル、スタンドバイの3状態に設定することができます。また、VPP = VPP_Hに設定するとリード/ライトモードが選択され、 \overline{CE} 、 \overline{OE} 、 \overline{WE} 端子の入力によって、リード、出力ディスエーブル、スタンドバイ、ライトの4状態に設定することができます。 \overline{CE} 、 \overline{OE} 、 \overline{WE} 端子の入力と各状態の対応を表17に示します。

・リード

\overline{CE} 端子を“L”、 \overline{OE} 端子を“L”、 \overline{WE} 端子を“H”にするとリード状態になり、アドレス入力端子(A₀ ~ A₁₆)に入力されるアドレスに対応するメモリの内容がデータ入出力端子(D₀ ~ D₇)から出力されます。

・出力ディスエーブル

\overline{CE} 端子を“L”、 \overline{WE} 端子を“H”、 \overline{OE} 端子を“H”にすると出力ディスエーブル状態になり、データ入出力端子はフローティング状態になります。

・スタンドバイ

\overline{CE} 端子を“H”にするとスタンドバイ状態になり、電源電流が極めて少ないパワーダウン状態になります。また、データ入出力端子はフローティング状態になります。

・ライト

VPP端子を“H”(VPP = VPP_H)とし、 \overline{CE} 端子を“L”、 \overline{OE} 端子を“H”のときに、 \overline{WE} 端子を“L”にするとライト状態になります。ライト状態では、データ入出力端子からのソフトウェアコマンドの入力が可能になり、このソフトウェアコマンドの内容によってプログラム、イレーズなどの操作が選択できます。

表18. 端子の機能説明(フラッシュメモリパラレル入出力モード)

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCCに $5V \pm 10\%$, VSSに0Vを印加します。
CNVSS	VPP入力	入 力	リードオンリーモード時は $5V \pm 10\%$ を, リード/ライトモード時は11.7~12.6Vを印加します。
RESET	リセット入力	入 力	VSSに接続してください。
XIN	クロック入力	入 力	XIN, XOUTの間にセラミック共振子を接続します。
XOUT	クロック出力	出 力	XIN, XOUTの間にセラミック共振子を接続します。
AVSS	アナログ電源 入力		VSSに接続してください。
VREF	基準電圧入力	入 力	VSSに接続してください。
P00 ~ P07	アドレス入力 A0 ~ A7	入 力	アドレスA0 ~ A7の入力端子です。
P10 ~ P17	アドレス入力 A8 ~ A15	入 力	アドレスA8 ~ A15の入力端子です。
P20 ~ P27	データ入出力 D0 ~ D7	入出力	データD0 ~ D7の入出力端子です。
P30 ~ P37	制御入力	入 力	P37, P36, P33はそれぞれOE, CE, WEの入力端子、P31はアドレスA16の入力端子となります。 P30, P32はVSSに接続してください。P34, P35は“H”を入力、“L”を入力又は開放してください。
P40 ~ P47	入力ポート P4	入 力	P44, P46はVSSに接続してください。P40 ~ P43, P45, P47は“L”もしくは“H”を入力、又は開放してください。
P50 ~ P57	入力ポート P5	入 力	“L”もしくは“H”を入力、又は開放してください。
P60 ~ P67	入力ポート P6	入 力	“L”もしくは“H”を入力、又は開放してください。

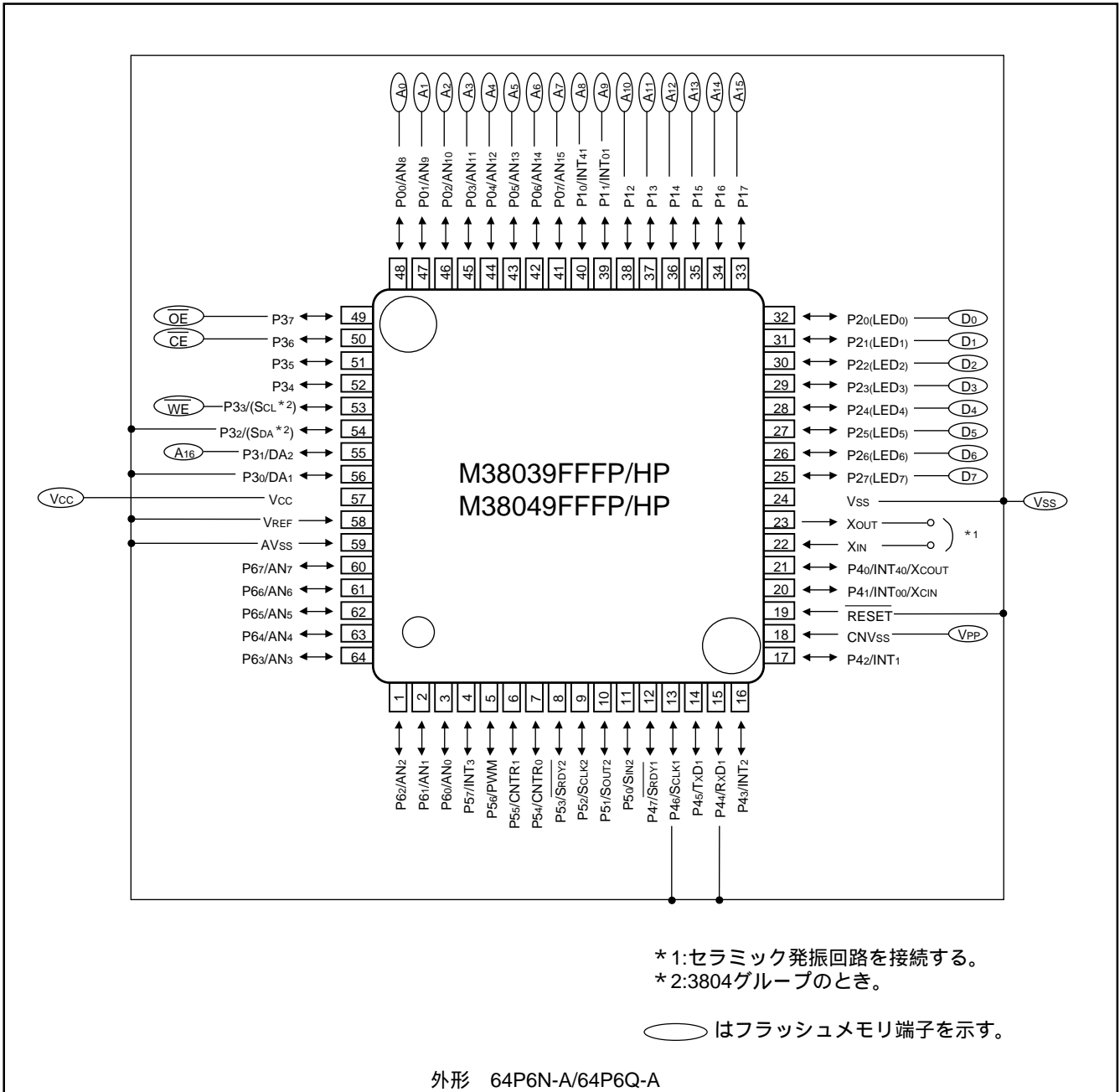


図86. パラレル入出力モード時の端子結線図 (M38039FFFP/HP, M38049FFFP/HP)

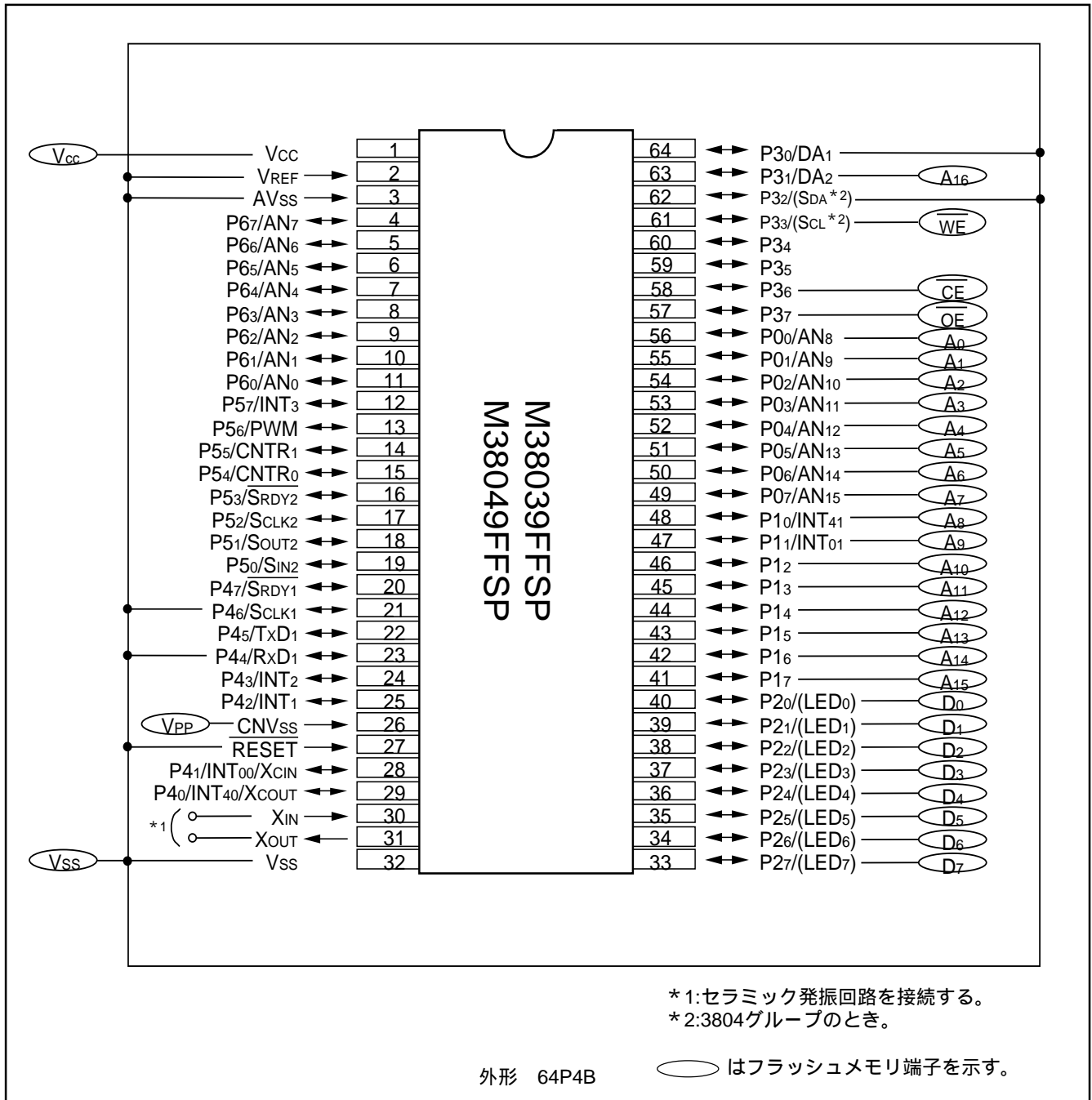


図87. パラレル入出力モード時の端子結線図(M38039FFSP, M38049FFSP)

リードオンリーモード

Vpp端子にVppLを印加するとリードオンリーモードになります。このモードでは図88に示すタイミングで読み出しを行

うアドレス及び、制御信号を入力すると指定したアドレスの内容がデータ入出力端子から外部に出力されます。このモードでは読み出し以外の操作はできません。

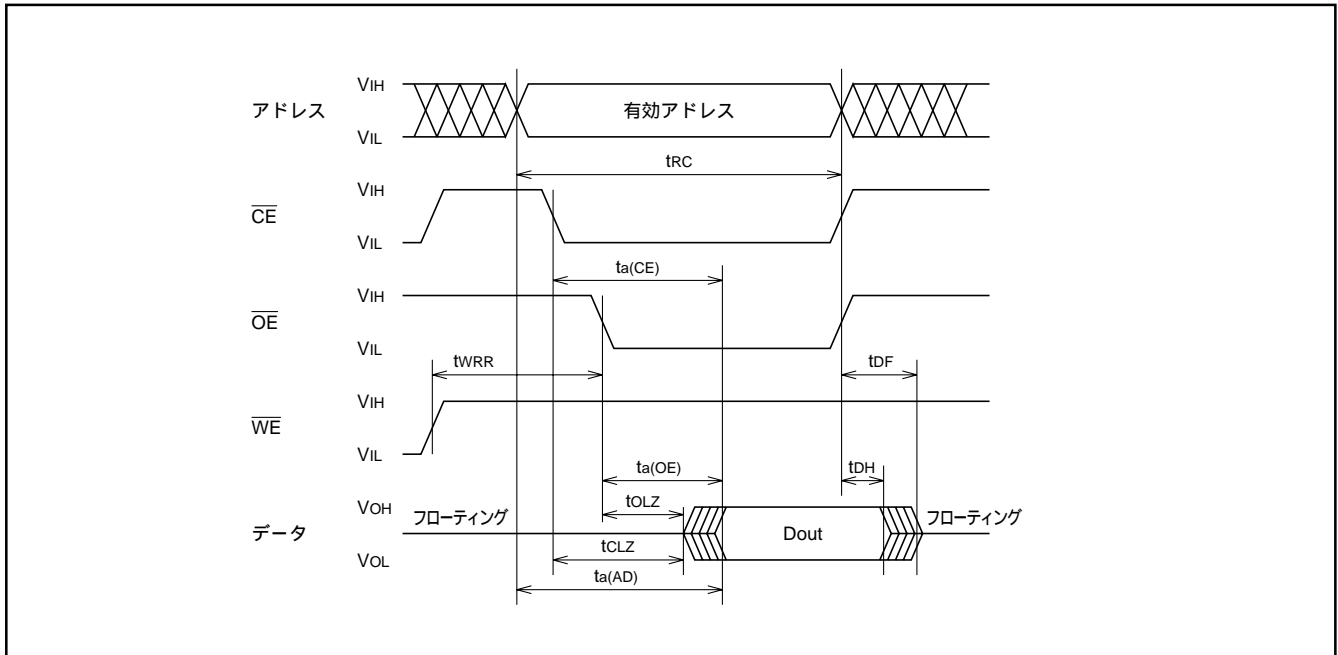


図88. リードタイミング

リード/ライトモード

Vpp端子にVppHを印加するとリード/ライトモードになります。このモードでは、最初にフラッシュメモリに対して行う操作(リード、プログラム、イレーズなど)を選択するためのソフトウェアコマンドを入力し(第一サイクルと称す)、続いてそのコマンドを実行するために必要な情報(アドレス、データなど)及び制御信号を入力する(第二サイクルと称す)と指定した操作が実行されます。表17にソフトウェアコマ

ンドと第一、第二サイクルにおける入出力情報を示します。入力したアドレスはWE入力の立ち上がりエッジで、ソフトウェアコマンドなどの入力データはWE入力の立ち上がりエッジで内部にラッチされます。

以下に、各ソフトウェアコマンドについて説明します。信号入出力のタイミングについては図89～図91を参照してください。

表19. ソフトウェアコマンド一覧表(パラレル入出力モード)

項目	第一サイクル		第二サイクル	
	アドレス入力	データ入力	アドレス入力	データ入出力
リード	X	00 ₁₆	リードアドレス	リードデータ(出力)
プログラム	X	40 ₁₆	プログラムアドレス	プログラムデータ(入力)
プログラムベリファイ	X	C0 ₁₆	X	ベリファイデータ(出力)
イレーズ	X	20 ₁₆	X	20 ₁₆ (入力)
イレーズベリファイ	ベリファイアドレス	A0 ₁₆	X	ベリファイデータ(出力)
リセット	X	FF ₁₆	X	FF ₁₆ (入力)
デバイス識別	X	90 ₁₆	ADI	DD(出力)

注 . ADI = デバイス識別アドレス : 製造メーカーコード 00000₁₆, デバイスコード 00001₁₆
 DDI = デバイス識別データ : 製造メーカーコード 1C₁₆, デバイスコード D0₁₆
 Xは、VIL又はVIHのどちらでもよい。

・リードコマンド

第一サイクルでコマンドコード“00₁₆”を入力するとリードモードになります。コマンドコードは \overline{WE} 入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで読み出しを行うアドレスを入力し、図89に示すタイミングで制御信号を入力すると、指定したアドレスの内容がデータ入出力端子から外部に出力されます。

リードモードは、コマンドラッチに他のコマンドがラッチされるまで保持されます。したがって、1度リードモードに設定した後は、アドレス入力を変化させて第二サイクルだけを実行すると、メモリの内容を次々に読み出すことができます。なお、リードコマンド以外のコマンドは実行する度に、再度コマンドコードから入力する必要があります。電源投入後はコマンドラッチの内容は00₁₆になっています。

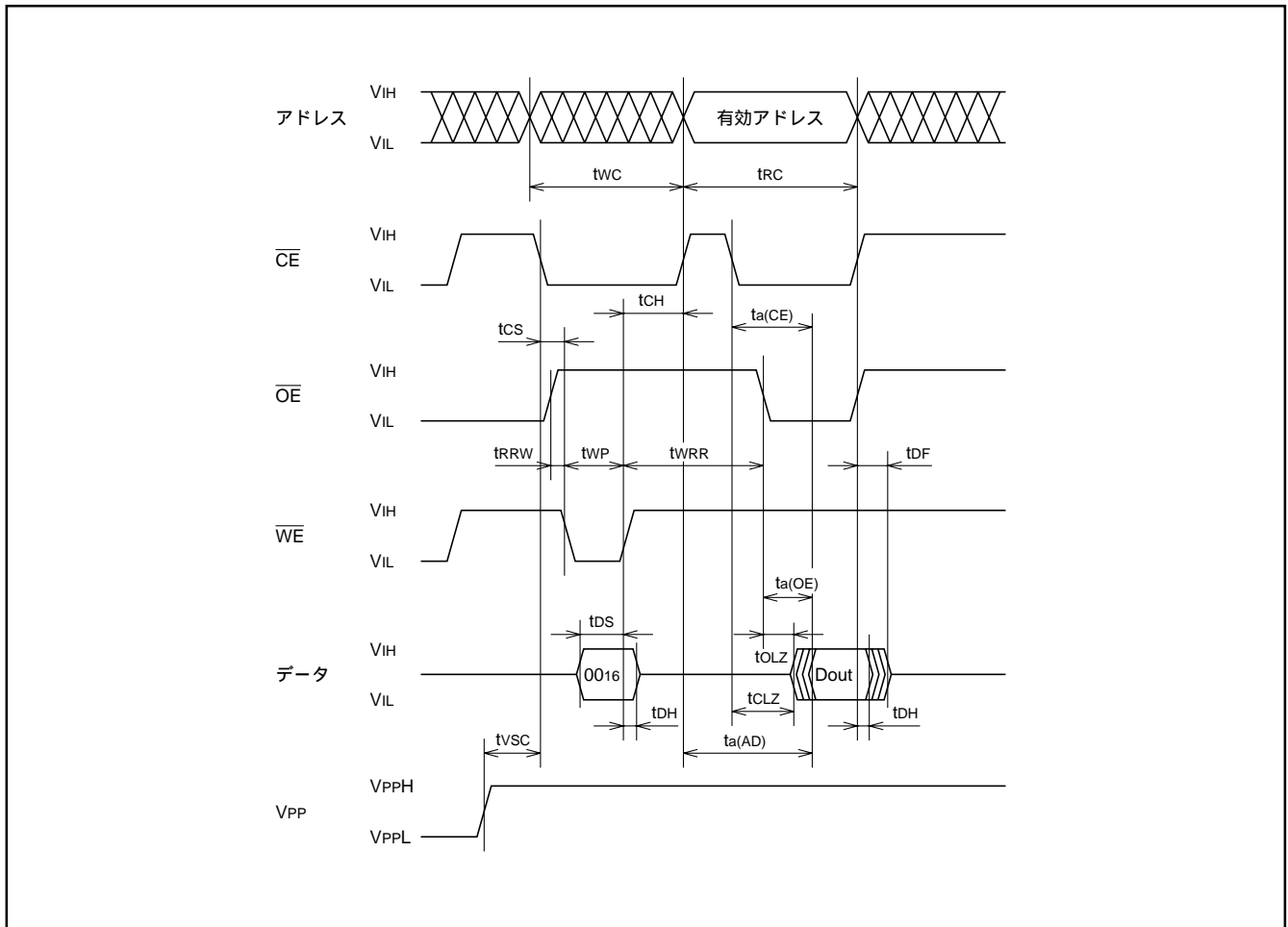


図89. リード時のタイミング

・プログラムコマンド

第一サイクルでコマンドコード“40₁₆”を入力するとプログラムモードになります。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルでプログラムするアドレスとデータを入力すると、アドレスはWE入力の立ち下がり、データは立ち上がりで内部にラッチされます。プログラムは、第二サイクルのWE入力の立ち上がりによって開始され、内蔵タイマで測定して10μs以内に終了します。プログラムはバイト単位で行われます。

(注)書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図92を参照してください。

・プログラムベリファイコマンド

第一サイクルでコマンドコード“C0₁₆”を入力するとプログラムベリファイモードになります。このコマンドはプログラムコマンド実行後に、プログラムされたデータをベリファイするために用います。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで図90に示すタイミングで制御信号を入力すると、プログラムされたアドレスの内容が外部に出力されます。アドレスはプログラムコマンド実行時のアドレスを内部でラッチしていますので、第二サイクルにおいて入力する必要はありません。

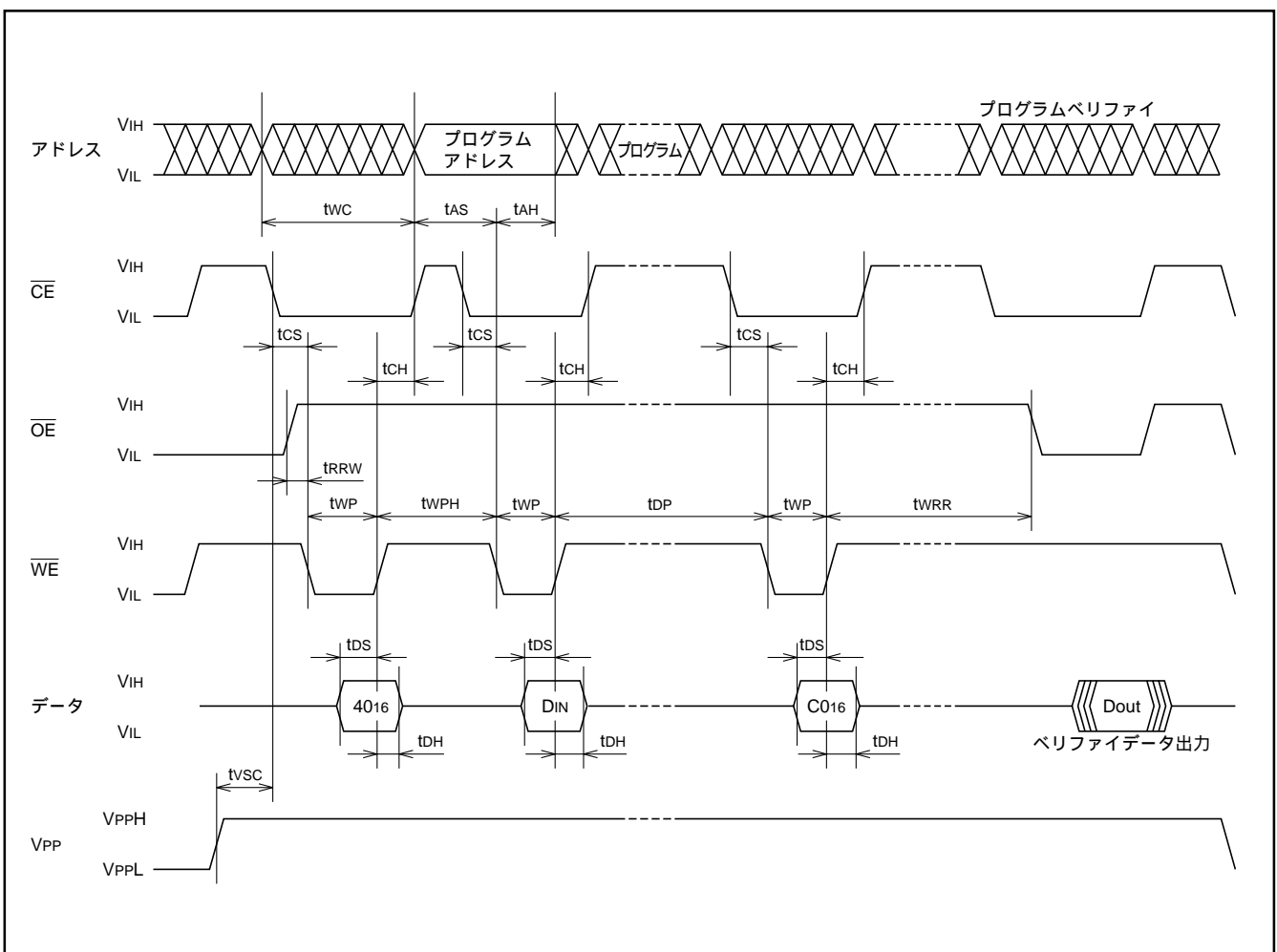


図90. プログラム時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

・イレーズコマンド

第一サイクルでコマンドコード“ 20₁₆ ”を入力した後、再度第二サイクルでコマンドコード“ 20₁₆ ”を入力するとイレーズコマンドが実行されます。コマンドコードは、第一及び第二サイクルのWE入力の立ち上がりで内部のコマンドラッチにラッチされます。イレーズは、第二サイクルのWE入力の立ち上がりによって開始され、内蔵タイマで測定して9.5ms以内にメモリの内容は一括消去されます。なお、イレーズコマンドの実行前には、すべてのメモリにデータ“ 00₁₆ ”を書き込む必要があります。

(注) 消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図92を参照してください。

・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。第一サイクルでベリファイするアドレスとコマンドコード“ A0₁₆ ”を入力するとイレーズベリファイモードになります。アドレスはWE入力の立ち下がりで、コマンドコードは立ち上がりで内部にラッチされます。第二サイクルで図91に示すタイミングで制御信号を入力すると、指定したアドレスの内容が外部に出力されます。

(注) イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“ 00₁₆ ”を書き込む必要はありません。

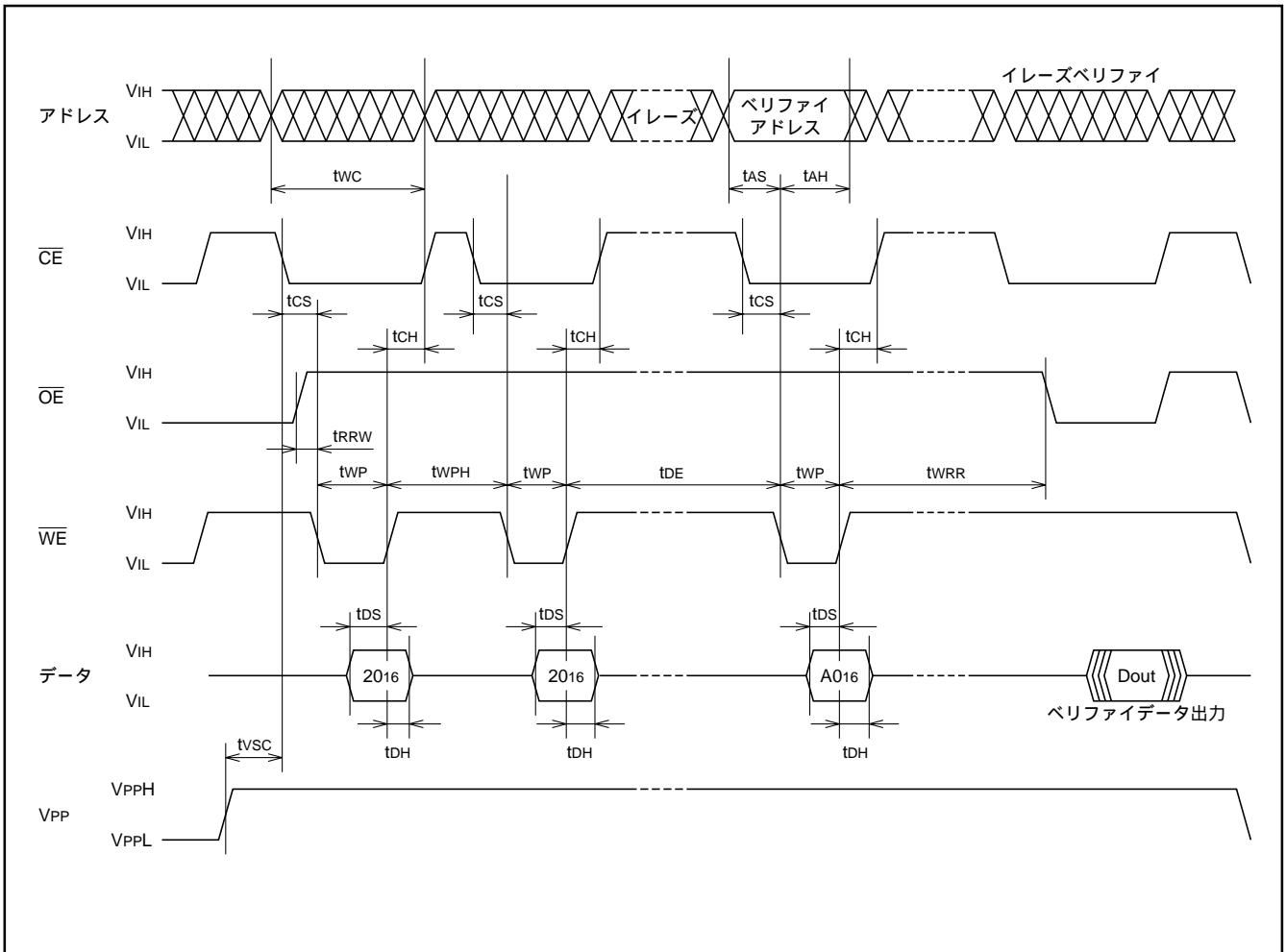


図91. イレーズ時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

・リセットコマンド

リセットコマンドはイレーズ又はプログラムコマンドを安全に中止するための手段です。第一サイクルでイレーズ又はプログラムコマンドコードを入力した後、第二サイクルでコマンドコード“FF₁₆”を入力し、再度第三サイクルでコマンドコード“FF₁₆”を入力すると、イレーズ又はプログラムコマンドは無効になり(リセットされ)、リードモードになります。リセットコマンドを実行しても、メモリの内容は変わりません。

・デバイス識別コードコマンド

第一サイクルでコマンドコード“90₁₆”を入力すると、デバイス識別コードを読み出すことができます。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。この場合、第二サイクルでアドレス入力端子に“0000₁₆”を入力すると製造メーカーコード“1C₁₆”(三菱)が“0000₁₆”を入力するとデバイスコード“D0₁₆”(1Mビットフラッシュメモリ)が読み出されます。

入出力タイミングは、リード時のタイミングと同じです。

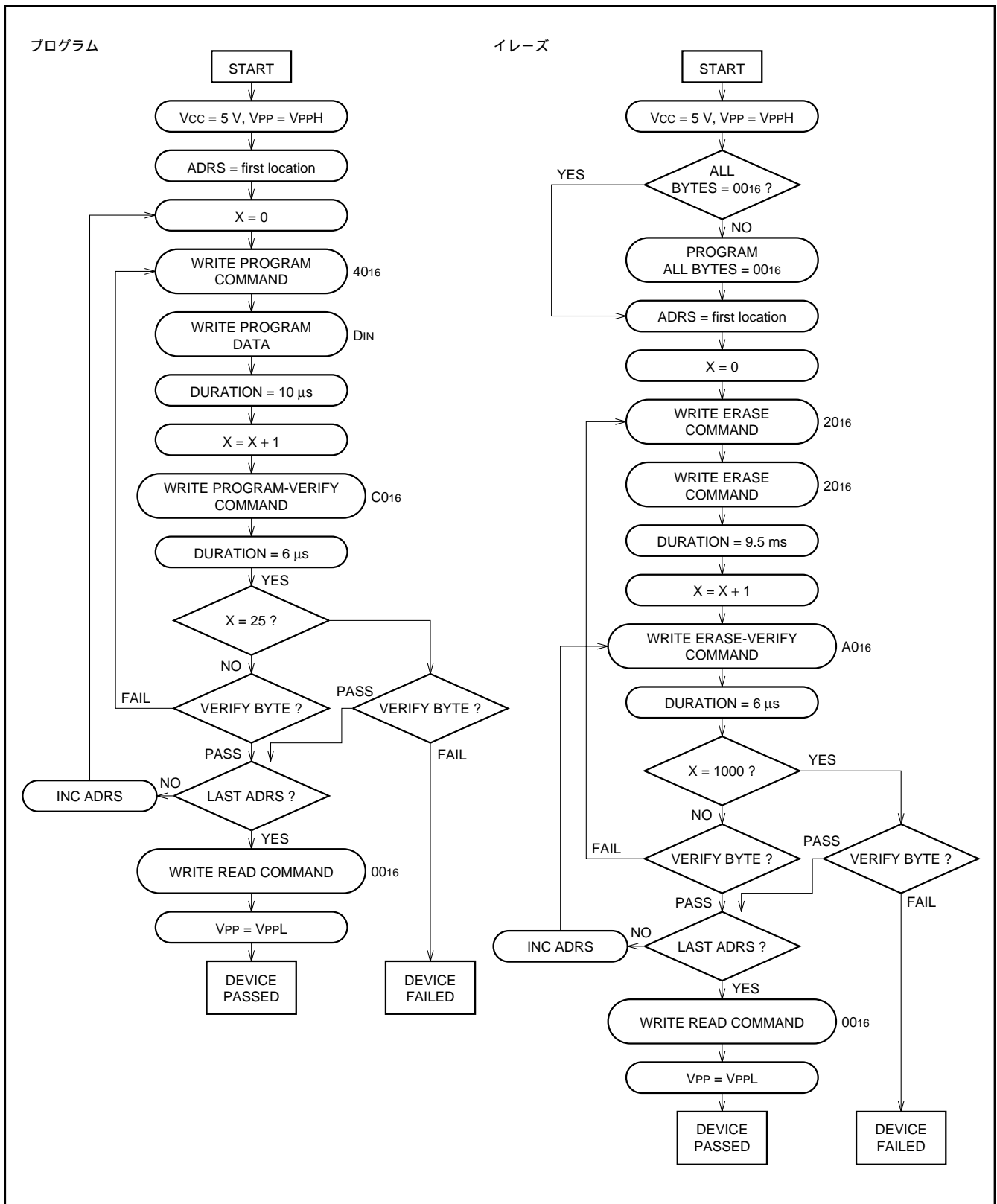


図92. プログラム, イレーズアルゴリズムフローチャート

表20. 直流電気的特性 (指定のない場合は, $T_a = 25$, $V_{CC} = 5V \pm 10\%$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ISB1	V _{CC} 電源電流 (スタンバイ時)	V _{CC} = 5.5V, CE = V _{IH}			1	mA
ISB2		V _{CC} = 5.5V, CE = V _{CC} ± 0.2V			100	μA
ICC1	V _{CC} 電源電流 (リード時)	V _{CC} = 5.5V, CE = V _{IL} , t _{RC} = 150ns, I _{OUT} = 0mA			15	mA
ICC2	V _{CC} 電源電流 (プログラム時)	V _{PP} = V _{PPH}			15	mA
ICC3	V _{CC} 電源電流 (イレーズ時)	V _{PP} = V _{PPH}			15	mA
IPP1	V _{PP} 電源電流 (リード時)	0 V _{PP} V _{CC}			10	μA
		V _{CC} < V _{PP} V _{CC} + 1.0V			100	μA
		V _{PP} = V _{PPH}			100	μA
IPP2	V _{PP} 電源電流 (プログラム時)	V _{PP} = V _{PPH}			30	mA
IPP3	V _{PP} 電源電流 (イレーズ時)	V _{PP} = V _{PPH}			30	mA
V _{IL}	"L"入力電圧		0		0.8	V
V _{IH}	"H"入力電圧		2.0		V _{CC}	V
V _{OL}	"L"出力電圧	I _{OL} = 2.1mA			0.45	V
V _{OH1}	"H"出力電圧	I _{OH} = - 400 μA	2.4			V
V _{OH2}		I _{OH} = - 100 μA	V _{CC} - 0.4			V
V _{PPL}	V _{PP} 電源電圧 (リードオンリー)		V _{CC}		V _{CC} + 1.0	V
V _{PPH}	V _{PP} 電源電圧 (リード/ライト)		11.7	12.0	12.6	V

交流電気的特性 (指定のない場合は, $T_a = 25$, $V_{CC} = 5V \pm 10\%$)

表21. リードオンリーモード

記号	項目	規格値		単位
		最小	最大	
t _{RC}	リードサイクル時間	150		ns
t _{α(AD)}	アドレスアクセス時間		150	ns
t _{α(CE)}	CEアクセス時間		150	ns
t _{α(OE)}	OEアクセス時間		55	ns
t _{CLZ}	CE後出力イネーブル時間	0		ns
t _{OLZ}	OE後出力イネーブル時間	0		ns
t _{DF}	OE後出力フローティング時間		35	ns
t _{DH}	CE, OE, アドレス後出力有効時間	0		ns
t _{WRR}	リード前ライトリカバリー時間	6		μs

表22. リード/ライトモード

記号	項目	規格値		単位
		最小	最大	
t _{WC}	ライトサイクル時間	150		ns
t _{AS}	アドレスセットアップ時間	0		ns
t _{AH}	アドレスホールド時間	60		ns
t _{DS}	データセットアップ時間	50		ns
t _{DH}	データホールド時間	10		ns
t _{WRR}	リード前ライトリカバリー時間	6		μs
t _{RRW}	ライト前リードリカバリー時間	0		μs
t _{CS}	CEセットアップ時間	20		ns
t _{CH}	CEホールド時間	0		ns
t _{WP}	ライトパルス幅	60		ns
t _{WPH}	ライトパルス待機時間	20		ns
t _{DP}	プログラム時間	10		μs
t _{DE}	イレーズ時間	9.5		ms
t _{VSC}	V _{PP} セットアップ時間	1		μs

注. リード/ライトモード時のリードタイミングは, リードオンリーモード時と同じです。

(2)フラッシュメモリモード・2(シリアル入出力モード)

3803/3804グループのフラッシュメモリ版は、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データを、少数の端子を使用してシリアルに入出力する機能(シリアル入出力モード)を持っています。シリアル入出力モードは、図93、図94に示す結線を行い、Vcc端子に電源を投入した後、SDA(シリアルデータ入出力)、SCLK(シリアルクロック

入力)及びOE端子を“H”にし、その後Vpp端子にVppHを印加することによって選択されます。

シリアル入出力モードでは、リード、プログラム、プログラムベリファイ、イレーズ、イレーズベリファイ、エラーチェックの6つのソフトウェアコマンドが使用できます。

シリアル入出力は、クロック同期式、LSBファーストで行います。

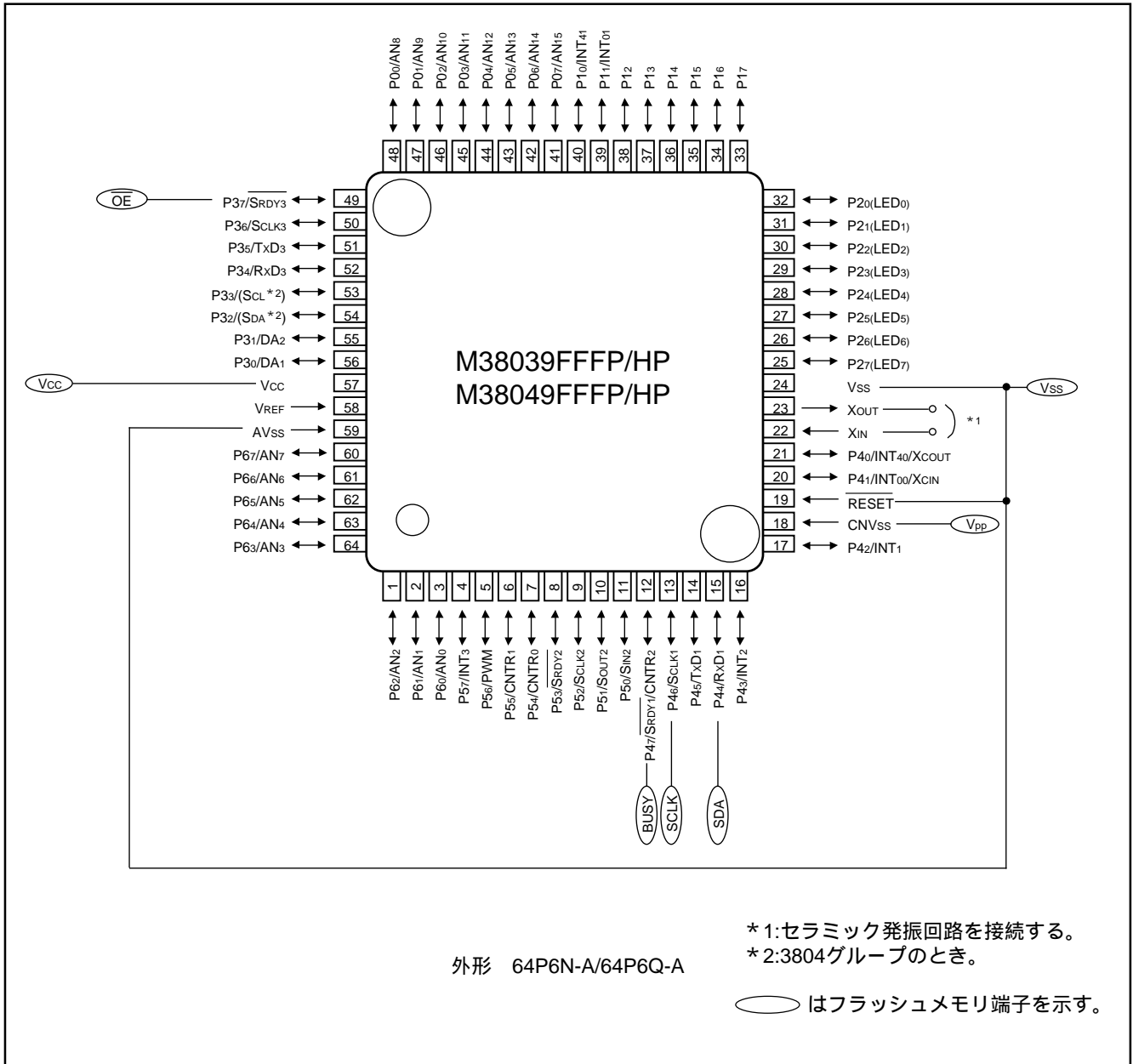


図93. シリアル入出力モード時の端子結線図(M38039FFFP/HP, M38049FFFP/HP)

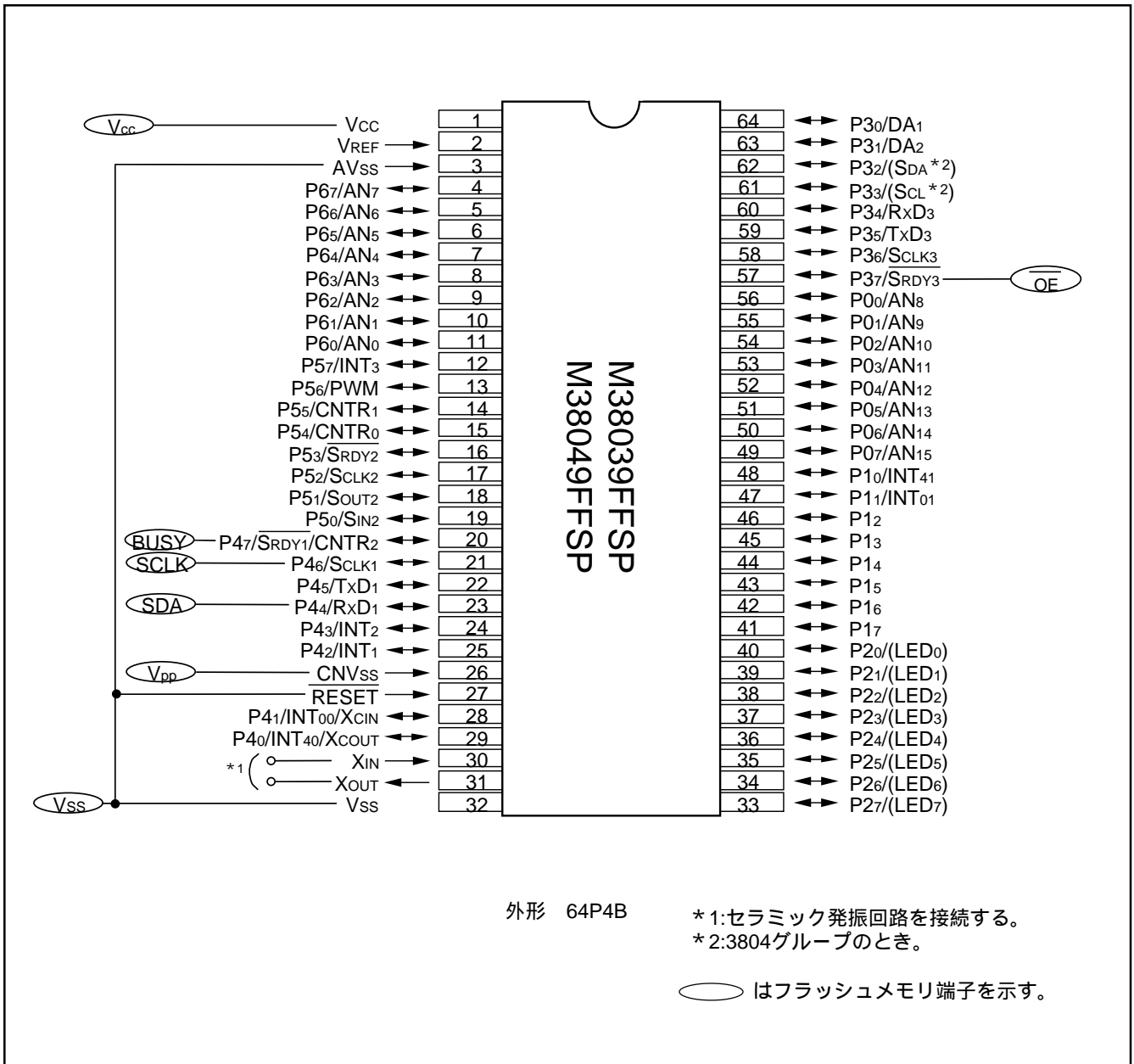


図94. シリアル入出力モード時の端子結線図(M38039FFSP)

表23. 端子の機能説明(フラッシュメモリシリアル入出力モード)

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCCに5V ± 10%, VSSに0Vを印加します。
CNVSS	VPP入力	入 力	11.7 ~ 12.6Vを印加します。
RESET	リセット入力	入 力	VSSに接続してください。
XIN	クロック入力	入 力	XIN, XOUTの間にセラミック共振子を接続します。
XOUT	クロック出力	出 力	XIN, XOUTの間にセラミック共振子を接続します。
AVSS	アナログ電源 入力		VSSに接続してください。
VREF	基準電圧入力	入 力	VSS ~ VCC間の任意のレベルを入力してください。
P00 ~ P07	入力ポート P0	入 力	“H”を入力, “L”を入力, 又は開放してください。
P10 ~ P17	入力ポート P1	入 力	“H”を入力, “L”を入力, 又は開放してください。
P20 ~ P27	入力ポート P2	入 力	“H”を入力, “L”を入力, 又は開放してください。
P30 ~ P36	入力ポート P3	入 力	“H”を入力, “L”を入力, 又は開放してください。
P37	制御入力	入 力	OE入力端子です。
P40 ~ P43, P45	入力ポート P4	入 力	P40 ~ P43, P45は “H”を入力, “L”を入力, 又は開放してください。
P44	SDA入出力	入出力	シリアルデータの入出力端子です。
P46	SCLK入力	入 力	シリアルクロックの入力端子です。
P47	BUSY出力	出 力	BUSY信号の出力端子です。
P50 ~ P57	入力ポート P5	入 力	“H”を入力, “L”を入力, 又は開放してください。
P60 ~ P67	入力ポート P6	入 力	“H”を入力, “L”を入力, 又は開放してください。

機能概要(シリアル入出力モード)

シリアル入出力モードでは、クロック同期式シリアル入出力形式でデータ転送を行います。入力データはシリアルクロックの立ち上がりで同期してSDA端子から内部に読み込まれ、出力データはシリアルクロックの立ち下がり同期して、SDA端子から出力されます。転送は8ビット単位で行わ

れます。

最初の転送では、コマンドコードを入力します。その後、コマンドの内容に対応して、アドレス入力、データ入出力を行います。表24にシリアル入出力モードにおけるソフトウェアコマンドを示します。以下に、各ソフトウェアコマンドについて説明します。

表24. ソフトウェアコマンド一覧表 (シリアル入出力モード)

コマンド	転送回数	第一回 コマンドコード入力	第二回	第三回	第四回
リード		0016	リードアドレスL(入力)	リードアドレスH(入力)	リードデータ(出力)
プログラム		4016	プログラムアドレスL(入力)	プログラムアドレスH(入力)	プログラムデータ(入力)
プログラムベリファイ		C016	ベリファイデータ(出力)		
イレーズ		2016	2016(入力)		
イレーズベリファイ		A016	ベリファイアドレスL(入力)	ベリファイアドレスH(入力)	ベリファイデータ(出力)
エラーチェック		8016	エラーコード(出力)		

・リードコマンド

第一回目の転送でコマンドコード“0016”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次にOE端子を“L”にすると、指定したアドレスの内容

がリードされ、内部のデータラッチにラッチされます。OE端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているリードデータがSDA端子からシリアルに出力されます。

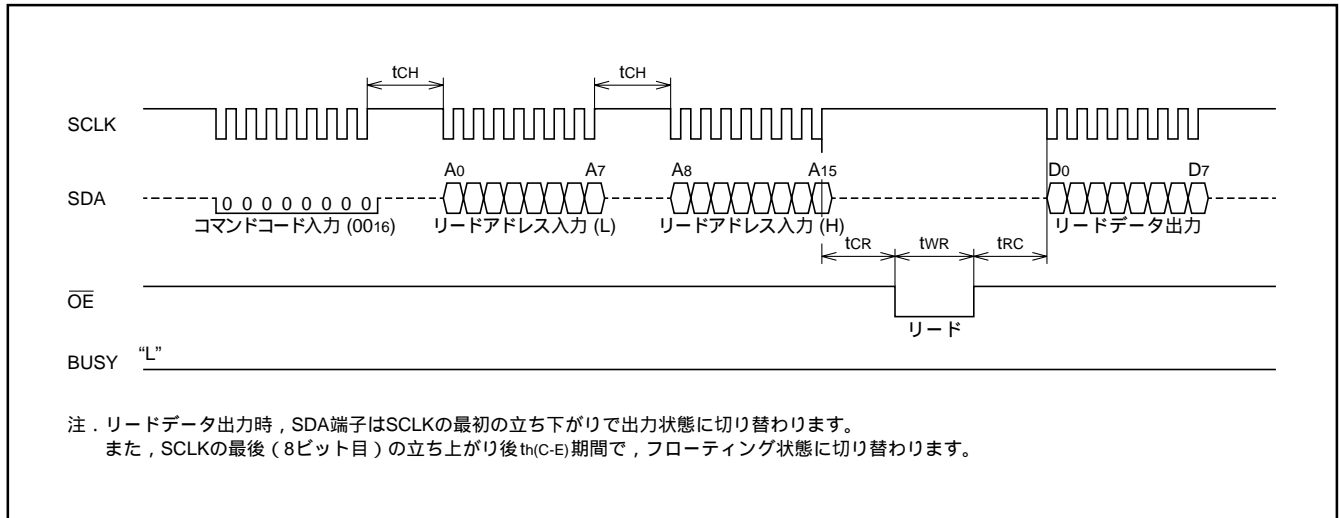


図95. リード時のタイミング

・プログラムコマンド

第一回目の転送でコマンドコード“40₁₆”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビット、及びプログラムデータを入力します。プログラムは、プログラムデータ転送時のシリアルクロックの最後の立ち上がり後開始されます。プログラム実施期間中は、BUSY端子の出力が

“H”になります。内蔵タイマで測定して10 μ s以内にプログラムは終了し、BUSY端子の出力は“L”になります。

(注)書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図92を参照してください。

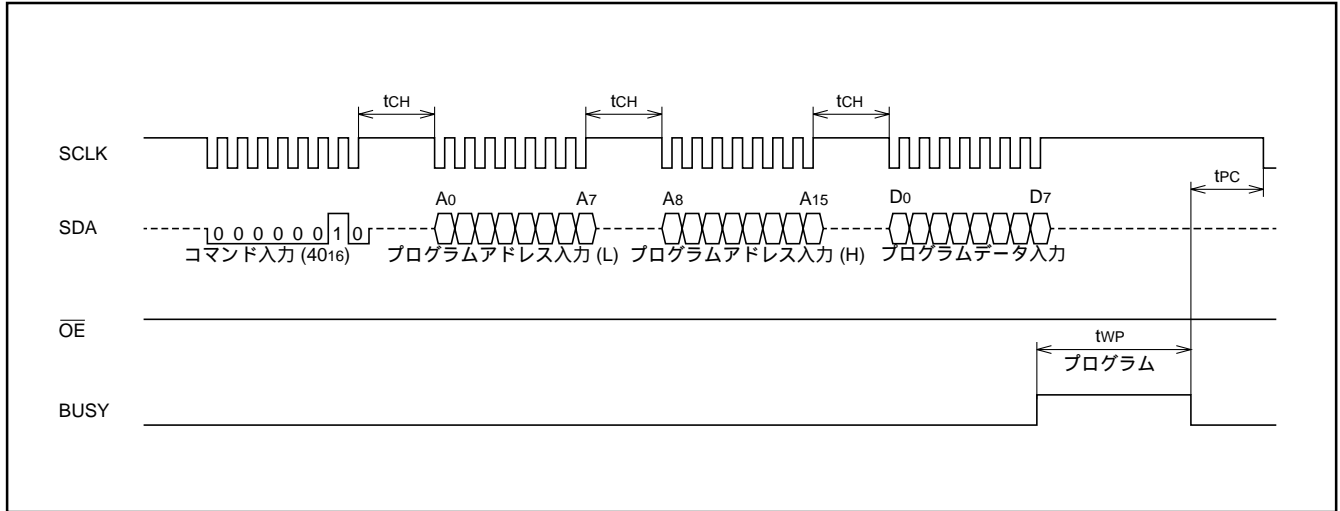


図96. プログラム時のタイミング

・プログラムベリファイコマンド

第一回目の転送でコマンドコード“C0₁₆”を入力します。続いて、OE端子を“L”にすると、プログラムされたアドレスの内容がベリファイリードされ、内部のデータラッチにラッチされます。OE端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。

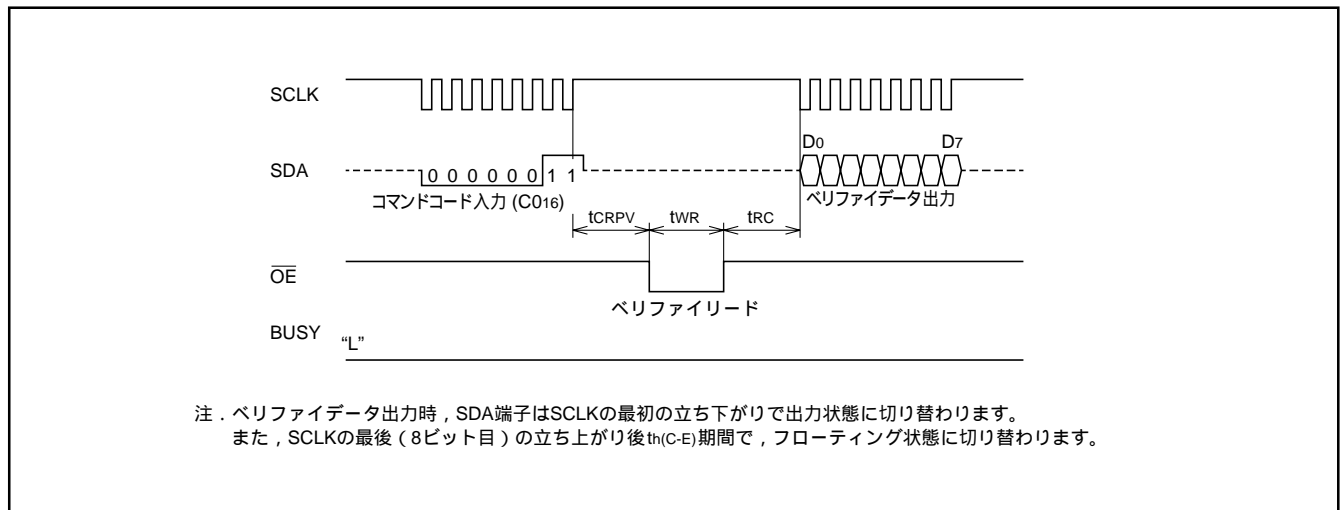


図97. プログラムベリファイ時のタイミング

・イレーズコマンド

第一回目の転送で、コマンドコード“ 20₁₆ ”を入力した後、再度第二回目の転送でコマンドコード“ 20₁₆ ”を入力すると、イレーズコマンドが実行されます。イレーズはシリアルクロックの最後の立ち上がり後開始されます。イレーズ期間中は、BUSY端子の出力が“ H ”になります。内蔵タイマで測定して9.5ms以内にイレーズは終了し、BUSY端子の出力は“ L ”

になります。

なお、イレーズコマンドの実行前には、すべてのメモリにデータ “00₁₆ ”を書き込む必要があります。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズコマンドのフローチャートは図92を参照してください。

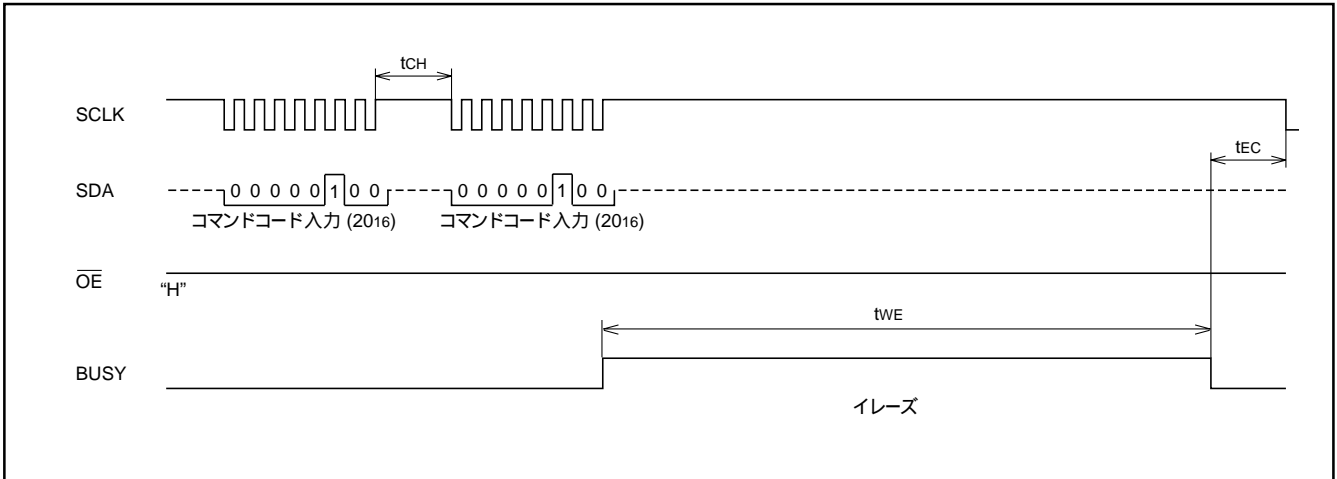


図98. イレーズ時のタイミング

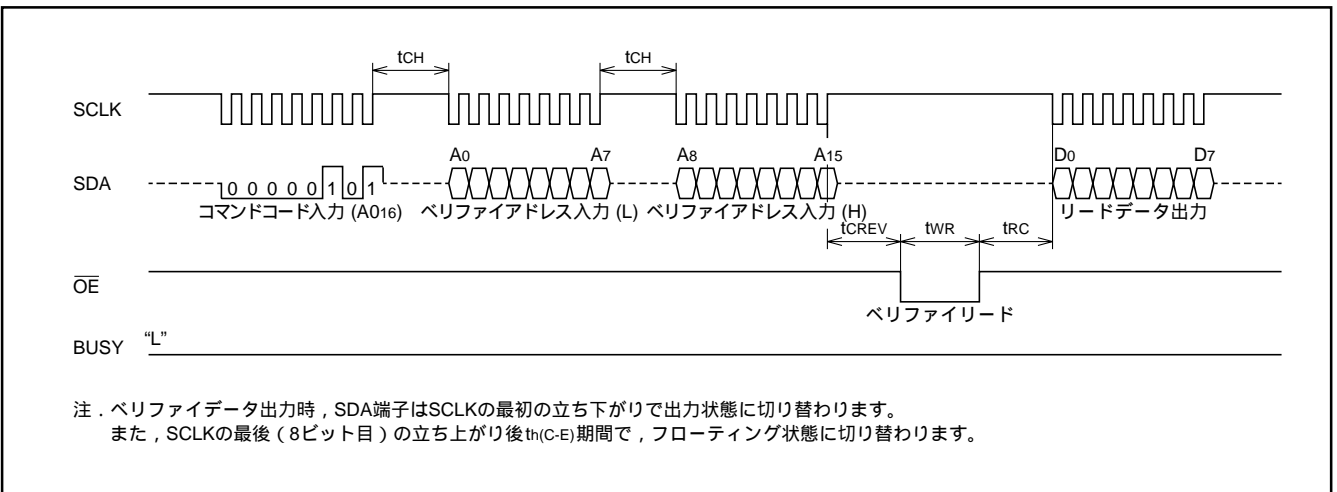
・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。

第一回目の転送で、コマンドコード“ A0₁₆ ”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次にOE端子を“ L ”にすると、指定したアドレスの内容がベリファイリードされ、内部のデータラッチにラッチさ

れます。OE端子を“ H ”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ “00₁₆ ”を書き込む必要はありません。



注. ベリファイデータ出力時、SDA端子はSCLKの最初の立ち下がり後で出力状態に切り替わります。
また、SCLKの最後(8ビット目)の立ち上がり後 $t_{h(C-E)}$ 期間で、フローティング状態に切り替わります。

図99. イレーズベリファイ時のタイミング

・エラーチェックコマンド

第一回目の転送でコマンドコード“80₁₆”を入力すると、次のシリアルクロックの立ち下がりから、SDA端子はエラー情報を出力します。8ビットのエラー情報のうち、最下位ビットが“1”のときはコマンドエラーが発生したことを示しています。コマンドエラーは、表24に示すコマンド以外のコマンドコードが入力されたことを意味します。

シリアル通信回路は、書き込み、消去の誤りを防止するために、コマンドエラーが発生すると、対応するエラーフラグをセットした後、動作を停止し、その後はシリアルクロック及びデータを受け付けません(エラーチェックコマンドも受

け付けられません)。したがって、エラーチェックコマンドを実行する場合は、VPP端子の入力を1度V_{DDL}レベルに下げ、再度シリアル入出力モードを解除した後、再度シリアル入出力モードに設定してください。この操作によってシリアル通信回路はリセットされ、コマンド受付が可能になります。このとき、エラーフラグだけはクリアされませんので、リセット後、最初にエラーチェックコマンドを実行することによって、リセット前のエラーについて知ることができます。なお、エラーフラグは、エラーチェックコマンドを実行することによりクリアされます。電源投入後はエラーフラグは不定ですので、必ずエラーチェックコマンドを実行してください。

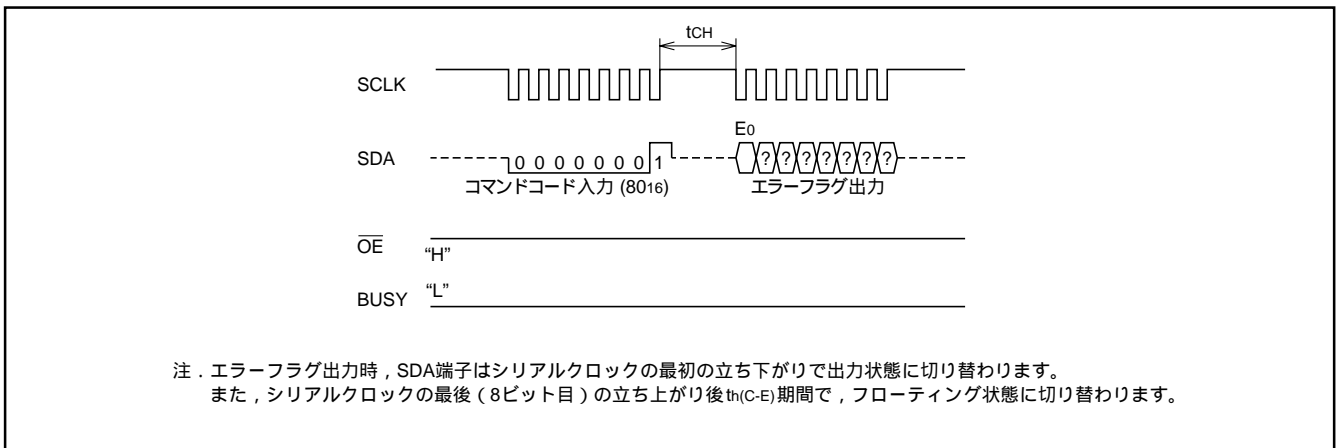


図100. エラーチェック時のタイミング

直流電気的特性 (Ta = 25 , VCC = 5V ± 10%, VPP = 11.7 ~ 12.6V)

リード、プログラム、イレーズ時のICC, IPP関連規格は、パラレル入出力モードと同じです。

SCLK, SDA, BUSY, OE端子のVIH, VIL, VOH, VOL, IIH, IIL規格はマイコンモードに準じます。

表25. 交流電気的特性 (指定のない場合は, Ta = 25 , VCC = 5V ± 10%, VPP = 11.7 ~ 12.6V, f (XIN) = 10MHz)

記号	項目	規格値		単位
		最小	最大	
tCH	シリアル転送間隔時間	500(注1)		ns
tCR	転送後リード待ち時間	500(注1)		ns
tWR	リードパルス幅	400(注2)		ns
tRC	リード後転送待ち時間	500(注1)		ns
tCRPV	プログラムベリファイ前待ち時間	6		μs
tWP	プログラム時間		10	μs
tPC	プログラム後転送待ち時間	500(注1)		ns
tCREV	イレーズベリファイ前持ち時間	6		μs
tWE	イレーズ時間		9.5	ms
tEC	イレーズ後転送待ち時間	500(注1)		ns
t(CK)	SCLK入力サイクル時間	250		ns
tW(CKH)	SCLK “ H ” パルス幅	100		ns
tW(CKL)	SCLK “ L ” パルス幅	100		ns
t(CK)	SCLK立ち上がり時間	20		ns
t(CK)	SCLK立ち下がり時間	20		ns
td(C-Q)	SDA出力遅延時間	0	90	ns
tr(C-Q)	SDA出力ホールド時間	0		ns
tr(C-E)	SDA出力ホールド時間 (8ビット目のみ)	150(注3)	250(注4)	ns
tsu(D-C)	SDA入力セットアップ時間	30		ns
th(C-D)	SDA入力ホールド時間	90		ns

注1. f (XIN) 10MHzの場合は, 式(1)を使用して最小値を計算してください。

$$\text{式(1): } \frac{5000}{f(XIN)} \times 10^6$$

2. f (XIN) 10MHzの場合は, 式(2)を使用して最小値を計算してください。

$$\text{式(2): } \frac{4000}{f(XIN)} \times 10^6$$

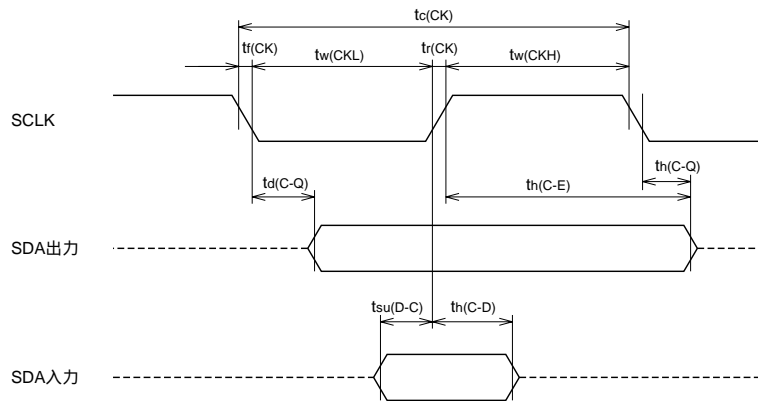
3. f (XIN) 10MHzの場合は, 式(3)を使用して最小値を計算してください。

$$\text{式(3): } \frac{1500}{f(XIN)} \times 10^6$$

4. f (XIN) 10MHzの場合は, 式(4)を使用して最大値を計算してください。

$$\text{式(4): } \frac{2500}{f(XIN)} \times 10^6$$

タイミング図



測定条件

- ・出力タイミング電圧 : VOL = 0.8V, VOH = 2.0Vで判定
- ・入力タイミング電圧 : VIL = 0.2Vcc, VIH = 0.8Vccで判定

(3)フラッシュメモリモード・CPU書き換えモード

3803/3804グループは、中央演算処理装置(CPU)により、内蔵するフラッシュメモリの操作を行うCPU書き換えモードを持っています。

CPU書き換えモードでは、以下に示すフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタに書き込み、読み出しを行うことにより、フラッシュメモリの操作を行います。

また、CPU書き換えモードでは、CNVss端子をVpp電源端子として使用します。この端子には、外部からVppHの電源電圧を印加する必要があります。

機能概要(CPU書き換えモード)

図101、図102にそれぞれフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタの構成を示します。

フラッシュメモリ制御レジスタのビット0は、CPU書き換えモード選択ビットで、このビットを“1”とした後、CNVss/Vpp端子にVppHを印加すると、CPU書き換えモードになります。CPU書き換えモードが成立したかどうかは、ビット2のCPU書き換えモードモニタフラグを読み出すことで判定できます。

ビット1は、イレーズ、プログラム実行中に“1”となるビジーフラグです。イレーズ、プログラムの各コマンドを実行後、このフラグをチェックすることで、これらの動作が完了

したかどうかを判定できます。

ビット4,5は、イレーズ、プログラム領域選択ビットでイレーズ、プログラムする領域を指定します。このビットで領域を指定した後、イレーズコマンドを実行すると、指定した領域のみイレーズされます。また、指定した領域のみプログラムが可能で、それ以外の領域にはプログラムできません。

図103にCPU書き換えモードでのCPUモードレジスタの構成を示します。

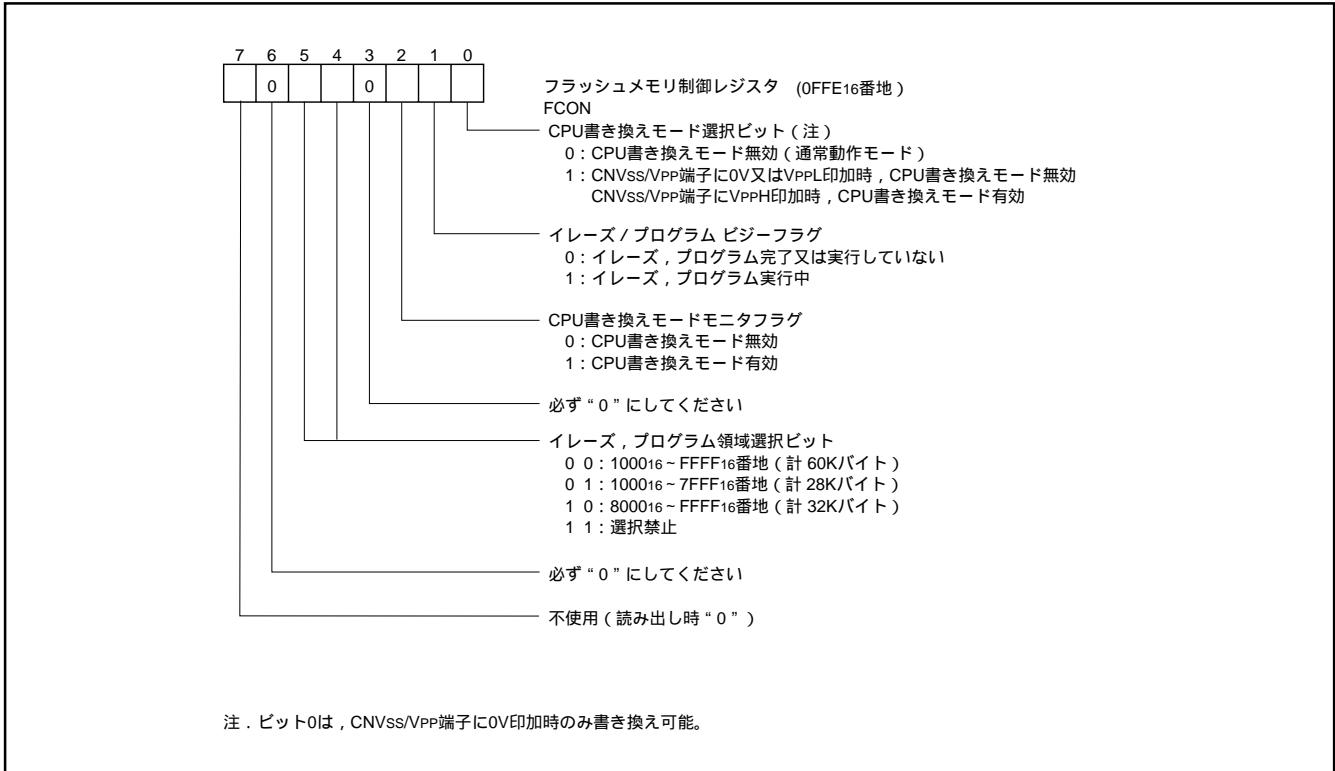


図101. フラッシュメモリ制御レジスタの構成

CPU書き換えモードの操作手順

以下にCPU書き換えモードでの操作手順を示します。

< 開始手順 >

- CNVSS/VPP端子に0Vを印加し、リセット解除する。
- CPUモードレジスタを設定する(図103参照)。
- CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御する)。
- CPU書き換えモード選択ビットに“ 1 ”を設定する。
- CNVSS/VPP端子にVPPHを印加する。
- CNVSS/VPP端子が12Vになるまで待つ。
- CPU書き換えモードモニタフラグを読み出し、CPU書き換えモードが有効になっていることを確認する。
- フラッシュコマンドレジスタへのソフトウェアコマンド書き込みにより、フラッシュメモリの操作を実施する。

(注)これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

< 解除手順 >

- CNVSS/VPP端子に0Vを印加する。
- CNVSS/VPP端子が0Vになるまで待つ。
- CPU書き換えモード選択ビットに“ 0 ”を設定する。

以下に各ソフトウェアコマンドについて説明します。

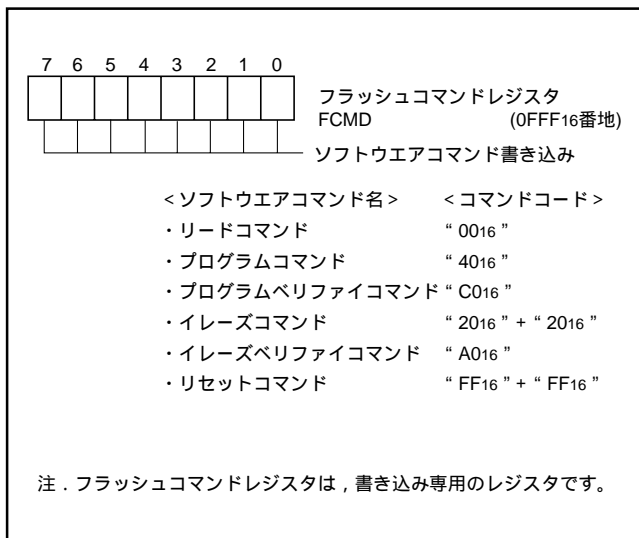


図102. フラッシュコマンドレジスタの構成

・リードコマンド

フラッシュコマンドレジスタに“ 0016 ”を書き込むとリードモードになります。この状態でフラッシュメモリを(例えばLDA命令等で)読み出すと対応する番地の内容が読み出せません。

リードモードは、コマンドレジスタに他のコマンドコードを書き込むまで維持されるので、一旦リードモードに設定した後は、連続してフラッシュメモリの内容を読み出すことができます。なお、リセット後及びリセットコマンド実行後にはリードモードに設定されています。

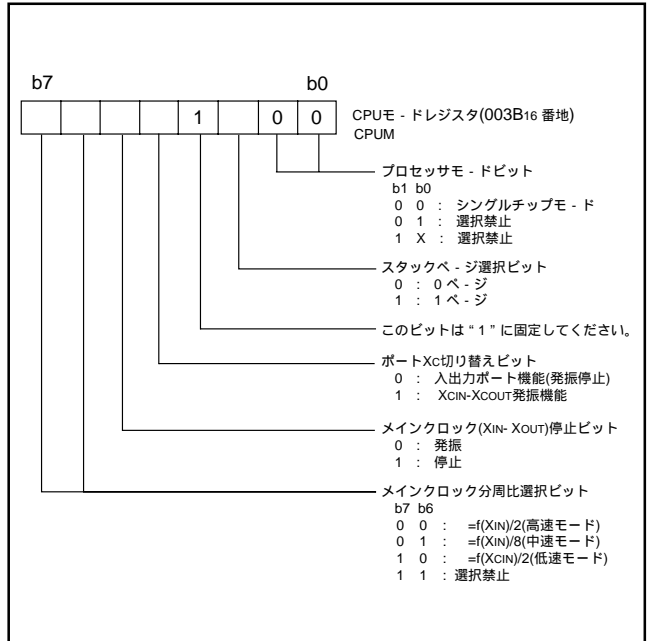


図103. CPU書き換えモードでのCPUモードレジスタの構成

・プログラムコマンド

フラッシュコマンドレジスタに“40₁₆”を書き込むとプログラムモードになります。続いてプログラムしたい番地にバイトデータを書き込む命令(例えばSTA, LDM命令)を実行すると、フラッシュメモリの制御回路はプログラムを実行します。プログラムを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完了すると“0”になります。したがって、書き込み命令実行後CPUはこのビットをポーリングすることによりプログラムの完了を知ることができます。

なお、プログラムする領域は、事前にイレーズ、プログラム領域選択ビットで指定しておく必要があります。

また、プログラム中は、ウォッチドッグタイマは、“FFFF₁₆”がセットされた状態で停止します。

(注)書き込みは、一回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図104を参照してください。

・プログラムベリファイコマンド

フラッシュコマンドレジスタに“C0₁₆”を書き込むとプログラムベリファイモードになります。続いてベリファイする番地(すなわち先にプログラムした番地)からバイトデータを読み出す命令(例えばLDA命令)を実行すると、実際にその番地に書き込まれている内容が読み出されます。

CPUでこの読み出されたデータと先のプログラムコマンドで書き込んだデータとを比較し、比較した結果、一致していなければ、再度プログラム プログラムベリファイを実行する必要があります。

・イレーズコマンド

フラッシュコマンドレジスタに“20₁₆”を続けて2回書き込むと、フラッシュメモリの制御回路は、事前にイレーズ、プログラム領域選択ビットで指定した領域についてイレーズを実行します。イレーズを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完

了すると“0”になります。したがって、CPUはこのビットをポーリングすることによりイレーズの完了を知ることができます。

なお、イレーズコマンドの実行前には、必ず全てのイレーズ対象領域にデータ“00₁₆”をプログラム及びプログラムベリファイコマンドによって書き込んでおく必要があります。

また、イレーズ中は、ウォッチドッグタイマは、“FFFF₁₆”がセットされた状態で停止します。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図104を参照してください。

・イレーズベリファイコマンド

フラッシュコマンドレジスタに“A0₁₆”を書き込むとイレーズベリファイモードになります。続いてベリファイする番地に対してバイトリードする命令(例えばLDA命令)を実行すると、その番地の内容が読み出されます。

CPUは、イレーズした全領域に対し、1番地ずつ順次イレーズベリファイしていく必要があります。途中“FF₁₆”でない(消去されていない)番地を発見したらイレーズベリファイをそこで中断し、再度イレーズ イレーズベリファイを実行する必要があります。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“00₁₆”を書き込む必要はありません。

・リセットコマンド

リセットコマンドはプログラム、イレーズコマンドを途中で中止するためのコマンドです。フラッシュコマンドレジスタに“40₁₆”、“20₁₆”を書き込んだ後、続いてコマンドレジスタに“FF₁₆”を2回連続して書き込むと、プログラム、イレーズコマンドは無効になり(リセット)、リードモードになります。リセットコマンドを実行してもメモリの内容は変わりません。

直流電気的特性

注：フラッシュメモリ部の特性は、パラレル入出力モードの規格に準じます。

交流電気的特性

注：マイコンモードの規格に準じます。

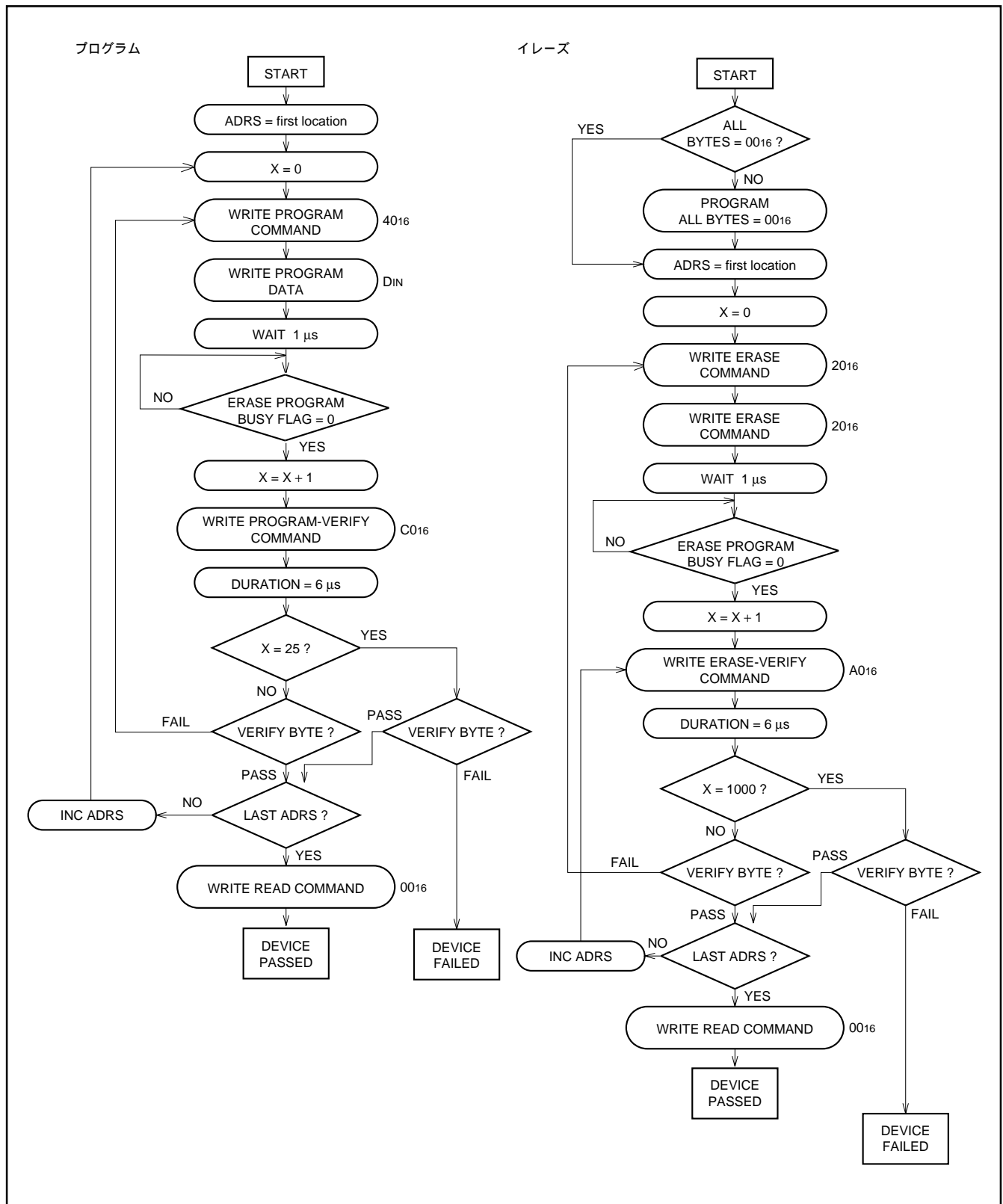


図104. CPU書き換えモードでのプログラム、イレーズ実行時フローチャート

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが"1"であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを"1"に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値n(0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが"1"の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも"1"に設定してください。

また、シリアルI/Oは、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。シリアルI/O2では、送信終了後、SOUT2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)、シリアルI/O3(クロック同期形モード)及びシリアルI/O2において、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが"H"の時に、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は $f(\text{XIN})$ を500kHz以上にしてください。

また、A-D変換中はSTP命令を実行しないでください。

D-A変換器に関するもの

D-A変換器精度はVccが4.0V以下で異なります。D-A変換器を使用する場合はVccを4.0V以上にすることを推奨します。また、D-A変換器を使用しない場合、D-Ai変換レジスタ(i=1,2)の設定値は、すべて"0016"にしてください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではXINの周期の2倍です。

使用上の注意事項

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μ F ~ 0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加してくださいようお願いいたします。

フラッシュメモリ版に関する注意事項

CNVss端子は、プログラマブル電源端子(Vpp端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1 ~ 10k Ω の抵抗を介してVss又はVccに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

フラッシュメモリ版/マスクROM版の相違点に関する注意事項

フラッシュメモリ版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書*
- ・マーク指定書*
- ・ROMのデータ ----- EPROM 3セット又はフロッピーディスク

* マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページ (<http://www.renesas.com/jp/rom>)を参照してください。

電気的特性

表26 絶対最大定格

記号	項目	条件	定格値	単位
VCC	電源電圧		- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07 , P10 ~ P17 , P20 ~ P27 , P30, P31, P34 ~ P37, P40 ~ P47 , P50 ~ P57 , P60 ~ P67 , VREF	Vss端子を基準にして 測定する出力トランジ スタは遮断状態	- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 P32, P33		- 0.3 ~ 5.8	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 CNVss(マスクROM版)		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 CNVss(フラッシュメモリ版)		- 0.3 ~ 13	V
VO	出力電圧 P00 ~ P07 , P10 ~ P17 , P20 ~ P27 , P30, P31, P34 ~ P37, P40 ~ P47 , P50 ~ P57 , P60 ~ P67, XOUT		- 0.3 ~ VCC + 0.3	V
VO	出力電圧 P32, P33		- 0.3 ~ 5.8	V
Pd	消費電力	Ta=25	1000 (注)	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 65 ~ 125	

注 フラットパッケージの場合は300mWです。

表27 推奨動作条件

(指定のない場合はVcc=2.7~5.5V, Ta= -20~85)

記号	項目		規格値			単位
			最小	標準	最大	
Vcc	電源電圧 (マスクROM版)	f (XIN) 8.4MHz時	2.7	5.0	5.5	V
		f (XIN) 12.5MHz時	4.0	5.0	5.5	V
		f (XIN) 16.8MHz時	4.5	5.0	5.5	V
Vcc	電源電圧 (フラッシュメモリ版)	f (XIN) 12.5MHz時	4.0	5.0	5.5	V
		f (XIN) 16.8MHz時	4.5	5.0	5.5	V
VSS	電源電圧			0		V
VREF	アナログ基準電圧(A-D変換器使用時)		2.0		Vcc	V
	アナログ基準電圧(D-A変換器使用時)		2.7		Vcc	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN0~AN15		AVSS		Vcc	V
VIH	“H”入力電圧 P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67		0.8Vcc		Vcc	V
VIH	“H”入力電圧 P32, P33		0.8Vcc		5.5	V
VIH	“H”入力電圧(I ² C-BUS入力レベル選択時) SDA, SCL		0.7Vcc		5.5	V
VIH	“H”入力電圧(SMBUS入力レベル選択時) SDA, SCL		1.4		5.5	V
VIH	“H”入力電圧 RESET, XIN, XCIN, CNVss		0.8Vcc		Vcc	V
VIL	“L”入力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67		0		0.2Vcc	V
	“L”入力電圧(I ² C-BUS入力レベル選択時) SDA, SCL		0		0.3Vcc	V
VIL	“L”入力電圧(SMBUS入力レベル選択時) SDA, SCL		0		0.6	V
VIL	“L”入力電圧 RESET, CNVss				0.2Vcc	V
VIL	“L”入力電圧 XIN, XCIN				0.16Vcc	V

表28 推奨動作条件

(指定のない場合はVCC=2.7~5.5V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
I OH(peak)	“H”出力総尖頭電流 (注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37			- 80	mA
I OH(peak)	“H”出力総尖頭電流 (注1) P40~P47, P50~P57, P60~P67			- 80	mA
I OL(peak)	“L”出力総尖頭電流 (注1) P00~P07, P10~P17, P30~P37			80	mA
I OL(peak)	“L”出力総尖頭電流 (注1) P20~P27			80	mA
I OL(peak)	“L”出力総尖頭電流 (注1) P40~P47, P50~P57, P60~P67			80	mA
I OH(avg)	“H”出力総平均電流 (注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37			- 40	mA
I OH(avg)	“H”出力総平均電流 (注1) P40~P47, P50~P57, P60~P67			- 40	mA
I OL(avg)	“L”出力総平均電流 (注1) P00~P07, P10~P17, P30~P37			40	mA
I OL(avg)	“L”出力総平均電流 (注1) P20~P27			40	mA
I OL(avg)	“L”出力総平均電流 (注1) P40~P47, P50~P57, P60~P67			40	mA
I OH(peak)	“H”出力尖頭電流 (注2) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67			- 10	mA
I OL(peak)	“L”出力尖頭電流 (注2) P00~P07, P10~P17, P30~P37, P40~P47, P50~P57, P60~P67			10	mA
I OL(peak)	“L”出力尖頭電流 (注2) P20~P27			20	mA
I OH(avg)	“H”出力平均電流 (注3) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67			- 5	mA
I OL(avg)	“L”出力平均電流 (注3) P00~P07, P10~P17, P30~P37, P40~P47, P50~P57, P60~P67			5	mA
I OL(avg)	“L”出力平均電流 (注3) P20~P27			10	mA
f(XIN)	メインクロック入力発振周波数	VCC=4.5~5.5V		16.8	MHz
	(注4)	VCC=4.0~4.5V		8.6VCC - 21.9	MHz
		VCC=2.7~4.0V		$\frac{41}{13}V_{CC} - \frac{3}{26}$	MHz
f(XCIN)	サブクロック入力発振周波数(注4,5)		32.768	50	kHz

注1 出力総電流は該当するポート全てに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

注2 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注3 出力平均電流 IOL(avg)、IOH(avg)100msの期間での平均値です。

注4 発振周波数はデューティ50%の場合です。

注5 低速モードを使用する場合、サブクロック入力発振周波数はf(XCIN)<f(XIN)/3としてください。

表29 電気的特性

(指定のない場合はVCC=2.7~5.5V, VSS=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67 (注1)	I _{OH} = -10mA VCC=4.0~5.5V	VCC - 2.0			V
		I _{OH} = -1.0mA VCC=2.7~5.5V	VCC - 1.0			V
VOL	“L”出力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	I _{OL} =10mA VCC=4.0~5.5V			2.0	V
		I _{OL} =1.6mA VCC=2.7~5.5V			0.4	V
VT+ - VT-	ヒステリシス CNTR0, CNTR1, CNTR2, INT0~INT4			0.4		V
VT+ - VT-	ヒステリシス RXD1, SCLK1, SIN2, SCLK2, RXD3, SCLK3			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
I _{IH}	“H”入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	V _I =VCC (端子はフローティング プルアップトランジスタ は切り離れた状態)			5.0	μA
I _{IH}	“H”入力電流 RESET, CNVSS	V _I =VCC			5.0	μA
I _{IH}	“H”入力電流 XIN	V _I =VCC		4		μA
I _{IL}	“L”入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	V _I =VSS (端子はフローティング プルアップトランジスタ は切り離れた状態)			-5.0	μA
I _{IL}	“L”入力電流 RESET, CNVSS	V _I =VSS			-5.0	μA
I _{IL}	“L”入力電流 XIN	V _I =VSS		-4		μA
I _{IL}	“L”入力電流 (プルアップ有効時) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67	V _I =VSS VCC=5.0V	-80	-210	-420	μA
		V _I =VSS VCC=3.0V	-30	-70	-140	μA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V

注1. P35に関しては、UART3制御レジスタのP35/TXD3 Pチャネル出力禁止ビット(003316番地のビット4)が⁰ 0 の場合です。
P45に関しては、UART1制御レジスタのP45/TXD1 Pチャネル出力禁止ビット(001B16番地のビット4)が⁰ 0 の場合です。

表30 電気的特性(フラッシュメモリ版)

(指定のない場合はVCC=4.0~5.5V, VSS=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Icc	電源電流	高速モード時 f(XIN)=16.8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		12	22	mA
		高速モード時 f(XIN)=12.5MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		10	18	mA
		高速モード時 f(XIN)=8.4MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		7	13.5	mA
		高速モード時 f(XIN)=16.8MHz (WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態		3.5	6	mA
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		60	200	μA
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		30	60	μA
		中速モード時 f(XIN)=16.8MHz f(XCIN)=停止 出力トランジスタは遮断状態		6	12	mA
		中速モード時 f(XIN)=16.8MHz (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態		3	5.5	mA
		A-D変換器動作時の増量 f(XIN)=16.8MHz		500		μA
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	Ta = 25		0.1	1.0
Ta = 85				10	μA	

表31 電気的特性(マスクROM版)

(指定のない場合はVCC=2.7~5.5V, VSS=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流	高速モード時 f(XIN)=16.8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		8	15	mA	
		高速モード時 f(XIN)=12.5MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		6.5	12	mA	
		高速モード時 f(XIN)=8.4MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		5	9	mA	
		高速モード時 f(XIN)=16.8MHz (WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態		2	3.6	mA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		55	200	μA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		40	70	μA	
		低速モード時(VCC=3V) f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		15	40	μA	
		低速モード時(VCC=3V) f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		8	15	μA	
		中速モード時 f(XIN)=16.8MHz f(XCIN)=停止 出力トランジスタは遮断状態		4	7	mA	
		中速モード時 f(XIN)=16.8MHz (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態		1.8	3.3	mA	
		A-D変換器動作時の増量 f(XIN)=16.8MHz		500		μA	
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	Ta = 25		0.1	1.0	μA
			Ta = 85			10	μA

表32 A-D変換器特性(1)

(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{REF}=2.0 \sim V_{CC}$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$)
 10ビットA-Dモード (変換モード選択ビットが“0”の場合, 003816番地のビット7)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能				10	bit	
-	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=5.0V$			± 4	LSB	
tCONV	変換時間				61	2tc(XIN)	
RLADDER	ラダー抵抗		12	35	100	k	
IVREF	基準電源 入力電流	A-D変換動作時	$V_{REF}=5.0V$	50	150	200	μA
		A-D変換停止時	$V_{REF}=5.0V$			5	μA
II(AD)	A-Dポート入力電流				5.0	μA	

表33 A-D変換器特性(2)

(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{REF}=2.0 \sim V_{CC}$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$)
 8ビットA-Dモード (変換モード選択ビットが“1”の場合, 003816番地のビット7)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能				8	bit	
-	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=5.0V$			± 2	LSB	
tCONV	変換時間				50	2tc(XIN)	
RLADDER	ラダー抵抗		12	35	100	k	
IVREF	基準電源 入力電流	A-D変換動作時	$V_{REF}=5.0V$	50	150	200	μA
		A-D変換停止時	$V_{REF}=5.0V$			5	μA
II(AD)	A-Dポート入力電流				5.0	μA	

表34 D-A変換器特性

(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=2.7V \sim V_{CC}$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度	4.0 V_{REF} 5.5V			1.0	%
		2.7 $V_{REF} < 4.0V$			2.5	%
tsu	設定時間				3	μs
RO	出力抵抗		2	3.5	5	k
IVREF	基準電源入力電流 (注1)				3.2	mA

注1 . D-A変換器1本使用、他のD-A変換レジスタの値は“0016”。

表35 タイミング必要条件1

(指定のない場合はVCC=4.0~5.5V, VSS=0V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	16			XINサイクル
tC(XIN)	メインクロック入力サイクル時間 (VCC=4.5~5.5V時)	59.5			ns
	メインクロック入力サイクル時間 (VCC=4.0~4.5V時)	$\frac{10000}{86V_{CC} - 219}$			ns
tWH(XIN)	メインクロック入力“H”パルス幅 (VCC=4.5~5.5V時)	25			ns
	メインクロック入力“H”パルス幅 (VCC=4.0~4.5V時)	$\frac{4000}{86V_{CC} - 219}$			ns
tWL(XIN)	メインクロック入力“L”パルス幅 (VCC=4.5~5.5V時)	25			ns
	メインクロック入力“L”パルス幅 (VCC=4.0~4.5V時)	$\frac{4000}{86V_{CC} - 219}$			ns
tC(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	5			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	5			μs
tC(CNTR)	CNTR0~CNTR2入力サイクル時間	200			ns
tWH(CNTR)	CNTR0~CNTR2入力“H”パルス幅	80			ns
tWL(CNTR)	CNTR0~CNTR2入力“L”パルス幅	80			ns
tWH(INT)	INT00, INT01, INT1, INT2, INT3, INT40, INT41 入力“H”パルス幅	80			ns
tWL(INT)	INT00, INT01, INT1, INT2, INT3, INT40, INT41 入力“L”パルス幅	80			ns
tC(SCLK1), tC(SCLK3)	シリアルI/O1, シリアルI/O3クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1), tWH(SCLK3)	シリアルI/O1, シリアルI/O3クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1), tWL(SCLK3)	シリアルI/O1, シリアルI/O3クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD1-SCLK1) tsu(RxD3-SCLK3)	シリアルI/O1, シリアルI/O3入力セットアップ時間	220			ns
th(SCLK1-RxD1) th(SCLK3-RxD3)	シリアルI/O1, シリアルI/O3入力ホールド時間	100			ns
tC(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	400			ns
tWL(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアルI/O2入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアルI/O2入力ホールド時間	200			ns

注 .001A16番地のビット6 .003216番地のビット6が*1 (クロック同期式モード)の場合です。001A16番地のビット6 .003216番地のビット6が*0 (非同期式モード)の場合 規格値は1/4になります。

表36 .タイミング必要条件2

(指定のない場合はV_{CC}=2.7~4.0V, V_{SS}=0V, T_a= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
t _w (RESET)	リセット入力“L”パルス幅	16			XINサイクル
t _c (XIN)	メインクロック入力サイクル時間	$\frac{26 \times 10^3}{82V_{CC}-3}$			ns
t _{WH} (XIN)	メインクロック入力“H”パルス幅	$\frac{10000}{82V_{CC}-3}$			ns
t _{WL} (XIN)	メインクロック入力“L”パルス幅	$\frac{10000}{82V_{CC}-3}$			ns
t _c (XCIN)	サブクロック入力サイクル時間	20			μs
t _{WH} (XCIN)	サブクロック入力“H”パルス幅	5			μs
t _{WL} (XCIN)	サブクロック入力“L”パルス幅	5			μs
t _c (CNTR)	CNTR0~CNTR2入力サイクル時間	500			ns
t _{WH} (CNTR)	CNTR0~CNTR2入力“H”パルス幅	230			ns
t _{WL} (CNTR)	CNTR0~CNTR2入力“L”パルス幅	230			ns
t _{WH} (INT)	INT00, INT01, INT1, INT2, INT3, INT40, INT41 入力“H”パルス幅	230			ns
t _{WL} (INT)	INT00, INT01, INT1, INT2, INT3, INT40, INT41 入力“L”パルス幅	230			ns
t _c (SCLK1), t _c (SCLK3)	シリアルI/O1, シリアルI/O3クロック入力サイクル時間 (注)	2000			ns
t _{WH} (SCLK1), t _{WH} (SCLK3)	シリアルI/O1, シリアルI/O3クロック入力“H”パルス幅(注)	950			ns
t _{WL} (SCLK1), t _{WL} (SCLK3)	シリアルI/O1, シリアルI/O3クロック入力“L”パルス幅(注)	950			ns
t _{su} (RxD1-SCLK1) t _{su} (RxD3-SCLK3)	シリアルI/O1, シリアルI/O3入力セットアップ時間	400			ns
t _h (SCLK1-RxD1) t _h (SCLK3-RxD3)	シリアルI/O1, シリアルI/O3入力ホールド時間	200			ns
t _c (SCLK2)	シリアルI/O2クロック入力サイクル時間	2000			ns
t _{WH} (SCLK2)	シリアルI/O2クロック入力“H”パルス幅	950			ns
t _{WL} (SCLK2)	シリアルI/O2クロック入力“L”パルス幅	950			ns
t _{su} (SIN2-SCLK2)	シリアルI/O2入力セットアップ時間	400			ns
t _h (SCLK2-SIN2)	シリアルI/O2入力ホールド時間	300			ns

注 001A16番地のビット6が*1 (クロック同期式モード)の場合です。001A16番地のビット6が*0 (非同同期式モード)の場合 規格値は1/4になります。

表37 スイッチング特性1

(指定のない場合は、 $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK1), t _{WH} (SCLK3)	シリアル/O1, シリアル/O3クロック出力“H”パルス幅	図105	tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30			ns
t _{WL} (SCLK1), t _{WL} (SCLK3)	シリアル/O1, シリアル/O3クロック出力“L”パルス幅		tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30			ns
t _d (SCLK1-TxD1) t _d (SCLK3-TxD3)	シリアル/O1, シリアル/O3出力遅延時間(注1)				140	ns
t _v (SCLK1-TxD1) t _v (SCLK3-TxD3)	シリアル/O1, シリアル/O3出力有効時間(注1)		- 30			ns
t _r (SCLK1), t _r (SCLK3)	シリアル/O1, シリアル/O3クロック出力立ち上がり時間				30	ns
t _f (SCLK1), t _f (SCLK3)	シリアル/O1, シリアル/O3クロック出力立ち下がり時間				30	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 160			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 160			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間				200	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間		0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間				30	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注2)			10	30	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注2)			10	30	ns

注1 UART1制御レジスタのP45/TxD1 Pチャネル出力禁止ビット(001B₁₆番地のビット4)が* 0 の場合です。UART3制御レジスタのP35/TxD3 Pチャネル出力禁止ビット(0033₁₆番地のビット4)が* 0 の場合です。

2 XOUT端子を除きます。

表38 スイッチング特性2

(指定のない場合は、 $V_{CC}=2.7 \sim 4.0V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK1), t _{WH} (SCLK3)	シリアル/O1, シリアル/O3クロック出力“H”パルス幅	図105	tc(SCLK1)/2 - 50, tc(SCLK3)/2 - 50			ns
t _{WL} (SCLK1), t _{WL} (SCLK3)	シリアル/O1, シリアル/O3クロック出力“L”パルス幅		tc(SCLK1)/2 - 50, tc(SCLK3)/2 - 50			ns
t _d (SCLK1-TxD1) t _d (SCLK3-TxD3)	シリアル/O1, シリアル/O3出力遅延時間(注1)				350	ns
t _v (SCLK1-TxD1) t _v (SCLK3-TxD3)	シリアル/O1, シリアル/O3出力有効時間(注1)		- 30			ns
t _r (SCLK1), t _r (SCLK3)	シリアル/O1, シリアル/O3クロック出力立ち上がり時間				50	ns
t _f (SCLK1), t _f (SCLK3)	シリアル/O1, シリアル/O3クロック出力立ち下がり時間				50	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 240			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 240			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間				400	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間					ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間				50	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注2)			20	50	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注2)			20	50	ns

注1 UART1制御レジスタのP45/TxD1 Pチャネル出力禁止ビット(001B₁₆番地のビット4)が* 0 の場合です。UART3制御レジスタのP35/TxD3 Pチャネル出力禁止ビット(0033₁₆番地のビット4)が* 0 の場合です。

2 XOUT端子を除きます。

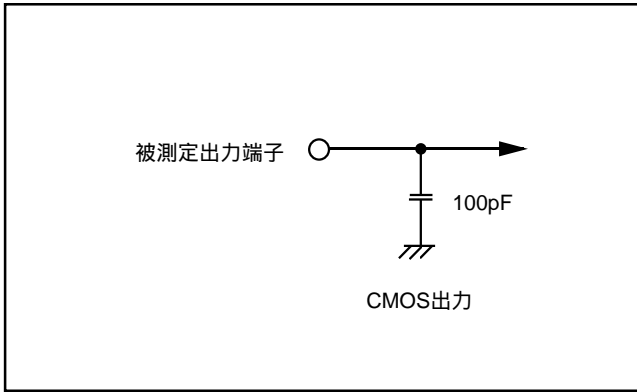


図105 出力スイッチング特性測定回路図(1)

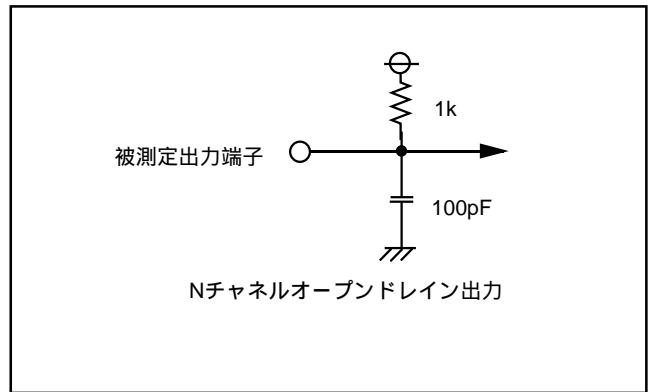


図106 出力スイッチング特性測定回路図(2)

シングルチップモードタイミング図

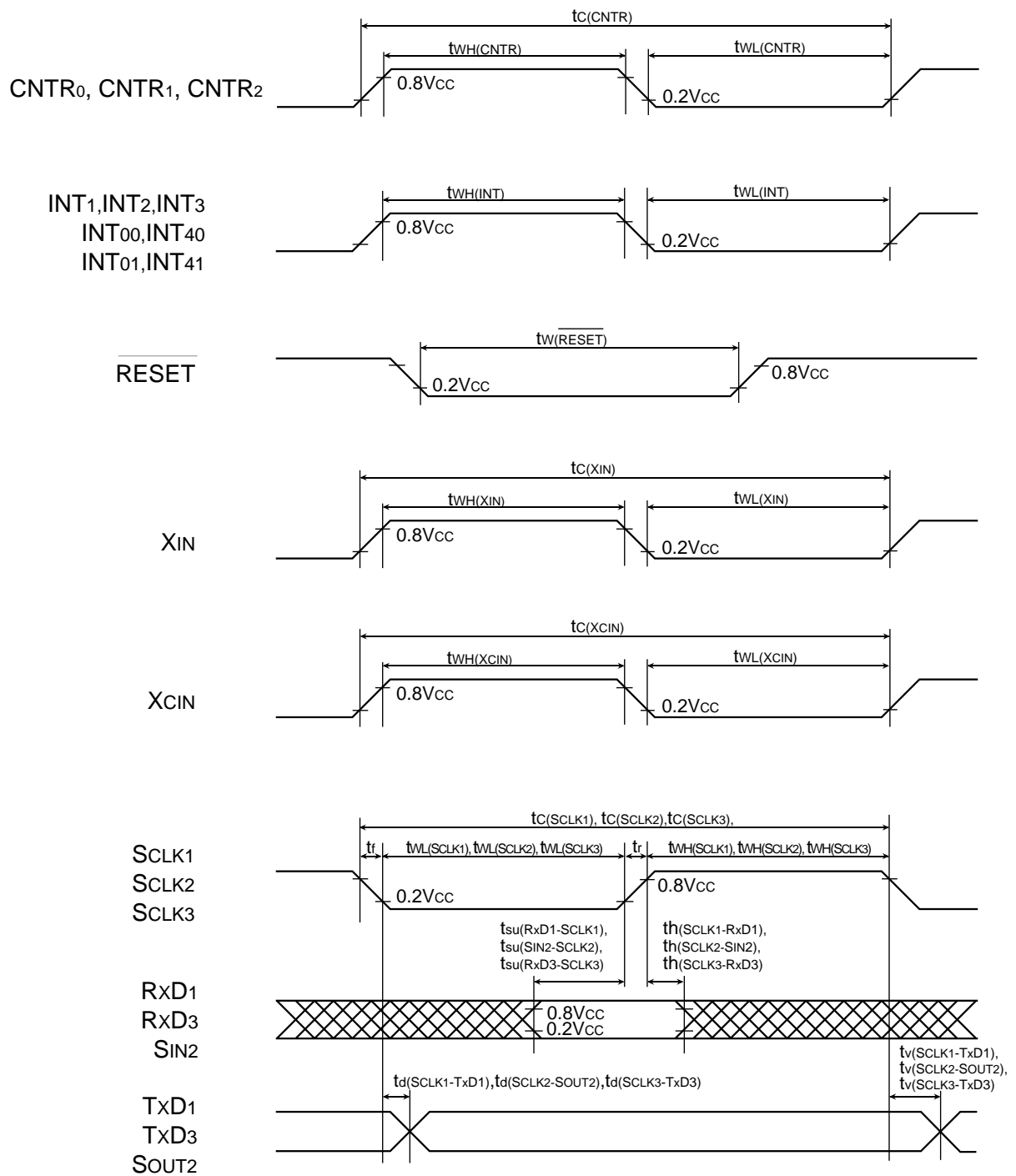
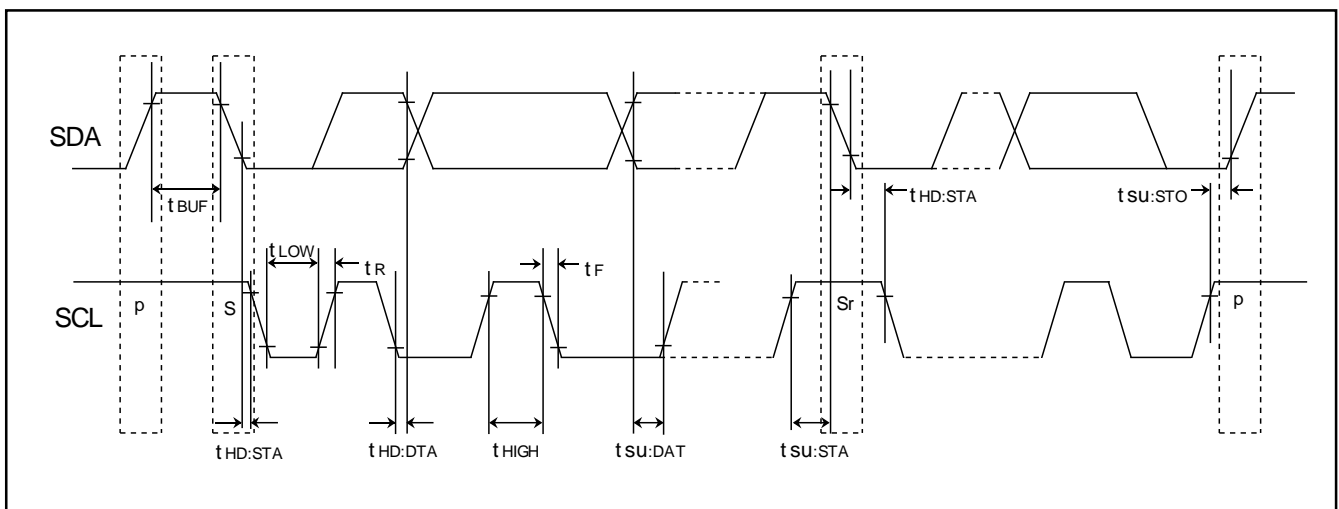


図107 タイミング図(シングルチップモード時)

表39 .マルチマスタI²C-BUSバスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t _{BUF}	バスフリータイム	4.7		1.3		μs
t _{HD:STA}	スタートコンディション時のホールド時間	4.0		0.6		μs
t _{LOW}	SCLクロックの“0”状態のホールド時間	4.7		1.3		μs
t _R	SCL, SDA信号の立ち上がり時間		1000	20 + 0.1C _b	300	ns
t _{HD:DAT}	データのホールド時間	0		0	0.9	μs
t _{HIGH}	SCLクロックの“1”状態のホールド時間	4.0		0.6		μs
t _F	SCL, SDA信号の立ち下がり時間		300	20 + 0.1C _b	300	ns
t _{SU:DAT}	データのセットアップ時間	250		100		ns
t _{SU:STA}	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
t _{SU:STO}	ストップコンディションのセットアップ時間	4.0		0.6		μs

注 . C_b = 1つのバスラインキャパシタの合計

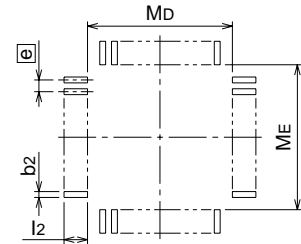
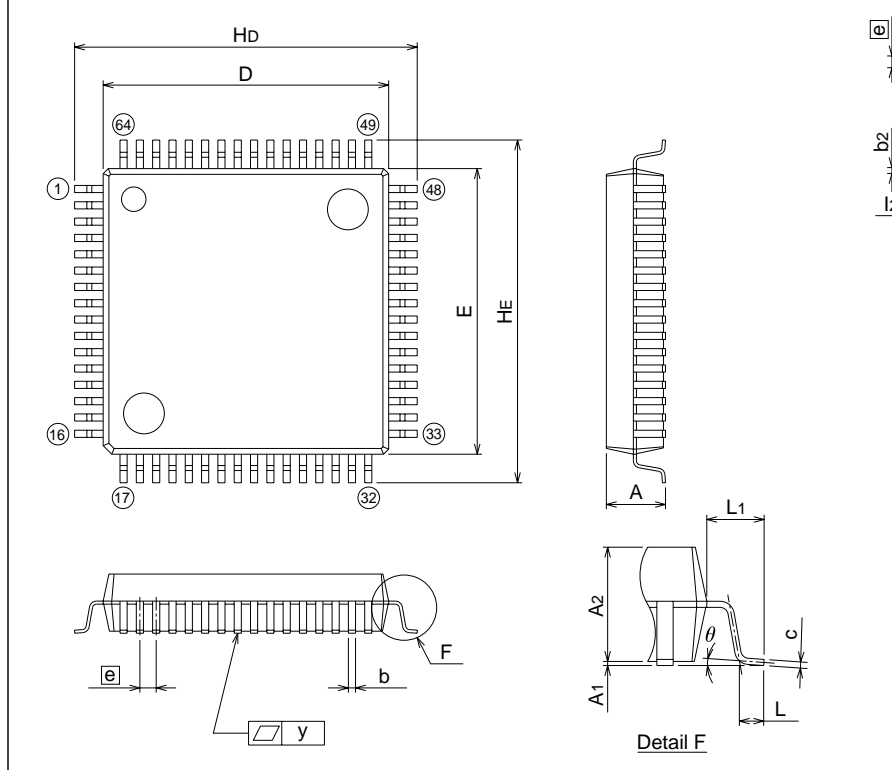
図108 .マルチマスタI²C-BUSのタイミング図

外形寸法図

64P6N-A

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP64-P-1414-0.80	-	1.11	Alloy 42

Plastic 64pin 14X14mm body QFP



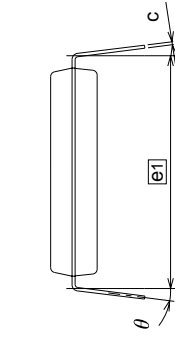
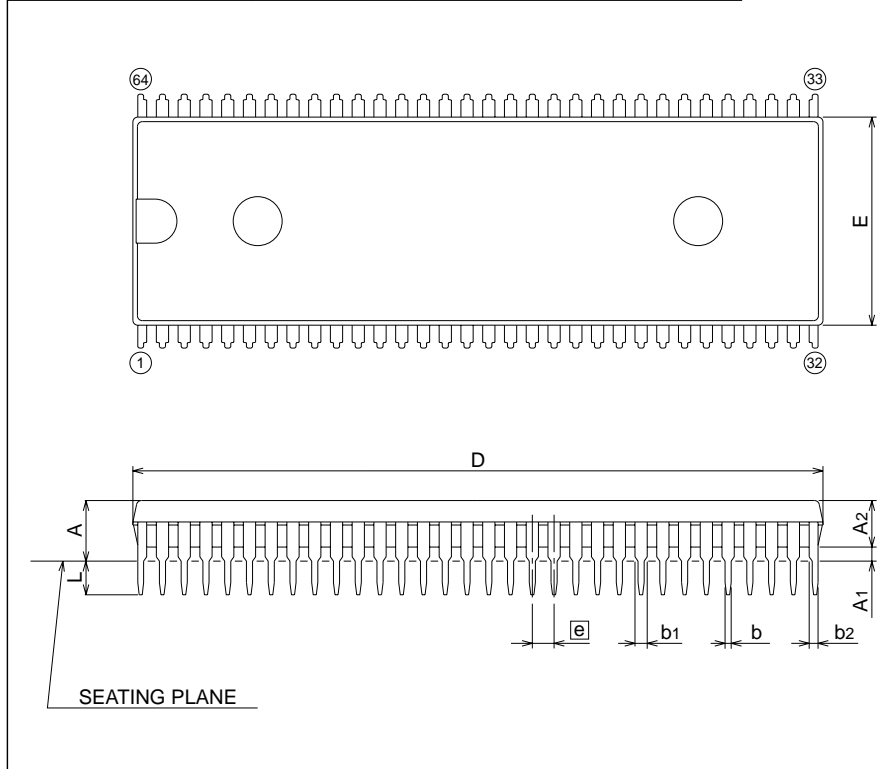
Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.3	0.35	0.45
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	13.8	14.0	14.2
e	-	0.8	-
Hd	16.5	16.8	17.1
HE	16.5	16.8	17.1
L	0.4	0.6	0.8
L1	-	1.4	-
y	-	-	0.1
theta	0°	-	10°
b2	-	0.5	-
l2	1.3	-	-
MD	-	14.6	-
ME	-	14.6	-

64P4B

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
SDIP64-P-750-1.78	-	7.9	Alloy 42

Plastic 64pin 750mil SDIP

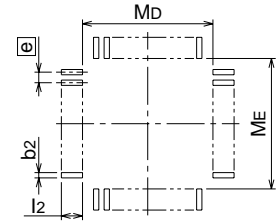
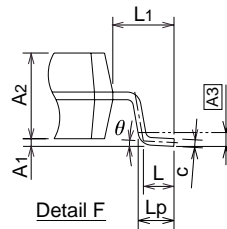
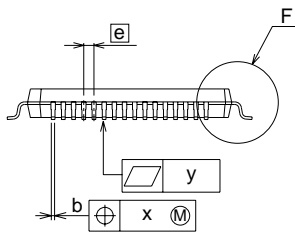
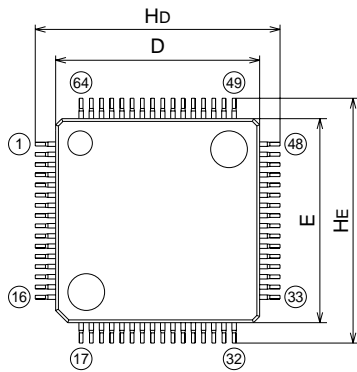


Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	5.08
A1	0.38	-	-
A2	-	3.8	-
b	0.4	0.5	0.6
b1	0.9	1.0	1.3
b2	0.65	0.75	1.05
c	0.2	0.25	0.32
D	56.2	56.4	56.6
E	16.85	17.0	17.15
e	-	1.778	-
e1	-	19.05	-
L	2.8	-	-
theta	0°	-	15°

64P6Q-A (MMP)

Plastic 64pin 10X10mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP64-P-1010-0.50	-	-	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	9.9	10.0	10.1
E	9.9	10.0	10.1
e	-	0.5	-
Hd	11.8	12.0	12.2
HE	11.8	12.0	12.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
θ	0°	-	10°
b2	-	0.225	-
l2	1.0	-	-
Md	-	10.4	-
ME	-	10.4	-

改訂記録

3803/3804 グループ データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	1999.03.25		PDFファイル初版発行
2.0	1999.08.05		<ul style="list-style-type: none"> ・特長の RAM 容量を修正 ・VPP 電圧の表記変更 ・マスク ROM 容量 ・ROM、RAM 展開計画表に追加 ・開発予定製品一覧表に 12 品種追加 ・8 ビットタイマの説明を一部変更 ・シリアル I/O1 ステータスレジスタの説明を一部変更 ・シリアル I/O1 制御レジスタの構成図のビット 0 に低速モード時を追加 ・シリアル I/O2 制御レジスタの構成図のビット 0 ~ ビット 2 に低速モード時を追加 ・シリアル I/O3 制御レジスタの構成図のビット 0 に低速モード時を追加 ・シリアル I/O1, 3 の注意事項 (送信許可ビットセット時の送信割り込み要求) を変更 ・A-D 変換レジスタ 1, 2 の説明を一部変更 ・AD/DA 制御レジスタの説明を一部変更 ・比較電圧発生器の説明を一部変更 ・10 ビット A-D モードの読み出し構成図の変更 ・AD 変換のブロック図の変更 ・ウォッチドッグタイマの説明を変更 ・マルチマスタ I²C-BUS インタフェースのブロック図を一部変更 ・各発振周波数でのスタート/ストップコンディション設定ビットへの推奨設定値の表を一部変更 ・I²C スペシャルモードステータスレジスタの SCL 端子 Low ホールド 2 フラグの文章追加 ・I²C スペシャルモードステータスレジスタの構成図に注を追加 ・I²C スペシャルモード制御レジスタの ACK 割り込み制御ビットの文章追加 ・I²C スペシャルモード制御レジスタの SCL 端子 Low ホールド設定ビットの文章変更 ・I²C スペシャルモード制御レジスタの構成図に注を追加 ・UART1 制御レジスタのリセット時の内部状態を変更 ・システムクロック発生回路ブロック図を変更 ・システムクロック発生回路ブロック図の注を変更 ・端子結線図に VPP を追加 ・フラッシュメモリモードの直流電気的特性 VPPH の最小値変更 ・プログラミング上の注意事項のシリアル I/O に関するものにシリアル I/O3 追加 ・絶対最大定格の Vcc の定格値変更 ・電気的特性の Icc の規格値変更 (フラッシュメモリ版とマスク ROM 版の表を分割)
3.0	2000.03.06	1 1 1 1 9 9 11 ~ 13 14 17 37	<ul style="list-style-type: none"> 特長の命令実行時間を修正 特長のメモリ容量を修正 特長の <フラッシュメモリモード> を変更 特長の注意事項を変更 グループ展開のメモリ容量を変更 図 8 ROM 及び RAM 展開を変更 中央演算処理装置 (CPU) の説明追加 図 11 CPU モードレジスタの構成のビット 3 を変更 3803 グループの SFR の 0011₁₆ 番地から 0017₁₆ 番地に注追加 タイマ用分周器の文章を一部削除

Rev.	発行日	改訂内容	
		ページ	ポイント
3.0	2000.03.06	37	タイマ1、タイマ2の文章を一部削除
		37	プリスケーラX、プリスケーラYを追加
		37	タイマX、タイマYの文章を一部削除
		37	タイマX、タイマYの(1)タイマモードの<モードの選択>と<動作説明>の文章を一部削除
		37	タイマX、タイマYの(1)タイマモードの<カウントソースの選択>を削除
		37	タイマX、タイマYの(2)パルス出力モードの<カウントソースの選択>を削除
		37	タイマX、タイマYの(2)パルス出力モードの<動作説明>の文章を一部追加
		37	タイマX、タイマYの(2)パルス出力モードの<注意事項>の文章を一部削除
		38	タイマX、タイマYの(3)イベントカウンタモードの<モードの選択>、<動作説明>の文章を変更
		38	タイマX、タイマYの(3)イベントカウンタモードの<割り込み>の削除
		38	タイマX、タイマYの(3)イベントカウンタモードの<注意事項>の追加
		38	タイマX、タイマYの(4)パルス幅測定モードの<カウントソースの選択>を削除
		38	タイマX、タイマYの(4)パルス幅測定モードの<動作説明>の文章を一部削除
		38	タイマX、タイマYの(4)パルス幅測定モードの<注意事項>の文章を変更
		39	図29 タイマX、タイマY、タイマ1及びタイマ2のブロック図にビット名称を追加
		42	16ビットタイマの(1)タイマモードの<モードの選択>の文章を一部追加
		42	16ビットタイマの(1)タイマモードの<動作説明>の文章を一部削除
		42	16ビットタイマの(3)パルス出力モードの<モードの選択>の文章を一部追加
		43	16ビットタイマの(4)パルス周期測定モードの<モードの選択>の文章を一部追加
		43	16ビットタイマの(5)パルス幅測定モードの<モードの選択>の文章を一部追加
		44	16ビットタイマの(6)プログラマブル波形発生モードの<モードの選択>の文章を一部追加
		44	16ビットタイマの(7)プログラマブルワンショット発生モードの<モードの選択>の文章を一部追加
		45	図32 タイマZのブロック図を一部変更
		46	図33 タイマZモードレジスタの構成に注を追加
		55	7 送信許可ビットセット時の送信割り込み要求の注意事項の文章を変更
		63	7 送信許可ビットセット時の送信割り込み要求の注意事項の文章を変更
		68	D-A 変換器の文章を一部削除
		71	I ² Cスレーブアドレスレジスタ0~2の文章を一部追加
		74	I ² Cステータスレジスタの(4)ビット3:アービトレーションロスト検出フラグの文章を一部追加
		75	I ² Cステータスレジスタの(8)ビット7:通信モード指定ビットの文章を一部変更
		78	I ² Cスタート/ストップコンディション制御レジスタの(4)ビット7:ストップ/低速時データ受信モードビットを削除
		78	図74 I ² Cスタート/ストップコンディション制御レジスタの構成のb7を変更
		79	I ² Cスペシャルモードステータスレジスタの(2)ビット4:タイムアウトフラグの文章を一部削除
80	図76 I ² Cスペシャルモード制御レジスタの構成に注を追加		
110	(3)フラッシュメモリモード-3(CPU書き換えモード)の機能概要の文章を一部削除		
111	図103 CPU書き換えモードでのCPUモードレジスタの構成のb3,b1,b0を一部変更		
114	プログラミング上の注意事項のA-D変換に関するものの文章を一部変更		
120	表30 電気的特性(フラッシュメモリ版)を一部変更、削除		
125	表37, 38 スイッチング特性の規格値の記述を一部追加		

改訂記録

3803/3804 グループ データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
4.0	2002.05.08	9	図 8 . ROM 及び RAM 展開を一部変更
		14	図 11 . CPU モードレジスタの構成を一部変更
		20	表 7 . 入出力ポートの機能一覧 (3804 グループ) の端子名を一部変更
		21	図 16 . 3803 グループのポートブロック図(1)を一部変更
		22	図 17 . 3803 グループのポートブロック図(2)を一部変更
		23	図 18 . 3803 グループのポートブロック図(3)を一部変更
		24	図 19 . 3804 グループのポートブロック図(1)を一部変更
		25	図 20 . 3804 グループのポートブロック図(2)を一部変更
		26	図 21 . 3804 グループのポートブロック図(3)を一部変更
		31	“ 割り込み ” の “ 注意事項 ” の文章を変更
		38	“ (3) イベントカウンタモード ” の “ < 注意事項 > ” の文章を一部変更
		38	“ (4) パルス幅測定モード ” の “ < 注意事項 > ” の “ カウントソース切り替え時の注意 ” の文章を一部変更
		41	図 31 . タイマ 1, 2, X, Y, Z カウントソース選択レジスタの構成を一部変更
		42	“ 16 ビットタイマ ” の文章を一部変更
		43	“ (4) パルス周期測定モード ” の “ < 動作説明 > ” の文章を変更
		43	“ (5) パルス幅測定モード ” の “ < 動作説明 > ” の文章を変更
		44	“ (7) プログラマブルワンショット発生モード ” の “ < 動作説明 > ” の文章を変更
		46	図 33 . タイマ Z モードレジスタの構成を一部変更
		54	“ 2.1 送信動作の停止 ” の “ ・ 注意事項 ” の文章を一部追加
		54	“ 2.3 送受信動作の停止 ” の “ ・ 注意事項 1 ” の文章を一部追加
		55	“ 5 送信シフトレジスタシフト終了フラグを使用したデータ送信制御 ” の “ ・ 注意事項 ” の文章を一部変更
		56	図 46 . シリアル I/O2 ブロック図を一部変更
		62	“ 2.1 送信動作の停止 ” の “ ・ 注意事項 ” の文章を一部追加
		62	“ 2.3 送受信動作の停止 ” の “ ・ 注意事項 1 ” の文章を一部追加
		63	“ 5 送信シフトレジスタシフト終了フラグを使用したデータ送信制御 ” の “ ・ 注意事項 ” の文章を一部変更
		70	“ マルチマスタ I ² C-BUS インタフェース ” の文章を一部変更
		70	図 64 . マルチマスタ I ² C-BUS インタフェースのブロック図を一部変更
		71	“ I ² C データシフトレジスタ ” の文章を一部変更
		72	表 11 . I ² C クロックコントロールレジスタの設定値と SCL 周波数を一部変更
		73	図 67 . I ² C コントロールレジスタのビット構成を一部変更
		74	“ (3) ビット 2: スレーブアドレス比較フラグ(AAS) ” を一部変更
		76	図 71 . ストップコンディション発生タイミング図を一部変更
		77	表 14 . スタートコンディション、ストップコンディションの検出条件を一部変更
		78	図 74 . I ² C スタート/ストップコンディション制御レジスタの構成を一部変更
		78	表 15 . 各発振周波数でのスタート/ストップコンディション設定ビット (SSC4 ~ SSC0) への推奨設定値を一部変更
		79	Rev.0.5 の “ (2) ビット 4: タイムアウトフラグ (TIOUT) ” を削除
		79	図 75 . I ² C スペシャルモードステータスレジスタの構成を一部変更
		80	Rev.0.5 の “ (1) ビット 0: タイムアウト制御ビット (TOEN) ” を削除
		80	Rev.0.5 の “ (4) ビット 4: タイムアウトフラグクリアビット (TOFCL) ” を削除
		80	図 76 . I ² C スペシャルモード制御レジスタの構成を一部変更
		82	“ マスタ送信例 ” の文章を一部変更
		82	“ スレーブ受信例 ” の文章を一部変更
		83	“ I ² C スレーブアドレスレジスタ 0 ~ 2 (S0D0 ~ 2:0FF716 ~ 0FF916 番地) ” の文章を一部変更
		83	“ (2) マルチマスタで使用する場合のスタートコンディション発生手順について ” の文章を一部変更

改訂記録

3803/3804 グループ データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
4.0	2002.05.08	83 83 84 87 90 91 91 92 93 94 102 103 110 111 114 115 115 117 117 122 123 123 124 124 130	<p>“(3)リスタートコンディション発生手順について”の文章を一部変更</p> <p>“(4)I²C ステータスレジスタへの書き込みについて”の文章を一部変更</p> <p>“リセット回路”の文章を一部変更</p> <p>“注意事項”の文章を一部追加</p> <p>図 85 . システムクロックの状態遷移図を一部変更</p> <p>“(1)フラッシュメモリモード-1 (パラレル入出力モード)”の文章を一部変更</p> <p>表 16 . パラレル入出力モード時の端子対応を一部変更</p> <p>表 18 . 端子の機能説明 (フラッシュメモリパラレル入出力モード) を一部変更</p> <p>図 86 . パラレル入出力モード時の端子結線図 (M38039FFFP/HP, M38049FFFP/HP) を一部変更</p> <p>図 87 . パラレル入出力モード時の端子結線図 (M38039FFSP, M38049FFSP) を一部変更</p> <p>図 93 . シリアル入出力モード時の端子結線図 (M38039FFFP/HP, M38049FFFP/HP) を一部変更</p> <p>図 94 . シリアル入出力モード時の端子結線図 (M38039FFSP) を一部変更</p> <p>図 101 . フラッシュメモリ制御レジスタの構成を一部変更</p> <p>図 103 . CPU 書き換えモードでの CPU モードレジスタの構成を一部変更</p> <p>“プログラミング上の注意事項”の“A-D変換に関するもの”の文章を一部変更</p> <p>フラッシュメモリ版/マスクROM版の相違点に関する注意事項を追加</p> <p>“マスク化発注時の提出資料”の文章を一部変更</p> <p>表 27 推奨動作条件のV_{CC}を一部追加</p> <p>表 27 推奨動作条件のV_{IH}の項目を一部変更</p> <p>表 34 D-A変換器特性のROの規格値を変更</p> <p>表 35 タイミング必要条件1のtw(RESET)の規格値を変更</p> <p>表 35 タイミング必要条件1のtwL(SCLK1), twL(SCLK3)の記号を変更</p> <p>表 36 タイミング必要条件2のtw(RESET)の規格値を変更</p> <p>表 36 タイミング必要条件2のtwL(SCLK1), twL(SCLK3)の記号を変更</p> <p>外形寸法図の64P6Q-Aを一部変更</p>
4.01	2003.11.07	6 7 19 20 31 73 87 89 93 94 102 103 122	<p>表 1 端子の機能説明 (3803 グループ) を一部変更</p> <p>表 2 端子の機能説明 (3804 グループ) を一部変更</p> <p>表 6 入出力ポートの機能一覧 (3803 グループ) を一部変更</p> <p>表 7 入出力ポートの機能一覧 (3804 グループ) を一部変更</p> <p>“注意事項”の文章を一部変更</p> <p>図 67 . I²C コントロールレジスタのビット構成を一部変更</p> <p>(2)ウェイトモードの文章を一部変更</p> <p>図 84 . システムクロック発生回路ブロック図 (シングルチップモード) を一部変更</p> <p>図 86 . パラレル入出力モード時の端子結線図 (M38039FFFP/HP, M38049FFFP/HP) を一部変更</p> <p>図 87 . パラレル入出力モード時の端子結線図 (M38039FFSP, M38049FFSP) を一部変更</p> <p>図 93 . シリアル入出力モード時の端子結線図 (M38039FFFP/HP, M38049FFFP/HP) を一部変更</p> <p>図 94 . シリアル入出力モード時の端子結線図 (M38039FFSP) を一部変更</p> <p>表 34 D-A 変換器特性を一部変更</p>

安全設計に関するお願い

1. 弊社は品質 信頼性の向上に努めておりますが 半導体製品は故障が発生したり 誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として 人身事故火災事故 社会的損害などを生じさせないような安全性を考慮した冗長設計 延焼対策設計 誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり 本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施 使用を許諾するものではありません。
2. 本資料に記載の製品データ 図 表 プログラム アルゴリズムその他応用回路例の使用に起因する損害 第三者所有の権利に対する侵害に関し ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ 図 表 プログラム アルゴリズムその他全ての情報は本資料発行時点のものでありルネサス テクノロジは 予告なしに 本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては 事前にルネサス テクノロジ ルネサス販売または特約店へ最新の情報をご確認頂きますとともに ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は 正確を期すため 慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ 図 表に示す技術的な内容 プログラム及びアルゴリズムを流用する場合は 技術内容 プログラム アルゴリズム単位で評価するだけでなく システム全体で十分に評価し お客様の責任において適用可否を判断してください。ルネサス テクノロジは 適用可否に対する責任を負いません。
6. 本資料に記載された製品は 人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計 製造されたものではありません。本資料に記載の製品を運輸 移動体用 医療用 航空宇宙用 原子力制御用 海中継用機器あるいはシステムなど 特殊用途へのご利用をご検討の際には ルネサス テクノロジ ルネサス販売または特約店へご照会ください。
7. 本資料の転載 複製については 文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ その他お気付きの点がございましたらルネサス テクノロジ ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

<http://www.renesas.com>

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第二鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌支店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部営業本部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7710	浜松市板屋町111-2(浜松アクトタワー10F)	(053) 451-2131
西部営業本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクスタワー10F)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中関支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島支店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 256-9021

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口:カスタマサポートセンタ E-Mail: csc@renesas.com