

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

概要

3885グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。ノートPCのキーボードコントローラに最適です。

また、マルチマスタI<sup>2</sup>Cバスインタフェースをオプションにて追加可能です。

特長

マイコンモード

- 基本機械語命令 ..... 71
- 命令実行時間 ..... 0.5 μs  
(最短命令、発振周波数8MHz時)
- メモリ容量 ROM ..... 32 ~ 60Kバイト  
RAM ..... 1024 ~ 2048バイト
- プログラマブル入出力ポート ..... 72本
- ソフトウェアブルアップ抵抗 ..... 8
- 割り込み ..... 22要因、16ベクタ  
(キー入力割り込み含む)
- タイマ ..... 8ビット×4
- ウォッチドッグタイマ ..... 16ビット×1
- PWM出力回路 ..... 14ビット×2
- シリアルI/O ..... 8ビット×1  
(UART又はクロック同期形)
- I<sup>2</sup>Cバスインタフェース(オプション)..... 1チャンネル
- LPCインタフェース ..... 2バイト
- シリアル割り込み ..... 3要因
- A-D変換器 ..... 10ビット×8チャンネル
- D-A変換器 ..... 8ビット×2チャンネル
- コンパレータ回路 ..... 8チャンネル
- クロック発生回路 ..... 2回路内蔵  
(セラミック共振子又は水晶共振子外付け)
- 電源電圧 ..... 3.0 ~ 3.6V
- 消費電力  
高速モード時 ..... TBD  
(発振周波数8MHz時、電源電圧3.3V)  
低速モード時 ..... TBD  
(発振周波数32kHz時、電源電圧3.3V)
- 動作周囲温度 ..... - 20 ~ 85

フラッシュメモリモード

- 電源電圧(プログラム/イレーズ時)..... V<sub>CC</sub>=3.3V ± 0.3V
- プログラム/イレーズ電圧 ..... V<sub>PP</sub>=5.0V ± 0.5V
- プログラム ..... バイト単位
- イレーズ ..... ブロック消去
- ソフトウェアコマンドによるプログラム/イレーズ制御
- プログラム/イレーズ回数 ..... TBD  
動作周囲温度(プログラム/イレーズ時)..... 常温

注意事項

フラッシュメモリ版は、マイコンカード組み込み用途には用できません。

応用

ノートPC等

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

ピン接続図(上面図)

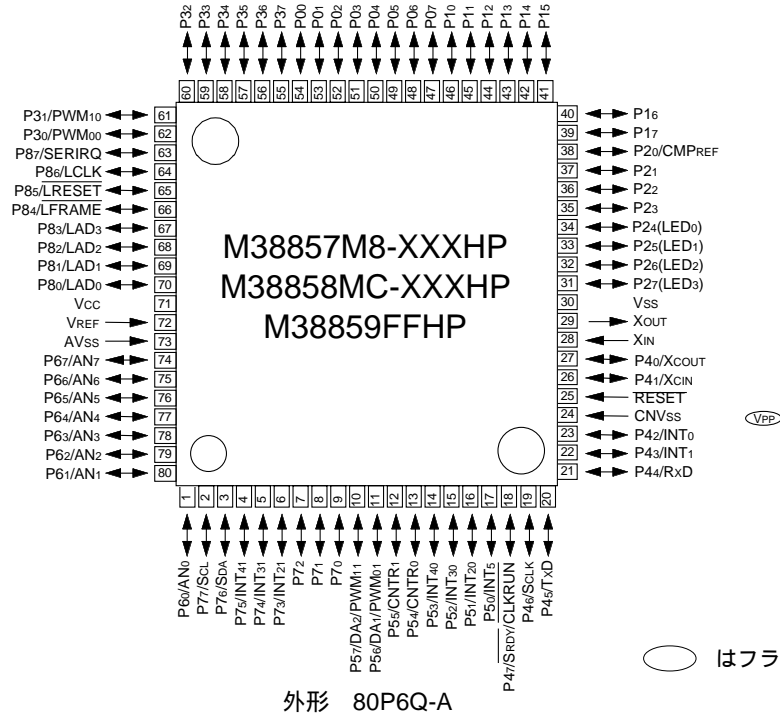


図1 M38857M8-XXXHP, M38858MC-XXXHP, M38859FFHPのピン接続図

ピン接続図(上面図)

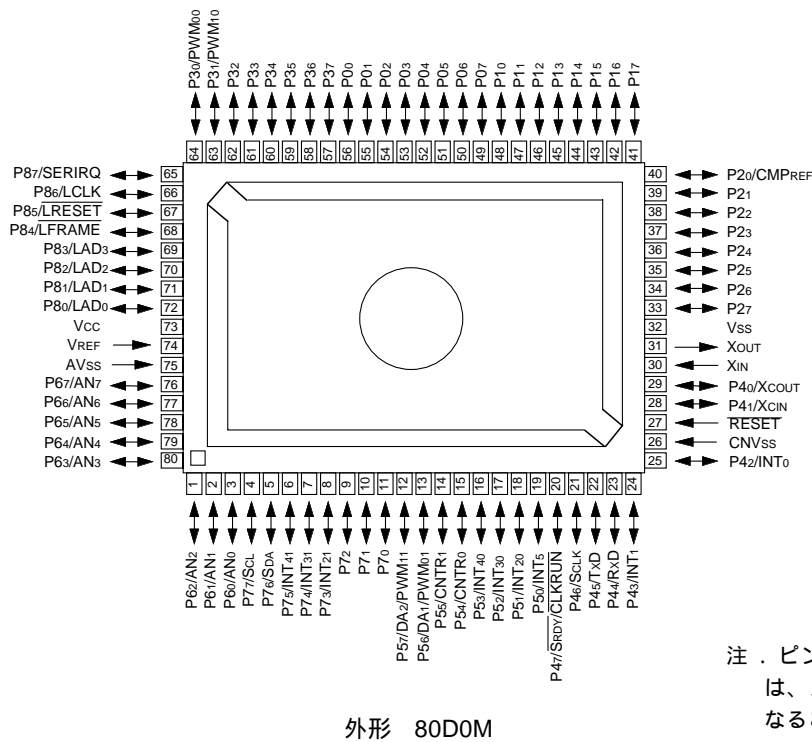


図2 M38859RLFSのピン接続図

機能ブロック図

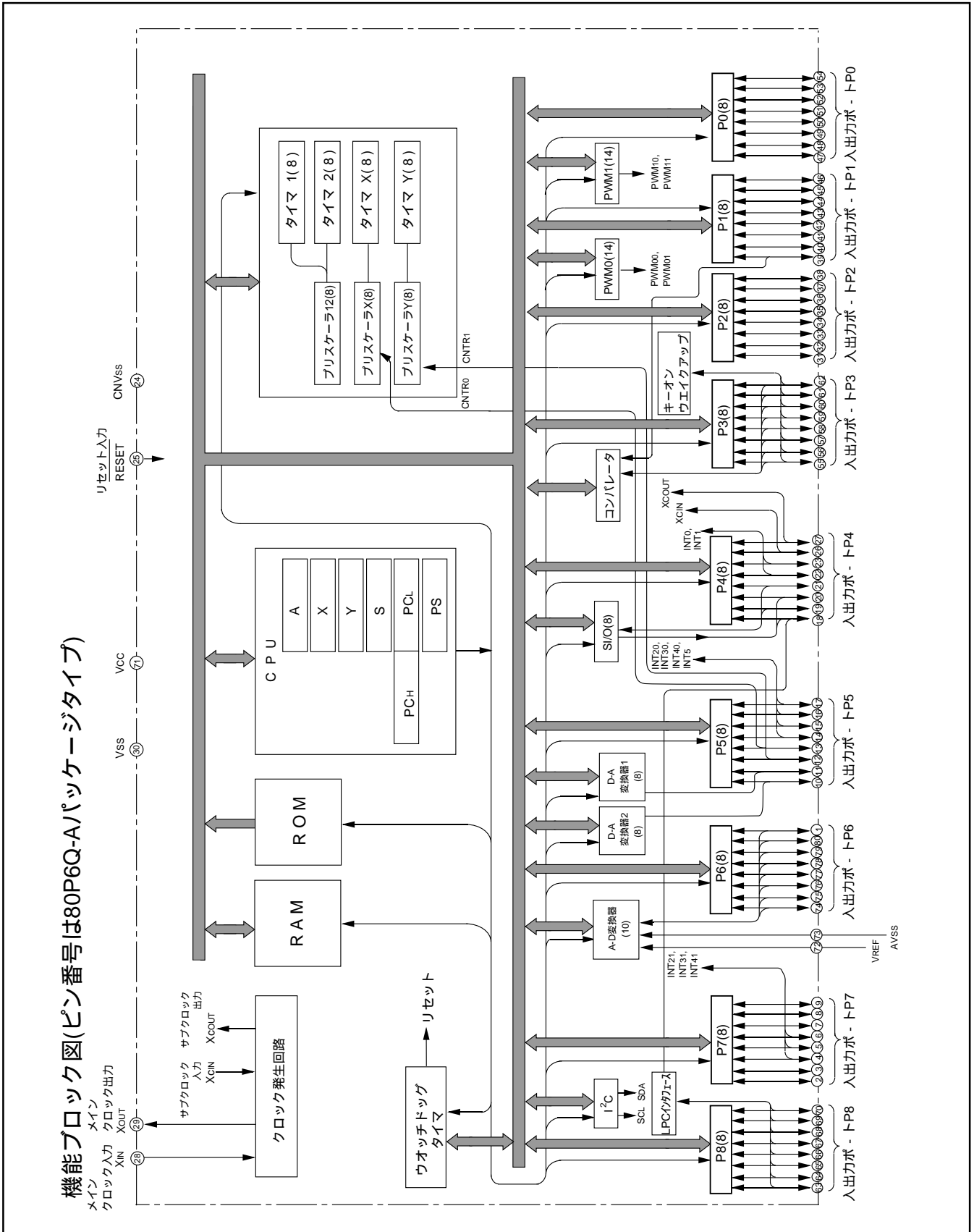


図3 機能ブロック図

端子の機能説明

表1 端子の機能説明(1)

端子名	名称	機能	ポート以外の機能
Vcc,Vss	電源入力	Vccに3.3V ± 0.3V, Vssに0Vを印加します。	
CNVss	CNVss入力	Vssに接続してください。 フラッシュメモリモードでは、Vpp電源入力端子になります。	
VREF	基準電圧入力	A-D変換器及びD-A変換器の基準電圧入力端子です。	
AVss	アナログ電源入力	A-D変換器及びD-A変換器のアナログ電源入力端子です。 この端子はVssに接続してください。	
RESET	リセット入力	アクティブL'のリセット入力端子です。	
XIN	クロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。	
XOUT	クロック出力		
P00 ~ P07	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステート/Nチャンネルオープンドレインの切り替えが可能です。	
P10 ~ P17	入出力ポートP1	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステート/Nチャンネルオープンドレインの切り替えが可能です。	
P20 ~ P27	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。P24 ~ P27の4ビットは、LED駆動用の大電流出力が可能です。	コンパレータ基準電源入力端子
P20/CMPREF			
P30/PWM00 P31/PWM10	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。キーオンウエイクアップ及びコンパレータ入力として機能します。 プルアップ制御可能です。	キーオンウエイクアップ入力端子 コンパレータ入力端子 PWM出力端子
P32 ~ P37			キーオンウエイクアップ入力端子 コンパレータ入力端子
P40/XCOUT P41/XCIN	入出力ポートP4	P0とほぼ同等の機能を持った8ビットの入出力ポートです。 入力レベル CMOS入力レベル 出力形式 P40, P41 : CMOS3ステート P42 ~ P47 : CMOS3ステート/Nチャンネルオープンドレイン切り替え可能 ・P42 ~ P46は、入力ポート又は出力ポートの設定にかかわらず端子レベルの入力が可能です。	サブクロック発生入出力端子(共振子を接続します。)
P42/INT0 P43/INT11			割り込み入力端子
P44/RxD P45/TxD P46/SCLK			シリアルI/O機能端子
P47/SRDY /CLKRUN			シリアルI/O機能端子 シリアル割り込み機能端子

表2 端子の機能説明(2)

端子名	名称	機能	ポート以外の機能
P50/INT5 P51/INT20 P52/INT30 P53/INT40	入出力ポートP5	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベル、出力形式はCMOS3ステートです。	割り込み入力端子
P54/CNTR0 P55/CNTR1			タイマX、タイマY機能端子
P56/DA1 /PWM01 P57/DA2 /PWM11			D-A変換器出力端子 PWM出力端子
P60/AN0 ~ P67/AN7	入出力ポートP6	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベル、出力形式はCMOS3ステートです。	A-D変換器入力端子
P70 P71 P72	入出力ポートP7	P0とほぼ同等の機能を持った8ビットの入出力ポートです。 入力レベル P70 ~ P75 : CMOS/TTL入力レベル切り替えが可能 P76, P77 : CMOS/SMBUS入力レベル切り替えが可能 (I <sup>2</sup> C-BUSインタフェース機能時) 出力形式 Nチャンネルオープンドレイン ・P70 ~ P75は、入力ポート又は出力ポートの設定にかかわらず端子レベルの入力が可能です。	割り込み入力端子
P73/INT21 P74/INT31 P75/INT41			I <sup>2</sup> C-BUS インタフェース機能端子
P76/SDA P77/SCL			LPCインタフェース機能端子
P80/LAD0 P81/LAD1 P82/LAD2 P83/LAD3 P84/LFRAME P85/LRESET P86/LCLK	入出力ポートP8	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベル、出力形式はCMOS3ステートです。	シリアル割り込み機能端子
P87/SERIRQ			



形名とメモリサイズ・パッケージ

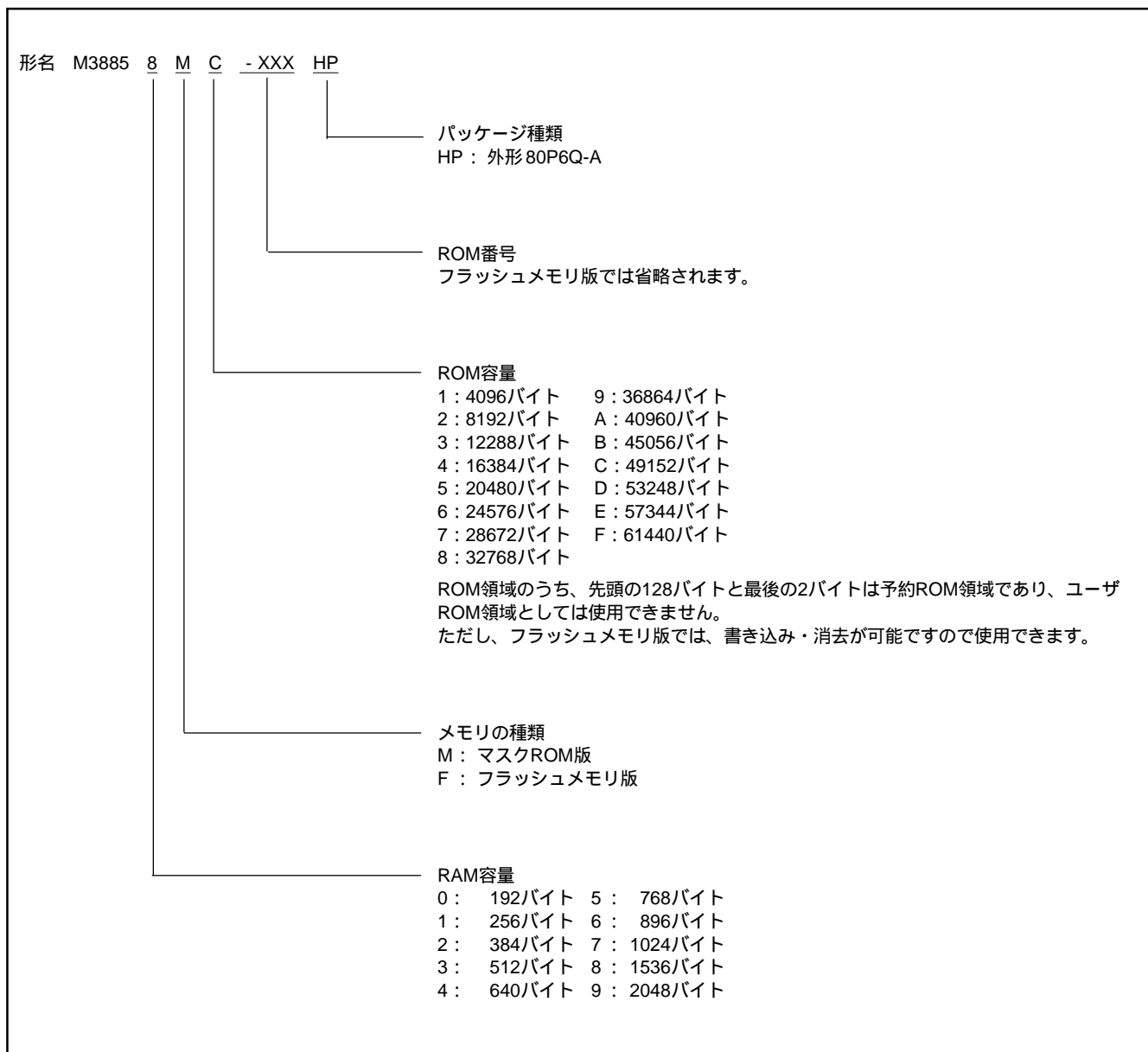


図4 形名とメモリサイズ・パッケージ

# 開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

## グループ展開

3885グループは次のように展開しています。

## メモリの種類

マスクROM版、フラッシュメモリ版のサポート

## メモリ容量

ROM容量 ..... 32K ~ 60Kバイト

RAM容量 ..... 1024 ~ 2048バイト

## パッケージ

80P6Q-A ..... 0.5mmピッチプラスチックモールドLQFP

80D0M ..... 0.8mmピッチセラミックPIGGY BACK

(エミュレータMCU)

ピン番号と機能端子の位置は、パッケージ種類により異なることがあります。

3885グループ ROM、RAM展開

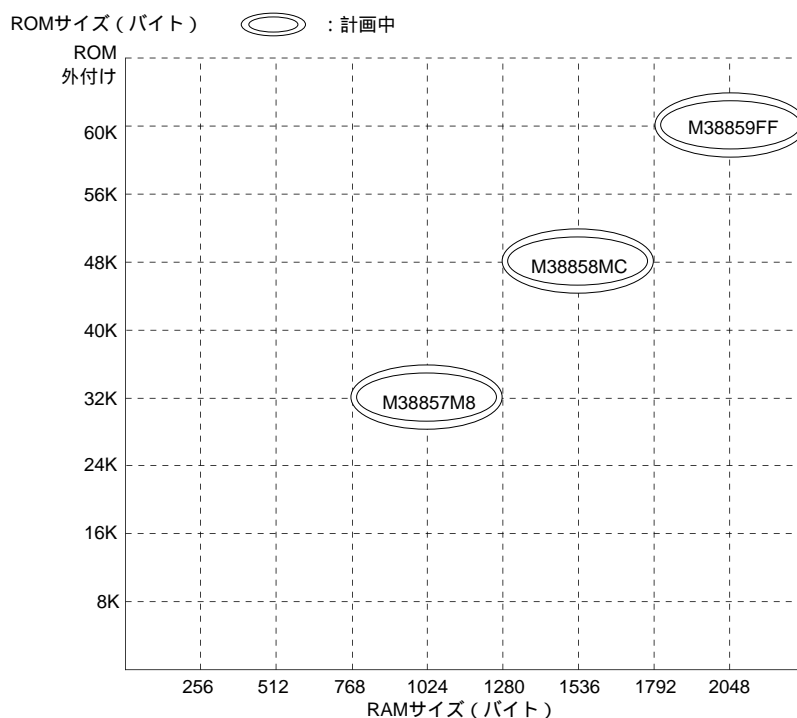


図5 ROM及びRAM展開

現在量産中の製品を下記に示します。

表3 サポート製品一覧 2001年5月現在

製品形名	ROM容量(バイト) ( )内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38857M8-XXXHP	32768 (32638)	1024	80P6Q-A	マスクROM版
M38858MC-XXXHP	49152 (49022)	1536		
M38859FFHP	61440	2048		フラッシュメモリ版

機能ブロック動作説明

中央演算処理装置 (CPU)

3885グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。

図6にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

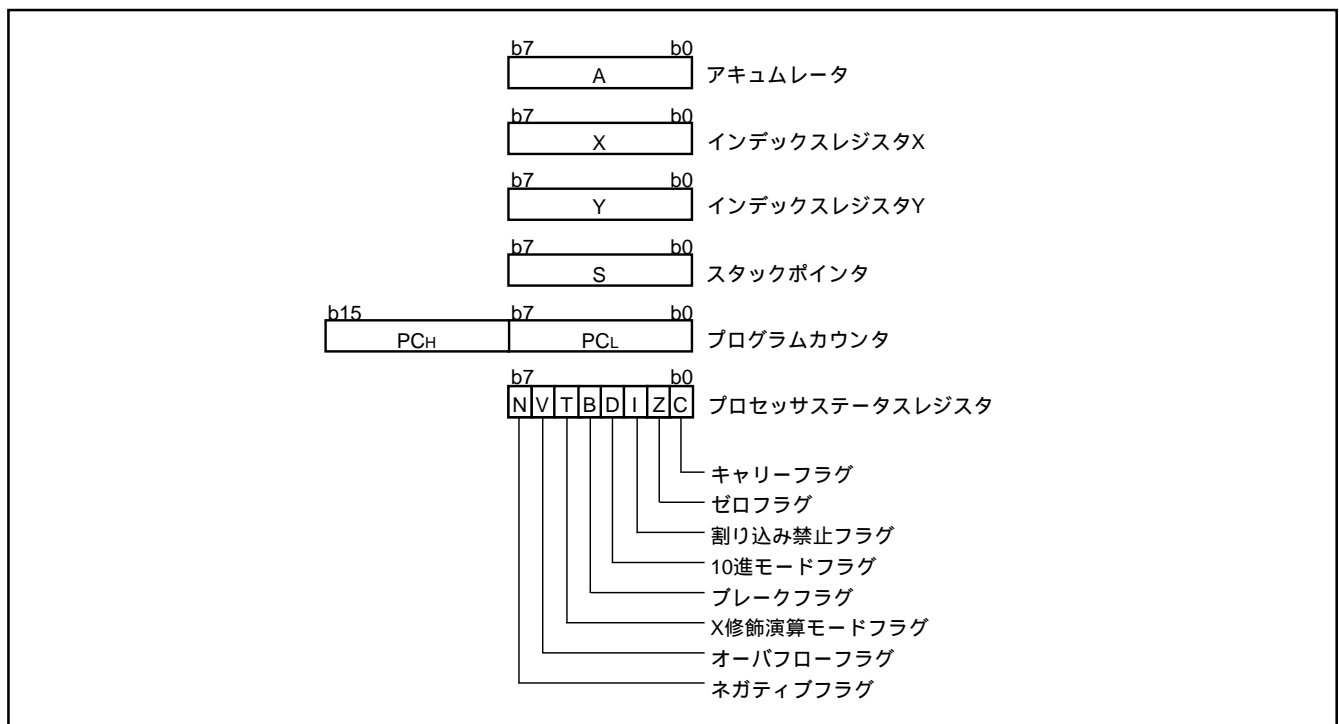


図6 740ファミリ CPUの構成

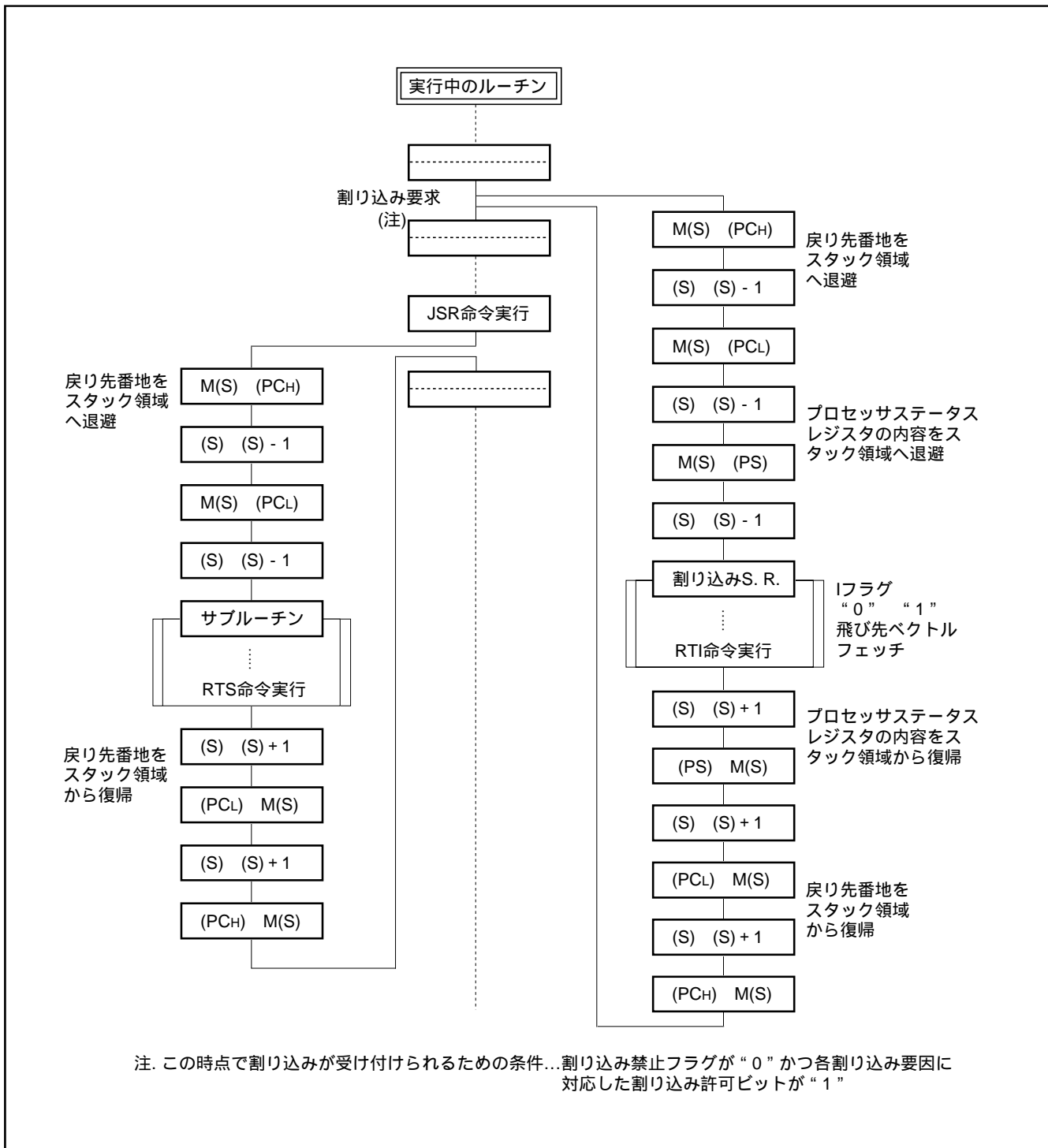


図7 スタックへの退避及び復帰動作

表4. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8 ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又は borrow を保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK 命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK 命令で割り込んだかどうかを識別するためのフラグです。BRK 命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5 .プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページの選択ビットやチップの動作モードを指定するプロセッサモードビットが割り当てられています。

このレジスタは003B<sub>16</sub>番地に配置されています。

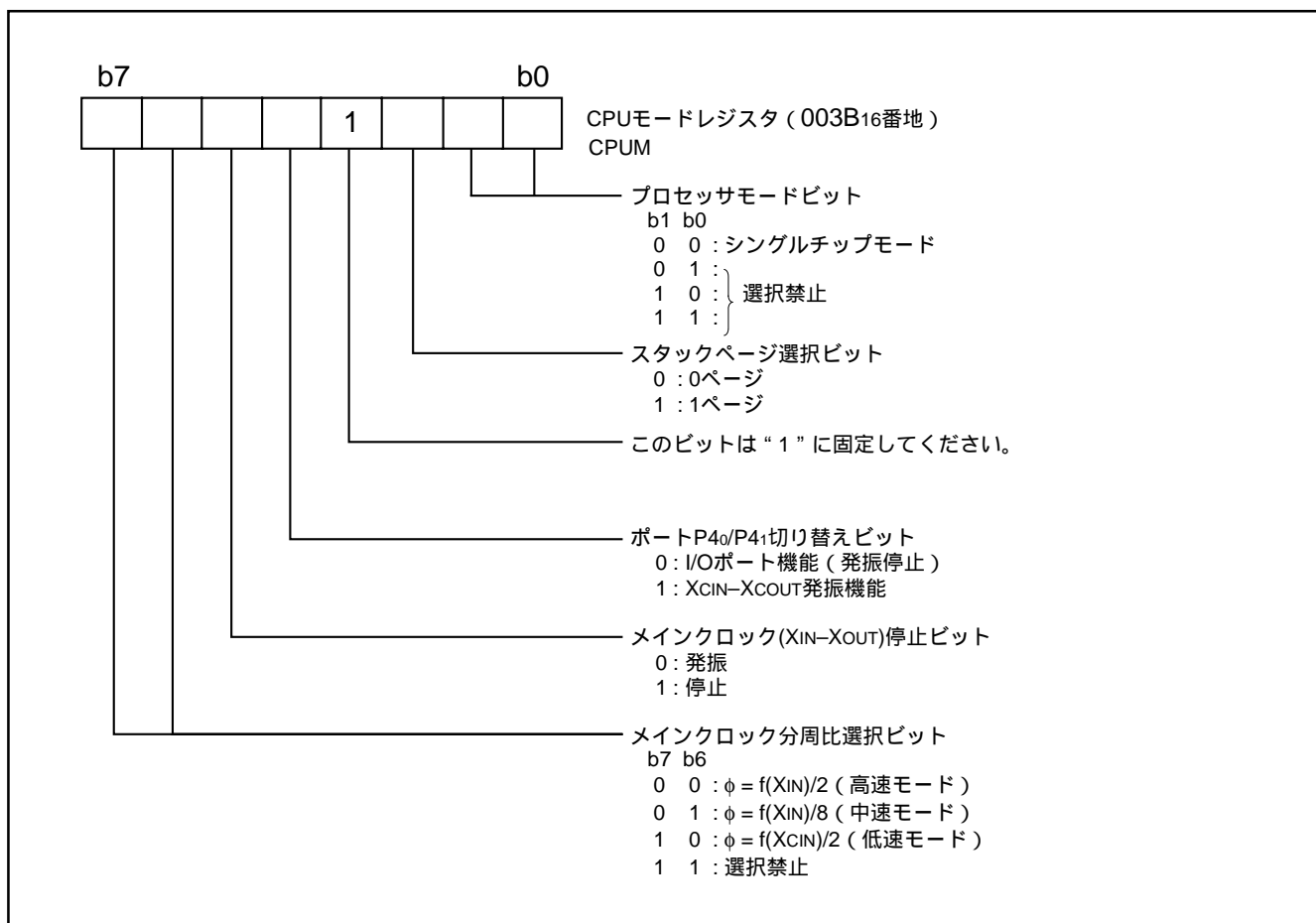


図8 .CPUモードレジスタの構成

# 開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

## メモリ

### RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

### ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。フラッシュメモリ版では、予約ROM領域のプログラムノイズが可能です。

### ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

### スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

### 割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

### SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

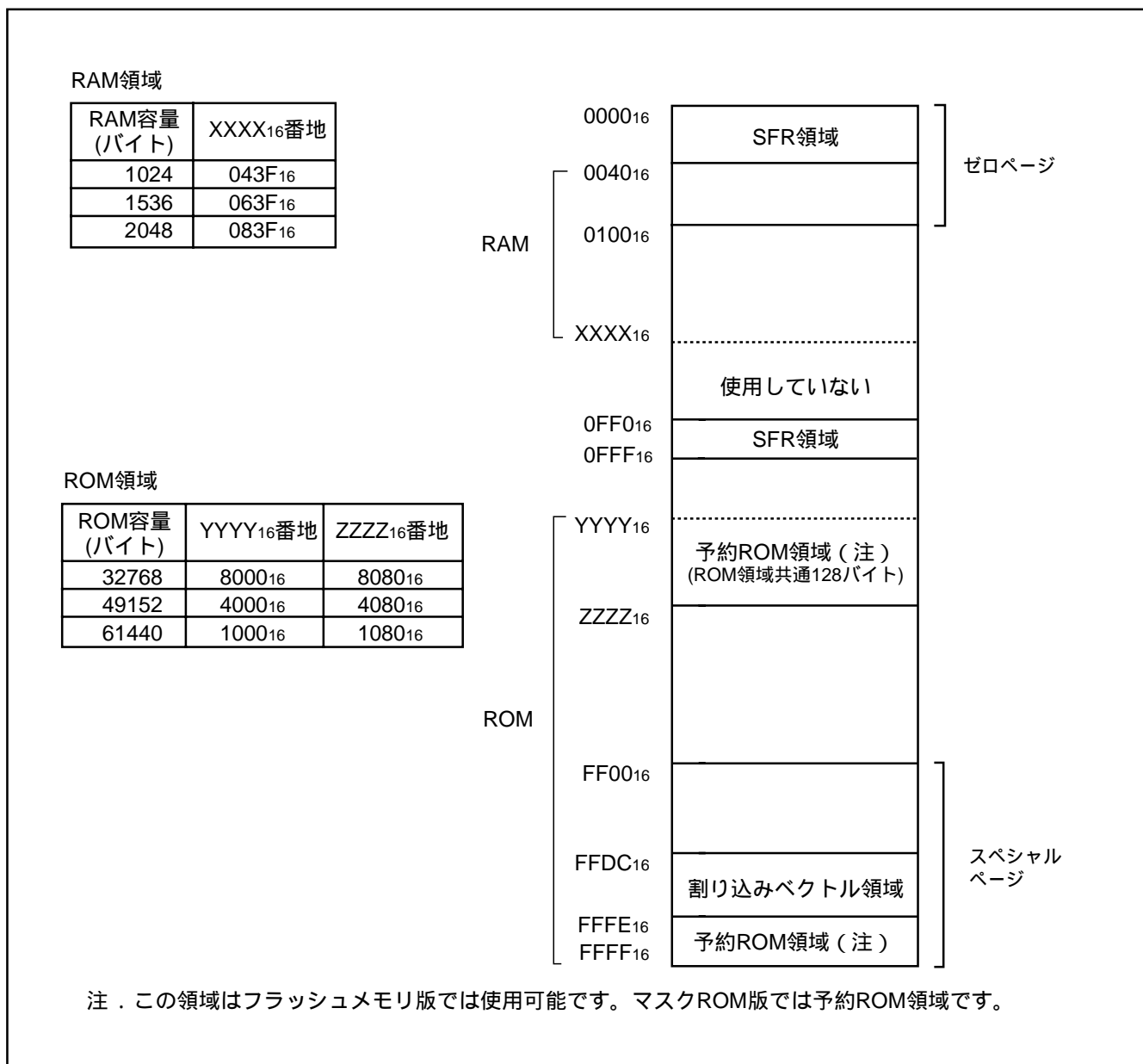


図9 メモリ配置図

0000 <sub>16</sub>	ポートP0(P0)	0020 <sub>16</sub>	プリスケアラ12(PRE12)
0001 <sub>16</sub>	ポートP0方向レジスタ(P0D)	0021 <sub>16</sub>	タイマ1(T1)
0002 <sub>16</sub>	ポートP1(P1)	0022 <sub>16</sub>	タイマ2(T2)
0003 <sub>16</sub>	ポートP1方向レジスタ(P1D)	0023 <sub>16</sub>	タイマXYモードレジスタ(TM)
0004 <sub>16</sub>	ポートP2(P2)	0024 <sub>16</sub>	プリスケアラX(PREX)
0005 <sub>16</sub>	ポートP2方向レジスタ(P2D)	0025 <sub>16</sub>	タイマX(TX)
0006 <sub>16</sub>	ポートP3(P3)	0026 <sub>16</sub>	プリスケアラY(PREY)
0007 <sub>16</sub>	ポートP3方向レジスタ(P3D)	0027 <sub>16</sub>	タイマY(TY)
0008 <sub>16</sub>	ポートP4(P4)	0028 <sub>16</sub>	データバスバッファレジスタ0(DBB0)
0009 <sub>16</sub>	ポートP4方向レジスタ(P4D)	0029 <sub>16</sub>	データバスバッファレジスタ0(DBBSTS0)
000A <sub>16</sub>	ポートP5(P5)	002A <sub>16</sub>	LPC制御レジスタ(LPCCON)
000B <sub>16</sub>	ポートP5方向レジスタ(P5D)	002B <sub>16</sub>	データバスバッファレジスタ1(DBB1)
000C <sub>16</sub>	ポートP6(P6)	002C <sub>16</sub>	データバスバッファレジスタ1(DBBSTS1)
000D <sub>16</sub>	ポートP6方向レジスタ(P6D)	002D <sub>16</sub>	コンパレータデータレジスタ(CMPD)
000E <sub>16</sub>	ポートP7(P7)	002E <sub>16</sub>	ポート制御レジスタ1(PCTL1)
000F <sub>16</sub>	ポートP7方向レジスタ(P7D)	002F <sub>16</sub>	ポート制御レジスタ2(PCTL2)
0010 <sub>16</sub>	ポートP8(P8)/ポートP4入力レジスタ(P4I)	0030 <sub>16</sub>	PWM0Hレジスタ(PWM0H)
0011 <sub>16</sub>	ポートP8方向レジスタ(P8D)/ポートP7入力レジスタ(P7I)	0031 <sub>16</sub>	PWM0Lレジスタ(PWM0L)
0012 <sub>16</sub>	I <sup>2</sup> Cデータシフトレジスタ(S0)	0032 <sub>16</sub>	PWM1Hレジスタ(PWM1H)
0013 <sub>16</sub>	I <sup>2</sup> Cアドレスレジスタ(S0D)	0033 <sub>16</sub>	PWM1Lレジスタ(PWM1L)
0014 <sub>16</sub>	I <sup>2</sup> Cステータスレジスタ(S1)	0034 <sub>16</sub>	AD/DA制御レジスタ(ADCON)
0015 <sub>16</sub>	I <sup>2</sup> Cコントロールレジスタ(S1D)	0035 <sub>16</sub>	A-D変換レジスタ1(AD1)
0016 <sub>16</sub>	I <sup>2</sup> Cクロックコントロールレジスタ(S2)	0036 <sub>16</sub>	D-A1変換レジスタ(DA1)
0017 <sub>16</sub>	I <sup>2</sup> Cスタート/ストップコンディション制御レジスタ(S2D)	0037 <sub>16</sub>	D-A2変換レジスタ(DA2)
0018 <sub>16</sub>	送信/受信バッファレジスタ(TB/RB)	0038 <sub>16</sub>	A-D変換レジスタ2(AD2)
0019 <sub>16</sub>	シリアルI/Oステータスレジスタ(SIOSTS)	0039 <sub>16</sub>	割り込み要因選択レジスタ(INTSEL)
001A <sub>16</sub>	シリアルI/O制御レジスタ(SIOCON)	003A <sub>16</sub>	割り込みエッジ選択レジスタ(INTEDGE)
001B <sub>16</sub>	UART制御レジスタ(UARTCON)	003B <sub>16</sub>	CPUモードレジスタ(CPUM)
001C <sub>16</sub>	ポーレートジェネレータ(BRG)	003C <sub>16</sub>	割り込み要求レジスタ1(IREQ1)
001D <sub>16</sub>	シリアル割り込み制御レジスタ(SERCON)	003D <sub>16</sub>	割り込み要求レジスタ2(IREQ2)
001E <sub>16</sub>	ウォッチドッグタイマ制御レジスタ(WDTCN)	003E <sub>16</sub>	割り込み制御レジスタ1(ICON1)
001F <sub>16</sub>	シリアル割り込み要求レジスタ(SERIRQ)	003F <sub>16</sub>	割り込み制御レジスタ2(ICON2)
		0FF0 <sub>16</sub>	LPC0アドレスレジスタL(LPC0ADL)
		0FF1 <sub>16</sub>	LPC0アドレスレジスタH(LPC0ADH)
		0FF2 <sub>16</sub>	LPC1アドレスレジスタL(LPC1ADL)
		0FF3 <sub>16</sub>	LPC1アドレスレジスタH(LPC1ADH)
		0FF8 <sub>16</sub>	ポートP5入力レジスタ(P5I)
		0FF9 <sub>16</sub>	ポート制御レジスタ3(PCTL3)
		0FFE <sub>16</sub>	フラッシュメモリ制御レジスタ(FMCR) (注)
		0FFF <sub>16</sub>	予約領域

注．フラッシュメモリ版のみ使用可能

図10. SFR(スペシャルファンクションレジスタ)メモリマップ



入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポート

ラッチに書き込まれますが、端子はフローティングのままです。

ポート制御レジスタ2(002F<sub>16</sub>番地)のP8機能選択ビットを“1”にすることにより、0010<sub>16</sub>番地の読み出しがポートP4入力レジスタとなります。0011<sub>16</sub>番地の読み出しがポートP7入力レジスタとなります。P42～P46, P70～P75は特殊機能として、方向レジスタの設定にかかわらず、それぞれポートP4入力レジスタ(0010<sub>16</sub>番地)、ポートP7入力レジスタ(0011<sub>16</sub>番地)を読み出すことで端子の値を読むことができます。

表6 入出力ポートの機能一覧(1)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P01～P07	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート/Nチャネル オープンドレイン出力		ポート制御レジスタ1	(1)
P10～P17	ポートP1					
P20/CMPREF	ポートP2		CMOS入力レベル CMOS3ステート出力	アナログコンパレータ電源 入力端子	ポート制御レジスタ1 ポート制御レジスタ2	(2)
P21～P27						
P30/PWM00 P31/PWM10	ポートP3			PWM出力 キーオンウエイクアップ コンパレータ入力	ポート制御レジスタ1 AD/DA制御レジスタ	(4) (5)
P32～P37				キーオンウエイクアップ コンパレータ入力	ポート制御レジスタ1	(6)
P40/XCOUT P41/XCIN	ポートP4			サブクロック発振回路	CPUモードレジスタ	(7) (8)
P42/INT0 P43/INT1				外部割り込み入力	割り込みエッジ選択 レジスタ ポート制御レジスタ2	(9) (10)
P44/RxD				シリアルI/O機能入力	シリアルI/O制御 レジスタ ポート制御レジスタ2	(11)
P45/TxD				シリアルI/O機能出力	シリアルI/O制御 レジスタ ポート制御レジスタ2	(12)
P46/SCLK				シリアルI/O機能入出力	シリアルI/O制御 レジスタ ポート制御レジスタ2	(13)
P47/SRDY/ CLKRUN				シリアルI/O機能出力 シリアル割り込み機能出力	シリアルI/O制御 レジスタ シリアル割り込み 制御レジスタ	(14)

表7 入出力ポートの機能一覧(2)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P50/INT5 P51/INT20 P52/INT30 P53/INT40	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート/Nチャネル オープンドレイン出力	外部割り込み入力	割り込みエッジ選択 レジスタ	(15) (16)
P54/CNTR0 P55/CNTR1				タイマX、タイマY機能 入出力	タイマXYモード レジスタ	(17)
P56/DA1 /PWM01 P57/DA2 /PWM11				D-A変換器出力 PWM出力	AD/DA制御レジスタ UART制御レジスタ	(18) (19)
P60/AN0 ~ P67/AN7	ポートP6			A-D変換器入力	AD/DA制御レジスタ	(20)
P70 P71 P72	ポートP7		CMOS/TTL入力レベル Nチャネルオープンドレイン 出力		ポート制御レジスタ2	(21) (22) (23) (24)
P73/INT21 P74/INT31 P75/INT41				外部割り込み入力	割り込みエッジ選択 レジスタ ポート制御レジスタ2	(25)
P76/SdA P77/SCL				i <sup>2</sup> C-BUSインタフェース 機能入出力	i <sup>2</sup> Cコントロール レジスタ	(26)
P80/LAD0 P81/LAD1 P82/LAD2 P83/LAD3 P84/LFRAME P85/LRESET P86/LCLK P87/SERIRQ	ポートP8		CMOS入力レベル CMOS3ステート出力	LPCインタフェース機能 入出力	データバスバッファ 制御レジスタ	(27) (28)
				シリアル割り込み入力		

注1. ダブルファンクションポートを機能入出力端子として使用する方法については、関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

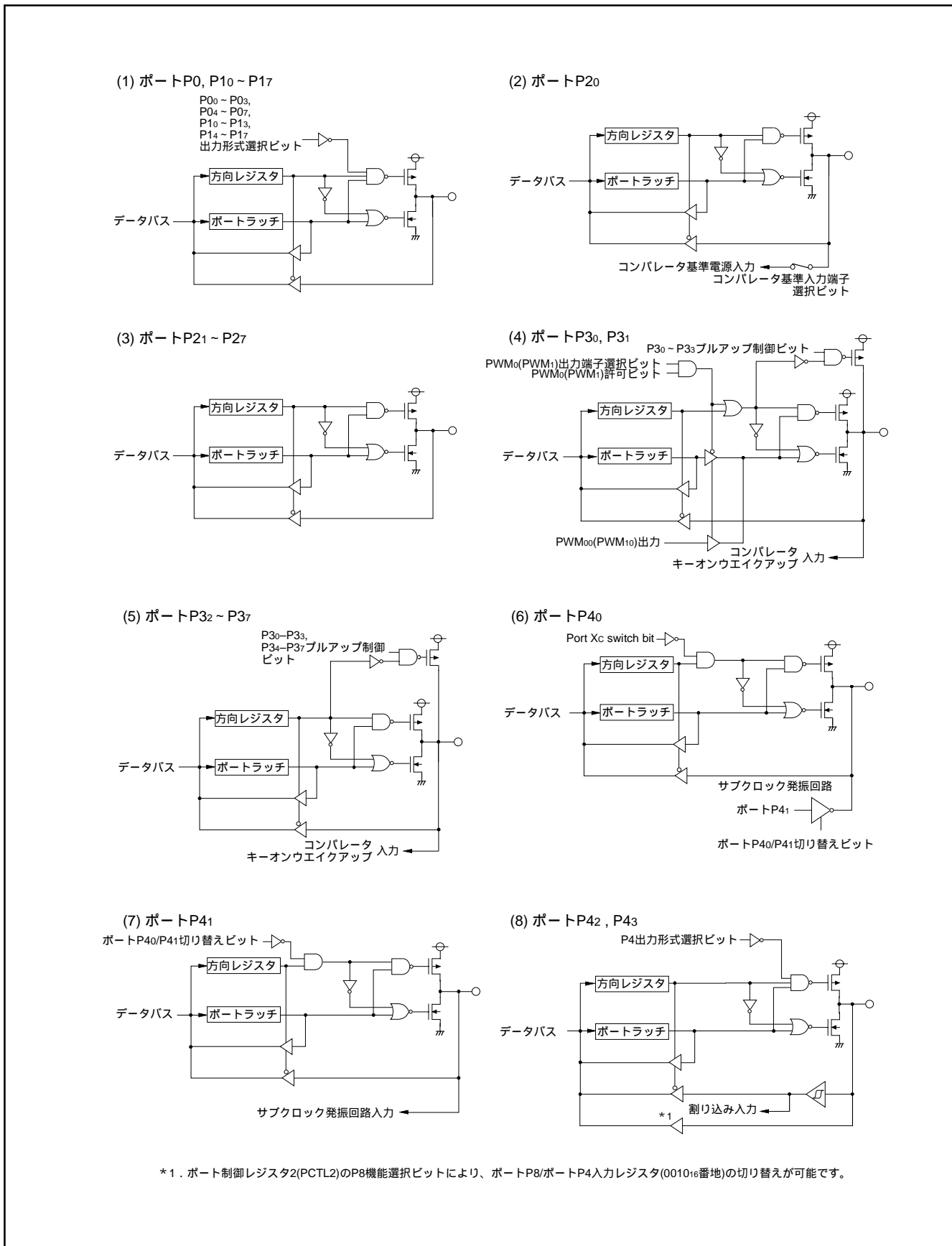
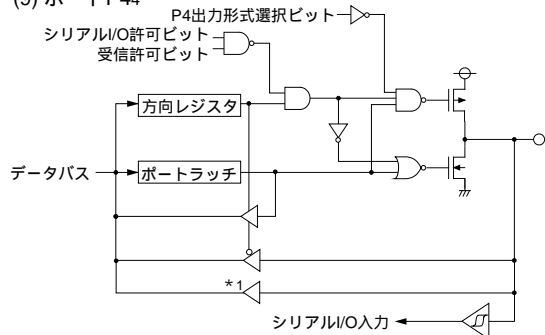


図11 ポートのブロック図(1)

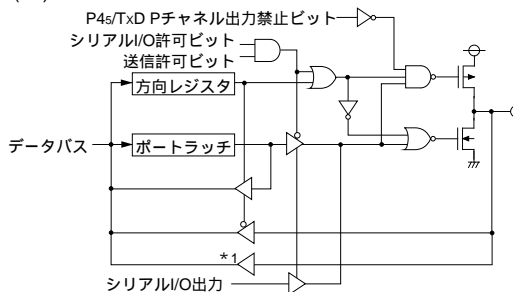
開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

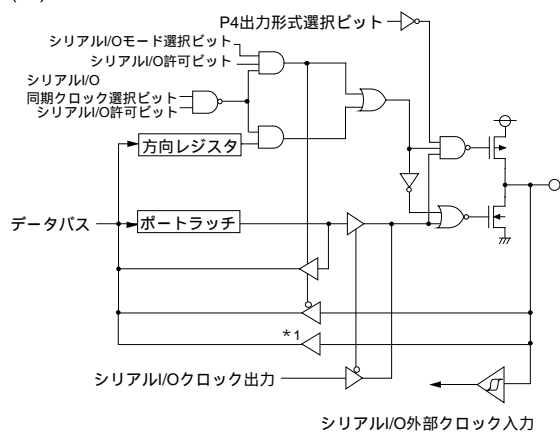
(9) ポートP44



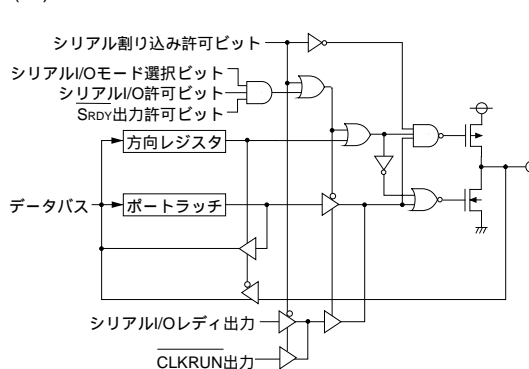
(10) ポートP45



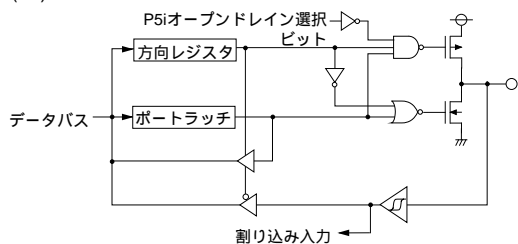
(11) ポートP46



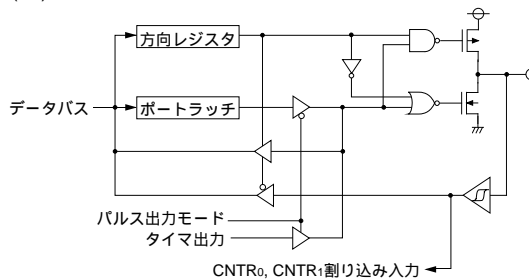
(12) ポートP47



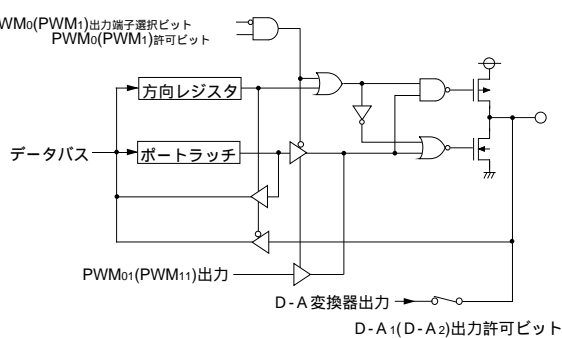
(13) ポートP50 ~ P53



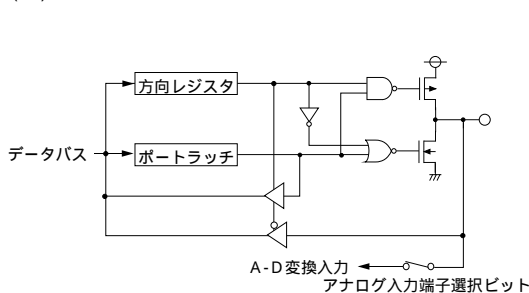
(14) ポートP54, P55



(15) ポートP56, P57



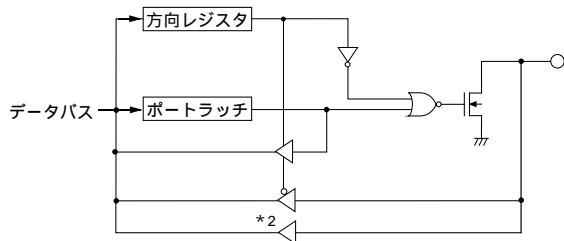
(16) ポートP6



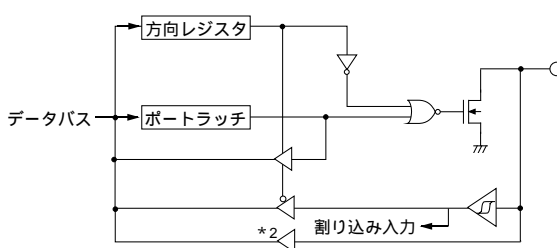
\*1. ポート制御レジスタ2(PCTL2)のP8機能選択ビットにより、ポートP8/ポートP4入力レジスタ(0010<sub>16</sub>番地)の切り替えが可能です。

図12 ポートのブロック図(2)

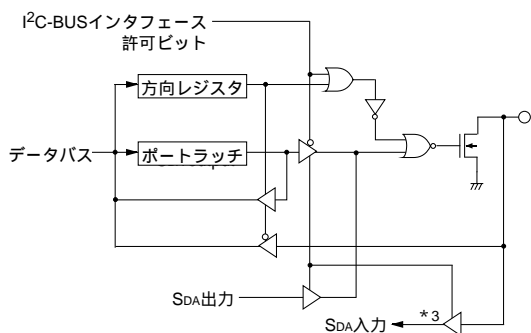
(17) ポートP70～P72



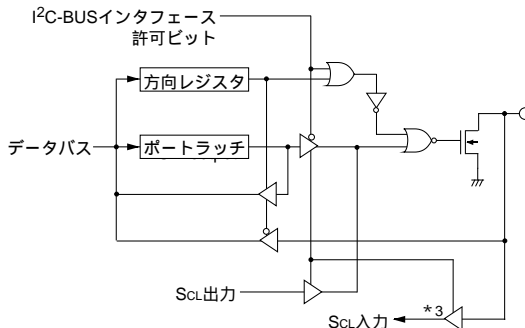
(18) ポートP73～P75



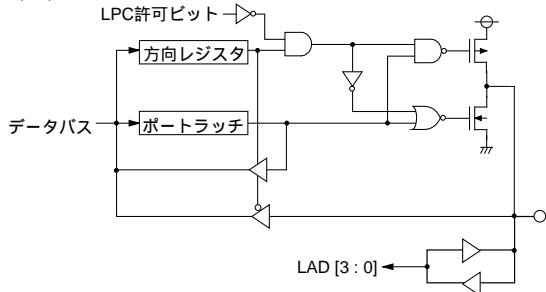
(19) ポートP76



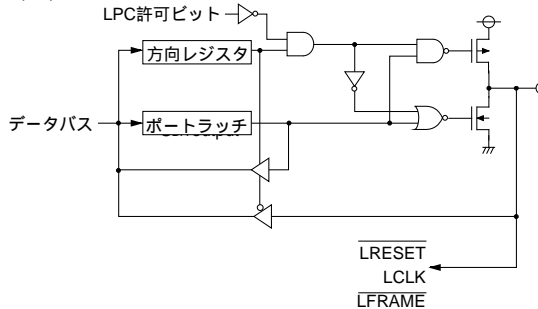
(20) ポートP77



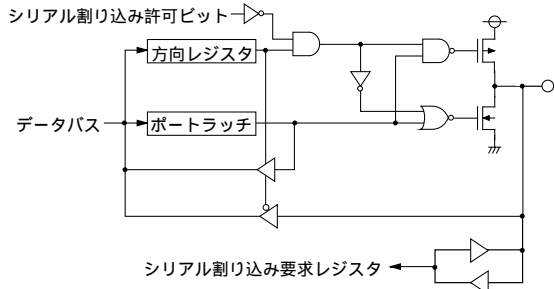
(21) ポートP80～P83



(22) ポートP84～P86



(23) ポートP87



\*2. 入力レベルはポート制御レジスタ2(PCTL2)のP7入力レベル選択ビットにより、CMOS/TTLレベルの切り替えが可能です。  
ポート制御レジスタ2(PCTL2)のP8機能選択ビットにより、ポートP8方向レジスタ/ポートP7入力レジスタ(0011<sub>16</sub>番地)の切り替えが可能です。

\*3. 入力レベルはI<sup>2</sup>C制御レジスタ(SID)のI<sup>2</sup>Cバスインタフェース端子入力選択ビットにより、CMOS/SMBUSレベルの切り替えが可能です。

図13 ポートのブロック図(3)

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

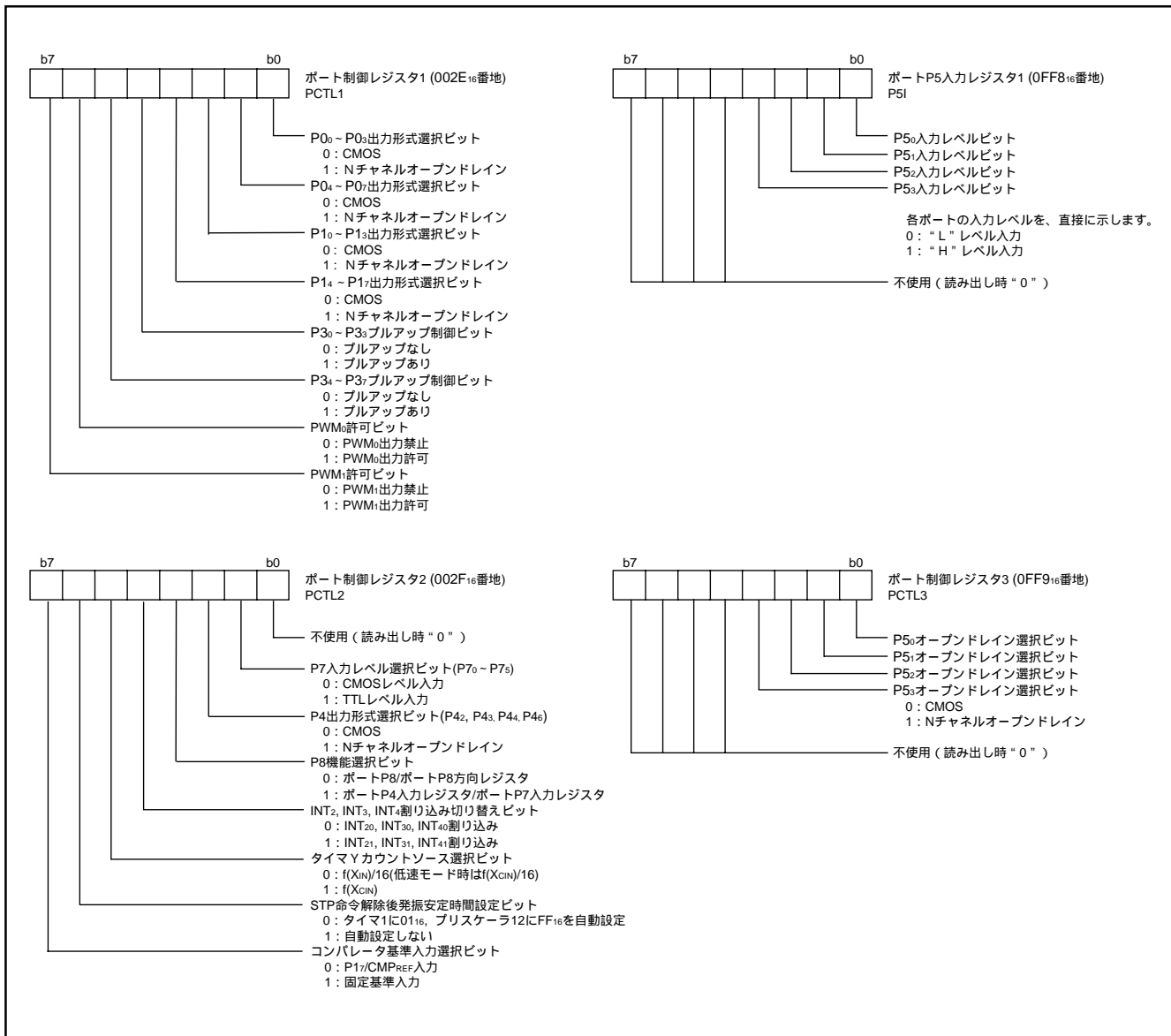


図14 ポート入出力関連レジスタの構成

## 割り込み

割り込みはベクトル割り込みで、外部13要因、内部9要因、ソフトウェア1要因の22要因のうち16要因から発生することが可能です。

### ・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

### ・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に回避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

### ・割り込み要因選択

以下の割り込み要因は、割り込み要因選択レジスタ(0039<sub>16</sub>番地)によりいずれかを選択することができます。

1. INT<sub>0</sub>あるいはインพุットバッファフル
2. INT<sub>1</sub>あるいはアウトプットバッファエンプティ
3. シリアルI/O受信あるいはLRESET
4. シリアルI/O送信あるいはSCL, SDA
5. タイマ2あるいはINT<sub>5</sub>
6. CNTR<sub>0</sub>あるいはINT<sub>0</sub>
7. CNTR<sub>1</sub>あるいはINT<sub>1</sub>
8. A-D変換あるいはキーオンウエイクアップ

### ・外部割り込み端子選択

外部割り込みINT<sub>2</sub>、INT<sub>3</sub>、INT<sub>4</sub>は、外部入力端子であるINT<sub>20</sub>、INT<sub>30</sub>、INT<sub>40</sub>あるいは、INT<sub>21</sub>、INT<sub>31</sub>、INT<sub>41</sub>のいずれかをポート制御レジスタ2のINT<sub>2</sub>、INT<sub>3</sub>、INT<sub>4</sub>割り込み切り替えビット(002F<sub>16</sub>番地のビット4)により選択することができます。

## ■注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際  
対象レジスタ：割り込みエッジ選択レジスタ(003A<sub>16</sub>番地)  
タイマXYモードレジスタ(0023<sub>16</sub>番地)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際  
対象レジスタ：割り込み要因選択レジスタ(0039<sub>16</sub>番地)
- ・外部割り込みINT<sub>2</sub>、INT<sub>3</sub>、INT<sub>4</sub>の入力端子を設定する際  
対象レジスタ：ポート制御レジスタ2のINT<sub>2</sub>、INT<sub>3</sub>、INT<sub>4</sub>  
割り込み切り替えビット(002F<sub>16</sub>番地のビット4)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

該当する割り込み許可ビットを“0”(禁止)にする。

割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因選択ビットを設定する。

一命令以上おいてから、該当する割り込み要求ビットを“0”にする。

該当する割り込み許可ビットを“1”(許可)にする。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD <sub>16</sub>	FFFC <sub>16</sub>	リセット時	ノンマスカブル
INT <sub>0</sub> ----- インプットバッファフル (IBF)	2	FFFB <sub>16</sub>	FFFA <sub>16</sub>	INT <sub>0</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
入力データバスバッファ書き込み時					
INT <sub>1</sub> ----- アウトプットバッファエンブ ティ(OBE)	3	FFF9 <sub>16</sub>	FFF8 <sub>16</sub>	INT <sub>1</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
出力データバスバッファ読み出し時					
シリアル/O受信 ----- LRESET	4	FFF7 <sub>16</sub>	FFF6 <sub>16</sub>	シリアル/Oデータ受信終了時	シリアル/O選択時のみ有効 外部割り込み
LRESET入力の立ち下がり時					
シリアル/O送信 ----- SCL, SDA	5	FFF5 <sub>16</sub>	FFF4 <sub>16</sub>	シリアル/O送信シフト終了時又は送信バッファ空き時	シリアル/O選択時のみ有効 外部割り込み (極性プログラマブル)
SCL又はSDAの立ち上がり又は立ち下がりエッジ検出時					
タイマX	6	FFF3 <sub>16</sub>	FFF2 <sub>16</sub>	タイマXアンダフロー時	
タイマY	7	FFF1 <sub>16</sub>	FFF0 <sub>16</sub>	タイマYアンダフロー時	
タイマ1	8	FFEF <sub>16</sub>	FFEE <sub>16</sub>	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2 ----- INT <sub>5</sub>	9	FFED <sub>16</sub>	FFEC <sub>16</sub>	タイマ2アンダフロー時	外部割り込み (極性プログラマブル)
INT <sub>5</sub> 入力の立ち上がり又は立ち下がりエッジ検出時					
CNTR <sub>0</sub> ----- INT <sub>0</sub>	10	FFEB <sub>16</sub>	FFEA <sub>16</sub>	CNTR <sub>0</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT <sub>0</sub> 入力の立ち上がり又は立ち下がりエッジ検出時					
CNTR <sub>1</sub> ----- INT <sub>1</sub>	11	FFE9 <sub>16</sub>	FFE8 <sub>16</sub>	CNTR <sub>1</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル) 外部割り込み (立ち下がり有効)
INT <sub>1</sub> 入力の立ち上がり又は立ち下がりエッジ検出時					
I <sup>2</sup> C	12	FFE7 <sub>16</sub>	FFE6 <sub>16</sub>	データ送受信完了時	
INT <sub>2</sub>	13	FFE5 <sub>16</sub>	FFE4 <sub>16</sub>	INT <sub>2</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT <sub>3</sub>	14	FFE3 <sub>16</sub>	FFE2 <sub>16</sub>	INT <sub>3</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT <sub>4</sub>	15	FFE1 <sub>16</sub>	FFE0 <sub>16</sub>	INT <sub>4</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A-D変換 ----- キーオンウエイクアップ	16	FFDF <sub>16</sub>	FFDE <sub>16</sub>	A-D変換終了時	外部割り込み (立ち下がり有効)
ポートP <sub>3</sub> (入力時)の入力論理レベルの論理積の立ち下がり時					
BRK命令	17	FFDD <sub>16</sub>	FFDC <sub>16</sub>	BRK命令実行時	ノンマスカブルソフト ウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。



開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

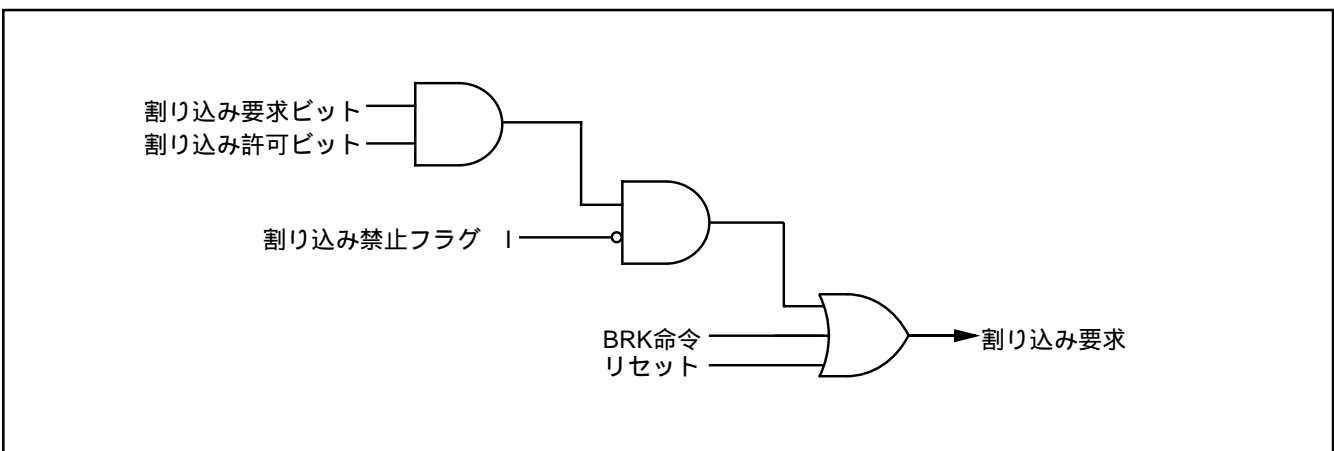


図15 割り込み制御図

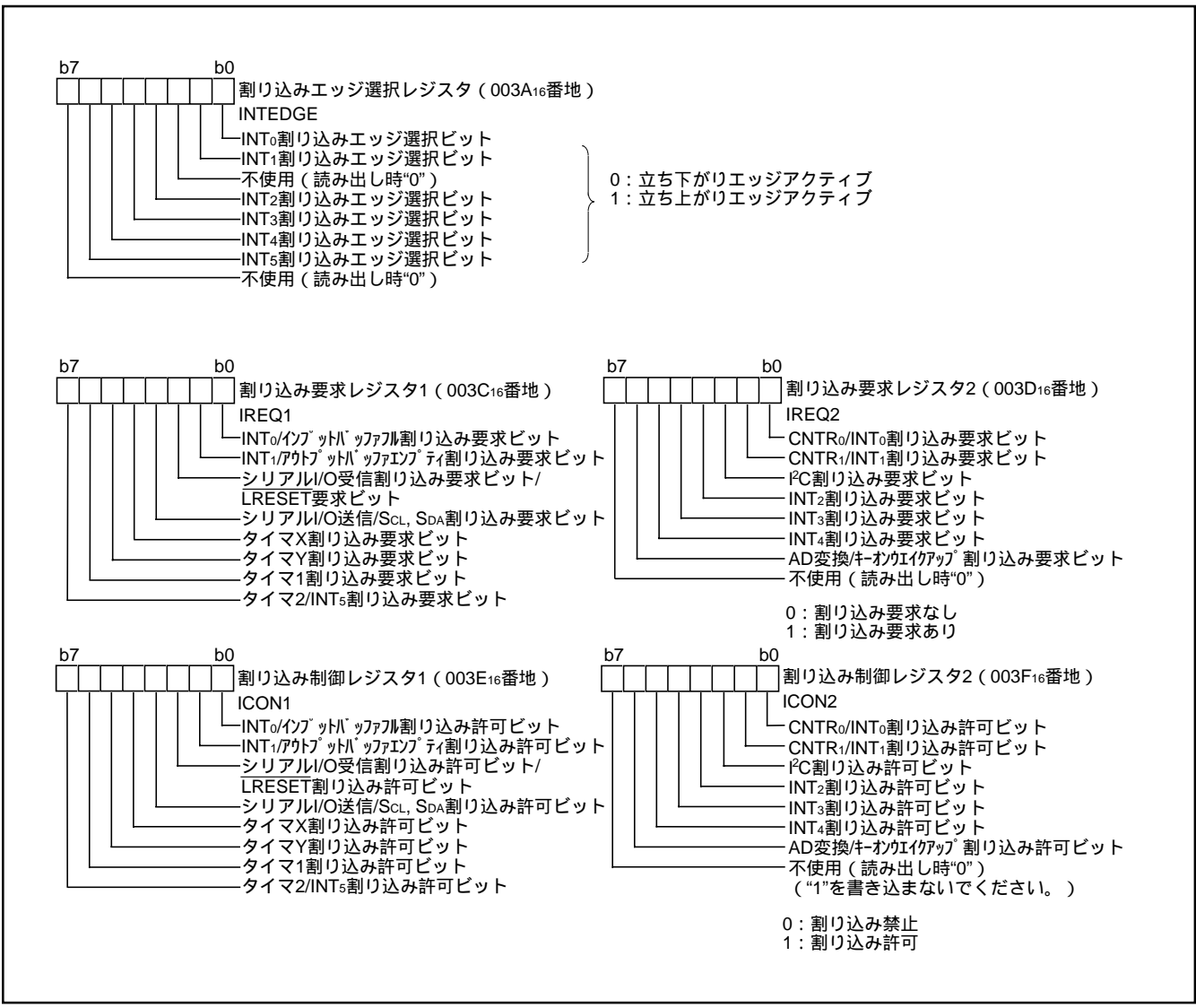


図16 割り込み関係レジスタの構成 (1)

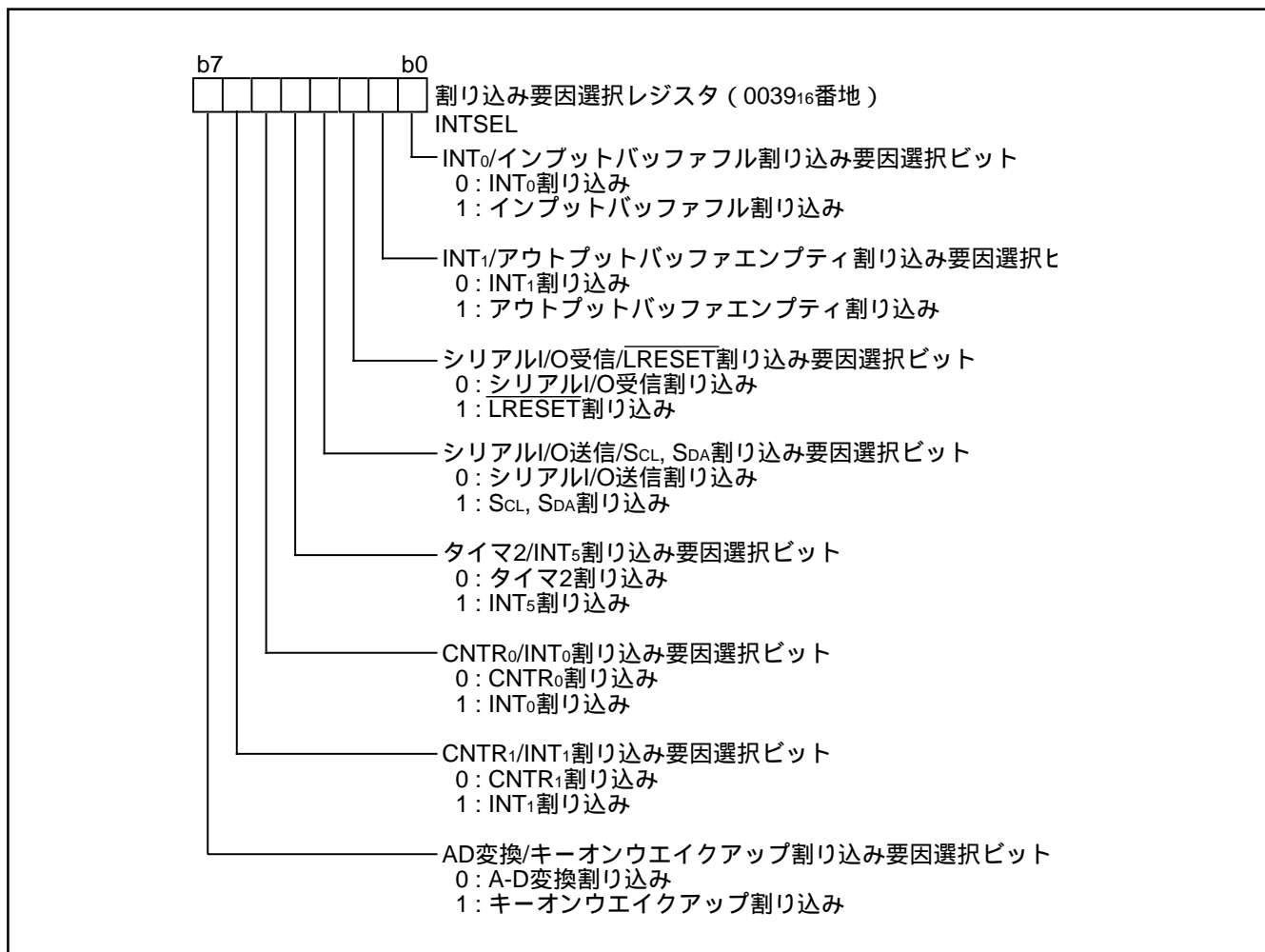


図17 割り込み関係レジスタの構成(2)

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP3のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求が

発生します。図18はキー入力割り込みを用いた一例で、ポートP30~P33を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

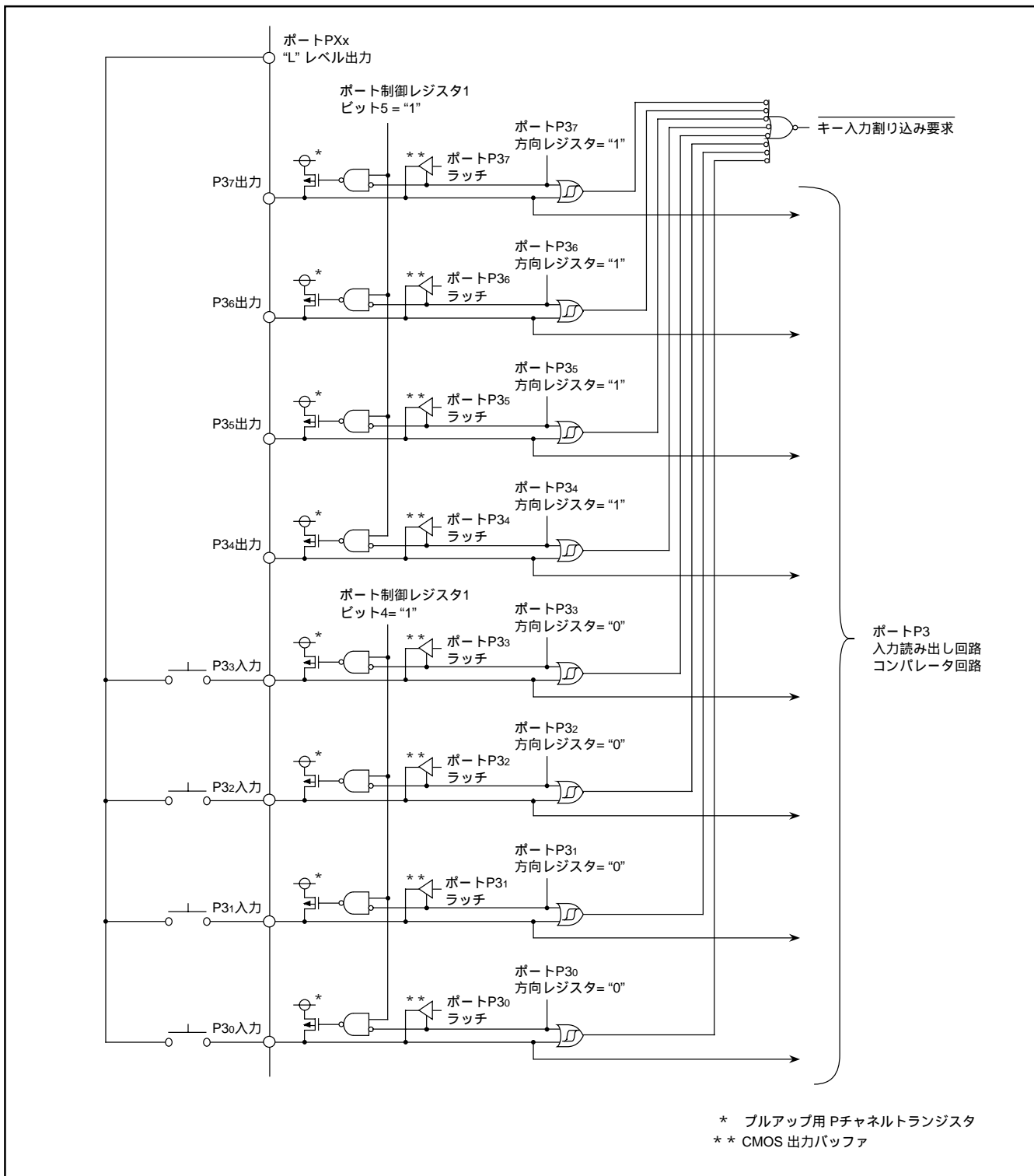


図18. キー入力割り込み使用時の結線例とポートP3のブロック図

タイマ

タイマはタイマX、タイマY、タイマ1及びタイマ2の4本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が $0$ になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが $1$ にセットされます。

●タイマ1、タイマ2

プリスケアラ12は、常に発振周波数を16分周した信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

発振周波数を16分周した信号をカウントします。

(2)パルス出力モード

発振周波数を16分周した信号をカウントし、タイマの内容が $0$ になるたびに極性の反転する出力をCNTR0又はCNTR1端子より出力します。CNTR0又はCNTR1極性切り替えビットが $0$ のときは、CNTR0又はCNTR1端子の出力は $H$ 出力から開始します。 $1$ のときは、 $L$ 出力から開始します。このモードを使用する場合はポートP54又はポートP55の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0又はCNTR1端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0又はCNTR1極性切り替えビットが $0$ のときは、CNTR0又はCNTR1端子の立ち上がりエッジを、 $1$ のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0又はCNTR1極性切り替えビットが $0$ のときは、CNTR0又はCNTR1端子が $H$ の期間、発振周波数を16分周した信号をカウントします。 $1$ のときは、 $L$ の期間、カウントします。

いずれのモードでも、タイマX又はタイマYカウント停止ビットを $1$ に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

タイマYのタイマモードとパルス出力モードについては、ポート制御レジスタ2(002F<sub>16</sub>番地)のビット5(タイマYカウントソース選択ビット)により、発振周波数の16分周あるいは $f(XCIN)$ を選択することが可能です。

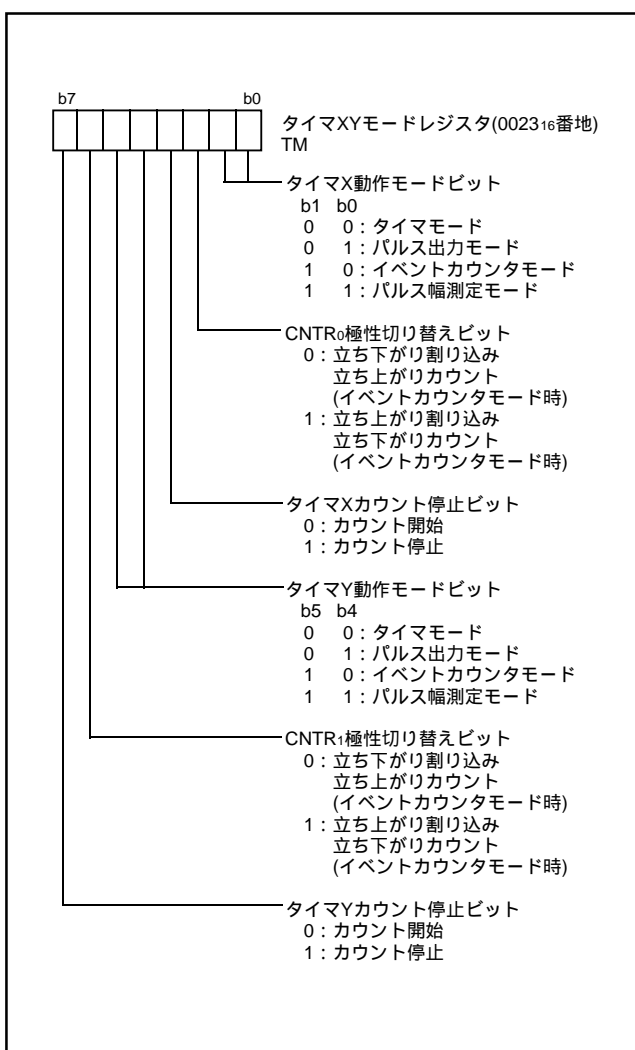


図19.タイマXYモードレジスタの構成

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

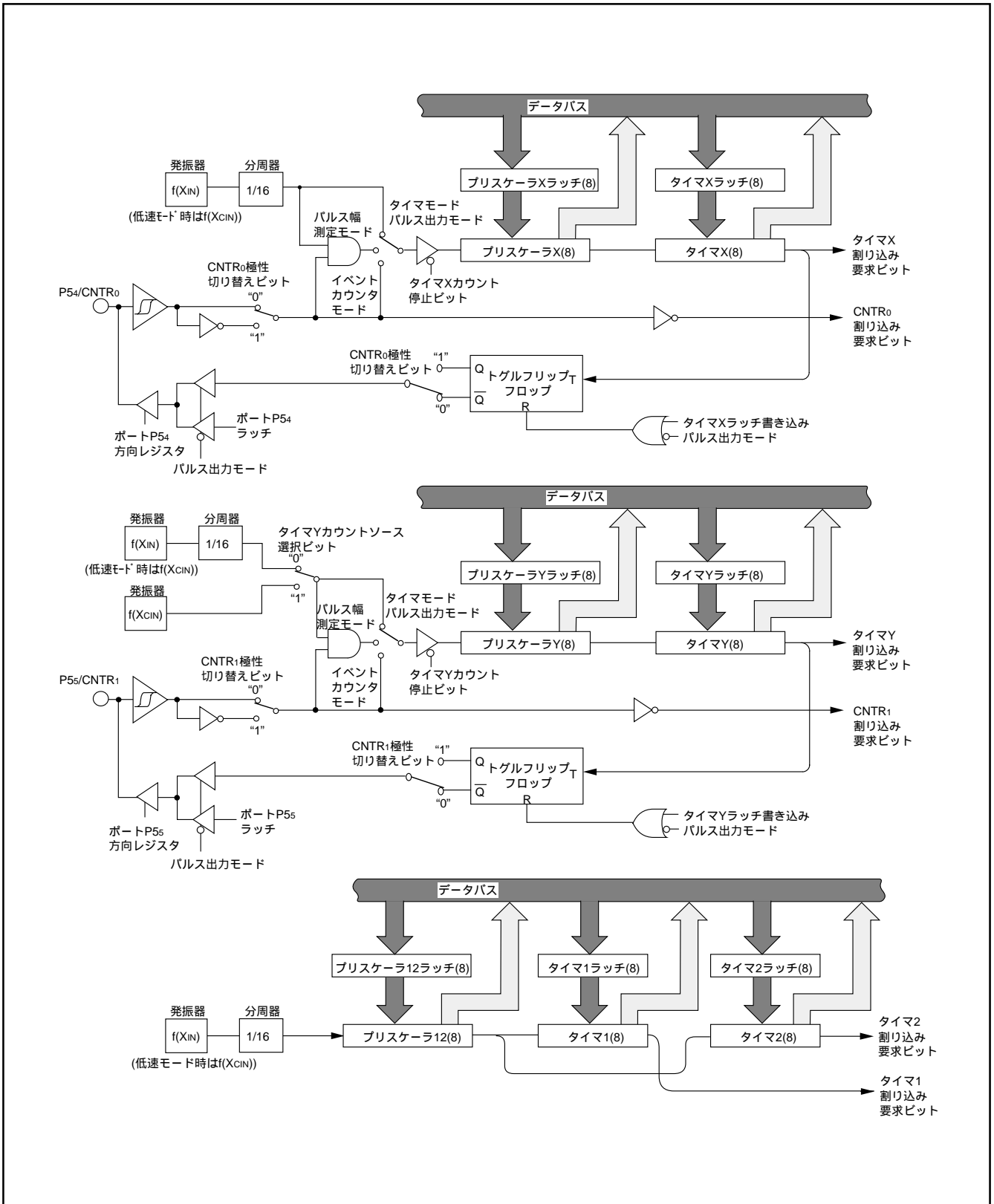


図20 .タイムX, タイムY, タイム1及びタイム2のブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウントで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(001E16番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(001E16番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(001E16番地)を読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット(ビット0～5)、STP命令禁止ビット(ビット6)、ウォッチドッグタイマHカウントソース選択ビット(ビット7)の値が読めます。

・ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりウォッチドッグタイマHは“FF16”に、ウォッチドッグタイマLは“FF16”に設定されます。

・ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(001E16番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)=8\text{MHz}$ 時131.072ms、 $f(XCIN)=32\text{kHz}$ 時32.768sになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ (又は $f(XCIN)$ )の16分周信号となります。この場合の検出時間は $f(XIN)=8\text{MHz}$ 時512 $\mu\text{s}$ 、 $f(XCIN)=32\text{kHz}$ 時128msになります。

このビットはリセット後“0”になります。

・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(001E16番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き換えることはできなくなります。

このビットはリセット後“0”になります。

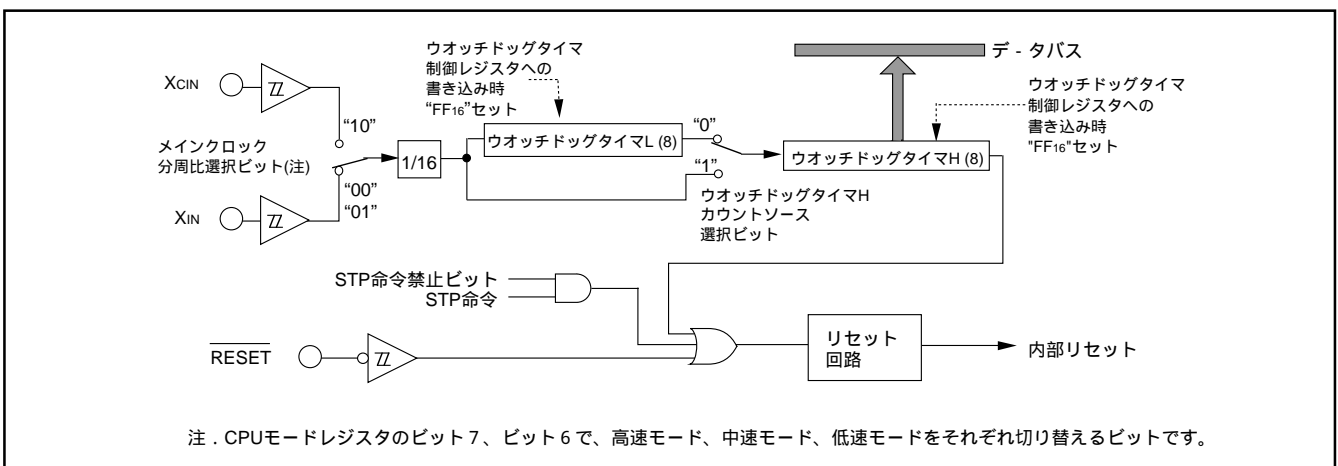


図21 .ウォッチドッグタイマのブロック図

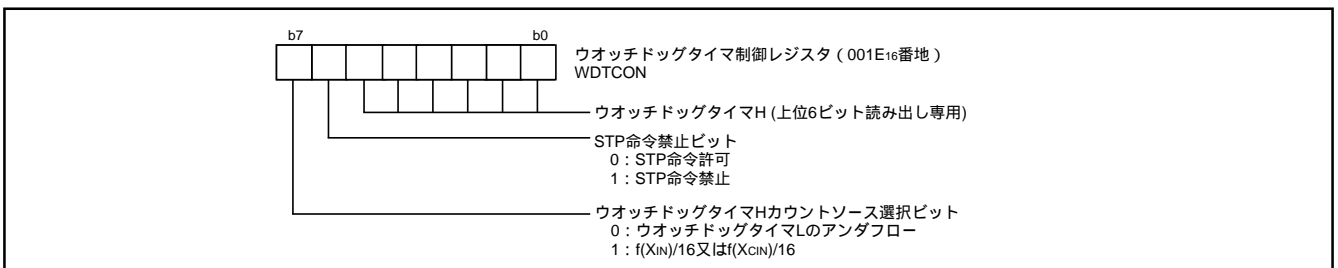


図22 .ウォッチドッグタイマ制御レジスタの構成

PWM出力回路 (PWM: Pulse Width Modulation)

PWM0、及びPWM1出力回路は、14ビットの分解能を持っており、それぞれ独立に動作できます。クロック周波数 $X_{IN} = 8\text{MHz}$ の場合、最小分解ビット幅 $250\text{ns}$ 、繰り返し周期 $4096\mu\text{s}$

です。PWMのタイミング発生部はクロック入力 $X_{IN}$ の周波数を基本として、PWMの制御信号を供給します。

以降の説明では $X_{IN} = 8\text{MHz}$ の場合について述べます。

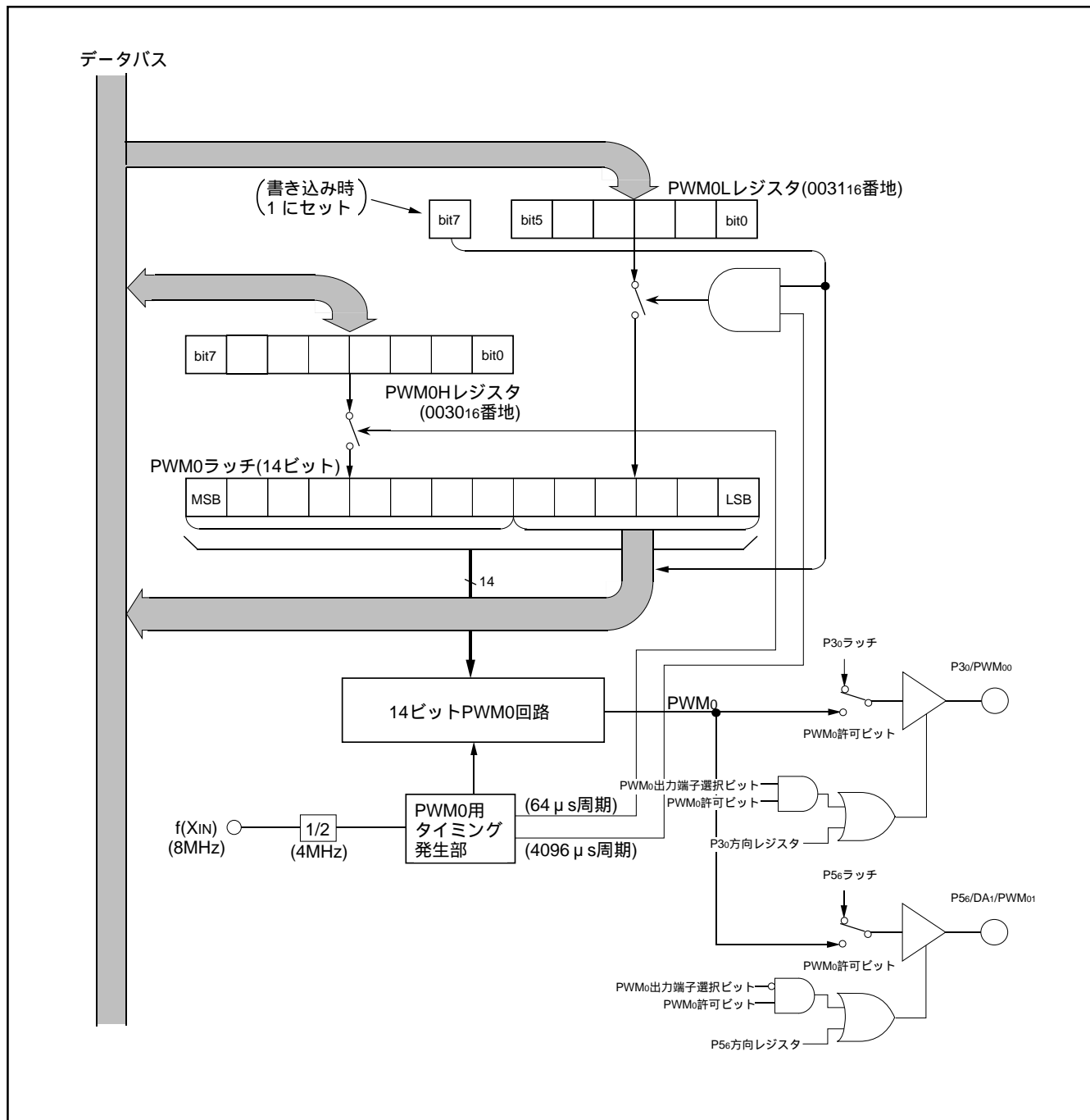


図23 .PWM回路ブロック図 (PWM0)

・データの設定(PWM0)

PWM0の出力端子はポートP30もしくはP56と共用しています。AD/DA制御レジスタ(0034<sub>16</sub>番地)のビット4によりPWM0出力端子を、P30/PWM00あるいはP56/PWM01どちらかに選択します。そして、ポート制御レジスタ1(002E<sub>16</sub>番地)のビット6をセットすることにより、PWM0出力許可状態になります。

出力データは上位8ビットをPWM0Hレジスタ(0030<sub>16</sub>番地)に、下位6ビットをPWM0Lレジスタ(0031<sub>16</sub>番地)にセットします。

PWM1についても同様に設定します。

・PWMの動作

14ビットPWMはPWMラッチ内のデータを下位6ビットと上位8ビットに分割します。

上位8ビットのデータNによって小区間 $t = 256 / N = 64 \mu s$  (は最小分解ビット幅250ns)ごとに、N倍の長さの“H”区間を出力します。この“H”区間に、表9のルールに従った下位6ビットのデータ内容によって図24で示すADD部分のビットの“H”又は“L”が付加されます。すなわち、PWMの繰り返し周期 $T = 64t$ の中で、表7に示す小区間 $t_m$ のみ他の区間に比べて最少分解幅だけ“H”区間が長くなります。

例えば、14ビットのデータで上位8ビットが03<sub>16</sub>、下位6ビットが05<sub>16</sub>の時は $t_8$ 、 $t_{24}$ 、 $t_{32}$ 、 $t_{40}$ 、 $t_{56}$ の小区間では4、他の $t_m$ の区間では3の長さの“H”が出力されます。

このようにすると、各小区間の“H”レベルの時間は、上位8ビットで設定した長さとなるが、その値プラスになるため、ほぼ等しくなりこの小区間周期(=64 $\mu s$ 、約15.6kHz)が近似的に繰り返し周期になります。

・レジスタからラッチへの転送

PWMLレジスタに書き込まれたデータはPWMの繰り返し周期(4096 $\mu s$ )ごとにPWMラッチに転送されます。また、PWMHレジスタに書き込まれたデータは小区間周期(64 $\mu s$ )ごとにPWMラッチに転送されます。PWM出力端子に出力される信号は、このラッチの内容に対応したものです。また、PWMLを読み込んだ場合もラッチの内容が読み込まれます。ただしPWMLのビット7はPWMLレジスタからPWMラッチへの転送完了を示します。ビット7が“0”ならば転送済みであり、“1”ならば未転送を示します。

表9 下位6ビットのデータとADDビットがセットされる区間の関係

下位6ビットのデータ	他の $t_m$ ( $m = 0 \sim 63$ )より だけ長い区間
000000 <sup>LSB</sup>	なし
000001	$m = 32$
000010	$m = 16, 48$
000100	$m = 8, 24, 40, 56$
001000	$m = 4, 12, 20, 28, 36, 44, 52, 60$
010000	$m = 2, 6, 10, 14, 18, 22, 26, 30, 34, 38, 42, 46, 50, 54, 58, 62$
100000	$m = 1, 3, 5, 7, \dots, 57, 59, 61, 63$

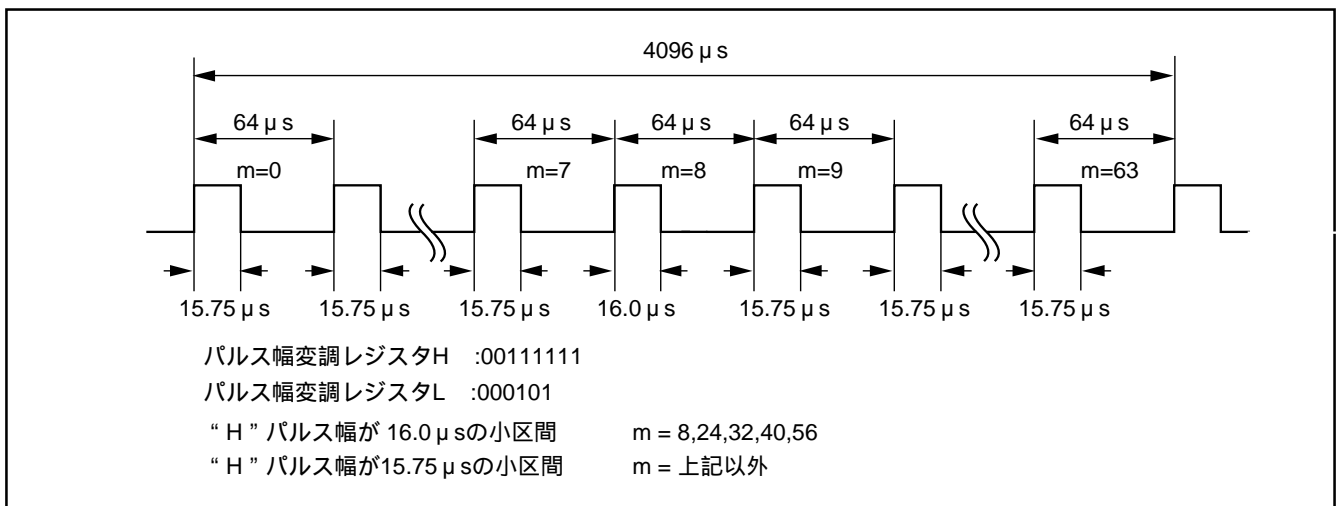


図24 PWMタイミング図



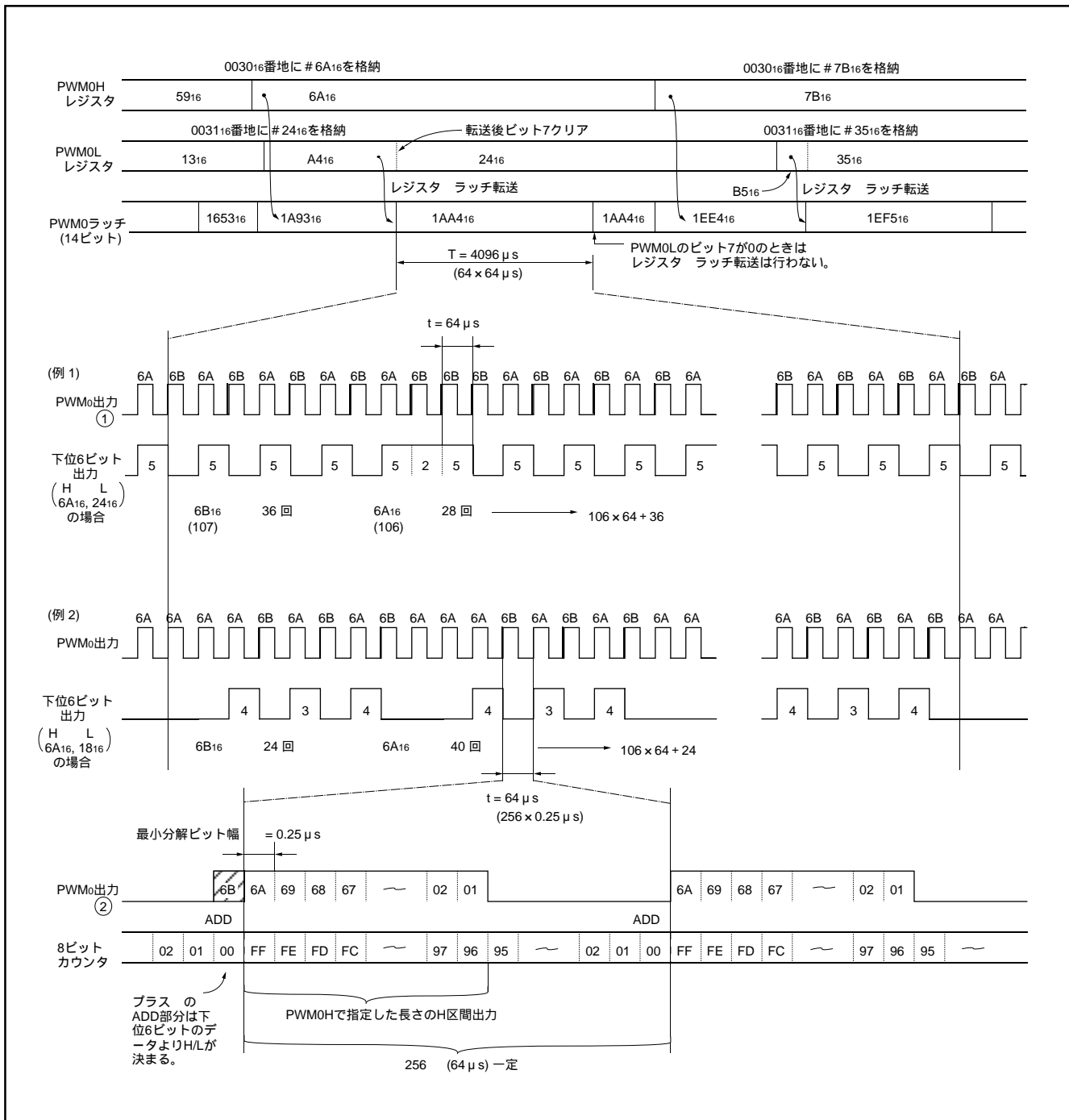


図25. 14ビットPWMタイミング図(PWM0)

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

シリアルI/O

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(001A<sub>16</sub>番地のビット6)を"1"にすることによって、クロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

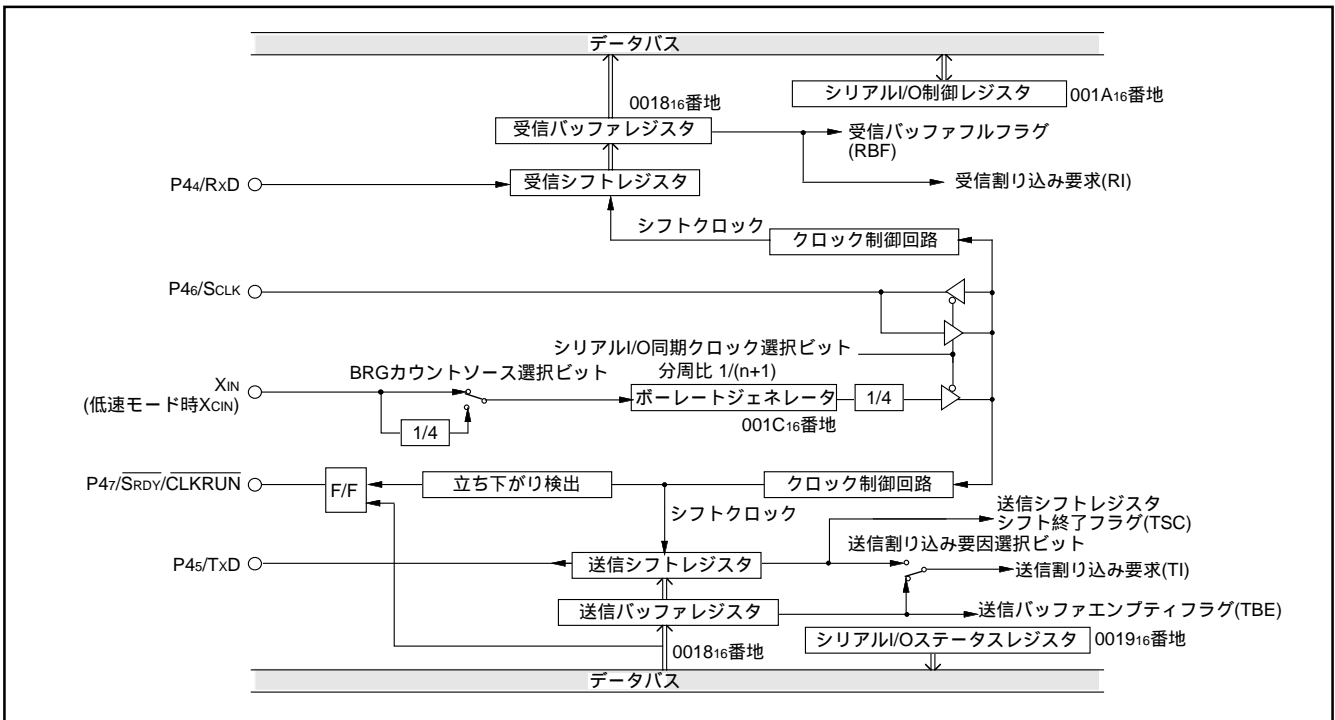


図26 .クロック同期形シリアルI/Oブロック図

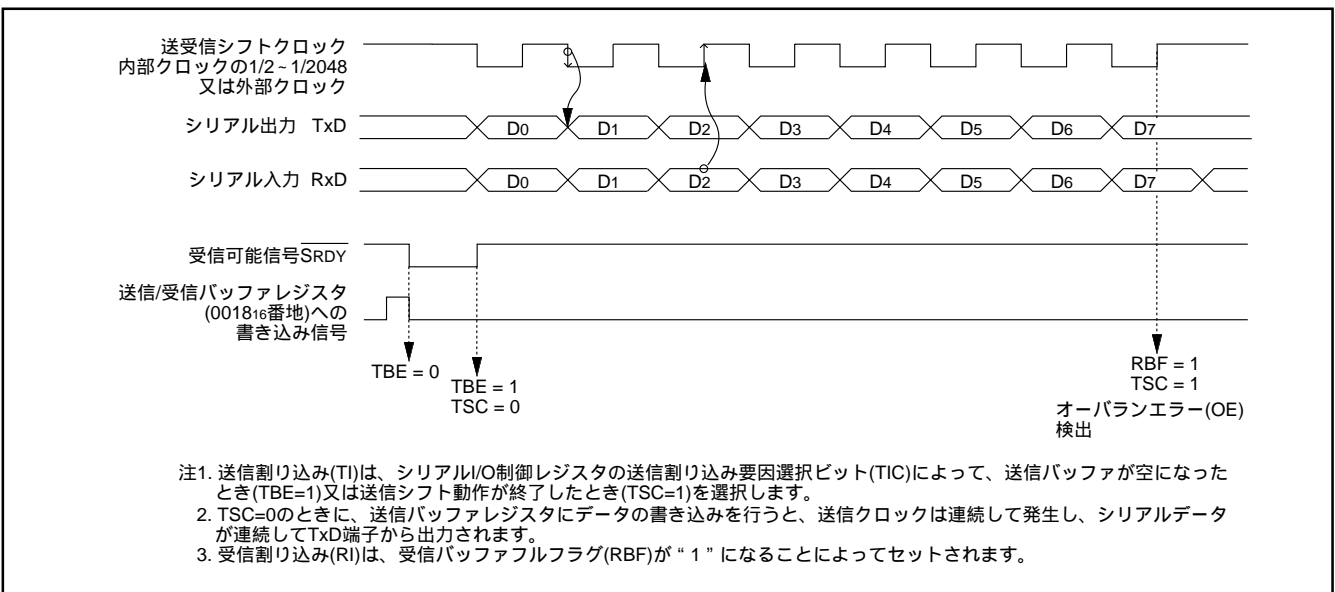


図27 .クロック同期形シリアルI/O動作図

(2) 非同期形シリアルI/O (UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビットを「0」にすることによってUARTが選択されます。

3885グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3885グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

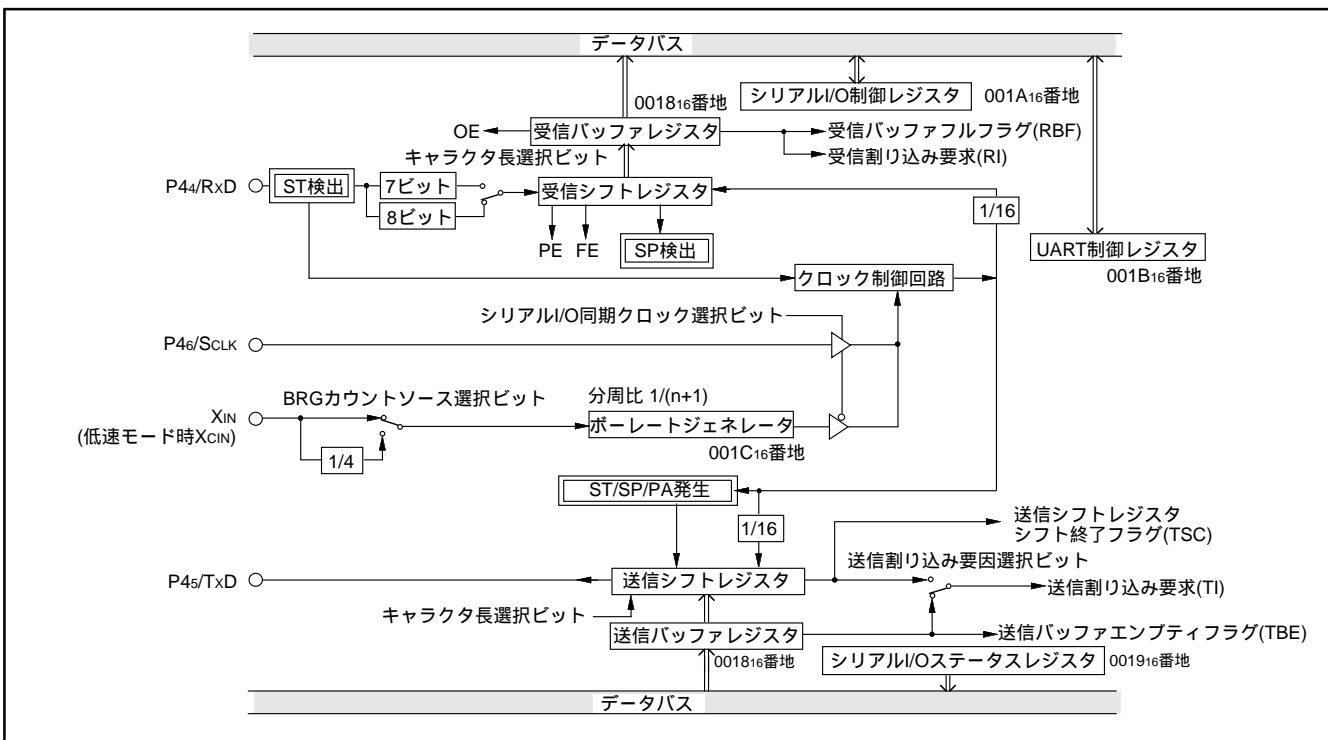


図28 UART形シリアルI/Oブロック図

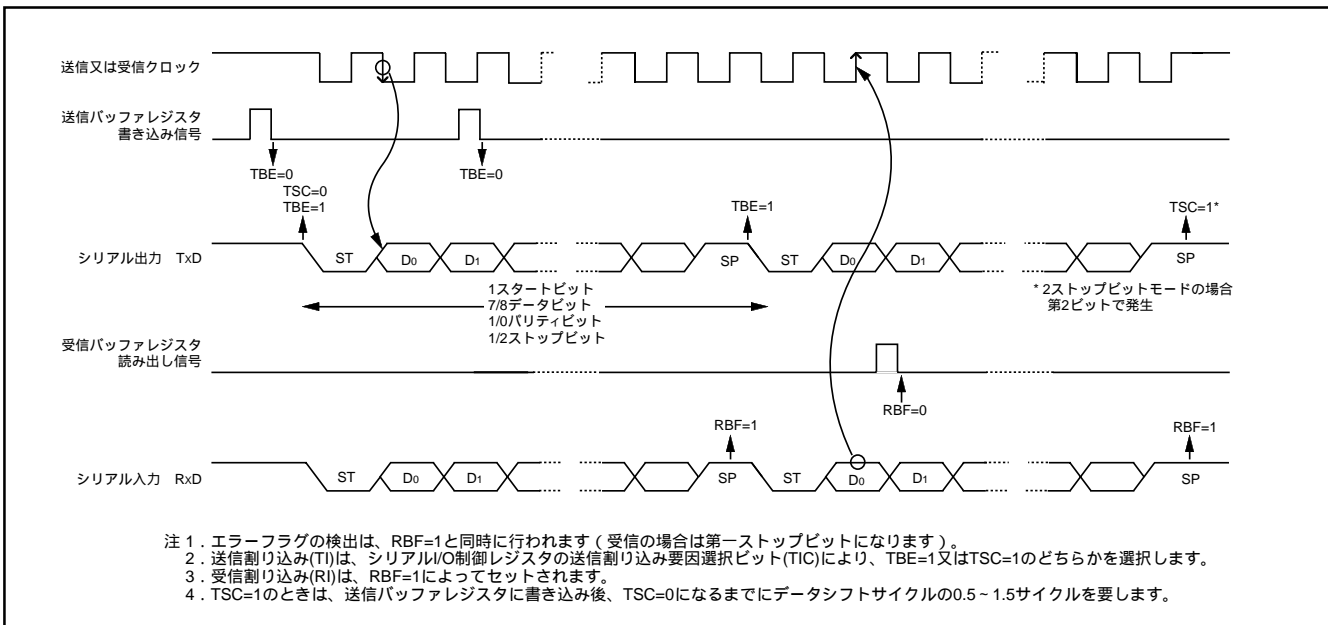


図29 UART形シリアルI/O動作図

【シリアルI/O制御レジスタ】SIOCON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD端子の出力形式などを設定します。

【シリアルI/Oステータスレジスタ】SIOSTS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)が“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0～6はリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/Oの送信許可ビットを“1”にしたとき、シリアルI/O送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。  
送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O送信割り込み要求ビットを“0”にする。

シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

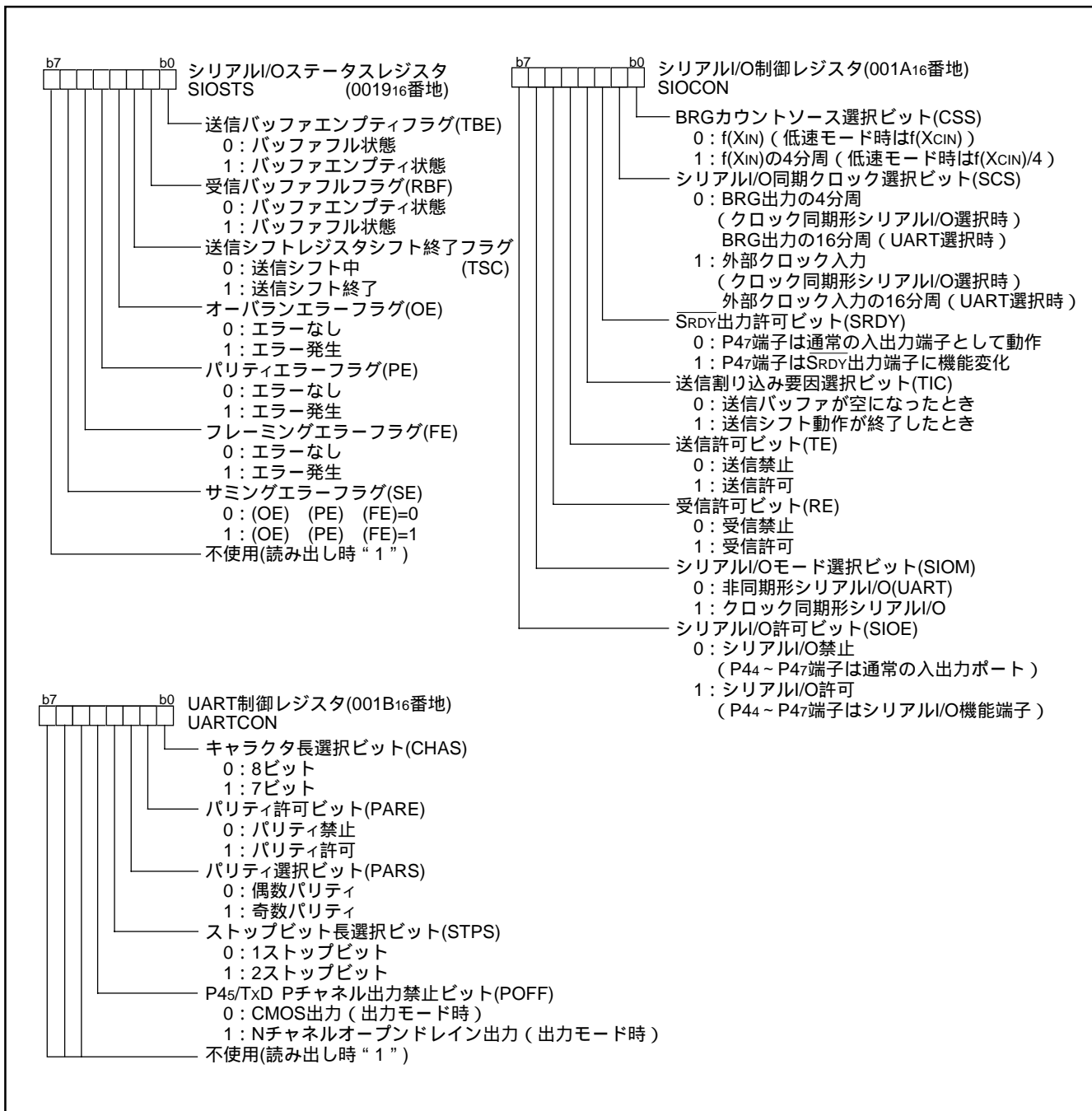


図30 シリアルI/O関係レジスタの構成

マルチマスタI<sup>2</sup>C-BUSインタフェース

マルチマスタI<sup>2</sup>C-BUSインタフェースは、フィリップス社I<sup>2</sup>C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロニクス機能を有しており、マルチマスタのシリアル通信に対応できます。

図31にマルチマスタI<sup>2</sup>C-BUSインタフェースのブロック図、表10にマルチマスタI<sup>2</sup>C-BUSインタフェース機能を示します。

このマルチマスタI<sup>2</sup>C-BUSインタフェースは、I<sup>2</sup>Cアドレスレジスタ、I<sup>2</sup>Cデータシフトレジスタ、I<sup>2</sup>Cクロックコントロールレジスタ、I<sup>2</sup>Cスタート/ストップ制御レジスタ、I<sup>2</sup>Cステータスレジスタ、I<sup>2</sup>Cスタート/ストップ制御レジスタとその他の制御回路により構成されています。

マルチマスタI<sup>2</sup>C-BUSインタフェースを使用する場合は、を1MHz以上にしてください。

表10 .マルチマスタI<sup>2</sup>C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I <sup>2</sup> C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I <sup>2</sup> C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz, ( = 4 MHz時) 20.2kHz ~ 312.5kHz, ( = 5MHz時)

システムクロック = f(XIN)2(高速モード)  
= f(XIN)8(中速モード)

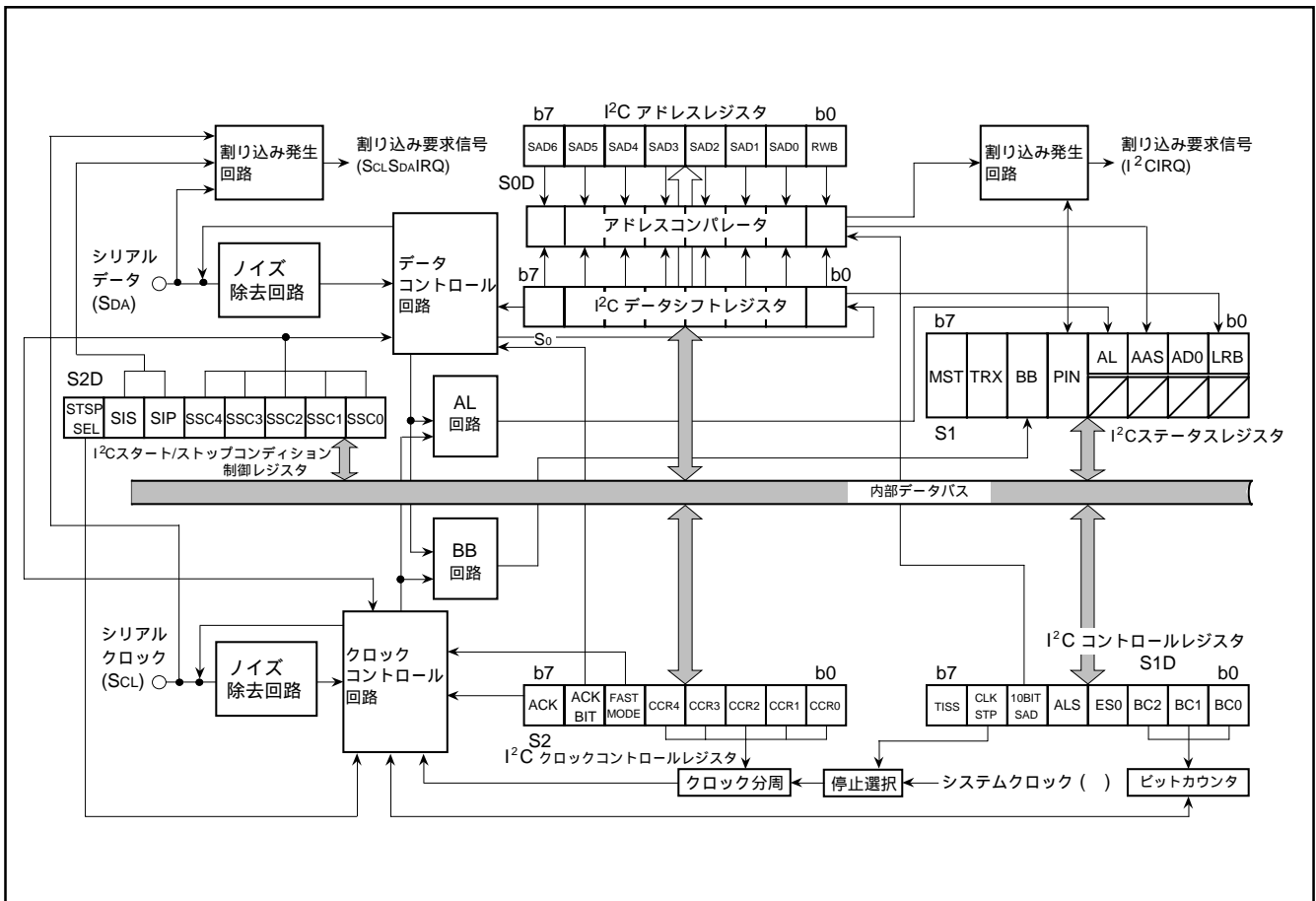


図31 .マルチマスタI<sup>2</sup>C-BUSインタフェースのブロック図

\* :Purchase of MITSUBISHI ELECTRIC CORPORATION'S I<sup>2</sup>C components conveys a license under the Philips I<sup>2</sup>C Patent Rights to use these components an I<sup>2</sup>C system , provided that the system conforms to the I<sup>2</sup>C Standard Specification as defined by Philips.

【I<sup>2</sup>Cデータシフトレジスタ】

I<sup>2</sup>Cデータシフトレジスタ(S0 : 0012<sub>16</sub>番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。SCLクロックの立ち上がりから、このレジスタに入力されるまでは、最短でφの2サイクルを要します。

I<sup>2</sup>Cデータシフトレジスタは、I<sup>2</sup>CコントロールレジスタのI<sup>2</sup>C-BUSインタフェース許可ビット(ES0ビット : 0015<sub>16</sub>番地のビット3)が“1”のときのみ書き込みが可能です。I<sup>2</sup>Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I<sup>2</sup>Cステータスレジスタ(0014<sub>16</sub>番地)のMSTビットが“1”のとき、I<sup>2</sup>Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I<sup>2</sup>Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

【I<sup>2</sup>Cアドレスレジスタ】

I<sup>2</sup>Cアドレスレジスタ(0013<sub>16</sub>番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

- ・ビット0 : リード/ライトビット(RWB)  
7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI<sup>2</sup>Cアドレスレジスタの内容(SAD6~SAD0+RWB)が比較されます。RWBビットはストップコンディションを検出すると、自動的に“0”になります。
- ・ビット1~ビット7 : スレーブアドレス(SAD0~SAD6)  
スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

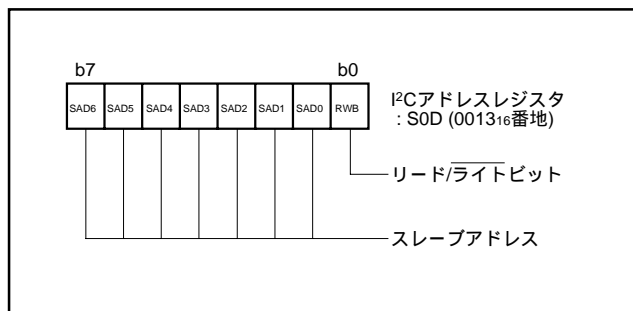


図32 I<sup>2</sup>Cアドレスレジスタの構成

【I<sup>2</sup>Cクロックコントロールレジスタ】

I<sup>2</sup>Cクロックコントロールレジスタ(0016<sub>16</sub>番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

- ・ビット0～ビット4：SCL周波数制御ビット (CCR0～CCR4)

SCL周波数を制御するビットです。表11を参照してください。

- ・ビット5：SCLモード指定ビット (FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

高速モードI<sup>2</sup>Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(X<sub>IN</sub>)を8MHz以上、高速モード(メインクロック分周比を2)でご使用ください。

- ・ビット6：アックビット (ACK BIT)

アッククロック\*発生時のSDAの状態を設定します。“0”の場合はアックを返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアックを返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT = “0”の状態、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的にSDAを“L”にします(アックを返します)。スレーブアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“H”にします(アックを返しません)。

\*アッククロック：確認応答用のクロック

- ・ビット7：アッククロックビット (ACK)

データ転送の確認応答であるアックノリッジメントのモードを指定するビットです。“0”の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロックありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し(“H”の状態にする) データを受信するデバイスが発生させるアックビットを受信します。

注. I<sup>2</sup>Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI<sup>2</sup>Cクロックジェネレータがリセットされ、データが正常に転送できません。

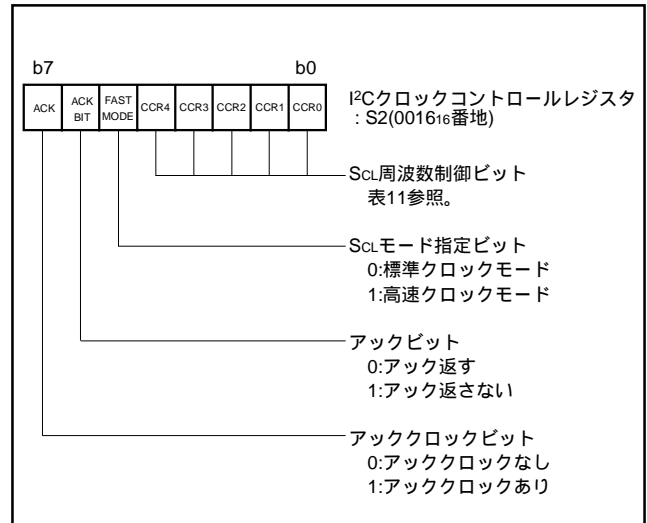


図33 I<sup>2</sup>Cクロックコントロールレジスタの構成

表11 I<sup>2</sup>Cクロックコントロールレジスタの設定値とSCL周波数

CCR4～CCR0の設定値					SCL周波数 ( = 4 MHz時, 単位: kHz) 注1	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	- (注2)	333
0	0	1	0	0	- (注2)	250
0	0	1	0	1	100	400(注3)
0	0	1	1	0	83.3	166
∴	∴	∴	∴	∴	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. SCLクロック出力のデューティは50%です。高速クロックモードCCR値=5のみ35～45%になります。(400kHz, = 4 MHz時) また、クロックの“H”の期間は標準クロックモードでの+2～-4マシサイクル、高速クロックモードでの+2～-2サイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数上がることはありません。これらはシンクロニズ機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4～CCR0を10進数表記した値です。

注2. =4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合は をより低い周波数で使用ください。

注3. SCL周波数の計算式は次のとおりです。  
 / (8 × CCR値) 標準クロックモード  
 / (4 × CCR値) 高速クロックモード (CCR値 = 5)  
 / (2 × CCR値) 高速クロックモード (CCR値 = 5)  
 CCR値=0～2は の周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4～CCR0を設定ください。



【I<sup>2</sup>Cコントロールレジスタ】

I<sup>2</sup>Cコントロールレジスタ(0015<sub>16</sub>番地)はデータ通信フォーマットの制御を行うレジスタです。

- ・ビット0～ビット2：ビットカウンタ(BC0～BC2)  
次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(0016<sub>16</sub>番地のビット7)による指定があればアッククロックも合わせたビットカウント数の転送完了直後、I<sup>2</sup>C割り込みの要求が発生し、BC0～BC2は“0002”に戻ります。またスタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは必ず8ビットで送受信されます。

- ・ビット3：I<sup>2</sup>Cインタフェース許可ビット(ES0)  
マルチマスタI<sup>2</sup>C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ES0 = “0”のとき、次のように処理されます。

I<sup>2</sup>Cステータスレジスタ(0014<sub>16</sub>番地)のPIN = “1”, BB = “0”, AL = “0”に設定される。

I<sup>2</sup>Cデータシフトレジスタ(0012<sub>16</sub>番地)への書き込みは禁止される。

- ・ビット4：データフォーマット選択ビット(ALS)  
スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(次頁【I<sup>2</sup>Cステータスレジスタ】のビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

- ・ビット5：アドレッシングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I<sup>2</sup>Cアドレスレジスタ(0013<sub>16</sub>番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I<sup>2</sup>Cアドレスレジスタの全ビットがアドレスデータと比較されます。

- ・ビット6：システムクロック停止選択ビット(CLKSTP)

WIT命令及びSTP命令実行時、マルチマスタI<sup>2</sup>C-BUSインタフェースに供給されるシステムクロックの状態を選択するビットです。“0”の場合はWIT命令及びSTP命令実行によってシステムクロックは停止します。マルチマスタI<sup>2</sup>C-BUSインタフェースの動作も停止します。“1”の場合はWIT命令実行時でもシステムクロックは停止せず、マルチマスタI<sup>2</sup>C-BUSインタフェースの動作も停止しません。システムクロック停止選択ビットが“1”の場合、STP命令を実行しないでください。

- ・ビット7：I<sup>2</sup>C-BUSインタフェース端子入力レベル選択ビット

マルチマスタI<sup>2</sup>C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

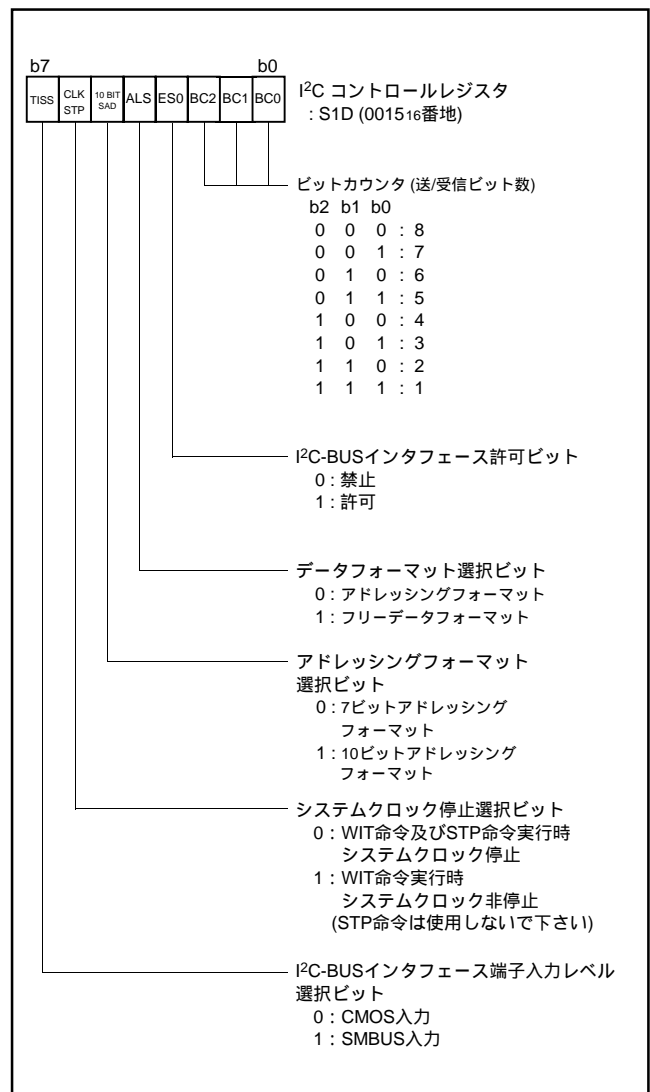


図34 I<sup>2</sup>Cコントロールレジスタの構成

【I<sup>2</sup>Cステータスレジスタ】

I<sup>2</sup>Cステータスレジスタ(0014<sub>16</sub>番地)はI<sup>2</sup>C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので“0000<sub>2</sub>”を書き込みください。

## ・ビット0：最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アッククロック発生時に、アックが返ってきた場合、LRBビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I<sup>2</sup>Cデータシフトレジスタ(0012<sub>16</sub>番地)に書き込み命令を実行すると“0”になります。

## ・ビット1：ジェネラルコール検出フラグ(AD0)

ALSビットが“0”の場合、アドレスデータがすべて“0”であるジェネラルコール<sup>\*</sup>をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより“0”になります。

<sup>\*</sup>ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“0016”を送信すること。

## ・ビット2：スレーブアドレス比較フラグ(AAS)

ALSビットが“0”の場合アドレスの比較結果を示します。

スレーブ受信モード時、7ビットアドレッシングフォーマットでは以下のいずれかの条件で、“1”になります。

・スタートコンディション発生直後のアドレスデータがI<sup>2</sup>Cアドレスレジスタ(0013<sub>16</sub>番地)に格納されている上位7ビットのスレーブアドレスと一致した場合

・ジェネラルコールを受信した場合

スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。

・アドレスデータとI<sup>2</sup>Cアドレスレジスタ(スレーブアドレス、及びRWビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

このビットはES0が“1”の場合のI<sup>2</sup>Cデータシフトレジスタ(0012<sub>16</sub>番地)への書き込み、又はリセットにより“0”になります。

・ビット3：アービトレーションロスト<sup>\*</sup>検出フラグ(AL)

マスタ送信モード時、S<sub>DA</sub>がマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に“0”になります。

アービトレーションロストはマスタ送信モードのみ検出

可能です。スレーブアドレス送信中にアービトレーションを失った場合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

<sup>\*</sup>アービトレーションロスト：マスタとしての通信が不許可となった状態。

## ・ビット4：SCL端子Lowホールドビット(PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへ割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”の時、SCLは“0”に保たれクロックの発生は禁止されます。図42に割り込み要求信号の発生タイミングを示します。

PINビットが“1”になる条件を以下に示します。

・I<sup>2</sup>Cデータシフトレジスタ(0012<sub>16</sub>番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)

・ES0ビットが“0”のとき

・リセット時

・ソフトウェアによる“1”書き込み。

PINビットが“0”になる条件を以下に示します。

・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)

・1バイトのデータ受信完了直後

・スレーブ受信の際、ALS=0で、スレーブアドレス一致又は、ジェネラルコールアドレス受信完了直後

・スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

## ・ビット5：バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、S<sub>DA</sub>端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(0017<sub>16</sub>番地)のスタート/ストップコンディション設定ビット(SSC4~SSC0)の条件に従います。また、I<sup>2</sup>Cコントロールレジスタ(0015<sub>16</sub>番地)のES0ビット(ビット3)が“0”の時、及びリセット時にBBフラグは“0”になります。

BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法及びストップコンディション発生方法をご参照ください。

・ビット6： 通信モード指定ビット

(転送方向指定ビット：TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。

以下の場合、ハードウェアにより“1”になります。

- ・ALS = “0”かつスレープで、 $R/\overline{W}$ ビット受信が“1”の場合

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・MST = “0”で、スタートコンディションを検出した場合
- ・MST = “0”で、アックが返ってこなかったことを検出した場合
- ・リセット時

・ビット7： 通信モード指定ビット

(マスタ/スレープ指定ビット：MST)

データ通信を行う際のマスタ/スレープを指定するビットです。“0”の場合、スレープとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ転送終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・リセット時

注．スタートコンディション重複防止機能

スタートコンディション発生の手順では、BBフラグの“0”を確認後、MST、TRX、BBの各ビットに同時“1”書き込みを行いますが、BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレープアドレスの受信完了までの期間有効となります。

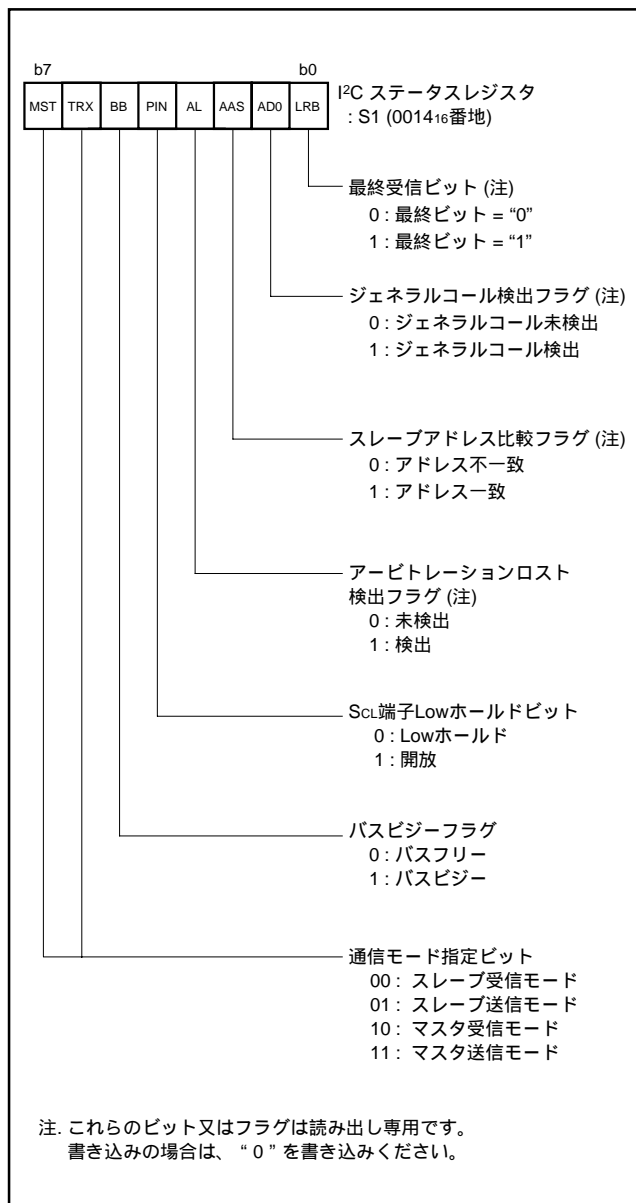


図35 I<sup>2</sup>Cステータスレジスタの構成

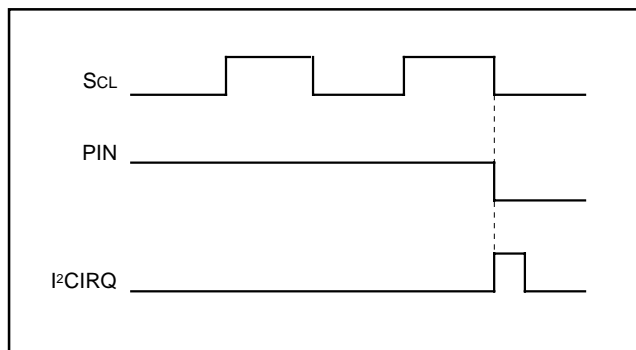


図36 割り込み要求信号の発生タイミング

●スタートコンディション発生方法

I<sup>2</sup>Cコントロールレジスタ(0015<sub>16</sub>番地)のES0ビットが“1”、BBフラグが“0”の状態、I<sup>2</sup>Cデータシフトレジスタ(0012<sub>16</sub>番地)にスレーブアドレスの書き込みの後、I<sup>2</sup>Cステータスレジスタ(0014<sub>16</sub>番地)のMST, TRX, BBビットに“1”書き込みを同時に行くとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図37のスタートコンディション発生タイミング図と表12のスタートコンディション発生タイミング表を参照してください。

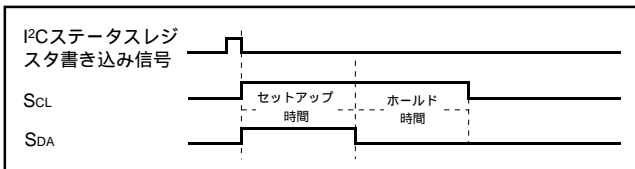


図37 スタートコンディション発生タイミング図

表12 スタートコンディション発生タイミング表

項目	スタート/ストップコンディション発生選択ビット	標準クロックモード	高速クロックモード
セットアップ時間	“0”	5.0 μs (20サイクル)	2.5 μs (10サイクル)
	“1”	13.0 μs (52サイクル)	6.5 μs (26サイクル)
ホールド時間	“0”	5.0 μs (20サイクル)	2.5 μs (10サイクル)
	“1”	13.0 μs (52サイクル)	6.5 μs (26サイクル)

注. = 4 MHz時の絶対時間, ( )内は のサイクル数

●ストップコンディションの発生方法

I<sup>2</sup>Cコントロールレジスタ(0015<sub>16</sub>番地)のES0ビットが“1”の状態、I<sup>2</sup>Cステータスレジスタ(0014<sub>16</sub>番地)のMST, TRXビットに“1”, BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図38のストップコンディション発生タイミング図と表13のストップコンディション発生タイミング表を参照してください。

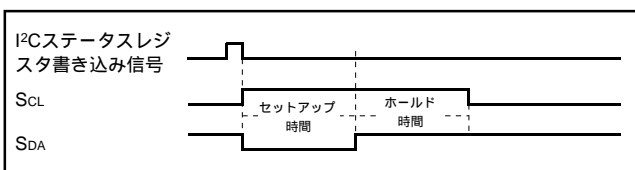


図38 ストップコンディション発生タイミング図

表13 ストップコンディション発生タイミング表

項目	スタート/ストップコンディション発生選択ビット	標準クロックモード	高速クロックモード
セットアップ時間	“0”	5.5 μs (22サイクル)	3.0 μs (12サイクル)
	“1”	13.5 μs (54サイクル)	7.0 μs (28サイクル)
ホールド時間	“0”	5.5 μs (22サイクル)	3.0 μs (12サイクル)
	“1”	13.5 μs (54サイクル)	7.0 μs (28サイクル)

注. = 4 MHz時の絶対時間, ( )内は のサイクル数

●スタート/ストップコンディション検出動作

スタート/ストップコンディションの検出動作を図39、図40と表14に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL, SDA端子の入力信号が、表14のSCL解放時間、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表14のBBフラグセット/リセット時間を参照してください。

注. スレーブ MST=0 時にストップコンディションを検出すると、CPUに対して割り込み要求信号I<sup>2</sup>CIRQが発生します。

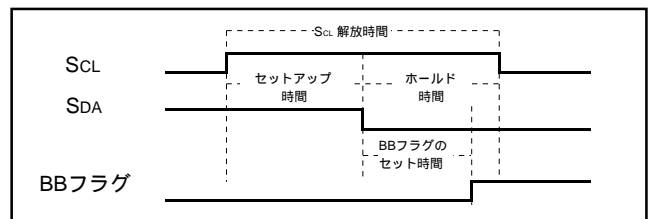


図39 スタートコンディション検出のタイミング図

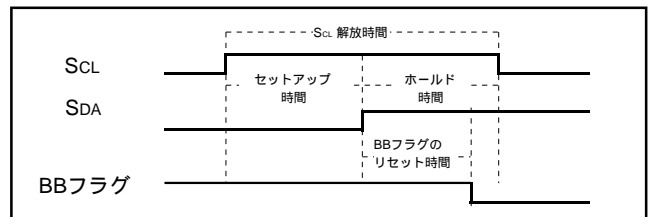


図40 ストップコンディション検出のタイミング図

表14 スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL解放時間	SSC値+1サイクル(6.25 μs)	4サイクル(1.0 μs)
セットアップ時間	$\frac{SSC値}{2} + 1$ サイクル < 4.0 μs (3.25 μs)	2サイクル(1.0 μs)
ホールド時間	$\frac{SSC値}{2}$ サイクル < 4.0 μs (3.0 μs)	2サイクル(0.5 μs)
BBフラグセット/リセット時間	$\frac{SSC値 - 1}{2} + 2$ サイクル(3.375 μs)	3.5サイクル(0.875 μs)

注. 単位はシステムクロック のサイクル数

SSC値はスタート/ストップコンディション設定ビットSSC4 ~ SSC0を10進数表記した値です。SSC値=0及び奇数となる設定は禁止です。( )内は =4MHz時 I<sup>2</sup>Cスタート/ストップコンディション制御レジスタに“1816”を設定した場合の時間の一例です。

【I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ】

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(0017<sub>16</sub>番地)はスタートコンディション、ストップコンディションの検出を制御するレジスタです。

- ・ビット0～ビット4：スタート/ストップコンディション設定ビット(SSC4～SSC0)

SCL解放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数 $f(X_{IN})$ や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL解放時間、セットアップ時間、ホールド時間を設定する必要があります。表14を参照してください。

スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表15に示します。

- ・ビット5：SCL/SDA割り込み端子極性選択ビット(SIP)  
SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。
- ・ビット6：SCL/SDA割り込み端子選択ビット(SIS)  
SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

注．SCL/SDA割り込み端子極性選択ビット，SCL/SDA割り込み端子選択ビットやI<sup>2</sup>C-BUSインタフェース許可ビットES0の設定を変更する際，SCL/SDA割り込みの要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合，上記のビット設定をする前に割り込みを禁止して，ビット設定後に要求ビットを“0”にリセットして割り込みを許可してください。

- ・ビット7：スタート/ストップコンディション発生選択ビット(STSPSEL)  
スタート/ストップコンディション発生時のセットアップ/ホールド時間の長さを選択できます。セットアップ/ホールド時間の長さは、システムクロックのサイクル数が基準になり、かつスタートコンディションあるいはストップコンディションで異なりますので表12及び表13を参照してください。システムクロックの周波数が4MHzを越える場合は、このビットを“1”に設定してください。

## ●アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

## (1)7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I<sup>2</sup>Cコントロールレジスタ(0015<sub>16</sub>番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I<sup>2</sup>Cアドレスレジスタ(0013<sub>16</sub>番地)に格納された7ビットのスレーブアドレスを比較します。この比較時には、I<sup>2</sup>Cアドレスレジスタ(0013<sub>16</sub>番地)のRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図42の(1),(2)を参照してください。

## (2)10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I<sup>2</sup>Cコントロールレジスタ(0015<sub>16</sub>番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I<sup>2</sup>Cアドレスレジスタ(0013<sub>16</sub>番地)に格納されたスレーブアドレス8ビットがアドレス比較されます。この比較時には、I<sup>2</sup>Cアドレスレジスタ(0013<sub>16</sub>番地)のRWBビットと、マスタから送信されるアドレスデータの最終ビット(R/W $\bar{W}$ ビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>Cステータスレジスタ(0014<sub>16</sub>番地)のAASビットが“1”にセットされます。2バイト目のアドレスデータは、I<sup>2</sup>Cデータシフトレジスタ(0012<sub>16</sub>番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>Cアドレスレジスタ(0013<sub>16</sub>番地)のRWBビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/W $\bar{W}$ のデータとI<sup>2</sup>Cアドレスレジスタ(0013<sub>16</sub>番地)の値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図42の(3),(4)を参照してください。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

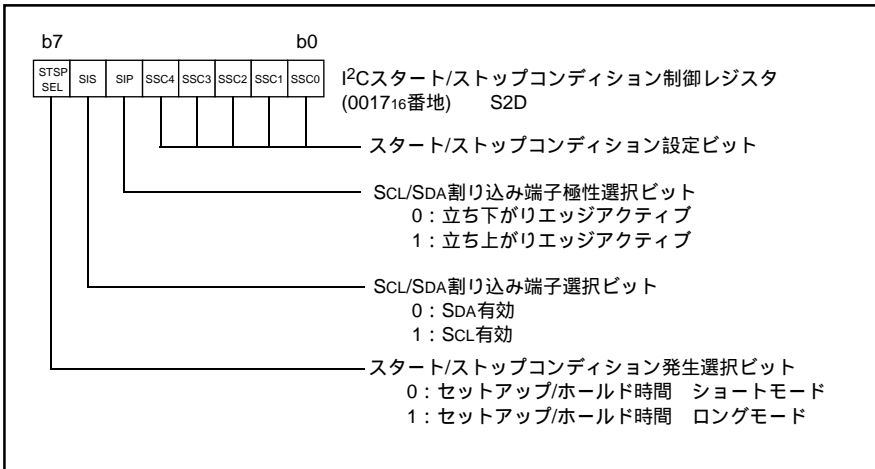


図41 I<sup>2</sup>Cスタート/ストップコンディション制御レジスタの構成

表15 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4 ~ SSC0)への推奨設定値

発振周波数 f(XIN) (MHz)	メイン クロック 分周比	システム クロック (MHz)	スタート/ストップ コンディション制御 レジスタ	SCL解放時間 ( $\mu$ s)	セットアップ時間 ( $\mu$ s)	ホールド時間 ( $\mu$ s)
8	2	4	XXX11010	6.75 $\mu$ s (27サイクル)	3.5 $\mu$ s (14サイクル)	3.25 $\mu$ s (13サイクル)
8	8	1	XXX11000	6.25 $\mu$ s (25サイクル)	3.25 $\mu$ s (13サイクル)	3.0 $\mu$ s (12サイクル)
			XXX00100	5.0 $\mu$ s (5サイクル)	3.0 $\mu$ s (3サイクル)	2.0 $\mu$ s (2サイクル)
4	2	2	XXX01100	6.5 $\mu$ s (13サイクル)	3.5 $\mu$ s (7サイクル)	3.0 $\mu$ s (6サイクル)
2	2	1	XXX01010	5.5 $\mu$ s (11サイクル)	3.0 $\mu$ s (6サイクル)	2.5 $\mu$ s (5サイクル)
			XXX00100	5.0 $\mu$ s (5サイクル)	3.0 $\mu$ s (3サイクル)	2.0 $\mu$ s (2サイクル)

注. スタート/ストップコンディション設定ビット(SSC4 ~ SSC0)に奇数の値及び<sup>0</sup>000002<sup>1</sup>は設定しないでください。

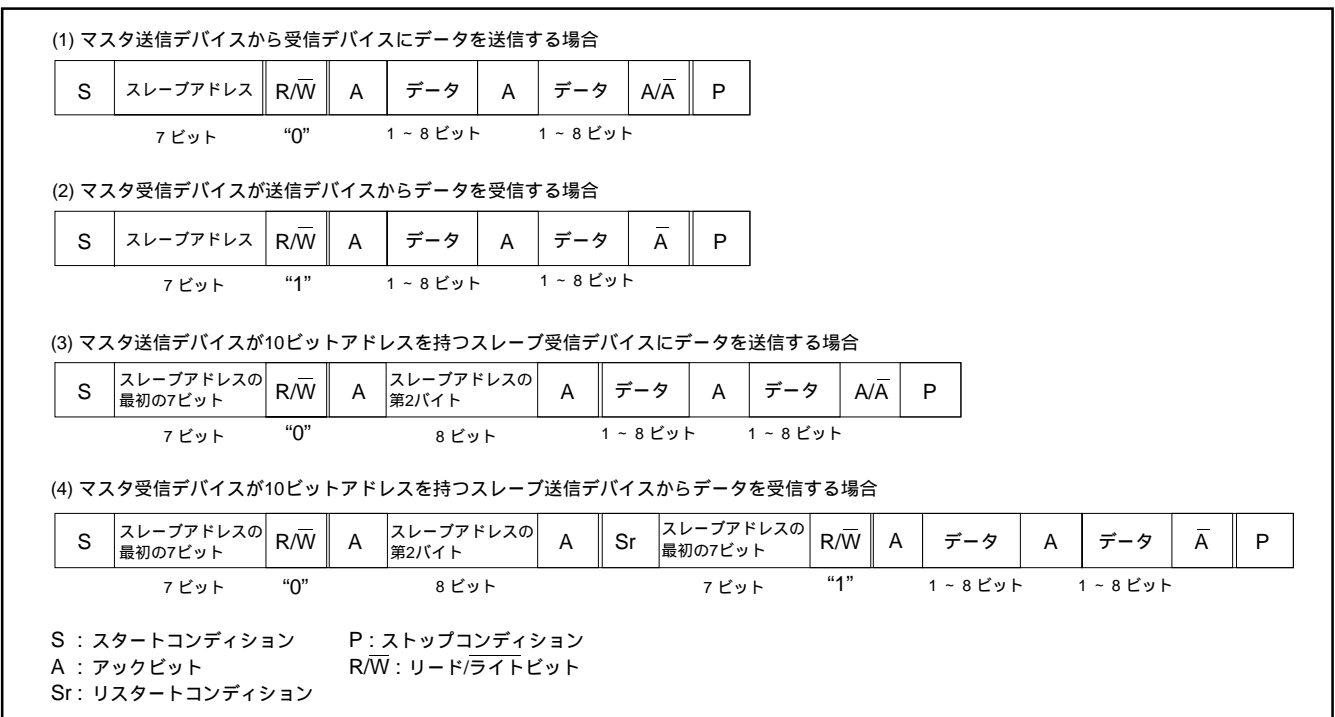


図42 アドレスデータ通信フォーマット

●マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

- (1) I<sup>2</sup>Cアドレスレジスタ( 0013<sub>16</sub>番地 )の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I<sup>2</sup>Cクロックコントロールレジスタ( 0016<sub>16</sub>番地 )に“85<sub>16</sub>”を設定することによって、アックを返すモード、SCL = 100kHzにします。
- (3) I<sup>2</sup>Cステータスレジスタ( 0014<sub>16</sub>番地 )に“00<sub>16</sub>”を設定し、送受信のモードを初期状態にします。
- (4) I<sup>2</sup>Cコントロールレジスタ( 0015<sub>16</sub>番地 )に“08<sub>16</sub>”を設定することによって、通信許可状態にします。
- (5) I<sup>2</sup>Cステータスレジスタ( 0014<sub>16</sub>番地 )のBBフラグによりバスフリー状態を確認します。
- (6) I<sup>2</sup>Cデータシフトレジスタ( 0012<sub>16</sub>番地 )の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- (7) I<sup>2</sup>Cステータスレジスタ( 0014<sub>16</sub>番地 )に“F0<sub>16</sub>”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- (8) I<sup>2</sup>Cデータシフトレジスタ( 0012<sub>16</sub>番地 )に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10)スレーブ受信側からのアックが返らない場合、あるいは送信が終了した場合は、I<sup>2</sup>Cステータスレジスタ( 0014<sub>16</sub>番地 )に“D0<sub>16</sub>”を設定することによって、ストップコンディションを発生させます。

●スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I<sup>2</sup>Cアドレスレジスタ( 0013<sub>16</sub>番地 )の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I<sup>2</sup>Cクロックコントロールレジスタ( 0016<sub>16</sub>番地 )に“25<sub>16</sub>”を設定することによって、アックなしモード、SCL = 400kHzにします。
- (3) I<sup>2</sup>Cステータスレジスタ( 0014<sub>16</sub>番地 )に“00<sub>16</sub>”を設定し、送受信のモードを初期状態にします。
- (4) I<sup>2</sup>Cコントロールレジスタ( 0015<sub>16</sub>番地 )に“08<sub>16</sub>”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。
- (6) ・送信されたアドレスがすべて“0”の場合( ジェネラルコール ) I<sup>2</sup>Cステータスレジスタ( 0014<sub>16</sub>番地 )のAD0 = “1”に設定され、割り込み要求信号が発生します。  
・送信されたアドレスが、( 1 )で設定したアドレスと一致した場合、I<sup>2</sup>Cステータスレジスタ( 0014<sub>16</sub>番地 )のAAS = “1”に設定され、割り込み要求信号が発生します。  
・上記以外の場合、I<sup>2</sup>Cステータスレジスタ( 0014<sub>16</sub>番地 )のAD0 = “0”、AAS = “0”に設定され、割り込み要求信号は発生しません。
- (7) I<sup>2</sup>Cデータシフトレジスタ( 0012<sub>16</sub>番地 )にダミーデータを設定します。
- (8) 複数バイトの制御データを受信する場合、(7)を繰り返します。
- (9) ストップコンディションを検出すると通信が終了します。

■マルチマスタI<sup>2</sup>C-BUSインタフェースの注意事項

(1) リード・モディファイ・ライト命令の使用について

SEB, CLBなどのリード・モディファイ・ライト命令をマルチマスタI<sup>2</sup>C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

- ・I<sup>2</sup>Cデータシフトレジスタ(S0: 0012<sub>16</sub>番地)  
転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
- ・I<sup>2</sup>Cアドレスレジスタ(S0D: 0013<sub>16</sub>番地)  
ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット(RWB)が、H/Wによって変化するためです。

- ・I<sup>2</sup>Cステータスレジスタ(S1: 0014<sub>16</sub>番地)  
すべてのビットはH/Wによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。
- ・I<sup>2</sup>Cコントロールレジスタ(S1D: 0015<sub>16</sub>番地)  
スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。  
上記のタイミングでビットカウンタ(BC0~BC2)が、H/Wによって変化するためです。
- ・I<sup>2</sup>Cクロックコントロールレジスタ(S2: 0016<sub>16</sub>番地)  
リード・モディファイ・ライト命令は使用可能です。
- ・I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(S2D: 0017<sub>16</sub>番地)  
リード・モディファイ・ライト命令は使用可能です。

(2) マルチマスタで使用する場合のスタートコンディション発生手順について

手順例(発生手順の必要条件は以降に記します。)

```

:
LDA  ~                (スレーブアドレス値の取り出し)
SEI                    (割り込みの禁止)
BBS  5,S1,BUSBUSY    (BBフラグ確認及び分岐処理)
BUSFREE:
STA  S0                (スレーブアドレス値の書き込み)
LDM  #$F0,S1          (スタートコンディション発生トリガ)
CLI                    (割り込みの許可)
:
BUSBUSY:
CLI                    (割り込みの許可)
:

```

BBフラグの確認及び分岐処理はBBS 5,\$0014, ~ のBranch on Bit Setを必ず使用してください。

I<sup>2</sup>Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA \$12、STX \$12あるいはSTY \$12のゼロページアドレッシング命令を必ず使用してください。

前記の分岐命令と のストア命令は手順例のとおり必ず連続して実行するようにしてください。

BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3) リスタートコンディション発生手順について

手順例(発生手順の必要条件は以降に記します。)

PINビットが<sup>0</sup>のとき、以下の手順を実行してください。

```

:
LDM  #$00,S1          (スレーブ受信モードにする)
LDA  ~                (スレーブアドレス値の取り出し)
SEI                    (割り込みの禁止)
STA  S0                (スレーブアドレス値の書き込み)
LDM  #$F0,S1          (リスタートコンディション発生トリガ)
CLI                    (割り込みの許可)
:

```

PINビットが<sup>0</sup>の状態、スレーブ受信モードにしてください。PINビットには<sup>1</sup>を書き込まないでください。

BBビットへの書き込みに<sup>0</sup>又は<sup>1</sup>の指定はありません。

TRXビットが<sup>0</sup>になり、SDA端子が解放されます。

スレーブアドレス値をI<sup>2</sup>Cデータシフトレジスタに書き込むことによって、SCL端子が解放されます。

スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4) I<sup>2</sup>Cステータスレジスタへの書き込みについて

同時にPINビットを<sup>0</sup>から<sup>1</sup>、MSTビット及びTRXビットを<sup>1</sup>から<sup>0</sup>にする命令実行をしないでください。SCL端子が解放されて、約1マシンサイクル後にSDA端子が解放される状態になることがあります。PINビットが<sup>1</sup>の時に、MSTビット及びTRXビットを<sup>1</sup>から<sup>0</sup>にする命令実行をしても、同様の状態になることがあります。



(5) ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが $0$ になるまでの間、I<sup>2</sup>CデータシフトレジスタS0及びI<sup>2</sup>CステータスレジスタS1に書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

(6) ES0ビットの切り替えについて

高速クロックモードか、SSCが $00010_2$ 時の標準クロックモードにおいて、SDAが $L$ のときにES0ビットを $1$ にすると、BBが $1$ になることがあります。

・対策

SDAが $H$ のときに、ES0が $1$ にしてください。

### LPCインタフェース

LPC (Low Pin Count) インタフェースは、LPC Interface Specification Revision 1.0に基づいてシリアル通信を行う機能です。3885グループはI/Oリードサイクル、及びI/Oライトサイクルを使用します。ホスト側コントローラに対して、2チャンネルのバスバッファを装備します。入力データバスバッファ、出力データバスバッファ、及びデータバスバッファステータスレジスタは8042、3880グループ、3881グループ、3886グループと同じ機能を持ちます。ホスト側コントローラからLPCインタフェースを経由して、書き込み、読み出しができます。図43にLPCインタフェース回路のブロック図を示します。

LPCインタフェース機能入出力端子は、通常の入出力ポートP80～P86と兼用しています。LPCインタフェース許可ビット(LPCCONのビット3)を"1"にすると、LPCインタフェースが許可されます。データバスバッファチャンネル( $i=0, 1$ )の使用の許可/禁止は、データバスバッファ許可ビット(LPCCONのビット4、5)で制御されます。

データバスバッファチャンネル*i*のスレーブアドレスを定義するには、LPC*i*アドレスレジスタH、L(LPC0ADL、LPC0ADH、LPC1ADL、LPC1ADH)に設定してください。LPC*i*アドレスレジスタLのビット2へは値を設定できず、読み出し時は"0"に固定されています。ホスト側コントローラからデータが書き込まれると、スレーブアドレスのビット2はXA2iフラグにラッチされます。

ホスト側コントローラからデータが書き込まれたとき、インプットバッファフル(IFB)割り込み要求が発生します。ホスト側コントローラがデータを読み出したとき、アウトプットバッファエンプティ(OBE)割り込み要求が発生します。2つのインプットバッファフル(IFB)割り込み要求と、2つのアウトプットバッファエンプティ(OBE)割り込み要求は、それぞれ図44に示すように集約されます。

表16 LPCインタフェース機能制御端子の機能説明

端子名	入出力	機能
P80/LAD0 P81/LAD1 P82/LAD2 P83/LAD3	入出力 入出力 入出力 入出力	ホスト側と3885のデータバスバッファ間で、アドレス、制御、データの通信をこの端子を経由して行います。
P84/LFRAME	入力	新たな通信サイクルの開始、異常通信サイクルの終了を示す信号を入力します。
P85/LRESET	入力	LPCインタフェースをリセットする信号を入力します。
P86/LCLK	入力	LPCインタフェースの同期クロックを入力します。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

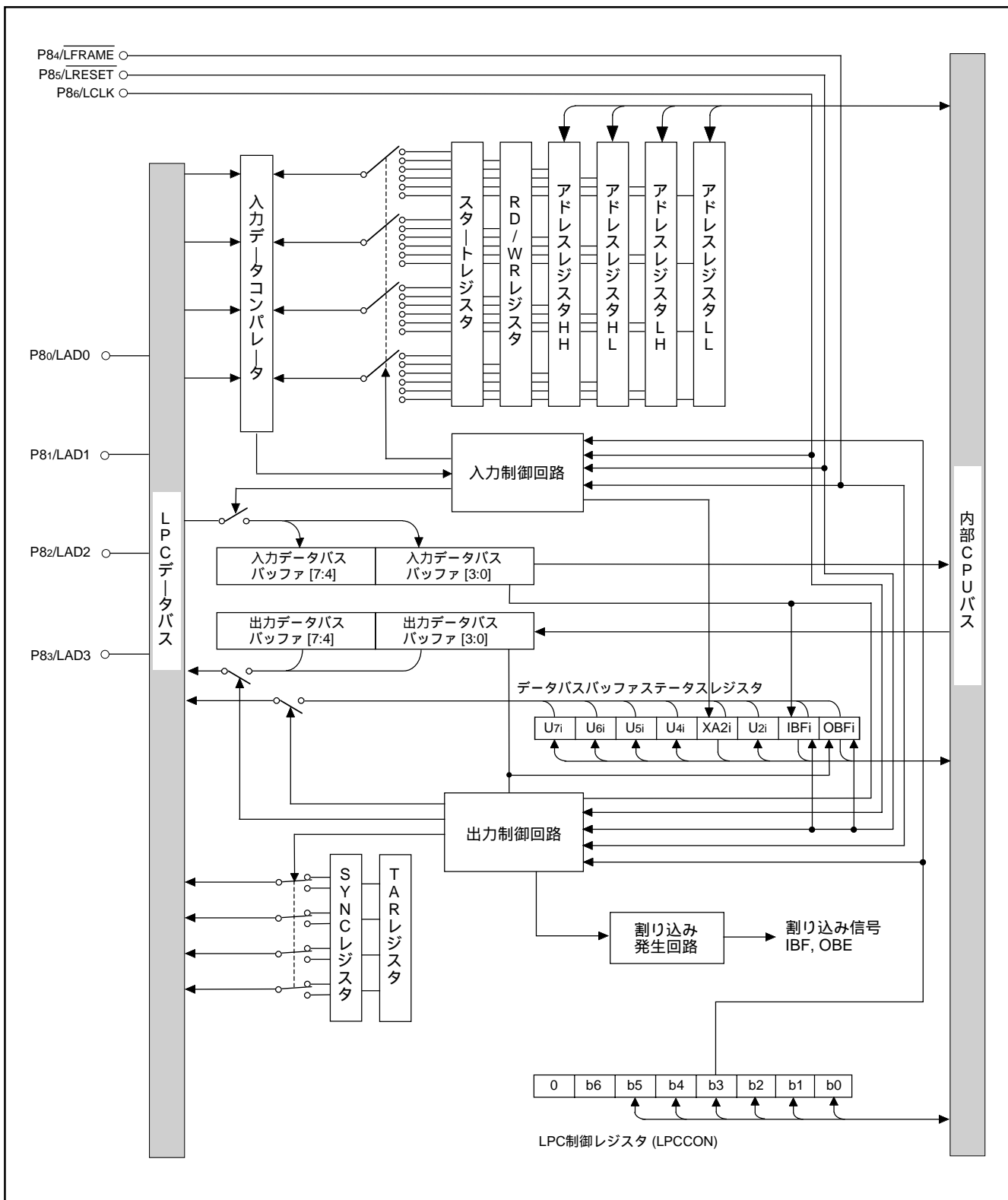


図43 LPCインタフェース回路ブロック図

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

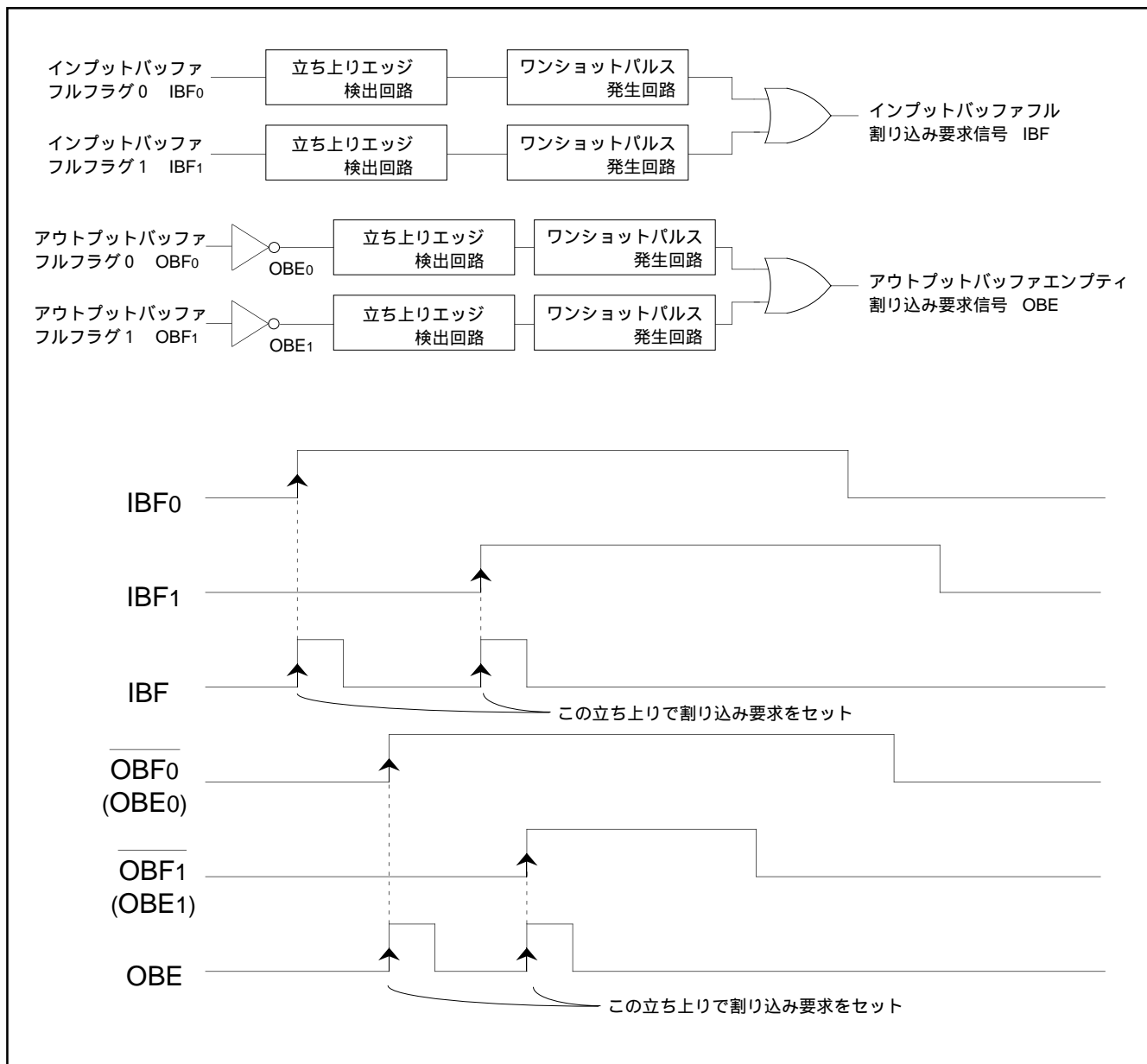


図44 .データバスバッファの割り込み要求回路

【LPC制御レジスタ】LPCCON

・SYNC出力選択ビット(SYNCSEL)

b1b0

0 0 : OK

0 1 : Long & OK

1 0 : Err

1 1 : Long & Err

・LPCインタフェースソフトウェアリセットビット(LPCSR)

0 : リセット解除

1 : リセット

・LPCインタフェース許可ビット(LPCEN)

0 : P80 ~ P86は入出力ポート

1 : LPCインタフェース許可(P80 ~ P86はLPCインタフェース機能端子)

・データバスバッファ0許可ビット(DBBEN0)

0 : データバスバッファ0禁止

1 : データバスバッファ0許可

・データバスバッファ1許可ビット(DBBEN1)

0 : データバスバッファ1禁止

1 : データバスバッファ1許可

LPC制御レジスタ(LPCCON)のビット0、1はSYNCコードの出力を指定します。

LPC制御レジスタ(LPCCON)のビット2を使用し、ソフトウェアでLPCインタフェースをリセット状態にできます。LPCSRビットを“1”にすると、 $\overline{\text{LRESET}}$ 端子に外部から“L”を入力したときと同様に、LPCインタフェースがリセットされます(図50参照)。LPCSRビットに“0”を書き込むと、の1.5サイクル後にリセット状態が解除され、このビットは“0”にクリアされます。

【データバスバッファステータスレジスタ0, 1】

DBBSTS0 DBBSTS1

8ビットのレジスタでビット0、1、3は読み出し専用で、データバスバッファの状態を示します。ビット2、4、5、6、7はソフトウェアで設定できるユーザデファイナブルフラグで、読み書き可能です。データバスバッファステータスレジスタは、スレーブアドレスのビット $\alpha$ (A2)が“1”のとき、ホスト側コントローラから読み出せます。

・アウトプットバッファフルフラグ(OBFi)

出力データバスバッファにデータ書き込みを行うと“1”がセットされ、ホスト側コントローラによりそのデータが読み出されると“0”にクリアされます。

・インプットバッファフルフラグ(IBFi)

ホスト側コントローラから、入力データバスバッファにデータ書き込みを行うと“1”がセットされ、内部CPUによりそのデータが読み出されると“0”にクリアされます。

・XA2フラグ(XA2i)

入力データバスバッファにデータが書き込まれている間、スレーブアドレスのビット2がラッチされます。

【入力データバスバッファレジスタ0, 1】DBBIN0 DBBIN1

ホスト側コントローラからI/Oライトサイクルで、データ層のバイトデータが、DBBINiにラッチされます。SFR上のデータバスバッファレジスタ(DBB0、DBB1)から、DBBINiのデータを読み出すことができます。

【出力データバスバッファレジスタ0, 1】

DBBOUT0 DBBOUT1

SFR上のデータバスバッファレジスタ(DBB0、DBB1)に内部CPUがデータを書き込むことで、DBBOUTiにデータをセットします。

スレーブアドレスのビット $\alpha$ (A2)が“0”のとき、ホスト側コントローラからDBBOUTiのデータ読み出せます。

【LPCiアドレスレジスタH, L】

LPC0ADL、LPC0ADH、LPC1ADL、LPC1ADH

データバスバッファチャネルiのスレーブアドレスを定義するには、LPCiアドレスレジスタH、L(LPC0ADL、LPC0ADH、LPC1ADL、LPC1ADH)に設定してください。これらのレジスタは、いつでも設定できます。

LPCiアドレスレジスタLのビット2へは値を設定できず、内部CPUの読み出し時は“0”に固定されています。ホスト側コントローラからデータが書き込まれると、スレーブアドレスのビット $\alpha$ (A2)はXA2iフラグにラッチされます。

これらのレジスタに設定されたスレーブアドレスは、ホスト側コントローラから送られるアドレスと比較されます。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

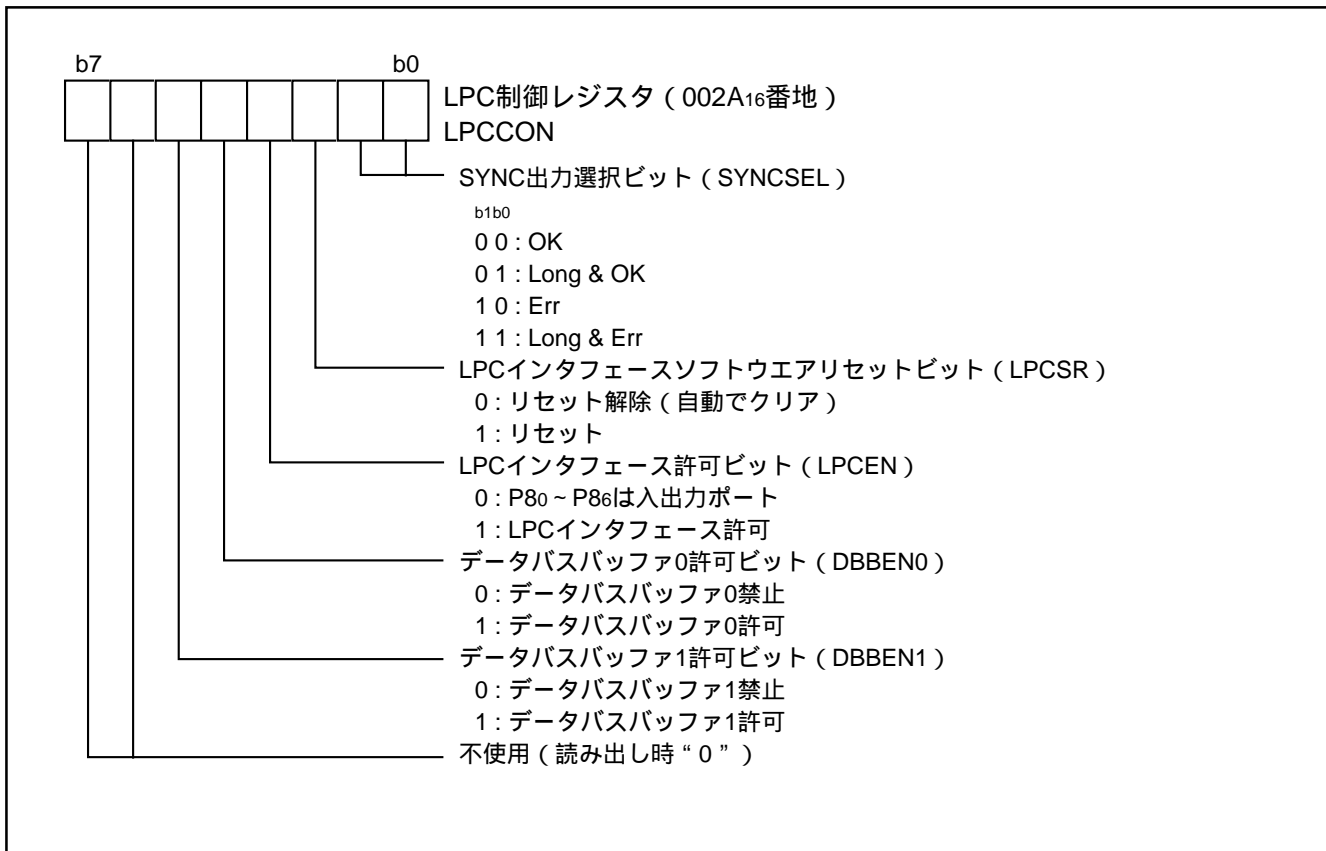


図45 LPCコントロールレジスタの構成

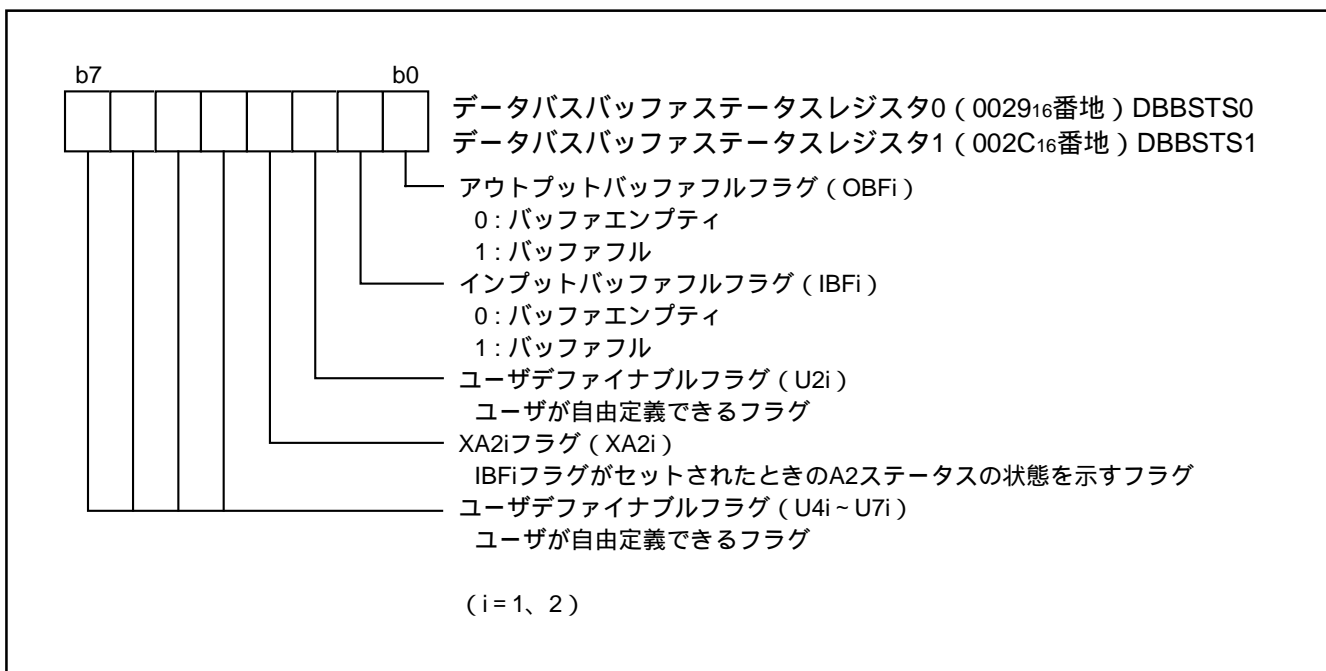
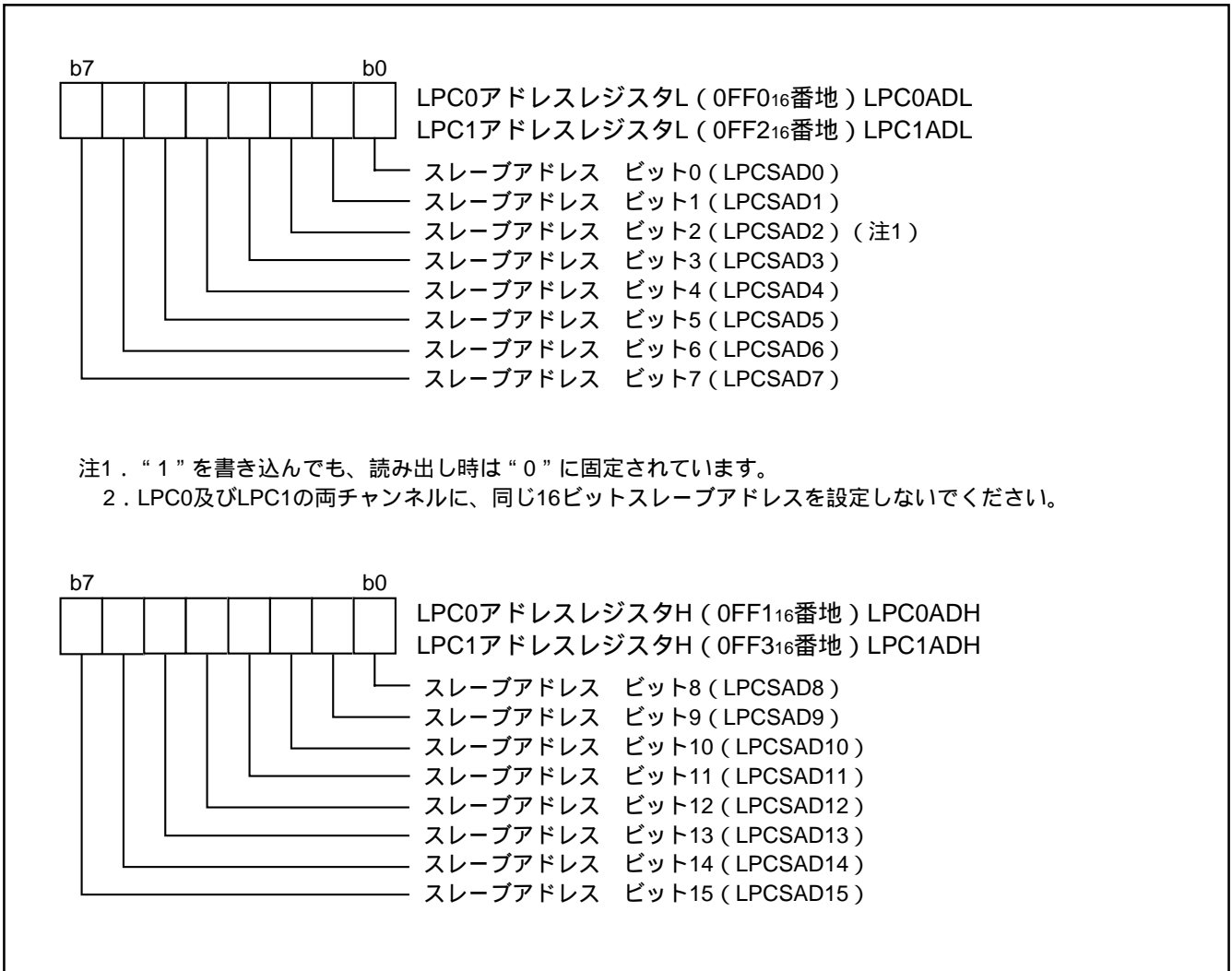


図46 .データバスバッファコントロールレジスタの構成



注1. “1”を書き込んで、読み出し時は“0”に固定されています。  
 2. LPC0及びLPC1の両チャンネルに、同じ16ビットスレーブアドレスを設定しないでください。

図47 LPCアドレスレジスタL、Hの構成

・LPCインタフェースの基本動作説明

LPCインタフェースを使用するには、次を設定してください。

- ・LPCインタフェース許可ビット(LPCCONのビット3)を“1”に設定
- ・データバスバッファのチャンネル選択
- ・データバスバッファ(i=0, 1)許可ビット(LPCCONのビット4, 5)を“1”に設定
- ・LPCiアドレスレジスタL、H(LPC0ADL、LPC0ADH、LPC1ADL、LPC1ADH)にスレーブアドレスを設定

(1) I/Oライトサイクル例

図48にI/Oライトサイクルタイミング図を示します。

I/Oライトサイクルの基本サイクルは、13クロック分の通信です。通信はLFRAMEの立ち上がりにより、開始されます。LCLKの立ち上がりごとに、LAD[3:0]のバス上のデータを取り込みます

・第1クロック

LFRAMEが“L”のときの最終クロックで、ホスト側がLAD[3:0]に“0000<sub>2</sub>”を送り、通信がスタート。

・第2クロック

LFRAMEが“H”になったときに、ホスト側がLAD[3:0]に“001X<sub>2</sub>”を送り、サイクルタイプがI/Oライトサイクルと通知。

・第3クロック～第6クロック

この4クロック分でホスト側が16ビットのスレーブアドレスを送信。3885はそのアドレスと、LPCiアドレスレジスタL、Hに設定されているアドレスを比較。

第3クロック：ホスト側からスレーブアドレスビット [15:12] を送信

第4クロック：ホスト側からスレーブアドレスビット [11:8] を送信

第5クロック：ホスト側からスレーブアドレスビット [7:4] を送信

第6クロック：ホスト側からスレーブアドレスビット  
[ 3:0 ]を送信

・第7クロック、第8クロック

2クロック分で1バイトのデータを転送。データは入力  
データバスバッファ(DBBINi)に書き込まれる。

第7クロック：ホスト側からデータビット[ 3:0 ]を送信

第8クロック：ホスト側からデータビット[ 7:4 ]を送信

・第9クロック、第10クロック

2クロック分で、通信方向をホスト 周辺から、周辺  
ホストに換える。

第9クロック：ホスト側からLAD[ 3:0 ]に“ 11112 ”を出力。

第10クロック：ホスト側からLAD[ 3:0 ]をハイインピー  
ダンスにし、通信方向を換える。

・第11クロック

1クロック分で3885がLAD[ 3:0 ]に“ 00002 ( SYNC OK )”を  
承認のために出力。

・第12クロック

1クロック分でLAD[ 3:0 ]に“ 11112 ”を出力。このタイミン  
グで、IBFiフラグ(DBBSTSiのビット1)が“ 1 ”に設定さ  
れ、IBF割り込み信号を発生。

・第13クロック

通信方向を換えるために、1クロック分でホスト側から  
LAD[ 3:0 ]をハイインピーダンスにする。

## (2) I/Oリードサイクル例

図49にリードサイクルタイミング図を示します。

I/Oリードサイクルの基本サイクルは、13クロック分の通  
信です。通信は $\overline{\text{LFRAME}}$ の立ち下がりにより、開始されま  
す。LCLKの立ち上がりごとに、LAD[ 3:0 ]のバス上のデータ  
を取り込みます

・第1クロック

$\overline{\text{LFRAME}}$ が“ L ”のときの最終クロックで、ホスト側が  
LAD[ 3:0 ]に“ 00002 ”を送り、通信がスタート。

・第2クロック

$\overline{\text{LFRAME}}$ が“ H ”になったときに、ホスト側がLAD[ 3:0 ]に  
“ 000X2 ”を送り、サイクルタイプがI/Oリードサイクルと  
通知。

・第3クロック～第6クロック

この4クロック分でホスト側が16ビットのスレーブアド  
レスを送信。3885はそのアドレスと、LPCiアドレスレジ  
スタL、Hに設定されているアドレスを比較。

第3クロック：ホスト側からスレーブアドレスビット  
[ 15:12 ]を送信

第4クロック：ホスト側からスレーブアドレスビット  
[ 11:8 ]を送信

第5クロック：ホスト側からスレーブアドレスビット  
[ 7:4 ]を送信

第6クロック：ホスト側からスレーブアドレスビット  
[ 3:0 ]を送信

・第7クロック、第8クロック

2クロック分で、通信方向をホスト 周辺から、周辺  
ホストに換える。

第7クロック：ホスト側からLAD[ 3:0 ]に“ 11112 ”を出力。

第8クロック：ホスト側からLAD[ 3:0 ]をハイインピーダ  
ンスにし、通信方向を換える。

・第9クロック

1クロック分で3885がLAD[ 3:0 ]に“ 00002 ( SYNC OK )”を  
承認のために出力。

・第10クロック、第11クロック

2クロック分で1バイトのデータを出力データバスバッ  
ファ(DBBOUTi) 又はデータバスバッファステータス  
レジスタ(DBBSTSi)から転送。

第10クロック：3885からデータビット[ 3:0 ]を送信

第11クロック：3885からデータビット[ 7:4 ]を送信

・第12クロック

1クロック分で3885はLAD[ 3:0 ]に“ 11112 ”を出力。このタ  
イミングでOBFiフラグ(DBBSTSiのビット2)が“ 0 ”にクリ  
アされ、OBE割り込み信号を発生。

・第13クロック

通信方向を換えるために、1クロック分でホスト側から  
LAD[ 3:0 ]をハイインピーダンスにする。



開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

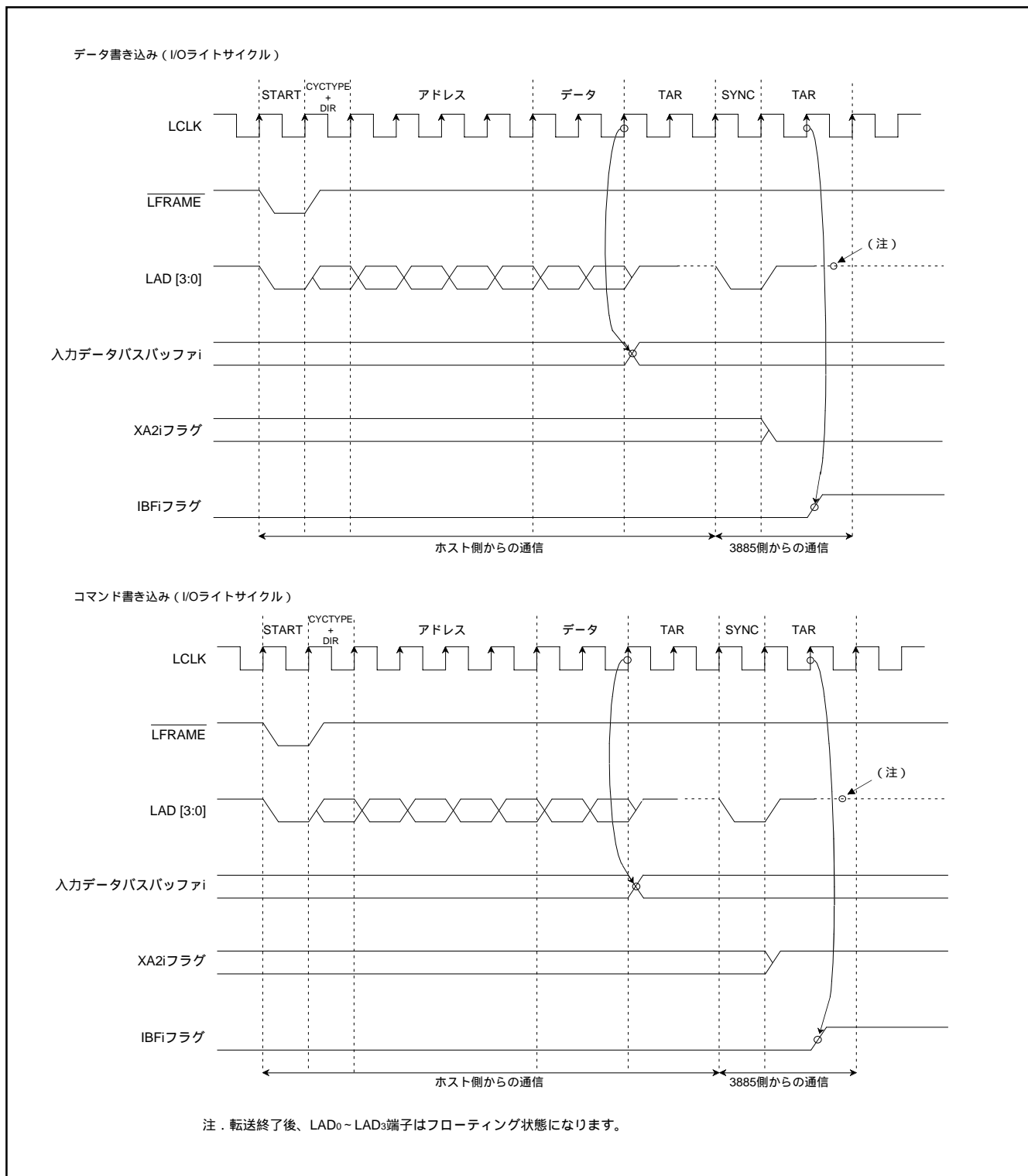


図48. ライトサイクルタイミング図

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

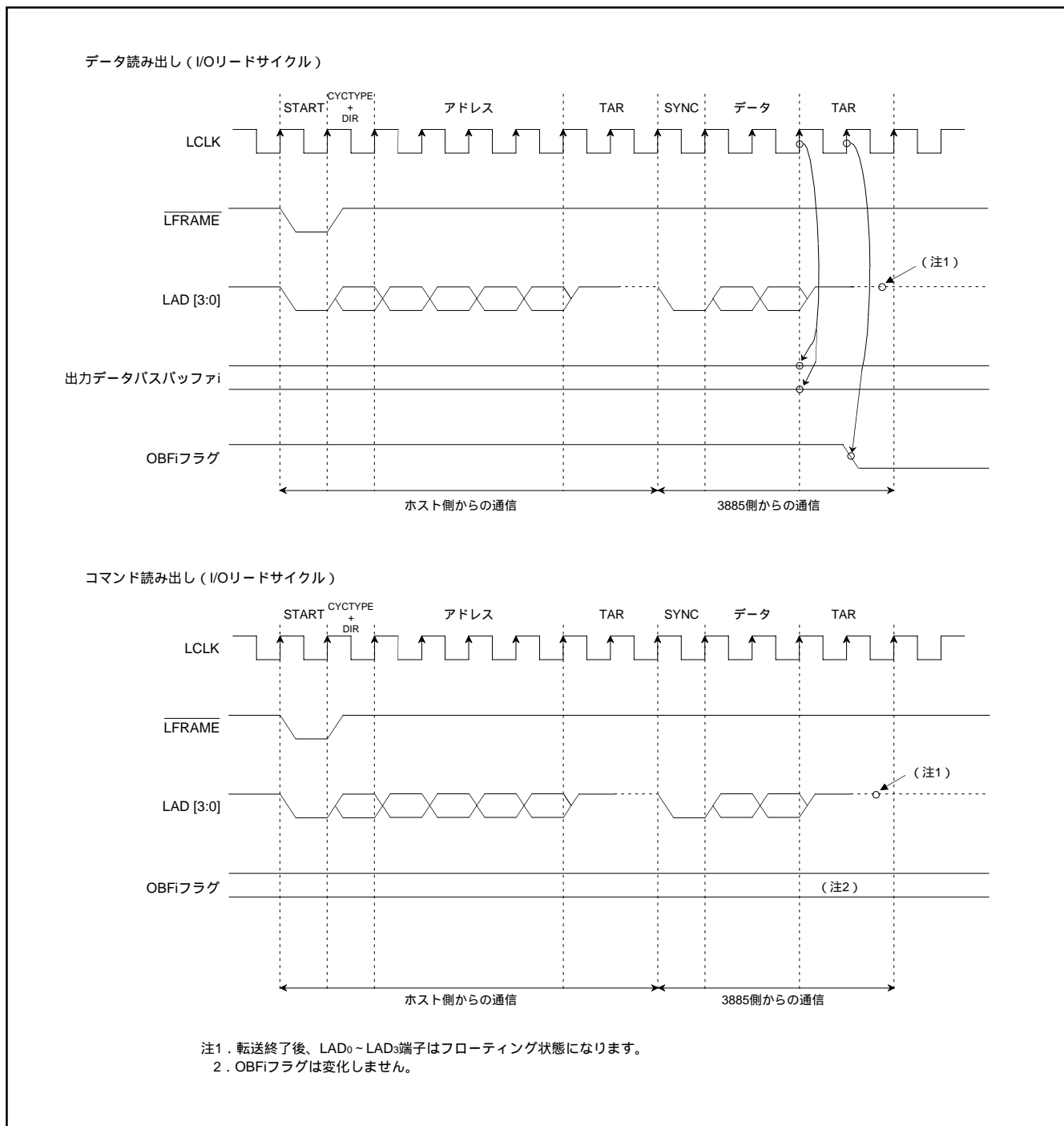


図49 .リードサイクルタイミング図

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

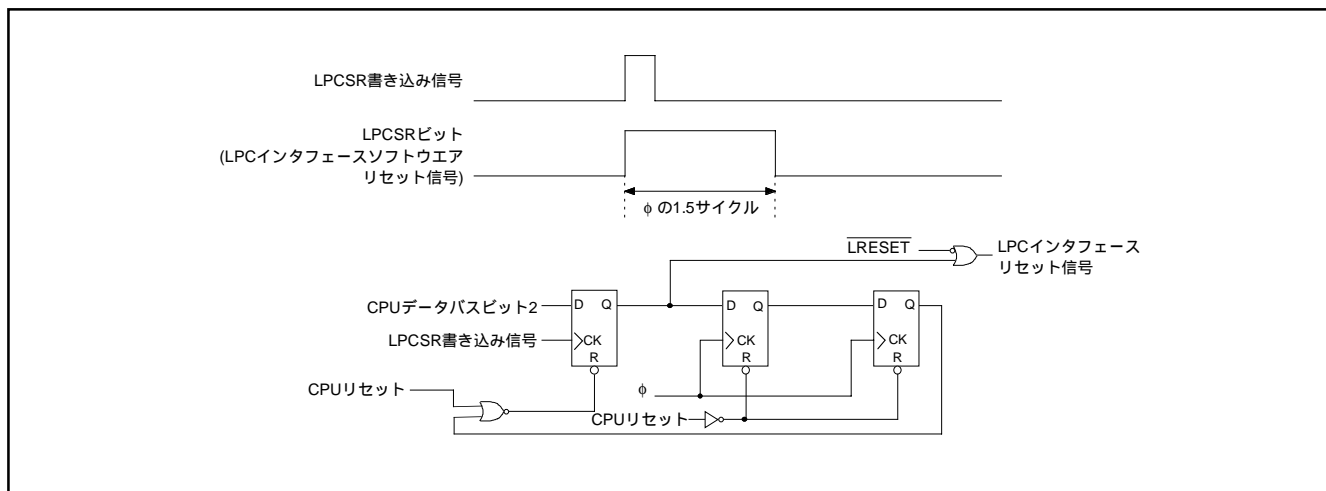


図50 リセットタイミングとブロック図

表17 LPCインタフェース回路のリセット時の状態

	端子名 / 内部レジスタ名	LRESET = "L" 時	注意	
端子	P80/LAD0	ハイインピーダンス		
	P81/LAD1			
	P82/LAD2			
	P83/LAD3			
	P84/LFRAME	入力		
	P85/LRESET	LPCインタフェース機能		
	P86/LCLK	入力		
内部レジスタ	入力データバスバッファ	LRESET 端子に "L" 入力直前の値を保持。		
	出力データバスバッファ			
	Uxiフラグ7, 6, 5, 4, 2			
	XA2iフラグ	"0" に初期化。		
	IBFiフラグ	"0" に初期化。		IBF割り込み要求が発生する可能性あり。
	OBFiフラグ	"0" に初期化。		OBE割り込み要求が発生する可能性あり。
	LPCiアドレスレジスタ	LRESET 端子に "L" 入力直前の値を保持。		
LPCCON				

シリアル割り込み出力

シリアル割り込み回路は、ホスト側コントローラへの割り込み要求を通信します。PCIシステムシリアル割り込み仕様 Ver.6.0に基づき、通信されます。表18に3885グループのシリアル割り込み機能の仕様を示します。

表18 シリアル割り込みの仕様

項目	仕様
シリアル割り込み要因	シリアル割り込み出力で同時に出力可能なシリアル割り込み要求数(チャンネル数)は3要因です。 チャンネル $\alpha$ (IRQ1、IRQ12) ソフトウェアIRQ( $i = 1, 12$ )要求ビット(SERIRQのビット0、1)を"1"に設定すると、シリアル割り込み要求を発生。 OBF $_0$ が"1"かつハードウェアIRQ( $i = 1, 12$ )要求ビット(SERCONのビット3、4)が"1"のとき、シリアル割り込み要求を発生。 チャンネル1(IRQ $x$ ; ユーザ選択可能) ソフトウェアIRQ $x$ 要求ビット(SERIRQのビット7)を"1"に設定すると、シリアル割り込み要求を発生。 OBF $_1$ が"1"かつハードウェアIRQ $x$ 要求ビット(SERCONのビット5)が"1"のとき、シリアル割り込み要求を発生。
フレーム番号	チャンネル $\alpha$ (IRQ1、IRQ12) IRQ1フレームを選択:ソフトウェアIRQ1要求ビット(SERIRQのビット0)を"1"に設定、又はハードウェアIRQ1要求ビット(SERCONのビット4)が"1"の状態(OBF $_0 =$ "1"を検出した場合) IRQ12フレームを選択:ソフトウェアIRQ12要求ビット(SERIRQのビット1)を"1"に設定、又はハードウェアIRQ12要求ビット(SERCONのビット4)が"1"の状態(OBF $_0 =$ "1"を検出した場合) チャンネル1(IRQ $x$ ; ユーザ選択可能) IRQ1 ~ IRQ15フレーム又は拡張フレーム0 ~ 10を選択:IRQ $x$ フレーム選択ビット(SERIRQのビット2 ~ 6)で設定
動作クロック	LCLK(最大33 MHz)に同期して動作。
クロックの再開	LPCクロック再開許可ビット(SERCONのビット1)を"1"に設定すると、クロックが減速又は停止していた場合に、CLKRUNの"L"出力でクロックの再開が許可されます。
クロック停止の抑制	LPCクロック停止抑制ビット(SERCONのビット2)を"1"に設定すると、クロックが減速又は停止しようとした場合に、IRQSERサイクル中のクロック停止の抑制を行います。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

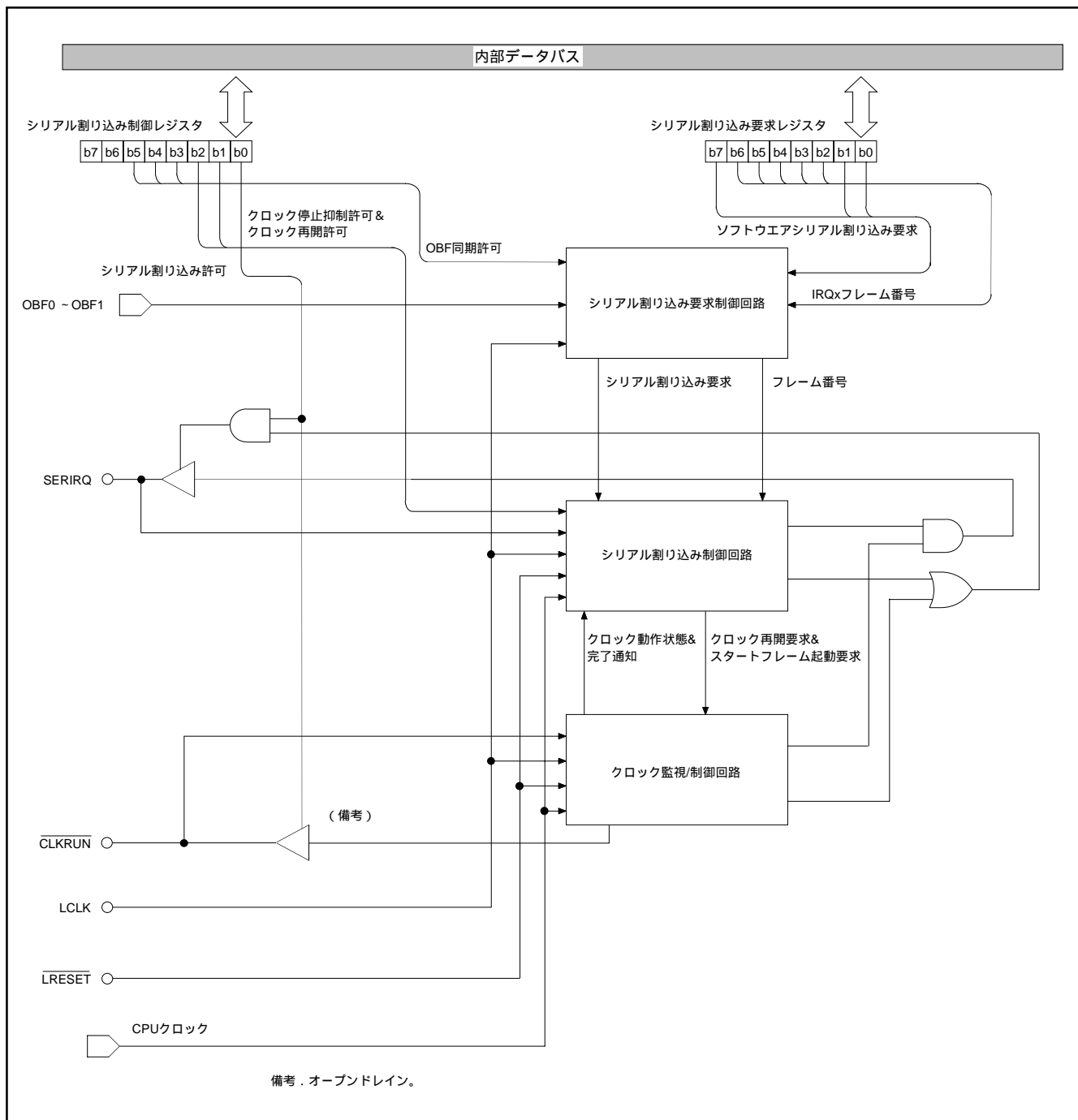


図51 シリアル割り込み回路ブロック図

レジスタ説明

シリアル割り込み機能はシリアル割り込み要求レジスタ (SERIRQ)と、シリアル割り込み制御レジスタ (SERCON)で制御されます。

[シリアル割り込み制御レジスタ] SERCON

・シリアル割り込み許可ビット (SIRQEN)

このビットでシリアル割り込みの使用を許可/禁止します。このビットが“1”のとき、シリアル割り込みの使用が許可されます。P87はIRQ/データライン (SERIRQ)として、P47はCLKRUN端子として機能します。

CLKRUN端子はNチャンネルオープンドレイン出力形式です。

・LPCクロック再開許可ビット (RUNEN)

このビットを“1”に設定すると、CLKRUNの“L”出力でクロックの再開が許可されます。

・LPCクロック停止抑止ビット (SUPEN)

このビットを“1”に設定すると、クロック停止の抑止のために、CLKRUN出力を“L”にします。

・ハードウェアIRQ1要求ビット (SEIR1)

このビットを“1”に設定すると、OBF0ステータスが直接にIRQ1フレームに接続されます。

・ハードウェアIRQ12要求ビット (SEIR12)

このビットを“1”に設定すると、OBF0ステータスが直接にIRQ12フレームに接続されます。

・ハードウェアIRQx要求ビット (SEIRx)

このビットを“1”に設定すると、OBF1ステータスが直接にIRQxフレームに接続されます。

・IRQ1/IRQ12禁止ビット (SCH0EN)

このビットはシリアル割り込みチャンネル0が、IRQ1とIRQ12フレームをホスト側に転送するか、しないかを制御します。

・IRQx出力極性ビット (SCH1POL)

このビットはIRxフレームの出力レベルを選択します。

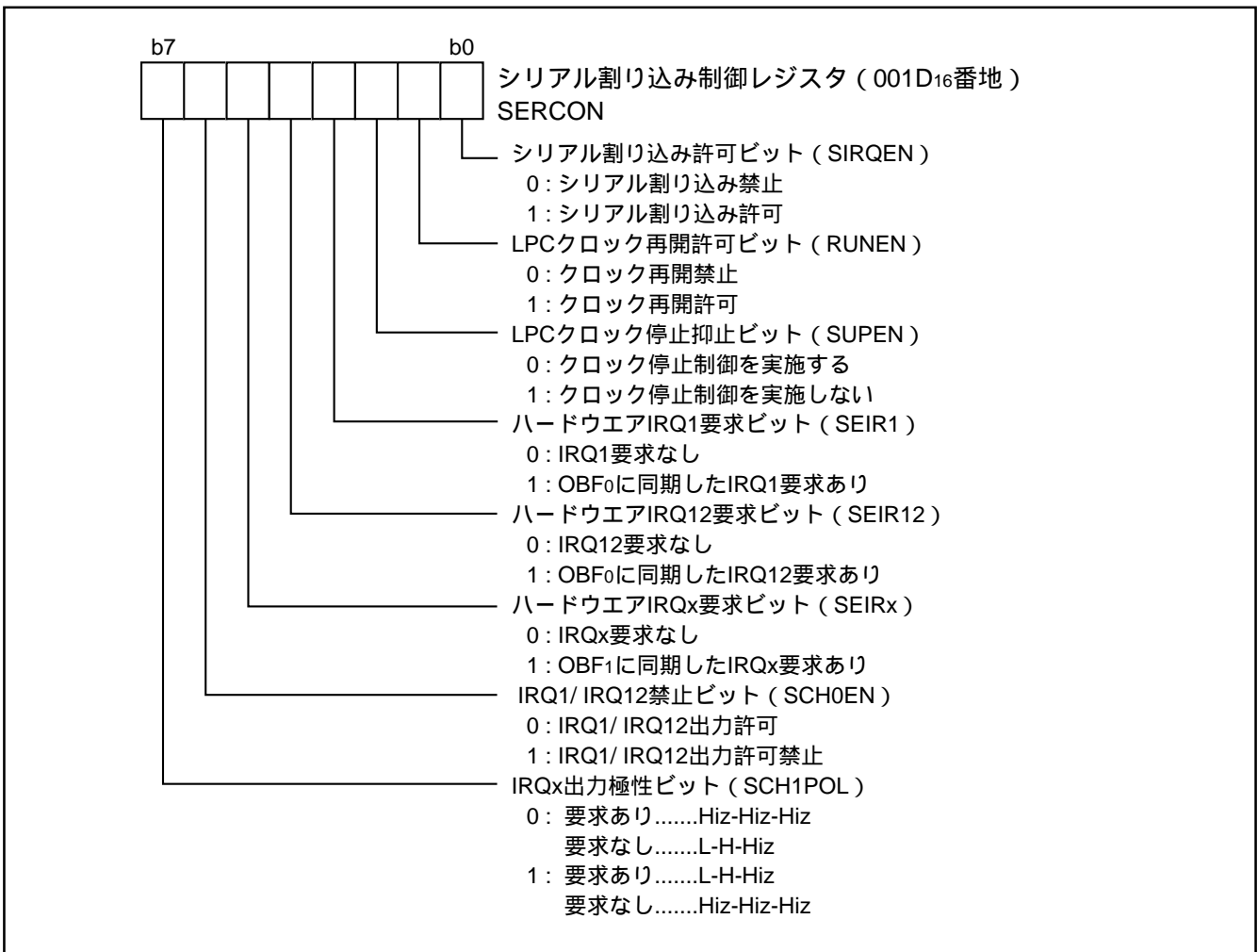


図52 シリアル割り込み制御レジスタの構成

# 開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

[ シリアル割り込み制御レジスタ ] SERCON

割り込み要因はこのレジスタで定義されます。

・ソフトウェアIRQ1要求ビット( IR1 )

SCHOENビットが\* 1 のとき、SERIRQラインはIRQ1フレームのサンプル層でのIR1値を示します。

・ソフトウェアIRQ12要求ビット( IR12 )

SCHOENビットが\* 1 のとき、SERIRQラインはIRQ12フレームのサンプル層でのIR12値を示します。

・IRQxフレーム選択ビット( IS<sub>i</sub>, i = 0 ~ 4 )

これらのビットはシリアル割り込みチャンネル1の、有効IRQフレームを選択します。これらのビットが\* 000002 'のとき、シリアル割り込みチャンネル1は禁止されます。

・ソフトウェアIRQx要求ビット( IR<sub>x</sub> )

SERIRQラインはSERIRQのビット2~6で選択された、IRQxフレームのサンプル層でのIR<sub>x</sub>値を示します。出力レベルはIRQx出力極性ビットで選択できます。

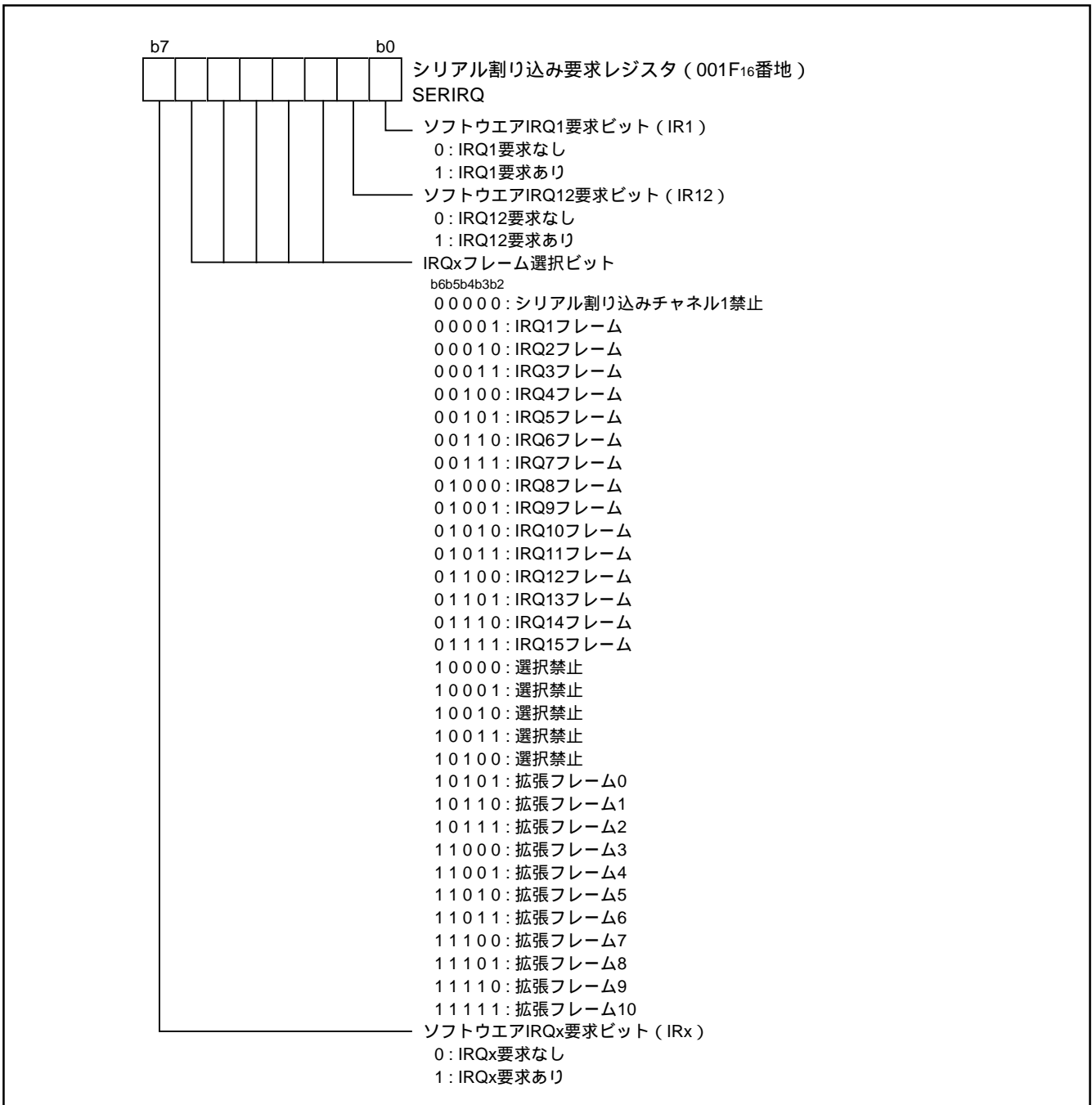


図53 シリアル割り込み要求レジスタの構成

シリアル割り込みの動作

シリアル割り込みの1サイクル動作は、スタートフレームで始まり、ストップフレームで終わります。動作モードには、連続動作モードと単発動作モードの2つのモードがあります。

システム側から送出されるストップフレームの長さを監視することで、次動作時のモードの判別を行います。

・シリアル割り込みサイクルのタイミング

図54にシリアル割り込みサイクルの基本タイミング例を示します。

(1)スタートフレーム

SERIRQラインが、4～8クロック周期の期間「L」になった場合、スタートフレームと認識します。

(2)IRQ/データフレーム

各々のIRQ/データフレームは、3クロック周期です。IRQ( $i=0, 1, x$ )要求なしのとき、該当するIRQ/データフレームの最初の1クロック周期(サンプル層)、SERIRQラインを「L」にドライブし、次の1クロック周期(リカバリ層)「H」にドライブした後、最後の1クロック周期でハイインピーダンスにします(回転層)。IRQ $i$ 要求ありのときは、3クロック周期ともSERIRQラインをハイインピーダンスにします。

(3)ストップフレーム

SERIRQラインが2又は3クロック周期の期間「L」になった場合、ストップフレームと認識します。2クロック周期の場合、次動作時のモードは単発動作モード、3クロック周期の場合連続動作モードとなります。

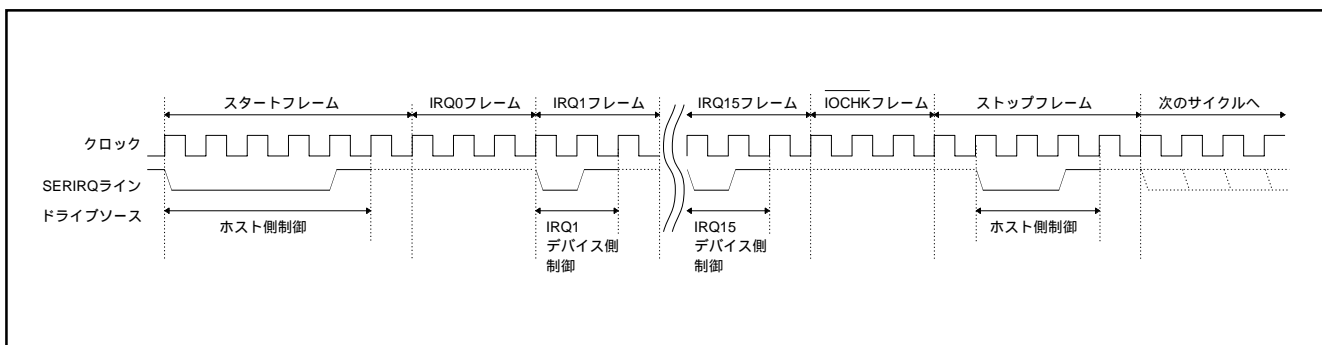


図54 シリアル割り込みサイクルの基本タイミング図



動作モード

図55に連続動作モード時のタイミング例を、図56に単発動作モード時のタイミング例を示します。

(1)連続動作モード

LRESETが“L”で前回のシリアル割り込みサイクルのストップフレームが3クロック周期であった場合に、CPUリセット解除後、シリアル割り込みサイクルは連続動作モードとなります。

スタートフレームの受信後(注1) IRQ1フレーム、IRQ12フレーム、又はIRQxフレームがアサートされます。

注1.“L”期間が4サイクル未満又は9サイクル以上であれば、スタートフレームとして認識せず、次のスタート(SERIRQの立ち上がり)待ち状態となります。

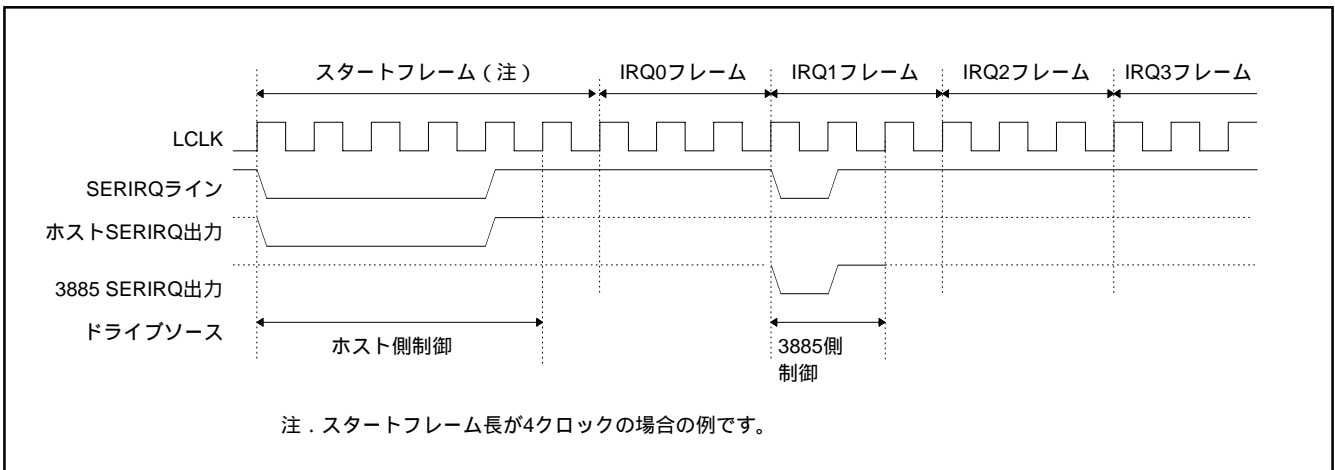


図55 連続動作モードのタイミング図

(2)単発動作モード

クロックが停止又は減速中の場合、又は前回のシリアル割り込みサイクルのストップフレームが2クロック周期であった場合に、単発動作モードとなります。このモードでは、3885はスタートフレームの最初の1クロック周期の間、SERIRQラインを“L”にドライブした後、ホスト側から残りのスタートフレームを受信し(注2) IRQ1フレーム、IRQ12フレーム、又はIRQxフレームがアサートされます。

注2. 3885の出力する1サイクルの“L”とホスト側が出力する残りサイクルの“L”の合計が4~8サイクルであれば、スタートフレームと認識します。合計の“L”期間が4サイクル未満又は9サイクル以上であれば、スタートフレームとして認識せず、次のスタート(SERIRQの立ち上がり)待ち状態となります。

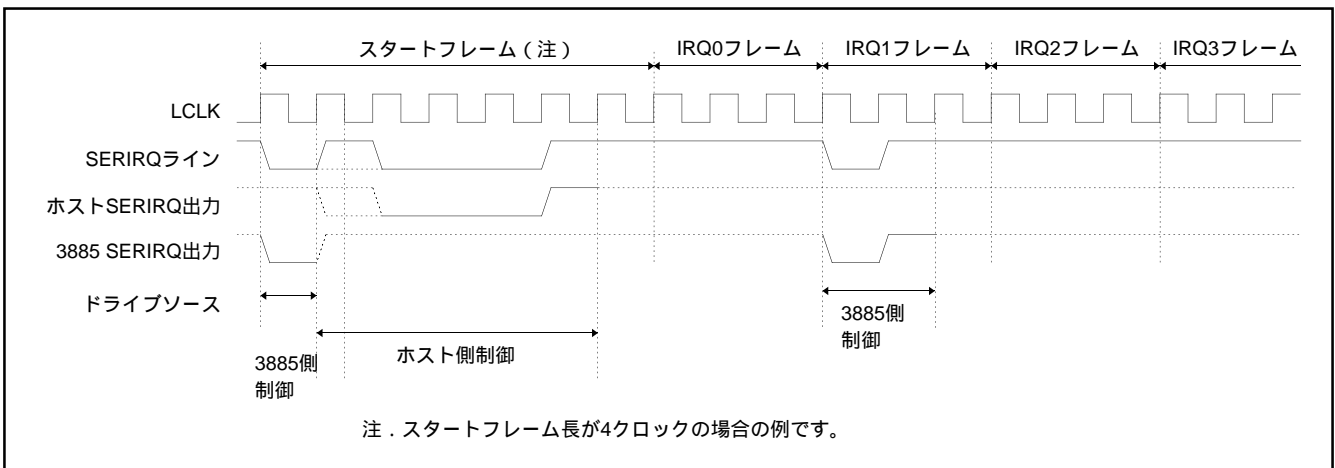


図56 単発動作モードのタイミング図

クロック再開/停止抑制要求

CLKRUN信号をアサートすることで、停止又は減速したクロックの再開要求、及び停止又は減速しようとするホストに対して抑止要求を出すことができます。

図57にクロック再開要求のタイミング図を、図58にクロック停止の抑止要求のタイミング図を示します。

・クロック再開動作

LPCクロック再開許可ビット(SERCONのビット1)が1かつCLKRUN信号(バス)がHの場合、シリアル割り込み要求発生時に、3885はCLKRUN信号をLにして、クロックが減速または停止していた場合に、PCIクロック生成回路にLCLKクロックを再開要求します。

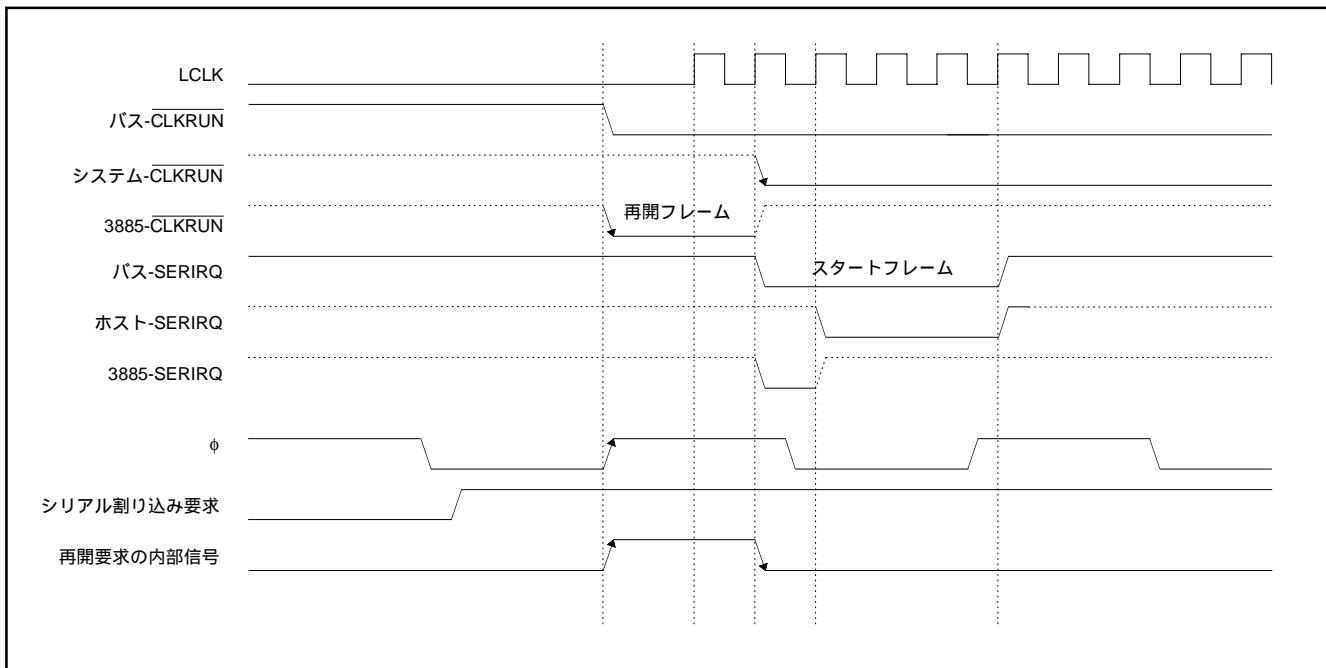


図57. クロック再開要求のタイミング図

・クロック停止抑止要求

LPCクロック停止抑止ビット(SERCONのビット2)が1かつシリアル割り込み要求が保持されている場合、LPCクロッ

クが停止しようとしたとき、3885はCLKRUN信号をLにして、PCIクロック生成回路にLCLKクロックの停止抑止要求をします。

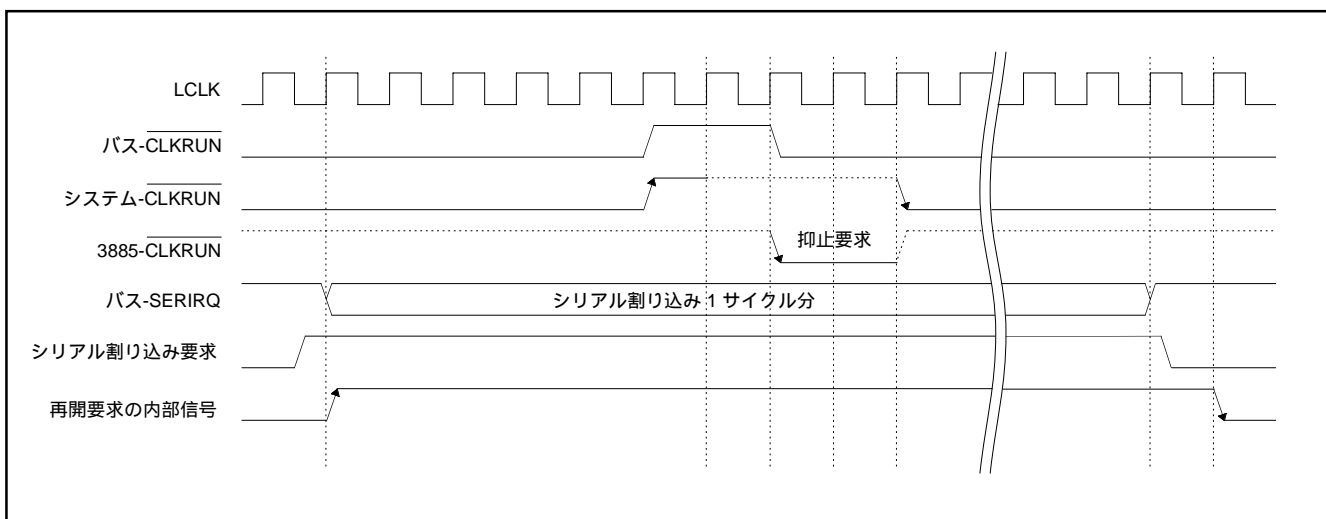


図58. クロック停止の抑止要求のタイミング図

A-D変換器

【A-D変換レジスタ1 2】AD1, AD2

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

A-D変換レジスタ2のビット7は、変換モード選択ビットです。このビットを“0”に設定すると、10ビットA-Dモード、“1”に設定すると8ビットA-Dモードとなります。

8ビットA-Dモードの変換結果はA-D変換レジスタ1に格納されます。10ビットA-Dモードは、図60のようにA-D変換終了後にA-D変換レジスタ1, 2を読み出す順序を選ぶことで、10ビット読み出しあるいは8ビット読み出しを行うことも可能です。

10ビットA-DモードでのA-D変換レジスタ1は、リセット、A-D変換開始あるいはA-D変換レジスタ1読み出しが発生した後MSB寄りの8ビット読み出しになり、A-D変換レジスタ2読み出しが発生した後LSB寄りの8ビット読み出しになります。

【AD/DA制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A-D変換が開始されます。

【比較電圧発生器】

10ビットA-Dモードは、AVSSとVREFの間の電圧を1024分割し分圧を出力します。

(8ビットA-Dモードでは256分割)

各モードでの比較電圧Vrefは、VREFを下記のとおり分圧して入力電圧との逐次比較を行います。

- ・10ビットA-Dモード(10ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

- ・10ビットA-Dモード(8ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

- ・8ビットA-Dモード

$$V_{ref} = \frac{V_{REF}}{256} \times (n - 0.5) \quad (n=1 \sim 255)$$

$$= 0 \quad (n=0)$$

【チャンネルセクタ】

ポートP67/AN7～P60/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタ1, 2に格納します。また、A-D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A-D変換中はf(XIN)を500kHz以上にしてください。

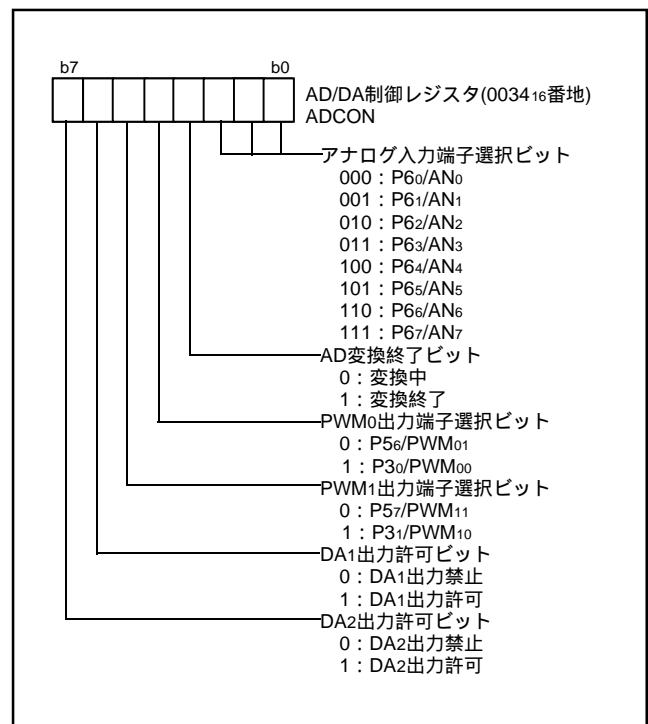


図59 AD/DA制御レジスタの構成

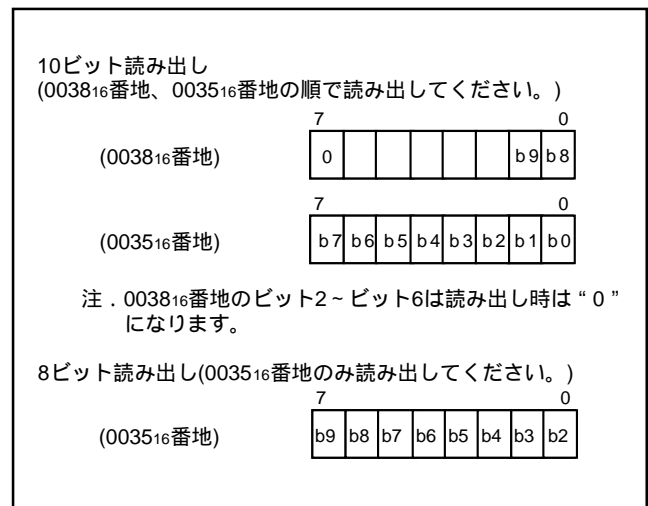


図60 .10ビットA-Dモードの読み出し構成

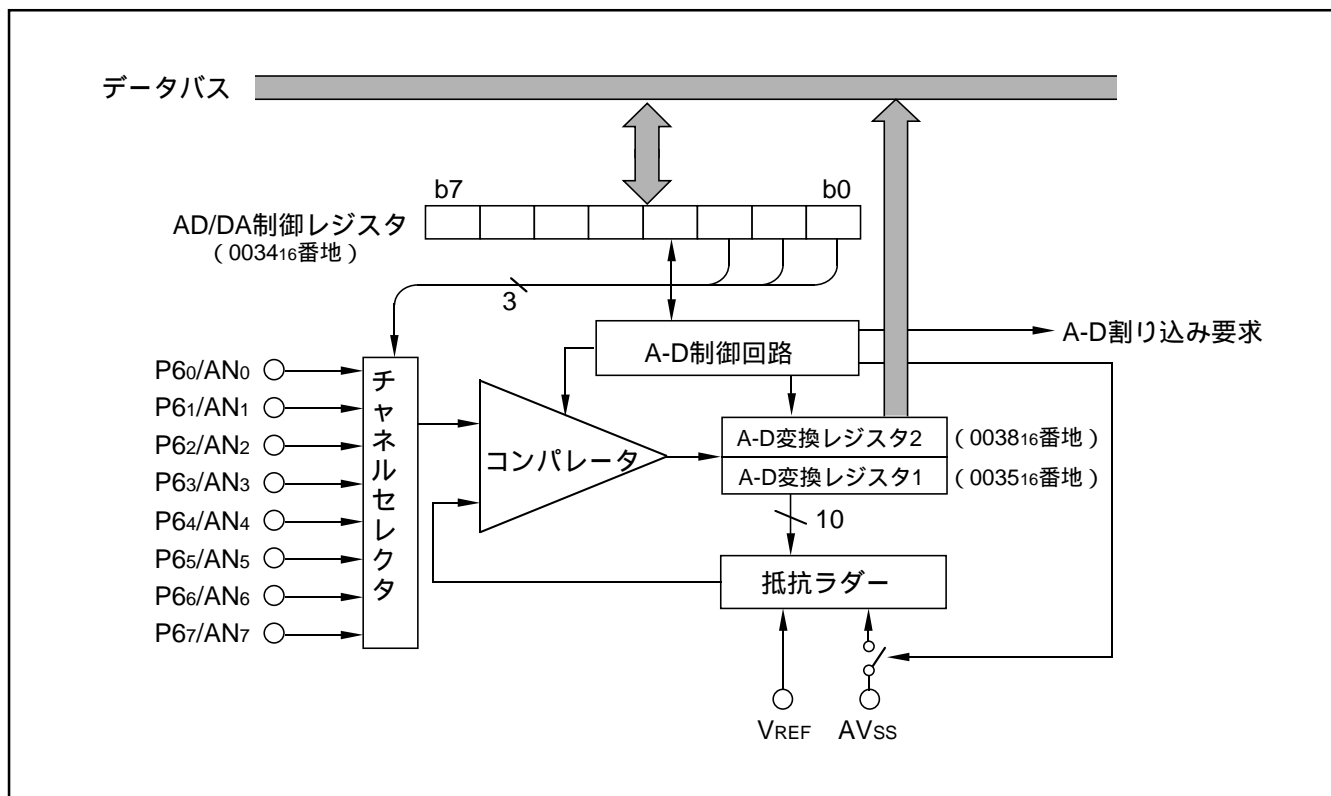


図61 A-D変換器ブロック図

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

D-A変換器

D-A変換器は分解能8ビットで、2チャンネル( DA1 , DA2 )内蔵しています。

D-A変換はそれぞれ対応するD-A変換レジスタに値を設定することによって行われます。D-A変換された結果は、DA出力許可ビットを“1”にセットすることによって、DA1、DA2端子から出力されます。このとき、P56/DA1/PWM01、P57/DA2/PWM11の方向レジスタは“0”(入力状態)にしておいてください。

出力されるアナログ電圧VはD-A変換レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 \quad (n = 0 \sim 255)$$

ただしVREFは基準電圧

D-A変換レジスタはリセット時“0016”にクリアされます。また、DA出力許可ビットも、リセット時“0”にクリアされ、P56/DA1/PWM01、P57/DA2/PWM11端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。また、D-A変換器を使用する場合はVccを4.0V以上にしてください。

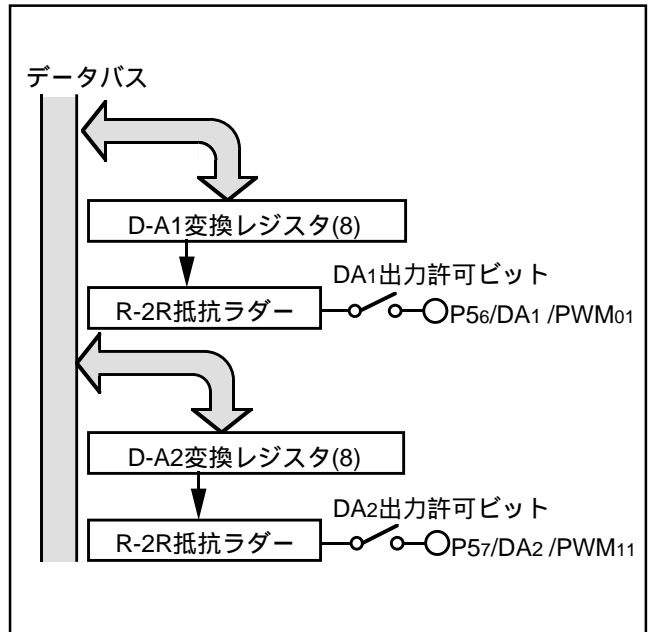


図62 D-A変換器のブロック図

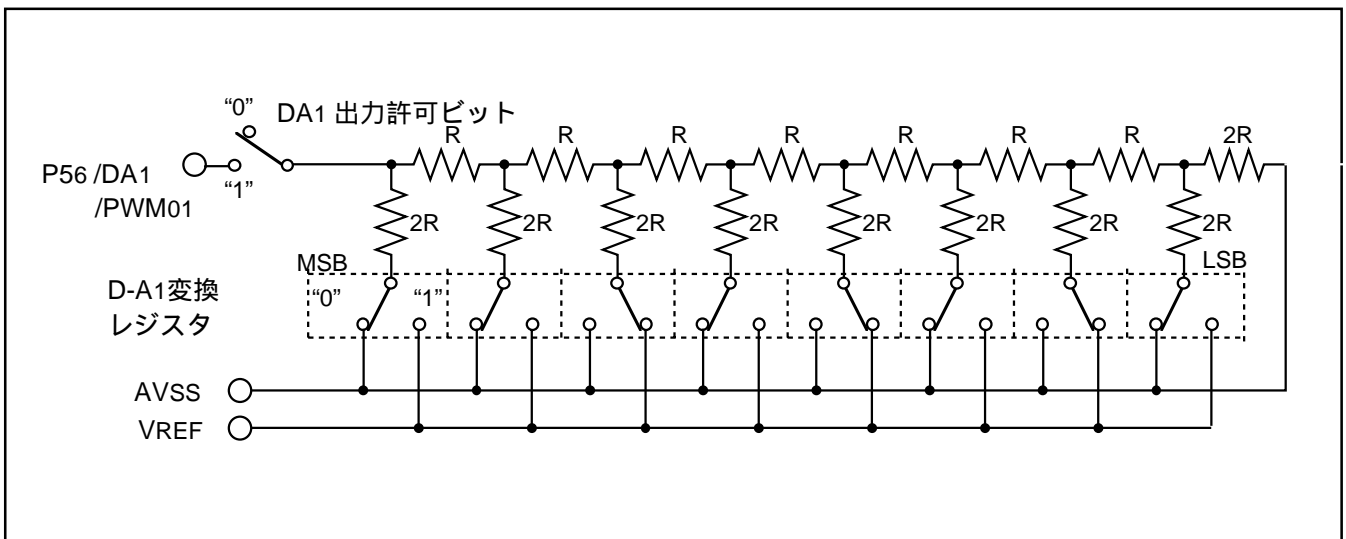


図63 D-A変換器等価回路図( DA1 )

コンパレータ回路

・コンパレータの構成

コンパレータ回路は、抵抗、コンパレータ、コンパレータ制御回路、コンパレータ基準入力選択ビット(002F<sub>16</sub>番地のビット7)、コンパレータデータレジスタ(002D<sub>16</sub>番地)、コンパレータ基準電源入力端子(P20/CMPREF)、アナログ信号入力端子(P30~P37)により構成されています。アナログ入力端子(P30~P37)は通常のデジタルポート入出力端子と共用しています。

・コンパレータの動作

コンパレータ動作を行うためには、まずポートP3に対応する方向レジスタ(0007<sub>16</sub>番地)を“0”にしてポートP3を入力モードにし、ポートP3をアナログ入力端子として使用できる状態にします。ポート制御レジスタ2のコンパレータ基準入力選択ビット(002F<sub>16</sub>番地のビット7)を“1”にすることにより、内部固定アナログ電圧( $V_{CC} \times 29/32$ )を発生させることができます。(  $V_{CC} = 3.3V$ 時、内部固定アナログ電圧は約2.99Vとなります。)また、“0”にすることにより、P20/CMPREFがコンパレータ基準電源入力端子となり外部より任意に入力することができます。そしてコンパレータデータレジスタ(002D<sub>16</sub>番

地)への書き込み動作により、直ちに電圧比較が行われます。内部システムクロックの14サイクル(比較所用時間)後、コンパレータの比較結果は、コンパレータデータレジスタ(002D<sub>16</sub>番地)に格納されます。このレジスタの各ビットは対応するポートP30~P37端子の状態により

- アナログ入力電圧 > 内部アナログ電圧  
のとき“1”
- アナログ入力電圧 < 内部アナログ電圧  
のとき“0”となります。

再度比較する場合は、コンパレータデータレジスタ(002D<sub>16</sub>番地)への書き込みによる再電圧比較が必要です。

結果の読み出しは、コンパレータ動作スタート後14サイクル以上たってから行ってください。

比較に要する14サイクルの間はラダー抵抗がONになり、基準電圧を発生します。コンパレータ動作を実行していない間はラダー抵抗はOFFになっているため、不要な電流が消費されるのを防ぎます。

コンパレータは容量結合で構成されておりクロック周波数が低いと電荷が失われます。コンパレータ実行中はクロック周波数を1MHz以上にしてください。また、STP命令、WIT命令及びポートP3の入出力命令を実行しないでください。

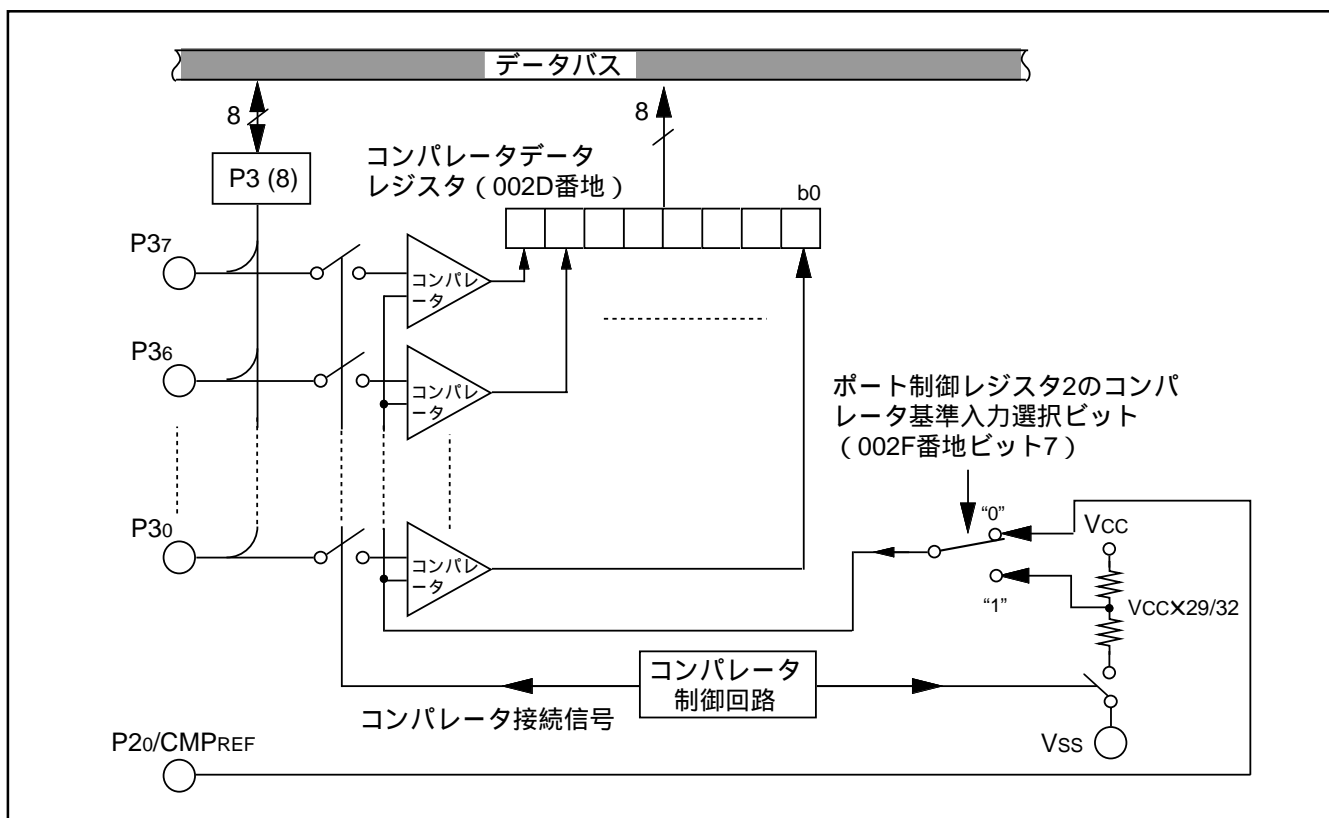


図64 コンパレータ回路

リセット回路

電源電圧が $3.3V \pm 0.3V$ にあり、 $X_{IN}$ が安定発振しているとき、 $\overline{RESET}$ 端子を $X_{IN}$ の16サイクル以上 L "レベルに保つとリセット状態になり、その後 $\overline{RESET}$ 端子を H "レベルに戻すとリセット解除されます。FFFD<sub>16</sub>番地の内容を上位アドレス、FFFC<sub>16</sub>番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が3.0 Vを通過する時点で0.60V以下になるようにしてください。

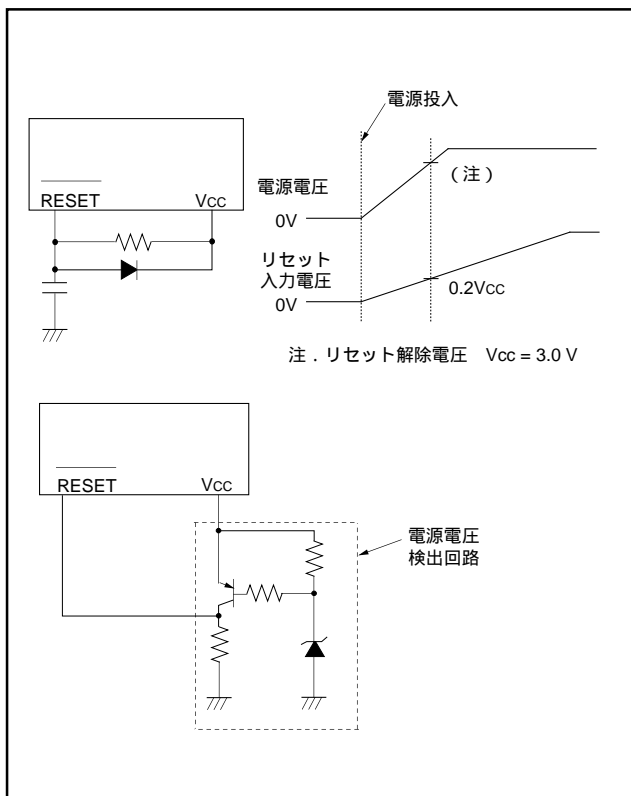
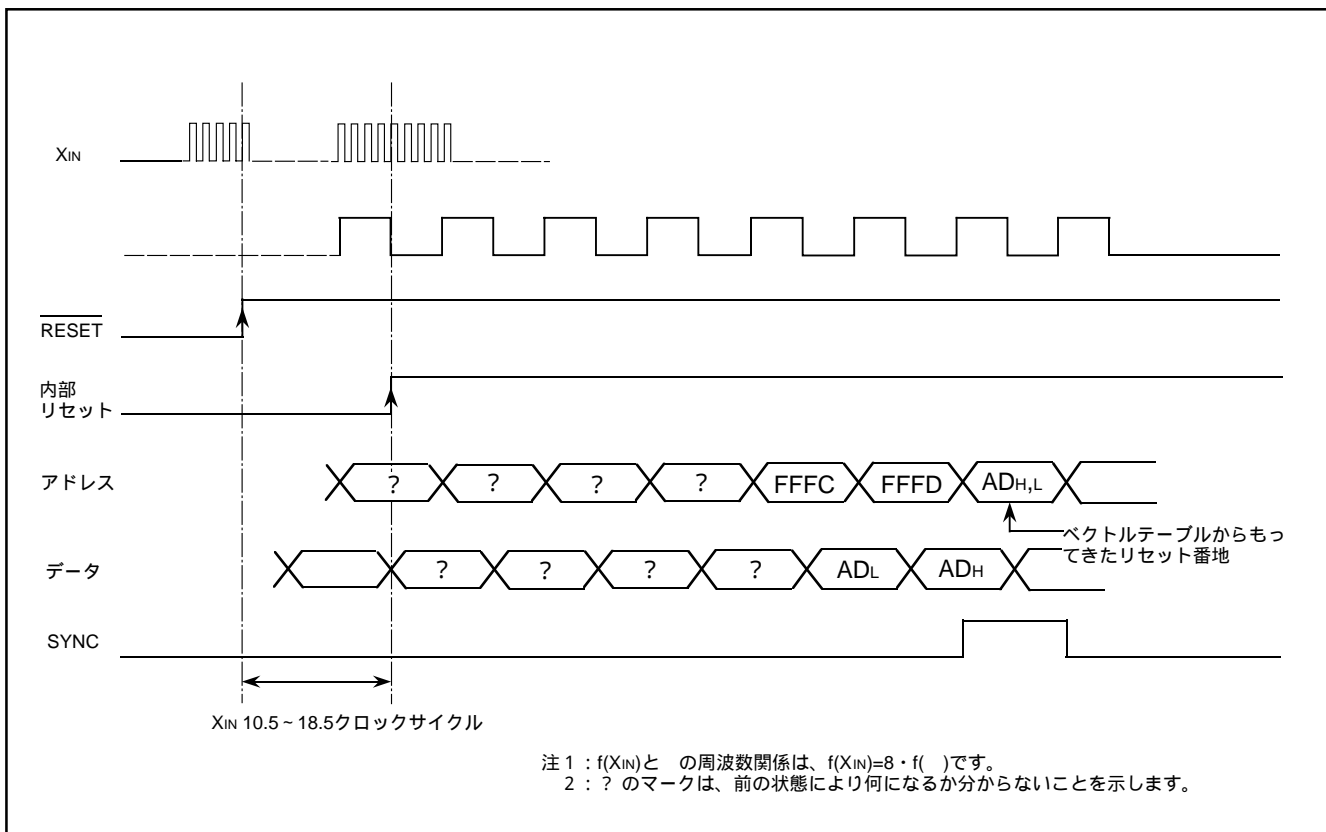


図65 .リセット回路例



注1 :  $f(X_{IN})$ と の周波数関係は、 $f(X_{IN})=8 \cdot f( )$ です。  
2 : ? のマークは、前の状態により何になるか分からないことを示します。

図66 .リセットシーケンス

番号	レジスタの内容	番号	レジスタの内容
(1) ポートP0	0001 <sub>16</sub> 00 <sub>16</sub>	(38) タイマX	0025 <sub>16</sub> FF <sub>16</sub>
(2) ポートP0方向レジスタ	0001 <sub>16</sub> 00 <sub>16</sub>	(39) プリスケアラY	0026 <sub>16</sub> FF <sub>16</sub>
(3) ポートP1	0002 <sub>16</sub> 00 <sub>16</sub>	(40) タイマY	0027 <sub>16</sub> FF <sub>16</sub>
(4) ポートP1方向レジスタ	0003 <sub>16</sub> 00 <sub>16</sub>	(41) データバスバッファレジスタ0	0028 <sub>16</sub> X X X X X X X X
(5) ポートP2	0004 <sub>16</sub> 00 <sub>16</sub>	(42) データバスバッファレジスタ0	0029 <sub>16</sub> 00 <sub>16</sub>
(6) ポートP2方向レジスタ	0005 <sub>16</sub> 00 <sub>16</sub>	(43) LPC制御レジスタ	002A <sub>16</sub> 00 <sub>16</sub>
(7) ポートP3	0006 <sub>16</sub> 00 <sub>16</sub>	(44) データバスバッファレジスタ1	002B <sub>16</sub> X X X X X X X X
(8) ポートP3方向レジスタ	0007 <sub>16</sub> 00 <sub>16</sub>	(45) データバスバッファレジスタ1	002C <sub>16</sub> 00 <sub>16</sub>
(9) ポートP4	0008 <sub>16</sub> 00 <sub>16</sub>	(46) コンパレータデータレジスタ	002D <sub>16</sub> 00 <sub>16</sub>
(10) ポートP4方向レジスタ	0009 <sub>16</sub> 00 <sub>16</sub>	(47) ポート制御レジスタ1	002E <sub>16</sub> 00 <sub>16</sub>
(11) ポートP5	000A <sub>16</sub> 00 <sub>16</sub>	(48) ポート制御レジスタ2	002F <sub>16</sub> 00 <sub>16</sub>
(12) ポートP5方向レジスタ	000B <sub>16</sub> 00 <sub>16</sub>	(49) PWM0Hレジスタ	0030 <sub>16</sub> X X X X X X X X
(13) ポートP6	000C <sub>16</sub> 00 <sub>16</sub>	(50) PWM0Lレジスタ	0031 <sub>16</sub> X 0 X X X X X X
(14) ポートP6方向レジスタ	000D <sub>16</sub> 00 <sub>16</sub>	(51) PWM1Hレジスタ	0032 <sub>16</sub> X X X X X X X X
(15) ポートP7	000E <sub>16</sub> 00 <sub>16</sub>	(52) PWM1Lレジスタ	0033 <sub>16</sub> X 0 X X X X X X
(16) ポートP7方向レジスタ	000F <sub>16</sub> 00 <sub>16</sub>	(53) AD/DA制御レジスタ	0034 <sub>16</sub> 0 0 0 0 0 1 0 0 0
(17) ポートP8	0010 <sub>16</sub> 00 <sub>16</sub>	(54) A-D変換レジスタ1	0035 <sub>16</sub> X X X X X X X X
(18) ポートP8方向レジスタ	0011 <sub>16</sub> 00 <sub>16</sub>	(55) D-A1変換レジスタ	0036 <sub>16</sub> 00 <sub>16</sub>
(19) I <sup>2</sup> Cデータシフトレジスタ	0012 <sub>16</sub> X X X X X X X X	(56) D-A2変換レジスタ	0037 <sub>16</sub> 00 <sub>16</sub>
(20) I <sup>2</sup> Cアドレスレジスタ	0013 <sub>16</sub> 00 <sub>16</sub>	(57) A-D変換レジスタ2	0038 <sub>16</sub> 0 0 0 0 0 0 X X
(21) I <sup>2</sup> Cステータスレジスタ	0014 <sub>16</sub> 0 0 0 0 1 0 0 0 X	(58) 割り込み要因選択レジスタ	0039 <sub>16</sub> 00 <sub>16</sub>
(22) I <sup>2</sup> Cコントロールレジスタ	0015 <sub>16</sub> 00 <sub>16</sub>	(59) 割り込みエッジ選択レジスタ	003A <sub>16</sub> 00 <sub>16</sub>
(23) I <sup>2</sup> Cクロックコントロールレジスタ	0016 <sub>16</sub> 00 <sub>16</sub>	(60) CPUモードレジスタ	003B <sub>16</sub> 0 1 0 0 0 1 0 0 0
(24) I <sup>2</sup> Cスタートストップコネクション制御レジスタ	0017 <sub>16</sub> 0 0 0 0 1 1 0 1 0	(61) 割り込み要求レジスタ1	003C <sub>16</sub> 00 <sub>16</sub>
(25) 送信/受信バッファレジスタ	0018 <sub>16</sub> X X X X X X X X	(62) 割り込み要求レジスタ2	003D <sub>16</sub> 00 <sub>16</sub>
(26) シリアルI/Oステータスレジスタ	0019 <sub>16</sub> 1 0 0 0 0 0 0 0	(63) 割り込み制御レジスタ1	003E <sub>16</sub> 00 <sub>16</sub>
(27) シリアルI/O制御レジスタ	001A <sub>16</sub> 00 <sub>16</sub>	(64) 割り込み制御レジスタ2	003F <sub>16</sub> 00 <sub>16</sub>
(28) UART制御レジスタ	001B <sub>16</sub> 1 1 1 0 0 0 0 0	(65) LPC0アドレスレジスタL	0FF0 <sub>16</sub> 00 <sub>16</sub>
(29) ポーレートジェネレータ	001C <sub>16</sub> X X X X X X X X	(66) LPC0アドレスレジスタH	0FF1 <sub>16</sub> 00 <sub>16</sub>
(30) シリアル割り込み制御レジスタ	001D <sub>16</sub> 00 <sub>16</sub>	(67) LPC1アドレスレジスタL	0FF2 <sub>16</sub> 00 <sub>16</sub>
(31) ウォッチドッグ制御レジスタ	001E <sub>16</sub> 0 0 1 1 1 1 1 1	(68) LPC1アドレスレジスタH	0FF3 <sub>16</sub> 00 <sub>16</sub>
(32) シリアル割り込み要求レジスタ	001F <sub>16</sub> X X X X X X X X	(69) ポートP5入力レジスタ	0FF8 <sub>16</sub> 00 <sub>16</sub>
(33) プリスケアラ12	0020 <sub>16</sub> FF <sub>16</sub>	(70) ポート制御レジスタ3	0FF9 <sub>16</sub> 00 <sub>16</sub>
(34) タイマ1	0021 <sub>16</sub> 01 <sub>16</sub>	(71) フラッシュメモリ制御レジスタ	0FFE <sub>16</sub> 00 <sub>16</sub>
(35) タイマ2	0022 <sub>16</sub> FF <sub>16</sub>	(72) プリスケアラレジスタ	(PS) X X X X X 1 X X
(36) タイマXYモードレジスタ	0023 <sub>16</sub> 00 <sub>16</sub>	(73) プログラムカウンタ	(PC <sub>H</sub> ) FFFD <sub>16</sub> 番地の内容
(37) プリスケアラX	0024 <sub>16</sub> FF <sub>16</sub>		(PC <sub>L</sub> ) FFFC <sub>16</sub> 番地の内容

注. x : 不定です。  
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図67 リセット時の内部状態



#### クロック発生回路

2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより、発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN - XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN - XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

#### 周波数制御

##### (1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

##### (2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックの周波数になります。

##### (3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックになります。

注：中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

##### (4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック(XIN - XOUT)停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック(XIN - XOUT)停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

#### 発振制御

##### (1) ストップモード

STP命令を実行すると内部クロックが“H”の状態で停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビット(002F16番地のビット6)が“0”のとき、プリスケアラ12には“FF16”、タイマ1には“0116”が設定されます。一方、STP命令解除後発振安定時間設定ビットが“1”のときは、プリスケアラ12、タイマ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ12の入力にはXIN又はXCINの16分周、タイマ1にはプリスケアラ12の出力が強制的に接続されます。

STP命令実行前に、タイマ1の割り込み許可ビットを禁止状態(“0”)に設定してください。

発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。そのため、STP命令によって発振が停止する以前に、タイマ1割り込み要求ビットが“1”に設定されないようにしてください。

リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に“L”レベルを印加してください。

##### (2) ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態で停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると、内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

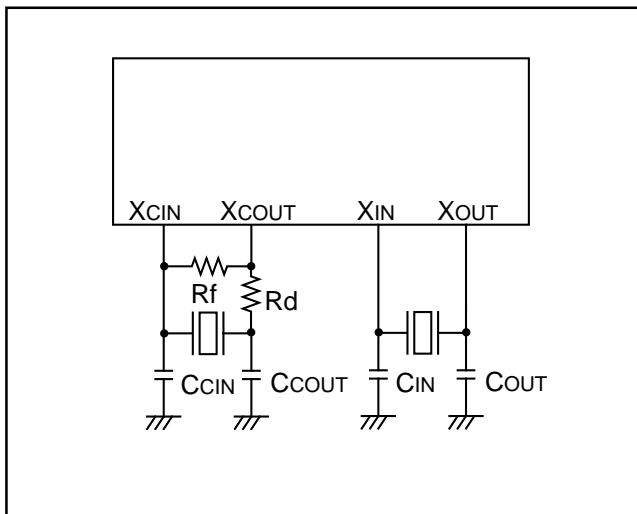


図68 .セラミック共振子外付け回路

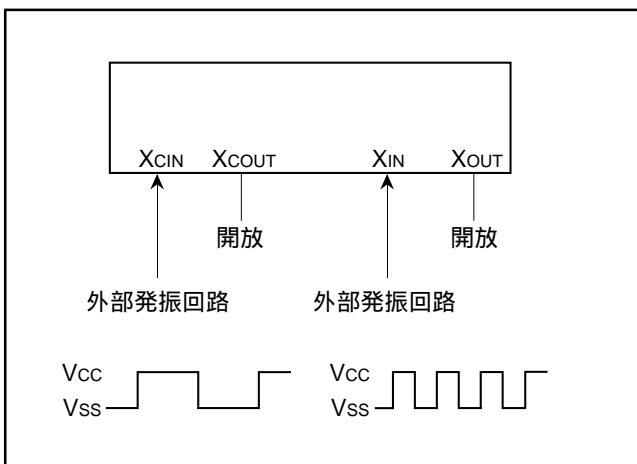


図69 外部クロック入力回路

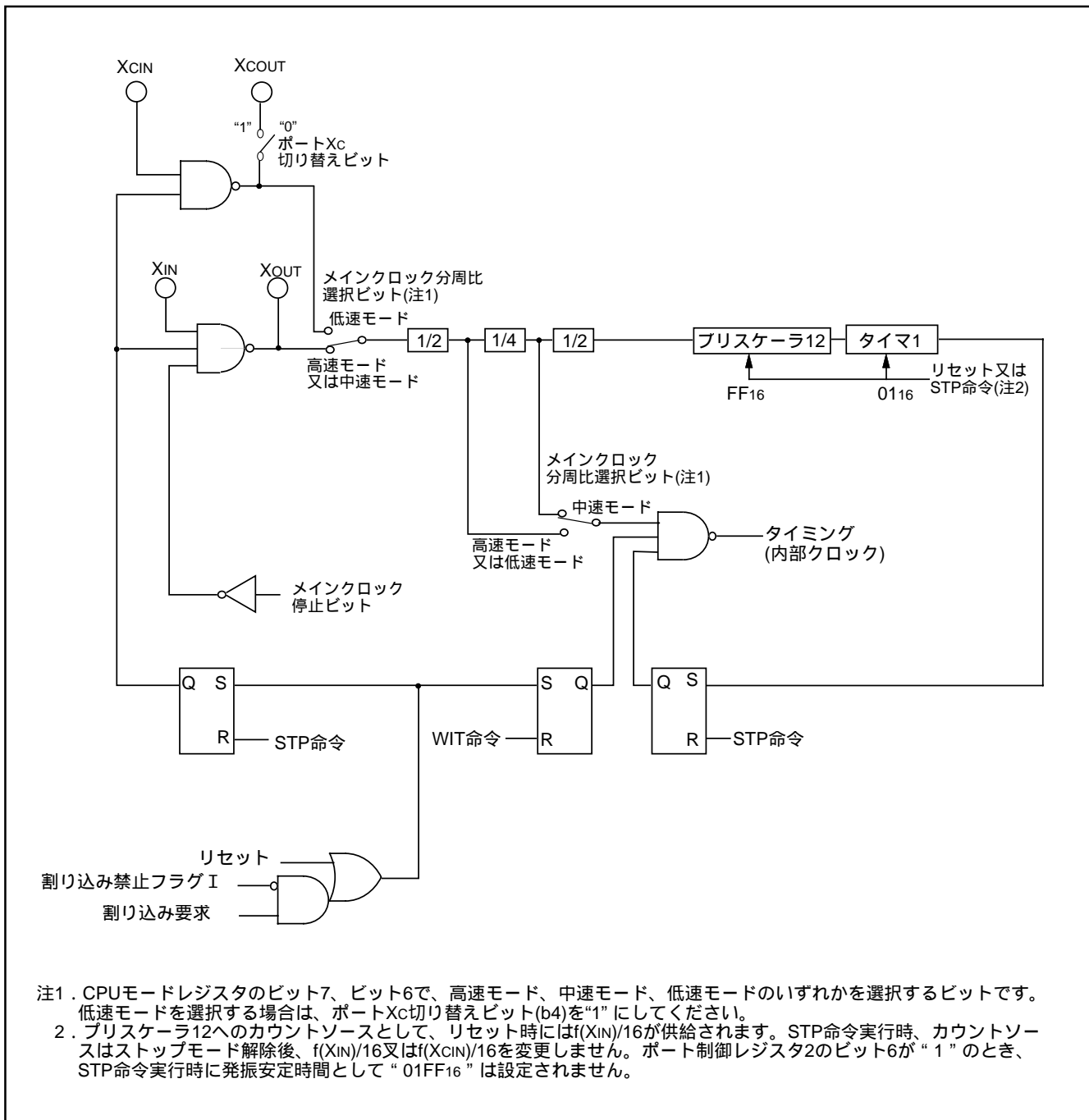


図70 システムクロック発生回路ブロック図

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

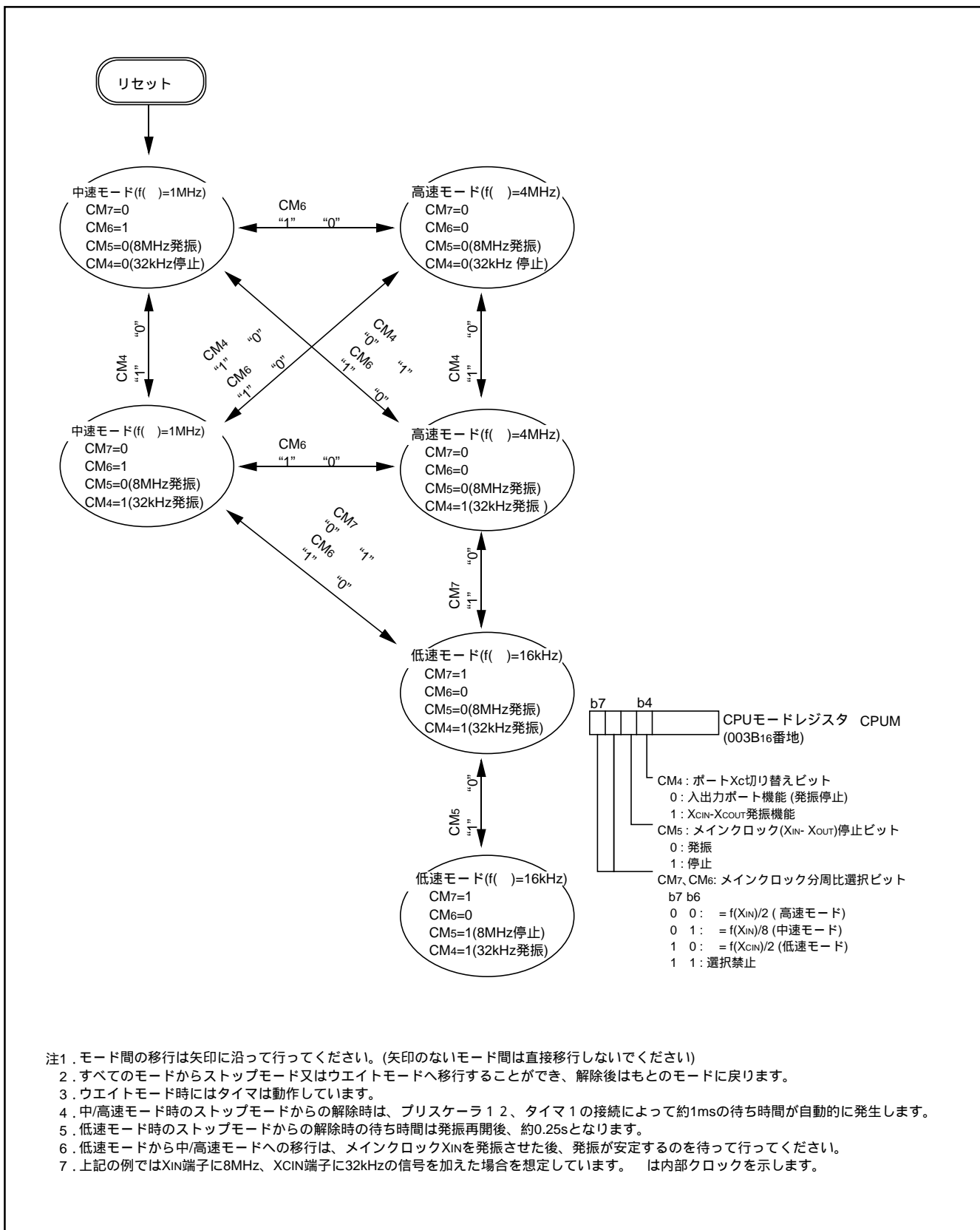


図71 システムクロックの状態遷移図

フラッシュメモリモード

3885グループ(フラッシュメモリ版)はVcc=3.3Vにおいて2電源での書き換えが可能な、NEW DINOR(Divided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの2種類を用意しています。

図72に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

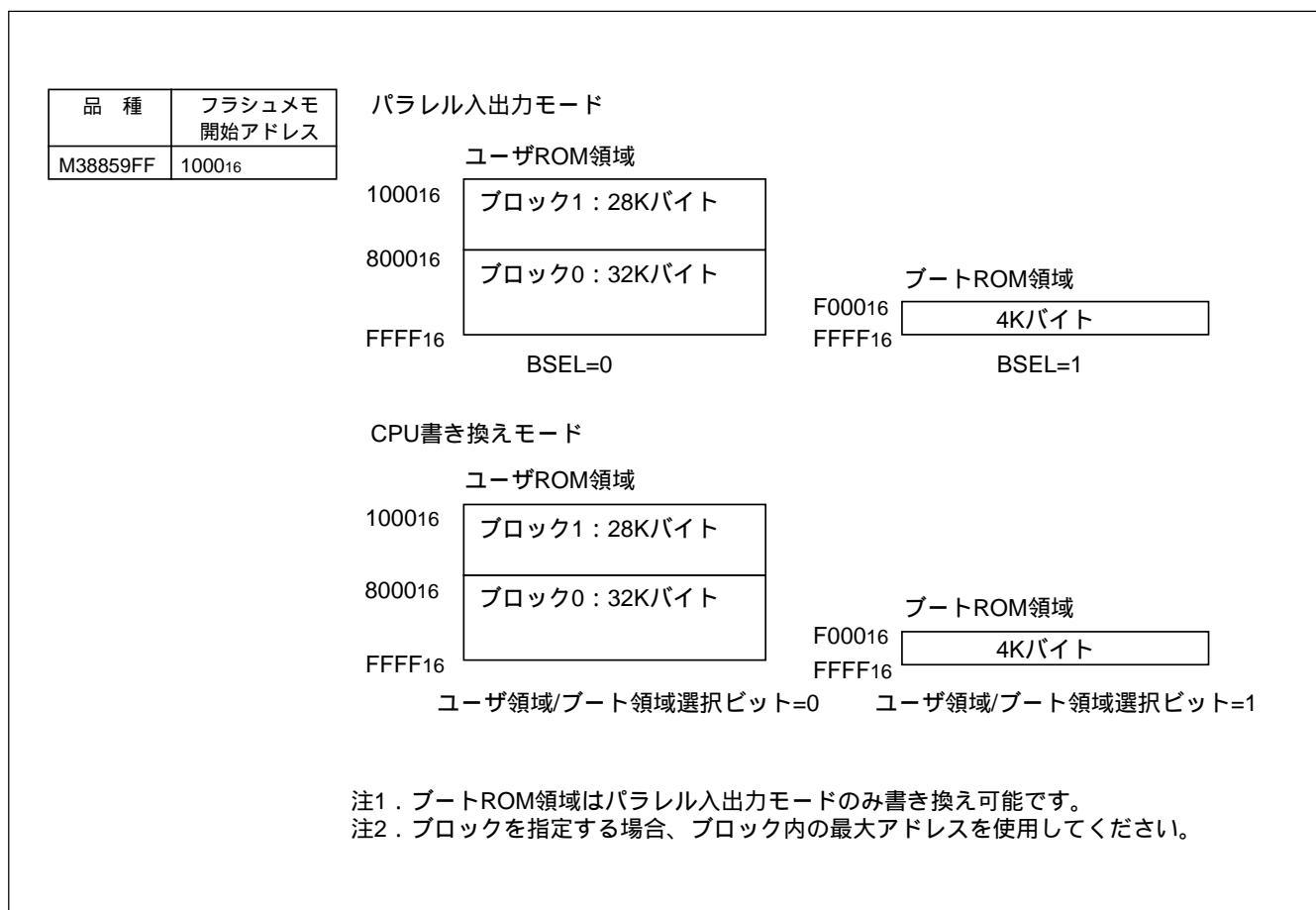


図72. 内蔵フラッシュメモリのブロック図

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

パラレル入出力モード

図73に示す結線を行い、Vcc電源を投入するとパラレル入出力モードになります。

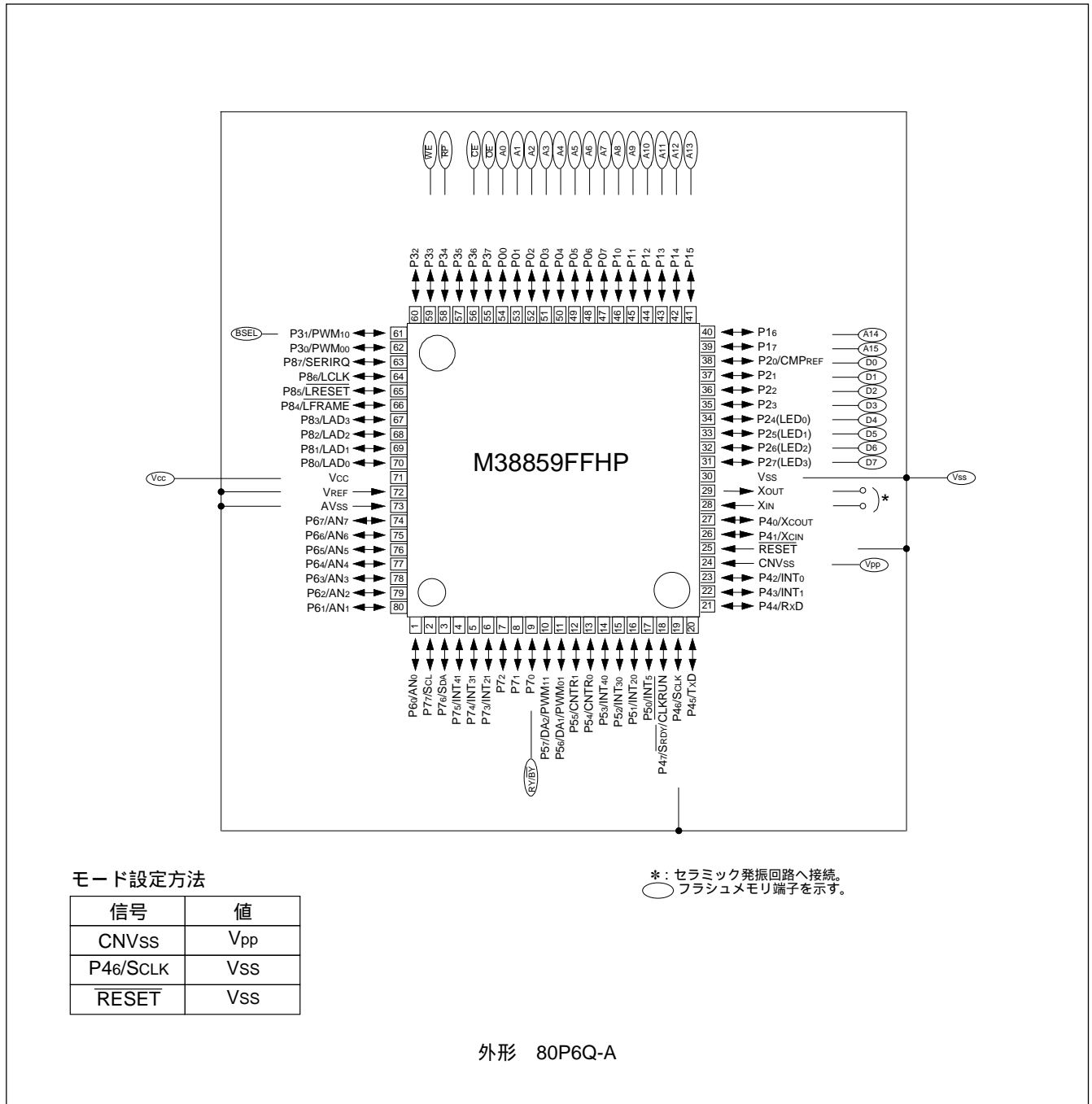


図73. パラレル入出力モード時の端子結線図

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表20．端子の機能説明(フラッシュメモリパラレル入出力モード)

端子名	名称	入出力	機能
Vcc,Vss	電源		Vcc端子には3.3 V $\pm$ 0.3 Vを、Vssには0Vを印加してください。
CNVss	電源		VPP ( 5.0 V $\pm$ 0.5 V ) に接続してください。
RESET	リセット入力	入力	“ L ” を入力してください。
XIN	クロック入力	入力	クロック発生回路の入出力端子です。XIN端子とXOUT端子の間には、セラミック発振子又は水晶発振子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放にしてください。
XOUT	クロック出力	出力	
AVss	アナログ電源		Vssに接続してください。
VREF	基準電圧入力	入力	Vssに接続してください。
P00 ~ P07	アドレス入力A0 ~ A7	入力	アドレスA0 ~ A7の入力端子です。
P10 ~ P17	アドレス入力A8 ~ A15	入力	アドレスA8 ~ A15の入力端子です。
P20 ~ P27	データ入出力D0 ~ D7	入出力	データD0 ~ D7の入力端子です。
P30	入力P30	入力	“ H ” を入力、“ L ” を入力、又は開放にしてください。
P31	BSEL入力	入力	BSELの入力端子です。
P32	入力ポートP32	入力	“ H ” を入力、“ L ” を入力、又は開放にしてください。
P33	WE入力	入力	WEの入力端子です。
P34	RP入力	入力	RPの入力端子です。
P35	RY/BY出力	出力	RY/BYの出力端子です。
P36	CE入力	入力	CEの入力端子です。
P37	OE入力	入力	OEの入力端子です。
P40 ~ P45	入力P40 ~ P45	入力	“ H ” を入力、“ L ” を入力、又は開放にしてください。
P46	フラッシュモード入力	入力	パラレル入出力モードにするために、“ L ” を入力してください。
P47	入力P47	入力	“ H ” を入力、“ L ” を入力、又は開放にしてください。
P50 ~ P57	入力P5	入力	“ H ” を入力、“ L ” を入力、又は開放にしてください。
P60 ~ P67	入力P6	入力	“ H ” を入力、“ L ” を入力、又は開放にしてください。
P70 ~ P77	入力P7	入力	“ H ” を入力、“ L ” を入力、又は開放にしてください。
P80 ~ P87	入力P8	入力	“ H ” を入力、“ L ” を入力、又は開放にしてください。

アドレス

図72に示すとおり、ユーザROM領域はブロックに分けられています。ブロック内の最大アドレスがブロックアドレスです。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図72に示すユーザROM領域及びブートROM領域の書き換えを行うことができます。この2つの領域の選択は、BSEL端子で行います。BSEL入力を“L”とするとユーザROM領域が選択され、BSEL入力を“H”とするとブートROM領域が選択されます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。

ユーザROM領域は60Kバイトで、パラレル入出力モードでは1000<sub>16</sub> ~ FFFF<sub>16</sub>番地に配置されています。

ブートROM領域は、4Kバイトで、パラレル入出力モードでは、F000<sub>16</sub> ~ FFFF<sub>16</sub>番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは、4Kバイト単位の1ブロックのみです。

機能概要(パラレル入出力モード)

パラレル入出力モードでは、表19に示すとおり、入力端子  $\overline{CE}$ 、 $\overline{OE}$ 、 $\overline{WE}$ 、 $\overline{RP}$ の状態でリード、出力ディスイネーブル、スタンバイ、ライト、ディープパワーダウンの各バス動作モードを選択します。

イレーズ、プログラム等の操作内容は、ソフトウェアコマンドをライトすることで選択します。また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。

プログラム、イレーズ動作の制御は、ソフトウェアコマンドを使用します。

以下、バス動作モード、ソフトウェアコマンド、ステータスレジスタ等について説明します。

表19．制御信号とバス動作モードの対応

モード		端子名				D0 ~ D7
		$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	$\overline{RP}$	
リード	アレイ	VIL	VIL	VIH	VIH	データ出力
	ステータスレジスタ	VIL	VIL	VIH	VIH	ステータスレジスタデータ出力
出力ディスイネーブル		VIL	VIH	VIH	VIH	Hi-Z
スタンバイ		VIH	X	X	VIH	Hi-Z
ライト	プログラム	VIL	VIH	VIL	VIH	コマンド/データ入力
	ブロックイレーズ	VIL	VIH	VIL	VIH	コマンド入力
ディープパワーダウン		X	X	X	VIL	Hi-Z

注． XはVIL又はVIHのどちらでもよい。



## バス動作モード

### リードモード

$\overline{CE}$ 端子が“L”、 $\overline{WE}$ 端子、 $\overline{RP}$ 端子が“H”のとき、 $\overline{OE}$ 端子を“L”とするとリードモードになります。リードモードには、読み出し、ステータスレジスタの2種類があり、これらはソフトウェアコマンド入力によって選択します。リードモードでは、これらのソフトウェアコマンドに対応したデータがデータ入出力端子D0～D7から出力されます。電源投入時やディープパワーダウン解除後は、読み出しが自動的に選択されます。

### 出力ディスエーブル

$\overline{CE}$ 端子を“L”、 $\overline{WE}$ 端子、 $\overline{OE}$ 端子、 $\overline{RP}$ 端子を“H”とすると出力ディスエーブル状態になり、データ入出力端子はハイインピーダンス状態になります。

### スタンドバイ

$\overline{RP}$ 端子が“H”のとき、 $\overline{CE}$ 端子を“H”とするとスタンドバイ状態になります。また、データ入出力端子はハイインピーダンス状態になります。ただし、イレーズ、プログラム動作中に $\overline{CE}$ 端子を“H”にしても内部制御回路はすぐには停止せず、動作完了までの期間は通常の消費電力を要します。

### ライト

$\overline{CE}$ 端子が“L”、 $\overline{OE}$ 端子、 $\overline{RP}$ 端子が“H”のとき $\overline{WE}$ 端子を“L”にするとライトモードになり、データ入出力端子からソフトウェアコマンド又はライトデータの入力が可能となります。この入力するソフトウェアコマンドの内容により、プログラム、イレーズ等の操作が可能となります。アドレス及びソフトウェアコマンド等の入力データは $\overline{WE}$ 、 $\overline{CE}$ のどちらか早い方の立ち上がりエッジで取り込まれます。

### ディープパワーダウン

$\overline{RP}$ 端子を“L”とするとディープパワーダウンモードになります。また、データ入出力端子はハイインピーダンス状態になります。ディープパワーダウンモードから解除されたときには、リードアレイモードが選択され、ステータスレジスタ内容は“80<sub>16</sub>”になります。イレーズ、プログラム動作中は $\overline{RP}$ 端子を“L”にするとそれらの動作は取り消され、そのブロックのデータは無効になります。

## ソフトウェアコマンド

次ページの表21にソフトウェアコマンドの一覧表を示します。ライトモードでデータ入出力端子(D0～D7)からソフトウェアコマンドを入力することにより、イレーズ、プログラム等の操作内容を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

### リードアレイコマンド(FF<sub>16</sub>)

第1バスサイクルでコマンドコード“FF<sub>16</sub>”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータ入出力端子(D0～D7)から出力されます。

リードアレイモードは他のコマンドがライトされるまで保持されます。

また、電源投入時及びディープパワーダウンモードからの復帰後にも、リードアレイモードが選択されます。

### リードステータスレジスタコマンド(70<sub>16</sub>)

第1バスサイクルでコマンドコード“70<sub>16</sub>”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータ入出力端子から出力されます。ステータスレジスタの内容は、 $\overline{OE}$ 又は $\overline{CE}$ のどちらかの立ち上がりエッジで更新されるので、リードステータスを行う場合には毎回 $\overline{OE}$ 又は $\overline{CE}$ 信号を入力してください。

### クリアステータスレジスタコマンド(50<sub>16</sub>)

ステータスレジスタのエラー終了を示すビット(SR4,SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50<sub>16</sub>”をライトします。

### プログラムコマンド(40<sub>16</sub>)

第1バスサイクルでコマンドコード“40<sub>16</sub>”をライトするとプログラムモードになります。続いて第2バスサイクルでプログラムしたいアドレスとデータをライトすると、プログラム動作(データプログラム及びベリファイ)を開始します。

プログラム終了は、ステータスレジスタのリード又はRY/ $\overline{BY}$ 信号状態により確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスの内容をデータ入出力端子(D0～D7)から読み出すことができます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF<sub>16</sub>)をライトするまで、継続されます。

フラッシュメモリ制御レジスタのRY/ $\overline{BY}$ 端子はステータスレジスタのビット7(SR7)と同じくプログラム期間中は“L”、終了後は“H”となります。

プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

図74にバイトプログラムコマンドフローチャート例を示します。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

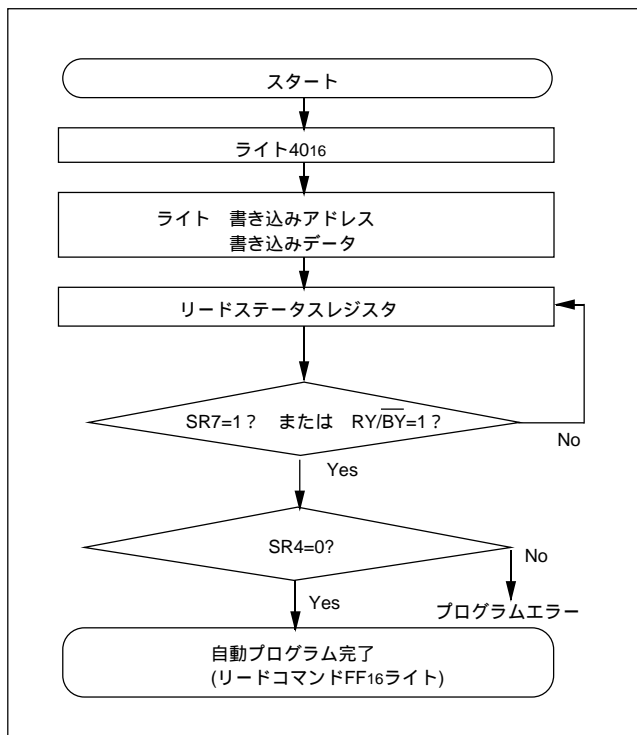


図74. プログラムフローチャート

表21. ソフトウェアコマンド一覧表(パラレル入出力モード)

コマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ(D0-D7)	モード	アドレス	データ(D0-D7)
リードアレイ (1)	ライト	X(注1)	FF16			
リードステータスレジスタ(2)	ライト	X	7016	リード	X	SRD(注2)
クリアステータスレジスタ(1)	ライト	X	5016			
バイトプログラム(2)	ライト	X	4016	ライト	WA(注3)	WD(注3)
ブロックイレース(2)	ライト	X	2016	ライト	BA(注4)	D016

注 1. XはユーザROM領域、ブートROM領域の任意のアドレス

2. SRD=ステータスレジスタデータ

3. WA=ライトアドレス

WD=ライトデータ

4. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

5.( )はサイクル数。

ブロックイレーズコマンド(20<sub>16</sub>/D0<sub>16</sub>)

第1バスサイクルでコマンドコード“ 20<sub>16</sub> ”、続く第2サイクルで確認コマンドコード“ D0<sub>16</sub> ”をライトするとブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、ステータスレジスタのリード又はRY/BY端子の状態によって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容をデータ入出力端子(D<sub>0</sub>~D<sub>7</sub>)から読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは次にリードアレイコマンド(FF<sub>16</sub>)をライトするまで継続されます。

RY/BY端子は、ステータスレジスタのビット7(SR7)と同じくブロックイレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。

詳しくは、ステータスレジスタの節を参照してください。

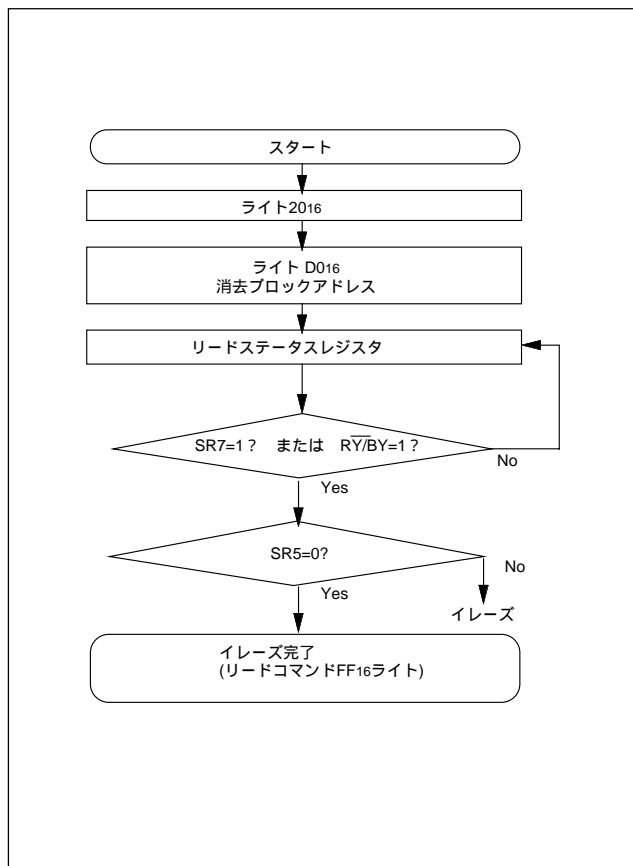


図75. イレーズフローチャート

ステータスレジスタ

ステータスレジスタは、イレーズ、プログラムの正常/エラー終了時等の状態を示すレジスタです。このレジスタの内容は以下の状態で読み出すことができます。

- (1) リードステータスコマンド(70<sub>16</sub>)をライトした後、ブロックアドレスを読み出したとき。
- (2) プログラム開始又はブロックイレーズ開始から、リードアレイコマンド(FF<sub>16</sub>)をライトするまでにユーザROM領域をリードしたとき。

また、ステータスレジスタは、次の条件でクリアされます。

- (1) クリアステータスレジスタコマンド(50<sub>16</sub>)をライトしたとき。
- (2) ディープパワーダウンモードに入ったとき。
- (3) 電源をオフにしたとき。

ステータスレジスタは電源投入時、又は、ディープパワーダウンモードからの復帰時には“80<sub>16</sub>”になります。

各ビットの意味を以下に示します。

シーケンサステータス(SR7)

電源投入後、シーケンサステータスは“1”にセットされています。

シーケンサステータスはフラッシュメモリの動作状況を示すもので、プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”(レディ)にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるものです。書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

プログラムステータス、イレーズステータス(SR5,SR4)のいずれかが“1”のとき、プログラムコマンド、イレーズ全ブロックコマンド及びブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスコマンド(50<sub>16</sub>)を実行し、ステータスをクリアする必要があります。

表22 . ステータスレジスタ

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (DB7)	シーケンサステータス	レディ	ビジー
SR6 (DB6)	リザーブ	-	-
SR5 (DB5)	イレーズステータス	エラー終了	正常終了
SR4 (DB4)	プログラムステータス	エラー終了	正常終了
SR3 (DB3)	リザーブ	-	-
SR2 (DB2)	リザーブ	-	-
SR1 (DB1)	リザーブ	-	-
SR0 (DB0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

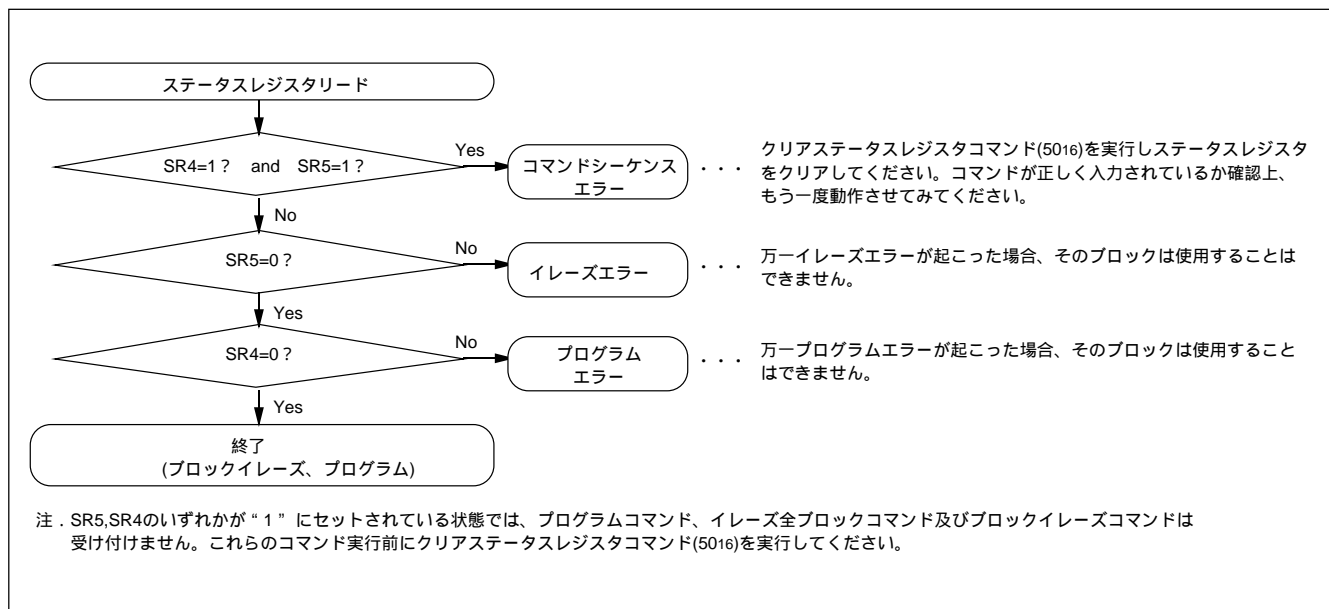


図76 . フルステータスチェックフロー及び各エラー発生時の対処方法

レディ/ビジー(RY/BY)端子

RY/BY端子はステータスレジスタのシーケンサステータス(SR7)と同じくフラッシュメモリの動作状況を知らせるための出力端子(Nチャンネルオープンドレイン出力)です。プログラムやイレーズの動作中は“L”(ビジー)となり、これらの動作終了とともにハイインピーダンス状態(レディ)となります。RY/BY端子は、外部でのプルアップが必要です。

#### CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リードプログラム、プログラム、イレースなど)を行うモードです。

CPU書き換えモードでは図72に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレースのコマンドは、ユーザROM領域と各ブロック領域に対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、そのメモリ上で実行させる必要があります。

#### マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでおく必要があります。

ブートROM領域は図72に示すとおりです。

CNV<sub>ss</sub>端子を“L”としてリセットを解除した場合は、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P46/SCLKを“H”、CNV<sub>ss</sub>端子を“H”としてリセットを解除した場合は、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。FFFC<sub>16</sub>番地、FFFD<sub>16</sub>番地に格納されているアドレスが、制御プログラムの開始アドレスになります。

#### ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレースコマンドで使用します。

#### 機能概要(CPU書き換えモード)

CPU書き換えモードはCPUがソフトウェアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リードなどの操作を行います。この制御プログラムは、あらかじめ、内蔵フラッシュメモリ以外のメモリ(内部RAMなど)に転送後、そのメモリ上で実行させる必要がありますので注意してください。

CPU書き換えモードには、CNVss端子に5.0 V ± 0.5Vを印加し、CPU書き換えモード選択ビット(OFFE<sub>16</sub>番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム又はイレーズの正常/エラー終了などの状態はステータスレジスタを読み出すことでチェックできます。

図77にフラッシュメモリ制御レジスタを示します。

フラッシュメモリ制御レジスタのビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/BYステータスフラグです。プログラム、イレーズの動作中には“0”(ビジー)、これ以外のときには“1”(レディー)となります(パラレル入出力モードのRY/BY端子と同等の機能)。

フラッシュメモリ制御レジスタのビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定してCNVss端子に5.0 V ± 0.5Vを印加すると、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外のメモリへ転送した制御プログラムで行ってください。このビットに“1”を設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタのビット2はCPU書き換えモードエントリフラグです。CPU書き換えモード時、このビットは“1”になりますので、このビットを読み出すことによりCPU書き換えモードにエントリしていることを確認できます。

フラッシュメモリ制御レジスタのビット3は、内蔵フラッシュメモリの制御回路をリセットするための、フラッシュメモリリセットビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビットに“1”を書き込むと、リセットが実行されます。リセットを解除するためには、次に“0”を書き込む必要があります。

フラッシュメモリ制御レジスタのビット4はユーザROM領域/ブートROM領域選択ビットで、“1”を設定することでブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビット4の書き換えは内蔵フラッシュメモリ以外のメモリの領域で行ってください。

図78にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

#### CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)CPU書き換えモード中は、メインクロック分周比選択ビット(003B<sub>16</sub>番地のビット6、7)によって、内部クロックを4MHz以下にしてください。

#### (2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

#### (3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

#### (4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダーフローによる内部リセットは発生しません。

#### (5)リセット

常に受け付けます。リセット解除時、CNVss=Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC<sub>16</sub>、FFFD<sub>16</sub>番地に格納されたアドレスからプログラムがスタートします。

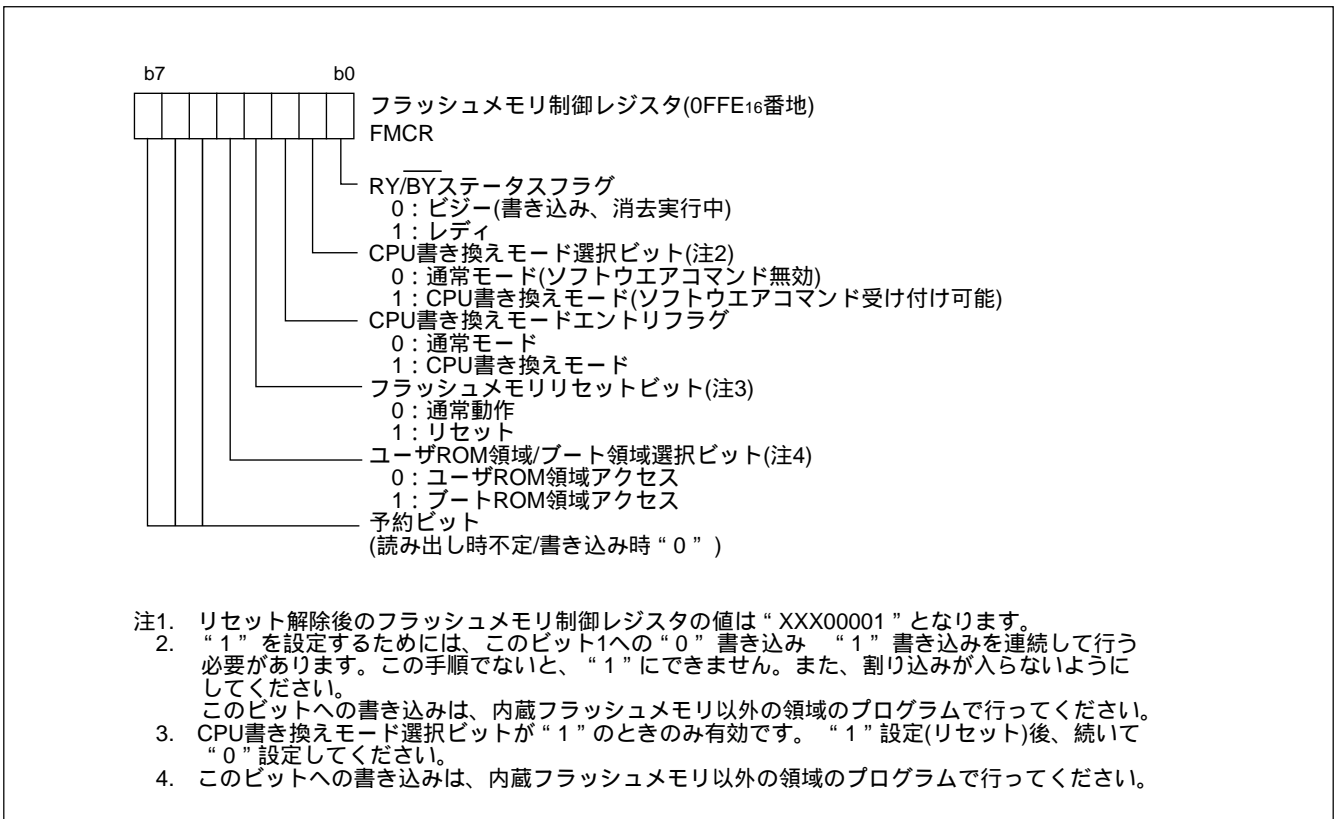


図77. フラッシュメモリ制御レジスタの構成

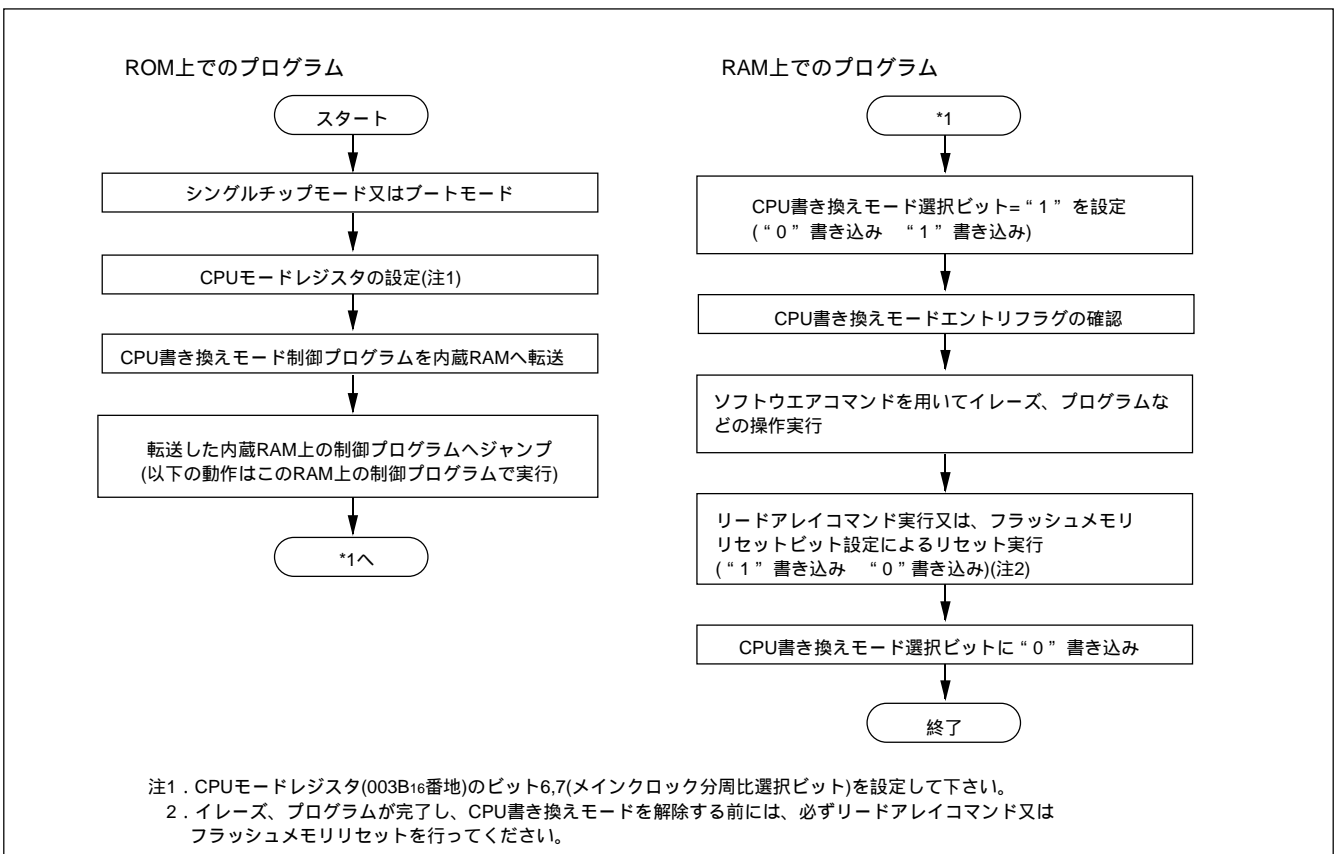


図78. CPU書き換えモードの設定/解除フローチャート



ソフトウェアコマンド

表23にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレース、プログラムなどを指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0~D7)へ読み出されます。リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0~D7)へ読み出されます。ステータスレジスタは次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR4,SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルで“5016”をライトします。

プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードになります。続いて第2バスサイクルで、プログラムするアドレスとデータをライトすると、フラッシュメモリの制御回路はプログラムを実行(データのプログラムとベリファイ動作)します。

プログラム終了は、ステータスレジスタのリード又はRY/BYステータスフラグのリードにより確認できます。プログラム開始とともに自動的にリードステータスレジスタモード

となり、ステータスの内容がデータバス(D0~D7)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまでは、継続されます。

フラッシュメモリ制御レジスタのRY/BYステータスフラグはプログラム期間中は“0”、終了後は“1”となります。

プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

図79にプログラムコマンドフローチャート例を示します。

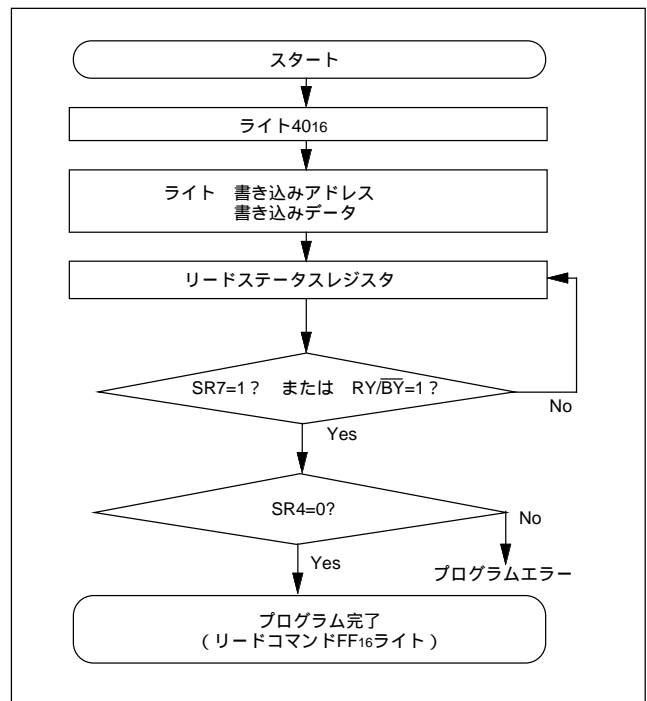


図79. プログラムコマンドフローチャート

表23. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ(D0~D7)	モード	アドレス	データ(D0~D7)
リードアレイ(1)	ライト	X(注1)	FF16			
リードステータスレジスタ(2)	ライト	X	7016	リード	X	SRD(注2)
クリアステータスレジスタ(1)	ライト	X	5016			
プログラム(2)	ライト	X	4016	ライト	WA(注3)	WD(注3)
ブロックイレース(2)	ライト	X	2016	ライト	BA(注4)	D016

注1. XはユーザROM領域の任意のアドレス

2. SRD=ステータスレジスタデータ

3. WA=ライトアドレス

WD=ライトデータ

4. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

5.( )内はサイクル数

ブロックイレーズコマンド(20<sub>16</sub>/D0<sub>16</sub>)

第1バスサイクルでコマンドコード“ 20<sub>16</sub> ”、続く第2サイクルで確認コマンドコード“ D0<sub>16</sub> ”とブロックアドレスをライトすると指定されたブロックに対し、ブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ又はフラッシュメモリ制御レジスタのRY/B $\bar{Y}$ ステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは次にリードアレイコマンド(FF<sub>16</sub>)をライトするまで継続されます。

RY/B $\bar{Y}$ ステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

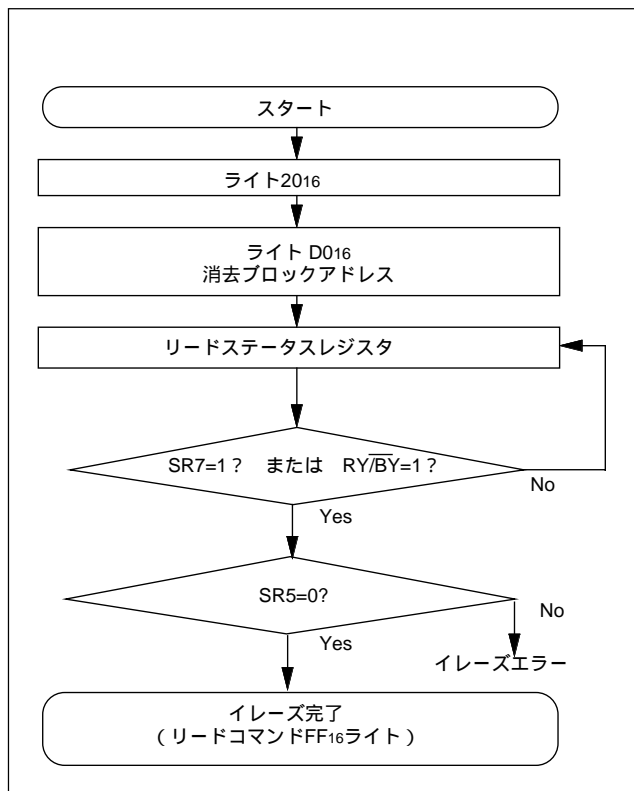


図80 . イレーズフローチャート

### ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了時等の状態を示すレジスタです。このレジスタの内容は以下の条件のとき読み出すことができます。

- (1) リードステータスコマンド(70<sub>16</sub>)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき。
- (2) プログラム開始またはイレーズ開始から、リードアレイコマンド(FF<sub>16</sub>)入力までの期間に、ユーザROM領域の任意のアドレスを読み出したとき。

また、ステータスレジスタは次のとき、クリアされます。

- (1) クリアステータスレジスタコマンド(50<sub>16</sub>)をライトしたとき
- (2) ディープパワーダウンモード時
- (3) 電源供給は途絶えたとき

リセット解除後、ステータスレジスタは“ 80<sub>16</sub> ”になります。

各ビットの意味を以下に示します。

#### シーケンサステータス(SR7)

電源投入後、シーケンサステータスは“ 1 ”(レディ) にセットされています。

シーケンサステータスはフラッシュメモリの動作状況を示すものです。プログラムやイレーズ動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”(レディ)にセットされます。

#### イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を示すもので、イレーズエラーが発生すると“ 1 ”にセットされます。

イレーズステータスはクリアされると“ 0 ”になります。

#### プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を示すものです。プログラムエラーが発生すると“ 1 ”にセットされます。

プログラムステータスはクリアされると“ 0 ”になります。

プログラムステータス、イレーズステータス(SR5,SR4)のいずれかが“ 1 ”のとき、プログラムコマンド、イレーズ全ブロックコマンド及びブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスコマンドを実行し、ステータスをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“ 1 ”にセットされます。

表24 . ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“ 1 ”	“ 0 ”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図81にフルステータスチェック及び各エラー発生時の対処方法を示します。

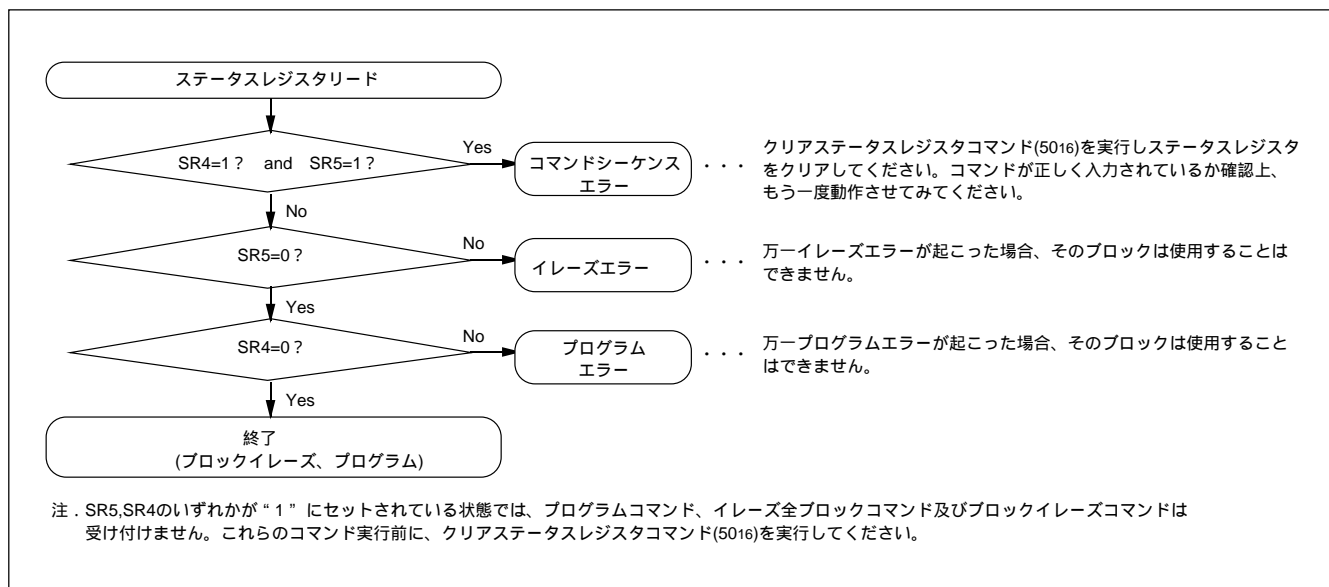


図81 . フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御レジスタ(FFDB<sub>16</sub>番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御レジスタ(FFDB<sub>16</sub>番地)の構成を図82に示します(この番地は、ユーザROM領域に存在します)。

2ビットで構成されるROMコードプロテクトビット内どち

らか一方、又は両方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトにはレベル1とレベル2のレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2を共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、CPU書き換えモードで書き換えてください。

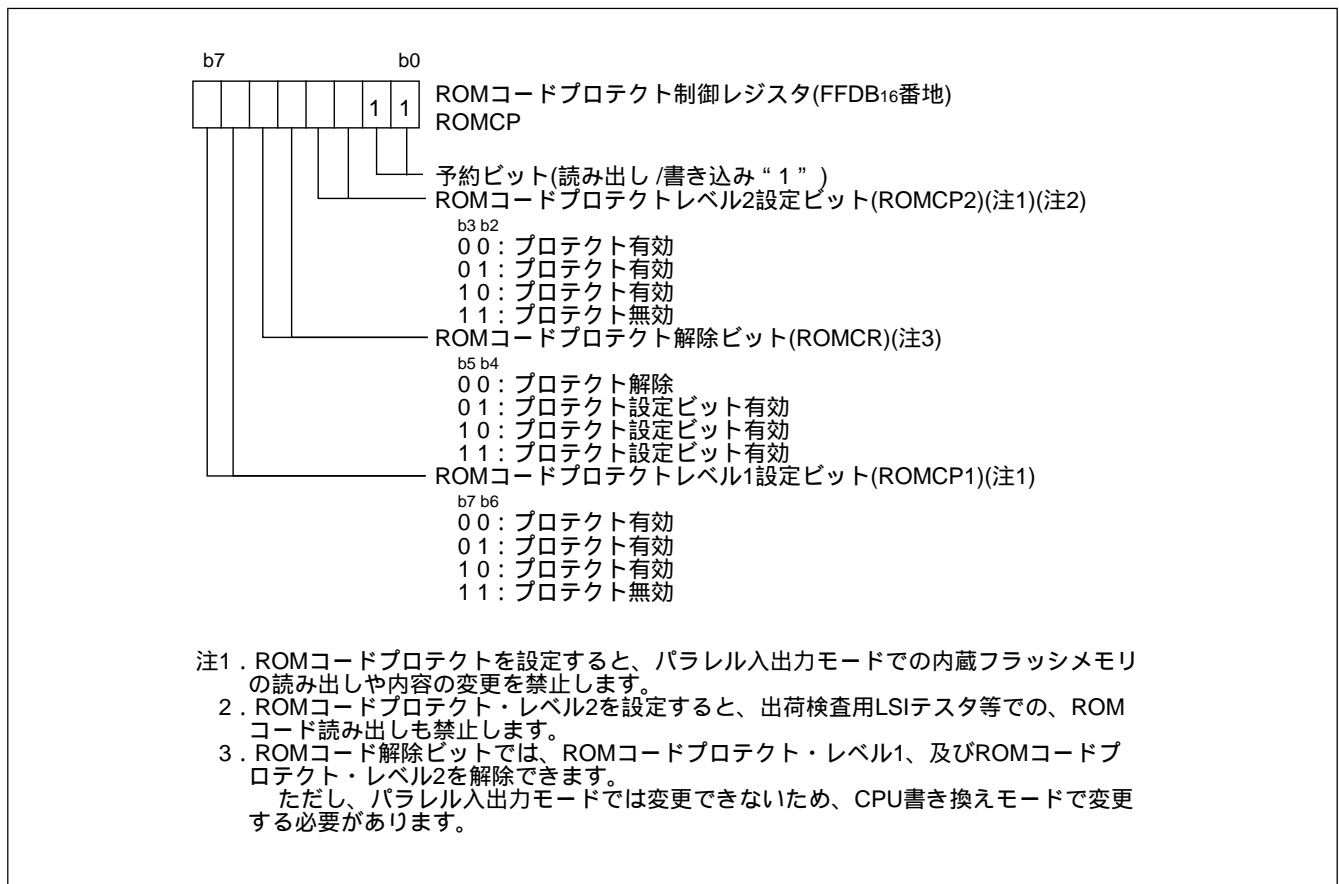


図82. ROMコードプロテクト制御レジスタの構成

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

フラッシュメモリモード電気的特性

直流電気的特性

表25 直流電気的特性(指定のない場合は、 $T_a=25$ 、 $V_{cc}=3.3V \pm 0.3V$ )

記号	項目	条件	規格値			単位
			最小	標準	最大	
I <sub>PP1</sub>	V <sub>PP</sub> 電源電流(リード時)				100	μA
I <sub>PP2</sub>	V <sub>PP</sub> 電源電流(プログラム時)				60	mA
I <sub>PP3</sub>	V <sub>PP</sub> 電源電流(イレーズ時)				30	mA
V <sub>IL</sub>	“L”入力電圧(注)		0		0.8	V
V <sub>IH</sub>	“H”入力電圧(注)		2.0		V <sub>CC</sub>	V
V <sub>PP</sub>	V <sub>PP</sub> 電源電圧		4.5		5.5	V

注：パラレル入出力モードの入力端子。

交流電気的特性(指定のない場合は、 $T_a=25$ 、 $V_{cc}=3.3V \pm 0.3V$ )

表26 リードオンリモード

記号	項目	規格値			単位
		最小	標準	最大	
t <sub>RC</sub>	リードサイクル時間	200			ns
t <sub>a(AD)</sub>	アドレスアクセス時間			100	ns
t <sub>a(CE)</sub>	$\overline{CE}$ アクセス時間			100	ns
t <sub>a(OE)</sub>	$\overline{OE}$ アクセス時間			80	ns
t <sub>CLZ</sub>	$\overline{CE}$ 後出力イネーブル時間	0			ns
t <sub>DF(CE)</sub>	$\overline{CE}$ 後出力フローティング時間			25	ns
t <sub>OLZ</sub>	$\overline{OE}$ 後出力イネーブル時間	0			ns
t <sub>DF(OE)</sub>	$\overline{OE}$ 後出力フローティング時間			25	ns
t <sub>PHZ</sub>	$\overline{PR}$ 後出力フローティング時間			300	ns
t <sub>OH</sub>	$\overline{CE}$ , $\overline{OE}$ , アドレス後出力有効時間	0			ns
t <sub>OEH</sub>	リード前ライトリカバリー時間	200			ns
t <sub>PS</sub>	RPリカバリー時間	10			μs

注：タイミングの測定は「リード動作AC波形」の条件下で行います。

表27 リード/ライトモード( $\overline{WE}$ コントロール)

記号	項目	規格値			単位
		最小	標準	最大	
t <sub>WC</sub>	ライトサイクル時間	200			ns
t <sub>AS</sub>	アドレスセットアップ時間	100			ns
t <sub>AH</sub>	アドレスホールド時間	25			ns
t <sub>DS</sub>	データセットアップ時間	100			ns
t <sub>DH</sub>	データホールド時間	25			ns
t <sub>CS</sub>	チップイネーブルセットアップ時間	0			ns
t <sub>CH</sub>	チップイネーブルホールド時間	0			ns
t <sub>WP</sub>	ライトパルス幅	100			ns
t <sub>WPH</sub>	“H”ライトパルス幅	50			ns
t <sub>DAP</sub>	プログラム時間		25		μs
t <sub>DAE</sub>	イレーズ全ブロック時間		1.5		s
t <sub>WHRL</sub>	レディ/ビジー遅延時間			200	ns
t <sub>PS</sub>	RPリカバリー時間	10			μs

注1：コマンドライト動作モードのリードタイミングパラメータはリードオンリーモード時と同じものです。

2：標準値は  $V_{cc}=5.0V$ ,  $T_a=25$  における値です。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

交流電氣的特性(指定のない場合は、 $T_a=25$ 、 $V_{cc}=3.3V \pm 0.3V$ )

表28 リード/ライトモード(CEコントロール)

記号	項目	規格値			単位
		最小	標準	最大	
tWC	ライトサイクル時間	200			ns
tAS	アドレスセットアップ時間	100			ns
tAH	アドレスホールド時間	25			ns
tDS	データセットアップ時間	100			ns
tDH	データホールド時間	25			ns
tWS	WEセットアップ時間	0			ns
tWH	WEホールド時間	0			ns
tCEP	CEパルス幅	100			ns
tCEPH	"H" CEパルス幅	50			ns
tDAP	プログラム時間		25		$\mu$ s
tDAE	イレーズ全ブロック時間		1.5		s
tEHL	レディ/ビジー遅延時間			200	ns
tPS	RPリカバリー時間	10			$\mu$ s

注1. コマンドライト動作モードのリードタイミングパラメータはリードオンリーモード時と同じものです。

2. 標準値は  $V_{cc}=5.0V$ ,  $T_a=25$  における値です。

表29 消去及びプログラム動作

パラメータ	最小	標準	最大	単位
イレーズ全ブロック時間		1.5		s
ブロックイレーズ時間		1.0		s
プログラム時間(1バイト)		25		$\mu$ s

表30  $V_{cc}$ パワーアップ/ダウンタイミング

記号	パラメータ	最小	標準	最大	単位
tVCS	RP = VIH セットアップ時間( $V_{cc}=V_{cc \text{ min}}$ 到達後)	10			$\mu$ s

注. 電源の投入/切断時にコントロール端子にノイズパルスが印加されると、誤消去/誤書き込みを起す恐れがあります。

電源の投入/切断時にはメモリデータの破壊を防止するため、ライトサイクルに入らないようにする必要があります。

電源の投入時、 $V_{cc}$ が $V_{cc \text{ min}}$ .に達してからリード又はライトの動作を開始するまでには、最小10 $\mu$ sの待ち時間が必要です。電源の投入/切断時、RP端子を $V_{IL}$ に保つことにより、メモリデータは保護されます。電源の投入時には、RP端子は $V_{cc}$ が $V_{cc \text{ min}}$ .に達してから最小10 $\mu$ sの間 $V_{IL}$ に保持されなければなりません。電源の切断時には、 $\overline{RP}$ 端子は $V_{cc}$ がGNDレベルに達するまで $V_{IL}$ に保持されなければなりません。

RP端子にはラッチモードはありませんので、リード、消去及びプログラムの動作中は $\overline{RP}$ 端子は $V_{IH}$ 以上に保持する必要があります。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

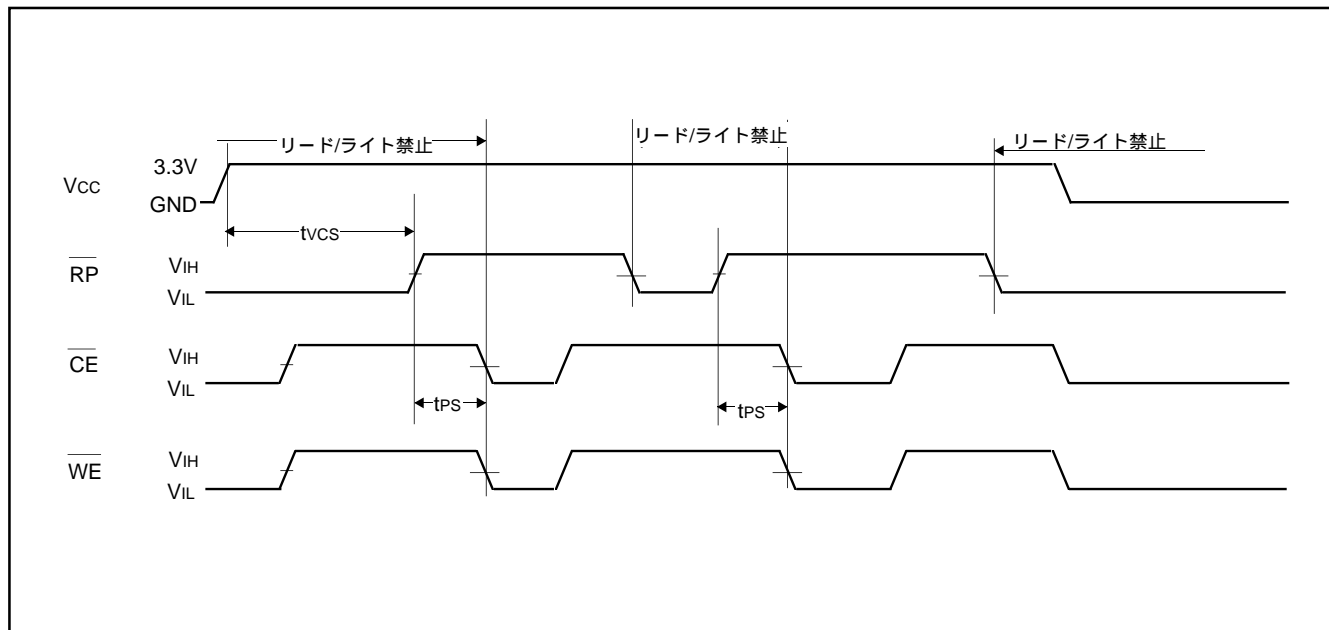


図83 .Vccパワーアップ / ダウンタイミング



開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

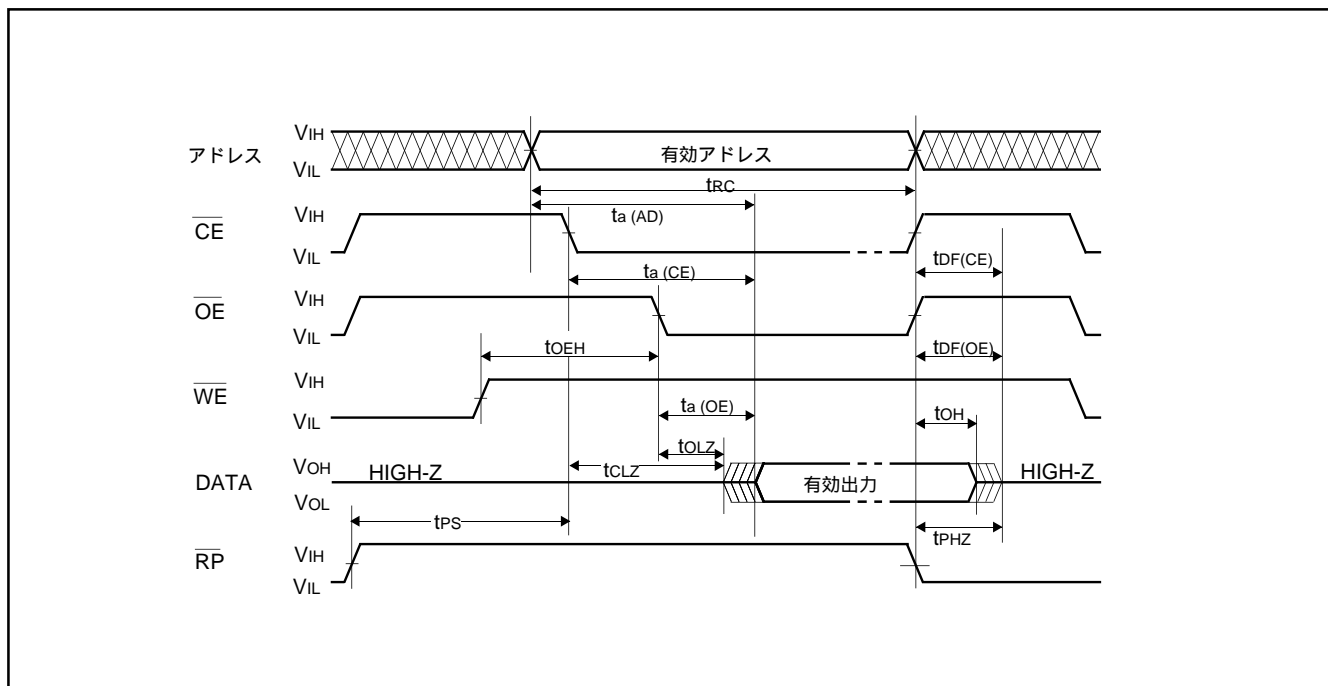


図84 .リード動作AC波形

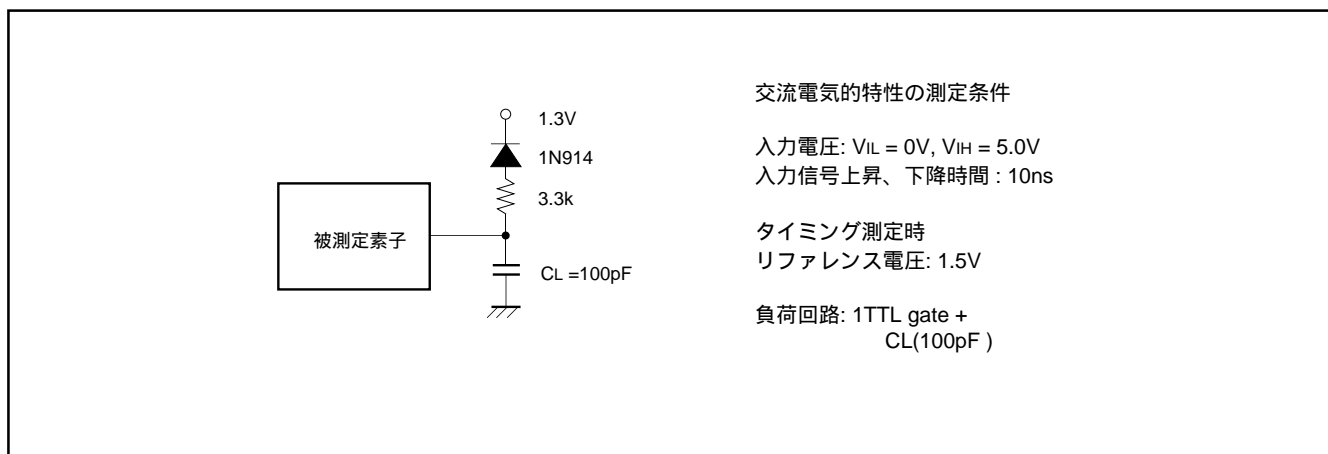


図85 .リード動作測定条件

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

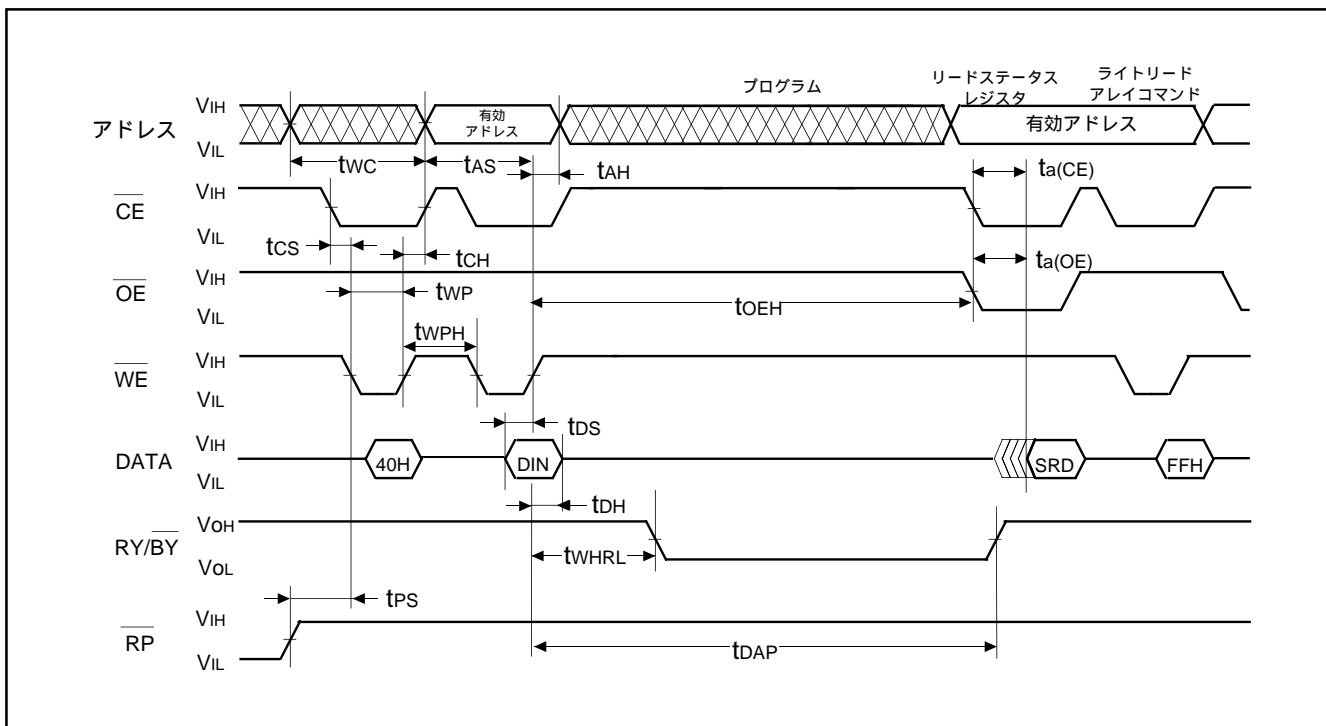


図86.プログラム動作AC波形(WEコントロール)

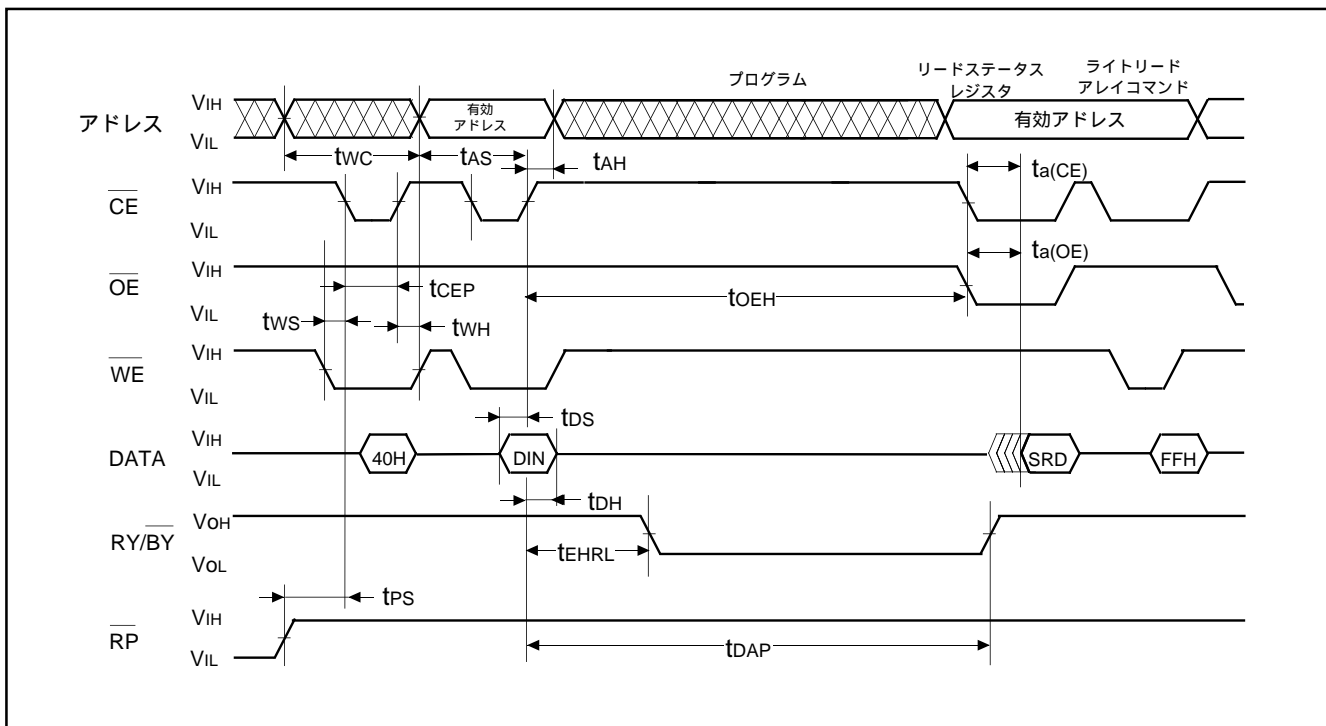


図87.プログラム動作AC波形(CEコントロール)

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

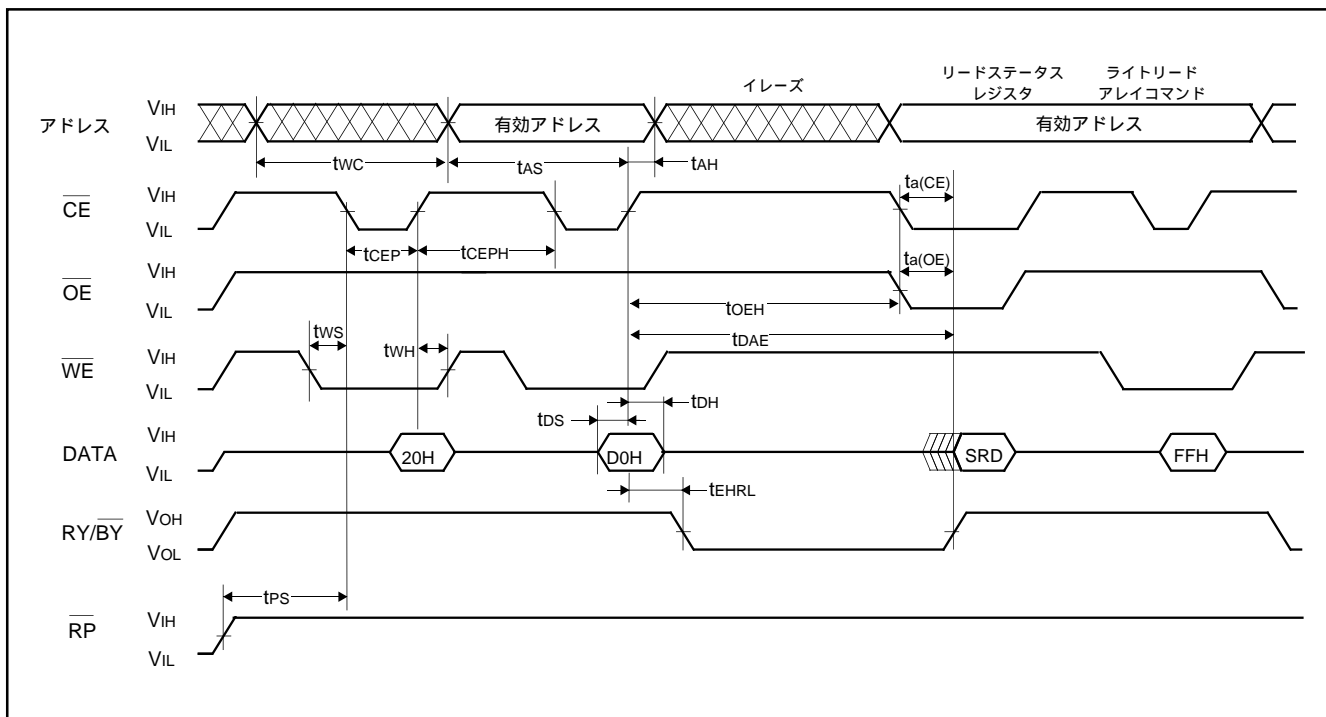


図88 .イレーズ動作用AC波形(WEコントロール)

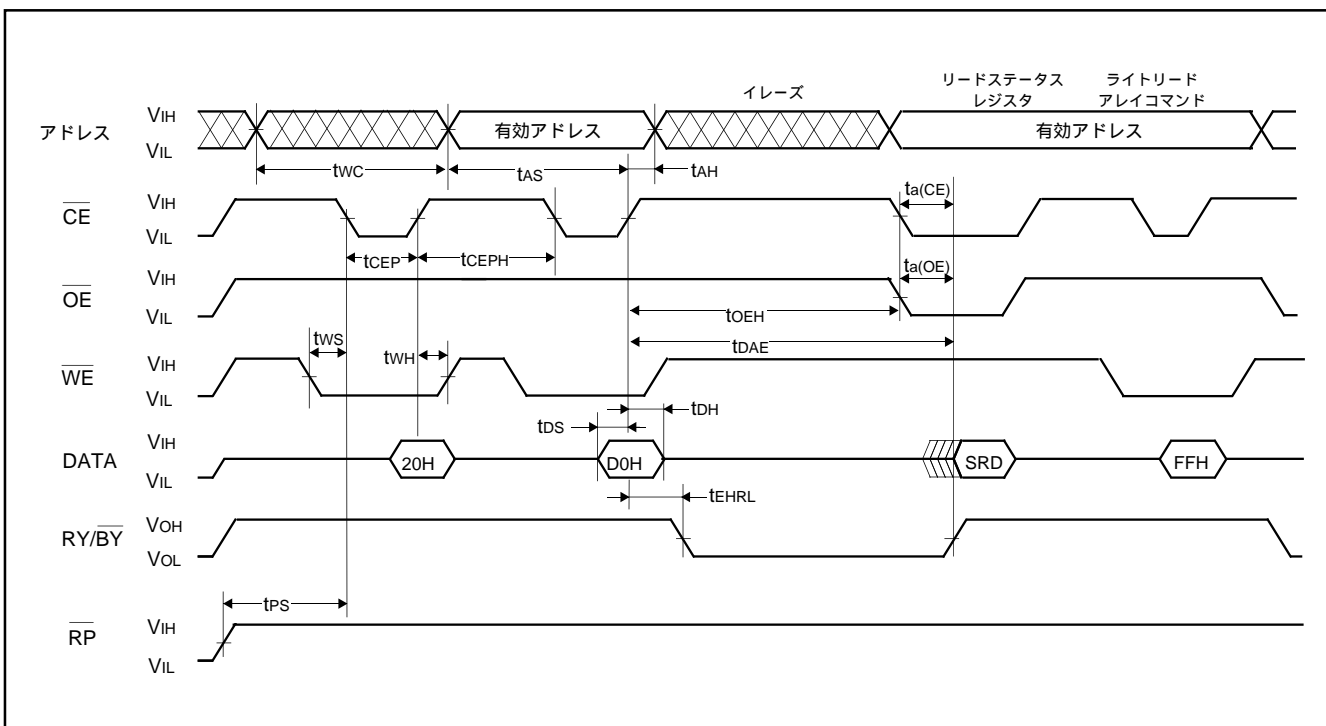


図89 .イレーズ動作用AC波形(CEコントロール)

### プログラミング上の注意事項

#### プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが $1$ であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

#### 割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

#### 10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを $1$ に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

#### タイマに関するもの

タイマラッチに値 $n$ ( $0 \sim 255$ )を書き込んだ場合の分周比は、 $1/(n+1)$ です。

#### 乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

#### ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが $1$ の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

#### シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側がSRDY出力を行う場合、受信許可ビット及びSRDY出力許可ビットとともに、送信許可ビットも $1$ に設定してください。

また、送信終了後、TXD端子が最終ビットをラッチし出力し続けます。

クロック同期形モードにおいて、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが $H$ の時に、送信バッファレジスタへ送信データを書き込んでください。

#### A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は $f(XIN)$ を500kHz以上にしてください。

また、A-D変換中はSTP命令を実行しないでください。

#### D-A変換器に関するもの

D-A変換器を使用しない場合、D-Ai変換レジスタ( $i=1, 2$ )の設定値は、すべて $0016$ にしてください。

#### 命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではXINの周期の2倍です。

#### 使用上の注意事項

##### 電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。また、フラッシュメモリ内蔵版でオンボード書き換えを行う場合は、プログラム電源端子(CNVss/Vpp端子)とGND端子との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。

バイパスコンデンサは0.01  $\mu$ F ~ 0.1  $\mu$ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間、及びプログラム電源端子とGND端子の間を最短距離で付加して下さるようお願いいたします。

##### フラッシュメモリ版に関する注意事項

CNVss端子は、プログラマブル電源端子(Vpp端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1 ~ 10k  $\Omega$ の抵抗を介してVssに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

#### マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書\*
- ・マーク指定書\*
- ・ROMのデータ……EPROM 3セット又はフロッピーディスク

マスク化確認書、ROM書き込み確認書、マーク指定書につきましては、三菱マイコン技術情報ホームページ(<http://www.infocom.maec.co.jp/>)を参照してください。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

電気的特性

表31 絶対最大定格

記号	項目	条件	定格値	単位
VCC	電源電圧	Vss端子を基準にして測定する出力トランジスタは遮断状態	- 0.3 ~ 4.6	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P80 ~ P87, VREF, RESET, XIN		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 P70 ~ P77		- 0.3 ~ 5.8	V
Vi	入力電圧 CNVss (注1)		- 0.3 ~ 6.5	V
Vi	入力電圧 CNVss (注2)		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P80 ~ P87, XOUT		- 0.3 ~ Vcc + 0.3	V
VO	出力電圧 P70 ~ P77		- 0.3 ~ 5.8	V
Pd	消費電力	Ta = 25	500	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注1 . フラッシュメモリ版。  
2 . マスクROM版。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表32 推奨動作条件  
(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$  ,  $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
VCC	電源電圧	3.0	3.3	3.6	V
VSS	電源電圧		0		V
VREF	アナログ基準電圧	A-D変換器使用時	2.0	VCC	V
		D-A変換器使用時	2.7	VCC	V
AVSS	アナログ電源電圧		0		V
VIA	A-D変換器入力電圧 AN <sub>0</sub> ~ AN <sub>7</sub>	AVSS		VCC	V
VIH	“H”入力電圧 P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> ~ P2 <sub>7</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , P5 <sub>0</sub> ~ P5 <sub>7</sub> , P6 <sub>0</sub> ~ P6 <sub>7</sub> , P8 <sub>0</sub> ~ P8 <sub>7</sub> , $\overline{\text{RESET}}$ , CNVSS	0.8VCC		VCC	V
VIH	“H”入力電圧 P7 <sub>0</sub> ~ P7 <sub>7</sub>	0.8VCC		5.5	V
VIH	“H”入力電圧(TTL入力レベル選択時) P7 <sub>0</sub> ~ P7 <sub>5</sub>	2.0		5.5	V
VIH	“H”入力電圧(I <sup>2</sup> C-BUS入力レベル選択時) SDA, SCL	0.7VCC		5.5	V
VIH	“H”入力電圧(SMBUS入力レベル選択時) SDA, SCL	1.4		5.5	V
VIH	“H”入力電圧 XIN, XCIN	0.8VCC		VCC	V
VIL	“L”入力電圧 P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> ~ P2 <sub>7</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , P5 <sub>0</sub> ~ P5 <sub>7</sub> , P6 <sub>0</sub> ~ P6 <sub>7</sub> , P7 <sub>0</sub> ~ P7 <sub>7</sub> , P8 <sub>0</sub> ~ P8 <sub>7</sub> , $\overline{\text{RESET}}$ , CNVSS	0		0.2VCC	V
VIL	“L”入力電圧(TTL入力レベル選択時) P7 <sub>0</sub> ~ P7 <sub>5</sub>	0		0.8	V
VIL	“L”入力電圧(I <sup>2</sup> C-BUS入力レベル選択時) SDA, SCL	0		0.3VCC	V
VIL	“L”入力電圧(SMBUS入力レベル選択時) SDA, SCL	0		0.6	V
VIL	“L”入力電圧 XIN, XCIN	0		0.16VCC	V

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表33 推奨動作条件

(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$  ,  $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 P00 ~ P07, P10 ~ P17, P20 ~ P23, P30 ~ P37, P80 ~ P87			- 80	mA
IOH(peak)	“H”出力総尖頭電流 P40 ~ P47, P50 ~ P57, P60 ~ P67			- 80	mA
IOL(peak)	“L”出力総尖頭電流 P00 ~ P07, P10 ~ P17, P20 ~ P23, P30 ~ P37, P80 ~ P87			80	mA
IOL(peak)	“L”出力総尖頭電流 P24 ~ P27			80	mA
IOL(peak)	“L”出力総尖頭電流 P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77			80	mA
IOH(avg)	“H”出力総平均電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P80 ~ P87			- 40	mA
IOH(avg)	“H”出力総平均電流 P40 ~ P47, P50 ~ P57, P60 ~ P67			- 40	mA
IOL(avg)	“L”出力総平均電流 P00 ~ P07, P10 ~ P17, P20 ~ P23, P30 ~ P37, P80 ~ P87			40	mA
IOL(avg)	“L”出力総平均電流 P24 ~ P27			40	mA
IOL(avg)	“L”出力総平均電流 P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77			40	mA

注．出力総電流は該当するポート全てに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。



開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表34 推奨動作条件

(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$  ,  $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
I <sub>OH</sub> (peak)	“H”出力尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P80 ~ P87			- 10	mA
I <sub>OL</sub> (peak)	“L”出力尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P23, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87			10	mA
I <sub>OL</sub> (peak)	“L”出力尖頭電流 (注1) P24 ~ P27			20	mA
I <sub>OH</sub> (avg)	“H”出力平均電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P80 ~ P87			- 5	mA
I <sub>OL</sub> (avg)	“L”出力平均電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P23, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87			5	mA
I <sub>OL</sub> (avg)	“L”出力平均電流 (注2) P24 ~ P27			15	mA
f(X <sub>IN</sub> )	メインクロック入力発振周波数 (注3)			8	MHz
f(X <sub>CIN</sub> )	サブクロック入力発振周波数 (注3, 4)		32.768	50	kHz

- 注1．出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。  
 2．出力平均電流I<sub>OL</sub>(avg) , I<sub>OH</sub>(avg)は100msの期間での平均値です。  
 3．発振周波数はデューティ50%の場合です。  
 4．低速モードを使用する場合、サブクロック入力発振周波数は $f(X_{CIN}) < f(X_{IN})/3$ としてください。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表35 電気的特性

(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$  ,  $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P80~P87 (注)	$I_{OH} = -5mA$	$V_{CC} - 1.0$			V
VOL	“L”出力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87	$I_{OL} = 5mA$			1.0	V
		$I_{OL} = 1.6mA$			0.4	V
$V_{T+} - V_{T-}$	ヒステリシス CNTR0, CNTR1, INT0, INT1, INT5, INT20~INT40, INT21~INT41 P30~P37, RxD, SCLK, LRESET LFRAME, LCLK, SERIRQ			0.4		V
I <sub>IH</sub>	“H”入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, RESET, CNVSS	$V_i = V_{CC}$ (端子はフローティング プルアップトランジスタ は切り離し状態)			5.0	$\mu A$
I <sub>IH</sub>	“H”入力電流 X <sub>IN</sub>	$V_i = V_{CC}$		3		$\mu A$
I <sub>IL</sub>	“L”入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, RESET, CNVSS	$V_i = V_{SS}$ (端子はフローティング プルアップトランジスタ は切り離し状態)			- 5.0	$\mu A$
I <sub>IL</sub>	“L”入力電流 X <sub>IN</sub>	$V_i = V_{SS}$		- 3		$\mu A$
I <sub>IL</sub>	“L”入力電流 P30~P37 (プルアップ時)	$V_i = V_{SS}$	- 13	- 50	- 100	$\mu A$
VRAM	RAM保持電圧		2.0		3.6	V

注 . P00~P03に関しては、ポート制御レジスタ1のP00~P03出力形式選択ビット(002E<sub>16</sub>番地のビット0)が“0”の場合です。  
P04~P07に関しては、ポート制御レジスタ1のP04~P07出力形式選択ビット(002E<sub>16</sub>番地のビット1)が“0”の場合です。  
P10~P13に関しては、ポート制御レジスタ1のP10~P13出力形式選択ビット(002E<sub>16</sub>番地のビット2)が“0”の場合です。  
P14~P17に関しては、ポート制御レジスタ1のP14~P17出力形式選択ビット(002E<sub>16</sub>番地のビット3)が“0”の場合です。  
P42, P43, P44, P46に関しては、ポート制御レジスタ2のP4出力形式選択ビット(002F<sub>16</sub>番地のビット2)が“0”の場合です。  
P45に関しては、UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B<sub>16</sub>番地のビット4)が“0”の場合です。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表36 電気的特性

(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$  ,  $T_a = -20 \sim 85$  , マスクROM版)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC</sub>	電源電流	高速モード時 f(XIN)=8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		2.5	7	mA	
		高速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態		0.8	2	mA	
		中速モード時 f(XIN)=8MHz f(XCIN)=停止 出力トランジスタは遮断状態		1.5	4	mA	
		中速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態		0.6	1.5	mA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		15	40	μA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		8	20	μA	
		A-D変換器動作時の増量 f(XIN)=8MHz		500		μA	
		LPCインタフェース動作時の増量 LCLK=33MHz		TBD		mA	
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	T <sub>a</sub> = 25		0.1	1.0	μA
			T <sub>a</sub> = 85			10	μA

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表37 電気的特性

(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$  ,  $T_a = -20 \sim 85$  , フラッシュメモリ版)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I <sub>CC</sub>	電源電流	高速モード時 f(XIN)=8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		TBD	TBD	mA
		高速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態		TBD	TBD	mA
		中速モード時 f(XIN)=8MHz f(XCIN)=停止 出力トランジスタは遮断状態		TBD	TBD	mA
		中速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態		TBD	TBD	mA
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		100	200	μA
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		100	200	μA
		A-D変換器動作時の増量 f(XIN)=8MHz		500		μA
		LPCインタフェース動作時の増量 LCLK=33MHz		TBD		mA
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	T <sub>a</sub> = 25		0.1	1.0
T <sub>a</sub> = 85				10	μA	

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表38 A-D変換器特性(1)

(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$ 、 $V_{REF}=2.0V \sim V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a = -20 \sim 85$  )  
10ビットA-Dモード(変換モード選択ビットが“0”の場合、003816番地のビット7)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
-	分解能				10	bit		
-	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=3.3V$			$\pm 4$	LSB		
tCONV	変換時間				61	2tc(XIN)		
RLADDER	ラダー抵抗		12	35	100	k		
IVREF	基準電源 入力電流	A-D変換動作時	$V_{REF}=3.3V$		50	150	200	$\mu A$
		A-D変換停止時	$V_{REF}=3.3V$				5	$\mu A$
Ii(AD)	A-Dポート入力電流				5.0	$\mu A$		

表39 A-D変換器特性(2)

(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$ 、 $V_{REF}=2.0V \sim V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a = -20 \sim 85$  )  
8ビットA-Dモード(変換モード選択ビットが“1”の場合、003816番地のビット7)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
-	分解能				8	bit		
-	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=3.3V$			$\pm 2$	LSB		
tCONV	変換時間				50	2tc(XIN)		
RLADDER	ラダー抵抗		12	35	100	k		
IVREF	基準電源 入力電流	A-D変換動作時	$V_{REF}=3.3V$		50	150	200	$\mu A$
		A-D変換停止時	$V_{REF}=3.3V$				5	$\mu A$
Ii(AD)	A-Dポート入力電流				5.0	$\mu A$		

表40 D-A変換器特性

(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$ 、 $V_{REF}=2.7V \sim V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	$\mu s$
RO	出力抵抗		2	3.5	5	k
IVREF	基準電源入力電流 (注)				3.2	mA

注．D-A変換器1本使用、他のD-A変換レジスタの値は“0016”。

表41 コンバータ特性

(指定のない場合は、 $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	絶対精度	$1LSB=V_{CC}/16$			1/2	LSB
TCONV	変換時間	8MHz動作時			3.5	$\mu s$
		4MHz動作時			7	$\mu s$
VIA	アナログ入力電圧		0		$V_{CC}$	V
IIA	アナログ入力電流				5.0	$\mu A$
RLADDER	ラダー抵抗		20	40	50	k
CMPREF	内部基準電圧			TBD		V
	外部基準入力電圧		$V_{CC}/32$		$V_{CC}$	V

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

タイミング必要条件

表42 .タイミング必要条件

(指定のない場合は、Vcc=3.3V ± 0.3V, Vss=0V, Ta= - 20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	16			XINサイクル
tC(XIN)	メインクロック入力サイクル時間	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	50			ns
tWL(XIN)	メインクロック入力“L”パルス幅	50			ns
tC(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	5			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	5			μs
tC(CNTR)	CNTR0, CNTR1入力サイクル時間	200			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	80			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	80			ns
tWH(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41, INT5 入力“H”パルス幅	80			ns
tWL(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41, INT5 入力“L”パルス幅	80			ns
tC(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	800			ns
tWH(SCLK)	シリアル/Oクロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK)	シリアル/Oクロック入力“L”パルス幅 (注)	370			ns
tSu(RxD-SCLK)	シリアル/O入力セットアップ時間	220			ns
tH(SCLK-RxD)	シリアル/O入力ホールド時間	100			ns

注 . 001A16番地のビット6が“1”(クロック同期モード)の場合です。001A16番地のビット6が“0”(非同期モード)の場合、規格値は1/4になります。

表43 .スイッチング特性

(指定のない場合は、Vcc=3.3V ± 0.3V, Vss=0V, Ta= - 20 ~ 85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tWH(SCLK)	シリアル/Oクロック出力“H”パルス幅	図90	tC(SCLK)/2 - 30			ns
tWL(SCLK)	シリアル/Oクロック出力“L”パルス幅		tC(SCLK)/2 - 30			ns
tD(SCLK-TxD)	シリアル/O出力遅延時間 (注1)				140	ns
tV(SCLK-TxD)	シリアル/O出力有効時間 (注1)				- 30	ns
tR(SCLK)	シリアル/Oクロック出力立ち上がり時間				30	ns
tF(SCLK)	シリアル/Oクロック出力立ち下がり時間				30	ns
tR(CMOS)	CMOS出力 立ち上がり時間 (注2)			10	30	ns
tF(CMOS)	CMOS出力 立ち下がり時間 (注2)			10	30	ns

注1 . UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2 . XOUT端子を除きます。

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

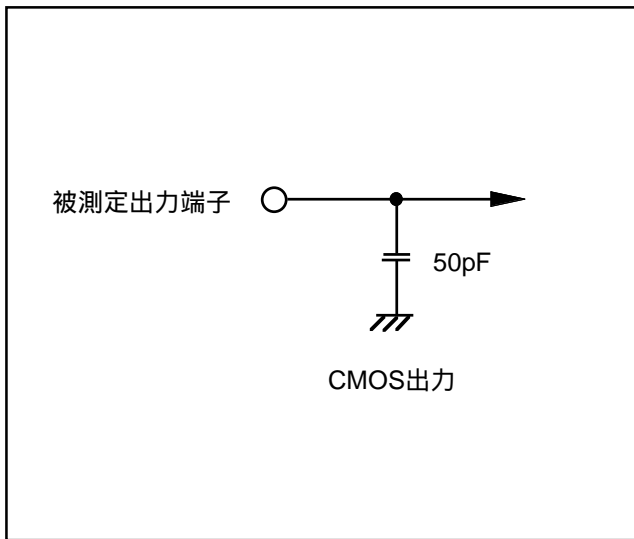


図90 出力スイッチング特性測定回路図(1)

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

タイミング図

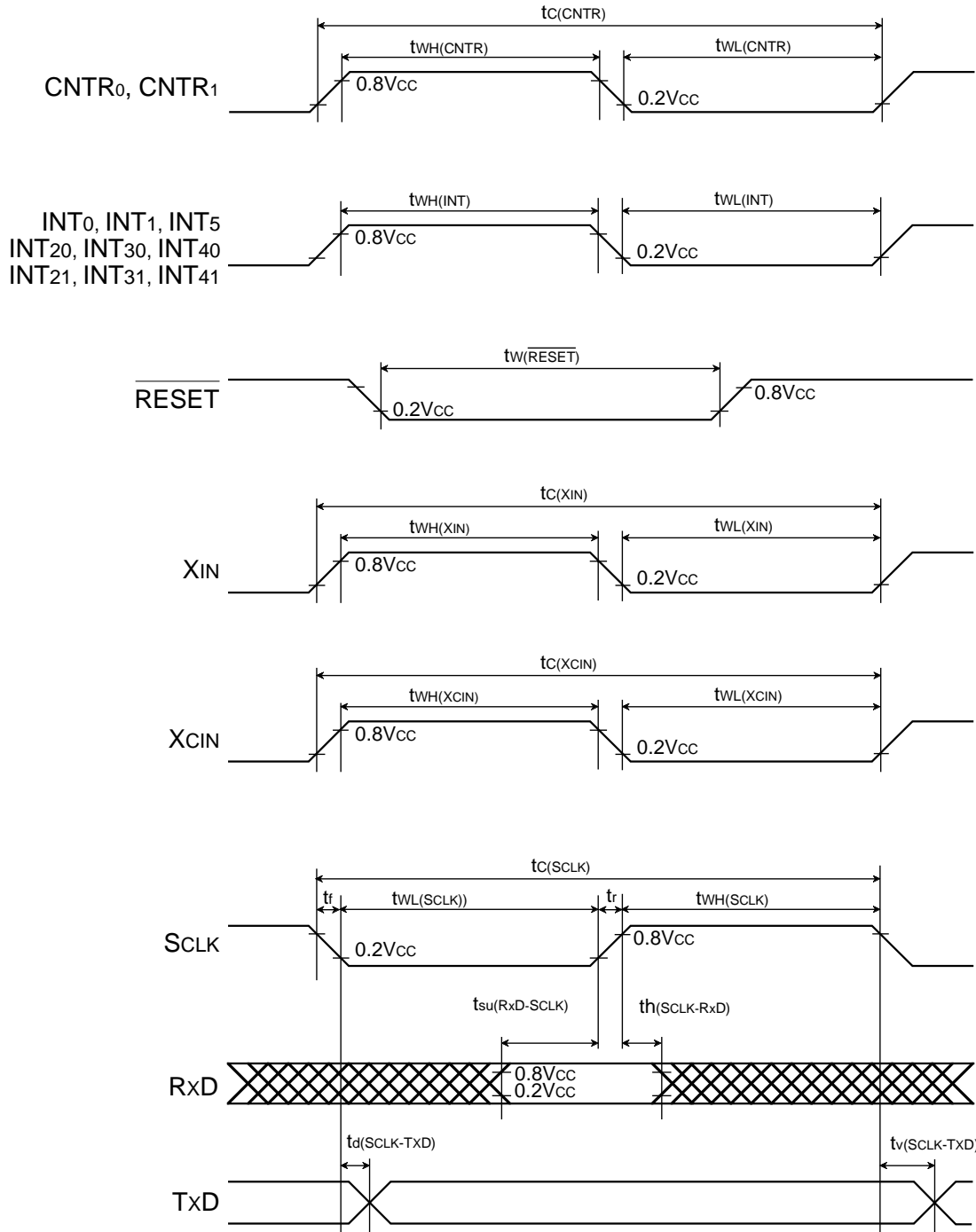


図91 タイミング図



開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表44 .マルチマスタ<sup>2</sup>C-BUSバスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスフリータイム	4.7		1.3		μs
tHD;STA	スタートコンディション時のホールド時間	4.0		0.6		μs
tLOW	SCLクロックの“0”状態のホールド時間	4.7		1.3		μs
tR	SCL, SDA信号の立ち上がり時間		1000	20 + 0.1Cb	300	ns
tHD;DAT	データのホールド時間	0		0	0.9	μs
tHIGH	SCLクロックの“1”状態のホールド時間	4.0		0.6		μs
tF	SCL, SDA信号の立ち下がり時間		300	20 + 0.1Cb	300	ns
tsu;DAT	データのセットアップ時間	250		100		ns
tsu;STA	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
tsu;STO	ストップコンディションのセットアップ時間	4.0		0.6		μs

注 . Cb = 1つのバスラインキャパシタの合計

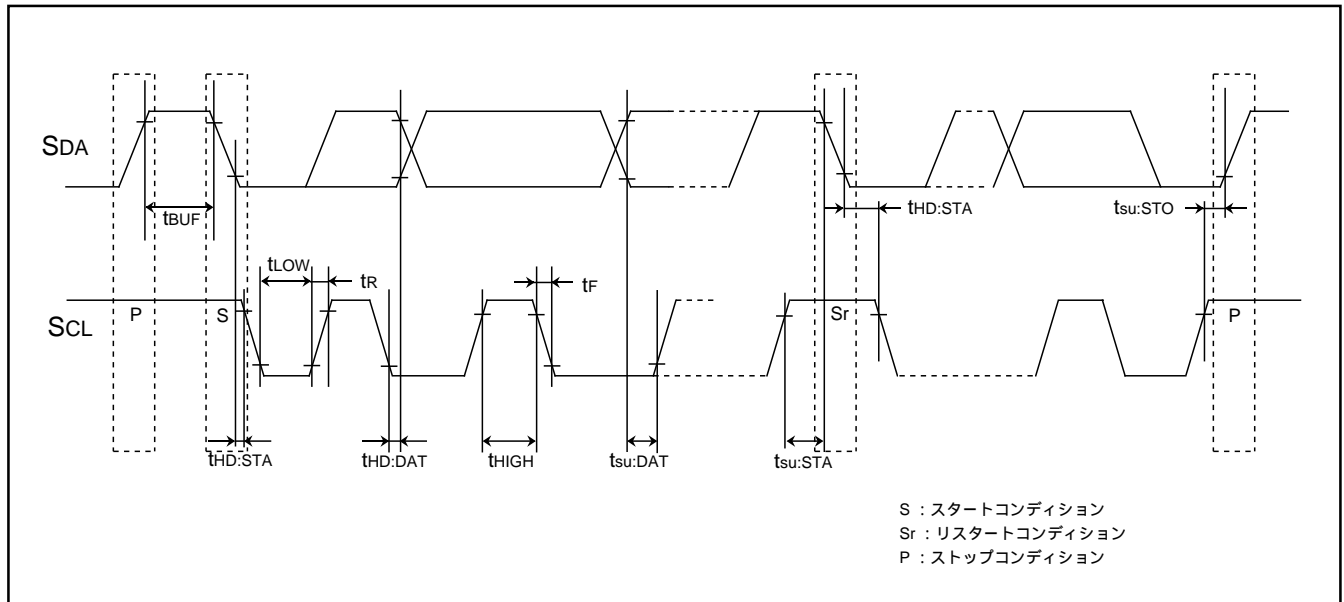


図92 .マルチマスタ<sup>2</sup>C-BUSのタイミング図

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表43 スイッチング特性(1)

(指定のない場合は,  $V_{CC}=3.3V \pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
t <sub>C</sub> (CLK)	LCLKクロック入力サイクル時間	30			ns
t <sub>WH</sub> (CLK)	LCLKクロック入力“H”パルス幅	11			ns
t <sub>WL</sub> (CLK)	LCLKクロック入力“L”パルス幅	11			ns
t <sub>SU</sub> (D-C)	入力セットアップ時間	LAD <sub>3</sub> ~ LAD <sub>0</sub>	9		ns
		SERIRQ、CLKRUN、LFRAME	7		
t <sub>H</sub> (C-D)	入力ホールド時間	LAD <sub>3</sub> ~ LAD <sub>0</sub> 、LFRAME、CLKRUN	0		ns
		SERIRQ	2		
t <sub>V</sub> (C-D)	LAD <sub>3</sub> ~ LAD <sub>0</sub> 、SERIRQ、CLKRUN 有効遅延時間	2		15	ns
t <sub>OFF</sub> (A-F)	LAD <sub>3</sub> ~ LAD <sub>0</sub> 、SERIRQ、CLKRUN フローティング出力遅延時間			28	ns

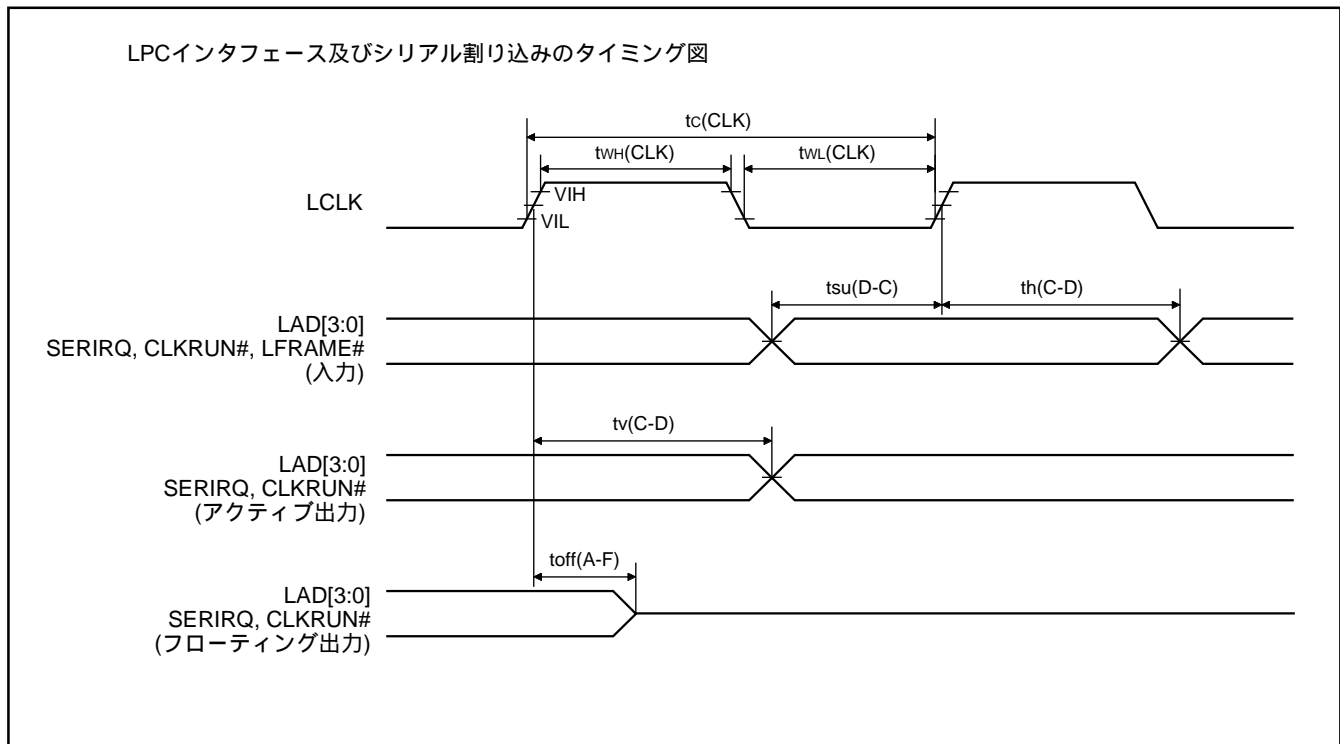


図93 LPCインタフェース及びシリアル割り込みのタイミング図

開発中

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

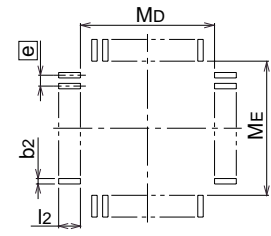
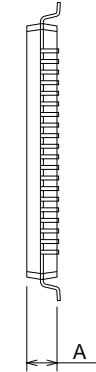
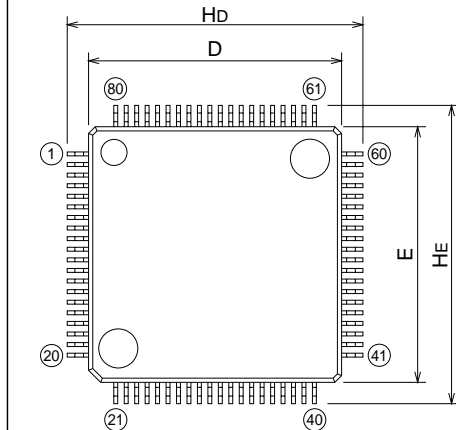
パッケージ外形寸法図

80P6Q-A

(MMP)

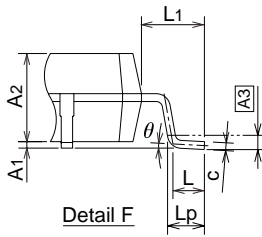
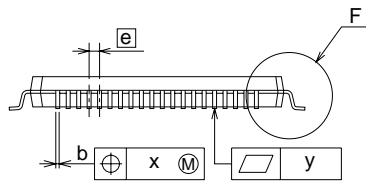
Plastic 80pin 12X12mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP80-P-1212-0.5	-	0.47	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	11.9	12.0	12.1
E	11.9	12.0	12.1
e	-	0.5	-
Hd	13.8	14.0	14.2
HE	13.8	14.0	14.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
θ	0°	-	10°
b2	-	0.225	-
l2	0.9	-	-
MD	-	12.4	-
ME	-	12.4	-



株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関 ( 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料  
ご利用に  
際しての  
留意事項

- 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- 本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。

