

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4553グループ SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

RJJ03B0024-0302
Rev.3.02
2006.12.12

概要

4553グループはCMOSプロセスを用いて開発されたオリジナル4ビットシングルチップマイクロコンピュータです。シンプルで高速な命令体系をもつ4500シリーズのCPUをコアとして、8ビットタイマ(リロードレジスタ付き)2本、時計カウンタ用16ビットタイマ1本、割り込み機能、発振回路切り替え機能を内蔵しています。

4553グループは、内蔵するメモリの種類、容量の異なる複数の品種があります。

詳細については下記の表を参照してください。

特長

最短命令実行時間

マスクROM版 0.5 μ s
(発振周波数6MHz、高速スルーモード時)

ワンタイムPROM版 0.68 μ s
(発振周波数4.4MHz、高速スルーモード時)

電源電圧

マスクROM版 1.8 ~ 5.5V

ワンタイムPROM版 1.8 ~ 3.6V
(動作源クロック、動作モード及び発振周波数により異なります)

タイマ

タイマ1 8ビット(リロードレジスタ付き)

タイマ2 8ビット(リロードレジスタ2本付き)

タイマ3 16ビット(固定分周)

割り込み機能 4要因

キーオンウェイクアップ機能 9端子

LCD制御回路

セグメント出力 29本

コモン出力 4本

電圧低下検出回路(Hバージョンのみ)

リセット発生 標準1.8V(Ta=25)

リセット解除 標準1.9V(Ta=25)

ウォッチドッグタイマ

クロック発生回路

内蔵クロック(オンチップオシレータ)

メインクロック(セラミック共振/RC発振)

サブクロック(水晶発振)

LED直接駆動可能(ポートD)

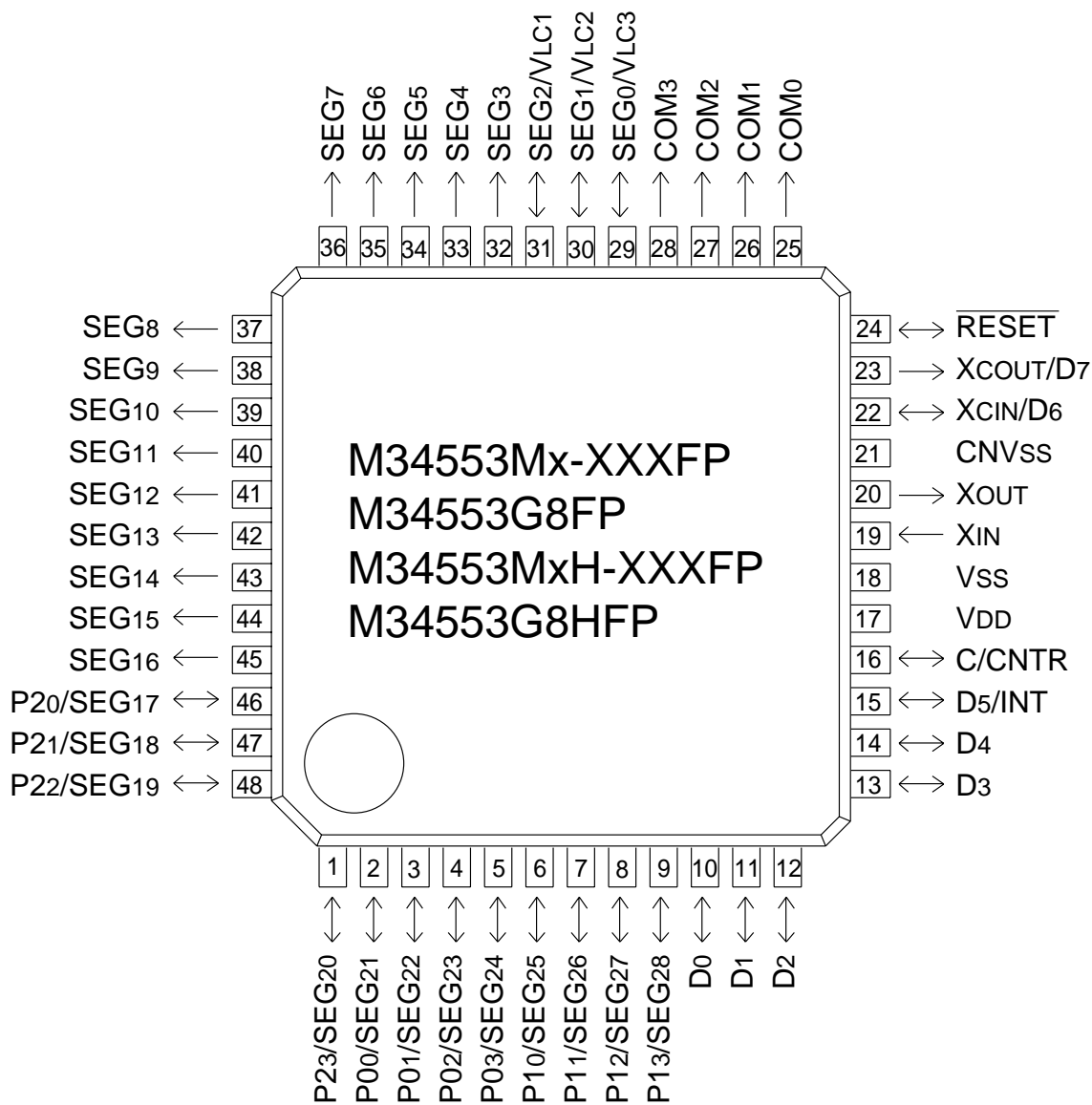
応用

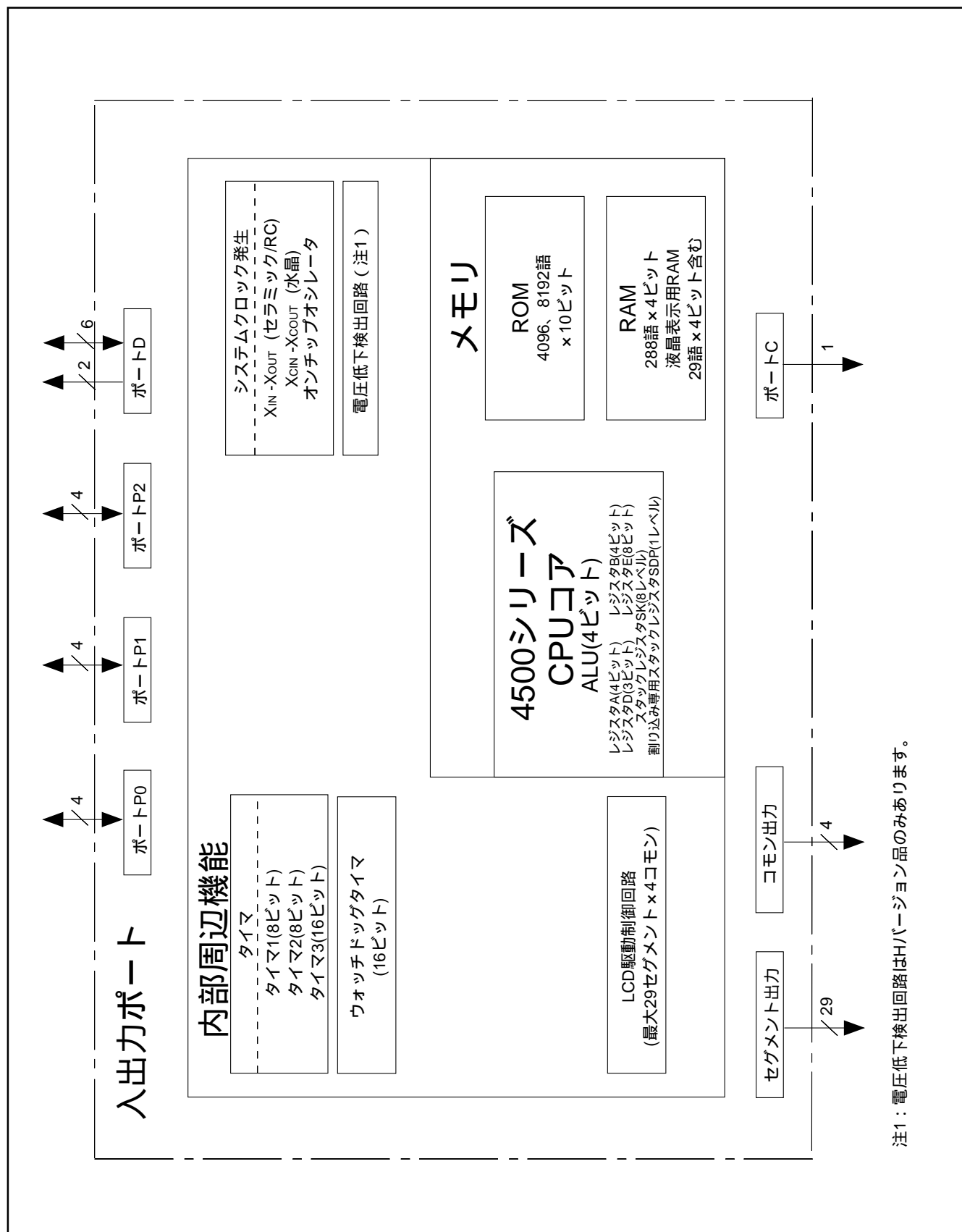
リモートコントロール送信機

型名	ROM(PROM)容量 ($\times 10$ ビット)	RAM容量 ($\times 4$ ビット)	パッケージ	ROM種類
M34553M4-XXXFP	4096語	288語	PLQP0048KB-A	マスクROM
M34553M8-XXXFP	8192語	288語	PLQP0048KB-A	マスクROM
M34553G8FP (注)	8192語	288語	PLQP0048KB-A	ワンタイムPROM
M34553M4H-XXXFP	4096語	288語	PLQP0048KB-A	マスクROM
M34553M8H-XXXFP	8192語	288語	PLQP0048KB-A	マスクROM
M34553G8HFP (注)	8192語	288語	PLQP0048KB-A	ワンタイムPROM

注: ブランク出荷品

4553グループピン接続図(上面図)





注1：電圧低下検出回路はHバージョンのみあります。

機能ブロック図

性能概要

項 目		性 能	
基本命令数	M34553M4/M8/G8	123	
	M34553M4H/M8H/G8H	124	
最短命令実行時間	マスクROM版	0.5 μ s (発振周波数6MHz:高速スルーモード時)	
	ワンタイムPROM版	0.68 μ s (発振周波数4.4MHz:高速スルーモード時)	
メモリ容量	ROM	M34553M4	4096語 \times 10ビット
		M34553M4H	
		M34553M8/G8	8192語 \times 10ビット
		M34553M8H/G8H	
	RAM	M34553M4/M8/G8	288語 \times 4ビット (液晶表示用RAM 29語 \times 4ビットを含む)
	M34553M4H/M8H/G8H		
入出力ポート	D0 ~ D5	入出力 (入力はスキップ判別)	1ビット \times 6 出力形式がソフトウェア切り替え可能 ポートD5はINT端子と兼用
	D6 ,D7	出力	1ビット \times 2 ポートD6 ,D7 はそれぞれXCIN ,XCOUT端子と兼用
	P00 ~ P03	入出力	4ビット \times 1 プルアップ機能 ,キーオンウェイクアップ機能 ,出力形式がソフトウェア切り替え可能 ポートP00 ~ P03はそれぞれSEG21 ~ SEG24端子と兼用
	P10 ~ P13	入出力	4ビット \times 1 プルアップ機能 ,キーオンウェイクアップ機能 ,出力形式がソフトウェア切り替え可能 ポートP10 ~ P13はそれぞれSEG25 ~ SEG28端子と兼用
	P20 ~ P23	入出力	4ビット \times 1 出力形式がソフトウェア切り替え可能 ポートP20 ~ P23 はそれぞれSEG17 ~ SEG20端子と兼用
	C	出力	1ビット \times 1 ,CNTR端子と兼用
タイマ	タイマ1		8ビットタイマ / イベントカウンタ ,リロードレジスタ付き
	タイマ2		8ビットタイマ ,リロードレジスタ2本付き ,PWM出力機能付き
	タイマ3		16ビットタイマ ,固定分周 (時計カウント用タイマ)
	タイマLC		4ビットタイマ ,リロードレジスタ付き (LCDクロック生成用)
	ウォッチドッグタイマ		16ビットタイマ ,固定分周 (監視用タイマ)
LCD制御回路	選択バイアス値		1 / 2 ,1 / 3バイアス
	選択時分割値		2 ,3 ,4時分割
	コモン出力		4本
	セグメント出力		29本
	電源用内蔵抵抗		$2r \times 3$ $2r \times 2$ $r \times 3$ $r \times 2$ ($r=80k$, ($T_a=25$) 標準値)
割り込み	要因		4要因 (外部 \times 1 ,タイマ \times 3)
	ネスティング		1レベル
サブルーチンネスティング			8レベル
素子構造			CMOSシリコンゲート
パッケージ			48ピンプラスチックモールドLQFP (PLQP0048KB-A)
動作周囲温度			- 20 ~ 85
電源電圧	マスクROM版		1.8 ~ 5.5V (動作源クロック 動作モードおよび発振周波数により異なります)
	ワンタイムPROM版		1.8 ~ 3.6V (動作源クロック 動作モードおよび発振周波数により異なります)
消費電流 (標準値)	CPU動作時 (マスクROM版)		2.2mA ($T_a = 25$, $V_{DD} = 5V$, $f(XIN) = 6MHz$, $f(XCIN) =$ 停止 , $f(RING) =$ 停止 , $f(STCK) = f(XIN)/1$)
	時計動作モード時 (マスクROM版)		6 μ A ($T_a = 25$, $V_{DD} = 5V$, $f(XCIN) = 32kHz$)
	RAMバックアップ時 (マスクROM版)		0.1 μ A ($T_a = 25$, $V_{DD} = 5V$, 出力トランジスタ遮断状態)

端子の機能説明

端子名	名称	入力 出力	機能
VDD	電源	-	正電源電圧供給端子です。
VSS	接地	-	GND端子です。
CNVSS	CNVSS	-	この端子はVSSに接続し、必ず $L \cdot I(0V)$ を印加してください。
XIN	メインクロック 入力	入力	メインクロック発生回路の入力 / 出力端子です。セラミック共振子を使用する場合は、XIN端子とXOUT端子の間にセラミック共振子を接続して使用します。XIN端子とXOUT端子の間には帰還抵抗が内蔵されています。RC発振を使用する場合はXIN端子に抵抗・コンデンサを接続し、XOUT端子を開放にして使用します。
XOUT	メインクロック 出力	出力	
XCIN	サブクロック 入力	入力	サブクロック発生回路の入力 / 出力端子です。XCIN端子とXCOUT端子の間に32.768kHzの水晶共振子を接続して使用します。XCIN端子とXCOUT端子の間には帰還抵抗が内蔵されています。 XCIN端子とXCOUT端子はそれぞれポートD6、D7と兼用です。
XCOUT	サブクロック 出力	出力	
RESET	リセット入出力	入出力	リセットパルスの入出力端子です。SRST命令実行、内蔵パワーオンリセット回路、ウォッチドッグタイマ、又は電圧低下検出回路によるリセット発生時に L レベルが出力されます。出力形式はNチャンネルオープンドレインです。
D0 ~ D5	入出力ポートD (入力はスキップ 判別)	入出力	各端子ごとに1ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャンネルオープンドレインを選択し、出力ラッチを 1 に設定すると入力可能状態になります。ポートD5はINT端子と兼用です。
D6, D7	出力ポートD	出力	各端子ごとに1ビットの出力機能を持っています。出力形式はNチャンネルオープンドレインです。ポートD6、D7は、それぞれXCIN端子、XCOUT端子と兼用です。
P00 ~ P03	入出力ポートP0	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインあるいはCMOSをソフトウェアで切り換え可能です。出力形式にNチャンネルオープンドレインを選択し、出力ラッチを 1 に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。P00 ~ P03はそれぞれSEG21 ~ SEG24端子と兼用です。
P10 ~ P13	入出力ポートP1	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインあるいはCMOSをソフトウェアで切り換え可能です。出力形式にNチャンネルオープンドレインを選択し、出力ラッチを 1 に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。P10 ~ P13はそれぞれSEG25 ~ SEG28端子と兼用です。
P20 ~ P23	入出力ポートP2	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインあるいはCMOSをソフトウェアで切り換え可能です。出力形式にNチャンネルオープンドレインを選択し、出力ラッチを 1 に設定すると入力可能状態になります。P20 ~ P23はそれぞれSEG17 ~ SEG20端子と兼用です。
C	出力ポートC	出力	ポートとして1ビットの出力機能を持っています。出力形式はCMOSです。ポートCは、CNTR端子と兼用です。
COM0 ~ COM3	コモン出力	出力	LCDコモン出力端子です。2時分割選択時はCOM0、COM1を、3時分割選択時はCOM0 ~ COM2を、4時分割選択時はCOM0 ~ COM3を使用します。
SEG0 ~ SEG29	セグメント出力	出力	LCDセグメント出力端子です。SEG0 ~ SEG2端子は、それぞれVLC3 ~ VLC1端子と兼用です。SEG17 ~ SEG28端子はそれぞれポートP20 ~ P23、P00 ~ P03、P10 ~ P13端子と兼用です。
CNTR	タイマ入出力	入出力	タイマ1のイベントカウント用クロックの入力機能とタイマ2からPWM信号の出力機能を持っています。CNTR端子は、ポートCと兼用です。
INT	割り込み入力	入力	外部からの割り込みを受け付ける機能とソフトウェアで切り替え可能なキーオンウェイクアップ機能を持っています。INT端子は、ポートD5と兼用です。

マルチファンクション一覧

端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション
XCIN	D6	D6	XCIN	P20	SEG17	SEG17	P20
XcOUT	D7	D7	XcOUT	P21	SEG18	SEG18	P21
P00	SEG21	SEG21	P00	P22	SEG19	SEG19	P22
P01	SEG22	SEG22	P01	P23	SEG20	SEG20	P23
P02	SEG23	SEG23	P02	D5	INT	INT	D5
P03	SEG24	SEG24	P03	C	CNTR	CNTR	C
P10	SEG25	SEG25	P10	SEG0	VLC3	VLC3	SEG0
P11	SEG26	SEG26	P11	SEG1	VLC2	VLC2	SEG1
P12	SEG27	SEG27	P12	SEG2	VLC1	VLC1	SEG2
P13	SEG28	SEG28	P13				

注1 上記以外の端子は単一機能です。

2 .INT端子を使用している場合でも、ポートD5の入出力機能は有効です。

INT端子とポートD5との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。

3 .CNTR端子の出力機能を使用している場合でも、ポートCの“H”出力機能は有効です。

クロック及びサイクルの定義

動作源クロック

本製品の動作の源となるクロックです。本製品では以下のクロックが使用できます。

- ・外付けセラミック共振子によるクロック($f(X_{IN})$)
- ・外付けRC発振によるクロック($f(X_{IN})$)
- ・外部入力によるクロック($f(X_{IN})$)
- ・オンチップオシレータによるクロック($f(RING)$)
- ・外付け水晶発振子によるクロック($f(X_{CIN})$)

システムクロック(STCK)

本製品を制御する基本クロックです。

システムクロック(STCK)はクロック制御レジスタMRの設定により、表UA-1のように選択できます。

マシンサイクル

命令の実行に要する基準周期です。

インストラクションクロック(INSTCK)

CPUを制御する基準クロックです。

インストラクションクロック(INSTCK)は、システムクロック(STCK)を3分周した信号で、1周期で1マシンサイクルの期間を生成します。

表 UA-1 . システムクロックの選択

クロック制御レジスタMR				システムクロック	動作モード名
MR3	MR2	MR1	MR0		
1	1	0	0	$f(STCK) = f(RING)/8$	内部8分周モード
1	0	0	0	$f(STCK) = f(RING)/4$	内部4分周モード
0	1	0	0	$f(STCK) = f(RING)/2$	内部2分周モード
0	0	0	0	$f(STCK) = f(RING)$	内部スルーモード
1	1	0	1	$f(STCK) = f(X_{IN})/8$	高速8分周モード
1	0	0	1	$f(STCK) = f(X_{IN})/4$	高速4分周モード
0	1	0	1	$f(STCK) = f(X_{IN})/2$	高速2分周モード
0	0	0	1	$f(STCK) = f(X_{IN})$	高速スルーモード
1	1	1	0	$f(STCK) = f(X_{CIN})/8$	低速8分周モード
1	0	1	0	$f(STCK) = f(X_{CIN})/4$	低速4分周モード
0	1	1	0	$f(STCK) = f(X_{CIN})/2$	低速2分周モード
0	0	1	0	$f(STCK) = f(X_{CIN})$	低速スルーモード

注 . リセット解除後は $f(RING)/8$ が選択されます。

ポート機能一覧

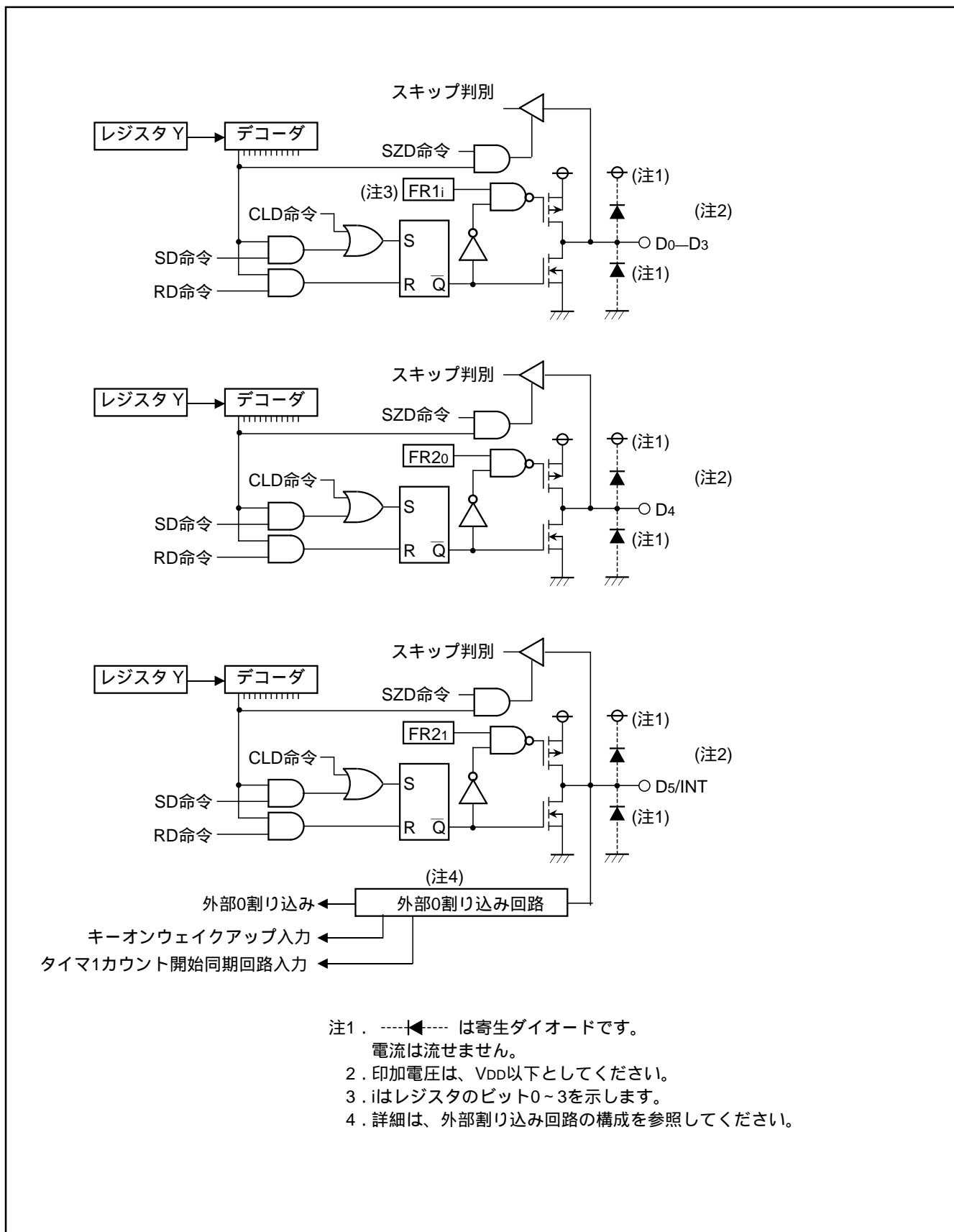
ポート名	ポート名	入力/出力	出力形式	入出力単位	制御命令	制御レジスタ	特記事項
ポートD	D0 ~ D4 ,D5/INT	入出力 (6本)	Nチャンネル オープンドレイン / CMOS	1ビット	SD ,RD SZD CLD	FR1 ,FR2 I1 ,K2	出力形式選択機能付き (ソフトウェアで切り替え可能)
	XcIN/D6 ,XcOUT/D7	出力 (2本)	Nチャンネル オープンドレイン			RG	
ポートP0	P00/SEG21 ~ P03/ SEG24	入出力 (4本)	Nチャンネル オープンドレイン / CMOS	4ビット	OP0A IAP0	FR0, PU0 K0 C1	プルアップ, キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP1	P10/SEG25 ~ P13/ SEG28	入出力 (4本)	Nチャンネル オープンドレイン / CMOS	4ビット	OP1A IAP1	FR0, PU1 K0, K1 C2	プルアップ, キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP2	P20/SEG17 ~ P23/ SEG20	入出力 (4本)	Nチャンネル オープンドレイン / CMOS	4ビット	OP2A IAP2	FR2 L3	出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートC	C/CNTR	出力 (1本)	CMOS	1ビット	RCP SCP	W1	

使用しない端子の処理

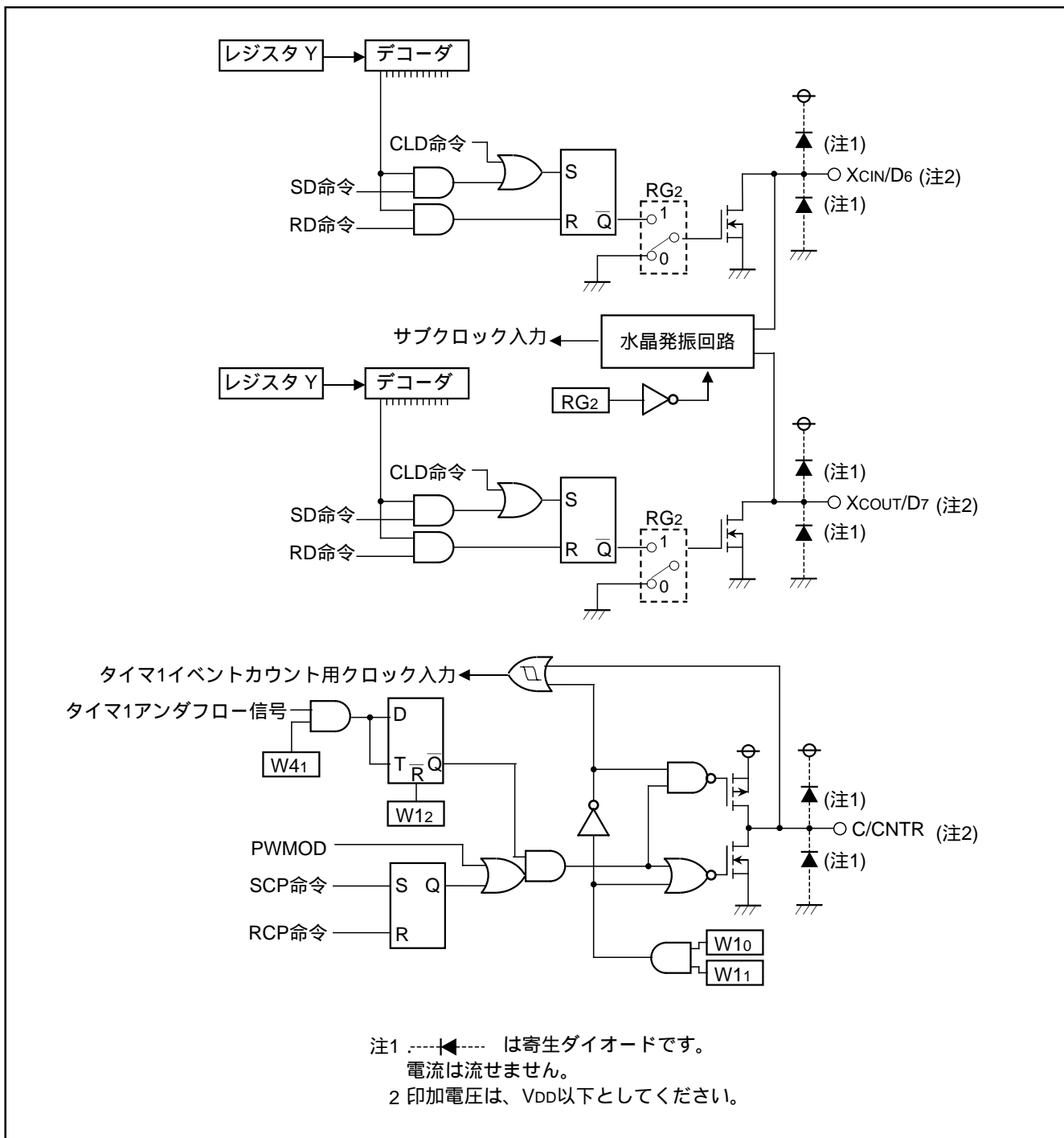
端子名	処理方法	使用条件
XIN	Vssに接続	RC発振回路非選択
XOUT	開放	
XCIN/D6	Vssに接続	
XCOU/D7	開放	
D0 ~ D4	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D5/INT	開放	INT端子入力禁止
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
C/CNTR	開放	タイマ1カウントソースにCNTR入力非選択
P00/SEG21 ~ P03/SEG24	開放	キーオンウェイクアップ無効
	Vssに接続	セグメント出力非選択
		出力形式にNチャンネルオープンドレイン選択
		ブルアップトランジスタOFF
		キーオンウェイクアップ無効
P10/SEG25 ~ P13/SEG28	開放	キーオンウェイクアップ無効
	Vssに接続	セグメント出力非選択
		出力形式にNチャンネルオープンドレイン選択
		ブルアップトランジスタOFF
		キーオンウェイクアップ無効
P20/SEG17 ~ P23/SEG20	開放	
	Vssに接続	セグメント出力非選択 出力形式にNチャンネルオープンドレイン選択
COM0 ~ COM3	開放	
SEG0/VLc3	開放	SEG0端子選択
SEG1/VLc2	開放	SEG1端子選択
SEG2/VLc1	開放	SEG2端子選択
SEG3 ~ SEG16	開放	

(VDD端子及びVSS端子に接続する場合の注意事項)

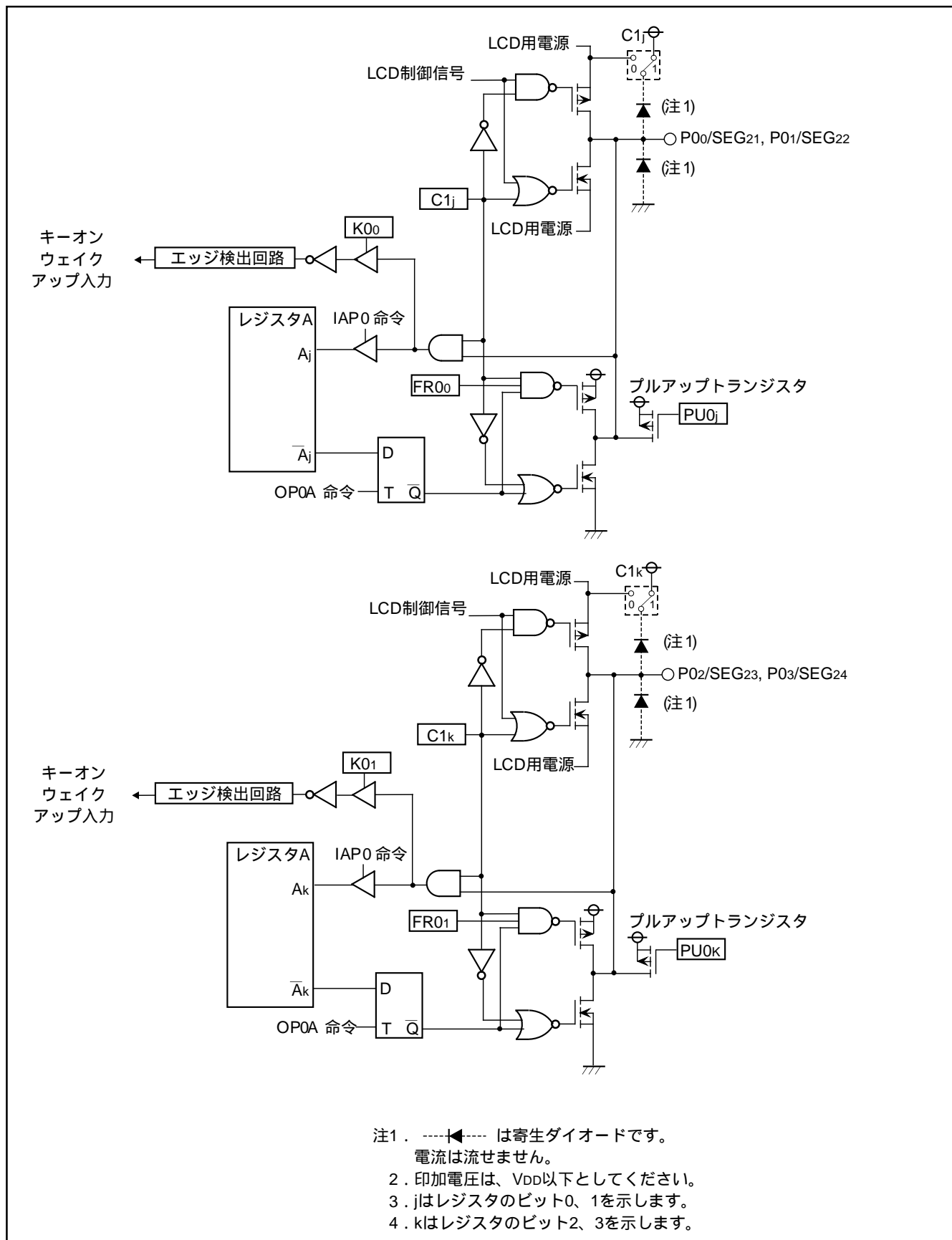
- ・使用しない端子は、ノイズの伝搬を避けるためにできる限り短くて太い配線で処理してください。



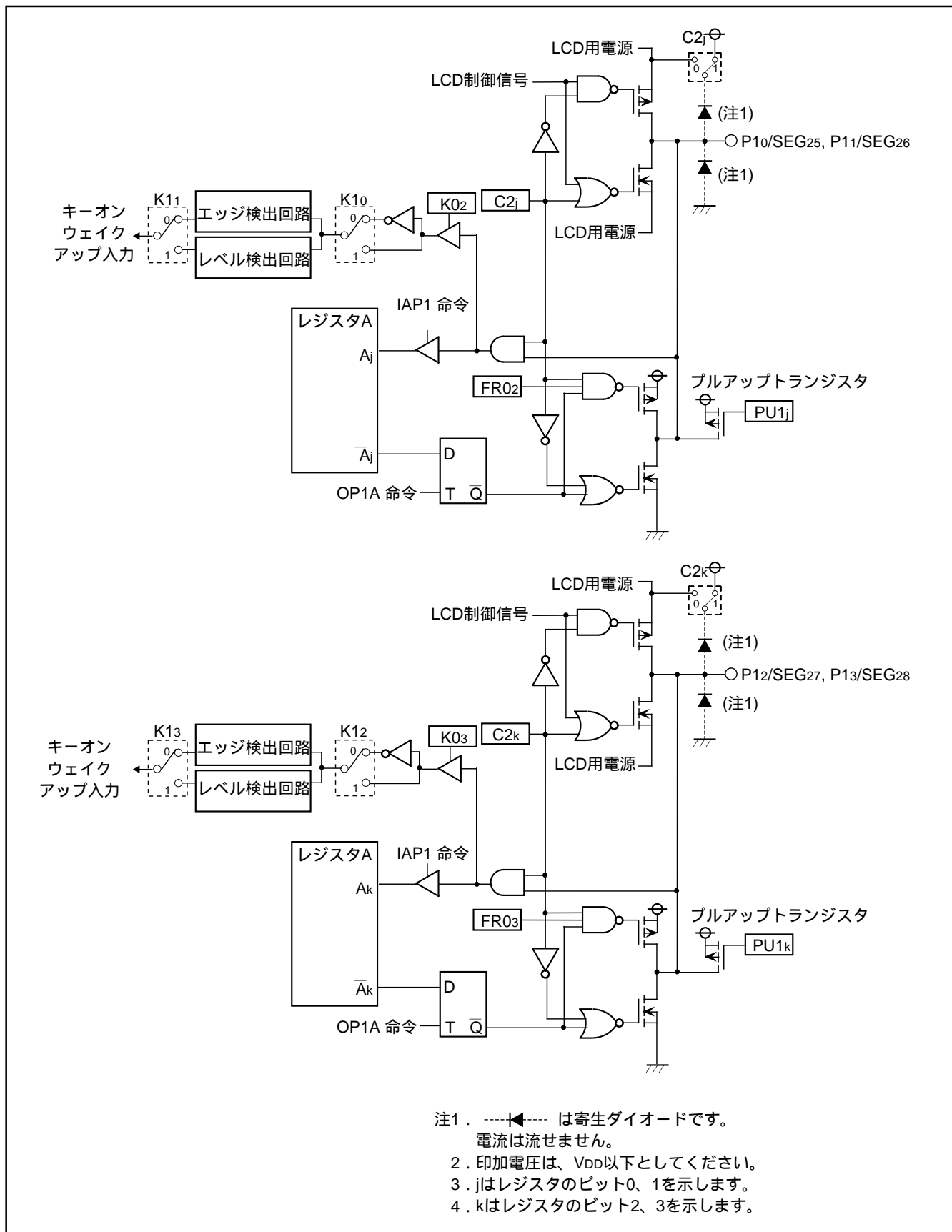
ポートブロック図(1)



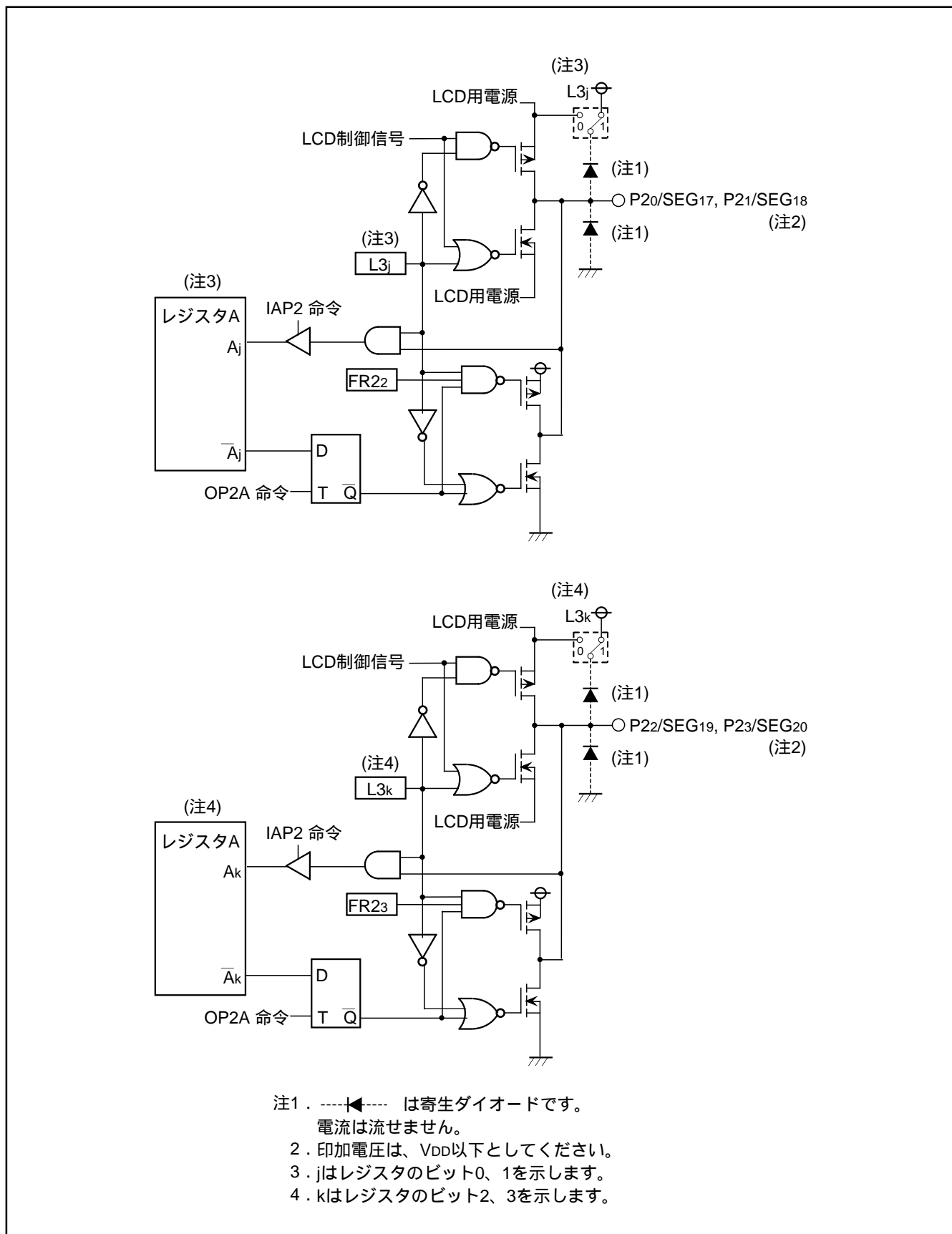
ポートブロック図(2)



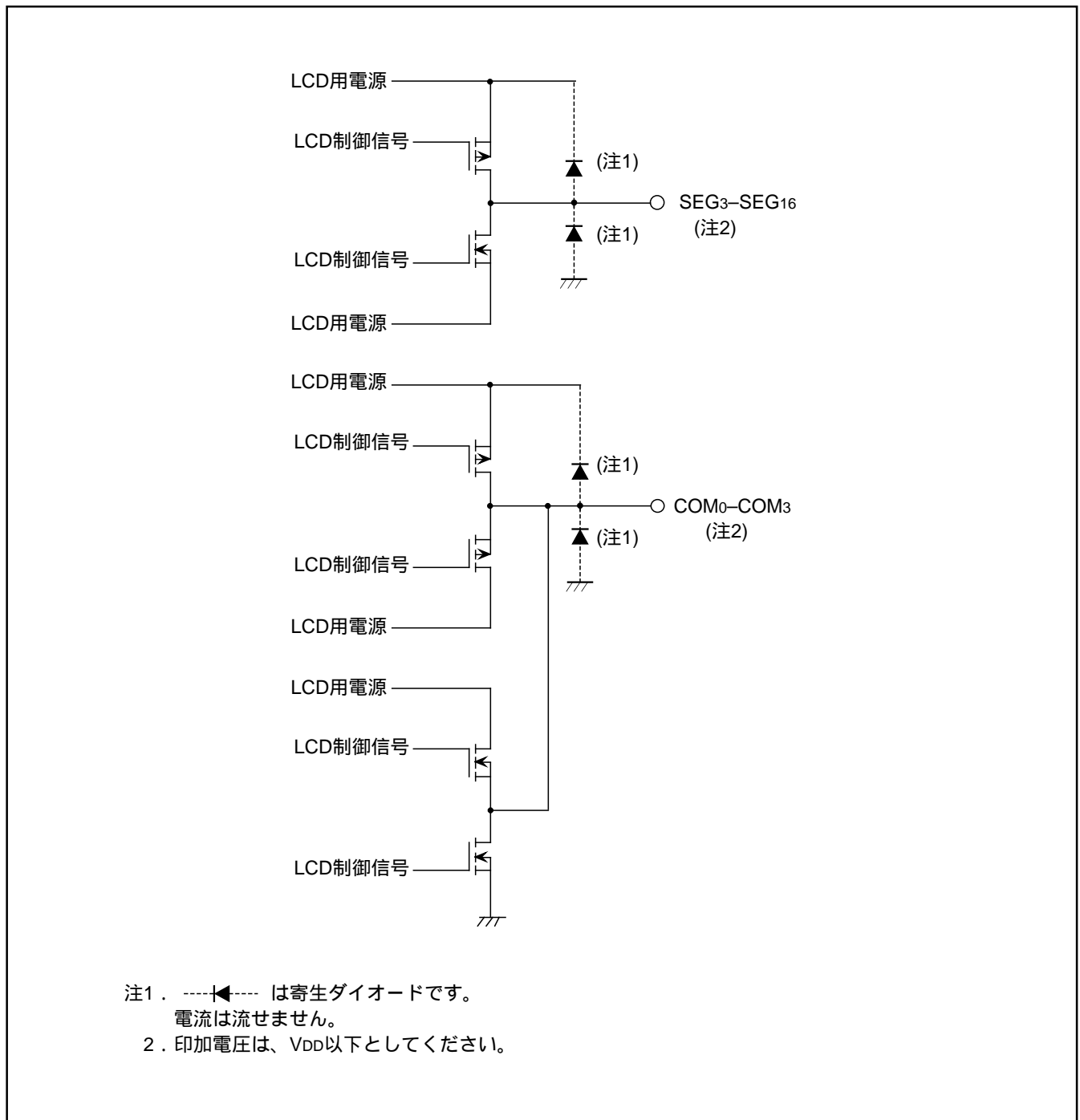
ポートブロック図(3)



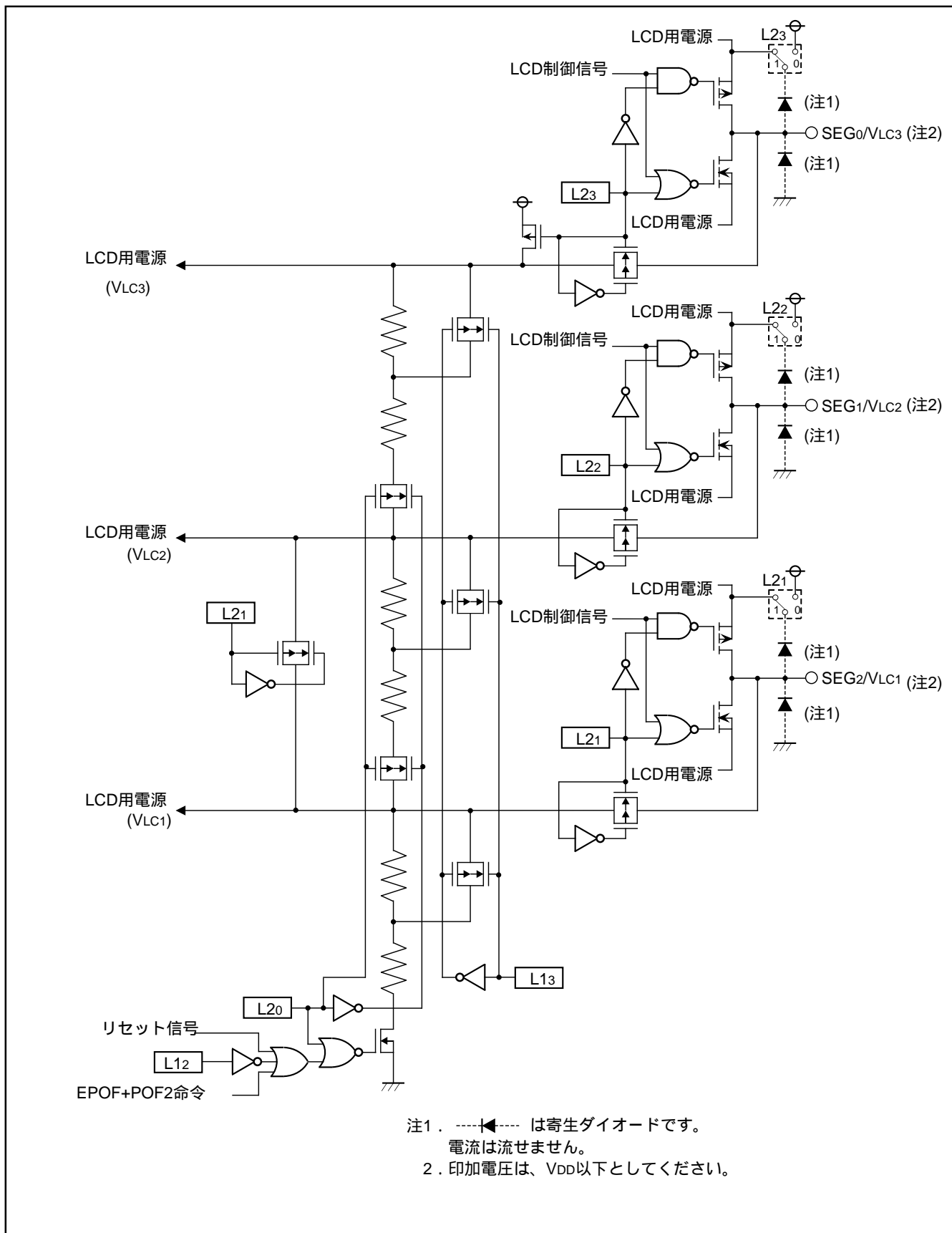
ポートブロック図(4)



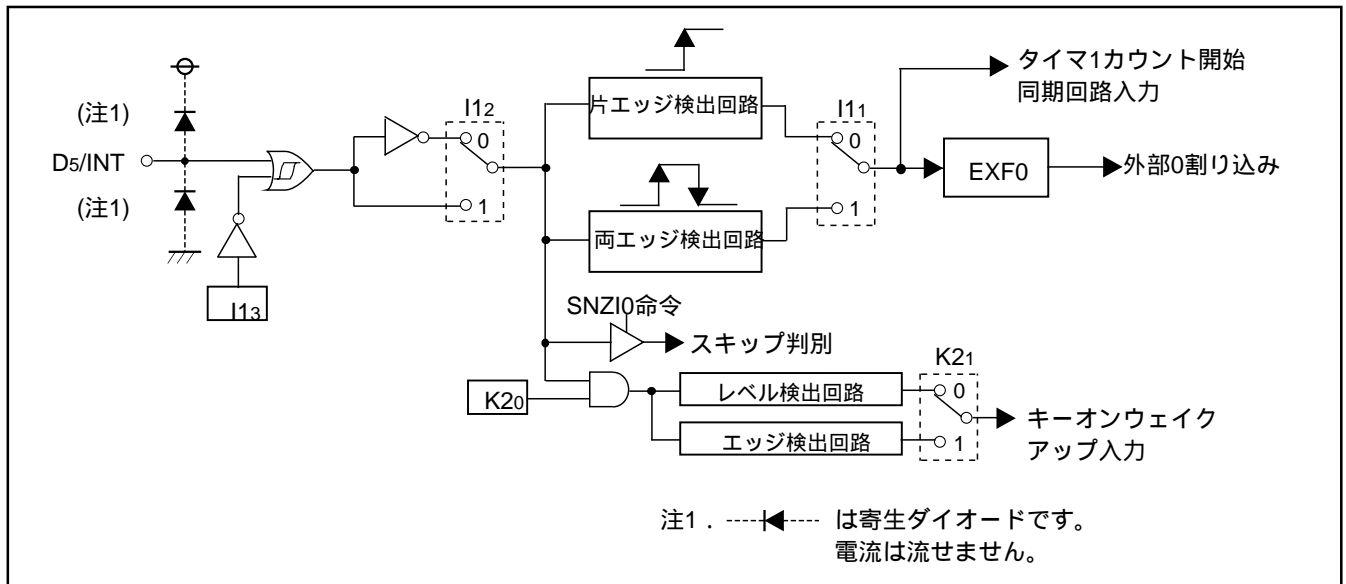
ポートブロック図(5)



ポートブロック図(6)



ポートブロック図(7)



外部割り込み回路の構成

機能ブロック動作説明

CPU

(1) 4ビット論理演算ユニット(ALU)

ALUは4ビットの演算 - 加算、比較、論理積、論理和、ビット処理など - を行うユニットです。

(2) レジスタA及びキャリフラグ(CY)

レジスタAは、演算、転送、交換、入出力などのデータ処理の中心となる4ビットのレジスタです。

フラグCYはAMC命令の実行時に桁上がりが発生すると「1」にセットされます(図BA-1)。

なお、A n命令及びAM命令を実行しても、フラグCYの内容は変化しません。また、RAR命令の実行により、A0の値がフラグCYに格納されます(図BA-2)。

フラグCYはSC命令で「1」にセットされ、RC命令で「0」にクリアされます。

(3) レジスタB及びE

レジスタBは4ビットで構成され、4ビットデータの一時記憶に、又はレジスタAと組み合わせて8ビットデータの転送に使用します。

レジスタEは8ビットで構成され、レジスタBを上位4ビット、レジスタAを下位4ビットとする8ビットデータの転送に使用します(図BA-3)。

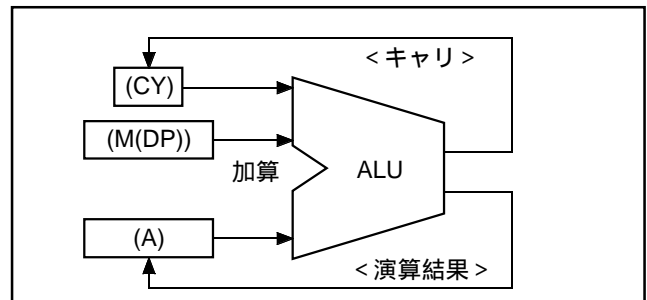
レジスタEはリセット解除後及びパワーダウンモードからの復帰後は不定ですので、必ず初期設定を行ってください。

(4) レジスタD

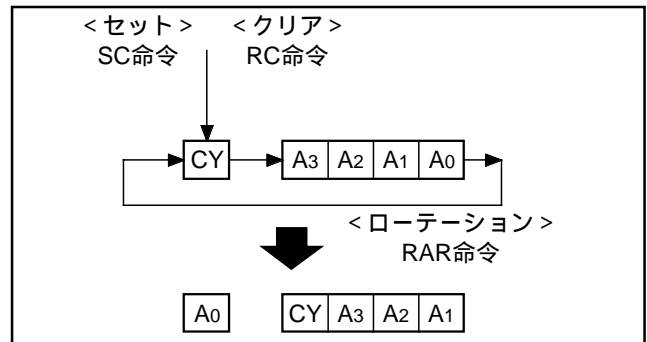
レジスタDは3ビットで構成され、レジスタAと組み合わせて7ビットの番地を格納し、TABP p命令、BLA p命令、及びBMLA p命令の実行時に指定ページ内のポインタとして使用します(図BA-4)。また、フラグUPTFが「1」のとき、TABP命令を実行するとレジスタDの下位2ビットにROM内参照データの上位2ビットが格納され、レジスタDの上位1ビットは「0」になります。フラグUPTFが「0」のときはTABP命令を実行し

ても、レジスタDの内容は変化しません。フラグUPTFは、SUPT命令で「1」にセットされ、RUPT命令で「0」にクリアされます。フラグUPTFの初期値は「0」です。

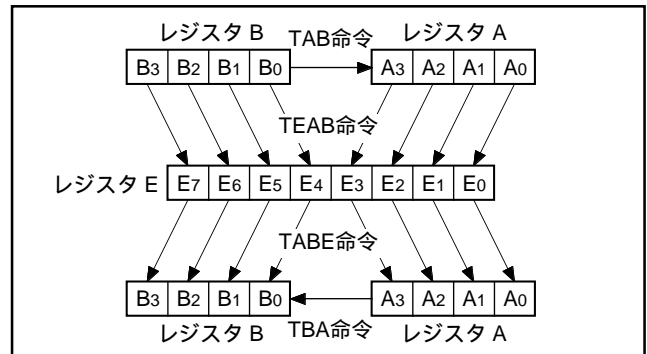
レジスタDはリセット解除後及びパワーダウンモードからの復帰後は不定ですので、必ず初期設定を行ってください。



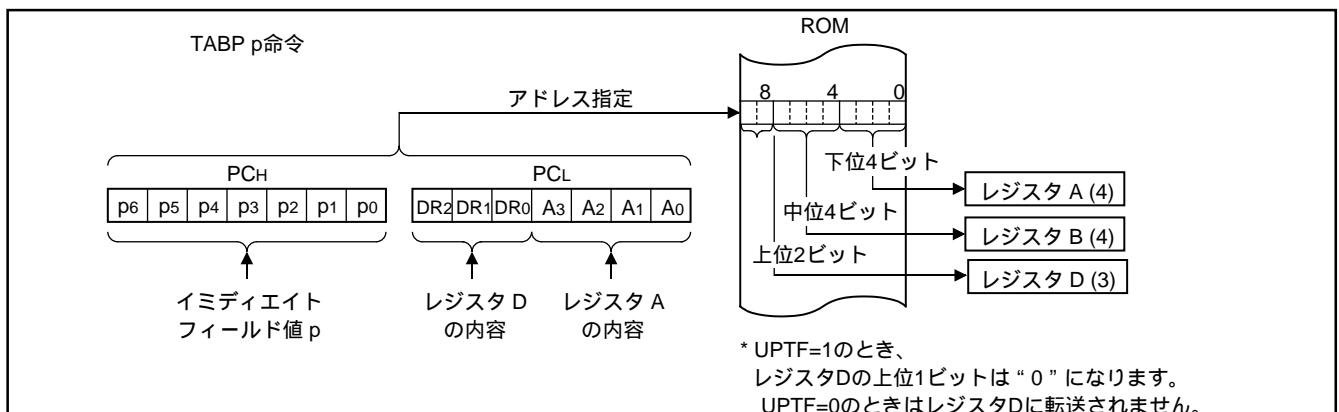
図BA-1 . AMC命令実行例



図BA-2 . RAR命令実行例



図BA-3 . レジスタA、BとレジスタE



図BA-4 . TABP p命令実行例

(5) スタックレジスタSK及びスタックポインタ(SP)

レジスタSKは、割り込み処理ルーチンへの分岐、サブルーチン呼び出し、又はテーブル参照命令(TABP p)を実行するときに使用する8段の14ビットレジスタです。分岐直前のプログラムカウンタの内容をもとのルーチンに戻るまでの間、一時的に記憶します。

レジスタSKは8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。8レベルを超えた場合、レジスタSKの内容は破壊されます。

なお、レジスタSKのネスティングは、3ビットで構成されるスタックポインタ(SP)によって自動的に指定されます。スタックポインタの内容は、TASP命令によりレジスタAに転送できます。

図BA-5にレジスタSKの構成を、図BA-6にサブルーチン呼び出し時の動作例を示します。

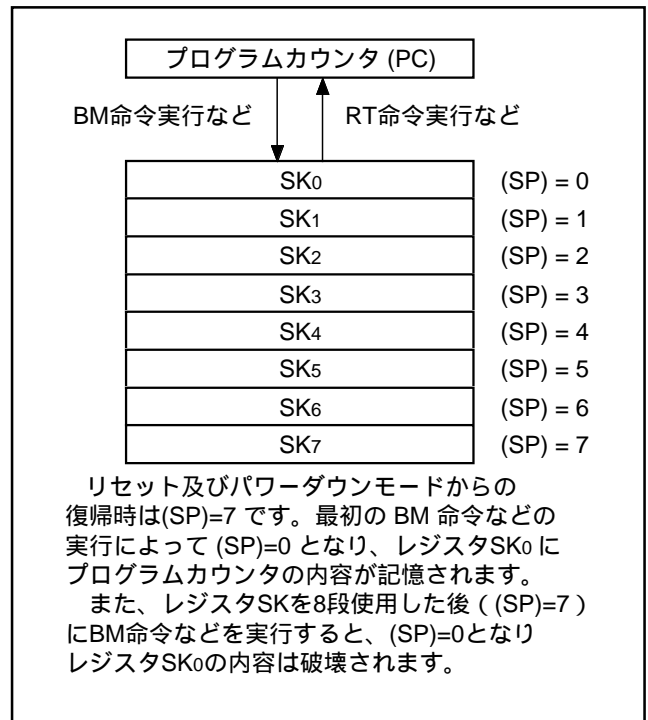
(6) 割り込み専用スタックレジスタSDP

レジスタSDPは、割り込み発生時に、割り込み発生直前のデータポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、Bの内容を、もとのルーチンに戻るまで一時記憶するためのレジスタです。レジスタSDPは一段で構成されています。

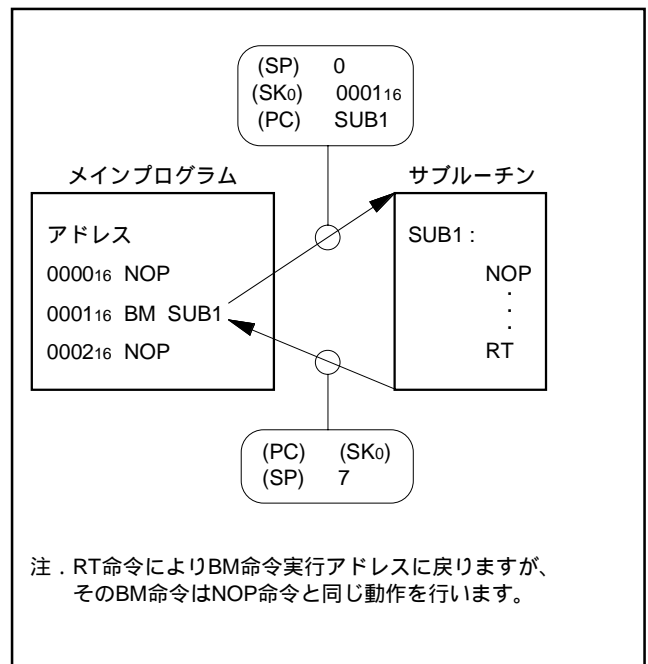
レジスタSDPは前述のレジスタSKと異なり、サブルーチン呼び出し命令、及びテーブル参照命令実行時には使用しません。

(7) スキップフラグ

スキップフラグは、条件スキップ命令及び連続記述スキップ命令用のスキップ判定を制御するフラグです。割り込みが発生すると、スキップフラグの内容は自動的にレジスタSDPに退避され、スキップ条件が保持されます。



図BA-5. スタックレジスタSKの構成



図BA-6. サブルーチン呼び出し時の動作例

(8)プログラムカウンタ(PC)

プログラムカウンタはROMアドレス(ページ及び番地)を指定するカウンタで、ROMに格納されている命令の読み出しシーケンスを決定します。

プログラムカウンタは2進カウンタで、命令を一つ実行するごとに命令バイト数を+1します。

ただし、分岐命令、サブルーチン呼び出し命令、リターン命令、及びテーブル参照命令(TABP p)実行時には指定された番地の値になります。

プログラムカウンタは、ROMのページを指定するPCH(最上位ビット~ビット7)とページ内の番地を指定するPCL(ビット6~ビット0)に分かれており、各ページの最終番地(127番地)までくると次のページの0番地を指定します(図BA-7)。

なお、PCHが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(9)データポインタ(DP)

データポインタはRAMのアドレスを指定するポインタで、レジスタZ、X、Yで構成されています(図BA-8)。このうち、レジスタZはRAMのファイル群を、レジスタXはRAMのファイルを、レジスタYはRAMの桁を指定します。

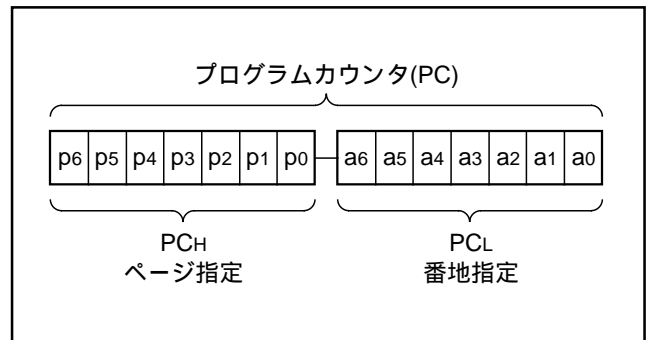
なお、レジスタYはポートDのビット位置指定にも使用します。ポートDを使用する際は、必ずレジスタYにポートDのビット(ピン位置)を設定し、SD、RD、SZD命令を実行してください。

図BA-9にSD命令実行例を示します。

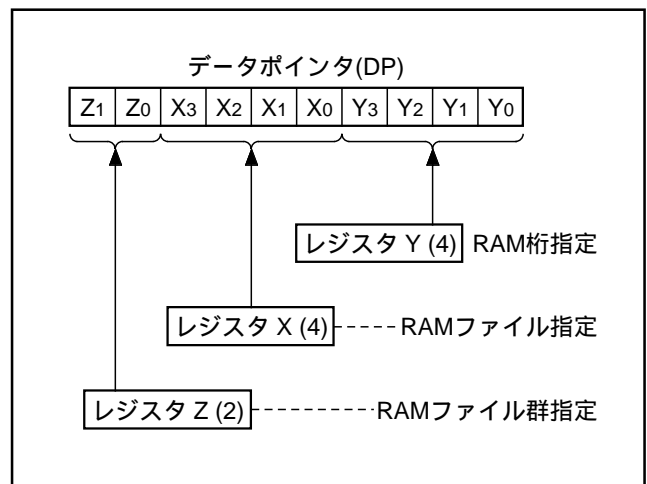
注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

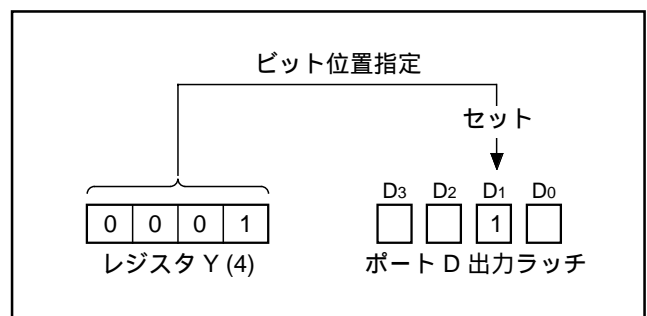
また、レジスタZ、X、Yはパワーダウンモード時は不定になります。パワーダウンモードからの復帰後、これらのレジスタへの再設定を行ってください。



図BA-7. プログラムカウンタ(PC)の構成



図BA-8. データポインタ(DP)の構成



図BA-9. SD命令実行例

プログラムメモリ (ROM)

プログラムメモリは、1語が10ビットで構成されており、128語 (0 ~ 127番地) ごとにページという単位で分けられています。

1ページ (0080₁₆ ~ 00FF₁₆) の先頭には割り込み番地が割り付けられています (図BC-2)。

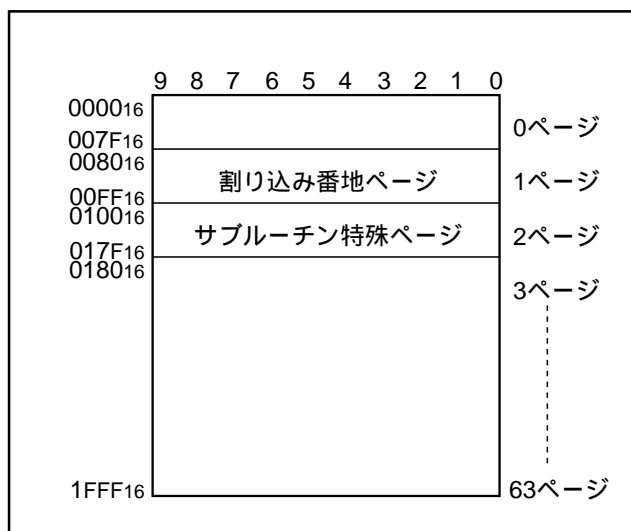
割り込みが発生すると各割り込みに対応した番地 (割り込み番地) がプログラムカウンタ (PC) に設定され、割り込み番地の命令が実行されます。割り込み処理ルーチンを使用する場合は、割り込み番地にそのルーチンに分岐する命令を書き込んでください。

2ページ (0100₁₆ ~ 017F₁₆) はサブルーチン呼び出しのための特殊なページです (図BC-1)。このページに書き込まれたサブルーチンは、一語命令 (BM命令) で任意のページから呼び出すことができます。なお、2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあればBM命令で呼び出すことができます。

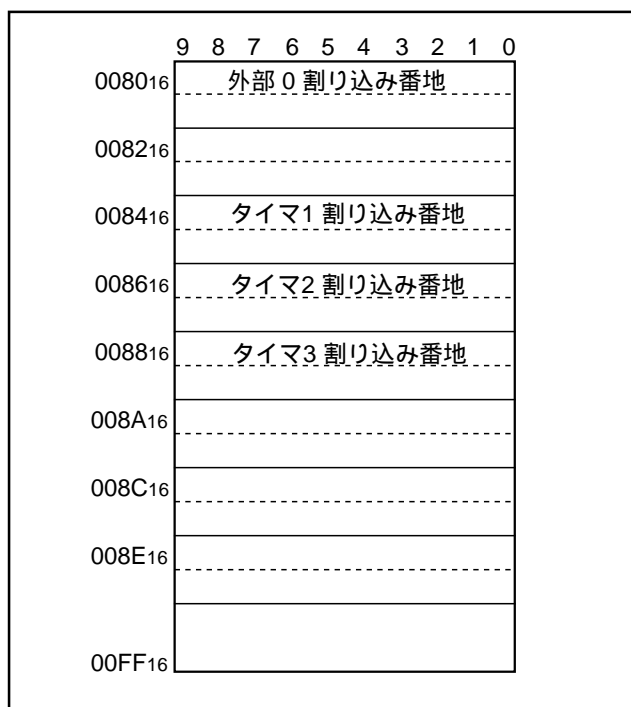
また、すべてのアドレスのROMパターン (ビット7 ~ 0) をTABP p命令によりデータ領域として使用できます。

表BC-1 . ROM容量とページ数

型 名	ROM (PROM) 容量 (× 10ビット)	ページ数
M34553M4/M4H	4096語	32(0 ~ 31)
M34553M8/M8H	8192語	64(0 ~ 63)
M34553G8/G8H	8192語	64(0 ~ 63)



図BC-1 . M34553M8/M8H/G8/G8HのROMマップ

図BC-2 . 割り込み番地ページ (0080₁₆ ~ 00FF₁₆) の構成

データメモリ(RAM)

RAMは1語が4ビットで構成されていますが、SB_j、RB_j、SZB_j命令により、全メモリ領域に対して1ビット単位で処理できます。

RAMの番地は、レジスタZ、X、Yで構成されるデータポインタで指定します。RAMをアクセスする命令を実行する際には、必ずデータポインタに値を設定してください(パワーダウンモードからの復帰後も必ず設定してください)。なお、RAMには液晶表示に対応した領域が含まれています。表示するセグメントに対応したビットに「1」を書き込むとそのセグメントが自動的に点灯します。

表BD-1にRAM容量、図BD-1にRAMマップを示します。

表BD-1 . RAM容量

型 名	RAM容量
M34553M4/M4H	288語×4ビット(1152ビット)
M34553M8/M8H	
M34553G8/G8H	

注意事項

データポインタのレジスタZは、リセット解除後は不定です。必ず初期設定を行ってください。

また、レジスタZ、X、Yはパワーダウンモード時は不定になります。RAMバックアップからの復帰後、これらのレジスタの再設定を行ってください。

RAM 288語×4ビット(1152ビット)

レジスタZ レジスタX	0															1				
	0	1	2	3	...	12	13	14	15	0	1	2	3							
0																				
1																				
2																				
3																				
4																				
5																				
6																				
7																				
8														0	8	16	24			
9														1	9	17	25			
10														2	10	18	26			
11														3	11	19	27			
12														4	12	20	28			
13														5	13	21				
14														6	14	22				
15														7	15	23				

注.図中 ■ 部に書き込まれた数字は、対応するセグメント出力端子の番号を示します。

図BD-1 . RAMマップ

割り込み機能

割り込みの形式は、割り込み要因ごとに異なるアドレス(割り込み番地)に岐する、ベクトル割り込みです。割り込みは次の3つの条件が満たされたとき発生します。

割り込み許可フラグが許可状態(INTE = “ 1 ”)

割り込み可能ビットが可能状態(“ 1 ”)

割り込み起動条件が成立(要求フラグ = “ 1 ”)

割り込み要因ごとの起動条件及び割り込み番地と、割り込みの優先順位の対応を表DD-1に示します。

起動条件の詳細については各割り込み要求フラグの項を参照してください。

(1) 割り込み許可フラグ(INTE)

フラグINTEは、すべての割り込みの許可、禁止を制御するフラグです。EI命令の実行により、フラグINTEは“ 1 ”にセットされ、割り込みは許可されます。また、DI命令の実行によりフラグINTEは“ 0 ”にクリアされ、割り込みは禁止されます。いずれかの割り込みが発生すると、フラグINTEは自動的に“ 0 ”にクリアされ、次にEI命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

(2) 割り込み可能ビット(V10 ~ V13, V20, V21, V23)

それぞれの割り込み要因に対して、割り込み要求を有効とするか、あるいはスキップ命令を有効とするかを、制御します。表DD-2に割り込み要因ごとの要求フラグ、スキップ命令と割り込み制御レジスタの割り込み可能ビットとの関係を、また表DD-3に割り込み可能ビットの機能を示します。

(3) 割り込み要求フラグ

各割り込みの起動条件が成立すると、その割り込みに対応する割り込み要求フラグは“ 1 ”にセットされます。

割り込みが発生したとき、又はスキップ命令を実行したときは、これに対応した割り込み要求フラグが“ 0 ”にクリアされます。各割り込み要求フラグは、フラグINTE又は割り込み可能ビットによって割り込み禁止状態に設定されていても、起動条件が成立するとセットされます。一度セットされた割り込み要求フラグは、クリア条件が成立するまでその状態を保持します。

したがって、割り込み要求を保持した状態で割り込み禁止状態を解除すると、その時点で割り込みが発生します。割り込み禁止状態を解除したときに、2つ以上の割り込み要求フラグがセットされている場合、表DD-1に示す優先順位に従って割り込みが発生します。

表DD-1 . 割り込み要因、割り込み番地、及び優先順位

優先順位	割り込み要因		割り込み番地
	割り込み名	起動条件	
1	外部0割り込み	INT端子のレベル変化	1ページ0番地
2	タイマ1割り込み	タイマ1のアンダフロー	1ページ4番地
3	タイマ2割り込み	タイマ2のアンダフロー	1ページ6番地
4	タイマ3割り込み	タイマ3のアンダフロー	1ページ8番地

表DD-2 . 割り込み要求フラグ、スキップ命令と割り込み制御レジスタビット

割り込み要因	割り込み要求フラグ	スキップ命令	割り込み可能ビット
外部0割り込み	EXF0	SNZ0	V10
タイマ1割り込み	T1F	SNZT1	V12
タイマ2割り込み	T2F	SNZT2	V13
タイマ3割り込み	T3F	SNZT3	V20

表DD-3 . 割り込み可能ビットの機能

割り込み可能ビットの状態	割り込みの発生	スキップ命令
1	可 能	無 効
0	禁 止	有 効

(4) 割り込み発生時の内部状態

割り込みが発生したとき、マイクロコンピュータの内部状態は次のようになります(図DD-2参照)。

プログラムカウンタ(PC)

割り込み番地が設定されます。メインルーチン復帰時の実行番地は、自動的にスタックレジスタSKに格納されます。

割り込み許可フラグ(INTE)

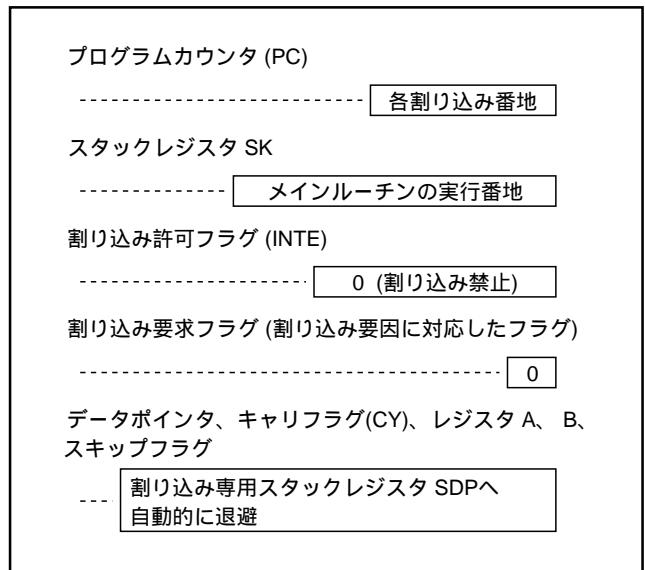
フラグINTEは“0”にクリアされ、割り込み禁止状態になります。

割り込み要求フラグ

割り込み要因に対応した要求フラグだけが、“0”にクリアされます。

データポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、B

これらのレジスタ及びフラグの内容は自動的に割り込み専用スタックレジスタSDPに退避されます。

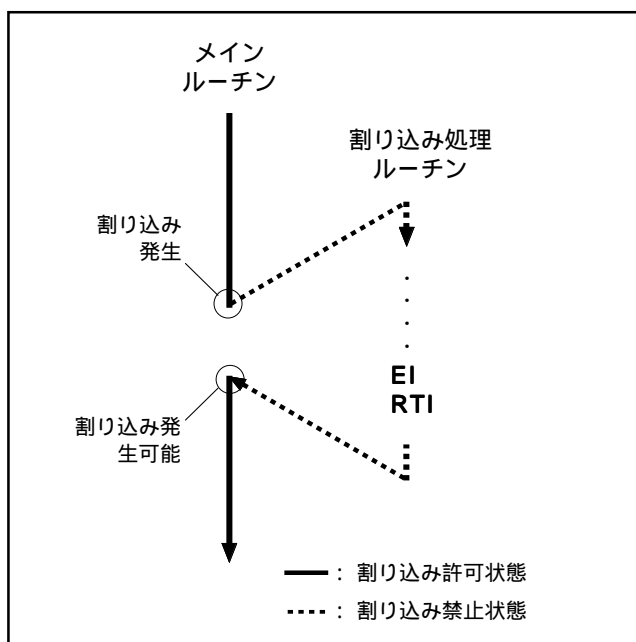


図DD-2. 割り込み発生時の内部状態

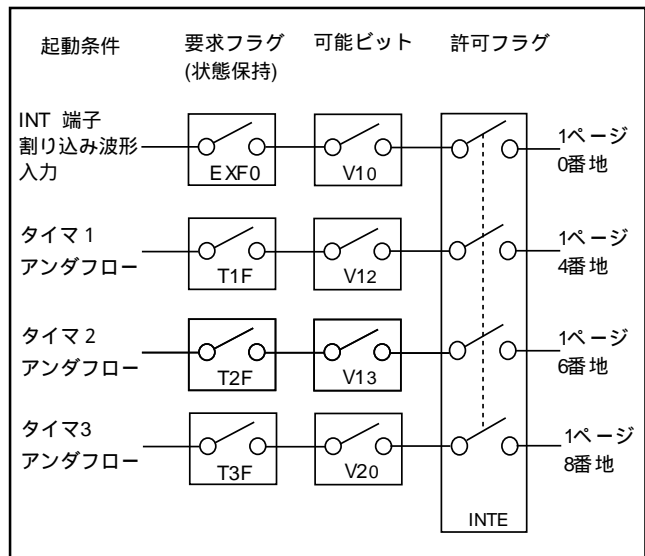
(5) 割り込みの処理方法

割り込みが発生すると、レジスタSKへのデータ退避シーケンスを経て、割り込み番地からプログラムを実行します。割り込み番地には、割り込み処理ルーチンへの分岐命令を書き込んでください。また、メインルーチンへの復帰にはRTI命令を使用してください。

なお、EI命令実行による割り込みの許可は、1命令経過の後(次命令の実行終了直後)に行われます。したがって、RTI命令の直前にEI命令を実行すると、メインルーチン復帰直後に割り込み発生可能になります(図DD-1参照)。



図DD-1. 割り込み処理プログラム例



図DD-3. 割り込み系統図

(6) 割り込み制御レジスタ

割り込み制御レジスタV1

レジスタV1には、外部0、タイマ1、タイマ2割り込み可能ビットが割り付けられています。レジスタV1の内容は、TV1A命令でレジスタAを介して設定してください。また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

割り込み制御レジスタV2

レジスタV2には、タイマ3割り込み可能ビットが割り付けられています。レジスタV2の内容は、TV2A命令でレジスタAを介して設定してください。また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表DD-4 . 割り込み制御レジスタ

割り込み制御レジスタ V1		リセット時 : 00002	パワーダウン時 : 00002	R / W TAV1 / TV1A
V13	タイマ2 割り込み可能ビット	0	発生禁止 (SNZT2 命令有効)	
		1	発生可能 (SNZT2 命令無効)	
V12	タイマ1 割り込み可能ビット	0	発生禁止 (SNZT1 命令有効)	
		1	発生可能 (SNZT1 命令無効)	
V11	使用しません	0	このビットに機能はありませんが R/W は可能です。	
		1		
V10	外部0 割り込み可能ビット	0	発生禁止 (SNZ0 命令有効)	
		1	発生可能 (SNZ0 命令無効)	

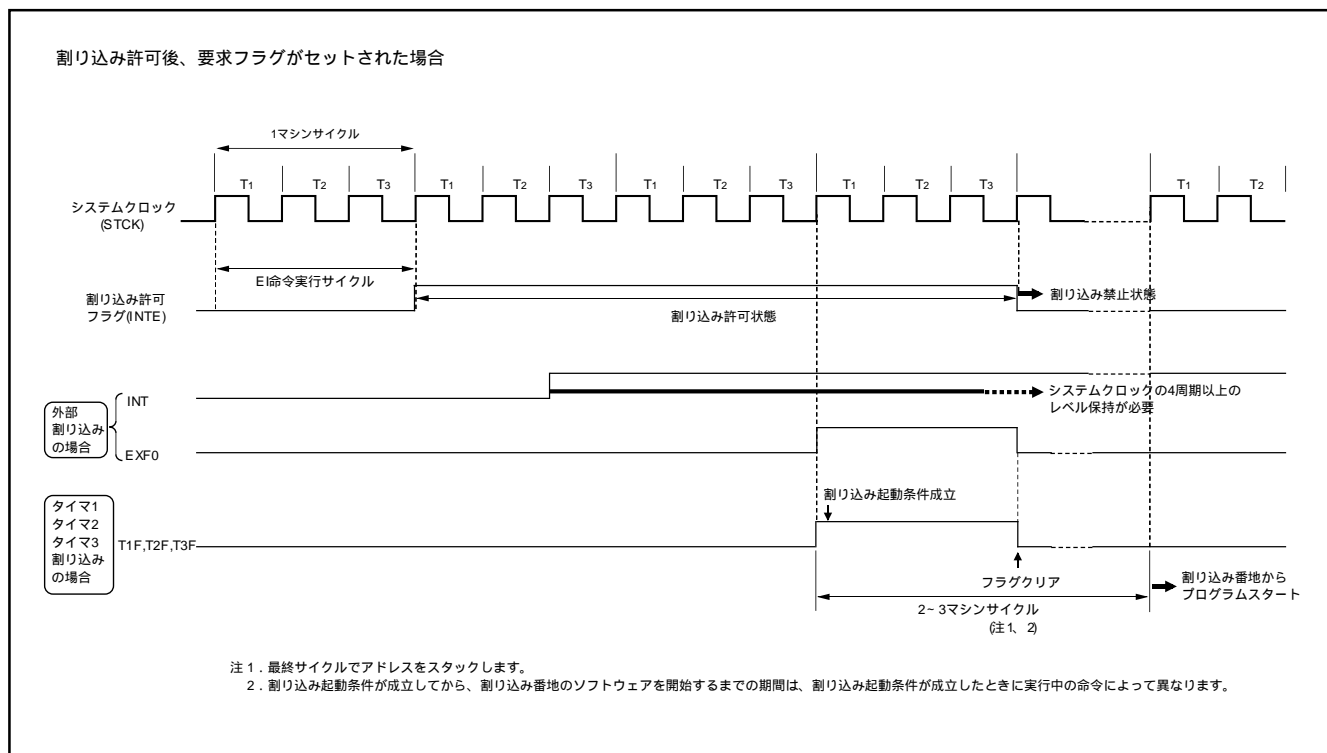
割り込み制御レジスタ V2		リセット時 : 00002	パワーダウン時 : 00002	R / W TAV2 / TV2A
V23	使用しません	0	このビットに機能はありませんが R/W は可能です。	
		1		
V22	使用しません	0	このビットに機能はありませんが R/W は可能です。	
		1		
V21	使用しません	0	このビットに機能はありませんが R/W は可能です。	
		1		
V20	タイマ3 割り込み可能ビット	0	発生禁止 (SNZT3 命令有効)	
		1	発生可能 (SNZT3 命令無効)	

注：“R”は読み出し可、“W”は書き込み可を表します。

(7)割り込みシーケンス

各割り込みは、フラグINTE、割り込み可能ビット (V10,V12,V13,V20)、各割り込み要求フラグが^{*}1になったときに起動します。割り込み発生のタイミングは、上記3条件のすべてが成立したサイクルを起点として2~3マシンサイクル後です。

割り込みの発生が3マシンサイクル後になるのは、割り込み条件が成立したときの命令が1サイクル命令以外のときです(図DD-4・参照)。



図DD-4 . 割り込みシーケンス

外部割り込み

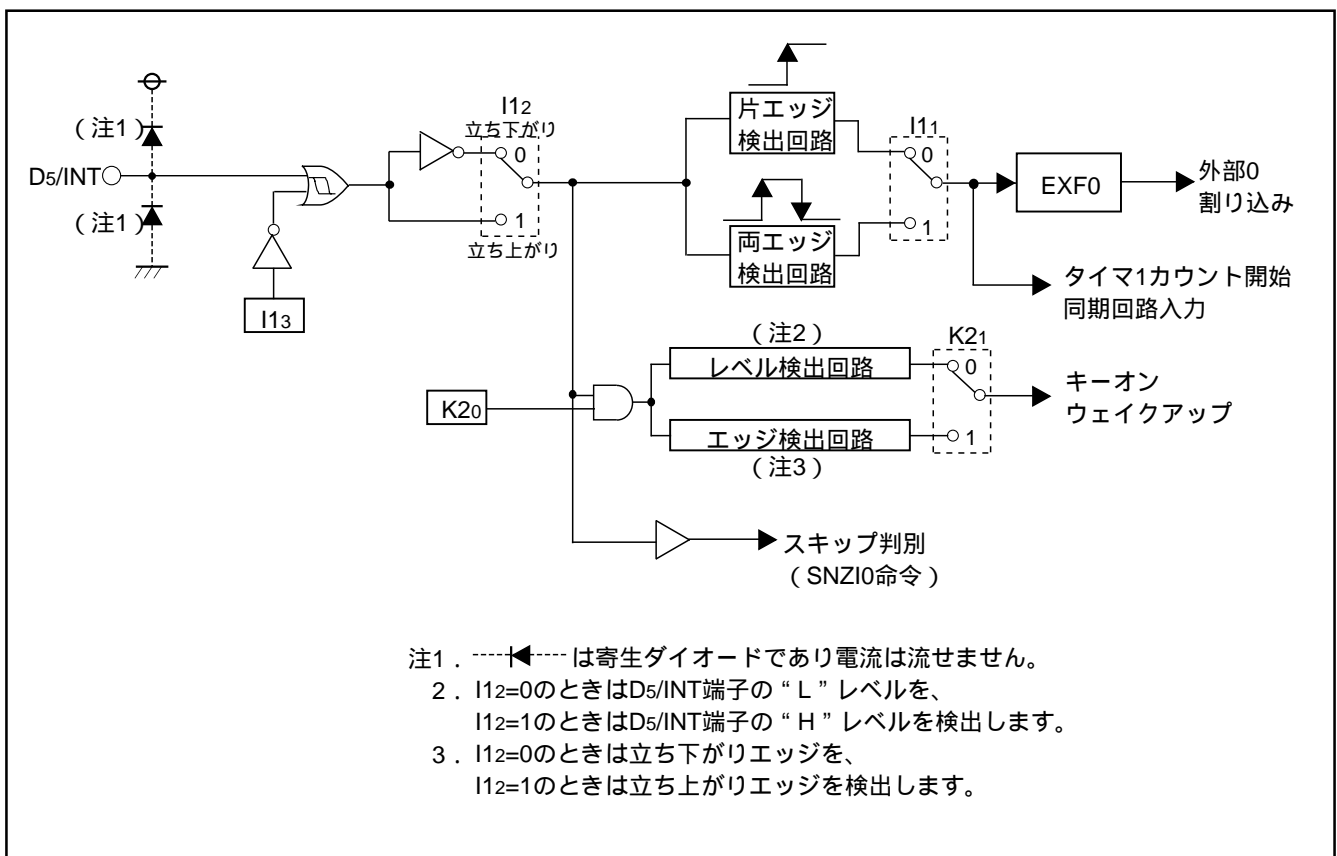
外部割り込みは、割り込み入力端子に有効波形が入力されると割り込み要求を発生します(エッジ検出)。

本製品は、1本の外部割り込み機能(外部0)をもっています。

これらの割り込みは割り込み制御レジスタI1で制御できます。

表DD-5. 割り込み起動条件

割り込み名	入力端子	有効波形	有効波形選択ビット
外部0割り込み	D5/INT	D5/INT端子に次の波形が入力されたとき ・立ち下がり波形(“H” “L”) ・立ち上がり波形(“L” “H”) ・立ち下がり及び立ち上がりの両波形	I11 I12



図DD-5. 外部割り込み回路の構成

(1) 外部0割り込み要求フラグ (EXF0)

フラグEXF0はD5/INT端子に有効波形が入力されたとき“1”にセットされます。

外部0割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります(図DD-4参照)。

フラグEXF0の状態は、スキップ命令の実行(SNZ0命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF0は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

外部0割り込み起動条件

外部0割り込みの起動条件は、D5/INT端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形又は立ち上がりと立ち下がりの両波形の3種から選択できます。以下に外部0割り込みの使用方法の一例を示します。

割り込み制御レジスタI1のビット3を“1”にセットしD5/INT端子入力可能状態設定

割り込み制御レジスタI1のビット1,2で有効波形を選択
SNZ0命令を使用して、フラグEXF0を“0”にクリア
SNZ0命令によるスキップが発生する場合を考慮して、NOP命令を挿入

外部0割り込み可能ビット(V10)及び割り込み許可フラグ(INTE)を共に“1”に設定

以上の操作により外部0割り込み発生許可状態になります。この状態でD5/INT端子に有効波形を入力すると、フラグEXF0は“1”にセットされ、外部0割り込みが発生します。

(2) 外部割り込み制御レジスタ

レジスタI1は、外部0割り込みの有効波形を制御します。このレジスタの内容は、TA1A命令でレジスタAを介して設定してください。また、TA1I命令でレジスタI1の内容をレジスタAに転送できます。

表DD-6. 外部割り込み制御レジスタ

割り込み制御レジスタ I1		リセット時：00002		パワーダウン時：状態保持	R / W TA1I / TI1A
I13	INT 端子 入力制御ビット (注2)	0	入力禁止		
		1	入力可能		
I12	INT 端子 割り込み有効波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形 / “L” レベル (SNZIO 命令は “L” レベル認識)		
		1	立ち上がり波形 / “H” レベル (SNZIO 命令は “H” レベル認識)		
I11	INT 端子 エッジ検出回路制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I10	INT 端子 タイマ1カウント開始同期回路選択ビット	0	タイマ1カウント開始同期回路非選択		
		1	タイマ1カウント開始同期回路選択		

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. これらのビット (I12, I13) の内容を変更した際に、外部割り込み要求フラグ (EXF0) がセットされる場合があります。

(3) 注意事項

レジスタ11のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタ11のビット3によってINT端子の入力制御を行う際は次の点に注意してください。

レジスタ11のビット3の内容を変更する場合、D5/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図DD-6)した後、レジスタ11のビット3の内容を変更してください。更に、一命令以上において(図DD-6)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-6)。

```

LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 8 ; (1 x x x 2)
TI1A ; INT端子入力制御変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③

```

x : このビットは本例では関係
しません。

図DD-6 . 外部0割り込みプログラム例1

レジスタ11のビット3に関する注意2

割り込み制御レジスタ11のビット3を"0"にクリアし、INT端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意してください。

INT端子のキーオンウェイクアップを使用しない場合(レジスタK20="0")は、パワーダウンモードに移行する前にレジスタ11のビット2、ビット3をクリアする必要があります(図DD-7)。

```

LA 0 ; (00 x x 2)
TI1A ; INT入力禁止・・・ ①
DI
EPOF
POF2 ; RAMバックアップ

```

x : このビットは本例では関係
しません。

図DD-7 . 外部0割り込みプログラム例2

レジスタ11のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタ11のビット2によってD5/INT端子の割り込み有効波形を変更する場合は、次の点に注意してください。

レジスタ11のビット2の内容を変更する場合、D5/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図DD-8)した後、レジスタ11のビット2の内容を変更してください。更に、一命令以上において(図DD-8)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-8)。

```

LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 12 ; (x 1 x x 2)
TI1A ; 割り込み有効波形変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③

```

x : このビットは本例では関係
しません。

図DD-8 . 外部0割り込みプログラム例3

タイマ

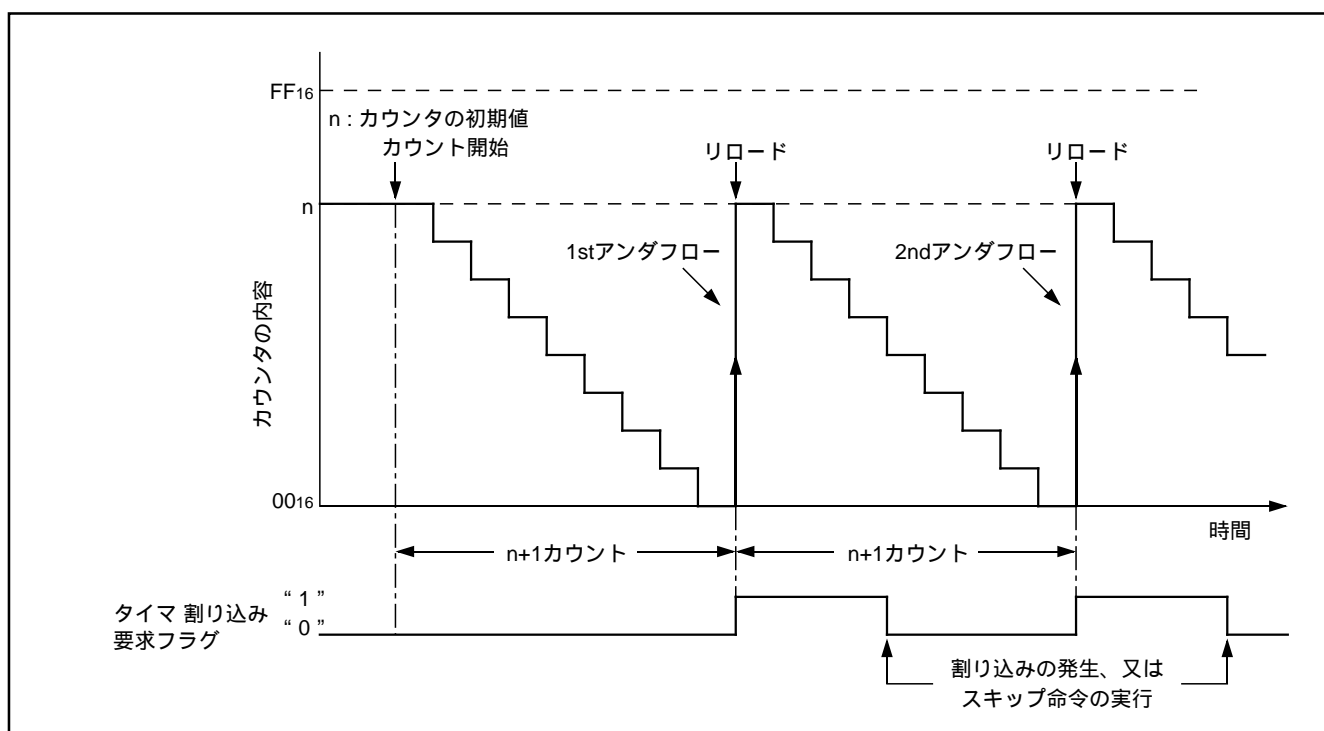
本製品が内蔵するタイマには、以下の種類があります。

プログラブルタイマ

プログラブルタイマは分周比を設定できるタイマで、リロードレジスタをもちます。設定値 n からダウンカウントを開始し、アンダフローする($n+1$ カウントする)と、また新たにリロードレジスタからデータがリロードされカウントを続行します(オートリロード)機能。

固定分周タイマ

固定分周タイマは、分周比(n)が固定されているタイマでカウントパルスを n 回カウントするごとに割り込み要求フラグを“1”にセットします。



図FB-1. オートリロード機能

本製品のタイマは以下の回路で構成されています。

プリスケラ : 8ビットプログラブルタイマ

タイマ1 : 8ビットプログラブルタイマ

タイマ2 : 8ビットプログラブルタイマ

タイマ3 : 16ビット固定分周タイマ

タイマLC : 4ビットプログラブルタイマ

ウォッチドッグタイマ : 16ビット固定分周タイマ

(タイマ1、2、3は割り込み機能付き)

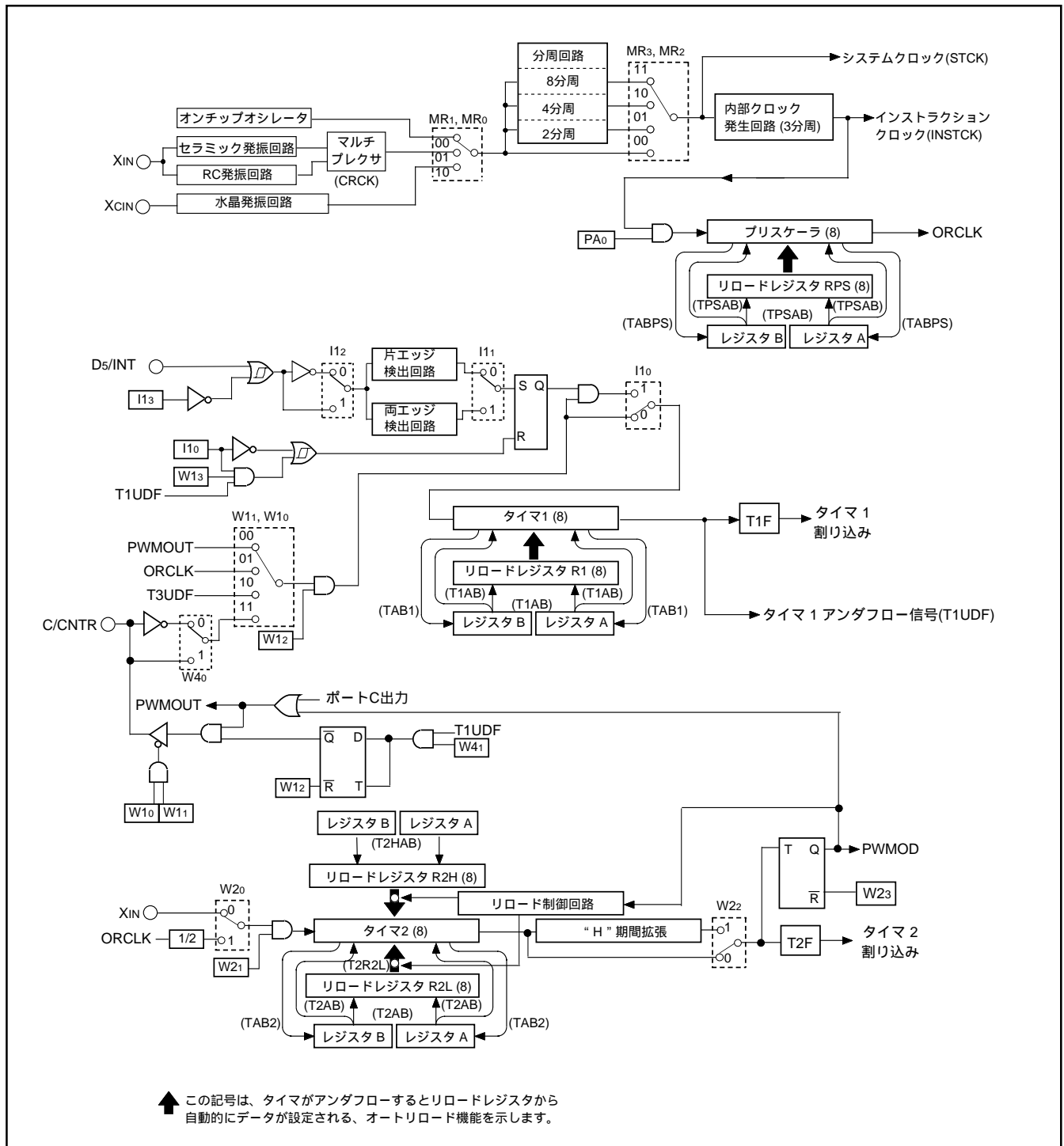
プリスケラ、タイマ1、2、3、LCは、タイマ制御レジスタPA、W1~W6で制御できます。

ウォッチドッグタイマは、制御レジスタをもたないフリーカウンタです。

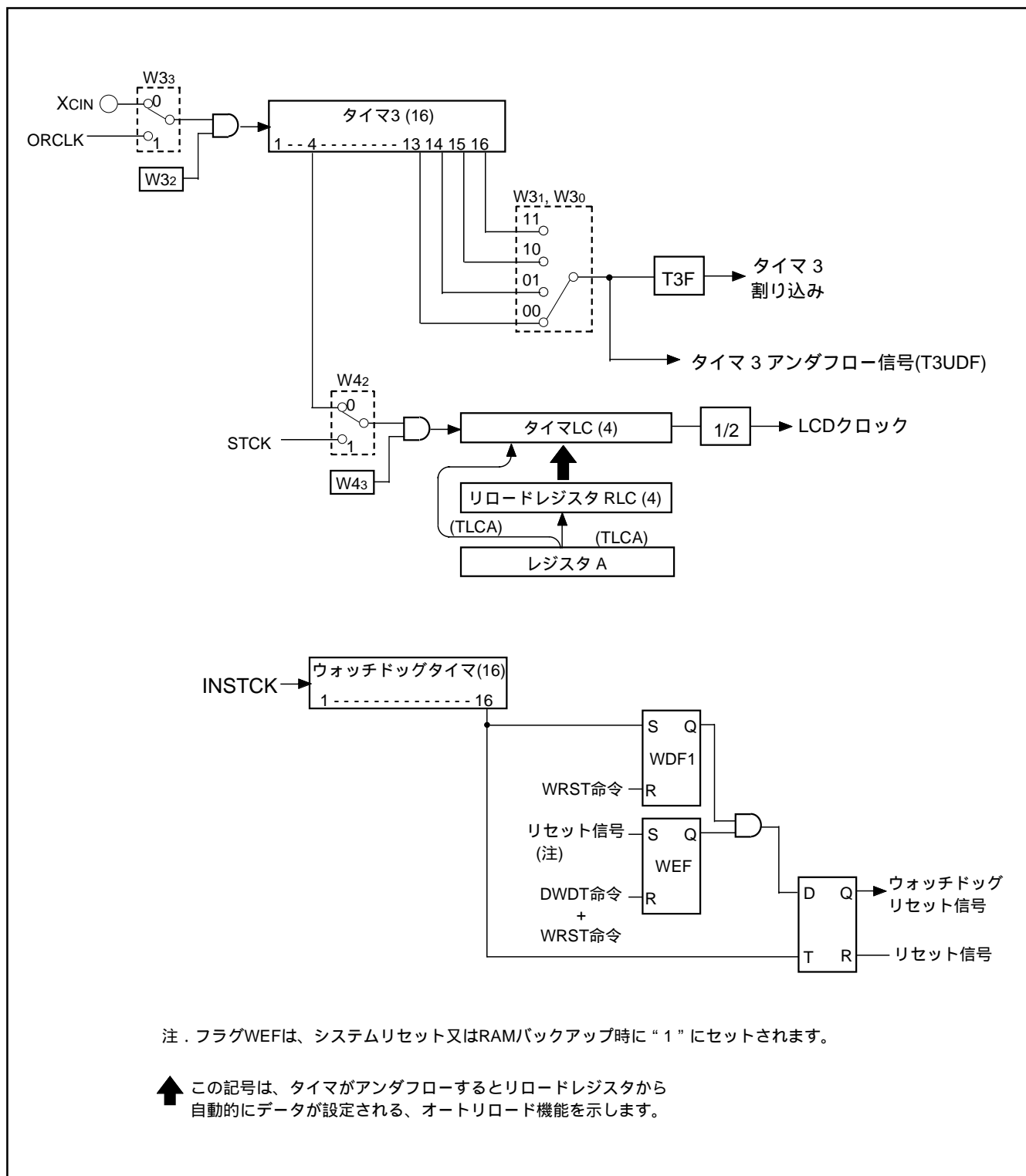
以下、各機能について説明します。

表FB-1 . タイマの機能一覧

回路名	構成	カウントソース	分周比	出力信号の用途	制御レジスタ
プリスケアラ	8ビットプログラマブル バイナリダウンカウンタ	・インストラクションクロック (INSTCK)	1 ~ 256	・タイマ1,2,3カウントソース	PA
タイマ1	8ビットプログラマブル バイナリダウンカウンタ (INT入力連動機能付き)	・PWM出力(PWMOUT) ・プリスケアラ出力(ORCLK) ・タイマ3アンダフロー(T3UDF) ・CNTR入力	1 ~ 256	・CNTR出力制御 ・タイマ1割り込み	W1
タイマ2	8ビットプログラマブル バイナリダウンカウンタ (PWM出力機能付き)	・XIN入力 ・プリスケアラ出力(ORCLK)の 2分周信号	1 ~ 256	・タイマ1カウントソース ・CNTR出力 ・タイマ2割り込み	W2
タイマ3	16ビット固定分周	・XCIN入力 ・ORCLK	8192 16384 32768 65536	・タイマ1カウントソース ・タイマ3割り込み ・タイマLCカウントソース	W3
タイマLC	4ビットプログラマブル バイナリダウンカウンタ	・タイマ3のビット4 ・システムクロック(STCK)	1 ~ 16	・LCDクロック	W4
ウォッチドッグ タイマ	16ビット固定分周	・インストラクションクロック (INSTCK)	65534	・システムリセット(2回カウント) ・WDFフラグ判定	



図FB-2 . タイマの構成 (1)



注 . フラグWEFは、システムリセット又はRAMバックアップ時に “ 1 ” にセットされます。

↑ この記号は、タイマがアンダフローするとリロードレジスタから自動的にデータが設定される、オートリロード機能を示します。

図FB-3 . タイマの構成 (2)

表FB-2. タイマ制御レジスタ

タイマ制御レジスタ PA		リセット時：02		パワーダウン時：02		W TPAA		
PA0	プリスケアラ制御ビット	0	停止 (状態保持)					
		1	動作					

タイマ制御レジスタ W1		リセット時：00002		パワーダウン時：状態保持		R / W TAW1 / TW1A			
W13	タイマ1 カウント自動停止回路選択ビット (注2)	0	タイマ1 カウント自動停止回路非選択						
		1	タイマ1 カウント自動停止回路選択						
W12	タイマ1 制御ビット	0	停止 (状態保持)						
		1	動作						
W11	タイマ1 カウントソース選択ビット (注3)	W11 W10		カウントソース					
		0 0		PWM 信号 (PWMOOUT)					
W10		0 1		プリスケアラ出力 (ORCLK)					
		1 0		タイマ3 アンダフロー信号 (T3UDF)					
		1 1		CNTR 入力					

タイマ制御レジスタ W2		リセット時：00002		パワーダウン時：00002		R / W TAW2 / TW2A		
W23	CNTR 端子出力信号選択ビット	0	CNTR 端子出力無効					
		1	CNTR 端子出力有効					
W22	PWM 信号割り込み有効波形/ 復帰レベル選択ビット	0	PWM 信号 “H” 期間拡張機能無効					
		1	PWM 信号 “H” 期間拡張機能有効					
W21	タイマ2 制御ビット	0	停止 (状態保持)					
		1	動作					
W20	タイマ2 カウントソース選択ビット	0	XIN 入力					
		1	プリスケアラ出力(ORCLK)の2分周信号					

タイマ制御レジスタ W3		リセット時：00002		パワーダウン時：状態保持		R / W TAW3 / TW3A			
W33	タイマ3 カウントソース選択ビット	0	XCIN 入力						
		1	プリスケアラ出力(ORCLK)						
W32	タイマ3 制御ビット	0	停止 (初期状態)						
		1	動作						
W31	タイマ3 カウント値選択ビット	W31 W30		カウント値					
		0 0		8192 カウントごとにアンダフロー発生					
W30		0 1		16384 カウントごとにアンダフロー発生					
		1 0		32768 カウントごとにアンダフロー発生					
		1 1		65536 カウントごとにアンダフロー発生					

タイマ制御レジスタ W4		リセット時：00002		パワーダウン時：状態保持		R / W TAW4 / TW4A		
W43	タイマ LC 制御ビット	0	停止 (状態保持)					
		1	動作					
W42	タイマ LC カウントソース選択ビット	0	タイマ3 のビット4 (T34)					
		1	システムクロック(STCK)					
W41	CNTR 端子出力自動制御回路選択ビット	0	CNTR 出力自動制御回路非選択					
		1	CNTR 出力自動制御回路選択					
W40	CNTR 端子入力カウントエッジ選択ビット	0	立ち下がりエッジ					
		1	立ち上がりエッジ					

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. この機能はタイマ1 カウント開始同期回路選択 (I10 = “1”) 時にのみ有効です。

3. タイマ1 カウントソースに CNTR 入力を選択した場合は、ポート C 出力は無効になります。

(1) タイマ関連の制御レジスタ

タイマ制御レジスタPA

レジスタ PAは、プリスケアラのカウンタ動作を制御します。このレジスタの内容は、TPAA命令でレジスタAを介して設定してください。

タイマ制御レジスタW1

レジスタW1は、タイマ1のカウンタ自動停止回路の選択、カウンタ動作及びカウンタソースを制御します。このレジスタの内容は、TW1A命令でレジスタAを介して設定してください。また、TAW1命令でレジスタW1の内容をレジスタAに転送できます。

タイマ制御レジスタW2

レジスタW2は、CNTR出力、PWM出力のH期間拡張、タイマ2のカウンタ動作及びカウンタソースを制御します。このレジスタの内容はTW2A命令でレジスタAを介して設定してください。また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

タイマ制御レジスタW3

レジスタW3は、タイマ3のカウンタ動作及びカウンタ値を制御します。このレジスタの内容はTW3A命令でレジスタAを介して設定してください。また、TAW3命令でレジスタW3の内容をレジスタAに転送できます。

タイマ制御レジスタW4

レジスタW4は、タイマLCの動作及びカウンタソース、CNTR出力自動制御回路の選択及びCNTR入力のカウントエッジ選択を制御します。このレジスタの内容はTW4A命令でレジスタAを介して設定してください。また、TAW4命令でレジスタW4の内容をレジスタAに転送できます。

(2) プリスケアラ

プリスケアラは8ビットのバイナリカウンタで、プリスケアラリロードレジスタRPSをもっています。プリスケアラとリロードレジスタRPSには、TPSAB命令で同時にデータを設定できます。プリスケアラからはTABPS命令でデータを読み出すことができます。

プリスケアラデータの設定または読み出しを行う場合はカウンタを停止させた後TPSAB命令またはTABPS命令を実行してください。

プリスケアラにデータを設定した後、レジスタPAのビット0を"1"にセットするとプリスケアラはカウンタ動作を開始します。

リロードレジスタRPSの設定値をnとするとプリスケアラはカウンタソースの信号をn+1分周します(n=0~255)。プリスケアラのカウンタソースはインストラクションクロック(INSTCK)です。

カウンタ開始後、プリスケアラはアンダフローする(プリスケアラの内容が"0"になった後、次のカウンタパルスが入力される)と、新たにリロードレジスタRPSからデータをリロードしてカウンタを続行します(オートリロード機能)。プリスケアラの出力信号(ORCLK)はタイマ1、2、3のカウンタソースに使用できます。

(3) タイマ1(割り込み機能付き)

タイマ1は8ビットのバイナリカウンタで、タイマ1リロードレジスタR1をもっています。タイマ1とリロードレジスタR1には、T1AB命令で同時にデータを設定できます。リロードレジスタR1にはTR1AB命令でデータを設定することができます。タイマ1からはTAB1命令でデータを読み出すことができます。

タイマ1データの設定または読み出しを行う場合は、カウントを停止させた後T1AB命令またはTAB1命令を実行してください。

タイマ1動作中にリロードレジスタR1にデータ設定をする場合は、アンダフローと重ならないタイミングでTR1AB命令を実行してください。

タイマ1にデータを設定した後、レジスタW1のビット0, 1でカウントソースを設定し、レジスタW1のビット2を“1”にセットすると、タイマ1はカウント動作を開始します。

リロードレジスタR1の設定値をnとすると、タイマ1はカウントソースの信号をn+1分周します(n=0~255)。

カウント開始後、タイマ1はアンダフローする(タイマ1の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ1割り込み要求フラグ(T1F)を“1”にセットし、新たにリロードレジスタR1からデータをリロードしてカウントを続行します(オートリロード機能)。

割り込み制御レジスタI1のビット0を“1”にセットすると、INT端子の入力をタイマ1カウント動作の開始トリガに使用できます。また、この時のレジスタW1のビット3を“1”にセットすると、タイマ1アンダフローによる自動停止が行えません。

(4) タイマ2(割り込み機能付き)

タイマ2は8ビットのバイナリカウンタで、2つのタイマ2リロードレジスタR2L, R2Hをもっています。タイマ2とリロードレジスタR2Lには、T2AB命令で同時にデータを設定できます。リロードレジスタR2HにはT2HAB命令でデータを設定することができます。T2AB命令で設定したリロードレジスタR2Lの内容は、T2R2L命令でタイマ2に再設定できます。タイマ2からはTAB2命令でデータを読み出すことができます。

タイマ2データの設定または読み出しを行う場合は、カウントを停止させた後T2AB命令またはTAB2命令を実行してください。

タイマ2動作中にリロードレジスタR2Hにデータを設定する場合は、アンダフローと重ならないタイミングでT2HAB命令を実行してください。

タイマ2にデータを設定した後、レジスタW2のビット0でカウントソースを設定し、レジスタW2のビット1を“1”にセットすると、タイマ2はカウント動作を開始します。

リロードレジスタR2Lの設定値をnとすると、タイマ2はカウントソースの信号をn+1分周します(n=0~255)。

カウント開始後、タイマ2はアンダフローする(タイマ2の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ2割り込み要求フラグ(T2F)を“1”にセットし、新たにリロードレジスタR2Lからデータをリロードしてカウントを続行します(オートリロード機能)。

レジスタW2のビット3を“1”にセットすると、タイマ2はアンダフローするごとにリロードレジスタR2L, R2Hから交互にデータをリロードし、リロードレジスタR2Lに設定した期間“L”、リロードレジスタR2Hに設定した期間“H”のPWM信号(PWMOUT)を生成してCNTR端子出力します。

この時レジスタW2のビット2を“1”にセットすると、タイマ2のカウンタは、リロードレジスタR2Hに設定した期間(PWM信号“H”期間)がカウントソースの半周期分拡張されません。この場合、リロードレジスタR2Hの設定値をnとすると、タイマ2はカウントソースの信号をn+1.5分周します(n=1~255)。この機能を使用する場合は、リロードレジスタR2Hに“1”以上の値を設定してください。

レジスタW4のビット1を“1”にセットすると、タイマ1のアンダフローごとに、CNTR端子へのPWM信号出力の有効/無効が交互に繰り返されます。ただし、タイマ1を停止(レジスタW1のビット2を“0”にクリア)するとこの機能は解除されません。

PWM信号が“H”の期間にレジスタW2のビット1を“0”にクリアした場合でも、タイマ2は次にアンダフローするまでは停止しません。

PWM出力機能使用時にタイマ2を停止させる場合は、アンダフローと重ならないタイミングでレジスタW2のビット1を“0”にクリアしてください。

(5) タイマ3 割り込み機能付き)

タイマ3は16ビットのバイナリカウンタです。レジスタW3のビット0,1でカウント値を設定し、レジスタW3のビット3でカウントソースを設定し、レジスタW3のビット2を“1”にセットすると、タイマ3はカウント動作を開始します。

カウント開始後、タイマ3はアンダフローする(設定したカウント値がカウントされる)と、タイマ3割り込み要求フラグ(T3F)を“1”にセットし、カウントを続行します。

タイマ3のビット4はLCDクロック生成用タイマLCのカウントソースに使用できます。

レジスタW3のビット2を“0”にクリアすると、タイマ3は初期化され(FFFF₁₆)、カウントは停止します。

タイマ3は時計動作モード(POF命令実行)時に動作可能ですので、時計用カウンタとして使用できます。時計動作モード時タイマ3アンダフローが発生すると、パワーダウン状態から復帰します。

時計動作モード時にタイマ3を動作させる場合は、レジスタW3のビット2を“1”にセットした後、POF命令実行までの期間をカウントソースの1周期以上にしてください。

(6) タイマLC

タイマLCは4ビットのバイナリカウンタで、タイマLCリロードレジスタRLCをもっています。タイマLCとリロードレジスタRLCには、TLCA命令で同時にデータを設定できません。タイマLCからデータを読み出すことはできません。

タイマLCにデータを設定する場合は、カウントを停止させた後、TLCA命令を実行してください。

タイマLCにデータを設定した後、レジスタW4のビット2でカウントソースを設定し、レジスタW4のビット3を“1”にセットすると、タイマLCはカウント動作を開始します。

リロードレジスタRLCの設定値をnとすると、タイマLCはカウントソースの信号をn+1分周します(n=0~15)。

カウント開始後、タイマLCはアンダフローする(タイマLCの内容が“0”になった後、次のカウントパルスが入力される)と、新たにリロードレジスタRLCからデータをリロードしてカウントを続行します(オートリロード機能)。

タイマLCアンダフローの2分周信号はLCDクロックに使用されます。

(7) タイマ入出力端子(C/CNTR)

CNTR端子は、タイマ1のカウントソース入力機能と、タイマ2で生成されるPWM信号出力機能をもちます。PWM信号をC/CNTR端子より出力させる場合は、ポートCの出力ラッチを“0”に設定してください。

レジスタW2のビット3でCNTR出力信号選択を制御できます。

タイマ1のカウントソースとしてCNTR入力を選択した場合、タイマ3はCNTR入力のレジスタW4のビット0で選択した波形をカウントします。また、CNTR入力を選択した場合はポートCの出力は無効(ハイインピーダンス状態)になります。

(8) タイマ割り込み要求フラグ(T1F, T2F, T3F)

タイマ割り込み要求フラグは各タイマのアンダフロー時に“1”にセットされます。これらフラグの状態は、スキップ命令(SNZT1, SNZT2, SNZT3命令)の実行により確認できません。

割り込みとスキップ命令のどちらを使用するかは、レジスタV1, V2で選択してください。

割り込み要求フラグは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

(9) カウント開始同期回路(タイマ1)

タイマ1はINT端子の入力に同期してタイマカウント動作を開始できるカウント開始同期回路をもっています。

タイマ1のカウント開始同期回路は、レジスタI1のビット0に“1”を設定すると機能が選択されてINT端子の入力による制御が可能になります。

タイマ1のカウント開始同期回路を使用している場合、INT端子に有効波形が入力された時にカウント開始同期回路がセットされ、カウントソースが入力されます。

カウント開始同期回路をセットするためのINT端子入力の有効波形は、外部割り込みの起動条件と同じです。

なお、一度セットされたカウント開始同期回路は、レジスタI1のビット0に“0”を設定するか、リセットによりクリアされます。

ただし、カウント自動停止回路が選択されている場合は、タイマ1がアンダフローするとカウント開始同期回路がクリアされます(自動停止)。

(10) カウント自動停止回路(タイマ1)

タイマ1はカウント開始同期回路を使用しているときに、タイマ1アンダフロー発生により自動的にカウントを停止するカウント自動停止回路をもっています。

タイマ1のカウント自動停止回路は、レジスタW1のビット3を“1”にセットすると有効になり、タイマ1がアンダフローするとカウント開始同期回路をクリアし、タイマ1へのカウントソース入力が停止します。この機能は、タイマ1カウント開始同期回路を選択している場合のみ有効です。

(11) 注意事項

タイマを使用する際は以下の点に注意してください。

プリスケアラに関する注意

プリスケアラからデータを読み出す場合は、まずプリスケアラのカウントを停止させた後、データ読み出し命令(TABPS)を実行してください。

プリスケアラにデータを書き込む場合は、まずプリスケアラのカウントを停止させた後、データ書き込み命令(TPSAB)を実行してください。

カウントソースに関する注意

タイマ1, 2, LCのカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

カウント値の読み出しに関する注意

タイマ1, 2からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1, TAB2)を実行してください。

タイマへのデータ書き込みに関する注意

タイマ1, 2, LCにデータ書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB, T2AB, TLCA)を実行してください。

リロードレジスタR1, R2Hへの書き込みに関する注意

タイマ1, 2動作中にタイマリロードレジスタR1, R2Hにデータを書き込む場合は、必ずタイマ1, 2アンダフローと重ならないタイミングでデータを書き込んでください。

タイマ2に関する注意

PWM出力機能使用時にタイマ2を停止させる場合は、必ずタイマ2アンダフローと重ならないタイミングで停止させてください。

PWM信号の“H”期間拡張機能有効を選択している場合は、リロードレジスタR2Hに“1”以上の値を設定してください。

タイマ3に関する注意

タイマ3のカウント値を切り替える場合は、まずタイマ3のカウントを停止させた後、カウント値を切り替えてください。

タイマ入出力端子に関する注意事項

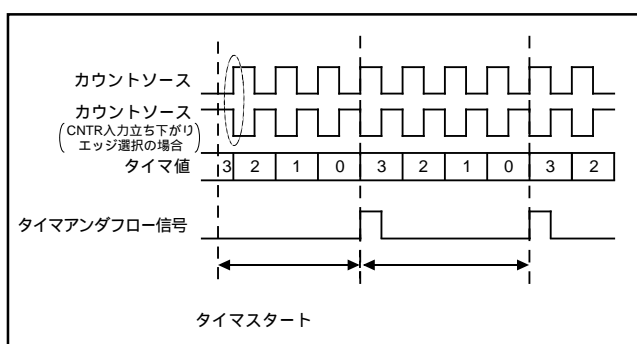
PWM信号をC/CNTR端子より出力させる場合は、ポートCの出力ラッチを“0”に設定してください。

プリスケアラ、タイマ1のカウント開始タイミングと動作開始時のカウント時間について

プリスケアラ、タイマ1は動作開始()後、カウントソースの最初の立ち上がり()からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()より短く(最大でカウントソースの1周期分)なります。

なお、タイマ1のカウントソースとしてCNTR入力立ち下がりエッジを選択した場合、タイマ1はCNTR入力の立ち下がりに同期して動作します。

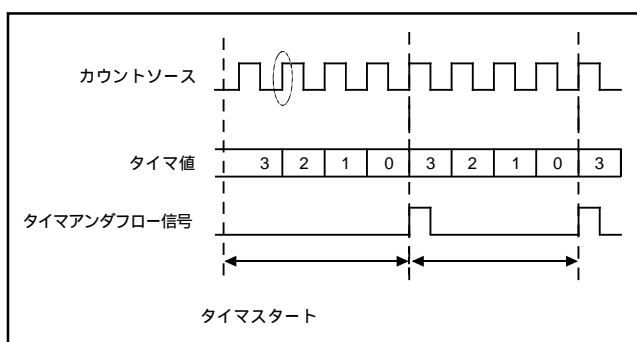


図FB-4．タイマカウント開始タイミングと動作開始時のカウント時間 (プリスケアラ、タイマ1)

タイマ2、LCのカウント開始タイミングと動作開始時のカウント時間について

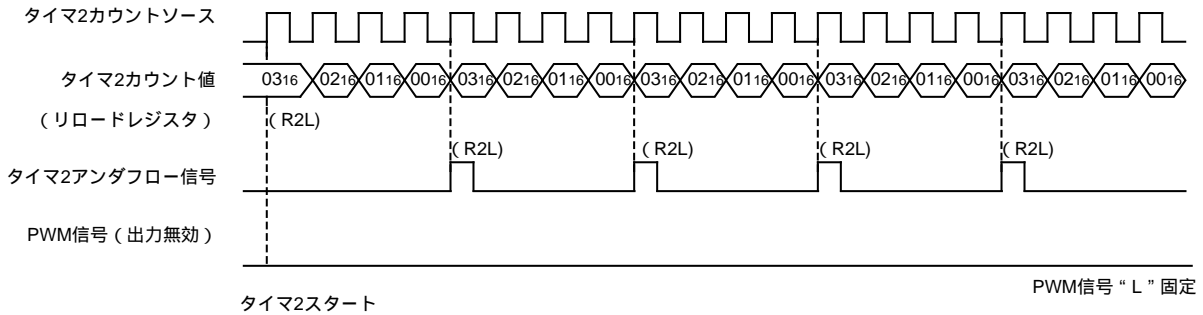
タイマ2、LCは動作開始()後、最初のカウントソース立ち下がり後の立ち上がり()からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()と異なります。

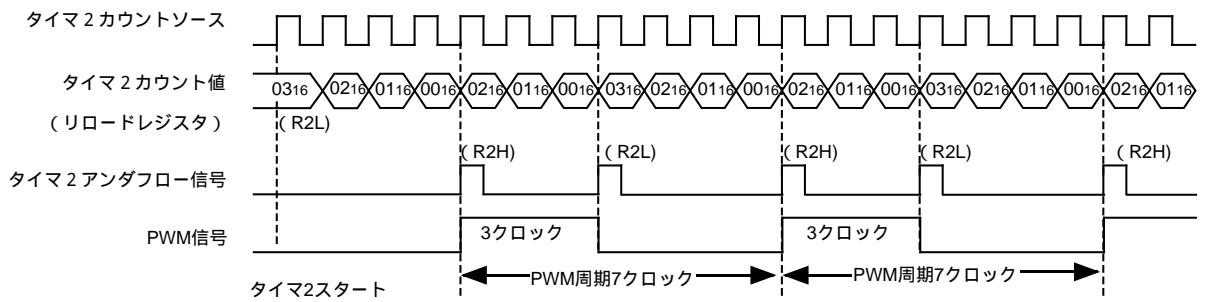


図FB-5．タイマカウント開始タイミングと動作開始時のカウント時間 (タイマ2、LC)

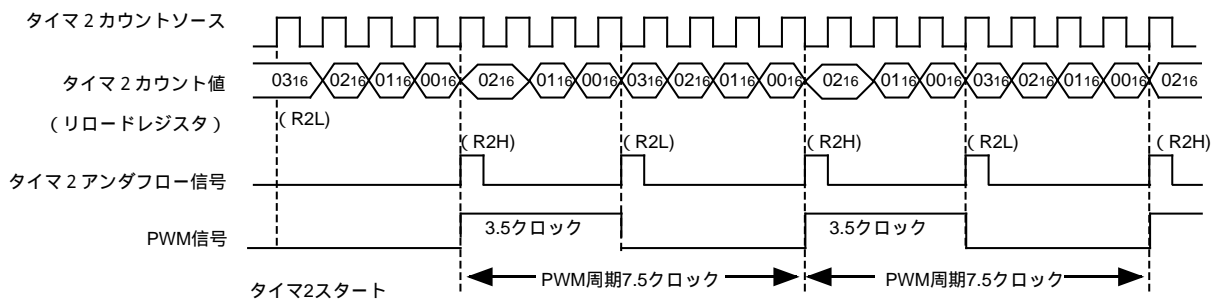
CNTR出力無効選択 (W23 = "0") 時



CNTR出力有効 (W23 = "1") 時、PWM信号 "H" 期間拡張機能無効 (W22 = "0") 時



CNTR出力有効 (W23 = "1") 時、PWM信号 "H" 期間拡張機能有効 (W22 = "1") 時 (注)

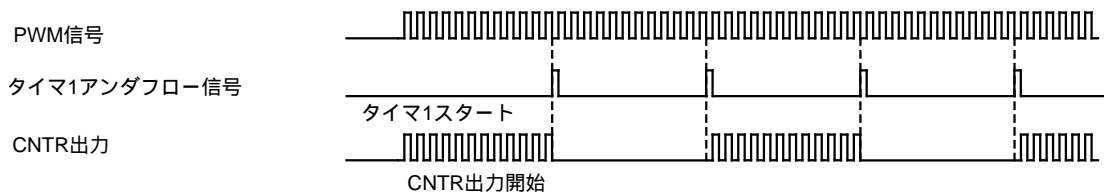


注.PWM信号 "H" 期間拡張機能有効時には、リロードレジスタR2Hに "0116" 以上の値を設定してください。

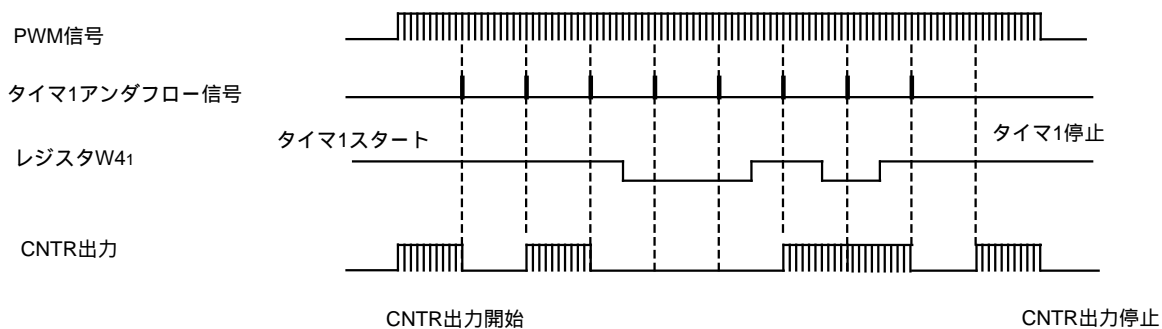
図FB-6. タイマ2の動作 (リロードレジスタR2Lに "0316"、リロードレジスタR2Hに "0216" を設定した場合)

タイマ1によるCNTR出力自動制御回路選択

CNTR出力有効 (W23 = "1")、CNTR出力自動制御回路選択 (W41 = "1") 時



CNTR出力自動制御機能



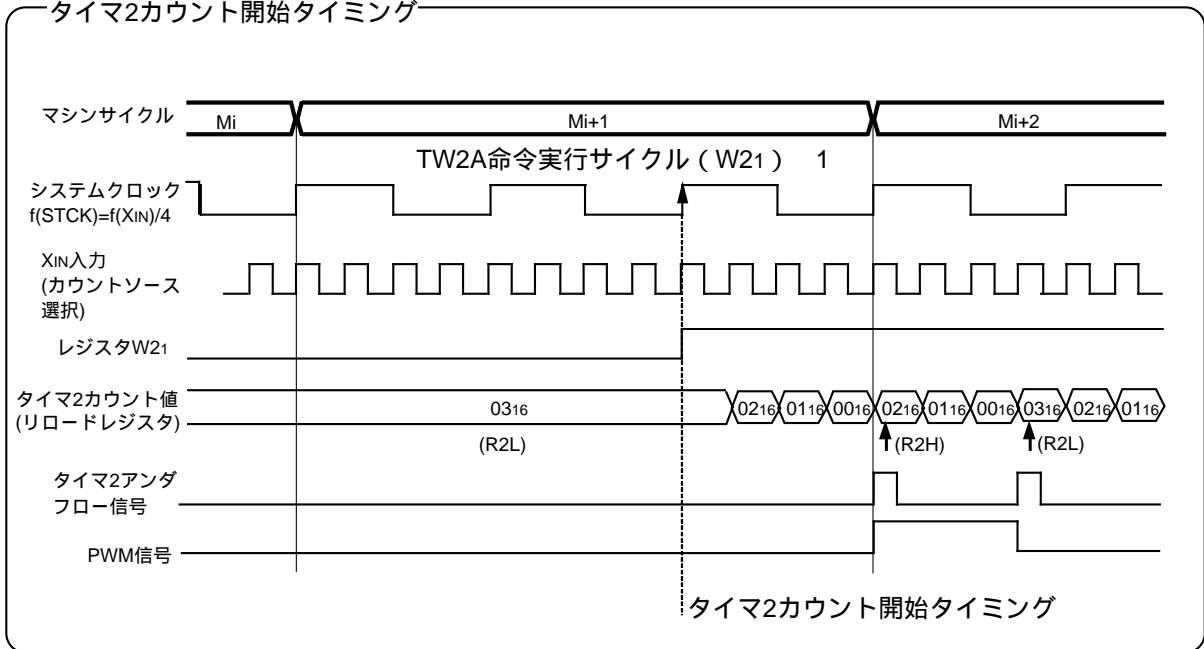
CNTR出力無効時にCNTR出力自動制御機能を無効にすると、CNTR出力無効状態を保持します。
 CNTR出力有効時にCNTR出力自動制御機能を無効にすると、CNTR出力有効状態を保持します。
 タイマ1を停止すると、CNTR出力自動制御機能は無効になります。

注.PWM信号をC/CNTR端子より出力させる場合は、ポートCの出力ラッチを“0”に設定してください。

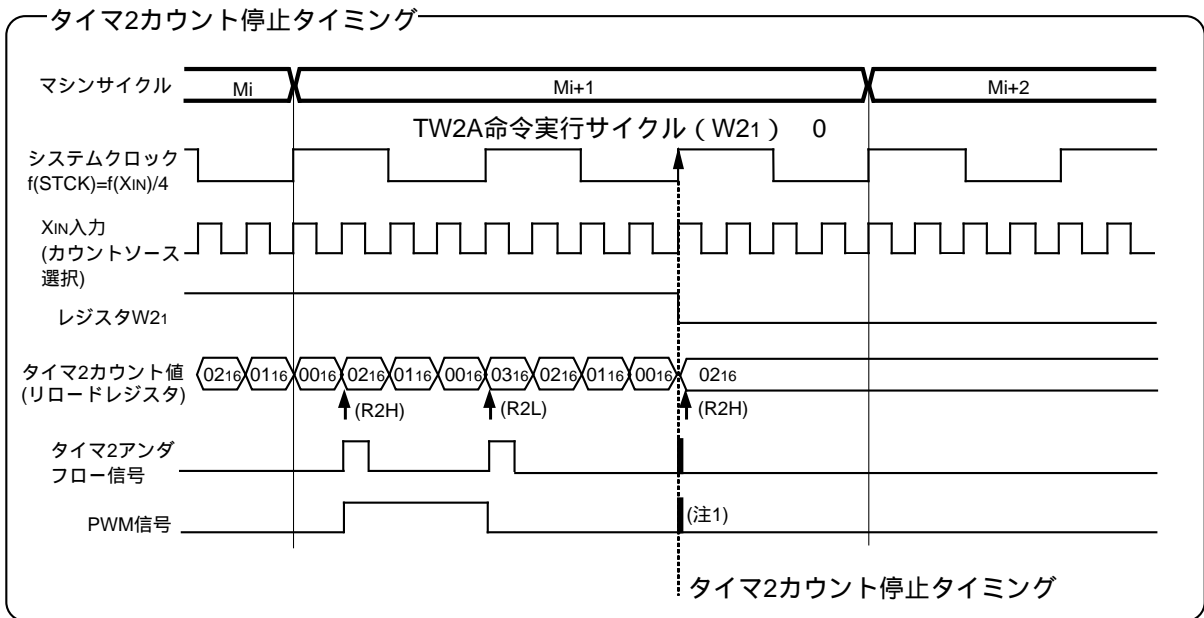
図FB-7.タイマ1によるCNTR出力自動制御機能

CNTR出力“H”期間の波形拡張機能無効(W22=“0”)、CNTR出力有効(W23=“1”)、カウントソースXIN入力選択(W20=“0”)、リロードレジスタR2Lに“0316”、リロードレジスタR2Hに“0216”を設定した場合

タイマ2カウント開始タイミング



タイマ2カウント停止タイミング



- 注1 . CNTR出力有効時(W23=“1”)にタイマ2を停止する場合には、タイマ2カウント停止タイミングとタイマ2アンダフロー信号が重ならないタイミングで停止させてください。タイミングが重なると、CNTR出力波形にハザードが発生する場合があります。
- 2 . CNTR出力有効時、PWM信号の“H”期間中にタイマ2を停止した場合には、リロードレジスタR2Hで設定した“H”期間を出力した後に停止します。

図FB-8.タイマ2カウント開始 / 停止タイミング

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムを正常に実行できなくなった場合に、マイクロコンピュータをリセット状態にし、再起動させるためのものです。ウォッチドッグタイマは、タイマWDT(16ビットバイナリカウンタ)、ウォッチドッグタイマイネーブルフラグ(WEF)、及びウォッチドッグタイマフラグ(WDF1,WDF2)により構成されています。

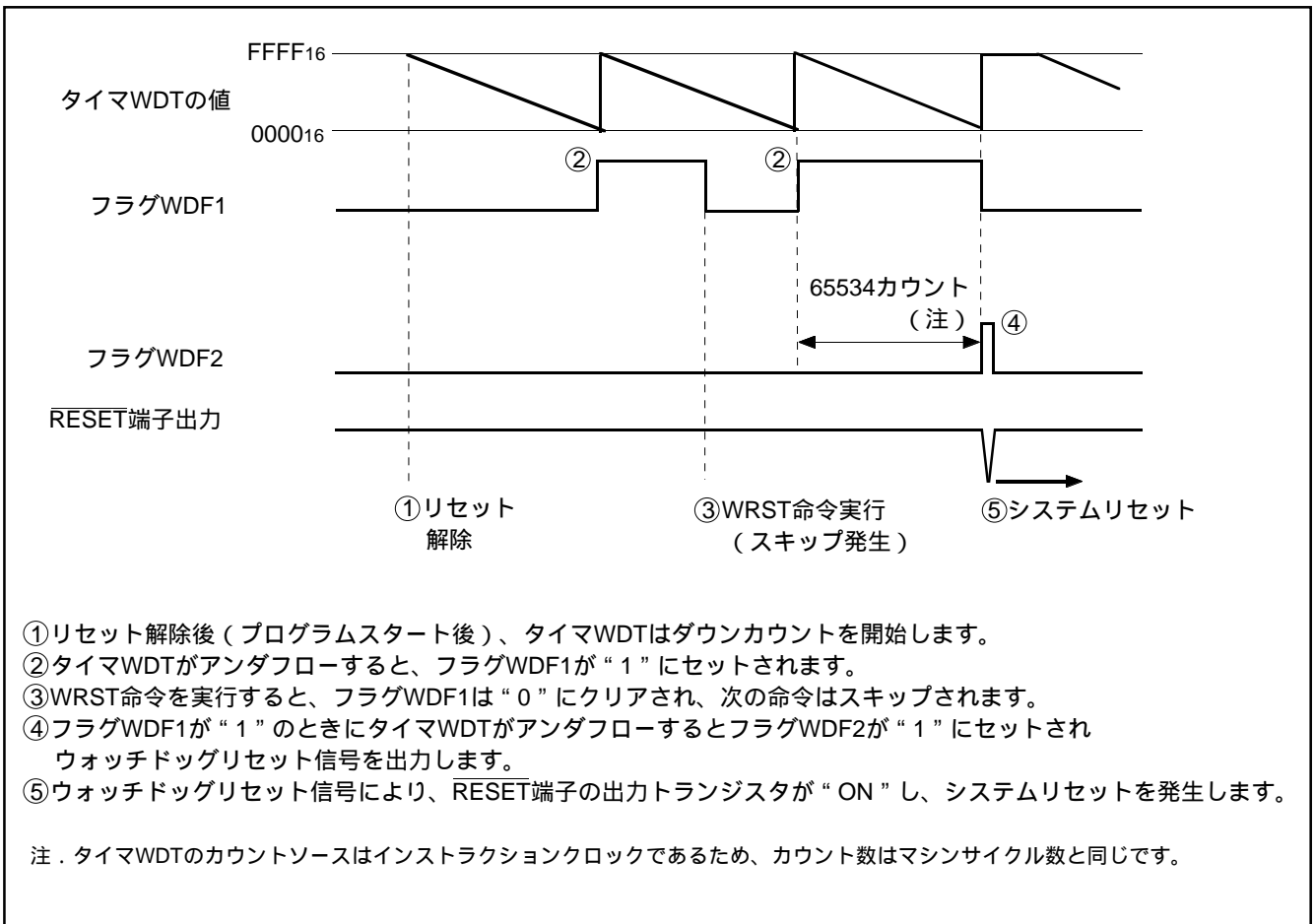
タイマWDTは、リセット解除直後に“FFFF₁₆”の値からインストラクションクロックをカウントソースとしてダウンカウントを開始します。

カウント開始後、タイマWDTはアンダフローする(タイマWDTの内容が“0000₁₆”になった後、次のカウントパルスが入力されると、まずフラグWDF1を“1”にセットします。その後、次のタイマWDTアンダフローが発生する(タイマWDTが65534カウントする)までの間にWRST命令が実行されなければ、フラグWDF2を“1”にセットしRESET端子から“L”レベルを出力してマイクロコンピュータをリセット状態にします。

ウォッチドッグタイマを、使用する場合のソフトウェアでは、マイクロコンピュータに正常な動作を持続させるため、65534マシンサイクル以下の周期でWRST命令を実行するように処理してください。

リセット解除後フラグWEFが“1”にセットされ、ウォッチドッグタイマの機能が有効になります。DWDT命令とWRST命令を連続して実行すると、フラグWEFが“0”にクリアされ、ウォッチドッグタイマの機能が無効になります。フラグWEFは、システムリセット又はRAMバックアップ時に“1”にセットされます。

WRST命令にはスキップ機能があり、フラグWDF1が“1”の時にWRST命令を実行すると、フラグWDF1を“0”にクリアして次の命令をスキップします。フラグWDF1が“0”の時にWRST命令を実行しても、スキップは発生しません。WRST命令のスキップ機能は、ウォッチドッグタイマの機能を無効にしている場合でも使用できます。



図FB-9．ウォッチドッグタイマ機能の動作

ウォッチドッグタイマ機能を使用する場合はWRST命令によりフラグWDF1を65534マシンサイクル以下の周期でクリアしてください。ウォッチドッグタイマ機能を使用しない場合はDWDT命令とWRST命令を連続して実行してください(図FB-8参照)。DWDT命令のみではウォッチドッグタイマ機能は停止しません。

パワーダウンモード時、フラグWDF1及びタイマWDTの値は初期化されます。なお、ウォッチドッグタイマ機能とパワーダウンを併用する場合は、パワーダウン状態になる直前にWRST命令を実行し、フラグWDF1を初期化してください(図FB-9参照)。

パワーダウンからの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、パワーダウンから復帰する度にDWDT命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

```
WRST ; フラグWDF1クリア
```

```
DI  
DWDT ; ウォッチドッグタイマ機能禁止許可  
WRST ; フラグWEF、WDF1クリア
```

図FB-10. ウォッチドッグタイマ使用時、停止の時のプログラム例

```
WRST ; フラグWDF1クリア  
NOP  
DI ; 割り込み禁止  
EPOF ; POF命令許可  
POF
```

```
発振停止
```

図FB-11. ウォッチドッグタイマ使用時におけるモードへの移行プログラム例

液晶表示機能

本製品はLCD(液晶表示画素)コントローラ/ドライバを内蔵しています。

LCD用電源入力(V_{LC1}~V_{LC3})端子に適切な電圧を印加し、タイマ制御レジスタ(W₄)、タイマLC、LCD制御レジスタ(L₁, L₂, L₃, C₁, C₂)、LCD表示用RAMにデータを設定するとコントローラ/ドライバは自動的に表示データを読み出し、デューティ制御及びバイアス制御を行い、LCDを点灯します。

LCDの駆動には、コモン信号出力端子4本とセグメント信号出力端子29本が使用でき、最大116セグメント(1/4デューティ、1/3バイアス選択時)の表示制御ができます。

LCD用電源入力(V_{LC1}~V_{LC3})端子はSEG₀~SEG₂端子と兼用です。SEG₀~SEG₂を選択した場合、LCD用電源に内部電源(V_{DD})を使用します。

(1)デューティ及びバイアス制御

LCD表示方式であるデューティとバイアスの組み合わせは次の3通りです。使用するLCDパネルに適応する表示方式を、LCD制御レジスタ(L₁)のビット0, 1で選択してください。

- 1/2デューティ、1/2バイアス
- 1/3デューティ、1/3バイアス
- 1/4デューティ、1/3バイアス

表LCD-1. デューティと最大表示画素数

デューティ	最大表示画素数	使用COM端子
1/2	58セグメント	COM ₀ , COM ₁ (注)
1/3	87セグメント	COM ₀ ~COM ₂ (注)
1/4	116セグメント	COM ₀ ~COM ₃

注. 使用しないCOM端子は開放してください。

(2) LCDクロック制御

LCDクロックは、タイマLCカウントソース選択ビット(W₄₂)、タイマLC制御ビット(W₄₃)、タイマLCの設定値により決定します。したがって、LCDクロックの周波数(F)は次式で求めることができます。式下の番号(~)は図LCD-1に対応しています。

システムクロック(STCK)をタイマLCのカウントソースに設定した場合(W₄₂="1")

$$F = \text{STCK} \times \frac{1}{\text{LC} + 1} \times \frac{1}{2}$$

タイマ3のビット4(T₃₄)をタイマLCのカウントソースに設定した場合(W₄₂="0")

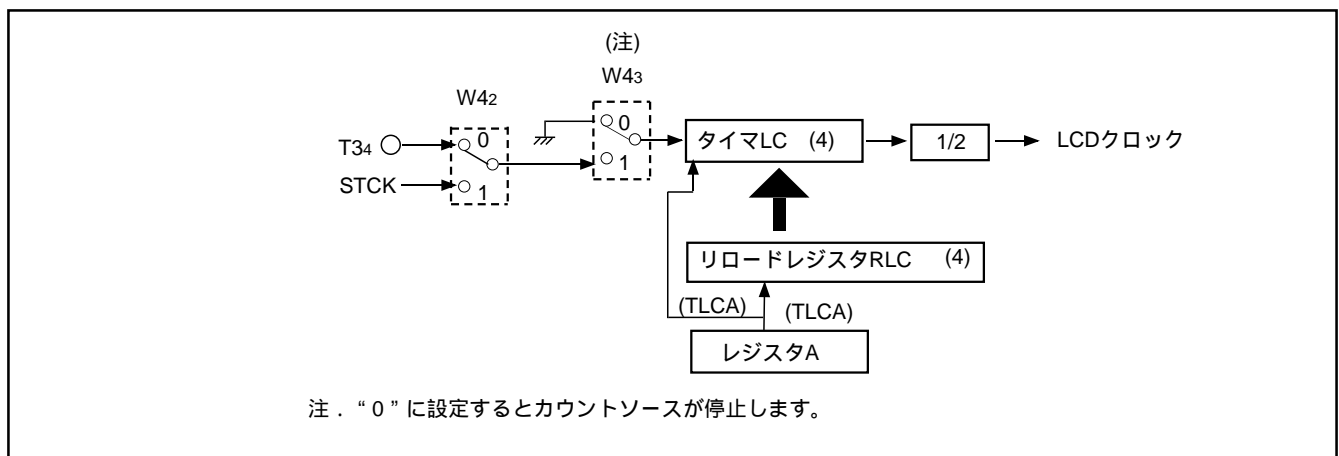
$$F = T_{34} \times \frac{1}{\text{LC} + 1} \times \frac{1}{2}$$

[LC : 0 ~ 15]

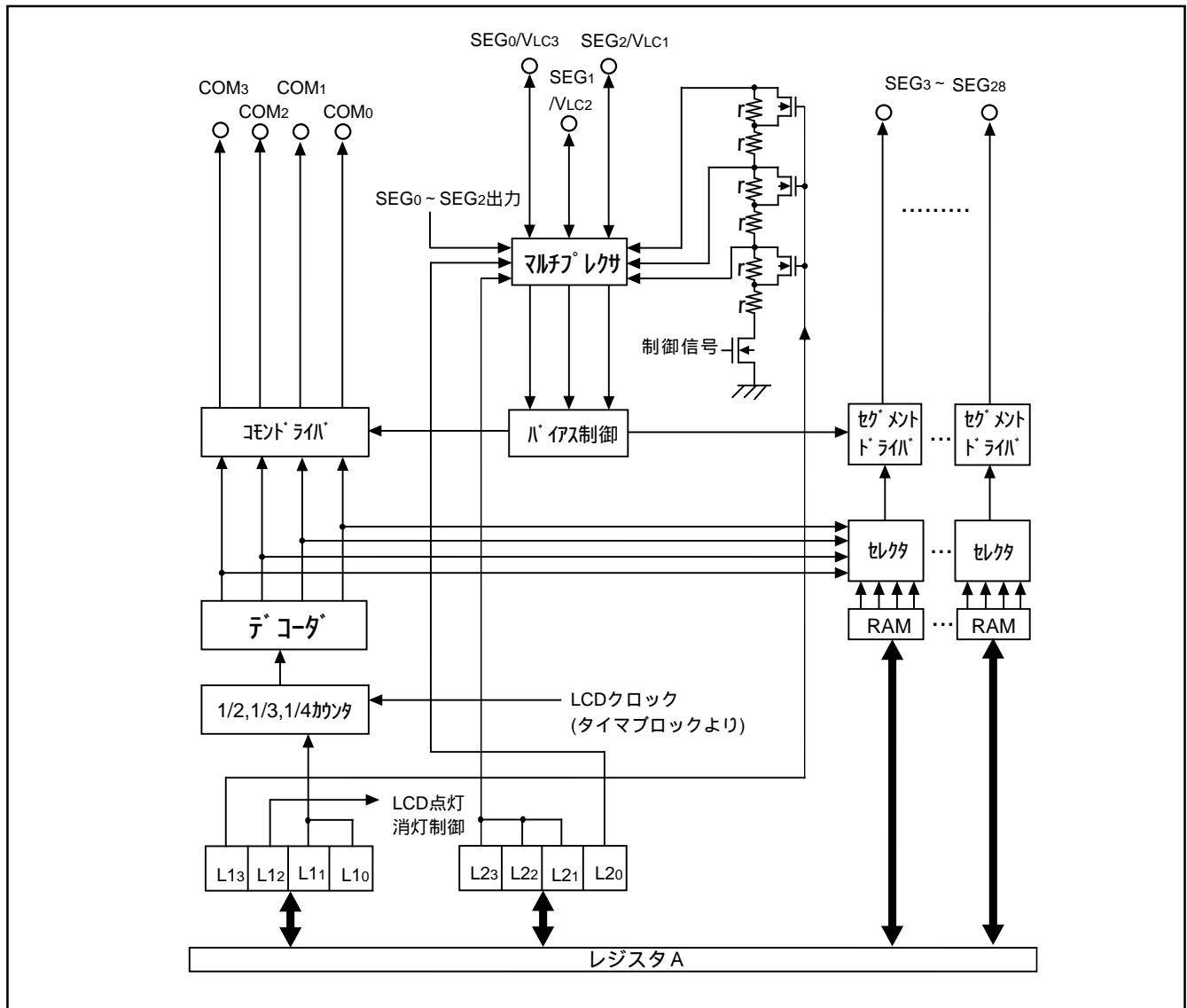
各表示方式におけるフレーム周波数は、次式で求めることができます。

$$\text{フレーム周波数} = \frac{F}{n} \text{ (Hz)} \quad \text{フレーム周期} = \frac{n}{F} \text{ (s)}$$

[F : LCDクロックの周波数
1/n : デューティ]



図LCD-1. LCDクロック制御回路の構成



図LCD-2 . LCDコントローラ/ドライバの構成

(3) LCD表示用RAM

RAMには液晶表示に対応した領域が含まれています。

このLCD表示用RAMに“1”を書き込むと、そのビットに対応する表示画素が自動的に点灯します。

Z	1															
X	0				1				2				3			
Y	ビット				ビット				ビット				ビット			
	3	2	1	0	3	2	1	0	3	2	1	0	3	2	1	0
8	SEG0	SEG0	SEG0	SEG0	SEG8	SEG8	SEG8	SEG8	SEG16	SEG16	SEG16	SEG16	SEG24	SEG24	SEG24	SEG24
9	SEG1	SEG1	SEG1	SEG1	SEG9	SEG9	SEG9	SEG9	SEG17	SEG17	SEG17	SEG17	SEG25	SEG25	SEG25	SEG25
10	SEG2	SEG2	SEG2	SEG2	SEG10	SEG10	SEG10	SEG10	SEG18	SEG18	SEG18	SEG18	SEG26	SEG26	SEG26	SEG26
11	SEG3	SEG3	SEG3	SEG3	SEG11	SEG11	SEG11	SEG11	SEG19	SEG19	SEG19	SEG19	SEG27	SEG28	SEG28	SEG28
12	SEG4	SEG4	SEG4	SEG4	SEG12	SEG12	SEG12	SEG12	SEG20	SEG20	SEG20	SEG20	SEG28	SEG28	SEG28	SEG28
13	SEG5	SEG5	SEG5	SEG5	SEG13	SEG13	SEG13	SEG13	SEG21	SEG21	SEG21	SEG21	-	-	-	-
14	SEG6	SEG6	SEG6	SEG6	SEG14	SEG14	SEG14	SEG14	SEG22	SEG22	SEG22	SEG22	-	-	-	-
15	SEG7	SEG7	SEG7	SEG7	SEG15	SEG15	SEG15	SEG15	SEG23	SEG23	SEG23	SEG23	-	-	-	-
COM	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

図LCD-3 . LCD表示用RAMマップ

(4) LCD駆動波形

LCD表示用RAMデータが“1”であるビットに対応するコモン端子とセグメント端子の電位差が自動的に|V_{LC3}|になり、その交点の表示画素が点灯します。

リセットからの復帰時及びRAMバックアップモード時には、セグメント出力及びコモン出力端子はすべてV_{LC3}レベルとなり、表示画素は消灯します。

表LCD-2 . LCD制御レジスタ

LCD 制御レジスタ L1		リセット時：00002		パワーダウン時：状態保持	R / W TAL1 / TL1A
L13	LCD 電源用 内部分割抵抗選択ビット (注2)	0	2r × 3, 2r × 2		
		1	r × 3, r × 2		
L12	LCD 制御ビット	0	停止 (初期状態)		
		1	動作		
L11	LCD デューティ, バイアス選択ビット	L11 L10	デューティ		バイアス
		0 0	使用禁止		使用禁止
L10		0 1	1 / 2		1 / 2
		1 0	1 / 3		1 / 3
		1 1	1 / 4		1 / 3

LCD 制御レジスタ L2		リセット時：00002		パワーダウン時：状態保持	W TL2A
L23	SEG0/V _{LC3} 端子機能選択ビット (注3)	0	SEG0		
		1	V _{LC3}		
L22	SEG1/V _{LC2} 端子機能選択ビット (注4)	0	SEG1		
		1	V _{LC2}		
L21	SEG2/V _{LC1} 端子機能選択ビット (注4)	0	SEG2		
		1	V _{LC1}		
L20	LCD 電源用内部分割抵抗制御ビット	0	内部分割抵抗有効		
		1	内部分割抵抗無効		

LCD 制御レジスタ L3		リセット時：11112		パワーダウン時：状態保持	W TL3A
L33	P23/SEG20端子 機能選択ビット	0	SEG20		
		1	P23		
L32	P22/SEG19端子 機能選択ビット	0	SEG19		
		1	P22		
L31	P21/SEG18端子 機能選択ビット	0	SEG18		
		1	P21		
L30	P20/SEG17端子 機能選択ビット	0	SEG17		
		1	P20		

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. 1 / 3 バイアス選択時は“×3”、1 / 2 バイアス選択時は“×2”の抵抗を使用します。

3. SEG0 端子を選択した場合は、V_{LC3} は内部でV_{DD}に接続されます。

4. SEG1, SEG2 端子を選択した場合は、必ず内部分割抵抗を使用してください。

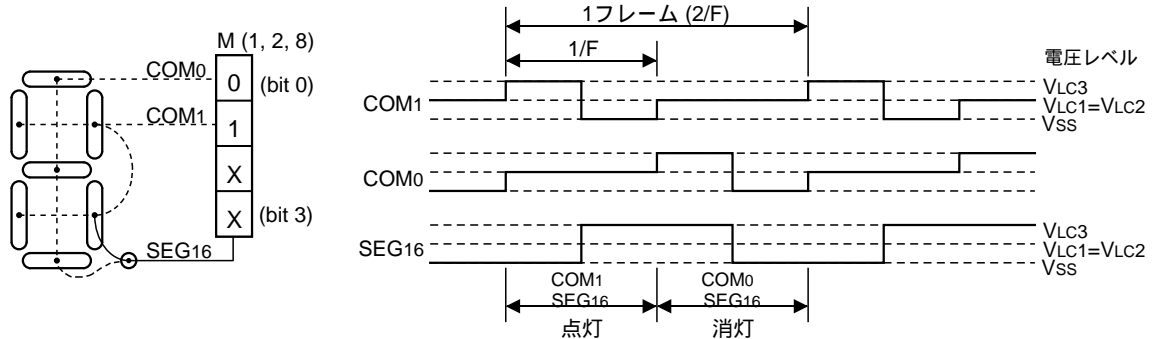
表LCD-2 . LCD制御レジスタ

LCD 制御レジスタ C1		リセット時 : 11112		パワーダウン時 : 状態保持	W TC1A
C13	P03/SEG24端子 機能選択ビット	0	SEG24		
		1	P03		
C12	P02/SEG23端子 機能選択ビット	0	SEG23		
		1	P02		
C11	P01/SEG22端子 機能選択ビット	0	SEG22		
		1	P01		
C10	P00/SEG21端子 機能選択ビット	0	SEG21		
		1	P00		

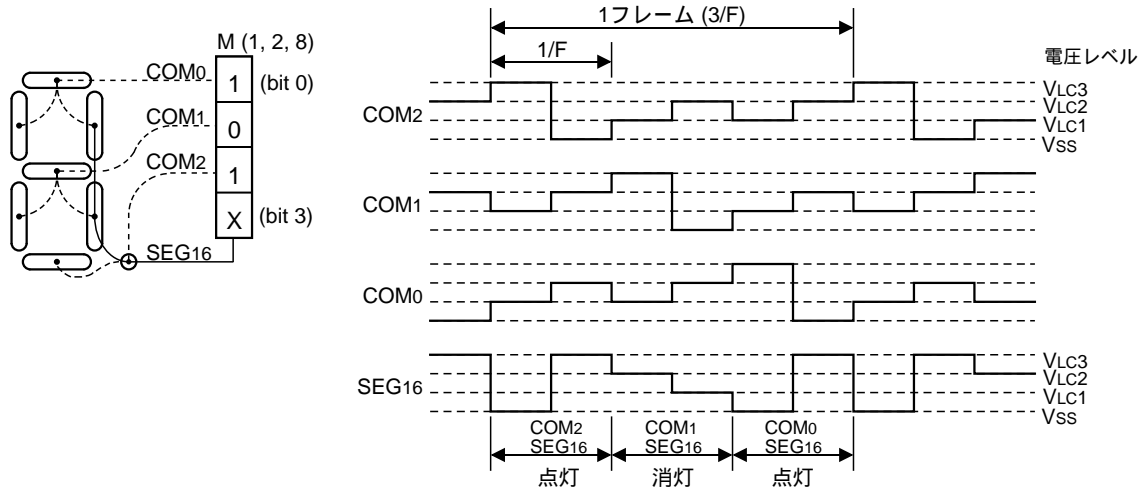
LCD 制御レジスタ C2		リセット時 : 11112		パワーダウン時 : 状態保持	W TC2A
C23	P13/SEG28端子 機能選択ビット	0	SEG28		
		1	P13		
C22	P12/SEG27端子 機能選択ビット	0	SEG27		
		1	P12		
C21	P11/SEG26端子 機能選択ビット	0	SEG26		
		1	P11		
C20	P10/SEG25端子 機能選択ビット	0	SEG25		
		1	P10		

注1.“ R ” は読み出し可、“ W ” は書き込み可を表します。

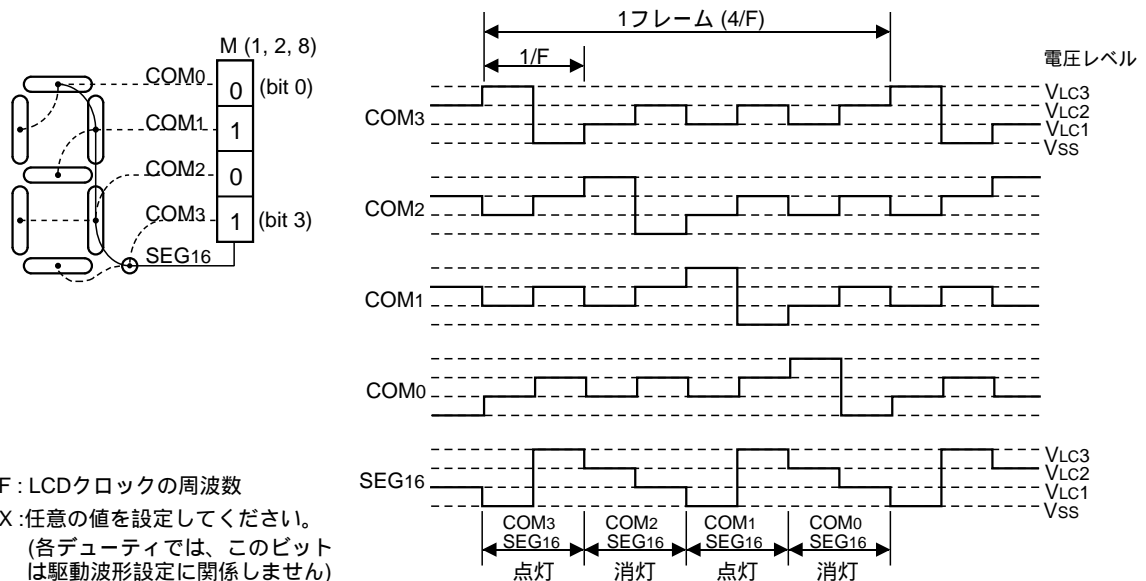
1/2デューティ、1/2バイアス：RAMのM (1, 2, 8) 番地に (XX10)₂ を書き込んだ時



1/3デューティ、1/3バイアス：RAMのM (1, 2, 8) 番地に (X101)₂ を書き込んだ時



1/4デューティ、1/3バイアス：RAMのM (1, 2, 8) 番地に (1010)₂ を書き込んだ時



F : LCDクロックの周波数
 X : 任意の値を設定してください。
 (各デューティでは、このビットは駆動波形設定に関係しません)

図LCD-4 . 駆動波形例

(5) LCD電源回路

LCD電源回路は、使用するLCDパネルに適合する構成を選択してください。レジスタL2のビット0で内部分割抵抗の制御を、レジスタL1のビット3で内部分割抵抗の選択を設定し、レジスタL1のビット0、1で選択したバイアス条件により、LCD電源回路の構成が決定します。

内部分割抵抗

本製品はLCD電源用の分割抵抗を内蔵しています。

レジスタL2のビット0を“0”に設定すると、内部分割抵抗が有効状態になります。ただし、レジスタL1のビット2を“0”に設定してLCDを消灯すると、内部分割抵抗は切り離されます。

内部分割抵抗には、同一値の抵抗(r)が6個用意されており、レジスタL1のビット3の設定値と使用するバイアス条件により、次のとおりに抵抗が使用されます。

- $L13 = “0”$ 、1/3バイアス使用時： $2r \times 3 = 6r$
- $L13 = “0”$ 、1/2バイアス使用時： $2r \times 2 = 4r$
- $L13 = “1”$ 、1/3バイアス使用時： $r \times 3 = 3r$
- $L13 = “1”$ 、1/2バイアス使用時： $r \times 2 = 2r$

VLC3 / SEG0端子

レジスタL2のビット3でVLC3 / SEG0端子機能の選択を制御できます。

VLC3端子機能を選択した場合は、外部よりVLC3 VDDの電圧を印加してください。

SEG0端子機能を選択した場合は、VLC3はVDDに内部で接続されます。

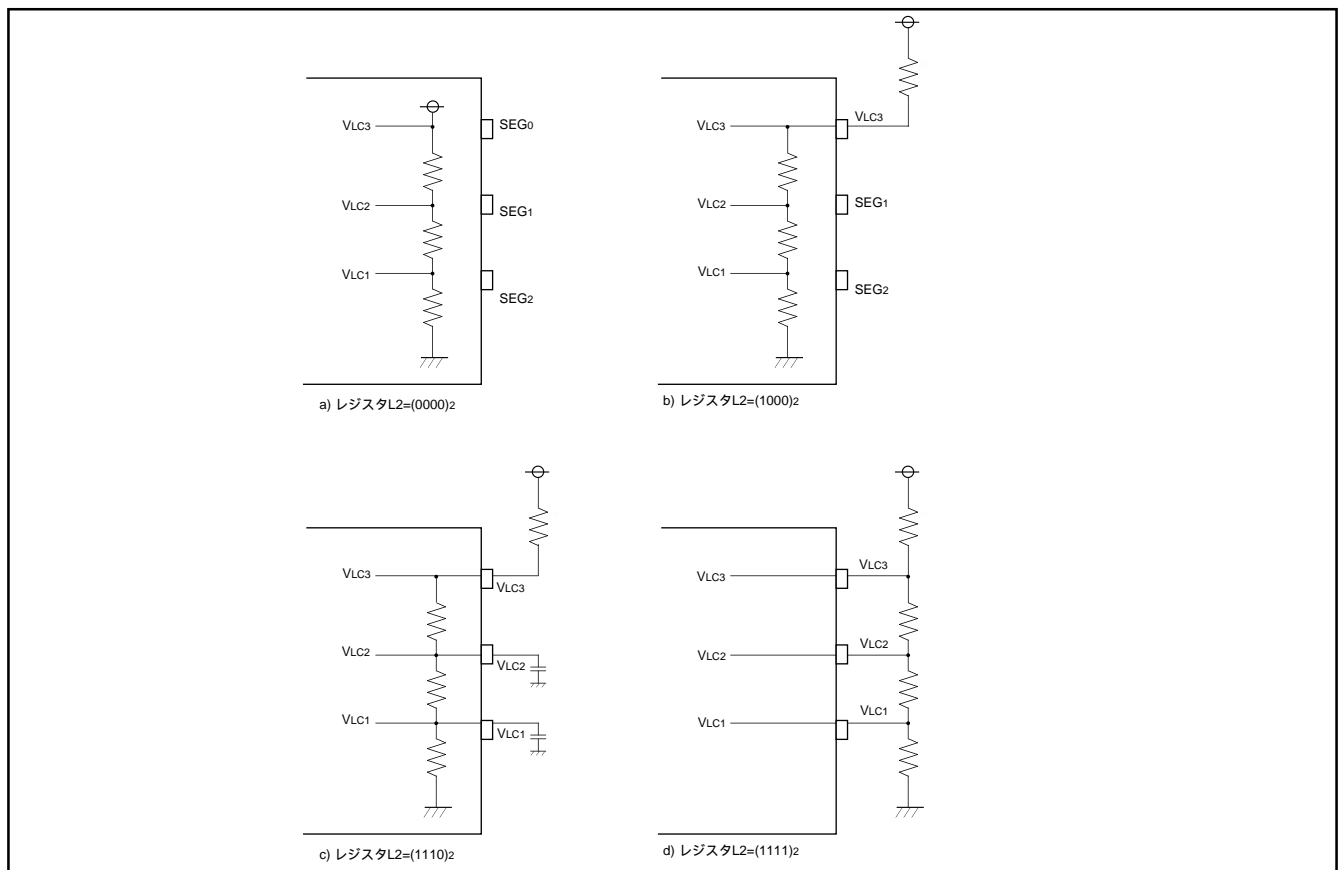
VLC2 / SEG1、VLC1 / SEG2端子

レジスタL2のビット2でVLC2 / SEG1端子機能の選択を、レジスタL2のビット1でVLC1 / SEG2端子機能の選択をそれぞれ制御できます。

VLC2、VLC1端子機能を選択した場合で、内部分割抵抗を使用しないときは、外部より0 V_LC1 V_LC2 V_LC3の電圧をそれぞれ印加してください。1/2バイアス使用時はVLC2端子とVLC1端子とを短絡してください。

VLC2、VLC1端子機能を選択した場合で、内部分割抵抗を使用するときは、内部で生成した分圧値がVLC2、VLC1端子からそれぞれ出力されます。1/2バイアス使用時VLC2、VLC1端子は同電位になります。

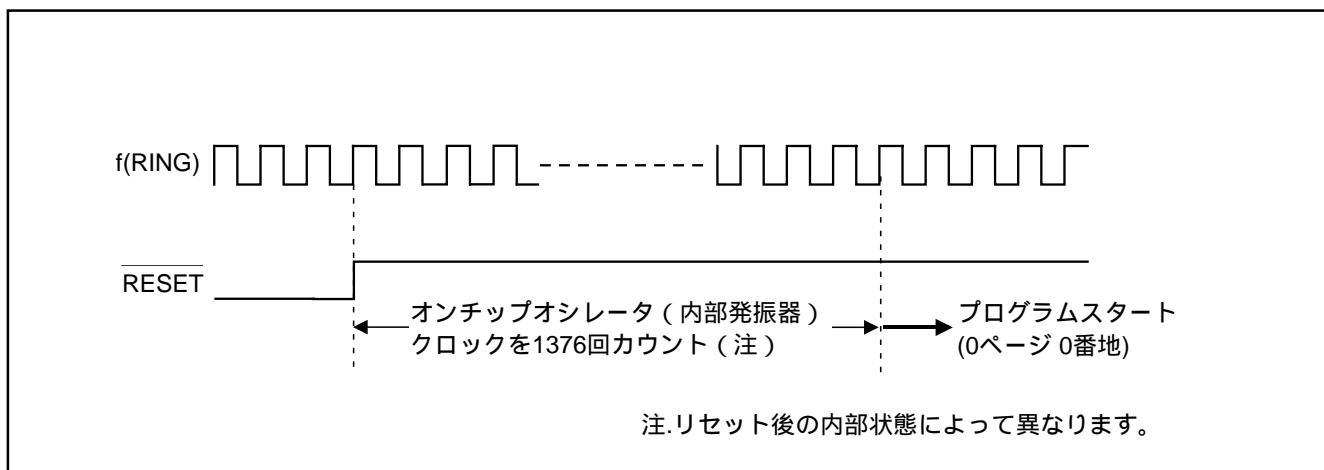
SEG1、SEG2端子機能を選択した場合は、必ず内部分割抵抗を使用してください。このとき、VLC2、VLC1は内部で生成された分圧値にそれぞれ接続されます。



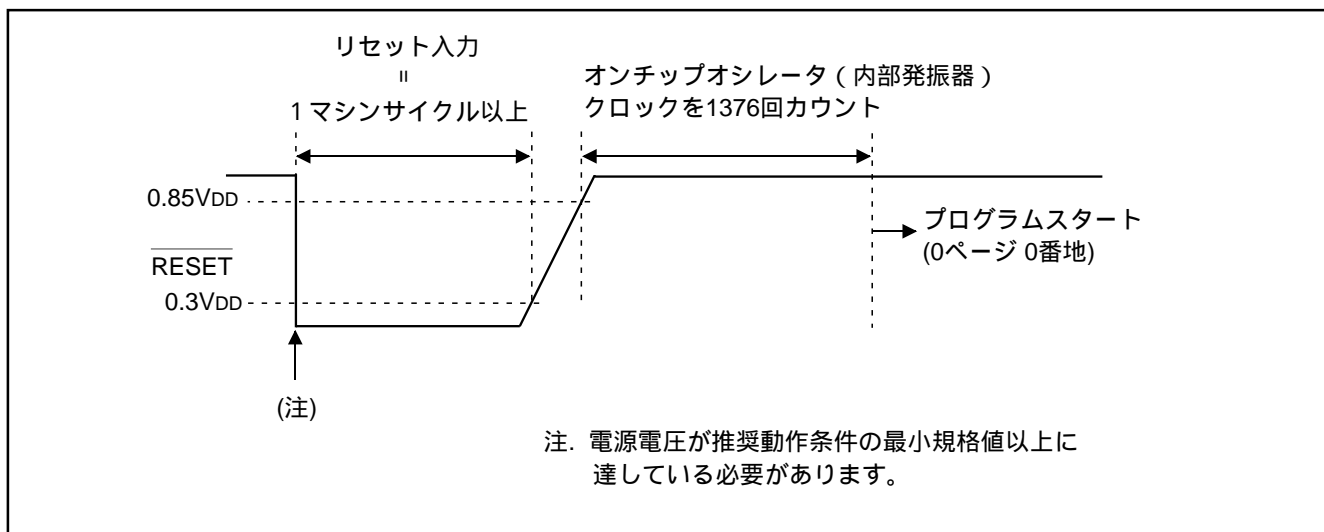
図LCD-5 . LCD電源回路例(1/3バイアス条件選択時)

リセット機能

電源電圧が推奨動作条件の最小規格値以上で、 $\overline{\text{RESET}}$ 端子に1マシサイクル以上“L”レベルを印加すると、マイクロコンピュータがいかなる状態であってもシステムリセットが実行されます。その後、 $\overline{\text{RESET}}$ 端子に“H”レベルを印加すると、0ページの0番地からソフトウェアが開始されます。



図VB-1. リセット解除のタイミング

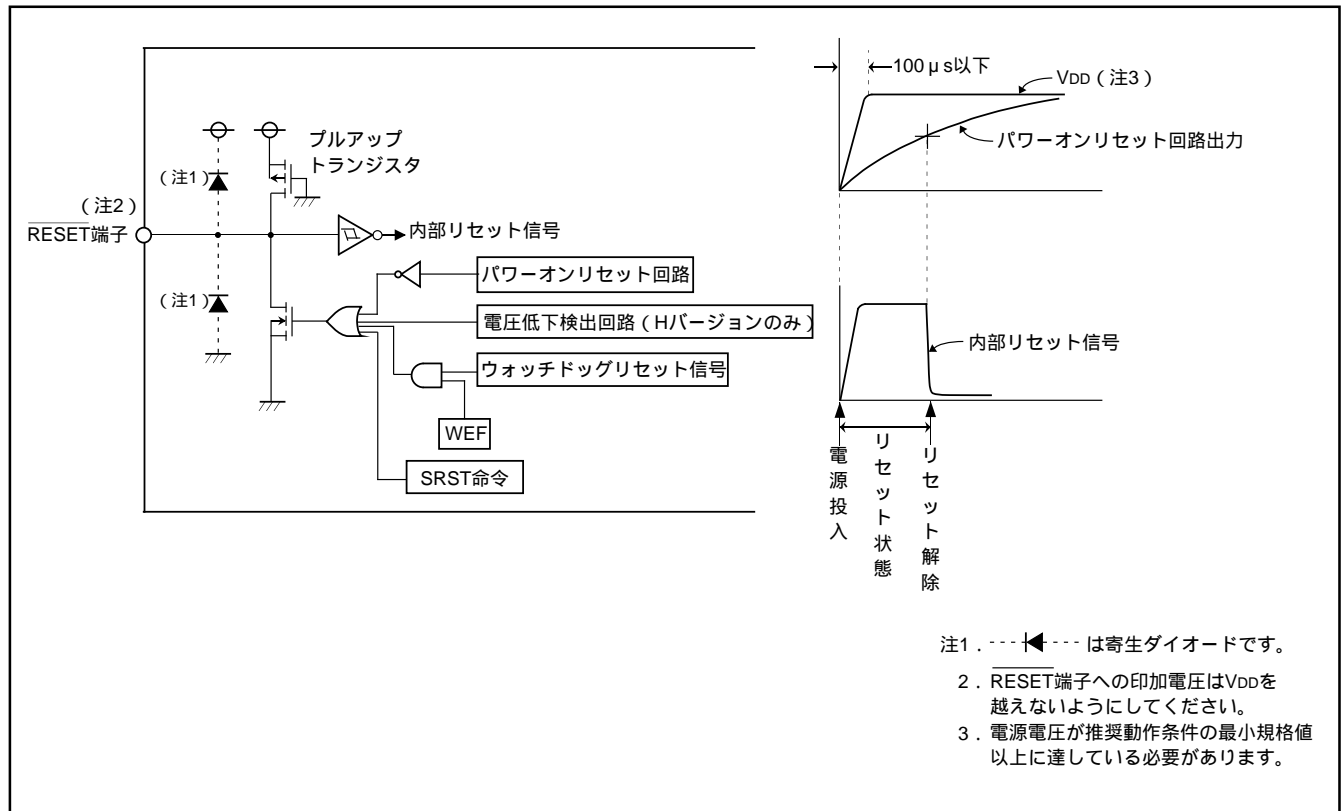
図VB-2. $\overline{\text{RESET}}$ 端子の入力波形とリセット動作

(1) パワーオンリセット

本製品は電源投入時に自動リセット(パワーオンリセット)をかけるためのパワーオンリセット回路を内蔵しています。

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μs以下に設定してください。

立ち上がり時間が100 μsを越える場合には、 $\overline{\text{RESET}}$ 端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。



図VB-3. $\overline{\text{RESET}}$ 端子周辺の構成とパワーオンリセット動作

表VB-1. リセット時のポートの状態

ポート名	リセット時の機能	リセット時の状態
D0 ~ D4	D0 ~ D4	ハイインピーダンス状態 (注1、注2)
D5/INT	D5	ハイインピーダンス状態 (注1、注2)
XCIN/D6、XCOUT/D7	XCIN、XCOUT	サブクロック入力
P00/SEG21 ~ P03/SEG24	P00 ~ P03	ハイインピーダンス状態 (注1、注2、注3)
P10/SEG25 ~ P13/SEG28	P10 ~ P13	ハイインピーダンス状態 (注1、注2、注3)
P20/SEG17 ~ P23/SEG20	P20 ~ P23	ハイインピーダンス状態 (注1、注2、注3)
SEG0/VLC3 ~ SEG2/VLC1	SEG0 ~ SEG2	VLC3 (VDD) レベル
SEG3 ~ SEG16	SEG3 ~ SEG16	VLC3 (VDD) レベル
COM0 ~ COM3	COM0 ~ COM3	VLC3 (VDD) レベル
C/CNTR	C	“L”(Vss)レベル

注1. 出力ラッチは“1”にセットされます。
 注2. 出力形式は、Nチャンネルオープンドレインになります。
 注3. プルアップトランジスタは、OFFします。

- プログラムカウンタ (PC)

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

0ページの0番地がセットされます。
- 割り込み許可フラグ (INTE)

0

 (割り込み禁止)
- パワーダウンフラグ (P)

0

- 外部0割り込み要求フラグ (EXF0)

0

- 割り込み制御レジスタ V1

0	0	0	0
---	---	---	---

 (割り込み禁止)
- 割り込み制御レジスタ V2

0	0	0	0
---	---	---	---

 (割り込み禁止)
- 割り込み制御レジスタ I1

0	0	0	0
---	---	---	---
- タイマ 1 割り込み要求フラグ (T1F)

0

- タイマ 2 割り込み要求フラグ (T2F)

0

- タイマ 3 割り込み要求フラグ (T3F)

0

- ウォッチドッグタイマフラグ (WDF1,WDF2).....

0

- ウォッチドッグタイマイネーブルフラグ (WEF).....

1

- タイマ制御レジスタ PA

0

 (プリスケアラ停止)
- タイマ制御レジスタ W1

0	0	0	0
---	---	---	---

 (タイマ 1停止)
- タイマ制御レジスタ W2

0	0	0	0
---	---	---	---

 (タイマ 2停止)
- タイマ制御レジスタ W3

0	0	0	0
---	---	---	---

 (タイマ 3停止)
- タイマ制御レジスタ W4

0	0	0	0
---	---	---	---

 (タイマ LC停止)
- クロック制御レジスタ MR

1	1	0	0
---	---	---	---
- クロック制御レジスタ RG

0	0	0
---	---	---
- LCD制御レジスタL1

0	0	0	0
---	---	---	---
- LCD制御レジスタL2

0	0	0	0
---	---	---	---
- LCD制御レジスタL3

1	1	1	1
---	---	---	---
- LCD制御レジスタC1

1	1	1	1
---	---	---	---
- LCD制御レジスタC2

1	1	1	1
---	---	---	---
- キーオンウェイクアップ制御レジスタ K0 ...

0	0	0	0
---	---	---	---
- キーオンウェイクアップ制御レジスタ K1 ...

0	0	0	0
---	---	---	---
- キーオンウェイクアップ制御レジスタ K2 ...

0	0	0	0
---	---	---	---
- ブルアップ制御レジスタ PU0

0	0	0	0
---	---	---	---
- ブルアップ制御レジスタ PU1

0	0	0	0
---	---	---	---
- ポート出力形式制御レジスタFR0

0	0	0	0
---	---	---	---
- ポート出力形式制御レジスタFR1

0	0	0	0
---	---	---	---
- ポート出力形式制御レジスタFR2

0	0	0	0
---	---	---	---
- キャリフラグ (CY)

0

- 上位ビット参照許可フラグ (UPTF).....

0

- レジスタ A

0	0	0	0
---	---	---	---
- レジスタ B

0	0	0	0
---	---	---	---
- レジスタ D

X	X	X
---	---	---
- レジスタ E

X	X	X	X	X	X	X	X
---	---	---	---	---	---	---	---
- レジスタ X

0	0	0	0
---	---	---	---
- レジスタ Y

0	0	0	0
---	---	---	---
- レジスタ Z

X	X
---	---
- スタックポインタ (SP).....

1	1	1
---	---	---
- 動作源クロック オンチップオシレータ (動作状態)
- セラミック発振回路 動作状態
- RC発振回路 停止状態
- 水晶発振回路 動作状態

“X” は不定を表します。

図VB-4. リセット時の内部状態

電圧低下検出回路 (Hバージョンのみ)

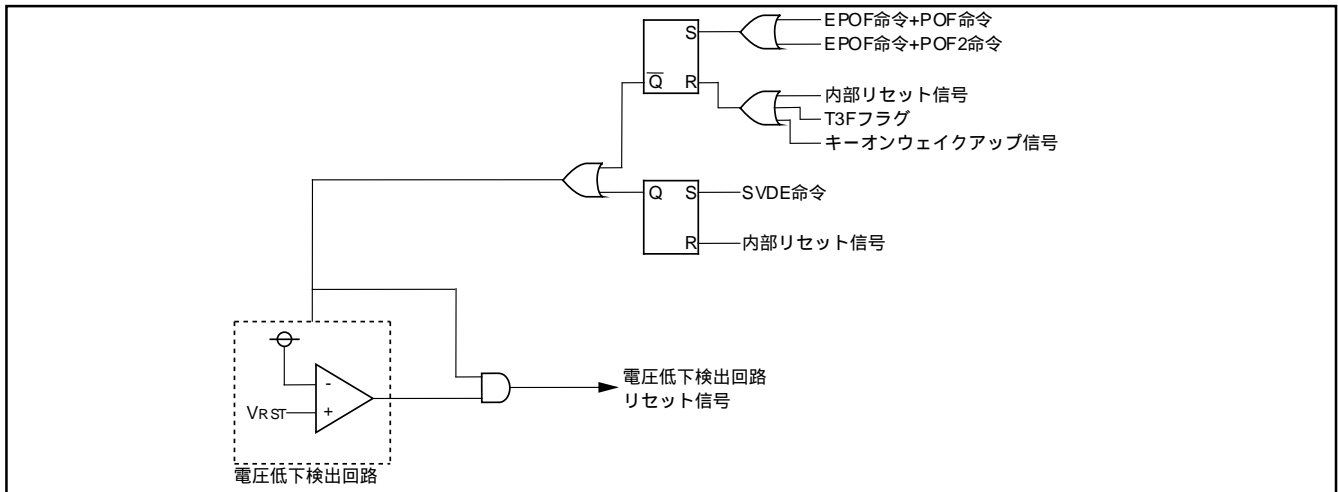
本製品には、電源電圧の低下を検出し電源電圧がある一定値以下になると、マイクロコンピュータにシステムリセットをかける電圧低下検出回路が内蔵されています。

(1) SVDE命令

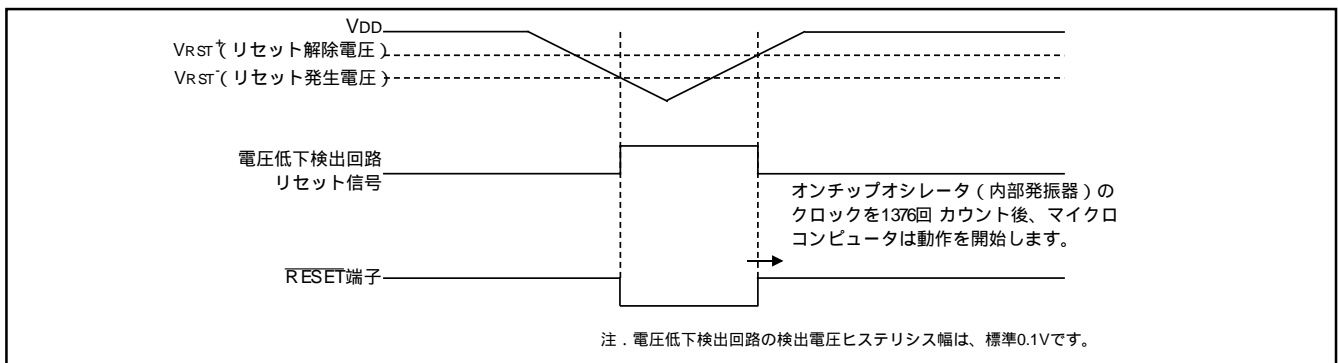
SVDE命令を実行するとパワーダウンモードに遷移後も電圧低下検出回路が有効になります。

SVDE命令の実行は、一度だけ有効です。

SVDE命令の実行を解除するには、マイクロコンピュータをシステムリセットする必要があります。



図VC-1. 電圧低下検出回路



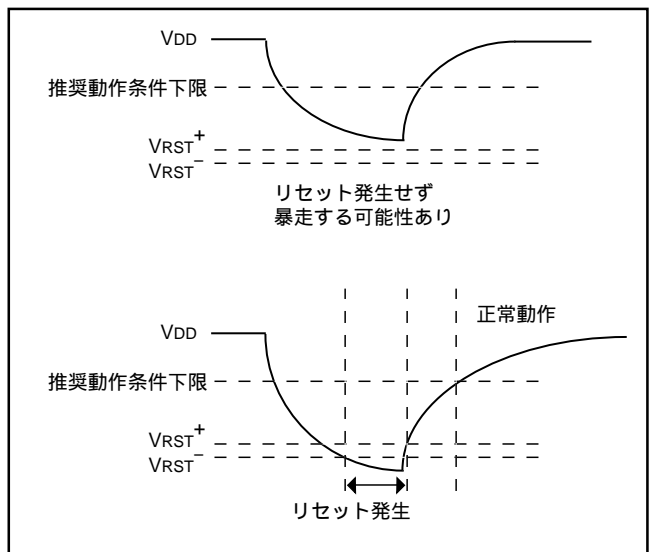
図VC-2. 電圧低下検出回路動作波形

電圧低下検出回路を使用する場合の注意事項

本製品の電圧低下検出回路検出電圧は、マイクロコンピュータの電源電圧推奨動作条件の下限値より低く設定しています。

応用製品の電池交換時など、マイクロコンピュータの電源電圧が推奨動作条件の下限値以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がVRST以下に低下せず、リセットが発生しないまま再上昇し、マイクロコンピュータが暴走状態となる場合があります(図VC-3)。

このような場合は、電源電圧を一旦VRST以下まで低下させ、その後再上昇するようなシステム設計をしてください。



図VC-3. VDDとVRST

パワーダウン機能

本製品は、2種類のパワーダウン機能をもち、EPOF命令直後にPOF命令あるいはPOF2命令を連続して実行することにより、それぞれ次のパワーダウン状態になります。

時計動作モード EPOF命令 + POF命令

RAMバックアップモード EPOF命令 + POF2命令

POF命令あるいはPOF2命令実行直前にEPOF命令が実行されない場合、これらの命令はNOP命令になります。

(1) 時計動作モード

時計動作モード時は、次の機能および状態が保持されます。

- RAM
- リセット回路
- サブクロック発振回路(XCIN - XCOU)
- LCD表示機能
- タイマ3

(2) RAMバックアップモード

RAMバックアップモード時は、次の機能および状態が保持されます。

- RAM
- リセット回路

(3) ウォームスタート条件

- パワーダウン状態から復帰する場合、
- 外部ウェイクアップ信号入力
- タイマ3アンダフロー

のいずれかで、CPUは0ページの0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“1”です。

(4) コールドスタート条件

- RESET端子にリセットパルスを入力
- ウォッチドッグタイマによるリセットが発生
- 電圧低下検出回路によるリセットが発生

のいずれかで、CPUは0ページ0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“0”です。

(5) コールドスタートとウォームスタートの識別

ウォームスタートとコールドスタートとのスタート条件の識別は、SNZP命令によってパワーダウンフラグ(P)の状態を調べることで認識できます。

また、時計動作モードからのウォームスタート条件は、タイマ3割り込み要求フラグ(T3F)の状態を調べることで認識できます。

表WD-1 . パワーダウンモード時に保持される機能と状態

機 能	パワーダウンモード	
	時計動作	RAMバックアップ
プログラムカウンタ(PC) スタックポインタ(SP) (注2) キャリフラグ(CY) レジスタ A, B	×	×
RAMの内容		
割り込み制御レジスタ V1, V2	×	×
割り込み制御レジスタ I1		
発振回路の選択		
クロック制御レジスタ MR, RG		
タイマ1, 2機能	(注3)	(注3)
タイマ3機能		(注3)
タイマLC機能		(注3)
ウォッチドッグタイマ機能	×(注4)	×(注4)
タイマ制御レジスタ PA	×	×
タイマ制御レジスタ W1, W2, W3, W4		
LCD表示機能		(注5)
LCD制御レジスタ L1~L3, C1, C2		
電圧低下検出回路	(注6)	(注6)
ポートのレベル	(注7)	(注7)
キーオンウェイクアップ制御レジスタ K0~K2		
ブルアップ制御レジスタ PU0, PU1		
ポート出力形式制御レジスタ FR0~FR2		
外部割り込み要求フラグ EXF0	×	×
タイマ割り込み要求フラグ T1F, T2F	(注3)	(注3)
タイマ割り込み要求フラグ T3F		(注3)
割り込み許可フラグ INTE	×	×
ウォッチドッグタイマフラグ WDF1, WDF2	×(注4)	×(注4)
ウォッチドッグタイマインエーブルフラグ WEF	×(注4)	×(注4)

- 注1. 表中、“ ”は保持可能、“×”は初期化を示します。上記以外のレジスタ及びフラグの内容はRAMバックアップ時には不定ですので、復帰後初期値を設定してください。
2. スタックポインタは、スタックレジスタの位置を示すもので、RAMバックアップ時には“7”に初期化されます。
 3. タイマの状態は不定になります。
 4. WRST命令でウォッチドッグタイマフラグWDF1を初期化した後で、パワーダウン状態にしてください。
 5. LCDは消灯します。
 6. 電圧低下検出回路は、SVDE命令を実行すると、パワーダウン時に有効状態になります。
 7. パワーダウン時、C/CNTR端子は“L”レベルを出力します。ただし、CNTR入力(W11, W10=“11”)を選択している場合は、入力可能状態を保持します(出力ハイインピーダンス)。その他のポートは出力レベルを保持します。

(6) 復帰信号

時計動作モードからの復帰は、外部ウェイクアップ信号又はタイマ3割り込み要求フラグ(T3F)で行います。RAMバックアップモードからの復帰は、発振が停止しているので外部ウェイクアップ信号で行います。表WD-2に復帰要因ごとに復帰条件を示します。

(7) キーオンウェイクアップ関連レジスタ

キーオンウェイクアップ制御レジスタ K0

レジスタK0は、ポートP0, P1のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK0A命令でレジスタAを介して設定してください。また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

キーオンウェイクアップ制御レジスタ K1

レジスタK1は、ポートP1の復帰条件、有効波形/レベル選択を制御します。

このレジスタの内容は、TK1A命令でレジスタAを介して設定してください。また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

キーオンウェイクアップ制御レジスタ K2

レジスタK2は、INT端子のキーオンウェイクアップ機能、復帰条件選択を制御します。

このレジスタの内容は、TK2A命令でレジスタAを介して設定してください。また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

プルアップ制御レジスタ PU0

レジスタPU0は、ポートP0のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU0A命令でレジスタAを介して設定してください。また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

プルアップ制御レジスタ PU1

レジスタPU1は、ポートP1のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU1A命令でレジスタAを介して設定してください。また、TAPU1命令でレジスタPU1の内容をレジスタAに転送できます。

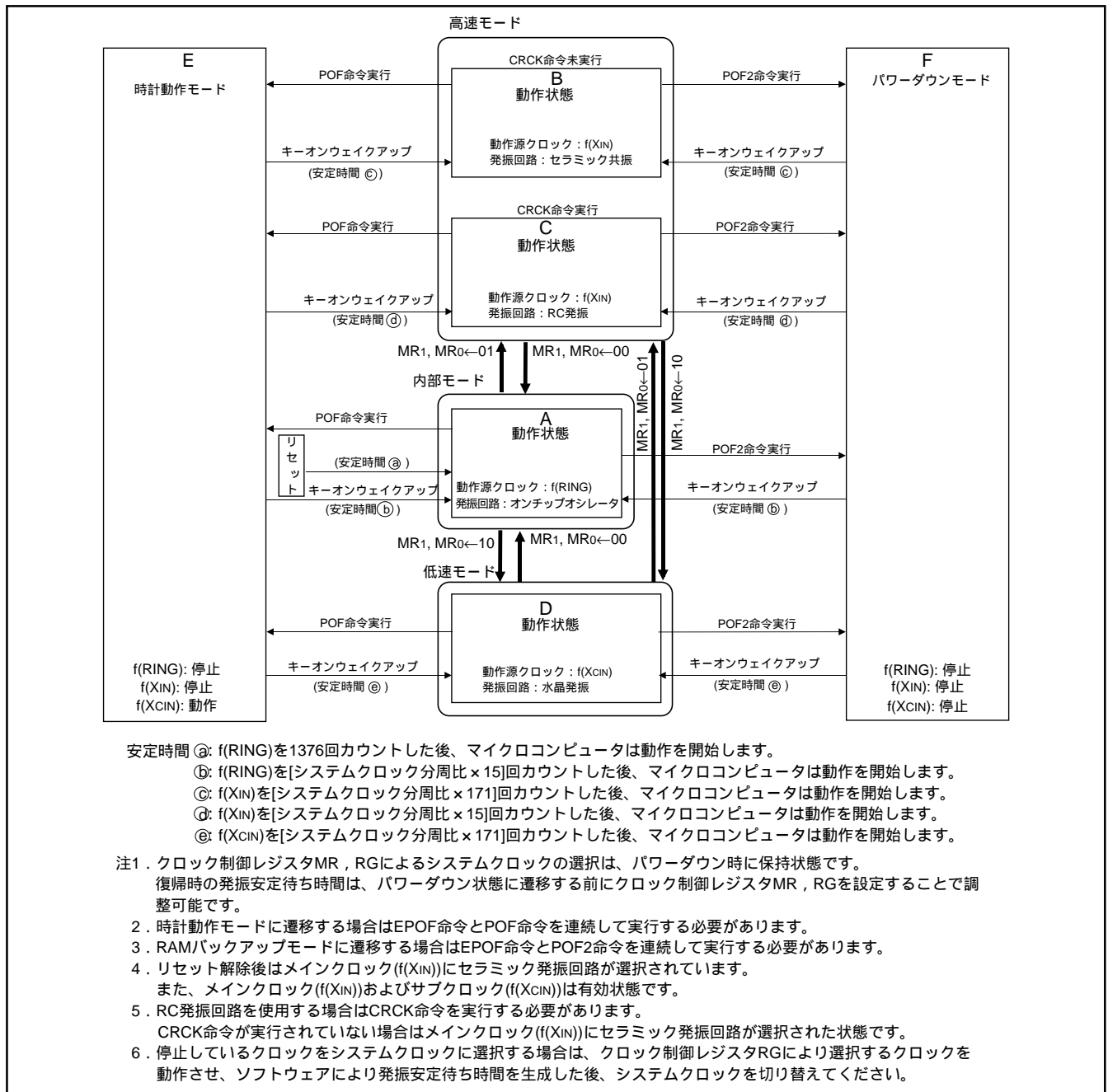
外部割り込み制御レジスタ I1

レジスタI1は、外部0割り込みの有効波形、INT端子の入力制御、復帰入力レベルを制御します。

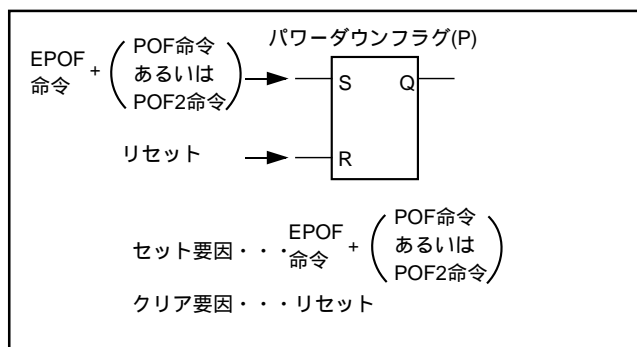
このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表WD-2. 復帰要因と復帰条件

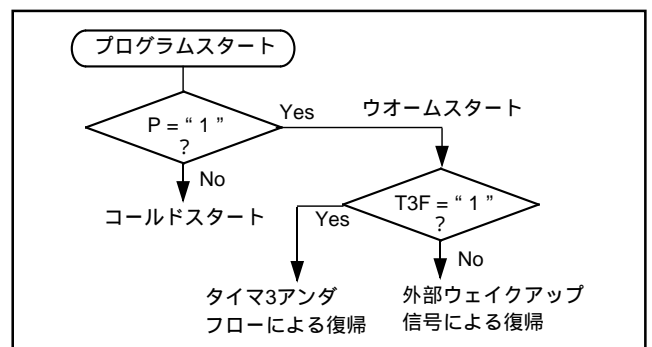
復帰要因		復帰条件	備考
外部ウェイクアップ信号	ポートP0 ₀ ~ P0 ₃	外部からの立ち上がりエッジ(“H” “L”)により復帰します。	キーオンウェイクアップ機能は2ポート単位で選択できます。
	ポートP1 ₀ ~ P1 ₃	外部からの“H”レベルあるいは“L”レベル入力、又は立ち上がりエッジ(“L” “H”)あるいは立ち下がりエッジ(“H” “L”)により復帰します。	キーオンウェイクアップ機能は2ポート単位で選択できます。パワーダウン状態に遷移する前に、外部状態に応じてキーオンウェイクアップ制御レジスタK1で復帰レベル(“H”レベル又は“L”レベル)および復帰条件(レベル復帰又はエッジ復帰)を選択してください。
	INT端子	外部からの“H”レベルあるいは“L”レベル入力、又は立ち上がりエッジ(“L” “H”)あるいは立ち下がりエッジ(“H” “L”)により復帰します。復帰入力時は、割り込み要求フラグ(EXF0)はセットされません。	パワーダウン状態に遷移する前に、外部の状態に応じて割り込み制御レジスタI1で復帰レベル(“H”レベル又は“L”レベル)を、キーオンウェイクアップ制御レジスタK2で復帰条件(レベル復帰又はエッジ復帰)を選択してください。
タイマ3 割り込み要求フラグ (T3F)	タイマ3がアンダフローし、割り込み要求フラグ(T3F)が*1にセットされることにより復帰します。 時計動作モード時に使用できます。	パワーダウン状態に遷移する前に、SNZT3命令を実行してタイマ3割り込み要求フラグ(T3F)をクリアしてください。 タイマ3割り込み要求フラグ(T3F)が*1のときにパワーダウン状態に遷移すると、復帰条件であると認識してすぐに復帰します。	



図WD-1. 状態遷移図



図WD-2. パワーダウンフラグ(P)のセット要因とクリア要因



図WD-3. SNZP命令によるスタート識別例

キーオンウェイクアップ制御レジスタ K0		リセット時：00002	パワーダウン時：状態保持	R / W TAK0 / TK0A
K03	ポート P12, P13 キーオンウェイクアップ制御ビット (注3)	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K02	ポート P10, P11 キーオンウェイクアップ制御ビット (注2)	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K01	ポート P02, P03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K00	ポート P00, P01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタ K1		リセット時：00002	パワーダウン時：状態保持	R / W TAK1 / TK1A
K13	ポート P12, P13 復帰条件選択ビット (注3)	0	エッジ復帰	
		1	レベル復帰	
K12	ポート P12, P13 有効波形/レベル選択ビット (注3)	0	立ち下がり波形/“L”レベル	
		1	立ち上がり波形/“H”レベル	
K11	ポート P10, P11 復帰条件選択ビット (注2)	0	エッジ復帰	
		1	レベル復帰	
K10	ポート P10, P11 有効波形/レベル選択ビット (注2)	0	立ち下がり波形/“L”レベル	
		1	立ち上がり波形/“H”レベル	

キーオンウェイクアップ制御レジスタ K2		リセット時：00002	パワーダウン時：状態保持	R / W TAK2 / TK2A
K23	使用しません	0	このビットに機能はありませんが、R/Wは可能です。	
		1		
K22	使用しません	0	このビットに機能はありませんが、R/Wは可能です。	
		1		
K21	INT 端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
K20	INT 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. ポート P10, P11 のキーオンウェイクアップを無効 (K02 = “0”) にする場合は、レジスタ K10, K11 の値を “0” に設定してください。
3. ポート P12, P13 のキーオンウェイクアップを無効 (K03 = “0”) にする場合は、レジスタ K12, K13 の値を “0” に設定してください。

ブルアップ制御レジスタ PU0		リセット時：0000z	パワーダウン時：状態保持	R / W TAPU0 / TPU0A
PU03	ポート P03 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU02	ポート P02 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU01	ポート P01 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU00	ポート P00 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

ブルアップ制御レジスタ PU1		リセット時：0000z	パワーダウン時：状態保持	R / W TAPU1 / TPU1A
PU13	ポート P13 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU12	ポート P12 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU11	ポート P11 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU10	ポート P10 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

割り込み制御レジスタ I1		リセット時：0000z	パワーダウン時：状態保持	R / W TAI1 / T11A
I13	INT 端子 入力制御ビット（注2）	0	INT 端子入力禁止	
		1	INT 端子入力可能	
I12	INT 端子 割り込み有効波形 / 復帰レベル選択ビット（注2）	0	立ち下がり波形 / “L” レベル（SNZIO 命令は “L” レベル認識）	
		1	立ち上がり波形 / “H” レベル（SNZIO 命令は “H” レベル認識）	
I11	INT 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT 端子 タイマ1 カウント開始同期回路選択ビット	0	タイマ1 カウント開始同期回路非選択	
		1	タイマ1 カウント開始同期回路選択	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. これらのビット（I12,I13）の内容を変更した際に、外部割り込み要求フラグ（EXF0）がセットされる場合があります。

クロック制御

本製品のクロック制御回路は以下の回路により構成されています。

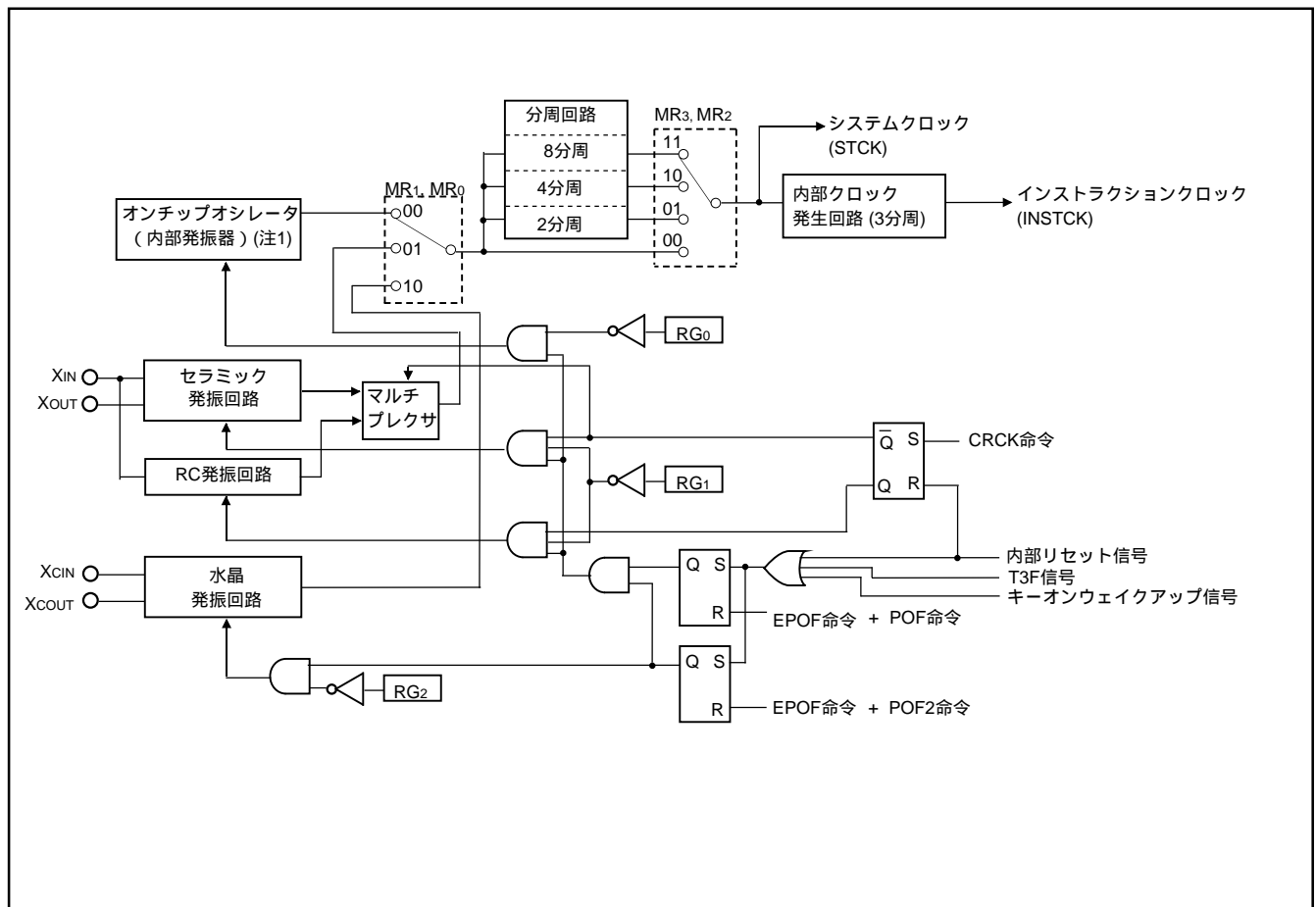
- オンチップオシレータ(内部発振器)
- セラミック発振回路
- RC発振回路
- 水晶発振回路
- マルチプレクサ(クロック選択回路)
- 分周回路
- 内部クロック発生回路

これらの回路により、本製品の動作源となるシステムクロック、インストラクションクロックが生成されます。

図WA-1にクロック制御回路の構成を示します。

本製品はリセット解除後、内部発振器であるオンチップオシレータクロック(f(RING))で動作します。

メインクロック(f(XIN))には、セラミック共振子あるいはRC発振が使用できます。サブクロック(f(XCIN))には、水晶発振子が使用できます。



図WA-1. クロック制御回路の構成

(1) オンチップオシレータ動作

本製品はリセット解除後、内部発振器であるオンチップオシレータから出力されるクロックにより動作を開始します。

オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

(2) メインクロック発生回路($f(XIN)$)

本製品のメインクロック($f(XIN)$)には、セラミック共振子またはRC発振が使用できます。

リセット解除後、メインクロックはセラミック発振回路が有効状態になります。

CRCK命令を実行することで、メインクロックはセラミック発振回路が無効になり、RC発振回路が有効になります。

CRCK命令の実行は、一度だけ有効です。

CRCK命令は、必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)

メインクロック($f(XIN)$)を使用しない場合は、 XIN 端子を V_{SS} に接続し、 $XOUT$ 端子を開放とし、CRCK命令は実行しないでください(図WA-3)。

(3) セラミック共振子を使用する場合

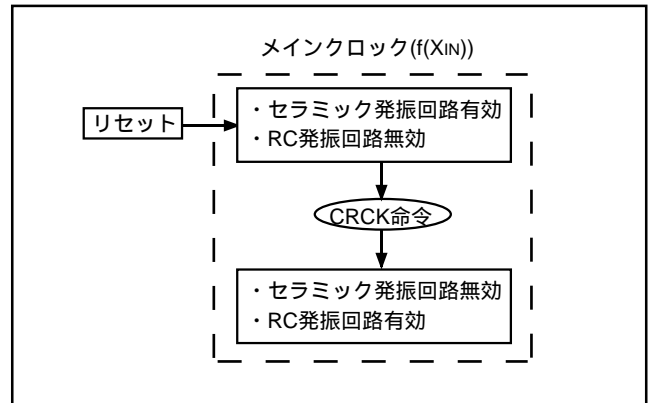
メインクロック($f(XIN)$)にセラミック共振子を使用する場合は、 XIN 端子と $XOUT$ 端子にセラミック共振子および外部回路を最短距離で接続してください。 XIN 端子と $XOUT$ 端子の間には帰還抵抗が内蔵されています(図WA-4)。

なお、プログラムでCRCK命令を実行しないでください。

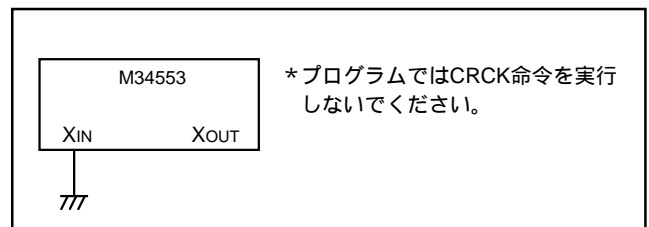
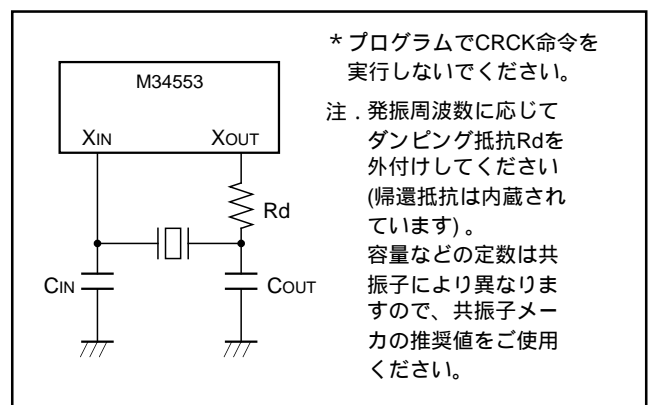
(4) RC発振を使用する場合

メインクロック($f(XIN)$)にRC発振を使用する場合は、 XIN 端子に抵抗 R 、コンデンサ C の外付け回路を最短距離で接続し、 $XOUT$ 端子は開放とし、プログラムではCRCK命令を実行してください(図WA-5)。

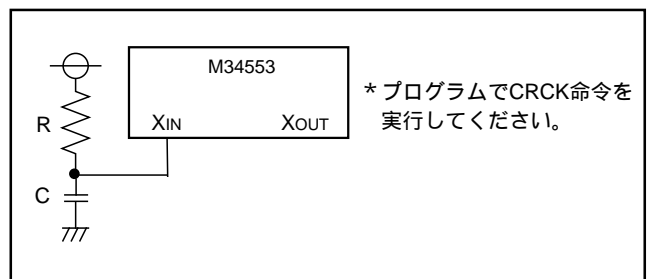
なお、RC発振用の抵抗 R およびコンデンサ C の定数は、マイクロコンピュータのパラツキと抵抗およびコンデンサ自身のパラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。



図WA-2 . セラミック発振回路 / RC発振回路への切り替え

図WA-3 . オンチップオシレータ動作時の XIN 、 $XOUT$ 端子の処理

図WA-4 . セラミック共振子外付け回路



図WA-5 . RC外付け回路

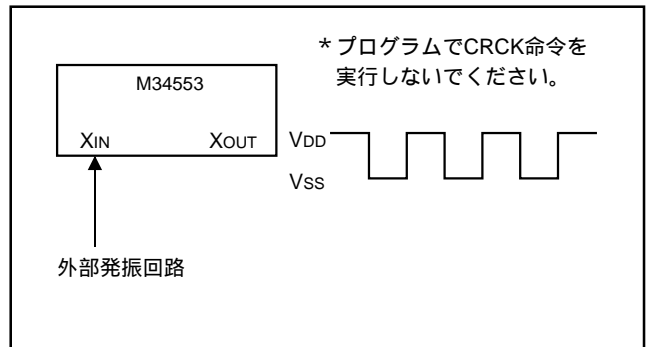
(5) 外部クロックを使用する場合

メインクロック($f(XIN)$)に外部クロック信号を使用する場合は、 XIN 端子にクロック発生源を接続し、 $XOUT$ 端子は開放としてください(図WA-6)。

なお、プログラムでCRCK命令を実行しないでください。

外部クロック使用時の発振周波数最大値は、セラミック共振器使用時と異なりますので、注意してください(推奨動作条件参照)。

また、外部クロックを使用する際はパワーダウンモード(POF命令あるいはPOF2命令)を使用しないでください。



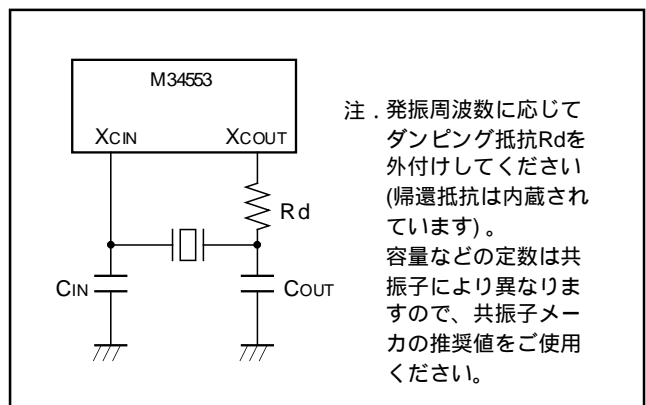
図WA-6．外部クロック入力回路

(6) サブクロック発生回路($f(XCIN)$)

サブクロック($f(XCIN)$)には、水晶共振器を使用してください。 $XCIN$ 端子と $XCOUT$ 端子に水晶共振器および外部回路を最短距離で接続してください。 $XCIN$ 端子と $XCOUT$ 端子の間には帰還抵抗が内蔵されています(図WA-7)。

$XCIN$ 端子、 $XCOUT$ 端子はそれぞれ、ポートD6、D7と兼用です。クロック制御レジスタRGのビット2に“1”を設定することで、サブクロック発振回路が無効になり、ポートD6、D7の機能が有効になります。

サブクロック($f(XCIN)$)およびポートD6、D7のいずれも使用しない場合は、 $XCIN/D6$ 端子をVSSに接続し、 $XCOUT/D7$ 端子を開放としてください。



図WA-7．水晶共振器外付け回路

(7) クロック制御レジスタMR

レジスタMRはシステムクロックおよび動作モード選択を制御します。このレジスタの内容は、TMRA命令でレジスタAを介して設定してください。

また、TAMR命令でレジスタMRの内容をレジスタAに転送できます。

(8) クロック制御レジスタRG

レジスタRGは各発振回路の動作・停止を制御します。このレジスタの内容は、TRGA命令でレジスタAを介して設定してください。

表WA-1. クロック制御レジスタ

クロック制御レジスタ MR		リセット時: 11002	パワーダウン時: 状態保持	R / W TAMR / TMRA
MR3	動作モード選択ビット	MR3 MR2	動作モード	
		0 0	スルーモード (分周なし)	
0 1		2分周モード		
1 0		4分周モード		
MR2		1 1	8分周モード	
MR1	システムクロック選択ビット (注2)	MR1 MR0	動作モード	
		0 0	f(RING)	
0 1		f(XIN)		
1 0		f(XCIN)		
MR0		1 1	使用禁止 (設定することはできません) (注3)	

クロック制御レジスタ RG		リセット時: 0002	パワーダウン時: 状態保持	W TRGA
RG2	サブクロック(f(XCIN))制御ビット (注4)	0	サブクロック(f(XCIN))発振可能、ポート D6、D7 非選択	
		1	サブクロック(f(XCIN))発振停止、ポート D6、D7 選択	
RG1	メインクロック(f(XIN))制御ビット (注4)	0	メインクロック(f(XIN))発振可能	
		1	メインクロック(f(XIN))発振停止	
RG0	オンチップオシレータ(f(RING))制御ビット (注4)	0	オンチップオシレータ(f(RING))発振可能	
		1	オンチップオシレータ(f(RING))発振停止	

注1. " R "は読み出し可、" W "は書き込み可を表します。

2. 停止しているクロックをシステムクロックに選択することはできません。

3. レジスタMRの下位2ビット(MR1、MR0)に(11)を設定することはできません。

4. システムクロックに選択している発振回路を停止することはできません。

マスク化発注時に提示いただく資料

マスク化発注時には、次の資料をご提示ください。

- (1) マスク化確認書 1部
(2) マスク化するデータ フロッピーディスク
(3) マーク指定書 1部

* マスク化確認書及びマーク指定書につきましては、
ルネサステクノロジホームページ

ROM発注 (<http://japan.renesas.com/homepage.jsp>)

を参照してください。

使用上の注意

ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては、本対策を実施した後も十分なシステム評価を行ってください。

1. 配線長の短縮

(1) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い配線で接続してください。

理由

マイコンを正常にリセットするために、リセット端子に入力されるパルス幅は1マシンサイクル以上必要です。これより短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

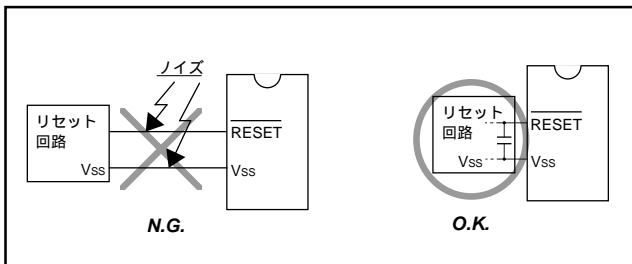


図 NS-1 . リセット入力端子の配線

(2) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

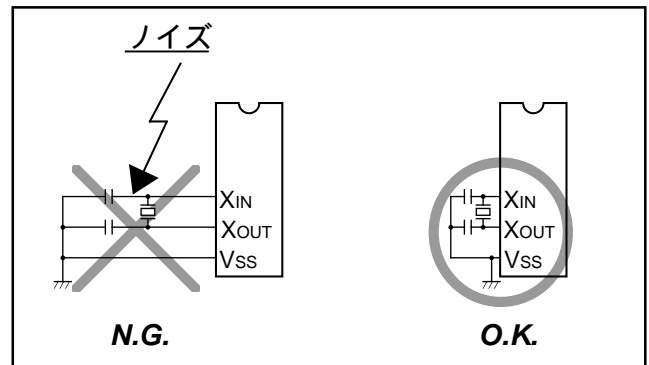


図 NS-2 . クロック入出力端子の配線

(3) CNVss端子配線

CNVss端子は、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。また、5k程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

理由

CNVss端子はワンタイムPROMの電源入力端子です。

ワンタイムPROMへのプログラム書き込み時に、書き込み電流が流れるようにCNVss端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。CNVss端子からノイズが侵入すると、ワンタイムPROMからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

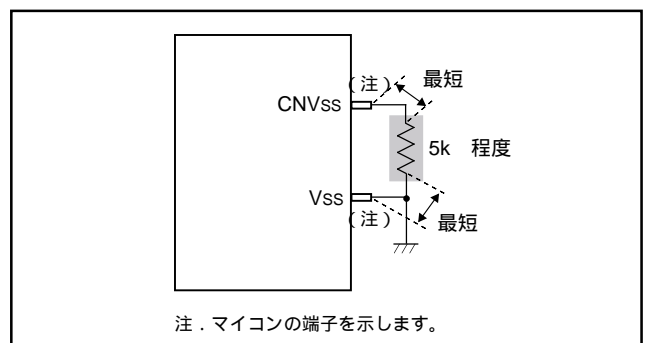
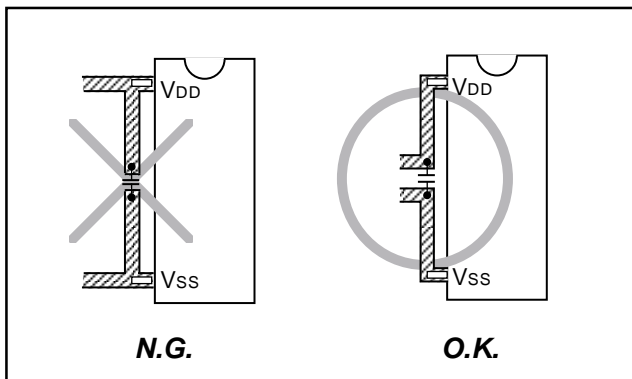


図 NS-3 . ワンタイム PROM 版の CNVss 端子の配線

2. Vss - VDDライン間へのバイパスコンデンサ挿入

Vss - VDDライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子 - バイパスコンデンサ間の配線長とVDD端子 - バイパスコンデンサ間の配線長を等しくする
- ・Vss端子 - バイパスコンデンサ間の配線長とVDD端子 - バイパスコンデンサ間の配線長を最短とする
- ・Vssライン及びVDDラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVss端子及びVDD端子へ接続する



図NS-4 . Vss - VDDライン間のバイパスコンデンサ

3. 発振子への配慮

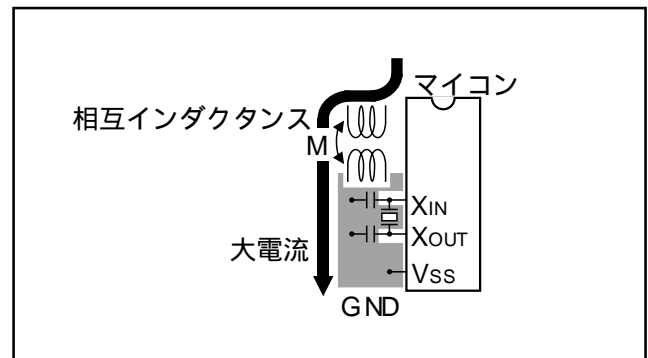
マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。



図NS-5 . 大電流が流れる信号線の配線

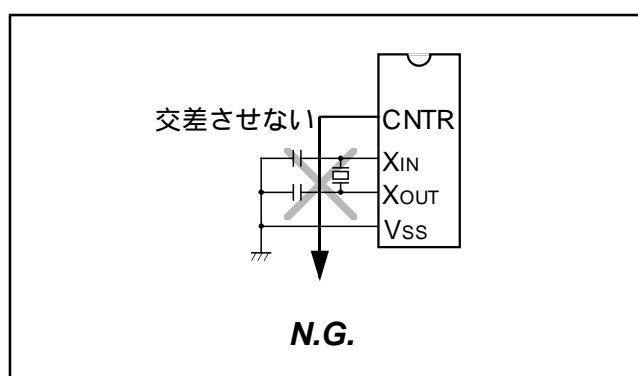
(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。



図NS-6．高速にレベル変化する信号線の配線

(3) Vssパターンによる保護

両面基板の場合、発振子を実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

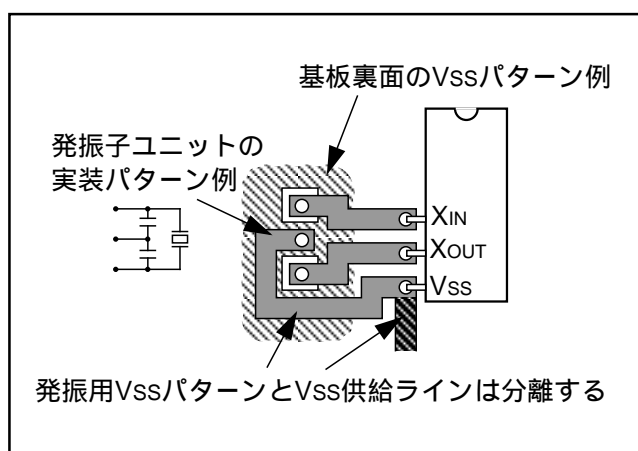


図 NS-7．発振子の裏面の Vss パターン

4.入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポート及び入出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でポートラッチの再書き込みを行ってください。
- ・一定周期でプルアップ制御レジスタの再書き込みを行ってください。

5. ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

RAMの1語をソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注．メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。

割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

SWDTの内容を1回の割り込み処理で1減算します。

ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。

SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

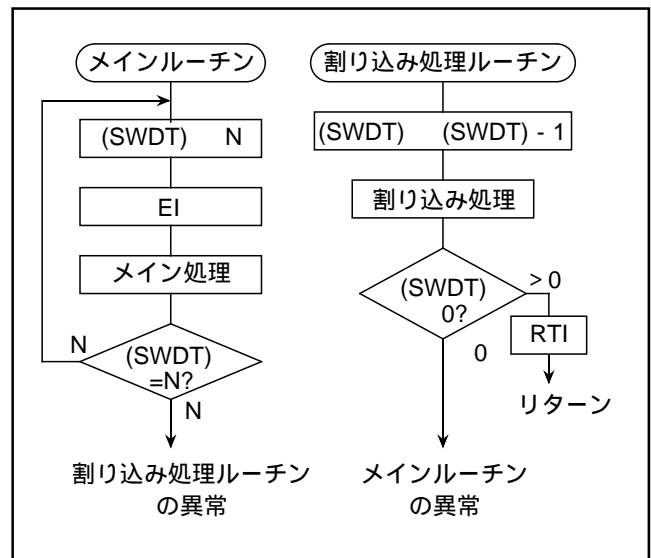


図 NS-8 . ソフトウェアによるウォッチドッグタイマ

使用上の注意(まとめ)

(1)ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策としてVDD端子とVss端子間にコンデンサ(≈0.1μF)を最短距離・等幅・等配線長で、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM版においては、CNVss端子とVPP端子が兼用になっています。5k程度の抵抗を極力CNVss/VPP端子の近くに配置してVss端子に接続してください。

また、抵抗を挿入した回路のままマスクROM版に置き換えても動作上支障ありません。

(2)レジスタの初期値1

次のレジスタは、リセット解除後の初期値が不定です。リセット解除後、必ず初期設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

(3)レジスタの初期値2

次のレジスタは、RAMバックアップ時は不定です。RAMバックアップからの復帰後、必ず再設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタX(4ビット)
- ・レジスタY(4ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

(4)スタックレジスタ(SK)

スタックレジスタ(SK)は8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令(TABP p)実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを越えないように注意してください。

(5)プリスケアラ

プリスケアラからデータを読み出す場合は、まずプリスケアラのカウンタを停止させた後、データ読み出し命令(TABPS)命令を実行してください。

プリスケアラにデータを書き込む場合は、まずプリスケアラのカウンタを停止させた後、データ書き込み命令(TPSAB)を実行してください。

(6)タイマカウンタソース

タイマ1, 2, LCのカウンタソースを切り替える場合は、まず各タイマのカウンタを停止させた後、カウンタソースを切り替えてください。

(7)タイマカウンタ値の読み出し

タイマ1, 2からデータを読み出す場合は、まず各タイマのカウンタを停止させた後、データ読み出し命令(TAB1, TAB2)を実行してください。

(8)タイマへのデータ書き込み

タイマ1, 2, LCにデータを書き込む場合は、まず各タイマのカウンタを停止させた後、データ書き込み命令(T1AB, T2AB, TLCA)を実行してください。

(9)リロードレジスタR1, R2Hへの書き込み

タイマ1, 2動作中にリロードレジスタR1, R2Hにデータを書き込む場合は、必ずタイマ1, 2アンダフローと重ならないタイミングでデータを書き込んでください。

(10)タイマ2

PWM出力機能使用時にタイマ2を停止させる場合は、必ずタイマ2アンダフローと重ならないタイミングで停止させてください。

PWM信号の“H”期間拡張機能有効を選択している場合は、リロードレジスタR2Hに“1”以上の値を設定してください。

(11)タイマ3

タイマ3のカウンタ値を切り替える場合は、まずタイマ3のカウンタを停止させた後、カウンタ値を切り替えてください。

(12)タイマ入出力端子

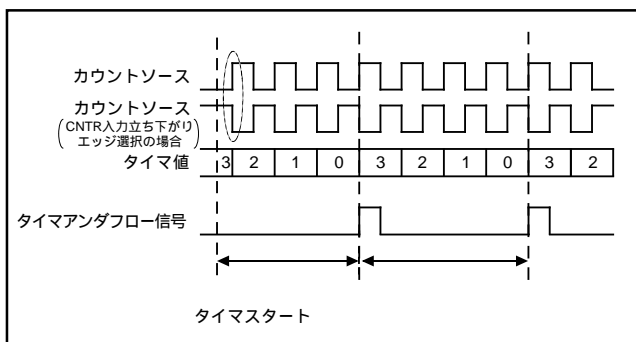
PWM信号をC/CNTR端子より出力させる場合は、ポートCの出力ラッチを“0”に設定してください。

(13)プリスケアラ、タイマ1のカウント開始タイミングと動作開始時のカウント時間について

プリスケアラ、タイマ1は動作開始()後、カウントソースの最初の立ち上がり()からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()より短く(最大でカウントソースの1周期分)なります。

なお、タイマ1のカウントソースとしてCNTR入力立ち下がりエッジを選択した場合、タイマ1はCNTR入力の立ち下がり同期して動作します。

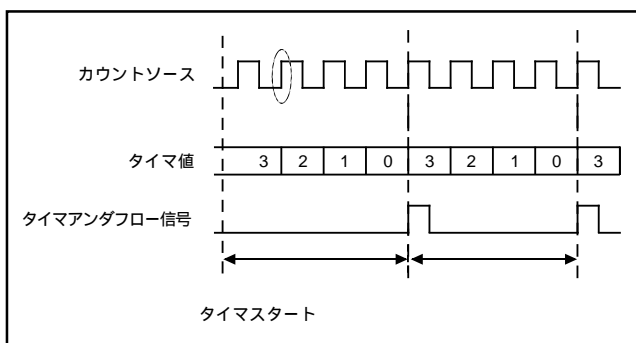


図FB-4．タイマカウント開始タイミングと動作開始時のカウント時間 (プリスケアラ、タイマ1)

(14)タイマ2、LCのカウント開始タイミングと動作開始時のカウント時間について

タイマ2、LCは動作開始()後、最初のカウントソース立ち下がり後の立ち上がり()からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()と異なります。



図FB-5．タイマカウント開始タイミングと動作開始時のカウント時間 (タイマ2、LC)

(15)ウォッチドッグタイマ

ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWDT命令とWRST命令を連続して実行し、フラグWEFを“0”にクリアしてウォッチドッグタイマ機能を停止してください。

パワーダウン状態からの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、パワーダウン状態から復帰する度に、DWDT命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

ウォッチドッグタイマ機能とパワーダウンを併用する場合は、パワーダウン状態になる直前にWRST命令を実行し、フラグWDF1を初期化してください。

(16) D5 / INT端子

レジスタ11のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタ11のビット3によってINT端子の入力制御を行う際は次の点に注意してください。

レジスタ11のビット3の内容を変更する場合、D5/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図DD-6)した後、レジスタ11のビット3の内容を変更してください。更に、一命令以上において(図DD-6)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-6)。

```

LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 8 ; (1 x x x 2)
TI1A ; INT端子入力制御変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③

```

x : このビットは本例では関係
しません。

図DD-6 . 外部0割り込みプログラム例1

レジスタ11のビット3に関する注意2

割り込み制御レジスタ11のビット3を"0"にクリアし、INT端子入力禁止の状態RAMバックアップを使用する際は、次の点に注意してください。

INT端子のキーオンウェイクアップを使用しない場合(レジスタK20="0")は、パワーダウンモードに移行する前にレジスタ11のビット2、ビット3をクリアする必要があります(図DD-7)。

```

LA 0 ; (00 x x 2)
TI1A ; INT入力禁止・・・ ①
DI
EPOF
POF2 ; RAMバックアップ

```

x : このビットは本例では関係
しません。

図DD-7 . 外部0割り込みプログラム例2

レジスタ11のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタ11のビット2によってD5/INT端子の割り込み有効波形を変更する場合は、次の点に注意してください。

レジスタ11のビット2の内容を変更する場合、D5/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図DD-8)した後、レジスタ11のビット2の内容を変更してください。更に、一命令以上において(図DD-8)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-8)。

```

LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 12 ; (x 1 x x 2)
TI1A ; 割り込み有効波形変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③

```

x : このビットは本例では関係
しません。

図DD-8 . 外部0割り込みプログラム例3

(17)マルチファンクション

INT端子を使用している場合でも、ポートD5の入出力は機能しますので注意してください。

INT端子とポートD5の入力しきい値は異なりますので、両方の入力を使用する際は注意してください。

CNTR端子の出力機能を使用している場合でも、ポートCの" H "出力は機能しますので注意してください。

(18) POF命令、POF2命令

EPOF命令実行直後にPOF命令あるいはPOF2命令を実行するとパワーダウン状態になります。

POF命令あるいはPOF2命令単独では、パワーダウン状態にならないので注意してください。

また、EPOF命令とPOF命令あるいはPOF2命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)にしてください。

(19) プログラムカウンタ

プログラムカウンタが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(20) パワーオンリセット

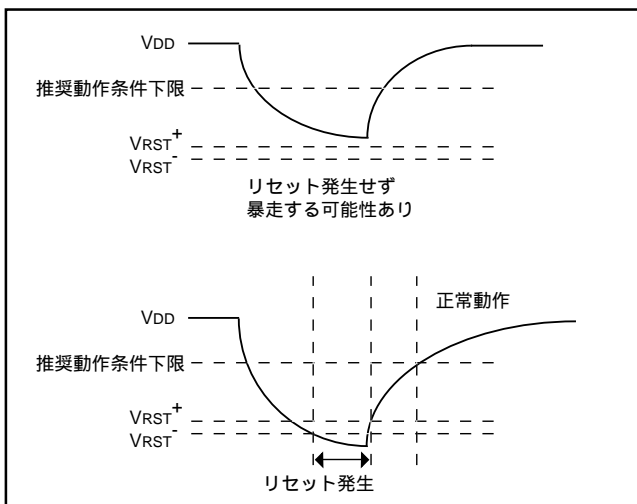
内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μ s以下に設定してください。立ち上がり時間が100 μ sを越える場合には、RESET端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。

(21) 電圧低下検出回路(Hバージョンのみ)

本製品の電圧低下検出回路検出電圧は、マイクロコンピュータの電源電圧推奨動作条件の下限値より低く設定しています。

応用製品の電池交換時など、マイクロコンピュータの電源電圧が推奨動作条件の下限値以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がVRST以下に低下せず、リセットが発生しないまま再上昇し、マイクロコンピュータが暴走状態となる場合があります(図VC-3)。

このような場合は、電源電圧を一旦VRST以下まで低下させ、その後再上昇するようなシステム設計をしてください。



図VC-3. VDDとVRST

(22) クロック制御

メインクロック($\{XIN\}$)を選択する命令(CRCK命令)は必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。

CRCK命令による発振回路選択は一度だけ可能です。

(23) オンチップオシレータ

オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンを得られるよう、注意してください。

また、本製品はリセット解除後の発振安定待ち時間を、オンチップオシレータクロックより生成しています。リセット解除後の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

(24) 外部クロック

メインクロック($\{XIN\}$)に外部クロックを使用する際は、パワーダウンモード(POF命令あるいはPOF2命令)を使用しないでください。

(25) マスクROM版とワンタイムPROM版の相違

マスクROM版とワンタイムPROM版とでは、製造プロセス、内蔵ROM、およびレイアウトパターンの相違により、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射などが異なる場合がありますので、切り替えを行う際は注意してください。

(26) 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

制御レジスタ一覧

割り込み制御レジスタ V1		リセット時：00002	パワーダウン時：00002	R / W TAV1 / TV1A
V13	タイマ2 割り込み可能ビット	0	発生禁止 (SNZT2 命令有効)	
		1	発生可能 (SNZT2 命令無効)	
V12	タイマ1 割り込み可能ビット	0	発生禁止 (SNZT1 命令有効)	
		1	発生可能 (SNZT1 命令無効)	
V11	使用しません	0	このビットに機能はありませんが R / W は可能です	
		1		
V10	外部0 割り込み可能ビット	0	発生禁止 (SNZO 命令有効)	
		1	発生可能 (SNZO 命令無効)	

割り込み制御レジスタ V2		リセット時：00002	パワーダウン時：00002	R / W TAV2 / TV2A
V23	使用しません	0	このビットに機能はありませんが R / W は可能です	
		1		
V22	使用しません	0	このビットに機能はありませんが R / W は可能です	
		1		
V21	使用しません	0	このビットに機能はありませんが R / W は可能です	
		1		
V20	タイマ3 割り込み可能ビット	0	発生禁止 (SNZT3 命令有効)	
		1	発生可能 (SNZT3 命令無効)	

割り込み制御レジスタ I1		リセット時：00002	パワーダウン時：状態保持	R / W TAI1 / TI1A
I13	INT 端子 入力制御ビット (注2)	0	入力禁止	
		1	入力可能	
I12	INT 端子 割り込み有効波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形 / "L" レベル (SNZIO 命令は "L" レベル認識)	
		1	立ち上がり波形 / "H" レベル (SNZIO 命令は "H" レベル認識)	
I11	INT 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT 端子 タイマ1 カウント開始同期回路選択ビット	0	タイマ1 カウント開始同期回路非選択	
		1	タイマ1 カウント開始同期回路選択	

クロック制御レジスタ MR		リセット時：11002	パワーダウン時：状態保持	R / W TAMR / TMRA
MR3	動作モード選択ビット	MR3 MR2	動作モード	
		0 0	スルーモード (分周なし)	
0 1		2分周モード		
1 0		4分周モード		
MR2	動作モード選択ビット	1 1	8分周モード	
		MR1 MR0	動作モード	
0 0		f(RING)		
0 1		f(XIN)		
MR1	システムクロック選択ビット (注3)	1 0	f(XCIN)	
		1 1	使用禁止 (設定することはできません) (注4)	
MR0				

注1. "R" は読み出し可、"W" は書き込み可を表します。

2. これらのビット (I12, I13) の内容を変更した際に、外部割り込み要求フラグ (EXF0) がセットされる場合があります。

3. 停止しているクロックをシステムクロックに選択することはできません。

4. レジスタ MR の下位2ビット (MR1, MR0) に (11) を設定することはできません。

クロック制御レジスタ RG		リセット時：0002	パワーダウン時：状態保持	W TRGA
RG2	サブクロック(f(XCIN))制御ビット (注2)	0	サブクロック(f(XCIN))発振可能、ポート D6、D7 非選択	
		1	サブクロック(f(XCIN))発振停止、ポート D6、D7 選択	
RG1	メインクロック(f(XIN))制御ビット (注2)	0	メインクロック(f(XIN))発振可能	
		1	メインクロック(f(XIN))発振停止	
RG0	オンチップオシレータ(f(RING))制御ビット (注2)	0	オンチップオシレータ(f(RING))発振可能	
		1	オンチップオシレータ(f(RING))発振停止	

タイマ制御レジスタ PA		リセット時：02	パワーダウン時：02	W TPAA
PA0	プリスケアラ制御ビット	0	停止 (状態保持)	
		1	動作	

タイマ制御レジスタ W1		リセット時：00002	パワーダウン時：状態保持	R / W TAW1 / TW1A
W13	タイマ1 カウント自動停止回路選択ビット (注3)	0	タイマ1 カウント自動停止回路非選択	
		1	タイマ1 カウント自動停止回路選択	
W12	タイマ1 制御ビット	0	停止 (状態保持)	
		1	動作	
W11	タイマ1 カウントソース選択ビット (注4)	W11 W10	カウントソース	
		0 0	PWM 信号 (PWMOUT)	
0 1		プリスケアラ出力 (ORCLK)		
1 0		タイマ3 アンダフロー信号 (T3UDF)		
W10		1 1	CNTR 入力	

タイマ制御レジスタ W2		リセット時：00002	パワーダウン時：状態保持	R / W TAW2 / TW2A
W23	CNTR 端子出力信号選択ビット	0	CNTR 端子出力無効	
		1	CNTR 端子出力有効	
W22	PWM 信号割り込み有効波形/ 復帰レベル選択ビット	0	PWM 信号 “H” 期間拡張機能無効	
		1	PWM 信号 “H” 期間拡張機能有効	
W21	タイマ2 制御ビット	0	停止 (状態保持)	
		1	動作	
W20	タイマ2 カウントソース選択ビット	0	XIN 入力	
		1	プリスケアラ出力(ORCLK)の2分周信号	

タイマ制御レジスタ W3		リセット時：00002	パワーダウン時：状態保持	R / W TAW3 / TW3A
W33	タイマ3 カウントソース選択ビット	0	XCIN 入力	
		1	プリスケアラ出力(ORCLK)	
W32	タイマ3 制御ビット	0	停止 (初期状態)	
		1	動作	
W31	タイマ3 カウント値選択ビット	W31 W30	カウント値	
		0 0	8192 カウントごとにアンダフロー発生	
0 1		16384 カウントごとにアンダフロー発生		
1 0		32768 カウントごとにアンダフロー発生		
W30		1 1	65536 カウントごとにアンダフロー発生	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. システムクロックに選択している発振回路を停止することはできません。

3. この機能はタイマ1 カウント開始同期回路選択 (I10 = “1”) 時のみ有効です。

4. タイマ1 カウントソースに CNTR 入力を選択した場合、ポート C 出力は無効になります。

タイマ制御レジスタ W4		リセット時：00002		パワーダウン時：状態保持	R / W TAW4 / TW4A
W43	タイマLC制御ビット	0	停止 (状態保持)		
		1	動作		
W42	タイマLC カウントソース選択ビット	0	タイマ3のビット4 (T34)		
		1	システムクロック(STCK)		
W41	CNTR 端子出力自動制御回路選択ビット	0	CNTR 出力自動制御回路非選択		
		1	CNTR 出力自動制御回路選択		
W40	CNTR 端子入力カウントエッジ選択ビット	0	立ち下がりエッジ		
		1	立ち上がりエッジ		

LCD 制御レジスタ L1		リセット時：00002		パワーダウン時：状態保持	R / W TAL1 / TL1A
L13	LCD 電源用 内部分割抵抗選択ビット (注2)	0	2r × 3, 2r × 2		
		1	r × 3, r × 2		
L12	LCD 制御ビット	0	停止		
		1	動作		
L11	LCD デューティ, バイアス選択ビット	L11 L10	デューティ		バイアス
		0 0	使用禁止		使用禁止
0 1		1 / 2		1 / 2	
L10		1 0	1 / 3		1 / 3
	1 1	1 / 4		1 / 3	

LCD 制御レジスタ L2		リセット時：00002		パワーダウン時：状態保持	W TL2A
L23	SEG0/VLc3 端子機能選択ビット (注3)	0	SEG0		
		1	VLc3		
L22	SEG1/VLc2 端子機能選択ビット (注4)	0	SEG1		
		1	VLc2		
L21	SEG2/VLc1 端子機能選択ビット (注4)	0	SEG2		
		1	VLc1		
L20	LCD 電源用内部分割抵抗制御ビット	0	内部分割抵抗有効		
		1	内部分割抵抗無効		

LCD 制御レジスタ L3		リセット時：11112		パワーダウン時：状態保持	W TL3A
L33	P23/SEG20端子 機能選択ビット	0	SEG20		
		1	P23		
L32	P22/SEG19端子 機能選択ビット	0	SEG19		
		1	P22		
L31	P21/SEG18端子 機能選択ビット	0	SEG18		
		1	P21		
L30	P20/SEG17端子 機能選択ビット	0	SEG17		
		1	P20		

注1. “R” は読み出し可、“W” は書き込み可を表します。

2. 1 / 3 バイアス選択時は “×3”、1 / 2 バイアス選択時は “×2” の抵抗を使用します。

3. SEG0 端子を選択した場合は、VLc3 は内部で VDD に接続されます。

4. SEG1, SEG2 端子を選択した場合は、必ず内部分割抵抗を使用してください。

LCD 制御レジスタ C1		リセット時：11112		パワーダウン時：状態保持	W TC1A
C13	P03/SEG24端子 機能選択ビット	0	SEG24		
		1	P03		
C12	P02/SEG23端子 機能選択ビット	0	SEG23		
		1	P02		
C11	P01/SEG22端子 機能選択ビット	0	SEG22		
		1	P01		
C10	P00/SEG21端子 機能選択ビット	0	SEG21		
		1	P00		

LCD 制御レジスタ C2		リセット時：11112		パワーダウン時：状態保持	W TC2A
C23	P13/SEG28端子 機能選択ビット	0	SEG28		
		1	P13		
C22	P12/SEG27端子 機能選択ビット	0	SEG27		
		1	P12		
C21	P11/SEG26端子 機能選択ビット	0	SEG26		
		1	P11		
C20	P10/SEG25端子 機能選択ビット	0	SEG25		
		1	P10		

ブルアップ制御レジスタ PU0		リセット時：00002		パワーダウン時：状態保持	R / W TAPU0 / TPU0A
PU03	ポート P03 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU02	ポート P02 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU01	ポート P01 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU00	ポート P00 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		

ブルアップ制御レジスタ PU1		リセット時：00002		パワーダウン時：状態保持	R / W TAPU1 / TPU1A
PU13	ポート P13 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU12	ポート P12 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU11	ポート P11 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU10	ポート P10 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		

注1.“ R ” は読み出し可、“ W ” は書き込み可を表します。

ポート出力形式制御レジスタ FR0		リセット時：00002	パワーダウン時：状態保持	W TFR0A
FR03	ポート P12, P13 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR02	ポート P10, P11 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR01	ポート P02, P03 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR00	ポート P00, P01 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

ポート出力形式制御レジスタ FR1		リセット時：00002	パワーダウン時：状態保持	W TFR1A
FR13	ポート D3 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR12	ポート D2 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR11	ポート D1 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR10	ポート D0 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

ポート出力形式制御レジスタ FR2		リセット時：00002	パワーダウン時：状態保持	W TFR2A
FR23	ポート P22, P23 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR22	ポート P20, P21 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR21	ポート D5 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR20	ポート D4 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

注1.“R”は読み出し可、“W”は書き込み可を表します。

キーオンウェイクアップ制御レジスタ K0		リセット時：00002	パワーダウン時：状態保持	R / W TAK0 / TK0A
K03	ポート P12, P13 キーオンウェイクアップ制御ビット (注3)	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K02	ポート P10, P11 キーオンウェイクアップ制御ビット (注2)	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K01	ポート P02, P03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K00	ポート P00, P01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタ K1		リセット時：00002	パワーダウン時：状態保持	R / W TAK1 / TK1A
K13	ポート P12, P13 復帰条件選択ビット (注3)	0	エッジ復帰	
		1	レベル復帰	
K12	ポート P12, P13 有効波形/レベル選択ビット (注3)	0	立ち下がり波形/“L”レベル	
		1	立ち上がり波形/“H”レベル	
K11	ポート P10, P11 復帰条件選択ビット (注2)	0	エッジ復帰	
		1	レベル復帰	
K10	ポート P10, P11 有効波形/レベル選択ビット (注2)	0	立ち下がり波形/“L”レベル	
		1	立ち上がり波形/“H”レベル	

キーオンウェイクアップ制御レジスタ K2		リセット時：00002	パワーダウン時：状態保持	R / W TAK2 / TK2A
K23	使用しません	0	このビットに機能はありませんが、R/Wは可能です。	
		1		
K22	使用しません	0	このビットに機能はありませんが、R/Wは可能です。	
		1		
K21	INT 端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
K20	INT 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. ポート P10, P11 のキーオンウェイクアップを無効 (K02 = “0”) にする場合は、レジスタ K10, K11 の値を “0” に設定してください。
 3. ポート P12, P13 のキーオンウェイクアップを無効 (K03 = “0”) にする場合は、レジスタ K12, K13 の値を “0” に設定してください。

命令

記号

命令機能別索引及び機械語命令一覧では、以下の記号を用いています。

命令記号一覧表

記号	内容	記号	内容
A	レジスタ A(4ビット)	PS	プリスケアラ
B	レジスタ B(4ビット)	T1	タイマ1
DR	レジスタ DR(3ビット)	T2	タイマ2
E	レジスタ E(8ビット)	T3	タイマ3
V1	割り込み制御レジスタ V1(4ビット)	TLC	タイマLC
V2	割り込み制御レジスタ V2(4ビット)	T1F	タイマ1割り込み要求フラグ
I1	割り込み制御レジスタ I1(4ビット)	T2F	タイマ2割り込み要求フラグ
MR	クロック制御レジスタ MR(4ビット)	T3F	タイマ3割り込み要求フラグ
RG	クロック制御レジスタ RG(3ビット)	WDF1	ウォッチドッグタイマフラグ
PA	タイマ制御レジスタ PA(1ビット)	WEF	ウォッチドッグタイマイネーブルフラグ
W1	タイマ制御レジスタ W1(4ビット)	INTE	割り込み許可フラグ
W2	タイマ制御レジスタ W2(4ビット)	EXF0	外部0割り込み要求フラグ
W3	タイマ制御レジスタ W3(4ビット)	P	パワーダウンフラグ
W4	タイマ制御レジスタ W4(4ビット)		
L1	LCD制御レジスタ L1(4ビット)	D	ポート D(8ビット)
L2	LCD制御レジスタ L2(4ビット)	P0	ポート P0(4ビット)
L3	LCD制御レジスタ L3(4ビット)	P1	ポート P1(4ビット)
C1	LCD制御レジスタ C1(4ビット)	P2	ポート P2(4ビット)
C2	LCD制御レジスタ C2(4ビット)	C	ポート C(1ビット)
PU0	ブルアップ制御レジスタ PU0(4ビット)		
PU1	ブルアップ制御レジスタ PU1(4ビット)	x	16進変数
FR0	ポート出力形式制御レジスタ FR0(4ビット)	y	16進変数
FR1	ポート出力形式制御レジスタ FR1(4ビット)	z	16進変数
FR2	ポート出力形式制御レジスタ FR2(4ビット)	p	16進変数
K0	キーオンウェイクアップ制御レジスタ K0(4ビット)	n	16進定数
K1	キーオンウェイクアップ制御レジスタ K1(4ビット)	i	16進定数
K2	キーオンウェイクアップ制御レジスタ K2(4ビット)	j	16進定数
X	レジスタ X(4ビット)	A3 A2 A1 A0	16進変数 A の2進表記 (他も同様)
Y	レジスタ Y(4ビット)		
Z	レジスタ Z(2ビット)		
DP	データポインタ(10ビット) (レジスタ X, Y, Z で構成)	()	データの移動する方向
PC	プログラムカウンタ(14ビット)	-	レジスタ、メモリなどの内容
PCH	プログラムカウンタの上位7ビット	M (DP)	否定、命令実行後もフラグは不変
PCL	プログラムカウンタの下位7ビット	a	データポインタで指定されたRAMの番地
SK	スタックレジスタ(14ビット×8)	p a	a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
SP	スタックポインタ(3ビット)	p6 p5 p4 p3 p2 p1 p0	ページ内の a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
CY	キャリフラグ	C + x	16進数 C + 16進数 x
UPTF	上位ビット参照許可フラグ		
RPS	プリスケアラリロードレジスタ(8ビット)	?	? の前に示された状態の判定
R1	タイマ1リロードレジスタ(8ビット)		レジスタやメモリ間でのデータ交換
R2L	タイマ2リロードレジスタ(8ビット)		
R2H	タイマ2リロードレジスタ(8ビット)		
R3	タイマ3リロードレジスタ(8ビット)		
RLC	タイマLCリロードレジスタ(4ビット)		

注. 命令実行によりスキップが生じた場合は、次の命令を無効にするのみで、プログラムカウンタの内容+2を実行するわけではありません。したがって、スキップが生じなくてもサイクル数は変化しません。ただし、TABP p、RT、RTS命令がスキップされた場合、サイクル数は「1」となります。

命令機能別索引

分類	命令記号	機能	分類	命令記号	機能	
レジスタ間転送命令	TAB	(A) (B)	演算命令	LA n	(A) n, n=0~15	
	TBA	(B) (A)		TAB p	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR2~DR0, A3~A0) (UPTF)=0のとき、 (B) (ROM(PC)) ₇₋₄ (A) (ROM(PC)) ₃₋₀ (UPTF)=1のとき、 (DR2) 0 (DR1, DR0) (ROM(PC)) _{9,8} (B) (ROM(PC)) ₇₋₄ (A) (ROM(PC)) ₃₋₀ (PC) (SK(SP)) (SP) (SP) - 1	
	TAY	(A) (Y)		AM	(A) (A) + (M(DP))	
	TYA	(Y) (A)		AMC	(A) (A) + (M(DP)) + (CY) (CY) Carry	
	TEAB	(E7~E4) (B) (E3~E0) (A)		A n	(A) (A) + n, n=0~15	
	TABE	(B) (E7~E4) (A) (E3~E0)		AND	(A) (A) AND (M(DP))	
	TDA	(DR2~DR0) (A2~A0)		OR	(A) (A) OR (M(DP))	
	TAD	(A2~A0) (DR2~DR0) (A3) 0		SC	(CY) 1	
	TAZ	(A1, A0) (Z1, Z0) (A3, A2) 0		RC	(CY) 0	
	TAX	(A) (X)		SZC	(CY) = 0?	
TASP	(A2~A0) (SP2~SP0) (A3) 0	CMA	(A) \overline{A}			
RAMアドレッシング命令	LXY x, y	(X) x, x=0~15 (Y) y, y=0~15	RAR	<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="padding: 2px;">CY</td> <td style="padding: 2px;">A3A2A1A0</td> </tr> </table>	CY	A3A2A1A0
	CY	A3A2A1A0				
	LZ z	(Z) z, z=0~3	ビット操作命令	SB j	(Mj(DP)) 1, j=0~3	
	INY	(Y) (Y) + 1		RB j	(Mj(DP)) 0, j=0~3	
DEY	(Y) (Y) - 1	SZB j		(Mj(DP)) = 0?, j=0~3		
RAM・レジスタ間転送命令	TAM j	(A) (M(DP)) (X) (X) EXOR (j), j=0~15		比較命令	SEAM	(A) = (M(DP))?
	XAM j	(A) (M(DP)) (X) (X) EXOR (j), j=0~15	SEA n		(A) = n?, n=0~15	
	XAMD j	(A) (M(DP)) (X) (X) EXOR (j), j=0~15 (Y) (Y) - 1	ブランチ命令	B a	(PCL) a ₆ ~a ₀	
	XAMI j	(A) (M(DP)) (X) (X) EXOR (j), j=0~15 (Y) (Y) + 1		BL p, a	(PCH) p (PCL) a ₆ ~a ₀	
	TMA j	(M(DP)) (A) (X) (X) EXOR (j), j=0~15		BLA p	(PCH) p (PCL) (DR2~DR0, A3~A0)	

注 . M34553M4/M4Hの場合 p=0~31、M34553M8/M8H/G8/G8Hの場合 p=0~63 です。

命令機能別索引(続き)

分類	命令記号	機能	分類	命令記号	機能
サブルーチン呼び出し命令	BM a	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) 2 (PCL) a6 ~ a0	タイム操作命令	TPAA	(PA) (A)
	BML p a	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) a6 ~ a0		TAW1	(A) (W1)
	BMLA p	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR2 ~ DR0, A3 ~ A0)		TW1A	(W1) (A)
リターン命令	RTI	(PC) (SK(SP)) (SP) (SP) - 1		TAW2	(A) (W2)
	RT	(PC) (SK(SP)) (SP) (SP) - 1		TW2A	(W2) (A)
	RTS	(PC) (SK(SP)) (SP) (SP) - 1		TAW3	(A) (W3)
割り込み制御命令	DI	(INTE) 0		TW3A	(W3) (A)
	EI	(INTE) 1		TAW4	(A) (W4)
	SNZ0	V10 = 0: (EXF0) = 1 ? (EXF0) 0 V10 = 1: SNZ0 = NOP		TW4A	(W4) (A)
	SNZI0	I12 = 1: (INT) = " H " ? I12 = 0: (INT) = " L " ?		TABPS	(B) (TPS7 ~ TPS4) (A) (TPS3 ~ TPS0)
	TAV1	(A) (V1)		TPSAB	(RPS7 ~ RPS4) (B) (TPS7 ~ TPS4) (B) (RPS3 ~ RPS0) (A) (TPS3 ~ TPS0) (A)
	TV1A	(V1) (A)		TAB1	(B) (T17 ~ T14) (A) (T13 ~ T10)
	TAV2	(A) (V2)		T1AB	(R17 ~ R14) (B) (T17 ~ T14) (B) (R13 ~ R10) (A) (T13 ~ T10) (A)
	TV2A	(V2) (A)		TAB2	(B) (T27 ~ T24) (A) (T23 ~ T20)
	TAI1	(A) (I1)		T2AB	(R27 ~ R24) (B) (T27 ~ T24) (B) (R23 ~ R20) (A) (T23 ~ T20) (A)
	TI1A	(I1) (A)			

注 . M34553M4/M4Hの場合 p = 0 ~ 31、M34553M8/M8H/G8/G8Hの場合 p = 0 ~ 63 です。

命令機能別索引(続き)

分類	命令記号	機能	分類	命令記号	機能
タイム操作命令	T2HAB	(R2H7 ~ R2H4) (B) (R2H3 ~ R2H0) (A)	入出力命令	TAK0	(A) (K0)
	TR1AB	(R17 ~ R14) (B) (R13 ~ R10) (A)		TK0A	(K0) (A)
	T2R2L	(T27 ~ T24) (R2L7 ~ R2L4) (T23 ~ T20) (R2L3 ~ R2L0)		TAK1	(A) (K1)
	TLCA	(LC) (A) (RLC) (A)		TK1A	(K1) (A)
	SNZT1	V12 = 0: (T1F) = 1 ? (T1F) 0 V12 = 1: SNZT1 = NOP		TAK2	(A) (K2)
	SNZT2	V13 = 0: (T2F) = 1 ? (T2F) 0 V13 = 1: SNZT2 = NOP		TK2A	(K2) (A)
入出力命令	SNZT3	V20 = 0: (T3F) = 1 ? (T3F) 0 V20 = 1: SNZT3 = NOP	クロック制御命令	CRCK	RC発振回路選択
	IAP0	(A) (P0)	TAMR	(A) (MR)	
	OP0A	(P0) (A)	TMRA	(MR) (A)	
	IAP1	(A) (P1)	TRGA	(RG) (A)	
	OP1A	(P1) (A)	LCD制御命令	TAL1	(A) (L1)
	IAP2	(A) (P2)		TL1A	(L1) (A)
	OP2A	(P2) (A)		TL2A	(L2) (A)
	CLD	(D) 1		TL3A	(L3) (A)
	RD	(D(Y)) 0 (Y) = 0 ~ 7		TC1A	(C1) (A)
	SD	(D(Y)) 1 (Y) = 0 ~ 7		TC2A	(C2) (A)
	SZD	(D(Y)) = 0 ? (Y) = 0 ~ 5	その他	NOP	(PC) (PC) + 1
	RCP	(C) 0		POF	時計動作モードへ遷移
	SCP	(C) 1		POF2	RAMバックアップモードへ遷移
	TAPU0	(A) (PU0)		EPOF	POF命令 POF2命令有効
	TPU0A	(PU0) (A)		SNZP	(P) = 1 ?
	TAPU1	(A) (PU1)		WRST	(WDF1) = 1 ? (WDF1) 0
	TPU1A	(PU1) (A)		DWDT	ウォッチドッグタイマ 機能停止許可
				SRST	システムリセット
		RUPT		(UPTF) 0	
		SUPT		(UPTF) 1	
		SVDE(注)		パワーダウンモード時 電圧低下検出回路有効	

注：SVDE命令はHバージョンのみ使用できます。

[アルファベット順] 機械語命令一覧

An (Add n and accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 1 0 n n n n	0 6 n	1	1	-	オーバーフロー = 0
機能 : (A) (A) + n n = 0 ~ 15		分類 : 演算命令			
		詳細説明 : レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。 加算の結果、オーバーフローするとそのまま次の命令を実行します。オーバーフローしなければ次の命令をスキップします。			

AM (Add accumulator and Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 0 1 0	0 0 A	1	1	-	-
機能 : (A) (A) + (M(DP))		分類 : 演算命令			
		詳細説明 : レジスタAの内容にM(DP)の内容を加えます。その結果は、レジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。			

AMC (Add accumulator, Memory and Carry)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 0 1 1	0 0 B	1	1	0/1	-
機能 : (A) (A) + (M(DP)) + (CY) (CY) キャリ		分類 : 演算命令			
		詳細説明 : レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。			

AND (logical AND between accumulator and memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 0 0 0	0 1 8	1	1	-	-
機能 : (A) (A) AND (M(DP))		分類 : 演算命令			
		詳細説明 : レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。			

B a (Branch to address a)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>1</td><td>1</td><td>a₆</td><td>a₅</td><td>a₄</td><td>a₃</td><td>a₂</td><td>a₁</td><td>a₀</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>⁸_{+a}</td><td>a</td></tr></table> ₁₆	0	1	1	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	1	⁸ _{+a}	a	語数	サイクル数	フラグ C Y	スキップ条件
	0	1	1	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀							
1	⁸ _{+a}	a															
	1	1	-	-													
機能 : (PCL) a ₆ ~ a ₀	分類 : ブランチ命令 詳細説明 : ページ内ブランチ : 同一ページのa番地へブランチします。 留意点 : ブランチ先はこの命令の存在するページ内で指定してください。																

BL p,a (Branch Long to address a in page p)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>p₄</td><td>p₃</td><td>p₂</td><td>p₁</td><td>p₀</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>^E_{+p}</td><td>p</td></tr></table> ₁₆ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>p₅</td><td>a₆</td><td>a₅</td><td>a₄</td><td>a₃</td><td>a₂</td><td>a₁</td><td>a₀</td></tr></table> ₂ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>^P_{+a}</td><td>a</td></tr></table> ₁₆	0	0	1	1	1	p ₄	p ₃	p ₂	p ₁	p ₀	0	^E _{+p}	p	1	0	p ₅	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	2	^P _{+a}	a	語数	サイクル数	フラグ C Y	スキップ条件
	0	0	1	1	1	p ₄	p ₃	p ₂	p ₁	p ₀																				
0	^E _{+p}	p																												
1	0	p ₅	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀																					
2	^P _{+a}	a																												
	2	2	-	-																										
機能 : (PCH) p (PCL) a ₆ ~ a ₀	分類 : ブランチ命令 詳細説明 : ページ外ブランチ : pページのa番地へブランチします。 留意点 : M34553M4/M4Hの場合 p = 0 ~ 31、 M34553M8/M8H/G8/G8Hの場合 p = 0 ~ 63です。																													

BLA p (Branch Long to address (D)+(A) in page p)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>1</td><td>0</td></tr></table> ₁₆ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>p₅</td><td>p₄</td><td>0</td><td>0</td><td>p₃</td><td>p₂</td><td>p₁</td><td>p₀</td></tr></table> ₂ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>p</td><td>p</td></tr></table> ₁₆	0	0	0	0	0	1	0	0	0	0	0	1	0	1	0	p ₅	p ₄	0	0	p ₃	p ₂	p ₁	p ₀	2	p	p	語数	サイクル数	フラグ C Y	スキップ条件
	0	0	0	0	0	1	0	0	0	0																				
0	1	0																												
1	0	p ₅	p ₄	0	0	p ₃	p ₂	p ₁	p ₀																					
2	p	p																												
	2	2	-	-																										
機能 : (PCH) p (PCL) (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)	分類 : ブランチ命令 詳細説明 : ページ外ブランチ : pページのレジスタDとレジスタAの内容で示された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地へブランチします。 留意点 : M34553M4/M4Hの場合 p = 0 ~ 31、 M34553M8/M8H/G8/G8Hの場合 p = 0 ~ 63です。																													

BM a (Branch and Mark to address a in page 2)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>1</td><td>0</td><td>a₆</td><td>a₅</td><td>a₄</td><td>a₃</td><td>a₂</td><td>a₁</td><td>a₀</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>a</td><td>a</td></tr></table> ₁₆	0	1	0	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	1	a	a	語数	サイクル数	フラグ C Y	スキップ条件
	0	1	0	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀							
1	a	a															
	1	1	-	-													
機能 : (SP) (SP) + 1 (SK(SP)) (PC) (PCH) 2 (PCL) a ₆ ~ a ₀	分類 : サブルーチン呼び出し命令 詳細説明 : 2ページのサブルーチン呼び出し : 2ページのa番地のサブルーチン呼び出しします。 留意点 : 2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあれば呼び出すことができます。サブルーチンネスタリングは最大8レベルですので、スタックオーバーにならないよう注意してください。																

BML p,a (Branch and Mark Long to address a in page p)

機械語	語数	サイクル数	フラグC Y	スキップ条件
D ₉ D ₀ 0 0 1 1 0 p ₄ p ₃ p ₂ p ₁ p ₀ 2 0 c ₊ p 16 1 0 p ₅ a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ 2 2 p ₊ a 16	2	2	-	-
機能 : (SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) a ₆ ~ a ₀	分類 : サブルーチン呼び出し命令 詳細説明 : サブルーチン呼び出し : pページのa番地のサブルーチン呼び出します。 留意点 : M34553M4/M4Hの場合 p = 0 ~ 31、 M34553M8/M8H/G8/G8Hの場合 p = 0 ~ 63です。 サブルーチンネスタリングは最大8レベルですので、スタックオーバーにならないよう注意してください。			

BMLA p (Branch and Mark Long to address (D)+(A) in page p)

機械語	語数	サイクル数	フラグC Y	スキップ条件
D ₉ D ₀ 0 0 0 0 1 1 0 0 0 0 2 0 3 0 16 1 0 p ₅ p ₄ 0 0 p ₃ p ₂ p ₁ p ₀ 2 2 p p 16	2	2	-	-
機能 : (SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)	分類 : サブルーチン呼び出し命令 詳細説明 : サブルーチン呼び出し : pページのレジスタDとレジスタAの内容で指定された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のサブルーチン呼び出します。 留意点 : M34553M4/M4Hの場合 p = 0 ~ 31、 M34553M8/M8H/G8/G8Hの場合 p = 0 ~ 63です。 サブルーチンネスタリングは最大8レベルですので、スタックオーバーにならないよう注意してください。			

CLD (CLear port D)

機械語	語数	サイクル数	フラグC Y	スキップ条件
D ₉ D ₀ 0 0 0 0 0 1 0 0 0 1 2 0 1 1 16	1	1	-	-
機能 : (D) 1	分類 : 入出力命令 詳細説明 : ポートDをすべてセット(1)します。			

CMA (CoMplement of Accumulator)

機械語	語数	サイクル数	フラグC Y	スキップ条件
D ₉ D ₀ 0 0 0 0 0 1 1 1 0 0 2 0 1 C 16	1	1	-	-
機能 : (A) (A)	分類 : 演算命令 詳細説明 : レジスタAの内容の1の補数をレジスタAに格納します。			

CRCK (Clock select : Rc oscillation Clock)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 1 1 0 1 1	2	1	1	-	-
		2 9 B ₁₆			
機能 : RC発振回路選択		分類 : クロック制御命令			
		詳細説明 : メインクロック(XIN)にRC発振回路を選択し、RC発振回路を停止します。			

DEY (DEcrement register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 1 1 1	2	1	1	-	(Y) = 15
		0 1 7 ₁₆			
機能 : (Y) (Y) - 1		分類 : RAMアドレス命令			
		詳細説明 : レジスタYの内容を - 1します。その結果、レジスタYの内容が " 15 "であれば、次の命令をスキップします。" 15 "以外ならば、そのまま次の命令を実行します。			

DI (Disable Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 0 0	2	1	1	-	-
		0 0 4 ₁₆			
機能 : (INTE) 0		分類 : 割り込み制御命令			
		詳細説明 : 割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。			
		留意点 : DI命令による割り込み禁止は、DI命令実行から1マシンサイクル後に行われます。			

DWDT (Disable WatchDog Timer)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 1 1 1 0 0	2	1	1	-	-
		2 9 C ₁₆			
機能 : ウォッチドッグタイマ機能停止許可		分類 : その他			
		詳細説明 : DWDT命令を実行すると、直後のWRST命令によりウォッチドッグタイマ機能を停止することができます。			

EI (Enable Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 0 1 0 1	0 0 5	1	1	-	-
機能 : (INTE) 1		分類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。 留意点 : EI命令による割り込み許可は、EI命令の実行から1マシンサイクル後に行われます。			

EPOF (Enable POF instruction)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 1 0 1 1	0 5 B	1	1	-	-
機能 : POF命令、POF2命令有効		分類 : その他 詳細説明 : EPOF命令を実行すると、直後のPOF命令あるいはPOF2命令が有効になります。			

IAP0 (Input Accumulator from port P0)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 0 0 0 0 0	2 6 0	1	1	-	-
機能 : (A) (P0)		分類 : 入出力命令 詳細説明 : ポートP0の入力を、レジスタAへ転送します。			

IAP1 (Input Accumulator from port P1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 0 0 0 0 1	2 6 1	1	1	-	-
機能 : (A) (P1)		分類 : 入出力命令 詳細説明 : ポートP1の入力を、レジスタAへ転送します。			

IAP2 (Input Accumulator from port P2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 0 0 0 1 0	2 6 2	1	1	-	-
機能 : (A) (P2)		分類 : 入出力命令 詳細説明 : ポートP2の入力を、レジスタAへ転送します。			

INY (INcrement register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 0 1 1	0 1 3	1	1	-	(Y) = 0
機能 : (Y) (Y) + 1		分類 : RAMアドレス命令 詳細説明 : レジスタYの内容を +1します。その結果、レジスタYの内容が "0" であれば、次の命令をスキップします。"0" 以外ならば、そのまま次の命令を実行します。			

LA n (Load n in Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 1 1 n n n n	0 7 n	1	1	-	連続記述
機能 : (A) n n = 0 ~ 15		分類 : 演算命令 詳細説明 : イミディエイトフィールドの値nをレジスタAにロードします。LA命令を連続記述し実行した場合は、最初に行ったLA命令を除き、以下に連続記述されたLA命令はスキップされます。			

LXY x,y (Load register X and Y with x and y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 1 x ₃ x ₂ x ₁ x ₀ y ₃ y ₂ y ₁ y ₀	3 x y	1	1	-	連続記述
機能 : (X) x x = 0 ~ 15 (Y) y y = 0 ~ 15		分類 : RAMアドレス命令 詳細説明 : イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。LXY命令を連続記述し実行した場合は、最初に行ったLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。			

LZ z (Load register Z with z)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
0 0 0 1 0 0 1 0 z ₁ z ₀	0 4 ⁸ +z	1	1	-	-
機能 : (Z) z z = 0~3		分類 : RAMアドレス命令 詳細説明 : イミディエイトフィールドの値zをレジスタZへロードします。			

NOP (No OPeration)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
0 0 0 0 0 0 0 0 0 0	0 0 0	1	1	-	-
機能 : (PC) (PC) + 1		分類 : その他 詳細説明 : ノーオペレーション : プログラムカウンタの値を+1します。他は変化しません。			

OP0A (Output port P0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 0 0 1 0 0 0 0 0	2 2 0	1	1	-	-
機能 : (P0) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP0へ出力します。			

OP1A (Output port P1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 0 0 1 0 0 0 0 1	2 2 1	1	1	-	-
機能 : (P1) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP1へ出力します。			

OP2A (Output port P2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 0 0 1 0 0 0 1 0	2 2 2	1	1	-	-
機能 : (P2) (A)		分類 : 入出力命令			
		詳細説明 : レジスタAの内容を、ポートP2へ出力します。			

OR (logical OR between accumulator and memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
0 0 0 0 0 1 1 0 0 1	0 1 9	1	1	-	-
機能 : (A) (A) OR (M(DP))		分類 : 演算命令			
		詳細説明 : レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。			

POF (Power OFF1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
0 0 0 0 0 0 0 0 1 0	0 0 2	1	1	-	-
機能 : 時計動作モードへ遷移		分類 : その他			
		詳細説明 : EPOF命令実行直後にPOF命令を実行すると、本製品は時計動作モードになります。			
		留意点 : この命令の実行直前にEPOF命令が実行されていない場合、この命令はNOP命令と等価となります。			

POF2 (Power OFF2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
0 0 0 0 0 0 1 0 0 0	0 0 8	1	1	-	-
機能 : RAMバックアップモードへ遷移		分類 : その他			
		詳細説明 : EPOF命令実行直後にPOF2命令を実行すると、本製品はRAMバックアップモードになります。			
		留意点 : この命令の実行直前にEPOF命令が実行されていない場合、この命令はNOP命令と等価となります。			

RAR (Rotate Accumulator Right)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 1 0 1	0 1 D	1	1	0/1	-
機能 : CY A ₃ A ₂ A ₁ A ₀		分類 : 演算命令			
		詳細説明 : キャリフラグ(CY)を含め、レジスタAの内容を右へ1ビットローテーションします。			

RB j (Reset Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 1 1 j j	0 4 C _j	1	1	-	-
機能 : (Mj(DP)) 0 j = 0~3		分類 : ビット操作命令			
		詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。			

RC (Reset Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 1 0	0 0 6	1	1	0	-
機能 : (CY) 0		分類 : 演算命令			
		詳細説明 : キャリフラグ(CY)をクリア(0)します。			

RCP (Reset Port C)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 1 1 0 0	2 8 C	1	1	-	-
機能 : (C) 0		分類 : 入出力命令			
		詳細説明 : ポートCをクリア(0)します。			

RD (Reset port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 1 0 0	0 1 4	1	1	-	-
機能 : (D(Y)) 0, (Y) = 0 ~ 7		分類 : 入出力命令 詳細説明 : ポートDのレジスタYの内容で指定されたポートをクリア(0)します。			

RT (ReTurn from subroutine)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 1 0 0	0 4 4	1	2	-	-
機能 : (PC) (SK(SP)) (SP) (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻ります。			

RTI (ReTurn from Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 1 1 0	0 4 6	1	1	-	-
機能 : (PC) (SK(SP)) (SP) (SP) - 1		分類 : リターン命令 詳細説明 : 割り込み処理ルーチンからメインルーチンに戻ります。データポインタ(レジスタZ、X、Y)、キャリフラグ(CY)、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。			

RTS (ReTurn from subroutine and Skip)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 1 0 1	0 4 5	1	2	-	無条件スキップ
機能 : (PC) (SK(SP)) (SP) (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻り、次の命令を無条件にスキップします。			

RUPT (Reset UPT flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 1 0 0 0	0 5 8	1	1	-	-
機能 : (UPTF) 0		分類 : その他 詳細説明 : 上位ビット参照許可フラグUPTFをクリア(0)します。			

SB j (Set Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 1 1 j j	0 5 C _j	1	1	-	-
機能 : (Mj(DP)) 1 j = 0 ~ 3		分類 : ビット操作命令 詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値)で指定されたビット)の内容をセット(1)します。			

SC (Set Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 1 1	0 0 7	1	1	1	-
機能 : (CY) 1		分類 : 演算命令 詳細説明 : キャリフラグ(CY)をセット(1)します。			

SCP (Set Port C)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 1 1 0 1	2 8 D	1	1	-	-
機能 : (C) 1		分類 : 入出力命令 詳細説明 : ポートCをセット(1)します。			

SD (Set port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 1 0 1	0 1 5	1	1	-	-
機能 : (D(Y)) 1, Y = 0~7		分類 : 入出力命令 詳細説明 : ポートDのレジスタYの内容で指定されたポートをセット(1)します。			

SEA n (Skip Equal, Accumulator with immediate data n)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 1 0 1	0 2 5	2	2	-	(A) = n ただし、n = 0~15
0 0 0 1 1 1 n n n n	0 7 n	分類 : 比較命令 詳細説明 : レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			
機能 : (A) = n? n = 0 ~ 15					

SEAM (Skip Equal, Accumulator with Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 1 1 0	0 2 6	1	1	-	(A) = (M(DP))
機能 : (A) = (M(DP))?		分類 : 比較命令 詳細説明 : レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			

SNZ0 (Skip if Non Zero condition of external interrupt 0 request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 0 0 0	0 3 8	1	1	-	V10 = 0 : (EXF0) = 1
機能 : V10 = 0 : (EXF0) = 1? (EXF0) 0 V10 = 1 : SNZ0 = NOP		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタV1のビット0(V10)の内容が* 0 'のときは、外部0割り込み要求フラグ(EXF0)が* 1 'であれば、フラグEXF0をクリア(0)し、次の命令をスキップします。* 0 'ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット0(V10)の内容が* 1 'のときは、この命令はNOP命令と等価となります。			

SNZIO (Skip if Non Zero condition of external Interrupt 0 input pin)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件		
0 0 0 0 1 1 1 0 1 0	2	0 3 A	16	1	1	-	I12 = 1 : (INT) = "H" I12 = 0 : (INT) = "L"
機能 : I12 = 1 : (INT) = "H" ? I12 = 0 : (INT) = "L" ?		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI1のビット2(I12)の内容が* 1 "のときは、INT端子のレベルが* H "であれば次の命令をスキップします。" L "ならば、そのまま次の命令を実行します。 割り込み制御レジスタI1のビット2(I12)の内容が* 0 "のときは、INT端子のレベルが* L "であれば次の命令をスキップします。" H "ならば、そのまま次の命令を実行します。					

SNZP (Skip if Non Zero condition of Power down flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件		
0 0 0 0 0 0 0 0 1 1	2	0 0 3	16	1	1	-	(P) = 1
機能 : (P) = 1 ?		分類 : その他 詳細説明 : パワーダウンフラグ(P)の内容が* 1 "であれば、次の命令をスキップします。" 0 "ならば、そのまま次の命令を実行します。スキップ後もフラグPは変化しません。					

SNZT1 (Skip if Non Zero condition of Timer 1 interrupt request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件		
1 0 1 0 0 0 0 0 0 0	2	2 8 0	16	1	1	-	V12 = 0 : (T1F) = 1
機能 : V12 = 0 : (T1F) = 1 ? (T1F) 0 V12 = 1 : SNZT1 = NOP		分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV1のビット2(V12)の内容が* 0 "のときは、タイマ1割り込み要求フラグ(T1F)が* 1 "であれば、フラグT1Fをクリア(0)し、次の命令をスキップします。" 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット2(V12)の内容が* 1 "のときは、この命令はNOP命令と等価となります。					

SNZT2 (Skip if Non Zero condition of Timer 2 interrupt request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件		
1 0 1 0 0 0 0 0 0 1	2	2 8 1	16	1	1	-	V13 = 0 : (T2F) = 1
機能 : V13 = 0 : (T2F) = 1 ? (T2F) 0 V13 = 1 : SNZT2 = NOP		分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV1のビット3(V13)の内容が* 0 "のときは、タイマ2割り込み要求フラグ(T2F)が* 1 "であれば、フラグT2Fをクリア(0)し、次の命令をスキップします。" 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3(V13)の内容が* 1 "のときは、この命令はNOP命令と等価となります。					

SNZT3 (Skip if Non Zero condition of Timer 3 interrupt request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件		
1 0 1 0 0 0 0 0 1 0	2	2 8 2	16	1	1	-	V20 = 0 : (T3F) = 1
機能 : V20 = 0 : (T3F) = 1 ? (T3F) 0 V20 = 1 : SNZT3 = NOP		分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV2のビット0(V20)の内容が ^a 0 'のときは、タイマ3割り込み要求フラグ(T3F)が ^a 1 'であれば、フラグT3Fをクリア(0)し、次の命令をスキップします。" 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット0(V20)の内容が ^a 1 'のときは、この命令はNOP命令と等価となります。					

SRST (System ReSeT)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件		
0 0 0 0 0 0 0 0 0 1	2	0 0 1	16	1	1	-	-
機能 : システムリセット		分類 : その他 詳細説明 : システムリセットが発生します。					

SUPT (Set UPT flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件		
0 0 0 1 0 1 1 0 0 1	2	0 5 9	16	1	1	-	-
機能 : (UPTF) 1		分類 : その他 詳細説明 : 上位ビット参照許可フラグをセット(1)します。					

SVDE (Set Voltage Detector Enable flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件		
1 0 1 0 0 1 0 0 1 1	2	2 9 3	16	1	1	-	-
機能 : パワーダウンモード時:電圧低下検出回路有効		分類 : その他 詳細説明 : パワーダウンモード(時計動作モード, RAMバックアップモード)時に電圧低下検出回路を有効にします。 留意点 : この命令はHバージョンのみ使用できます。					

SZB j (Skip if Zero, Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 0 0	j j	1	1	-	(Mj(DP)) = 0 j = 0 ~ 3
	2				
	0 2 j				
	16				
機能 : (Mj(DP)) = 0 ? j = 0 ~ 3		分類 : ビット操作命令			
		詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値で指定されたビット)の内容が* 0 "であれば、次の命令をスキップします。" 1 "ならば、そのまま次の命令を実行します。			

SZC (Skip if Zero, Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 1 1 1 1		1	1	-	(CY) = 0
	2				
	0 2 F				
	16				
機能 : (CY) = 0 ?		分類 : 演算命令			
		詳細説明 : キャリフラグ(CY)の内容が* 0 "のとき、次の命令をスキップします。" 1 "ならば、そのまま次の命令を実行します。スキップ後もフラグCYは変化しません。			

SZD (Skip if Zero, port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 0 1 0 0		2	2	-	(D(Y)) = 0 (Y) = 0 ~ 7
	2				
	0 2 4				
	16				
	0 0 0 0 1 0 1 0 1 1				
	2				
	0 2 B				
	16				
機能 : (D(Y)) = 0 ? (Y) = 0 ~ 7		分類 : 入出力命令			
		詳細説明 : ポートDのレジスタYの内容で指定されたポートの内容が* 0 "であれば、次の命令をスキップします。" 1 "ならば、そのまま次の命令を実行します。			
		留意点 : (Y) = 0 ~ 5 レジスタYが指定範囲外の場合はこの命令を実行しないでください。			

T1AB (Transfer data to timer 1 and register R1 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 0 0 0 0		1	1	-	-
	2				
	2 3 0				
	16				
機能 : (T17 ~ T14) (B) (R17 ~ R14) (B) (T13 ~ T10) (A) (R13 ~ R10) (A)		分類 : タイマ操作命令			
		詳細説明 : レジスタBの内容をタイマ1とリロードレジスタR1の上位4ビットへ、レジスタAの内容をタイマ1とリロードレジスタR1の下位4ビットへ転送します。			

T2AB (Transfer data to timer 2 and register R2L from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 0 0 1 1 0 0 0 1	2 3 1	1	1	-	-
機能 : (R2L7 ~ R2L4) (B) (T27 ~ T24) (B) (R2L3 ~ R2L0) (A) (T23 ~ T20) (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をタイマ2とリロードレジスタR2Lの上位4ビットへ、レジスタAの内容をタイマ2とリロードレジスタR2Lの下部4ビットへ転送します。			

T2HAB (Transfer data to register R2H from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 1 0 0 1 0 1 0 0	2 9 4	1	1	-	-
機能 : (R2H7 ~ R2H4) (B) (R2H3 ~ R2H0) (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をタイマ2のリロードレジスタR2Hの上位4ビットへ、レジスタAの内容をタイマ2のリロードレジスタR2Hの下部4ビットへ転送します。			

T2R2L (Transfer data to timer 2 from register R2L)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 1 0 0 1 0 1 0 1	2 9 5	1	1	-	-
機能 : (T27 ~ T20) (R2L7 ~ R2L0)		分類 : タイマ操作命令 詳細説明 : リロードレジスタR2Lの内容を、タイマ2へ転送します。			

TAB (Transfer data to Accumulator from register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
0 0 0 0 0 1 1 1 1 0	0 1 E	1	1	-	-
機能 : (A) (B)		分類 : レジスタ間転送命令 詳細説明 : レジスタBの内容を、レジスタAへ転送します。			

TAB1 (Transfer data to Accumulator and register B from timer 1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 0 0	2	2 7 0	16	-	-
機能 : (B) (T17 ~ T14) (A) (T13 ~ T10)		分類 : タイマ操作命令 詳細説明 : タイマ1の上位4ビット(T17 ~ T14)の内容をレジスタBへ、タイマ1の低位4ビット(T13 ~ T10)の内容をレジスタAへ転送します。			

TAB2 (Transfer data to Accumulator and register B from timer 2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 0 1	2	2 7 1	16	-	-
機能 : (B) (T27 ~ T24) (A) (T23 ~ T20)		分類 : タイマ操作命令 詳細説明 : タイマ2の上位4ビット(T27 ~ T24)の内容をレジスタBへ、タイマ2の低位4ビット(T23 ~ T20)の内容をレジスタAへ転送します。			

TABE (Transfer data to Accumulator and register B from register E)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 1 0 1 0	2	0 2 A	16	-	-
機能 : (B) (E7 ~ E4) (A) (E3 ~ E0)		分類 : レジスタ間転送命令 詳細説明 : レジスタEの上位4ビット(E7 ~ E4)をレジスタBへ、レジスタEの低位4ビット(E3 ~ E0)をレジスタAへ転送します。			

TABP p (Transfer data to Accumulator and register B from Program memory in page p)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件	
0 0 1 0 p ₅ p ₄ p ₃ p ₂ p ₁ p ₀	2	0	⁸ _{+p} p	16	-	-
機能 : (SP) (SP) + 1 (SK(SP)) (PC) (PCH) p, (PCL) (DR ₂ ~ DR ₀ , A ₃ ~ A ₀) (UPTF) = 0のとき、 (B) (ROM(PC)) _{7~4} (A) (ROM(PC)) _{3~0} (UPTF) = 1のとき、 (DR ₂) 0, (DR ₁ , DR ₀) (ROM(PC)) _{9,8} (B) (ROM(PC)) _{7~4} (A) (ROM(PC)) _{3~0} (PC) (SK(SP)) (SP) (SP) - 1		分類 : 演算命令 詳細説明 : 上位ビット参照許可フラグUPTFの内容が [*] 0のとき、pページのレジスタDとレジスタAの内容で指定された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のROM/パターンのうち、ビット7~4をレジスタBへ、ビット3~0をレジスタAへ転送します。フラグUPTFの内容が [*] 1のとき、pページのレジスタDとレジスタAの内容で指定された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のROM/パターンのうち、ビット9、8をレジスタDへ、ビット7~4をレジスタBへ、ビット3~0をレジスタAへ転送します。この命令を実行するときは、スタックレジスタ(SK)を1段使用します。 留意点 : M34553M4/M4Hの場合 p = 0 ~ 31、 M34553M8/M8H/G8/G8Hの場合 p = 0 ~ 63です。 TABP p命令実行時、スタックレジスタ(SK)を1段使用しますので、スタックオーバにならないよう注意してください。				

TABPS (Transfer data to Accumulator and register B from Pre-Scaler)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
1 0 0 1 1 1 0 1 0 1	2	2 7 5	16	1	1	-	-
機能 : (B) (TPS ₇ ~ TPS ₄) (A) (TPS ₃ ~ TPS ₀)		分類 : タイマ操作命令 詳細説明 : プリスケーラの上位4ビット(TPS ₇ ~ TPS ₄)の内容をレジスタBへ、プリスケーラの下位4ビット(TPS ₃ ~ TPS ₀)の内容をレジスタAへ転送します。					

TAD (Transfer data to Accumulator from register D)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
0 0 0 1 0 1 0 0 0 1	2	0 5 1	16	1	1	-	-
機能 : (A ₂ ~ A ₀) (DR ₂ ~ DR ₀) (A ₃) 0		分類 : レジスタ間転送命令 詳細説明 : レジスタDの内容を、レジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。 留意点 : TAD命令実行時、レジスタAの最上位ビット(A ₃)には'0'が格納されます。					

TAI1 (Transfer data to Accumulator from register I1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
1 0 0 1 0 1 0 0 1 1	2	2 5 3	16	1	1	-	-
機能 : (A) (I1)		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI1の内容を、レジスタAへ転送します。					

TAKO (Transfer data to Accumulator from register K0)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
1 0 0 1 0 1 0 1 1 0	2	2 5 6	16	1	1	-	-
機能 : (A) (K0)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK0の内容を、レジスタAへ転送します。					

TAK1 (Transfer data to Accumulator from register K1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 0 0 1	2 5 9	1	1	-	-
機能 : (A) (K1)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK1の内容を、レジスタAへ転送します。			

TAK2 (Transfer data to Accumulator from register K2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 0 1 0	2 5 A	1	1	-	-
機能 : (A) (K2)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK2の内容を、レジスタAへ転送します。			

TAL1 (Transfer data to Accumulator from register L1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 0 1 0	2 4 A	1	1	-	-
機能 : (A) (L1)		分類 : LCD制御命令 詳細説明 : LCD制御レジスタL1の内容を、レジスタAへ転送します。			

TAM j (Transfer data to Accumulator from Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 1 0 0 j j j j	2 C j	1	1	-	-
機能 : (A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15		分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容をレジスタAに転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

TAMR (Transfer data to Accumulator from register MR)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 1 0	2 5 2	1	1	-	-
機能 : (A) (MR)		分類 : クロック制御命令 詳細説明 : クロック制御レジスタMRの内容を、レジスタAへ転送します。			

TAPU0 (Transfer data to Accumulator from register PU0)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 1 1 1	2 5 7	1	1	-	-
機能 : (A) (PU0)		分類 : 入出力命令 詳細説明 : プルアップ制御レジスタPU0の内容を、レジスタAへ転送します。			

TAPU1 (Transfer data to Accumulator from register PU1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 1 1 0	2 5 E	1	1	-	-
機能 : (A) (PU1)		分類 : 入出力命令 詳細説明 : プルアップ制御レジスタPU1の内容を、レジスタAへ転送します。			

TASP (Transfer data to Accumulator from Stack Pointer)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 0 0	0 5 0	1	1	-	-
機能 : (A ₂ ~ A ₀) (SP ₂ ~ SP ₀) (A ₃) 0		分類 : レジスタ間転送命令 詳細説明 : スタックポインタ(SP)の内容を、レジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。 留意点 : TASP命令実行後、レジスタAの最上位ビット(A ₃)には'0'が格納されます。			

TAV1 (Transfer data to Accumulator from register V1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 1 0 0	0 5 4	1	1	-	-
機能 : (A) (V1)		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタV1の内容を、レジスタAへ転送します。			

TAV2 (Transfer data to Accumulator from register V2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 1 0 1	0 5 5	1	1	-	-
機能 : (A) (V2)		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタV2の内容を、レジスタAへ転送します。			

TAW1 (Transfer data to Accumulator from register W1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 0 1 1	2 4 B	1	1	-	-
機能 : (A) (W1)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW1の内容を、レジスタAへ転送します。			

TAW2 (Transfer data to Accumulator from register W2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 0 0	2 4 C	1	1	-	-
機能 : (A) (W2)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW2の内容を、レジスタAへ転送します。			

TAW3 (Transfer data to Accumulator from register W3)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 0 1	2 4 D	1	1	-	-
機能 : (A) (W3)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW3の内容を、レジスタAへ転送します。			

TAW4 (Transfer data to Accumulator from register W4)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 1 0	2 4 E	1	1	-	-
機能 : (A) (W4)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW4の内容を、レジスタAへ転送します。			

TAX (Transfer data to Accumulator from register X)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 1 0	2 0 5 2	1	1	-	-
機能 : (A) (X)		分類 : レジスタ間転送命令 詳細説明 : レジスタXの内容を、レジスタAへ転送します。			

TAY (Transfer data to Accumulator from register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 1 1 1	2 0 1 F	1	1	-	-
機能 : (A) (Y)		分類 : レジスタ間転送命令 詳細説明 : レジスタYの内容を、レジスタAへ転送します。			

TAZ (Transfer data to Accumulator from register Z)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 1 1	0 5 3	1	1	-	-
機能 : (A ₁ , A ₀) (Z ₁ , Z ₀) (A ₃ , A ₂) 0		分類 : レジスタ間転送命令 詳細説明 : レジスタZの内容を、レジスタAの下位2ビット(A ₁ , A ₀)へ転送します。 留意点 : TAZ命令実行後、レジスタAの上位2ビット(A ₃ , A ₂)には"0"が格納されます。			

TBA (Transfer data to register B from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 1 1 0	0 0 E	1	1	-	-
機能 : (B) (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタAの内容を、レジスタBへ転送します。			

TC1A (Transfer data to register C1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 1 0 1 0 0 0	2 A 8	1	1	-	-
機能 : (C1) A		分類 : LCD制御命令 詳細説明 : レジスタAの内容を、LCD制御レジスタC1へ転送します。			

TC2A (Transfer data to register C2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 1 0 1 0 0 1	2 A 9	1	1	-	-
機能 : (C2) A		分類 : LCD制御命令 詳細説明 : レジスタAの内容を、LCD制御レジスタC2へ転送します。			

TDA (Transfer data to register D from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 1 0 0 1	0 2 9	1	1	-	-
機能 : (DR ₂ ~ DR ₀) (A ₂ ~ A ₀)		分類 : レジスタ間転送命令			
		詳細説明 : レジスタAの下位3ビット(A ₂ ~ A ₀)の内容を、レジスタDへ転送します。			

TEAB (Transfer data to register E from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 0 1 0	0 1 A	1	1	-	-
機能 : (E ₇ ~ E ₄) (B) (E ₃ ~ E ₀) (A)		分類 : レジスタ間転送命令			
		詳細説明 : レジスタBの内容をレジスタEの上位4ビット(E ₇ ~ E ₄)へ、レジスタAの内容をレジスタEの下位4ビット(E ₃ ~ E ₀)へ転送します。			

TFROA (Transfer data to register FR0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 0 0	2 2 8	1	1	-	-
機能 : (FR ₀) (A)		分類 : 入出力命令			
		詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR ₀ へ転送します。			

TFR1A (Transfer data to register FR1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 0 1	2 2 9	1	1	-	-
機能 : (FR ₁) (A)		分類 : 入出力命令			
		詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR ₁ へ転送します。			

TFR2A (Transfer data to register FR2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 1 0	2 2 A	1	1	-	-
機能 : (FR2) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR2へ転送します。			

TI1A (Transfer data to register I1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 1 1	2 1 7	1	1	-	-
機能 : (I1) (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタI1へ転送します。			

TK0A (Transfer data to register K0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 1 0 1 1	2 1 B	1	1	-	-
機能 : (K0) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK0へ転送します。			

TK1A (Transfer data to register K1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 0 0	2 1 4	1	1	-	-
機能 : (K1) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK1へ転送します。			

TK2A (Transfer data to register K2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 0 1	2 1 5	1	1	-	-

機能 : (K2) (A)

分類 : 入出力命令
 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK2へ転送します。

TL1A (Transfer data to register L1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 0 1 0	2 0 A	1	1	-	-

機能 : (L1) (A)

分類 : LCD制御命令
 詳細説明 : レジスタAの内容を、LCD制御レジスタL1へ転送します。

TL2A (Transfer data to register L2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 0 1 1	2 0 B	1	1	-	-

機能 : (L2) (A)

分類 : LCD制御命令
 詳細説明 : レジスタAの内容を、LCD制御レジスタL2へ転送します。

TL3A (Transfer data to register L3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 1 0 0	2 0 C	1	1	-	-

機能 : (L3) (A)

分類 : LCD制御命令
 詳細説明 : レジスタAの内容を、LCD制御レジスタL3へ転送します。

TLCA (Transfer data to timer LC and register RLC from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 1 0 1	2 0 D	1	1	-	-
機能 : (LC) (A) (RLC) (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマLCとリロードレジスタRLCへ転送します。			

TMA j (Transfer data to Memory from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 1 1 j j j j	2 B j	1	1	-	-
機能 : (M(DP)) (A) (X) (X)EXOR(j) j = 0 ~ 15		分類 : RAM・レジスタ間転送命令 詳細説明 : レジスタAの内容をM(DP)へ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

TMRA (Transfer data to register MR from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 1 1 0	2 1 6	1	1	-	-
機能 : (MR) (A)		分類 : その他 詳細説明 : レジスタAの内容を、クロック制御レジスタMRへ転送します。			

TPAA (Transfer data to register PA from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 1 0 1 0 1 0	2 A A	1	1	-	-
機能 : (PA0) (A0)		分類 : タイマ操作命令 詳細説明 : レジスタAの最下位ビット(A0)内容を、タイマ制御レジスタPAへ転送します。			

TPSAB (Transfer data to Pre-Scaler from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 0 1 0 1	2 3 5	1	1	-	-
機能 : (RPS7 ~ RPS4) (B) (TPS7 ~ TPS4) (B) (RPS3 ~ RPS0) (A) (TPS3 ~ TPS0) (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をプリスケータとリロードレジスタRPSの上位4ビットへ、レジスタAの内容をプリスケータとリロードレジスタRPSの下部4ビットへ転送します。			

TPU0A (Transfer data to register PU0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 1 0 1	2 2 D	1	1	-	-
機能 : (PU0) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU0へ転送します。			

TPU1A (Transfer data to register PU1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 1 1 0	2 2 E	1	1	-	-
機能 : (PU1) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU1へ転送します。			

TR1AB (Transfer data to register R1 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 1 1 1 1	2 3 F	1	1	-	-
機能 : (R17 ~ R14) (B) (R13 ~ R10) (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をタイマ1のリロードレジスタR1の上位4ビット(R17 ~ R14)へ、レジスタAの内容をタイマ1のリロードレジスタR1の下部4ビット(R13 ~ R10)へ転送します。			

TRGA (Transfer data to register RG from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
1 0 0 0 0 0 1 0 0 1	2	2 0 9	16	1	1	-	-
機能 : (RG) (A)		分類 : クロック制御命令				詳細説明 : レジスタAの内容を、クロック制御レジスタRGへ転送します。	

TV1A (Transfer data to register V1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
0 0 0 0 1 1 1 1 1 1	2	0 3 F	16	1	1	-	-
機能 : (V1) (A)		分類 : 割り込み制御命令				詳細説明 : レジスタAの内容を、割り込み制御レジスタV1へ転送します。	

TV2A (Transfer data to register V2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
0 0 0 0 1 1 1 1 1 0	2	0 3 E	16	1	1	-	-
機能 : (V2) (A)		分類 : 割り込み制御命令				詳細説明 : レジスタAの内容を、割り込み制御レジスタV2へ転送します。	

TW1A (Transfer data to register W1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
1 0 0 0 0 0 1 1 1 0	2	2 0 E	16	1	1	-	-
機能 : (W1) (A)		分類 : タイマ操作命令				詳細説明 : レジスタAの内容を、タイマ制御レジスタW1へ転送します。	

TW2A(Transfer data to register W2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 1 1 1	2 0 F	1	1	-	-
機能 : (W2) (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW2へ転送します。			

TW3A (Transfer data to register W3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 0 0 0	2 1 0	1	1	-	-
機能 : (W3) (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW3へ転送します。			

TW4A (Transfer data to register W4 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 0 0 1	2 1 1	1	1	-	-
機能 : (W4) (A)		分類 : タイマ制御命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW4へ転送します。			

TYA (Transfer data to register Y from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 1 0 0	0 0 C	1	1	-	-
機能 : (Y) (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタAの内容を、レジスタYへ転送します。			

WRST(Watchdog timer ReSeT)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>A</td><td>0</td></tr></table> ₁₆	1	0	1	0	1	0	0	0	0	0	2	A	0	語数	サイクル数	フラグC Y	スキップ条件
1	0	1	0	1	0	0	0	0	0								
2	A	0															
	1	1	-	(WDF1) = 1													
機能 : (WDF1) = 1 ? (WDF1) 0	分類 : その他 詳細説明 : ウォッチドッグタイマフラグ(WDF1)が“1”であれば、フラグWDF1をクリア(0)し、次の命令をスキップします。“0”ならば、そのまま次の命令を実行します。 また、DWDT命令実行直後にWRST命令を実行するとウォッチドッグタイマ機能を停止します。																

XAM j (eXchange Accumulator and Memory data)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>j</td><td>j</td><td>j</td><td>j</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>D</td><td>j</td></tr></table> ₁₆	1	0	1	1	0	1	j	j	j	j	2	D	j	語数	サイクル数	フラグC Y	スキップ条件
1	0	1	1	0	1	j	j	j	j								
2	D	j															
	1	1	-	-													
機能 : (A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15	分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。																

XAMD j (eXchange Accumulator and Memory data and Decrement register Y and skip)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>j</td><td>j</td><td>j</td><td>j</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>F</td><td>j</td></tr></table> ₁₆	1	0	1	1	1	1	j	j	j	j	2	F	j	語数	サイクル数	フラグC Y	スキップ条件
1	0	1	1	1	1	j	j	j	j								
2	F	j															
	1	1	-	(Y) = 15													
機能 : (A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15 (Y) (Y) - 1	分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を - 1し、その結果が“15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令を実行します。																

XAMI j (eXchange Accumulator and Memory data and Increment register Y and skip)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>j</td><td>j</td><td>j</td><td>j</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>E</td><td>j</td></tr></table> ₁₆	1	0	1	1	1	0	j	j	j	j	2	E	j	語数	サイクル数	フラグC Y	スキップ条件
1	0	1	1	1	0	j	j	j	j								
2	E	j															
	1	1	-	(Y) = 0													
機能 : (A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15 (Y) (Y) + 1	分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を + 1し、その結果が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。																

機械語命令一覧表

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
レジスタ間転送命令	TAB	0	0	0	0	0	1	1	1	1	0	0 1 E	1	1	(A) (B)	
	TBA	0	0	0	0	0	0	1	1	1	0	0 0 E	1	1	(B) (A)	
	TAY	0	0	0	0	0	1	1	1	1	1	0 1 F	1	1	(A) (Y)	
	TYA	0	0	0	0	0	0	1	1	0	0	0 0 C	1	1	(Y) (A)	
	TEAB	0	0	0	0	0	1	1	0	1	0	0 1 A	1	1	(E7 ~ E4) (B) (E3 ~ E0) (A)	
	TABE	0	0	0	0	1	0	1	0	1	0	0 2 A	1	1	(B) (E7 ~ E4) (A) (E3 ~ E0)	
	TDA	0	0	0	0	1	0	1	0	0	1	0 2 9	1	1	(DR2 ~ DR0) (A2 ~ A0)	
	TAD	0	0	0	1	0	1	0	0	0	1	0 5 1	1	1	(A2 ~ A0) (DR2 ~ DR0) (A3) 0	
	TAZ	0	0	0	1	0	1	0	0	1	1	0 5 3	1	1	(A1, A0) (Z1, Z0) (A3, A2) 0	
	TAX	0	0	0	1	0	1	0	0	1	0	0 5 2	1	1	(A) (X)	
	TASP	0	0	0	1	0	1	0	0	0	0	0 5 0	1	1	(A2 ~ A0) (SP2 ~ SP0) (A3) 0	
RAMアドレス命令	LXY x, y	1	1	x3	x2	x1	x0	y3	y2	y1	y0	3 x y	1	1	(X) x, x = 0 ~ 15 (Y) y, y = 0 ~ 15	
	LZ z	0	0	0	1	0	0	1	0	z1	z0	0 4 8 +z	1	1	(Z) z, z = 0 ~ 3	
	INX	0	0	0	0	0	1	0	0	1	1	0 1 3	1	1	(Y) (Y) + 1	
	DEY	0	0	0	0	0	1	0	1	1	1	0 1 7	1	1	(Y) (Y) - 1	
RAMレジスタ間転送命令	TAM j	1	0	1	1	0	0	j	j	j	j	2 C j	1	1	(A) (M(DP)) (X) (X) EXOR (j) j = 0 ~ 15	
	XAM j	1	0	1	1	0	1	j	j	j	j	2 D j	1	1	(A) (M(DP)) (X) (X) EXOR (j) j = 0 ~ 15	
	XAMD j	1	0	1	1	1	1	j	j	j	j	2 F j	1	1	(A) (M(DP)) (X) (X) EXOR (j) j = 0 ~ 15 (Y) (Y) - 1	
	XAMI j	1	0	1	1	1	0	j	j	j	j	2 E j	1	1	(A) (M(DP)) (X) (X) EXOR (j) j = 0 ~ 15 (Y) (Y) + 1	
	TMA j	1	0	1	0	1	1	j	j	j	j	2 B j	1	1	(M(DP)) (A) (X) (X) EXOR (j) j = 0 ~ 15	

スキップ条件	フ ラ グ C Y	詳細説明
-	-	レジスタBの内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、レジスタBへ転送します。
-	-	レジスタYの内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、レジスタYへ転送します。
-	-	レジスタA及びレジスタBの内容を、レジスタEへ転送します。
-	-	レジスタEの内容を、レジスタA及びレジスタBへ転送します。
-	-	レジスタAの内容を、レジスタDへ転送します。
-	-	レジスタDの内容を、レジスタAへ転送します。
-	-	レジスタZの内容を、レジスタAへ転送します。
-	-	レジスタXの内容を、レジスタAへ転送します。
-	-	スタックポインタ(S P)の内容を、レジスタAへ転送します。
連続記述	-	イミディエイトフィールドの値xをレジスタXへロードし、イミディエイトフィールドの値yをレジスタYへロードします。 LXY命令を連続記述し、連続実行の場合は、最初に実行したLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。
-	-	イミディエイトフィールドの値zをレジスタZへロードします。
(Y) = 0	-	レジスタYの内容を +1 します。その結果、レジスタYの内容が* 0 "であれば、次の命令をスキップします。
(Y) = 15	-	レジスタYの内容を - 1 します。その結果、レジスタYの内容が* 15 "であれば、次の命令をスキップします。
-	-	M(DP)の内容をレジスタAに転送した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
-	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
(Y) = 15	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を - 1 し、その結果が* 15 "のとき、次の命令をスキップします。
(Y) = 0	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を +1 し、その結果が* 0 "のとき、次の命令をスキップします。
-	-	レジスタAの内容をM(DP)に転送した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
演算命令	LAn	0	0	0	1	1	1	n	n	n	n	0 7 n	1	1	(A) n n=0~15	
	TABP p	0	0	1	0	p5	p4	p3	p2	p1	p0	0 8 p +p	1	3	(SP) (SP)+1 (SK(SP)) (PC) (PCH) p (PCL) (DR2~DR0 A3~A0) (UPTF)=0のとき、 (B) (ROM(PC))7~4 (A) (ROM(PC))3~0 (UPTF)=1のとき、 (DR2) 0 (DR1, DR0) (ROM(PC))9,8 (B) (ROM(PC))7~4 (A) (ROM(PC))3~0 (PC) (SK(SP)) (SP) (SP)-1	
	AM	0	0	0	0	0	0	1	0	1	0	0 0 A	1	1	(A) (A)+(M(DP))	
	AMC	0	0	0	0	0	0	1	0	1	1	0 0 B	1	1	(A) (A)+(M(DP))+(CY) (CY) キャリ	
	An	0	0	0	1	1	0	n	n	n	n	0 6 n	1	1	(A) (A)+n n=0~15	
	AND	0	0	0	0	0	1	1	0	0	0	0 1 8	1	1	(A) (A) AND (M(DP))	
	OR	0	0	0	0	0	1	1	0	0	1	0 1 9	1	1	(A) (A) OR (M(DP))	
	SC	0	0	0	0	0	0	0	1	1	1	0 0 7	1	1	(CY) 1	
	RC	0	0	0	0	0	0	0	1	1	0	0 0 6	1	1	(CY) 0	
	SZC	0	0	0	0	1	0	1	1	1	1	0 2 F	1	1	(CY)=0?	
CMA	0	0	0	0	0	1	1	1	0	0	0 1 C	1	1	(A) (A)		
RAR	0	0	0	0	0	1	1	1	0	1	0 1 D	1	1	<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>CY</td><td>A3A2A1A0</td></tr></table>	CY	A3A2A1A0
CY	A3A2A1A0															
ビット操作命令	SBj	0	0	0	1	0	1	1	1	j	j	0 5 C +j	1	1	(Mj(DP)) 1 j=0~3	
	RBj	0	0	0	1	0	0	1	1	j	j	0 4 C +j	1	1	(Mj(DP)) 0 j=0~3	
	SZBj	0	0	0	0	1	0	0	0	j	j	0 2 j	1	1	(Mj(DP))=0? j=0~3	
比較命令	SEAM	0	0	0	0	1	0	0	1	1	0	0 2 6	1	1	(A)=(M(DP))?	
	SEAn	0	0	0	0	1	0	0	1	0	1	0 2 5	2	2	(A)=n? n=0~15	
		0	0	0	1	1	1	n	n	n	n	0 7 n				

注 M34553M4/M4Hの場合、p=0~31です。M34553M8/M8H/G8/G8Hの場合、p=0~63です。

スキップ条件	フ ラ グ C Y	詳細説明
<p>連続記述</p> <p>-</p> <p>-</p> <p>-</p> <p>オーバーフロー=0</p> <p>-</p> <p>-</p> <p>-</p> <p>-</p> <p>(CY)=0</p> <p>-</p> <p>-</p>	<p>-</p> <p>-</p> <p>0/1</p> <p>-</p> <p>-</p> <p>1</p> <p>0</p> <p>-</p> <p>-</p> <p>0/1</p>	<p>イミディエイトフィールドの値nをレジスタAへロードします。 LA命令を連続記述し、連続実行の場合は、最初に実行したLA命令を除き、以下に連続記述されたLA命令はスキップされます。</p> <p>上位ビット参照許可フラグUPTFの内容が^a 0 'のとき、 pページのレジスタDとレジスタAで指定された(DR₂ DR₁ DR₀ A₃ A₂ A₁ A₀)₂番地のROMパターンのうち、ビット7~4をレジスタBに、ビット3~0をレジスタAへ転送します。</p> <p>上位ビット参照許可フラグUPTFの内容が^a 1 'のとき、 pページのレジスタDとレジスタAの内容で指定された(DR₂DR₁DR₀A₃A₂A₁A₀)₂番地のROMパターンのうち、ビット9、8をレジスタDへ、ビット7~4をレジスタBへ、ビット3~0をレジスタAへ転送します。 この命令を実行するときは、スタックを1段使用します。</p> <p>レジスタAにM(DP)の内容を加え、結果をレジスタAに格納します。キャリフラグCYの内容は変化しません。</p> <p>レジスタAにM(DP)の内容とキャリフラグCYの内容を加え、結果をレジスタAとキャリフラグCYに格納します。</p> <p>レジスタAにイミディエイトフィールドの値nを加えます。キャリフラグCYの内容は変化しません。 演算の結果、オーバーフローしなければ次の命令をスキップします。</p> <p>レジスタAとM(DP)の内容の論理積をとり、結果をレジスタAに格納します。</p> <p>レジスタAとM(DP)の内容の論理和をとり、結果をレジスタAに格納します。</p> <p>キャリフラグCYをセット(1)します。</p> <p>キャリフラグCYをクリア(0)します。</p> <p>キャリフラグCYの内容が^a 0 'のとき、次の命令をスキップします。</p> <p>レジスタAの内容の1の補数をレジスタAに格納します。</p> <p>キャリフラグを含め、レジスタAを右へ1ビットローテーションします。</p>
<p>-</p> <p>-</p> <p>(M_j(DP))=0 ただし、j=0~3</p>	<p>-</p> <p>-</p> <p>-</p>	<p>M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)をセット(1)します。</p> <p>M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)をクリア(0)します。</p> <p>M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が^a 0 'のとき、次の命令をスキップします。</p>
<p>(A) = (M(DP))</p> <p>(A) = n ただし、n=0~15</p>	<p>-</p> <p>-</p>	<p>レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。</p> <p>レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。</p>

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
ブランチ命令	B a	0	1	1	a6	a5	a4	a3	a2	a1	a0	1 8 a +a	1	1	(PCL) a6 ~ a0	
	BL p a	0	0	1	1	1	p4	p3	p2	p1	p0	0 E p +p	2	2	(PCH) p (PCL) a6 ~ a0	
		1	0	p5	a6	a5	a4	a3	a2	a1	a0	2 p a +a				
	BLA p	0	0	0	0	0	1	0	0	0	0	0 1 0	2	2	(PCH) p (PCL) (DR2 ~ DR0 A3 ~ A0)	
		1	0	p5	p4	0	0	p3	p2	p1	p0	2 p p				
サブルーチン呼び出し命令	BM a	0	1	0	a6	a5	a4	a3	a2	a1	a0	1 a a	1	1	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) 2 (PCL) a6 ~ a0	
	BML p a	0	0	1	1	0	p4	p3	p2	p1	p0	0 C p +p	2	2	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) a6 ~ a0	
		1	0	p5	a6	a5	a4	a3	a2	a1	a0	2 p a +a				
	BMLA p	0	0	0	0	1	1	0	0	0	0	0 3 0	2	2	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR2 ~ DR0 A3 ~ A0)	
		1	0	p5	p4	0	0	p3	p2	p1	p0	2 p p				
リターン命令	RTI	0	0	0	1	0	0	0	1	1	0	0 4 6	1	1	(PC) (SK(SP)) (SP) (SP) - 1	
	RT	0	0	0	1	0	0	0	1	0	0	0 4 4	1	2	(PC) (SK(SP)) (SP) (SP) - 1	
	RTS	0	0	0	1	0	0	0	1	0	1	0 4 5	1	2	(PC) (SK(SP)) (SP) (SP) - 1	
割り込み制御命令	DI	0	0	0	0	0	0	0	1	0	0	0 0 4	1	1	(INTE) 0	
	EI	0	0	0	0	0	0	0	1	0	1	0 0 5	1	1	(INTE) 1	
	SNZ0	0	0	0	0	1	1	1	0	0	0	0 3 8	1	1	V10 = 0:(EXF0) = 1? (EXF0) 0 V10 = 1:SNZ0 = NOP	
	SZNI0	0	0	0	0	1	1	1	0	1	0	0 3 A	1	1	I12 = 1:(INT) = " H "? I12 = 0:(INT) = " L "?	

注 M34553M4/M4Hの場合、p=0 ~ 31です。M34553M8/M8H/G8/G8Hの場合、p=0 ~ 63です。

スキップ条件	フラグ CY	詳細説明
-	-	ページ内ブランチ:同一ページのa番地へブランチします。
-	-	ページ外ブランチ:pページのa番地へブランチします。
-	-	ページ外ブランチ:pページのレジスタD ,レジスタAで指定された(DR2DR1DR0A3A2A1A0)2番地へブランチします。
-	-	2ページのサブルーチン呼び出し:2ページのa番地のサブルーチンを呼び出します。
-	-	サブルーチン呼び出し:pページのa番地のサブルーチンを呼び出します。
-	-	サブルーチン呼び出し:pページのレジスタD ,レジスタAで指定された(DR2DR1DR0A3A2A1A0)2番地のサブルーチンを呼び出します。
無条件スキップ	-	<ul style="list-style-type: none"> - 割り込み処理ルーチンからメインルーチンに戻ります。 データポインタ(X ,Y ,Z)、キャリフラグ、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。 - サブルーチンから、このサブルーチンを呼び出したルーチンに戻ります。 - サブルーチンから、このサブルーチンを呼び出したルーチンに戻り、次の命令を無条件にスキップします。
V10 = 0: (EXF0) = 1	-	割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。
I12 = 1: (INT) = " H "	-	割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。
I12 = 0: (INT) = " L "	-	割り込み制御レジスタV1のビット0(V10)の内容が* 0 "で、外部0割り込み要求フラグEXF0が* 1 "のとき、外部0割り込み要求フラグEXF0をクリア(0)し、次の命令をスキップします。
	-	割り込み制御レジスタI1のビット2(I12)の内容が* 1 "で、INT端子のレベルが* H "のとき、次の命令をスキップします。
	-	割り込み制御レジスタI1のビット2(I12)の内容が* 0 "で、INT端子のレベルが* L "のとき、次の命令をスキップします。

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
割り込み制御命令	TAV1	0	0	0	1	0	1	0	1	0	0	0 5 4	1	1	(A) (V1)	
	TV1A	0	0	0	0	1	1	1	1	1	1	0 3 F	1	1	(V1) (A)	
	TAV2	0	0	0	1	0	1	0	1	0	1	0 5 5	1	1	(A) (V2)	
	TV2A	0	0	0	0	1	1	1	1	1	0	0 3 E	1	1	(V2) (A)	
	TAI1	1	0	0	1	0	1	0	0	1	1	2 5 3	1	1	(A) (I1)	
	TI1A	1	0	0	0	0	1	0	1	1	1	2 1 7	1	1	(I1) (A)	
タイム操作命令	TPAA	1	0	1	0	1	0	1	0	1	0	2 A A	1	1	(PA0) (A0)	
	TAW1	1	0	0	1	0	0	1	0	1	1	2 4 B	1	1	(A) (W1)	
	TW1A	1	0	0	0	0	0	1	1	1	0	2 0 E	1	1	(W1) (A)	
	TAW2	1	0	0	1	0	0	1	1	0	0	2 4 C	1	1	(A) (W2)	
	TW2A	1	0	0	0	0	0	1	1	1	1	2 0 F	1	1	(W2) (A)	
	TAW3	1	0	0	1	0	0	1	1	0	1	2 4 D	1	1	(A) (W3)	
	TW3A	1	0	0	0	0	1	0	0	0	0	2 1 0	1	1	(W3) (A)	
	TAW4	1	0	0	1	0	0	1	1	1	0	2 4 E	1	1	(A) (W4)	
	TW4A	1	0	0	0	0	1	0	0	0	1	2 1 1	1	1	(W4) (A)	

スキップ条件	フラグ CY	詳細説明
-	-	<ul style="list-style-type: none"> - 割り込み制御レジスタV1の内容を、レジスタAへ転送します。 - レジスタAの内容を、割り込み制御レジスタV1へ転送します。 - 割り込み制御レジスタV2の内容を、レジスタAへ転送します。 - レジスタAの内容を、割り込み制御レジスタV2へ転送します。 - 割り込み制御レジスタI1の内容を、レジスタAへ転送します。 - レジスタAの内容を、割り込み制御レジスタI1へ転送します。
-	-	<ul style="list-style-type: none"> - レジスタAの内容を、タイマ制御レジスタPAへ転送します。 - タイマ制御レジスタW1の内容を、レジスタAへ転送します。 - レジスタAの内容を、タイマ制御レジスタW1へ転送します。 - タイマ制御レジスタW2の内容を、レジスタAへ転送します。 - レジスタAの内容を、タイマ制御レジスタW2へ転送します。 - タイマ制御レジスタW3の内容を、レジスタAへ転送します。 - レジスタAの内容を、タイマ制御レジスタW3へ転送します。 - タイマ制御レジスタW4の内容を、レジスタAへ転送します。 - レジスタAの内容を、タイマ制御レジスタW4へ転送します。

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
タイム操作命令	TABPS	1	0	0	1	1	1	0	1	0	1	2 7 5	1	1	(B) (TPS7 ~ TPS4) (A) (TPS3 ~ TPS0)	
	TPSAB	1	0	0	0	1	1	0	1	0	1	2 3 5	1	1	(RPS7 ~ RPS4) (B) (TPS7 ~ TPS4) (B) (RPS3 ~ RPS0) (A) (TPS3 ~ TPS0) (A)	
	TAB1	1	0	0	1	1	1	0	0	0	0	2 7 0	1	1	(B) (T17 ~ T14) (A) (T13 ~ T10)	
	T1AB	1	0	0	0	1	1	0	0	0	0	2 3 0	1	1	(R17 ~ R14) (B) (T17 ~ T14) (B) (R13 ~ R10) (A) (T13 ~ T10) (A)	
	TAB2	1	0	0	1	1	1	0	0	0	1	2 7 1	1	1	(B) (T27 ~ T24) (A) (T23 ~ T20)	
	T2AB	1	0	0	0	1	1	0	0	0	1	2 3 1	1	1	(R2L7 ~ R2L4) (B) (T27 ~ T24) (B) (R2L3 ~ R2L0) (A) (T23 ~ T20) (A)	
	T2HAB	1	0	1	0	0	1	0	1	0	0	2 9 4	1	1	(R2H7 ~ R2H4) (B) (R2H3 ~ R2H0) (A)	
	TR1AB	1	0	0	0	1	1	1	1	1	1	2 3 F	1	1	(R17 ~ R14) (B) (R13 ~ R10) (A)	
	T2R2L	1	0	1	0	0	1	0	1	0	1	2 9 5	1	1	(T27 ~ T20) (R2L7 ~ R2L0)	
	TLCA	1	0	0	0	0	0	1	1	0	1	2 0 D	1	1	(LC) (A) (RLC) (A)	

スキップ条件	フラグ CY	詳細説明
-	-	<p>プリスケアラの上位4ビットの内容を、レジスタBへ転送し、プリスケアラの下位4ビットの内容を、レジスタAへ転送します。</p> <p>レジスタBの内容を、プリスケアラ及びプリスケアラのリロードレジスタRPSの上位4ビットへ転送し、レジスタAの内容を、プリスケアラ及びプリスケアラのリロードレジスタRPSの下位4ビットへ転送します。</p> <p>タイマ1の上位4ビットの内容を、レジスタBへ転送し、タイマ1の下位4ビットの内容を、レジスタAへ転送します。</p> <p>レジスタBの内容を、タイマ1及びタイマ1のリロードレジスタR1の上位4ビットへ転送し、レジスタAの内容を、タイマ1及びタイマ1のリロードレジスタR1の下位4ビットへ転送します。</p> <p>タイマ2の上位4ビットの内容を、レジスタBへ転送し、タイマ2の下位4ビットの内容を、レジスタAへ転送します。</p> <p>レジスタBの内容を、タイマ2及びタイマ2のリロードレジスタR2Lの上位4ビットへ転送し、レジスタAの内容を、タイマ2及びタイマ2のリロードレジスタR2Lの下位4ビットへ転送します。</p> <p>レジスタBの内容を、タイマ2のリロードレジスタR2Hの上位4ビットへ転送し、レジスタAの内容を、タイマ2のリロードレジスタR2Hの下位4ビットへ転送します。</p> <p>レジスタBの内容を、タイマ1のリロードレジスタR1の上位4ビットへ転送し、レジスタAの内容を、タイマ1のリロードレジスタR1の下位4ビットへ転送します。</p> <p>タイマ2のリロードレジスタR2Lの内容を、タイマ2へ転送します。</p> <p>レジスタAの内容を、タイマLC及びタイマLCのリロードレジスタRLCへ転送します。</p>

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
タイマ操作命令	SZNT1	1	0	1	0	0	0	0	0	0	0	2 8 0	1	1	V12=0:(T1F)=1? (T1F) 0 V12=1:SNZT1=NOP	
	SNZT2	1	0	1	0	0	0	0	0	0	1	2 8 1	1	1	V13=0:(T2F)=1? (T2F) 0 V13=1:SNZT2=NOP	
	SNZT3	1	0	1	0	0	0	0	0	1	0	2 8 2	1	1	V20=0:(T3F)=1? (T3F) 0 V20=1:SNZT3=NOP	
入出力命令	IAP0	1	0	0	1	1	0	0	0	0	0	2 6 0	1	1	(A) (P0)	
	OP0A	1	0	0	0	1	0	0	0	0	0	2 2 0	1	1	(P0) (A)	
	IAP1	1	0	0	1	1	0	0	0	0	1	2 6 1	1	1	(A) (P1)	
	OP1A	1	0	0	0	1	0	0	0	0	1	2 2 1	1	1	(P1) (A)	
	IAP2	1	0	0	1	1	0	0	0	1	0	2 6 2	1	1	(A) (P2)	
	OP2A	1	0	0	0	1	0	0	0	1	0	2 2 2	1	1	(P2) (A)	
	CLD	0	0	0	0	0	1	0	0	0	1	0 1 1	1	1	(D) 1	
	RD	0	0	0	0	0	1	0	1	0	0	0 1 4	1	1	(D(Y)) 0,(Y)=0~7	
	SD	0	0	0	0	0	1	0	1	0	1	0 1 5	1	1	(D(Y)) 1,(Y)=0~7	
	SZD	0	0	0	0	1	0	0	1	0	0	0 2 4	2	2	(D(Y))=0? ,(Y)=0~5	
		0	0	0	0	1	0	1	0	1	1	0 2 B				
	RCP	1	0	1	0	0	0	1	1	0	0	2 8 C	1	1	(C) 0	
	SCP	1	0	1	0	0	0	1	1	0	1	2 8 D	1	1	(C) 1	
	TAPU0	1	0	0	1	0	1	0	1	1	1	2 5 7	1	1	(A) (PU0)	
	TPU0A	1	0	0	0	1	0	1	1	0	1	2 2 D	1	1	(PU0) (A)	
TAPU1	1	0	0	1	0	1	1	1	1	0	2 5 E	1	1	(A) (PU1)		
TPU1A	1	0	0	0	1	0	1	1	1	0	2 2 E	1	1	(PU1) (A)		

スキップ条件	フラグ CY	詳細説明
V12=0:(T1F)=1	-	割り込み制御レジスタV1のビット2(V12)の内容が* 0 で、タイマ1割り込み要求フラグT1Fが* 1 のとき、タイマ1割り込み要求フラグT1Fをクリア(0)し、次の命令をスキップします。
V13=0:(T2F)=1	-	割り込み制御レジスタV1のビット3(V13)の内容が* 0 で、タイマ2割り込み要求フラグT2Fが* 1 のとき、タイマ2割り込み要求フラグT2Fをクリア(0)し、次の命令をスキップします。
V20=0:(T3F)=1	-	割り込み制御レジスタV2のビット0(V20)の内容が* 0 で、タイマ3割り込み要求フラグT3Fが* 1 のとき、タイマ3割り込み要求フラグT3Fをクリア(0)し、次の命令をスキップします。
-	-	<ul style="list-style-type: none"> - ポートP0の入力を、レジスタAへ転送します。 - レジスタAの内容を、ポートP0へ出力します。 - ポートP1の入力を、レジスタAへ転送します。 - レジスタAの内容を、ポートP1へ出力します。 - ポートP2の入力を、レジスタAへ転送します。 - レジスタAの内容を、ポートP2へ出力します。 - ポートDをすべてセット(1)します。 - ポートDのレジスタYの内容で指定されたポートをクリア(0)します。 - ポートDのレジスタYの内容で指定されたポートをセット(1)します。 - ポートDのレジスタYの内容で指定されたポートの内容が* 0 のとき、次の命令をスキップします。 - ポートCをクリア(0)します。 - ポートCをセット(1)します。 - ブルアップ制御レジスタPU0の内容を、レジスタAへ転送します。 - レジスタAの内容を、ブルアップ制御レジスタPU0へ転送します。 - ブルアップ制御レジスタPU1の内容を、レジスタAへ転送します。 - レジスタAの内容を、ブルアップ制御レジスタPU1へ転送します。

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
入出力命令	TAK0	1	0	0	1	0	1	0	1	1	0	2 5 6	1	1	(A) (K0)	
	TK0A	1	0	0	0	0	1	1	0	1	1	2 1 B	1	1	(K0) (A)	
	TAK1	1	0	0	1	0	1	1	0	0	1	2 5 9	1	1	(A) (K1)	
	TK1A	1	0	0	0	0	1	0	1	0	0	2 1 4	1	1	(K1) (A)	
	TAK2	1	0	0	1	0	1	1	0	1	0	2 5 A	1	1	(A) (K2)	
	TK2A	1	0	0	0	0	1	0	1	0	1	2 1 5	1	1	(K2) (A)	
	TFR0A	1	0	0	0	1	0	1	0	0	0	2 2 8	1	1	(FR0) (A)	
	TFR1A	1	0	0	0	1	0	1	0	0	1	2 2 9	1	1	(FR1) (A)	
	TFR2A	1	0	0	0	1	0	1	0	1	0	2 2 A	1	1	(FR2) (A)	
LCD制御命令	TAL1	1	0	0	1	0	0	1	0	1	0	2 4 A	1	1	(A) (L1)	
	TL1A	1	0	0	0	0	0	1	0	1	0	2 0 A	1	1	(L1) (A)	
	TL2A	1	0	0	0	0	0	1	0	1	1	2 0 B	1	1	(L2) (A)	
	TL3A	1	0	0	0	0	0	1	1	0	0	2 0 C	1	1	(L3) (A)	
	TC1A	1	0	1	0	1	0	1	0	0	0	2 A 8	1	1	(C1) (A)	
	TC2A	1	0	1	0	1	0	1	0	0	1	2 A 9	1	1	(C2) (A)	
クロック制御命令	CRCK	1	0	1	0	0	1	1	0	1	1	2 9 B	1	1	RC発振回路選択	
	TAMR	1	0	0	1	0	1	0	0	1	0	2 5 2	1	1	(A) (MR)	
	TMRA	1	0	0	0	0	1	0	1	1	0	2 1 6	1	1	(MR) (A)	
	TRGA	1	0	0	0	0	0	1	0	0	1	2 0 9	1	1	(RG) (A)	

スキップ条件	フ ラ グ C Y	詳細説明
-	-	<ul style="list-style-type: none"> - キーオンウェイクアップ制御レジスタK0の内容を、レジスタAへ転送します。 - レジスタAの内容を、キーオンウェイクアップ制御レジスタK0へ転送します。 - キーオンウェイクアップ制御レジスタK1の内容を、レジスタAへ転送します。 - レジスタAの内容を、キーオンウェイクアップ制御レジスタK1へ転送します。 - キーオンウェイクアップ制御レジスタK2の内容を、レジスタAへ転送します。 - レジスタAの内容を、キーオンウェイクアップ制御レジスタK2へ転送します。 - レジスタAの内容を、ポート出力形式制御レジスタFR0へ転送します。 - レジスタAの内容を、ポート出力形式制御レジスタFR1へ転送します。 - レジスタAの内容を、ポート出力形式制御レジスタFR2へ転送します。
-	-	<ul style="list-style-type: none"> - LCD制御レジスタL1の内容を、レジスタAへ転送します。 - レジスタAの内容を、LCD制御レジスタL1へ転送します。 - レジスタAの内容を、LCD制御レジスタL2へ転送します。 - レジスタAの内容を、LCD制御レジスタL3へ転送します。 - レジスタAの内容を、LCD制御レジスタC1へ転送します。 - レジスタAの内容を、LCD制御レジスタC2へ転送します。
-	-	<ul style="list-style-type: none"> - メインクロックにRC発振回路を選択し、オンチップオシレータ(内部発振器)を停止します。 - クロック制御レジスタMRの内容を、レジスタAへ転送します。 - レジスタAの内容を、クロック制御レジスタMRへ転送します。 - レジスタAの内容を、クロック制御レジスタRGへ転送します。

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能			
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0								
その他	NOP	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	(PC) (PC) + 1
	POF	0	0	0	0	0	0	0	0	0	1	0	0	0	2	1	1	時計動作モードへ遷移	
	POF2	0	0	0	0	0	0	1	0	0	0	0	0	0	8	1	1	RAMバックアップモードへ遷移	
	EPOF	0	0	0	1	0	1	1	0	1	1	0	5	B	1	1	POF命令,POF2命令有効		
	SNZP	0	0	0	0	0	0	0	0	0	1	1	0	0	3	1	1	(P) = 1?	
	WRST	1	0	1	0	1	0	0	0	0	0	0	2	A	0	1	1	(WDF1) = 1? (WDF1) 0	
	DWDT	1	0	1	0	0	1	1	1	0	0	0	2	9	C	1	1	ウォッチドッグタイマ機能停止許可	
	SRST	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	システムリセット	
	RUPT	0	0	0	1	0	1	1	0	0	0	0	0	5	8	1	1	(UPTF) 0	
	SUPT	0	0	0	1	0	1	1	0	0	1	0	0	5	9	1	1	(UPTF) 1	
SVDE	1	0	1	0	0	1	0	0	1	1	0	2	9	3	1	1	パワーダウン時:電圧低下検出回路有効		

スキップ条件	フラグ CY	詳細説明
<ul style="list-style-type: none"> - - - - (P) = 1 (WDF1) = 1 - - - - - 	<ul style="list-style-type: none"> - - - - - - - - - - - 	<ul style="list-style-type: none"> - ノーオペレーション: プログラムカウンタの値を + 1 します。他は変化しません。 - EPOF命令実行直後にPOF命令を実行すると、本製品は時計動作モードになります。 - EPOF命令実行直後にPOF2命令を実行すると、本製品はRAMバックアップモードになります。 - EPOF命令を実行すると、直後のPOF命令又はPOF2命令が有効になります。 - パワーダウンフラグPが* 1 のとき、次の命令をスキップします。スキップ後もパワーダウンフラグPの内容は変化しません。 - ウォッチドッグタイマフラグ(WDF1)が* 1 であれば、フラグWDF1をクリア(0)し、次の命令をスキップします。* 0 ならば、そのまま次の命令を実行します。また、DWDT命令実行直後にWRST命令を実行すると、ウォッチドッグタイマによるリセット発生機能を無効にします。 - WRST命令によるウォッチドッグタイマ機能停止が有効になります。 - システムリセットが発生します。 - 上位ビット参照許可フラグUPTFをクリア(0)します。 - 上位ビット参照許可フラグUPTFをセット(1)します。 - パワーダウン(時計動作モード、RAMバックアップモード)時に電圧低下検出回路を有効にします。

命令コード対応表

D3~D0	16進表記	D9~D4																010000	011000
		000000	000001	000010	000011	000100	000101	000110	000111	001000	001001	001010	001011	001100	001101	001110	001111	010111	011111
		00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10~17	18~1F
0000	0	NOP	BLA	SZB 0	BMLA	-	TASP	A 0	LA 0	TABP 0	TABP 16	TABP 32*	TABP 48*	BML	BML	BL	BL	BM	B
0001	1	SRST	CLD	SZB 1	-	-	TAD	A 1	LA 1	TABP 1	TABP 17	TABP 33*	TABP 49*	BML	BML	BL	BL	BM	B
0010	2	POF	-	SZB 2	-	-	TAX	A 2	LA 2	TABP 2	TABP 18	TABP 34*	TABP 50*	BML	BML	BL	BL	BM	B
0011	3	SNZP	INY	SZB 3	-	-	TAZ	A 3	LA 3	TABP 3	TABP 19	TABP 35*	TABP 51*	BML	BML	BL	BL	BM	B
0100	4	DI	RD	SZD	-	RT	TAV1	A 4	LA 4	TABP 4	TABP 20	TABP 36*	TABP 52*	BML	BML	BL	BL	BM	B
0101	5	EI	SD	SEAn	-	RTS	TAV2	A 5	LA 5	TABP 5	TABP 21	TABP 37*	TABP 53*	BML	BML	BL	BL	BM	B
0110	6	RC	-	SEAM	-	RTI	-	A 6	LA 6	TABP 6	TABP 22	TABP 38*	TABP 54*	BML	BML	BL	BL	BM	B
0111	7	SC	DEY	-	-	-	-	A 7	LA 7	TABP 7	TABP 23	TABP 39*	TABP 55*	BML	BML	BL	BL	BM	B
1000	8	POF2	AND	-	SNZ0	LZ 0	RUPT	A 8	LA 8	TABP 8	TABP 24	TABP 40*	TABP 56*	BML	BML	BL	BL	BM	B
1001	9	-	OR	TDA	-	LZ 1	SUPT	A 9	LA 9	TABP 9	TABP 25	TABP 41*	TABP 57*	BML	BML	BL	BL	BM	B
1010	A	AM	TEAB	TABE	SNZ10	LZ 2	-	A 10	LA 10	TABP 10	TABP 26	TABP 42*	TABP 58*	BML	BML	BL	BL	BM	B
1011	B	AMC	-	-	-	LZ 3	EPOF	A 11	LA 11	TABP 11	TABP 27	TABP 43*	TABP 59*	BML	BML	BL	BL	BM	B
1100	C	TYA	CMA	-	-	RB 0	SB 0	A 12	LA 12	TABP 12	TABP 28	TABP 44*	TABP 60*	BML	BML	BL	BL	BM	B
1101	D	-	RAR	-	-	RB 1	SB 1	A 13	LA 13	TABP 13	TABP 29	TABP 45*	TABP 61*	BML	BML	BL	BL	BM	B
1110	E	TBA	TAB	-	TV2A	RB 2	SB 2	A 14	LA 14	TABP 14	TABP 30	TABP 46*	TABP 62*	BML	BML	BL	BL	BM	B
1111	F	-	TAY	SZC	TV1A	RB 3	SB 3	A 15	LA 15	TABP 15	TABP 31	TABP 47*	TABP 63*	BML	BML	BL	BL	BM	B

上表は機械語コードと機械語命令の対応表です。D3~D0は機械語コードの下位4ビットを示し、D9~D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、2語命令の第2語目のコードを下表に示します。

注.“ - ”で示しているコードは使用しないでください。

	第2語
BL	1p paaa aaaa
BML	1p paaa aaaa
BLA	1p pp00 pppp
BMLA	1p pp00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

・ M34553M4/M4Hでは、*は使用できません。

命令コード対応表

D ₃ ~ D ₀	16進 表記	D ₉ ~D ₄															110000		
		100000	100001	100010	100011	100100	100101	100110	100111	101000	101001	101010	101011	101100	101101	101110	101111	111111	
		20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F	30~3F	
0000	0	-	TW3A	OP0A	T1AB	-	-	IAP0	TAB1	SNZT1	-	WRST	TMA0	TAM0	XAM0	XAMI0	XAMD0	LXY	
0001	1	-	TW4A	OP1A	T2AB	-	-	IAP1	TAB2	SNZT2	-	-	TMA1	TAM1	XAM1	XAMI1	XAMD1	LXY	
0010	2	-	-	OP2A	-	-	TAMR	IAP2	-	SNZT3	-	-	TMA2	TAM2	XAM2	XAMI2	XAMD2	LXY	
0011	3	-	-	-	-	-	TA11	-	-	-	SVDE**	-	TMA3	TAM3	XAM3	XAMI3	XAMD3	LXY	
0100	4	-	TK1A	-	-	-	-	-	-	-	T2HAB	-	TMA4	TAM4	XAM4	XAMI4	XAMD4	LXY	
0101	5	-	TK2A	-	TPSAB	-	-	-	TABPS	-	T2R2L	-	TMA5	TAM5	XAM5	XAMI5	XAMD5	LXY	
0110	6	-	TMRA	-	-	-	TAK0	-	-	-	-	-	TMA6	TAM6	XAM6	XAMI6	XAMD6	LXY	
0111	7	-	TI1A	-	-	-	TAPU0	-	-	-	-	-	TMA7	TAM7	XAM7	XAMI7	XAMD7	LXY	
1000	8	-	-	TFR0A	-	-	-	-	-	-	-	-	TC1A	TMA8	TAM8	XAM8	XAMI8	XAMD8	LXY
1001	9	TRGA	-	TFR1A	-	-	TAK1	-	-	-	-	-	TC2A	TMA9	TAM9	XAM9	XAMI9	XAMD9	LXY
1010	A	TL1A	-	TFR2A	-	TAL1	TAK2	-	-	-	-	-	TPAA	TMA10	TAM10	XAM10	XAMI10	XAMD10	LXY
1011	B	TL2A	TK0A	-	-	TAW1	-	-	-	-	-	CRCK	-	TMA11	TAM11	XAM11	XAMI11	XAMD11	LXY
1100	C	TL3A	-	-	-	TAW2	-	-	-	RCP	DWDT	-	-	TMA12	TAM12	XAM12	XAMI12	XAMD12	LXY
1101	D	TLCA	-	TPU0A	-	TAW3	-	-	-	SCP	-	-	-	TMA13	TAM13	XAM13	XAMI13	XAMD13	LXY
1110	E	TW1A	-	TPU1A	-	TAW4	TAPU1	-	-	-	-	-	-	TMA14	TAM14	XAM14	XAMI14	XAMD14	LXY
1111	F	TW2A	-	-	TR1AB	-	-	-	-	-	-	-	-	TMA15	TAM15	XAM15	XAMI15	XAMD15	LXY

上表は機械語コードと機械語命令の対応表です。D₃~D₀は機械語コードの下位4ビットを示し、D₉~D₄は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、2語命令の第2語目のコードを下表に示します。

注：“-”で示しているコードは使用しないでください。

	第2語
BL	1p paaa aaaa
BML	1p paaa aaaa
BLA	1p pp00 pppp
BMLA	1p pp00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

・**はM34553M4H/M8H/G8Hでのみ使用できます。

電気的特性

(1)マスクROM版

絶対最大定格(マスクROM版)

記号	項目	条件	定格値	単位
VDD	電源電圧		- 0.3 ~ 6.5	V
Vi	入力電圧 P0, P1, P2, D0 ~ D5, INT RESET, XIN, XCIN		- 0.3 ~ VDD + 0.3	V
Vi	入力電圧 CNTR		- 0.3 ~ VDD + 0.3	V
Vo	出力電圧 P0, P1, P2, D0 ~ D7 RESET, CNTR	出力トランジスタ遮断状態	- 0.3 ~ VDD + 0.3	V
Vo	出力電圧 C, XOUT, XCOUT		- 0.3 ~ VDD + 0.3	V
Vo	出力電圧 SEG0 ~ SEG28, COM0 ~ COM3		- 0.3 ~ VDD + 0.3	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

推奨動作条件1(マスクROM版) : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$

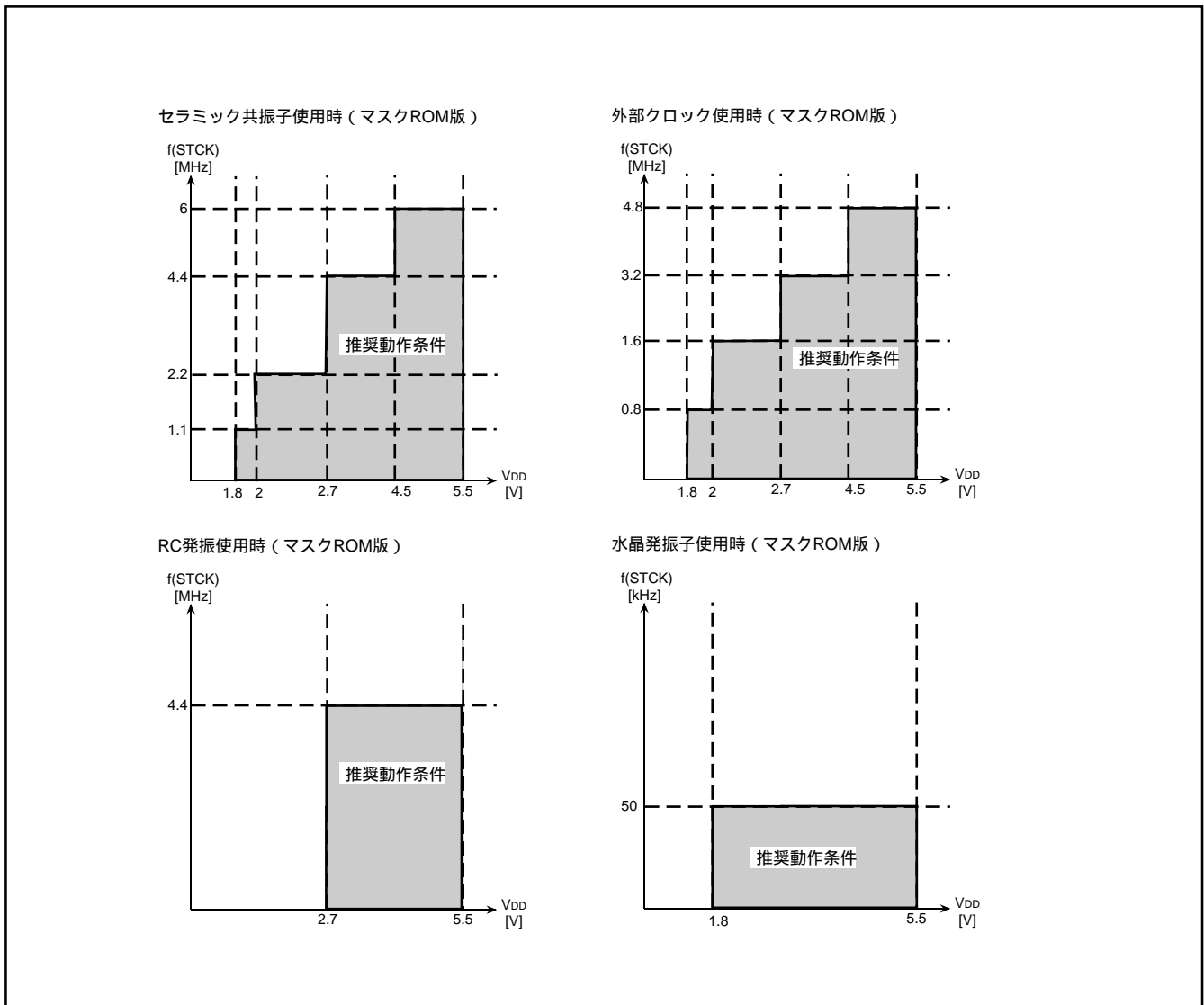
記号	項目	条件	規格値			単位
			最小	標準	最大	
VDD	電源電圧 (セラミック共振子使用時)	f(STCK) 6MHz	4		5.5	V
		f(STCK) 4.4MHz	2.7		5.5	
		f(STCK) 2.2MHz	2		5.5	
		f(STCK) 1.1MHz	1.8		5.5	
VDD	電源電圧(水晶発振子/ オンチップオシレータ使用時)		1.8		5.5	V
VDD	電源電圧 (RC発振使用時)	f(STCK) 4.4MHz	2.7		5.5	V
VRAM	RAM保持電圧	RAMバックアップモード時	1.6			V
VSS	電源電圧			0		V
VLC3	LCD電源電圧 (注1)		1.8		VDD	V
VIH	“H”入力電圧	P0, P1, P2, D0 ~ D5	0.8VDD		VDD	V
		XIN, XCIN	0.7VDD		VDD	V
		RESET	0.85VDD		VDD	V
		INT	0.85VDD		VDD	V
		CNTR	0.8VDD		VDD	V
VIL	“L”入力電圧	P0, P1, P2, D0 ~ D5	0		0.2VDD	V
		XIN, XCIN	0		0.3VDD	V
		RESET	0		0.3VDD	V
		INT	0		0.15VDD	V
		CNTR	0		0.15VDD	V
IOH(peak)	“H”レベル尖頭出力電流	P0, P1, P2, D0 ~ D5	VDD = 5V		-20	mA
			VDD = 3V		-10	
		C, CNTR	VDD = 5V		-30	
			VDD = 3V		-15	
IOH(avg)	“H”レベル平均出力電流 (注2)	P0, P1, P2, D0 ~ D5	VDD = 5V		-10	mA
			VDD = 3V		-5	
		C, CNTR	VDD = 5V		-20	
			VDD = 3V		-10	
IOL(peak)	“L”レベル尖頭出力電流	P0, P1, P2, D0 ~ D7	VDD = 5V		24	mA
			VDD = 3V		12	
		C, CNTR	VDD = 5V		10	
			VDD = 3V		4	
IOL(avg)	“L”レベル平均出力電流 (注2)	P0, P1, P2, D0 ~ D7, C, CNTR	VDD = 5V		15	mA
			VDD = 3V		7	
		RESET	VDD = 5V		5	
			VDD = 3V		2	
IOH(avg)	“H”レベル総電流	P0, P1, P2, D0 ~ D5, C, CNTR			-40	mA
IOL(avg)	“L”レベル総電流	P0, P1, P2, D0 ~ D5, C, CNTR			60	mA
		D6, D7, RESET			60	

注1. 1/2バイアス使用時: $V_{LC1} = V_{LC2} = (1/2) V_{LC3}$ 1/3バイアス使用時: $V_{LC1} = (1/3) V_{LC3}$, $V_{LC2} = (2/3) V_{LC3}$
 2. 平均出力電流は、100msの期間の平均値です。

推奨動作条件 Σ マスクROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)

記号	項目	条件	規格値			単位
			最小	標準	最大	
f(XIN)	発振周波数 (セラミック共振子使用時)	スルーモード	$V_{DD} = 4 \sim 5.5V$		6	MHz
			$V_{DD} = 2.7 \sim 5.5V$		4.4	
			$V_{DD} = 2 \sim 5.5V$		2.2	
			$V_{DD} = 1.8 \sim 5.5V$		1.1	
		2分周モード	$V_{DD} = 2.7 \sim 5.5V$		6	
			$V_{DD} = 2 \sim 5.5V$		4.4	
			$V_{DD} = 1.8 \sim 5.5V$		2.2	
		4分周モード	$V_{DD} = 2 \sim 5.5V$		6	
			$V_{DD} = 1.8 \sim 5.5V$		4.4	
		8分周モード	$V_{DD} = 1.8 \sim 5.5V$		6	
f(XIN)	発振周波数 (RC発振使用時) (注1)	$V_{DD} = 2.7 \sim 5.5V$		4.4	MHz	
f(XIN)	発振周波数 (セラミック発振回路選択, 外部クロック使用時)	スルーモード	$V_{DD} = 4 \sim 5.5V$		4.8	MHz
			$V_{DD} = 2.7 \sim 5.5V$		3.2	
			$V_{DD} = 2 \sim 5.5V$		1.6	
			$V_{DD} = 1.8 \sim 5.5V$		0.8	
		2分周モード	$V_{DD} = 2.7 \sim 5.5V$		4.8	
			$V_{DD} = 2 \sim 5.5V$		3.2	
			$V_{DD} = 1.8 \sim 5.5V$		1.6	
		4分周モード	$V_{DD} = 2 \sim 5.5V$		4.8	
			$V_{DD} = 1.8 \sim 5.5V$		3.2	
		8分周モード	$V_{DD} = 1.8 \sim 5.5V$		4.8	
f(XCIN)	発振周波数 (水晶発振子使用時)	水晶発振子		50	kHz	
f(CNTR)	タイマ外部入力周波数	CNTR		f(STCK)/6	Hz	
tw(CNTR)	タイマ外部入力周期 (“H”及び“L”パルス幅)	CNTR	$3/f(\text{STCK})$		s	
T _{PON}	パワーオンリセット回路 有効電源立ち上がり時間	$V_{DD} = 0 \sim 1.8V$		100	μs	

注1. RC発振使用時の発振周波数は、外付けの抵抗・コンデンサ及びマイクロコンピュータのバラツキの影響を受けますので、最大のバラツキにおいても周波数規格を越えないように、外付け定数(抵抗値, 容量値)を設定してください。



システムクロック(STCK) 動作条件マップ(マスクROM版)

電气的特性1(マスクROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P0, P1, P2, D0 ~ D5	VDD = 5V	IOH = -10mA	3		V
			IOH = -3mA	4.1		
		VDD = 3V	IOH = -5mA	2.1		
			IOH = -1mA	2.4		
VOH	“H”出力電圧 C, CNTR	VDD = 5V	IOH = -20mA	3		V
			IOH = -6mA	4.1		
		VDD = 3V	IOH = -10mA	2.1		
			IOH = -3mA	2.4		
VOL	“L”出力電圧 P0, P1, P2, D0 ~ D7, C, CNTR	VDD = 5V	IOL = 15mA		2	V
			IOL = 5mA		0.9	
		VDD = 3V	IOL = 9mA		1.4	
			IOL = 3mA		0.9	
VOL	“L”出力電圧 RESET	VDD = 5V	IOL = 5mA		2	V
			IOL = 1mA		0.6	
		VDD = 3V	IOL = 2mA		0.9	
IiH	“H”入力電流 P0, P1, P2, D0 ~ D5, $\overline{\text{RESET}}$, XIN, XCIN, CNTR, INT	$V_i = V_{DD}$			2	μA
IiL	“L”入力電流 P0, P1, P2, D0 ~ D5, $\overline{\text{RESET}}$, XIN, XCIN, CNTR, INT	$V_i = 0V$ P0, P1ブルアップ非選択			-2	μA

電气的特性 α マスクROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
IDD	電源電流	CPU動作時 (セラミック共振子使用時)	VDD = 5V	f(STCK) = f(XIN)/8	1.2	2.4	mA
			f(XIN) = 6MHz	f(STCK) = f(XIN)/4	1.3	2.6	
			f(RING) = 停止	f(STCK) = f(XIN)/2	1.6	3.2	
			f(XCIN) = 停止	f(STCK) = f(XIN)	2.2	4.4	
		VDD = 5V	f(XIN) = 4MHz	f(STCK) = f(XIN)/8	0.9	1.8	mA
			f(RING) = 停止	f(STCK) = f(XIN)/4	1	2	
			f(XCIN) = 停止	f(STCK) = f(XIN)/2	1.2	2.4	
			f(XCIN) = 停止	f(STCK) = f(XIN)	1.6	3.2	
		VDD = 3V	f(XIN) = 4MHz	f(STCK) = f(XIN)/8	0.3	0.6	mA
			f(RING) = 停止	f(STCK) = f(XIN)/4	0.4	0.8	
			f(XCIN) = 停止	f(STCK) = f(XIN)/2	0.5	1	
			f(XCIN) = 停止	f(STCK) = f(XIN)	0.7	1.4	
	CPU動作時 (オンチップオシレータ 使用時)	VDD = 5V	f(XIN) = 停止	f(STCK) = f(RING)/8	50	100	μA
			f(RING) = 動作	f(STCK) = f(RING)/4	60	120	
			f(XCIN) = 停止	f(STCK) = f(RING)/2	80	160	
			f(XCIN) = 停止	f(STCK) = f(RING)	120	240	
		VDD = 3V	f(XIN) = 停止	f(STCK) = f(RING)/8	10	20	μA
			f(RING) = 動作	f(STCK) = f(RING)/4	13	26	
			f(XCIN) = 停止	f(STCK) = f(RING)/2	19	38	
			f(XCIN) = 停止	f(STCK) = f(RING)	31	62	
	CPU動作時 (水晶共振子使用時)	VDD = 5V	f(XIN) = 停止	f(STCK) = f(XCIN)/8	7	14	μA
			f(RING) = 停止	f(STCK) = f(XCIN)/4	8	16	
			f(XCIN) = 32kHz	f(STCK) = f(XCIN)/2	10	20	
			f(XCIN) = 32kHz	f(STCK) = f(XCIN)	14	28	
VDD = 3V		f(XIN) = 停止	f(STCK) = f(XCIN)/8	5	10	μA	
		f(RING) = 停止	f(STCK) = f(XCIN)/4	6	12		
		f(XCIN) = 32kHz	f(STCK) = f(XCIN)/2	7	14		
		f(XCIN) = 32kHz	f(STCK) = f(XCIN)	8	16		
時計動作モード時 (POF命令実行時)	f(XCIN) = 32kHz	VDD = 5V		6	12	μA	
		VDD = 3V		5	10		
RAMバックアップモード時 (POF2命令実行時)	Ta = 25	VDD = 5V		0.1	2	μA	
		VDD = 3V			10		
		VDD = 3V			6		

電気的特性(マスクROM版) : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
RPU	プルアップ抵抗 P0 ,P1 ,RESET	$V_i = 0V$	$V_{DD} = 5V$	30	60	125	k
			$V_{DD} = 3V$	50	120	250	
$V_{T+} - V_{T-}$	ヒステリシス RESET	$V_{DD} = 5V$			1		V
		$V_{DD} = 3V$			0.4		
$V_{T+} - V_{T-}$	ヒステリシス INT	$V_{DD} = 5V$			0.6		V
		$V_{DD} = 3V$			0.3		
$V_{T+} - V_{T-}$	ヒステリシス CNTR	$V_{DD} = 5V$			0.2		V
		$V_{DD} = 3V$			0.2		
f(RING)	オンチップオシレータクロック周波数	$V_{DD} = 5V$		200	500	700	kHz
		$V_{DD} = 3V$		100	250	400	
f(XIN)	周波数誤差 (RC発振使用時, 外付けRCの誤差は 含まず) (注1)	$V_{DD} = 5V \pm 10\%$, $T_a = 25$ 中心				± 17	%
		$V_{DD} = 3V \pm 10\%$, $T_a = 25$ 中心				± 17	
RCOM	COM出力インピーダンス (注2)	$V_{DD} = 5V$			1.5	7.5	k
		$V_{DD} = 3V$			2	10	
RSEG	SEG出力インピーダンス (注2)	$V_{DD} = 5V$			1.5	7.5	k
		$V_{DD} = 3V$			2	10	
RVLC	LCD電源内蔵抵抗	分割抵抗 $2r \times 3$ 選択時		300	480	960	k
		分割抵抗 $2r \times 2$ 選択時		200	320	640	
		分割抵抗 $r \times 3$ 選択時		150	240	480	
		分割抵抗 $r \times 2$ 選択時		100	160	320	

注1. RC発振使用時は、外付けのコンデンサ(C)に33pFを使用してください。

2. 出力インピーダンスは、下記の出力電圧のときの抵抗値です。

- ・V_{LC3}レベル出力時: $V_o = 0.8V_{LC3}$
- ・V_{LC2}レベル出力時: $V_o = 0.8V_{LC2}$
- ・V_{LC1}レベル出力時: $V_o = 0.2V_{LC2} + V_{LC1}$
- ・V_{SS}レベル出力時: $V_o = 0.2V_{SS}$

電圧低下検出回路特性（マスクROM版）：指定のない場合は、 $T_a = -20 \sim 85$ （℃）

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VRST ⁻	検出電圧(リセット発生) (注2)	Ta=25	1.6	1.8	2	V
		-20 Ta < 0	1.7		2.3	
		0 Ta < 50	1.4		2.2	
		50 Ta 85	1.2		1.9	
VRST ⁺	検出電圧(リセット解除) (注3)	Ta=25	1.7	1.9	2.1	V
		-20 Ta < 0	1.8		2.4	
		0 Ta < 50	1.5		2.3	
		50 Ta 85	1.3		2	
VRST ⁺ - VRST ⁻	検出電圧ヒステリシス			0.1		V
IRST	動作電流 (注4)	VDD = 5V		50	100	μA
		VDD = 3V		30	60	
TRST	判定時間 (注5)	VDD (VRST - 0.1V)		0.2	1.2	ms

- 注1. 電圧低下検出回路はHバージョンのみあります。
2. 検出電圧(VRST⁻)は、電圧低下検出回路有効時に電源電圧(VDD)を高い側から下げたときにリセットが発生する電圧です。
3. 検出電圧(VRST⁺)は、電圧低下検出回路有効時に電源電圧(VDD)を低い側から上げたときにリセットを解除する電圧です。
4. Hバージョンでは、電源電流(I_{DD})に電圧低下検出回路動作電流(IRST)が加算されます。
5. 判定時間(TRST)は、電源電圧(VDD)を高い側から[VRST - 0.1V]に下げたときにリセットが発生するまでの時間です。
6. 検出電圧(VRST⁻、VRST⁺)は電源電圧推奨動作条件より低く設定しています。
詳細は、「使用上の注意」を参照してください。

電気的特性

(2)ワンタイムPROM版

絶対最大定格(ワンタイムPROM版)

記号	項目	条件	定格値	単位
VDD	電源電圧		- 0.3 ~ 4.0	V
Vi	入力電圧 P0, P1, P2, D0 ~ D5, INT RESET, XIN, XCIN		- 0.3 ~ VDD + 0.3	V
Vi	入力電圧 CNTR		- 0.3 ~ VDD + 0.3	V
Vo	出力電圧 P0, P1, P2, D0 ~ D7 RESET, CNTR	出力トランジスタ遮断状態	- 0.3 ~ VDD + 0.3	V
Vo	出力電圧 C, XOUT, XCOUT		- 0.3 ~ VDD + 0.3	V
Vo	出力電圧 SEG0 ~ SEG28, COM0 ~ COM3		- 0.3 ~ VDD + 0.3	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

推奨動作条件1(ワンタイムPROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 3.6V$)

記号	項目	条件	規格値			単位
			最小	標準	最大	
VDD	電源電圧 (セラミック共振子使用時)	f(STCK) 4.4MHz	2.7		3.6	V
		f(STCK) 2.2MHz	2		3.6	
		f(STCK) 1.1MHz	1.8		3.6	
VDD	電源電圧(水晶発振子/ オンチップオシレータ使用時)		1.8		3.6	V
VDD	電源電圧 (RC発振使用時)	f(STCK) 4.4MHz	2.7		3.6	V
VRAM	RAM保持電圧	RAMバックアップモード時	1.6			V
VSS	電源電圧			0		V
VLC3	LCD電源電圧 (注1)		1.8		VDD	V
VIH	“H”入力電圧	P0, P1, P2, D0 ~ D5	0.8VDD		VDD	V
		XIN, XCIN	0.7VDD		VDD	V
		RESET	0.85VDD		VDD	V
		INT	0.85VDD		VDD	V
		CNTR	0.8VDD		VDD	V
VIL	“L”入力電圧	P0, P1, P2, D0 ~ D5	0		0.2VDD	V
		XIN, XCIN	0		0.3VDD	V
		RESET	0		0.3VDD	V
		INT	0		0.15VDD	V
		CNTR	0		0.15VDD	V
IOH(peak)	“H”レベル尖頭出力電流	P0, P1, P2, D0 ~ D5	VDD = 3V		- 10	mA
		C, CNTR	VDD = 3V		- 15	
IOH(avg)	“H”レベル平均出力電流 (注2)	P0, P1, P2, D0 ~ D5	VDD = 3V		- 5	mA
		C, CNTR	VDD = 3V		- 10	
IOL(peak)	“L”レベル尖頭出力電流	P0, P1, P2, D0 ~ D7	VDD = 3V		12	mA
		C, CNTR	VDD = 3V		4	
IOL(avg)	“L”レベル平均出力電流 (注2)	P0, P1, P2, D0 ~ D7, C, CNTR	VDD = 3V		7	mA
		RESET	VDD = 3V		2	
IOH(avg)	“H”レベル総電流	P0, P1, P2, D0 ~ D5, C, CNTR			- 40	mA
IOL(avg)	“L”レベル総電流	P0, P1, P2, D0 ~ D5, C, CNTR			60	mA
		D6, D7, RESET			60	

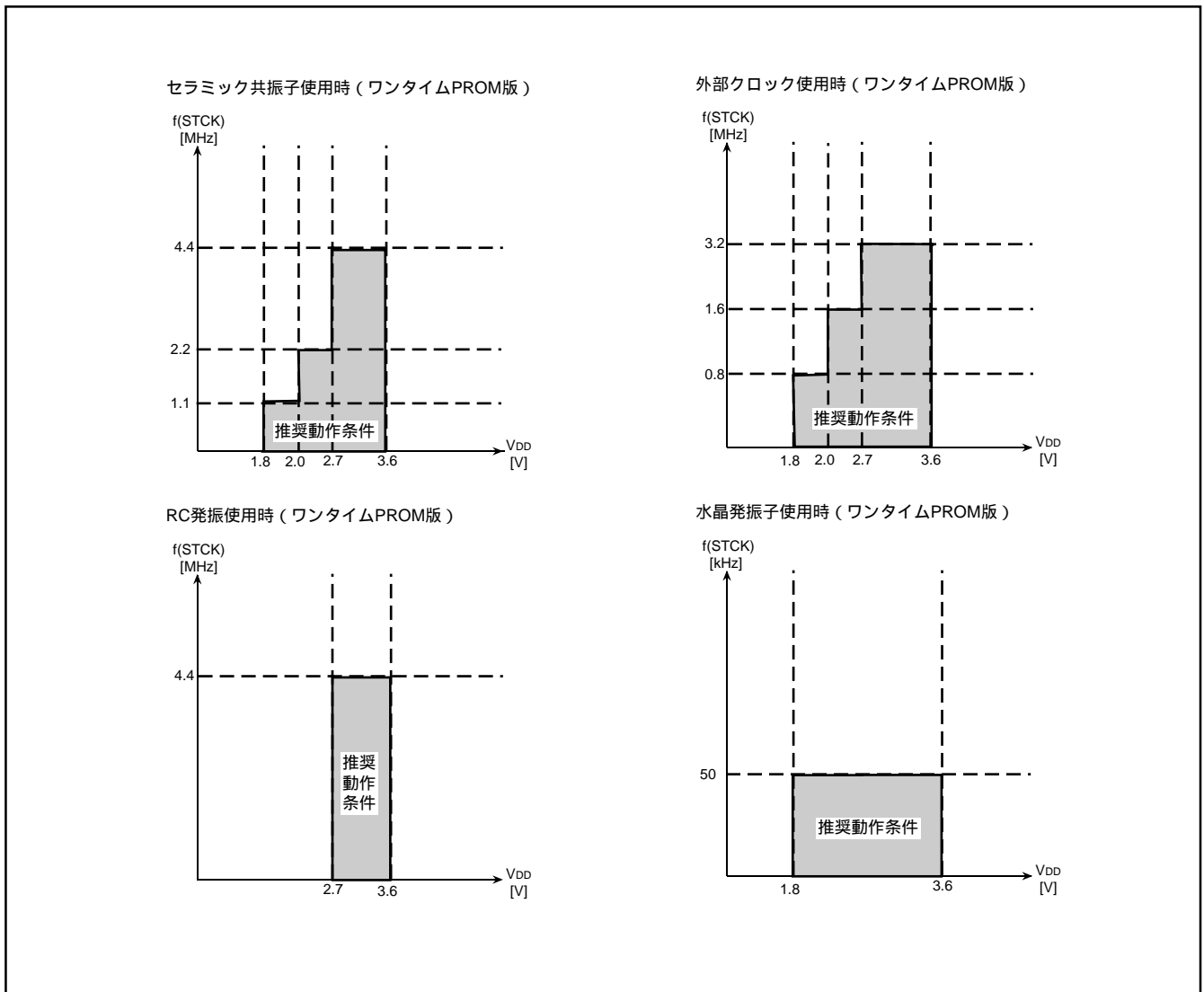
注1. 1/2バイアス使用時: $V_{LC1} = V_{LC2} = (1/2) V_{LC3}$ 1/3バイアス使用時: $V_{LC1} = (1/3) V_{LC3}$, $V_{LC2} = (2/3) V_{LC3}$

2. 平均出力電流は、100msの期間の平均値です。

推奨動作条件2(ワンタイムPROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 3.6V$)

記号	項目	条件	規格値			単位
			最小	標準	最大	
f(XIN)	発振周波数 (セラミック共振器使用時)	スルーモード	$V_{DD} = 2.7 \sim 3.6V$		4.4	MHz
			$V_{DD} = 2 \sim 3.6V$		2.2	
			$V_{DD} = 1.8 \sim 3.6V$		1.1	
		2分周モード	$V_{DD} = 2.7 \sim 3.6V$		6	
			$V_{DD} = 2 \sim 3.6V$		4.4	
			$V_{DD} = 1.8 \sim 3.6V$		2.2	
		4分周モード	$V_{DD} = 2 \sim 3.6V$		6	
			$V_{DD} = 1.8 \sim 3.6V$		4.4	
		8分周モード	$V_{DD} = 1.8 \sim 3.6V$		6	
f(XIN)	発振周波数 (RC発振使用時) (注1)	$V_{DD} = 2.7 \sim 3.6V$			4.4	MHz
f(XIN)	発振周波数 (セラミック発振回路選択, 外部クロック使用時)	スルーモード	$V_{DD} = 2.7 \sim 3.6V$		3.2	MHz
			$V_{DD} = 2 \sim 3.6V$		1.6	
			$V_{DD} = 1.8 \sim 3.6V$		0.8	
		2分周モード	$V_{DD} = 2.7 \sim 3.6V$		4.8	
			$V_{DD} = 2 \sim 3.6V$		3.2	
			$V_{DD} = 1.8 \sim 3.6V$		1.6	
		4分周モード	$V_{DD} = 2 \sim 3.6V$		4.8	
			$V_{DD} = 1.8 \sim 3.6V$		3.2	
		8分周モード	$V_{DD} = 1.8 \sim 3.6V$		4.8	
f(XCIN)	発振周波数 (水晶発振器使用時)	水晶発振器			50	kHz
f(CNTR)	タイマ外部入力周波数	CNTR			$f(STCK)/6$	Hz
tw(CNTR)	タイマ外部入力周期 (“H”及び“L”パルス幅)	CNTR			$3/f(STCK)$	s
T _{PON}	パワーオンリセット回路 有効電源立ち上がり時間	$V_{DD} = 0 \sim 1.8V$			100	μs

注1. RC発振使用時の発振周波数は、外付けの抵抗・コンデンサ及びマイクロコンピュータのパラツキの影響を受けますので、最大のパラツキにおいても周波数規格を越えないように、外付け定数(抵抗値, 容量値)を設定してください。



システムクロック(STCK)動作条件マップ(ワンタイムPROM版)

電气的特性1(ワンタイムPROM版:指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 3.6V$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P0, P1, P2, D0 ~ D5	VDD = 3V	IOH = -5mA	2.1		V
			IOH = -1mA	2.4		
VOH	“H”出力電圧 C, CNTR	VDD = 3V	IOH = -10mA	2.1		V
			IOH = -3mA	2.4		
VOL	“L”出力電圧 P0, P1, P2, D0 ~ D7, C, CNTR	VDD = 3V	IOL = 9mA		1.4	V
			IOL = 3mA		0.9	
VOL	“L”出力電圧 $\overline{\text{RESET}}$	VDD = 3V	IOL = 2mA		0.9	V
IiH	“H”入力電流 P0, P1, P2, D0 ~ D5, $\overline{\text{RESET}}$, XIN, XCIN, CNTR, INT	Vi = VDD			2	μA
IiL	“L”入力電流 P0, P1, P2, D0 ~ D5, $\overline{\text{RESET}}$, XIN, XCIN, CNTR, INT	Vi = 0V P0, P1ブルアップ非選択			-2	μA

電気的特性 α ワンタイムPROM版：指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 3.6V$

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
IDD	電源電流	CPU動作時 (セラミック共振子使用時)	$V_{DD} = 3V$ $f(XIN) = 4MHz$ $f(RING) = 停止$ $f(XCIN) = 停止$	$f(STCK) = f(XIN)/8$		0.3	0.6	mA
				$f(STCK) = f(XIN)/4$		0.4	0.8	
				$f(STCK) = f(XIN)/2$		0.6	1.2	
				$f(STCK) = f(XIN)$		0.9	1.8	
		CPU動作時 (オンチップオシレータ 使用時)	$V_{DD} = 3V$ $f(XIN) = 停止$ $f(RING) = 動作$ $f(XCIN) = 停止$	$f(STCK) = f(RING)/8$		12	24	μA
				$f(STCK) = f(RING)/4$		17	34	
				$f(STCK) = f(RING)/2$		27	54	
				$f(STCK) = f(RING)$		48	96	
		CPU動作時 (水晶発振子使用時)	$V_{DD} = 3V$ $f(XIN) = 停止$ $f(RING) = 停止$ $f(XCIN) = 32kHz$	$f(STCK) = f(XCIN)/8$		5	10	μA
				$f(STCK) = f(XCIN)/4$		6	12	
				$f(STCK) = f(XCIN)/2$		7	14	
				$f(STCK) = f(XCIN)$		9	18	
	時計動作モード時 (POF命令実行時)	$V_{DD} = 3V$ $f(XCIN) = 32kHz$			5	10	μA	
RAMバックアップモード時 (POF2命令実行時)	$T_a = 25$			0.1	2	μA		
	$V_{DD} = 3V$				6			

電氣的特性(ワンタイムPROM版：指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 3.6V$)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
RPU	プルアップ抵抗 P0, P1, \overline{RESET}	$V_i = 0V$	$V_{DD} = 3V$	50	120	250	k
$V_{T+} - V_{T-}$	ヒステリシス \overline{RESET}	$V_{DD} = 3V$			0.4		V
$V_{T+} - V_{T-}$	ヒステリシス INT	$V_{DD} = 3V$			0.3		V
$V_{T+} - V_{T-}$	ヒステリシス CNTR	$V_{DD} = 3V$			0.2		V
f(RING)	オンチップオシレータクロック周波数	$V_{DD} = 3V$		100	250	400	kHz
f(XIN)	周波数誤差 (RC発振使用時, 外付けRCの誤差は含まず) (注1)	$V_{DD} = 3V \pm 10\%$, $T_a = 25$ 中心				± 17	%
R _{COM}	COM出力インピーダンス (注2)	$V_{DD} = 3V$			2	10	k
R _{SEG}	SEG出力インピーダンス (注2)	$V_{DD} = 3V$			2	10	k
R _{VLC}	LCD電源内蔵抵抗	分割抵抗 $2r \times 3$ 選択時		300	480	960	k
		分割抵抗 $2r \times 2$ 選択時		200	320	640	
		分割抵抗 $r \times 3$ 選択時		150	240	480	
		分割抵抗 $r \times 2$ 選択時		100	160	320	

注1. RC発振使用時は、外付けのコンデンサ(C)に33pFを使用してください。

注2. 出力インピーダンスは、下記の出力電圧のときの抵抗値です。

- ・VLC3レベル出力時： $V_o = 0.8V_{LC3}$
- ・VLC2レベル出力時： $V_o = 0.8V_{LC2}$
- ・VLC1レベル出力時： $V_o = 0.2V_{LC2} + V_{LC1}$
- ・V_{SS}レベル出力時： $V_o = 0.2V_{SS}$

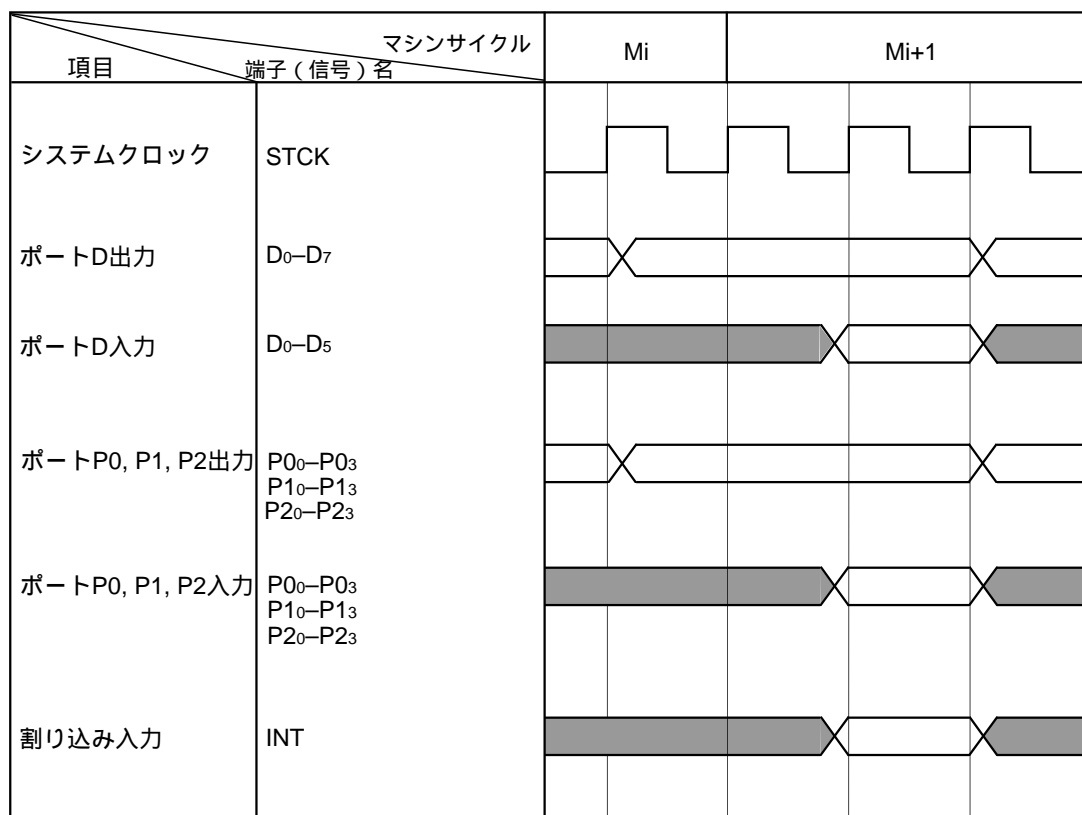
電圧低下検出回路特性（ワнтаイムPROM版：指定のない場合は、 $T_a = -20 \sim 85$ ）

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VRST ⁻	検出電圧(リセット発生) (注2)	Ta=25	1.6	1.8	2	V
		-20 Ta < 0	1.7		2.3	
		0 Ta < 50	1.4		2.2	
		50 Ta 85	1.2		1.9	
VRST ⁺	検出電圧(リセット解除) (注3)	Ta=25	1.7	1.9	2.1	V
		-20 Ta < 0	1.8		2.4	
		0 Ta < 50	1.5		2.3	
		50 Ta 85	1.3		2	
VRST ⁺ - VRST ⁻	検出電圧ヒステリシス			0.1		V
IRST	動作電流 (注4)	VDD = 3V		30	60	μA
TRST	判定時間 (注5)	VDD (VRST - 0.1V)		0.2	1.2	ms

注1. 電圧低下検出回路はHバージョンのみあります。

2. 検出電圧 (VRST⁻)は、電圧低下検出回路有効時に電源電圧 (VDD)を高い側から下げたときにリセットが発生する電圧です。
3. 検出電圧 (VRST⁺)は、電圧低下検出回路有効時に電源電圧 (VDD)を低い側から上げたときにリセットを解除する電圧です。
4. Hバージョンでは、電源電流 (IDD)に電圧低下検出回路動作電流 (IRST)が加算されます。
5. 判定時間 (TRST)は、電源電圧 (VDD)を高い側から [VRST - 0.1V]に下げたときにリセットが発生するまでの時間です。
6. 検出電圧 (VRST⁻、VRST⁺)は電源電圧推奨動作条件より低く設定しています。
詳細は、「使用上の注意」を参照してください。

基本タイミング図



PROM内蔵版

マスクROM版に対して、PROMを内蔵しているマイクロコンピュータをPROM内蔵版といいます。またワンタイムPROMタイプのマイクロコンピュータ(ワンタイムPROM版)は、内蔵PROMへの書き込みが可能です。

PROM内蔵版はマスクROM版と同等の機能の他に、内蔵PROM書き込みのためのPROMモードをもっています。

PROM内蔵版の型名一覧を表XA-1に、PROMモード時の端子結線図を図XA-2に示します。

なお、ワンタイムPROM版は、マスクROM版とピンコンパチブルです。

表XA-1 . PROM内蔵版の型名一覧

型名	PROM容量 (×10ビット)	RAM容量 (×4ビット)	パッケージ	備考
M34553G8FP	8192語	288語	PLQP0048KB-A	ワンタイムPROM版 ブランク出荷品]
M34553G8HFP	8192語	288語	PLQP0048KB-A	ワンタイムPROM版 ブランク出荷品]

(1) PROMモード

PROM内蔵版は、通常の動作モード以外にPROMモードをもちます。PROMモードは、内蔵PROMへの書き込み時及び内蔵PROMからの読み出し時に使用するモードです。

内蔵されているPROMへの操作(リード/プログラムなど)は、必要なコマンドコード、アドレス、データを少数のピンを使用してシリアル入出力で行います。PROMモードの選択は、図XA-2に示す結線をして電源(V_{DD}) 投入後、マッドドックエントリにより行います。

PROMモードには、リード/プログラム/プログラムベリファイの3つのソフトウェアコマンドを用意しています。

シリアル通信は、クロック同期式、LSBファーストです。

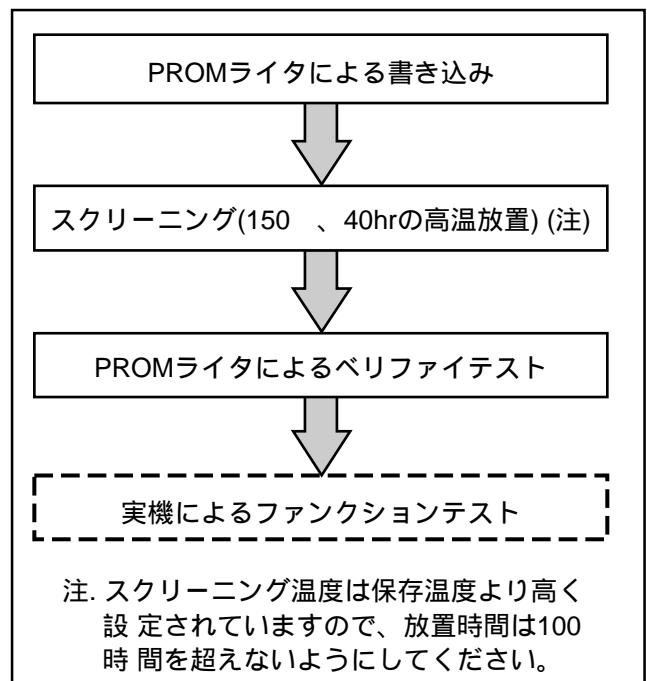
(2) 取り扱い上の注意

ワンタイムPROM版のブランク出荷品は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図XA-1に示すフローで書き込み、テストを行った後に使用されることを推奨いたします。

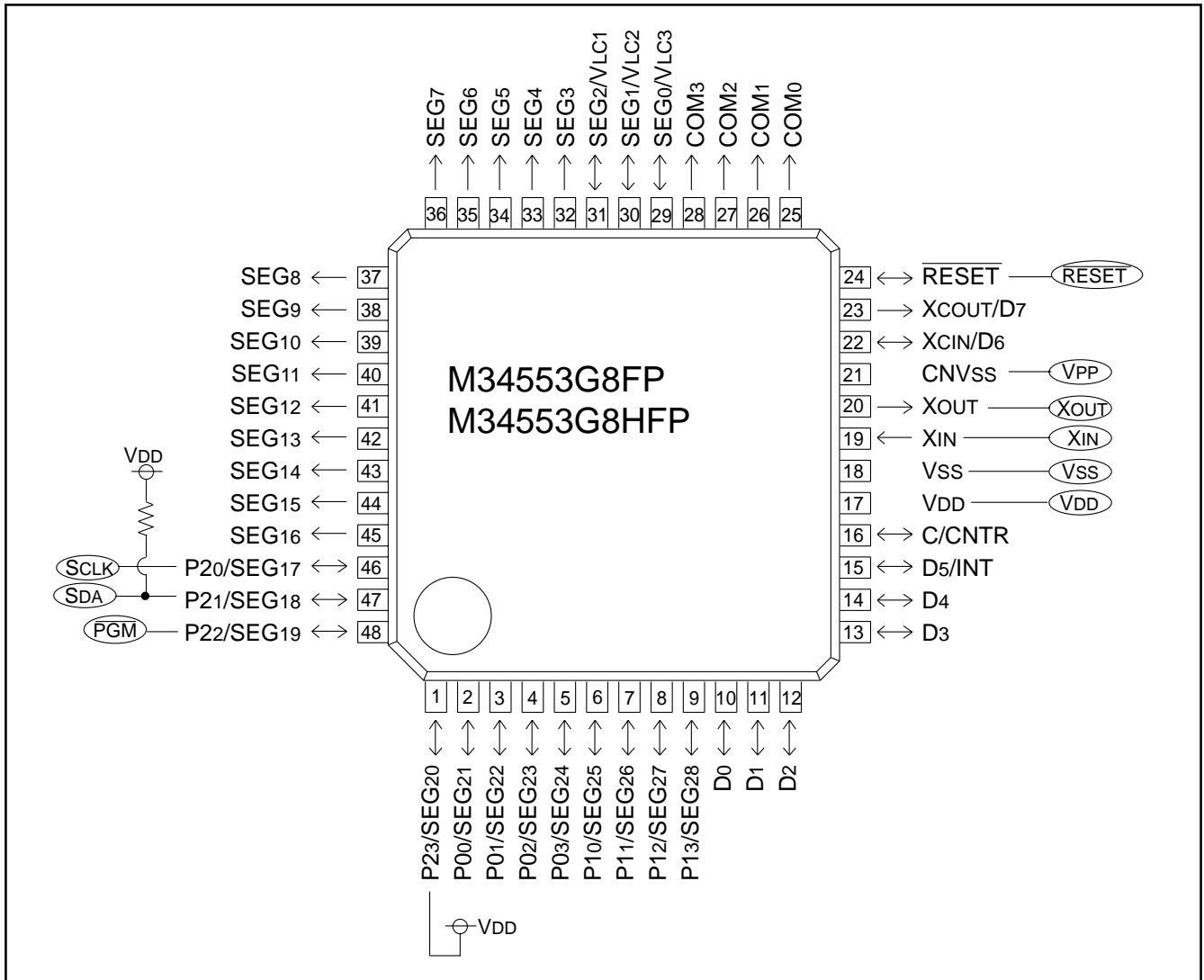
注 . ブランク出荷品 : 工場出荷時にPROMの内容が書き込まれていないもの

(3) マスクROM版とワンタイムPROM版の相違

マスクROM版とワンタイムPROM版とでは、製造プロセス、内蔵ROM、およびレイアウトパターンの相違により、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射などが異なる場合がありますので、切り替えを行う際は注意してください。



図XA-1 . ブランク出荷品の書き込み及びテスト



図XA-2 . PROM内蔵版のピン接続図・PROMモード時端子結線図

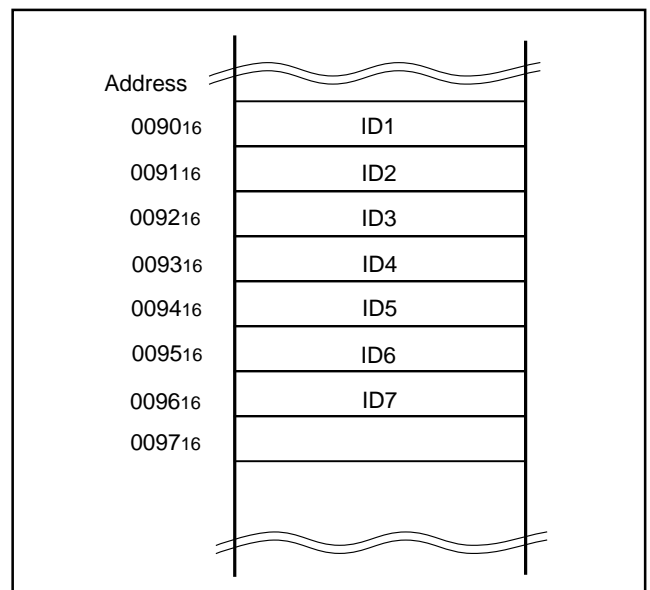
ROM 書き替え禁止機能

内蔵ROMの内容を簡単に読んだり、書き換えたりできないように、シリアル書き込みモードではROMプロテクトが可能です。

ID コードチェック機能

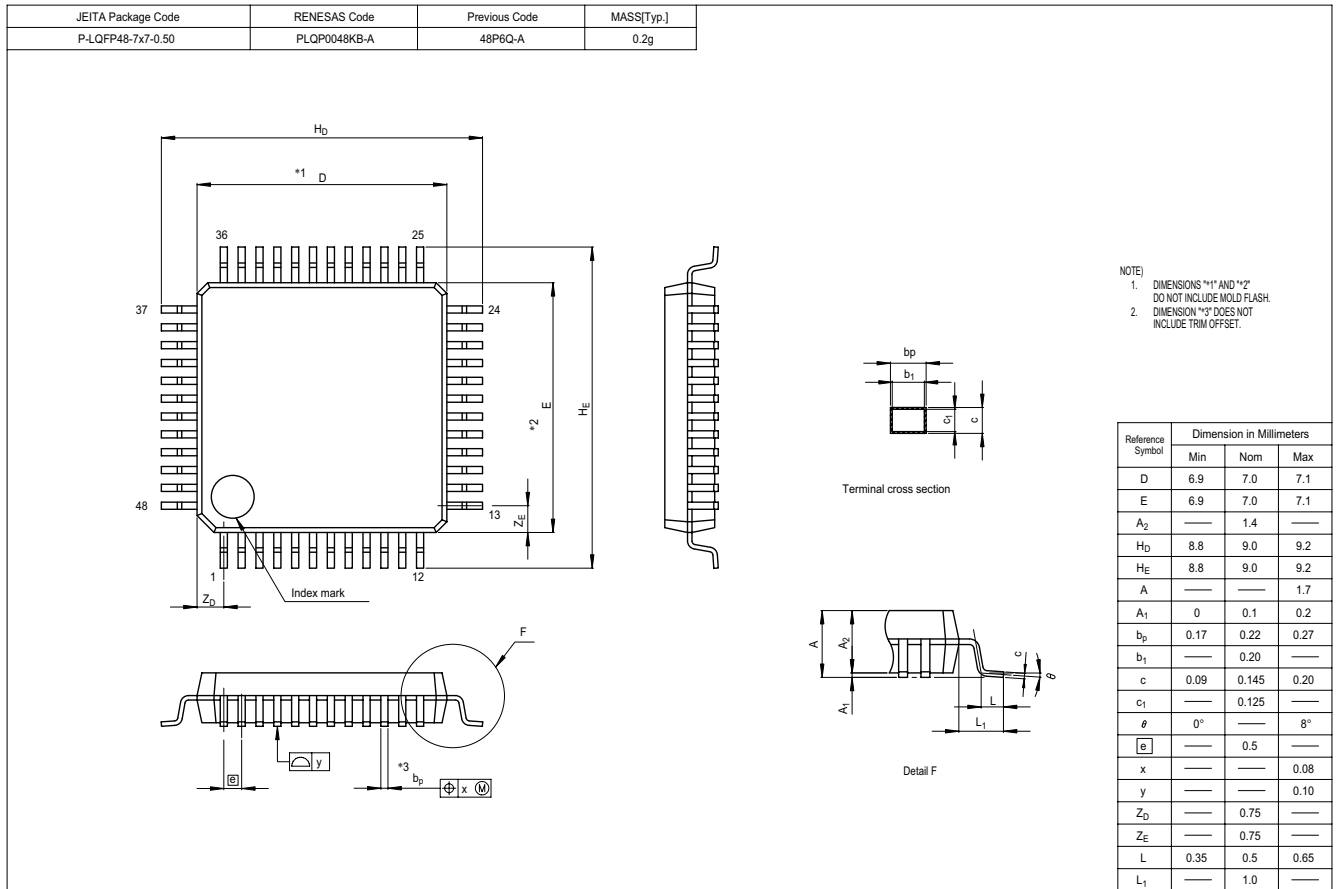
シリアル書き込みモードで使用します。IDコード格納アドレスがブランクでない場合、シリアルライターから送られてくるIDコードとROMに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各10ビットのデータで、その領域は、0090₁₆ ~ 0096₁₆番地に割り付けられています。プログラム中のこれらの番地にあらかじめIDコードを設定したプログラムを、ROMに書き込んでください。

IDコードの格納アドレスの配置を図XA-3に示します。



図XA-3 . ID コードの格納アドレス

パッケージ外形寸法図



改訂記録

4553 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.07.14	-	初版発行
1.01	2003.09.16	52 53 64 133	電圧低下検出回路 改訂 表 WD-1 改訂 (19)電圧低下検出回路 改訂 図 XA-2 改訂
1.02	2003.11.06	53	表 WD-1 ポートのレベル 改訂
2.00	2004.02.23	1 4 30 50 52 61 64 110 124 ~ 139	<p>特長：</p> <p>最短命令実行時間：ワンタイム PROM 版での時間 追加 電源電圧：ワンタイム PROM 版の電源電圧値 改訂</p> <p>性能概要：</p> <p>最短命令実行時間：ワンタイム PROM 版での時間 追加 電源電圧：ワンタイム PROM 版の電源電圧値 改訂 消費電流：マスク ROM 版での値のみ掲載</p> <p>表 FB-1：タイマ3 カウントソース、出力信号の用途 一部追記 (1)パワーオンリセット (Hバージョンのみ) 「(Hバージョンのみ)」 削除 図 VB-3：電圧低下検出回路に (Hバージョンのみ) 追記 図 VC-2：注意事項 改訂 マスク化発注時に提示いただく資料：(2) マスク化するデータ 改訂 (18) パワーオンリセット 改訂 ビット操作命令 リターン命令</p> <p>電气的特性：マスク ROM 版とワンタイム PROM 版に分けて掲載。 主な改訂点 ワンタイム PROM 版の電源電圧と電源電流 電圧低下検出回路特性：注6 追記</p>
3.00	2004.07.09	全ページ 5 32 41 42 48 49 51 55 64	<p>用語統一(統一用語：オンチップオシレータ)</p> <p>端子の機能説明 RESET 説明追記 図FB-3：注意事項 追記 説明 一部改訂 図FB-8：「DI」命令 追記 「内部分割抵抗」：2行目 レジスタL2のビット0を“1”“0”に改訂 図LCD-5：d)レジスタL2=(1111)₂ “VLC3、VLC2、VLC1” 追記 図VB-1、図VB-2：クロック カウント回数 改訂 図VB-4：水晶発振回路の状態 追記 図WD-1 高速モード、状態C：CRCK命令実行 (24)電源電圧に関する注意 追記</p>
3.01	2005.06.15	全ページ 1 4	<p>開発中表記を削除</p> <p>パッケージ型名を変更 性能概要 パッケージ型名を変更</p>

改訂記録

4553 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
3.01	2005.06.15	38 64 143 145	<p>プリスケアラ、タイマ1のカウンタ開始タイミングと動作開始時のカウンタ開始について、タイマ2、LCのカウンタ開始タイミングと動作開始時のカウンタ開始について 追記</p> <p>(13)プリスケアラ、タイマ1のカウンタ開始タイミングと動作開始時のカウンタ開始について、(14)タイマ2、LCのカウンタ開始タイミングと動作開始時のカウンタ開始について 追記</p> <p>表XA-1. パッケージ型名を変更</p> <p>パッケージ外形寸法図を変更</p>
3.02	2006.11.09	30、34 31、32 33、72 36 50 54 56 57、76 63 ~ 66 67 80、122、 123 95 127 137 145	<p>プリスケアラの出力信号の用途 「LC」削除</p> <p>図FB-2、図FB-3：注釈 追記</p> <p>W31、W30：タイマ3カウンタソース選択ビット タイマ3カウンタ値選択ビット</p> <p>(5)タイマ3(割り込み機能付き)：説明追記</p> <p>図VB-1 クロック f(RING)</p> <p>表WD-1</p> <p>タイマ3機能(RAMバックアップ)： (注3)</p> <p>タイマ割り込み要求フラグ(RAMバックアップ)： (注3)</p> <p>図WD-1：注1 追記</p> <p>注2、注3 追記</p> <p>ノイズに関する注意事項 追記</p> <p>(1)ノイズ及びラッチアップ対策：説明追記</p> <p>SZD：(Y) = 0 ~ <u>7</u> 0 ~ <u>5</u></p> <p>SZD：詳細説明 追記</p> <p>NOP、POF、POF2、EPOF：詳細説明 改訂</p> <p>電圧低下検出回路 VRST⁻、VRST⁺：条件改訂</p> <p>電圧低下検出回路 VRST⁻、VRST⁺：条件改訂</p> <p>ページ 17, 18, 21, 28, 56, 69</p> <p>RAMバックアップモード パワーダウンモード</p> <p>ページ 79, 80, 92, 93, 94, 116, 117, 122, 123:SNZ0, SNZT1, SNZT2, SNZT3 改訂</p> <p>ページ 80, 111, 126, 127：WRST 改訂</p>

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com