

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7548 グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0202-0202

Rev.2.02

2009.03.31

概要

7548 グループは、740 ファミリコアを採用した 8 ビットマイクロコンピュータです。

8ビットタイマ、16ビットタイマ、シリアルインタフェース、A/Dコンバータ、パワーオンリセット回路、及び電圧低下検出回路を内蔵しております。また、機能設定ROMも備えております。

特長

基本機械語命令	71
命令実行時間	0.25 μ s
(最小命令、発振周波数 8MHz、倍速モード時)	
メモリ容量 ROM	2K、4K、6K バイト
RAM	192/256 バイト
プログラマブル入出力ポート	入出力ポート \times 15 本
.....	出力専用ポート \times 1 本
キーオンウェイクアップ入力	6 本
LED 駆動ポート	8 本
割り込み	12 要因、12 ベクタ
タイマ	8 ビット \times 2
.....	16 ビット \times 1
アウトプットコンペア	3 チャンネル
インプットキャプチャ	1 チャンネル
シリアルインタフェース	8 ビット \times 1
(UART 又はクロック同期形)	

A/Dコンバータ	10 ビット分解能 \times 6 チャンネル
クロック発生回路	内蔵
(セラミック共振子又は水晶発振子外付け、32kHz 水晶発振可能)	
高速オンチップオシレータ	標準: 4MHz
低速オンチップオシレータ	標準: 250kHz
ウォッチドッグタイマ	16 ビット \times 1
パワーオンリセット回路	内蔵
電圧低下検出回路	内蔵
電源電圧	

XIN 発振周波数 (セラミック発振、倍速モード時)	
8MHz 時	4.5 ~ 5.5V
2MHz 時	2.4 ~ 5.5V
1MHz 時	2.2 ~ 5.5V
XIN 発振周波数 (セラミック発振、高速モード時)	
8MHz 時	4.0 ~ 5.5V
4MHz 時	2.4 ~ 5.5V
1MHz 時	1.8 ~ 5.5V
高速オンチップオシレータ発振周波数	
4MHz 時	4.0 ~ 5.5V
低速オンチップオシレータ発振周波数	
250kHz (VCC=5V 時標準値) 時	1.8 ~ 5.5V

消費電力	30mW
動作周囲温度	- 20 ~ 85

応用

OA 機器、FA 機器、家電、民生機器など

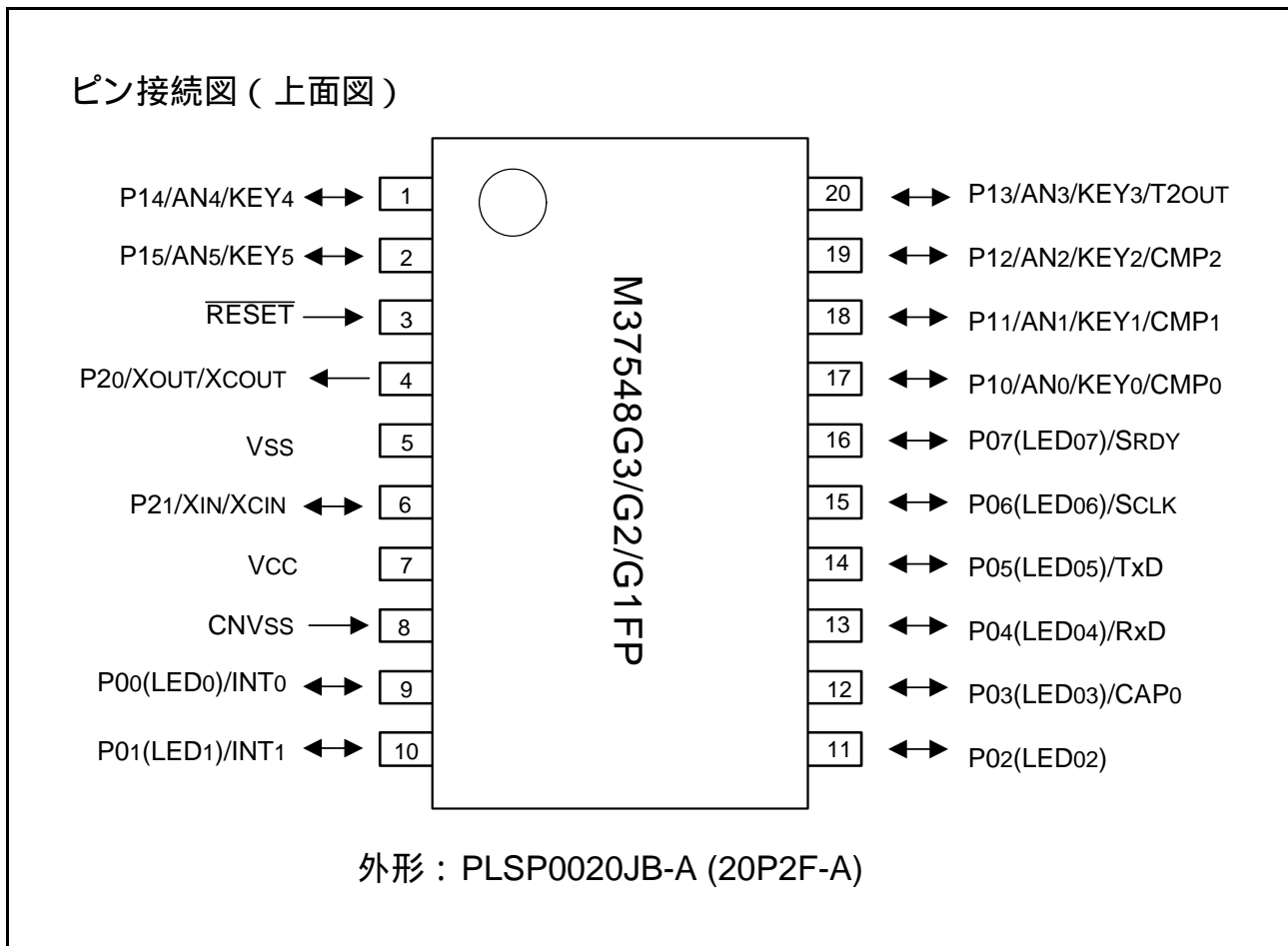


図1. ピン接続図 (PLSP0020JB-Aパッケージタイプ)

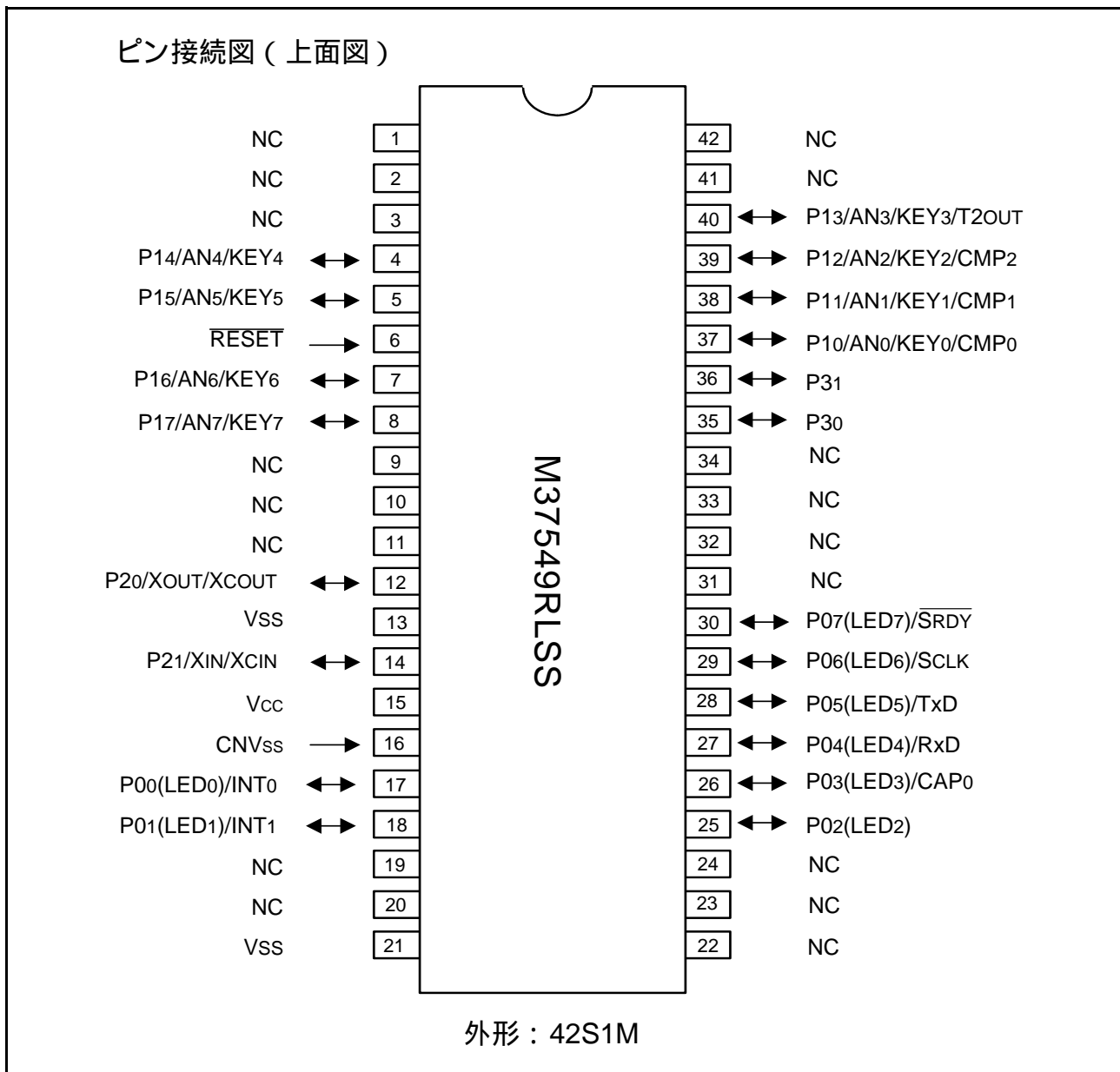


図2. ピン接続図 (42S1Mパッケージタイプ)

性能概要

表1. 性能概要

項 目		性 能	
基本命令数		71	
命令実行時間		0.25 μ s (最小命令、発振周波数8MHz：倍速モード)	
発振周波数		8MHz (最大)	
メモリ容量	ROM	M37548G1	2Kバイト×8ビット
		M37548G2	4Kバイト×8ビット
		M37548G3	6Kバイト×8ビット
	RAM	M37548G1	192バイト×8ビット
		M37548G2	256バイト×8ビット
		M37548G3	256バイト×8ビット
入出力ポート	P0 ₀ ~ P0 ₇	入出力	8ビット、LED駆動ポート
	P1 ₀ ~ P1 ₅	入出力	6ビット
	P2 ₀	出力	1ビット
	P2 ₁	入出力	1ビット
割り込み	要因	12要因、12ベクタ	
タイマ		8ビット×2、16ビット×1	
アウトプットコンペア		3チャンネル	
インプットキャプチャ		1チャンネル	
シリアルインタフェース		8ビット×1 (UART又はクロック同期形)	
A/Dコンバータ		10ビット分解能×6チャンネル	
ウォッチドッグタイマ		16ビット×1	
パワーオンリセット回路		内蔵	
電圧低下検出回路		内蔵	
クロック発生回路		内蔵 (セラミック共振子又は水晶発振子外付け、32kHz水晶発振可能) (高速/低速オンチップオシレータ内蔵)	
機能設定ROM領域	機能設定ROM		FFD8 ₁₆ ~ FFDA ₁₆ 番地に配置されています 発振方式を選択可能 電圧低下検出回路の有効・無効を選択可能 ウォッチドッグタイマの許可・禁止、STP命令機能を選択可能
	ROMコードプロテクト		FFDB ₁₆ 番地に配置されています “00”を設定することによりシリアルプログラムでの内蔵QzROM領域の読み出し及び書き込みを禁止します
電源電圧 (セラミック発振時)	倍速モード	8MHz動作時	4.5 ~ 5.5V
		2MHz動作時	2.4 ~ 5.5V
		1MHz動作時	2.2 ~ 5.5V
	高速モード	8MHz動作時	4.0 ~ 5.5V
		4MHz動作時	2.4 ~ 5.5V
		1MHz動作時	1.8 ~ 5.5V
電源電圧 (高速オンチップオシレータ発振時)	倍速モード	4MHz時	4.0 ~ 5.5V
電源電圧 (低速オンチップオシレータ発振時)	倍速モード	250kHz時	1.8 ~ 5.5V
消費電力		30mW (標準)	
動作周囲温度		- 20 ~ 85	
素子構造		CMOSシリコンゲート	
パッケージ		20ピンプラスチックモールドSSOP (PLSP0020JB-A)	

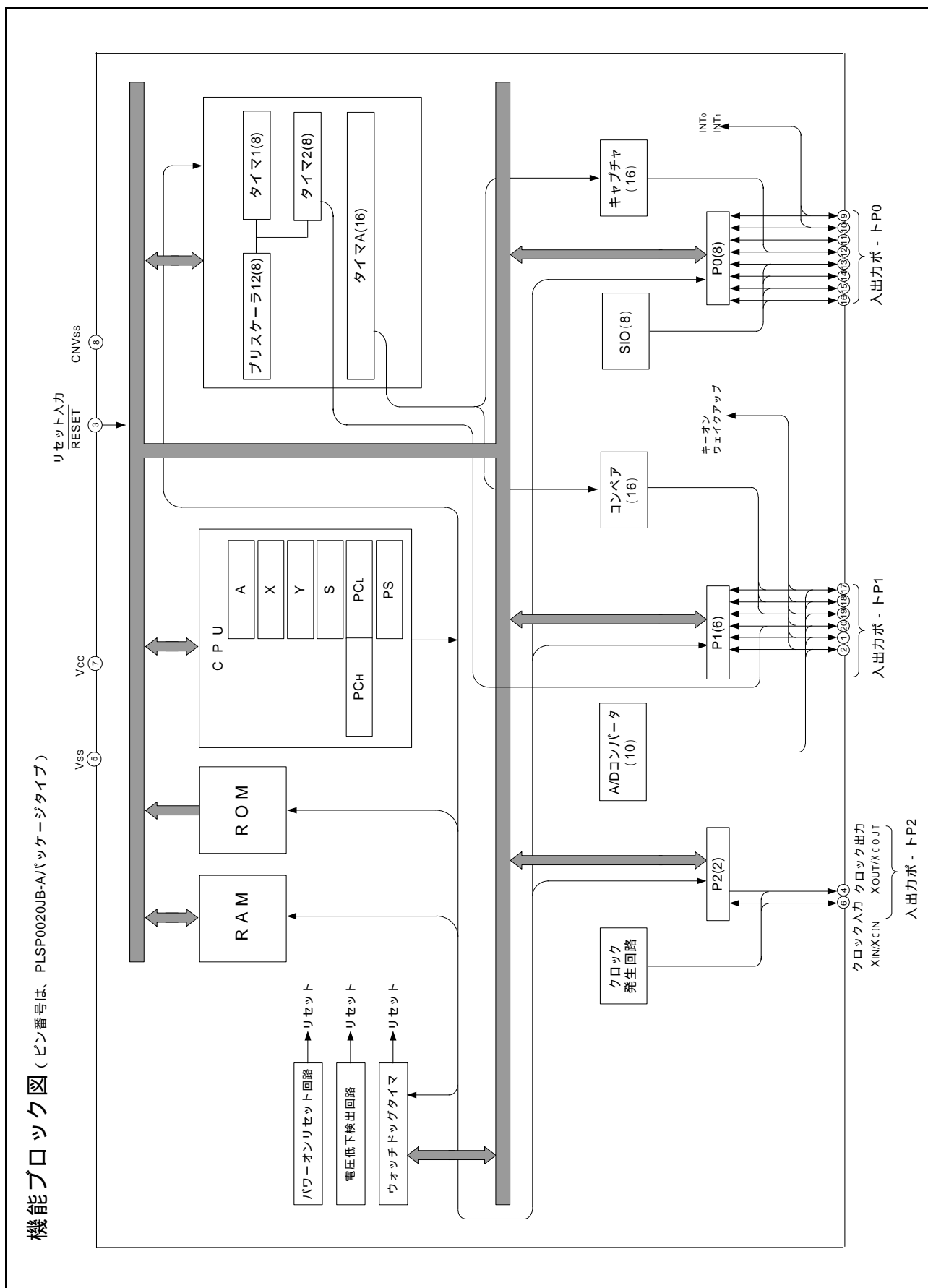


図3. 機能ブロック図 (PLSP0020JB-Aパッケージタイプ)

端子の機能説明

表2. 端子の機能説明

端子名	名称	機能		
		ポート以外の機能		
Vcc,Vss	電源入力	Vccに1.8V ~ 5.5V、Vssに0Vを印加してください。		
CNVss	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。		
RESET	リセット入力	アクティブ“L”のリセット入力端子です。		
P00(LED0)/INT0 P01(LED1)/INT1 P02(LED2) P03(LED3)/CAP0 P04(LED4)/RxD P05(LED5)/TxD P06(LED6)/SCLK P07(LED7)/SRDY	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。 プログラムにより、LED駆動ポートとしても使用できます。	割り込み入力端子 キャプチャ入力端子 シリアルインタフェース機能端子	
P10/AN0/KEY0/CMP0 P11/AN1/KEY1/CMP1 P12/AN2/KEY2/CMP2 P13/AN3/KEY3/T2OUT P14/AN4/KEY4 P15/AN5/KEY5	入出力ポートP1	6ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	A/Dコン パータ入 力端子	キー入力 (キーオン ウェイク アップ 割り込み 入力)端子 コンペア 出力端子 タイマ2 出力端子
P20/XOUT/XCOUT P21/XIN/XCIN (注)	入出力ポートP2	2ビットの入出力ポートです(P20/XOUT/XCOUTは出力専用)。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。 この端子は機能設定ROMによりクロック用端子として使用可能です。	XIN-XOUT、XCIN-XCOUT間にセラ ミック共振子、水晶発振子又は 32kHz水晶発振子を接続して、発 振端子として使用可能です。 また外部クロック入力を使用す る場合はP20/XOUT/XCOUT端子か らクロックを入力します。この 場合P21/XIN/XCIN端子は入出力 ポートとして使用可能です。	

注. P20/XOUT/XCOUT端子、P21/XIN/XCIN端子は発振回路を内蔵していますので、入出力ポートとして使用した場合でもマイコンのVcc電圧が動作下限電圧よりも低い場合には発振回路が接続され、これらの端子から不定値を出力する場合があります。

グループ展開

7548グループは、次の様な展開を計画しています。

メモリの種類

QzROM版、エミュレータ専用MCUのサポート

メモリ容量

PROM容量 2K ~ 6Kバイト
RAM容量 192 ~ 256バイト

パッケージ

PLSP0020JB-A 0.65mmピッチ20ピンプラスチックモールドSSOP
42S1M 42ピンシュリンクセラミックPIGGY BACK

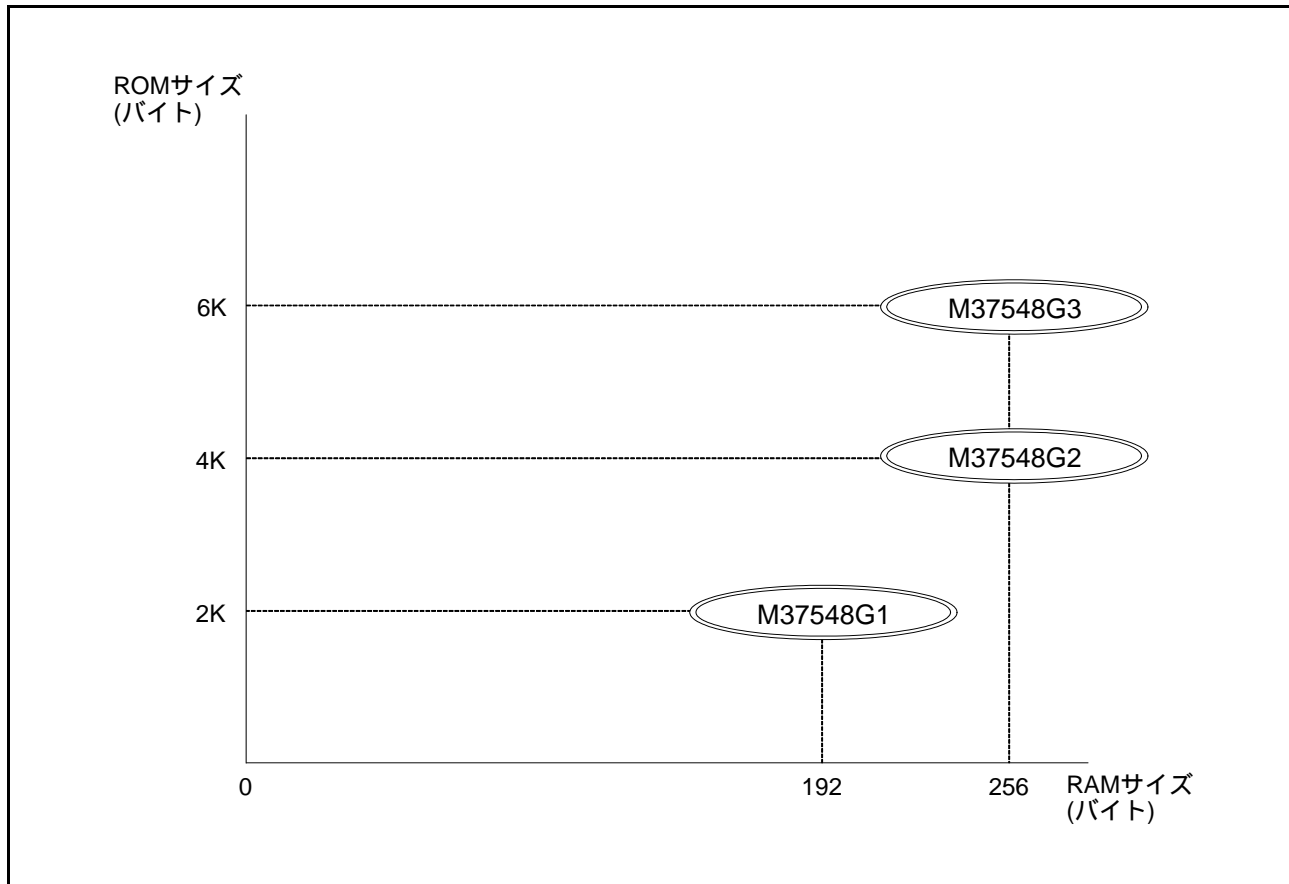


図4. ROM及びRAM展開計画

表3. サポート製品一覧

2009年3月現在

製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M37548G3-XXXFP	6144	256	PLSP0020JB-A	QzROM版(書き込み出荷品)
M37548G3FP	(6014)			QzROM版(ブランク出荷品)
M37548G2-XXXFP	4096	256	PLSP0020JB-A	QzROM版(書き込み出荷品)
M37548G2FP	(3966)			QzROM版(ブランク出荷品)
M37548G1-XXXFP	2048	192	PLSP0020JB-A	QzROM版(書き込み出荷品)
M37548G1FP	(1918)			QzROM版(ブランク出荷品)
M37549RLSS	-	256	42S1M	エミュレータ専用MCU

注. ROM容量には、機能設定ROM領域が含まれます。

機能ブロック動作説明

中央演算処理装置 (CPU)

7548 グループは740 ファミリ共通のCPUを持っています。各命令の動作については740 ファミリアドレッシングモード及び機械語命令一覧表又は740 ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

1. FST、SLW 命令はありません。
2. MUL、DIV 命令が使用可能です。
3. WIT 命令が使用可能です。
4. STP 命令が使用可能です。

中央演算装置(CPU)には6個のレジスタがあります。図5に740ファミリCPUレジスタの構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“001₆”となり、“1”の場合は“011₆”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

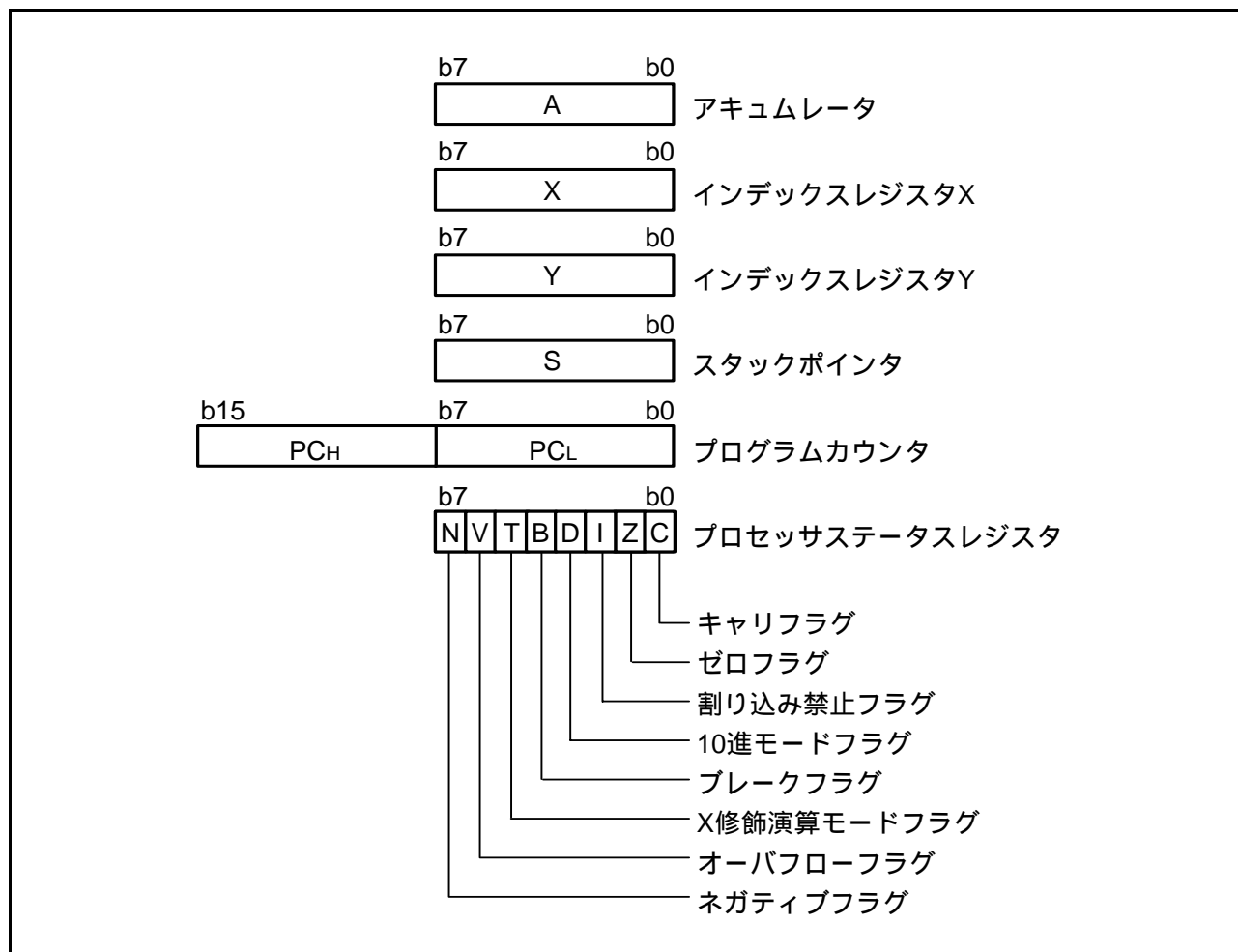


図5. 740ファミリCPUレジスタの構成

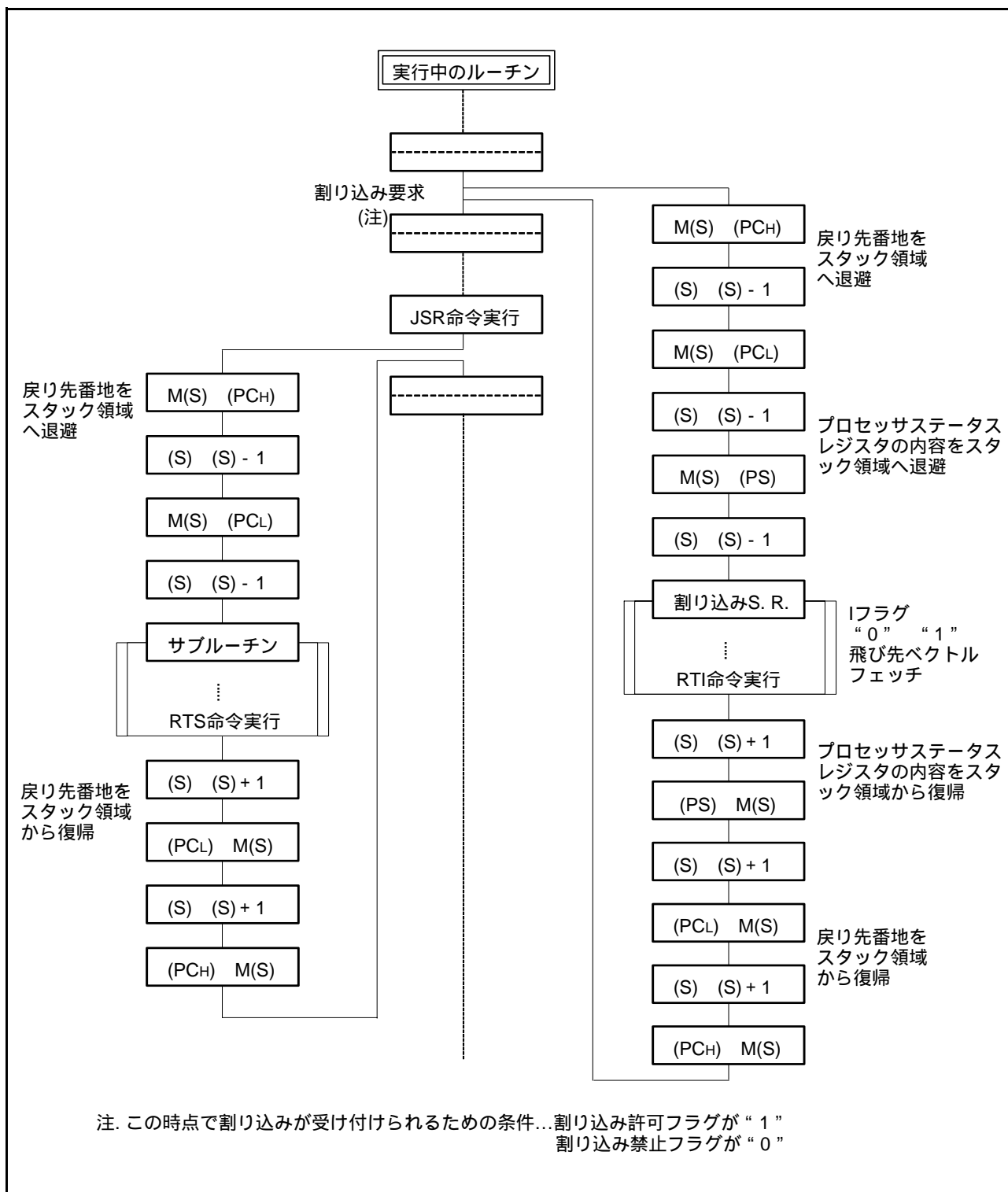


図6. スタックへの退避及び復帰動作

表4. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できませんが、10進モード時はZ、V、Nフラグは無効です。

• ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はボローを保持します。シフト命令又はローテート命令でも変化します。

• ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

• ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

• ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

• ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

• ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

• ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

• ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	-	SEI	SED	-	SET	-	-
クリアする命令	CLC	-	CLI	CLD	-	CLT	CLV	-

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択ビットが割り当てられています。このレジスタは003B₁₆番地に配置されています。

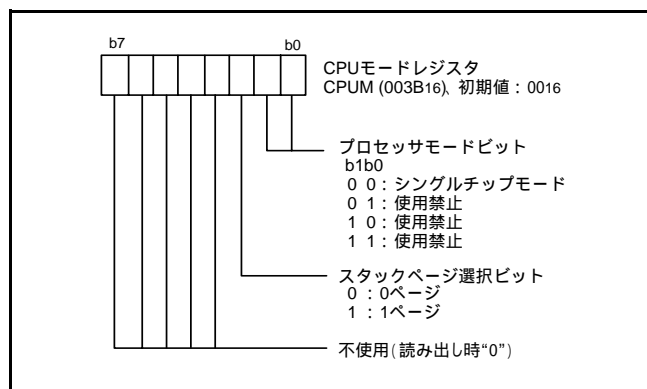


図7. CPUモードレジスタの構成

プロセッサモードビットは、リセット解除後1度だけ書くことができます。必ず“002”を設定してください。書き込み後はロックされるため、再書き込みは無効になります(エミュレータ専用MCUは除きます)。

またビット2のスタックページ選択ビットはロックされません。マイコン暴走時のプロセッサモードビットへの誤書き込みを防止する為に、リセット解除後のプログラムの先頭で、CPUモードレジスタの書き込みを行ってください。

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。ユーザ領域には機能設定ROM領域を含みます。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

機能設定ROM領域

【ルネサス出荷検査用領域】

機能設定ROM領域の配置図を図8に示します。

FFD4₁₆～FFD7₁₆番地のルネサス出荷検査用領域には、ルネサスでの製品出荷検査時にランダムなデータを設定します。この領域のデータは書き換えないでください。またユーザプログラムでチェックサムを取っている様な場合は、この領域を外す必要があります。

【機能設定ROMデータ】FSROM0、FSROM1、FSROM2

機能設定ROMデータ0～2(FFD8₁₆～FFDA₁₆番地)は、周辺機能のモード設定を行う領域です。この領域に値を設定することにより、マイコンのリセット解除時に、それぞれの周辺機能の動作モードが設定されます。周辺機能の具体的な動作については、各周辺機能の説明部分を参照してください。

- クロック発生回路：46ページ
- ウォッチドッグタイマ：42ページ
- 電圧低下検出回路：44ページ

【ROMコードプロテクト】

QzROM版のFFDB₁₆番地は、ROMコードプロテクト番地で、プログラムでは使用できません。シリアルプログラマでのプロテクトビット書き込みを選択した場合、及び弊社書き込み出荷の際にプロテクト有りを選択した場合、この番地に“00₁₆”が書き込まれます。ROMコードプロテクト番地に“00₁₆”が書き込まれるとプロテクト機能が有効になり、その後シリアルプログラマでの読み出し及び書き込みはできません。

QzROMブランク品は、シリアルプログラマでのROM書き込みの際に、プロテクトビット書き込みを選択することでROMコードがプロテクトされます。

QzROM書き込み出荷品は弊社での書き込みの際にROMコードプロテクト番地に“00₁₆”(プロテクト有り)又は“FF₁₆”(プロテクト無し)のいずれかが書き込まれます。

“00₁₆”あるいは“FF₁₆”のどちらを書き込むかは、発注の際にROMオプション(マスクファイル変換ユーティリティ内では“マスクオプション”表記)として選択可能です。

注意事項

- (1) RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。
- (2) 予約領域はアクセスしないでください。
- (3) ルネサス出荷検査用領域、予約ROM領域には、製品ごとにランダムなデータが書き込まれています。この領域のデータは書き換えないでください。これらの領域のデータは予告なく変更する場合がありますので、ROMの全領域のチェックサムを確認する様なプログラムでは、これらの領域を含まないようにしてください。
- (4) 機能設定ROMデータの0～2のQzROMの値によってマイコンのリセット解除時に、それぞれの周辺機能の動作モードが設定されます。必ず選択する機能の値を設定してください。固定値“1”または“0”が指定されているビットには、指定された値の設定が必要です。

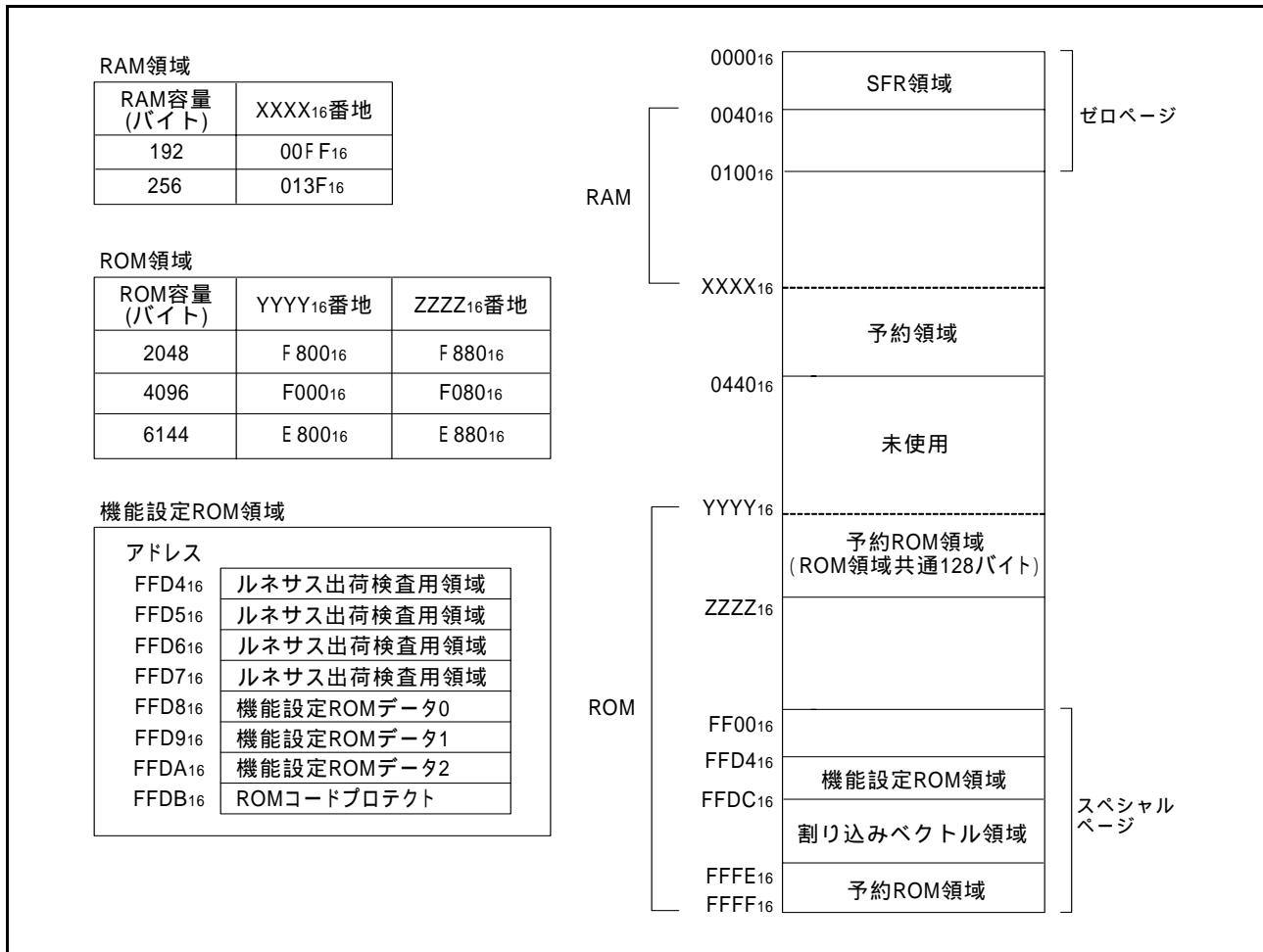


図8. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	予約領域
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	予約領域
0002 ₁₆	ポートP1(P1)	0022 ₁₆	予約領域
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	予約領域
0004 ₁₆	ポートP2(P2)	0024 ₁₆	予約領域
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	予約領域
0006 ₁₆	ポートP3(P3) (注1)	0026 ₁₆	予約領域
0007 ₁₆	ポートP3方向レジスタ(P3D) (注2)	0027 ₁₆	予約領域
0008 ₁₆	予約領域	0028 ₁₆	プリスケラ12(PRE12)
0009 ₁₆	予約領域	0029 ₁₆	タイマ1(T1)
000A ₁₆	予約領域	002A ₁₆	タイマ2(T2)
000B ₁₆	予約領域	002B ₁₆	タイマモードレジスタ(TM)
000C ₁₆	ポートP0駆動能力制御レジスタ(DCCR)	002C ₁₆	タイマカウントソース設定レジスタ(TCSS)
000D ₁₆	ポートP0プルアップ制御レジスタ(PULL0)	002D ₁₆	コンペア設定値リロードレジスタ(CMPR)
000E ₁₆	ポートP1プルアップ制御レジスタ(PULL1)	002E ₁₆	キャプチャ/コンペアポートレジスタ(CCPR)
000F ₁₆	キーオンウェイクアップ入力選択レジスタ(KEYS)	002F ₁₆	キャプチャ/コンペアステータスレジスタ(CCSR)
0010 ₁₆	キャプチャ/コンペアレジスタ(下位) (CRAL)	0030 ₁₆	コンペア割り込みソース設定レジスタ(CISR)
0011 ₁₆	キャプチャ/コンペアレジスタ(上位) (CRAH)	0031 ₁₆	キャプチャソフトウェアトリガレジスタ(CSTR)
0012 ₁₆	キャプチャ/コンペアレジスタRWポイント(CCRP)	0032 ₁₆	キャプチャモードレジスタ(CAPM)
0013 ₁₆	コンペア出力モードレジスタ(CMOM)	0033 ₁₆	予約領域
0014 ₁₆	タイマA(下位)(TAL)	0034 ₁₆	AD制御レジスタ(ADCON)
0015 ₁₆	タイマA(上位)(TAH)	0035 ₁₆	AD変換下位レジスタ(ADL)
0016 ₁₆	予約領域	0036 ₁₆	AD変換上位レジスタ(ADH)
0017 ₁₆	予約領域	0037 ₁₆	クロックモードレジスタ(CLKM)
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	発振停止検出レジスタ(CLKSTP)
0019 ₁₆	シリアル/Oステータスレジスタ(SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアル/O制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	予約領域	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	予約領域	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	予約領域	003F ₁₆	割り込み制御レジスタ2(ICON2)

注1. ポートP3の端子はありません。
注2. ポートP3の端子はありませんが、ポートP3方向レジスタには03₁₆を設定してください。
注3. SFRの予約領域のメモリアクセスは行わないでください。

図9. SFR(スペシャルファンクションレジスタ)メモリマップ

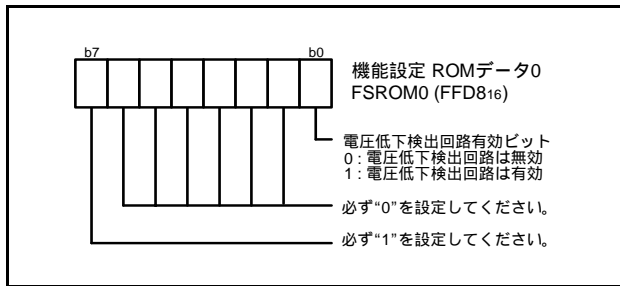


図10. 機能設定ROMデータ0の構成

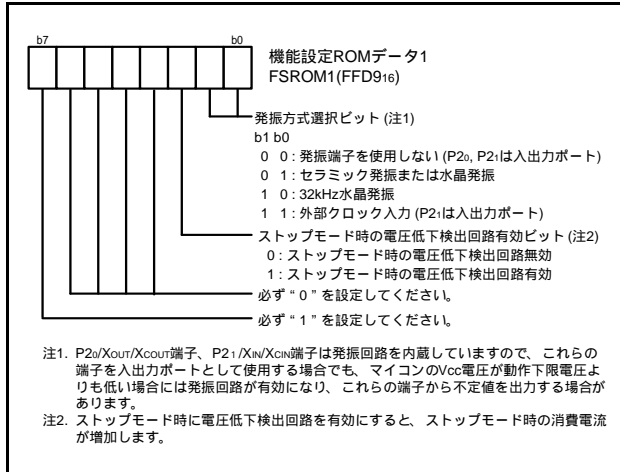


図11. 機能設定ROMデータ1の構成

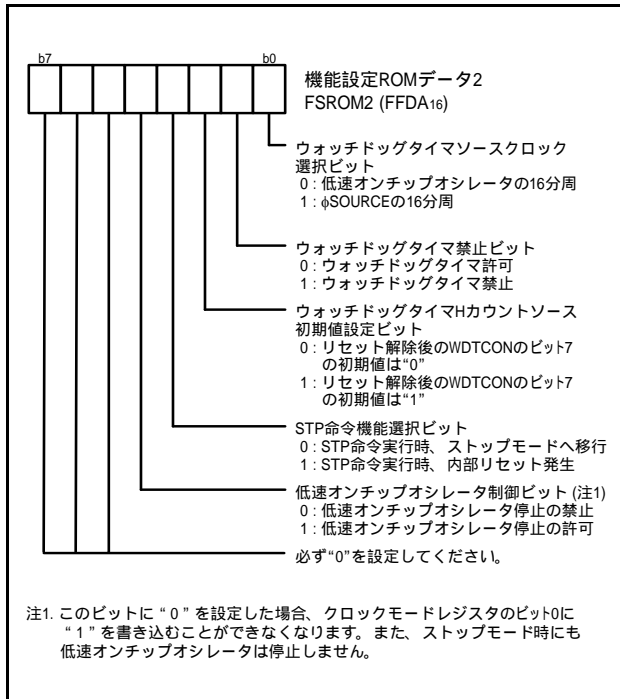


図12. 機能設定ROMデータ2の構成

入出力ポート

【方向レジスタ】 PiD

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットすると、その端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

- ポート P20 を出力ポートとして使用する場合は、リセット解除後にポート P20 の方向レジスタに“1”を書き込んでください。
- ポート P1 方向レジスタのビット6、7は“1”に設定してください。
- ポート P3 方向レジスタのビット0、1は“1”に設定してください。

【ポートP0駆動能力制御レジスタ】 DCCR

ポートP0駆動能力制御レジスタ(000C16番地)を設定することによりポートP0のNチャンネル出力トランジスタの駆動能力が選択できます。

【プルアップ制御レジスタ】 PULL0、PULL1

ポートP0、P1はプルアップ制御レジスタ(000D16、000E16番地)を設定することによりプログラムでプルアップの制御が可能です。ただし、ポートの方向レジスタが入力に設定されているときのみ有効です。出力に設定されているときは“プルアップあり”に設定してもポートはプルアップされません。

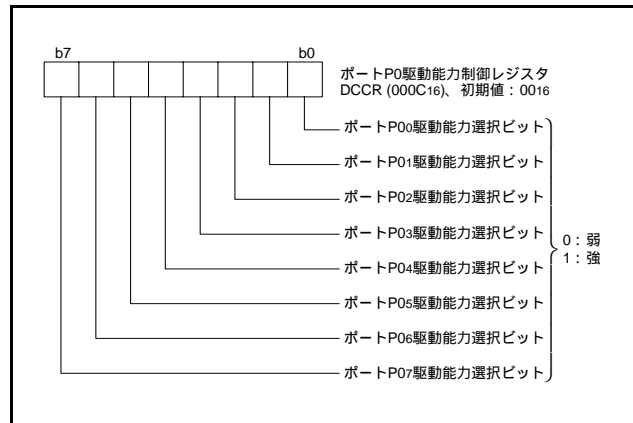


図13. ポートP0駆動能力制御レジスタの構成

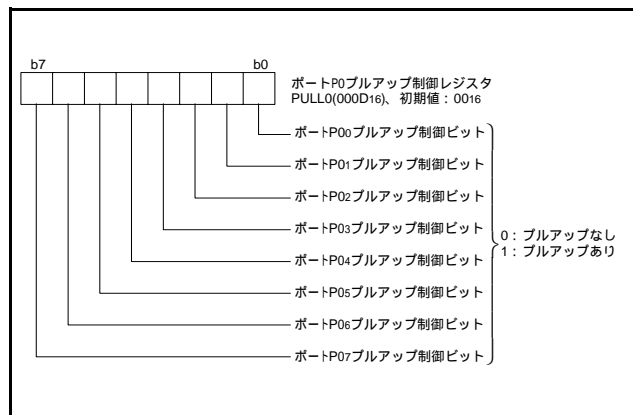


図14. ポートP0プルアップ制御レジスタの構成

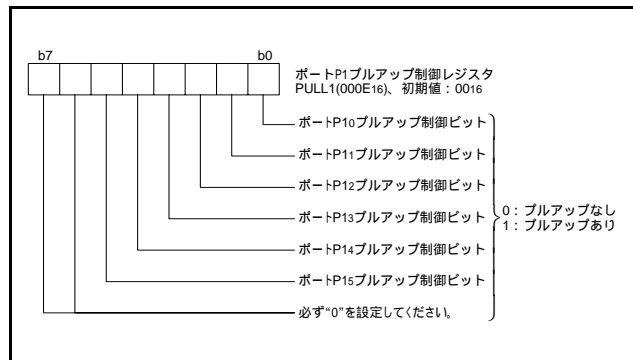


図15. ポートP1プルアップ制御レジスタの構成

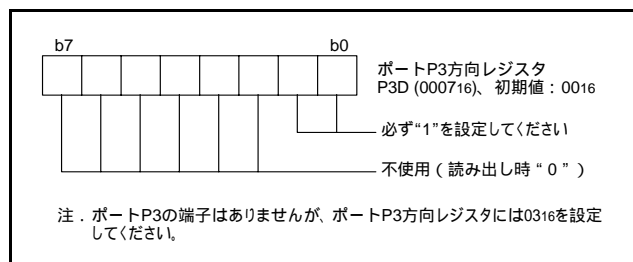


図16. ポートP3方向レジスタの構成

表6. 入出力ポートの機能一覧

端子名	名称	入出力形式	ポート以外の機能	各端子に関連するSFR
P00(LED0)/INT0 P01(LED1)/INT1	ポートP0	CMOS入力レベル CMOS3ステート出力	外部割込み入力	割り込みエッジ選択レジスタ ポートP0駆動能力制御レジスタ ポートP0プルアップ制御レジスタ
P02(LED2)				ポートP0駆動能力制御レジスタ ポートP0プルアップ制御レジスタ
P03(LED3)/CAP0			キャプチャ入力	キャプチャ/コンペアポートレジスタ ポートP0駆動能力制御レジスタ ポートP0プルアップ制御レジスタ
P04(LED4)/RXD			シリアルインタフェース 入出力	シリアルI/O制御レジスタ ポートP0駆動能力制御レジスタ ポートP0プルアップ制御レジスタ
P05(LED5)/TXD				シリアルI/O制御レジスタ UART制御レジスタ ポートP0駆動能力制御レジスタ ポートP0プルアップ制御レジスタ
P06(LED6)/SCLK				シリアルI/O制御レジスタ ポートP0駆動能力制御レジスタ ポートP0プルアップ制御レジスタ
P07(LED7)/SRDY				シリアルI/O制御レジスタ ポートP0駆動能力制御レジスタ ポートP0プルアップ制御レジスタ
P10/AN0/KEY0/CMP0 P11/AN1/KEY1/CMP1 P12/AN2/KEY2/CMP2	ポートP1	コンペア出力 キー入力割り込み A/Dコンバータ入力	キャプチャ/コンペアポートレジスタ ポートP1プルアップ制御レジスタ キーオンウェイクアップ入力選択レジスタ AD制御レジスタ	
P13/AN3/KEY3/T2OUT			タイマ2出力 キー入力割り込み A/Dコンバータ入力 キーオンウェイクアップ入力選択レジスタ AD制御レジスタ	
P14/AN4/KEY4 P15/AN5/KEY5			ポートP1プルアップ制御レジスタ キーオンウェイクアップ入力選択レジスタ AD制御レジスタ	
P20/XOUT/XCOUT	ポートP2	CMOS3ステート出力	クロック用端子	機能設定ROMデータ1(注) クロックモードレジスタ
P21/XIN/XCIN		CMOS入力レベル CMOS3ステート出力	クロック用端子	機能設定ROMデータ1(注) クロックモードレジスタ

注. 機能設定ROM領域内に存在します。

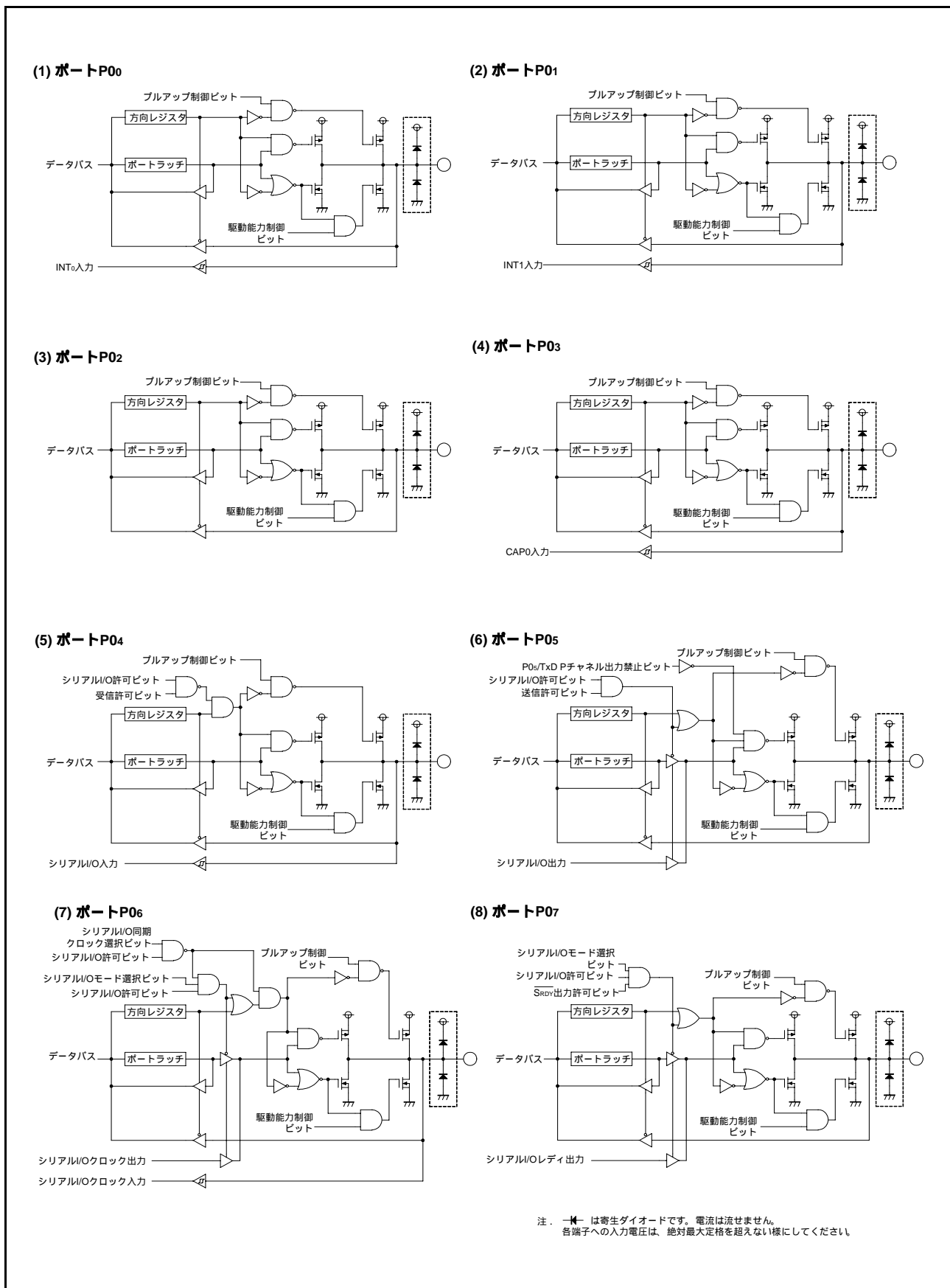


図 17. 端子のブロック図(1)

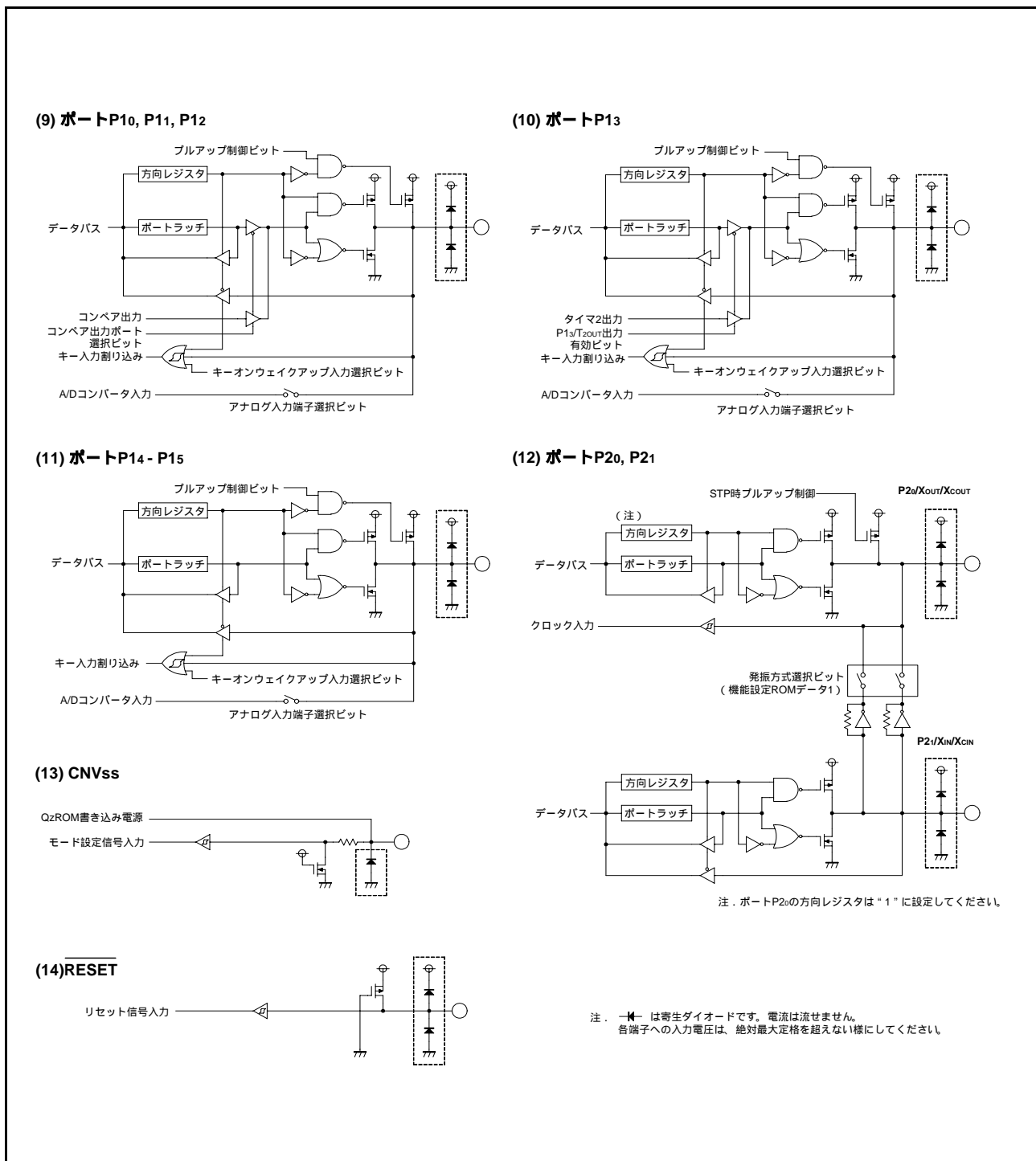


図18. 端子のブロック図(2)

未使用端子の処理方法

- 一般的な端子の処理方法

入出力ポート: 入力ポート、又は出力ポートを選択し、それぞれの処理方法に従ってください。

出力ポート: 開放にしてください。

入力ポート: 入力レベルが不安定な場合は入力回路に貫通電源電流が流れ、特に低消費電流を期待する状態(STP、WIT命令実行中など)に、電源電流が増大することがありますので、プルアップ又はプルダウンしてください(内蔵抵抗使用可)。

入出力ポート、及び出力機能をもつ端子を入力ポートとして未使用端子の処理を行う場合は、誤動作などで出力ポートとして動作した場合を想定し、 $I_{OH(avg)}$ 又は $I_{OL(avg)}$ を確保できる抵抗を介して端子の処理を行うことを推奨いたします。

表7. 未使用端子の処理方法

端子名	処理方法
P00/INT0	入出力ポート処理を行ってください。
P01/INT1	
P02	
P03/CAP0	
P04/RxD	
P05/TxD	
P06/SCLK	
P07/ \overline{SRDY}	
P10/AN0/KEY0/CMP0	
P11/AN1/KEY1/CMP1	
P12/AN2/KEY2/CMP2	
P13/AN3/KEY3/T2OUT	
P14/AN4/KEY4	
P15/AN5/KEY5	
P20/XOUT/XCOUT	
P21/XIN/XCIN	入出力ポート処理を行ってください。
\overline{RESET}	内蔵パワーオンリセット回路を使用する場合は開放にしてください。

割り込み

7548グループの割り込みは、固定優先度方式のベクトル割り込みで、外部4要因、内部7要因、ソフトウェア1要因の12要因から割り込みを発生することが可能です。割り込み要因とベクトル番地（注1）、割り込みの優先順位を表8に示します。

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、これらのビットと割り込み禁止フラグ(1フラグ)によって割り込み要求の受付を制御できます。図19に割り込み制御図を示します。次の条件がすべて揃ったとき、割り込み要求を受け付けます。

- 割り込み禁止フラグ “0”
- 割り込み要求ビット “1”
- 割り込み許可ビット “1”

割り込みの優先順位は、ハードウェアで固定されていますが、上記のビット及びフラグの使用により、優先処理をプログラムで行えます。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(1)		割り込み要求発生条件	備考
		上位	下位		
リセット(2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
シリアルI/O受信	2	FFFB ₁₆	FFFA ₁₆	シリアルI/Oデータ受信時	シリアルI/O選択時のみ有効
シリアルI/O送信	3	FFF9 ₁₆	FFF8 ₁₆	シリアルI/O送信シフト完了時又は送信バッファ空き時	シリアルI/O選択時のみ有効
INT ₀	4	FFF7 ₁₆	FFF6 ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT ₁	5	FFF5 ₁₆	FFF4 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
キーオンウェイクアップ	6	FFF3 ₁₆	FFF2 ₁₆	ポートP1(入力時)の入力論理レベルの論理積の立ち下がり時	外部割り込み(立ち下がりエッジ有効)
キャプチャ	7	FFF1 ₁₆	FFF0 ₁₆	キャプチャ入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
コンペア	8	FFEF ₁₆	FFEE ₁₆	コンペア出力信号の反転時	割り込みソースチャンネルプログラマブル
タイマA	9	FFED ₁₆	FFEC ₁₆	タイマAアングフロー時	
タイマ2	10	FFEB ₁₆	FFEA ₁₆	タイマ2アングフロー時	
A/D変換	11	FFE9 ₁₆	FFE8 ₁₆	A/D変換終了時	
タイマ1	12	FFE7 ₁₆	FFE6 ₁₆	タイマ1アングフロー時	STP解除タイマアングフロー
未使用	13	FFE5 ₁₆	FFE4 ₁₆		
	14	FFE3 ₁₆	FFE2 ₁₆		
	15	FFE1 ₁₆	FFE0 ₁₆		
	16	FFDF ₁₆	FFDE ₁₆		
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
 注2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

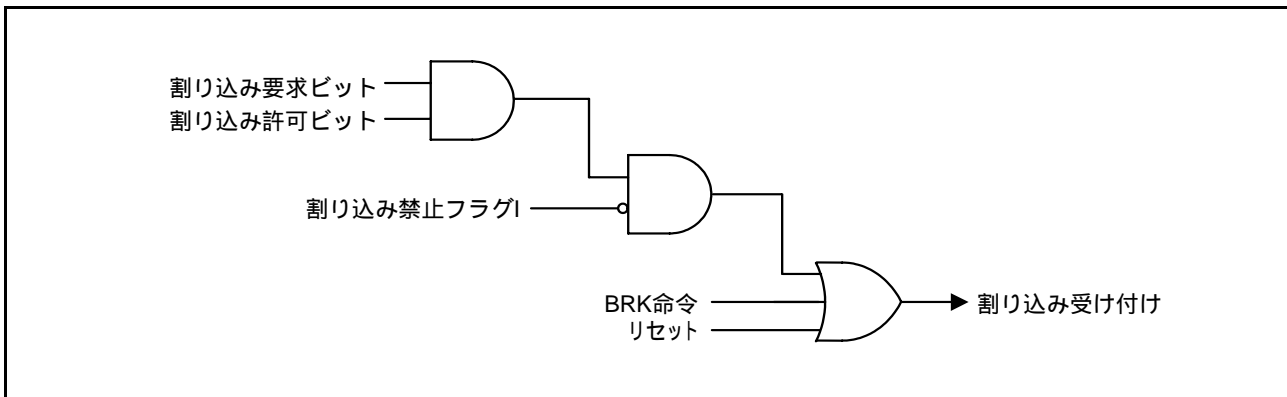


図19. 割り込み制御図

割り込み禁止フラグ

プロセッサステータスレジスタのビット2が割り込み禁止フラグです。割り込み禁止フラグは、BRK命令を除くすべての割り込み要求の受け付けを制御するフラグです。

割り込み要求の受け付けは、このフラグを“1”にすると禁止になり、“0”にすると許可になります。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み要求を受け付けると、割り込み禁止フラグが“0”のまま、プロセッサステータスレジスタをスタックに退避します。

その後、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込みルーチン内でCLI命令を用いて、このフラグを“0”にしてください。

プロセッサステータスレジスタは、RTI命令で復帰します。

割り込み要求ビット

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になり、割り込み要求が受け付けられるまで“1”を保持します。割り込み要求が受け付けられると、自動的に“0”になります。

割り込み要求ビットは、プログラムで“0”にできますが、“1”にはできません。

割り込み許可ビット

割り込み許可ビットは、対応する割り込み要求の受け付けを制御するビットです。

このビットが“0”の場合、割り込み要求の受け付けが禁止になります。この場合、割り込み要求が発生しても、割り込み要求ビットが“1”になるだけで、割り込み要求は受け付けられません。このビットが“1”の場合、割り込み要求の受け付けが許可になります。

割り込み許可ビットはプログラムで“0”、又は“1”にできます。

使用しない割り込みの割り込み許可ビットは“0”にしてください。

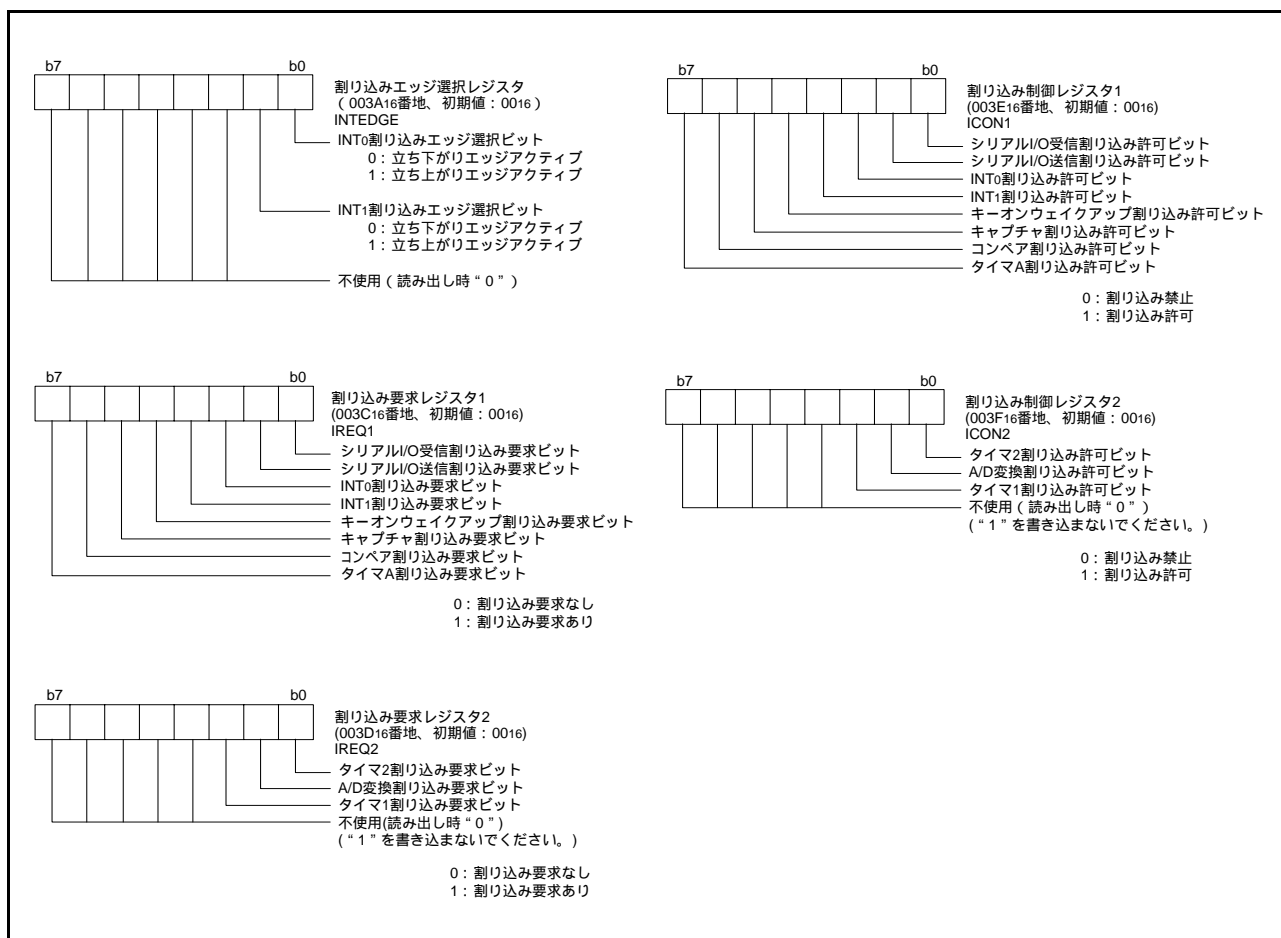


図20. 割り込み関係レジスタの構成

割り込み要求の発生/受け付け/処理

割り込みは、次の3つの段階に分かれます。

(i) 割り込み要求の発生

各種の割り込み要因（外部割り込み信号入力、タイムのアンダフロー等）により割り込み要求が発生し、割り込み要求ビットが“1”になります。

(ii) 割り込み要求の受け付け

命令サイクルごとの割り込み受け付けタイミングで割り込み制御回路が受け付け条件（割り込み要求ビット、割り込み許可ビット、割り込み禁止フラグ）と割り込み優先順位を判定して、割り込み要求を受け付けます。同じタイミングで複数の割り込み要求がある場合は、それらの中で最も優先順位の高い割り込み要求を受け付けます。受け付けられなかった割り込みの割り込み要求ビットは保持され、次の割り込み受け付けタイミングで再度受け付けを判定されます。

(iii) 受け付けた割り込みの処理

受け付けた割り込みの処理を実行します。

割り込みルーチンを実行するまでの時間を図21、割り込みシーケンスを図22、割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミングを図23に示します。

割り込み処理実行

割り込み処理実行時、次の動作を自動的に行います。

- (1) 現在実行中の命令が終了すると、割り込み要求を受け付けます。
- (2) この時点のプログラムカウンタ及びプロセッサステータスレジスタの内容を の順でスタック領域へ退避します。
プログラムカウンタ上位(PCH)
プログラムカウンタ下位(PCL)
プロセッサステータスレジスタ(PS)
- (3) 退避と同時に、対応する割り込みの飛び先番地（割り込みルーチンの先頭番地）を割り込みベクトルからプログラムカウンタへ転送します。
- (4) 対応する割り込みの割り込み要求ビットが“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止になります。
- (5) 割り込みルーチンを実行します。
- (6) RTI命令を実行すると、スタック領域に退避していたレジスタの内容を の順に復帰し、割り込み処理前のルーチンを継続します。

したがって、割り込みルーチンを実行するためには、スタックポインタの設定及び各割り込みに対応したベクトル内への飛び先番地の設定が必要です。

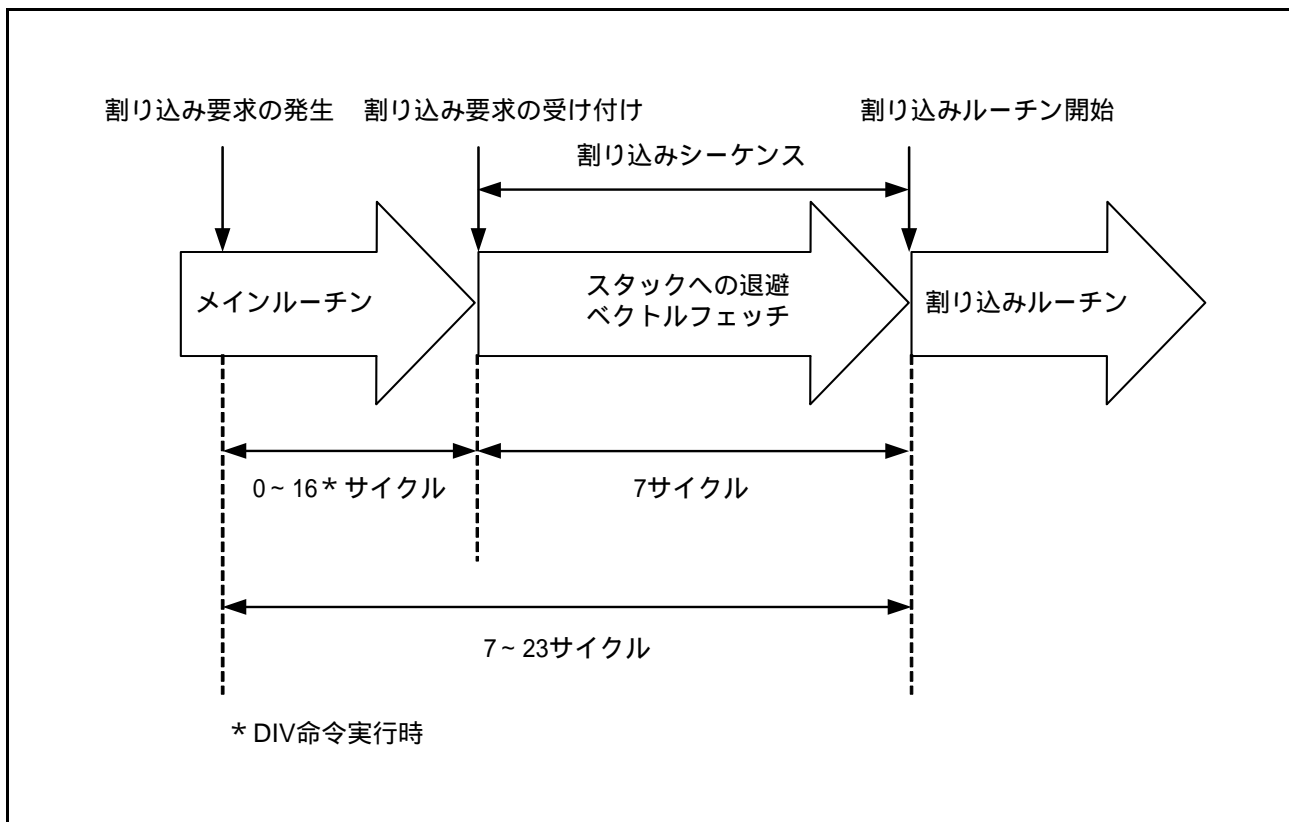


図21. 割り込みルーチンを実行するまでの時間

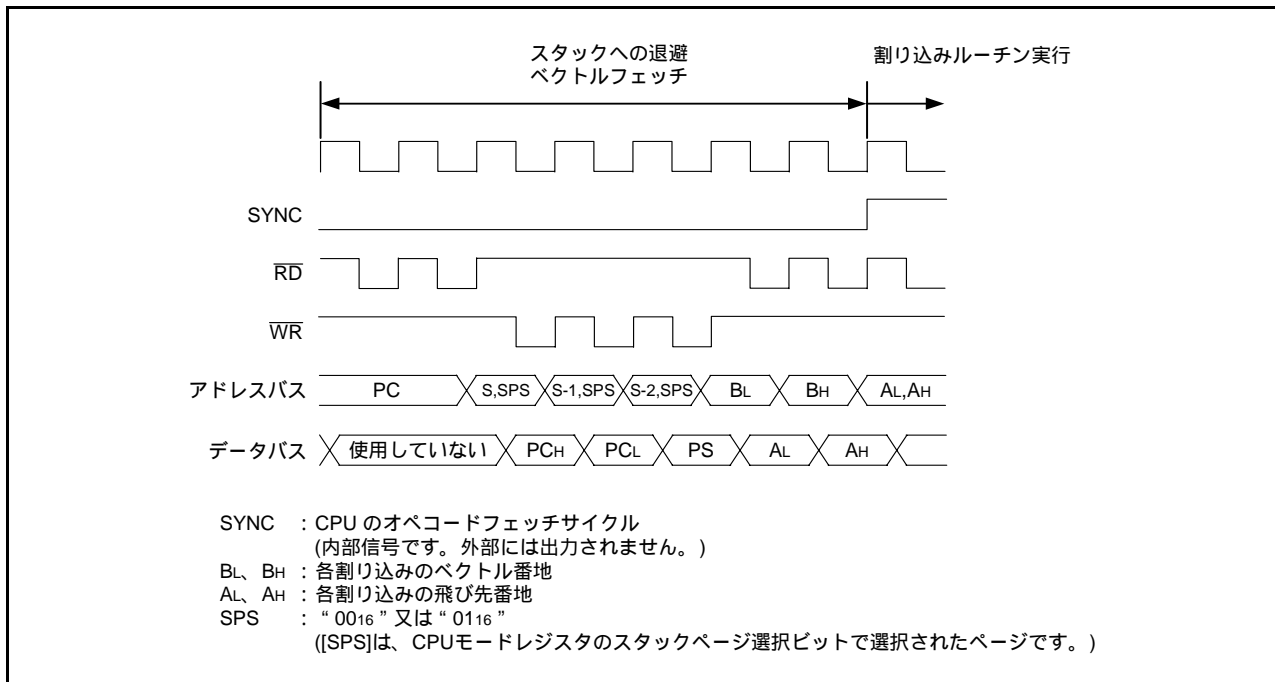


図22. 割り込みシーケンス

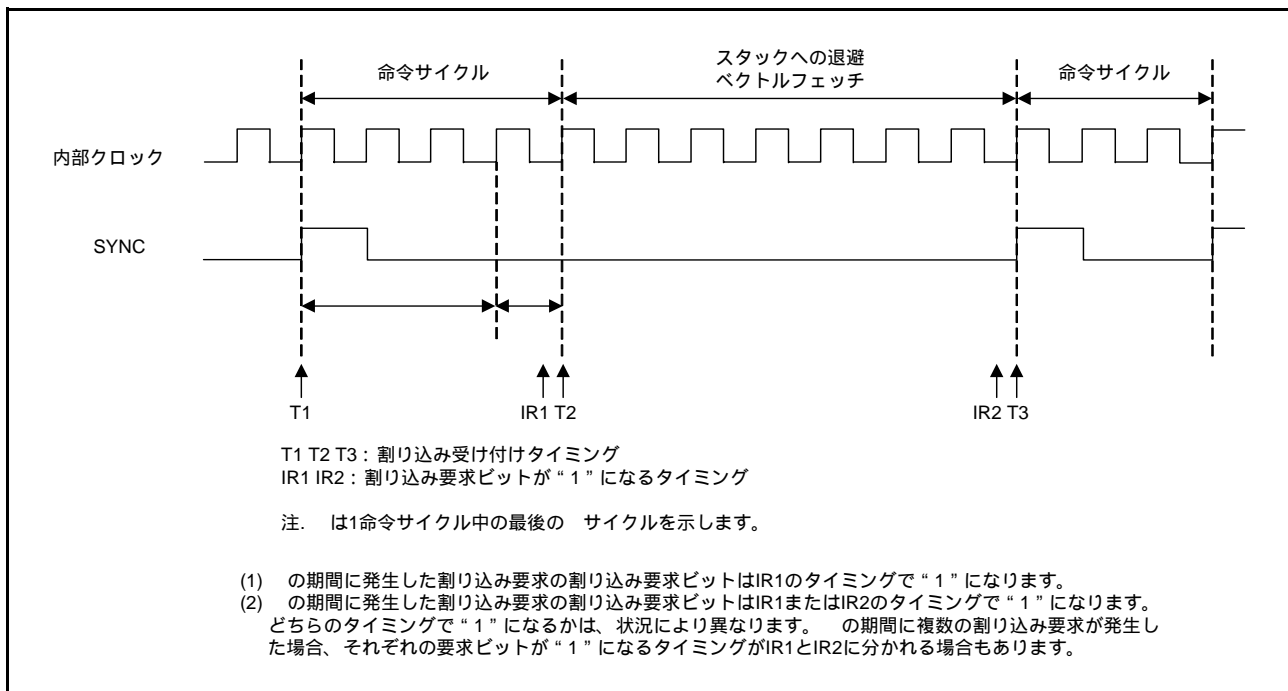


図23. 割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミング

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- < 外部割り込みのアクティブエッジを切り替えるとき >
- INT₀ 割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A₁₆番地)のビット0)
- INT₁ 割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット1)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- (1) 該当する割り込み許可ビットを“0”(禁止)にする。
- (2) 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- (3) 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- (4) 該当する割り込み許可ビットを“1”(許可)にする。

キー入力割り込み(キーオンウェイクアップ)

キー入力割り込みは、ポートP1のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求が発生します。図24はキー入力割り込みを用い

た一例で、ポートP10～P13を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

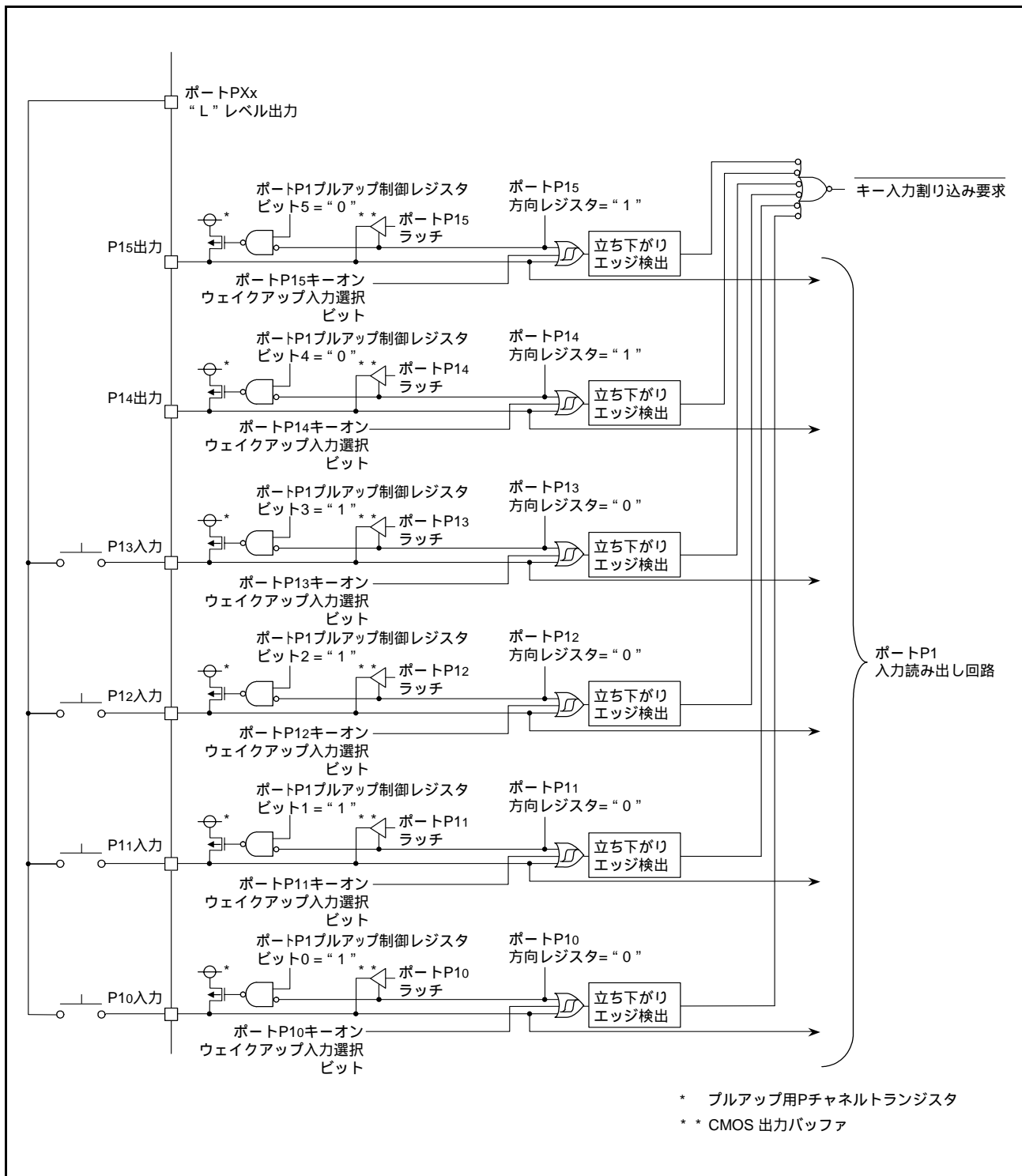


図24. キー入力割り込み使用時の結線例とポートP1のブロック図

【キーオンウェイクアップ入力選択レジスタ】 KEYS

P10 ~ P17端子のキーオンウェイクアップの許可/禁止は、キーオンウェイクアップ入力選択ビットによってそれぞれ選択できます。

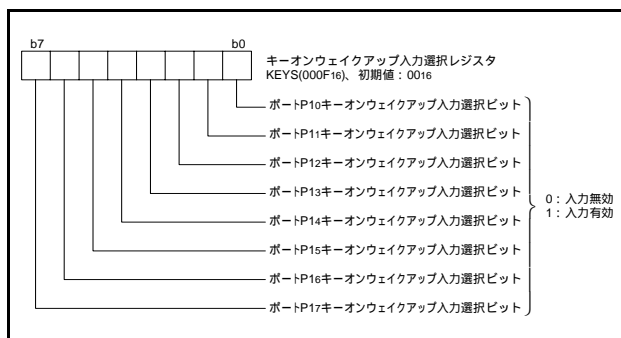


図25. キーオンウェイクアップ入力選択レジスタの構成

タイマ

8ビットタイマが2本(タイマ1、タイマ2)と、16ビットタイマが1本(タイマA)あります。タイマ1、タイマ2共通で8ビットプリスケアラ(プリスケアラ12)があります。また、各タイマ、プリスケアラは、それぞれタイマラッチ、プリスケアララッチをもっています。

すべてのタイマまたはプリスケアラの分周比は、タイマラッチまたはプリスケアララッチの内容をnとすると、 $1/(n+1)$ になります。

タイマはカウントクロックが入力されるごとにダウンカウントし、カウンタの内容が“0”になった次のカウントパルスでアンダフローします。アンダフローのタイミングでタイマラッチの内容が再びタイマにロードされ、カウントが続行されます。また、タイマがアンダフローすると、各タイマに対応する割り込み要求ビットが“1”になります。

プリスケアラ12(PRE12)

プリスケアラ12は8ビットのプリスケアラで、プリスケアラ12カウントソース選択ビットで選択された信号をカウントします。

カウントソースは、 ϕ SOURCEの16分周、又はXCIN入力クロック信号から選択できます。

プリスケアラ12に書き込むと、プリスケアラ12ラッチとプリスケアラ12の両方に値が書き込まれます。

プリスケアラ12を読み出すと、プリスケアラ12のカウント値が読み出されます。

リセット後は“FF16”になります。

プリスケアラ12の分周比は、設定値をnとすると、 $1/(n+1)$ になります。

なお、プリスケアラ12はソフトウェアによりカウントを停止できません。

タイマ1(T1)

タイマ1は8ビットタイマで、プリスケアラ12の出力をカウントし、アンダフローすると、タイマ1割り込み要求ビットが“1”になります。

タイマ1に書き込むと、タイマ1ラッチとタイマ1の両方に値が書き込まれます。

タイマ1を読み出すと、タイマ1のカウント値が読み出されます。

リセット後は“0116”になります。

タイマ1の分周比は、タイマ1の設定値をmとすると $1/(m+1)$ となります。したがって、プリスケアラ12の設定値をn、タイマ1の設定値をmとした場合、プリスケアラ12とタイマ1をあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

なお、タイマ1はソフトウェアによりカウントを停止できません。

タイマ2(T2)

タイマ2は8ビットタイマで、タイマ2カウントソース選択ビットで選択された信号をカウントします。

カウントソースは、 ϕ SOURCEの16分周、256分周、プリスケアラ12出力およびタイマAアンダフロー信号から選択できます。

タイマ2は選択されたカウントソースをカウントし、アンダフローによって、タイマ2割り込み要求ビットが“1”になります。

タイマ2に書き込む場合、タイマ2書き込み制御ビットの値により、タイマ2ラッチ及びタイマ2の両方に書き込むか、タイマ2ラッチのみに書き込むかを選択できます。

タイマ2を読み出すと、タイマ2のカウント値が読み出されます。

リセット後は“FF16”からカウントを開始します。

タイマ2の分周比は、タイマ2の設定値をnとすると $1/(n+1)$ となります。

タイマ2はタイマ2カウント停止ビットが“1”のとき、停止します。

また、P13/T2OUT出力有効ビットが“1”のとき、タイマ2がアンダフローするたびに極性の反転する波形をP13/T2OUT端子から出力します。

T2OUT端子の出力開始レベルは、T2OUT極性切り替えビットで選択できます。このビットが“0”のときは、“H”から開始し、“1”のときは、“L”から開始します。

注意事項

- タイマ1, 2、プリスケアラ12の読み出し/書き込み
タイマ/プリスケアラのカウントソースクロックと、 ϕ SOURCEが別クロックの場合、タイマ/プリスケアラの読み出し/書き込みが行えません。
読み出し/書き込みを行う場合は、同じクロックを選択してください。
ただし、タイマ2については、タイマ2のカウント停止した状態では別クロックでも読み出し/書き込み可能です。

プリスケアラ12、タイマ1の読み出し/書き込みを行えない条件
プリスケアラ12のカウントソース：XCIN入力クロック
 ϕ SOURCE：XCIN入力クロック以外のクロック
カウント動作中のタイマ2の読み出し/書き込みを行えない条件
タイマ2のカウントソース：プリスケアラ12
プリスケアラ12のカウントソース：XCIN入力クロック
 ϕ SOURCE：XCIN入力クロック以外のクロック
または
タイマ2のカウントソース：タイマAアンダフロー
タイマAのカウントソース：XCIN入力クロック
 ϕ SOURCE：XCIN入力クロック以外のクロック
または
タイマ2のカウントソース：タイマAアンダフロー
タイマAのカウントソース：低速オンチップオシレータ出力
 ϕ SOURCE：低速オンチップオシレータ以外のクロック
- プリスケアラ12のカウントソース
プリスケアラ12のカウントソース=XCIN入力クロックの選択は、FSROM1の発振方式選択ビットで32kHz水晶発振を選択した場合のみ使用できます。

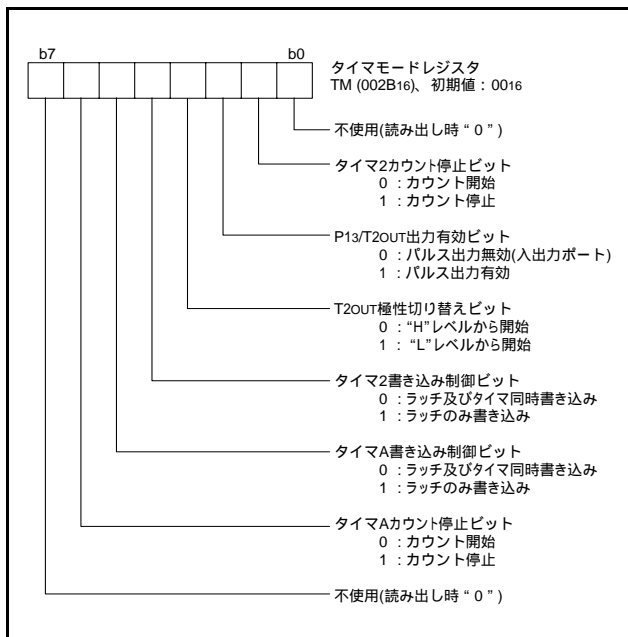


図26. タイマモードレジスタの構成

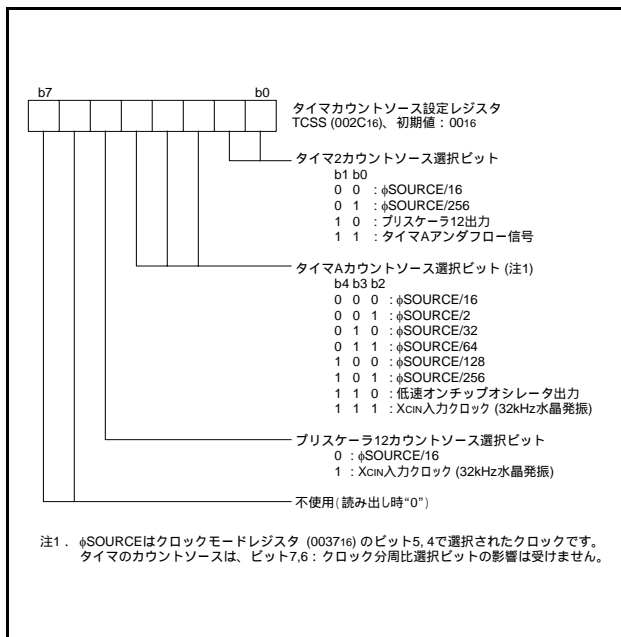


図27. タイマカウントソース設定レジスタの構成

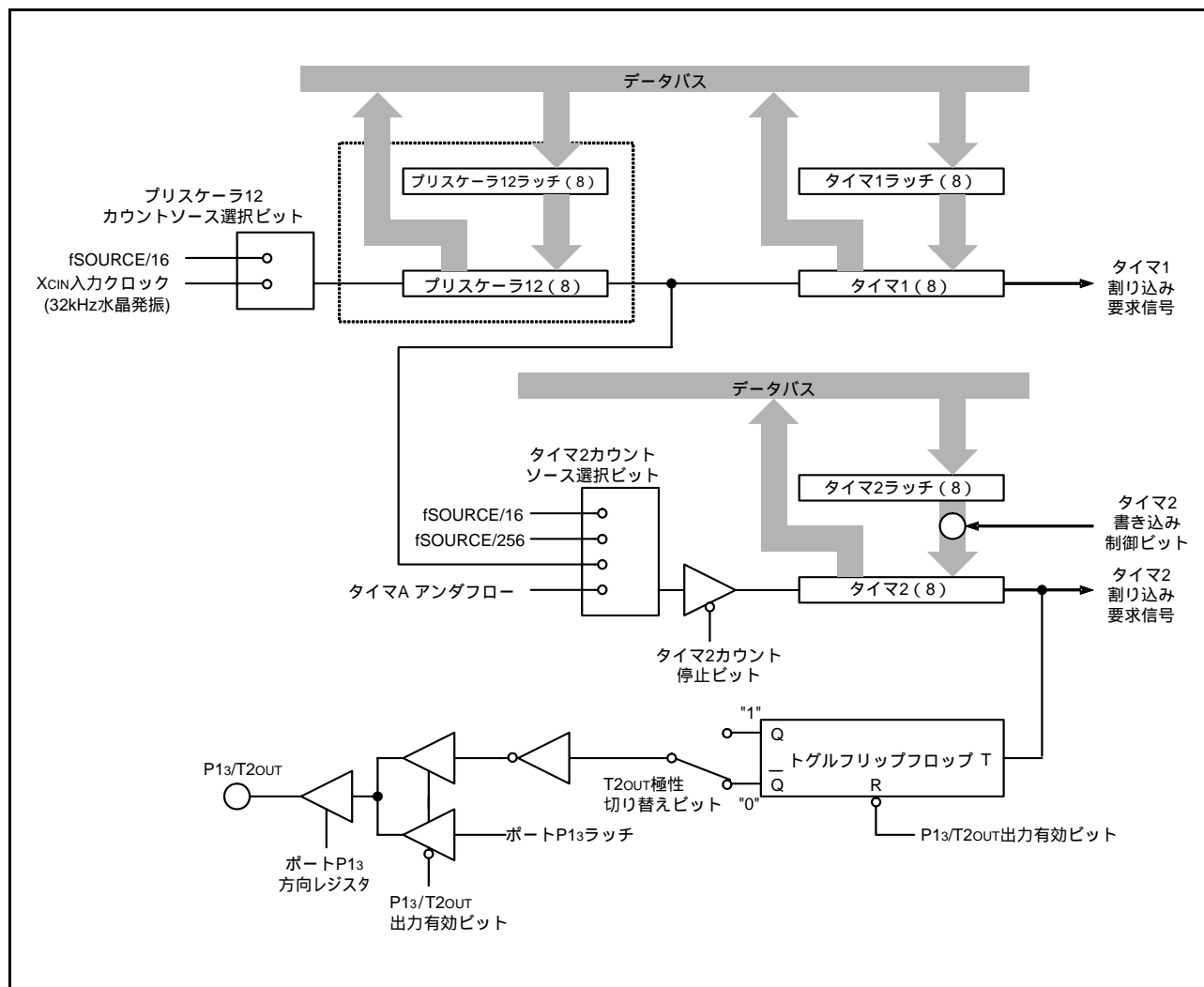


図28. タイマ1, 2のブロック図

タイマA (TA)

タイマAは16ビットのタイマで、タイマAカウントソース選択ビットで選択された信号をカウントします。

カウントソースは ϕ SOURCEの2分周、16分周、32分周、64分周、128分周、256分周、低速オンチップオシレータ出力、およびXCIN入力クロックから選択できます。

タイマAは選択されたカウントソースをカウントし、アンドフローによって、タイマA割り込み要求ビットが“1”になります。

タイマAに書き込む場合、タイマA書き込み制御ビットの設定値により、タイマAラッチ及びタイマの両方に書き込むか、タイマAラッチのみに書き込むかを選択できます。

タイマAを読み出すと、タイマAのカウント値が読み出されます。

タイマA下位 (TAL) とタイマA上位 (TAH) の書き込み、読み出しは、必ず次の順序で行ってください。

- 読み出し タイマA上位 (TAH)、タイマA下位 (TAL)の順で、必ず両レジスタ共に読み出してください。
- 書き込み タイマA下位 (TAL)、タイマA上位 (TAH)の順で、必ず両レジスタ共に書き込んでください。

リセット後は“FFFF16”からカウントを開始します。

タイマAの分周比は、タイマAの設定値をnとすると $1/(n+1)$ となります。

タイマAはタイマAカウント停止ビットが“1”のとき、停止します。

なお、タイマAは、アウトプットコンペアとインプットキャプチャのタイミング用タイマとして使用できます。

注意事項

(1) タイマ値の設定

タイマA書き込み制御ビットを「ラッチのみ書き込み」に設定している場合は、タイマの停止中であっても、書き込みデータはラッチのみに書き込まれます。したがって、タイマの初期設定において、タイマの停止中に値を設定する場合は、「ラッチ及びタイマ同時書き込み」を選択した状態で行ってください。

(2) タイマAの読み出し/書き込み

タイマAのカウントソースクロックと、 ϕ SOURCEが別クロックの場合、タイマAの動作中にはタイマAの読み出し/書き込みが行えません。

読み出し/書き込みを行う場合は、同じクロックを選択するか、タイマAを停止した状態で行ってください。

・タイマAの動作中にタイマAの読み出し/書き込みを行えない条件

タイマAのカウントソース：XCIN入力クロック

ϕ SOURCE：XCIN入力クロック以外のクロック

または

タイマAのカウントソース：低速オンチップオシレータ出力

ϕ SOURCE：低速オンチップオシレータ以外のクロック

(3) タイマAのカウントソース

タイマAのカウントソース=XCIN入力クロックの選択は、FSROM1の発振方式選択ビットで32kHz水晶発振を選択した場合のみ使用できます。

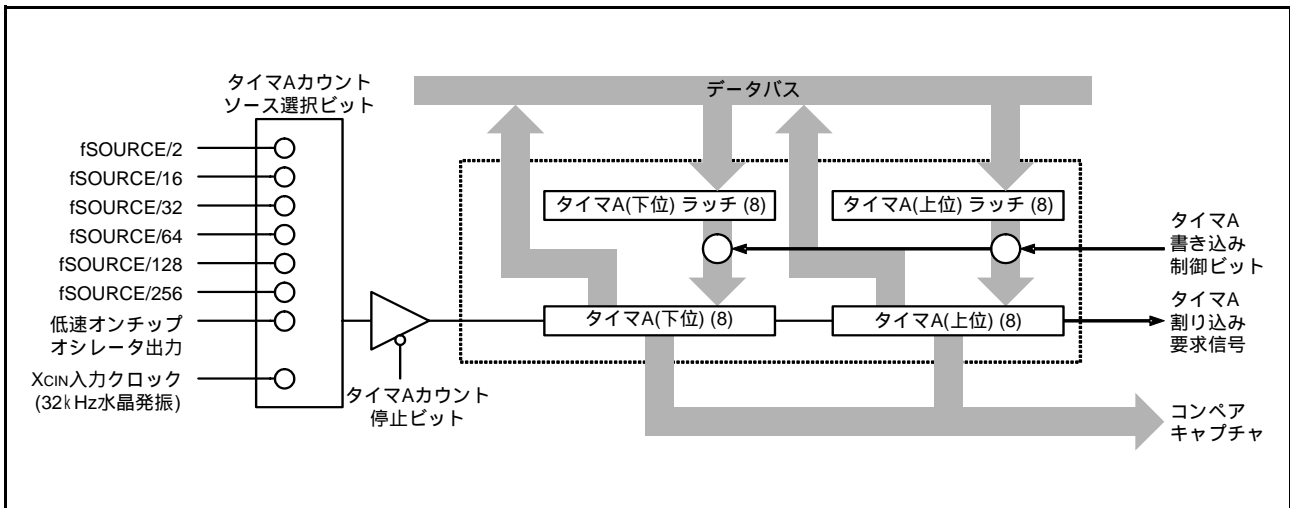


図29. タイマAのブロック図

アウトプットコンペア

7548グループはコンペア出力を3チャンネル内蔵しています。チャンネル0～2は全て同じ機能を持っており、タイマAのカウント値を使用して、波形出力を行うことができます。

アウトプットコンペア3チャンネルはインプットキャプチャ(1チャンネル)とレジスタが共通ですが、それぞれの回路は独立しており全チャンネル同時に使用できます。

コンペア出力を使用する場合は、コンペア x ($x = 0, 1, 2$)出力ポート選択ビットを設定し、出力ポートの方向レジスタに“1”を設定してください。

コンペア出力の設定値は、キャプチャ/コンペアレジスタ(下位)とキャプチャ/コンペアレジスタ(上位)に設定します。それぞれのチャンネルに対する書き込みは、キャプチャ/コンペアレジスタRWポイントで制御します。

(1) タイマ動作時のコンペアラッチへの書き込み手順

キャプチャ/コンペアレジスタRWポイントに、書き込み先のコンペアラッチを設定する。

キャプチャ/コンペアレジスタ(下位)とキャプチャ/コンペアレジスタ(上位)に値を設定する(下位、上位は、どちらを先に書き込んで構いません)。

コンペアラッチ y ($y = 00, 01, 10, 11, 20, 21$)リロードビットに“1”を設定する。

コンペアラッチ y リロードビットに“1”を設定すると、コンペアレジスタに書き込まれた値は、タイマAの次のアンドフロー時にコンペアラッチに転送されます。

転送後リロードビットは自動的に“0”になります。

コンペアラッチに設定した値と、タイマAのカウント値が一致したときにコンペア出力回路へのトリガを発生します。

トリガの有効/無効はコンペア x トリガ有効ビットで設定します。

コンペア x トリガ有効ビットに“1”を設定している場合、ポートからの出力波形は次のようになります。

- コンペア x 出力レベルラッチが“0”の場合
コンペアラッチ $x0$ が一致すると“H”
コンペアラッチ $x1$ が一致すると“L”
- コンペア出力レベルラッチが“1”の場合
コンペアラッチ $x0$ が一致すると“L”
コンペアラッチ $x1$ が一致すると“H”

コンペア x トリガ有効ビットが“0”の場合は出力波形は変化しませんので、ポート出力を“L”又は“H”に固定できます。

コンペア出力の状態は、コンペア x 出力ステータスビットを読み出すことで、“H”レベル又は“L”レベルを確認できます。

コンペア割り込みは、コンペアラッチの値とタイマカウント値が一致するタイミングで発生することができます。それぞれのコンペアラッチからの割り込み信号は、コンペアラッチ y 割り込みソースビットで、有効又は無効に設定できます。

注意事項

- (1) タイマAが停止している場合、キャプチャ/コンペアレジスタに値を書き込んだ時点でコンペアラッチにも値が転送されます。
また、タイマAが停止、かつコンペア x トリガ有効ビットが“1”の場合、出力ラッチは初期状態になります。

- (2) コンペアラッチ $x0$ とコンペアラッチ $x1$ には、同一の値を設定しないでください。
- (3) コンペアラッチの設定値がタイマの設定値より大きい場合は、コンペア一致の信号を発生しません。したがって、出力波形は“H”又は“L”レベルに固定されます。ただし、もう一方のコンペアラッチの設定値がタイマの設定値より小さい場合には、小さい側のコンペア一致の信号は発生しますので、コンペア割り込みは発生します。
- (4) コンペア x トリガ有効ビットに“0”(無効)を設定すると、波形出力回路への一致トリガは禁止されるので、出力波形を“H”又は“L”に固定できます。ただし、この場合でもコンペア一致の信号は発生するのでコンペア割り込みの発生は可能です。

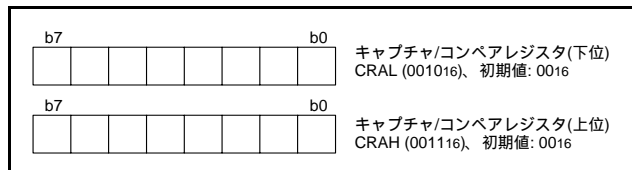


図30. キャプチャ/コンペアレジスタの構成

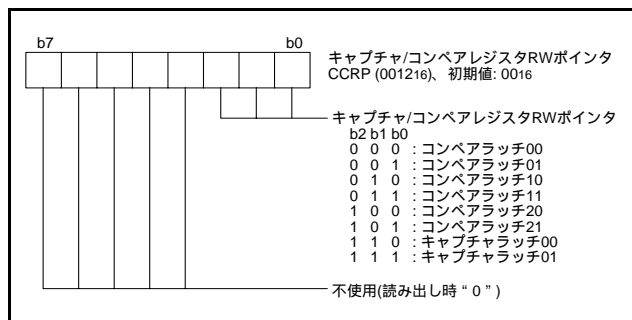


図31. キャプチャ/コンペアレジスタRWポイントの構成

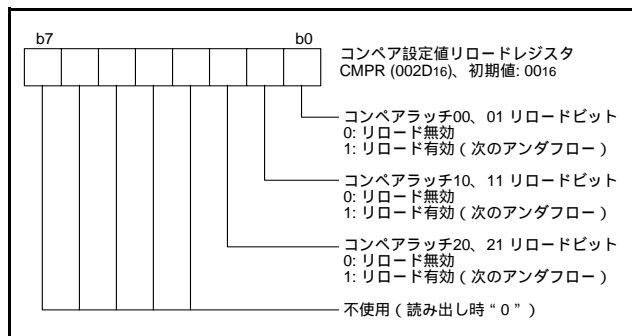


図32. コンペア設定値リロードレジスタの構成

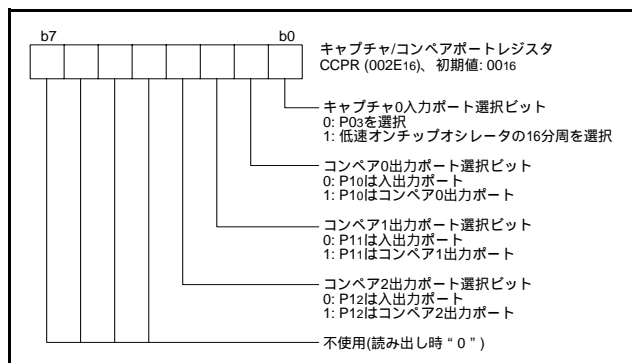


図33. キャプチャ/コンペアポートレジスタの構成

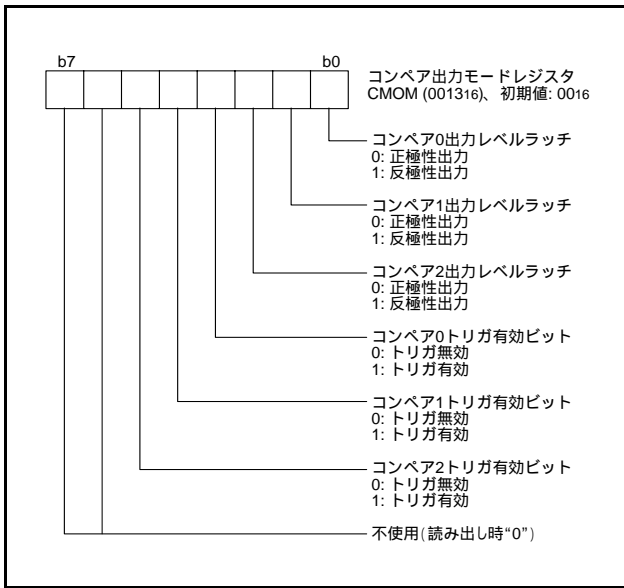


図34. コンペア出力モードレジスタの構成

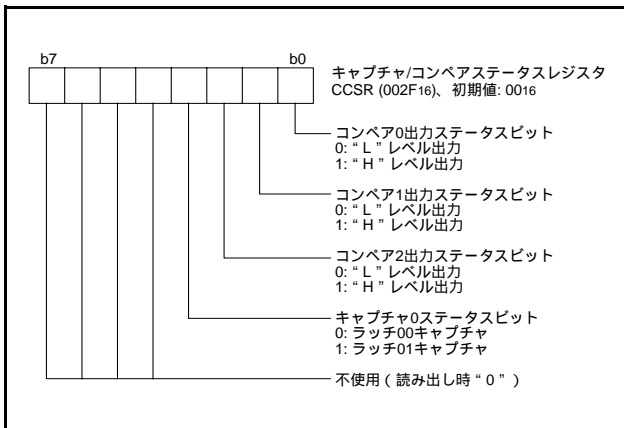


図35. キャプチャ/コンペアステータスレジスタの構成

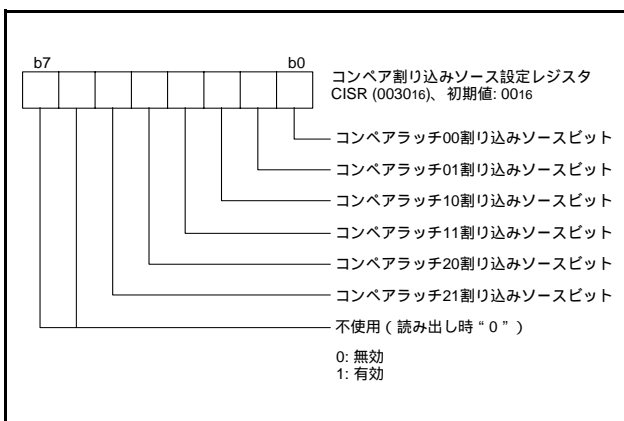


図36. コンペア割り込みソース設定レジスタの構成

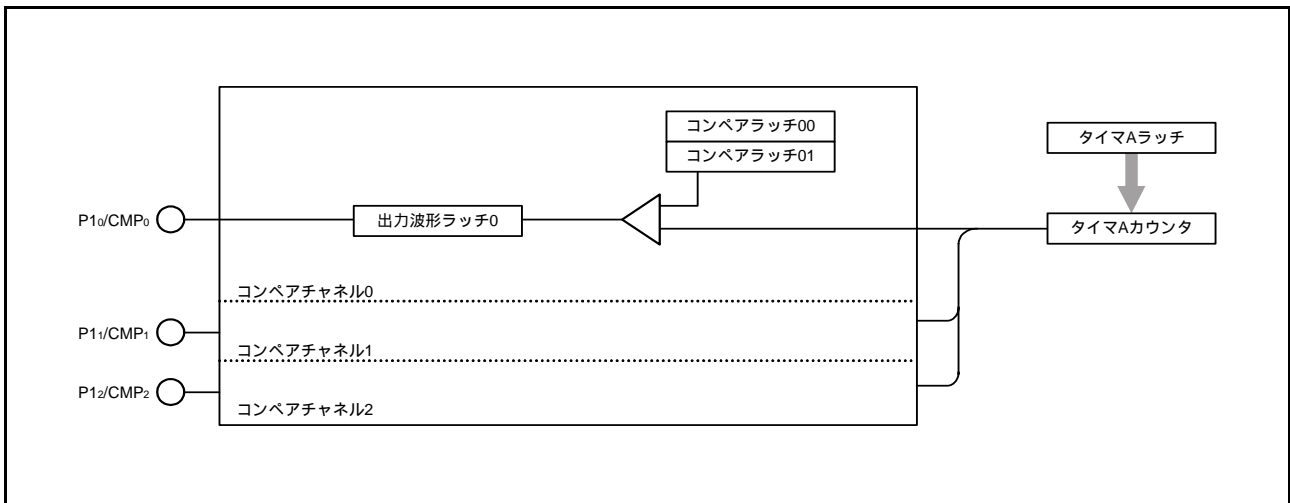


図37. コンペア出力回路のブロック図

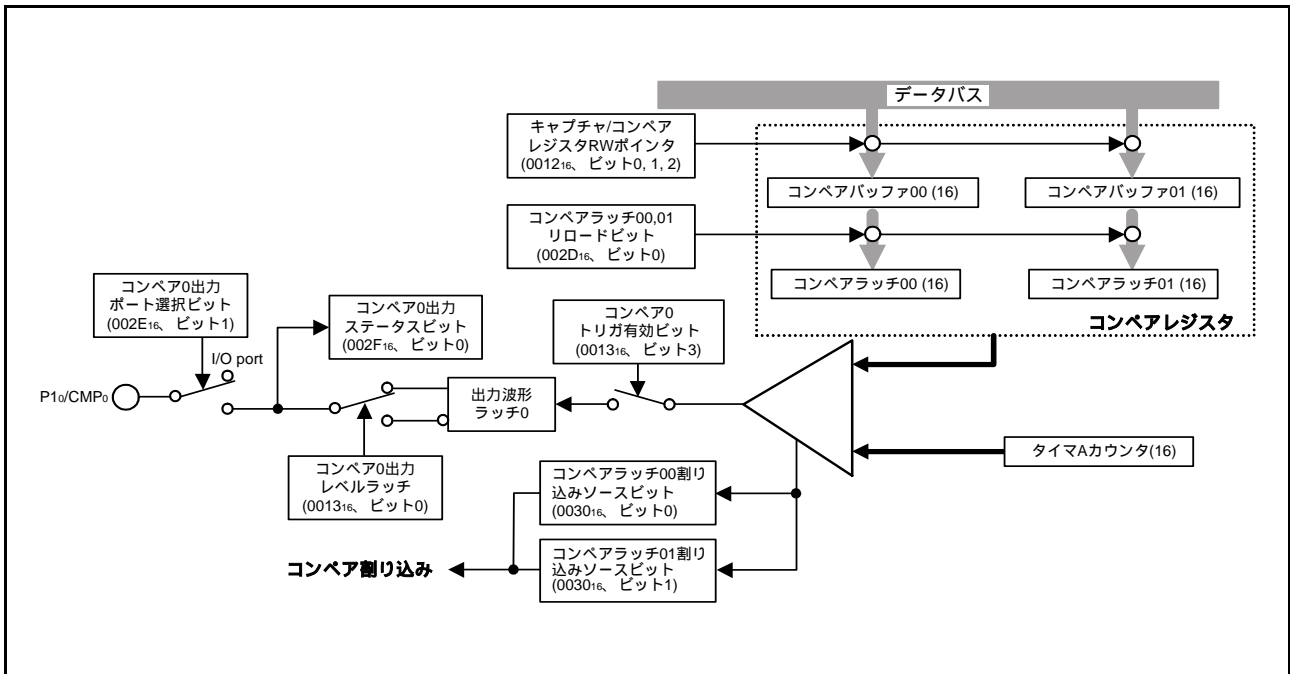


図38. コンペアチャンネル0のブロック図

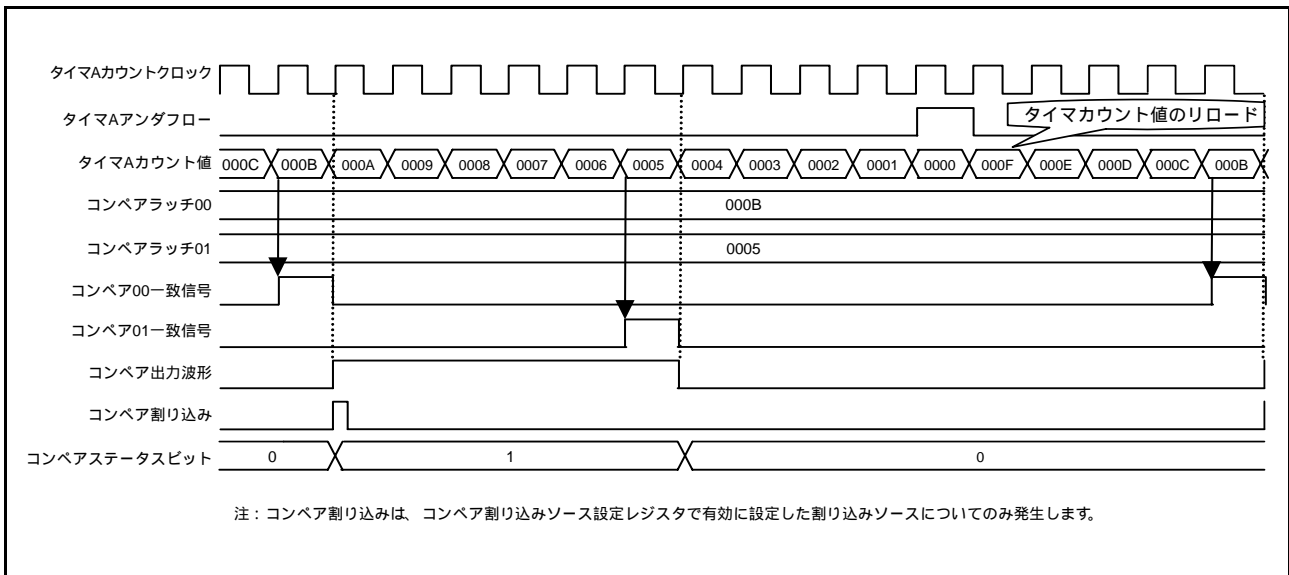


図39. コンペア出力波形図(基本出力波形)

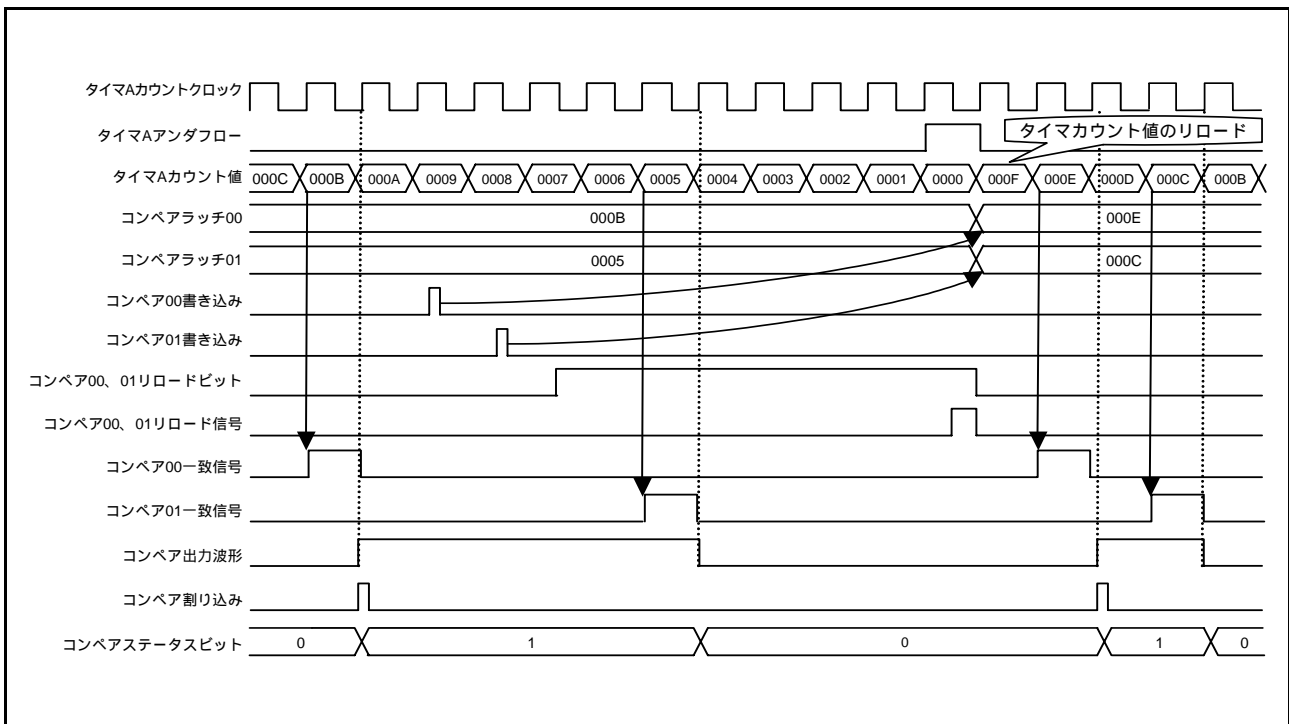


図40. コンペア出力波形図(コンペアレジスタの書き込み時)

インプットキャプチャ

7548グループは、1チャンネルのキャプチャ入力を内蔵しており、タイマAのカウント値をキャプチャ可能です。

インプットキャプチャはアウトプットコンペア3チャンネルとレジスタが共通ですが、それぞれの回路は独立しており、全チャンネル同時に使用できます。

キャプチャ入力を使用する場合は、キャプチャ0入力ポート選択ビットを設定し、P03を選択する場合、P03の方向レジスタに“0”を設定してください。

キャプチャ入力回路は、キャプチャ入力トリガが入力された時点で、タイマAのカウント値をキャプチャラッチに保持します。キャプチャラッチ00には外部入力トリガの立ち上がり時のタイマカウント値が保持され、キャプチャラッチ01には外部入力トリガの立ち下がり時のタイマカウント値が保持されます。キャプチャラッチ00及びキャプチャラッチ01は次の手順で読み出す事が出来ます。

1. キャプチャ/コンペアレジスタRWポインタに、読み出し先のキャプチャラッチを設定する。
2. キャプチャ/コンペアレジスタ(上位)を読み出し、次にキャプチャ/コンペアレジスタ(下位)を読み出す。(上位、下位はこの順で、必ず両レジスタ共に読み出ししてください。)

キャプチャ y ($y = 00, 01$)ソフトウェアトリガビットを使用することで、キャプチャ y ソフトウェアトリガによるタイマカウント値の保持も可能です。キャプチャ y ソフトウェアトリガビットに“1”を書き込むことによって対応するキャプチャラッチにタイマカウント値を保持します。

キャプチャ y ソフトウェアトリガビットを読み出した場合は、“0”が読み出されます。

注意事項

- (1) タイマAのカウントソースに低速オンチップオシレータ出力又は X_{CIN} 入力クロックを選択する場合、SOURCEがタイマAのカウントソースと同じクロック源を選択しているときのみにインプットキャプチャを使用することができます。
- (2) キャプチャラッチ00及び01のキャプチャ y ソフトウェアトリガビットに同時に“1”を書き込んだ場合、および外部トリガとソフトウェアトリガが同時にかかった場合に、キャプチャラッチ00と01に同時にキャプチャ入力が行われると、キャプチャ0ステータスビットの値は不定となります。
- (3) キャプチャ0の割り込みエッジ選択ビット及びノイズフィルタ選択ビットを設定する際、割り込み要求ビットが“1”になる場合があります。割り込みエッジ選択ビット又はノイズフィルタ選択ビットの設定に同期した割り込みが不要な場合には以下の手順で設定してください。
キャプチャ割り込み許可ビットを“0”(禁止)にする。
割り込みエッジ選択ビット又はノイズフィルタ選択ビットを設定する。
一命令以上おいてから、キャプチャ割り込み要求ビットを“0”にする。
キャプチャ割り込み許可ビットを“1”(許可)にする。
- (4) キャプチャ割り込みをストップモードからの復帰用割り込みとして使用する場合は、キャプチャ0ノイズフィルタ選択ビットを“00:フィルタなし”に設定してください。

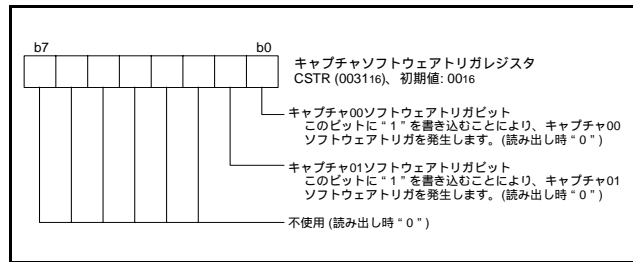


図41. キャプチャソフトウェアトリガレジスタの構成

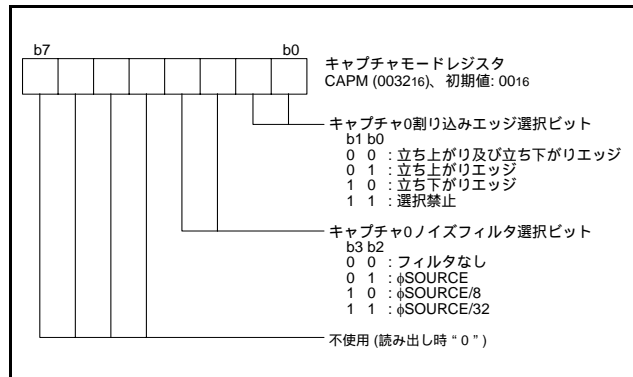


図42. キャプチャモードレジスタの構成

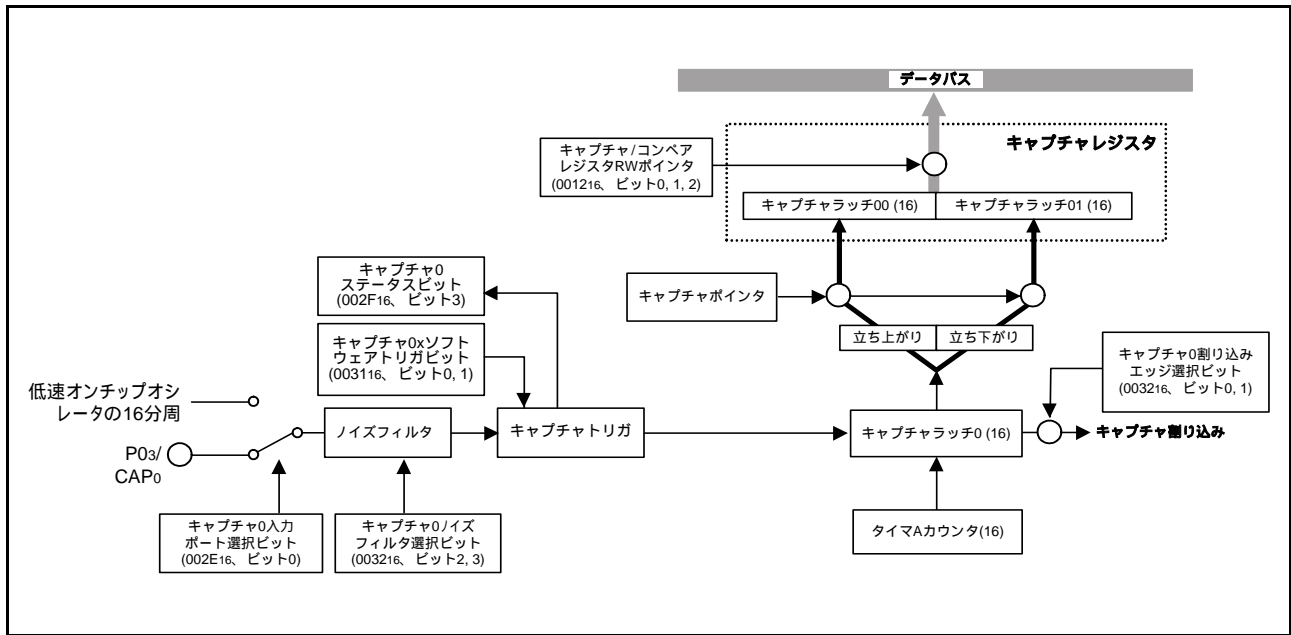


図43. キャプチャチャンネル0のブロック図

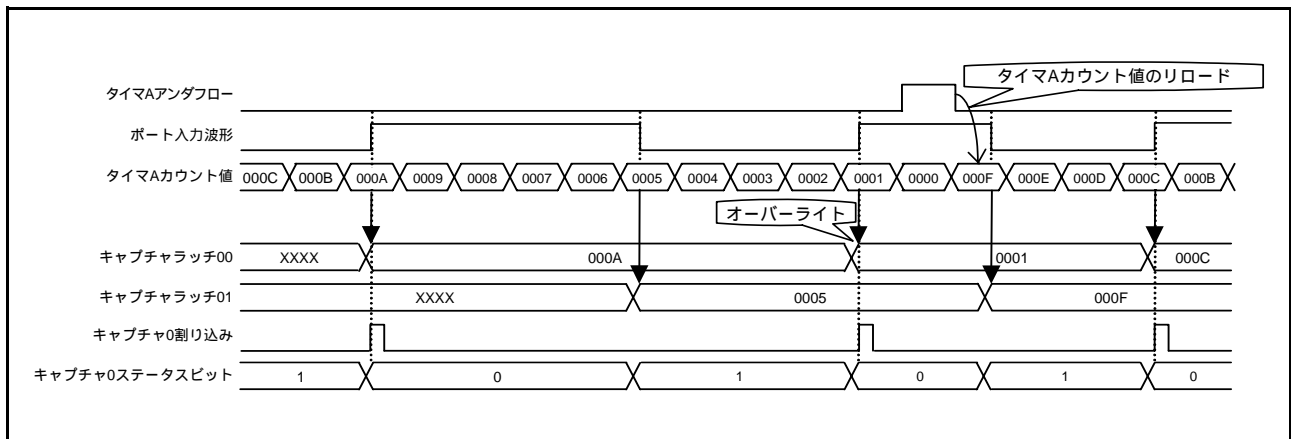


図44. キャプチャ入力波形図(キャプチャ0割り込みエッジ選択ビット：立ち上がり選択時)

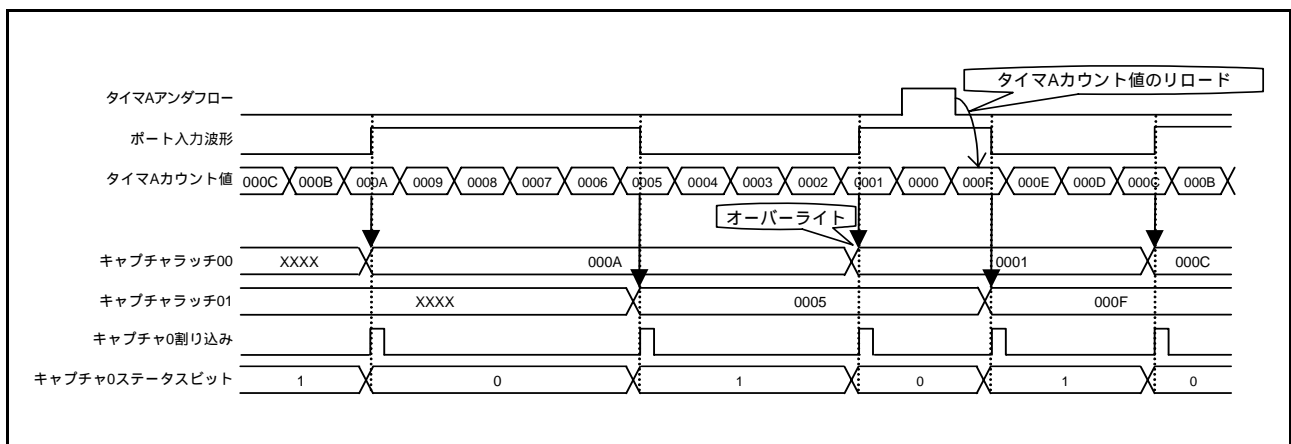


図45. キャプチャ入力波形図(キャプチャ0割り込みエッジ選択ビット：立ち上がり及び立ち下がり選択時)

シリアルインタフェース

シリアルI/O

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(b6)を“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

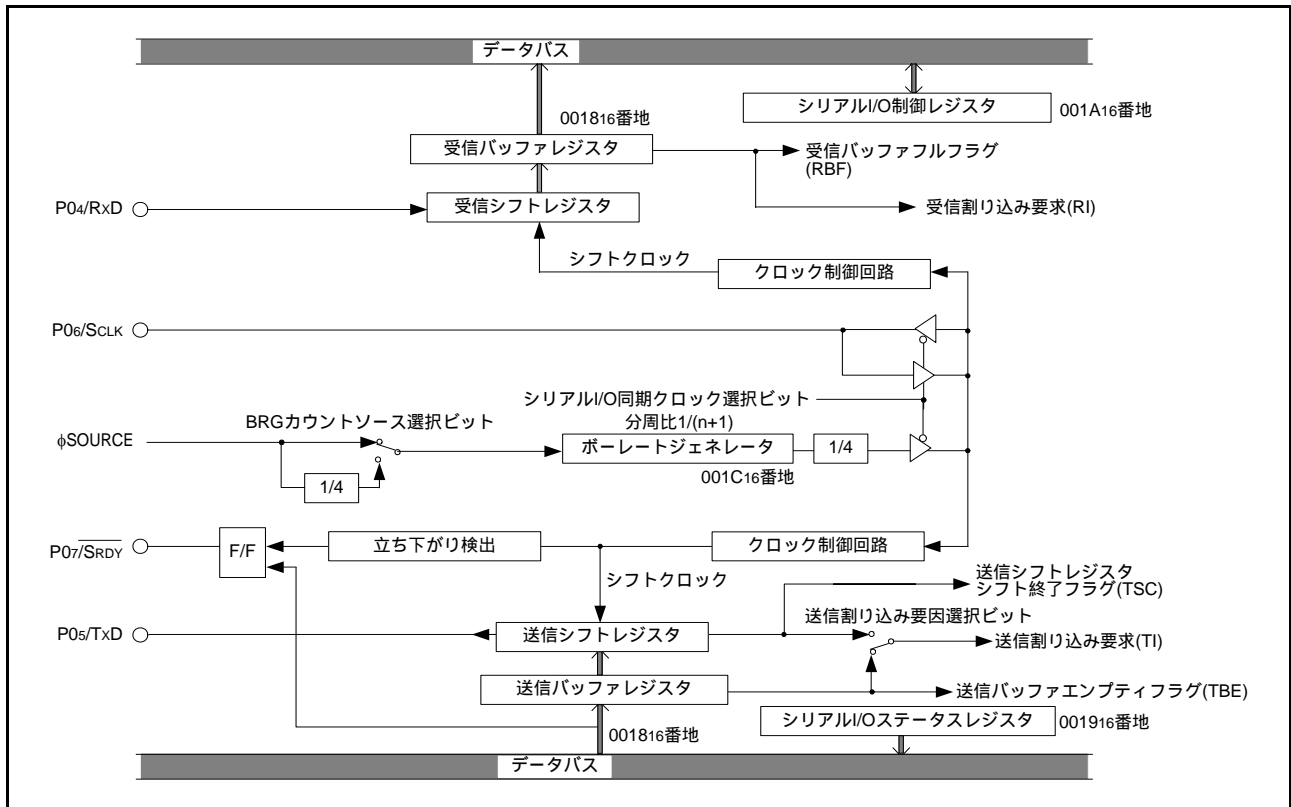


図46. クロック同期形シリアルI/Oブロック図

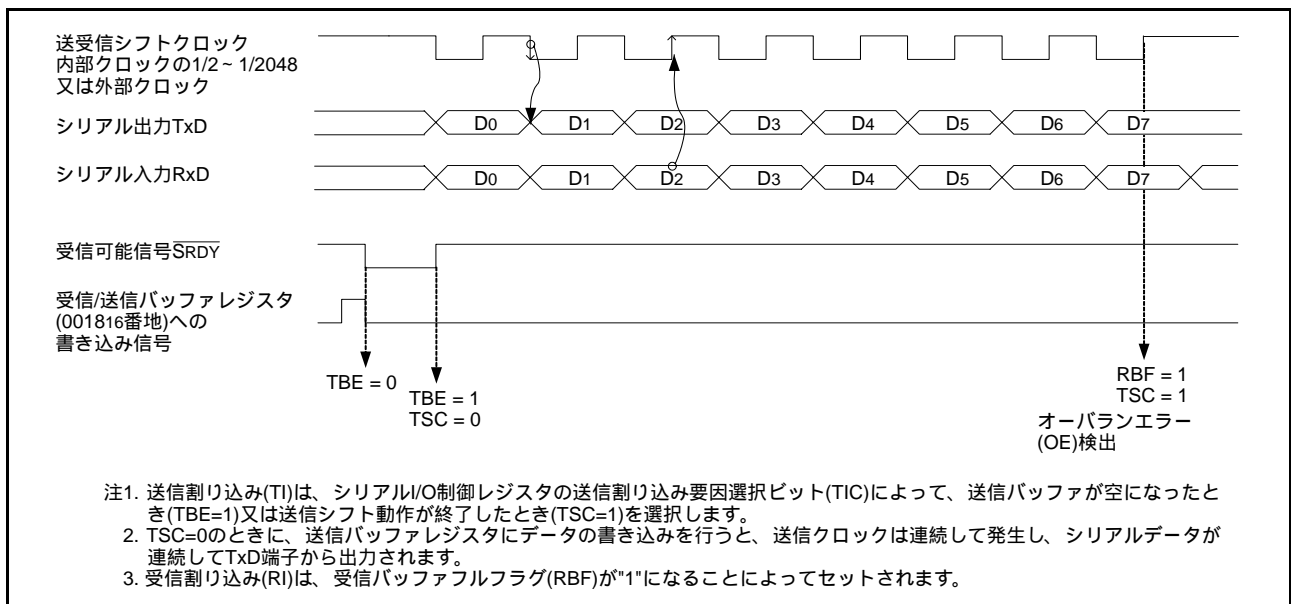


図47. クロック同期形シリアルI/O動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(b6)を“0”にすることによってUARTが選択されます。

7548グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

7548グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッ

ファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

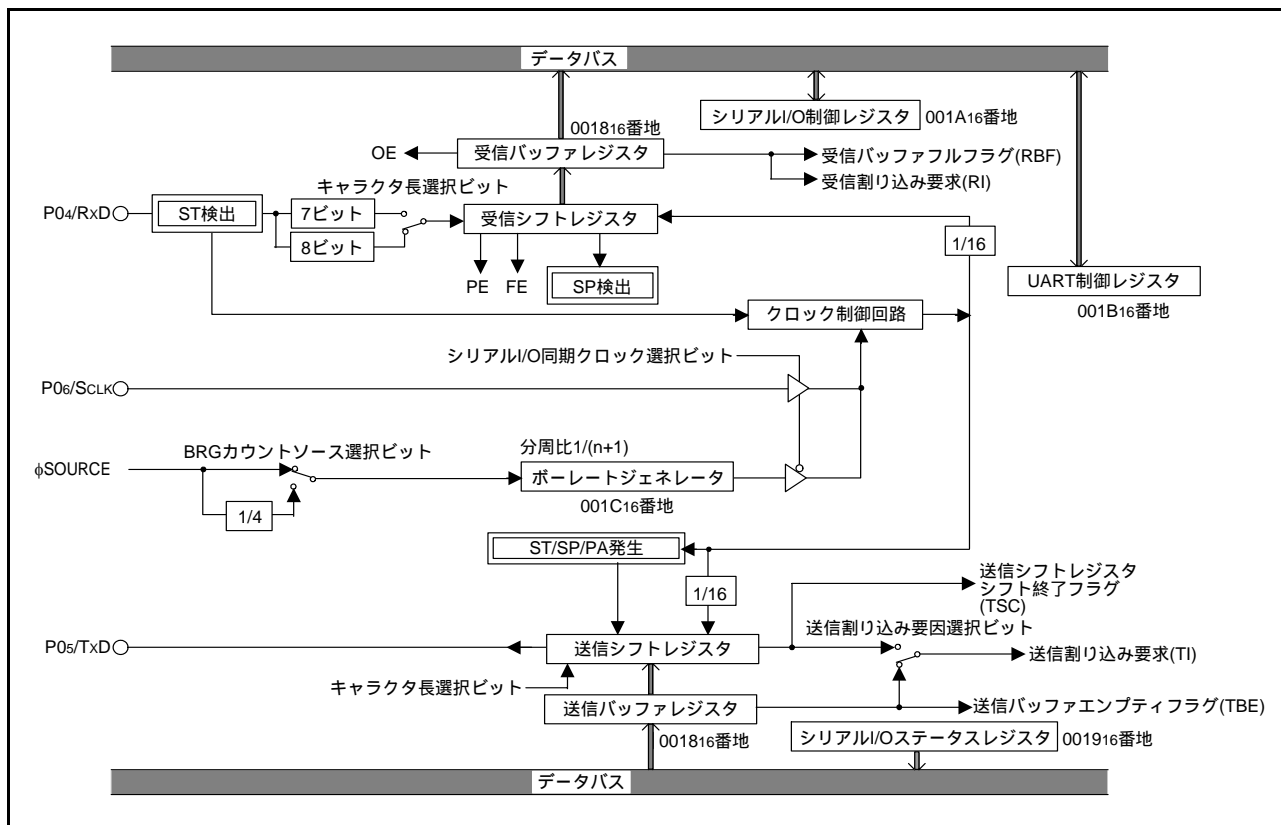


図48. UART形シリアルI/Oブロック図

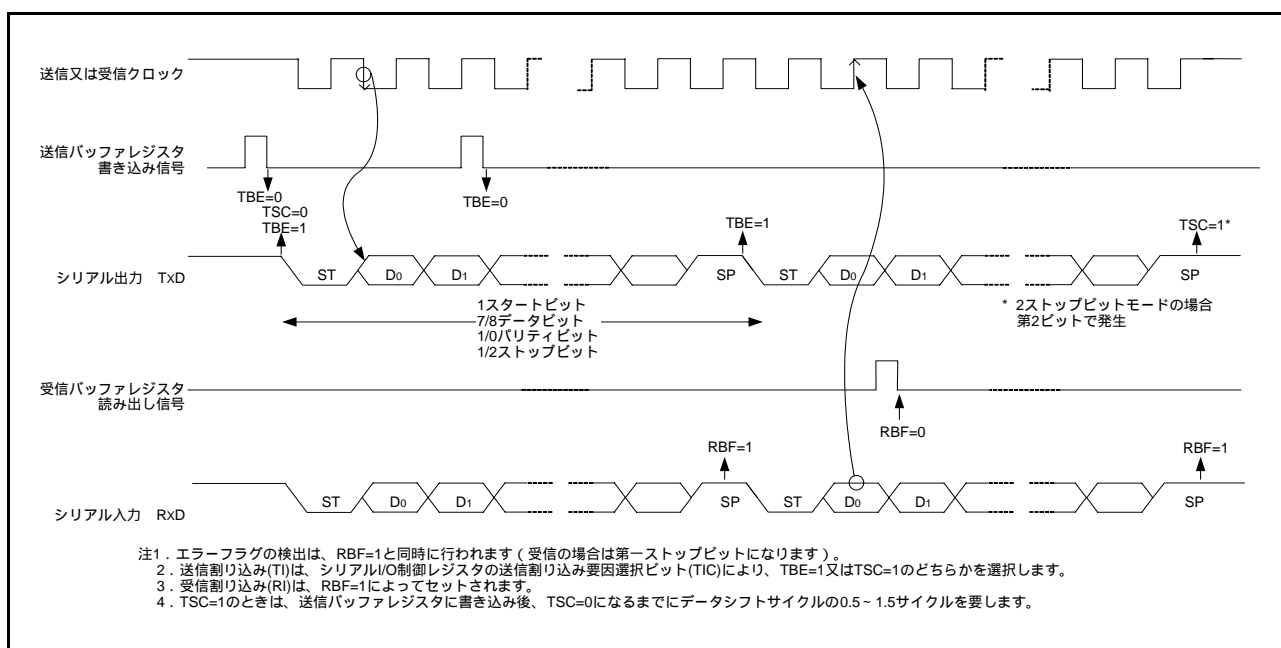


図49. UART形シリアルI/O動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/Oステータスレジスタ】SIOSTS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード選択時のみ有効です。

受信バッファフルフラグは受信バッファレジスタの内容を読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O許可ビット(SIOE)に“0”を書き込むとエラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのビット0～6はリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O制御レジスタ】SIOCON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P05/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

• シリアルI/O割り込み

シリアルI/Oの送信許可ビットを“1”にしたとき、シリアルI/O送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを“0”（禁止）にする。

送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O送信割り込み要求ビットを“0”にする。

シリアルI/O送信割り込み許可ビットを“1”（許可）にする。

• シリアルI/O許可時の入出力端子機能

シリアルI/Oモード選択ビットおよびシリアルI/O同期クロック選択ビットの設定値により、P0₆、P0₇の機能が下記のように変化します。

(1) シリアルI/Oモード選択ビット “1”:

クロック同期形シリアルI/O選択時

シリアルI/O同期クロック選択ビットの設定

“0”: P0₆端子は同期クロックの出力端子になります。

“1”: P0₆端子は同期クロックの入力端子になります。

$\overline{\text{SRDY}}$ 出力許可ビット(SRDY)の設定

“0”: P0₇端子は通常の入出力端子として使用できます。

“1”: P0₇端子は $\overline{\text{SRDY}}$ 出力端子になります。

(2) シリアルI/Oモード選択ビット “0”:

クロック非同期(UART)形シリアルI/O選択時

• シリアルI/O同期クロック選択ビットの設定

“0”: P0₆端子は通常の入出力端子として使用できます。

“1”: P0₆端子は外部クロックの入力端子になります。

• クロック非同期(UART)形シリアルI/O選択時は、P0₇端子は通常の入出力端子として使用できます。

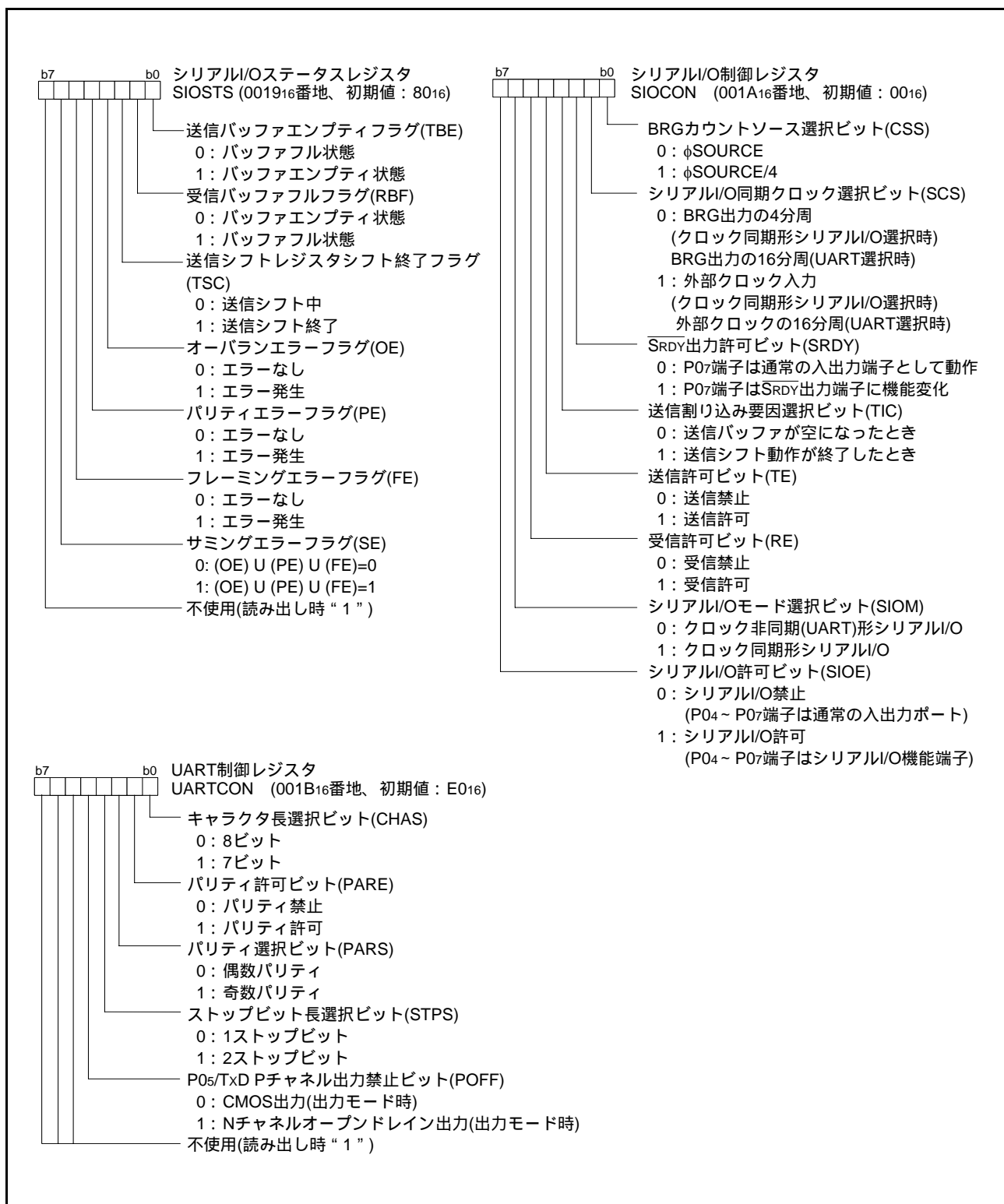


図50. シリアルI/O関係レジスタの構成

A/Dコンバータ

【AD変換レジスタ】AD

A/D変換結果が格納される読み出し専用のレジスタです。

【AD制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。

ビット2～ビット0はアナログ入力端子の選択ビットです。

ビット3はAD変換クロック選択ビットで、“0”を設定するとA/D変換クロックが ϕ SOURCE/2となり、A/D変換時間は ϕ SOURCEの122サイクルとなります。“1”を設定するとA/D変換クロックが ϕ SOURCEとなり、A/D変換時間は ϕ SOURCEの61サイクルとなります。

ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

V_{SS}とV_{CC}の間の電圧を抵抗ラダーによって、1024分割し分圧出力します。A/D変換中以外は、V_{CC}端子、V_{SS}端子と切り離されるため、抵抗ラダーには、電流は流れません。

【チャネルセクタ】

ポートP15/AN5～P10/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びA/D変換割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中は、A/D変換クロックが250kHz以上になるように ϕ SOURCEの値を設定してください。

注意事項

A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

- V_{CC}電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、V_{CC}=3.0V以上での使用を推奨します。
- ϕ SOURCEがX_{CIN}、低速オンチップオシレータの場合は、A/Dコンバータを使用できません。

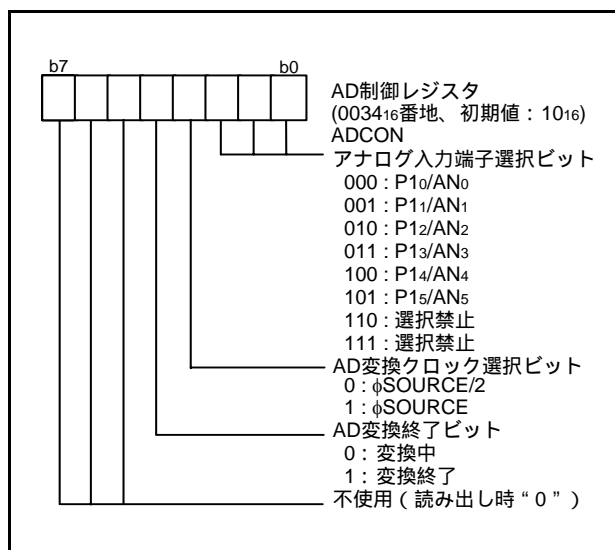


図51. AD制御レジスタの構成

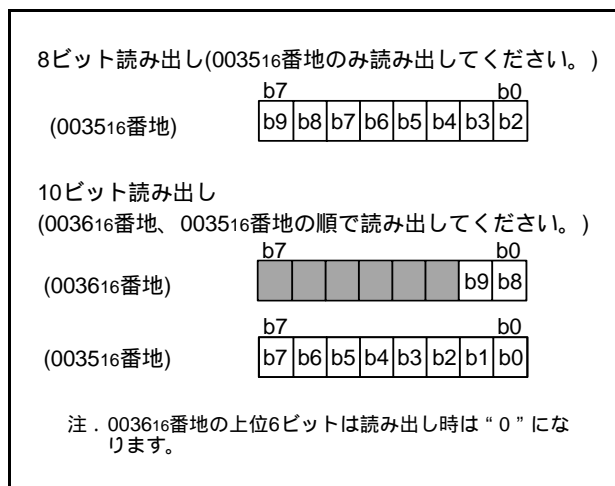


図52. AD変換レジスタの構成

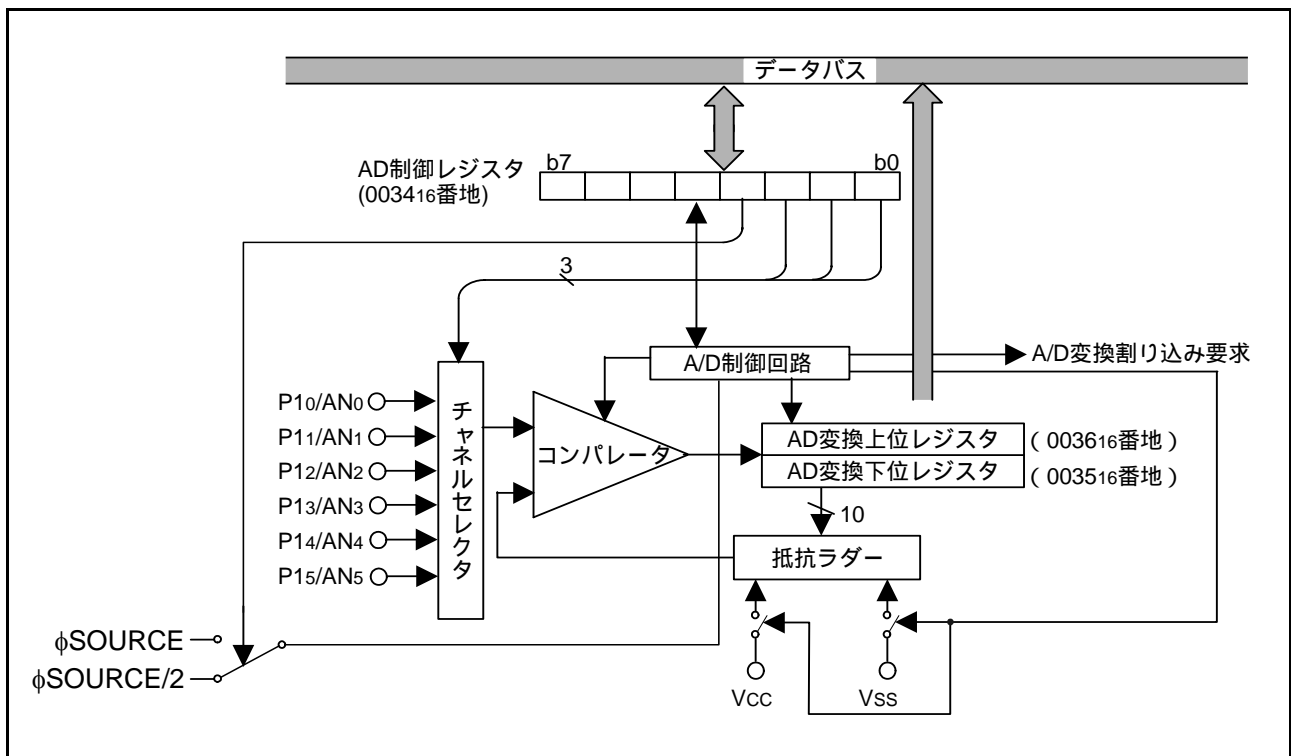


図53. A/Dコンバータブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合に、リセット状態に復帰する手段を与えます。ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのダウンカウンタで構成されています。ウォッチドッグタイマの動作は、機能設定ROMデータ2のビット2~0、およびウォッチドッグタイマ制御レジスタで制御します。

機能設定ROMデータ2は、QzROM領域にあり周辺機能を設定します。

命令の実行による書き換えはできません。

ウォッチドッグタイマ禁止ビット

ウォッチドッグタイマ禁止ビット(機能設定ROMデータ2(FSR0M2)のビット1)に“0”を設定すると、ウォッチドッグタイマが有効となり、リセット解除後にカウントを開始します。

“1”を設定すると、ウォッチドッグタイマは動作しません。

このビットは、命令の実行による書き換えはできません。

ウォッチドッグタイマを使用する場合は、このビットを必ず“0”にしてください。

ウォッチドッグタイマは、リセット解除後に、プログラムでカウントを開始することはできません。

ウォッチドッグタイマソースクロック選択ビット

ウォッチドッグタイマのカウントソースクロックは、ウォッチドッグタイマソースクロック選択ビット(FSR0M2のビット0)で選択できます。

このビットは、命令の実行による書き換えはできません。

ウォッチドッグタイマソースクロック選択ビットを“0”にすると、常に低速オンチップオシレータ出力の16分周になります。

ウォッチドッグタイマソースクロック選択ビットを“1”にすると、 ϕ SOURCEの16分周になります。 ϕ SOURCEはクロック選択ビット(クロックモードレジスタ(CLKM: 0037₁₆番地)のビット5,4)の設定により変化します。

ウォッチドッグタイマHカウントソース選択ビット

ウォッチドッグタイマHのカウントソースは、ウォッチドッグタイマ制御レジスタ(WDTC0N: 0039₁₆番地)により選択できます。

ウォッチドッグタイマHカウントソース選択ビット(WDTC0Nのビット7)を“0”にすると、ウォッチドッグタイマHのカウントソースはウォッチドッグタイマLのアンダフロー信号となります。

“1”にすると、ウォッチドッグタイマLのカウントソースに選択しているクロックがウォッチドッグタイマHに入力されます。

このビットのリセット解除後の初期値をFSR0M2のビット2で設定することができます。

ウォッチドッグタイマの動作

リセットまたはWDTC0Nへの任意データの書き込みにより、ウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”になります。ウォッチドッグタイマが動作を開始すると、選択されたクロックをカウントし、ウォッチドッグタイマHのアンダフローにより内部リセッ

トが発生します。したがって通常は、アンダフローする前にWDTC0Nに書き込むようにプログラムを組みます。

WDTC0Nを読み出すと、ウォッチドッグタイマHのカウントの上位6ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読み出されます。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマがアンダフローするまでの時間を以下に示します。

ϕ SOURCEにX_{IN}入力クロックを選択、 $f(X_{IN}) = 8\text{MHz}$ 時の例です。

- ウォッチドッグタイマHカウントソース選択ビット = “0”の場合: 131.072ms
- ウォッチドッグタイマHカウントソース選択ビット = “1”の場合: 512 μ s

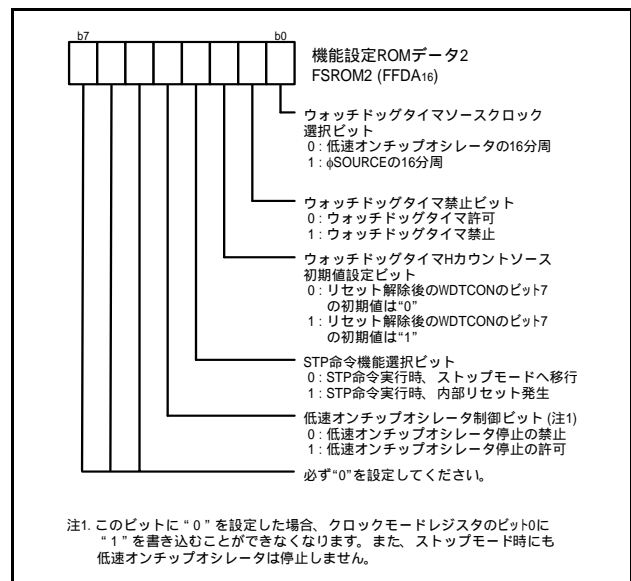


図54. 機能設定ROMデータ2の構成

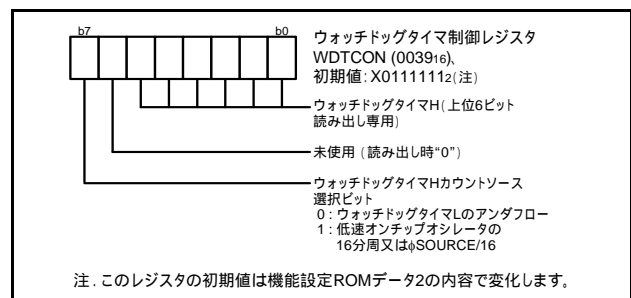


図55. ウォッチドッグタイマ制御レジスタの構成

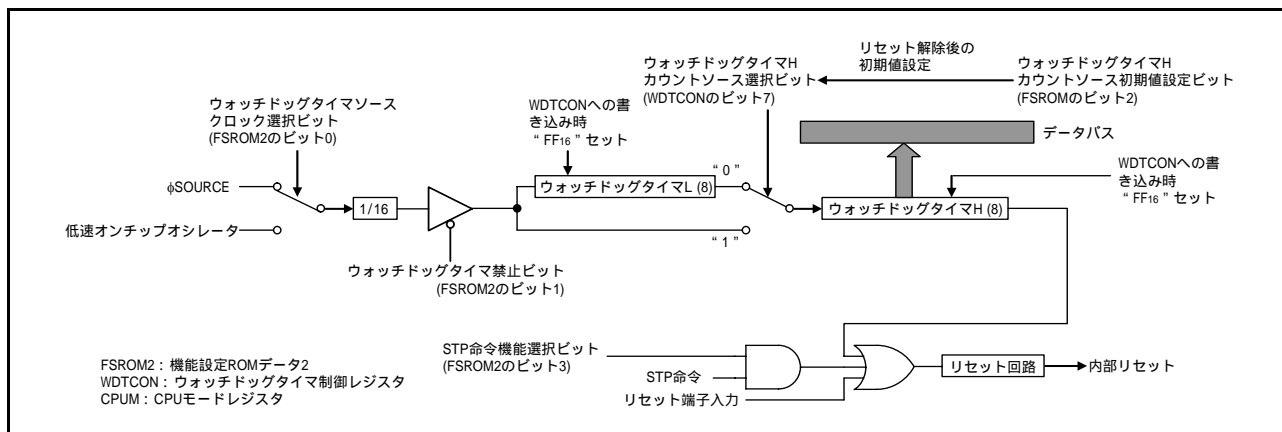


図56. ウォッチドッグタイマのブロック図

注意事項

- (1) ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込んでください。

ストップモード時、ウォッチドッグタイマは停止しますが、ストップモード解除と同時にカウントを開始します。ストップモード解除後の発振安定待ち時間中もカウントします。

その間にアンダフローしないように、STP命令実行前にWDTCONのウォッチドッグタイマHカウントソース選択ビット（ビット7）を“0”にしてください。

なお、以下の2条件ではSTP命令を実行した場合でもウォッチドッグタイマはカウントを続けます。

低速オンチップオシレータの停止：禁止 (FSROM2のビット4)

ウォッチドッグタイマのソースクロック：低速オンチップオシレータの16分周 (FSROM2のビット0)

低速オンチップオシレータの停止：禁止 (FSROM2のビット4)

ウォッチドッグタイマのソースクロック： ϕ SOURCE (FSROM2のビット0)

ϕ SOURCE：低速オンチップオシレータ（クロックモードレジスタのビット5、4）

- (2) STP命令機能選択ビット

STP命令の機能は、FSROM2のビット3により選択できます。このビットは、命令の実行による書き換えはできません。

- このビットが“0”の場合、STP命令を実行すると、ストップモードへ移行します。
- このビットが“1”の場合、STP命令を実行すると内部でリセットが発生します。

パワーオンリセット回路

本製品では内蔵のパワーオンリセット回路により、電源投入時には自動的にシステムリセット（パワーオンリセット）を実行します。なお、内蔵パワーオンリセット回路を使用する場合は、RESET 端子は開放にしてください（RESET端子にはプルアップ抵抗が内蔵されています）。

電圧低下検出回路

本製品は動作中の電源電圧を監視し、一定値以下 (Typ : 1.95V) になると、マイコンをシステムリセットする電圧低下検出回路を内蔵しています。

電圧低下検出回路は機能設定ROMデータ0のビット0に“1”を設定することで有効となります。

また、機能設定ROMデータ1のビット2に“1”を設定することで、ストップモードでも電圧低下検出回路を有効にすることが出来ます。このビットに“0”を設定した場合は、STP 命令の実行時には、電圧低下検出回路は機能を停止して消費電流を低減します。

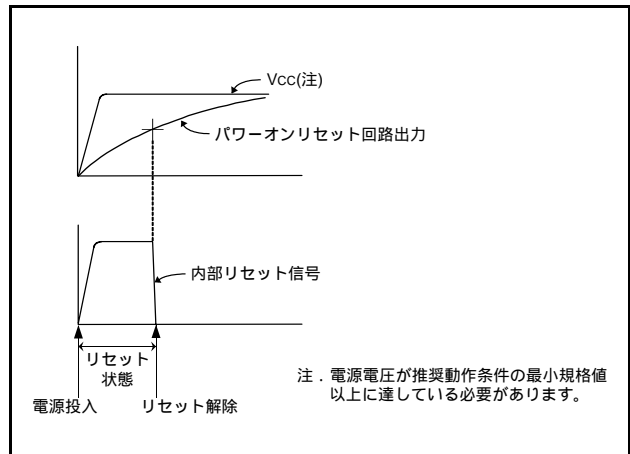


図57. パワーオンリセット回路動作波形図

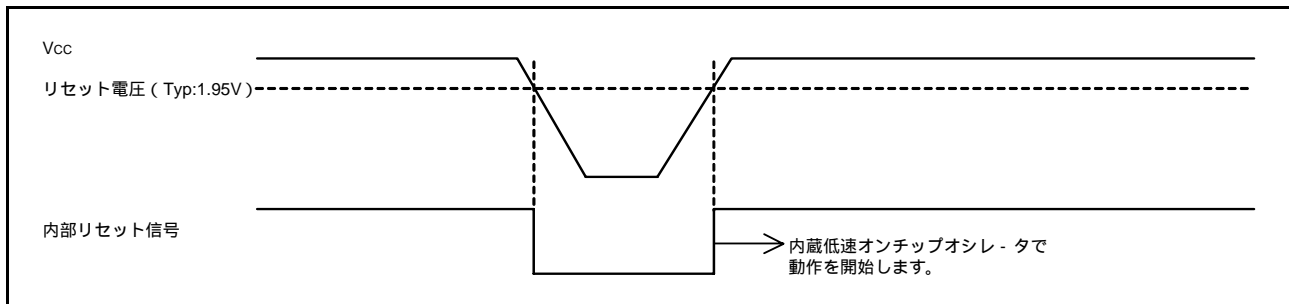


図58. 電圧低下検出回路の動作波形図

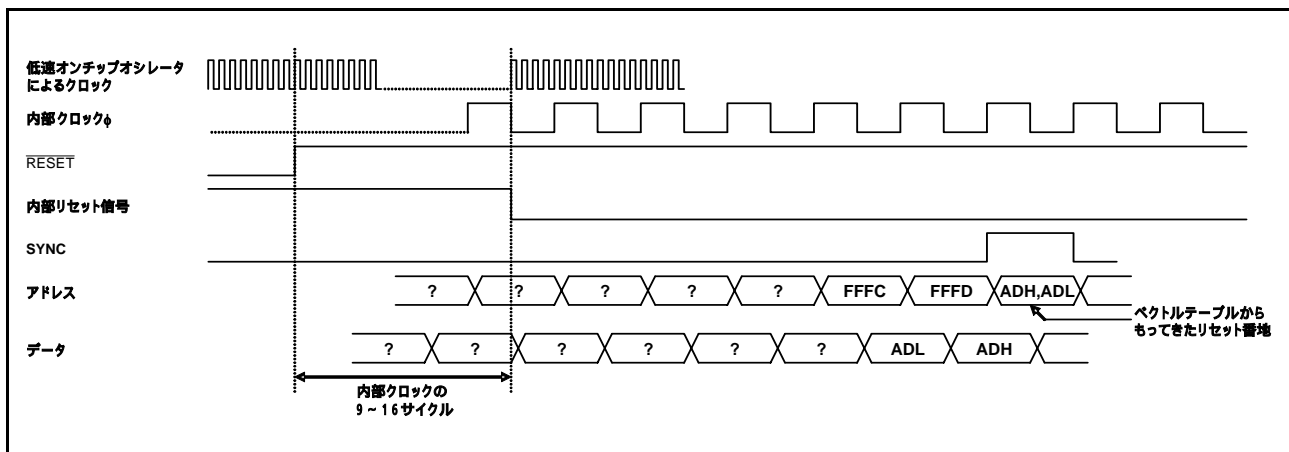


図59. リセット時のタイミング図

(1) ポート方向レジスタP0 (P0D)	0001 ₁₆	00 ₁₆
(2) ポート方向レジスタP1 (P1D)	0003 ₁₆	00 ₁₆
(3) ポート方向レジスタP2 (P2D)	0005 ₁₆	00 ₁₆
(4) ポート方向レジスタP3 (P3D)	0007 ₁₆	00 ₁₆
(5) ポートP0駆動能力制御レジスタ (DCCR)	000C ₁₆	00 ₁₆
(6) ポートP0プルアップ制御レジスタ (PULL0)	000D ₁₆	00 ₁₆
(7) ポートP1プルアップ制御レジスタ (PULL1)	000E ₁₆	00 ₁₆
(8) キーオンウェイクアップ入力選択レジスタ (KEYS)	000F ₁₆	00 ₁₆
(9) キャプチャ/コンペアレジスタ(下位) (CRAL)	0010 ₁₆	00 ₁₆
(10) キャプチャ/コンペアレジスタ(上位) (CRAH)	0011 ₁₆	00 ₁₆
(11) キャプチャ/コンペアレジスタRWポインタ (CCRP)	0012 ₁₆	00 ₁₆
(12) コンペア出力モードレジスタ (CMOM)	0013 ₁₆	00 ₁₆
(13) タイマA(下位) (TAL)	0014 ₁₆	FF ₁₆
(14) タイマA(上位) (TAH)	0015 ₁₆	FF ₁₆
(15) シリアル/オステータスレジスタ (SIOSTS)	0019 ₁₆	1 0 0 0 0 0 0 0
(16) シリアル/I/O制御レジスタ (SIOCON)	001A ₁₆	00 ₁₆
(17) UART制御レジスタ (UARTCON)	001B ₁₆	1 1 1 0 0 0 0 0
(18) プリスケアラ12 (PRE12)	0028 ₁₆	FF ₁₆
(19) タイマ1 (T1)	0029 ₁₆	0 0 0 0 0 0 0 1
(20) タイマ2 (T2)	002A ₁₆	FF ₁₆
(21) タイマモードレジスタ (TM)	002B ₁₆	00 ₁₆
(22) タイマカウントソース設定レジスタ (TCSS)	002C ₁₆	00 ₁₆
(23) コンペア設定値リロードレジスタ (CMPR)	002D ₁₆	00 ₁₆
(24) キャプチャ/コンペアポートレジスタ (CCPR)	002E ₁₆	00 ₁₆
(25) コンペア/キャプチャステータスレジスタ (CCSR)	002F ₁₆	00 ₁₆
(26) コンペア割り込みソース設定レジスタ (CISR)	0030 ₁₆	00 ₁₆
(27) キャプチャソフトウェアトリガレジスタ (CSTR)	0031 ₁₆	00 ₁₆
(28) キャプチャモードレジスタ (CAPM)	0032 ₁₆	00 ₁₆
(29) AD制御レジスタ(ADCON)	0034 ₁₆	0 0 0 1 0 0 0 0
(30) クロックモードレジスタ (CLKM)	0037 ₁₆	0 0 0 0 0 0 1 0
(31) 発振停止検出レジスタ (CLKSTP)	0038 ₁₆	00 ₁₆
(32) ウォッチドッグタイマ制御レジスタ (WDTCON)	0039 ₁₆	注4 0 1 1 1 1 1 1
(33) 割り込みエッジ選択レジスタ (INTEDGE)	003A ₁₆	00 ₁₆
(34) CPUモードレジスタ (CPUM)	003B ₁₆	00 ₁₆
(35) 割り込み要求レジスタ1 (IREQ1)	003C ₁₆	00 ₁₆
(36) 割り込み要求レジスタ2 (IREQ2)	003D ₁₆	00 ₁₆
(37) 割り込み制御レジスタ1 (ICON1)	003E ₁₆	00 ₁₆
(38) 割り込み制御レジスタ2 (ICON2)	003F ₁₆	00 ₁₆

注1：Xは不定です。

注2：上記以外のレジスタ及びRAMの内容は、リセット時には不定ですので、初期値を設定してください。

注3：SFRの予約領域のメモリアクセスは行わないでください。

注4：機能設定ROMデータ2(FSR0M2)の設定値により、リセット後の初期値は変化します。

図60. リセット時の内部状態

クロック発生回路

セラミック発振または水晶発振を使用できる XIN クロック、32kHz 水晶発振を使用できる XCIN クロック、外部クロック入力、高速オンチップオシレータ、低速オンチップオシレータがあります。

クロック端子は、ポート、XIN 発振、XCIN 発振とも兼用の P20/XOUT/XCOUT 端子、P21/XIN/XCIN 端子です。

発振方式選択ビット（機能設定 ROM データ 1 (FSROM1) のビット 1, 0) で、この端子の機能を設定します。

セラミック発振または水晶発振

発振方式選択ビット (FSROM1 のビット 1, 0) に “012” を設定し、セラミック共振子 (または水晶共振子) と外部回路を最短距離で接続してください。

発振回路の各定数は共振子により異なりますので、発振子メーカーの推奨値をご使用ください。

帰還抵抗は内蔵しています (条件によって帰還抵抗の外付けが必要になる場合があります)。

XIN/XCIN 発振制御ビットを “0” にすると、発振を開始します。このビットは、リセット後 “0” です。

32kHz 水晶発振

発振方式選択ビット (FSROM1 のビット 1, 0) に “102” を設定し、32kHz 水晶発振子と外部回路を最短距離で接続してください。

発振回路の各定数は共振子により異なりますので、発振子メーカーの推奨値をご使用ください。

帰還抵抗は内蔵しています (条件によって帰還抵抗の外付けが必要になる場合があります)。

XIN/XCIN 発振制御ビットを “0” にすると、発振を開始します。このビットは、リセット後 “0” です。

外部クロック入力

発振方式選択ビットに “112” を設定し、P20/XOUT 端子にクロック発生源を接続します。この場合、P21/XIN 端子は入出力ポートとして使用できます。

高速オンチップオシレータ

高速オンチップオシレータはリセット後、停止しています。

高速オンチップオシレータ発振制御ビット (CLKM のビット 1) を “0” にすると、発振を開始します。このビットは、リセット後 “1” です。

低速オンチップオシレータ

低速オンチップオシレータは、リセット後、自動的に発振を開始します。

低速オンチップオシレータ発振制御ビット (CLKM のビット 0) を “1” にすると、発振を停止します。このビットは、リセット後 “0” です。

低速オンチップオシレータ制御ビット (FSROM2 のビット 4) を “0” にして、低速オンチップオシレータの停止を禁止すると、低速オンチップオシレータ発振制御ビットを “1” にすることができなくなり、低速オンチップオシレータの発振を停止できません。また、STP 命令実行時にも低速オンチップオシレータは停止しません。

発振端子を使用しない (P20, P21 は入出力ポート)

内蔵のオンチップオシレータのみを使用する場合は、発振方式選択ビットに “002” を設定すると、P20/XOUT 端子を出力ポート、P21/XIN 端子を入出力ポートとして使用できます。

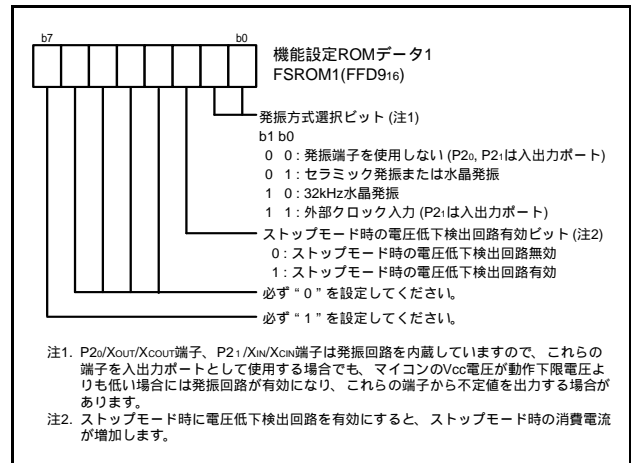


図61. 機能設定ROMデータ1の構成

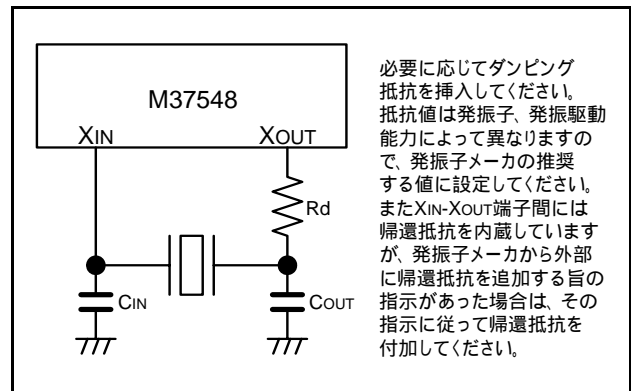


図62. セラミック共振子、水晶発振子外付け回路

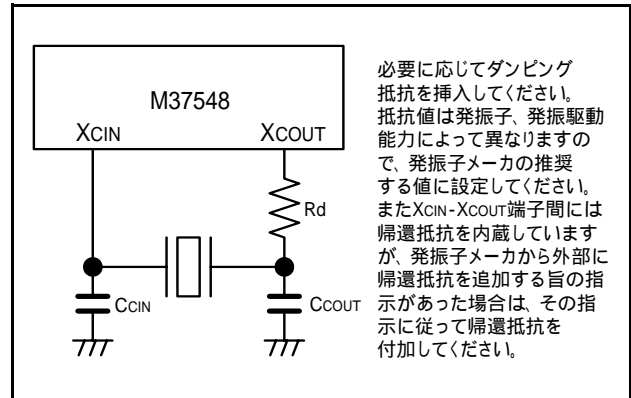


図63. 32kHz水晶発振子外付け回路

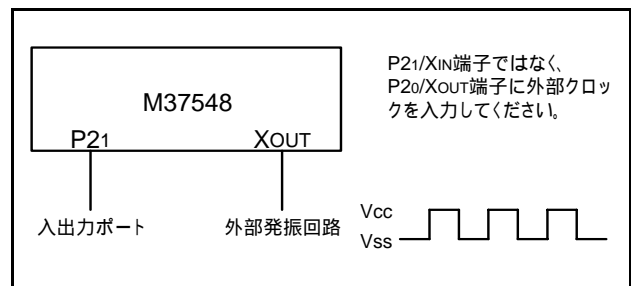


図64. 外部クロック入力回路

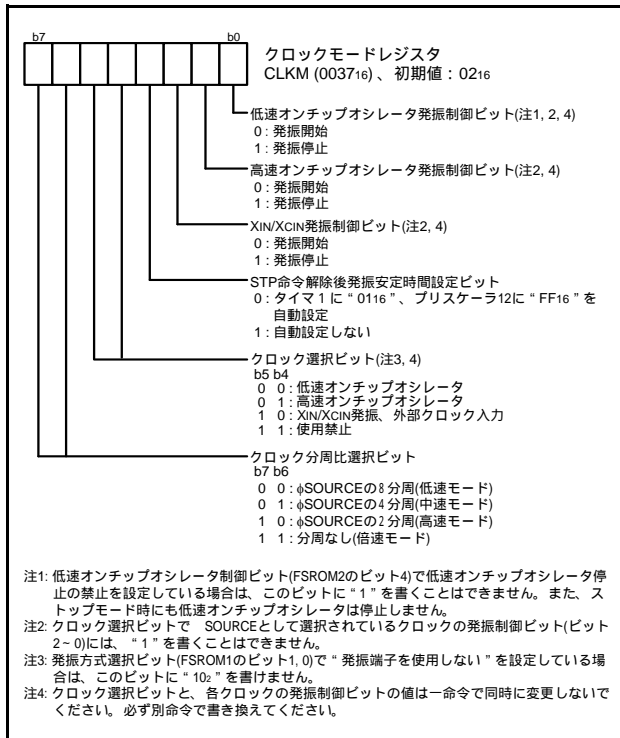


図65. クロックモードレジスタの構成

注意事項• X_{IN} 発振/X_{CIN} 発振への切り替え

リセット解除後は、内蔵の低速オンチップオシレータにより動作を始めます。φSOURCEをX_{IN} 発振/X_{CIN} 発振へ切り替える場合は、X_{IN} 発振/X_{CIN} 発振が安定するまでの間内蔵オンチップオシレータで待ち時間を設定してください。

発振制御

クロックモードレジスタ

クロックモードレジスタには、各発振回路の発振制御ビット、クロック選択ビット等が配置されています。

クロック選択ビット

φSOURCEは、クロック選択ビット(CLKMのビット5, 4)で選択できます。

クロック選択ビットで、φSOURCEに低速オンチップオシレータ、高速オンチップオシレータ、またはXIN/XCIN発振、外部クロック入力を選択できます。

φSOURCEは、周辺機能用のクロックとしても使用されます。

発振方式選択ビット(FSROM1のビット1, 0)を“002”(発振端子を使用しない)に設定すると、クロック選択ビットを“102”(XIN/XCIN発振、外部クロック入力)にすることができなくなります。

クロック分周比選択ビット

内部クロックφは、φSOURCEを分周することによって生成されます。クロック分周比選択ビット(CLKMのビット7, 6)で分周比を選択してください。

分周比は、8分周(低速モード)、4分周(中速モード)、2分周(高速モード)、分周なし(倍速モード)があります。

各分周(モード)の設定を表9に示します。

リセット解除時、低速オンチップオシレータをφSOURCEとし、φSOURCEを8分周した内部クロックφが選択されます。

このとき、高速オンチップオシレータは停止しています。また、クロック端子に発振回路を接続している場合は、発振を開始します。

φSOURCEをXIN発振/XCIN発振へ切り替える場合は、XIN/XCIN発振が安定するまでの間、オンチップオシレータで待ち時間を生成してください。

表9. クロック分周(モード)の設定

φSOURCE	モード	CLKM					FSROM1	FSROM2
		クロック分周比 選択ビット	クロック選択 ビット	XIN/XCIN発振 制御ビット	高速オンチップ オシレータ 発振制御ビット	低速オンチップ オシレータ 発振制御ビット	発振方式選択 ビット	低速オンチップ オシレータ 制御ビット
		ビット7, 6	ビット5, 4	ビット2	ビット1	ビット0	ビット1, 0	ビット4
XIN	倍速	11	10	0	-	-	01	-
	高速	10	10	0	-	-	01	-
	中速	01	10	0	-	-	01	-
	低速	00	10	0	-	-	01	-
XCIN	倍速	11	10	0	-	-	10	-
	高速	10	10	0	-	-	10	-
	中速	01	10	0	-	-	10	-
	低速	00	10	0	-	-	10	-
外部 クロック	倍速	11	10	-	-	-	11	-
	高速	10	10	-	-	-	11	-
	中速	01	10	-	-	-	11	-
	低速	00	10	-	-	-	11	-
高速オンチップ オシレータ	倍速	11	01	-	0	-	-	-
	高速	10	01	-	0	-	-	-
	中速	01	01	-	0	-	-	-
	低速	00	01	-	0	-	-	-
低速オンチップ オシレータ	倍速	11	00	-	-	0	-	1/0
	高速	10	00	-	-	0	-	1/0
	中速	01	00	-	-	0	-	1/0
	低速	00	00	-	-	0	-	1/0

- : “0”でも“1”でも影響なし

ストップモード

STP命令を実行すると内部クロック が“H”の状態
で停止し、XIN/XCIN、オンチップオシレータの発振が停止し
ます。このとき、STP命令解除後発振安定時間設定ビット
が“0”のとき、タイマ1には“0116”、プリスケラ12に
は“FF16”が設定されます。一方、STP命令解除後発振安
定時間設定ビットが“1”のときは、タイマ1、プリスケ
ラ12には何も設定されませんので、ご使用になる発振子の
発振安定時間にあった待ち時間を設定してください。

発振は外部割り込みが受け付けられると再開しますが、
内部クロック は、タイマ1がアンダフローするまで“H”
のままです。タイマ1がアンダフローしてはじめて内部ク
ロック が供給されます。これは、セラミック発振などを
使用した場合、発振の立ち上がりに時間を要するため
です。リセットによって発振を再開させた場合は、待ち時間
が生成されませんので、発振が安定するまでの期間RESET
端子に“L”レベルを印加するか、リセット解除後、発振
が安定するまでの間オンチップオシレータ動作で待ち時
間を設定してください。

ウェイトモード

WIT命令を実行すると、内部クロック が“H”の状態
で停止しますが、発振器は停止しません。リセット又は割
り込みを受け付けると内部クロック の停止を解除しま
す。発振器は停止していませんので直ちに命令を実行でき
ます。

STPあるいはWIT状態を解除する場合、割り込みが受け
付けられるためには、STPあるいはWIT命令を実行する前
に対応する割り込み許可ビットを“1”にしておく必要が
あります。

注意事項

STP命令解除後発振安定時間設定ビットを“1”で使用さ
れる場合は、使用される発振子の発振安定時間を十分評価
した上で、タイマ1、プリスケラ12に値を設定してくだ
さい。

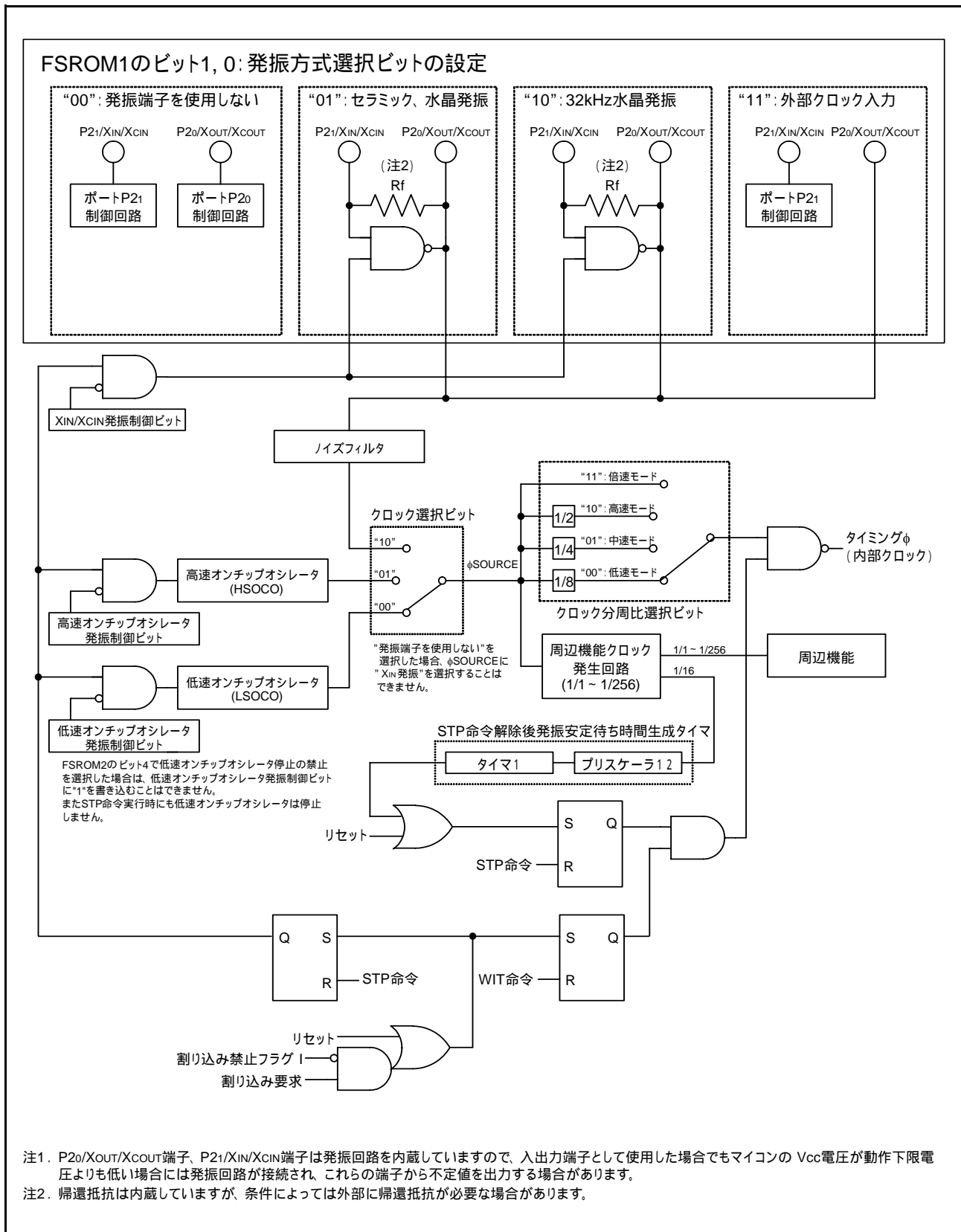
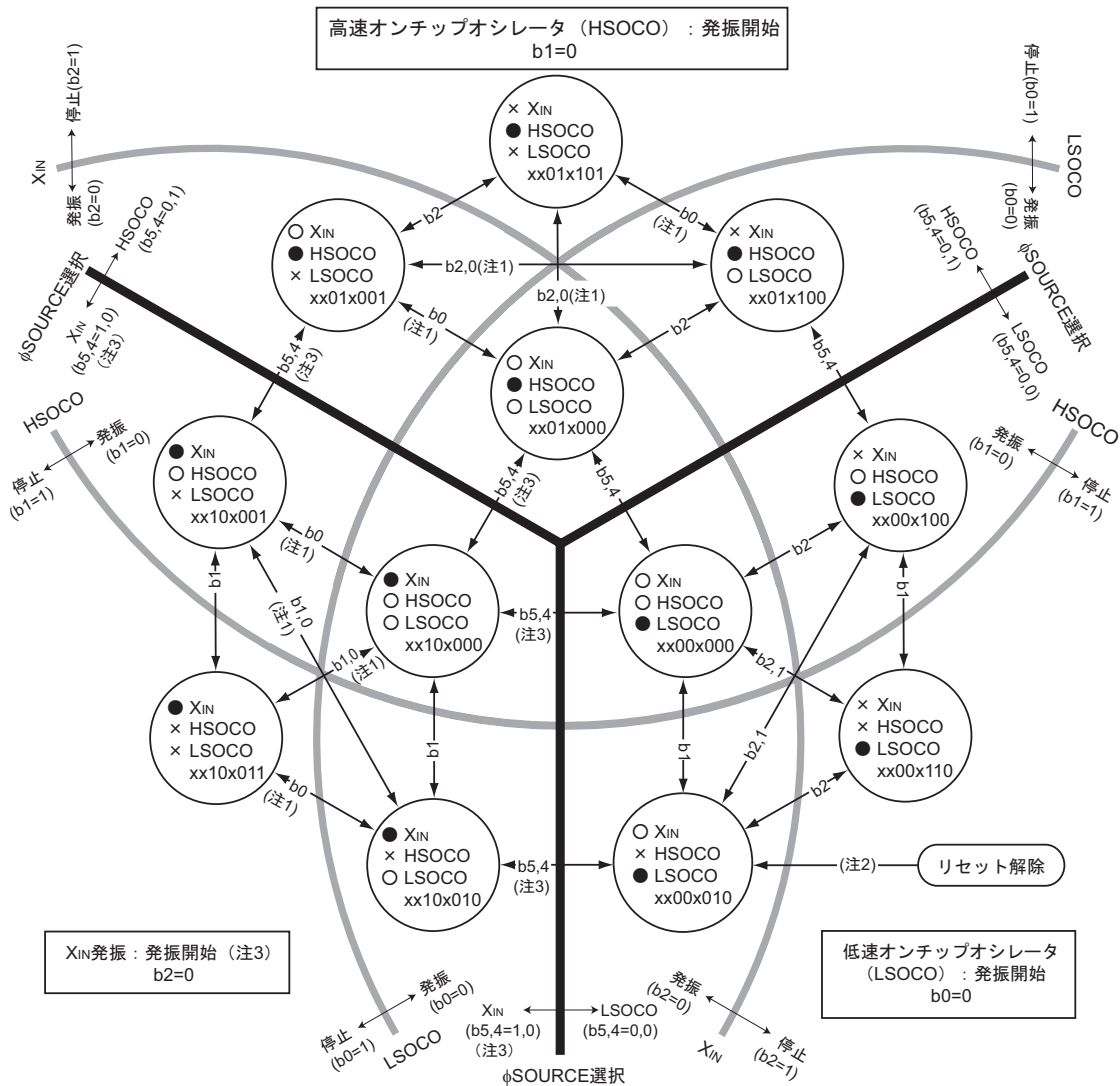


図66. 内部クロックφ発生回路ブロック図

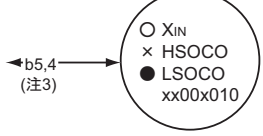
クロックモードレジスタCLKM (003716番地) の設定値とクロックの状態遷移図 (XIN発振の場合。XCIN発振、外部クロック入力の場合も同様)



XIN発振：発振開始 (注3)
b2=0

低速オンチップオシレータ (LSOCO)：発振開始
b0=0

【凡例】



そのモードにおけるXIN、HSOCO、LSOCO、それぞれの発振、停止状態を示します。
●はクロック選択ビットによって選択されているφSOURCE(発振)を示します。
○は発振しているクロック、×は停止しているクロックを示します。
「xx00x010」などは、そのモードのときのクロックモードレジスタの値(二進数表記)を表します。
矢印の「bx」はクロックモードレジスタのビットを示し、そのビットの値の変更による遷移を表します。

モードの移行は矢印に沿って行ってください。すべてのモードからウェイトモード、ストップモードへ移行でき、復帰した場合は元のモードに戻ります。

ウェイトモード時

- ・低速オンチップオシレータ：WIT命令実行前の状態を維持
- ・高速オンチップオシレータ：WIT命令実行前の状態を維持
- ・XIN発振：WIT命令実行前の状態を維持

ストップモード時

- ・低速オンチップオシレータ：停止(注1)
- ・高速オンチップオシレータ：停止
- ・XIN発振：停止

- 注1. 低速オンチップオシレータ制御ビット(FSRM2のビット4)で低速オンチップオシレータ停止の禁止を設定している場合は、CLKMのビット0に"1"を書くことはできません。またストップモード時にも低速オンチップオシレータは停止しません。
- 注2. リセット解除後は、φSOURCEは低速オンチップオシレータ、内部クロックφは8分周モードが選択されます。
- 注3. 発振方式選択ビット(FSRM1のビット1,0)で発振端子を使用しないを設定している場合は、CLKMのビット5,4に"10"を書くことはできません。また、φSOURCEにXIN/XCIN発振を使用する場合は、XIN/XCIN発振が安定してから切り替えを行ってください。外部クロック使用時は安定したクロックを供給してください。
- 注4. CLKMのクロック選択ビット(ビット5,4)、各クロックの発振制御ビット(ビット2~ビット0)の値は一命令で同時に変更しないでください。必ず別命令で書き換えを行ってください。
- 注5. 移行先の動作モードで使用する発振が安定してから移行してください。

図67. φSOURCE 状態遷移図

発振停止検出回路

発振停止検出回路は、セラミック発振子又は発振回路の断線などによる発振の停止を検出します。発振停止検出回路を使用する場合は、低速オンチップオシレータを動作させる必要があります。

発振停止検出回路は、X_{IN} 発振停止検出機能有効ビットを“1”に設定することで有効となります。発振停止検出回路が有効な状態では、X_{IN} 発振回路の動作状態を低速オンチップオシレータで監視し、発振の停止を検出した場合に発振停止検出ステータスビットが“1”になります。また、発振停止検出リセット許可ビットを“1”に設定することで、発振停止検出時に内部リセットを発生します。

X_{IN} 発振停止検出機能有効ビットおよび発振停止検出ステータスビットは、発振停止検出リセットが発生した場合は初期化されず“1”を保持します。外部リセットの場合は“0”に初期化されますので、発振停止検出ステータスビットを確認することによって、発振停止検出リセットを判断できます。

発振停止検出ステータスビットは、X_{IN} 発振停止検出機能有効ビットへの“0”書き込みで“0”になります。発振停止検出回路を有効にするときは、一度 X_{IN} 発振停止検出機能有効ビットへ“0”を書いて発振停止検出ステータスビットを“0”にしてから、発振停止検出機能を“1”にしてください。

発振停止を検出できるクロックは、X_{IN} 発振、外部クロック入力です。検出できる周波数は電気的特性を参照してください。

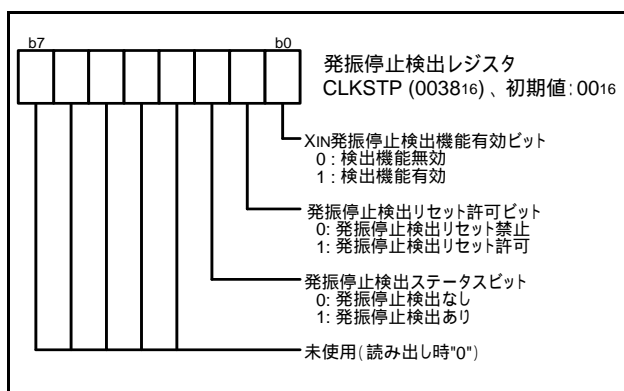


図68. 発振停止検出レジスタの構成

注意事項

「図69：発振停止検出回路の状態遷移図」に記載の“状態2'a”では、X_{IN}の発振が停止した場合でもリセットが発生せず、マイコンが停止しませんが、“状態2'a”への遷移は行わないでください。

発振停止検出リセット後、X_{IN} 発振停止検出機能有効ビット、発振停止検出ステータスビットを保持したまま発振停止検出リセットを許可にすると、再度リセットが発生します。

発振停止検出ステータスビットは、以下の場合に初期化されます。

- 外部リセット、パワーオンリセット、電圧低下検出リセット、ウォッチドッグタイマリセット、STP命令機能によるリセット
- X_{IN} 発振停止検出機能有効ビットへの“0”書き込み。発振停止検出機能有効時、ウォッチドッグタイマのアンダフローまたはSTP命令機能選択ビットが“1”の場合のSTP命令実行によるリセットで発振停止検出ステータスビットが“1”になる場合があります。発振停止検出リセット発振時、発振停止を再度確認してください。

発振停止検出回路はエミュレータ専用MCU “M37549RLSS” にはありません。

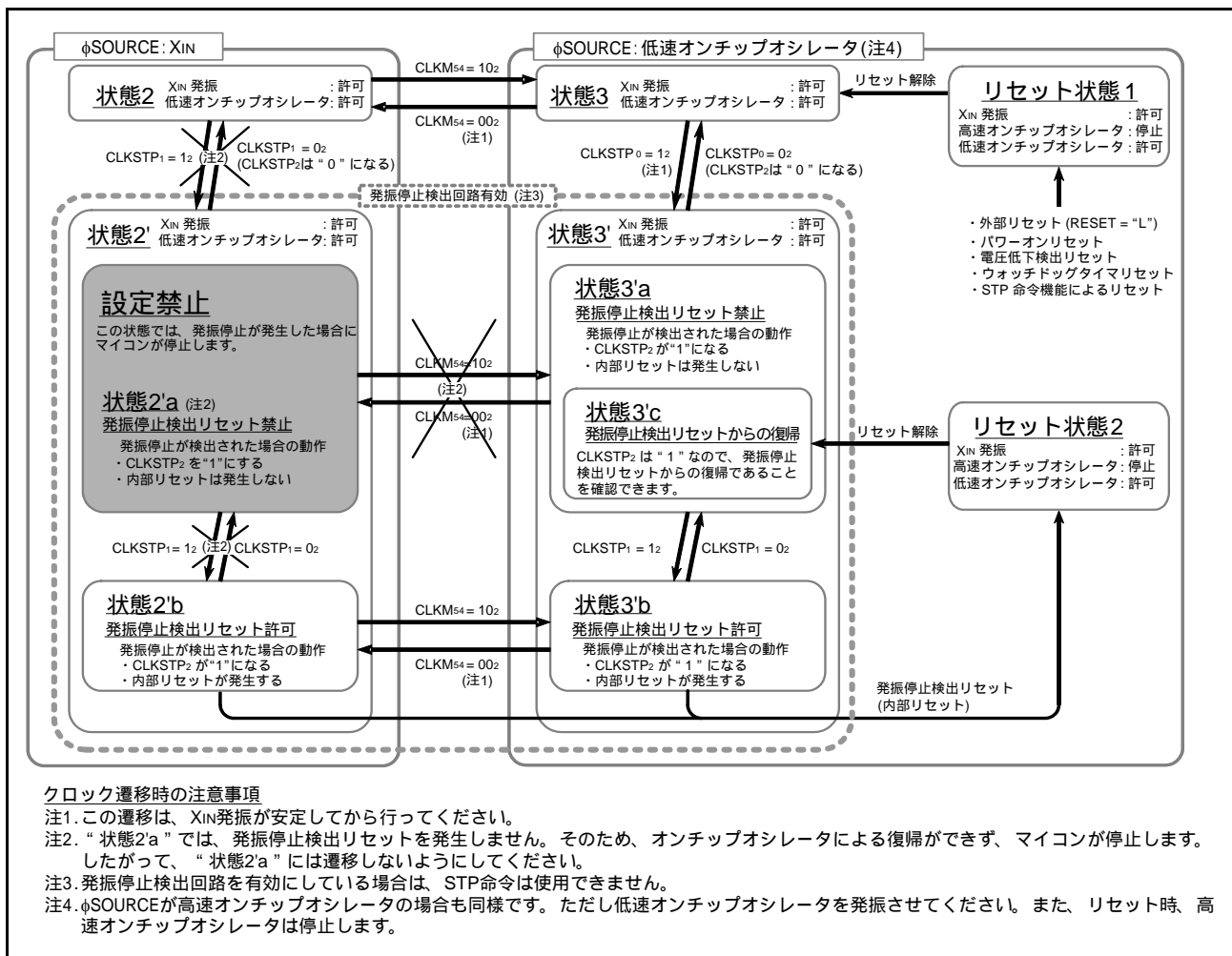


図69. 発振停止検出回路の状態遷移図

QzROM書き込みモード

QzROM書き込みモードでは、本マイコンに対応したシリアルプログラマを使用して、マイコンを基板に実装した状態で、ユーザROM領域に書き込むことができます。

表10に端子の機能説明（QzROM書き込みモード）を、図70に端子結線図を示します。

シリアルプログラマとの接続例は、基板上的端子処理例（図71、図72）を参照してください。シリアルプログラマについては、各メーカーにお問い合わせください。また、シリアルプログラマの操作方法については、シリアルプログラマのユーザズマニュアルを参照してください。

表10. 端子の機能説明（QzROM書き込みモード）

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccに2.7～5.5V、Vssに0Vを印加してください。
RESET	リセット入力	入力	リセット入力端子です。
P21/XIN	クロック入力	入力	シングルチップモード時と同じ端子処理にしてください。
P20/XOUT	クロック出力	出力	
P00～P05 P11～P15	入出力ポート	入出力	“H”を入力、“L”を入力、又は開放してください。
CNVss	VPP入力	入力	QzROMの電源入力端子です。
P10	ESDA入出力	入出力	シリアルデータの入出力端子です。
P06	ESCLK入力	入力	シリアルクロックの入力端子です。
P07	ESPGMB入力	入力	リード/プログラムパルス信号の入力端子です。

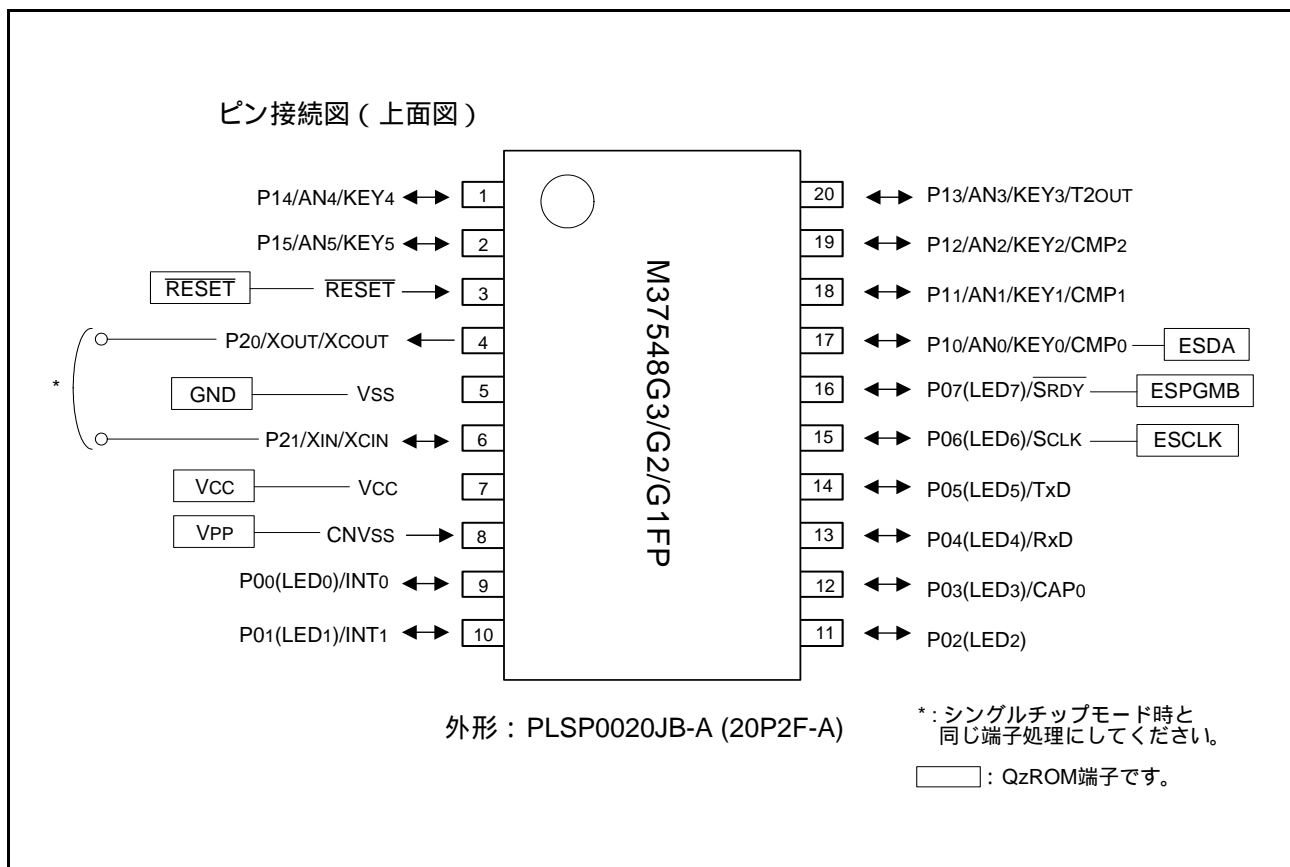


図70. 端子結線図（M37548G3/G2/G1FP）

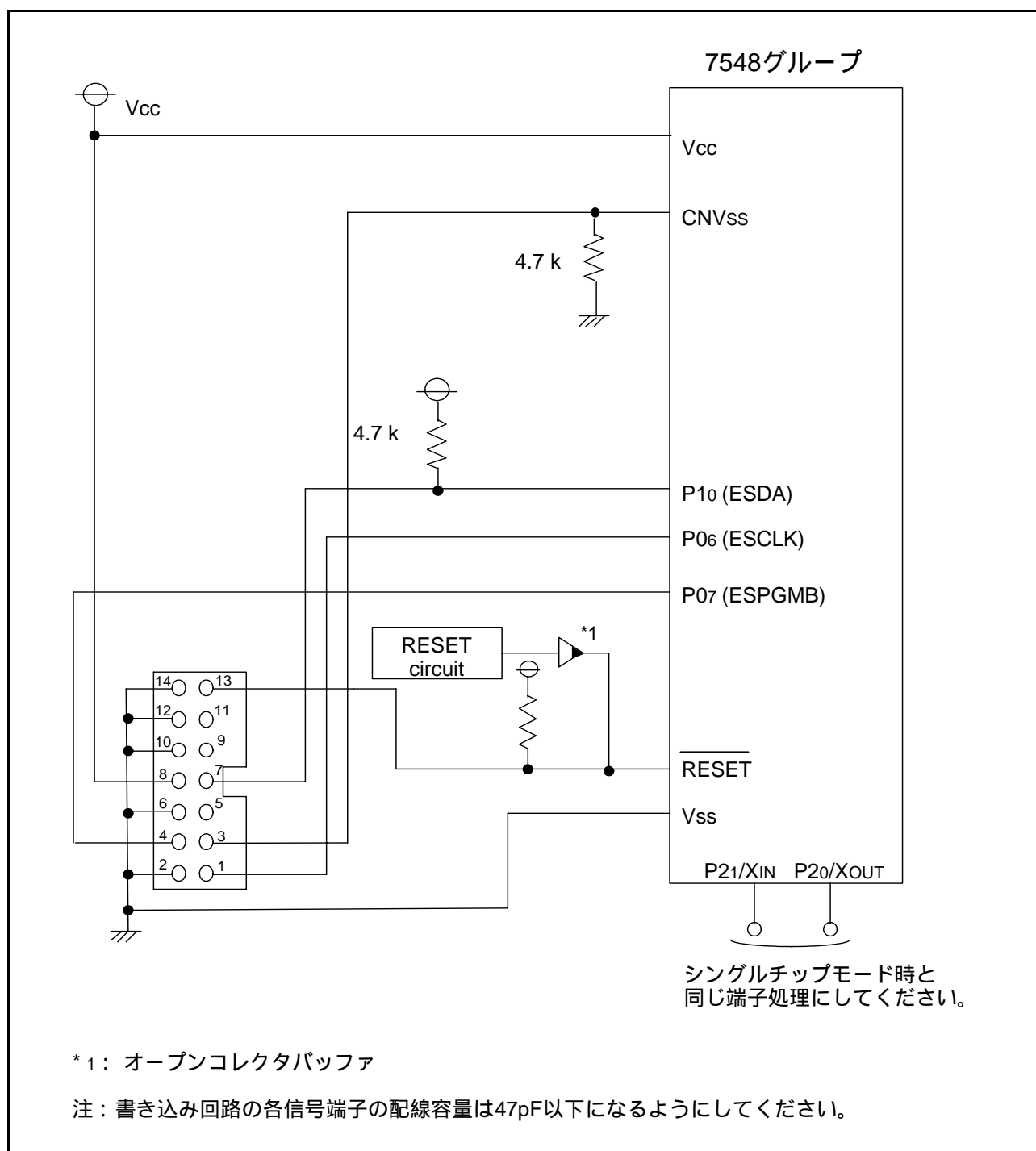


図71. E8プログラマ使用時の基板上の端子処理例

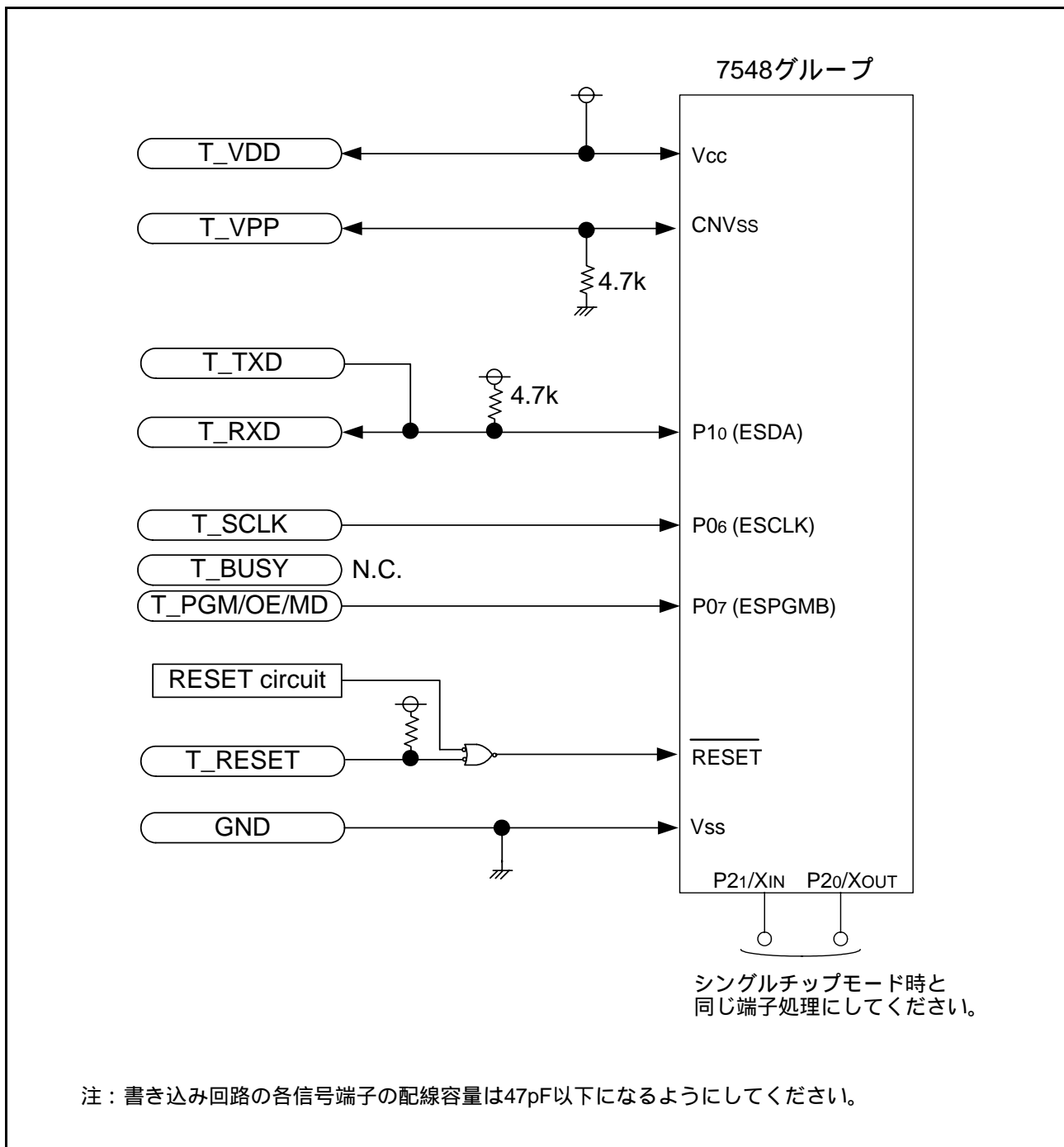


図72. 慧星電子システム製プログラマ使用時の基板上の端子処理例

プログラミング上の注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。プログラムの先頭で初期化してください。

(2) 割り込み

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

(3) 10進演算

- 10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- 10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

(4) ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(5) A/D変換

A/D変換中はSTP命令を実行しないでください。

(6) 命令の実行時間

命令の実行時間は「740ファミリ ソフトウェアマニュアル」を参照してください。記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は倍速モード時 ϕ SOURCEと同一、高速モード時は ϕ SOURCE周期の2倍、中速モード時は ϕ SOURCE周期の4倍、低速モード時は ϕ SOURCEの8倍です。

(7) CPUモードレジスタ CPUM

プロセッサモードビットは、リセット解除後1度だけ書くことができます。必ず“002”を設定してください。書き込み後はロックされるため、再書き込みは無効になります(エミュレータ専用MCUは除きます)。

(8) クロックモードレジスタ

動作クロック源に選択しているクロックをビット0、1、2により停止させないでください。

ハードウェアに関する注意事項

(1) 電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC} 端子)とGND端子(V_{SS} 端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01\mu\text{F} \sim 0.1\mu\text{F}$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

(2) 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

使用上の注意

ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

1. 配線長の短縮

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

<理由>

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

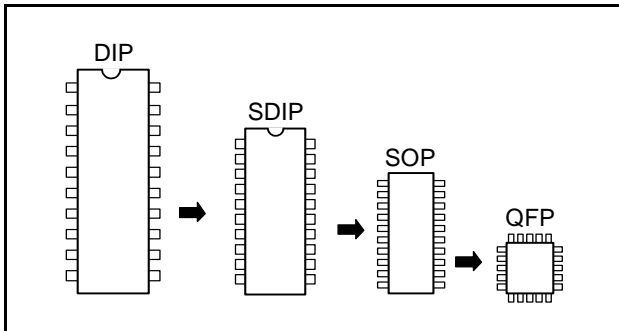


図73. パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

<理由>

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

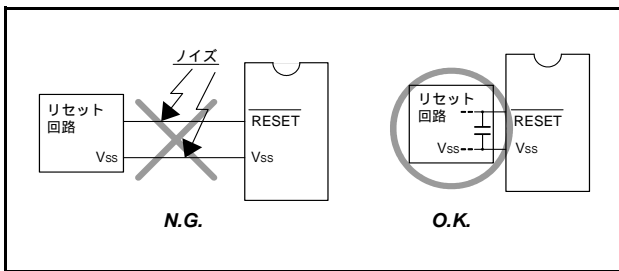


図74. リセット入力端子の配線

(3) クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20 mm以内)の配線で接続してください。
- 発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

<理由>

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

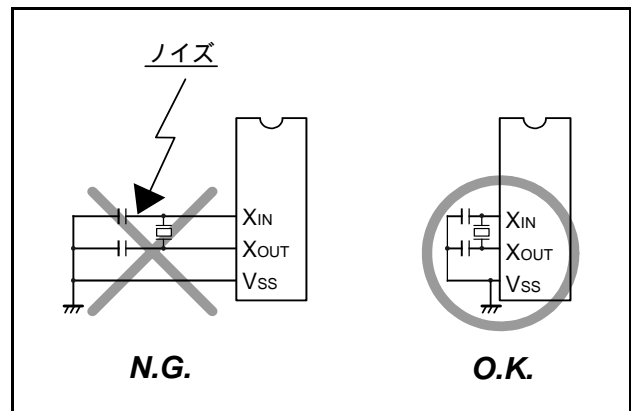


図75. クロック入出力端子の配線

(4) CNVss端子配線

CNVss端子は、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。また、5k程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

<理由>

CNVss端子は内蔵QzROMの電源入力端子です。

QzROMへのプログラム書き込み時に、書き込み電流が流れるようにCNVss端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。CNVss端子からノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

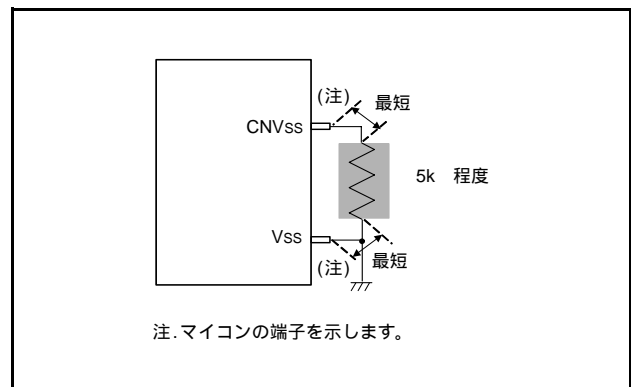


図76. QzROM版のCNVss端子の配線

2. Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

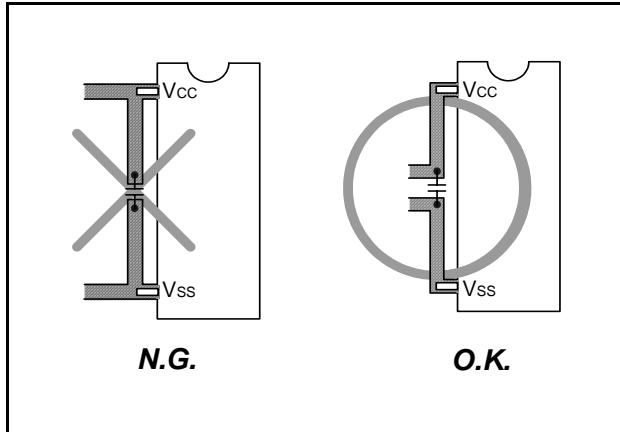


図77. Vss - Vccライン間のバイパスコンデンサ

3. アナログ入力端子の配線処理

アナログ入力端子は電圧比較器のコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A/D変換時の充電電流によって十分な精度が得られない場合があります。より安定したA/D変換結果を得るためにアナログ信号源のインピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

4. 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

<理由>

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

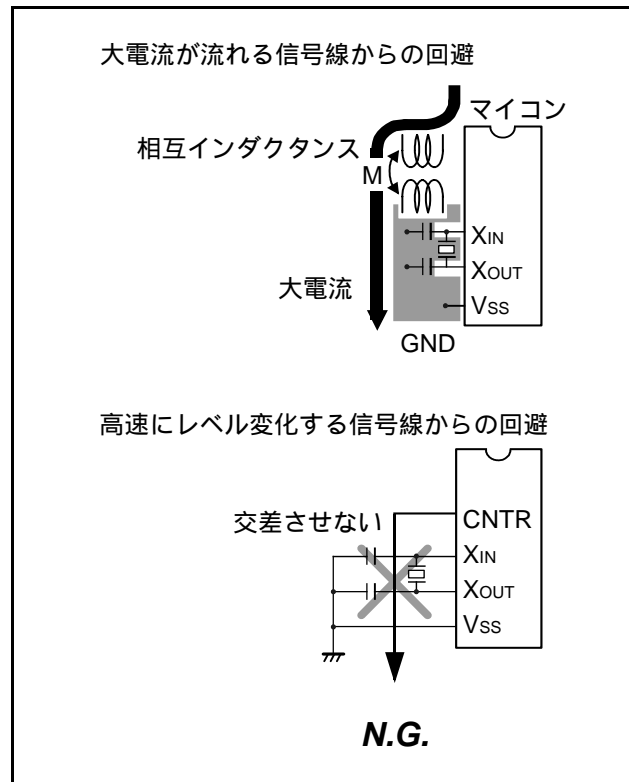


図78. 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

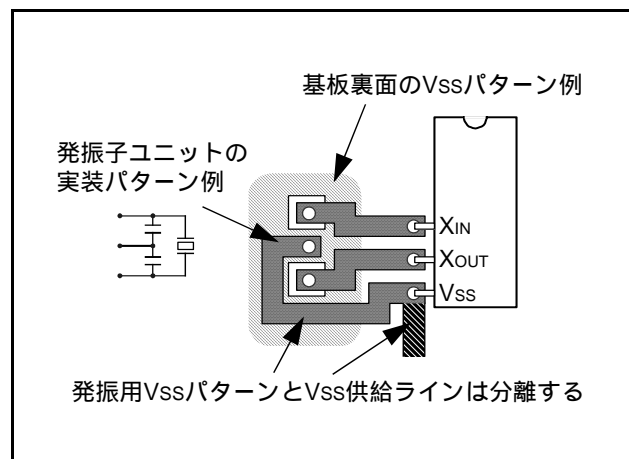


図79. 発振子の裏面のVssパターン

5. 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- 入出力ポートに 100 Ω 以上の抵抗を直列に挿入してください。

ソフトウェア面

- 入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- 出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でポートラッチの再書き込みを行ってください。
- 一定周期で方向レジスタ、プルアップ制御レジスタの再書き込みを行ってください。

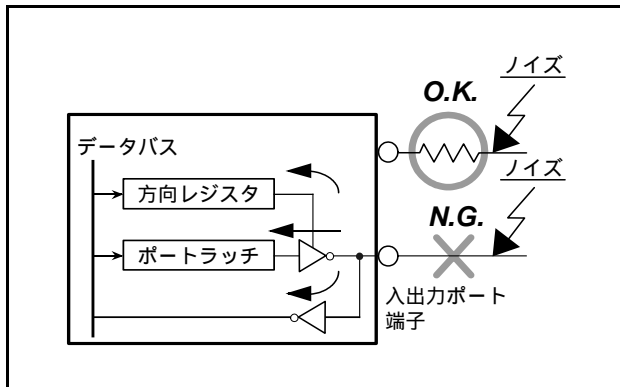


図80. 入出力ポート処理

6. ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- RAMの1バイトをソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

N+1 メインルーチンの1周期中に行われる割り込み処理の回数

注. メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

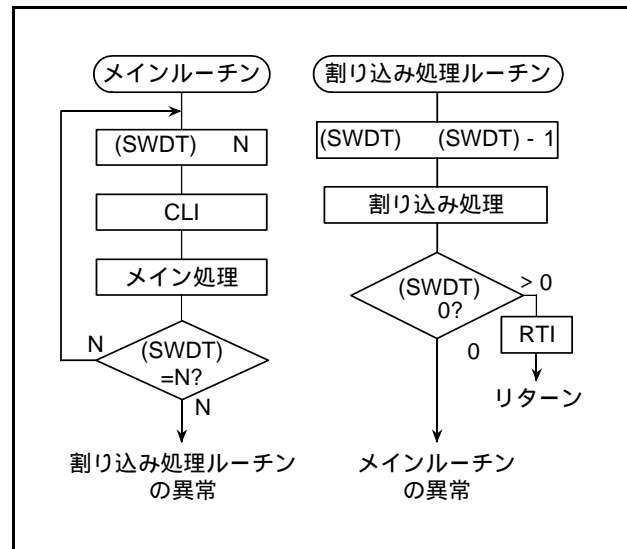


図81. ソフトウェアによるウォッチドッグタイマ

QzROM版に関する注意事項

ブランク出荷品に関する注意事項

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生することがあります。また、書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケットの上の異物などに充分留意してご使用ください。

過電圧に関する注意事項

他の端子に、Vcc端子電圧を超える電圧がかからないように注意してください。

特に、電源立ち上げ時及び立ち下げ時のCNVss端子(QzROMのV_{PP}電源入力端子)に関し、下図の太線の区間に示すような状態にならないようにしてください。

このような状態になると、QzROMの内容が書き換わる可能性があります。

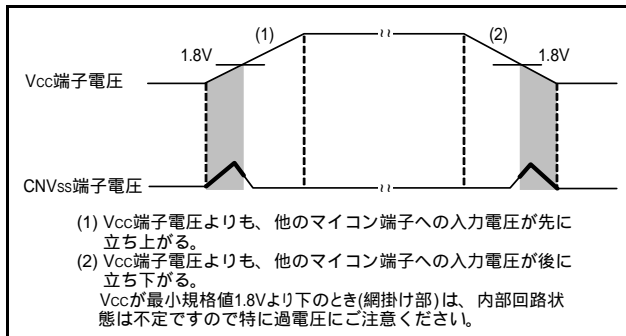


図82. タイミング図(太線の区間が該当)

QzROM書き込み発注時の注意事項

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ(MM)を使用して作成したマスクファイル(拡張子.msk)を提出してください。

- (1) マスクファイル変換ユーティリティ(MM)を実行する際は、必ずROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)データを設定してください。QzROM書き込み出荷品のROMコードプロテクトは、このROMオプションデータの値で決定します。ROMオプションデータが設定されていない場合や所定の値(“00₁₆”、“FF₁₆”)以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。
- (2) ROMデータ内のROMコードプロテクト番地には、プロテクトの有無にかかわらず、あらかじめ“FF₁₆”を設定してください。“FF₁₆”以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- QzROM書き込み確認書*
- マーク指定書*
- ROMのデータ・・・マスクファイル

*QzROM書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://japan.renesas.com/homepage.jsp>)を参照してください。なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応しておりません。

7548グループの電気的特性

(1) 絶対最大定格

表 11. 絶対最大定格

記号	項 目	条 件	定 格 値	単 位
V _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧 P00~P07、P10~P15、P20、P21	V _{SS} 端子を基準にして測定する。入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 $\overline{\text{RESET}}$		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 CNV _{SS}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P00~P07、P10~P15、P20、P21		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25°C	300	mW
T _{opr}	動作周囲温度	—	-20 ~ 85	°C
T _{stg}	保存温度	—	-40 ~ 125	°C

(2) 推奨動作条件

表12. 推奨動作条件(1)

(指定のない場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目		規格値			単位		
			最小	標準	最大			
V _{CC}	電源電圧	高速オンチップ オシレータ動作時	倍、高、中、低速モード		4.0	5.0	5.5	V
		低速オンチップ オシレータ動作時	倍、高、中、低速モード		1.8	5.0	5.5	V
	XIN発振 外部クロック入力	倍速モード	f(XIN) ≤ 8MHz	4.5	5.0	5.5	V	
			f(XIN) ≤ 2MHz	2.4	5.0	5.5	V	
			f(XIN) ≤ 1MHz	2.2	5.0	5.5	V	
	高、中、低速モード	f(XIN) ≤ 8MHz	4.0	5.0	5.5	V		
		f(XIN) ≤ 4MHz	2.4	5.0	5.5	V		
f(XIN) ≤ 1MHz		1.8	5.0	5.5	V			
X _{CIN} 発振	倍、高、中、低速モード	f(X _{CIN}) ≤ 50kHz	1.8	5.0	5.5	V		
V _{SS}	電源電圧			0		V		
V _{IH}	“H”入力電圧(注4) P00~P07、P10~P15、P21		0.8V _{CC}		V _{CC}	V		
V _{IH}	“H”入力電圧(注5) RESET、XIN、X _{CIN}		0.8V _{CC}		V _{CC}	V		
V _{IL}	“L”入力電圧(注4) P00~P07、P10~P15、P21		0		0.2V _{CC}	V		
V _{IL}	“L”入力電圧 RESET、CNV _{SS}		0		0.2V _{CC}	V		
V _{IL}	“L”入力電圧(注5) XIN、X _{CIN}		0		0.16V _{CC}	V		
ΣI _{OH(peak)}	“H”出力総尖頭電流(注1、4) P00~P07、P10~P15、P20、P21				-60	mA		
ΣI _{OL(peak)}	“L”出力総尖頭電流(注1) P00~P07				60	mA		
ΣI _{OL(peak)}	“L”出力総尖頭電流(注1、4) P10~P15、P20、P21				60	mA		
ΣI _{OH(avg)}	“H”出力総平均電流(注1、4) P00~P07、P10~P15、P20、P21				-30	mA		
ΣI _{OL(avg)}	“L”出力総平均電流(注1) P00~P07				30	mA		
ΣI _{OL(avg)}	“L”出力総平均電流(注1、4) P10~P15、P20、P21				30	mA		
I _{OH(peak)}	“H”出力尖頭電流(注2、4) P00~P07、P10~P15、P20、P21				-10	mA		
I _{OL(peak)}	“L”出力尖頭電流(注2、4) P00~P07(駆動能力=“弱”選択時)、P10~P15、P20、P21				10	mA		
I _{OL(peak)}	“L”出力尖頭電流(注2) P00~P07(駆動能力=“強”選択時)				30	mA		
I _{OH(avg)}	“H”出力平均電流(注3、4) P00~P07、P10~P15、P20、P21				-5	mA		
I _{OL(avg)}	“L”出力平均電流(注3、4) P00~P07(駆動能力=“弱”選択時)、P10~P15、P20、P21				5	mA		
I _{OL(avg)}	“L”出力平均電流(注3) P00~P07(駆動能力=“強”選択時)				15	mA		

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

注2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注3. 平均出力電流I_{OL(avg)}、I_{OH(avg)}は100msの期間での平均値です。

注4. P20、P21は、これらの端子を入出力端子として使用した場合です。

注5. XIN、X_{CIN}は、これらの端子を発振端子として使用した場合です。

表13. 推奨動作条件 (2)

(指定のない場合、Vcc = 1.8 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目			規格値			単位
				最小	標準	最大	
f(XIN)	XIN発振周波数 (注1)	XIN発振 外部クロック入力	倍速モード	Vcc=4.5~5.5V		8	MHz
				Vcc=2.4~4.5V		$\frac{(V_{cc}-2.4) \times 2}{0.7} + 2$	MHz
				Vcc=2.2~2.4V		$\frac{(V_{cc}-2.2)}{0.2} + 1$	MHz
			高、中、低速モード	Vcc=4.0~5.5V		8	MHz
				Vcc=2.4~4.0V		$\frac{(V_{cc}-2.4)}{0.4} + 4$	MHz
				Vcc=1.8~2.4V		$\frac{(V_{cc}-1.8)}{0.2} + 1$	MHz
	XCIN発振周波数 (注1)	XCIN発振	倍、高、中、低速モード	Vcc=1.8~5.5V	32.768	50	kHz

注1. 発振周波数はデューティ 50%の場合です。

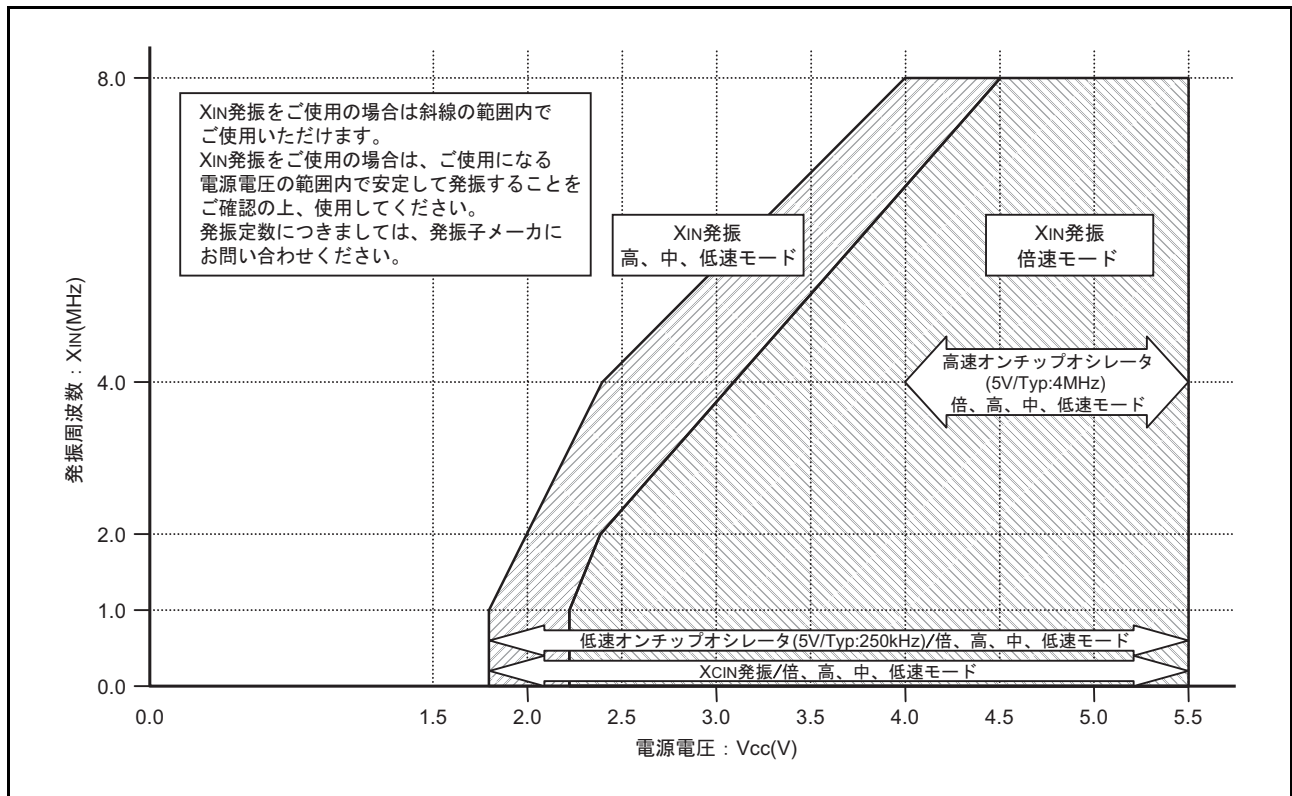


図83. 電源電圧と発振周波数

(3) 電気的特性

表14. 電気的特性(1)

(指定のない場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧(注1、3) P00~P07、P10~P15、P21	IOH=-5mA、 $V_{CC}=4.0\sim 5.5V$	$V_{CC}-1.5$			V
		IOH=-1.0mA、 $V_{CC}=1.8\sim 5.5V$	$V_{CC}-1.0$			V
VOL	“L”出力電圧(注1) P00~P07(駆動能力=“弱”選択時) P10~P15、P21	IOl=5mA、 $V_{CC}=4.0\sim 5.5V$			1.5	V
		IOl=1.5mA、 $V_{CC}=4.0\sim 5.5V$			0.3	V
		IOl=1.0mA、 $V_{CC}=1.8\sim 5.5V$			1.0	V
VOL	“L”出力電圧 P00~P07(駆動能力=“強”選択時)	IOl=15mA、 $V_{CC}=4.0\sim 5.5V$			2.0	V
		IOl=1.5mA、 $V_{CC}=4.0\sim 5.5V$			0.3	V
		IOl=1.0mA、 $V_{CC}=1.8\sim 5.5V$			1.0	V
VT+ - VT-	ヒステリシス INT0、INT1、CAP0、 P10~P15(注4) RXD、SCLK、RESET			0.5		V
IiH	“H”入力電流(注1) P00~P07、P10~P15、P21	$V_i=V_{CC}$ (端子はフローティング。 プルアップトランジスタは切り離し状態)			5.0	μA
IiH	“H”入力電流 \overline{RESET}	$V_i=V_{CC}$			5	μA
IiH	“H”入力電流(注2) XIN	$V_i=V_{CC}$		4.0		μA
IiH	“H”入力電流(注2) XCIN	$V_i=V_{CC}$		0.5		μA
IiL	“L”入力電流(注1) P00~P07、P10~P15、P21	$V_i=V_{SS}$ (端子はフローティング。 プルアップトランジスタは切り離し状態)			-5.0	μA
IiL	“L”入力電流 \overline{RESET}	$V_i=V_{SS}$			-0.7	mA
IiL	“L”入力電流(注2) XIN	$V_i=V_{SS}$		-4.0		μA
IiL	“L”入力電流(注2) XCIN	$V_i=V_{SS}$		-0.3		μA
IiL	“L”入力電流 P00~P07、P10~P15	$V_i=V_{SS}$ (プルアップトランジスタ接続時)		-0.2	-0.5	mA
RPH	プルアップ抵抗値 \overline{RESET}	$V_i=V_{SS}$		25		k Ω
VRAM	RAM保持電圧	クロック停止時	1.6		5.5	V
RHSOCO	高速オンチップオシレータ発振周波数	$V_{CC}=4.0\sim 5.5V$ 、 $T_a=0\sim 50^\circ C$	3.8	4	4.2	MHz
		$V_{CC}=4.0\sim 5.5V$ 、 $T_a=-20\sim 85^\circ C$	3.6	4	4.4	
RLSOCO	低速オンチップオシレータ発振周波数	$V_{CC}=5.0V$ 、 $T_a=25^\circ C$	125	250	500	kHz
DOSC	発振停止検出回路検出周波数	$V_{CC}=5.0V$ 、 $T_a=25^\circ C$	62.5	150	250	kHz

注1. P20、P21に関しては、これらの端子を入出力端子として使用した場合は、

注2. XIN、XCINに関しては、これらの端子を発振端子として使用した場合は、

注3. P05に関しては、UART制御レジスタのP05/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

注4. P10~P15は、キーオンウェイクアップ動作時のみヒステリシスを持ちます。

表 15. 電気的特性 (2)

(指定のない場合は、 $V_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流	高速オンチップオシレータ動作時 ・ $V_{CC}=5.0V$ ・ 低速オンチップオシレータ停止 ・ X _{IN} 発振停止 ・ 出力トランジスタは遮断状態 ・ 電圧低下検出回路有効	倍速モード		2.5	5.2	mA
			低速モード		0.6	1.7	mA
			ウェイトモード、タイマ1以外の機能停止		0.35	1.0	mA
		低速オンチップオシレータ動作時 ・ $V_{CC}=5.0V$ ・ 高速オンチップオシレータ停止 ・ X _{IN} 発振停止 ・ 出力トランジスタは遮断状態 ・ 電圧低下検出回路有効	倍速モード		230	600	μA
			低速モード		120	400	μA
			ウェイトモード、タイマ1以外の機能停止		105	350	μA
		f(X _{IN})=8MHz (セラミック発振子) ・ $V_{CC}=5.0V$ ・ 高速オンチップオシレータ停止 ・ 低速オンチップオシレータ停止 ・ 出力トランジスタは遮断状態 ・ 電圧低下検出回路有効	倍速モード		6.0	10	mA
			低速モード		2.6	6.0	mA
			ウェイトモード、タイマ1以外の機能停止		1.9	5.0	mA
		f(X _{CIN})=32.768kHz ・ $V_{CC}=5.0V$ ・ 高速オンチップオシレータ停止 ・ 低速オンチップオシレータ停止 ・ 出力トランジスタは遮断状態 ・ 電圧低下検出回路有効	倍速モード		100	200	μA
			低速モード		85	180	μA
			ウェイトモード、タイマ1以外の機能停止		80	170	μA
	低速オンチップオシレータ動作時 ・ $V_{CC}=2.0V$ ・ 高速オンチップオシレータ停止 ・ X _{IN} 発振停止 ・ 出力トランジスタは遮断状態 ・ 電圧低下検出回路有効	低速モード		25	70	μA	
		ウェイトモード、タイマ1以外の機能停止		23	60	μA	
	f(X _{IN})=2MHz (セラミック発振子) ・ $V_{CC}=2.0V$ ・ 高速オンチップオシレータ停止 ・ 低速オンチップオシレータ停止 ・ 出力トランジスタは遮断状態 ・ 電圧低下検出回路有効	低速モード		190	450	μA	
		ウェイトモード、タイマ1以外の機能停止		150	430	μA	
	f(X _{CIN})=32.768kHz ・ $V_{CC}=2.0V$ ・ 高速オンチップオシレータ停止 ・ 低速オンチップオシレータ停止 ・ 出力トランジスタは遮断状態 ・ 電圧低下検出回路有効	低速モード		24	65	μA	
		ウェイトモード、タイマ1以外の機能停止		23	55	μA	
	電圧低下検出回路の消費電流	T _a =25°C $V_{CC}=5.0V$		70		μA	
		T _a =25°C $V_{CC}=2.0V$		20		μA	
A/Dコンバータ動作時の増量 f(X _{IN})=8MHz、 $V_{CC}=5.0V$			0.5		mA		
ストップモード ・ 出力トランジスタは遮断状態 ・ 低速オンチップオシレータ停止 ・ 電圧低下検出回路は停止	T _a =25°C		0.1	1.0	μA		
	T _a =85°C			10	μA		

(4) A/Dコンバータ特性

表16. A/Dコンバータ特性

(指定のない場合は、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
——	分解能				10	bits
——	絶対精度 (量子化誤差は除く)	$T_a = -20 \sim 85^\circ C$ 、 $2.7 \leq V_{CC} \leq 5.5V$			3	LSB
t_{CONV}	変換時間	A/D変換クロック= $f(\phi_{SOURCE})/2$			122	$t_c(\phi_{SOURCE})$
		A/D変換クロック= $f(\phi_{SOURCE})$			61	$t_c(\phi_{SOURCE})$
RLADDER	ラダー抵抗			55		$k\Omega$
$I_{I(AD)}$	A/Dポート入力電流				5.0	μA

表17. A/Dコンバータ推奨動作条件

(指定のない場合は、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{CC}	電源電圧	$T_a = -20 \sim 85^\circ C$	2.7		5.5	V
$\phi(AD)$	A/D変換クロック周波数 (注)	$4.0 \leq V_{CC} \leq 5.5V$	0.016		8	MHz
		$2.7 \leq V_{CC} < 4.0V$	0.016		4	MHz

注1. ϕ_{SOURCE} が X_{CIN} 、低速オンチップオシレータの場合は、A/Dコンバータを使用できません。

(5) パワーオンリセット回路、電圧低下検出回路の電気的特性

表18. パワーオンリセット回路の電気的特性

(指定のない場合, $V_{CC} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VPOR	パワーオンリセット回路の有効スタート電圧(注)				0	V
TW(VPOR)	VPOR保持時間		10			s
TW(VPOR-VDET)	パワーオンリセット回路の有効電源立ち上がり時間	$TW(VPOR) > 10s$			20	ms

注. VPORは内蔵パワーオンリセット回路が正常に動作する為のVCCのスタート電圧レベルです。内蔵パワーオンリセット回路を使用する為には、VCC電源の立ち上がり前にVCC電圧がこの電圧以下になるように保持しておく必要があります。なお内蔵パワーオンリセットを使用する場合は、必ず内蔵電圧低下検出回路を有効にしてください。

表19. 電圧低下検出回路の電気的特性

(指定のない場合, $V_{CC} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VLVD	電圧低下検出回路の有効スタート電圧(注)		1.0			V
VDET	電圧低下検出回路検出電圧	$T_a = 0 \sim 50^\circ C$	1.85	1.95	2.05	V
		$T_a = -20 \sim 85^\circ C$	1.80	1.95	2.10	V
TDET	電圧低下検出回路の判定時間			20		μs

注. VLVDは内蔵電圧低下検出回路が正常に動作する為のVCCのスタート電圧レベルです。VCC電源がVLVDよりも低下した場合は、一度VCC電圧をVPOR以下に立ち下げた後に、再度パワーオンリセット回路の電気的特性に従って立ち上げを行ってください。

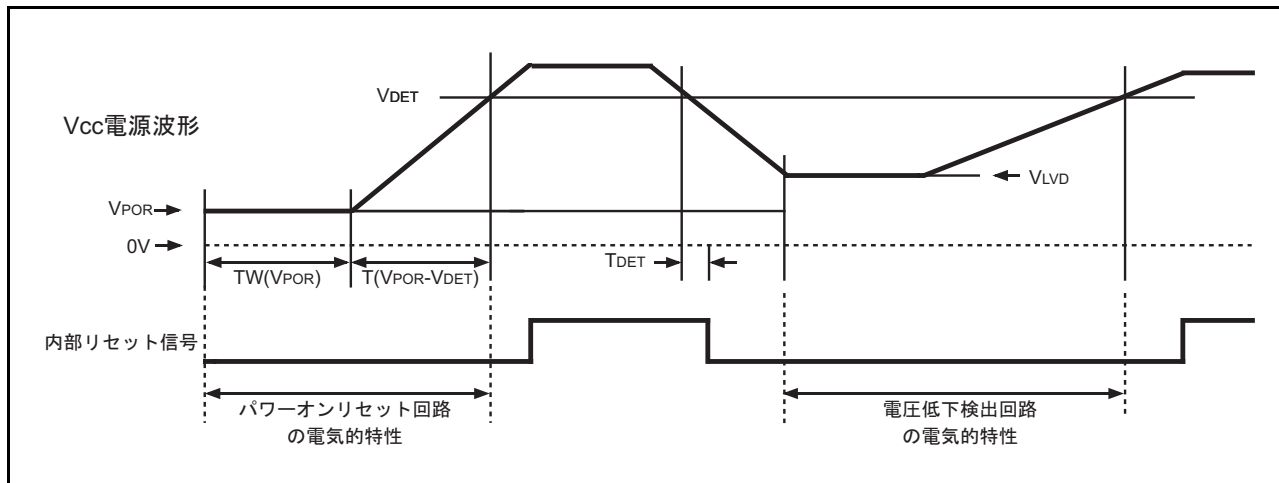


図84. パワーオンリセット回路、電圧低下検出回路の電気的特性

(6) タイミング必要条件

表20. タイミング必要条件(1)

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	125			ns
twh(XIN)	外部クロック入力“H”パルス幅	50			ns
twl(XIN)	外部クロック入力“L”パルス幅	50			ns
twh(INT0)	INT0, INT1, CAP0入力“H”パルス幅(注1)	80			ns
twl(INT0)	INT0, INT1, CAP0入力“L”パルス幅(注1)	80			ns
tc(SCLK)	シリアルI/Oクロック入力サイクル時間(注2)	800			ns
twh(SCLK)	シリアルI/Oクロック入力“H”パルス幅(注2)	370			ns
twl(SCLK)	シリアルI/Oクロック入力“L”パルス幅(注2)	370			ns
tsu(RxD-SCLK)	シリアルI/O入力セットアップ時間	220			ns
th(SCLK-RxD)	シリアルI/O入力ホールド時間	100			ns

注1. CAP0については、ノイズフィルタを使用しない場合です。

注2. シリアルI/O制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O)の場合です。
シリアルI/O制御レジスタのビット6が“0”(クロック非同期形シリアルI/O)の場合、規格値は、1/4になります。

表21. タイミング必要条件(2)

(指定のない場合は、 $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	250			ns
twh(XIN)	外部クロック入力“H”パルス幅	100			ns
twl(XIN)	外部クロック入力“L”パルス幅	100			ns
twh(INT0)	INT0, INT1, CAP0入力“H”パルス幅(注1)	230			ns
twl(INT0)	INT0, INT1, CAP0入力“L”パルス幅(注1)	230			ns
tc(SCLK)	シリアルI/Oクロック入力サイクル時間(注2)	2000			ns
twh(SCLK)	シリアルI/Oクロック入力“H”パルス幅(注2)	950			ns
twl(SCLK)	シリアルI/Oクロック入力“L”パルス幅(注2)	950			ns
tsu(RxD-SCLK)	シリアルI/O入力セットアップ時間	400			ns
th(SCLK-RxD)	シリアルI/O入力ホールド時間	200			ns

注1. CAP0については、ノイズフィルタを使用しない場合です。

注2. シリアルI/O制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O)の場合です。
シリアルI/O制御レジスタのビット6が“0”(クロック非同期形シリアルI/O)の場合、規格値は、1/4になります。

表22. タイミング必要条件 (3)

(指定のない場合は, $V_{CC} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	500			ns
tWH(XIN)	外部クロック入力“H”パルス幅	200			ns
tWL(XIN)	外部クロック入力“L”パルス幅	200			ns
tWH(INT0)	INT0, INT1, CAP0入力“H”パルス幅 (注1)	460			ns
tWL(INT0)	INT0, INT1, CAP0入力“L”パルス幅 (注1)	460			ns
tc(SCLK)	シリアルI/Oクロック入力サイクル時間 (注2)	4000			ns
tWH(SCLK)	シリアルI/Oクロック入力“H”パルス幅 (注2)	1900			ns
tWL(SCLK)	シリアルI/Oクロック入力“L”パルス幅 (注2)	1900			ns
tsu(RXD-SCLK)	シリアルI/O入力セットアップ時間	800			ns
th(SCLK-RXD)	シリアルI/O入力ホールド時間	400			ns

注1. CAP0については、ノイズフィルタを使用しない場合です。

注2. シリアルI/O制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O)の場合です。

シリアルI/O制御レジスタのビット6が“0”(クロック非同期形シリアルI/O)の場合、規格値は、1/4になります。

(7) スイッチング特性

表23. スイッチング特性 (1)

(指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアル/Oクロック出力“H”パルス幅	t _c (SCLK)/2-30			ns
t _{WL} (SCLK)	シリアル/Oクロック出力“L”パルス幅	t _c (SCLK)/2-30			ns
t _d (SCLK-TxD)	シリアル/O出力遅延時間			140	ns
t _v (SCLK-TxD)	シリアル/O出力有効時間	-30			ns
t _r (SCLK)	シリアル/Oクロック出力立ち上がり時間			30	ns
t _f (SCLK)	シリアル/Oクロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注1)		10	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注1)		10	30	ns

注1. XOUT端子を除きます。

表24. スイッチング特性 (2)

(指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアル/Oクロック出力“H”パルス幅	t _c (SCLK)/2-50			ns
t _{WL} (SCLK)	シリアル/Oクロック出力“L”パルス幅	t _c (SCLK)/2-50			ns
t _d (SCLK-TxD)	シリアル/O出力遅延時間			350	ns
t _v (SCLK-TxD)	シリアル/O出力有効時間	-30			ns
t _r (SCLK)	シリアル/Oクロック出力立ち上がり時間			50	ns
t _f (SCLK)	シリアル/Oクロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注1)		20	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注1)		20	50	ns

注1. XOUT端子を除きます。

表25. スイッチング特性 (3)

(指定のない場合は, $V_{CC} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアル/Oクロック出力“H”パルス幅	t _c (SCLK)/2-70			ns
t _{WL} (SCLK)	シリアル/Oクロック出力“L”パルス幅	t _c (SCLK)/2-70			ns
t _d (SCLK-TxD)	シリアル/O出力遅延時間			450	ns
t _v (SCLK-TxD)	シリアル/O出力有効時間	-30			ns
t _r (SCLK)	シリアル/Oクロック出力立ち上がり時間			70	ns
t _f (SCLK)	シリアル/Oクロック出力立ち下がり時間			70	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注1)		25	70	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注1)		25	70	ns

注1. XOUT端子を除きます。

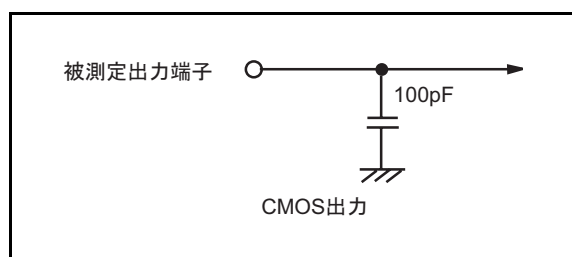


図85. スイッチング特性測定回路図

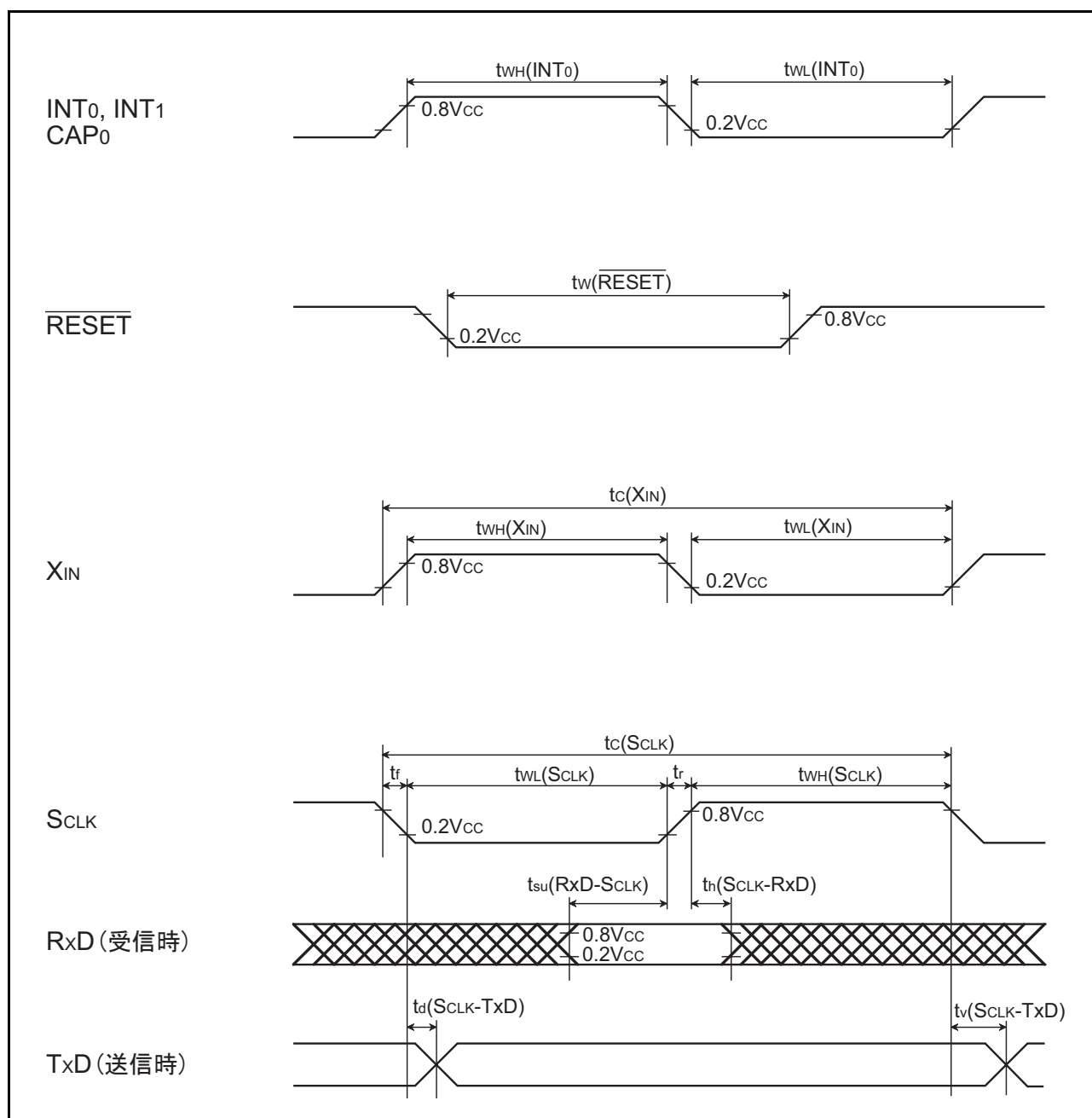
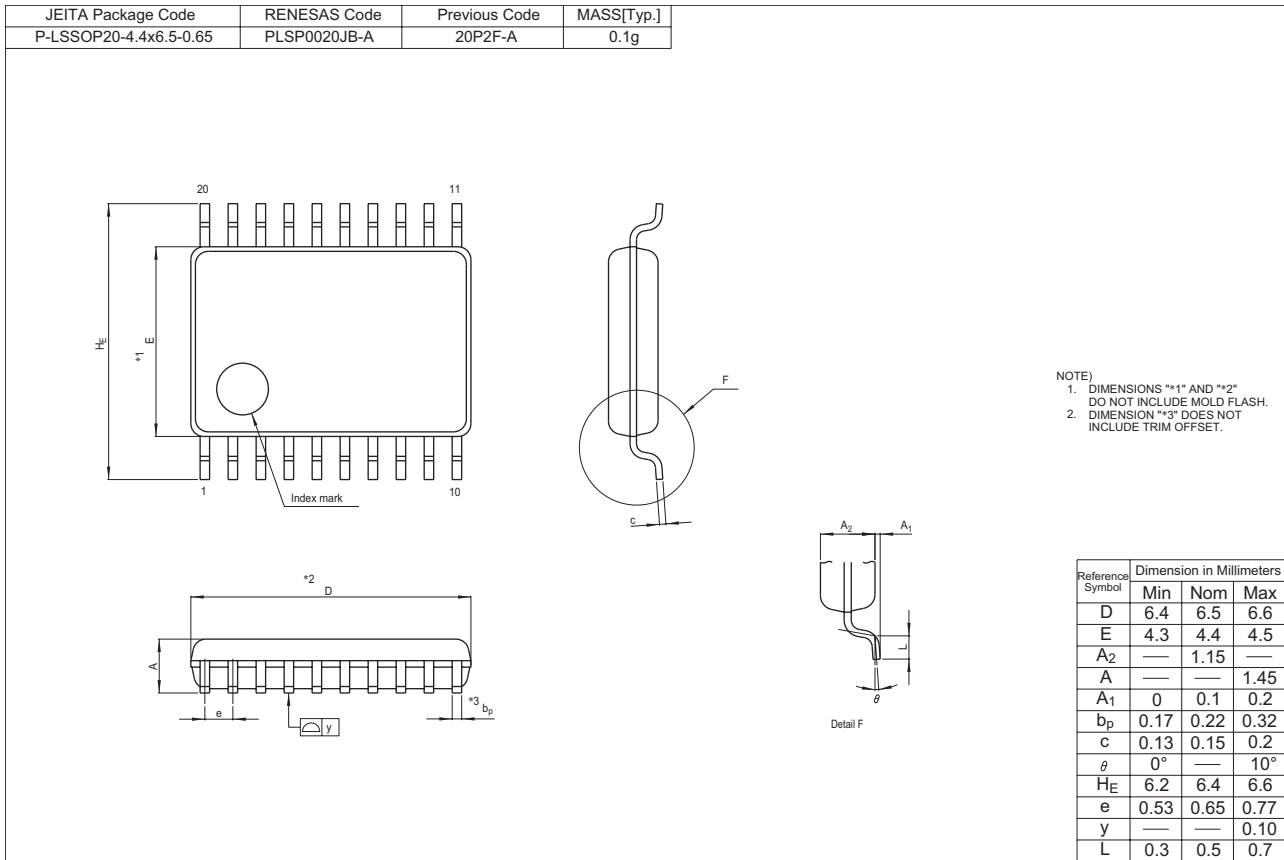


図86. タイミング図

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



付録

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ (PS) のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。プログラムの先頭で初期化してください。

<理由>

プロセッサステータスレジスタ (PS) は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

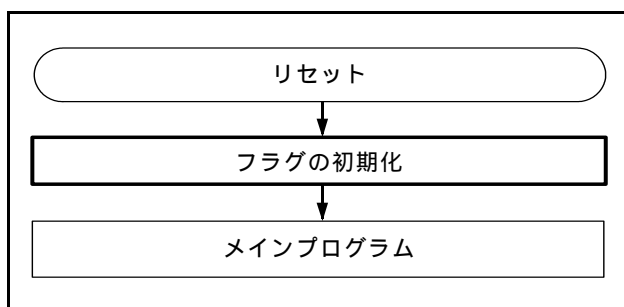


図87. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ (PS) の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

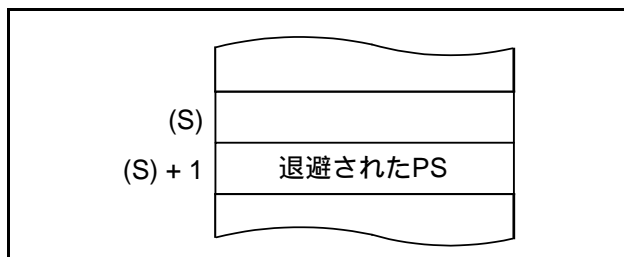


図88. PHP 命令実行後のスタックメモリの内容

2. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

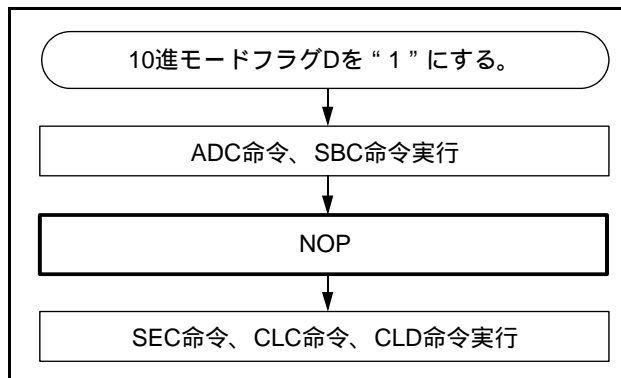


図89. 10進演算時の命令

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ=“1”)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

3. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

4. 乗除算命令

(1) MUL、DIV命令は、T、Dフラグの影響を受けません。

(2) 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

5. リード・モディファイ・ライト命令

読み出しができないSFRに対してリード・モディファイ・ライト命令を実行しないでください。

リード・モディファイ・ライト命令は、メモリをバイト単位で読み（リード）、加工して（モディファイ）、元のメモリにバイト単位で書く（ライト）命令です。

740ファミリでは、次に示す命令が、リード・モディファイ・ライト命令に当たります。

- (1) ビット処理命令
CLB、SEB
- (2) シフト・回転命令
ASL、LSR、ROL、ROR、RRF
- (3) 加減算命令
DEC、INC
- (4) 論理演算命令(1の補数)
COM

なお、リード・モディファイ・ライト命令ではありませんが、Tフラグが“1”の場合の加減算・論理演算命令（ADC、SBC、AND、EOR、ORA）も、リード・モディファイ・ライト命令と同様の動作をしますので、読み出しができないSFRに対して実行しないでください。

<理由>

読み出しができないSFRに対して、この命令を実行すると、次のようになります。

読み出しができないため、読んだ値は不定です。この不定値を加工して書くため、書いた値は予想できない値になります。

周辺機能に関する注意事項

入出力ポートに関する注意事項

1. ポート方向レジスタ

- ポートP2方向レジスタのビット6、7は“1”に設定してください。
- ポートP3方向レジスタのビット0、1は“1”に設定してください。

2. プルアップ制御レジスタ

プルアップ抵抗を内蔵した各ポートを出力ポートとして使用する場合、対応するポートのプルアップ制御ビットは無効になり、プルアップ抵抗は接続されません。

<理由>

プルアップ制御は各方向レジスタが入力モードの場合のみ有効です。

3. スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態^{*1}で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ（Vccに接続）またはプルダウン（Vssに接続）してください。

抵抗値を決定する際は、以下の2点に留意してください。

- 外付け回路
 - 通常動作時の出力レベルの変動
- また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。
- 入力ポートに設定している場合：入力レベルを固定する。
 - 出力ポートに設定している場合：外部に電流が流出しないようにする。

<理由>

方向レジスタで入力ポートに設定している場合、出力ポート方向レジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

^{*1}スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

4. ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*1を用いて書き替える場合、指定していないビットの値が変化することがあります。

<理由>

入出力ポートは、ビット単位で入力モード又は出力モードを設定できます。ポートレジスタに読み出し、書き込みを行うと次のように動作します。

- 入力モードのポート
 - 読み出し：端子のレベルを読む。
 - 書き込み：ポートラッチへ書く。
- 出力モードのポート
 - 読み出し：ポートラッチを読む、又は、周辺機能の出力を読む（ポートにより仕様が異なる）。
 - 書き込み：ポートラッチへ書く（ポートラッチの内容を端子から出力する）。

一方、ビット処理命令はリード・モディファイ・ライト命令*2ですので、ポートレジスタにビット処理命令を実行した場合、命令で指定していないビットにも同時に読み出し及び書き込みが行われます。

指定していないビットが入力モードの場合は、端子のレベルを読み、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、端子のレベルが違う場合は、ポートラッチの内容が変化します。

指定していないビットが出力モードの場合は、基本的にはポートラッチを読みますが、周辺機能の出力を読むポートもあり、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、周辺機能の出力が違う場合は、ポートラッチの内容が変化します。

*1ビット処理命令：SEB命令、CLB命令

*2リード・モディファイ・ライト命令：

メモリをバイト単位で読み（リード）、加工して（モディファイ）、元のメモリにバイト単位で書く（ライト）命令

5. 方向レジスタ

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

未使用端子の処理に関する注意事項

1. 未使用端子の適切な処理

マイコンの端子からできるだけ短い配線（20mm以内）で次の処理をしてください。

(1) 入出力ポート

入力モードにし、端子ごとに1k～10kの抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗も使用できません。

出力モードにする場合は、“L”又は“H”出力状態で開放してください。

出力モードにして開放する場合、リセット後、プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。

ノイズやプログラムの暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。

2. 処理上の留意事項

(1) 入出力ポートを入力モードにする場合

[1]開放しないでください。

<理由>

- 初段回路によっては電源電流が増加する場合があります。
- 「1.(1)入出力ポート」の処理に比べ、ノイズの影響を受け易くなります。

[2]Vcc又はVssに直結しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

[3]複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

割り込みに関する注意事項

1. 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

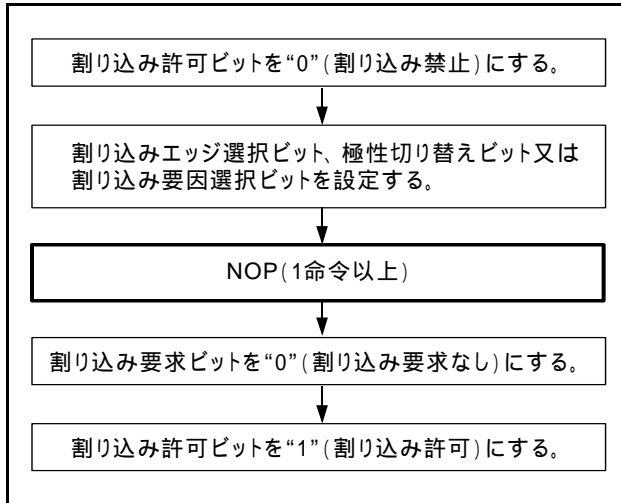


図90. 関連レジスタの設定手順

<理由>

次の場合、対応する割り込みの割り込み要求ビットが“1”になるとことがあります。

- 外部割り込みのアクティブエッジを切り替えるとき
 - INT0割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット0)
 - INT1割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット1)
 - キャプチャ0割り込みエッジ選択ビット
(キャプチャモードレジスタ(003216番地)のビット1、0)
 - キャプチャ1割り込みエッジ選択ビット
(キャプチャモードレジスタのビット3、2)

2. 割り込み要求ビットの判定

割り込み要求ビットを“0”にした直後、このビットをBBC命令又はBBS命令で判定する場合、次の手順で判定してください。

<理由>

割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

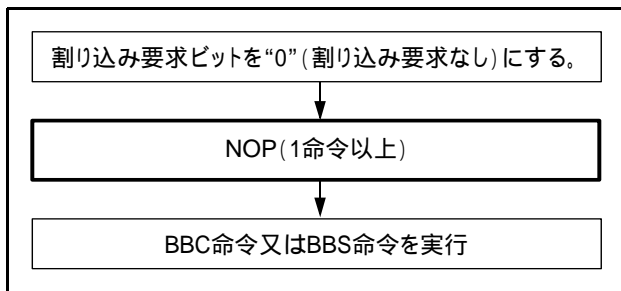


図91. 割り込み要求ビットの設定手順

タイマに関する注意事項

1. タイマ1, 2, Aの分周化

タイマラッチまたはプリスケアラッチに値 n (0 ~ 255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

2. タイマ1, 2, Aのカウンタソースの切り替え

タイマ1, 2及びAのカウンタソースを切り替える場合は、必ずそれぞれのタイマのカウンタを停止させた状態で行ってください。

3. タイマ1, 2, プリスケアラ12の読み出し/書き込み

タイマ/プリスケアラのカウンタソースクロックと、 ϕ SOURCEが別クロックの場合、タイマ/プリスケアラの読み出し/書き込みが行えません。

読み出し/書き込みを行う場合は、同じクロックを選択してください。

ただし、タイマ2については、タイマ2のカウンタ停止した状態では別クロックでも読み出し/書き込み可能です。

プリスケアラ12、タイマ1の読み出し/書き込みを行えない条件

プリスケアラ12のカウンタソース: XCIN入力クロック

ϕ SOURCE: XCIN入力クロック以外のクロック

カウンタ動作中のタイマ2の読み出し/書き込みを行えない条件

タイマ2のカウンタソース: プリスケアラ12

プリスケアラ12のカウンタソース: XCIN入力クロック

ϕ SOURCE: XCIN入力クロック以外のクロック

または

タイマ2のカウンタソース: タイマAアンダフロー

タイマAのカウンタソース: XCIN入力クロック

ϕ SOURCE: XCIN入力クロック以外のクロック

または

タイマ2のカウンタソース: タイマAアンダフロー

タイマAのカウンタソース: 低速オンチップオシレータ出力

ϕ SOURCE: 低速オンチップオシレータ以外のクロック

4. プリスケアラ12のカウンタソース

プリスケアラ12のカウンタソース=XCIN入力クロックの選択は、FSROM1の発振方式選択ビットで32kHz水晶発振を選択した場合のみ使用できます。

5. タイマAのタイマ値の設定

タイマA書き込み制御ビットを「ラッチのみ書き込み」に設定している場合は、タイマの停止中であっても、書き込みデータはラッチのみに書き込まれます。したがって、タイマの初期設定において、タイマの停止中に値を設定する場合は、「ラッチ及びタイマ同時書き込み」を選択した状態で行ってください。

6. タイマAの読み出し/書き込み

タイマAのカウンタソースクロックと、 ϕ SOURCE が別クロックの場合、タイマAの動作中にはタイマAの読み出し/書き込みが行えません。

読み出し/書き込みを行う場合は、同じクロックを選択するか、タイマAを停止した状態で行ってください。

- タイマAの動作中にタイマAの読み出し/書き込みを行えない条件

タイマAのカウンタソース：XCIN入力クロック
 ϕ SOURCE：XCIN入力クロック以外のクロック
 または
 タイマAのカウンタソース：低速オンチップオシレータ出力
 ϕ SOURCE：低速オンチップオシレータ以外のクロック

7. タイマAのカウンタソース

タイマAのカウンタソース=XCIN入力クロックの選択は、FSROM1の発振方式選択ビットで32kHz水晶発振を選択した場合のみ使用できます。

アウトプットコンペアに関する注意事項

- タイマAが停止している場合、キャプチャ/コンペアレジスタに値を書き込んだ時点でコンペアラッチにも値が転送されます。
 また、タイマAが停止、かつコンペアxトリガ有効ビットが“1”の場合、出力ラッチは初期状態になります。
- コンペアラッチx0とコンペアラッチx1には、同一の値を設定しないでください。
- コンペアラッチの設定値がタイマの設定値より大きい場合は、コンペア一致の信号を発生しません。したがって、出力波形は“H”又は“L”レベルに固定されます。ただし、もう一方のコンペアラッチの設定値がタイマの設定値より小さい場合には、小さい側のコンペア一致の信号は発生しますので、コンペア割り込みは発生します。
- コンペアxトリガ有効ビットに“0”(無効)を設定すると、波形出力回路への一致トリガは禁止されるので、出力波形を“H”又は“L”に固定できます。ただし、この場合でもコンペア一致の信号は発生するのでコンペア割り込みの発生は可能です。

インプットキャプチャに関する注意事項

- タイマAのカウンタソースに低速オンチップオシレータ出力又はXCIN入力クロックを選択する場合、SOURCEがタイマAのカウンタソースと同じクロック源を選択しているときのみインプットキャプチャを使用することができます。
- キャプチャラッチ00及び01のキャプチャyソフトウェアトリガビットと同時に“1”を書き込んだ場合、および外部トリガとソフトウェアトリガが同時にかかった場合に、キャプチャラッチ00と01に同時にキャプチャ入力が行われると、キャプチャ0ステータスビットの値は不定となります。
- キャプチャ0の割り込みエッジ選択ビット及びノイズフィルタ選択ビットを設定する際、割り込み要求ビットが“1”になる場合があります。割り込みエッジ選択ビット又はノイズフィルタ選択ビットの設定に同期した割り込みが不要な場合には以下の手順で設定してください。
 キャプチャ割り込み許可ビットを“0”(禁止)にする。
 割り込みエッジ選択ビット又はノイズフィルタ選択ビットを設定する。
 一命令以上おいてから、キャプチャ割り込み要求ビットを“0”にする。
 キャプチャ割り込み許可ビットを“1”(許可)にする。
- キャプチャ割り込みをストップモードからの復帰用割り込みとして使用する場合は、キャプチャ0ノイズフィルタ選択ビットを“00：フィルタなし”に設定してください。

シリアルI/Oに関する注意事項

1. シリアルI/O割り込み

シリアルI/Oの送信許可ビットを“1”にしたとき、シリアルI/O送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O送信割り込み要求ビットを“0”にする。

シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

2. シリアルI/O許可時の入出力端子機能

シリアルI/Oモード選択ビットおよびシリアルI/O同期クロック選択ビットの設定値により、P06、P07の機能が下記のように変化します。

(1) シリアルI/Oモード選択ビット “1”:

クロック同期形シリアルI/O選択時

- シリアルI/O同期クロック選択ビットの設定

“0”: P06端子は同期クロックの出力端子になります。

“1”: P06端子は同期クロックの入力端子になります。

- $\overline{\text{SRDY}}$ 出力許可ビット(SRDY)の設定

“0”: P07端子は通常の入出力端子として使用できません。

“1”: P07端子は $\overline{\text{SRDY}}$ 出力端子になります。

(2) シリアルI/Oモード選択ビット “0”:

クロック非同期(UART)形シリアルI/O選択時

- シリアルI/O同期クロック選択ビットの設定

“0”: P06端子は通常の入出力端子として使用できます。

“1”: P06端子は外部クロックの入力端子になります。

- クロック非同期(UART)形シリアルI/O選択時は、P07端子は通常の入出力端子として使用できます。

A/D変換に関する注意事項

1. アナログ入力端子

アナログ入力端子の信号源インピーダンスは小さくしてください。または、アナログ入力端子に、0.01 μF ~ 1 μF の外付けコンデンサを付加してください。さらに、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

2. A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われ、十分なA/D変換精度が得られない場合があります。

そのため、A/D変換中は、A/D変換クロックが250kHz以上になるように $f(\text{XIN})$ を設定してください。

3. A/D変換レジスタの読み出し

A/D変換レジスタの読み出しは、8ビット読み出しの場合A/D変換下位レジスタ(3516番地)のみ読み出ししてください。10ビット読み出しの場合、A/D変換上位レジスタ(3616番地)、A/D変換下位レジスタ(3516番地)の順で読み出ししてください。

その際A/D変換上位レジスタ(3616番地)のビット2~ビット7は読み出し時の値は“0”になります。

4. A/D変換精度

A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

- VCC電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、VCC=3.0V以上での使用を推奨します。

- ϕSOURCE が XCIN 、低速オンチップオシレータの場合は、A/Dコンバータを使用できません。

ウォッチドッグタイマに関する注意事項

1. ウォッチドッグタイマのアンダーフロー

ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダーフローしないようにウォッチドッグタイマ制御レジスタへ書き込んでください。

ストップモード時、ウォッチドッグタイマは停止しますが、ストップモード解除と同時にカウントを開始します。ストップモード解除後の発振安定待ち時間中もカウントします。

その間にアンダーフローしないように、STP命令実行前にWDTCNのウォッチドッグタイマHカウントソース選択ビット(ビット7)を“0”にしてください。

なお、以下の2条件ではSTP命令を実行した場合でもウォッチドッグタイマはカウントを続けます。

低速オンチップオシレータの停止：禁止(FSROM2のビット4)

ウォッチドッグタイマのソースクロック：低速オンチップオシレータの16分周(FSROM2のビット0)

低速オンチップオシレータの停止：禁止(FSROM2のビット4)

ウォッチドッグタイマのソースクロック： ϕ SOURCE(FSROM2のビット0)

ϕ SOURCE：低速オンチップオシレータ(クロックモードレジスタのビット5、4)

2. STP命令機能選択ビット

STP命令の機能は、FSROM2のビット3により選択できます。このビットは、命令の実行による書き換えはできません。

- このビットが“0”の場合、STP命令を実行すると、ストップモードへ移行します。
- このビットが“1”の場合、STP命令を実行すると内部でリセットが発生します。

リセット端子に関する注意事項

1. コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVss端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- コンデンサの配線長は最短にしてください。
- ユーザサイドで応用製品の動作確認を十分行ってください。

<理由>

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

クロック発生回路に関する注意事項

1. XIN発振/XCIN発振への切り替え

リセット解除後は、内蔵の低速オンチップオシレータにより動作を始めます。 ϕ SOURCEをXIN発振/XCIN発振へ切り替える場合は、XIN発振/XCIN発振が安定するまでの間内蔵オンチップオシレータで待ち時間を設定してください。

発振制御に関する注意事項

STP命令解除後発振安定時間設定ビットを“1”で使用する場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケラ12に値を設定してください。

発振停止検出回路に関する注意事項

「図69：発振停止検出回路の状態遷移図」に記載の“状態2'a”では、XINの発振が停止した場合でもリセットが発生せず、マイコンが停止しますので、“状態2'a”への遷移は行わないでください。

発振停止検出しセット後、XIN発振停止検出機能有効ビット、発振停止検出ステータスビットを保持したままで発振停止検出しセットを許可にすると、再度リセットが発生します。

発振停止検出ステータスビットは、以下の場合に初期化されます。

- 外部リセット、パワーオンリセット、電圧低下検出しセット、ウォッチドッグタイマリセット、STP命令機能によるリセット
 - XIN発振停止検出機能有効ビットへの“0”書き込み。発振停止検出機能有効時、ウォッチドッグタイマのアンダーフローまたはSTP命令機能選択ビットが“1”の場合のSTP命令実行によるリセットで発振停止検出ステータスビットが“1”になる場合があります。発振停止検出しセット発振時、発振停止を再度確認してください。
- 発振停止検出回路はエミュレータ専用MCU“M37549RLSS”にはありません。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

電子端子の取扱いに関する注意事項

電源端子の取り扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μ F～0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

メモリに関する注意事項

- (1) RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。
- (2) 予約領域はアクセスしないでください。
- (3) ルネサス出荷検査用領域、予約ROM領域には、製品ごとにランダムなデータが書き込まれています。この領域のデータは書き換えしないでください。
これらの領域のデータは予告なく変更する場合がありますので、ROMの全領域のチェックサムを確認する様なプログラムでは、これらの領域を含まないようにしてください。
- (4) 機能設定ROMデータの0～2のQzROMの値によってマイコンのリセット解除時に、それぞれの周辺機能の動作モードが設定されます。必ず選択する機能の値を設定してください。固定値“1”または“0”が指定されているビットには、指定された値の設定が必要です。

QzROM版に関する注意事項

1. ブランク出荷品に関する注意事項

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生することがあります。また、書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケットの上の異物などに充分留意してご使用ください。

2. 過電圧に関する注意事項

他の端子に、Vcc端子電圧を超える電圧がかからないように注意してください。

特に、電源立ち上げ時及び立ち下げ時のCNVss端子(QzROMのVpp電源入力端子)に関し、下図の太線の区間に示すような状態にならないようにしてください。

このような状態になると、QzROMの内容が書き換わる可能性があります。

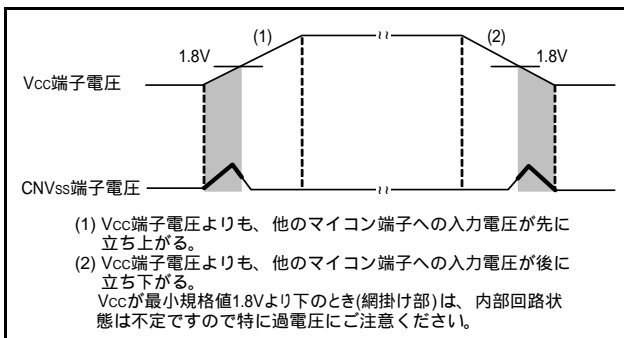


図92. タイミング図(太線の区間が該当)

3. QzROM書き込み発注時の注意事項

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ(MM)を使用して作成したマスクファイル(拡張子.msk)を提出してください。

- (1) マスクファイル変換ユーティリティ(MM)を実行する際は、必ずROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)データを設定してください。QzROM書き込み出荷品のROMコードプロテクトは、このROMオプションデータの値で決定します。ROMオプションデータが設定されていない場合や所定の値(“0016”、“FF16”)以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。
- (2) ROMデータ内のROMコードプロテクト番地には、プロテクトの有無にかかわらず、あらかじめ“FF16”を設定してください。“FF16”以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

4. QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- QzROM書き込み確認書*
- マーク指定書*
- ROMのデータ・・・マスクファイル

*QzROM書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://japan.renesas.com/homepage.jsp>)を参照してください。なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応していません。

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.12.22	-	初版発行
1.01	2006.12.28	1 15 20	キーオンウェイクアップ改訂 図12改訂 図16改訂
2.00	2007.03.05	1 4 6 10 11 12 14 15 16 17、18 19 20 21 24 26 27 28 31 32 36	<p>特長：「 LED出力ポート」 「 LED駆動ポート」 「 内蔵高速オンチップオシレータ」 「 高速オンチップオシレータ」 消費電力；「TBD」 「30mW」</p> <p>表1：入出力ポート P00 ~ P07；「LED駆動ポート」 追記 A/Dコンバータ 「8チャンネル」 「×8チャンネル」 電源電圧（セラミック発振時） 高速モード 1MHz動作時； 「2.2」 「1.8」</p> <p>表2：P03 「キャプチャ機能端子」 「キャプチャ入力端子」 P10 ~ P12 「コンペア機能端子」 「コンペア出力端子」 P12 「タイマ2 機能端子」 「タイマ2 出力端子」 P20、P21 「外部発振端子」 「クロック用端子」</p> <p>【CPUモードレジスタ】：13ページより移動、内容改訂</p> <p>機能設定ROM 領域：48ページより移動、内容改訂 注意事項：(2) 追記</p> <p>図8 改訂</p> <p>図10、図11、図12 48ページより移動 図11、図12 改訂</p> <p>【ポートP0駆動能力制御レジスタ】：「(001516番地)」 「(000C16番地)」 【プルアップ制御レジスタ】：タイトル名変更、説明改訂 図13、図14、図15 改訂</p> <p>表6 改訂</p> <p>図17、図18 図題改訂</p> <p>表7 追記</p> <p>割り込みに関する注意事項： 「3A16番地」 「003A16番地」 「3216番地」 「003216番地」</p> <p>表8：キーオンウェイクアップ 「ポートP0」 「ポートP1」</p> <p>タイマ、 タイマ1, 2に関する注意事項：説明改訂</p> <p>タイマA (TA)、 タイマA に関する注意事項：説明改訂</p> <p>アウトプットコンペア 説明追記 図30 「512分周」 「16分周」</p> <p>図33 図題改訂</p> <p>インプットキャプチャ 説明追記</p> <p>図40 「512分周」 「16分周」</p> <p>図47 「パリティ」 「パリティ」 「エンプティ」 「エンプティ」</p>

改訂記録	7548 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2007.03.05	37	レジスタ名の「A/D」「AD」 A/D変換に関する注意事項 (2) 追記
		39	ウォッチドッグタイマ、ウォッチドッグタイマに関する注意事項 改訂 図51 改訂
		40	図52 注改訂 図53 改訂
		42	図57 改訂
		43	クロック回路 改訂 図58 改訂
		44	発振制御 追記 表9 追記 図62 改訂
		46	図63 改訂
		47	図64 改訂
		48	「発振停止」「発振停止検出」 発振停止検出回路 説明追記 図65 改訂 図66 改訂、注4追記 機能設定ROMデータ0~2に関する注意事項 削除
		49	表10 P10「ESDA入力」「ESDA入出力」「出力」「入出力」
		52	(7) CPU モードレジスタ 説明改訂
		57	過電圧に関する注意事項 説明改訂、図80 追記
		58	電気的特性追加
		2.01	2007.10.01
4	割り込み 13要因 13ベクタ 12要因 12ベクタ 消費電力 TBD 30mW		
10	CPUモードレジスタ 説明及び図7 スタックページ選択ビット		
14	図12 ウォッチドッグタイマソースクロック選択ビット 1: SOURCEの16分周 ウォッチドッグタイマ起動選択ビット ウォッチドッグタイマ禁止ビット 0:リセット後に自動的に起動 ウォッチドッグタイマ許可 0:リセット後は停止状態 ウォッチドッグタイマ禁止 注1「STP命令実行時にも~」「ストップモード時にも~」		
15	図16 注 改訂		
17	図17 (6)ポートP05、(8)ポートP07、改訂		
19	表7 RESETを追記		
20~23	割り込み 説明改訂		
21	図19「割り込み要求」「割り込み受け付け」		
23	図21追加		
24	注意事項 改訂 図22、23追加		
26	図25 (Rev.2.00)のP20より移動		

改訂記録	7548 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.01	2007.10.01	31	図36 ビット名 改訂
		32	図38 コンペア0出力ポート選択ビット (001E16、ビット2) (002E16、ビット1)
		43	図56 改訂
		46	クロック回路 クロック発生回路 図63 CIN CCIN、COUT CCOUT
		52	発振停止検出回路 改訂 注意事項 改訂
		54	表10 VCC, Vss 「VCCに1.8 ~ 5.5V」 「VCCに2.7 ~ 5.5V」
		55	図71 注 改訂
		56	図72 注 改訂
		59	3. アナログ入力端子の配線処理 説明一部削除 ページ62 ~ 71 表番の追加
		65	RHSOSC “ RHSOCO ”、 最小：“ TBD ” “ 3.8 ”、“ 3.6 ” 最大：“ TBD ” “ 4.2 ”、“ 4.4 ” RLSOSC “ RLSOCO ”
		67	A/Dコンバータ特性 絶対精度 “ TBD ” “ 3 ” A/Dコンバータ推奨動作条件 A/D変換クロック周波数 “ TBD ” “ 0.016 ”
		74	付録追加 全ページ 「開発中」の表記を削除
		2.02	2009.03.31
18	図18 A/D変換器 A/Dコンバータ		
57、74	「プロセッサステータスレジスタ」改訂		
63	表12 VCC：XIN発振, XCIN発振, 外部クロック入力 XCIN発振削除		
65	表14 注3：P05/TXD1 P05/TXD		
68	<ul style="list-style-type: none"> • パワーオンリセット回路の電気的特性： TW(VPOR) 規格値 最大、最小値を変更 • 電圧低下検出回路の電気的特性： TW(VLVD)、TW(VLVD - VDET) 削除 VDET- VDET、V(VDET+ - VDET-) 削除 • 図84 改訂 		
61、81	“ QzROM書き込み発注時の注意事項 ” 改訂		

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご相談ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがないう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご相談ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	支	〒970-8026	いわき市平字田町120 (ラトプ)	(0246) 22-3222
い	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
わ	支	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
茨	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
新	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
潟	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
松	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
本	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
部	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
中	支			
関	支			
西	支			
陸	支			
北	支			
広	支			
島	支			
州	支			

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com