

EC-1

R01DS0289JJ0140

Rev.1.40

2020.09.30

150 MHz、Arm®社Cortex®-R4 MCU、FPU内蔵、249 DMIPS、EtherCAT、USB2.0ハイスピード、CAN、SPIマルチI/Oバスコントローラなど多種多様な通信機能、安全機能

特長

■ Arm社32ビットCortex-R4プロセッサ内蔵

- ・ 最大動作周波数150 MHzによる高速リアルタイム制御
249 DMIPSの性能
- ・ Arm社32ビットCortex-R4 (リビジョンr1p4) 内蔵
- ・ ECC付き密結合メモリ (TCM) 512K/32Kバイト
- ・ ECC付き命令キャッシュ/データキャッシュ各8Kバイト
- ・ 高速割り込み
- ・ FPUは単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート
- ・ 8段パイプラインのハーバードアーキテクチャ
- ・ メモリプロテクションユニット (MPU) 対応
- ・ Arm社CoreSightアーキテクチャ採用、JTAGおよびSWDインタフェースによるデバッグをサポート

■ 消費電力低減機能

- ・ スタンバイモードおよびモジュールストップ機能

■ データ転送機能

- ・ DMACAa: 16ch×2ユニット内蔵

■ イベントリンクコントローラ

- ・ 割り込みを介さず、イベント信号でモジュール動作が可能
- ・ CPUスリープ状態でも、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- ・ 端子リセットなど3種類のリセット要因
- ・ 3.3V (I/O部)、1.2V (内部) の2電源構成

■ クロック機能

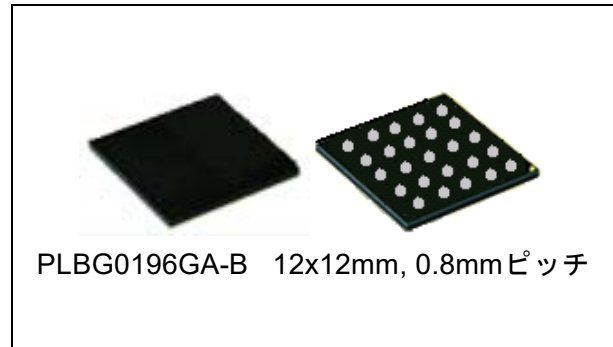
- ・ 発振子入力周波数: 25 MHz
- ・ CPUクロック周波数: 150 MHz
- ・ 低速オンチップオシレータ (LOCO): 240 kHz

■ 独立ウォッチドッグタイマ内蔵

- ・ 低速オンチップオシレータの分周クロックで動作: ~120 kHz

■ 安全機能

- ・ レジスタライトプロテクション、入力クロック発振停止検出、CRC、IWDtAなど
- ・ 各モジュールからのエラー要因に対し端子信号出力や割り込み、内部リセットを発生可能なエラーコントロールモジュール搭載



■ 多種多様な通信機能を内蔵

- ・ EtherCAT Slave Controller: 2ポート
- ・ USB2.0ハイスピードホスト/ファンクション: 1ch
- ・ CAN (ISO11898-1準拠): 1ch
- ・ 16バイトの送受信FIFO搭載SCIFA: 5ch
- ・ I²Cバスインタフェース: 最大400Kbps転送を1ch
- ・ RSPIa: 2ch
- ・ SPIBSC: マルチI/O対応シリアルフラッシュメモリを1ch接続可能

■ 8本の拡張タイマ機能

- ・ 16ビットCMT (6ch)、32ビットCMTW (2ch)

■ 汎用入出力ポート内蔵

- ・ 5Vトレラント、オーブンドレイン、入力プルアップ

■ マルチファンクションピンコントローラ

- ・ 周辺機能の入出力端子を複数個所から選択可能

■ 動作温度範囲 (注1)

- ・ Tj = -40°C ~ +125°C
- ・ Tj: ジャンクション温度

注1. 動作温度 (ジャンクション温度) を110°C以上で使用する場合は、「EC-1の高温動作に関する注意事項」(R01AN3998)を参照してください。

1. 概要

1.1 仕様概要

本 LSI は、Arm® 社 Cortex®-R4 Processor with FPU を搭載し、システム構成に必要な周辺機能を集積した高性能産業 LSI です。表 1.1 に仕様概要を、表 1.2 に機能一覧を示します。

表 1.1 仕様概要 (1 / 3)

分類	モジュール/機能	説明
CPU	中央演算処理装置 (Cortex-R4)	<ul style="list-style-type: none"> 動作周波数 196ピンFBGA：150 MHz Arm社製32ビットCPU Cortex-R4 (コア・リビジョンr1p4) アドレス空間：4Gバイト 命令キャッシュサイズ：8Kバイト (ECC付き) データキャッシュサイズ：8Kバイト (ECC付き) 密結合メモリ (TCM) サイズ ATCM：512Kバイト (ECC付き) BTCM：32Kバイト (ECC付き) 命令セット：Thumb® / Thumb-2をサポートするArm v7-Rアーキテクチャ データ配置 命令：リトルエンディアン データ：リトルエンディアン メモリプロテクションユニット (MPU)
	FPU (Cortex-R4)	<ul style="list-style-type: none"> 単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート レジスタ 32ビットシングルワードレジスタ：32ビット×32本 (16本のダブルワードレジスタとしても使用可能：64ビット×16本)
動作モード		<ul style="list-style-type: none"> SPIブートモード (シリアル・フラッシュ)
クロック	クロック発生回路	<ul style="list-style-type: none"> 入力クロックは外部発振子を使用可能 入力クロック発振停止検出：あり 下記クロックを生成 CPUクロック：150 MHz (固定) システムクロック：150 MHz (固定) 高速周辺モジュールクロック：150 MHz (固定) 低速周辺モジュールクロック：75 MHz (固定) 低速オンチップオシレータ：240 kHz (固定)
リセット		RES#端子リセット、エラーコントロールモジュール (ECM) リセット、ソフトウェアリセット
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> スタンバイモード (Cortex-R4) モジュールストップ機能
割り込み	Cortex-R4 ベクタ割り込み コントローラ (VIC)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数 87 外部割り込み：要因数 15 (NMI端子、IRQ0～IRQ4、IRQ6、IRQ7、IRQ9、IRQ11～IRQ14端子、ETH0_INT端子、ETH1_INT端子) ノンマスクابل割り込み：要因数 2 16レベルの割り込み優先順位を設定可能
データ転送	ダイレクトメモリ アクセスコントローラ (DMACa)	<ul style="list-style-type: none"> 2ユニット (ユニット0：16チャンネル、ユニット1：16チャンネル) 転送モード：シングル転送モード、ブロック転送モード 転送サイズ ユニット0：1/2/4/16/32/64バイト ユニット1：1/2/4/16バイト 起動要因：外部割り込み、内蔵周辺モジュールリクエスト、ソフトウェアリクエスト
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 196ピンFBGA 入出力：115 入力：8 プルアップ/プルダウン抵抗：115 5Vトレラント：8
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> イベント信号でモジュール間動作をリンク可能 タイマ系のモジュールはイベント入力時の動作選択が可能 ポートB、ポートEのイベントリンク動作が可能

表 1.1 仕様概要 (2 / 3)

分類	モジュール/機能	説明
マルチファンクション ピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル) × 3ユニット • 4種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) • ELCによるイベントリンク機能をサポート (ユニット0のチャンネル1のみ)
	コンペアマッチタイマ W (CMTW)	<ul style="list-style-type: none"> • (32ビット×1チャンネル) × 2ユニット • コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 • 4種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) • コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 • インプットキャプチャ端子におけるデジタルノイズフィルタ機能 • ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz)
	独立ウォッチドッグ タイマ (IWDtA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウントクロック: 低速オンチップオシレータ (LOCO) の2分周 カウントクロックの1/16/32/64/128/256分周を選択可能 (最大動作周波数: 120 kHz)
通信機能	EtherCATスレーブ コントローラ (ESC) (注1)	<ul style="list-style-type: none"> • 1チャンネル (2ポート) • Beckhoff社製「EtherCAT Slave Controller IP Core」を採用
	USB2.0 HS ホスト/ ファンクション モジュール	<ul style="list-style-type: none"> • 1ポート • USBバージョン2.0準拠 • 転送スピード ハイスピード (480 Mbps)、フルスピード (12 Mbps) • 通信バッファ ホストモード用に1KバイトのRAMを内蔵 ファンクションモード用に8KバイトのRAMを内蔵
	FIFO内蔵シリアル コミュニケーション インタフェース (SCIFA)	<ul style="list-style-type: none"> • 5チャンネル • シリアル通信方式: 調歩同期式/クロック同期式 (注2) • 内蔵ポーレートジェネレータで任意のビットレートを選択可能 • LSBファースト/MSBファーストを選択可能 • 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 • ビットレートモジュレーション機能をサポート
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> • 1チャンネル • I²Cバスフォーマット • マルチマスタ対応 • 最大転送レート: 400 kbps
	CANモジュール (RSCAN)	<ul style="list-style-type: none"> • 1チャンネル • ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) • メッセージバッファ: 最大64×1チャンネル受信メッセージバッファ 1チャンネルあたり16送信メッセージバッファ • 最大転送レート: 1 Mbps

表 1.1 仕様概要 (3 / 3)

分類	モジュール/機能	説明
通信機能	シリアルペリフェラル インタフェース (RSPIa)	<ul style="list-style-type: none"> 2チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	SPIマルチI/Oバス コントローラ (SPIBSC)	<ul style="list-style-type: none"> 1チャンネル マルチI/O (Single / Dual / Quad) 対応のシリアルフラッシュメモリが1個接続可能 外部アドレス空間リードモード (リードキャッシュ内蔵) SPI動作モード クロック極性、クロック位相選択可能 最大転送レート: 300 Mbps (Quad時)
セーフティ	レジスタライト プロテクション	ソフトウェアが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット/16ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 4つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (32-Ethernet)、 $X^{16} + X^{12} + X^5 + 1$ (16-CCITT)、 $X^8 + X^4 + X^3 + X^2 + 1$ (8-SAEJ1850)、 $X^8 + X^5 + X^3 + X^2 + X + 1$ (8-0x2F)
	入力クロック発振停止 機能	入力クロック発振停止検出: あり
	クロックモニタ回路 (CLMA)	PLL回路および低速オンチップオシレータの出力クロック周波数異常を監視することが可能
	エラーコントロール モジュール (ECM)	<ul style="list-style-type: none"> 各モジュールからのエラー信号入力に対して、割り込み/内部リセット/エラー出力を行うことが可能 タイムアウト機能 エラー制御をマスタとチェッカで2重化
電源電圧	VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ~ 1.26 V VCCQ33 = VDD33_USB = 3.0 ~ 3.6 V	
動作温度 (注3)	Tj = -40 ~ +125°C	
パッケージ	196ピンFBGA: 12 × 12mm, 0.8mm pitch PLBG0196GA-B	
デバッグインタフェース	<ul style="list-style-type: none"> Arm社のCoreSightアーキテクチャ採用 JTAG/SWDインタフェースによるデバッグ機能、トレースポート/SWVインタフェースによるトレース機能をサポート 	

注1. EtherCATは、Beckhoff Automation GmbH, Germanyの登録商標です。

注2. チャンネル3, 4は調歩同期式のみ

注3. 動作温度 (ジャンクション温度) を110°C以上で使用する場合は、「EC-1の高温動作に関する注意事項」(R01AN3998)を参照してください。

表 1.2 機能一覧

モジュール／機能		EC-1
		196ピン
割り込み	外部割り込み	NMI, IRQ0 ~ 4, IRQ6, IRQ7, IRQ9, IRQ11 ~ IRQ14, ETH0_INT, ETH1_INT
DMA	DMAコントローラ (DMACa)	ch0 ~ 31
タイマ	コンペアマッチタイマ (CMT)	ch0 ~ 5
	コンペアマッチタイマW (CMTW)	ch0, 1
	ウォッチドッグタイマ (WDTA)	ch0
	独立ウォッチドッグタイマ (IWDTa)	有
通信機能	EtherCAT スレーブコントローラ (ESC)	2ポート
	USB2.0 HS ホスト／ファンクションモジュール (USB)	ch0
	FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	ch0 ~ 4 (注1)
	I ² Cバスインタフェース (RIICa)	ch1
	シリアルペリフェラルインタフェース (RSPIa)	ch0 ~ 1
	CANモジュール (RSCAN)	ch1
	SPIマルチI/Oバスコントローラ (SPIBSC)	ch0
CRC演算器 (CRC)		有
クロックモニタ回路 (CLMA)		有
イベントリンクコントローラ (ELC)		有

注1. チャネル3, 4は調歩同期式のみ

1.2 製品一覧

表 1.3 に製品一覧表を示します。

表 1.3 製品一覧表

型名	パッケージ	CPU	動作周波数
R9A06G043GBG	196 ピン (PLBG0196GA-B)	Cortex-R4	150 MHz

1.3 ブロック図

図 1.1 に 196 ピン版のブロック図を示します。

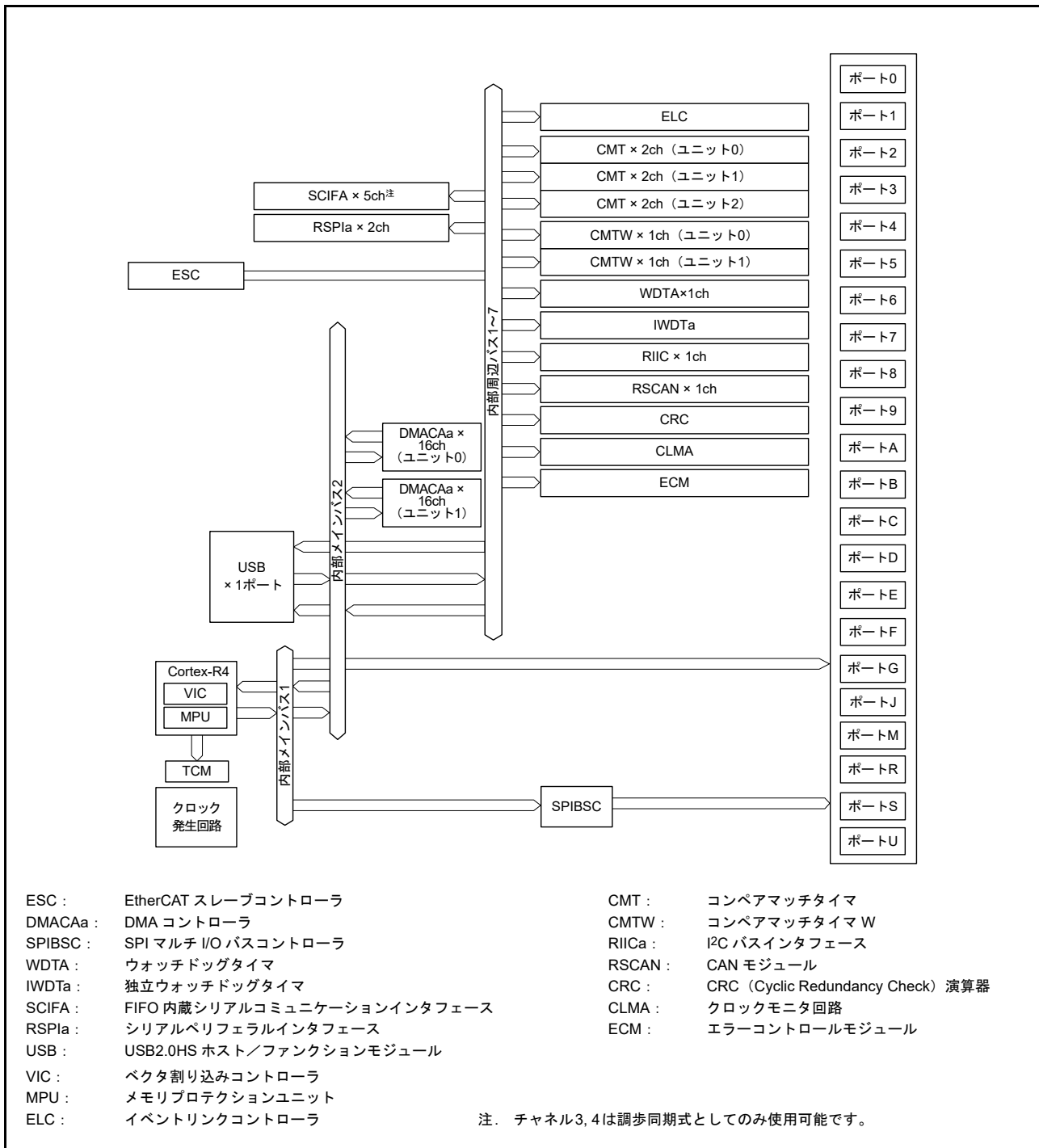


図 1.1 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VDD	入力	電源端子。システムの電源に接続してください
	VSS	入力	グラウンド端子。システムの電源 (0V) に接続してください
	VCCQ33	入力	入出力端子用の電源端子
	PLLVD0、PLLVD1	入力	内蔵PLL発振器用の電源端子
	PLLVS0、PLLVS1	入力	内蔵PLL発振器用のグラウンド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子
	EXTAL	入力	
	CLKOUT25M0、CLKOUT25M1	出力	EtherCAT PHY用の外部クロック出力端子
システム制御	RES#	入力	リセット信号用入力端子。この端子がLowになると、リセット状態となります
	BSCANP	入力	バウンダリスキャン許可信号入力端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
	ERROROUT#	出力	エラーコントロールモジュール (ECM) からのエラー信号出力端子
	RSTOUT#	出力	外部へのリセット信号出力端子
デバッグインタフェース	TRST#	入力	オンチップエミュレータ用テストリセット端子
	TMS	入出力	オンチップエミュレータ用テストモード選択端子
	TDI	入力	オンチップエミュレータ用テストデータ入力端子
	TDO	出力	オンチップエミュレータ用テストデータ出力端子
	TCK	入力	オンチップエミュレータ用テストクロック端子
	TRACECLK	出力	トレースデータ同期用のクロック出力端子
	TRACECTL	出力	トレース制御用イネーブル信号出力端子
	TRACEDATA0~7	出力	トレースデータ出力端子
割り込み	NMI	入力	ノンマスクブル割り込み要求信号入力端子
	IRQ0~IRQ4, IRQ6, IRQ7, IRQ9, IRQ11~IRQ14	入力	外部割り込み要求信号入力端子
	ETH0_INT、ETH1_INT	入力	EtherCAT PHY割り込み要求信号入力端子
コンペアマッチタイマW (CMTW)	TIC0~TIC3	入力	CMTWのインプットキャプチャ入力端子
	TOC0~TOC3	出力	CMTWのアウトプットコンペア出力端子
FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	SCK0~SCK2	入出力	クロック入出力端子
	RXD0~RXD4	入力	受信データ入力端子
	TXD0~TXD4	出力	送信データ出力端子
	CTS0#~CTS2#	入出力	ハードウェアフロー制御用入力 (送信可信号) / 汎用出力
	RTS0#~RTS2#	出力	ハードウェアフロー制御用出力 (送信要求信号) / 汎用出力
I ² Cバスインタフェース (RIIiCa)	SCL1	入出力	クロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA1	入出力	データ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます

表 1.4 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
EtherCAT スレーブ コントローラ (ESC)	ETH0_TXC、ETH1_TXC	入力	送信クロック入力端子
	ETH0_TXEN、 ETH1_TXEN	出力	送信イネーブル信号出力端子
	ETH0_TXD0~3、 ETH1_TXD0~3	出力	送信データ信号出力端子
	ETH0_RXC、 ETH1_RXC	入力	受信クロック入力端子
	ETH0_RXDV、 ETH1_RXDV	入力	受信データ・イネーブル信号入力端子
	ETH0_RXER、 ETH1_RXER	入力	受信データ・エラー信号入力端子
	ETH0_RXD0~3、 ETH1_RXD0~3	入力	受信データ信号入力端子
	ETH_MDC	出力	マネージメント・インタフェース・クロック出力端子
	ETH_MDIO	入出力	マネージメント・データ信号入出力端子
	PHYLINK0、 PHYLINK1	入力	PHY Link 信号入力端子
	PHYRESETOUT#	出力	PHY RESET 用出力信号
	CATLEDRUN	出力	EtherCAT RUN LED 信号出力端子
	CATIRQ	出力	EtherCAT IRQ 信号出力端子
	CATLEDSTER	出力	EtherCAT Dual-color ステート LED 信号出力端子
	CATLEDERR	出力	EtherCAT Error LED 信号出力端子
	CATLINKACT0、 CATLINKACT1	出力	EtherCAT Link / Activity LED 信号出力端子
	CATSYNC0、 CATSYNC1	出力	EtherCAT SYNC 信号出力端子
	CATLATCH0	入力	EtherCAT LATCH 信号入力端子
	CATLATCH1	入力	EtherCAT LATCH 信号入力端子
	CATI2CCLK	出力	EtherCAT EEPROM I2C クロック信号出力端子
CATI2CDATA	入出力	EtherCAT EEPROM I2C データ信号入出力端子	
USB2.0 ホスト/ファンクション モジュール	VDD33_USB	入力	USB用の電源入力端子
	VSS_USB	入力	USB用のグラウンド入力端子
	DVDD_USB	入力	USB用のデジタル電源入力端子
	USB_RREF	入力	USB基準電流源入力端子。200Ω (±1%) を介して、VSS_USB 端子に接続してください
	USB_DP	入出力	USBバスのD+ データ入出力端子
	USB_DM	入出力	USBバスのD- データ入出力端子
	USB_VBUSEN	出力	USB用VBUSパワーイネーブル信号出力端子
	USB_OVRCUR	入力	USB用オーバカレント信号入力端子
	USB_VBUSIN	入力	USBケーブルの接続/切断検出信号入力端子
CANモジュール (RSCAN)	CRXD1	入力	受信データ入力端子
	CTXD1	出力	送信データ出力端子
シリアルペリフェラル インタフェース (RSPIa)	RSPCK0、RSPCK1	入出力	クロック入出力端子
	MOSI0、MOSI1	入出力	マスタ送出データ入出力端子
	MISO0、MISO1	入出力	スレーブ送出データ入出力端子
	SSL00、SSL10	入出力	スレーブセレクト信号入出力端子
	SSL01、SSL02、 SSL03、SSL11	出力	スレーブセレクト信号出力端子

表 1.4 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
SPIマルチI/Oバス コントローラ (SPIBSC)	SPBCLK	出力	クロック出力端子
	SPBSSL	出力	スレーブセレクト信号出力端子
	SPBMO/SPBIO0	入出力	マスタ送出データ/データ0入出力端子
	SPBMI/SPBIO1	入出力	マスタ入力データ/データ1入出力端子
	SPBIO2~3	入出力	データ2、データ3入出力端子
I/Oポート	P00	入出力	1ビットの入出力端子
	P10, P12, P16, P17	入出力	4ビットの入出力端子
	P20~P23, P25~P27	入出力	7ビットの入出力端子
	P33~P35	入出力	3ビットの入出力端子
	P40, P42, P44	入出力	3ビットの入出力端子
	P50~P54, P56	入出力	6ビットの入出力端子
	P60~P66	入出力	7ビットの入出力端子
	P70~P77	入出力	8ビットの入出力端子
	P80~P87	入出力	8ビットの入出力端子
	P90~P97	入出力	8ビットの入出力端子
	PA0~PA7	入出力	8ビットの入出力端子
	PB0~PB7	入出力	8ビットの入出力端子
	PC0~PC7	入力	8ビットの入力端子
	PD5~PD7	入出力	3ビットの入出力端子
	PE0~PE7	入出力	8ビットの入出力端子
	PF5~PF7	入出力	3ビットの入出力端子
	PG2~PG6	入出力	5ビットの入出力端子
	PJ0~PJ7	入出力	8ビットの入出力端子
	PM1~PM7	入出力	7ビットの入出力端子
	PR1	入出力	1ビットの入出力端子
PS0~PS7	入出力	8ビットの入出力端子	
PU7	入出力	1ビットの入出力端子	
その他	IC0	入力	抵抗を介してVSSに接続 (プルダウン)

1.5 ピン配置図

図 1.2 にピン配置図を示します。また、表 1.5 に端子配置を、表 1.6 に機能別端子一覧を示します。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
A	VSS	PC2	PJ2	PF7	PB5	PB2	PC1	PF5	PD6	P56	P51	IC0	IC0	VSS	A
B	PJ7	PJ4	PJ3	PJ1	PB6	PB1	PB7	P87	PD5	P53	IC0	IC0	P16	P97	B
C	P83	PJ5	PC3	PJ0	PB4	PB0	PF6	PD7	P54	VCCQ3 3	VCCQ3 3	P17	P96	P95	C
D	P84	P81	PJ6	VCCQ3 3	PB3	PC0	P86	P52	P50	VSS	VSS	PA7	P94	P12	D
E	TRST#	P85	P82	P80	VCCQ3 3	VDD	VDD	VDD	VDD	VCCQ3 3	VCCQ3 3	P90	P92	P93	E
F	P34	P33	ERROR OUT#	P35	PLLVD D1	VDD	VSS	VSS	VSS	VDD	P91	PA4	PA5	PA6	F
G	PC4	PC5	TCK	TMS	PLLVSS 1	VSS	VSS	VSS	VSS	VDD	PA3	P77	PA2	PA1	G
H	VCCQ3 3	BSCAN P	PU7	IC0	PLLVD D0	VSS	VSS	VSS	VSS	VDD	P74	P75	P76	PA0	H
J	EXTAL	VSS	PM1	RES#	PLLVSS 0	VDD	VSS	VSS	VSS	VDD	PE7	P71	P72	P73	J
K	XTAL	VSS	PM4	RSTOU T#	VDD33 _USB	VDD	VDD	VDD	VDD	VCCQ3 3	PE1	PE5	PE6	P70	K
L	VSS	PM3	USB_R REF	P62	VCCQ3 3	PG2	VDD	PR1	P27	VDD	VCCQ3 3	PS6	PE3	PE4	L
M	PM2	PM6	VSS_U SB	P60	P64	PG3	PG5	P21	P26	P44	PS0	P00	PS7	PE2	M
N	PM7	PM5	DVDD_ USB	P61	P63	PG4	PG6	P22	P20	P42	PS1	PS3	PS5	PE0	N
P	VSS_U SB	USB_D M	USB_D P	P66	P65	PC6	PC7	P23	P25	P40	P10	PS2	PS4	VSS	P
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	

図 1.2 ピン配置図 (196 ピン FBGA) (上面図)

表 1.5 端子配置 (196ピン FBGA) (1 / 5)

端子番号	端子名
A1	VSS
A2	PC2 / ETH0_TXC
A3	PJ2 / ETH0_TXD1
A4	PF7 / IRQ7
A5	PB5 / ETH_MDIO
A6	PB2 / ETH1_RXC
A7	PC1 / ETH1_RXD3
A8	PF5 / ETH1_TXEN
A9	PD6 / ETH1_TXD2
A10	P56
A11	P51 / PHYLINK1
A12	IC0
A13	IC0
A14	VSS
B1	PJ7 / ETH0_RXD3
B2	PJ4 / ETH0_RXD0
B3	PJ3 / ETH0_TXD0
B4	PJ1 / ETH0_TXD2
B5	PB6 / ETH_MDC
B6	PB1 / ETH1_RXER
B7	PB7 / ETH1_RXD1
B8	P87 / ETH1_TXC
B9	PD5 / ETH1_TXD3
B10	P53 / ETH1_INT
B11	IC0
B12	IC0
B13	P16
B14	P97 / IRQ7
C1	P83 / IRQ11 / CATLINKACT0 / TXD4
C2	PJ5 / ETH0_RXD1
C3	PC3 / ETH0_RXC
C4	PJ0 / ETH0_TXD3
C5	PB4 / ETH0_RXER / CATSYNC0 / CATLATCH0 / RXD3
C6	PB0 / ETH1_RXDV
C7	PF6 / ETH1_RXD0
C8	PD7 / ETH1_TXD1
C9	P54 / CLKOUT25M1
C10	VCCQ33
C11	VCCQ33
C12	P17 / PHYRESETOUT#
C13	P96
C14	P95 / IRQ13 / CTS2#
D1	P84 / CATLINKACT1 / RXD4
D2	P81 / ETH0_RXER
D3	PJ6 / ETH0_RXD2

表 1.5 端子配置 (196ピン FBGA) (2 / 5)

端子番号	端子名
D4	VCCQ33
D5	PB3 / IRQ3 / PHYRESETOUT# / TXD3 / CTXD1
D6	PC0 / ETH1_RXD2
D7	P86 / ETH1_TXD0
D8	P52 / ETH0_INT
D9	P50 / PHYLINK0
D10	VSS
D11	VSS
D12	PA7 / IRQ7 / RTS2#
D13	P94 / IRQ4 / RTS2#
D14	P12
E1	TRST#
E2	P85 / CLKOUT25M0
E3	P82 / ETH0_TXEN
E4	P80 / ETH0_RXDV
E5	VCCQ33
E6	VDD
E7	VDD
E8	VDD
E9	VDD
E10	VCCQ33
E11	VCCQ33
E12	P90 / TXD4
E13	P92 / TOC3 / RXD2
E14	P93 / TIC3 / SCK2
F1	P34 / TDI
F2	P33 / TDO
F3	ERROROUT#
F4	P35 / NMI
F5	PLLVDD1
F6	VDD
F7	VSS
F8	VSS
F9	VSS
F10	VDD
F11	P91 / TXD2
F12	PA4 / ETH1_INT / RXD2
F13	PA5 / ETH0_INT / TXD2
F14	PA6 / IRQ6 / CTS2#
G1	PC4 / CATI2CCLK
G2	PC5 / CATI2CDATA
G3	TCK
G4	TMS
G5	PLLVSS1
G6	VSS
G7	VSS

表 1.5 端子配置 (196ピン FBGA) (3 / 5)

端子番号	端子名
G8	VSS
G9	VSS
G10	VDD
G11	PA3 / SCK2
G12	P77 / RSPCK0 / TRACEDATA5
G13	PA2 / SSL02
G14	PA1 / MISO0 / TRACEDATA7
H1	VCCQ33
H2	BSCANP
H3	PU7 / CATIRQ
H4	IC0
H5	PLLVDD0
H6	VSS
H7	VSS
H8	VSS
H9	VSS
H10	VDD
H11	P74 / CTS1# / SSL03 / TRACEDATA2
H12	P75 / IRQ13 / SSL00 / TRACEDATA3
H13	P76 / SSL01 / TRACEDATA4
H14	PA0 / MOSI0 / TRACEDATA6
J1	EXTAL
J2	VSS
J3	PM1 / CATLEDERR
J4	RES#
J5	PLLVSS0
J6	VDD
J7	VSS
J8	VSS
J9	VSS
J10	VDD
J11	PE7 / SCK1 / RSPCK0 / TRACEDATA7
J12	P71 / TOC2 / SCK1 / TRACECTL
J13	P72 / TIC2 / TXD1 / TRACEDATA0
J14	P73 / IRQ3 / RXD1 / TRACEDATA1
K1	XTAL
K2	VSS
K3	PM4 / CATLEDRUN
K4	RSTOUT#
K5	VDD33_USB
K6	VDD
K7	VDD
K8	VDD
K9	VDD
K10	VCCQ33
K11	PE1 / SSL03 / TRACEDATA1

表 1.5 端子配置 (196ピン FBGA) (4 / 5)

端子番号	端子名
K12	PE5 / TXD1 / MOSI0 / TRACEDATA5
K13	PE6 / IRQ6 / RXD1 / MISO0 / TRACEDATA6
K14	P70 / IRQ0 / RTS1# / USB_OVRCUR / TRACECLK
L1	VSS
L2	PM3 / CATSYNC0 / CATLATCH0
L3	USB_RREF
L4	P62 / SPBCLK
L5	VCCQ33
L6	PG2 / TOC0 / RSPCK1
L7	VDD
L8	PR1 / IRQ9 / CTS1#
L9	P27 / RTS0#
L10	VDD
L11	VCCQ33
L12	PS6 / IRQ14 / RXD2
L13	PE3 / IRQ3 / CTS1# / SSL01 / TRACEDATA3
L14	PE4 / RTS1# / SSL00 / TRACEDATA4
M1	PM2 / CATSYNC1 / CATLATCH1
M2	PM6 / IRQ6 / CATLINKACT0
M3	VSS_USB
M4	P60 / SPBSSL
M5	P64 / SPBMI/SPBIO1
M6	PG3 / TIC1 / MISO1
M7	PG5 / SSL10
M8	P21 / IRQ1 / CTS0#
M9	P26
M10	P44 / IRQ12 / CTS0#
M11	PS0
M12	P00 / TRACECTL
M13	PS7 / TXD2
M14	PE2 / IRQ2 / SSL02 / TRACEDATA2
N1	PM7 / CATLINKACT1
N2	PM5 / CATLEDSTER
N3	DVDD_USB
N4	P61 / SPBIO3 / CTXD1
N5	P63 / SPBMO/SPBIO0
N6	PG4 / TOC1 / MOSI1
N7	PG6 / SSL11
N8	P22 / IRQ2 / SCK0
N9	P20
N10	P42 / RXD0
N11	PS1 / IRQ1
N12	PS3
N13	PS5
N14	PE0 / TRACEDATA0
P1	VSS_USB

表 1.5 端子配置 (196ピン FBGA) (5 / 5)

端子番号	端子名
P2	USB_DM
P3	USB_DP
P4	P66 / IRQ14 / CTXD1 / USB_VBUSEN
P5	P65 / SPBIO2
P6	PC6 / SCL1 / USB_VBUSIN
P7	PC7 / TIC0 / SDA1 / CRXD1
P8	P23 / TXD0
P9	P25
P10	P40 / TXD0
P11	P10 / IRQ0 / TRACECLK
P12	PS2
P13	PS4
P14	VSS

表 1.6 機能別端子一覧 (196ピンFBGA) (1/5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RII Ca, RSCAN, USB)		
A1	VSS							
A2		PC2		ETH0_TXC				
A3		PJ2		ETH0_TXD1				
A4		PF7					IRQ7	
A5		PB5		ETH_MDIO				
A6		PB2		ETH1_RXC				
A7		PC1		ETH1_RXD3				
A8		PF5		ETH1_TXEN				
A9		PD6		ETH1_TXD2				
A10		P56						
A11		P51		PHYLINK1				
A12								IC0
A13								IC0
A14	VSS							
B1		PJ7		ETH0_RXD3				
B2		PJ4		ETH0_RXD0				
B3		PJ3		ETH0_TXD0				
B4		PJ1		ETH0_TXD2				
B5		PB6		ETH_MDC				
B6		PB1		ETH1_RXER				
B7		PB7		ETH1_RXD1				
B8		P87		ETH1_TXC				
B9		PD5		ETH1_TXD3				
B10		P53		ETH1_INT				
B11								IC0
B12								IC0
B13		P16						
B14		P97					IRQ7	
C1		P83		CATLINKACT0		TXD4	IRQ11	
C2		PJ5		ETH0_RXD1				
C3		PC3		ETH0_RXC				
C4		PJ0		ETH0_TXD3				
C5		PB4		ETH0_RXER / CATSYNC0 / CATLATCH0		RXD3		
C6		PB0		ETH1_RXDV				
C7		PF6		ETH1_RXD0				
C8		PD7		ETH1_TXD1				
C9		P54		CLKOUT25M1				
C10	VCCQ33							
C11	VCCQ33							
C12		P17		PHYRESETOUT#				
C13		P96						

表 1.6 機能別端子一覧 (196ピンFBGA) (2 / 5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RII Ca, RSCAN, USB)		
C14		P95				CTS2#	IRQ13	
D1		P84		CATLINKACT1		RXD4		
D2		P81		ETH0_RXER				
D3		PJ6		ETH0_RXD2				
D4	VCCQ33							
D5		PB3		PHYRESETOUT#		TXD3 / CTXD1	IRQ3	
D6		PC0		ETH1_RXD2				
D7		P86		ETH1_TXD0				
D8		P52		ETH0_INT				
D9		P50		PHYLINK0				
D10	VSS							
D11	VSS							
D12		PA7				RTS2#	IRQ7	
D13		P94				RTS2#	IRQ4	
D14		P12						
E1	TRST#							
E2		P85		CLKOUT25M0				
E3		P82		ETH0_TXEN				
E4		P80		ETH0_RXDV				
E5	VCCQ33							
E6	VDD							
E7	VDD							
E8	VDD							
E9	VDD							
E10	VCCQ33							
E11	VCCQ33							
E12		P90				TXD4		
E13		P92	TOC3			RXD2		
E14		P93	TIC3			SCK2		
F1	TDI	P34						
F2	TDO	P33						
F3	ERROROUT#							
F4		P35					NMI	
F5	PLLVD1							
F6	VDD							
F7	VSS							
F8	VSS							
F9	VSS							
F10	VDD							
F11		P91				TXD2		
F12		PA4		ETH1_INT		RXD2		
F13		PA5		ETH0_INT		TXD2		
F14		PA6				CTS2#	IRQ6	

表 1.6 機能別端子一覧 (196ピンFBGA) (3 / 5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介 してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RII Ca, RSCAN, USB)		
G1		PC4		CATI2CCLK				
G2		PC5		CATI2CDATA				
G3	TCK							
G4	TMS							
G5	PLL VSS1							
G6	VSS							
G7	VSS							
G8	VSS							
G9	VSS							
G10	VDD							
G11		PA3				SCK2		
G12	TRACEDATA5	P77				RSPCK0		
G13		PA2				SSL02		
G14	TRACEDATA7	PA1				MISO0		
H1	VCCQ33							
H2	BSCANP							
H3		PU7		CATIRQ				
H4								IC0
H5	PLL VDD0							
H6	VSS							
H7	VSS							
H8	VSS							
H9	VSS							
H10	VDD							
H11	TRACEDATA2	P74				CTS1# / SSL03		
H12	TRACEDATA3	P75				SSL00	IRQ13	
H13	TRACEDATA4	P76				SSL01		
H14	TRACEDATA6	PA0				MOSI0		
J1	EXTAL							
J2	VSS							
J3		PM1		CATLEDERR				
J4	RES#							
J5	PLL VSS0							
J6	VDD							
J7	VSS							
J8	VSS							
J9	VSS							
J10	VDD							
J11	TRACEDATA7	PE7				SCK1 / RSPCK0		
J12	TRACECTL	P71	TOC2			SCK1		
J13	TRACEDATA0	P72	TIC2			TXD1		
J14	TRACEDATA1	P73				RXD1	IRQ3	
K1	XTAL							

表 1.6 機能別端子一覧 (196ピンFBGA) (4 / 5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RIICa, RSCAN, USB)		
K2	VSS							
K3		PM4		CATLEDRUN				
K4	RSTOUT#							
K5	VDD33_USB							
K6	VDD							
K7	VDD							
K8	VDD							
K9	VDD							
K10	VCCQ33							
K11	TRACEDATA1	PE1				SSL03		
K12	TRACEDATA5	PE5				TXD1 / MOSI0		
K13	TRACEDATA6	PE6				RXD1 / MISO0	IRQ6	
K14	TRACECLK	P70				RTS1# / USB_OVRCUR	IRQ0	
L1	VSS							
L2		PM3		CATSYNCO / CATLATCH0				
L3	USB_RREF							
L4		P62			SPBCLK			
L5	VCCQ33							
L6		PG2	TOC0			RSPCK1		
L7	VDD							
L8		PR1				CTS1#	IRQ9	
L9		P27				RTS0#		
L10	VDD							
L11	VCCQ33							
L12		PS6				RXD2	IRQ14	
L13	TRACEDATA3	PE3				CTS1# / SSL01	IRQ3	
L14	TRACEDATA4	PE4				RTS1# / SSL00		
M1		PM2		CATSYNCO1 / CATLATCH1				
M2		PM6		CATLINKACT0			IRQ6	
M3	VSS_USB							
M4		P60			SPBSSL			
M5		P64			SPBBI/ SPBIO1			
M6		PG3	TIC1			MISO1		
M7		PG5				SSL10		
M8		P21				CTS0#	IRQ1	
M9		P26						
M10		P44				CTS0#	IRQ12	
M11		PS0						
M12	TRACECTL	P00						
M13		PS7				TXD2		

表 1.6 機能別端子一覧 (196ピンFBGA) (5 / 5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介 してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RII Ca, RSCAN, USB)		
M14	TRACEDATA2	PE2				SSL02	IRQ2	
N1		PM7		CATLINKACT1				
N2		PM5		CATLEDSTER				
N3	DVDD_USB							
N4		P61		CTXD1	SPBIO3			
N5		P63			SPBMO/ SPBIO0			
N6		PG4	TOC1			MOSI1		
N7		PG6				SSL11		
N8		P22				SCK0	IRQ2	
N9		P20						
N10		P42				RXD0		
N11		PS1					IRQ1	
N12		PS3						
N13		PS5						
N14	TRACEDATA0	PE0						
P1	VSS_USB							
P2	USB_DM							
P3	USB_DP							
P4		P66		CTXD1		USB_VBUSEN	IRQ14	
P5		P65			SPBIO2			
P6		PC6		USB_VBUSIN		SCL1		
P7		PC7	TIC0			SDA1 / CRXD1		
P8		P23				TXD0		
P9		P25						
P10		P40				TXD0		
P11	TRACECLK	P10					IRQ0	
P12		PS2						
P13		PS4						
P14	VSS							

2. 電気的特性

2.1 絶対最大定格

表 2.1 絶対最大定格

条件 : VSS = PLLVSS0 = PLLVSS1 = VSS_USB = 0V

項目	記号	定格値	単位
電源電圧 (I/O)	VCCQ33	- 0.3 ~ + 4.2	V
電源電圧 (内部)	VDD	- 0.3 ~ + 1.6	V
PLL 電源電圧	PLLVDD0, PLLVDD1	- 0.3 ~ + 1.6	V
入力電圧 (5Vトレラント対応ポート (注1) 以外)	V _{in1}	- 0.3 ~ VCCQ33 + 0.3 (注5)	V
入力電圧 (5Vトレラント対応ポート (注1))	V _{in2}	- 0.3 ~ + 5.5 (注3)	V
USB デジタル電源電圧	DVDD_USB	- 0.3 ~ + 1.6	V
USB 電源電圧	VDD33_USB (注2)	- 0.3 ~ + 4.2	V
動作温度 (ジャンクション温度)	T _J (注4)	- 40 ~ + 125	°C
保存温度	T _{stg}	- 55 ~ + 125	°C

【使用上の注意】

- IC 製品の出力 (出力状態の入出力端子) を他の出力端子 (出力状態の入出力端子を含む)、および電源端子や GND 端子に直線接続しないでください。ただし、入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。
- 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。この定格値に近づかない状態で、製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

- 注1. ポート PC0 ~ PC7 は、5V トレラント対応です。
- 注2. USB を使用しない場合、VDD33_USB 端子は VCCQ33 に、VSS_USB 端子は VSS に、DVDD_USB 端子は VDD に、それぞれ接続し開放しないでください。
- 注3. VCCQ33 = 3.0V に満たない条件では、5V トレラント対応ポートの定格値は 3.6V になります。
- 注4. 動作温度 (ジャンクション温度) を 110°C 以上で使用する場合は、「EC-1 の高温動作に関する注意事項」(R01AN3998) を参照してください。
- 注5. 絶対最大定格 (4.2V) を超えないようにしてください。

2.2 電源投入・切断シーケンス

各電源の投入・切断順序は以下の図に示した方法にしたがってください。

電源の投入時は、必ず TRST# 端子を Low レベル、かつ RES# 端子を Low レベルにしてください。それ以外の端子状態の場合、初期化が正常に行われません。

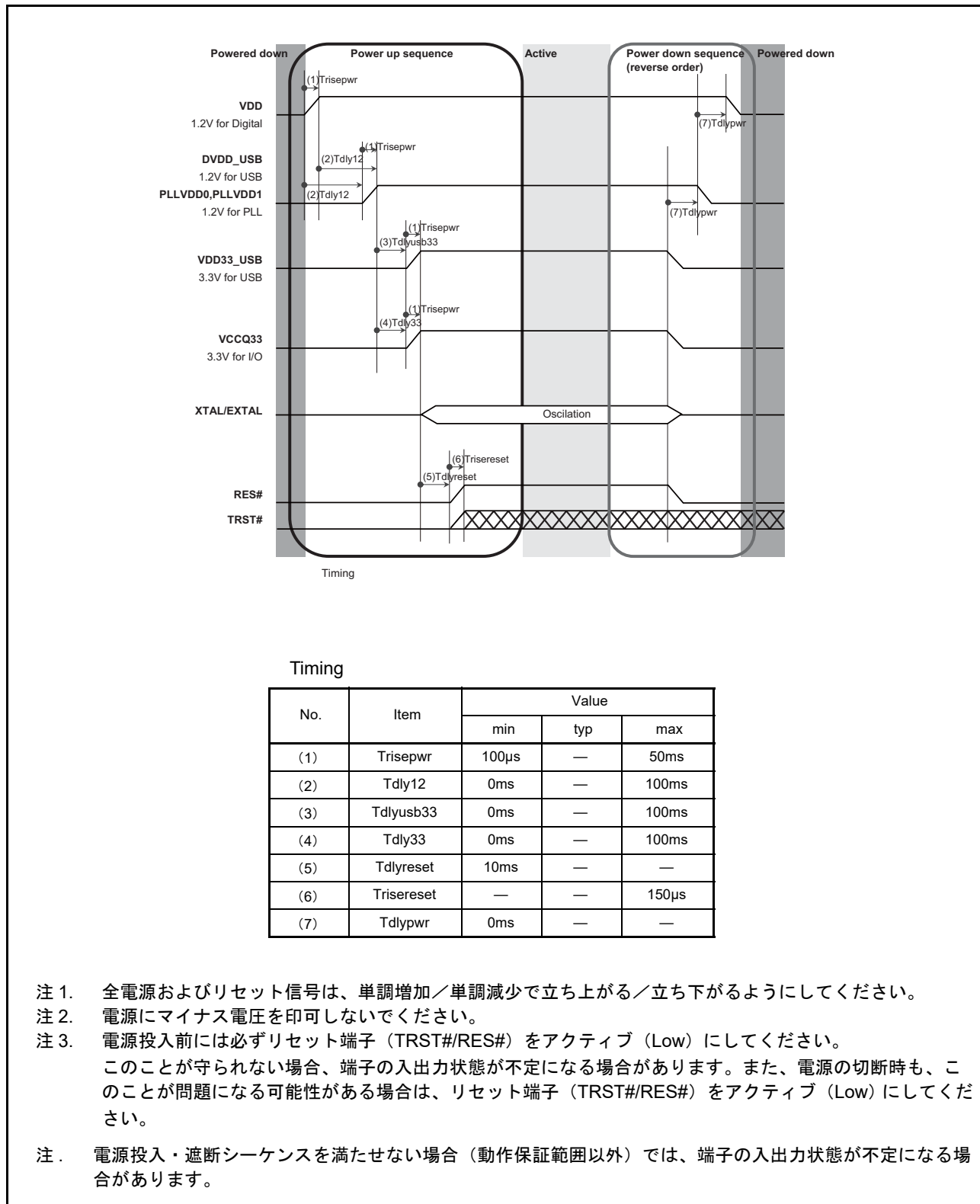


図 2.1 電源投入・切断シーケンス

2.3 DC 特性

- 条件 : VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ~ 1.26V,
VCCQ33 = VDD33_USB = 3.0 ~ 3.6V
VSS = PLLVSS0 = PLLVSS1 = VSS_USB = 0V,
Tj = -40 ~ 125 °C

表2.2 DC特性 (1)

項目	記号	min	typ	max	単位	測定条件
電源電圧 (I/O)	VCCQ33	3.0	3.3	3.6	V	
電源電圧 (内部)	VDD	1.14	1.2	1.26	V	
PLL電源電圧	PLLVDD0, PLLVDD1	1.14	1.2	1.26	V	
USBデジタル電源電圧	DVDD_USB	1.14	1.2	1.26	V	
USB電源電圧	VDD33_USB	3.0	3.3	3.6	V	

表2.3 DC特性 (2) 【消費電流】

項目	電源種類		記号	typ	max	単位	測定条件
通常動作時	VDD	150MHz	Vlcc	107	555	mA	Tj = -40 ~ 125°C
	PLLVDD0 + PLLVDD1		PLLlcc	3.2	5	mA	
	VCCQ33		V33lcc	19 (注1)(注2)	—	mA	
	DVDD_USB		V12Ulcc	5.1	9	mA	USBハイスピード通信時
				3.5	9	mA	USBフルスピード通信時
	VDD33_USB		V33Ulcc	15 (注1)	—	mA	USBハイスピード通信時
10 (注1)				—	mA	USBフルスピード通信時	
スタンバイモード+ 全モジュールストップ時 (参考値)	VDD		Vlcc	41	—	mA	
	PLLVDD0 + PLLVDD1		PLLlcc	3.2	—	mA	
	VCCQ33		V33lcc	0.35 (注1)(注2)	—	mA	
	DVDD_USB		V12Ulcc	3.5	—	mA	UTMI サスペンドモード
	VDD33_USB		V33Ulcc	9.6 (注1)	—	mA	UTMI サスペンドモード

注1. 参考値です。実際の動作電流はシステムに大きく依存します (I/Oの負荷による波形なまり、トグル頻度等)。必ずシステムでの実測を行ってください。

注2. V33lccは80mA以下にしてください (表2.9のΣI_{OH})。

表2.4 DC特性 (3) 【USB2.0 ホスト/ファンクション関連端子を除く】

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	5Vトレラント対応端子以外	V_{IH1}	2.4	—	$VCCQ33 + 0.3$	V	
		V_{IL1}	- 0.3	—	0.8	V	
		ΔV_{T1}	$VCCQ33 \times 0.05$	—	—	V	
	5Vトレラント対応端子 (注1)	V_{IH2}	$VCCQ33 \times 0.7$	—	5.3 (注2)	V	
		V_{IL2}	- 0.3	—	$VCCQ33 \times 0.3$	V	
		ΔV_{T2}	$VCCQ33 \times 0.05$	—	—	V	
入力Highレベル電圧 (シュミットトリガ入力端子を除く)		V_{IH3}	2.4	—	$VCCQ33 + 0.3$	V	
入力Lowレベル電圧 (シュミットトリガ入力端子を除く)		V_{IL3}	- 0.3	—	0.8	V	
出力Highレベル電圧	5Vトレラント対応端子以外	V_{OH}	$VCCQ33 - 0.5$	—	—	V	$I_{OH} = -2mA$
出力Lowレベル電圧	5Vトレラント対応端子以外	V_{OL1}	—	—	0.4	V	$I_{OL1} = 2mA$
	5Vトレラント対応端子 (注1)	V_{OL2}	—	—	0.4	V	$I_{OL2} = 3mA$
			—	—	0.6	V	$I_{OL2} = 6mA$
入力リーク電流		$ I_{in} $	—	—	1.0	μA	$V_{in1} = V_{in2} = 0V$ $V_{in1} = V_{in2} = VCCQ33$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応端子以外の入出力、出力端子	I_{TSIL}	—	—	1.0	μA	$V_{in1} = 0V$ $V_{in1} = VCCQ33$
	5Vトレラント対応端子 (注1)		—	—	5.0	μA	$V_{in2} = 0V$ $V_{in2} = VCCQ33$
入力プルアップMOS電流/抵抗	ポート P50 ~ P54、P56、P86 ~ P87、P90 ~ P97、PD5 ~ PD7	I_{pu1}	- 300	—	- 30	μA	$VCCQ33 = 3.0 \sim 3.6V$ $V_{in1} = V_{in2} = 0V$
		R_{pu1}	10	—	120	k Ω	
	上記以外の端子 (注3)	I_{pu2}	- 120	—	- 7	μA	$VCCQ33 = 3.0 \sim 3.6V$ $V_{in1} = V_{in2} = 0V$
		R_{pu2}	25	—	515	k Ω	
入力プルダウンMOS電流/抵抗	ポート P50 ~ P54、P56、P86 ~ P87、P90 ~ P97、PD5 ~ PD7	I_{pd1}	30	—	300	μA	$VCCQ33 = 3.0 \sim 3.6V$ $V_{in1} = V_{in2} = VCCQ33$
		R_{pd1}	10	—	120	k Ω	
	上記以外の端子 (注3)	I_{pd2}	7	—	120	μA	$VCCQ33 = 3.0 \sim 3.6V$ $V_{in1} = V_{in2} = VCCQ33$
		R_{pd2}	25	—	515	k Ω	
端子容量	全入出力、入力端子	C_{in}	—	—	10	pF	

注1. ポートPC0~PC7は、5Vトレラント対応です。

注2. VCCQ33が3.0V未満のときは、5Vトレラント対応端子に対して3.6V以上の電圧を印加しないでください。

注3. 5Vトレラント対応端子は対象外です。

表2.5 DC 特性 (4) 【USB2.0 USB_RREF 端子】

項目	記号	min	typ	max	単位	測定条件
基準抵抗	R _{REF}	200 ± 1%			Ω	

表2.6 DC 特性 (5) 【USB2.0 ホスト/ファンクション関連端子 (フルスピード/ハイスピード共通項目) (注1)】

項目	記号	min	typ	max	単位	測定条件
DP ブルアップ抵抗 (ファンクション機能選択時)	R _{PU}	0.900	—	1.575	kΩ	アイドル時
		1.425	—	3.090	kΩ	送受信時
DP、DM ブルダウン抵抗 (ホスト機能選択時)	R _{PD}	14.25	—	24.80	kΩ	

注1. USB_DP、USB_DM 端子

表2.7 DC 特性 (6) 【USB2.0 ホスト/ファンクション関連端子 (フルスピード時) (注1)】

項目	記号	min	typ	max	単位	測定条件
入力ハイレベル電圧	V _{FSIH}	2.0	—	—	V	
入力ロウレベル電圧	V _{FSIL}	—	—	0.8	V	
差動入力感度	V _{FSDI}	0.2	—	—	V	(USB_DP) - (USB_DM)
差動コモンモード範囲	V _{FSCM}	0.8	—	2.5	V	
出力ハイレベル電圧	V _{FSOH}	2.8	—	3.6	V	I _{FSOH} = -200μA
出力ロウレベル電圧	V _{FSOL}	0.0	—	0.3	V	I _{FSOL} = 2mA
出力信号クロスオーバー電圧	V _{FSCRS}	1.3	—	2.0	V	CL = 50pF (フルスピード時)

注1. USB_DP、USB_DM 端子

表2.8 DC 特性 (7) 【USB2.0 ホスト/ファンクション関連端子 (ハイスピード時) (注1)】

項目	記号	min	typ	max	単位	測定条件
スケルチ検出スレッショルド電圧 (差動電圧)	V _{HSSQ}	100	—	150	mV	
コモンモード電圧範囲	V _{HSCM}	-50	—	500	mV	
アイドル状態	V _{HSOI}	-10.0	—	10.0	mV	
出力ハイレベル電圧	V _{HSOH}	360	—	440	mV	
出力ロウレベル電圧	V _{HSOL}	-10.0	—	10.0	mV	
Chirp J 出力電圧 (差分)	V _{CHIRPJ}	700	—	1100	mV	
Chirp K 出力電圧 (差分)	V _{CHIRPK}	-900	—	-500	mV	

注1. USB_DP、USB_DM 端子

表 2.9 出力許容電流

項目		記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	5Vトレラント対応端子以外	I_{OL1}	—	—	2.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	3.0	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	5Vトレラント対応端子以外	I_{OL1}	—	—	4.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	6.0	mA
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子	I_{OH}	—	—	- 2.0	mA
出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子	I_{OH}	—	—	- 4.0	mA
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	—	—	- 80	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 2.9 の値を超えないようにしてください。

2.4 AC 特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 \sim 1.26V$,
 $VCCQ33 = VDD33_USB = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = VSS_USB = 0V$,
 $T_j = -40 \sim 125 \text{ }^\circ\text{C}$

表 2.10 動作周波数

項目		記号	min	max	単位
動作周波数	CPUクロック (CPUCLK)	f	150		MHz
	システムクロック (ICLK)		150		
	周辺モジュールクロック (PCLKA)		150		
	周辺モジュールクロック (PCLKB)		75		
	周辺モジュールクロック (PCLKD)		75		
	周辺モジュールクロック (PCLKE)		18.75	75	
	高速シリアルクロック (SERICK)		120	150	
	EtherCAT PHY用の外部クロック出力 (CLKOUT25Mn)		25		

n = 0, 1

2.4.1 クロックタイミング

表2.11 CLKOUT25Mn タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} - 0.5V$ 、 $V_{OL1} = 0.4V$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件	
CLKOUT25Mn (MII)	CLKOUT25Mn サイクル時間	T_{ck}	40	—	ns	図 2.2
	CLKOUT25Mn 周波数 Typ. 25MHz	—	$25 \pm 50ppm$		MHz	
	CLKOUT25Mn デューティ比	—	35	65	%	
	CLKOUT25Mn 出力ロウレベルパルス幅	T_{ckl}	$T_{ck}/2 - T_{ckf}$	$T_{ck}/2 + T_{ckf}$	ns	
	CLKOUT25Mn 出力ハイレベルパルス幅	T_{ckh}	$T_{ck}/2 - T_{ckr}$	$T_{ck}/2 + T_{ckr}$	ns	
	CLKOUT25Mn 立ち上がり/立ち下がり時間	$T_{ckr/ckf}$	0.5	9	ns	

$n = 0, 1$

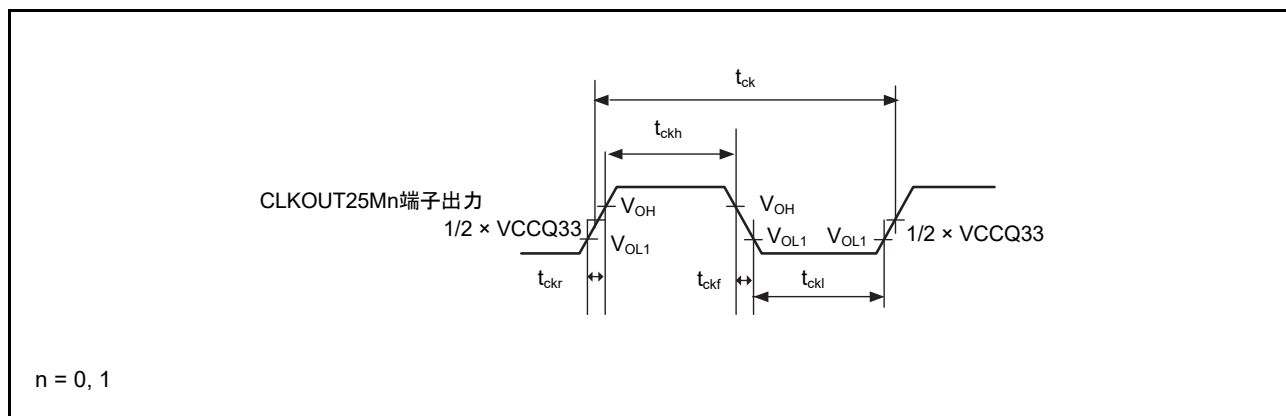


図 2.2 CLKOUT25Mn 端子出力タイミング 2

表2.12 XTALクロックタイミング

項目	記号	min	typ	max	単位
XTALクロック発振器出力周期 (注1)	$t_{XTALcyc}$	$40.00 \pm 50ppm$ (注2)			ns

- 注1. XTALクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。
- 注2. EtherCATスレーブコントローラ使用時は、 $25.00 \pm 25ppm[MHz]$ を満たすようにしてください。

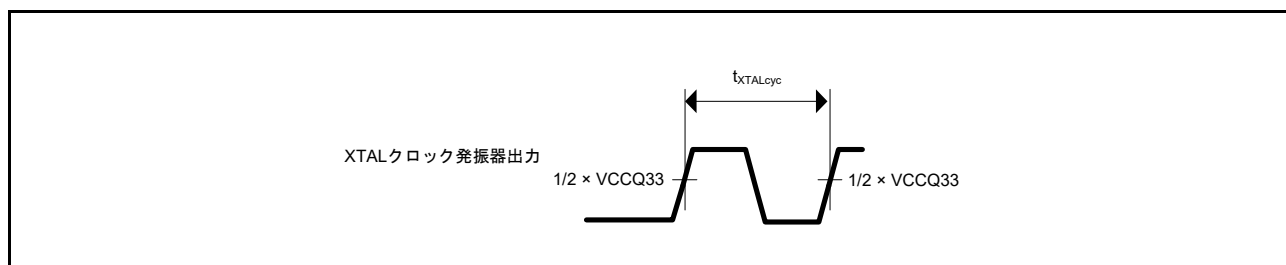


図 2.3 XTAL クロック発振器出力タイミング

表2.13 LOCOクロックタイミング

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	4.62	4.17	3.79	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	40	μs	図2.4

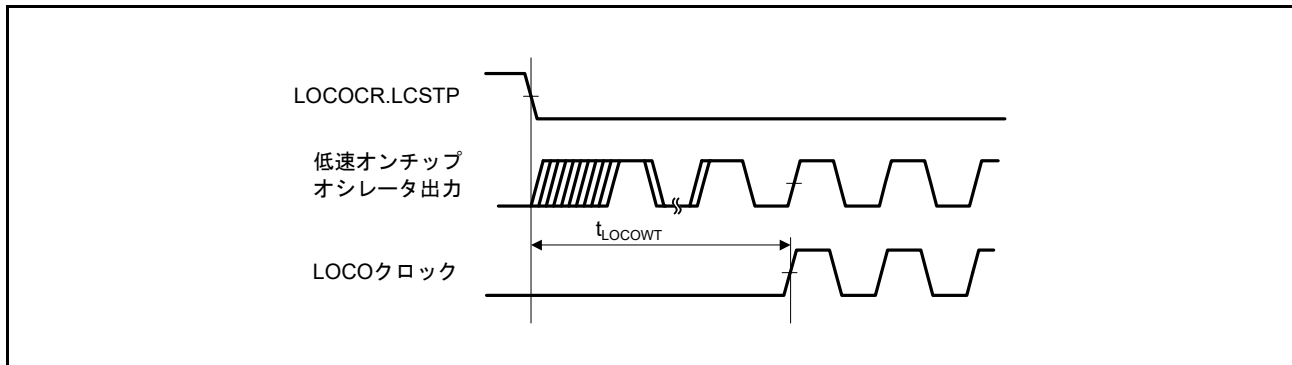


図 2.4 LOCO クロック発振開始タイミング

2.4.2 リセット、割り込みタイミング

表2.14 リセット、割り込みタイミング

項目		記号	Min (注1)	typ	max	単位	測定条件
RES#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	図2.5
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
RES#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
TRST#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
TRST#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
NMIパルス幅		t_{NMIW}	$t_{Icyc} \times 2$	—	—	ns	図2.6
IRQパルス幅		t_{IRQW}	$t_{Icyc} \times 2$	—	—	ns	図2.7
ETH_INTパルス幅		t_{EINTW}	$t_{Icyc} \times 2$	—	—	ns	図2.8

注1. t_{Icyc} : ICLKの周期

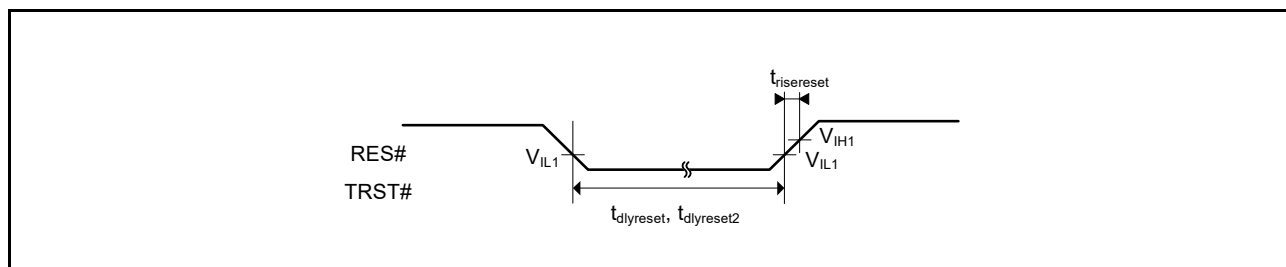


図2.5 リセット入力タイミング

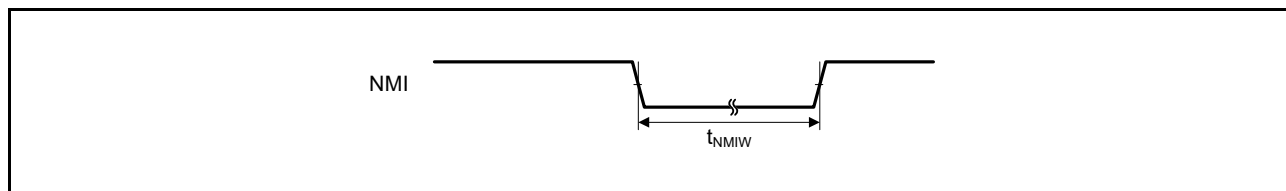


図2.6 NMI割り込み入力タイミング

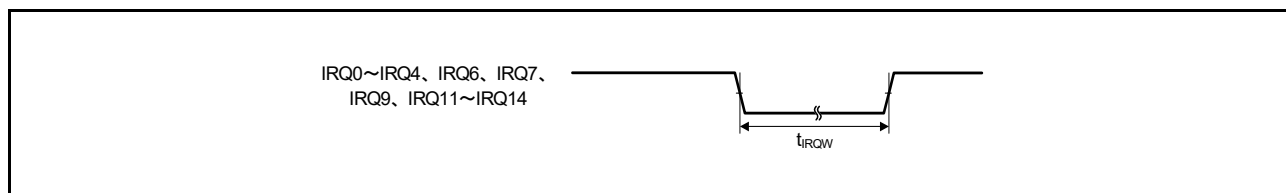


図2.7 IRQ割り込み入力タイミング

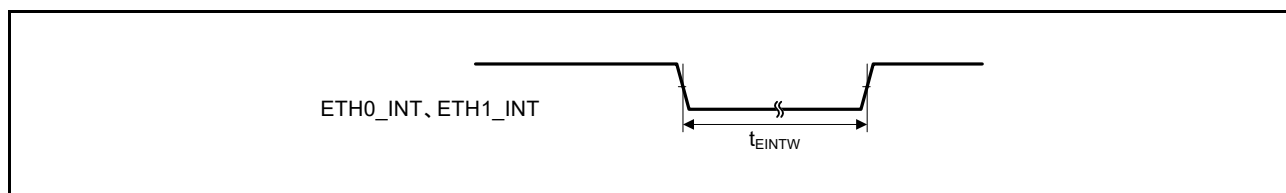


図2.8 ETH_INT割り込み入力タイミング

2.4.3 内蔵周辺モジュールタイミング

2.4.3.1 I/O ポートタイミング

表 2.15 I/O ポートタイミング

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図 2.9

注1. t_{PBcyc} : PCLKBの周期

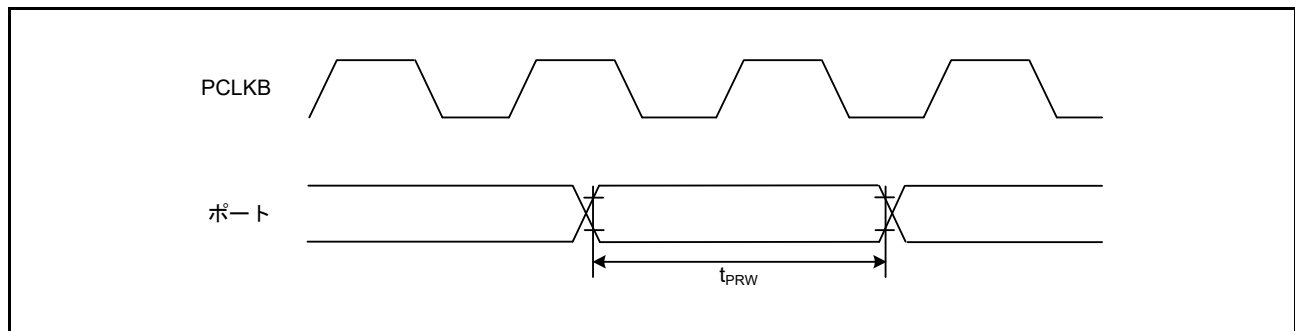


図 2.9 I/O ポート入力タイミング

2.4.3.2 CMTW タイミング

表2.16 CMTW タイミング

項目		記号	min	max	単位 (注1)	測定条件
CMTW	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{pDcyc}	図2.10
		両エッジ指定	2.5	—		

注1. t_{pDcyc} : PCLKDの周期

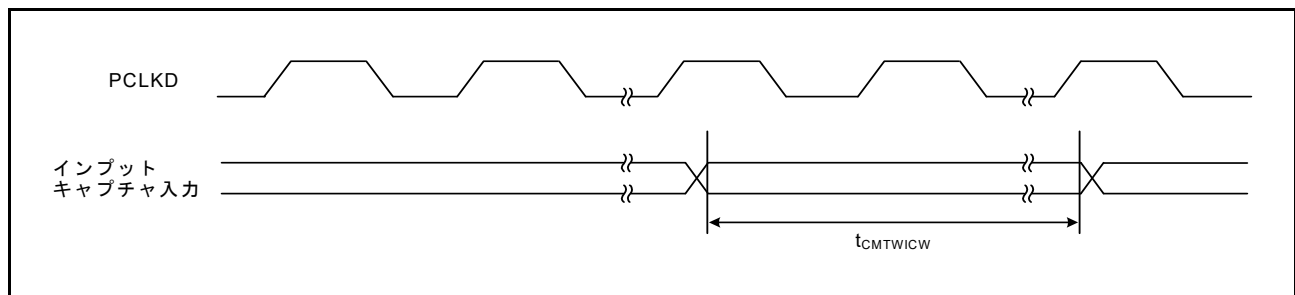


図 2.10 CMTW 入力キャプチャ入力タイミング

2.4.3.3 SCIFA タイミング

表2.17 SCIFA タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件	
SCIFA	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{SEcyc}	図 2.11
		クロック同期		12	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期 (注2)	t_{Scyc}	8	—	t_{SEcyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	9	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	9	ns	
送信データ遅延時間	内部クロック	t_{TXD}	- 10	10	ns	図 2.12	
	外部クロック		$3 \times t_{SEcyc}$	$4 \times t_{SEcyc} + 20$			
受信データセットアップ時間	内部クロック	t_{RXS}	$3 \times t_{SEcyc} + 20$	—	ns		
	外部クロック		$t_{SEcyc} + 10$	—			
受信データホールド時間	内部クロック	t_{RXH}	$- 3 \times t_{SEcyc}$	—	ns		
	外部クロック		$2 \times t_{SEcyc} + 10$	—			

注1. t_{SEcyc} : SERICLKの周期

注2. SEMR.ABCS0ビット= 1かつSEMR.BGDMビット= 1の時

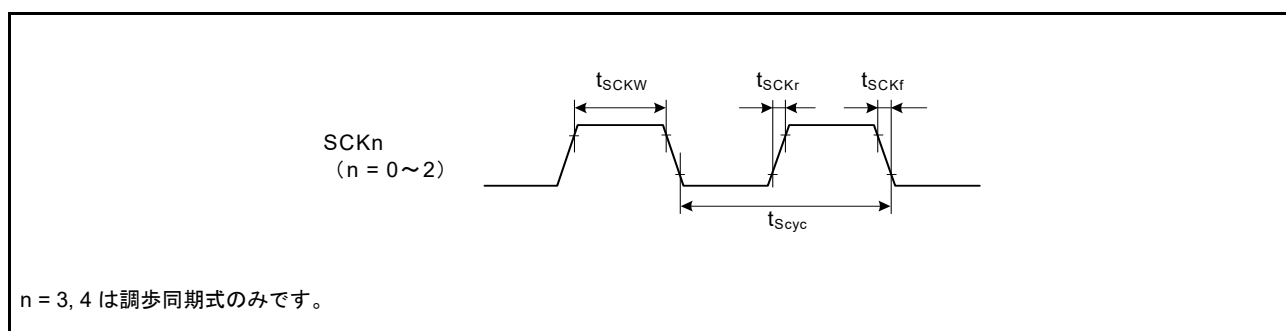


図 2.11 SCK クロック入力タイミング

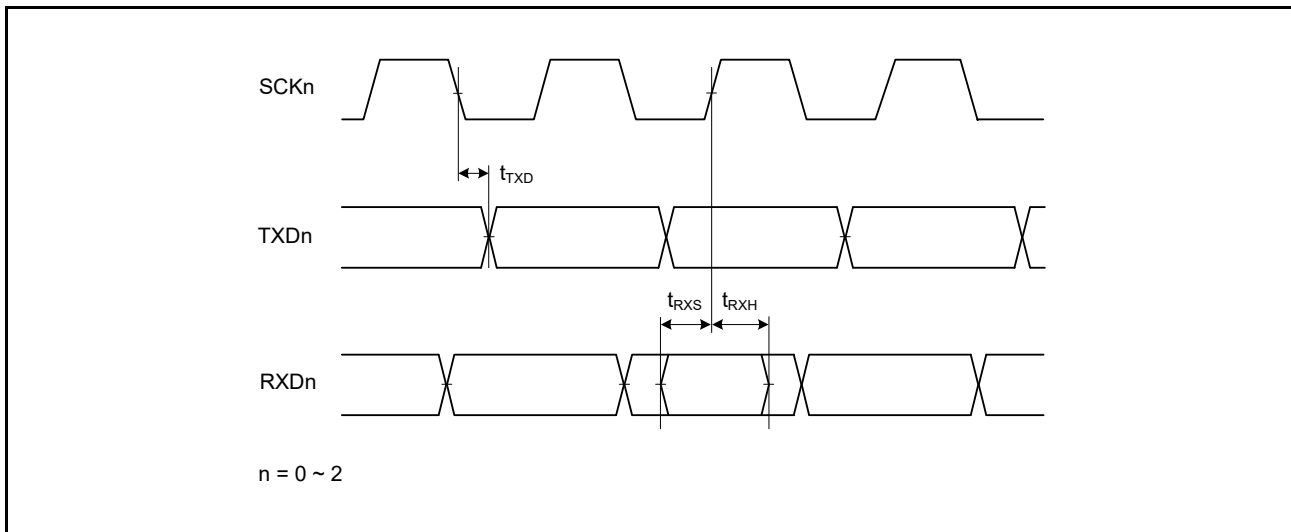


図 2.12 SCIFA 入出力タイミング/クロック同期式モード

2.4.3.4 RSPIa タイミング

表2.18 RSPIa タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号 (注1)	Min (注1)	Max (注1)	単位 (注1)	測定条件							
RSPIa	RSPCK クロック サイクル	マスタ	t_{SPcyc}	4	4096	t_{SEcyc}	図2.13						
		スレーブ (注4)		8	4096								
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		図2.14 ~ 図2.17					
		スレーブ		0.4	—	t_{SPcyc}							
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns			図2.14 ~ 図2.17				
		スレーブ		0.4	—	t_{SPcyc}							
	RSPCK クロック 立ち上がり/ 立ち下がり時間	出力	t_{SPCKr}	—	9	ns				図2.14 ~ 図2.17			
		入力	t_{SPCKf}	—	10	ns							
	データ入力セット アップ時間	マスタ	t_{SU}	6	—	ns					図2.14 ~ 図2.17		
		スレーブ		$8 - t_{SEcyc}$	—								
	データ入力ホールド 時間	マスタ	t_H	t_{SEcyc}	—	ns						図2.14 ~ 図2.17	
		スレーブ		$8 + 2 \times t_{SEcyc}$	—								
	SSL セットアップ 時間	マスタ	t_{LEAD}	$N \times t_{SpCyc} - 3$ (注2)	$N \times t_{SpCyc} + 3$ (注2)	ns							図2.14 ~ 図2.17
		スレーブ		4	—	t_{SEcyc}							
	SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{SpCyc} - 3$ (注3)	$N \times t_{SpCyc} + 3$ (注3)	ns	図2.14 ~ 図2.17						
		スレーブ		4	—	t_{SEcyc}							
	データ出力遅延時間	マスタ	t_{OD}	—	6	ns		図2.14 ~ 図2.17					
		スレーブ		—	$3 \times t_{SEcyc} + 20$ (注4)								
	データ出力ホールド 時間	マスタ	t_{OH}	0	—	ns			図2.14 ~ 図2.17				
		スレーブ		0	—								
連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{SEcyc}$	$8 \times t_{SPcyc} + 2 \times t_{SEcyc}$	ns	図2.14 ~ 図2.17							
	スレーブ		$4 \times t_{SEcyc}$	—									
MOSI、MISO 立ち上 がり/立ち下がり 時間	出力	t_{Dr} 、 t_{Df}	—	9	ns					図2.14 ~ 図2.17			
	入力		—	10	ns								
SSL 立ち上がり /立ち下がり時間	出力	t_{SSLr} 、 t_{SSLf}	—	9	ns						図2.14 ~ 図2.17		
	入力		—	10	ns								
スレーブアクセス時間		t_{SA}	—	4	t_{SEcyc}							図2.16、 図2.17	
スレーブ出力開放時間		t_{REL}	—	3	t_{SEcyc}								

注1. t_{SEcyc} : SERICLKの周期注2. $N = \text{SPCKD}$ の設定値 + 1 (1...8)注3. $N = \text{SSLND}$ の設定値 + 1 (1...8)

注4. ビットレートの設定によっては、データ出力遅延時間がRSPCKクロックサイクルの半周期を超える場合があります。マスタの電氣的特性を満たせるよう注意してください。

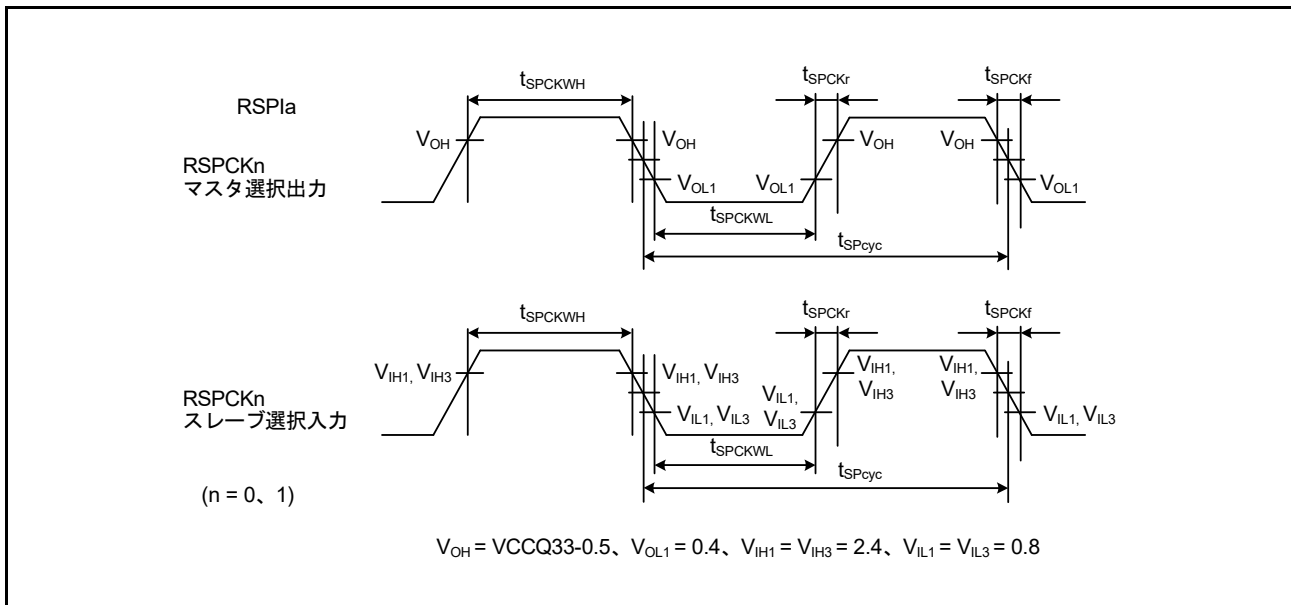


図 2.13 RSPIa クロックタイミング

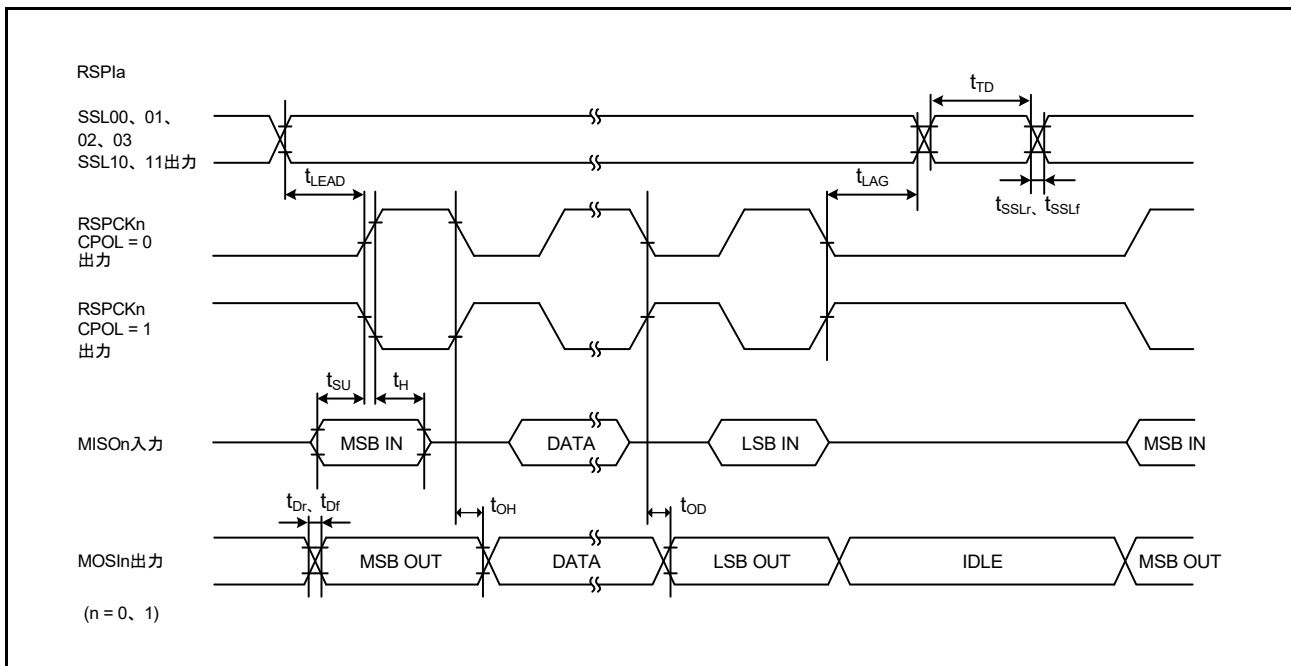


図 2.14 RSPIa タイミング (マスタ、CPHA = 0)

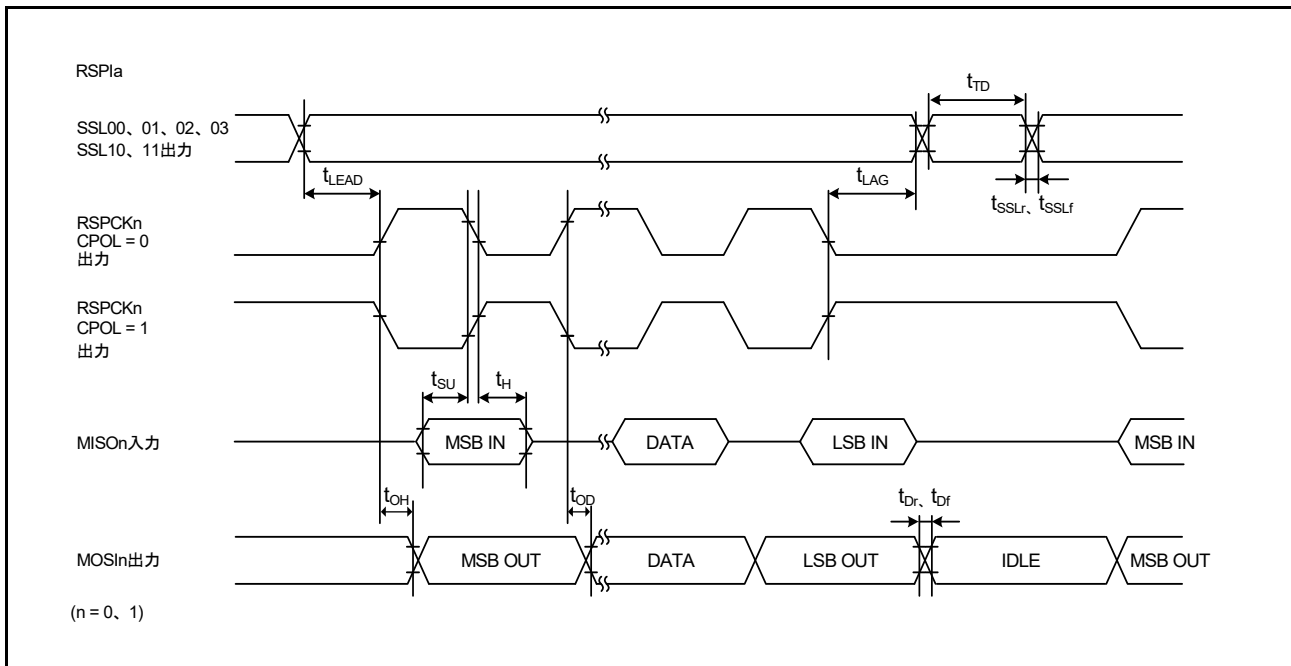


図 2.15 RSPIa タイミング (マスタ、CPHA = 1)

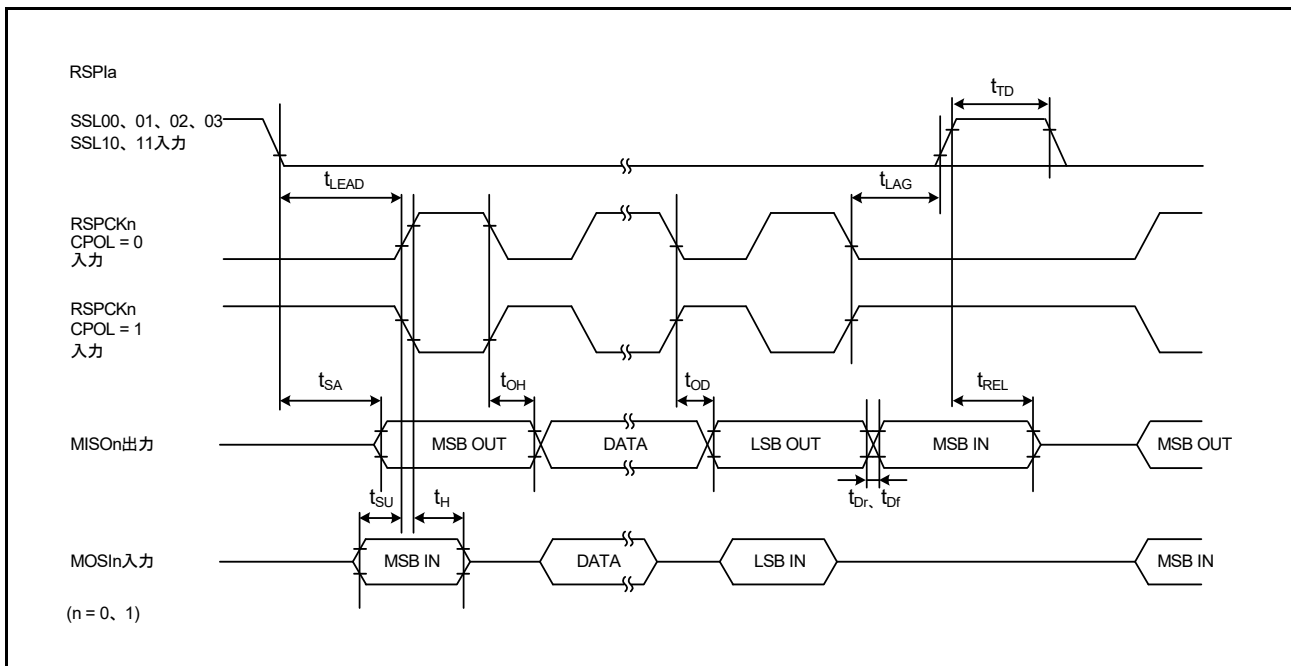


図 2.16 RSPI タイミング (スレーブ、CPHA = 0)

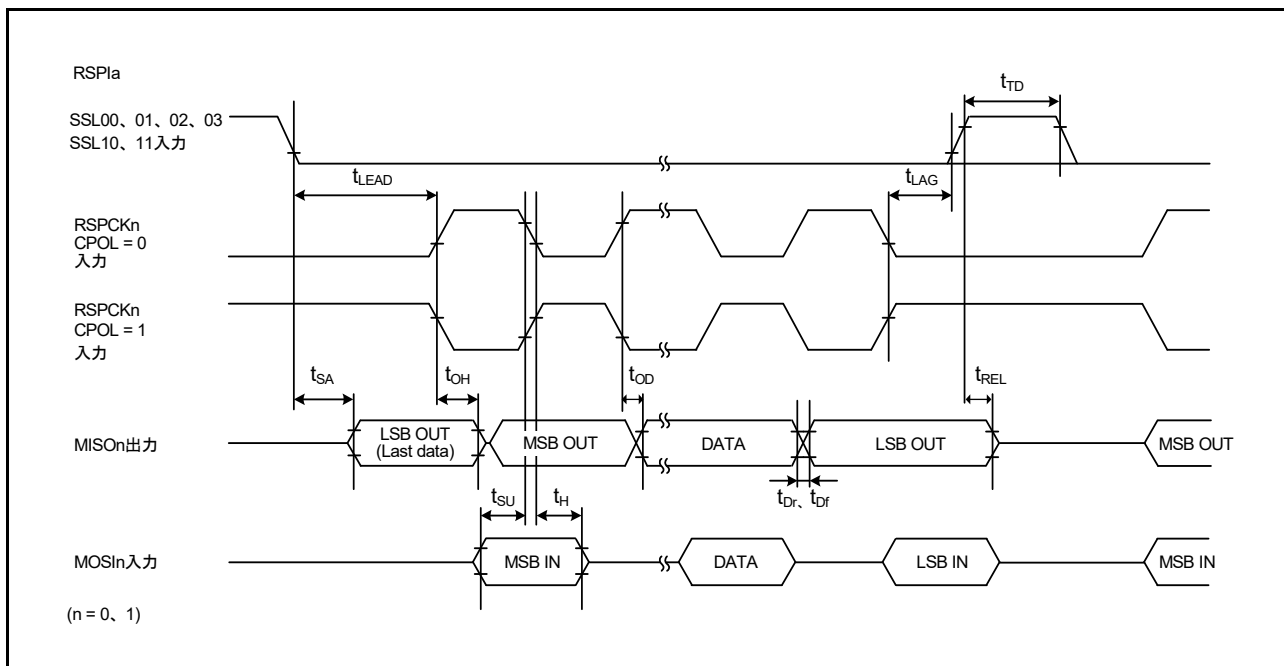


図 2.17 RSPi タイミング (スレーブ、CPHA = 1)

2.4.3.5 SPIBSC タイミング

表 2.19 SPIBSC タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min	max	単位 (注1)	測定条件
SPIBSC	SPBCLKクロックサイクル	t_{SPBcyc}	2	4080	t_{PAcyc}	図 2.18
	SPBCLKハイレベルパルス幅	t_{SPBWH}	0.45	0.55	t_{SPBcyc}	
	SPBCLKロウレベルパルス幅	t_{SPBWL}	0.45	0.55	t_{SPBcyc}	
	データ入力セットアップ時間	t_{SU}	3.5	—	ns	図 2.19、 図 2.20、 図 2.21
	データ入力ホールド時間	t_{H}	0.5	—	ns	
	SSLセットアップ時間	t_{LEAD}	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc}$	ns	
	SSLホールド時間	t_{LAG}	$1.5 \times t_{SPBcyc}$	$8.5 \times t_{SPBcyc} + 3$	ns	
	連続転送遅延時間	t_{TD}	1	8	t_{SPBcyc}	
	データ出力遅延時間	t_{OD}	—	3.6	ns	
	データ出力ホールド時間	t_{OH}	-1	—	ns	図 2.22、 図 2.23、 図 2.24
	データ出力バッファオン時間	t_{BON}	—	3.6	ns	
	データ出力バッファオフ時間	t_{BOFF}	-7	0	ns	

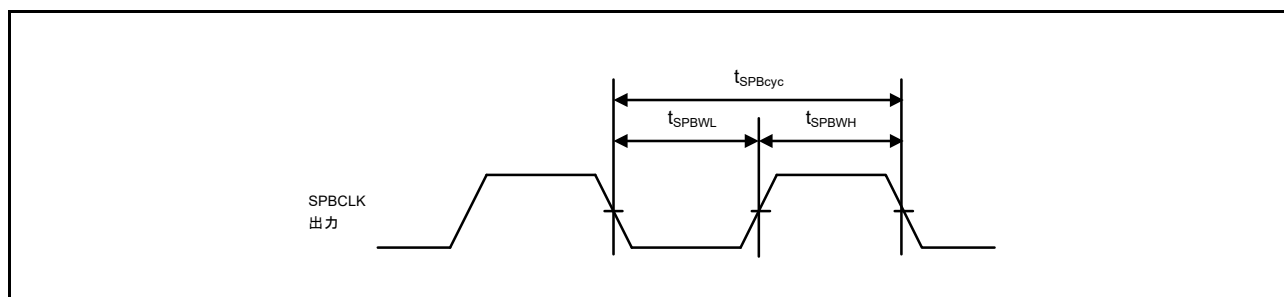
注1. t_{PAcyc} : PCLKAの周期

図 2.18 SPIBSC クロックタイミング

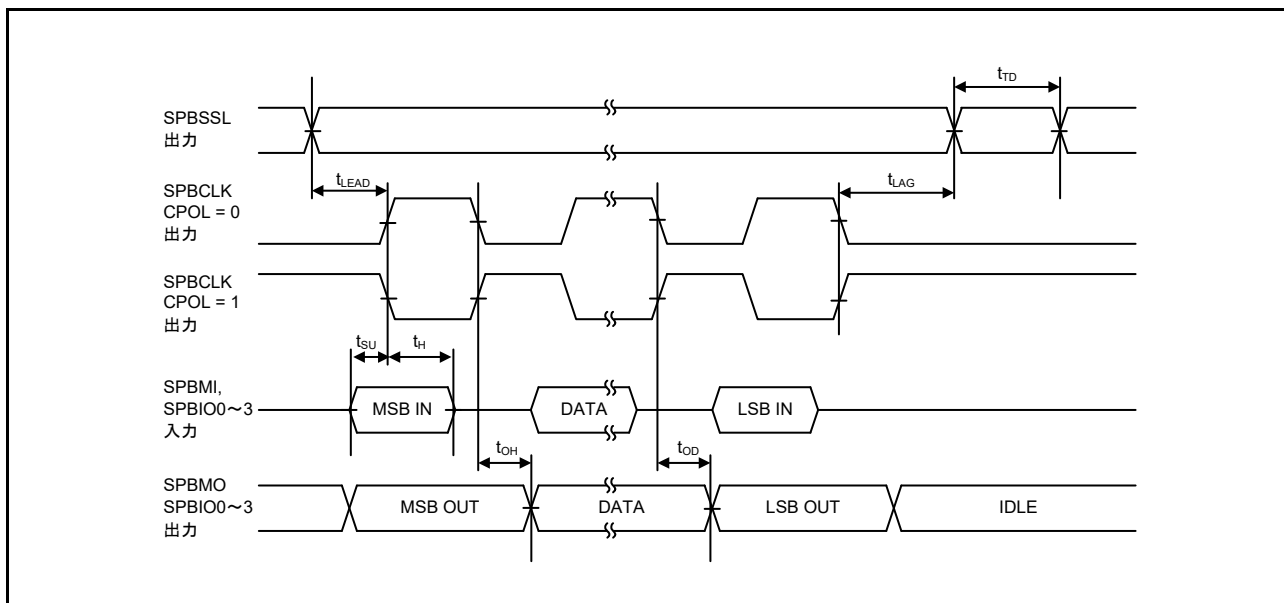


図 2.19 SPIBSC 送受信タイミング (CPHAT = 0、CPHAR = 0)

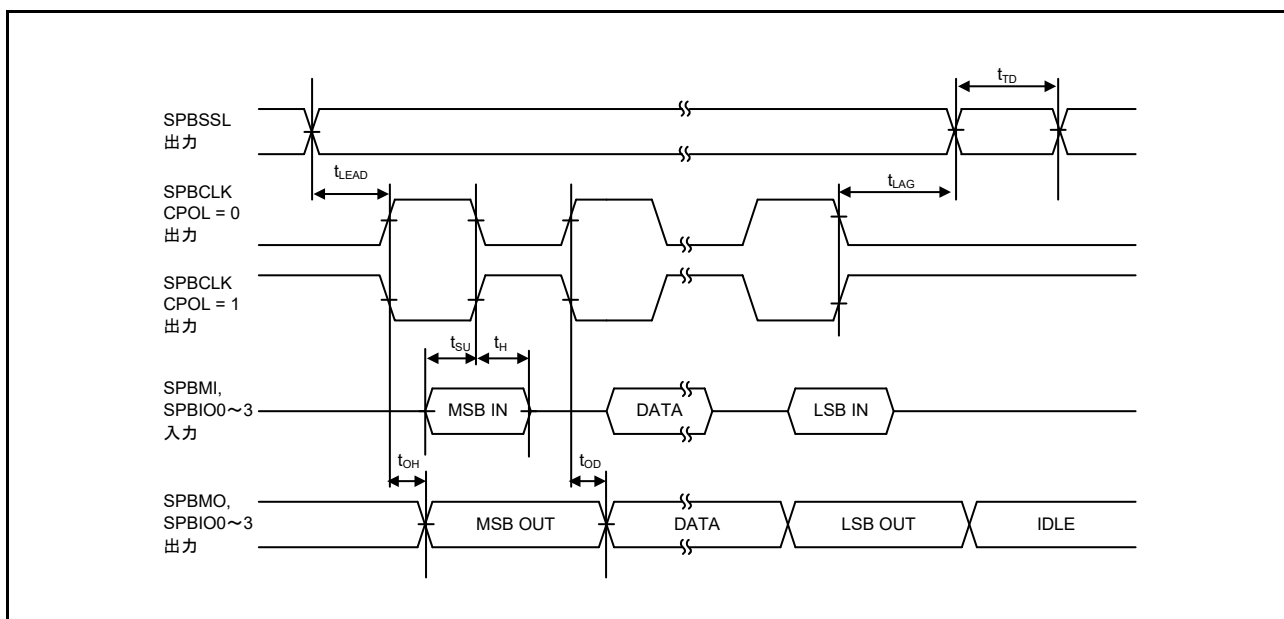


図 2.20 SPIBSC 送受信タイミング (CPHAT = 1、CPHAR = 1)

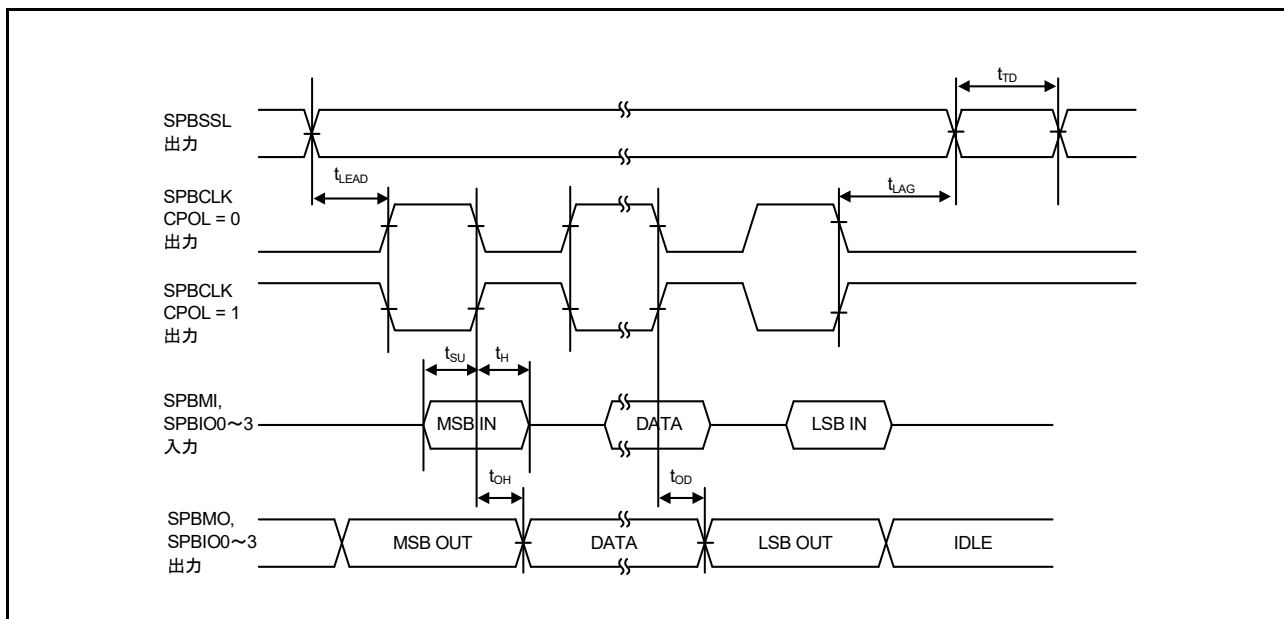


図 2.21 SPIBSC 送受信タイミング (CPHAT = 0、CPHAR = 1)

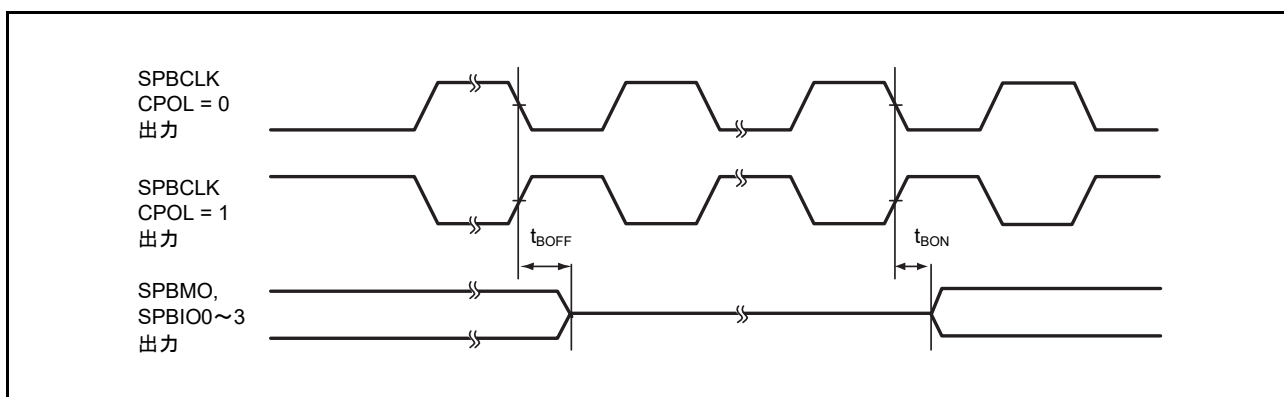


図 2.22 SPIBSC バッファオン/オフタイミング (CPHAT = 0、CPHAR = 0)

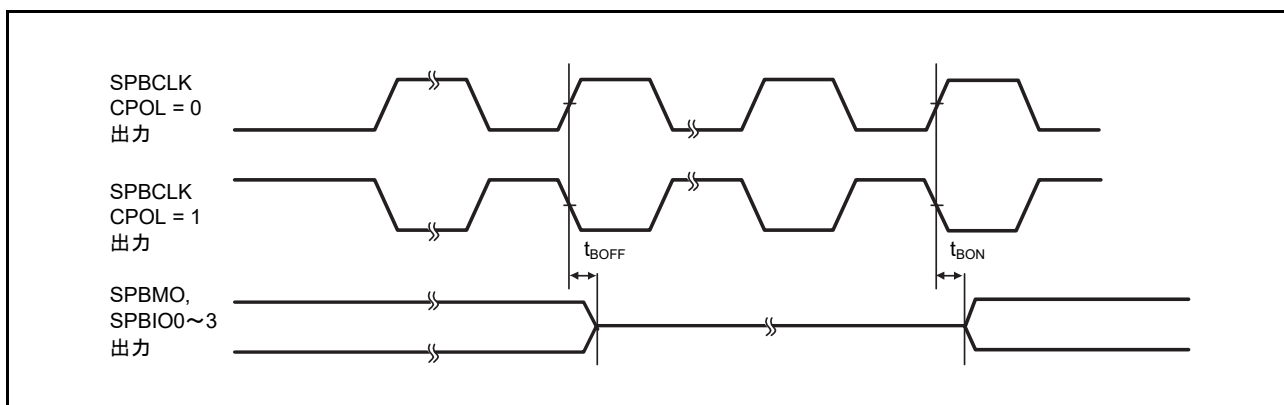


図 2.23 SPIBSC バッファオン/オフタイミング (CPHAT = 1、CPHAR = 1)

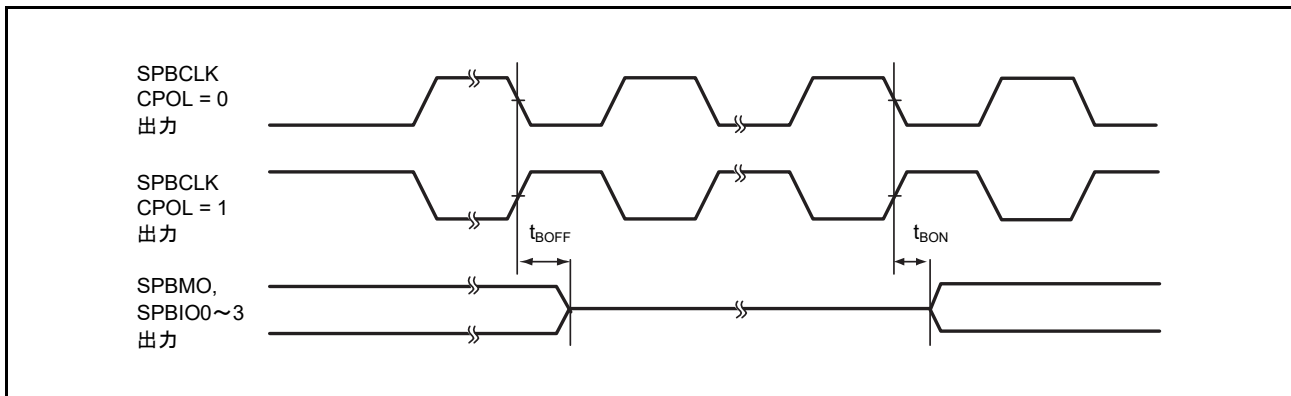


図 2.24 SPIBSC バッファオン/オフタイミング (CPHAT = 0、CPHAR = 1)

2.4.3.6 RII Ca タイミング

表 2.20 RII Ca タイミング

出力負荷条件 : $V_{OL2} = 0.4V$ 、 $I_{OL2} = 3mA$

項目		記号	min (注2)	max (注2)	単位 (注1)	測定条件
RII Ca (Standard-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{II Ccyc} + 1300$	—	ns	図 2.25
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{II Ccyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{II Ccyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{II Ccyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RII Ca (Fast-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{II Ccyc} + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	— (注4)	300	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	— (注4)	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{II Ccyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{II Ccyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{II Ccyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷 (注3)	C_b	—	400	pF	

注1. $t_{II Ccyc}$: RII Caの内部基準クロック (IIC ϕ)の周期

注2. () 外の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 00bの場合を示します。() 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注3. C_b はバスラインの容量総計です。

注4. Fast-modeのtsr/tsfのmin.規格は設定していません。

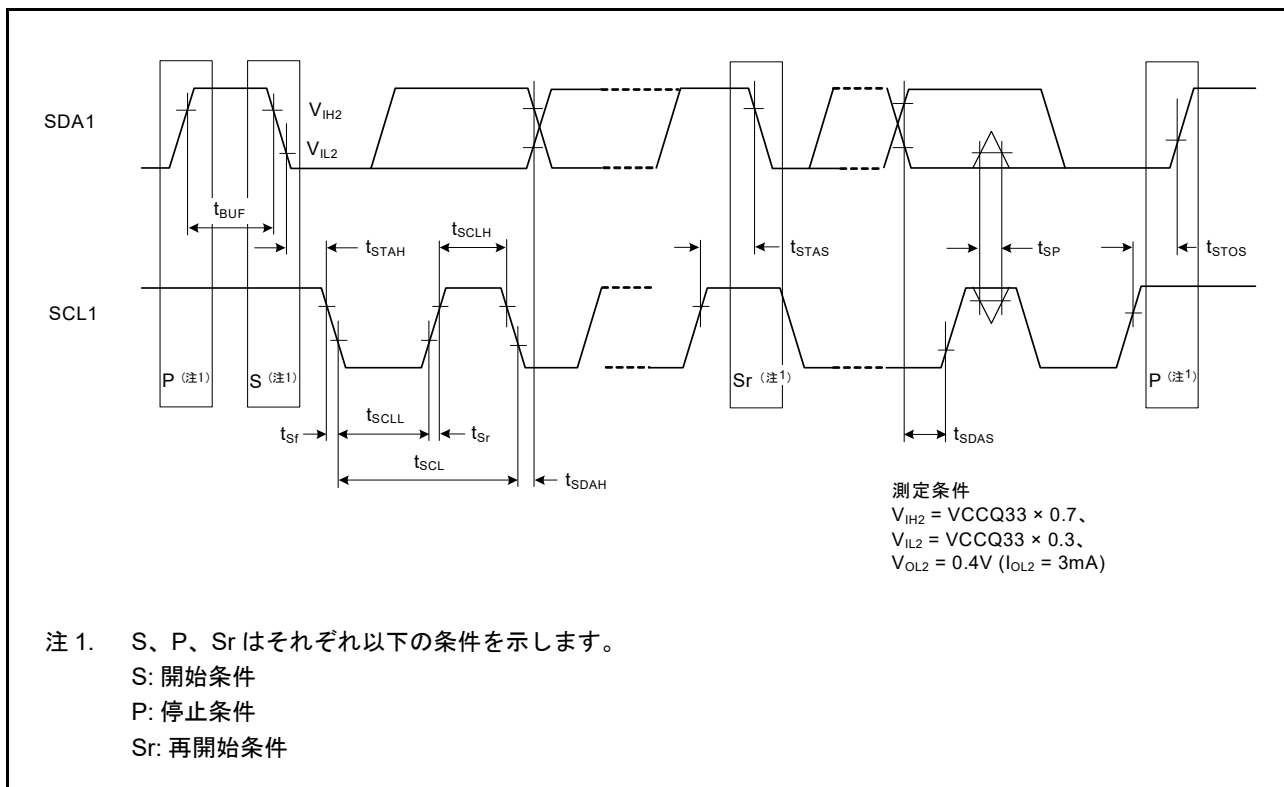


図 2.25 IICa バスインタフェース入出力タイミング

2.4.3.7 CAN インタフェースタイミング

表2.21 CANインタフェースタイミング

項目	記号	min	max	単位	測定条件
内部遅延時間	tnode	—	100	ns	図 2.26
送信レート		—	1	Mbps	

内部遅延時間 (tnode) = 内部送信遅延時間 (toutput) + 内部受信遅延時間 (tinput)

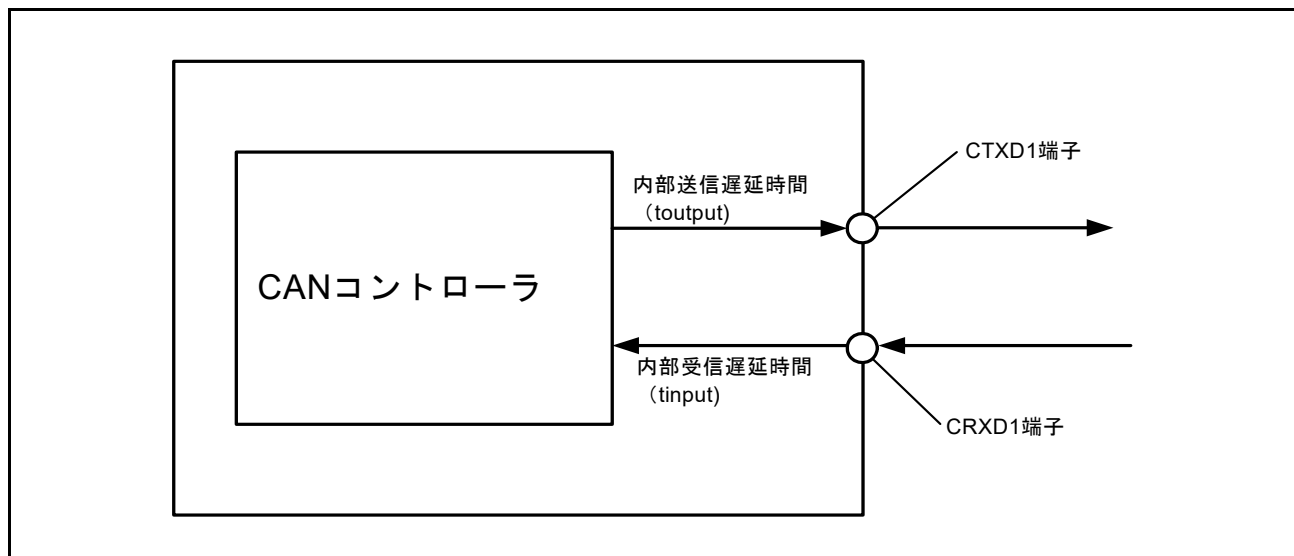


図 2.26 CAN インタフェース条件

2.4.3.8 ESC タイミング

表2.22 ESC タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min	max	単位	測定条件
ESC (MII)	ETHn_TXC サイクル時間	t_{Tcyc}	40	—	ns	—
	ETHn_TXEN 出力遅延時間	t_{TENd}	0	25	ns	図2.27
	ETHn_TXD0~ETHn_TXD3 出力遅延時間	t_{MTDd}	0	25	ns	
	ETHn_RXC サイクル時間	t_{TRcyc}	40	—	ns	
	ETHn_RXDV セットアップ時間	t_{RDVs}	10	—	ns	図2.28
	ETHn_RXDV ホールド時間	t_{RDVh}	10	—	ns	
	ETHn_RXD0~ETHn_RXD3 セットアップ時間	t_{MRDs}	10	—	ns	
	ETHn_RXD0~ETHn_RXD3 ホールド時間	t_{MRDh}	10	—	ns	
	ETHn_RXER セットアップ時間	t_{RErs}	10	—	ns	図2.29
	ETHn_RXER ホールド時間	t_{RErh}	10	—	ns	

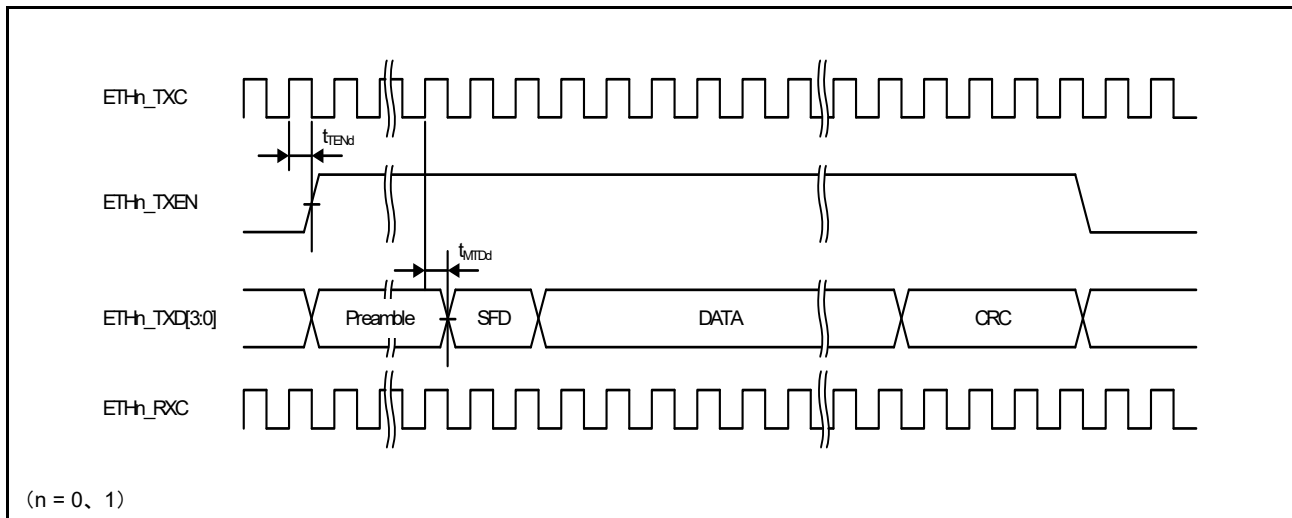


図 2.27 MII 送信タイミング

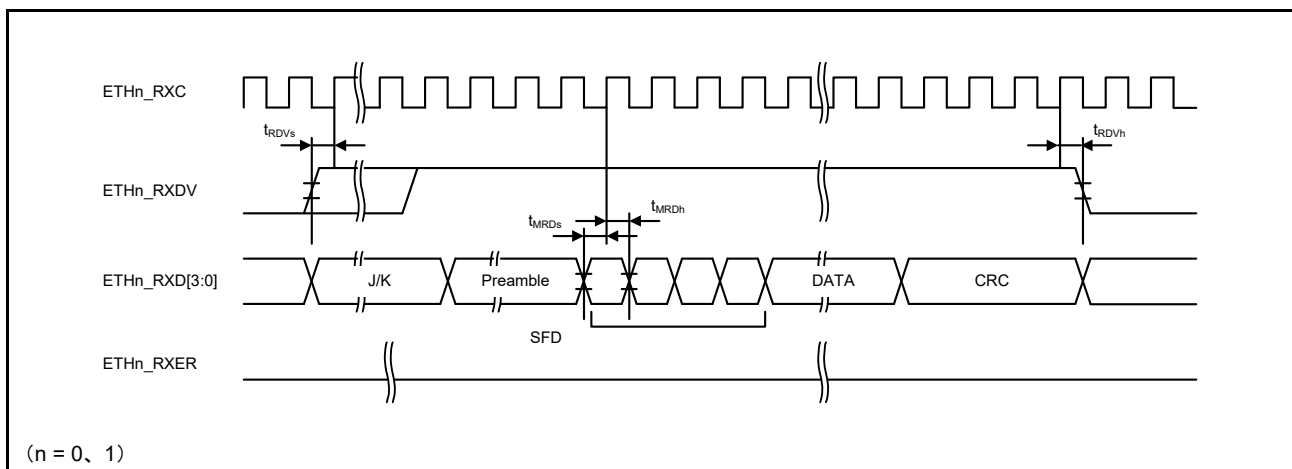


図 2.28 MII 受信タイミング (正常動作時)

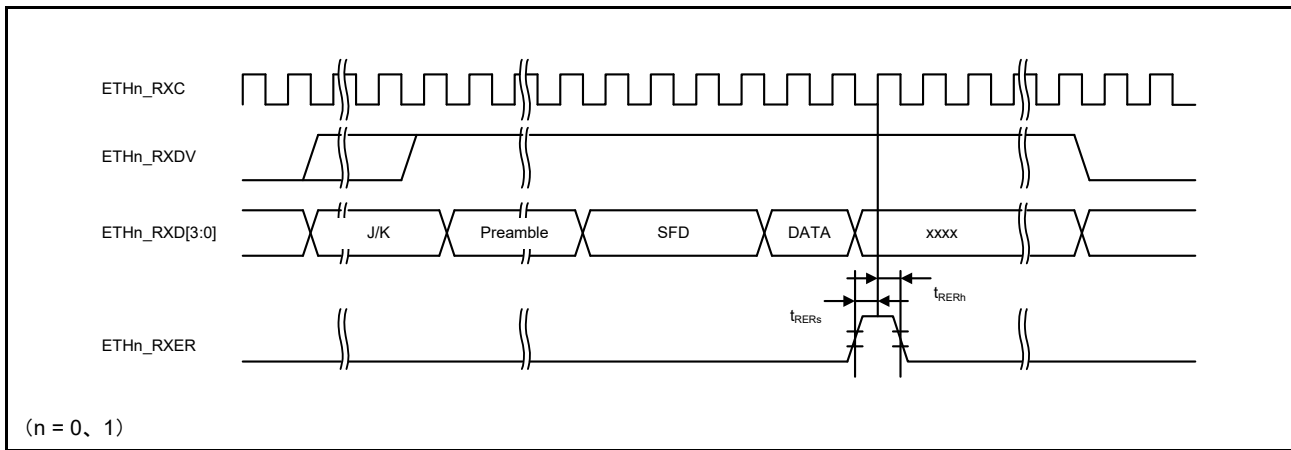


図 2.29 MII 受信タイミング (エラー発生ケース)

2.4.3.9 シリアル・マネージメント・インタフェース

表2.23 シリアル・マネージメント・インタフェース

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min	max	単位	測定条件
MDIO	ETH_MDC出力周期	t_{MDC}	80	—	ns	図2.30
	ETH_MDIO入力設定時間 (対 ETH_MDC ↑)	t_{SMDIO}	10	—	ns	
	ETH_MDIO入力保持時間 (対 ETH_MDC ↑)	t_{HMDIO}	0	—	ns	
	ETH_MDIO出力遅延時間 (対 ETH_MDC ↓)	t_{DMDIO}	—	20	ns	

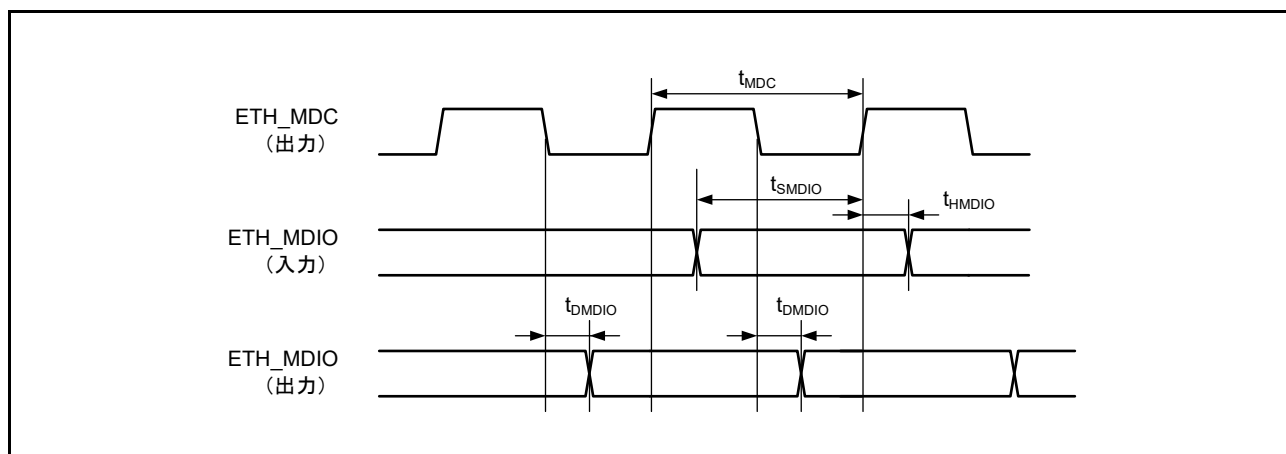


図 2.30 シリアル・マネージメント アクセスタイミング

2.5 USB 特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 \sim 1.26V$,
 $VCCQ33 = VDD33_USB = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = VSS_USB = 0V$,
 $T_j = -40 \sim 125 \text{ } ^\circ\text{C}$

表2.24 内蔵USBフルスピード特性 (USB_DP、USB_DM端子特性)

項目	記号	min	typ	max	単位	測定条件
立ち上がり時間	t_{FR}	4	—	20	ns	図2.31
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり／立ち下がり時間比	t_{FR} / t_{FF}	90	—	111.11	%	t_{FR} / t_{FF}

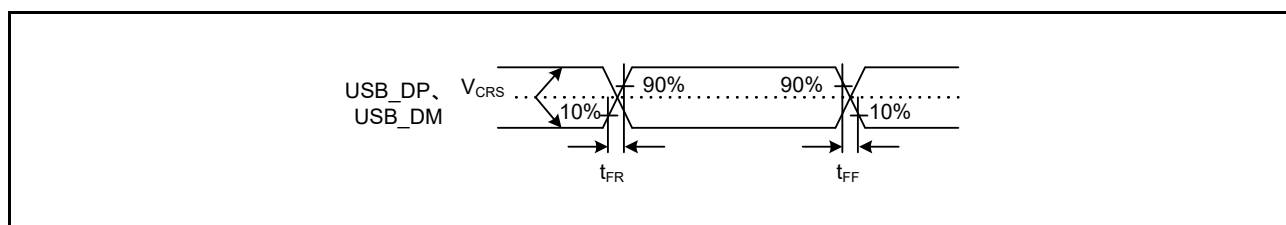


図 2.31 USB_DP、USB_DM 出力タイミング (フルスピード時)

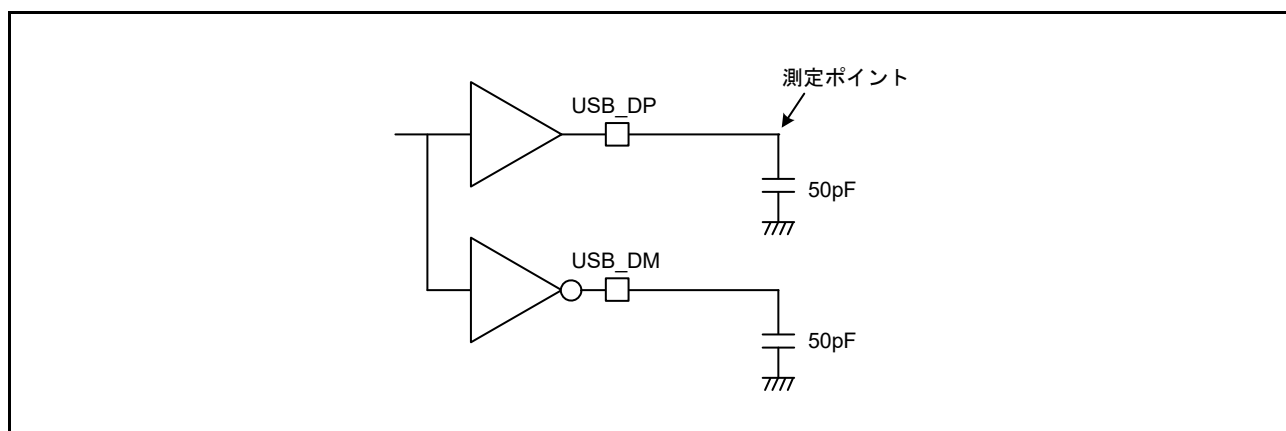


図 2.32 測定回路 (フルスピード時)

表2.25 内蔵USBハイスピード特性 (USB_DP、USB_DM端子特性)

項目		記号	min	typ	max	単位	測定条件
AC特性	立ち上がり時間	t_{HSR}	500	—	—	ps	図2.33
	立ち下がり時間	t_{HSF}	500	—	—	ps	
	出力抵抗	Z_{HSDRV}	40.5	—	49.5	Ω	

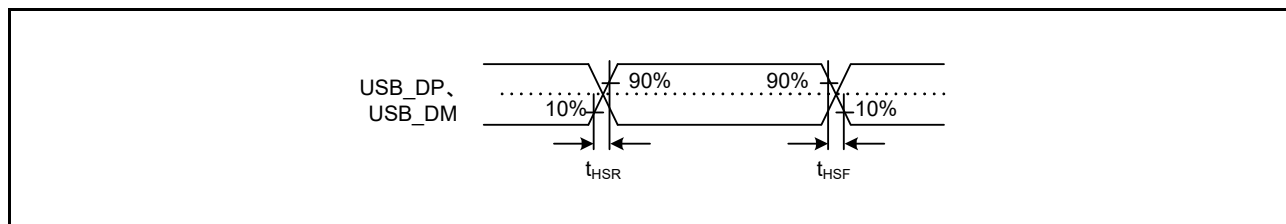


図 2.33 USB_DP、USB_DM 出力タイミング (ハイスピード時)

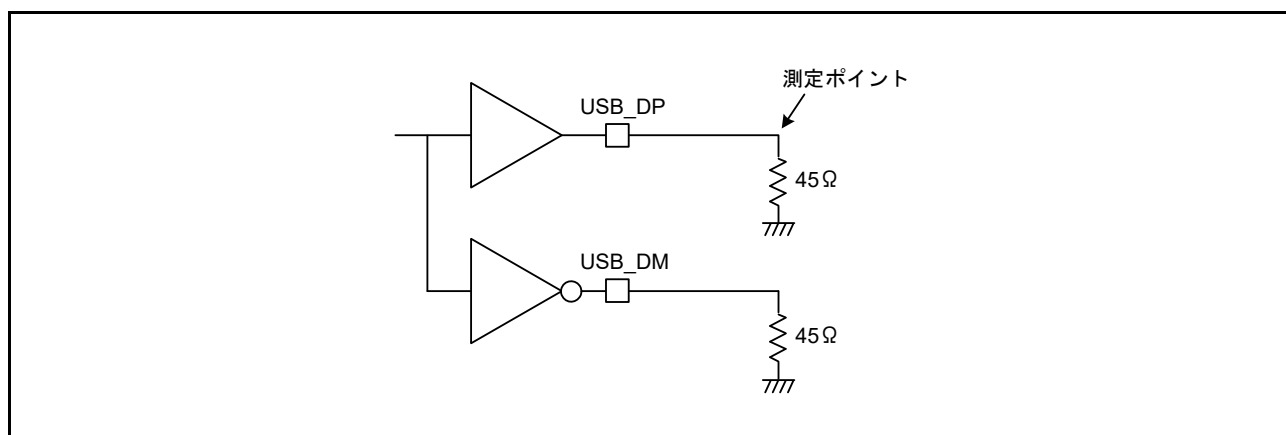


図 2.34 測定回路 (ハイスピード時)

2.6 発振停止検出タイミング

表 2.26 発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
クロック切替え時間	t_{dr}	—	—	1	ms	図 2.35

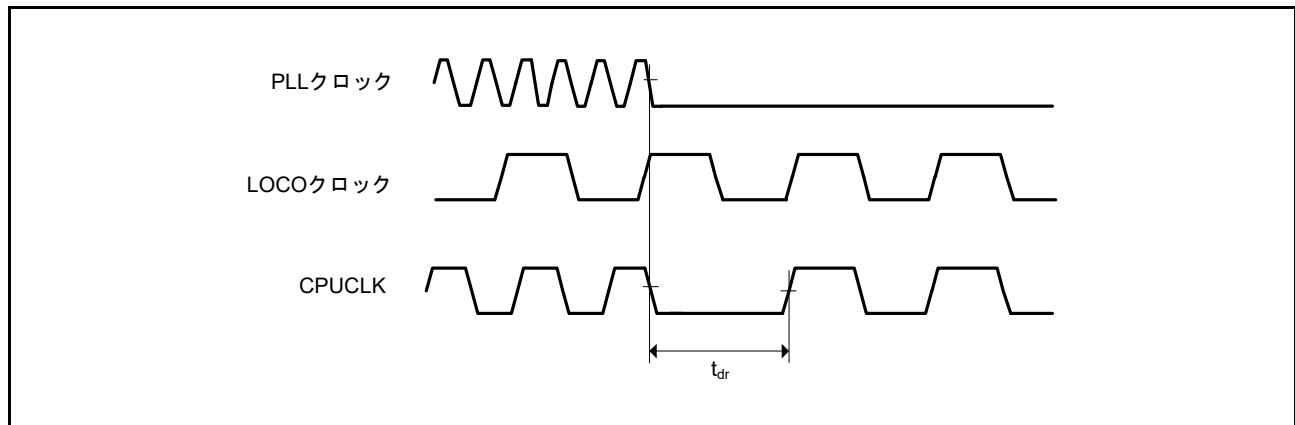


図 2.35 発振停止検出タイミング

2.7 デバッグインタフェースタイミング

表2.27 デバッグインタフェースタイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} - 0.5V$ 、 $V_{OL1} = 0.4V$

項目	記号	Min.	Max.	単位	参照図
TCKサイクル時間	t_{TCKcyc}	30	—	ns	図2.36
TCKハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCKロウレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDIセットアップ時間	t_{TDIS}	5	—	ns	図2.37 出力負荷 : 30pF
TDIホールド時間	t_{TDIH}	5	—	ns	
TMS/SWDIOセットアップ時間	t_{TMSS}	5	—	ns	
TMS/SWDIOホールド時間	t_{TMSh}	5	—	ns	
SWDIO遅延時間	t_{SWDO}	—	15	ns	
TDO遅延時間	t_{TDOD}	—	15	ns	
キャプチャレジスタセットアップ時間	t_{CAPTS}	5	—	ns	図2.38
キャプチャレジスタホールド時間	t_{CAPTH}	5	—	ns	
アップデートレジスタ遅延時間	$t_{UPDATED}$	—	15	ns	
トレースクロック周期	t_{TCYC}	26.6	—	ns	図2.39 出力負荷 : 15pF
トレースデータ遅延時間	t_{TDT}	$0.25 \times t_{TCYC} - 2$	$0.25 \times t_{TCYC} + 2$	ns	

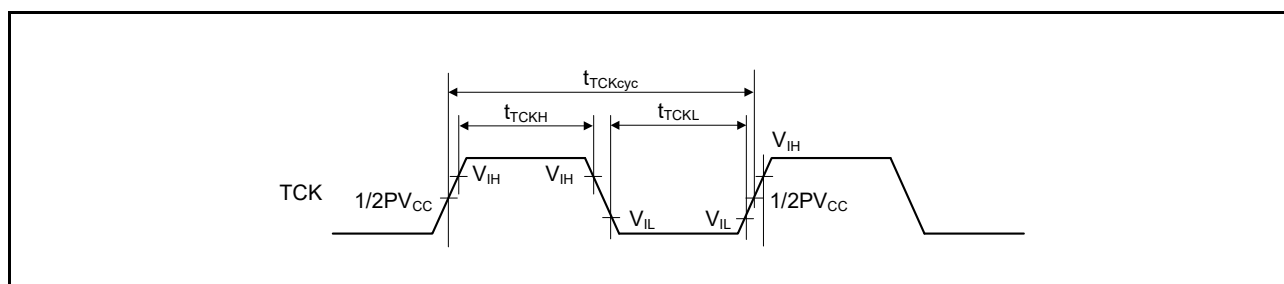


図 2.36 TCK 入力タイミング

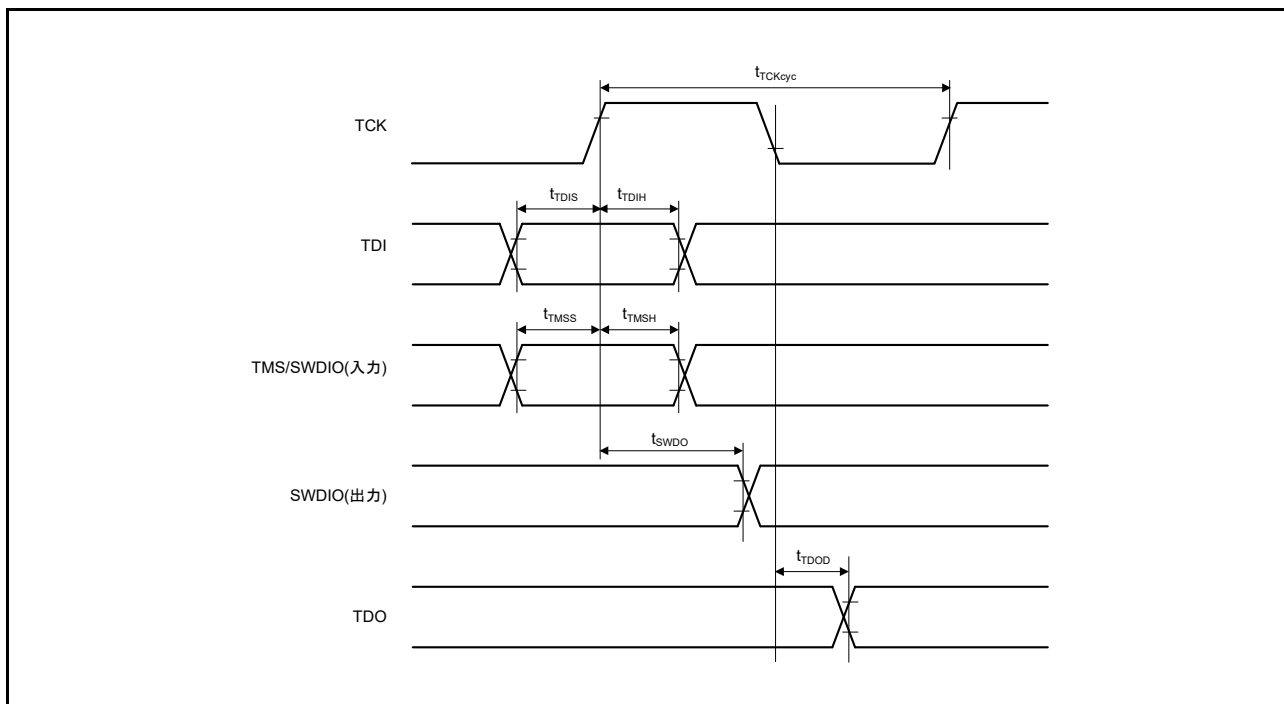


図 2.37 データ転送タイミング

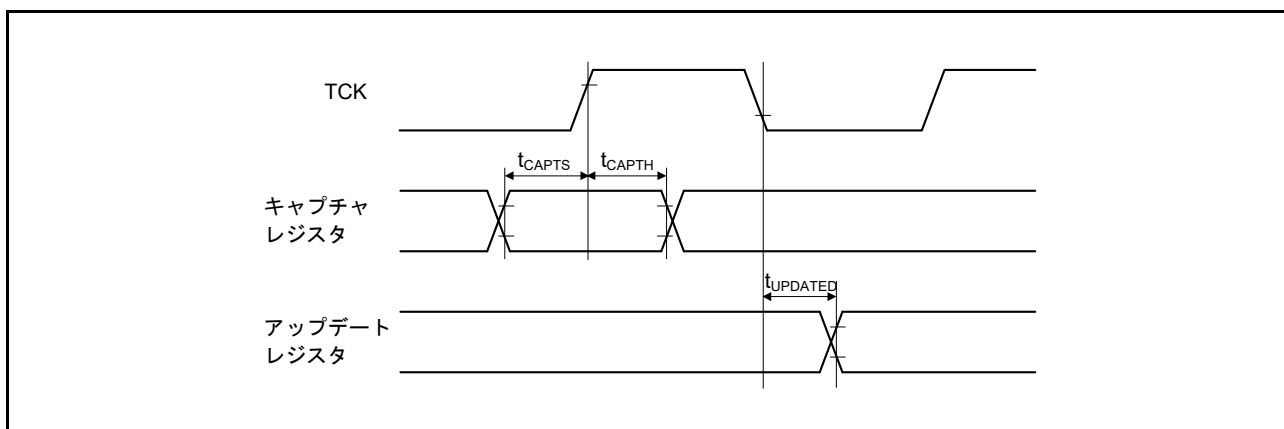


図 2.38 バウンダリスキャン入出力タイミング

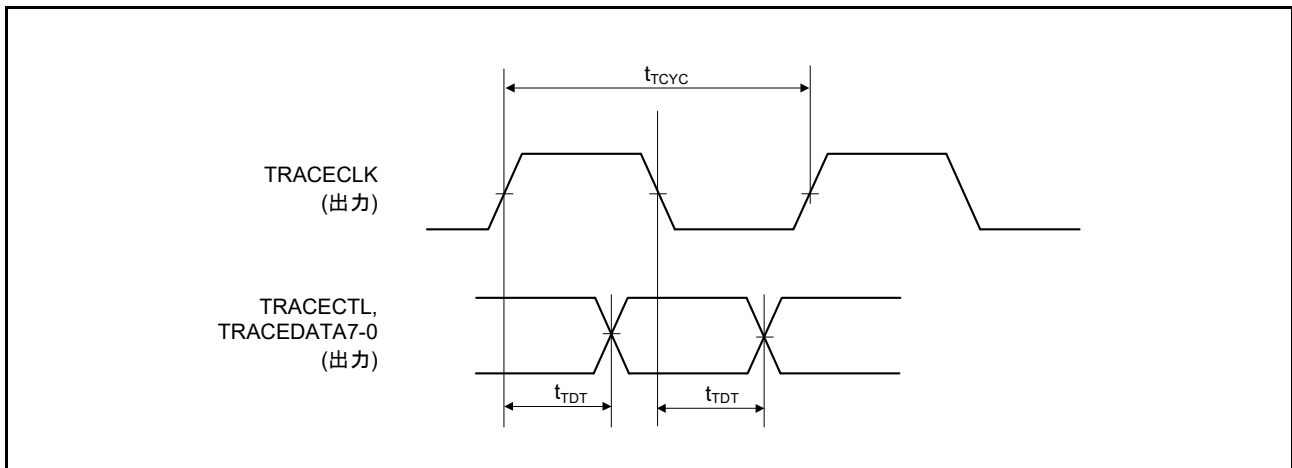


図 2.39 トレースインタフェースタイミング

改訂記録	EC-1 データシート
------	-------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2016.06.23	—	初版発行
1.00	2016.09.28	3	表 1.1 仕様概要 (2 / 3) 通信機能 CANモジュール (RSCAN) メッセージバッファ チャンネル数を変更、記述を削除
		22-54	2. 電気的特性を新規追加
1.10	2017.07.04	2. 電気的特性	
		41	図 2.21 SPIBSC 送受信タイミング (CPHAT = 0, CPHAR = 1) 変更
1.20	2018.04.03	全体	Cortex-R4F → Cortex-R4 に変更
		1. 概要	
		2	1.1 仕様概要 ARM社CortexR -R4Fプロセッサ → ARM社CortexR -R4 Processor with FPU に変更
		8	表 1.4 端子機能一覧 (1/3) CTS0# ~ CTS2# 端子 : 入出力と機能説明を変更、RTS0# ~ RTS2# 端子 : 機能説明を変更
		2. 電気的特性	
		36	表 2.18 RSPIa タイミング 注 2. を変更、注 3 を追加
1.30	2019.04.02	全体	
		—	ARM社 → Arm社 に修正
		1. 概要	
		2	表 1.1 仕様概要 (1 / 3) Cortex-R4 : アーキテクチャ名を変更、DMACa : 起動要因を変更
		3	表 1.1 仕様概要 (2 / 3) CMT : イベントリンク機能の説明を変更、RIICa : イベントリンク機能の説明を削除
		2. 電気的特性	
		26	表 2.5 DC 特性 (4) 【USB2.0 USB_RREF 端子】 単位 : Ω 追記
		29	表 2.12 XTAL クロックタイミング 定格値を修正
1.40	2020.09.30	全体	登録商標表示 Arm → Arm®
		2. 電気的特性	
		25	表 2.4 DC 特性 (3) 【USB2.0 ホスト / ファンクション関連端子を除く】 出力 High レベル電圧 / 全出力端子 / V _{OH} → 出力 High レベル電圧 / 5V トレラント対応端子以外 / V _{OH} 、スリーステートリーク電流 (オフ状態) / 5V トレラント対応端子 / I _{TSI} → スリーステートリーク電流 (オフ状態) / 5V トレラント対応端子 (注 ¹) / I _{TSI} 脚注番号追加、入力プルダウン MOS 電流 / 抵抗 : I _{pd1} 、R _{pd1} の測定条件 修正、入力プルダウン MOS 電流 / 抵抗 : I _{pd2} 、R _{pd2} の測定条件 修正
		29	表 2.11 CLKOUT25Mn タイミング CLKOUT25Mn (MII) / CLKOUT25Mn 周波数 : min-max 値 修正
44	表 2.20 RIICa タイミング 注 4 修正		
51	表 2.25 内蔵 USB ハイスピード特性 (USB_DP、USB_DM 端子特性) Typ → typ 修正		

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振器（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振器（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。