

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## HD404889/HD404899/ HD404878/HD404868 シリーズ

液晶表示回路内蔵、低電圧動作 AS マイコン

RJJ03B0050-0500H

Rev.5.00

2003.09.08

### 概要

HD404889/HD404899/HD404868 シリーズは、液晶表示回路 (LCD)、A/D コンバータ、多機能タイマおよび大電流入出力端子など各種周辺機能を内蔵しており、ページャ、リモコン、LCD 表示型家電などの幅広い分野の表示パネル制御とシステムコントロールに適した低電圧動作 4 ビットシングルチップマイコンです。

また、HD404878 シリーズは、A/D コンバータを削除した低電圧動作 4 ビットシングルチップマイコンです。

各シリーズとも、時計用 32.768kHz サブ発振子を付けることにより、時計のカウントアップが行え、豊富な低消費電力モードにより、消費電流の低減が図れます。

HD4074889/HD4074899/HD4074869 は、PROM を内蔵した ZTAT<sup>®</sup>マイコンです。システムの開発期間を飛躍的に短縮し、デバッグから量産までをスムーズに立ち上げることができます (PROM のプログラム仕様は 27256 タイプと同様です)。

### 特長

- 入出力端子 46 本 (HD404889/HD404899/HD404878 シリーズ)  
41 本 (HD404868 シリーズ)  
大電流入出力端子 (ソース 10mA max) 4 本  
大電流入出力端子 (シンク 15mA max) 8 本 (HD404889/HD404899/HD404878 シリーズ)  
6 本 (HD404868 シリーズ)  
LCD セグメント兼用端子 16 本  
アナログ入力兼用端子 6 本 (HD404889/HD404899 シリーズ)  
4 本 (HD404868 シリーズ)
- タイマ/カウンタ 16 ビットタイマ 1 本 (8 ビットタイマ 2 本としても使用可能)  
8 ビットタイマ 2 本 (HD404889/HD404899/HD404878 シリーズ)  
1 本 (HD404868 シリーズ)
- インพุットキャプチャ 8 ビット×1 チャンネル (HD404889/HD404899/HD404878 シリーズ)
- タイマ出力 2 本 (PWM 出力可能)

ZTAT<sup>®</sup> : Zero Turn Around Time ZTAT<sup>®</sup>は (株) ルネサステクノロジの登録商標です。

## HD404889/HD404899/HD404878/HD404868 シリーズ

---

- イベント入力 2本 (エッジプログラマブル) (HD404889/HD404899/HD404878 シリーズ)  
1本 (エッジプログラマブル) (HD404868 シリーズ)
- 8ビットクロック同期式シリアルインタフェース 1本
- A/D コンバータ 8ビット×6チャンネル (HD404889 シリーズ)  
10ビット×6チャンネル (HD404899 シリーズ)  
10ビット×4チャンネル (HD404868 シリーズ)
- 液晶表示回路 (LCD) 32セグメント×4コモン (HD404889/HD404899/HD404878 シリーズ)  
24セグメント×4コモン (HD404868 シリーズ)
- 発振器内蔵  
メインクロック (セラミック発振子、水晶発振子、または外部クロック動作可能)  
サブクロック (32.768kHz 水晶発振子)
- 割り込み  
外部 3本 (内1本はエッジ選択可能)  
内部 6本 (HD404889/HD404899 シリーズ)  
5本 (HD404878/HD404868 シリーズ)
- サブルーチンスタック 割り込み含め最大16レベル
- 4つの低消費電力モード
- モジュールスタンバイ (タイマ、シリアル、A/D コンバータ)
- システムクロック分周ソフトウェア切り替え (1/4 または 1/32)
- ストップモードからの復帰入力 4本
- 命令実行時間  
最小 0.89  $\mu$ s ( $f_{OSC}=4.5$ MHz)
- 動作電圧  
 $V_{CC} = 1.8V \sim 5.5V$

### 【使用上の注意】

- (1) マスク ROM 版および ZTAT®版は、データシートに記載しております電气的特性は基準値を十分満足することを確認しております。しかし、製造プロセスの違い、内部の配線パターン等の違いにより、特性上の実力値や動作マージン、ノイズマージン等は異なります。つきましては、いずれの製品におかれましても同等の実機システム評価試験を行い、動作のご確認をお願いいたします。
- (2) 電源投入後、メモリレジスタ、データエリア、スタックエリアの値は不定です。初期化の上ご使用ください。

製品ラインアップ

HD404889 シリーズ

区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ
マスク ROM	HD404888	HD404888H	8,192	1,344	80 ピンプラスチック QFP(FP-80A)
		HD404888TE			80 ピンプラスチック TQFP(TFP-80C)
	HD4048812	HD4048812H	12,288		80 ピンプラスチック QFP(FP-80A)
		HD4048812TE			80 ピンプラスチック TQFP(TFP-80C)
	HD404889	HD404889H	16,384		80 ピンプラスチック QFP(FP-80A)
		HD404889TE			80 ピンプラスチック TQFP(TFP-80C)
HCD404889	HCD404889		チップ*2		
ZTAT®	HD4074889	HD4074889H	16,384	80 ピンプラスチック QFP(FP-80A)*1	
		HD4074889TE		80 ピンプラスチック TQFP(TFP-80C)*1	

【注】 \*1. ZTAT®でのチップ出荷は対応していません。

\*2. チップ出荷の場合、出荷仕様がパッケージ品と異なりますので必ず、弊社営業担当にご確認ください。

HD404899 シリーズ

区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ
マスク ROM	HD404898	HD404898H	8,192	1,344	80 ピンプラスチック QFP(FP-80A)
		HD404898TE			80 ピンプラスチック TQFP(TFP-80C)
	HD4048912	HD4048912H	12,288		80 ピンプラスチック QFP(FP-80A)
		HD4048912TE			80 ピンプラスチック TQFP(TFP-80C)
	HD404899	HD404899H	16,384		80 ピンプラスチック QFP(FP-80A)
		HD404899TE			80 ピンプラスチック TQFP(TFP-80C)
HCD404899	HCD404899		チップ*2		
ZTAT®	HD4074899	HD4074899H	16,384	80 ピンプラスチック QFP(FP-80A)*1	
		HD4074899TE		80 ピンプラスチック TQFP(TFP-80C)*1	

【注】 \*1. ZTAT®でのチップ出荷は対応していません。

\*2. チップ出荷の場合、出荷仕様がパッケージ品と異なりますので必ず、弊社営業担当にご確認ください。(計画中)

HD404878 シリーズ

区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ
マスク ROM	HD404874	HD404874H	4,096	880	80 ピンプラスチック QFP(FP-80A)
		HD404874TE			80 ピンプラスチック TQFP(TFP-80C)
	HD404878	HD404878H	8,192		80 ピンプラスチック QFP(FP-80A)
		HD404878TE			80 ピンプラスチック TQFP(TFP-80C)
	HCD404878	HCD404878			チップ*2
ZTAT®	HD4074889 または HD4074899 を使用*1				

【注】 \*1. ZTAT®でのチップ出荷は対応していません。

\*2. チップ出荷の場合、出荷仕様がパッケージ品と異なりますので必ず、弊社営業担当にご確認ください。(計画中)

HD404889/HD404899/HD404878/HD404868 シリーズ

HD404868 シリーズ

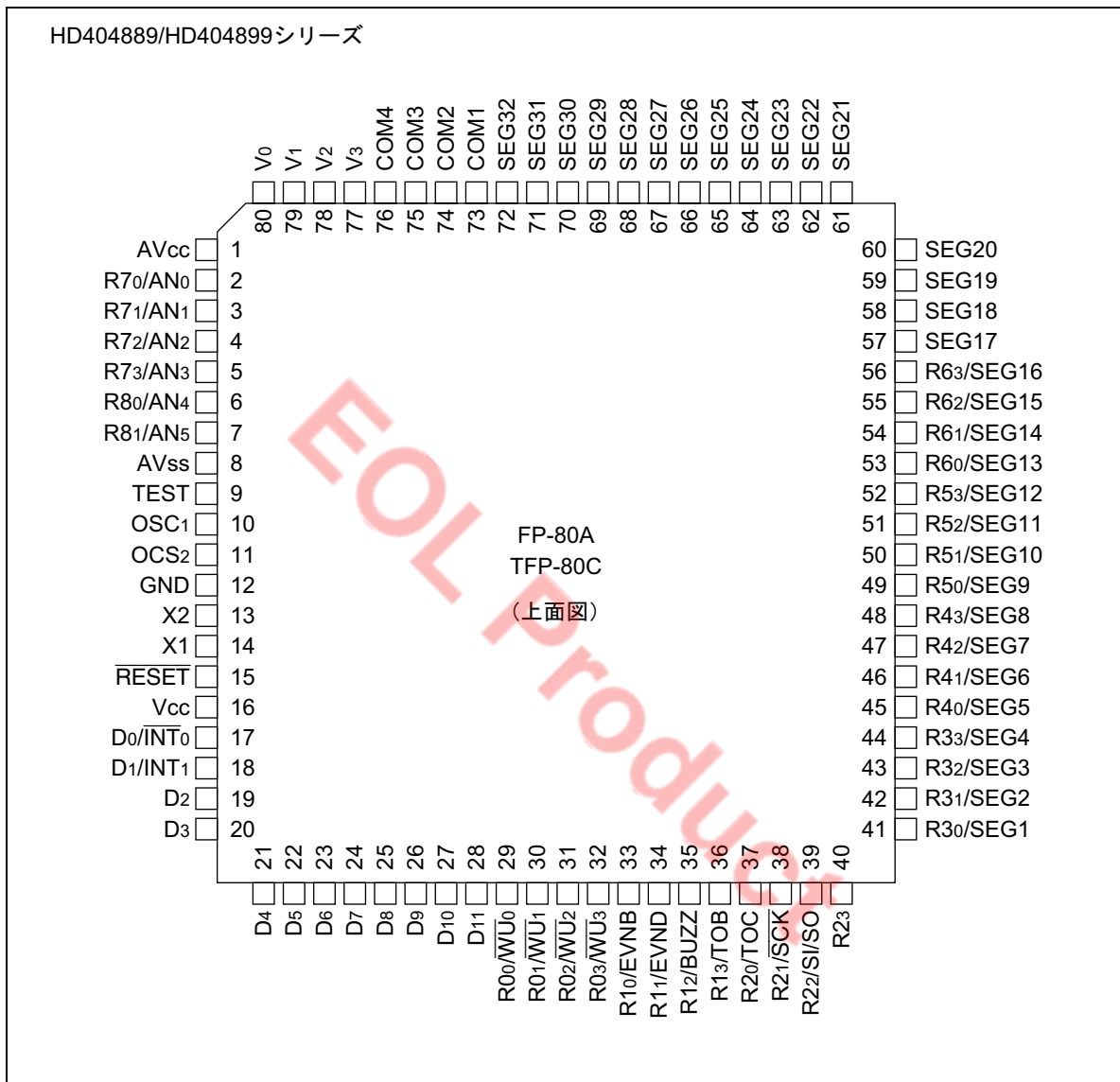
区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ
マスク ROM	HD404864	HD404864H	4,096	408	64 ピンプラスチック QFP(FP-64A)
		HD404864S			64 ピンプラスチック DILP(DP-64S)
	HD404868	HD404868H	8,192		64 ピンプラスチック QFP(FP-64A)
		HD404868S			64 ピンプラスチック DILP(DP-64S)
	HCD404868	HCD404868	チップ*		
	ZTAT®	HD4074869	HD4074869H		16,384
HD4074869S			64 ピンプラスチック DILP(DP-64S)		

【注】 \* 計画中

EOL Product

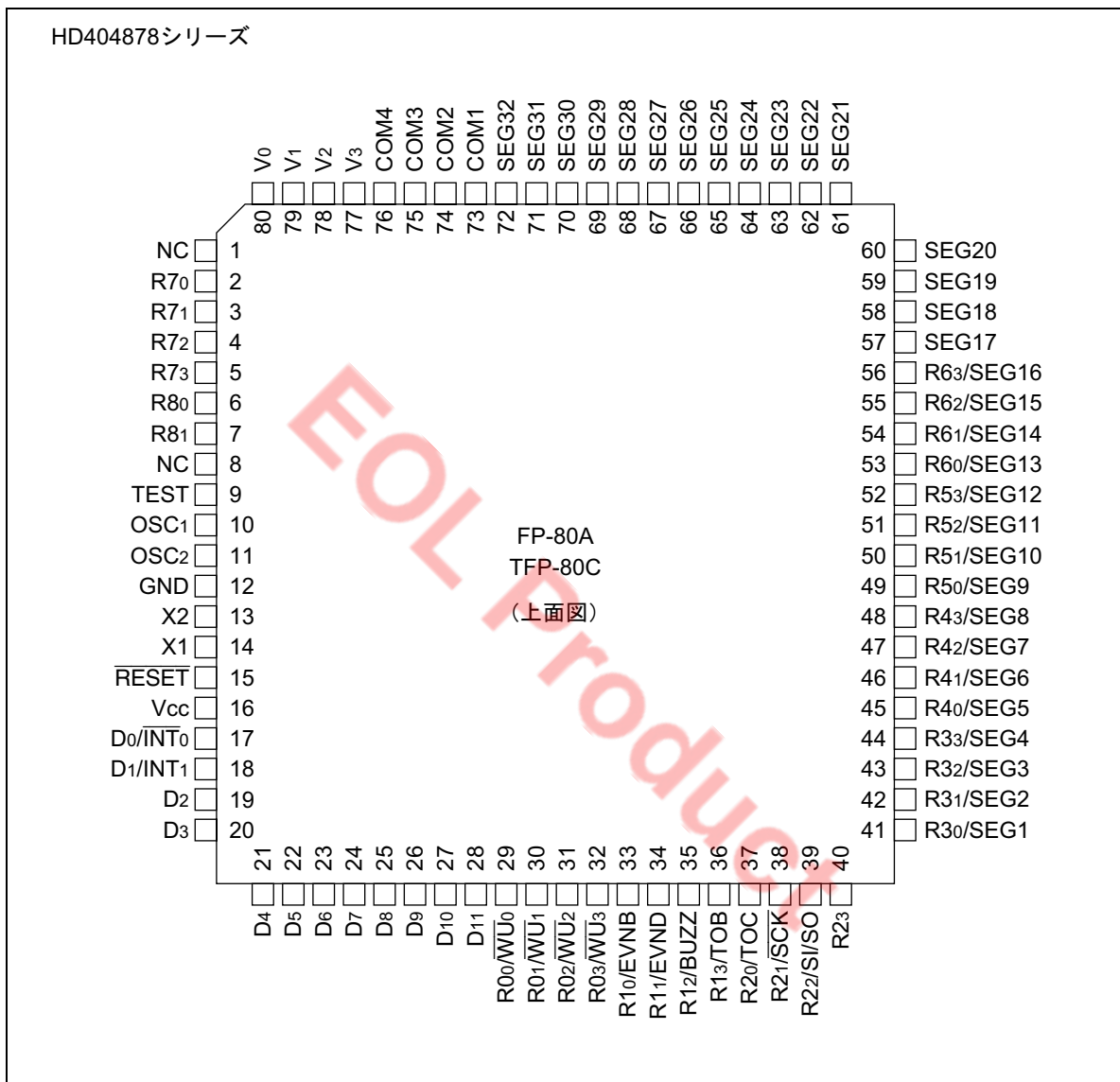


ピン配置

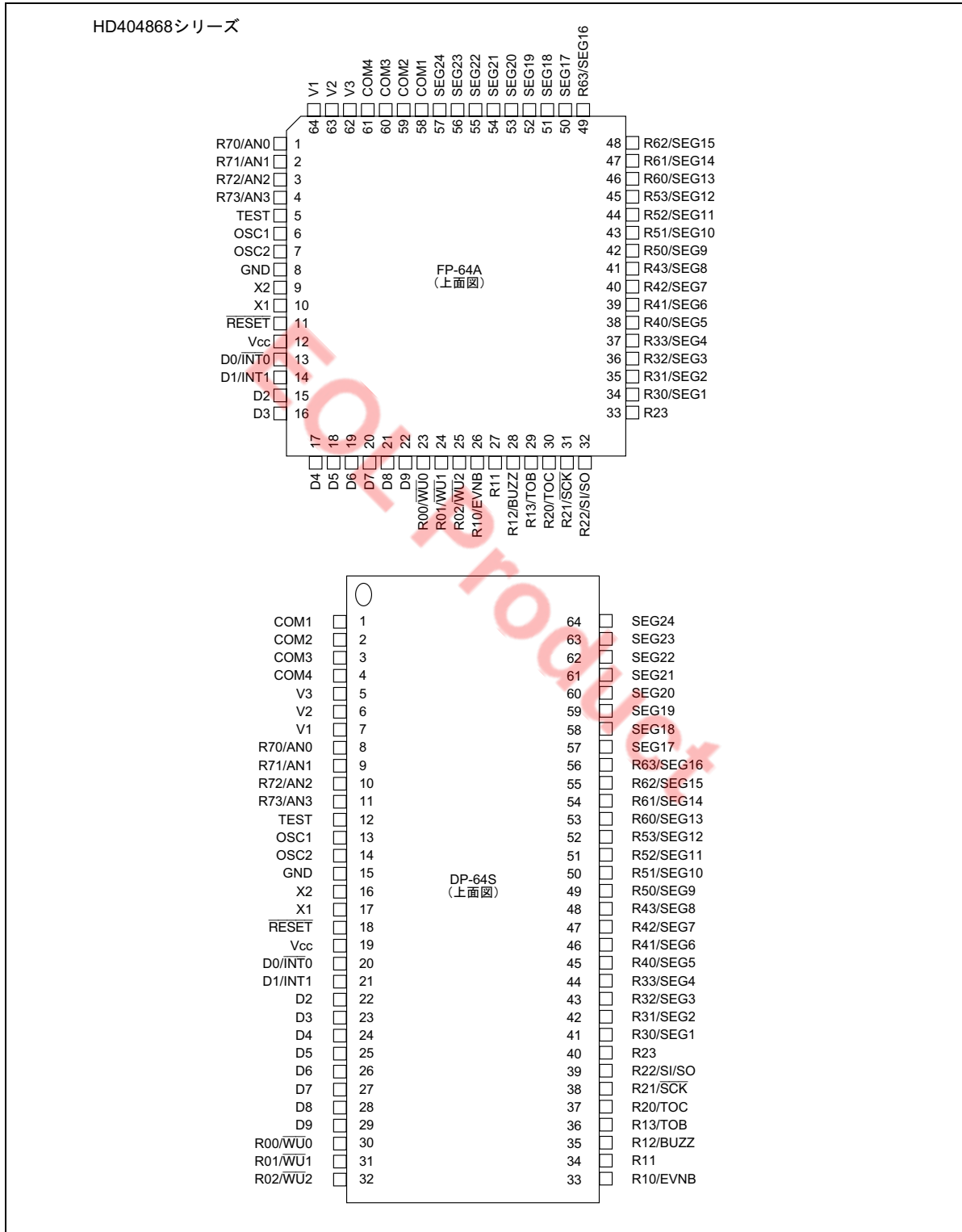




ピン配置

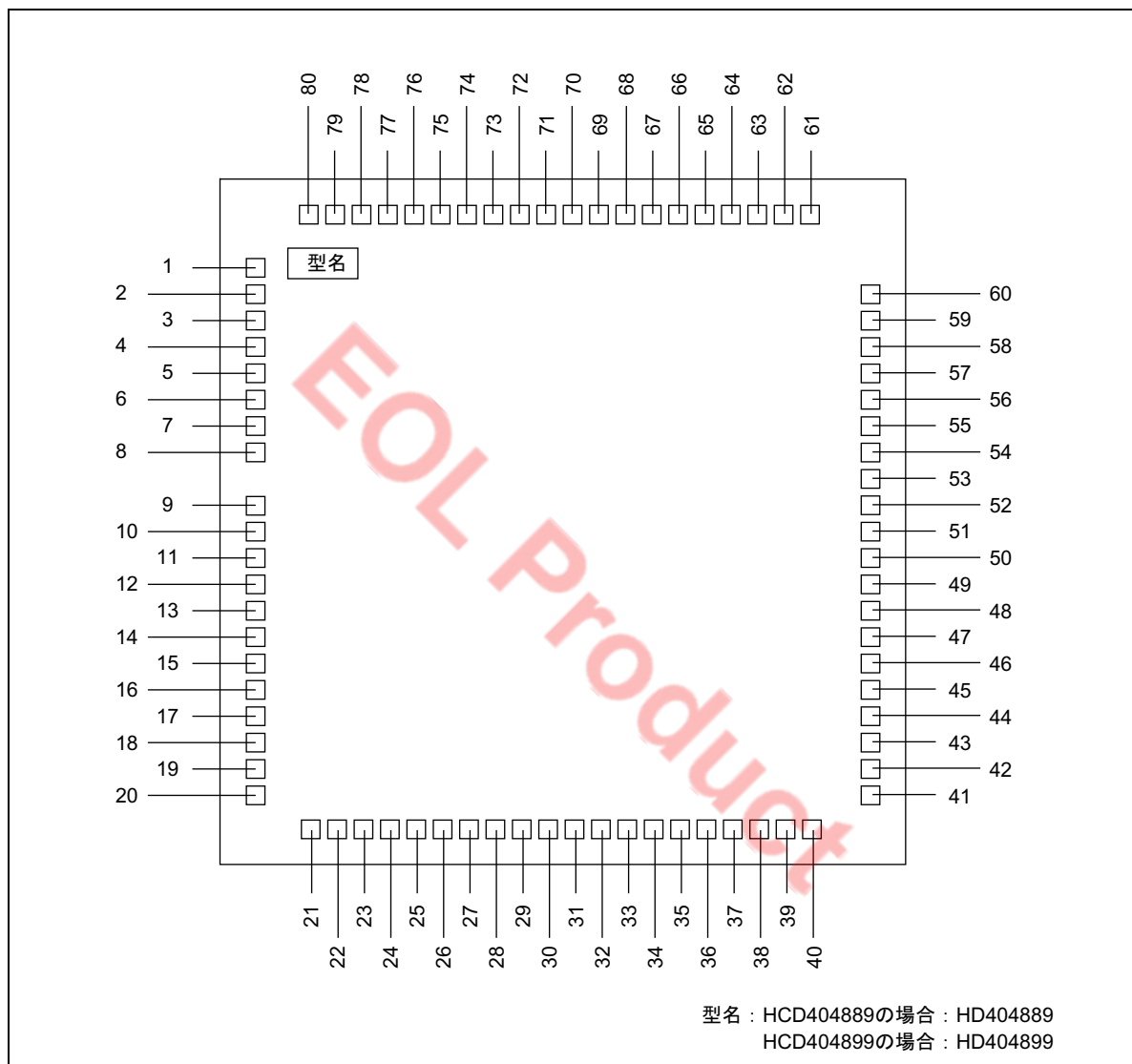


ピン配置



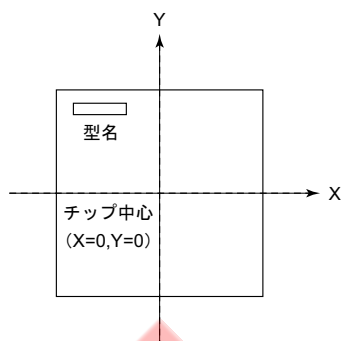
パッド配置

HCD404889、HCD404899



パッド座標

HCD404889、HCD404899



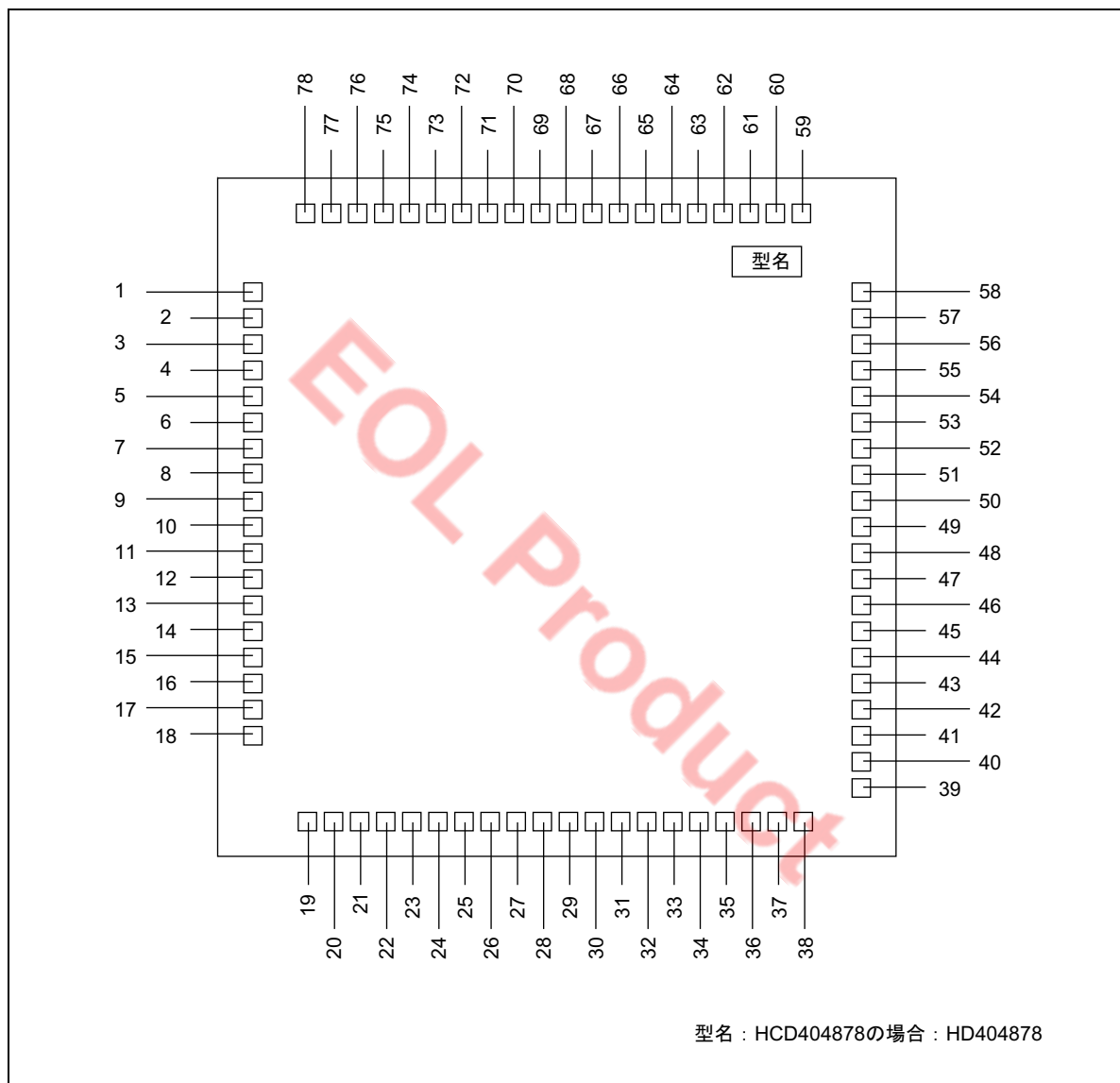
チップサイズ (X×Y) : 4.63×4.77 (mm)  
座標 : パッド中央  
原点位置 : チップ中心  
パッドサイズ (X×Y) : 90×90 (μm)  
チップ厚 : 280 (μm)

EOL Product

パッド No.	パッド名称	座 標		パッド No.	パッド名称	座 標	
		X( $\mu$ m)	Y( $\mu$ m)			X( $\mu$ m)	Y( $\mu$ m)
1	AVcc	-2129	1779	41	R30/SEG1	2129	-1787
2	R70/AN0	-2129	1589	42	R31/SEG2	2129	-1616
3	R71/AN1	-2129	1417	43	R32/SEG3	2129	-1445
4	R72/AN2	-2129	1246	44	R33/SEG4	2129	-1273
5	R73/AN3	-2129	1074	45	R40/SEG5	2129	-1102
6	R80/AN4	-2129	903	46	R41/SEG6	2129	-973
7	R81/AN5	-2129	732	47	R42/SEG7	2129	-759
8	AVss	-2129	506	48	R43/SEG8	2129	-588
9	TEST	-2129	103	49	R50/SEG9	2129	-417
10	OSC1	-2129	-68	50	R51/SEG10	2129	-245
11	OSC2	-2129	-240	51	R52/SEG11	2129	-74
12	GND	-2129	-434	52	R53/SEG12	2129	98
13	X2	-2129	-605	53	R60/SEG13	2129	269
14	X1	-2129	-776	54	R61/SEG14	2129	440
15	RESETN	-2129	-948	55	R62/SEG15	2129	612
16	Vcc	-2129	-1119	56	R63/SEG16	2129	783
17	D0/INT0N	-2129	-1290	57	SEG17	2129	954
18	D1/INT1	-2129	-1462	58	SEG18	2129	1126
19	D2	-2129	-1633	59	SEG19	2129	1297
20	D3	-2129	-1804	60	SEG20	2129	1477
21	D4	-1677	-2199	61	SEG21	1588	2199
22	D5	-1506	-2199	62	SEG22	1407	2199
23	D6	-1335	-2199	63	SEG23	1236	2199
24	D7	-1163	-2199	64	SEG24	1064	2199
25	D8	-992	-2199	65	SEG25	893	2199
26	D9	-821	-2199	66	SEG26	722	2199
27	D10	-649	-2199	67	SEG27	550	2199
28	D11	-478	-2199	68	SEG28	379	2199
29	R00/WU0N	-307	-2199	69	SEG29	208	2199
30	R01/WU1N	-135	-2199	70	SEG30	36	2199
31	R02/WU2N	36	-2199	71	SEG31	-135	2199
32	R03/WU3N	208	-2199	72	SEG32	-307	2199
33	R10/EVNB	379	-2199	73	COM1	-478	2199
34	R11/EVND	550	-2199	74	COM2	-649	2199
35	R12/BUZZ	722	-2199	75	COM3	-821	2199
36	R13/TOB	893	-2199	76	COM4	-992	2199
37	R20/TOC	1064	-2199	77	V3	-1163	2199
38	R21/SCKN	1236	-2199	78	V2	-1335	2199
39	R22/Si/SO	1407	-2199	79	V1	-1506	2199
40	R23	1588	-2199	80	V0	-1677	2199

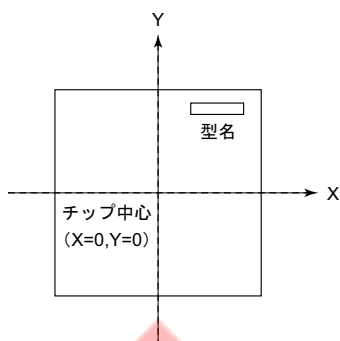
パッド配置

HCD404878



パッド座標

HCD404878



チップサイズ (X×Y) : 4.13×4.26 (mm)  
座標 : パッド中央  
原点位置 : チップ中央  
パッドサイズ (X×Y) : 90×90 (μm)  
チップ厚 : 280 (μm)

EOL Product

HD404889/HD404899/HD404878/HD404868 シリーズ

パッド No.	パッド名称	座 標		パッド No.	パッド名称	座 標	
		X( $\mu$ m)	Y( $\mu$ m)			X( $\mu$ m)	Y( $\mu$ m)
1	R70	-1879	1446	40	R31/SEG2	1879	-1405
2	R71	-1879	1280	41	R32/SEG3	1879	-1239
3	R72	-1879	1114	42	R33/SEG4	1879	-1072
4	R73	-1879	948	43	R40/SEG5	1879	-906
5	R80	-1879	781	44	R41/SEG6	1879	-740
6	R81	-1879	615	45	R42/SEG7	1879	-573
7	TEST	-1879	449	46	R43/SEG8	1879	-407
8	OSC1	-1879	282	47	R50/SEG9	1879	-241
9	OSC2	-1879	116	48	R51/SEG10	1879	-74
10	GND	-1879	-73	49	R52/SEG11	1879	92
11	X2	-1879	-239	50	R53/SEG12	1879	258
12	X1	-1879	-406	51	R60/SEG13	1879	425
13	RESETN	-1879	-572	52	R61/SEG14	1879	591
14	Vcc	-1879	-738	53	R62/SEG15	1879	757
15	D0/INT0N	-1879	-905	54	R63/SEG16	1879	924
16	D1/INT1	-1879	-1071	55	SEG17	1879	1087
17	D2	-1879	-1237	56	SEG18	1879	1246
18	D3	-1879	-1404	57	SEG19	1879	1405
19	D4	-1654	-1943	58	SEG20	1879	1564
20	D5	-1488	-1943	59	SEG21	1509	1943
21	D6	-1322	-1943	60	SEG22	1351	1943
22	D7	-1155	-1943	61	SEG23	1192	1943
23	D8	-989	-1943	62	SEG24	1033	1943
24	D9	-823	-1943	63	SEG25	874	1943
25	D10	-656	-1943	64	SEG26	716	1943
26	D11	-490	-1943	65	SEG27	557	1943
27	R00/WU0N	-324	-1943	66	SEG28	398	1943
28	R01/WU1N	-158	-1943	67	SEG29	239	1943
29	R02/WU2N	9	-1943	68	SEG30	81	1943
30	R03/WU3N	175	-1943	69	SEG31	-78	1943
31	R10/EVNB	341	-1943	70	SEG32	-237	1943
32	R11/EVND	508	-1943	71	COM1	-411	1943
33	R12/BUZZ	674	-1943	72	COM2	-570	1943
34	R13/TOB	840	-1943	73	COM3	-728	1943
35	R20/TOC	1007	-1943	74	COM4	-887	1943
36	R21/SCKN	1173	-1943	75	V3	-1038	1943
37	R22/Si/SO	1339	-1943	76	V2	-1194	1943
38	R23	1506	-1943	77	V1	-1351	1943
39	R30/SEG1	1879	-1571	78	V0	-1507	1943



## 端子説明

## HD404889/HD404899/HD404878 シリーズ

分類	端子記号	ピン番号		機能
		FP-80A TFP-80C	入出力	
電源	V <sub>CC</sub>	16	—	電源電圧を印加してください。
	GND	12	—	接地してください。
テスト	TEST	9	入力	ユーザアプリケーションのための端子ではありません。 GND 電位に接続してください。
リセット	RESET	15	入力	MCU をリセットするために使用します。
発振	OSC <sub>1</sub>	10	入力	内部発振器への入出力端子です。セラミック発振子、水晶 発振子、または外部発振回路を接続してください。
	OSC <sub>2</sub>	11	出力	
	X1	14	入力	時計用発振器への入出力端子です。32.768kHz の水晶を接 続してください。 32.768kHz 水晶発振を使用しない場合は X1 端子を V <sub>CC</sub> に 固定し、X2 端子は解放にしてください。
	X2	13	出力	
ポート	D <sub>0</sub> ~D <sub>11</sub>	17~28	入出力	1 ビットごとにアドレスされる入出力端子です。D <sub>0</sub> ~D <sub>3</sub> 端子は大電流ソース端子 (max・10mA) D <sub>4</sub> ~D <sub>11</sub> は大電流 シンク端子 (max・15mA) です。
	R <sub>0</sub> ~R <sub>6</sub> R <sub>7</sub> ~R <sub>8</sub>	29~56, 2~7	入出力	4 ビットごとにアドレスされる入出力端子です。
割り込み	INT <sub>0</sub> ,INT1	17,18	入力	外部割り込み入力端子です。
ウェイクアップ	WU <sub>0</sub> ~WU <sub>3</sub>	29~32	入力	ストップモードからアクティブモードへの遷移に使用す る入力端子です。
シリアル インタフェース	SCK	38	入出力	シリアルインタフェースのクロック入出力端子です。
	SI	39	入力	シリアルインタフェースの受信データ入力端子です。
	SO	39	出力	シリアルインタフェースの送信データ出力端子です。
タイマ	TOB,TOC	36,37	出力	タイマ出力端子です。
	EVNB,EVND	33,34	入力	イベントカウント入力端子です。
液晶表示	V <sub>0</sub> ~V <sub>3</sub>	80~77	—	液晶ドライバ用の電源端子です。内蔵電源分割抵抗は、ソ フトウェアにより切り離しが可能です。電源条件は、V <sub>CC</sub> ≥V1≥V2≥V3≥GND です。
	COM1~COM4	73~76	出力	液晶表示用コモン信号端子です。
	SEG1~SEG32	41~72	出力	液晶表示用セグメント信号端子です。
A/D コンバータ <sup>*1</sup>	AV <sub>CC</sub>	1	—	A/D コンバータ用電源端子です。V <sub>CC</sub> 端子にできる限り近 い場所で V <sub>CC</sub> と同電位になるよう接続してください。
	AV <sub>SS</sub>	8	—	AV <sub>CC</sub> に対するグラウンド端子です。GND 端子にできる限り 近い場所で GND と同電位になるよう接続してください。
	AN <sub>0</sub> ~AN <sub>5</sub>	2~7	入力	A/D コンバータのアナログ入力端子です。
ブザー出力	BUZZ	35	出力	タイマオーバフローのトグル出力またはシステムクロッ クの分周クロック出力端子です。
その他	NC	1,8 <sup>*2</sup>	—	GND 電位に接続してください。

【注】 \*1 HD404889/HD404899 シリーズに適用。

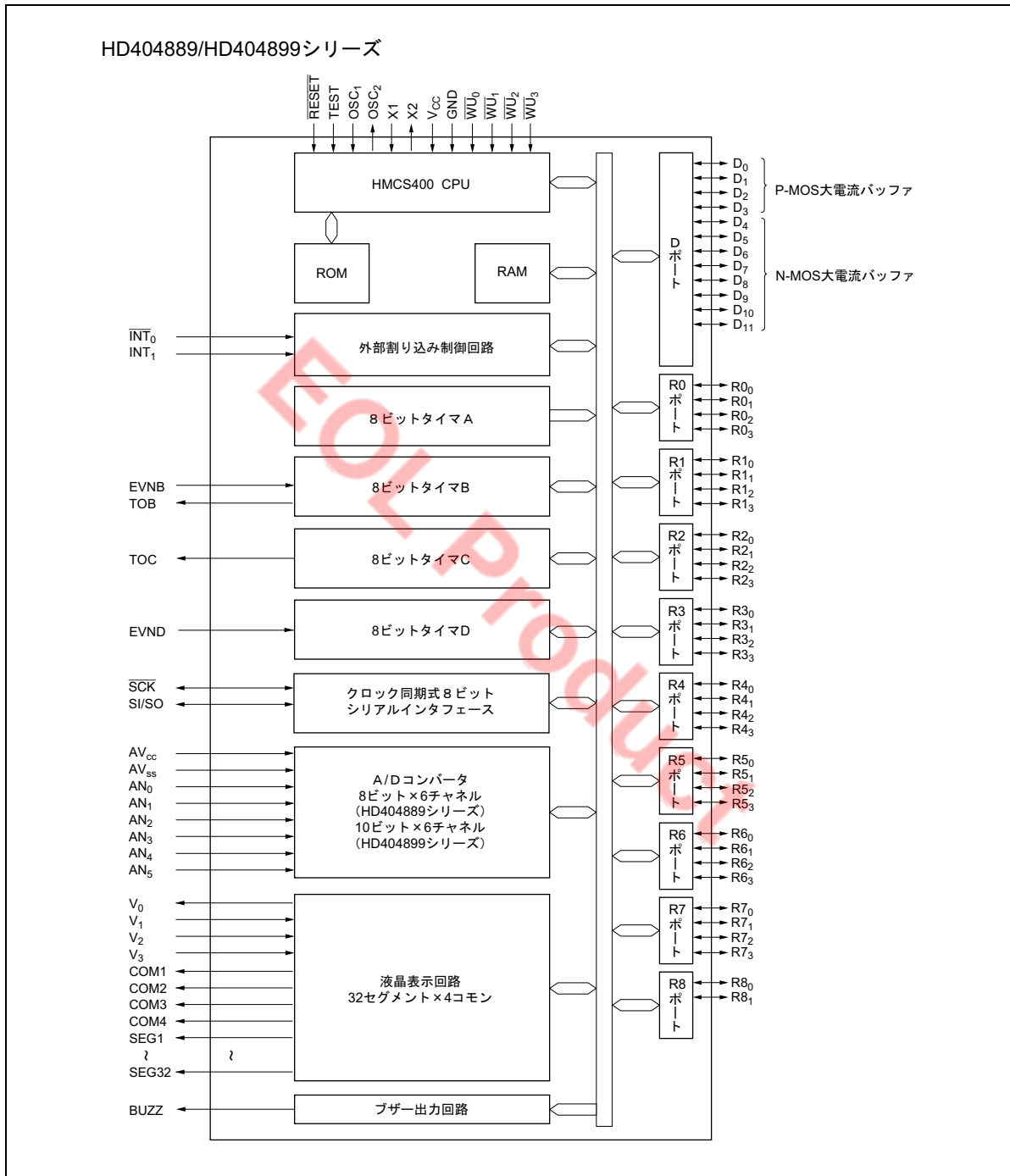
\*2 HD404878 シリーズに適用。

端子説明

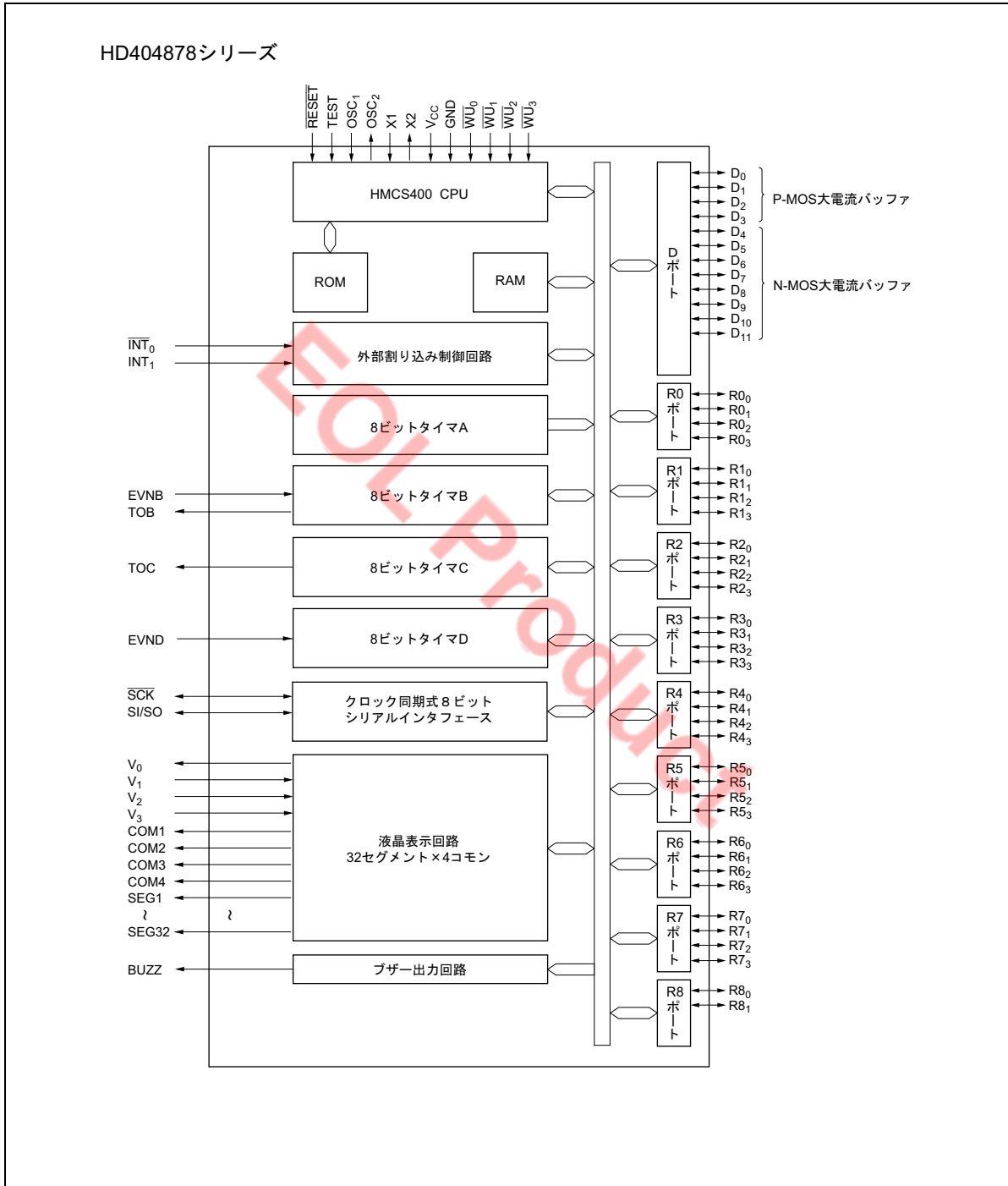
HD404868 シリーズ

分類	端子記号	ピン番号			機能
		FP-64A	DP-64S	入出力	
電源	V <sub>CC</sub>	12	19	—	電源電圧を印加してください。
	GND	8	15	—	接地してください。
テスト	TEST	5	12	入力	ユーザアプリケーションのための端子ではありません。GND 電位に接続してください。
リセット	RESET	11	18	入力	MCU をリセットするために使用します。
発振	OSC <sub>1</sub>	6	13	入力	内部発振器への入出力端子です。セラミック発振子、水晶発振子、または外部発振回路を接続してください。
	OSC <sub>2</sub>	7	14	出力	
	X1	10	17	入力	時計用発振器への入出力端子です。32.768kHz の水晶を接続してください。 32.768kHz 水晶発振を使用しない場合は X1 端子を V <sub>CC</sub> に固定し、X2 端子は解放にしてください。
	X2	9	16	出力	
ポート	D <sub>0</sub> ~D <sub>9</sub>	13~22	20~29	入出力	1 ビットごとにアドレスされる入出力端子です。D <sub>0</sub> ~D <sub>3</sub> 端子は大電流ソース端子 (max・10mA) D <sub>4</sub> ~D <sub>9</sub> は大電流シンク端子 (max・15mA) です。
	R <sub>0</sub> ~R <sub>02</sub>	23~25	30~32	入出力	4 ビットごとにアドレスされる入出力端子です。
	R <sub>10</sub> ~R <sub>63</sub>	26~49	33~56		
	R <sub>70</sub> ~R <sub>73</sub>	1~4	8~11		
割り込み	INT <sub>0</sub> ,INT1	13,14	20,21	入力	外部割り込み入力端子です。
ウェイクアップ	WU <sub>0</sub> ~WU <sub>2</sub>	23~25	30~32	入力	ストップモードからアクティブモードへの遷移に使用する入力端子です。
シリアルインタフェース	SK	31	38	入出力	シリアルインタフェースのクロック入出力端子です。
	SI	32	39	入力	シリアルインタフェースの受信データ入力端子です。
	SO	32	39	出力	シリアルインタフェースの送信データ出力端子です。
タイマ	TOB,TOC	29,30	36,37	出力	タイマ出力端子です。
	EVNB	26	33	入力	イベントカウント入力端子です。
液晶表示	V <sub>1</sub> ~V <sub>3</sub>	64~62	7~5	—	液晶ドライバ用の電源端子です。内蔵電源分割抵抗は、ソフトウェアにより切り離しが可能です。電源条件は、V <sub>CC</sub> ≥V <sub>1</sub> ≥V <sub>2</sub> ≥V <sub>3</sub> ≥GND です。
	COM1~COM4	58~61	1~4	出力	液晶表示用コモン信号端子です。
	SEG1~SEG24	34~57	41~64	出力	液晶表示用セグメント信号端子です。
A/D コンバータ	AN <sub>0</sub> ~AN <sub>3</sub>	1~4	8~11	入力	A/D コンバータのアナログ入力端子です。
ブザー出力	BUZZ	28	35	出力	タイマオーバフローのトル出力またはシステムクロックの分周クロック出力端子です。

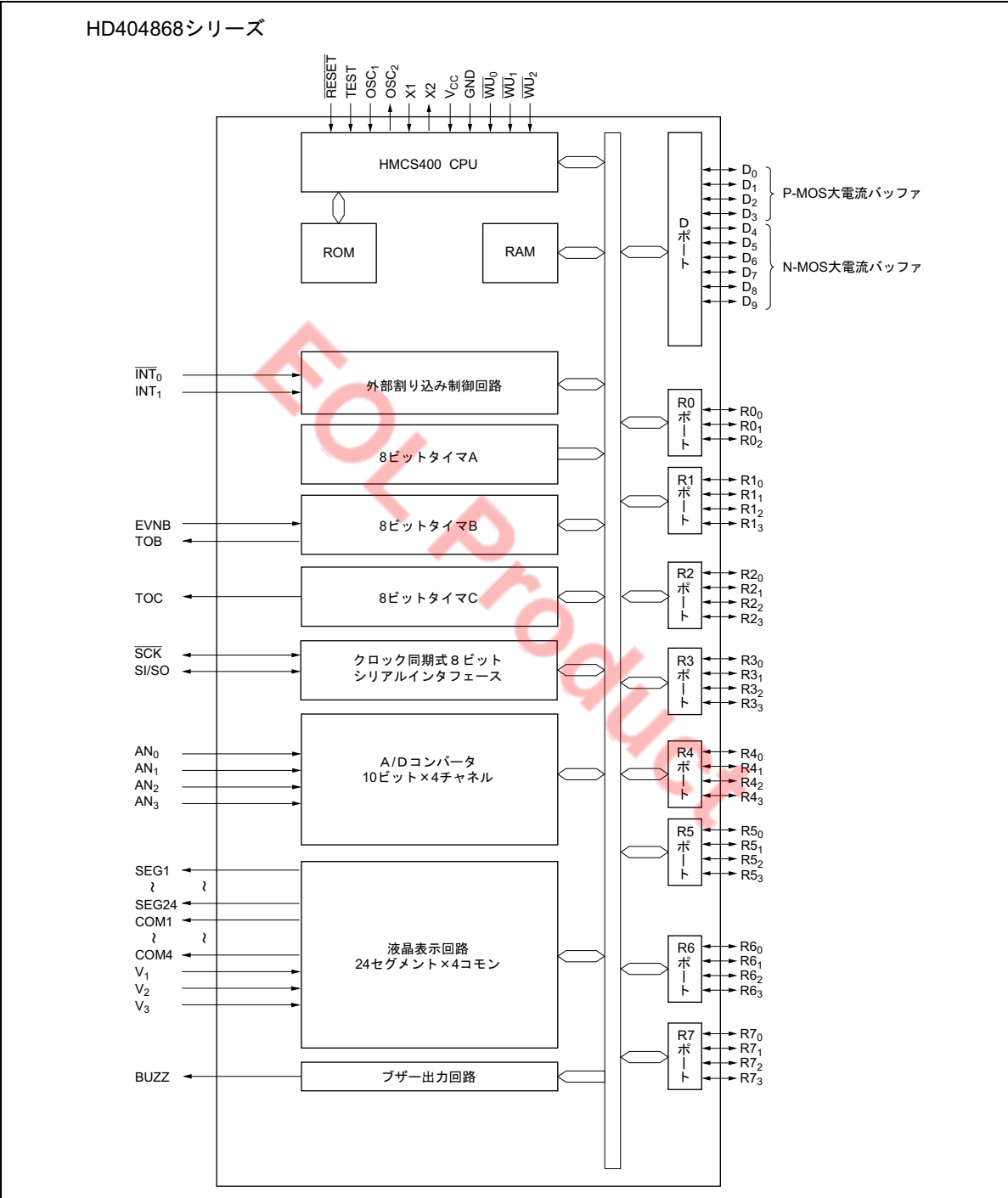
ブロックダイアグラム



ブロックダイアグラム



ブロックダイアグラム



メモリマップ

1. ROM メモリマップ

ROM メモリマップを図 1 に示し、以下に説明します。

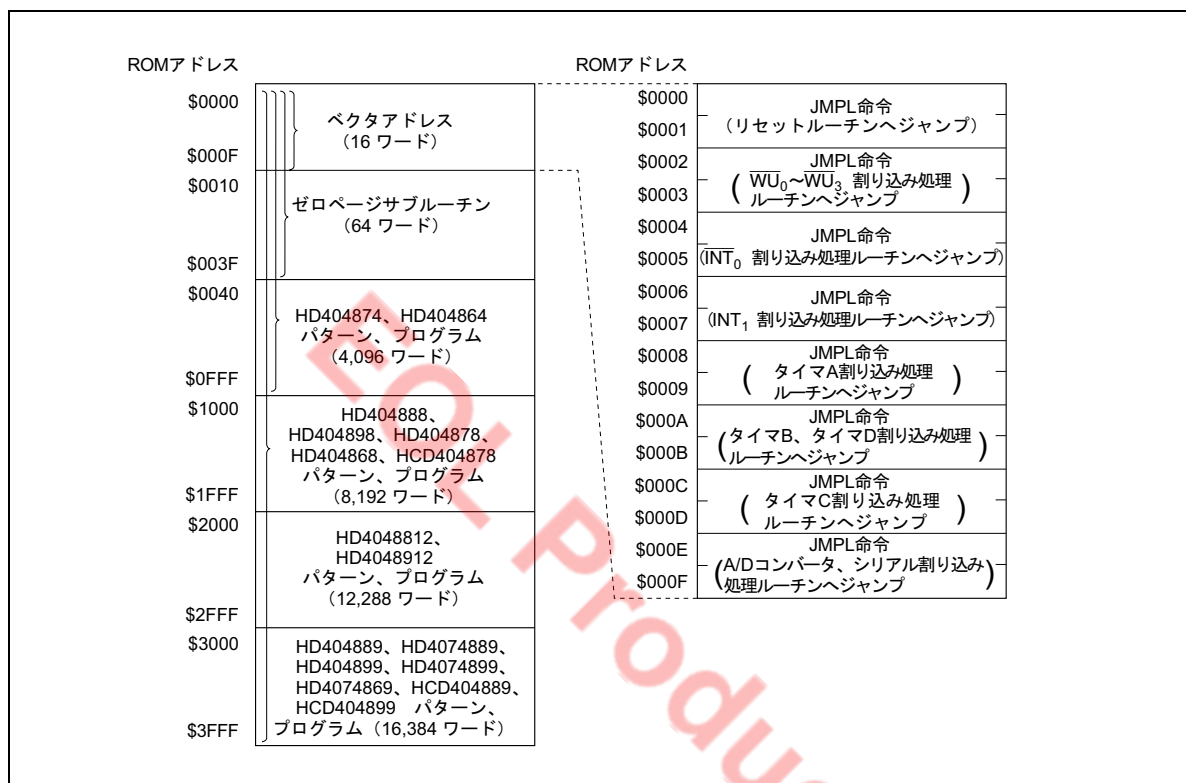


図 1 ROM メモリマップ

(1) ベクタアドレスエリア…\$0000～\$000F

MCU のリセットおよび割り込み処理が行われた場合、ベクタアドレスからプログラムが実行されます。ここでは、リセットルーチンの先頭アドレスおよび割り込みルーチンの先頭アドレスへ分岐する JMWL 命令をプログラムしてください。

(2) ゼロページサブルーチンエリア…\$0000～\$003F

CAL 命令により、\$0000～\$003F にあるサブルーチンへ分岐することができます。

(3) パターンエリア…\$0000～\$0FFF

P 命令により、\$0000～\$0FFF にある ROM データを、パターンとして参照することができます。

(4) プログラムエリア…\$0000～\$0FFF(HD404874、HD404864)

\$0000～\$1FFF(HD404888、HD404898、HD404878、HD404868、HCD404878)

\$0000～\$2FFF(HD4048812、HD4048912)

\$0000～\$3FFF(HD404889、HD404899、HCD404889、HCD404899、HD4074899、HD4074889、HD4074869)

## 2. RAM メモリマップ

MCU は、メモリレジスタエリア、液晶表示データエリア、データエリア、スタックエリアの RAM を内蔵しています。これらのエリア以外に、RAM マップレジスタエリアとして、割り込み制御ビットエリア、特殊レジスタエリア、レジスタフラグエリアが RAM メモリ空間上にマッピングされています。

RAM メモリマップを図 2 に示し、以下に説明します。

電源投入後、メモリレジスタ、LCD データエリア、データエリア、スタックエリアの値は不定です。初期化の上、ご使用ください。

EOL Product

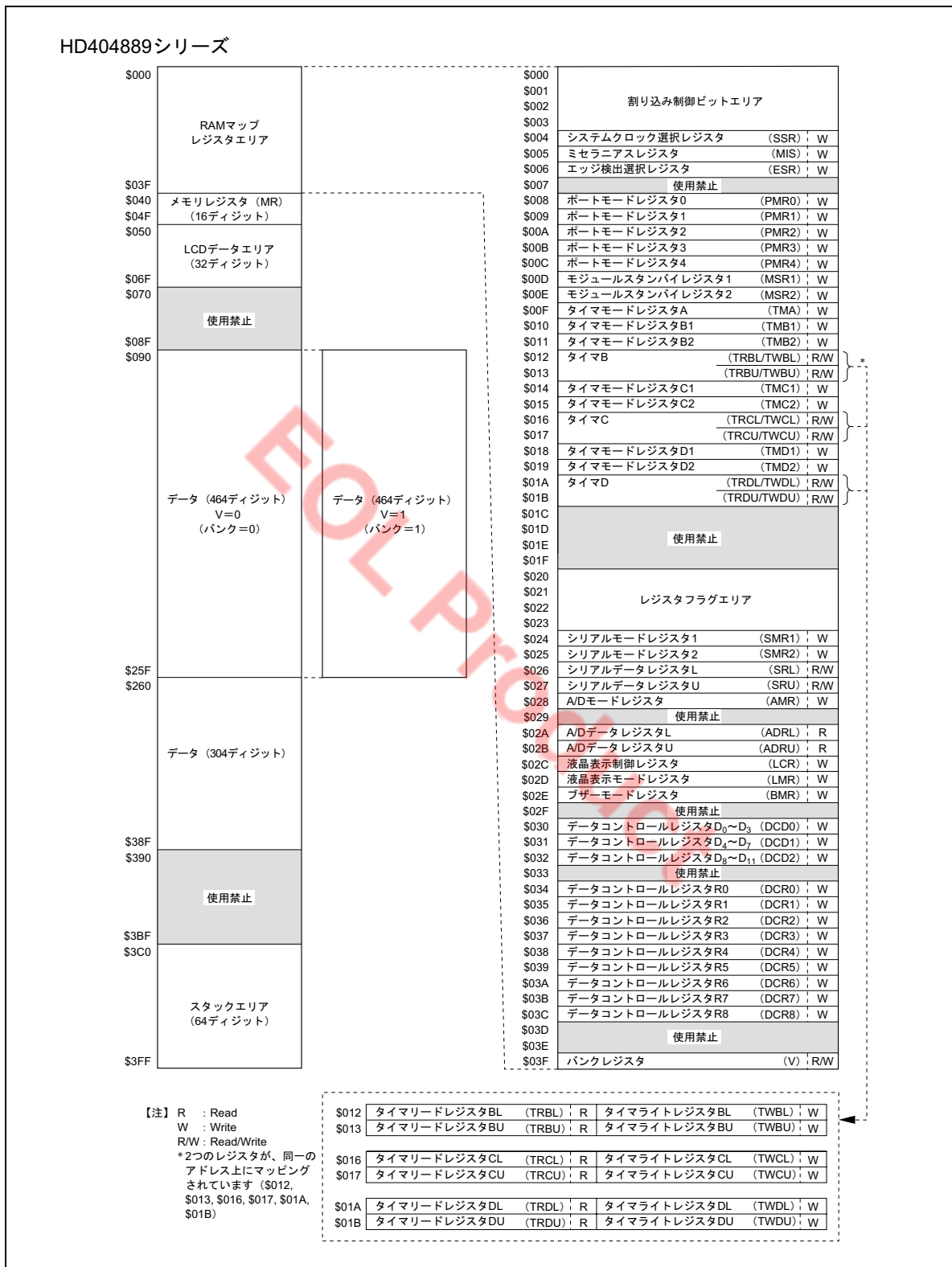


図 2 (1) RAM メモリマップ



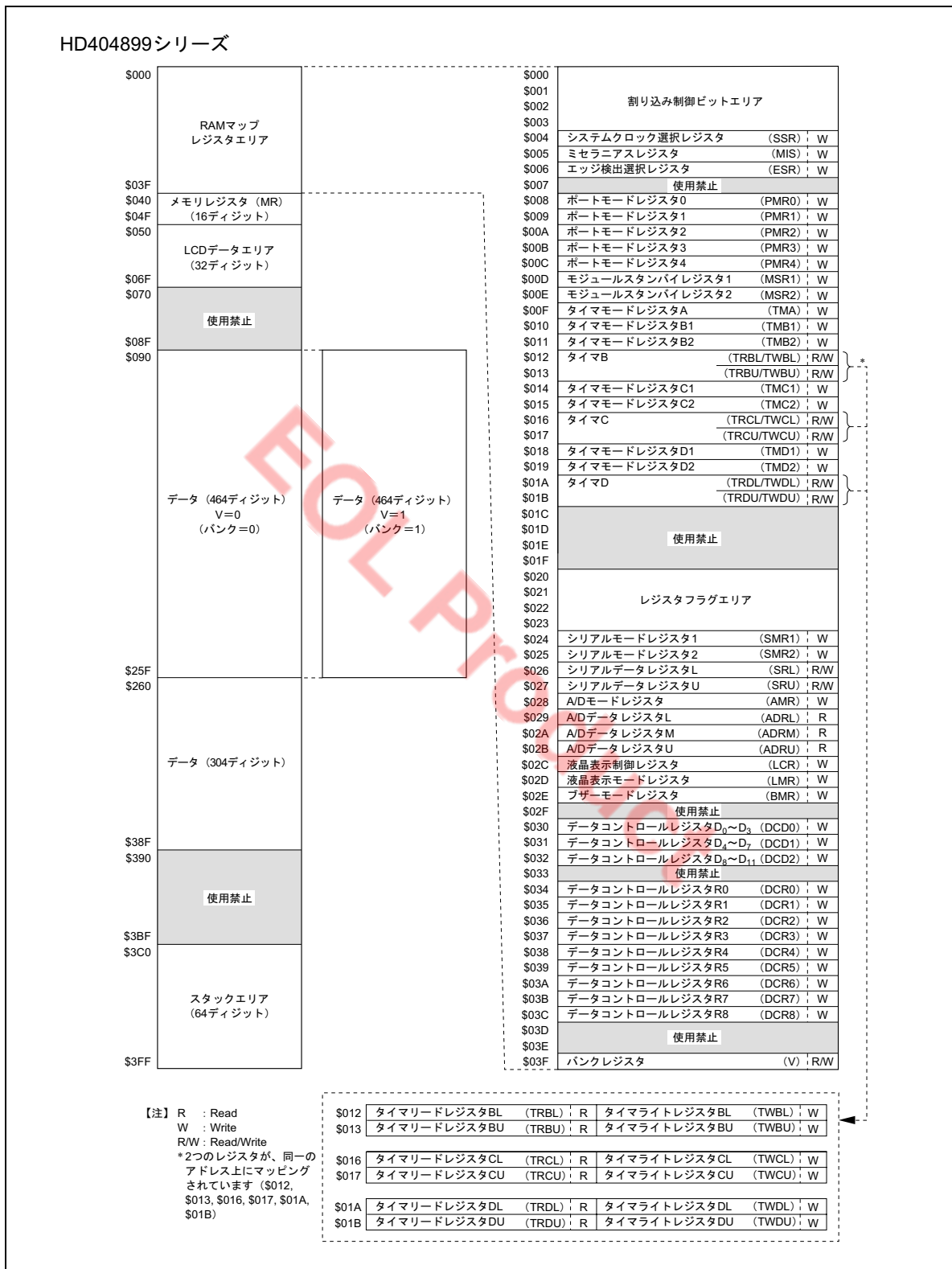


図 2 (2) RAM メモリマップ

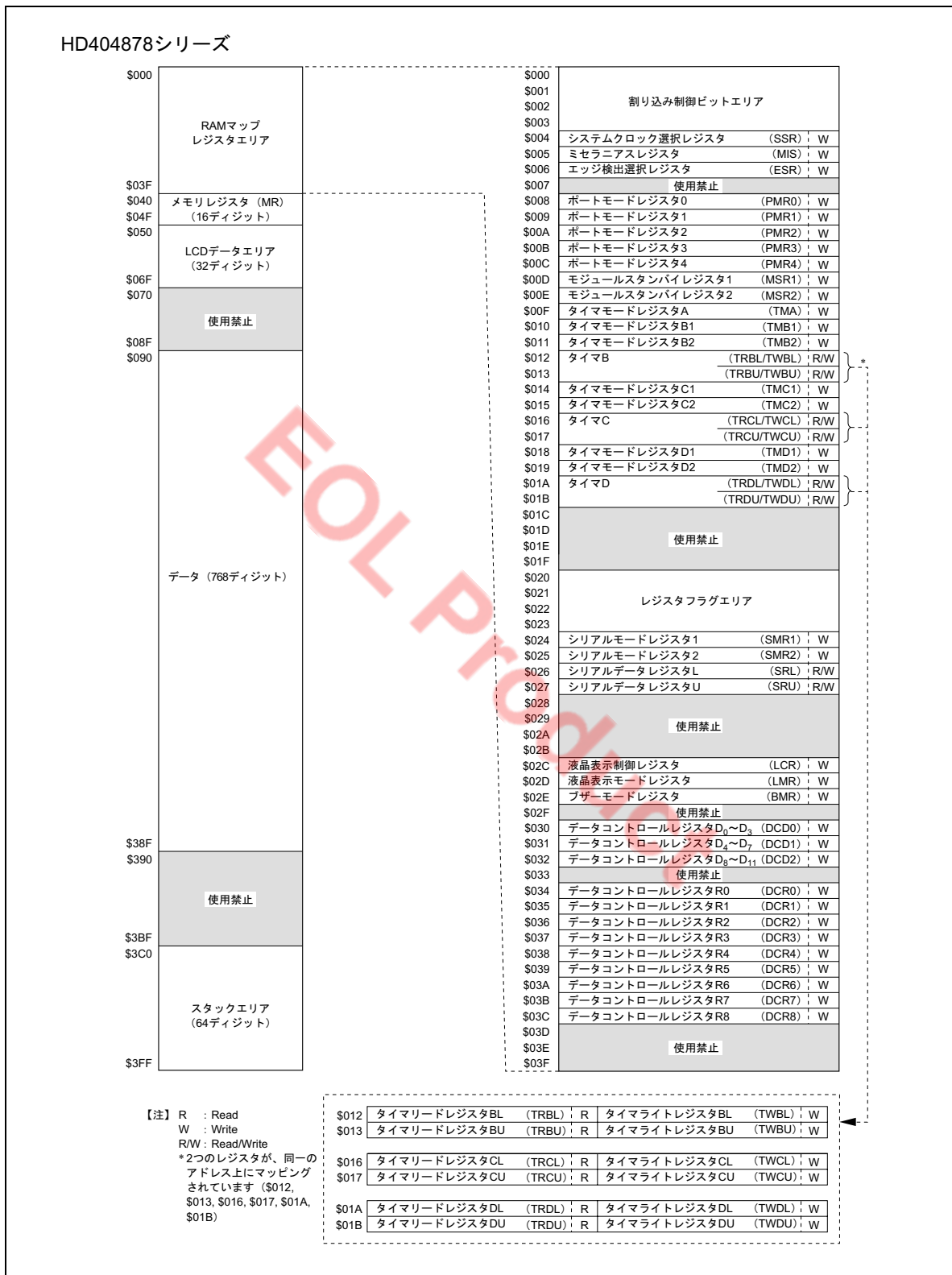


図 2 (3) RAM メモリマップ

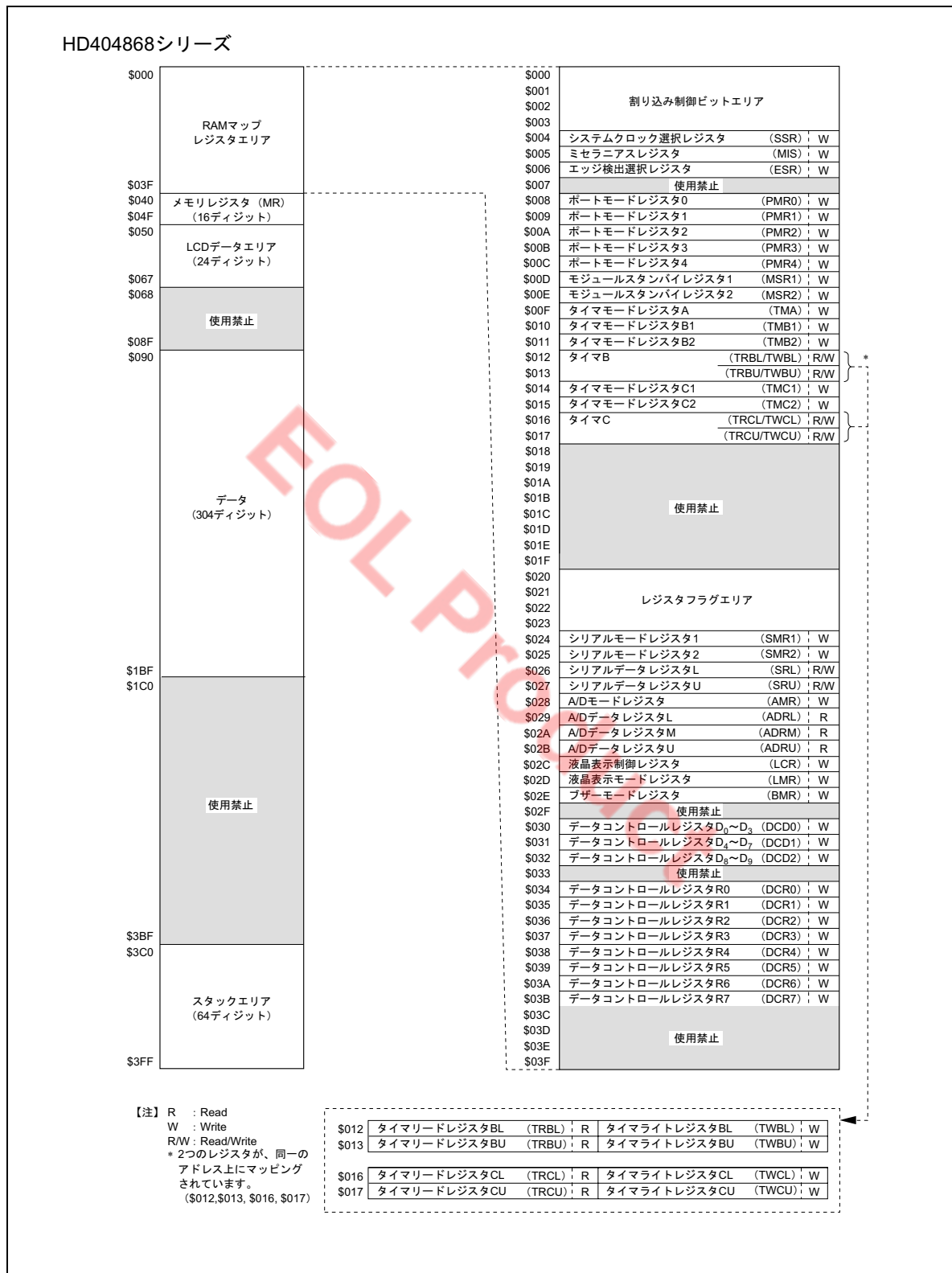


図 2 (4) RAM メモリマップ

(1) RAM マップレジスタエリア…\$000～\$03F

i) 割り込み制御ビットエリア…\$000～\$003

割り込み制御に用いるビットから構成されます。その構成を図3に示します。各ビットは、RAMビット操作命令（SEM/SEMD、REM/REMD、TM/TMD命令）によってのみアクセスできます。ただし、ビットにより制約があります。図4に各ビットと命令の制約を示します。

ii) 特殊レジスタエリア…\$004～\$01F、\$024～\$03F

外部割り込み、シリアルインタフェース、タイマ、LCD、A/Dなどのモードレジスタ、データレジスタおよび入出力端子のデータコントロールレジスタなどから構成されます。その構成を図2と図5に示します。これらのレジスタは、書き込み専用（W）、読み出し専用（R）および書き込み/読み出し可能（R/W）の3種類に分類できます。これらのレジスタのうちLCDコントロールレジスタ（LCR：\$02C）およびブザーモードレジスタのビット3（BMR3：\$02E、3）は、SEM/SEMD、REM/REMD命令が使用できますが、その他のレジスタはRAMビット操作命令を使用できません。

iii) レジスタフラグエリア…\$020～\$023

DTON、WDONフラグおよび割り込み制御ビットなどから構成されます。その構成を図3に示します。各ビットは、RAMビット操作命令（SEM/SEMD、REM/REMD、TM/TMD命令）によってのみアクセスできます。ただし、ビットにより制約があります。図4に各ビットと命令の制約を示します。

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	IMWU *1 ( $\overline{WU_0} \sim \overline{WU_3}$ 割り込みマスク)	IFWU *2 ( $\overline{WU_0} \sim \overline{WU_3}$ 割り込み要求フラグ)	RSP (スタックポインタリセット)	IE (割り込み許可フラグ)
\$001	IM1 (INT <sub>1</sub> 割り込みマスク)	IF1 (INT <sub>1</sub> 割り込み要求フラグ)	IM0 ( $\overline{INT_0}$ 割り込みマスク)	IF0 ( $\overline{INT_0}$ 割り込み要求フラグ)
\$002	IMTB (タイマB割り込みマスク)	IFTB (タイマB割り込み要求フラグ)	IMTA (タイマA割り込みマスク)	IFTA (タイマA割り込み要求フラグ)
\$003	IMAD *3 (A/Dコンバータ割り込みマスク)	IFAD *3 (A/Dコンバータ割り込み要求フラグ)	IMTC (タイマC割り込みマスク)	IFTC (タイマC割り込み要求フラグ)

(a) 割り込み制御ビットエリア

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$020	DTON (DTONフラグ)	ADSF *3 (A/Dスタートフラグ)	WDON (ウォッチドックオンフラグ)	LSON (ロースピードオンフラグ)
\$021	GEF (ギアイネーブルフラグ)		ICEF (インプットキャプチャエラーフラグ)	ICSF (インプットキャプチャステータスフラグ)
\$022	IMTD *4 (タイマD割り込みマスク)	IFTD *4 (タイマD割り込み要求フラグ)		
\$023	IMS (シリアル割り込みマスク)	IFS (シリアル割り込み要求フラグ)		

使用禁止

(b) レジスタフラグエリア

IF : Interrupt Request Flag (割り込み要求フラグ)  
 IM : Interrupt Mask (割り込みマスク)  
 IE : Interrupt Enable Flag (割り込み許可フラグ)  
 SP : Stack Pointer (スタックポインタ)

- 【注】 \*1 HD404868シリーズは、 $\overline{WU_0} \sim \overline{WU_2}$ 割り込みマスクです  
 \*2 HD404868シリーズは、 $\overline{WU_0} \sim \overline{WU_2}$ 割り込み要求フラグです  
 \*3 HD404889/HD404899/HD404868シリーズに適用  
 \*4 HD404889/HD404899/HD404878シリーズに適用

図3 割り込み制御ビットおよびレジスタフラグエリアの構成

割り込み制御ビットエリア、レジスタフラグエリア中のビットは、SEM命令/SEMD命令、REM命令/REMD命令によってセット、リセットされ、TM命令/TMD命令によってテストされます。その他の命令によっては影響されません。  
ただし、個々のビットに対しては、以下のような制約があります。

	SEM/SEMD命令	REM/REMD命令	TM/TMD命令
IE	○	○	○
IM			
LSON			
IF	△	○	○
ICSF			
ICEF			
GEF	○	○	×
RSP	△	○	×
WDON	○	△	×
ADSF*	○	×	○
DTON	△(アクティブモード)	○	○
	○(サブアクティブモード)		
Not Used	△	△	×

- ・ ○…使用可能      △…命令実行されません      ×…使用禁止
- ・ WDONビットは、MCUリセットによるストップモード解除でのみリセットされます。
- ・ A/D変換動作中は、ADSFビットに対するREM/REMD命令は使用しないでください。
- ・ DTONビットは、アクティブモードでは常にリセット状態となります。
- ・ TM命令/TMD命令は、使用禁止ビットあるいは、存在しないビットに対して使用した場合、ステータスの値が不定となります。

【注】 \* HD404889/HD404899/HD404868シリーズに適用

図 4 命令の制約

HD404889シリーズ

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	割り込み制御ビットエリア			
\$003				
SSR \$004	32kHz発振停止設定	32kHz分周比選択	システムクロック選択	システムクロック分周比切換
MIS \$005	プルアップMOS制御	割り込みフレーム周期選択		
ESR \$006	INT <sub>1</sub> エッジ検出選択			
\$007				
PMR0 \$008			D <sub>1</sub> /INT <sub>1</sub>	D <sub>0</sub> /INT <sub>0</sub>
PMR1 \$009	R <sub>0</sub> /WU <sub>3</sub>	R <sub>0</sub> /WU <sub>2</sub>	R <sub>0</sub> /WU <sub>1</sub>	R <sub>0</sub> /WU <sub>0</sub>
PMR2 \$00A	R <sub>1</sub> /TOB	R <sub>1</sub> /BUZZ	R <sub>1</sub> /EVND	R <sub>1</sub> /EVNB
PMR3 \$00B	R <sub>2</sub> /SI/SO		R <sub>2</sub> /SCK	R <sub>2</sub> /TOC
PMR4 \$00C	R <sub>6</sub> /SEG13~16	R <sub>5</sub> /SEG9~12	R <sub>4</sub> /SEG5~8	R <sub>3</sub> /SEG1~4
MSR1 \$00D	タイマDクロックON/OFF		タイマCクロックON/OFF	タイマBクロックON/OFF
MSR2 \$00E			A/DクロックON/OFF	シリアルクロックON/OFF
TMA \$00F	タイマA/タイムベース	タイマAクロックソース設定		
TMB1 \$010	リロードON/OFF	タイマBクロックソース設定		
TMB2 \$011	タイマB出力モード設定		EVNBエッジ検出選択	
TRBL/TWBL \$012	タイマBレジスタ (下位)			
TRBU/TWBU \$013	タイマBレジスタ (上位)			
TMC1 \$014	リロードON/OFF	タイマCクロックソース設定		
TMC2 \$015	タイマC出力モード設定			
TRCL/TWCL \$016	タイマCレジスタ (下位)			
TRCU/TWCU \$017	タイマCレジスタ (上位)			
TMD1 \$018	リロードON/OFF	タイマDクロックソース設定		
TMD2 \$019	インプットキャプチャ選択		EVNDエッジ検出選択	
TRDL/TWDL \$01A	タイマDレジスタ (下位)			
TRDU/TWDU \$01B	タイマDレジスタ (上位)			
\$01C				
\$01F				
\$020	レジスタフラグエリア			
\$023				
SMR1 \$024	シリアル転送クロックスピード選択			
SMR2 \$025	R <sub>2</sub> /SI/SO PMOS制御	SOアイドルH/L設定		
SRL \$026	シリアルデータレジスタ (下位)			
SRU \$027	シリアルデータレジスタ (上位)			
AMR \$028	アナログチャネル選択			A/D変換時間
\$029				
ADRL \$02A	A/Dデータレジスタ (下位)			
ADRU \$02B	A/Dデータレジスタ (上位)			
LCR \$02C	電源分割抵抗スイッチ	時計モード時表示選択	内蔵電源スイッチ	表示ON/OFF
LMR \$02D	入カクロック選択		デューティ選択	
BMR \$02E	クロック出力ON/OFF	ブザー/クロック選択	ブザー/クロックソース選択	
\$02F				
DCD0 \$030	ポートD <sub>3</sub> DCR	ポートD <sub>2</sub> DCR	ポートD <sub>1</sub> DCR	ポートD <sub>0</sub> DCR
DCD1 \$031	ポートD <sub>7</sub> DCR	ポートD <sub>6</sub> DCR	ポートD <sub>5</sub> DCR	ポートD <sub>4</sub> DCR
DCD2 \$032	ポートD <sub>11</sub> DCR	ポートD <sub>10</sub> DCR	ポートD <sub>9</sub> DCR	ポートD <sub>8</sub> DCR
\$033				
DCR0 \$034	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR
DCR1 \$035	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR
DCR2 \$036	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR
DCR3 \$037	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR
DCR4 \$038	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR
DCR5 \$039	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR
DCR6 \$03A	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR
DCR7 \$03B	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR
DCR8 \$03C			ポートR <sub>8</sub> DCR	ポートR <sub>8</sub> DCR
\$03D				
\$03E				
V \$03F				RAMバンク設定

: 使用禁止

図 5 (1) 特殊レジスタエリア

HD404899シリーズ

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	割り込み制御ビットエリア			
\$003				
SSR \$004	32kHz発振停止設定	32kHz分周比選択	システムクロック選択	システムクロック分周比切換
MIS \$005	プルアップMOS制御	割り込みフレーム周期選択		
ESR \$006	INT <sub>1</sub> エッジ検出選択			
\$007				
PMR0 \$008			D <sub>1</sub> /INT <sub>1</sub>	D <sub>0</sub> /INT <sub>0</sub>
PMR1 \$009	R <sub>0</sub> /WU <sub>0</sub>	R <sub>0</sub> /WU <sub>1</sub>	R <sub>0</sub> /WU <sub>1</sub>	R <sub>0</sub> /WU <sub>0</sub>
PMR2 \$00A	R <sub>1</sub> /TOB	R <sub>1</sub> /BUZZ	R <sub>1</sub> /EVND	R <sub>1</sub> /EVNB
PMR3 \$00B	R <sub>2</sub> /SI/SO		R <sub>2</sub> /SCK	R <sub>2</sub> /TOC
PMR4 \$00C	R <sub>6</sub> /SEG13~16	R <sub>5</sub> /SEG9~12	R <sub>4</sub> /SEG5~8	R <sub>3</sub> /SEG1~4
MSR1 \$00D	タイマDクロックON/OFF		タイマCクロックON/OFF	タイマBクロックON/OFF
MSR2 \$00E			A/DクロックON/OFF	シリアルクロックON/OFF
TMA \$00F	タイマA/タイムベース	タイマAクロックソース設定		
TMB1 \$010	リロードON/OFF	タイマBクロックソース設定		
TMB2 \$011		タイマB出力モード設定	EVNBエッジ検出選択	
TRBL/TWBL \$012	タイマBレジスタ (下位)			
TRBU/TWBU \$013	タイマBレジスタ (上位)			
TMC1 \$014	リロードON/OFF	タイマCクロックソース設定		
TMC2 \$015	タイマC出力モード設定			
TRCL/TWCL \$016	タイマCレジスタ (下位)			
TRCU/TWCU \$017	タイマCレジスタ (上位)			
TMD1 \$018	リロードON/OFF	タイマDクロックソース設定		
TMD2 \$019		インプットキャプチャ選択	EVNDエッジ検出選択	
TRDL/TWDL \$01A	タイマDレジスタ (下位)			
TRDU/TWDU \$01B	タイマDレジスタ (上位)			
\$01C				
\$01F				
\$020	レジスタフラグエリア			
\$023				
SMR1 \$024	シリアル転送クロックスピード選択			
SMR2 \$025	R <sub>2</sub> /SI/SO PMOS制御	SOアイドルH/L設定		
SRL \$026	シリアルデータレジスタ (下位)			
SRU \$027	シリアルデータレジスタ (上位)			
AMR \$028	アナログチャネル選択			A/D変換時間
ADRL \$029	A/Dデータレジスタ (下位)			
ADRM \$02A	A/Dデータレジスタ (中位)			
ADRU \$02B	A/Dデータレジスタ (上位)			
LCR \$02C	電源分割抵抗スイッチ	時計モード時表示選択	内蔵電源スイッチ	表示ON/OFF
LMR \$02D	入カクロック選択		デューティ選択	
BMR \$02E	クロック出力ON/OFF	ブザー/クロック選択	ブザー/クロックソース選択	
\$02F				
DCD0 \$030	ポートD <sub>3</sub> DCR	ポートD <sub>2</sub> DCR	ポートD <sub>1</sub> DCR	ポートD <sub>0</sub> DCR
DCD1 \$031	ポートD <sub>7</sub> DCR	ポートD <sub>6</sub> DCR	ポートD <sub>5</sub> DCR	ポートD <sub>4</sub> DCR
DCD2 \$032	ポートD <sub>11</sub> DCR	ポートD <sub>10</sub> DCR	ポートD <sub>9</sub> DCR	ポートD <sub>8</sub> DCR
\$033				
DCR0 \$034	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR
DCR1 \$035	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR
DCR2 \$036	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR
DCR3 \$037	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR
DCR4 \$038	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR
DCR5 \$039	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR
DCR6 \$03A	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR
DCR7 \$03B	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR
DCR8 \$03C			ポートR <sub>8</sub> DCR	ポートR <sub>8</sub> DCR
\$03D				
\$03E				
V \$03F				RAM/バンク設定

: 使用禁止

図 5 (2) 特殊レジスタエリア



HD404878シリーズ

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	割り込み制御ビットエリア			
\$003				
SSR \$004	32kHz発振停止設定	32kHz分周比選択	システムクロック選択	システムクロック分周比切換
MIS \$005	プルアップMOS制御		割り込みフレーム周期選択	
ESR \$006	INT <sub>1</sub> エッジ検出選択			
\$007				
PMR0 \$008			D <sub>7</sub> /INT <sub>1</sub>	D <sub>7</sub> /INT <sub>0</sub>
PMR1 \$009	R <sub>0</sub> /WU <sub>3</sub>	R <sub>0</sub> /WU <sub>2</sub>	R <sub>0</sub> /WU <sub>1</sub>	R <sub>0</sub> /WU <sub>0</sub>
PMR2 \$00A	R <sub>1</sub> /TOB	R <sub>1</sub> /BUZZ	R <sub>1</sub> /EVND	R <sub>1</sub> /EVNB
PMR3 \$00B	R <sub>2</sub> /SI/SO		R <sub>2</sub> /SCK	R <sub>2</sub> /TOC
PMR4 \$00C	R <sub>6</sub> /SEG13~16	R <sub>5</sub> /SEG9~12	R <sub>4</sub> /SEG5~8	R <sub>3</sub> /SEG1~4
MSR1 \$00D	タイマDクロックON/OFF		タイマCクロックON/OFF	タイマBクロックON/OFF
MSR2 \$00E	シリアルクロックON/OFF			
TMA \$00F	タイマA/タイムベース		タイマAクロックソース設定	
TMB1 \$010	リロードON/OFF		タイマBクロックソース設定	
TMB2 \$011	タイマB出力モード設定		EVNBエッジ検出選択	
TRBL/TWBL \$012	タイマBレジスタ (下位)			
TRBU/TWBU \$013	タイマBレジスタ (上位)			
TMC1 \$014	リロードON/OFF		タイマCクロックソース設定	
TMC2 \$015	タイマC出力モード設定			
TRCL/TWCL \$016	タイマCレジスタ (下位)			
TRCU/TWCU \$017	タイマCレジスタ (上位)			
TMD1 \$018	リロードON/OFF		タイマDクロックソース設定	
TMD2 \$019	インプットキャプチャ選択		EVNDエッジ検出選択	
TRDL/TWDL \$01A	タイマDレジスタ (下位)			
TRDU/TWDU \$01B	タイマDレジスタ (上位)			
\$01C				
\$01F				
\$020	レジスタフラグエリア			
\$023				
SMR1 \$024	シリアル転送クロックスピード選択			
SMR2 \$025	R <sub>2</sub> /SI/SO PMOS制御	SOアイドルH/L設定		
SRL \$026	シリアルデータレジスタ (下位)			
SRU \$027	シリアルデータレジスタ (上位)			
\$028				
\$029				
\$02A				
\$02B				
LCR \$02C	電源分割抵抗スイッチ	時計モード時表示選択	内蔵電源スイッチ	表示ON/OFF
LMR \$02D	入力クロック選択		デューティ選択	
BMR \$02E	クロック出力ON/OFF	ブザー/クロック選択	ブザー/クロックソース選択	
\$02F				
DCD0 \$030	ポートD <sub>3</sub> DCR	ポートD <sub>2</sub> DCR	ポートD <sub>1</sub> DCR	ポートD <sub>0</sub> DCR
DCD1 \$031	ポートD <sub>7</sub> DCR	ポートD <sub>6</sub> DCR	ポートD <sub>5</sub> DCR	ポートD <sub>4</sub> DCR
DCD2 \$032	ポートD <sub>11</sub> DCR	ポートD <sub>10</sub> DCR	ポートD <sub>9</sub> DCR	ポートD <sub>8</sub> DCR
\$033				
DCR0 \$034	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR
DCR1 \$035	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR
DCR2 \$036	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR
DCR3 \$037	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR
DCR4 \$038	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR
DCR5 \$039	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR
DCR6 \$03A	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR
DCR7 \$03B	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR
DCR8 \$03C			ポートR <sub>8</sub> DCR	ポートR <sub>8</sub> DCR
\$03D				
\$03E				
\$03F				

□ : 使用禁止

図 5 (3) 特殊レジスタエリア

HD404868シリーズ

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	割り込み制御ビットエリア			
\$003				
SSR \$004	32kHz発振停止設定	32kHz分周比選択	システムクロック選択	システムクロック分周比切換
MIS \$005	プルアップMOS制御	割り込みフレーム周期選択		
ESR \$006	INT <sub>1</sub> エッジ検出選択			
\$007				
PMR0 \$008			D <sub>1</sub> /INT <sub>1</sub>	D <sub>0</sub> /INT <sub>0</sub>
PMR1 \$009	R <sub>0</sub> /WU <sub>2</sub>		R <sub>0</sub> /WU <sub>1</sub>	R <sub>0</sub> /WU <sub>0</sub>
PMR2 \$00A	R <sub>1</sub> /TOB	R <sub>1</sub> /BUZZ	R <sub>1</sub> /EVNB	
PMR3 \$00B	R <sub>2</sub> /SI/SO		R <sub>2</sub> /SCK	R <sub>2</sub> /TOC
PMR4 \$00C	R <sub>6</sub> /SEG13~16	R <sub>5</sub> /SEG9~12	R <sub>4</sub> /SEG5~8	R <sub>3</sub> /SEG1~4
MSR1 \$00D			タイマCクロックON/OFF	タイマBクロックON/OFF
MSR2 \$00E			A/DクロックON/OFF	シリアルクロックON/OFF
TMA \$00F	タイマA/タイムベース	タイマAクロックソース設定		
TMB1 \$010	リロードON/OFF	タイマBクロックソース設定		
TMB2 \$011		タイマB出力モード設定	EVNBエッジ検出選択	
TRBL/TWBL \$012	タイマBレジスタ (下位)			
TRBU/TWBU \$013	タイマBレジスタ (上位)			
TMC1 \$014	リロードON/OFF	タイマCクロックソース設定		
TMC2 \$015	タイマC出力モード設定			
TRCL/TWCL \$016	タイマCレジスタ (下位)			
TRCU/TWCU \$017	タイマCレジスタ (上位)			
\$018	レジスタフラグエリア			
\$019				
\$01A				
\$01B				
\$01C				
\$01D				
\$01E				
\$020	シリアル転送クロックスピード選択			
SMR1 \$024				
SMR2 \$025	R <sub>2</sub> /SI/SO PMOS制御	SOアイドルH/L設定		
SRL \$026	シリアルデータレジスタ (下位)			
SRU \$027	シリアルデータレジスタ (上位)			
AMR \$028	アナログチャネル選択			A/D変換時間
ADRL \$029	A/Dデータレジスタ (下位)			
ADRM \$02A	A/Dデータレジスタ (中位)			
ADRU \$02B	A/Dデータレジスタ (上位)			
LCR \$02C	電源分割抵抗スイッチ	時計モード時表示選択	内蔵電源スイッチ	表示ON/OFF
LMR \$02D	入カクロック選択		デューティ選択	
BMR \$02E	クロック出力ON/OFF	ブザー/クロック選択	ブザー/クロックソース選択	
\$02F				
DCD0 \$030	ポートD <sub>3</sub> DCR	ポートD <sub>2</sub> DCR	ポートD <sub>1</sub> DCR	ポートD <sub>0</sub> DCR
DCD1 \$031	ポートD <sub>7</sub> DCR	ポートD <sub>6</sub> DCR	ポートD <sub>5</sub> DCR	ポートD <sub>4</sub> DCR
DCD2 \$032			ポートD <sub>9</sub> DCR	ポートD <sub>8</sub> DCR
\$033				
DCR0 \$034	ポートR <sub>0</sub> DCR		ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR
DCR1 \$035	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR
DCR2 \$036	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR
DCR3 \$037	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR
DCR4 \$038	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR
DCR5 \$039	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR
DCR6 \$03A	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR
DCR7 \$03B	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR
\$03C				
\$03D				
\$03E				
\$03F				

: 使用禁止

図 5 (4) 特殊レジスタエリア



## HD404889/HD404899/HD404878/HD404868 シリーズ

- (4) データエリア…\$090～\$38F (HD404889/HD404899/HD404878 シリーズ)  
\$090～\$1BF (HD404868 シリーズ)

\$090～\$25F の 464 デジットは、バンクレジスタ (V : \$03F) の値によりバンク切り替えができます (図 7) 。\$090～\$25F をアクセスする場合は、必ずバンクレジスタの値を設定してください。\$260～\$38F は、バンクレジスタの設定なしにアドレッシングできるデータエリアです。

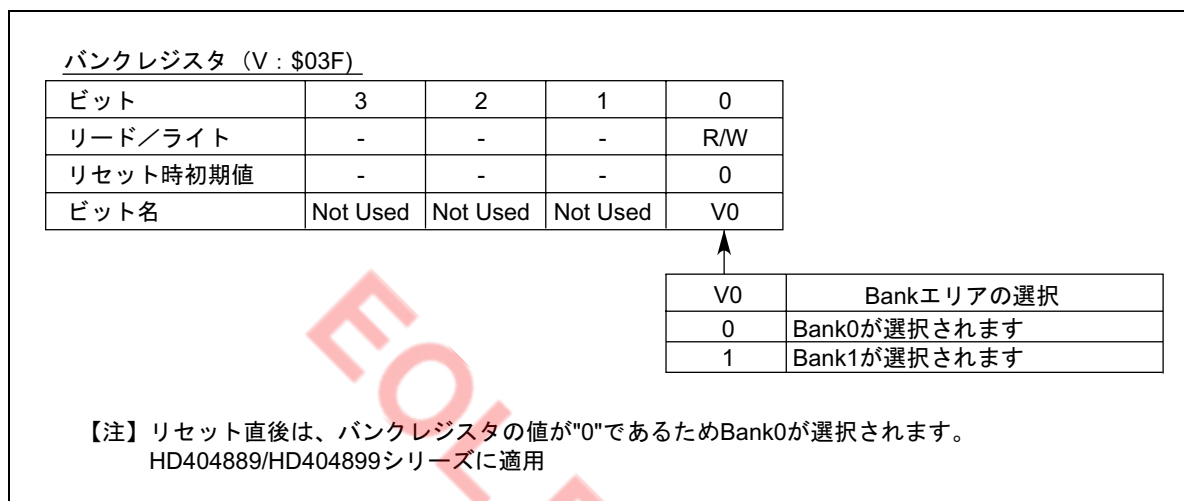


図 7 バンクレジスタ (V)

- (5) スタックエリア…\$3C0～\$3FF

サブルーチンコール (CAL、CALL 命令) および割り込み処理時に、プログラムカウンタ (PC)、ステータス (ST) およびキャリ (CA) の内容を退避するためのスタックエリアです。1 レベルにつき 4 デジットが使用されるので、最大 16 レベルのサブルーチンスタックとして使用できます。退避されるデータおよび退避の状態を図 6 に示します。プログラムカウンタは、RTN 命令および RTNI 命令によって回復されます。ステータスとキャリは、RTNI 命令によって回復され、RTN 命令によっては影響を受けません。退避に使用しないエリアはデータエリアとして使用することができます。

内部機能

1. CPU

1.1 レジスタとフラグ

CPUには、レジスタが9個とフラグが2個あります。それらを図8に示し、以下に説明します。

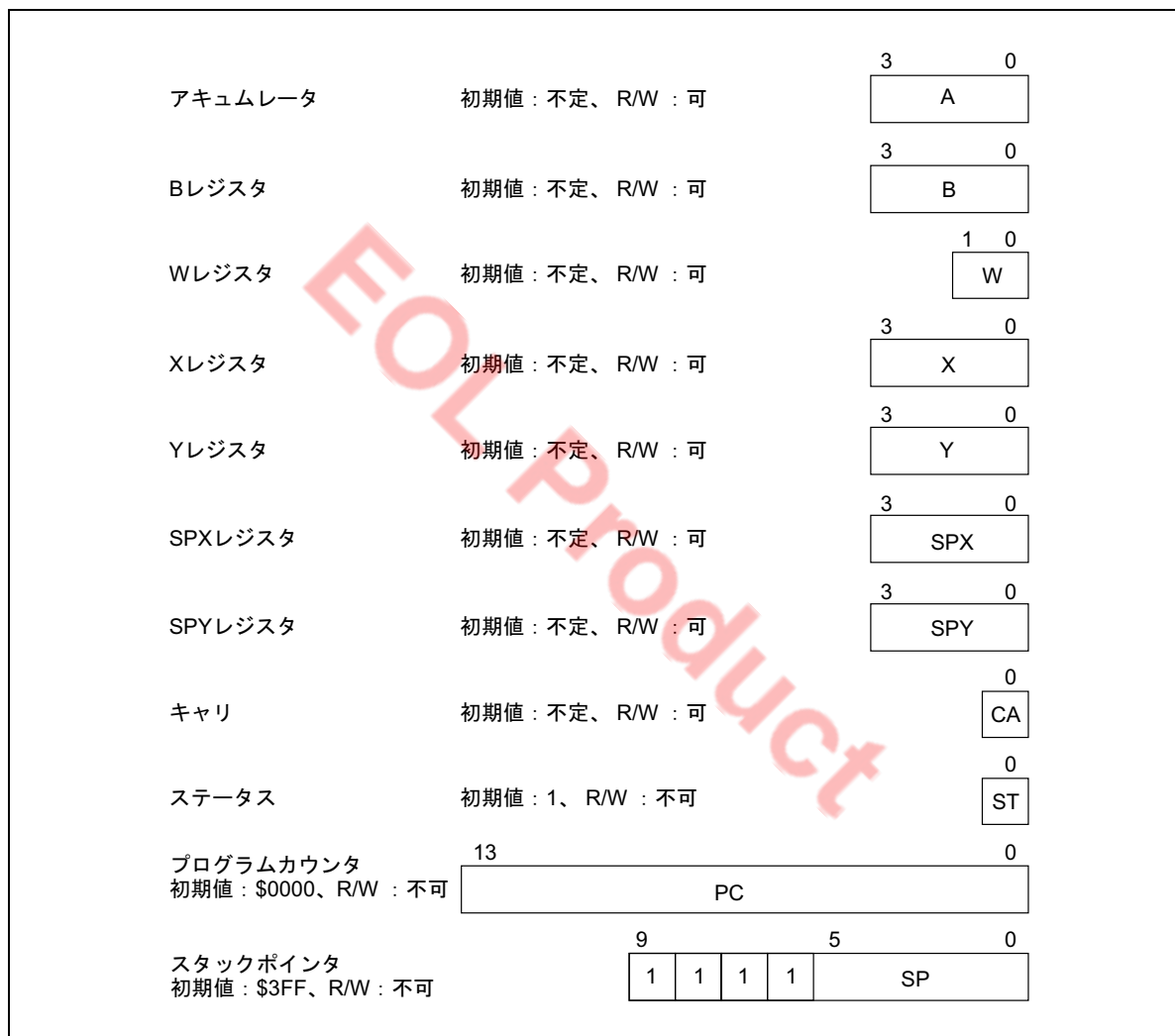


図8 レジスタとフラグ

(1) アキュムレータ(A)、Bレジスタ(B)

アキュムレータとBレジスタは、4ビットのレジスタです。ALUの演算結果の保持と、メモリ、入力/出力および他のレジスタ間でのデータの転送のために使用します。

(2) W レジスタ(W)、X レジスタ(X)、Y レジスタ(Y)

W レジスタは2ビットのレジスタ、X レジスタと Y レジスタは4ビットのレジスタであり、RAM のレジスタ間接アドレッシングのために使用します。また、Y レジスタはD ポートのアドレッシングにも使用します。

(3) SPX レジスタ(SPX)、SPY レジスタ(SPY)

SPX レジスタと SPY レジスタは4ビットのレジスタであり、それぞれ X レジスタ、Y レジスタの補助レジスタとして使用します。

(4) キャリ(CA)

演算命令実行時の ALU のオーバーフローを保持します。また、SEC、REC、ROTL、ROTR 命令によって影響を受けます。割り込み処理時にキャリの内容はスタックに退避され、RTNI 命令によってスタックから回復されます (RTN 命令によっては影響を受けません)。

(5) ステータス(ST)

演算命令や比較命令での ALU のオーバーフローと ALU のノンゼロおよびビットテスト命令の結果を保持し、BR、BRL、CAL、CALL 命令の分岐条件として用います。ステータスはラッチ形で、次の演算命令、比較命令およびビットテスト命令が実行されるまで不変です。BR、BRL、CAL、CALL 命令の後は、その実行/スキップに関係なくステータスは"1"になります。割り込み処理時にステータスの内容はスタックに退避され、RTNI 命令によってスタックから回復されます (RTN 命令によっては影響を受けません)。

(6) プログラムカウンタ(PC)

ROM のアドレス情報を保持する 14 ビットのバイナリカウンタです。

(7) スタックポインタ(SP)

スタックポインタは、スタックエリア上の次の退避空間のアドレスを示す 10 ビットのレジスタです。スタックポインタは、MCU のリセットにより\$3FF に初期化され、データが退避されると4ずつデクリメントされ、データが回復されると4ずつインクリメントされます。また、スタックポインタの上位4ビットは"1111"に固定されています。したがって、スタックは最大16レベルまで使用できます。スタックポインタを\$3FF に初期化する方法は2通りあります。一つは上記の MCU のリセットであり、もう一つは、RSP ビットを REM 命令または REMD 命令でリセットする方法です。

## 1.2 リセット

MCU のリセットは、 $\overline{\text{RESET}}$  端子を"Low"にすることにより行います。パワーオン時、サブアクティブモード、ウォッチモード、およびストップモード解除時には、発振器の発振安定時間を確保するため  $\overline{\text{RESET}}$  を  $t_{RC}$  以上印加してください。

それ以外の場合は、最低2インストラクションサイクルタイムの時間の RESET 入力によって MCU がリセットされます。

表 1 に、MCU のリセットにより初期化される部分とその初期値を示します。

表 1(1) MCU リセットによる初期値

項目		初期値	意味	
プログラムカウンタ(PC)		\$0000	ROM 先頭アドレスからプログラム実行	
ステータス(ST)		"1"	条件分岐命令による分岐可能	
スタックポインタ(SP)		"\$3FF	スタックレベルが 0	
割り込み フラグ/ マスク	割り込み許可フラグ (IE)	"0"	すべての割り込みを禁止する	
	割り込み要求フラグ (IF)	"0"	割り込み要求が存在しない	
	割り込みマスク (IM)	"1"	割り込み要求をマスクする	
I/O	ポートデータレジスタ (PDR)	全ビット"1"	"1"レベル出力可能な状態	
	データコントロールレジスタ (DCD0~2)	全ビット"0"	出力バッファが OFF	
	データコントロールレジスタ (DCR0~7, DCR80, DCR81)	全ビット"0"	(ハイインピーダンス)	
	ポートモードレジスタ 0 (PMR0)	"-00"	ポートモードレジスタ 0 の項参照	
	ポートモードレジスタ 1 (PMR1)	"0000"	ポートモードレジスタ 1 の項参照	
	ポートモードレジスタ 2 (PMR2)	"0000"	ポートモードレジスタ 2 の項参照	
	ポートモードレジスタ 3 (PMR3)	"0000"	ポートモードレジスタ 3 の項参照	
	ポートモードレジスタ 4 (PMR4)	"0000"	ポートモードレジスタ 4 の項参照	
	エッジ検出選択レジスタ (ESR)	"-00"	エッジ検出選択レジスタの項参照	
タイマ	タイマモードレジスタ A (TMA)	"0000"	タイマモードレジスタ A の項参照	
	タイマモードレジスタ B1 (TMB1)	"0000"	タイマモードレジスタ B1 の項参照	
	タイマモードレジスタ B2 (TMB2)	"-000"	タイマモードレジスタ B2 の項参照	
	タイマモードレジスタ C1 (TMC1)	"0000"	タイマモードレジスタ C1 の項参照	
	タイマモードレジスタ C2 (TMC2)	"-0-"	タイマモードレジスタ C2 の項参照	
	タイマモードレジスタ D1 (TMD1)	"0000"	タイマモードレジスタ D1 の項参照	
	タイマモードレジスタ D2 (TMD2)	"-000"	タイマモードレジスタ D2 の項参照	
		プリスケアラ S (PSS)	\$000	
		プリスケアラ W (PSW)	\$00	
		タイマカウンタ A (TCA)	\$00	
		タイマカウンタ B (TCB)	\$00	
		タイマカウンタ C (TCC)	\$00	
		タイマカウンタ D (TCD)	\$00	
		タイマライトレジスタ B (TWBU,L)	\$X0	
		タイマライトレジスタ C (TWCU,L)	\$X0	
	タイマライトレジスタ D (TWDU,L)	\$X0		
シリアル インタ フェース	シリアルモードレジスタ 1 (SMR1)	"0000"	シリアルモードレジスタ 1 の項参照	
	シリアルモードレジスタ 2 (SMR2)	"-0X-"	シリアルモードレジスタ 2 の項参照	
	シリアルデータレジスタ (SRU,L)	\$XX		
	8進カウンタ	"000"		
A/D コン バータ	A/D モードレジスタ (AMR)	"0000"	A/D モードレジスタの項参照	
	A/D データレジスタ (ADRU,L) (HD404889 シリーズ)	\$7F	A/D データレジスタの項参照	
	A/D データレジスタ (ADRU,M,L) (HD404899 シリーズ)	\$1FF	A/D データレジスタの項参照	
LCD	LCD コントロールレジスタ (LCR)	"0000"	液晶表示制御レジスタの項参照	
	LCD モードレジスタ (LMR)	"0000"	液晶デューティ/クロック制御レジスタの項参照	

表 1(2) MCU リセットによる初期値

項目		初期値	意味
ビット レジスタ	Low スピードオンフラグ (LSON)	"0"	低消費電力モードの項参照
	ウォッチドッグタイマオンフラグ (WDON)	"0"	タイマ C の項参照
	A/D スタートフラグ (ADSF)	"0"	A/D コンバータの項参照
	ダイレクトトランスファオン (DTON) フラグ	"0"	低消費電力モードの項参照
	インプットキャプチャステータスフラグ (ICSF)	"0"	タイマ D の項参照
	インプットキャプチャエラーフラグ (ICEF)	"0"	タイマ D の項参照
	ギアイネーブルフラグ (GEF)	"0"	システムクロックギア機能の項参照
その他	ミセラニアスレジスタ (MIS)	"0-00"	低消費電力モード、入出力の項参照
	システムクロック選択レジスタ (SSR)	"0000"	低消費電力モード、発振回路の項参照
	モジュールスタンバイレジスタ 1 (MSR1)	"-000"	タイマの項参照
	モジュールスタンバイレジスタ 2 (MSR2)	"--00"	シリアルインタフェース、A/D コンバータの項参照
	ブザーモードレジスタ (BMR)	"0000"	ブザーモードレジスタの項参照

- 【注】 1. 上記以外のレジスタ、フラグ類は、MCU のリセットにより表 1(3)のような状態になります。  
2. X 印は不定を、-印は存在しないビットを示します。

表 1(3) MCU リセットによる初期値

		$\overline{WU}_0 \sim \overline{WU}_3$ 入力による ストップモード解除後	左記以外の MCU リセット後
キャリ	(CA)	ストップモードに入る直前の値を保持しています。	MCU リセット直前の値は保証されません。プログラムによる初期化が必要です。
アキュムレータ	(A)		
B レジスタ	(B)		
W レジスタ	(W)		
X/SPX レジスタ	(X/SPX)		
Y/SPY レジスタ	(Y/SPY)		
RAM			



### 1.3 割り込み

ウェイクアップ入力 ( $\overline{WU}_0 \sim \overline{WU}_3$ ) による割り込み、外部割り込み ( $\overline{INT}_0$ 、 $INT_1$ ) による割り込み、タイマ／カウンタ (タイマ A、タイマ B、タイマ C、タイマ D) による割り込み、シリアルインタフェースによる割り込み、A/D コンバータによる割り込みの計 9 種の割り込み要因があります。

各割り込み要因には、それぞれ割り込み要求フラグ、割り込みマスクおよびベクタアドレスが用意されており、割り込み要求の保持および制御に用いられます。また、割り込み全体を制御するために割り込み許可フラグが用意されています。

なお、ベクタアドレスは、各割り込み要因のうちタイマ B とタイマ D、A/D コンバータとシリアルインタフェースとでそれぞれ共用しているため、割り込み処理のはじめに、どちらの割り込み要求であるかをソフトウェアで調べる必要があります。

#### (1) 割り込み制御ビットと割り込み処理

割り込み制御ビットは RAM の \$0000～\$0003、\$0222～\$0223 にマッピングされており、RAM ビット操作命令によってアクセスできます。ただし割り込み要求フラグ (IF) をソフトウェアでセットすることはできません。MCU のリセットによって、割り込み許可フラグ (IE) と割り込み要求フラグ (IF) は "0" に、割り込みマスク (IM) は "1" に初期化されます。

割り込み制御回路のブロック図を図 9 に、割り込み優先順位とベクタアドレスを表 2 に、9 種類の割り込み要因に対応した割り込み処理が実行されるための条件を表 3 に示します。割り込み要求フラグが "1" で割り込みマスクが "0" のときに割り込み要求発生の状態です。このとき割り込み許可フラグが "1" ならば、割り込み処理が起動されます。また、優先順位制御回路からは、割り込み要因に対応したベクタアドレスが発生されます。

割り込み処理シーケンスを図 10 に、割り込み処理フローチャートを図 11 に示します。割り込みが受けられると、1 サイクル目では直前の命令実行が完了します。2 サイクル目では、割り込み許可フラグ (IE) がリセットされます。2 サイクル目と 3 サイクル目ではキャリとステータスおよびプログラムカウンタの内容がスタックに退避されます。3 サイクル目では、ベクタアドレスにジャンプして命令の実行が再開されます。

各ベクタアドレスエリアには、割り込みルーチンの先頭アドレスへ分岐する JMWPL 命令をプログラムしてください。また、割り込みルーチンでは、割り込み処理を引きおこした割り込み要求フラグをソフトウェアでリセットしてください。

表 2 ベクタアドレスと割り込み優先順位

割り込み要因	ベクタアドレス	優先度
リセット	\$0000	高 ↑ 低
$\overline{WU}_0 \sim \overline{WU}_3$	\$0002	
$\overline{INT}_0$	\$0004	
$INT_1$	\$0006	
タイマ A	\$0008	
タイマ B、タイマ D	\$000A	
タイマ C	\$000C	
シリアル、A/D コンバータ	\$000E	

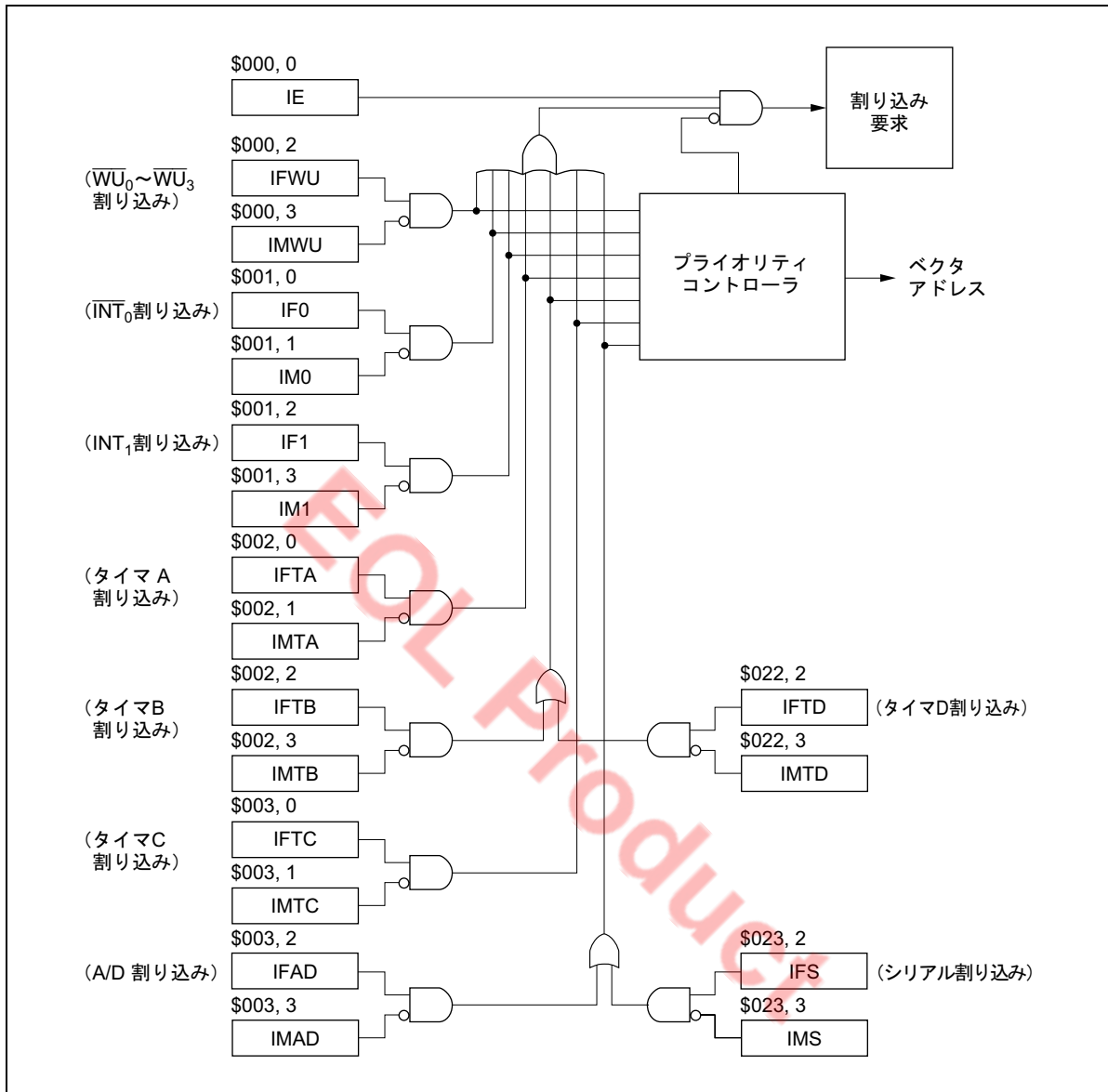


図 9 割り込み制御回路ブロック図

表 3 割り込み処理の起動条件

割り込み要因 割り込み制御ビット	$\overline{WU}_0 \sim \overline{WU}_3$	$\overline{INT}_0$	$\overline{INT}_1$	タイマ A	タイマ B または タイマ D	タイマ C	A/D または シリアル
IE	1	1	1	1	1	1	1
$\overline{IFWU} \cdot \overline{IMWU}$	1	0	0	0	0	0	0
$\overline{IF0} \cdot \overline{IM0}$	*	1	0	0	0	0	0
$\overline{IF1} \cdot \overline{IM1}$	*	*	1	0	0	0	0
$\overline{IFTA} \cdot \overline{IMTA}$	*	*	*	1	0	0	0
$\overline{IFTB} \cdot \overline{IMTB} + \overline{IFTD} \cdot \overline{IMTD}$	*	*	*	*	1	0	0
$\overline{IFTC} \cdot \overline{IMTC}$	*	*	*	*	*	1	0
$\overline{IFAD} \cdot \overline{IMAD} + \overline{IFS} \cdot \overline{IMS}$	*	*	*	*	*	*	1

【注】 \* : "0"または"1"いずれの値であっても動作に影響しません。

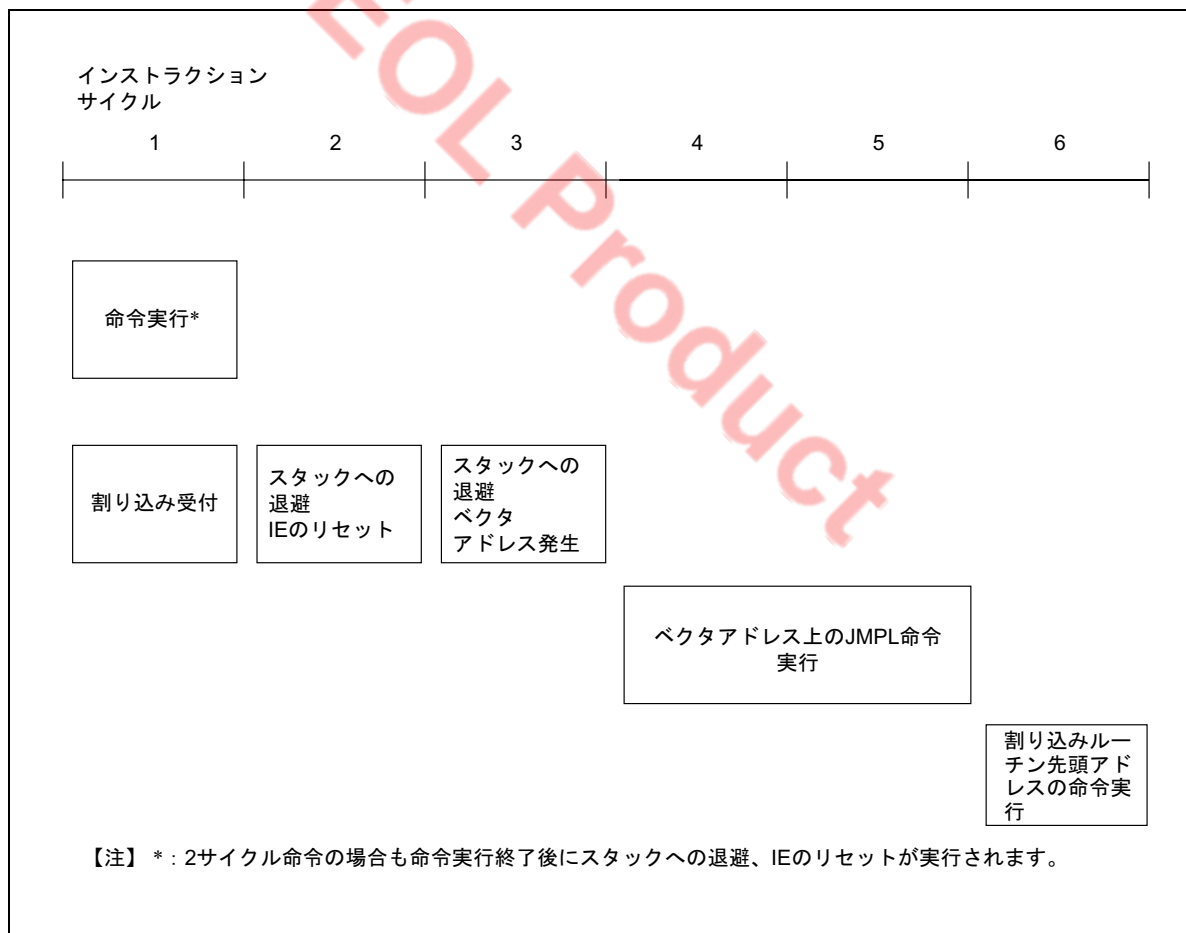


図 10 割り込みシーケンス

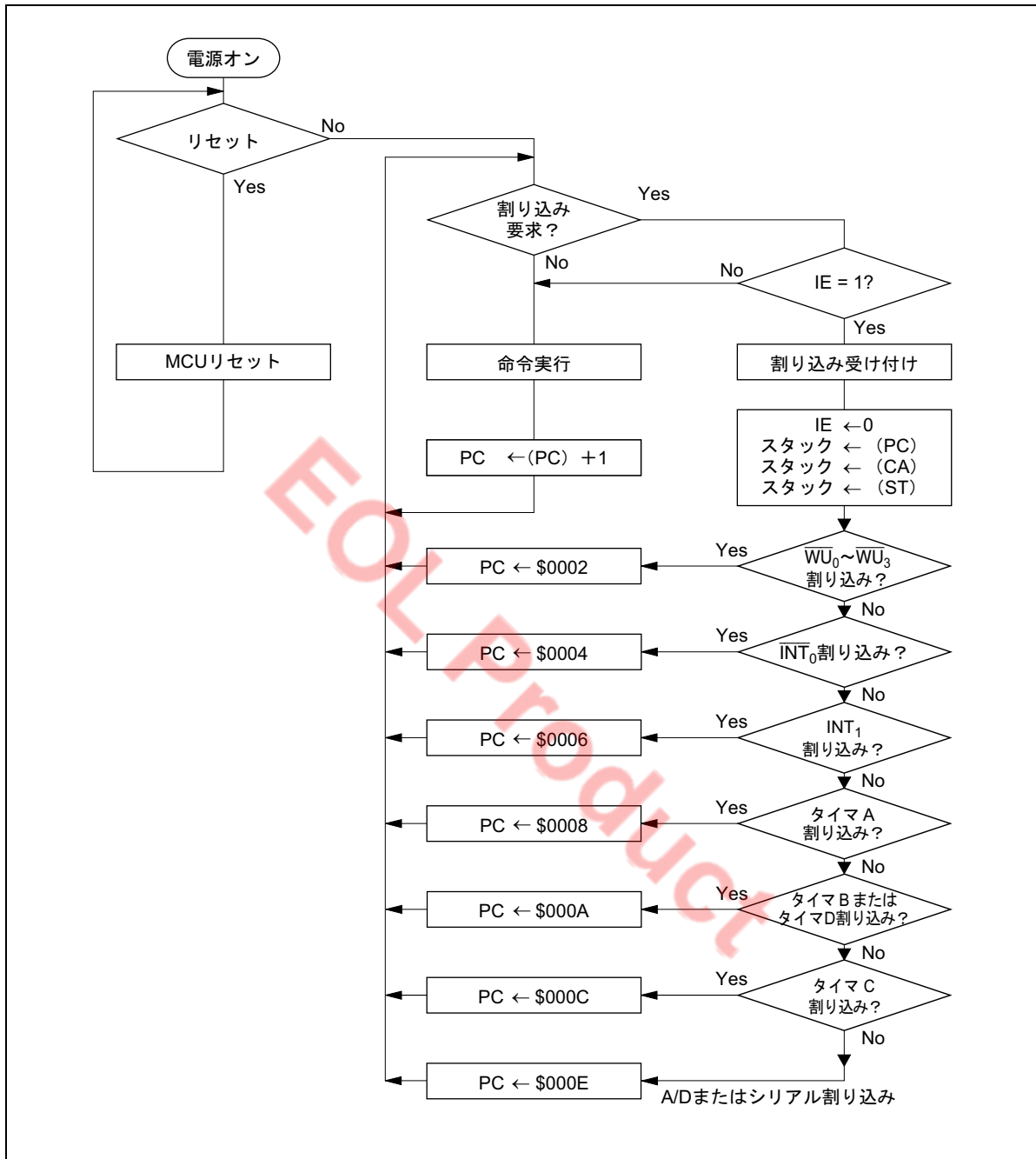


図 11 割り込み処理フローチャート

(2) 割り込み許可フラグ(IE:\$000、0)

割り込み許可フラグは表 4 に示すようにすべての割り込み要求に対して、割り込みの許可/禁止の制御を行います。割り込み許可フラグは割り込み処理によってリセットされ、RTNI 命令によってセットされます。

表 4 割り込み許可フラグ (IE : \$000、0)

割り込み許可フラグ (IE)	割り込み許可/禁止
0	割り込み禁止
1	割り込み許可

(3) ウェイクアップ割り込み要求フラグ (IFWU : \$000、2)

ウェイクアップ割り込み要求フラグ (IFWU) は、アクティブモード、サブアクティブモード、ウォッチモード、またはスタンバイモードにおいて  $\overline{WU}_0 \sim \overline{WU}_3$  入力の立ち下がりエッジを検出するとセットされます。ストップモードにおいて、ウェイクアップ端子で立ち下がりエッジを検出すると、MCU は発振安定時間を確保してアクティブモードへ遷移します。この場合、ウェイクアップ割り込み要求フラグ (IFWU) はセットされません。

(4) ウェイクアップ割り込みマスク (IMWU : \$000、3)

ウェイクアップ割り込み要求フラグによる割り込み要求をマスクするビットです。

エッジ検出選択レジスタ (ESR : \$006)				
ビット	3	2	1	0
リード/ライト	-	-	W	W
リセット時初期値	-	-	0	0
ビット名	-	-	ESR1	ESR0

ESR1	ESR0	INT <sub>1</sub> エッジ検出
0	0	検出しない
	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
	1	立ち下がり/立ち上がり両エッジ検出

図 12 エッジ検出選択レジスタ (ESR)

(5) 外部割り込み要求フラグ (IF0、IF1 : \$001)

外部割り込み要求フラグのうち IF0 は  $\overline{INT}_0$  入力の立ち下がりエッジで、また、IF1 は  $INT_1$  入力の立ち下がり、立ち上がり、または両エッジでセットされます (表 5)。

割り込みエッジの選択は、エッジ検出選択レジスタ (ESR : \$006) によって行います (図 12)。

表 5 外部割り込み要求フラグ (IF : \$001)

外部割り込み要求フラグ (IF0,IF1)	割り込み要求
0	外部割り込み要求がない
1	外部割り込み要求が発生する

(6) 外部割り込みマスク (IM0、IM1 : \$001)

外部割り込み要求フラグによる割り込み要求をマスクするビットです (表 6)。

表 6 外部割り込みマスク (IM : \$001)

外部割り込みマスク (IM0,IM1)	割り込み要求
0	外部割り込み要求を許可する
1	外部割り込み要求をマスクする (保留する)

(7) タイマ A 割り込み要求フラグ (IFTA:\$002、0)

タイマ A 割り込み要求フラグは、タイマ A のオーバーフロー出力によってセットされます (表 7)。

表 7 タイマ A 割り込み要求フラグ (IFTA : \$002,0)

タイマ A 割り込み要求フラグ (IFTA)	割り込み要求
0	タイマ A 割り込み要求がない
1	タイマ A 割り込み要求が発生する

(8) タイマ A 割り込みマスク (IMTA:\$002、1)

タイマ A 割り込み要求フラグによる割り込み要求をマスクするビットです (表 8)。

表 8 タイマ A 割り込みマスク (IMTA : \$002,1)

タイマ A 割り込みマスク (IMTA)	割り込み要求
0	タイマ A 割り込み要求を許可する
1	タイマ A 割り込み要求をマスクする (保留する)

(9) タイマ B 割り込み要求フラグ (IFTB:\$002、2)

タイマ B 割り込み要求フラグは、タイマ B のオーバフロー出力によってセットされます (表 9)。

表 9 タイマ B 割り込み要求フラグ (IFTB : \$002,2)

タイマ B 割り込み要求フラグ (IFTB)	割り込み要求
0	タイマ B 割り込み要求がない
1	タイマ B 割り込み要求が発生する

(10) タイマ B 割り込みマスク (IMTB:\$002、3)

タイマ B 割り込み要求フラグによる割り込み要求をマスクするビットです (表 10)。

表 10 タイマ B 割り込みマスク (IMTB : \$002,3)

タイマ B 割り込みマスク (IMTB)	割り込み要求
0	タイマ B 割り込みを許可する
1	タイマ B 割り込み要求をマスクする (保留する)

(11) タイマ C 割り込み要求フラグ (IFTC:\$003、0)

タイマ C 割り込み要求フラグは、タイマ C のオーバフロー出力によってセットされます (表 11)。

表 11 タイマ C 割り込み要求フラグ (IFTC : \$003,0)

タイマ C 割り込み要求フラグ (IFTC)	割り込み要求
0	タイマ C 割り込みを許可する
1	タイマ C 割り込み要求をマスクする (保留する)

(12) タイマ C 割り込みマスク (IMTC:\$003、1)

タイマ C 割り込み要求フラグによる割り込み要求をマスクするビットです (表 12)。

表 12 タイマ C 割り込みマスク (IMTC : \$003,1)

タイマ C 割り込みマスク (IMTC)	割り込み要求
0	タイマ C 割り込みを許可する
1	タイマ C 割り込み要求をマスクする (保留する)

(13) タイマ D 割り込み要求フラグ (IFTD:\$022, 2) (HD404889/HD404899/HD404878 シリーズに適用)

タイマ D 割り込み要求フラグは、タイマ D のオーバフロー出力、または、インプットキャプチャタイマとして使用した場合の EVND 入力エッジによってセットされます (表 13)。

表 13 タイマ D 割り込み要求フラグ (IFTD : \$022,2)

タイマ D 割り込み要求フラグ (IFTD)	割り込み要求
0	タイマ D 割り込み要求がない
1	タイマ D 割り込み要求が発生する

(14) タイマ D 割り込みマスク (IMTD:\$022, 3) (HD404889/HD404899/HD404878 シリーズに適用)

タイマ D 割り込み要求フラグによる割り込み要求をマスクするビットです (表 14)。

表 14 タイマ D 割り込みマスク (IMTD : \$022,3)

タイマ D 割り込みマスク (IMTD)	割り込み要求
0	タイマ D 割り込みを許可する
1	タイマ D 割り込み要求をマスクする (保留する)

(15) シリアル割り込み要求フラグ (IFS:\$023, 2)

シリアル割り込み要求フラグは、シリアルデータ転送が完了したとき、あるいはデータ転送が途中で打ち切られたときにセットされます (表 15)。

表 15 シリアル割り込み要求フラグ (IFS : \$023,2)

シリアル割り込み要求フラグ (IFS)	割り込み要求
0	シリアル割り込み要求がない
1	シリアル割り込み要求が発生する

(16) シリアル割り込みマスク (IMS:\$023, 3)

シリアル割り込み要求フラグによる割り込み要求をマスクするビットです (表 16)。

表 16 シリアル割り込みマスク (IMS : \$023,3)

シリアル割り込みマスク (IMS)	割り込み要求
0	シリアル割り込み要求を許可する
1	シリアル割り込み要求をマスクする (保留する)



(17) A/D 割り込み要求フラグ (IFAD : \$003, 2) (HD404889/HD404899/HD404868 シリーズに適用)

A/D 割り込み要求フラグは、A/D 変換終了によってセットされます (表 17)。

表 17 A/D 割り込み要求フラグ (IFAD : \$003,2)

A/D 割り込み要求 フラグ (IFAD)	割り込み要求
0	A/D 割り込み要求がない
1	A/D 割り込み要求が発生する

(18) A/D 割り込みマスク (IMAD:\$003, 3) (HD404889/HD404899/HD404868 シリーズに適用)

A/D 割り込み要求フラグによる割り込み要求をマスクするビットです (表 18)。

表 18 A/D 割り込みマスク (IMAD : \$003,3)

A/D 割り込みマスク (IMAD)	割り込み要求
0	A/D 割り込みを許可する
1	A/D 割り込み要求をマスクする (保留する)

### 1.4 動作モード

MCUは表 19 に示す 5 種類の動作モードが使用可能です。  
各モードの機能を表 20 に、各モード間の状態遷移図を図 13 に示します。

表 19 動作モードとクロックの状態

モード名	起動方法	状態		解除方法
		システム 発振器	サブシステム 発振器	
アクティブモード	<ul style="list-style-type: none"> <li>RESET 解除</li> <li>割り込み要求</li> <li>ストップモードにおける <math>\overline{WU}_0 \sim \overline{WU}_3</math> 入力</li> <li>サブアクティブモードにおける STOP/SBY 命令 (ダイレクト遷移指定時)</li> </ul>			<ul style="list-style-type: none"> <li>RESET 入力</li> <li>STOP/SBY 命令</li> </ul>
スタンバイモード	<ul style="list-style-type: none"> <li>SBY 命令</li> </ul>			<ul style="list-style-type: none"> <li>RESET 入力</li> <li>割り込み要求</li> </ul>
ストップモード	<ul style="list-style-type: none"> <li>TMA3=0 のときの STOP 命令</li> </ul>	停止	*1	<ul style="list-style-type: none"> <li>RESET 入力</li> <li><math>\overline{WU}_0 \sim \overline{WU}_3</math> 入力</li> </ul>
ウォッチモード	<ul style="list-style-type: none"> <li>TMA3=1 のときの STOP 命令</li> </ul>	停止		<ul style="list-style-type: none"> <li>RESET 入力</li> <li>INT<sub>0</sub>/タイマ A または <math>\overline{WU}_0 \sim \overline{WU}_3</math> 割り込み要求</li> </ul>
サブアクティブモード*2	<ul style="list-style-type: none"> <li>ウォッチモードからの INT<sub>0</sub>/タイマ A または <math>\overline{WU}_0 \sim \overline{WU}_3</math> 割り込み要求</li> </ul>	停止		<ul style="list-style-type: none"> <li>RESET 入力</li> <li>STOP/SBY 命令</li> </ul>

【注】  部では発振します。

\*1. システムクロック選択レジスタ (SSR \$004) のビット 3 の設定により、発振/停止の選択ができます。

\*2. サブアクティブモードは機能オプションです。機能オプションリストで指定してください。

表 20 低消費電力モードの動作

機能	ストップモード	ウォッチモード	スタンバイモード	サブアクティブモード* <sup>3</sup>
CPU	保持	保持	保持	
RAM	保持	保持	保持	
タイマ A	停止			
タイマ B	停止	停止		
タイマ C	停止	停止		
タイマ D* <sup>4</sup>	停止	停止		
シリアルインタフェース	停止* <sup>1</sup>	停止* <sup>1</sup>		
A/D* <sup>5</sup>	停止	停止		停止
液晶表示回路	停止	* <sup>2</sup>		
I/O	保持	保持	保持	

【注】  は動作です。

- \*1. 外部クロックモードでクロックが入力された場合、送信／受信動作を行います。ただし、割り込み動作は停止します。
- \*2. 32kHz クロックソース使用時。
- \*3. サブアクティブモードは機能オプションです。機能オプションリストで指定してください。
- \*4. HD404889/HD404899/HD404878 シリーズに適用します。
- \*5. HD404889/HD404899/HD404868 シリーズに適用します。

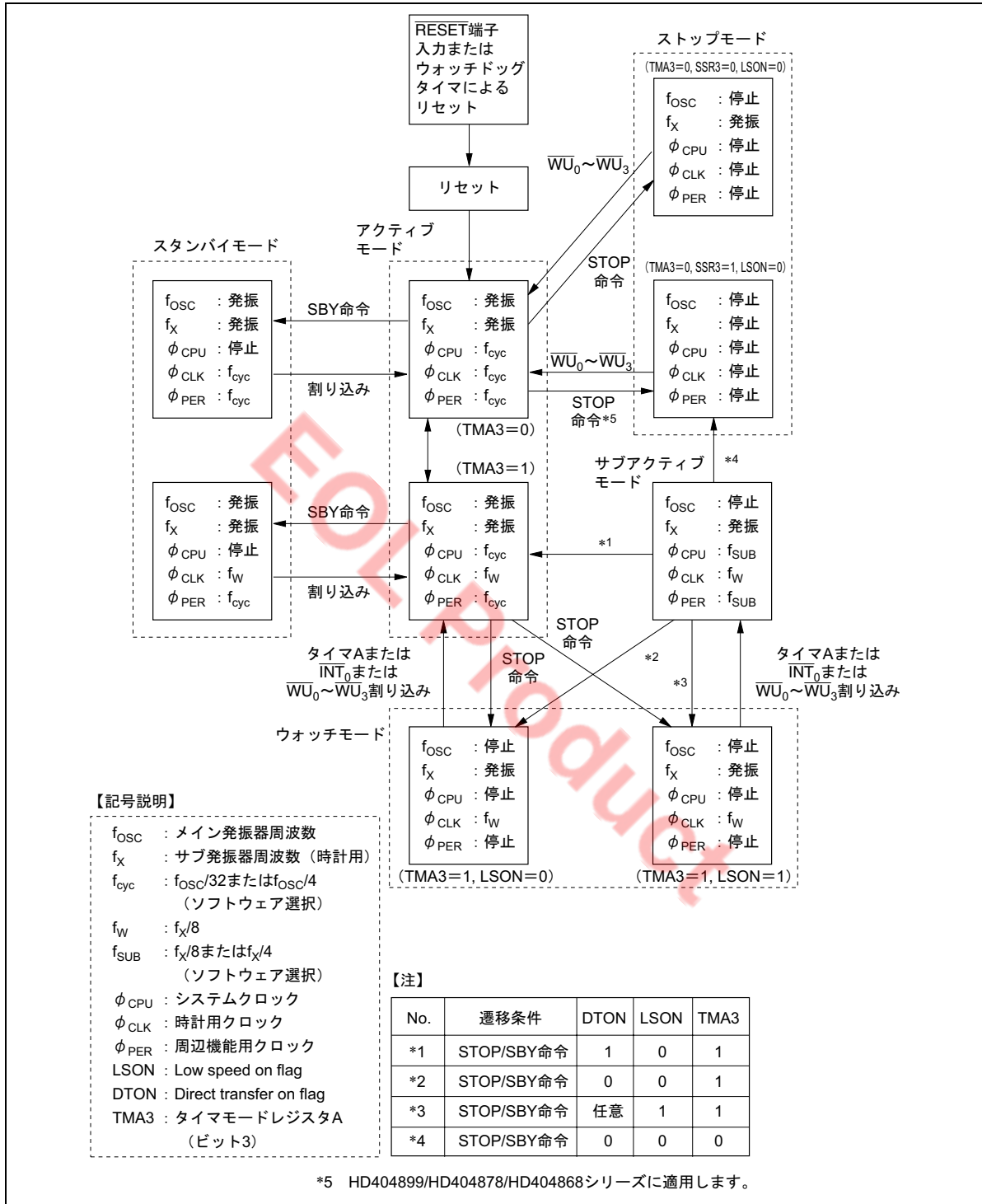


図 13 MCU の状態遷移図

(1) アクティブモード

アクティブモードでは、全機能が動作します。このモードではMCUはOSC<sub>1</sub>、OSC<sub>2</sub>発振回路で発生したクロックにより動作します。

(2) スタンバイモード

スタンバイモードでは、発振器は動作し続けますが、命令実行に関係したクロックが止まります。このため、CPUの動作は停止し、レジスタ、RAM、および出力に設定されたDポート/Rポートは、スタンバイモードに入る直前の状態を保持します。一方、割り込み、タイマ、シリアルインタフェースなどの周辺機能は動作を続けます。

消費電力は、CPUが停止する分だけ、アクティブモードに比べて小さくなります。

MCUをスタンバイモードへ遷移させるには、アクティブモードにおいてSBY命令を実行してください。

スタンバイモード解除は、RESET入力および割り込み要求によって行われます。RESET入力によって解除された場合は、MCUのリセットが行われます。割り込み要求によって解除された場合は、MCUはアクティブモードになり、SBY命令の次の1命令を実行します。命令実行後、割り込み許可フラグが"1"の場合は割り込み処理が実行され、割り込み許可フラグが"0"の場合は、割り込み要求が保留されて通常の命令実行が続けられます。

図14にMCU動作フローチャートを示します。

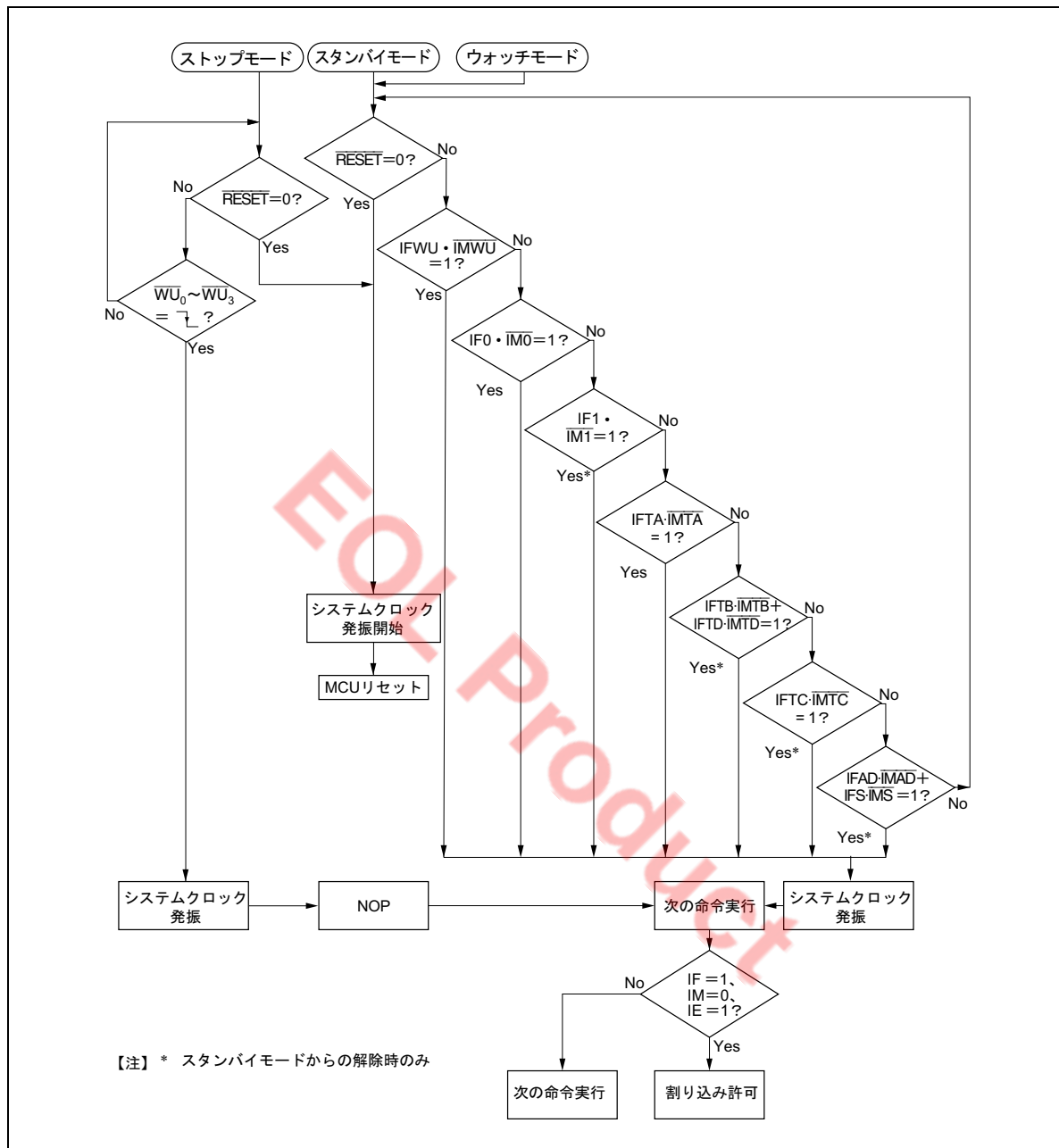


図 14 MCU 動作フローチャート

(3) ストップモード

ストップモードでは、ストップモード前の状態を保持する他は、MCUの全機能が停止します。したがって、すべての動作モードのうちで最も消費電力が小さくなります。

ストップモードでは、OSC<sub>1</sub>、OSC<sub>2</sub>発振器は停止します。また、X1、X2発振器は、システムクロック選択レジスタ (SSR : \$004) (図 24) のビット 3 (SSR3) により、動作 (= "0") または停止 (= "1") を選択できます。

MCUをストップモードへ遷移させるには、アクティブモードにおいて、タイマモードレジスタ A (TMA : \$00F) (図 36) のビット 3 を "0" (TMA3=0) に設定した状態で STOP 命令を実行してください。

また、ストップモードの解除は、 $\overline{\text{RESET}}$  または  $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$  入力で行います。 $\overline{\text{RESET}}$  によりストップモードを解除する場合、 $\overline{\text{RESET}}$  入力は、図 15 のように発振安定時間 ( $t_{\text{RC}}$ ) 以上印加してください（「AC 特性」の項参照）。MCU は初期化されプログラムの先頭（0 番地）から命令実行を開始します。

MCU は、ストップモードにおいて  $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$  への立ち下がりエッジを検出すると、自動的に発振安定時間を確保し、アクティブモードへ遷移します。アクティブモードへ遷移後は、STOP 命令の次の命令からプログラムを実行します。

ウェイクアップ入力によるストップモードの解除の場合、RAM データおよびレジスタは、ストップモードへの遷移前の状態を保持します。

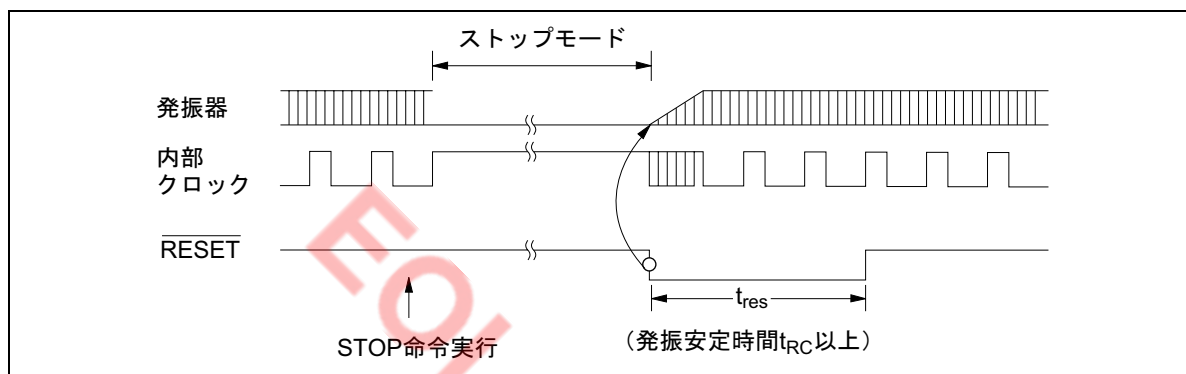


図 15 RESET 入力によるストップモードの解除タイミングチャート

**【注】** システムクロック ( $\text{OSC}_1$ ) に外部クロックを使用する場合において、ウェイクアップ入力によりストップモードの解除を行う場合は、ストップモードでサブクロックを停止しないでください。

#### (4) ウォッチモード

ウォッチモードでは、X1、X2 発振器を用いた時計機能（タイマ A）および LCD 機能は動作しますが、その他の機能は停止します。したがって、ストップモードの次に消費電力が小さくなり、時計表示のみを行う際に便利なモードです。

ウォッチモードでは、 $\text{OSC}_1$ 、 $\text{OSC}_2$  発振器は停止しますが、X1、X2 発振器は動作します。

MCU をウォッチモードに遷移させるには、アクティブモードかつ  $\text{TMA3}=1$  の状態で STOP 命令を実行するか、サブアクティブモードで STOP/SBY 命令を実行してください。

ウォッチモードの解除は、 $\overline{\text{RESET}}$  入力または  $\overline{\text{INT}}_0$ /タイマ A または  $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$  割り込み要求によって行います。 $\overline{\text{RESET}}$  入力印加の場合は、「ストップモード」の項を参照してください。 $\overline{\text{INT}}_0$ /タイマ A または  $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$  割り込み要求によって解除された場合は、 $\text{LSON}$  の値にしたがって、「0」の場合 ( $\text{LSON}=0$ ) はアクティブモードへ、「1」の場合 ( $\text{LSON}=1$ ) はサブアクティブモードへ遷移します。なお、アクティブモードへの遷移時の割り込み要求発生は、タイマ A 割り込みに対しては、 $t_{\text{RC}}$  設定時間、 $\overline{\text{INT}}_0$  または  $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$  割り込みに対しては、ミセラニアスレジスタのビット 1、0 ( $\text{MIS1}$ 、 $\text{MIS0}$ ) = "00" の場合  $\text{T}_X$  ( $\text{T} + t_{\text{RC}} < \text{T}_X < 2\text{T} + t_{\text{RC}}$ ) "01" または "10" の場合  $\text{T}_X$  ( $t_{\text{RC}} < \text{T}_X < \text{T} + t_{\text{RC}}$ ) 設定時間だけ延期され、発振安定時間が確保されず（図 16、図 17）。遷移時のその他の動作はウォッチモード解除時の動作に準じます（図 14）。

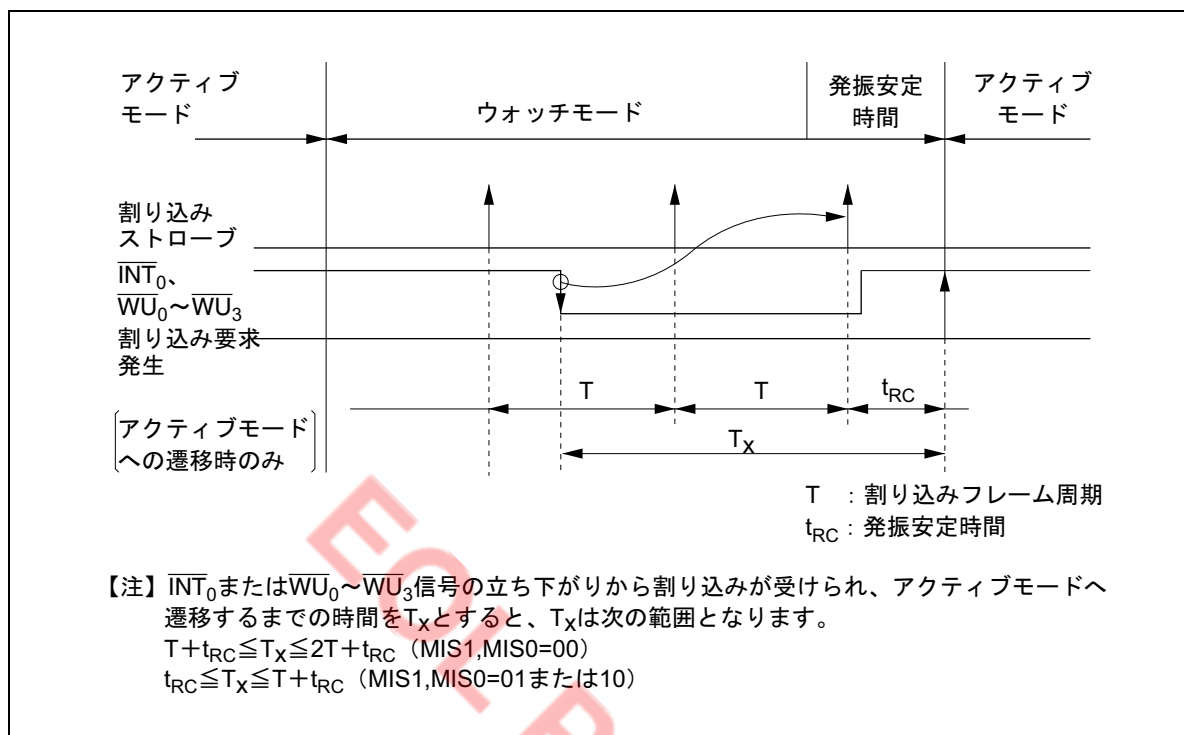


図 16 割り込みフレーム

## (5) サブアクティブモード

サブアクティブモードでは、 $OSC_1$ 、 $OSC_2$  発振回路は停止し、MCU は X1、X2 発振回路で発生したクロックにより動作します。このモードでは、A/D コンバータ以外の機能が動作しますが、動作クロックが遅いため、消費電力は、ウォッチモードの次に小さくなります。

また、CPU の命令処理速度は、システムクロック選択レジスタ (SSR : \$004) のビット 2 (SSR2) の "1" または "0" 設定により、それぞれ  $244 \mu s / 122 \mu s$  の 2 通りの選択ができます。ただし、SSR2 の値の変更 (0 → 1 または 1 → 0) は、アクティブモードにおいて行ってください。サブアクティブモードで変更を行った場合、MCU が誤動作する場合があります。

サブアクティブモードを解除するには、STOP/SBY 命令を実行してください。そのときの Low スピードオンフラグ (LSON : \$020, 0)、ダイレクトトランスファオンフラグ (DTON : \$020, 3) の値にしたがって、ウォッチモードまたはアクティブモードへ遷移します。

なお、サブアクティブモードは機能オプションとなっていますので、この機能を使用するときは機能オプションリストで指定してください。

## (6) 割り込みフレーム

ウォッチモード/サブアクティブモードでは、 $\phi_{CLK}$  がタイマ A、 $\overline{WU}_0 \sim \overline{WU}_3$  および  $\overline{INT}_0$  受け付け回路に供給されます。プリスケアラ W およびタイマ A はタイムベースとして動作し、割り込みフレームのタイミングを生成します。割り込みフレーム周期 T は、ミセラニアスレジスタ (MIS : \$005) により 2 通りの選択が可能です (図 17)。

ウォッチモード/サブアクティブモードでは、タイマ A/ $\overline{INT}_0$  または  $\overline{WU}_0 \sim \overline{WU}_3$  割り込みは、割り込みフレームに同期したタイミングで発生します。割り込み要求は、アクティブモード遷移時以外は、割り込みストロブのタイミングで発生します。タイマ A は割り込みストロブのタイミングでオーバーフローおよび割り込み要求を発生します。



ミセラニアスレジスタ (MIS : \$005)

ビット	3	2	1	0
リード/ライト	W	—	W	W
リセット	0	—	0	0
ビット名	MIS3	—	MIS1	MIS0

バッファ制御  
3項 入出力  
図33参照

MIS1	MIS0	割り込みフレーム 周期 $T(\text{ms})^{*1}$	発振安定時間 $t_{RC}(\text{ms})^{*1}$	発振回路条件
0	0	0.24414	0.12207(0.24414) <sup>*2</sup>	外部クロック入力
	1	3.90625	7.8125	セラミック発振子
1	0	3.90625	31.25	水晶発振子
	1	使用禁止		

【注】 \*1 T、 $t_{RC}$ の値は、X1-X2端子に32.768kHzの水晶発振器を使用した場合のもので  
\*2 ダイレクト遷移動作させる場合にのみ、この値となります。

図 17 ミセラニアスレジスタ (MIS)

(7) サブアクティブ→アクティブへのダイレクト遷移

ダイレクトトランスファオンフラグ (DTON : \$020、3)、Low スピードオンフラグ (LSON : \$020、0) を制御することにより、サブアクティブモードから直接アクティブモードへ遷移することが可能です。以下にその手順を示します。

- ① サブアクティブモードにおいて、LSON="0"かつ DTON="1"に設定します。
- ② STOP または SBY 命令を実行します。
- ③ MCU は、サブアクティブモードから MCU 内部処理時間、および発振安定時間を確保した後、自動的にアクティブモードへ遷移します (図 18)。

- 【注】
1. DTON フラグ (\$020、3) のセットはサブアクティブモード時のみ可能です。アクティブモード時は常にリセット状態です。
  2. サブアクティブモードからアクティブモードへの遷移時間  $T_D$  は  $t_{RC} < T_D < T + t_{RC}$  となります。

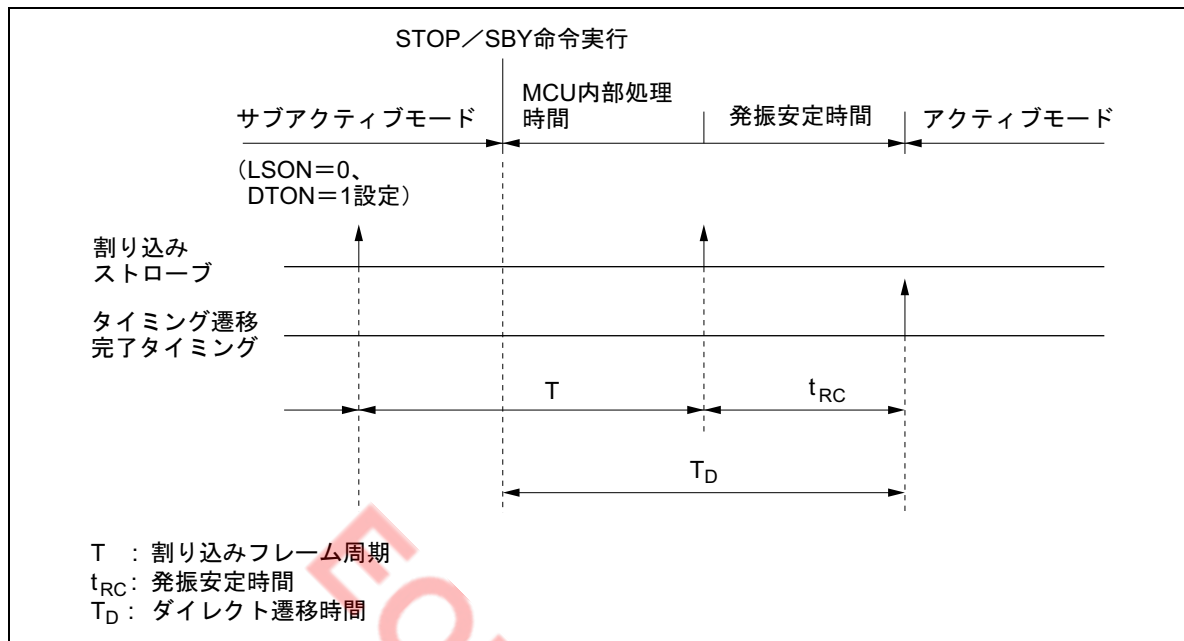


図 18 ダイレクト遷移タイミング

(8) MCU 動作シーケンス

MCU は図 19 に示すフローにしたがって動作します。 $\overline{\text{RESET}}$  入力は非同期入力であり、MCU オペレーションのどの状態であっても、 $\overline{\text{RESET}}$  入力により MCU はただちにリセット状態となります。

低消費電力モード動作シーケンスにおいては、IE がクリアされ、かつ、割り込みフラグがセットされて当該割り込みマスクが解除された状態で、STOP/SBY 命令を実行する場合、STOP/SBY 命令はキャンセルされ (NOP とみなされ) 次の命令を実行します。このため STOP/SBY 命令実行時には、あらかじめすべての割り込みフラグをクリアするか、割り込みをマスクしてください。

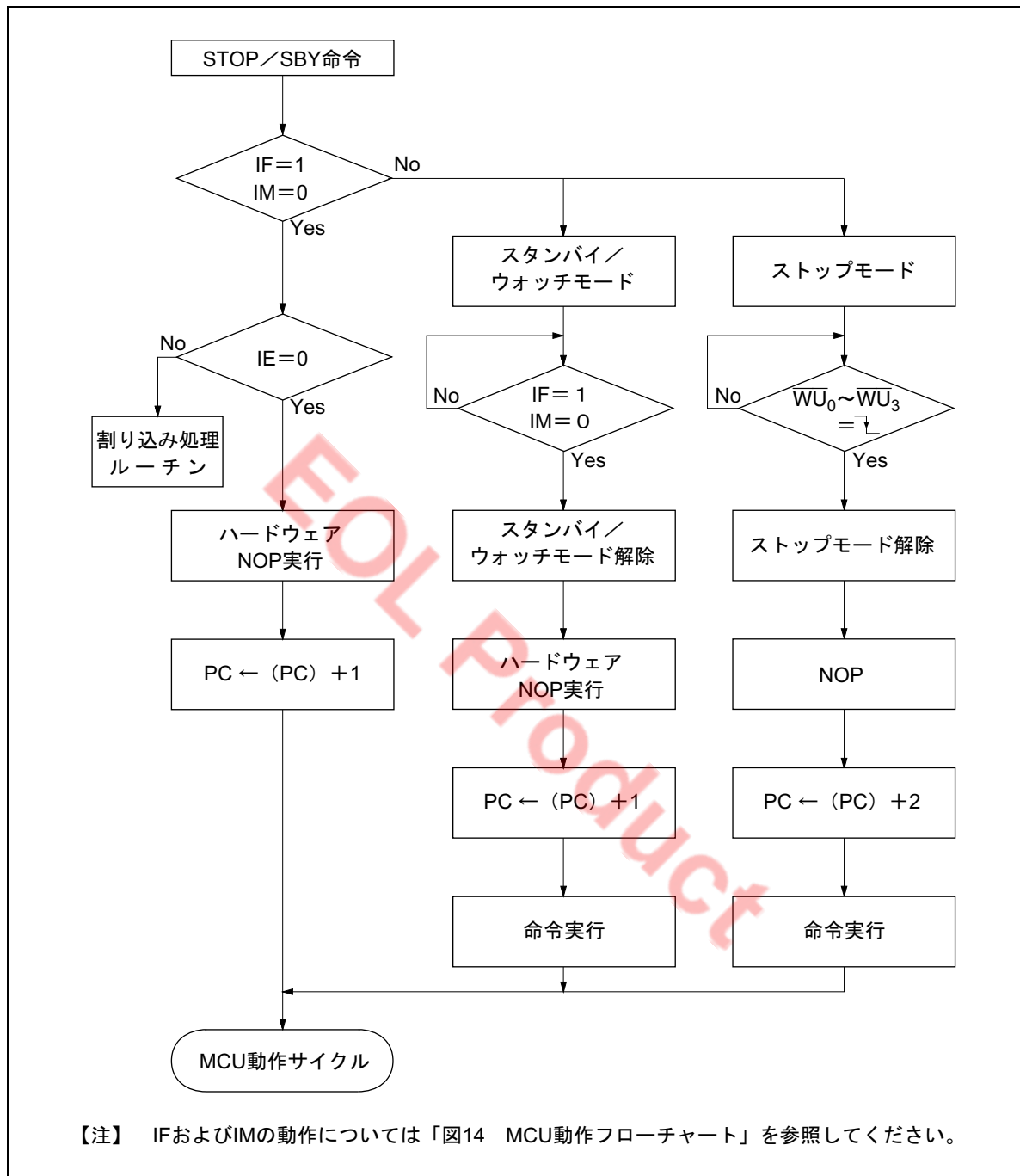


図 19 MCU 動作シーケンス (低消費電力モード動作)

(9) 使用上の注意事項

ウォッチモード、サブアクティブモードにおいて、 $\overline{INT}_0$  および  $\overline{WU}_0 \sim \overline{WU}_3$  の "High" レベルおよび "Low" レベル期間が、割り込みフレーム周期より小さいと割り込みが正常検出されません。

MCUのエッジセンス方法を図 20 に示します。 $\overline{INT}_0$  および  $\overline{WU}_0 \sim \overline{WU}_3$  の信号を一定周期でサンプリングし、このサンプリングの値が、"H"→"L"と続いた場合に立ち下がりエッジが発生したと判断します。

割り込み検出エラーは、このサンプリングを割り込みフレーム周期で行っているため発生します。図 21 (a) のように  $\overline{INT}_0$  または  $\overline{WU}_0 \sim \overline{WU}_3$  信号の "High" レベル期間が、割り込みフレームの間に入ってしまうと、A 点="L"、B 点="L"となり、立ち下がりエッジと判断されません。また、図 21 (b) のように  $\overline{INT}_0$  または  $\overline{WU}_0 \sim \overline{WU}_3$  信号の "Low" レベル期間が割り込みフレームの間に入ってしまうと、A 点="H"、B 点="H"となり、立ち下がりエッジと判断されません。

このため、ウォッチモード、サブアクティブモードにおいて、 $\overline{INT}_0$  または  $\overline{WU}_0 \sim \overline{WU}_3$  信号の "High" レベル期間、"Low" レベル期間を割り込みフレーム周期以上保つようにしてください。

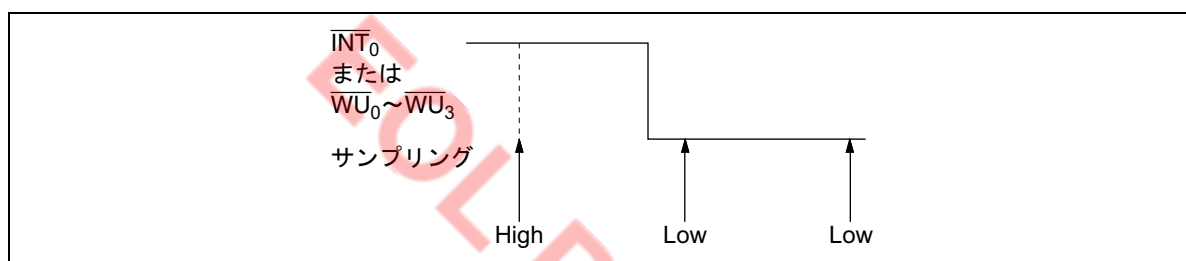


図 20 エッジセンス方法

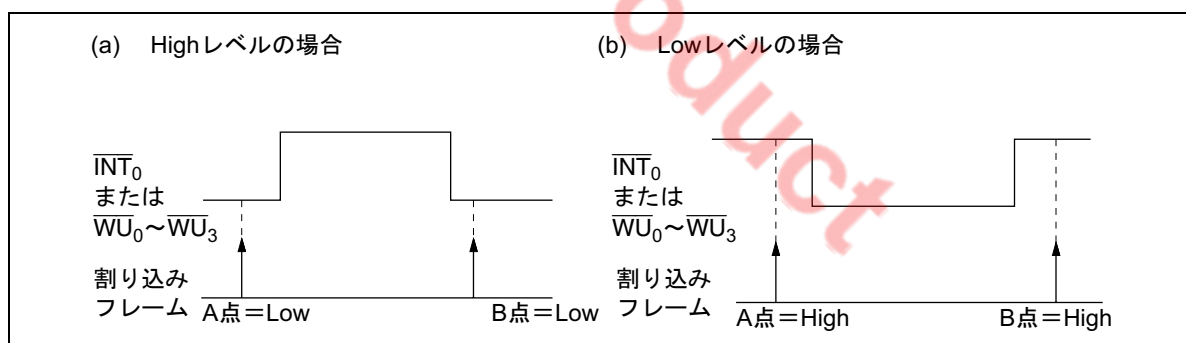


図 21 サンプリング例

## 2. 発振回路

図 22 にクロック発生回路を示します。OSC<sub>1</sub>、OSC<sub>2</sub>には、表 21 のようにセラミック発振器または水晶発振器が接続でき、X1、X2 には 32.768kHz の水晶発振器が接続できます。システム発振器は外部クロック動作が可能です。OSC<sub>1</sub>、OSC<sub>2</sub>に接続する発振器の周波数により、システムクロック選択レジスタ（SSR：\$004）のビット 1（SSR1）を設定してください（図 24）。

**【注】** システムクロック選択レジスタのビット 1 の設定値がシステム発振器の周波数と合っていない場合は、32.768kHz 発振を使用するサブシステムが正常に動作しませんので注意してください。

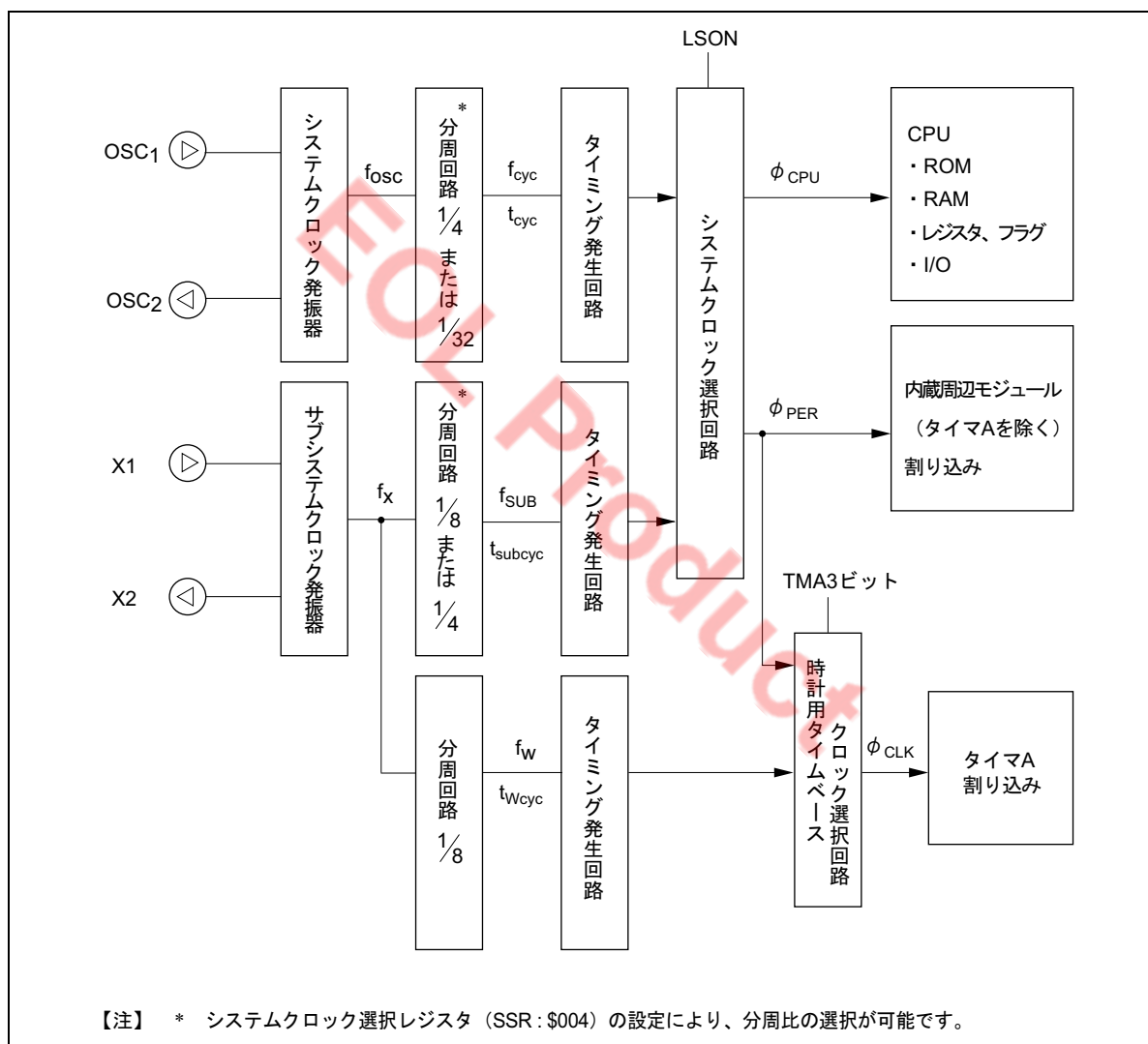


図 22 クロック発生回路

### 3. システムクロックギア機能

MCUは、ソフトウェアにより命令実行時間をシステムクロックの4分周と32分周の選択ができるシステムクロックギア機能を内蔵しています。高速処理が必要な場合は4分周で、それ以外は32分周で動作させることにより、効率的な電力消費が可能です。図23に、システムクロックの変換方法を示します。

4分周から32分周へのシステムクロックの変換は、次の手順で行います。初めに32分周の設定（SSR0書き込み）を行います。次にギアイネーブルフラグ（GEF：\$021,3）をセットします。これによりギア変換をするのか、スタンバイモードへ遷移するのかの区別を行います。その後でSTBY命令を実行します。ギアイネーブルフラグがセットされていない場合はスタンバイモードへ、ギアイネーブルフラグがセットされていれば、ギア変換モードになります。この場合、ギア変換の間だけスタンバイモードへ遷移しますが、同期化時間を経過して自動的にアクティブモードへ遷移します。アクティブモードに遷移すると同時に、ギアイネーブルフラグはリセットされます。

32分周から4分周への変換も同様です。

ギア変換は、すべての割り込みをクリアの上、割り込みを禁止してから行ってください。ギア変換中に割り込みが発生すると、誤動作する場合があります。

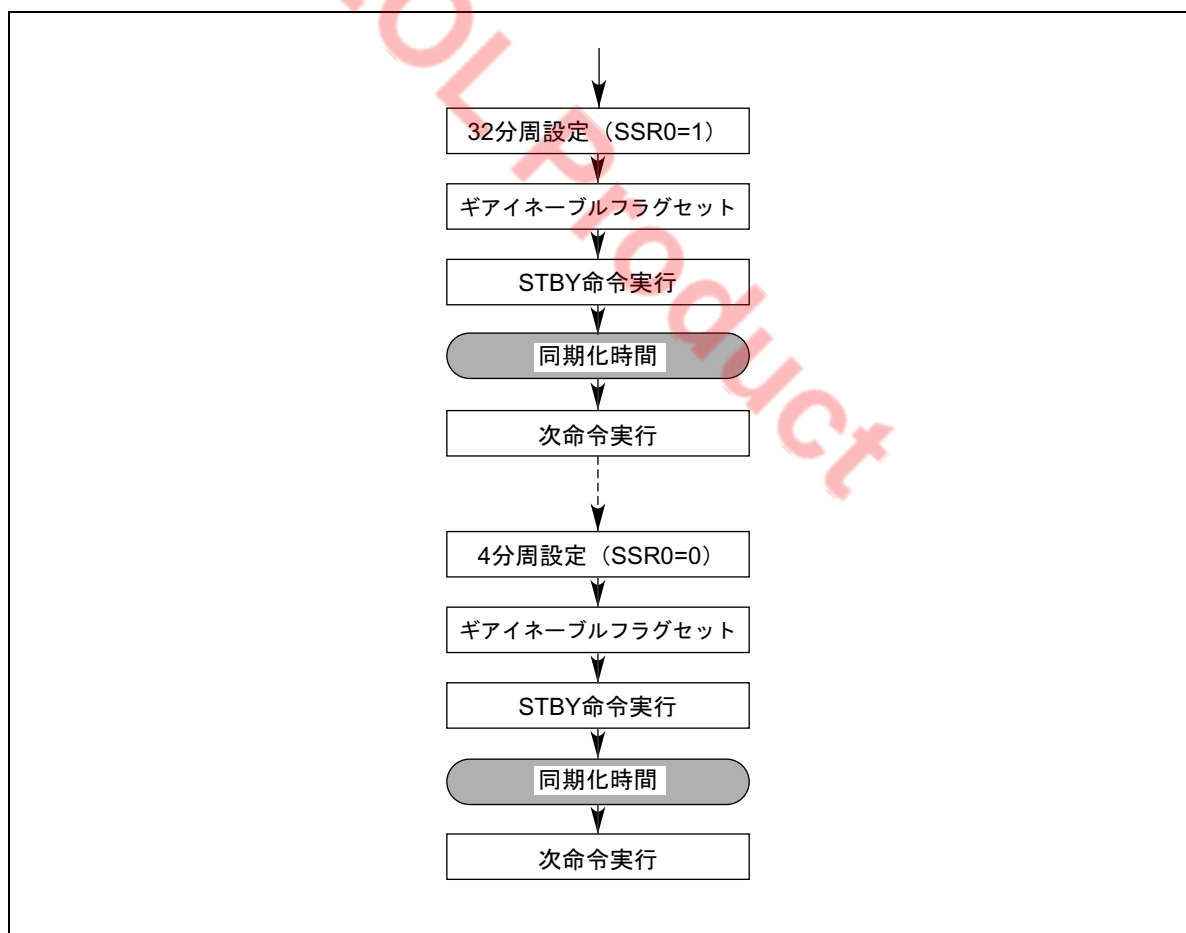


図23 システムクロック分周変更フロー

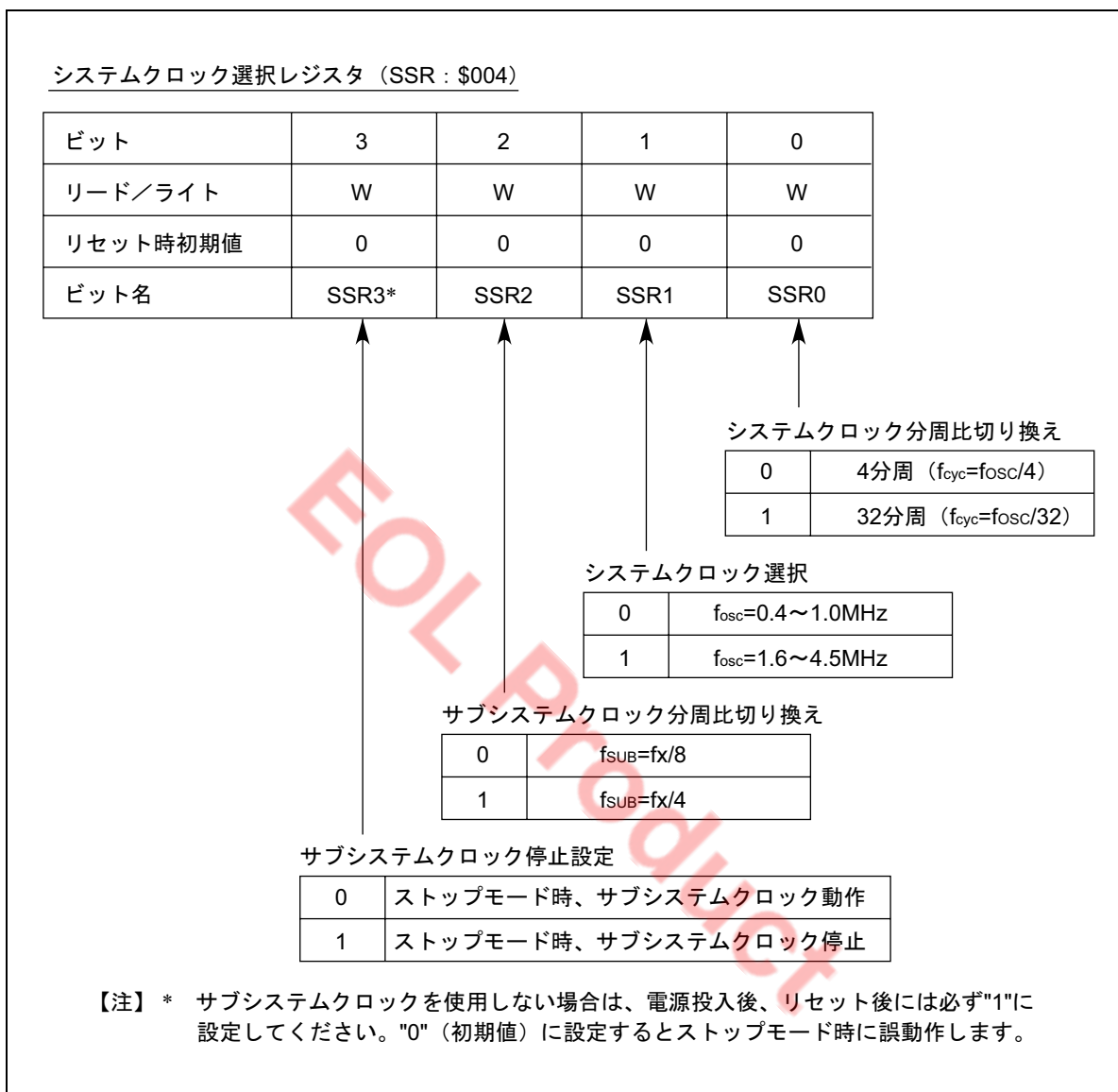
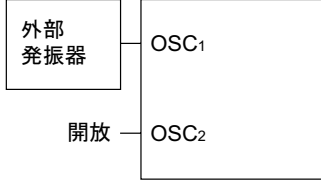
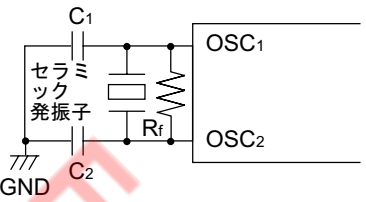
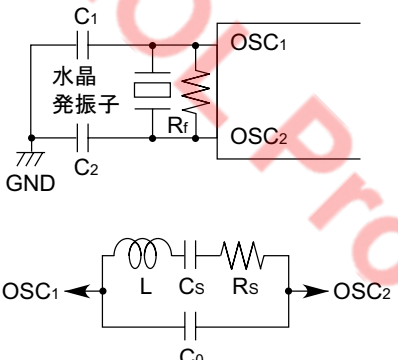
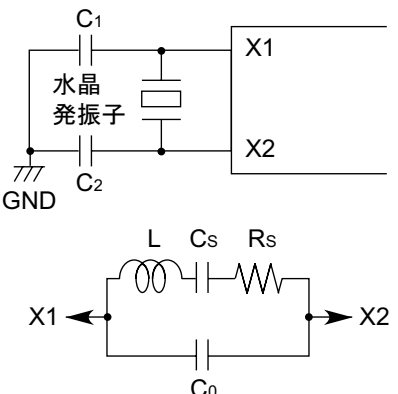


図 24 システムクロック選択レジスタ

表 21 発振回路例

	回路構成	回路定数
外部クロック動作		
セラミック発振 (OSC <sub>1</sub> , OSC <sub>2</sub> )		セラミック発振子 : CSA4.00MG (村田製作所) $R_f = 1M\Omega \pm 20\%$ $C_1 = C_2 = 30pF \pm 20\%$
水晶発振 (OSC <sub>1</sub> , OSC <sub>2</sub> )		$R_f = 1M\Omega \pm 20\%$ $C_1 = C_2 = 10 \sim 22pF \pm 20\%$ 水晶 : 左図等価回路 $C_0 = 7pF_{max}$ $R_s = 100\Omega_{max}$
水晶発振 (X1, X2)		水晶 : 32.768kHz : MX38T (日本電波工業) $C_1 = C_2 = 20pF \pm 20\%$ $R_s = 14k\Omega$ $C_0 = 1.5pF$

- 【注】
- 水晶発振またはセラミック発振の場合、回路定数は発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカー、セラミック発振子メーカーと十分ご相談の上決定してください。
  - OSC<sub>1</sub>、OSC<sub>2</sub> 端子と (X1、X2 端子) および外部外付け部品との配線は極力短くし、他の配線がこれらの配線と交差しないようにしてください (配置例図 25 参照)。
  - 32.768kHz 水晶発振をしない場合は X1 端子を V<sub>CC</sub> に固定し、X2 端子は開放にしてください。



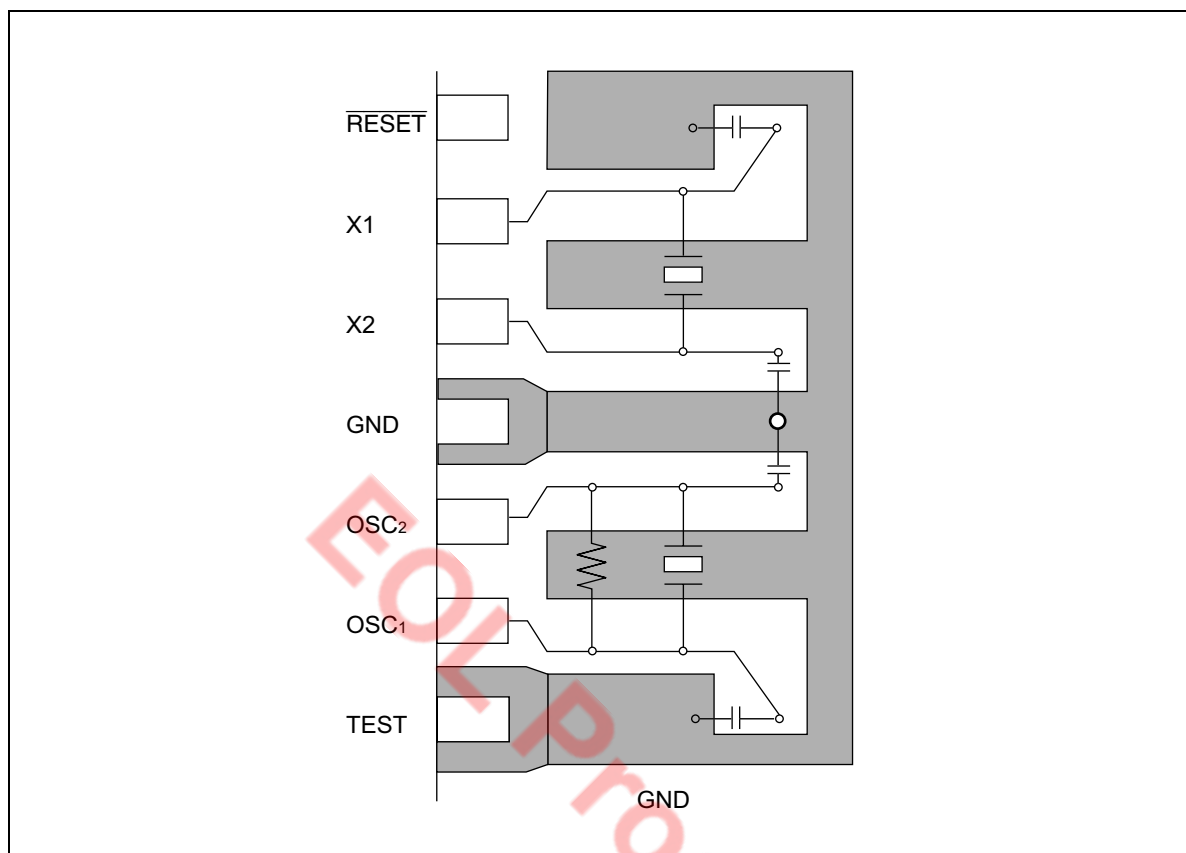


図 25 水晶、セラミック発振子の配置例

#### 4. 入力／出力

MCU は、HD404889/HD404899/HD404878 シリーズでは 46 本の入出力端子 ( $D_0 \sim D_{11}$ 、 $R_0 \sim R_7$ 、 $R_{8_0}$ 、 $R_{8_1}$ )、HD404868 シリーズでは 41 本の入出力端子 ( $D_0 \sim D_9$ 、 $R_{0_0}$ 、 $R_{0_1}$ 、 $R_{0_2}$ 、 $R_1 \sim R_7$ ) を持っています。以下に特長をまとめて示します。

- (1)  $D_0 \sim D_3$  の 4 本はソース大電流 (10mA max.) 入出力端子です。
- (2)  $D_4 \sim D_{11}$  の 8 本はシンク大電流 (15mA max.) 入出力端子です。
- (3) 入出力端子には、タイマやシリアルインタフェースなどの周辺機能を兼用になっている端子 ( $D_0$ 、 $D_1$ 、 $R_0$ 、 $R_1$ 、 $R_{2_0} \sim R_{2_2}$ 、 $R_3 \sim R_7$ 、 $R_{8_0}$ 、 $R_{8_1}$ ) があります。これらの端子では、D ポートあるいは R ポートとしての設定よりも、周辺機能としての設定の方が優先するようになっています。周辺機能としての設定を行った端子は、その設定に合わせて端子機能や入力／出力が自動的に切り替わります。
- (4) 入出力端子の入力／出力の選択、あるいは周辺機能と兼用になっている端子でのポート／周辺機能の選択は、プログラムにより行います。
- (5) 周辺機能端子の出力端子はすべて CMOS 出力となります。ただし、SO 端子、 $R_{2_2}$  ポートはプログラムにより NMOS オープンドレイン出力に設定することができます。
- (6) リセット時には、周辺機能選択は解除されます。また、データコントロールレジスタ (DCD、DCR) もリセットされるため、入力／出力端子はハイインピーダンス状態となります。
- (7) 各入出力端子はプルアップ MOS を内蔵しており、プログラムにより端子ごとに ON/OFF の設定が可能です。

図 26 に入出力バッファの構成を、表 22 にプログラムによる入出力端子の回路構成制御を示します。表 23 に各入出力端子の回路構成を示します。

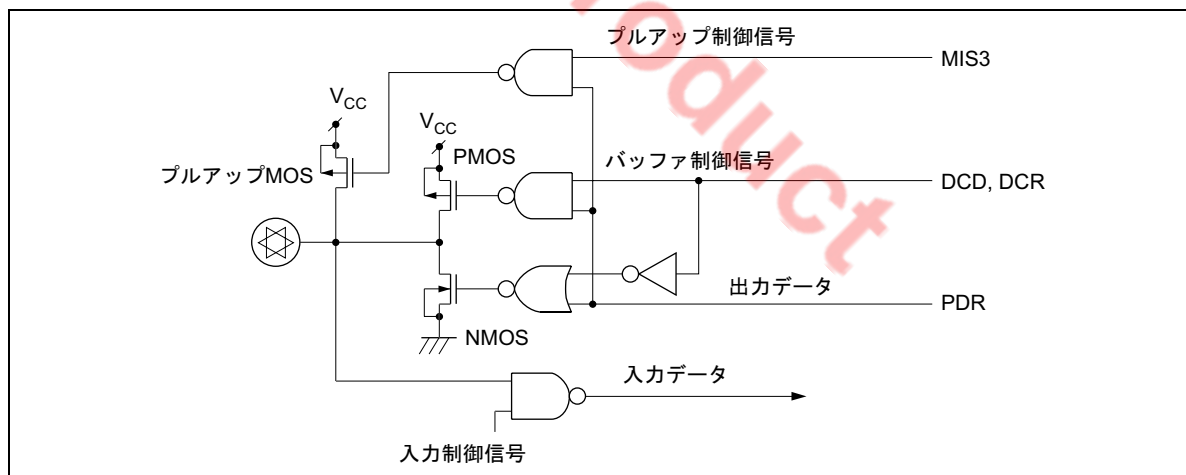


図 26 入出力端子の回路構成

表 22 プログラムによる入出力端子の回路構成制御

MIS3 (MIS のビット 3)	0				1				
DCD,DCR	0		1		0		1		
PDR	0	1	0	1	0	1	0	1	
CMOS バッファ	PMOS	—		—	ON	—		—	ON
	NMOS			ON	—			ON	—
プルアップ MOS	—				—	ON	—	ON	

【注】 — : OFF

表 23 入力／出力端子の回路構成(1)

区分	回路構成	適用端子
入出力端子	<p>プルアップ制御信号 — MIS3                  バッファ制御信号 — DCD、DCR                  出力データ — PDR                  入力制御信号                  入力データ</p>	D <sub>0</sub> ~D <sub>11</sub> R <sub>0</sub> ~R <sub>3</sub> R <sub>10</sub> ~R <sub>13</sub> R <sub>20</sub> , R <sub>21</sub> , R <sub>23</sub> R <sub>30</sub> ~R <sub>33</sub> R <sub>40</sub> ~R <sub>43</sub> R <sub>50</sub> ~R <sub>53</sub> R <sub>60</sub> ~R <sub>63</sub> R <sub>70</sub> ~R <sub>73</sub> R <sub>80</sub> , R <sub>81</sub>
	<p>プルアップ制御信号 — MIS3                  バッファ制御信号 — DCR、SMR22                  出力データ — PDR                  入力制御信号                  入力データ</p>	R <sub>22</sub>

【注】 リセット時は、入出力制御レジスタがリセットされることにより、入力／出力端子はハイインピーダンス状態となり、また周辺機能選択が解除されます。

表 23 入力/出力端子の回路構成(2)

区分	回路構成	適用端子
内蔵周辺モジュール用端子	<p>入出力端子</p>	SCK
	<p>出力端子</p>	SO
		TOB, TOC, BUZZ
	<p>入力端子</p>	RESET
		SI, INT <sub>0</sub> , INT <sub>1</sub> , WU <sub>0</sub> ~WU <sub>3</sub> , EVNB, EVND
		AN <sub>0</sub> ~AN <sub>5</sub> *

【注】 リセット時は、入出力制御レジスタがリセットされることにより、入力/出力端子はハイインピーダンス状態となり、また周辺機能選択が解除されます。

\* HD404889/HD404899/HD404868 シリーズに適用

#### 4.1 D ポート

D ポートは、1 ビットごとにアドレスされる 12 本 (HD404868 シリーズは 10 本) の入出力端子から構成されています。

D<sub>0</sub>~D<sub>3</sub> ポートはソース大電流入出力端子、D<sub>4</sub>~D<sub>11</sub> ポート (HD404868 シリーズは D<sub>4</sub>~D<sub>9</sub> ポート) はシンク大電流入出力端子です。

D ポートは、SED 命令/RED 命令、SEDD 命令/REDD 命令によるセット、リセットが可能です。出力データは各端子のポートデータレジスタ (PDR) に格納されます。また、すべての D ポートは、TD 命令/TDD 命令によるテストが可能です。

D ポートの出力バッファの ON/OFF は D ポート用データコントロールレジスタ (DCD0~DCD2:\$030~\$032) により行います。DCD はメモリアドレス上にマッピングされています (図 27)。

D<sub>0</sub>~D<sub>1</sub> ポートは、それぞれ割り込み入力端子  $\overline{INT}_0$ , INT<sub>1</sub> と兼用です。割り込み端子への設定はポートモードレジスタ 0 (PMR0:\$008) のビット 0,1 (PMR00,PMR01) により行います (図 28)。

データコントロールレジスタ (DCD0~2 : \$030~\$032)  
(DCR0~8 : \$034~\$03C)

レジスタ名	ビット名	3	2	1	0
DCD0~DCD2	リード/ライト	W	W	W	W
	リセット	0	0	0	0
	ビット名	DCD03~DCD23	DCD02~DCD22	DCD01~DCD21	DCD00~DCD20
DCR0~DCR8	リード/ライト	W	W	W	W
	リセット	0	0	0	0
	ビット名	DCR03~DCR73	DCR02~DCR72	DCR01~DCR81	DCR00~DCR80

全ビット	CMOSバッファの制御
0	CMOSバッファをOFFする (ハイインピーダンス)
1	CMOSバッファアクティブ

DCD、DCR各ビットとポートとの対応

レジスタ名	ビット3	ビット2	ビット1	ビット0
DCD0	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
DCD1	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>
DCD2	D <sub>11</sub> *	D <sub>10</sub> *	D <sub>9</sub>	D <sub>8</sub>
DCR0	R <sub>03</sub> *	R <sub>02</sub>	R <sub>01</sub>	R <sub>00</sub>
DCR1	R <sub>13</sub>	R <sub>12</sub>	R <sub>11</sub>	R <sub>10</sub>
DCR2	R <sub>23</sub>	R <sub>22</sub>	R <sub>21</sub>	R <sub>20</sub>
DCR3	R <sub>33</sub>	R <sub>32</sub>	R <sub>31</sub>	R <sub>30</sub>
DCR4	R <sub>43</sub>	R <sub>42</sub>	R <sub>41</sub>	R <sub>40</sub>
DCR5	R <sub>53</sub>	R <sub>52</sub>	R <sub>51</sub>	R <sub>50</sub>
DCR6	R <sub>63</sub>	R <sub>62</sub>	R <sub>61</sub>	R <sub>60</sub>
DCR7	R <sub>73</sub>	R <sub>72</sub>	R <sub>71</sub>	R <sub>70</sub>
DCR8	—	—	R <sub>81</sub> *	R <sub>80</sub> *

【注】 \* HD404889/HD404899/HD404878シリーズに適用

図 27 データコントロールレジスタ (DCD、DCR)

## 4.2 R ポート

R ポートは、4 ビットごとにアドレスされる 34 本 (HD404868 シリーズは 31 本) の入出力端子から構成されています。

LAR 命令、LBR 命令による入力、および LRA 命令、LRB 命令による出力ができます。出力データは各端子のポートデータレジスタ (PDR) に格納されます。

R ポートの出力バッファの ON/OFF は、R ポート用データコントロールレジスタ (DCR0~DCR8 : \$034~\$03C) により行います。DCR はメモリアドレス上にマッピングされています (図 27)。

R0~R3 ポートは、それぞれウェイクアップ入力端子  $\overline{WU}_0 \sim \overline{WU}_3$  と兼用です。これらの端子の周辺機能端子への設定は、ポートモードレジスタ 1 (PMR1 : \$009) により行います (図 29)。

R1~R1<sub>1</sub> ポートは、それぞれ周辺機能端子 EVNB、EVND と兼用です。これらの端子の周辺機能端子への設定は、ポートモードレジスタ 2 (PMR2 : \$00A) のビット 0、1 (PMR20,PMR21) により行います (図 30)。

R1<sub>2</sub>~R1<sub>3</sub>、R2<sub>0</sub> ポートは、それぞれ周辺機能端子 BUZZ、TOB、TOC と兼用です。これらの端子の周辺機能端子への設定は、ポートモードレジスタ 2 (PMR2 : \$00A) のビット 2、3 (PMR22、PMR23) およびポートモードレジスタ 3 (PMR3 : \$00B) のビット 0 (PMR30) により行います (図 30、31)。

R2<sub>1</sub>~R2<sub>2</sub> ポートは、それぞれ周辺機能端子  $\overline{SCK}$ 、SI/SO 端子と兼用です。これらの端子の周辺機能端子への設定は、ポートモードレジスタ 3 (PMR3 : \$00B) のビット 1~3 (PMR31~PMR33) により行います (図 31)。

R3~R6 ポートは、それぞれセグメント端子 SEG1~SEG16 端子と兼用です。これらの端子のセグメント端子への設定は、4 端子ごとにポートモードレジスタ 4 (PMR4 : \$00C) により行います (図 32)。

R7~R7<sub>3</sub>、R8~R8<sub>1</sub> ポートは、それぞれ周辺機能端子 AN<sub>0</sub>~AN<sub>5</sub> と兼用です。(HD404889/HD404899/HD404868 シリーズのみ) これらの端子の周辺機能端子への設定は、A/D モードレジスタ (AMR : \$028) のビット 1~3 (AMR<sub>1</sub>~AMR<sub>3</sub>) により行います (8 項 A/D コンバータ 図 74 参照)。

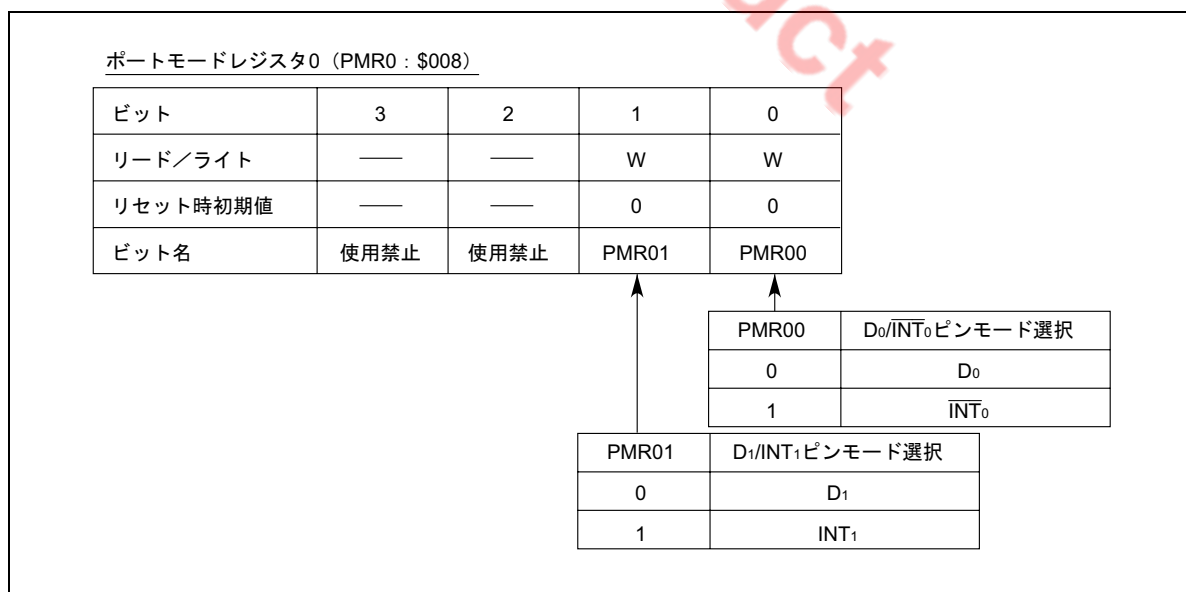


図 28 ポートモードレジスタ 0

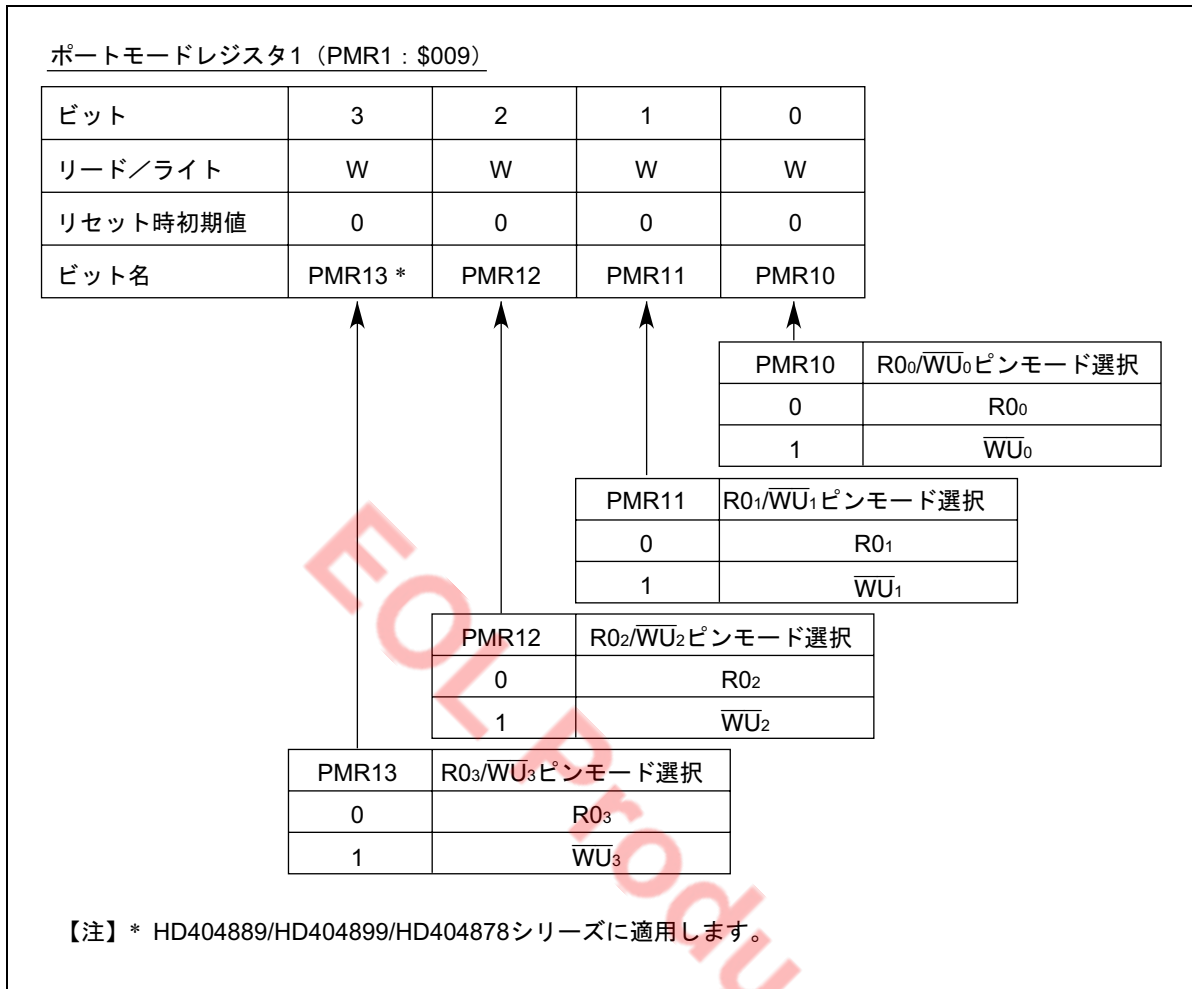


図 29 ポートモードレジスタ 1 (PMR1 : \$009)



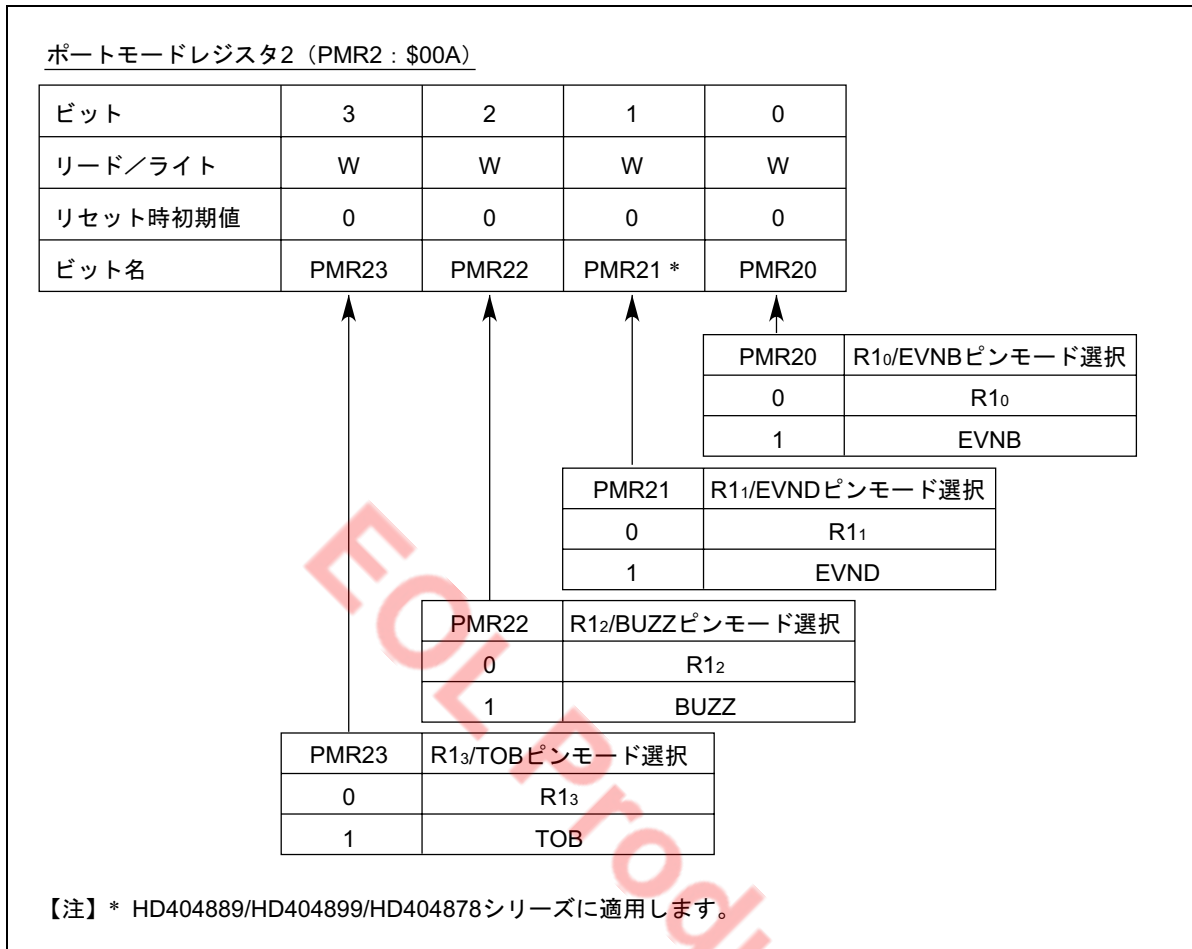


図 30 ポートモードレジスタ 2 (PMR2 : \$00A)

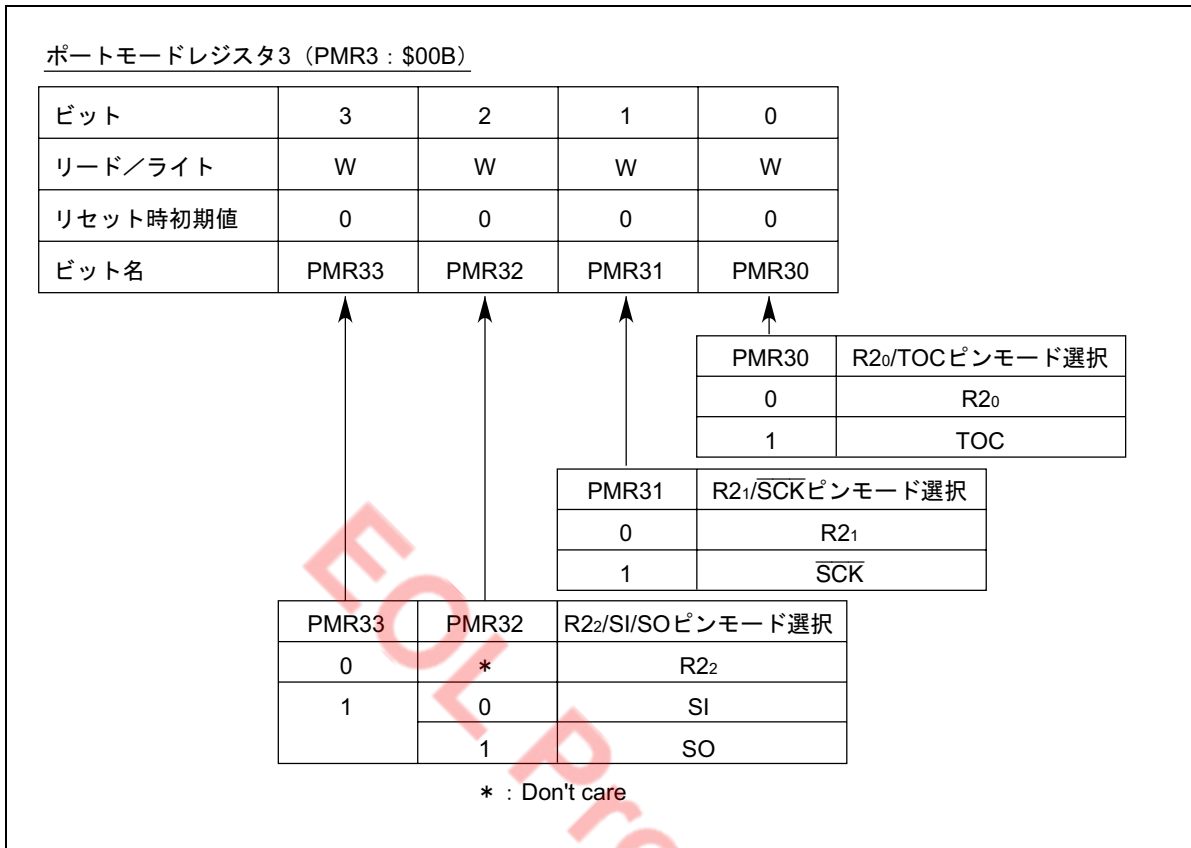
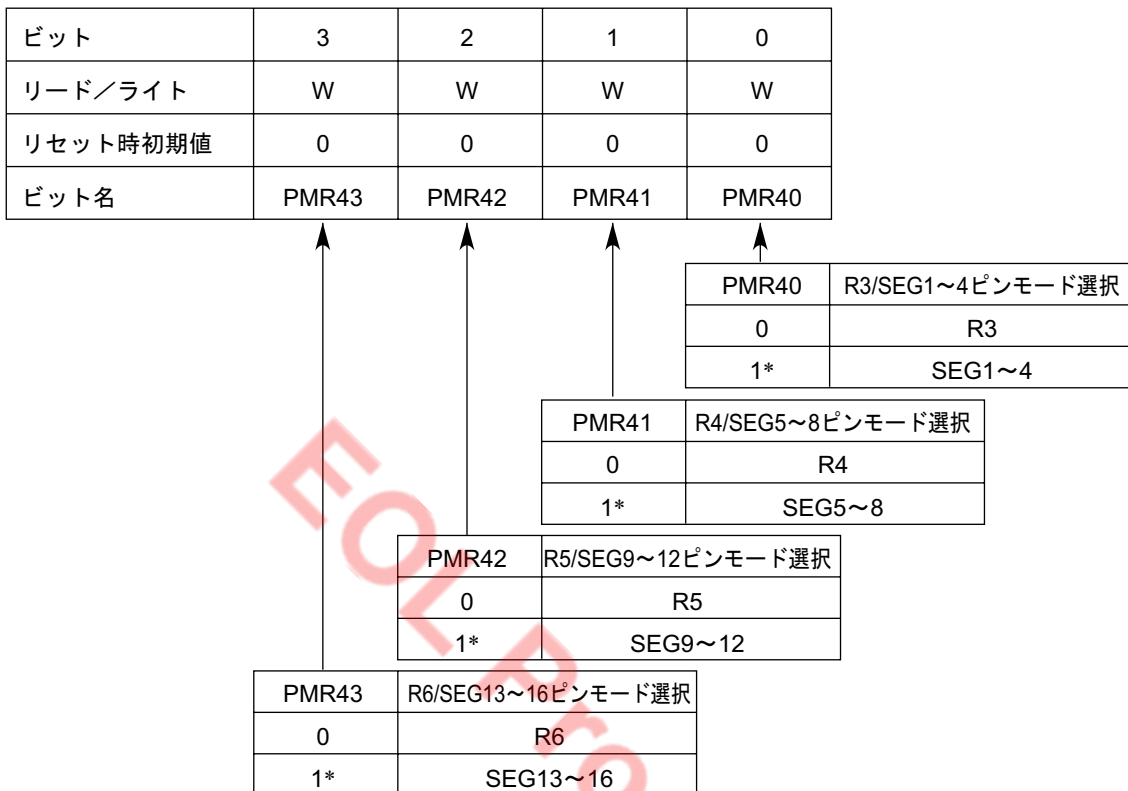


図 31 ポートモードレジスタ 3 (PMR3 : \$00B)

ポートモードレジスタ4 (PMR4 : \$00C)



【注】\* : セグメント出力端子として使用する場合、ポートデータレジスタに"0"を書いてください。

図 32 ポートモードレジスタ 4 (PMR4 : \$00C)

### 4.3 プルアップMOSの制御

プログラムで制御可能なプルアップMOSは、すべての入出力端子に内蔵されています。  
 全プルアップMOSのON/OFFは、ミセラニアスレジスタ（MIS：\$005）のビット3（MIS3）、および、各端子のポートデータレジスタ（PDR）によって制御するため、各端子ごとに独立してON/OFFすることができます（表22、図33）。  
 なお、プルアップMOSのON/OFF設定は、アナログ入力兼用端子を除き内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

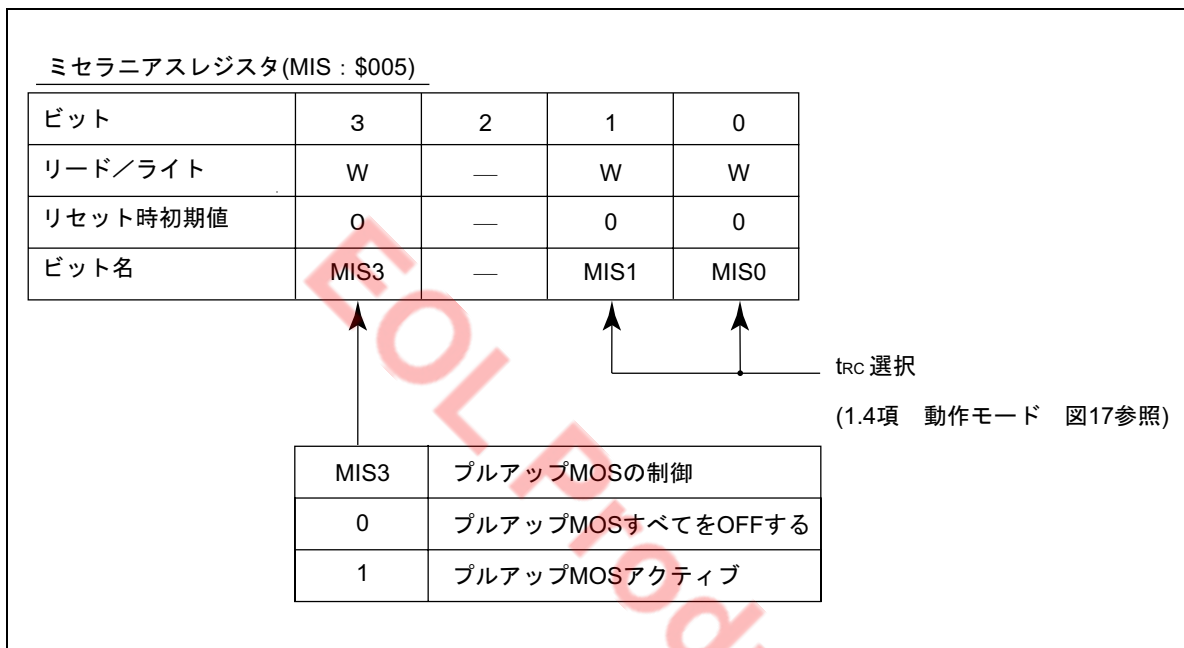


図 33 ミセラニアスレジスタ (MIS)

### 4.4 ユーザシステムで使用していない入出力端子の処理

ユーザシステムで使用していない入出力端子がフローティングの場合、ノイズにより LSI が誤動作する可能性がありますので、端子の電位を固定する必要があります。  
 この場合、内蔵プルアップMOSでV<sub>CC</sub>にプルアップするか、100kΩ程度の抵抗を付けてV<sub>CC</sub>にプルアップしてください。

## 5. プリスケーラ

MCUは、次の2本のプリスケーラを内蔵しています。

- (1) プリスケーラ S (PSS)
- (2) プリスケーラ W (PSW)

それぞれのプリスケーラにつき、動作条件を表 24 に、また出力の供給先を、図 34 に示します。外部イベント以外のタイマ A~D の入力クロック、外部クロック以外のシリアル転送クロック、および液晶表示回路の動作クロックは、それぞれのモードレジスタによってプリスケーラ出力の中から選択します。

### 5.1 プリスケーラの動作

- (1) プリスケーラ S (PSS)

プリスケーラ S はシステムクロックを入力とする 11 ビットのカウンタです。MCU のリセットによって \$000 にリセットされた後、システムクロックを分周します。プリスケーラ S は MCU によるリセット、ストップモード、およびウォッチモードにより動作が停止します。それ以外のモードでは停止しません。

- (2) プリスケーラ W (PSW)

プリスケーラ W は、X1 入力 (32kHz 水晶発振) を分周したクロックを入力とするカウンタです。

MCU のリセットによって \$00 にリセットされた後、入力クロックを分周します。また、プリスケーラ W のリセットは、ソフトウェアによっても可能です。

表 24 プリスケーラ動作条件

名称	入力クロック	リセット条件	停止条件
プリスケーラ S	<ul style="list-style-type: none"> <li>・アクティブ、スタンバイモード時はシステムクロック</li> <li>・サブアクティブモード時はサブシステムクロック</li> </ul>	<ul style="list-style-type: none"> <li>・MCU リセット</li> </ul>	<ul style="list-style-type: none"> <li>・MCU リセット</li> <li>・ストップモード</li> <li>・ウォッチモード</li> </ul>
プリスケーラ W	<ul style="list-style-type: none"> <li>・サブシステムクロックによる 32.768kHz 発振を 8 分周したクロック</li> </ul>	<ul style="list-style-type: none"> <li>・MCU リセット</li> <li>・ソフトウェア*</li> </ul>	<ul style="list-style-type: none"> <li>・MCU リセット</li> <li>・ストップモード</li> </ul>

【注】 \* タイマモードレジスタ A (TMA) の TMA3~TMA1 をすべて 1 にセットすると、PSW は \$00 にクリアされます。

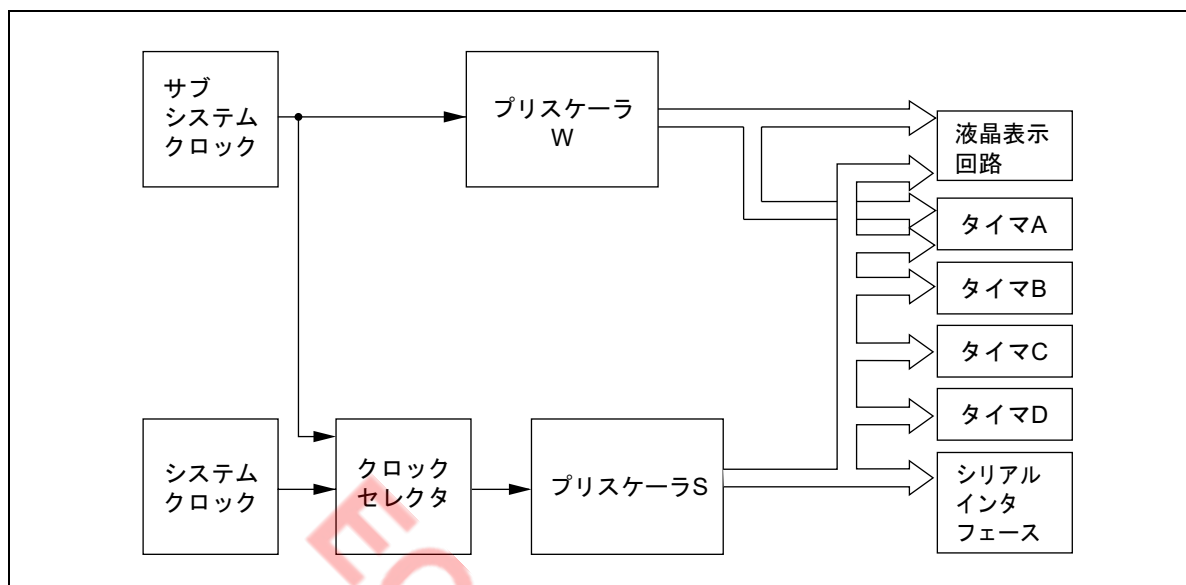


図 34 プリスケータ出力の供給先

## 6. タイマ

MCUは、タイマA~Dの4本のタイマ（HD404889/HD404899/HD404878シリーズ）、タイマA~Cの3本のタイマ（HD404868シリーズ）を内蔵しています。

- (1) タイマA フリーランニングタイマ
- (2) タイマB 多機能タイマ
- (3) タイマC 多機能タイマ
- (4) タイマD 多機能タイマ

タイマAは8ビットのフリーランニングタイマです。タイマB~Dは8ビットの多機能タイマで、それぞれ表25に示す機能を有しており、プログラムにより動作モードの設定を行います。

表 25 タイマの機能別分類

タイマ	クロックソース			タイマ機能						タイマ出力	
	プリスケアラS	プリスケアラW	外部イベント	フリーランニング	タイムベース	イベントカウンタ	リロード	ウォッチドッグ	インプットキャプチャ	トグル	PWM
タイマA	○	○	—	○	○	—	—	—	—	—	—
タイマB	○	—	○	○	—	○	○	—	—	○	○
タイマC	○	—	—	○	—	—	○	○	—	○	○
タイマD	○	—	○	○	—	○	○	—	○	—	—

### 6.1 タイマA

#### 6.1.1 タイマAの機能

タイマAには、次の機能があります。

- (1) フリーランニングタイマ
- (2) 時計用タイムベース

タイマAのブロック図を図35に示します。

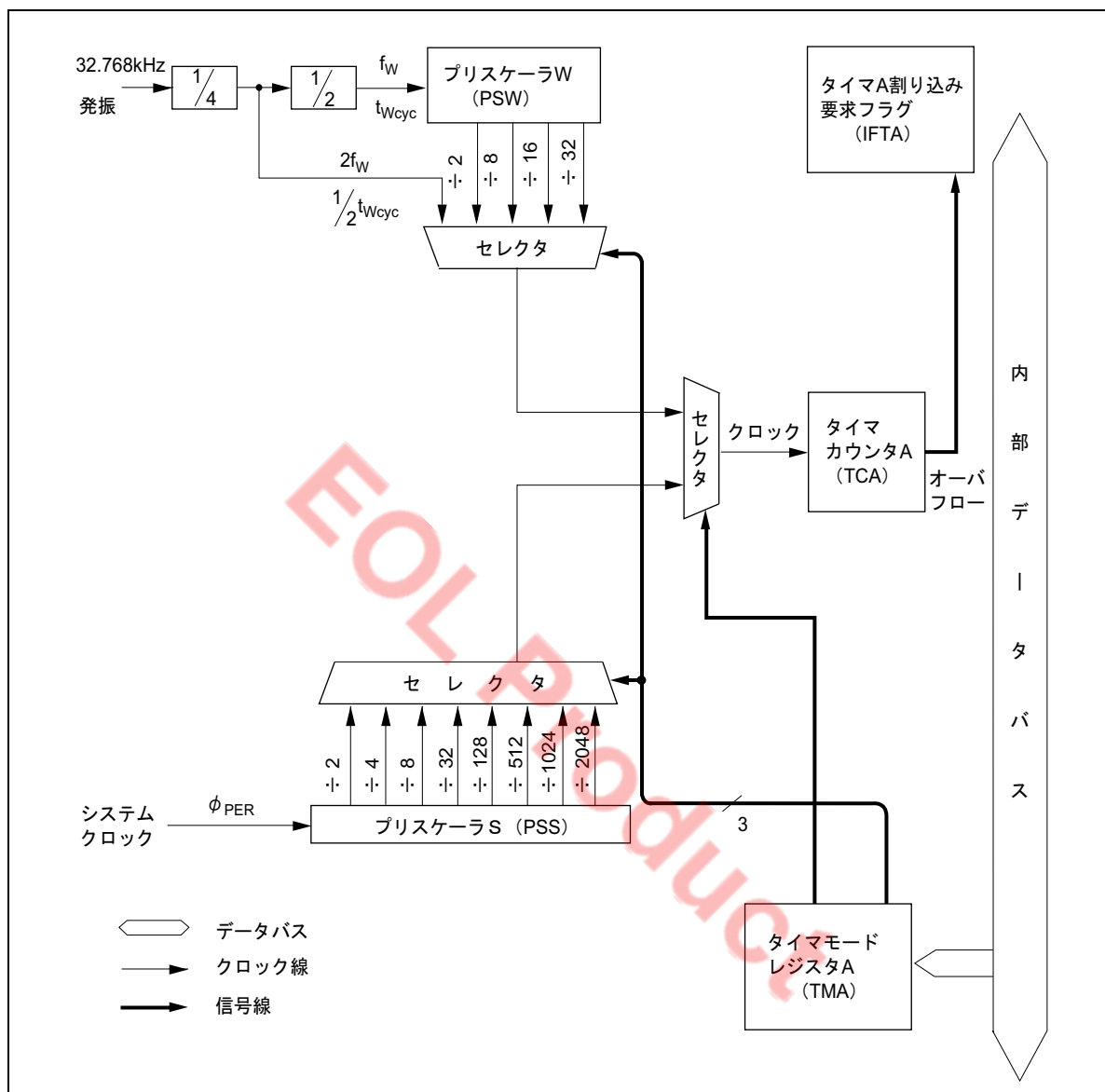


図 35 タイマ A ブロック図

## 6.1.2 タイマ A の動作

### (1) フリーランニングタイマの動作

タイマ A への入力クロックは、タイマモードレジスタ A (TMA : \$00F) によって選択します。

タイマ A は、MCU のリセットにより \$00 にリセットされ、入力クロックが印加されるごとにカウントアップします。タイマ A の値が \$FF になった後に入力クロックが印加されるとオーバーフロー出力が発生し、タイマ A の値は \$00 になります。発生したオーバーフロー出力によって、タイマ A 割り込み要求フラグ (IFTA : \$002, 0) がセットされます。タイマ A は \$00 になった後も停止せずにカウントアップを続けますので、256 個の入力クロックごとに定期的に割り込みが発生します。



(2) 時計用タイムベース動作

タイマ A は、タイマモードレジスタ A のビット 3 (TMA3) を"1"に設定することで、時計用タイムベースとして使用できます。プリスケアラ W の出力がタイマカウンタ A に入力されるため、32.768kHz 水晶発振を基本クロックとした正確なタイミングで割り込みが発生します。

タイマ A を時計用タイムベースとして使用する場合、プログラムによりプリスケアラ W、およびタイマカウンタ A を\$00 にリセットすることができます。

### 6.1.3 タイマ A 使用レジスタ

タイマ A は、次のレジスタにより動作の設定を行います。

- タイマモードレジスタ A (TMA : \$00F)

タイマモードレジスタ A (TMA : \$00F) は、書き込み専用の 4 ビットレジスタです。タイマ A の動作の選択および入力クロックの選択を図 36 のように設定します。

EOL Product



図 36 タイマモードレジスタ A (TMA)

## 6.2 タイマ B

### 6.2.1 タイマ B の機能

タイマ B には、次の機能があります。

- (1) フリーランニング/リロードタイマ
- (2) 外部イベントカウンタ
- (3) タイマ出力動作（トグル出力、PWM 出力）

タイマ B のブロック図を図 37 に示します。

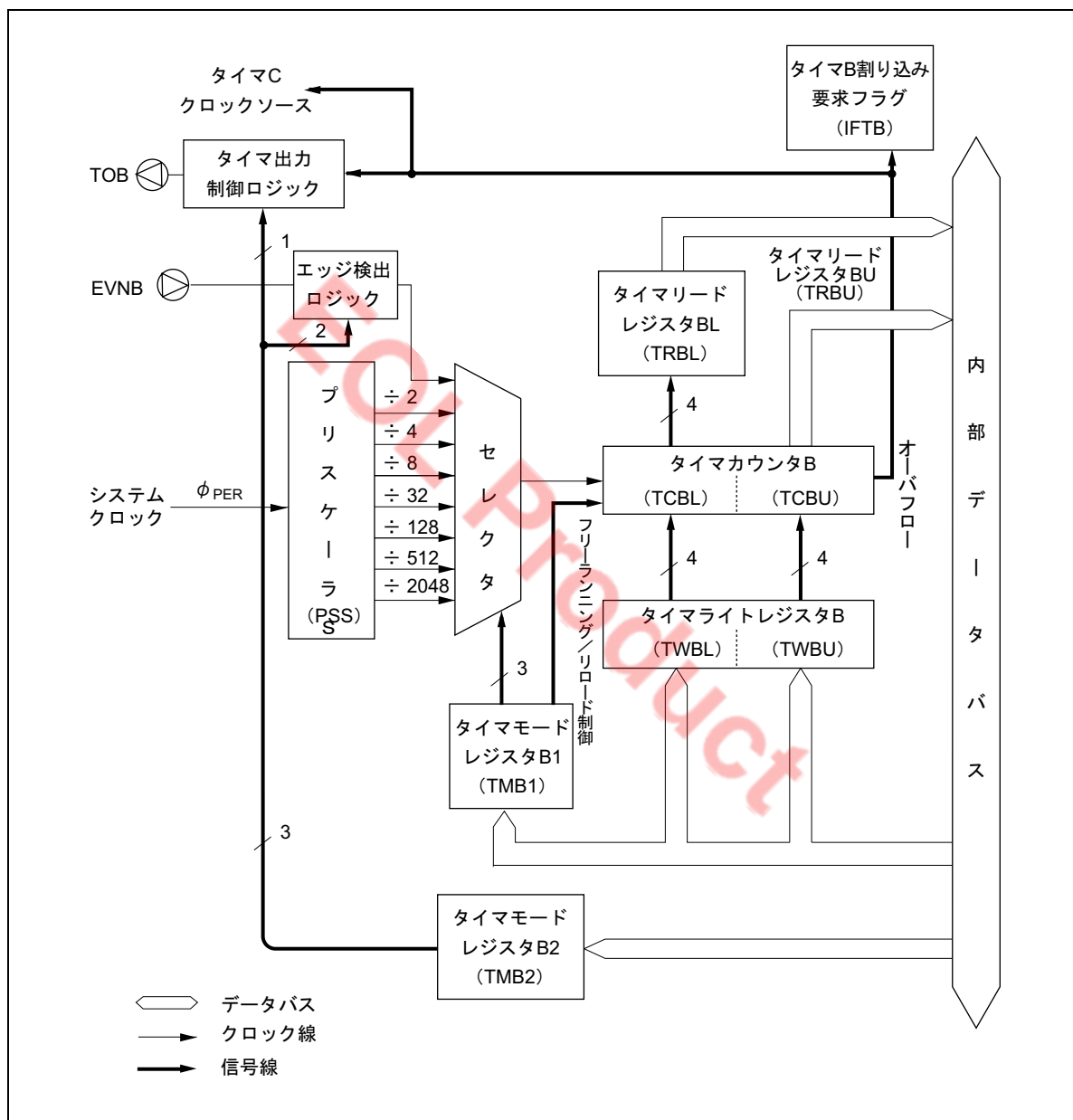


図 37 タイマ B ブロック図

## 6.2.2 タイマ B の動作

### (1) フリーランニング/リロードタイマ

フリーランニング/リロードタイマの選択、入力クロックソース、およびプリスケアラ分周比は、タイマモードレジスタ B1 (TMB1) により選択します。

タイマ B は、ソフトウェアによってタイマライトレジスタ B (TWBL、TWBU) に書き込んだ値に初期設定し、入力クロックが印加されるごとに"1"ずつカウントアップします。タイマ B の値が\$FF になった後に入力クロックが印加されると、オーバフロー出力が発生します。このときタイマ B は、リロードタイマが選択されている場合タイマライトレジスタ B (TWBL、TWBU) の値に、フリーランニングタイマが選択されている場合\$00 に設定され、再びカウントアップを開始します。

オーバフロー出力により、タイマ B 割り込み要求フラグ (IFTB) がセットされます。タイマ B 割り込み要求フラグ (IFTB) のリセットは、プログラムあるいは MCU のリセットにより行います。

詳細は「図 3 割り込み制御ビットおよびレジスタフラグエリアの構成」と、「表 1 MCU リセットによる初期値」を参照してください。

### (2) 外部イベントカウンタ動作

タイマ B は、入力クロックに外部イベント入力を設定すると、外部イベントカウンタとして動作します。外部イベント入力を使用する場合には、ポートモードレジスタ 2 (PMR2) によって R1<sub>0</sub>/EVNB 端子を EVNB 端子に設定します。

タイマ B に対する外部イベントの検出エッジは、タイマモードレジスタ B2 (TMB2) により、入力信号の立ち下がりエッジ、立ち上がりエッジ、および立ち下がり/立ち上がり両エッジのいずれかが選択されます。立ち下がり/立ち上がり両エッジを選択した場合、入力信号の立ち下がりと立ち上がりエッジの間隔は、2tcyc 以上としてください。

タイマ B は、EVNB 端子への入力信号の立ち下がりエッジを検出をするごとに"1"ずつカウントアップします。他の動作はフリーランニング/リロードタイマに準じます。

### (3) タイマ出力動作

タイマ B は、ポートモードレジスタ 2 (PMR2) のビット 3 の設定をすることにより、R13/TOB 端子は TOB 端子が選択され、タイマモードレジスタ B2 (TMB2) により、トグル波形出力または PWM 波形出力を選択できます。

#### a. トグル出力

トグル出力は、タイマ B の値が\$FF になって次のクロックが入力されるときに、出力レベルを変化させる機能です。この機能を用いると、リロードタイマと組み合わせて任意の周期のクロック信号を出力させることができ、ブザー用として使用できます。出力波形を図 38(1)に示します。

#### b. PWM 出力

PWM 出力は、デューティ可変のパルス出力機能です。出力波形は、タイマモードレジスタ B1 (TMB1) およびタイマライトレジスタ B (TWBL、TWBU) の内容により、図 38(2)のようになります。タイマモードレジスタ B1 のビット 3 (TMB13) を 0 (フリーランニング設定) で波形を出力させる場合、デューティを変更するためのタイマライトレジスタ B への書き込みは、次のフレームから有効になりますが、TMB13 を 1 (リロード設定) で波形を出力する場合は、タイマライトレジスタの書き込み直後から次のフレームが出力されます。

### (4) モジュールスタンバイ

タイマ B は、モジュールスタンバイレジスタ 1 (MSR1 : \$00D) のビット 0 をセットすることにより、タイマカウンタへのシステムクロックの供給を停止することができます。モジュールスタンバイ状態では、モードレジスタの値は保持されますが、カウンタの値は保証されません。

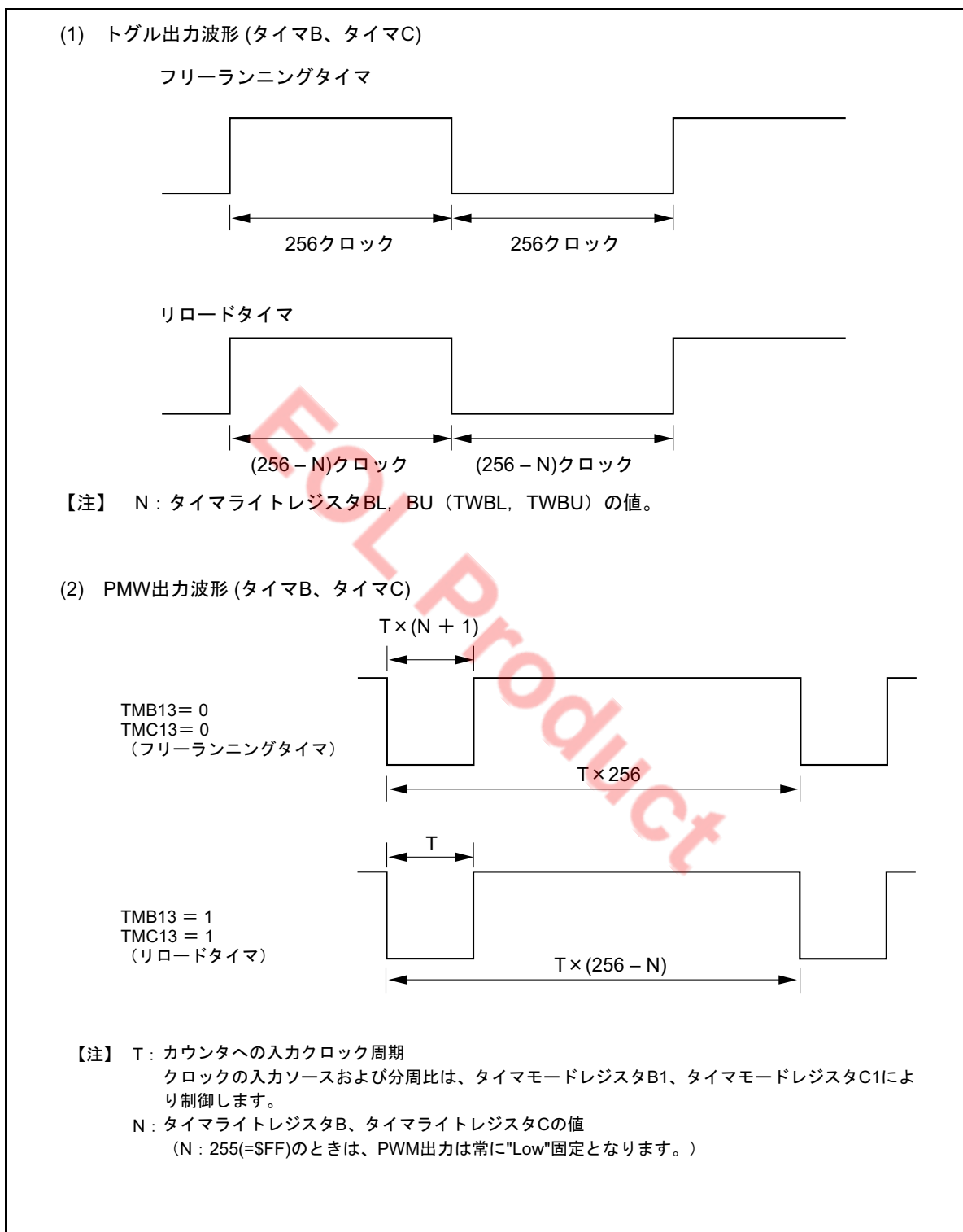


図 38 タイマ出力波形

### 6.2.3 タイマ B 使用レジスタ

タイマ B は、次のレジスタにより動作の設定およびタイマ B の値の書き込み／読み出しを行います。

- タイマモードレジスタ B1 (TMB1 : \$010)
- タイマモードレジスタ B2 (TMB2 : \$011)
- タイマライトレジスタ B (TWBL : \$012, TWBU : \$013)
- タイマリードレジスタ B (TRBL : \$012, TRBU : \$013)
- ポートモードレジスタ 2 (PMR2 : \$00A)
- モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

#### (1) タイマモードレジスタ B1 (TMB1 : \$010)

タイマモードレジスタ B1 (TMB1) は、書き込み専用の 4 ビットレジスタであり、フリーランニング／リロードタイマの選択、入力クロックの選択を図 39 のように設定します。

タイマモードレジスタ B1 (TMB1) は、MCU のリセットにより \$0 にリセットされます。

タイマモードレジスタ B1 (TMB1) の変更は、タイマモードレジスタ B1 (TMB1) の書き込み命令実行の 2 命令後から有効になります。タイマライトレジスタ B (TWBL、TWBU) への書き込みによるタイマ B の初期設定は、変更後のモードが有効になってから実行されるようにプログラムする必要があります。

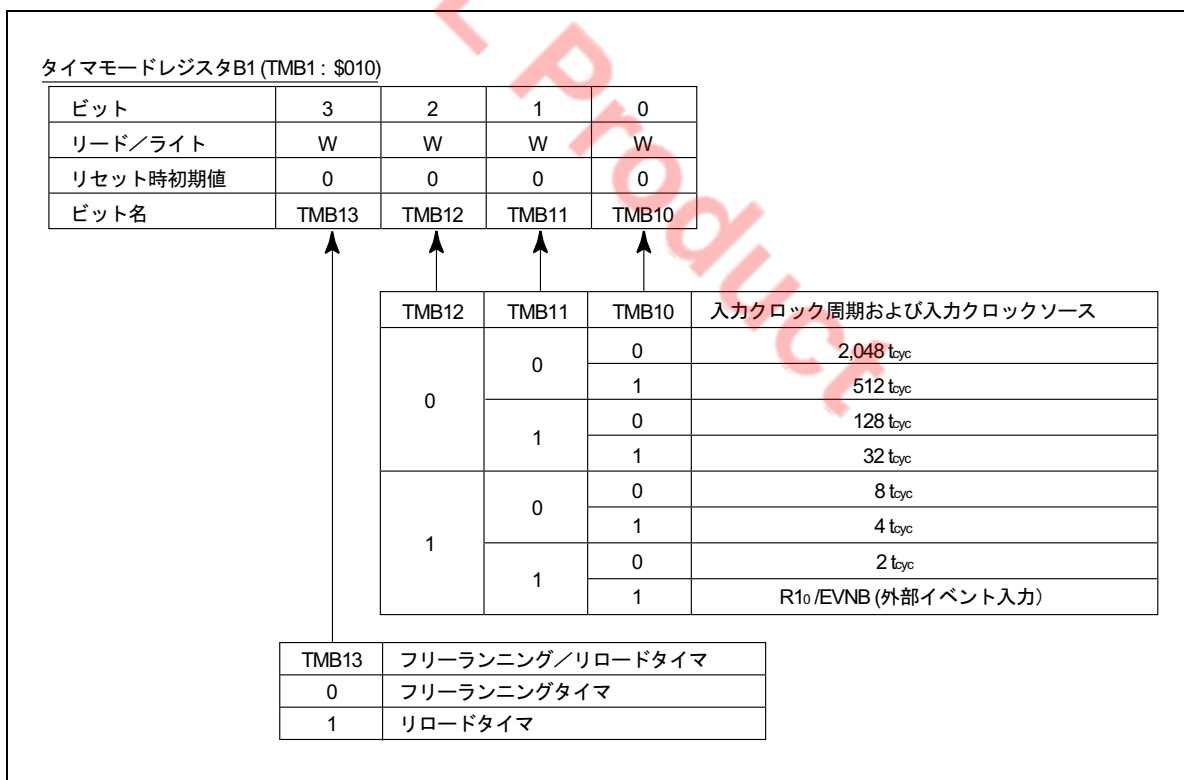


図 39 タイマモードレジスタ B1 (TMB1)

(2) タイマモードレジスタ B2 (TMB2 : \$011)

タイマモードレジスタ B2 (TMB2) は、書き込み専用の 3 ビットのレジスタであり、タイマ B の出力モードおよび EVNB 端子の検出エッジの選択を図 40 のように設定します。

タイマモードレジスタ B2 (TMB2) は、MCU のリセットにより \$0 にリセットされます。

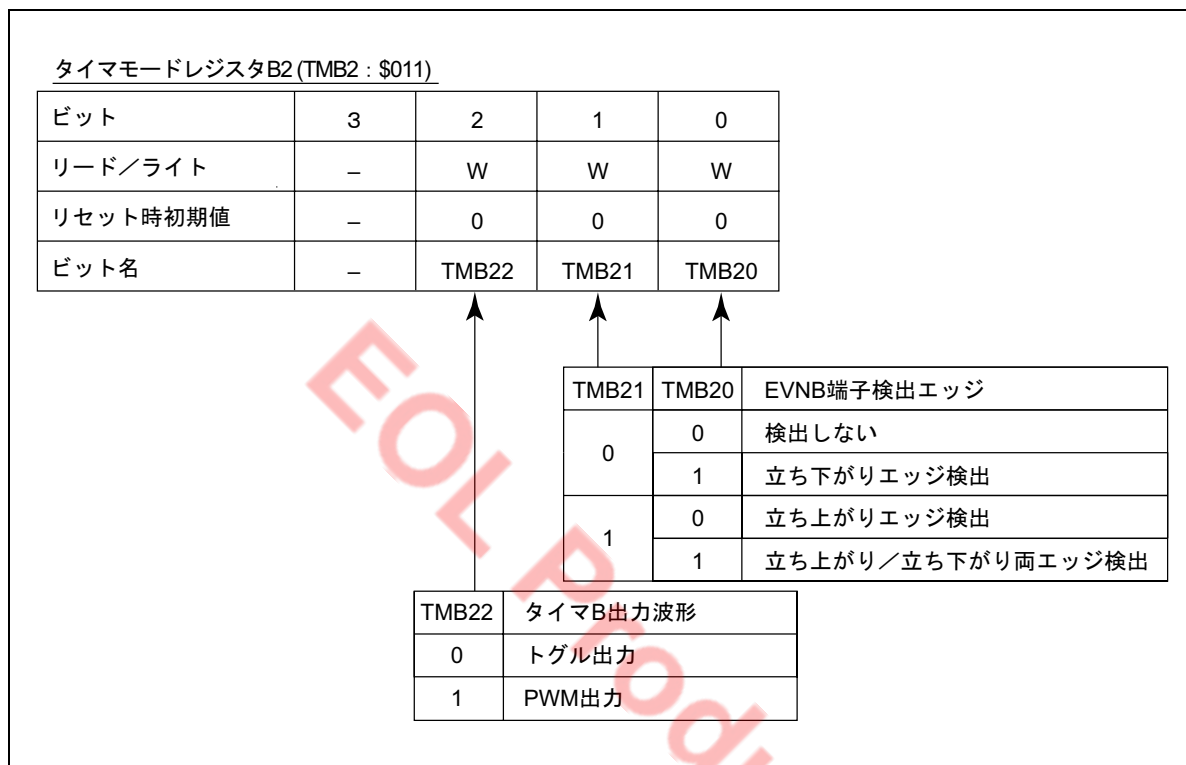


図 40 タイマモードレジスタ B2 (TMB2)

(3) タイマライトレジスタ B (TWBL : \$012、TWBU : \$013)

タイマライトレジスタ B (TWBL、TWBU) は書き込み専用のレジスタで、下位ディジット (TWBL) と上位ディジット (TWBU) から構成されています (図 41、図 42)。

タイマライトレジスタ B の下位ディジット (TWBL) は、MCU のリセットにより \$0 にリセットされます。上位ディジット (TWBU) は不定です。

タイマライトレジスタ B (TWBL、TWBU) を書き込むことにより、タイマ B の初期設定ができます。データは、最初に下位ディジット (TWBL) を書き込んでください。ただし、下位ディジットの書き込みではタイマ B の値は変更されません。

次に上位ディジット (TWBU : \$013) を書き込んだタイミングで、タイマ B はタイマライトレジスタ B (TWBL、TWBU) の値に初期設定されます。2 度目以降タイマライトレジスタ B (TWBL、TWBU) を書き込む場合に、下位ディジット (TWBL) のリロード値を変更する必要のない場合は、上位ディジットの書き込みのみで、タイマ B の初期設定が完了します。

タイマライトレジスタB(下位)(TWBL : \$012)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	0	0	0	0
ビット名	TWBL3	TWBL2	TWBL1	TWBL0

図 41 タイマライトレジスタ B (下位) (TWBL)

タイマライトレジスタB(上位)(TWBU : \$013)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	不定	不定	不定	不定
ビット名	TWBU3	TWBU2	TWBU1	TWBU0

図 42 タイマライトレジスタ B (上位) (TWBU)

(4) タイマリードレジスタ B (TRBL : \$012、TRBU : \$013)

タイマリードレジスタ B (TRBL、TRBU) は読み出し専用のレジスタで、下位ディジット (TRBL) とタイマ B の上位ディジットの値を直接読み出す上位ディジット (TRBU) から構成されています (図 43、図 44)。

最初にタイマリードレジスタ B の上位ディジット (TRBU) の読み出しを行ってください。このとき、タイマ B の上位ディジットの現在値が読み出せると同時に、タイマリードレジスタ B の下位ディジット (TRBL) にタイマ B の下位ディジットの値がラッチされます。次にタイマリードレジスタ B の下位ディジット (TRBL) を読み出すことにより、タイマリードレジスタ B の上位ディジット (TRBU) を読み出した時点のタイマ B の値が得られます。

タイマリードレジスタB(下位)(TRBL : \$012)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRBL3	TRBL2	TRBL1	TRBL0

図 43 タイマリードレジスタ B (下位) (TRBL)



タイマリードレジスタB (上位)(TRBU : \$013)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRBU3	TRBU2	TRBU1	TRBU0

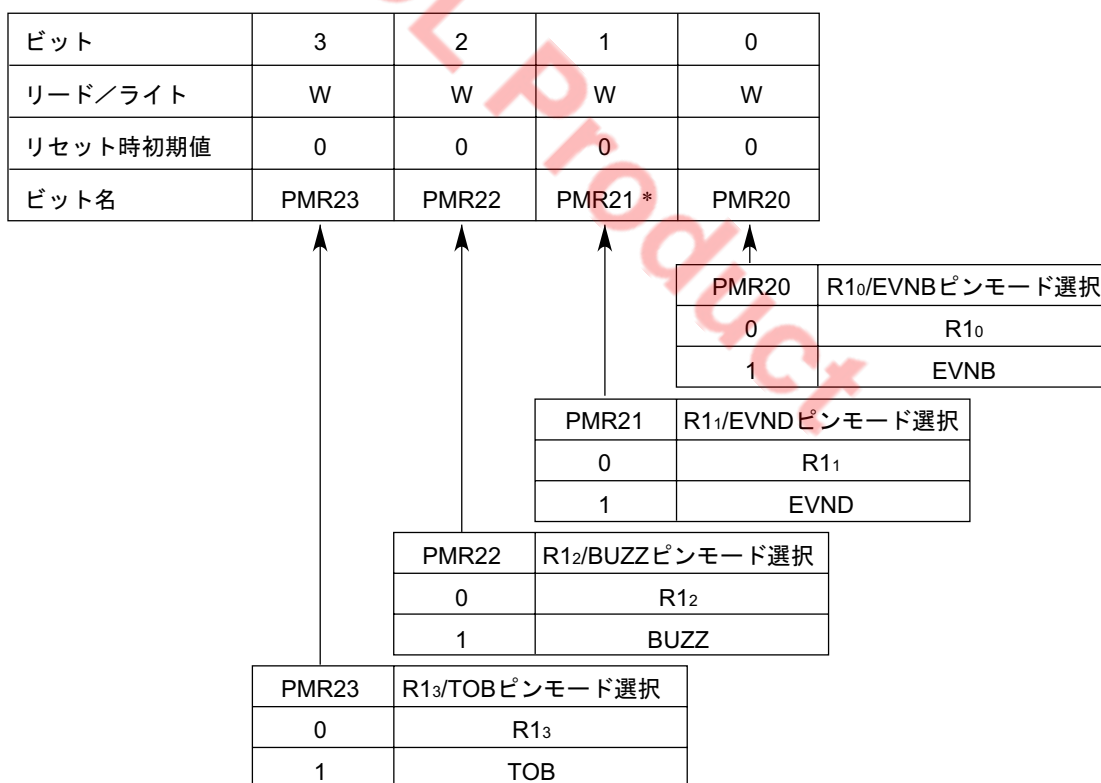
図 44 タイマリードレジスタ B (上位) (TRBU)

(5) ポートモードレジスタ 2 (PMR2 : \$00A)

ポートモードレジスタ 2 (PMR2) は書き込み専用のレジスタで、図 45 に示すように R1<sub>0</sub>/EVNB 端子および R1<sub>3</sub>/TOB 端子の設定を行います。

ポートモードレジスタ 2 (PMR2) は、MCU のリセットにより \$0 にリセットされます。

ポートモードレジスタ 2 (PMR2 : \$00A)



【注】 \* HD404889/HD404899/HD404878シリーズに適用します。

図 45 ポートモードレジスタ 2 (PMR2 : \$00A)

(6) モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

モジュールスタンバイレジスタ 1 (MSR1) は書き込み専用のレジスタで、図 46 に示すようにタイマ B へのクロックの供給、停止の設定を行います。

モジュールスタンバイレジスタ 1 (MSR1) は、MCU のリセットにより \$0 にリセットされます。

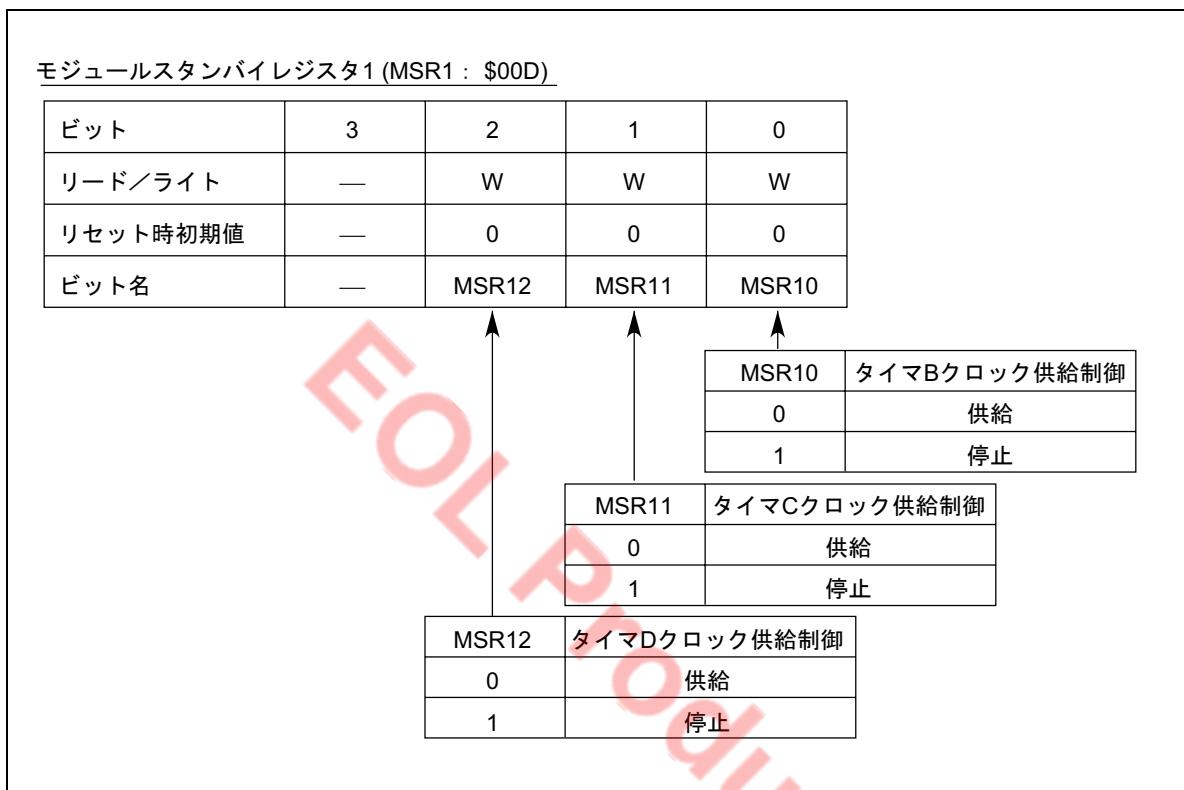


図 46 モジュールスタンバイレジスタ 1 (MSR1)

### 6.3 タイマ C

#### 6.3.1 タイマ C の機能

タイマ C には、次の機能があります。

- (1) フリーランニング/リロードタイマ
- (2) ウォッチドッグタイマ
- (4) タイマ出力動作 (トグル出力、PWM 出力)

タイマ C のブロック図を図 47 に示します。

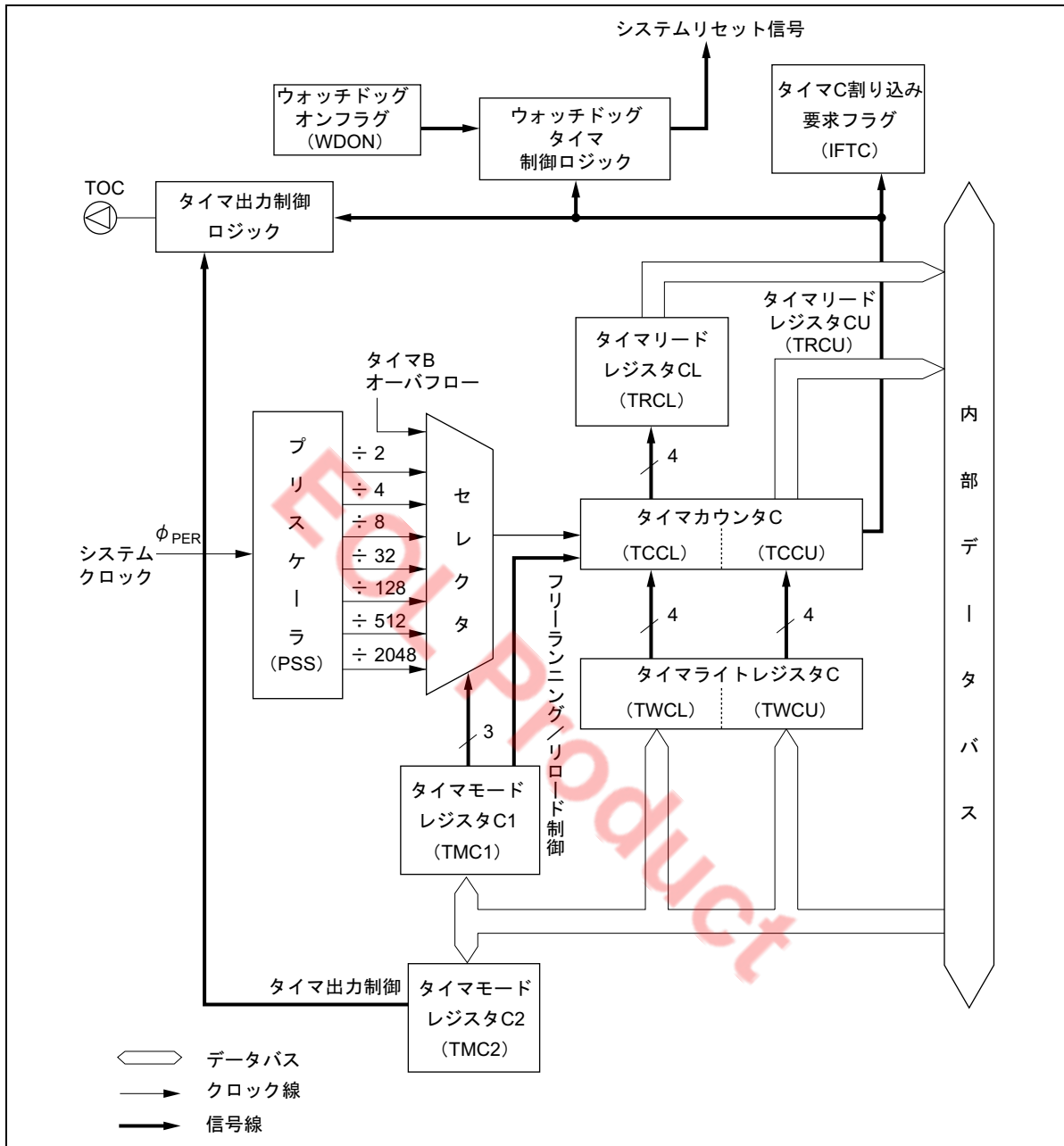


図 47 タイマ C ブロック図

### 6.3.2 タイマ C の動作

#### (1) フリーランニング／リロードタイマ

フリーランニング／リロードタイマの選択、入力クロックソース、およびプリスケアラ分周比は、タイマモードレジスタ C1 (TMC1) により選択します。

タイマ C は、ソフトウェアによってタイマライトレジスタ C (TWCL、TWCU) に書き込んだ値に初期設定し、入力クロックが印加されるごとに"1"ずつカウントアップします。タイマ C の値が\$FF になった後に入力クロックが印加されるとオーバーフロー出力が発生します。このときタイマ C は、リロードタイマが選択されている場合タイマライトレジスタ C (TWCL、TWCU) の値に、フリーランニングタイマが選択されている場合\$00 に設定され、再びカウントアップを開始します。

オーバーフロー出力により、タイマ C 割り込み要求フラグ (IFTC) がセットされます。タイマ C 割り込み要求フラグ (IFTC) のリセットは、プログラムあるいは MCU のリセットにより行います。

詳細は「図 3 割り込み制御ビットおよびレジスタフラグエリアの構成」と、「表 1 MCU リセットによる初期値」を参照してください。

#### (2) 16 ビットタイマ動作

タイマ C は、クロックソースにタイマ B のオーバーフローを選択すると、タイマ B のクロックソースをカウントする 16 ビットタイマとして使用できます。この場合、タイマ B とタイマ C のフリーランニング／リロードの設定は独立していますので、目的に応じた設定をしてください。

#### (3) ウォッチドッグタイマ動作

タイマ C は、タイマ C のオーバーフロー出力を利用することにより、プログラム暴走検出用ウォッチドッグタイマとして使用できます。ウォッチドッグタイマは、ウォッチドッグオンフラグ (WDON) を"1"に設定した場合に有効となり、タイマ C がオーバーフローすると、MCU リセットが発生します。通常は、タイマ C の値が\$FF となる以前に、プログラムによりタイマ C の初期設定を行い、プログラムの暴走を制御します。

#### (4) タイマ出力動作

タイマ C は、ポートモードレジスタ 3 (PMR3) のビット 0 を 1 に設定することにより、R2<sub>0</sub>/TOC 端子は TOC 端子が選択され、タイマモードレジスタ C2 (TMC2) により、トグル波形出力または PWM 波形出力を選択できます。

##### a. トグル出力

タイマ B のトグル出力動作に準じます。

##### b. PWM 出力

タイマ B の PWM 出力動作に準じます。

#### (5) モジュールスタンバイ

タイマ B のモジュールスタンバイに準じます。

### 6.3.3 タイマ C 使用レジスタ

タイマ C は、次のレジスタにより動作の設定およびタイマ C の値の書き込み／読み出しを行います。

- タイマモードレジスタ C1 (TMC1 : \$014)
- タイマモードレジスタ C2 (TMC2 : \$015)
- タイマライトレジスタ C (TWCL : \$016、TWCU : \$017)
- タイマリードレジスタ C (TRCL : \$016、TRCU : \$017)
- ポートモードレジスタ 3 (PMR3 : \$00B)
- モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

(1) タイマモードレジスタ C1 (TMC1 : \$014)

タイマモードレジスタ C1 (TMC1) は、書き込み専用の 4 ビットレジスタであり、フリーランニング/リロードタイマの選択、入力クロックの選択、プリスケアラ分周比の選択を図 48 のように設定します。

タイマモードレジスタ C1 (TMC1) は、MCU のリセットにより \$0 にリセットされます。

タイマモードレジスタ C1 (TMC1) の変更は、タイマモードレジスタ C1 (TMC1) の書き込み命令実行の 2 命令後から有効になります。タイマライトレジスタ C (TWCL、TWCU) への書き込みによるタイマ C の初期設定は、変更後のモードが有効になってから実行されるようにプログラムする必要があります。

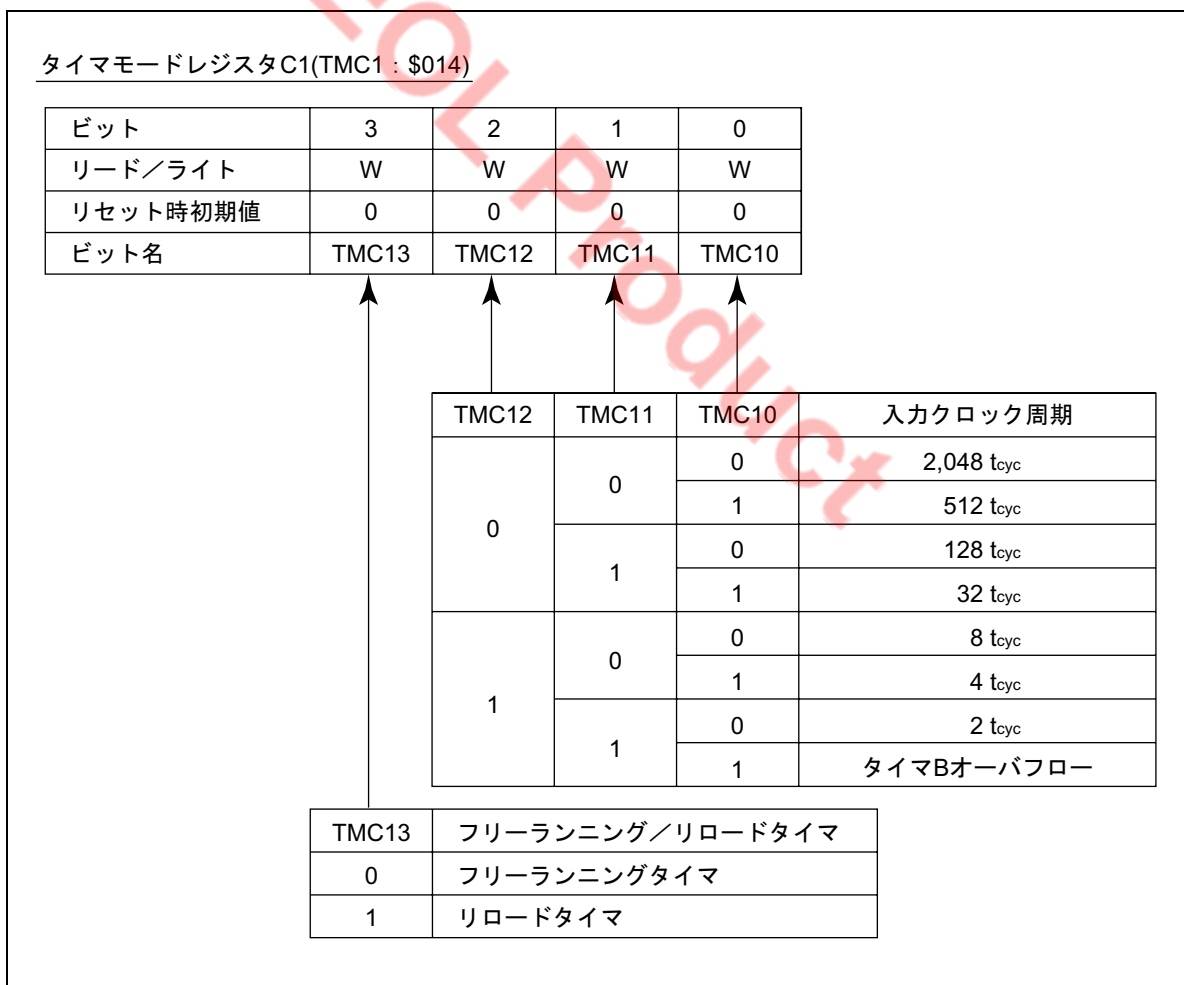


図 48 タイマモードレジスタ C1 (TMC1)

(2) タイマモードレジスタ C2 (TMC2 : \$015)

タイマモードレジスタ C2 (TMC2) は、書き込み専用の 1 ビットレジスタであり、タイマ C の出力モードの選択を図 49 のように設定します。

タイマモードレジスタ C2 (TMC2) は、MCU のリセットにより \$0 にリセットされます。

タイマモードレジスタ C2 (TMC2 : \$015)				
ビット	3	2	1	0
リード/ライト	-	W	-	-
リセット時初期値	-	0	-	-
ビット名	-	TMC22	-	-

TMC22	タイマC出力波形
0	トグル出力
1	PWM出力

図 49 タイマモードレジスタ C2 (TMC2)

(3) タイマライトレジスタ C (TWCL : \$016、TWCU : \$017)

タイマライトレジスタ C (TWCL、TWCU) は書き込み専用のレジスタで、下位ディジット (TWCL) と上位ディジット (TWCU) から構成されています (図 50、図 51)。

タイマライトレジスタ C (TWCL、TWCU) の動作は、タイマライトレジスタ B (TWBL、TWBU) の動作に準じます。

タイマライトレジスタ C (下位)(TWCL : \$016)				
ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	0	0	0	0
ビット名	TWCL3	TWCL2	TWCL1	TWCL0

図 50 タイマライトレジスタ C (下位) (TWCL)

タイマライトレジスタ C (上位)(TWCU : \$017)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	不定	不定	不定	不定
ビット名	TWCU3	TWCU2	TWCU1	TWCU0

図 51 タイマライトレジスタ C (上位) (TWCU)

(4) タイマリードレジスタ C (TRCL : \$016、TRCU : \$017)

タイマリードレジスタ C (TRCL、TRCU) は読み出し専用のレジスタで、下位ディジット (TRCL) とタイマ C の上位ディジットの値を直接読み出す上位ディジット (TRCU) から構成されています (図 52、図 53)。

タイマリードレジスタ C (TRCL、TRCU) の動作は、タイマリードレジスタ B (TRBL、TRBU) の動作に準じます。

タイマリードレジスタ C (下位)(TRCL : \$016)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRCL3	TRCL2	TRCL1	TRCL0

図 52 タイマリードレジスタ C (下位) (TRCL)

タイマリードレジスタ C (上位)(TRCU : \$017)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRCU3	TRCU2	TRCU1	TRCU0

図 53 タイマリードレジスタ C (上位) (TRCU)

(5) ポートモードレジスタ 3 (PMR3 : \$00B)

ポートモードレジスタ 3 (PMR3) は書き込み専用のレジスタで、図 54 に示すように R2<sub>0</sub>/TOC 端子の設定を行います。

ポートモードレジスタ 3 (PMR3) は、MCU のリセットにより \$0 にリセットされます。

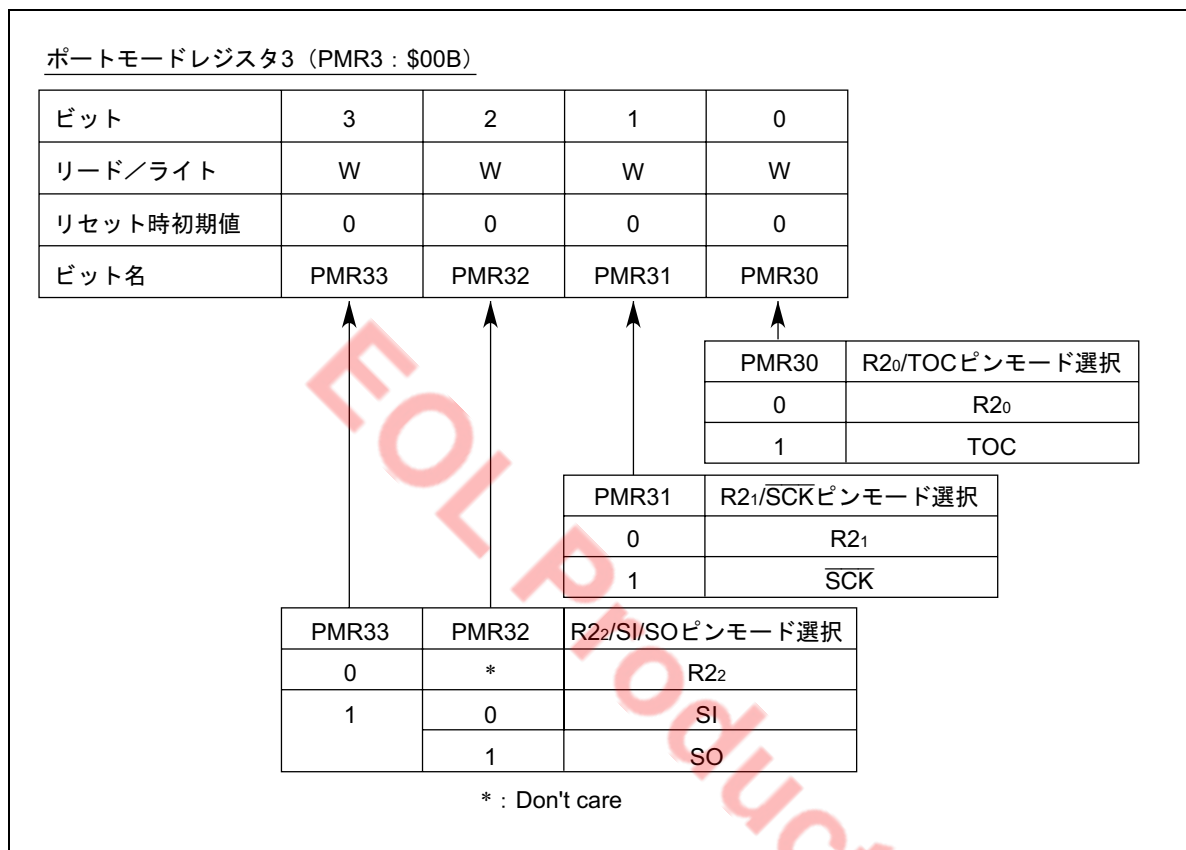


図 54 ポートモードレジスタ 3 (PMR3)

(6) モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

モジュールスタンバイレジスタ 1 (MSR1) は書き込み専用のレジスタで、図 46 に示すようにタイマ C へのクロックの供給、停止の設定を行います。

モジュールスタンバイレジスタ 1 (MSR1) は、MCU のリセットにより \$0 にリセットされます。



## 6.4 タイマ D (HD404889/HD404899/HD404878 シリーズ)

### 6.4.1 タイマ D の機能

タイマ D には、次の機能があります。

- (1) フリーランニング/リロードタイマ
- (2) 外部イベントカウンタ
- (3) インพุットキャプチャタイマ

タイマ D の動作モード別のブロック図を図 55 (1)、図 55 (2) に示します。

EOL Product

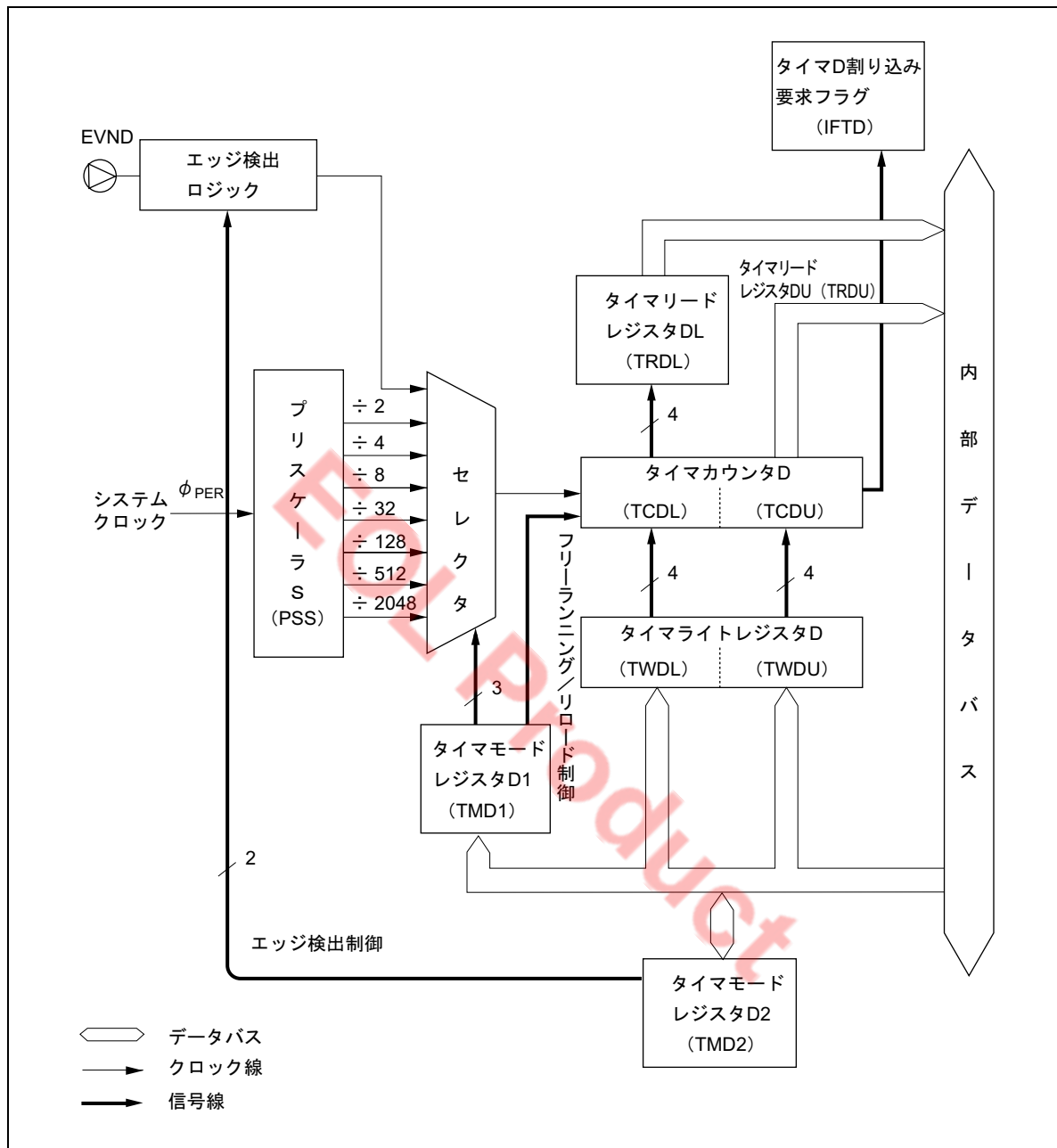


図 55 (1) タイマ D ブロック図 (リロードタイマ、イベントカウンタモード)

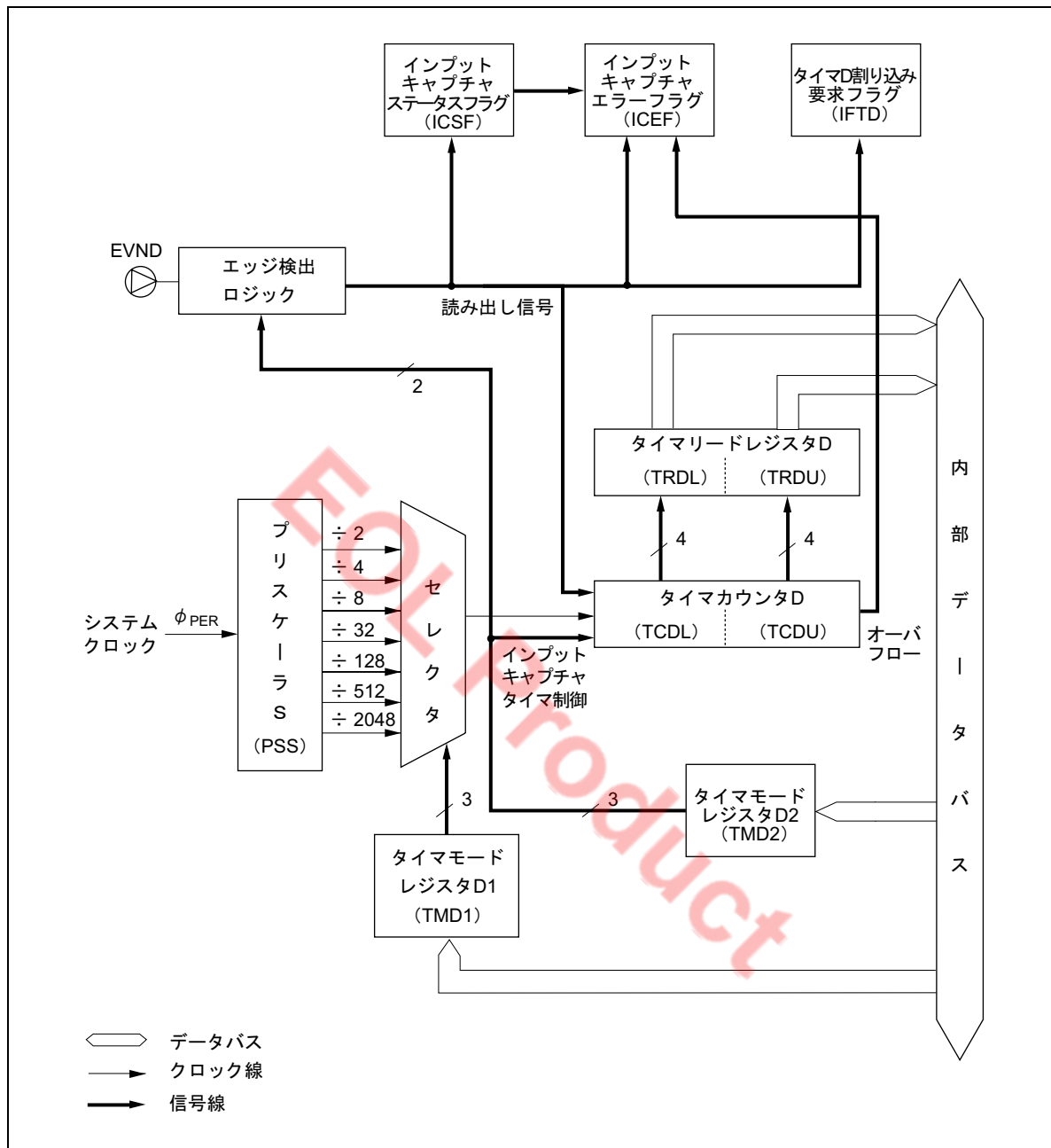


図 55 (2) タイマ D ブロック図 (入力キャプチャタイマモード)

## 6.4.2 タイマ D の動作

### (1) フリーランニング/リロードタイマ動作

フリーランニング/リロードタイマの選択、入力クロックソース、およびプリスケアラ分周比は、タイマモードレジスタ D1 (TMD1) により選択します。

タイマ D は、ソフトウェアによってタイマライトレジスタ D (TWDL、TWDU) に書き込んだ値に初期設定し、入力クロックが印加されるごとに"1"ずつカウントアップします。タイマ D の値が\$FF になった後に入力クロックが印加されると、オーバフロー出力が発生します。このときタイマ D は、リロードタイマが選択されている場合タイマライトレジスタ D (TWDL、TWDU) の値に、フリーランニングタイマが選択されている場合\$00 に設定され、再びカウントアップを開始します。

オーバフロー出力により、タイマ D 割り込み要求フラグ (IFTD) がセットされます。タイマ D 割り込み要求フラグ (IFTD) のリセットは、プログラムあるいは MCU のリセットにより行います。

詳細は「図 3 割り込み制御ビットおよびレジスタフラグエリアの構成」と、「表 1 MCU リセットによる初期値」を参照してください。

### (2) 外部イベントカウンタ動作

タイマ D は、入力クロックに外部イベント入力を設定すると、外部イベントカウンタとして動作します。外部イベント入力を使用する場合には、ポートモードレジスタ 2 (PMR2) によって R1<sub>1</sub>/EVND 端子を EVND 端子に設定します。

タイマ D に対する外部イベントの検出エッジは、タイマモードレジスタ D2 (TMD2) により、入力信号の立ち下がりエッジ、立ち上がりエッジ、および立ち下がり/立ち上がり両エッジのいずれかが選択されます。立ち下がり/立ち上がり両エッジ検出を選択した場合、入力信号の立ち下がりエッジと立ち上がりエッジの間隔は、2tcyc 以上としてください。

タイマ D は、タイマモードレジスタ D2 (TMD2) により選択したエッジを検出するごとに"1"ずつカウントアップします。他の動作はフリーランニング/リロードタイマに準じます。

### (3) インプットキャプチャタイマ動作

インプットキャプチャタイマは、EVND 端子へ入力されるトリガ入力エッジ間の時間を計測する機能です。

トリガ入力エッジはタイマモードレジスタ D2 (TMD2) により、入力信号の立ち下がりエッジ、立ち上がりエッジ、および立ち下がり/立ち上がり両エッジ検出のいずれかが選択可能です。

EVND 端子へのトリガ入力エッジが検出されると、そのときのタイマ D の値がタイマリードレジスタ D (TRDL,TRDU) に格納され、タイマ D 割り込み要求フラグ (IFTD) とインプットキャプチャステータスフラグ (ICSF) がセットされます。同時にタイマ D は\$00 にリセットされ、カウントアップを続けます。インプットキャプチャステータスフラグ (ICSF) がセットされた状態で、次のトリガ入力エッジが入力された場合、またはタイマ D がオーバフローした場合には、インプットキャプチャエラーフラグ (ICEF) がセットされます。

インプットキャプチャステータスフラグ (ICSF) およびインプットキャプチャエラーフラグ (ICEF) は、MCU によるリセット、または"0"書き込みにより"0"にリセットされます。

タイマ D をインプットキャプチャタイマとして動作するように設定した場合、タイマ D は\$00 にリセットされます。

### 6.4.3 タイマ D 使用レジスタ

タイマ D は、次のレジスタにより動作の設定およびタイマ D の内容の書き込み/読み出しを行います。

- タイマモードレジスタ D1 (TMD1 : \$018)
- タイマモードレジスタ D2 (TMD2 : \$019)
- タイマライトレジスタ D (TWDL : \$01A、TWDU : \$01B)
- タイマリードレジスタ D (TRDL : \$01A、TRDU : \$01B)
- ポートモードレジスタ 2 (PMR2 : \$00A)
- モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

#### (1) タイマモードレジスタ D1 (TMD1 : \$018)

タイマモードレジスタ D1 (TMD1) は、書き込み専用の 4 ビットレジスタであり、フリーランニング/リロードタイマの選択、入力クロックの選択、プリスケアラ分周比の選択を図 56 のように設定します。

タイマモードレジスタ D1 (TMD1) は、MCU のリセットにより \$0 にリセットされます。

タイマモードレジスタ D1 (TMD1) の変更は、タイマモードレジスタ D1 (TMD1) の書き込み命令実行の 2 命令後から有効になります。タイマライトレジスタ D (TWDL、TWDU) への書き込み命令によるタイマ D の初期設定は、変更後のモードが有効になってから実行されるようにプログラムする必要があります。

タイマ D をインプットキャプチャタイマとして動作するように設定した場合、入力クロックは内部クロックを設定してください。

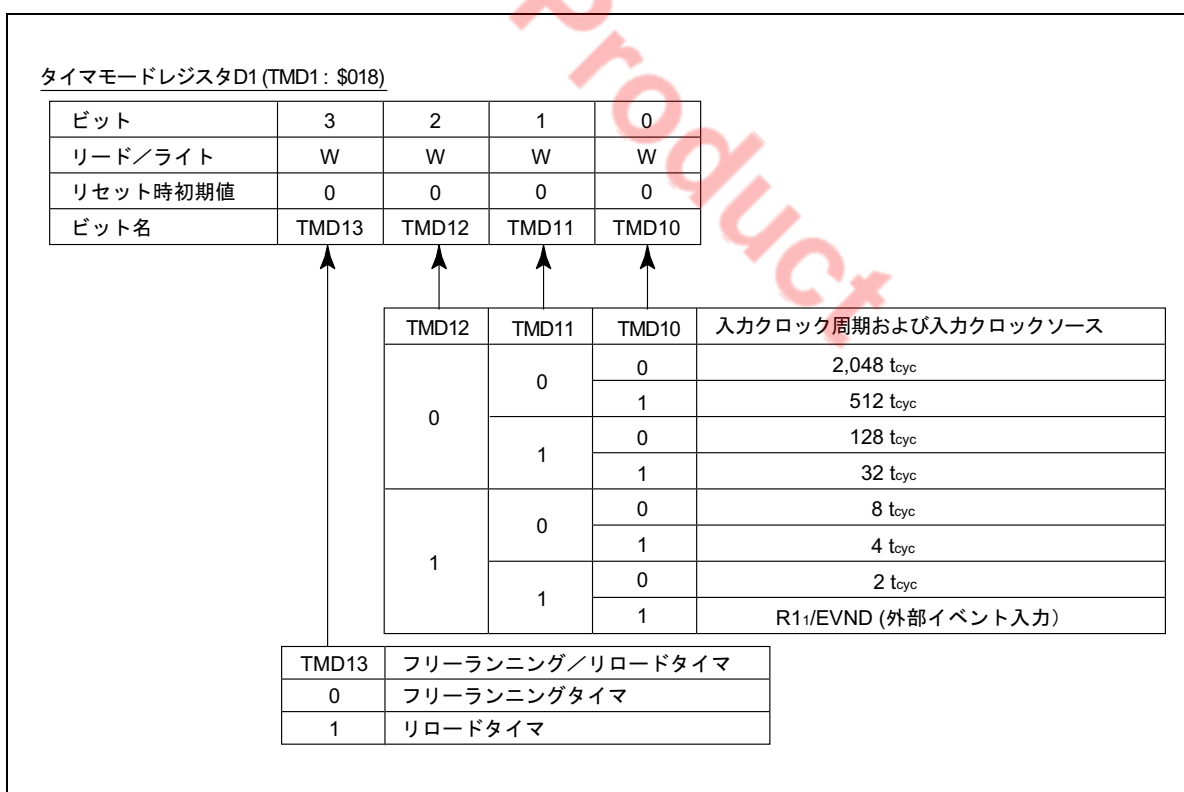


図 56 タイマモードレジスタ D1 (TMD1)

(2) タイマモードレジスタ D2 (TMD2 : \$019)

タイマモードレジスタ D2 (TMD2) は、書き込み専用の 3 ビットレジスタであり、EVND 端子の検出エッジの選択およびインプットキャプチャ動作の選択を図 57 のように設定します。

タイマモードレジスタ D2 (TMD2) は、MCU のリセットにより \$0 にリセットされます。

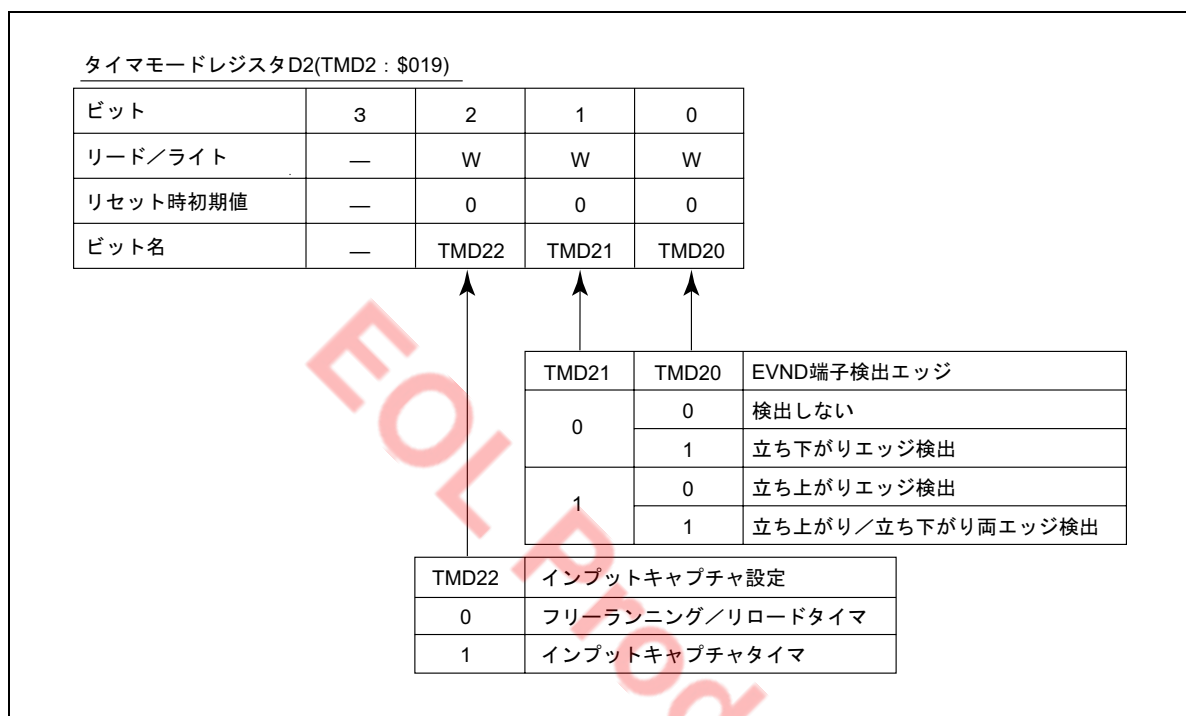


図 57 タイマモードレジスタ D2 (TMD2)

(3) タイマライトレジスタ D (TWDL : \$01A、TWDU : \$01B)

タイマライトレジスタ D (TWDL、TWDU) は書き込み専用のレジスタで、下位ディジット (TWDL) と上位ディジット (TWDU) から構成されています (図 58、図 59)。

タイマライトレジスタ D (TWDL、TWDU) の動作は、タイマライトレジスタ B (TWBL、TWBU) の動作に準じます。



図 58 タイマライトレジスタ D (下位) (TWDL)

タイマライトレジスタD (上位) (TWDU : \$01B)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	不定	不定	不定	不定
ビット名	TWDU3	TWDU2	TWDU1	TWDU0

図 59 タイマライトレジスタ D (上位) (TWDU)

(4) タイマリードレジスタ D (TRDL : \$01A、TRDU : \$01B)

タイマリードレジスタ D (TRDL、TRDU) は読み出し専用のレジスタで、下位ディジット (TRDL) と上位ディジット (TRDU) から構成されています (図 60、図 61)。

タイマリードレジスタ D (TRDL、TRDU) の動作は、タイマリードレジスタ B (TRBL、TRBU) の動作に準じます。

インプットキャプチャタイマ動作モード時において、トリガ入力後にタイマ D の値を読み出す場合は、下位および上位ディジットのどちら側から読み出しても問題ありません。

タイマリードレジスタD(下位)(TRDL:\$01A)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRDL3	TRDL2	TRDL1	TRDL0

図 60 タイマリードレジスタ D (下位) (TRDL)

タイマリードレジスタD(上位)(TRDU:\$01B)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRDU3	TRDU2	TRDU1	TRDU0

図 61 タイマリードレジスタ D (上位) (TRDU)

(5) ポートモードレジスタ 2 (PMR2 : \$00A)

ポートモードレジスタ 2 (PMR2) は書き込み専用のレジスタで、図 45 に示すように R<sub>1</sub>/EVND 端子の設定を行います。

ポートモードレジスタ 2 (PMR2) は、MCU のリセットにより \$0 にリセットされます。

(6) モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

モジュールスタンバイレジスタ 1 (MSR1) は、書き込み専用のレジスタで、図 46 に示すようにタイマ D へのクロックの供給、停止の設定を行います。

モジュールスタンバイレジスタ 1 (MSR1) は、MCU のリセットにより \$0 にリセットされます。

EOL Product



## 7. シリアルインタフェース

### 7.1 シリアルインタフェースの概要

#### (1) 機能

- 8ビットシリアルデータの送受信

#### (2) 特長

- 豊富な転送クロックソース
  - (i) 外部クロック
  - (ii) 内蔵プリスケアラ出力クロック
  - (iii) システムクロック
- アイドル時 High/Low 制御可能

#### (3) 構成

- シリアルモードレジスタ 1 (SMR1 : \$024)
- シリアルモードレジスタ 2 (SMR2 : \$025)
- シリアルデータレジスタ (SRL : \$026、SRU : \$027)
- ポートモードレジスタ 3 (PMR3 : \$00B)
- 8進カウンタ (OC)
- セレクタ

シリアルインタフェースのブロック図を図 62 に示します。

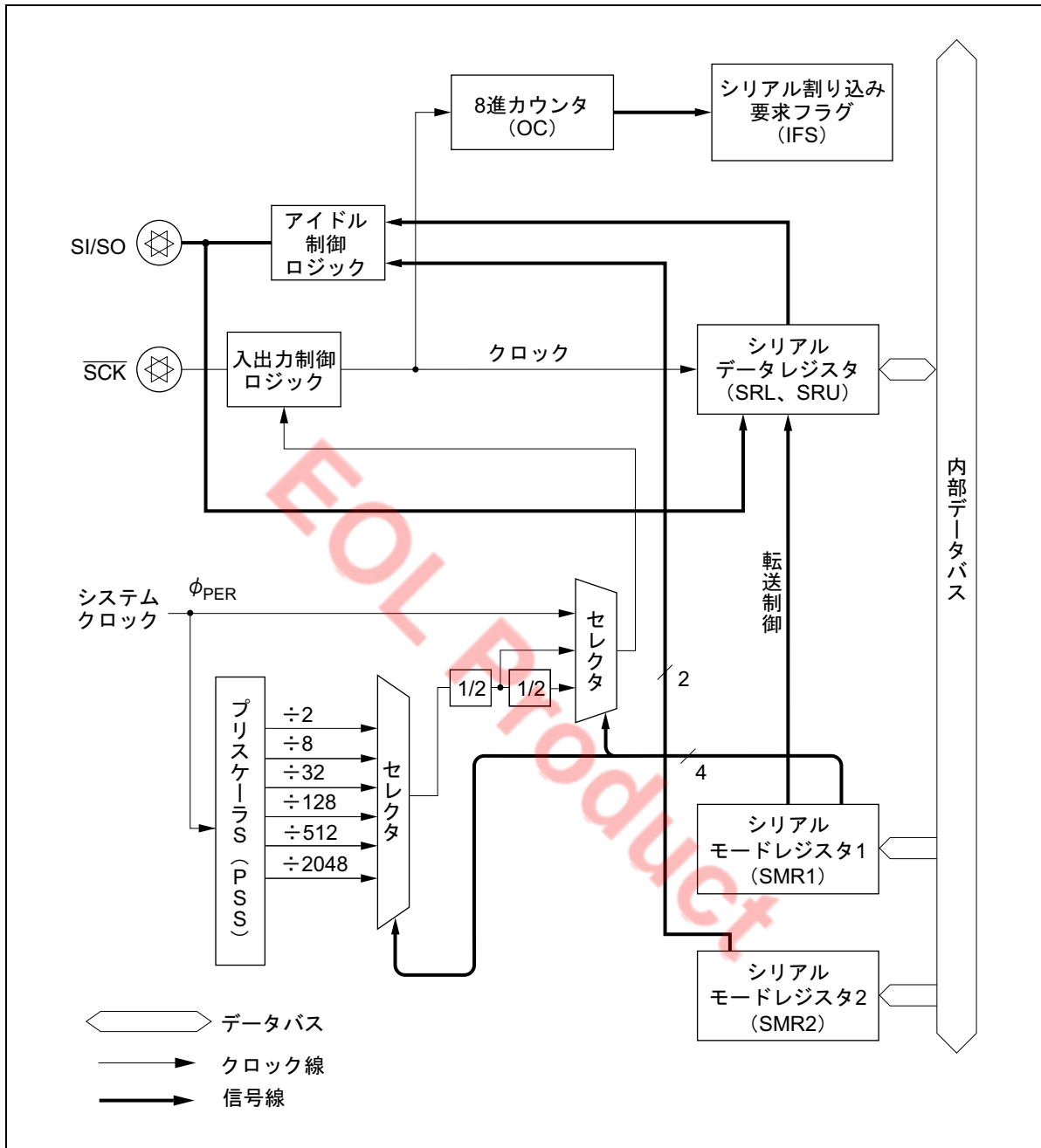


図 62 シリアルインタフェースブロック図

## 7.2 シリアルインタフェースの動作

### (1) シリアルインタフェースの動作モードの選択と変更方法

シリアルインタフェースで選択可能な動作モードを表 26 に示します。ポートモードレジスタ 3 (PMR3) の値の組み合わせは、この中から選択してください。シリアルインタフェースの動作モードを変更する場合は、必ずシリアルモードレジスタ 1 (SMR1) への書き込みによって、シリアルインタフェースの内部状態を初期設定してください。

**【注】** シリアルインタフェースは、シリアルモードレジスタ 1 (SMR1 : \$024) を書き込むことにより初期化されます。詳細は「7.3(1) シリアルモードレジスタ 1」を参照してください。

表 26 シリアルインタフェースの動作モード

PMR3			シリアルインタフェースの動作モード
ビット 3	ビット 2	ビット 1	
0	*	1	クロック連続出力モード
1	0	1	受信モード
1	1	1	送信モード

**【注】** \* : 任意

### (2) シリアルインタフェース端子設定

R2<sub>1</sub>/SCK 端子および R2<sub>2</sub>/SI/SO 端子は、ポートモードレジスタ 3 (PMR3) にデータを書き込むことにより設定します。詳細は「7.3 シリアルインタフェース使用レジスタ」を参照してください。

### (3) 転送クロックソース設定

シリアル転送クロックは、シリアルモードレジスタ 1 (SMR1) にデータを書き込むことにより設定します。詳細は「7.3 シリアルインタフェース使用レジスタ」を参照してください。

### (4) シリアルデータ設定

送信シリアルデータは、シリアルデータレジスタ (SRL、SRU) にデータを書き込むことにより設定します。

受信シリアルデータは、シリアルデータレジスタ (SRL、SRU) を読み出すことにより得られます。シリアルデータは、転送クロックによってシフトされ、外部との入出力を行います。

SO 端子の出力レベルは、MCU によるリセット後に最初のデータが出力されるか、アイドル時 High/Low 制御が行われるまで不定です。

### (5) 転送制御

シリアルインタフェース動作は、STS 命令によって開始されます。8 進カウンタは STS 命令によって"000" にリセットされ、転送クロックの立ち上がりで 1 ずつインクリメントします。転送クロックが 8 クロック入力された場合、あるいはデータの送信/受信が途中で打ち切られた場合には、8 進カウンタが"000" にリセットされ、シリアル割り込み要求フラグ (IFS) がセットされて転送を終了します。

転送クロックは、シリアルモードレジスタ 1 (SMR1) により選択します。図 66 を参照してください。

### (6) シリアルインタフェースの動作状態

シリアルインタフェースには、外部クロックモードおよび内部クロックモードともに、それぞれ図 63 に示す動作状態があります。

- STS 命令待ち状態
- 転送クロック待ち状態
- 転送状態
- クロック連続出力状態（内部クロックモードのみ）

a. STS 命令待ち状態

MCU のリセット（図 63 図中（00）、（10））により、シリアルインタフェースは STS 命令待ち状態になります。STS 命令待ち状態は、シリアルインタフェースの内部状態が初期設定された状態です。この状態で転送クロックが印加されても、シリアルインタフェースは動作しません。この状態で STS 命令（01）、（11）が実行されると、転送クロック待ち状態に遷移します。

b. 転送クロック待ち状態

転送クロック待ち状態は、STS 命令実行から最初の転送クロックの立ち下がりまでの期間です。

転送クロック待ち状態において転送クロックが印加（（02）、（12））されると、8進カウンタのカウントアップとシリアルデータレジスタ（SRL、SRU）のシフトが開始され、転送状態に遷移します。内部クロックモードにおいてクロック連続出力モードが選択されている場合には、転送状態にならずにクロック連続出力状態に遷移（（17））します。

転送クロック待ち状態において、シリアルモードレジスタ 1（SMR1）を書き込む（（04）、（14））ことにより、STS 命令待ち状態に遷移します。

c. 転送状態

転送状態は、転送クロックの最初の立ち下がりから、8番目の転送クロックの立ち上がりまでの期間です。

転送状態において、STS 命令が実行されるか転送クロックが 8クロック印加されると、8進カウンタが"000"になり、状態が遷移します。STS 命令（（05）、（15））が実行された場合、転送クロック待ち状態に遷移します。転送クロックが 8クロック印加された後、外部クロックモードの場合は転送クロック待ち状態（（03））へ、内部クロックモードの場合は STS 命令待ち状態（（13））へ遷移します。

内部クロックモードでは、転送クロックは 8クロック出力後に停止します。

転送状態において、シリアルモードレジスタ 1（SMR1）の書き込み（（06）、（16））が行われると、シリアルインタフェースは初期化され、STS 命令待ち状態へ遷移します。

転送状態から他の状態へ遷移が起これば、8進カウンタが"000"にリセットされ、シリアル割り込み要求フラグ（IFS）がセットされます。

d. クロック連続出力状態（内部クロックモードのみ）

クロック連続出力状態は、送信／受信動作せずに転送クロックのみを  $\overline{SCK}$  端子から出力するもので、内部クロックモードの場合に有効です。

ポートモードレジスタ 3（PMR3）のビット 3（PMR33）が"0"で転送クロック待ち状態にあるとき、転送クロックが印加（（17））されると、クロック連続出力状態へ遷移します。

クロック連続出力状態において、シリアルモードレジスタ 1（SMR1）を書き込む（（18））ことにより、STS 命令待ち状態へ遷移します。

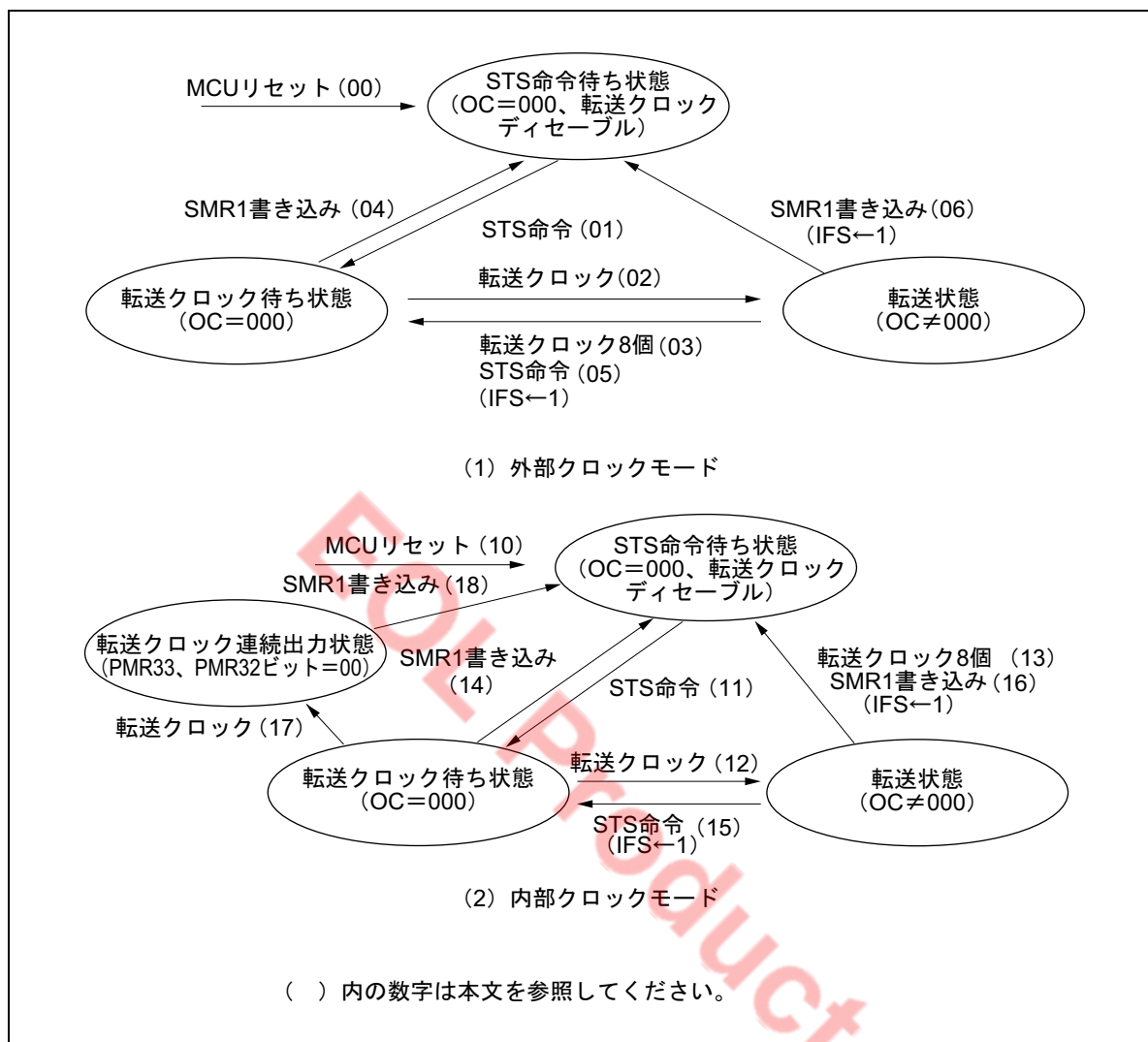


図 63 シリアルインタフェースの動作状態

(7) アイドル時 High/Low 制御

シリアルインタフェースは、STS 命令待ち状態および転送クロック待ち状態のとき、すなわちアイドル時に、ソフトウェアにより SO 端子の出力レベルを任意に設定できます。アイドル時 High/Low 制御は、シリアルモードレジスタ 2 (SMR2) のビット 1 (SMR21) に出力レベルを書き込むことにより行います。アイドル時 High/Low 制御例を図 64 に示します。転送状態ではアイドル時 High/Low 制御はできません。

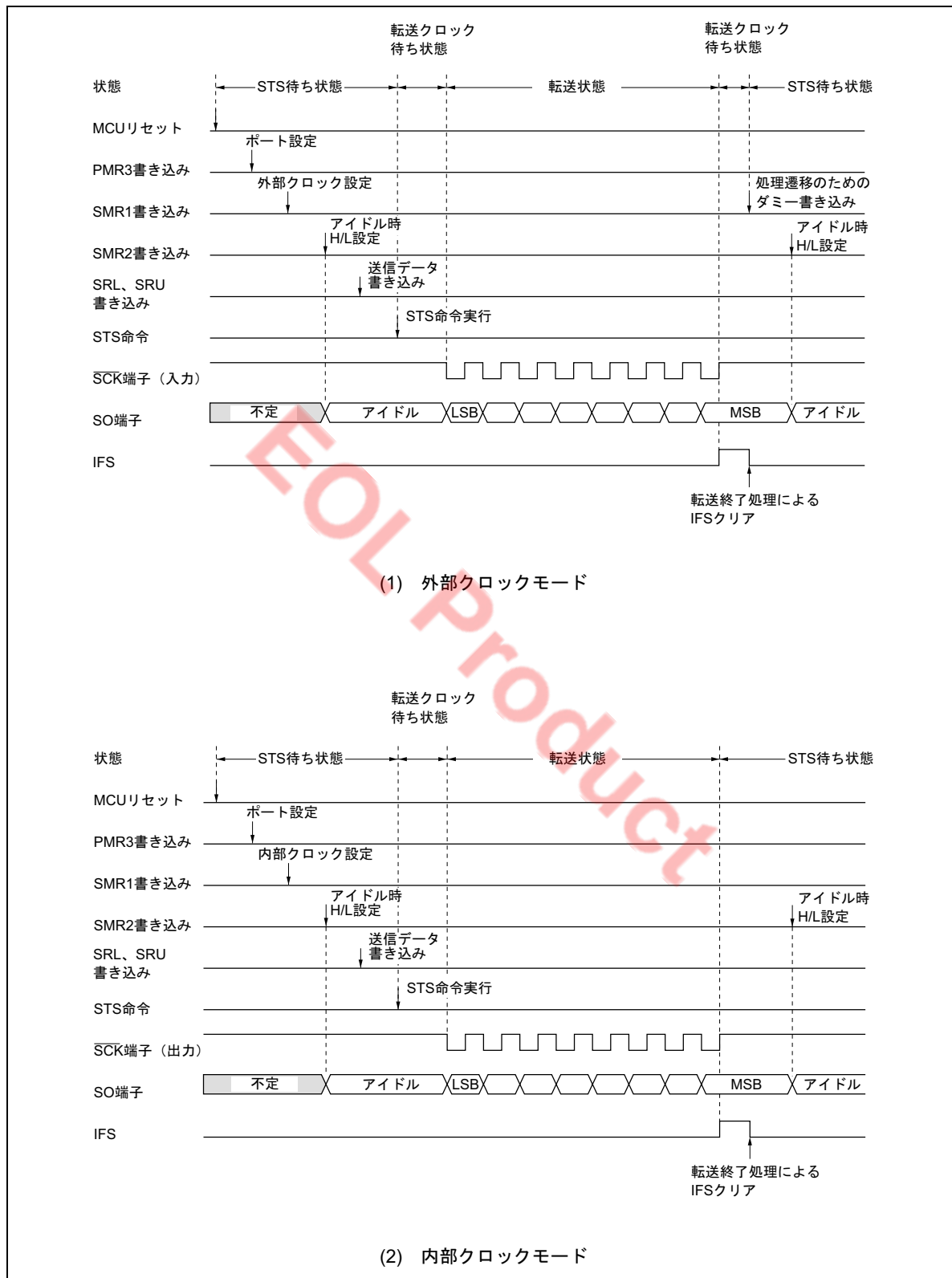


図 64 シリアルインタフェース動作シーケンスの例

(8) 転送クロックエラーの検出 (外部クロックモード)

シリアルインタフェースは、転送状態において、外来の雑音などによって正規の転送クロックに余分なパルスが重ね合わされた場合、誤動作します。この場合は、図 65 に示す手順によって転送クロックのエラーを知ることができます。

転送状態に、誤って 8 クロックを越える転送クロックが印加された場合、ノイズによる不正クロックを含めた 8 クロック目に 8 進カウンタが"000"になり、シリアル割り込み要求フラグ (IFS) がセットされます。同時に転送状態から転送クロック待ち状態に遷移しますが、続いて入力された正規の転送クロックの立ち下がりによって再び転送状態に遷移します。

一方、割り込み処理ルーチンにおいて、転送終了処理を行い、シリアル割り込み要求フラグをリセット後、シリアルモードレジスタ 1 (SMR1) のダミー書き込みを行うと、転送状態から STS 待ち状態に遷移するため、再びシリアル割り込み要求フラグ (IFS) がセットされます。したがって、シリアルモードレジスタ 1 のダミー書き込み後、シリアル割り込み要求フラグをテストすることで、転送クロックエラーの有無を判別することができます。

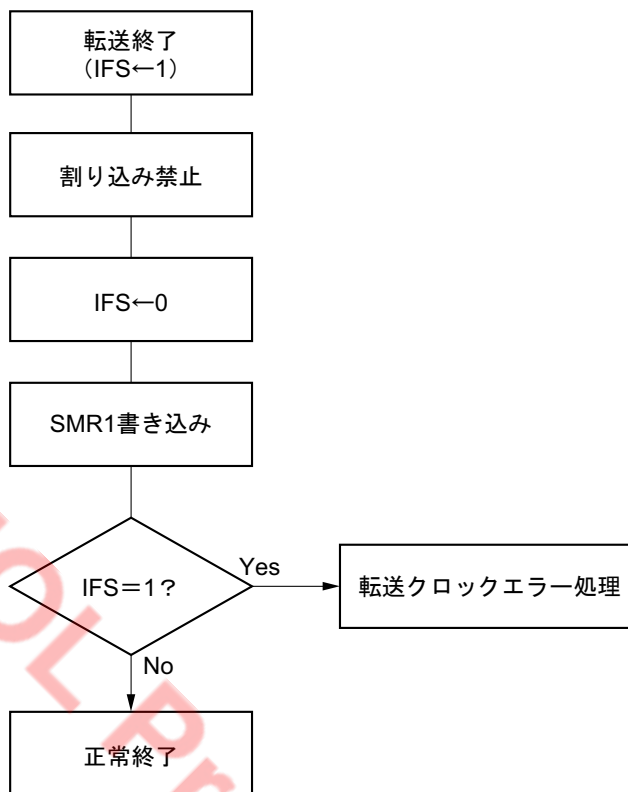
(9) 使用上の注意事項

a. レジスタ変更後の初期設定

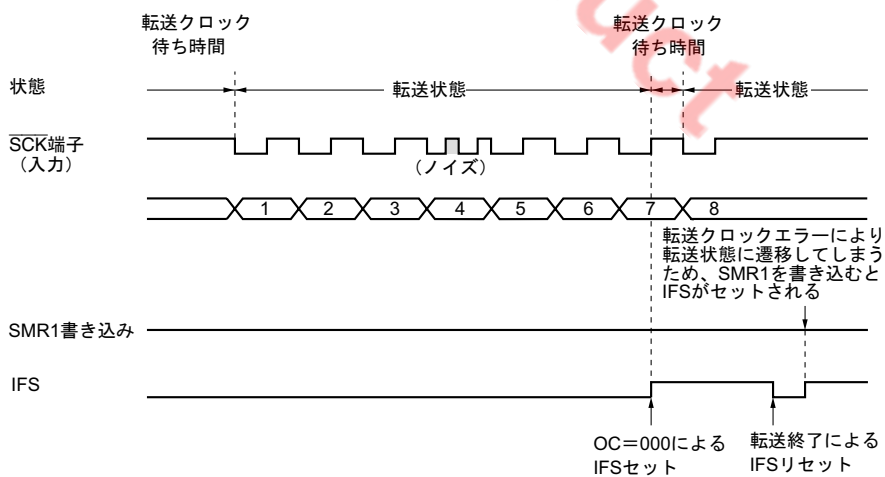
転送クロック待ち状態または転送状態でポートモードレジスタ 3 (PMR3) の書き込みを行った場合、再度シリアルモードレジスタ 1 (SMR1) の書き込みを行い、シリアルインタフェースの初期設定をしてください。

b. シリアル割り込み要求フラグ (IFS : \$023、2) のセット

転送状態において、転送クロックの最初の"Low"期間中に、シリアルモードレジスタ 1 (SMR1) 書き込みあるいは STS 命令が実行されて他の状態へ遷移した場合、シリアル割り込み要求フラグ (IFS) はセットされません。この場合にシリアル割り込み要求フラグ (IFS) を確実にセットするためには、SCK 端子の状態が"1"であることを確認 (R2 ポートに対する入力命令を実行) した後、シリアルモードレジスタ 1 (SMR1) 書き込みあるいは STS 命令を実行するプログラムとしてください。



(1) 転送クロックエラー検出フロー



(2) 転送クロックエラー検出シーケンス

図 65 転送クロックエラー検出の例



### 7.3 シリアルインタフェース使用レジスタ

シリアルインタフェースは、次のレジスタにより動作の設定およびシリアルデータの書き込み/読み出しを行います。

- シリアルモードレジスタ 1 (SMR1 : \$024)
- シリアルモードレジスタ 2 (SMR2 : \$025)
- シリアルデータレジスタ (SRL : \$026、SRU : \$027)
- ポートモードレジスタ 3 (PMR3 : \$00B)
- モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

#### (1) シリアルモードレジスタ 1 (SMR1 : \$024)

シリアルモードレジスタ 1 (SMR1) には、次の機能があります。図 66 を参照してください。

- 転送クロック選択
- プリスケーラ分周比選択
- シリアルインタフェース初期化

シリアルモードレジスタ 1 (SMR1) は、書き込み専用の 4 ビットレジスタであり、MCU のリセットにより \$0 にリセットされます。

シリアルモードレジスタ 1 (SMR1) への書き込みによって、シリアルデータレジスタ (SRL、SRU) および 8 進カウンタへの転送クロックの供給が止められ、8 進カウンタが "000" にリセットされます。したがってシリアルインタフェース動作中にシリアルモードレジスタ 1 (SMR1) への書き込みを行うと、データの送信/受信が途中で打ち切られ、シリアル割り込み要求フラグ (IFS) がセットされます。

シリアルモードレジスタ 1 (SMR1) の変更は、シリアルモードレジスタ 1 (SMR1) への書き込み命令実行の 2 命令後から有効になります。そのため STS 命令はシリアルモードレジスタ 1 (SMR1) への書き込み命令の 2 サイクル後に実行されるようプログラムする必要があります。

シリアルモードレジスタ1(SMR1 : \$024)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	0	0	0	0
ビット名	SMR13	SMR12	SMR11	SMR10

SMR13	SMR12	SMR11	SMR10	SCK 端子	転送 クロックソース	転送クロック (PSS分周比÷2または4)	転送 クロック周期
0	0	0	0	出力	PSS	$(\phi_{PER}/2048) \div 2$	4096 tcyc
			1	出力	PSS	$(\phi_{PER}/512) \div 2$	1024 tcyc
		1	0	出力	PSS	$(\phi_{PER}/128) \div 2$	256 tcyc
			1	出力	PSS	$(\phi_{PER}/32) \div 2$	64 tcyc
	1	0	0	出力	PSS	$(\phi_{PER}/8) \div 2$	16 tcyc
			1	出力	PSS	$(\phi_{PER}/2) \div 2$	4 tcyc
		1	0	出力	システムクロック	$\phi_{PER}$	tcyc
			1	入力	外部クロック	——	——
1	0	0	0	出力	PSS	$(\phi_{PER}/2048) \div 4$	8192 tcyc
			1	出力	PSS	$(\phi_{PER}/512) \div 4$	2048 tcyc
		1	0	出力	PSS	$(\phi_{PER}/128) \div 4$	512 tcyc
			1	出力	PSS	$(\phi_{PER}/32) \div 4$	128 tcyc
	1	0	0	出力	PSS	$(\phi_{PER}/8) \div 4$	32 tcyc
			1	出力	PSS	$(\phi_{PER}/2) \div 4$	8 tcyc
		1	0	出力	システムクロック	$\phi_{PER}$	tcyc
			1	入力	外部クロック	——	——

図 66 シリアルモードレジスタ 1 (SMR1)

(2) シリアルモードレジスタ 2 (SMR2 : \$025)

シリアルモードレジスタ 2 (SMR2) には、次の機能があります。図 67 を参照してください。

- R<sub>2</sub>/SI/SO 端子 PMOS 制御
- アイドル High/Low 制御

シリアルモードレジスタ 2 (SMR2) は、書き込み専用の 2 ビットレジスタであり、転送状態中にレジスタ値の変更はできません。

シリアルモードレジスタ 2 (SMR2) のビット 2(SMR22)は、R<sub>2</sub>/SI/SO 端子の PMOS の ON/OFF を制御します。ビット 2 (SMR22) のみ MCU のリセットにより"0"にリセットされます。

シリアルモードレジスタ 2 (SMR2) のビット 1(SMR21)は、アイドル時の SO 端子の High/Low 制御を行います。SO 端子は High/Low 書き込みと同時に変化します。

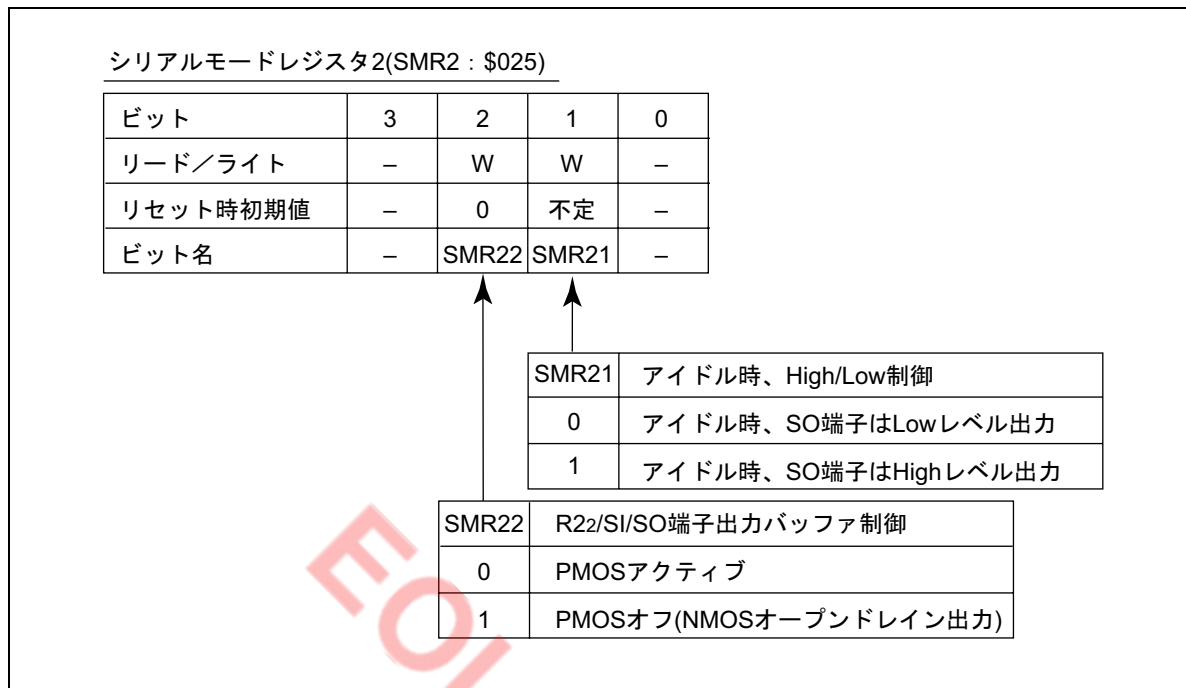


図 67 シリアルモードレジスタ 2 (SMR2)

(3) シリアルデータレジスタ (SRL : \$026、SRU : \$027)

シリアルデータレジスタ (SRL、SRU) には次の機能があります。図 68、図 69 を参照してください。

- 送信データの書き込みおよびシフト動作
- 受信データのシフトおよび読み出し動作

シリアルデータレジスタ (SRL、SRU) に書き込まれたデータは、転送クロックの立ち下がりに同期して SO 端子より LSB 側から出力されます。

SI 端子より LSB 側から入力された外部データは、転送クロックの立ち上がりに同期して取り込まれます。転送クロックとデータの入出力タイミングチャートを図 70 に示します。

シリアルデータレジスタ (SRL、SRU) の書き込み/読み出しは、データの送信/受信が終了してから行う必要があります。データの送信/受信中に書き込み/読み出しを行うと、データの内容は保証されません。

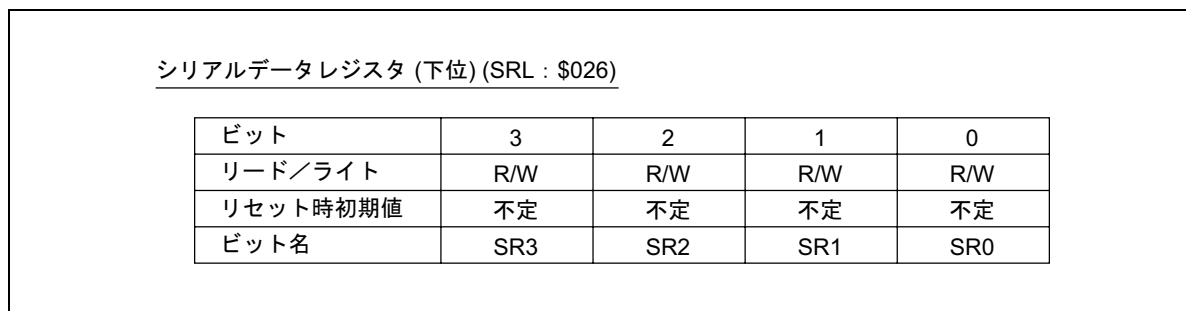


図 68 シリアルデータレジスタ (SRL)

シリアルデータレジスタ (上位) (SRU : \$027)

ビット	3	2	1	0
リード/ライト	R/W	R/W	R/W	R/W
リセット時初期値	不定	不定	不定	不定
ビット名	SR7	SR6	SR5	SR4

図 69 シリアルデータレジスタ (SRU)

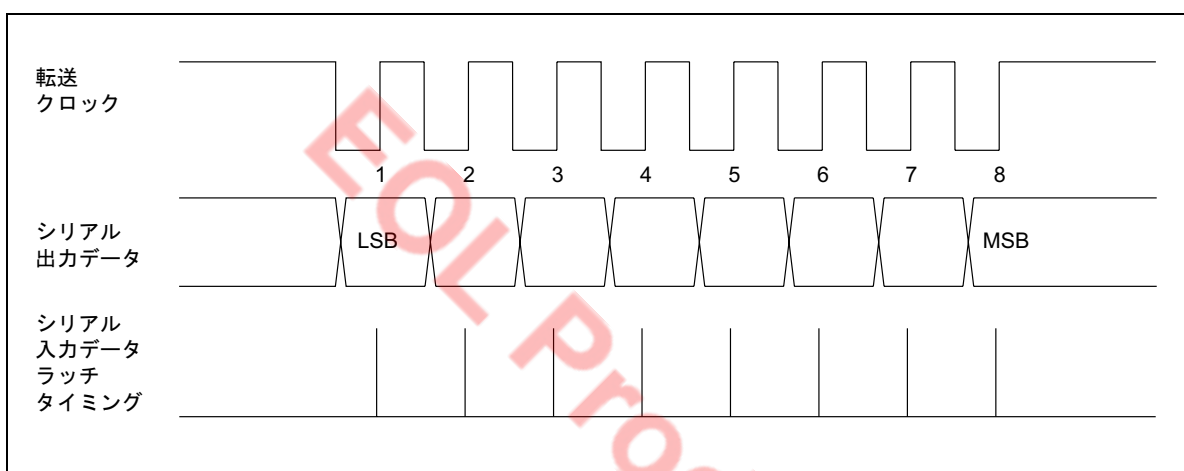


図 70 シリアルインタフェース入出力タイミングチャート

(4) ポートモードレジスタ 3 (PMR3 : \$00B)

ポートモードレジスタ 3 (PMR3) には、次の機能があります。図 71 を参照してください。

- R2<sub>1</sub>/SCK 端子選択
- R2<sub>2</sub>/SI/SO 端子選択

ポートモードレジスタ 3 (PMR3) は、書き込み専用の 4 ビットのレジスタであり、シリアルインタフェース端子の設定を図 71 のように選択します。MCU のリセットにより \$0 にリセットされます。

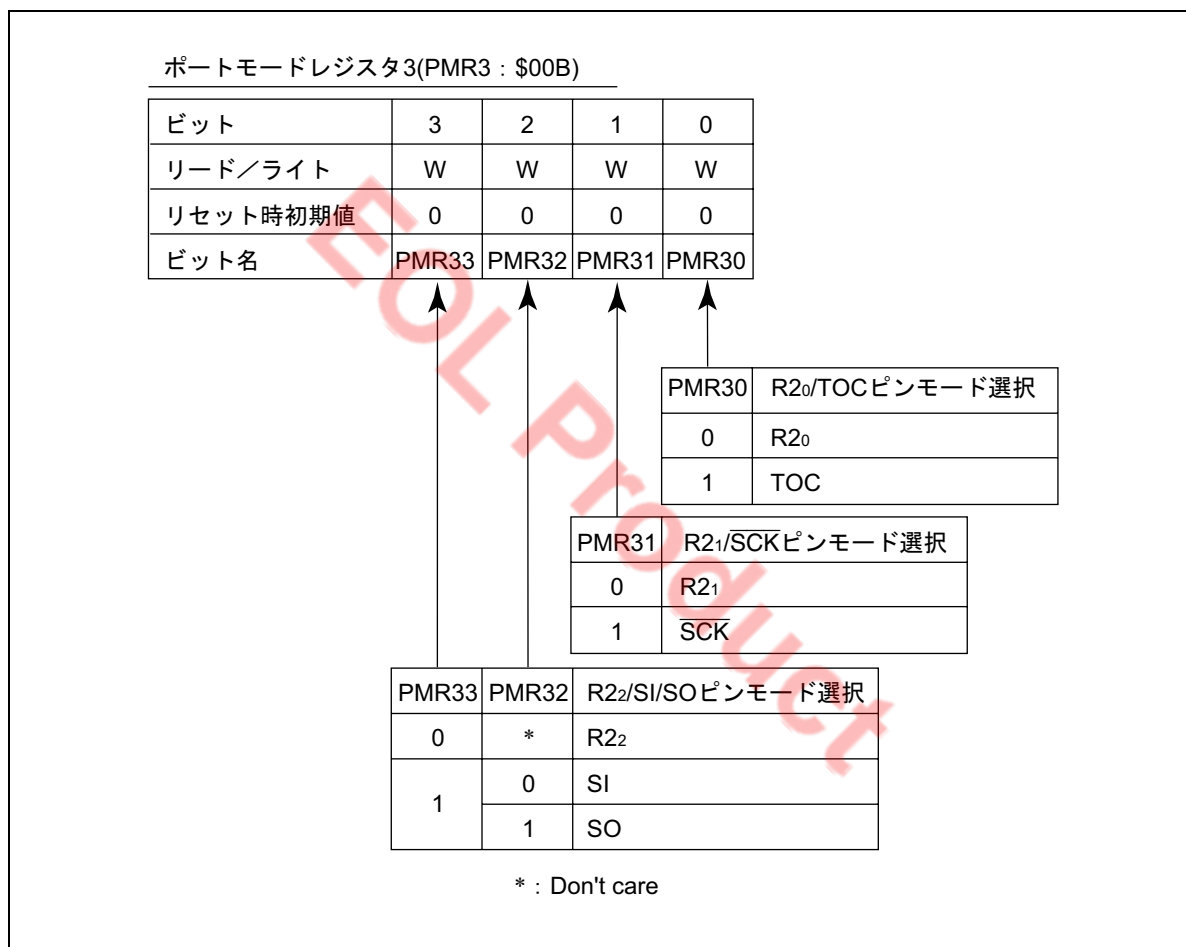


図 71 ポートモードレジスタ 3 (PMR3)

(5) モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

モジュールスタンバイレジスタ 2 (MSR2) は、書き込み専用のレジスタで、図 72 に示すようにシリアルインタフェースへのクロックの供給、停止の設定を行います。

モジュールスタンバイレジスタ 2 (MSR2) は、MCU のリセットにより \$0 にリセットされます。

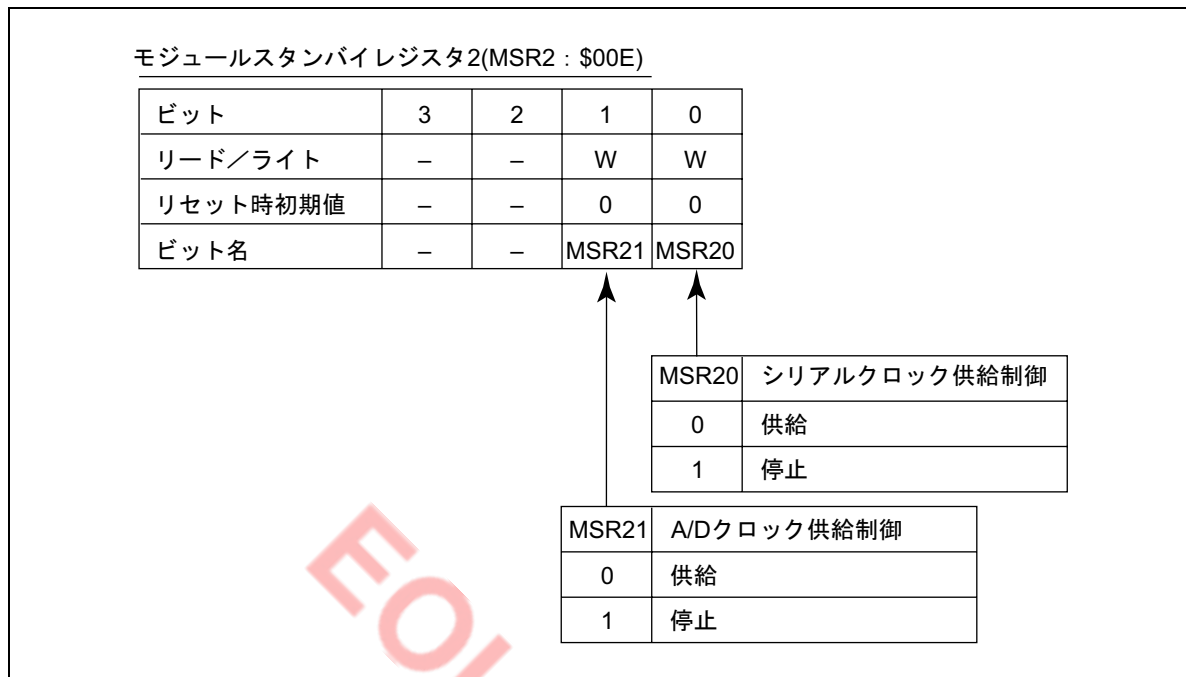


図 72 モジュールスタンバイレジスタ 2 (MSR2)

## 8. A/D コンバータ

### 8.1 HD404889 シリーズ

MCU には、抵抗ラダー方式による逐次比較方式 A/D コンバータを内蔵しており、8 ビット分解能で 6 本のアナログ入力のデジタル変換ができます。図 73 に A/D コンバータブロックを示します。

A/D コンバータには以下の 4 つのレジスタで構成されています。

- A/D モードレジスタ (AMR : \$028)
- A/D スタートフラグ (ADSF : \$020、2)
- A/D データレジスタ (ADRL : \$02A、ADRU : \$02B)
- モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

【注】 \$029 はリザーブレジスタです。リード/ライト動作はしないでください。

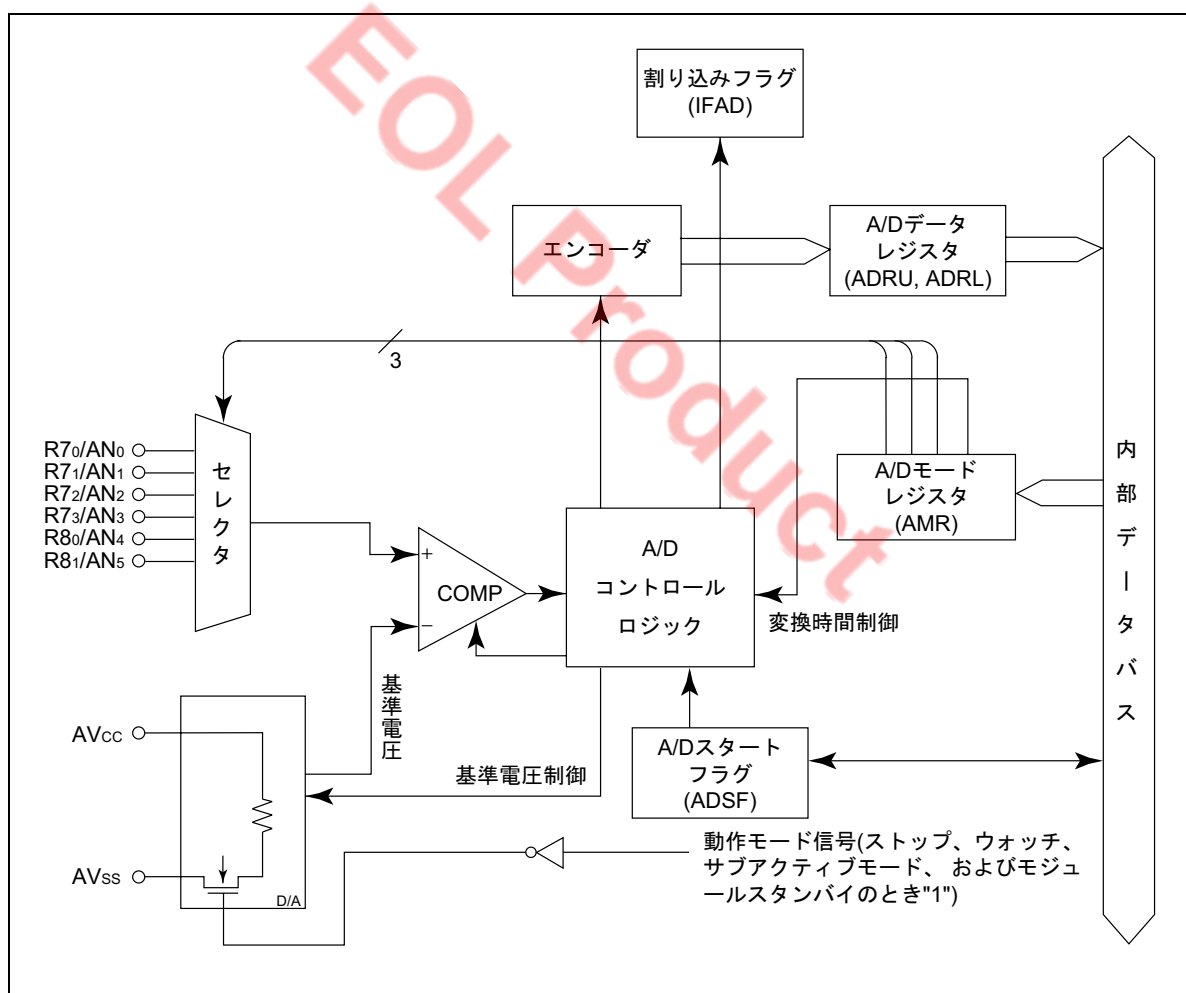


図 73 A/D コンバータブロック図

(1) A/D モードレジスタ (AMR : \$028)

A/D モードレジスタは、A/D 変換スピードの設定、アナログ入力端子指定の情報を示す 4 ビットの書き込み専用レジスタです。ビット 0 で A/D 変換時間の選択を行い、ビット 1、2、3 でチャンネルの選択を行います (図 74)。



図 74 A/D モードレジスタ (AMR)

(2) A/D スタートフラグ (ADSF : \$020、2)

A/D スタートフラグに"1"を書き込むことにより A/D 変換がスタートします。変換が終了すると変換データは A/D データレジスタにセットされ、同時に A/D スタートフラグはクリアされます (図 75)。



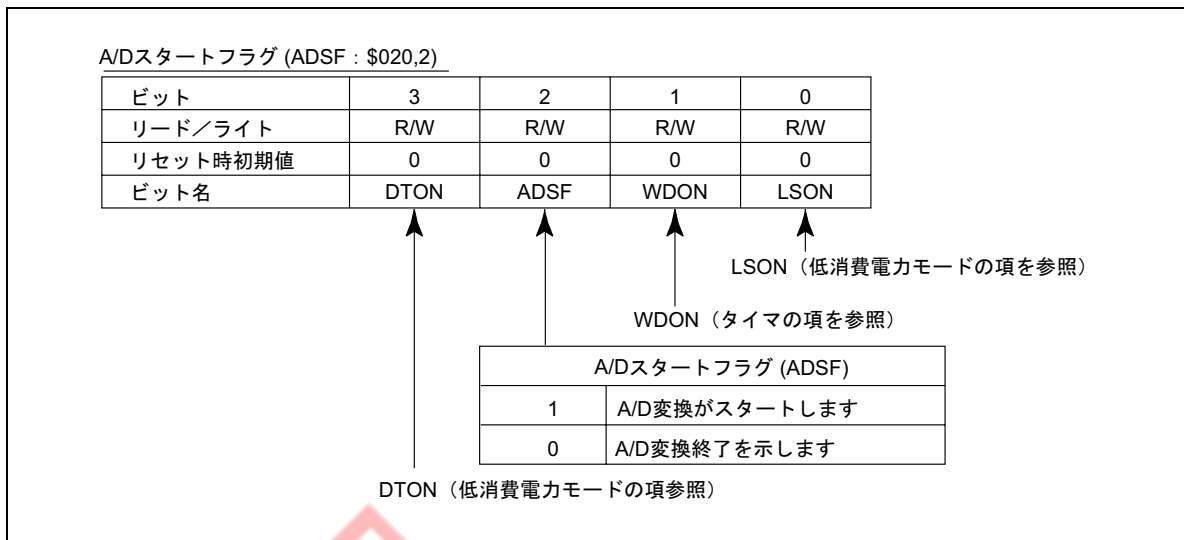


図 75 A/D スタートフラグ (ADSF)

(3) A/D データレジスタ (ADRL : \$02A, ADRU : \$02B)

下位 4 ビット、上位 4 ビットのリード専用レジスタです。このレジスタはリセットではクリアされません。また、A/D 変換中のデータの読み出しは保証されません。A/D 変換終了後に変換結果の 8 ビットデータがセットされ、次の変換開始までこのデータが保持されます (図 76、図 77、図 78)。

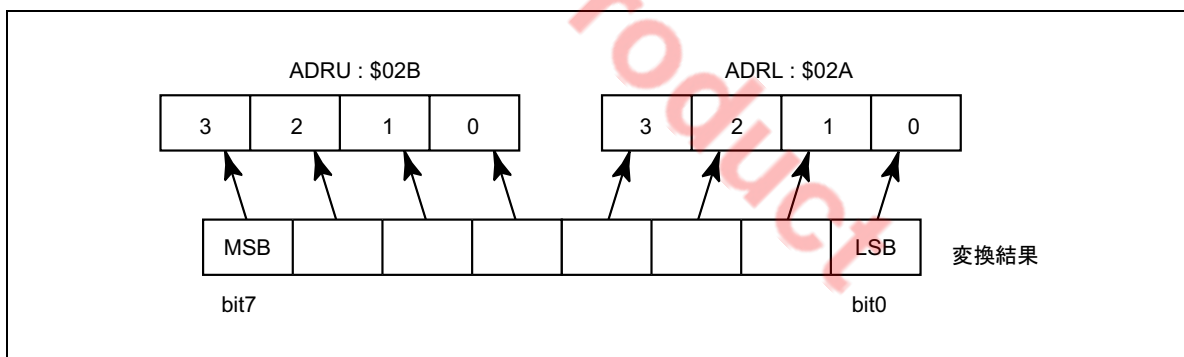


図 76 A/D データレジスタ

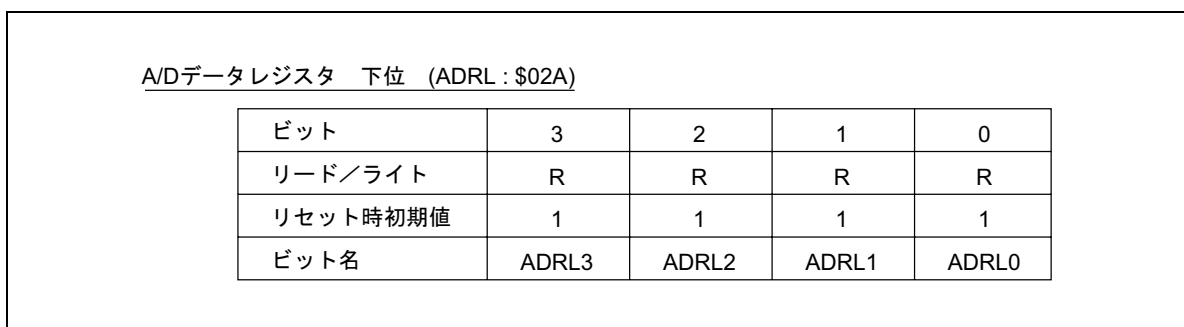


図 77 A/D データレジスタ下位 (ADRL)

A/Dデータレジスタ 上位 (ADRU: \$02B)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	0	1	1	1
ビット名	ADRU3	ADRU2	ADRU1	ADRU0

図 78 A/D データレジスタ上位 (ADRU)

(4) モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

モジュールスタンバイレジスタ 2 のビット 1 に 1 を書き込むことによって、A/D モジュールへのシステムクロックの供給が停止し、またラダー抵抗に流れる電流 ( $I_{Ad}$ ) をカットします。

(5) 使用上の注意事項

- A/D スタートフラグ (ADSF) への書き込みは、SEM/SEMD 命令で行ってください。
- A/D 変換中は、ADSF への書き込みはしないでください。
- A/D 変換中の A/D データレジスタのデータは不定です。
- A/D コンバータは OSC からのクロックで動作しますので、ストップモード、ウォッチモード、サブアクティブモードでは動作を停止します。また、これらの低消費電力モードでは、消費電力を下げるために、A/D コンバータのラダー抵抗に流れる電流をカットする構成になっています。
- A/D モードレジスタによりアナログ入力端子を選択すると、その端子のプルアップ MOS は無効になります。

## 8.2 HD404899/HD404868 シリーズ

MCUには、抵抗ラダー方式による逐次比較方式 A/D コンバータを内蔵しており、10 ビット分解能で 6 本 (HD404868 シリーズは 4 本) のアナログ入力のデジタル変換ができます。図 79 に A/D コンバータブロックを示します。

A/D コンバータには以下の 4 つのレジスタで構成されています。

- A/D モードレジスタ (AMR : \$028)
- A/D スタートフラグ (ADSF : \$020、2)
- A/D データレジスタ (ADRL : \$029、ADRM : \$02A、ADRU : \$02B)
- モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

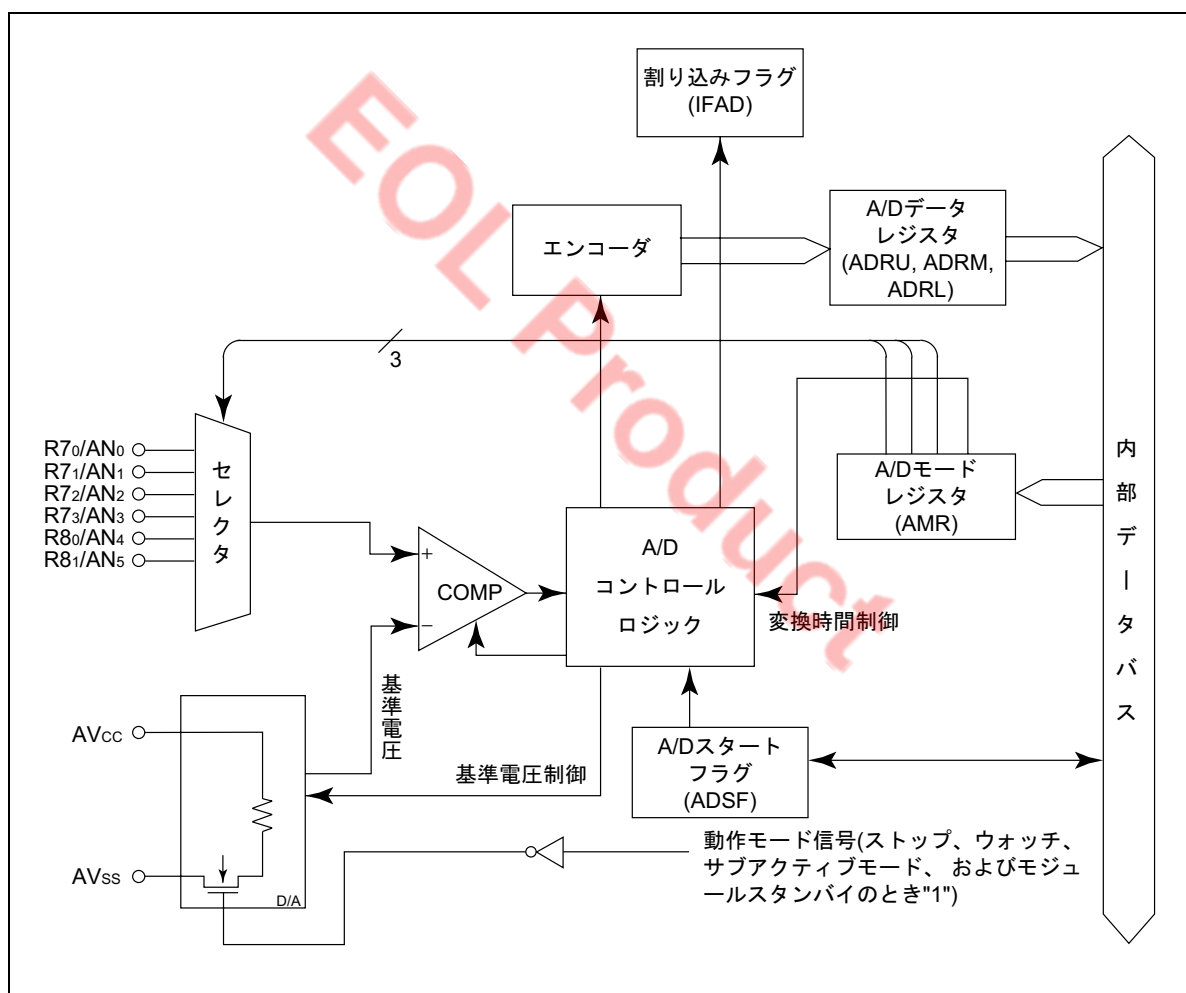
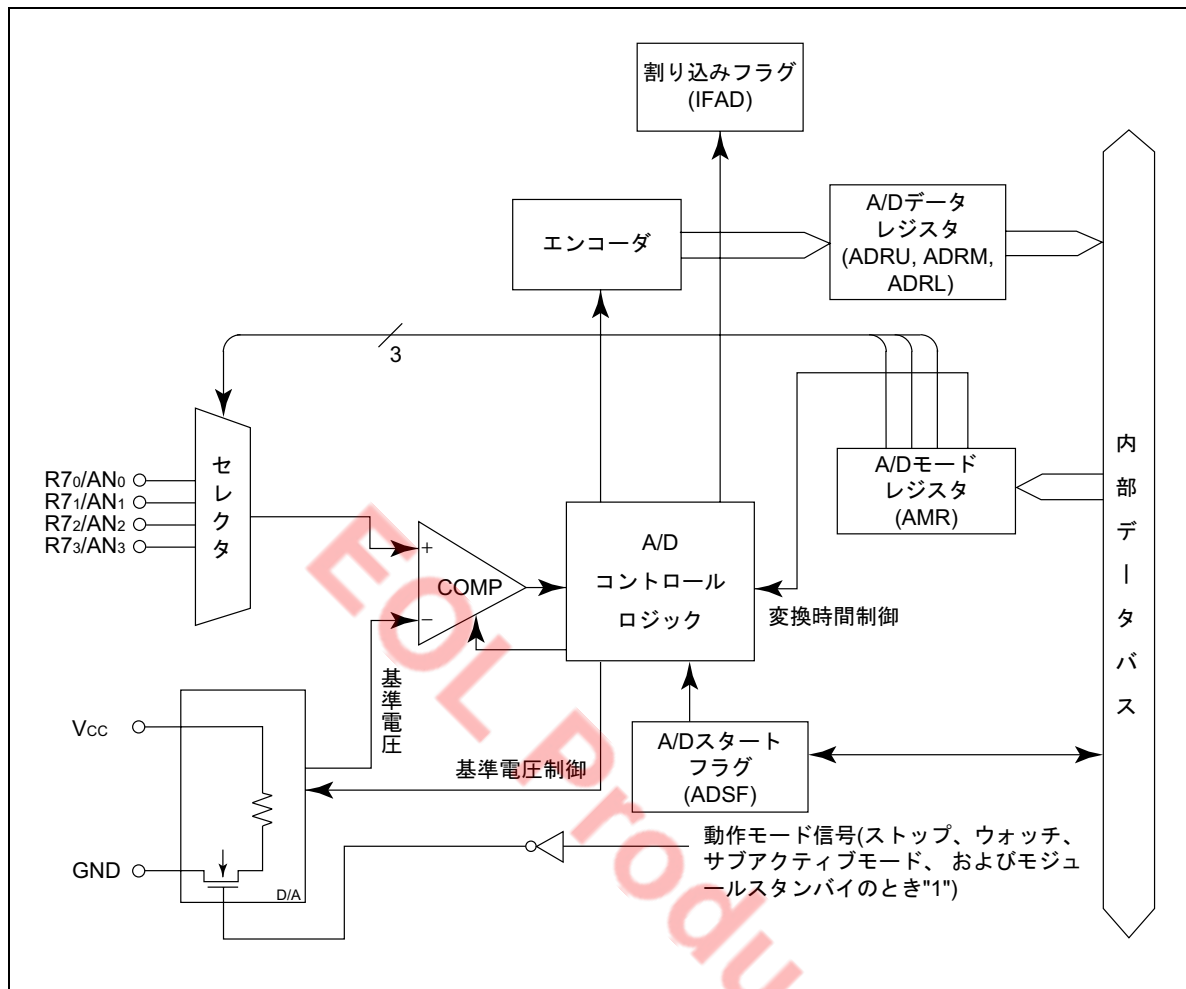


図 79 (1) A/D コンバータブロック図 (HD404899 シリーズ)



(1) A/D モードレジスタ (AMR : \$028)

A/D モードレジスタは、A/D 変換スピードの設定、アナログ入力端子指定の情報を示す 4 ビットの書き込み専用レジスタです。ビット 0 で A/D 変換時間の選択を行い、ビット 1、2、3 でチャンネルの選択を行います (図 80)。



図 80 A/D モードレジスタ (AMR)

(2) A/D スタートフラグ (ADSF : \$020、2)

A/D スタートフラグに"1"を書き込むことにより A/D 変換がスタートします。変換が終了すると変換データは A/D データレジスタにセットされ、同時に A/D スタートフラグはクリアされます (図 81)。



A/Dデータレジスタ 中位 (ADRM: \$02A)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	1	1	1	1
ビット名	ADRM3	ADRM2	ADRM1	ADRM0

図 84 A/D データレジスタ中位 (ADRM)

A/Dデータレジスタ 上位 (ADRU: \$02B)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	0	1	1	1
ビット名	ADRU3	ADRU2	ADRU1	ADRU0

図 85 A/D データレジスタ上位 (ADRU)

(4) モジュールスタンバイレジスタ 2 (MSR2: \$00E)

モジュールスタンバイレジスタ 2 のビット 1 に 1 を書き込むことによって、A/D モジュールへのシステムクロックの供給が停止し、またラダー抵抗に流れる電流 ( $I_{AD}$ ) をカットします。

(5) 使用上の注意事項

- A/D スタートフラグ (ADSF) への書き込みは、SEM/SEMD 命令で行ってください。
- A/D 変換中は、ADSF への書き込みはしないでください。
- A/D 変換中の A/D データレジスタのデータは不定です。
- A/D コンバータは OSC からのクロックで動作しますので、ストップモード、ウォッチモード、サブアクティブモードでは動作を停止します。また、これらの低消費電力モードでは、消費電力を下げするために、A/D コンバータのラダー抵抗に流れる電流をカットする構成になっています。
- A/D モードレジスタによりアナログ入力端子を選択すると、その端子のプルアップ MOS は無効になります。

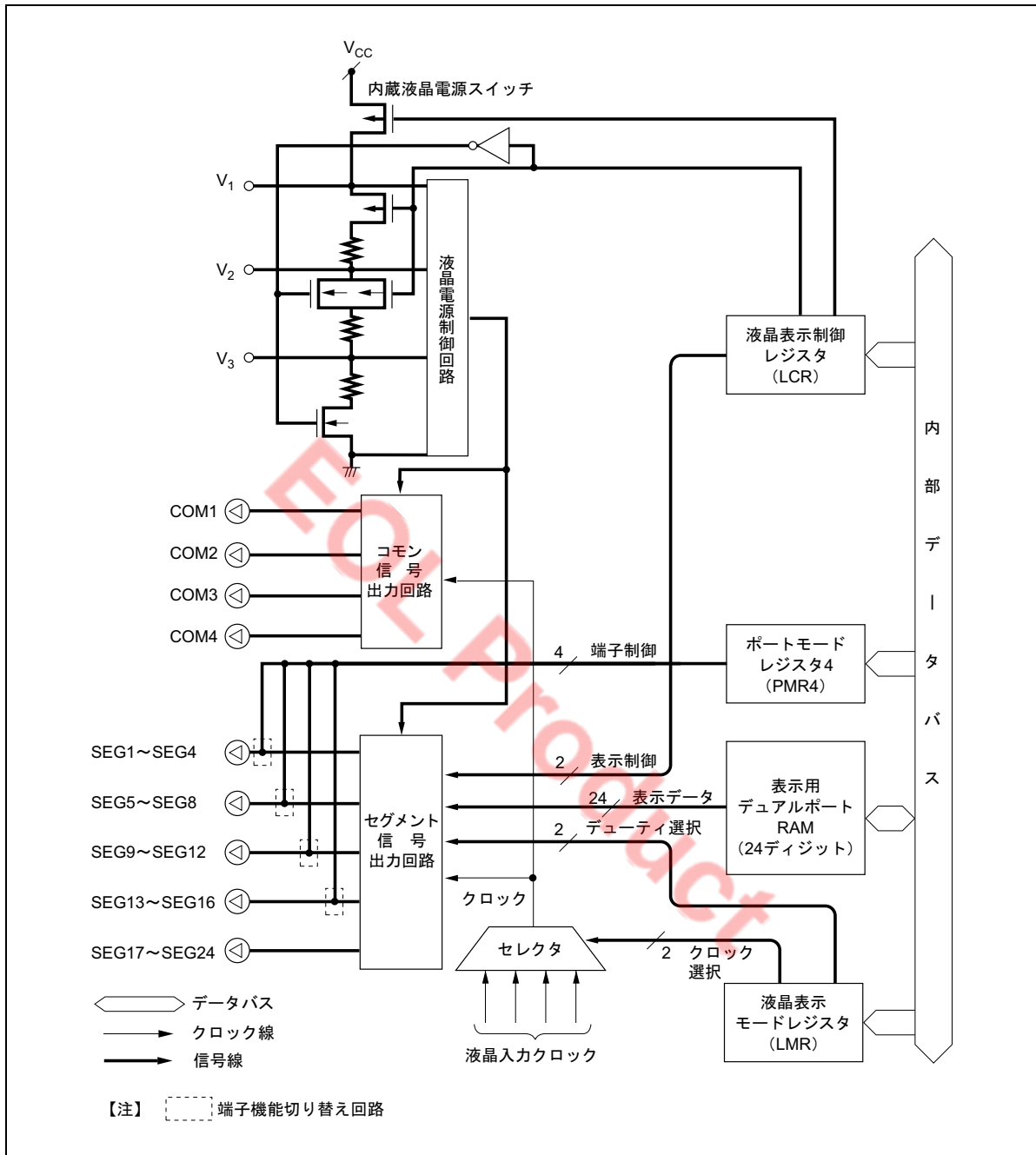
## 9. 液晶表示回路

MCUには、4本のコモン信号端子と32本（HD404868シリーズは24本）のセグメント端子をドライブするコントローラ、およびドライバが内蔵されています。コントローラ部は、表示データを格納するRAM部、表示制御レジスタ（LCR）、デューティ/クロック制御レジスタ（LMR）より構成されています（図86参照）。液晶表示回路は4種類のデューティ、LCDクロックをプログラムで制御できるほか、デュアルポートRAMを内蔵しているため、プログラムの処理なく表示データを自動的にセグメント信号端子へ転送します。また、32kHz発振クロックをLCDクロックのソースとして設定した場合は、システムクロックが止まるウォッチモードでも液晶表示が可能です。

EOL Product







	bit3	bit2	bit1	bit0		bit3	bit2	bit1	bit0
\$050	SEG1	SEG1	SEG1	SEG1	\$060	SEG17	SEG17	SEG17	SEG17
\$051	SEG2	SEG2	SEG2	SEG2	\$061	SEG18	SEG18	SEG18	SEG18
\$052	SEG3	SEG3	SEG3	SEG3	\$062	SEG19	SEG19	SEG19	SEG19
\$053	SEG4	SEG4	SEG4	SEG4	\$063	SEG20	SEG20	SEG20	SEG20
\$054	SEG5	SEG5	SEG5	SEG5	\$064	SEG21	SEG21	SEG21	SEG21
\$055	SEG6	SEG6	SEG6	SEG6	\$065	SEG22	SEG22	SEG22	SEG22
\$056	SEG7	SEG7	SEG7	SEG7	\$066	SEG23	SEG23	SEG23	SEG23
\$057	SEG8	SEG8	SEG8	SEG8	\$067	SEG24	SEG24	SEG24	SEG24
\$058	SEG9	SEG9	SEG9	SEG9	\$068	SEG25	SEG25	SEG25	SEG25
\$059	SEG10	SEG10	SEG10	SEG10	\$069	SEG26	SEG26	SEG26	SEG26
\$05A	SEG11	SEG11	SEG11	SEG11	\$06A	SEG27	SEG27	SEG27	SEG27
\$05B	SEG12	SEG12	SEG12	SEG12	\$06B	SEG28	SEG28	SEG28	SEG28
\$05C	SEG13	SEG13	SEG13	SEG13	\$06C	SEG29	SEG29	SEG29	SEG29
\$05D	SEG14	SEG14	SEG14	SEG14	\$06D	SEG30	SEG30	SEG30	SEG30
\$05E	SEG15	SEG15	SEG15	SEG15	\$06E	SEG31	SEG31	SEG31	SEG31
\$05F	SEG16	SEG16	SEG16	SEG16	\$06F	SEG32	SEG32	SEG32	SEG32
	COM4	COM3	COM2	COM1		COM4	COM3	COM2	COM1

図 87 (1) 液晶表示用 RAM エリアの構成 (デュアルポート RAM 使用)  
(HD404889/HD404899/HD404878 シリーズ)

	bit3	bit2	bit1	bit0		bit3	bit2	bit1	bit0
\$050	SEG1	SEG1	SEG1	SEG1	\$060	SEG17	SEG17	SEG17	SEG17
\$051	SEG2	SEG2	SEG2	SEG2	\$061	SEG18	SEG18	SEG18	SEG18
\$052	SEG3	SEG3	SEG3	SEG3	\$062	SEG19	SEG19	SEG19	SEG19
\$053	SEG4	SEG4	SEG4	SEG4	\$063	SEG20	SEG20	SEG20	SEG20
\$054	SEG5	SEG5	SEG5	SEG5	\$064	SEG21	SEG21	SEG21	SEG21
\$055	SEG6	SEG6	SEG6	SEG6	\$065	SEG22	SEG22	SEG22	SEG22
\$056	SEG7	SEG7	SEG7	SEG7	\$066	SEG23	SEG23	SEG23	SEG23
\$057	SEG8	SEG8	SEG8	SEG8	\$067	SEG24	SEG24	SEG24	SEG24
\$058	SEG9	SEG9	SEG9	SEG9					
\$059	SEG10	SEG10	SEG10	SEG10					
\$05A	SEG11	SEG11	SEG11	SEG11					
\$05B	SEG12	SEG12	SEG12	SEG12					
\$05C	SEG13	SEG13	SEG13	SEG13					
\$05D	SEG14	SEG14	SEG14	SEG14					
\$05E	SEG15	SEG15	SEG15	SEG15					
\$05F	SEG16	SEG16	SEG16	SEG16					
	COM4	COM3	COM2	COM1		COM4	COM3	COM2	COM1

図 87 (2) 液晶表示用 RAM エリアの構成 (デュアルポート RAM 使用)  
(HD404868 シリーズ)

(2) 液晶表示制御レジスタ (LCR : \$02C)

液晶表示制御レジスタは、書き込み専用の 4 ビットレジスタです。液晶表示のブランキング、液晶電源スイッチの ON/OFF、ウォッチモード/サブアクティブモード時の表示、および液晶表示分割抵抗の切り離しを図 89 のように制御します。

本レジスタは、ビット操作命令によりビットごとのセット/リセットが可能です。

- 表示点灯／非点灯
  - 非点灯： 液晶表示用 RAM のデータに関係なく、セグメント信号は非点灯状態になります。
  - 点灯： 液晶表示用 RAM のデータがセグメント信号として出力されます。
- 内蔵液晶電源スイッチ ON/OFF
  - OFF： 内蔵液晶電源スイッチが OFF します。
  - ON： 内蔵液晶電源スイッチが ON します。  
V0 と V1 を外部で短絡した場合、V1 は VCC レベルになります。
- ウォッチモード／サブアクティブモード時の液晶表示
  - 非点灯： ウォッチモード／サブアクティブモード時すべてのコモンおよびセグメントが GND 電位に固定されます。  
また内蔵液晶電源スイッチが OFF します。
  - 点灯： ウォッチモード／サブアクティブモード時液晶表示用 RAM のデータがセグメント信号として出力されます。
- 液晶電源分割抵抗スイッチ ON/OFF
  - OFF： 内蔵されている液晶電源分割抵抗が切り離されます。
  - ON： 内蔵されている液晶電源分割抵抗が接続されます。

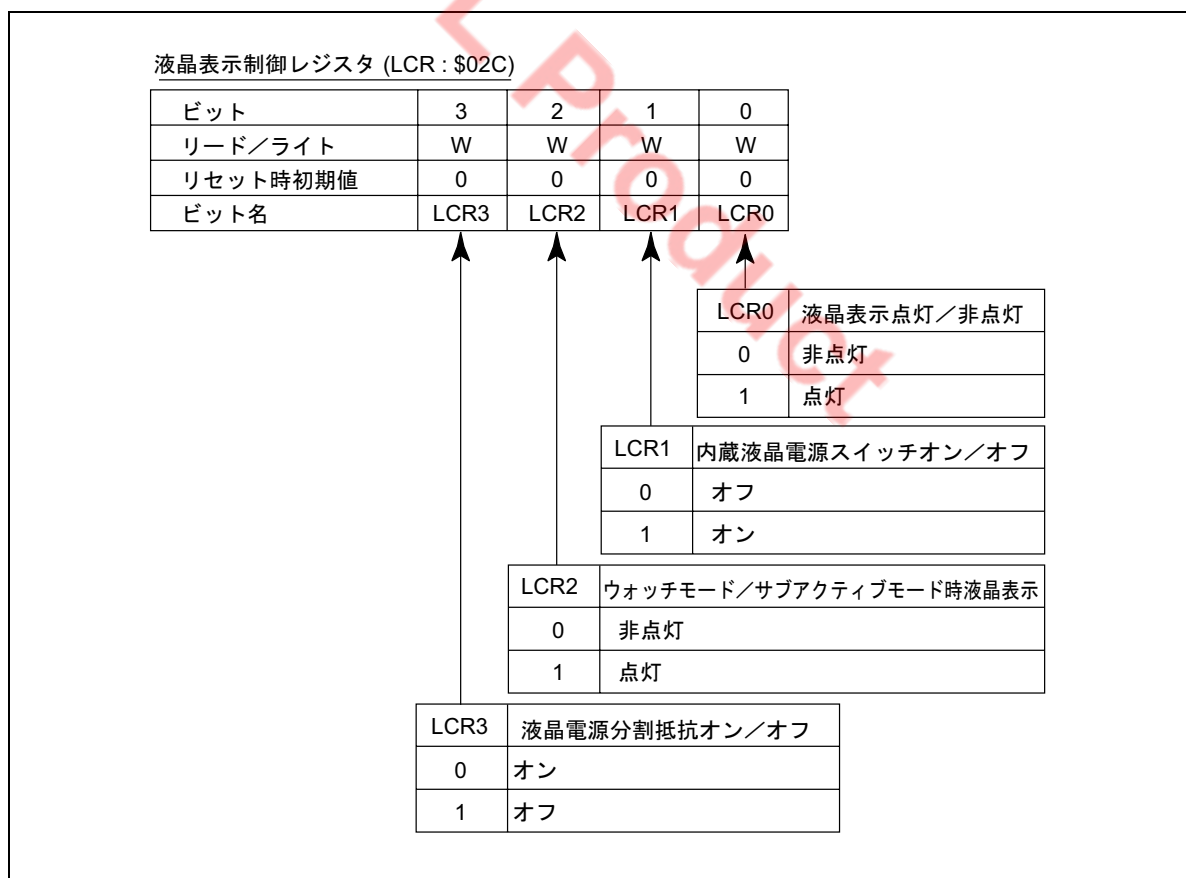


図 89 液晶表示制御レジスタ (LCR)

(3) 液晶表示デューティ/クロック制御レジスタ (LMR : \$02D)

液晶表示デューティ/クロック制御レジスタは、書き込み専用のレジスタで、4種の表示デューティ比および液晶用基本クロックの設定に使用します (図 90)。表 27 にデューティ別液晶フレーム周波数を示します。

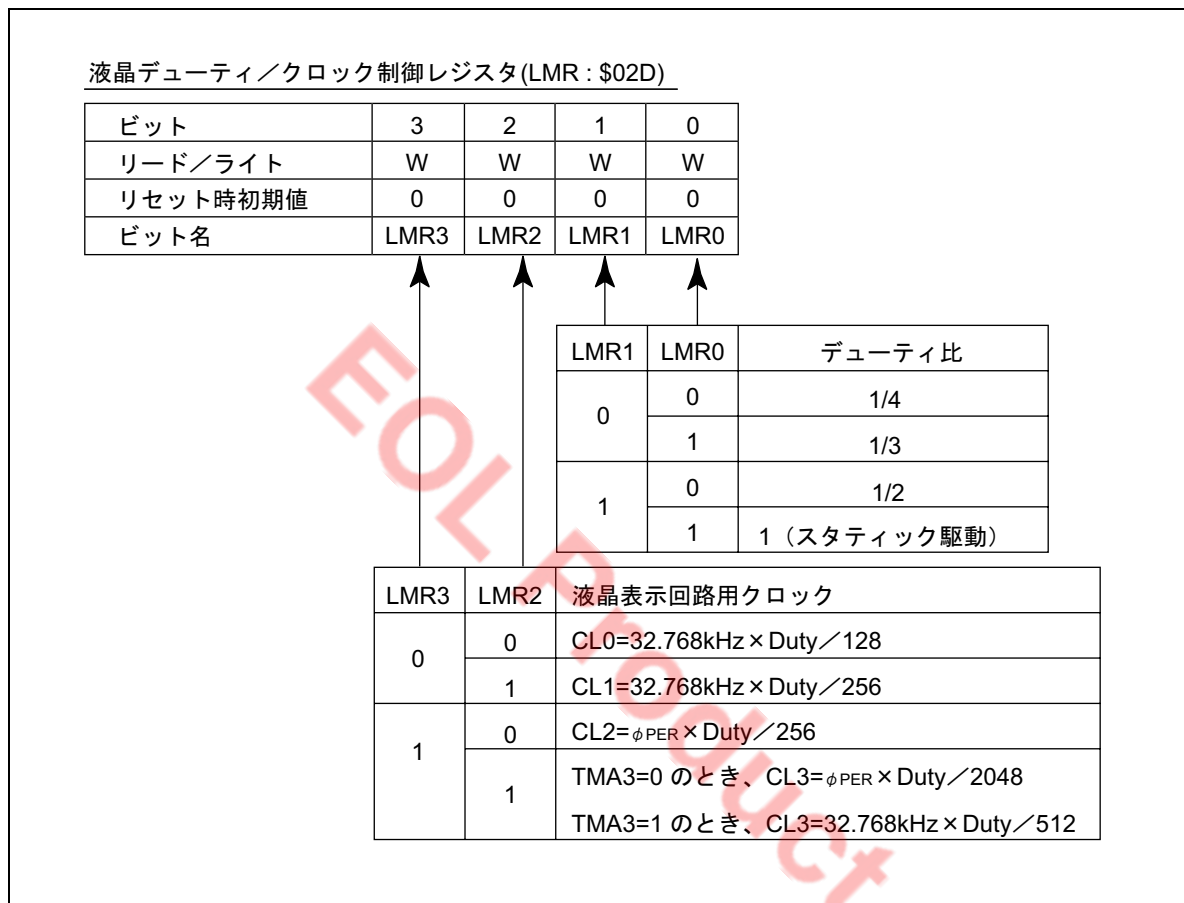


図 90 液晶デューティ/クロック制御レジスタ (LMR)

表 27 デューティ別液晶フレーム周波数

デューティ	LMR3	LMR2	フレーム周期								
			fosc=400kHz 時		fosc=800kHz 時		fosc=2.0MHz 時		fosc=4.0MHz 時		
			4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周	
スタティック	0	0	CL0	256Hz							
		1	CL1	128Hz							
	1	0	CL2	390.6Hz	48.8Hz	781.3Hz	97.7Hz	1953Hz	244.1Hz	3906Hz	488.3Hz
		1	CL3*	48.8Hz	6.1Hz	97.7Hz	12.2Hz	244.1Hz	30.5Hz	488.3Hz	61.0Hz

デューティ	LMR3	LMR2	フレーム周期								
			fosc=400kHz 時		fosc=800kHz 時		fosc=2.0MHz 時		fosc=4.0MHz 時		
			4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周	
1/2	0	0	CL0	128Hz							
		1	CL1	64Hz							
	1	0	CL2	195.3Hz	24.4Hz	390.6Hz	48.8Hz	976.6Hz	122.1Hz	1953Hz	244.1Hz
		1	CL3*	24.4Hz	3.1Hz	48.8Hz	6.1Hz	122.1Hz	15.3Hz	244.1Hz	30.5Hz

デューティ	LMR3	LMR2	フレーム周期								
			fosc=400kHz 時		fosc=800kHz 時		fosc=2.0MHz 時		fosc=4.0MHz 時		
			4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周	
1/3	0	0	CL0	85.3Hz							
		1	CL1	42.7Hz							
	1	0	CL2	130.1Hz	16.3Hz	260.2Hz	32.5Hz	650Hz	81.3Hz	1301Hz	162.6Hz
		1	CL3*	16.3Hz	2.0Hz	32.5Hz	4.1Hz	81.3Hz	10.2Hz	162.6Hz	20.3Hz

デューティ	LMR3	LMR2	フレーム周期								
			fosc=400kHz 時		fosc=800kHz 時		fosc=2.0MHz 時		fosc=4.0MHz 時		
			4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周	
1/4	0	0	CL0	64Hz							
		1	CL1	32Hz							
	1	0	CL2	97.7Hz	12.2Hz	195.3Hz	24.4Hz	488.3Hz	61.0Hz	976.6Hz	122.1Hz
		1	CL3*	12.2Hz	1.5Hz	24.4Hz	3.1Hz	61.0Hz	7.6Hz	122.1Hz	15.3Hz

(4) ポートモードレジスタ 4 (PMR4 : \$00C)

ポートモードレジスタ 4 は書き込み専用の 4 ビットのレジスタで、R3~R6 ポートの端子機能を 4 ポート単位に SEG1~SEG16 端子に切り替えることができます (図 91)。

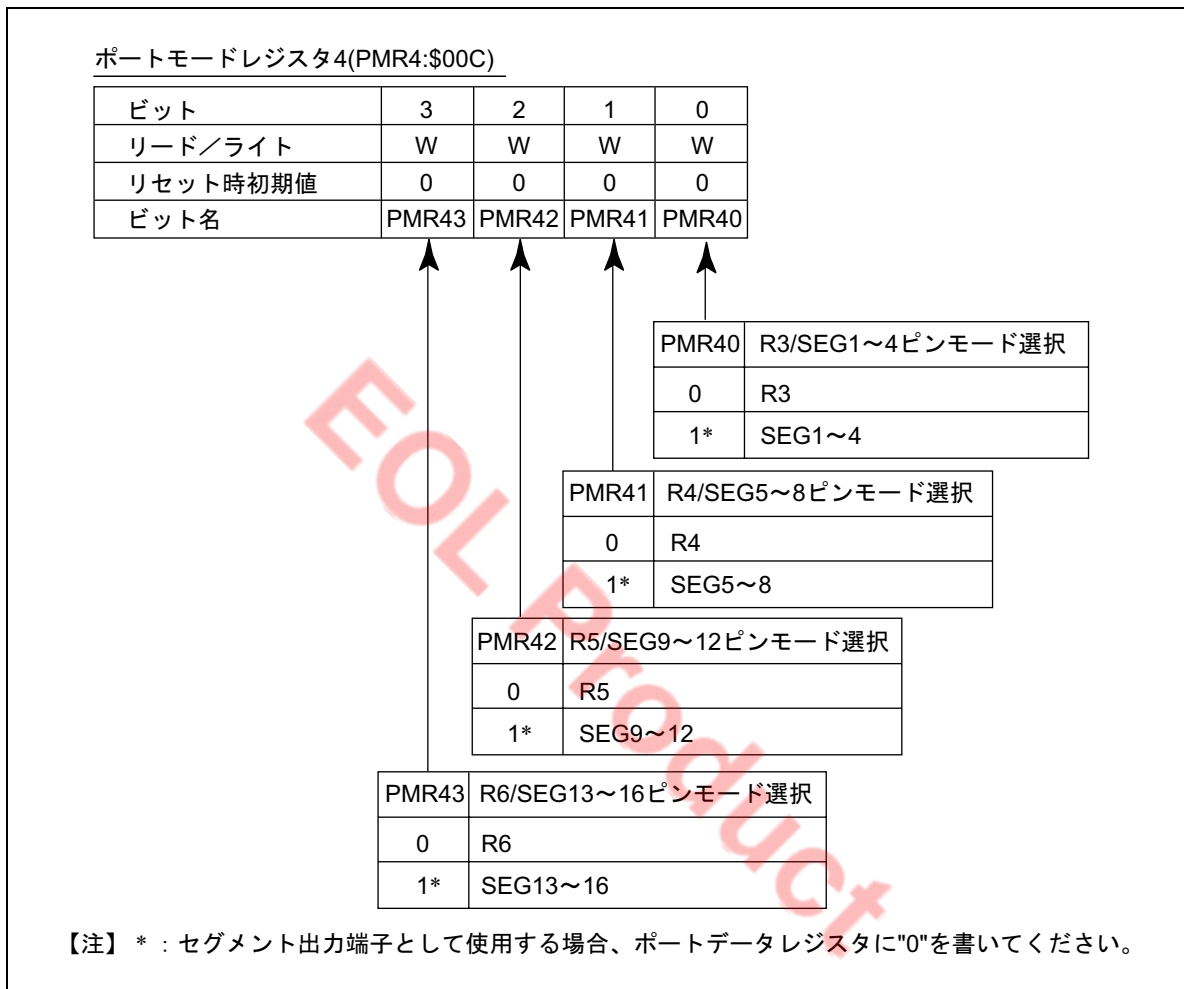


図 91 ポートモードレジスタ 4 (PMR4 : \$00C)

(5) 液晶駆動電圧 ( $V_{LCD}$ )

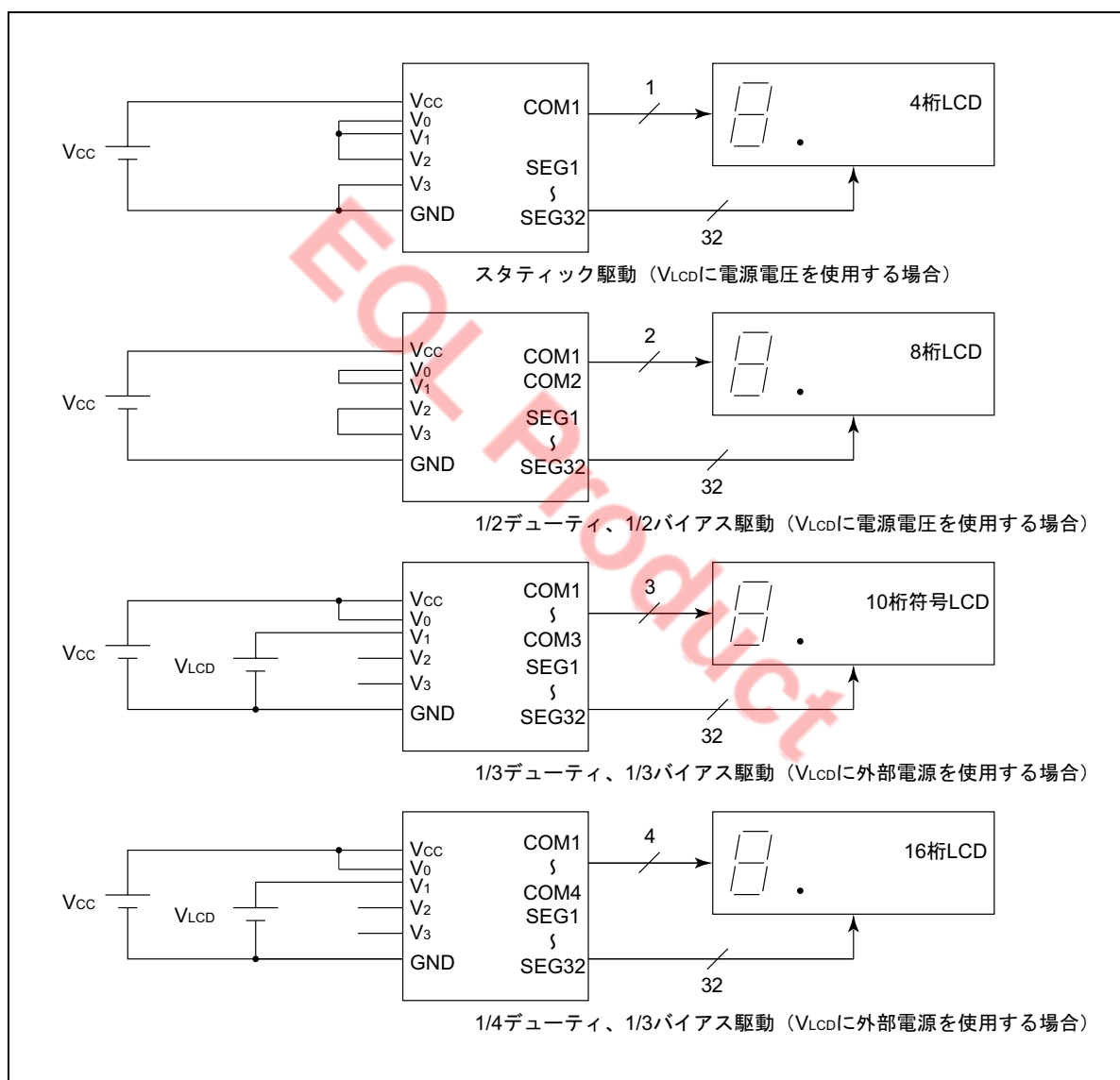
液晶駆動電源の結線例を図 92 に示します。液晶駆動電圧 ( $V_{LCD}$ ) は次の範囲で使用してください。

$$2.2 \leq V_{LCD} \leq V_{CC} \text{ (V)}$$

外部より液晶駆動電圧を印加する場合は、V0 端子は  $V_{CC}$  に接続し、液晶電源スイッチ（液晶表示制御レジスタ）を OFF してください。（HD404889/HD404899/HD404878 シリーズ）

液晶駆動電圧に電源電圧を使用する場合は、V0 端子と V1 端子を短絡してください。

（HD404889/HD404899/HD404878 シリーズ）





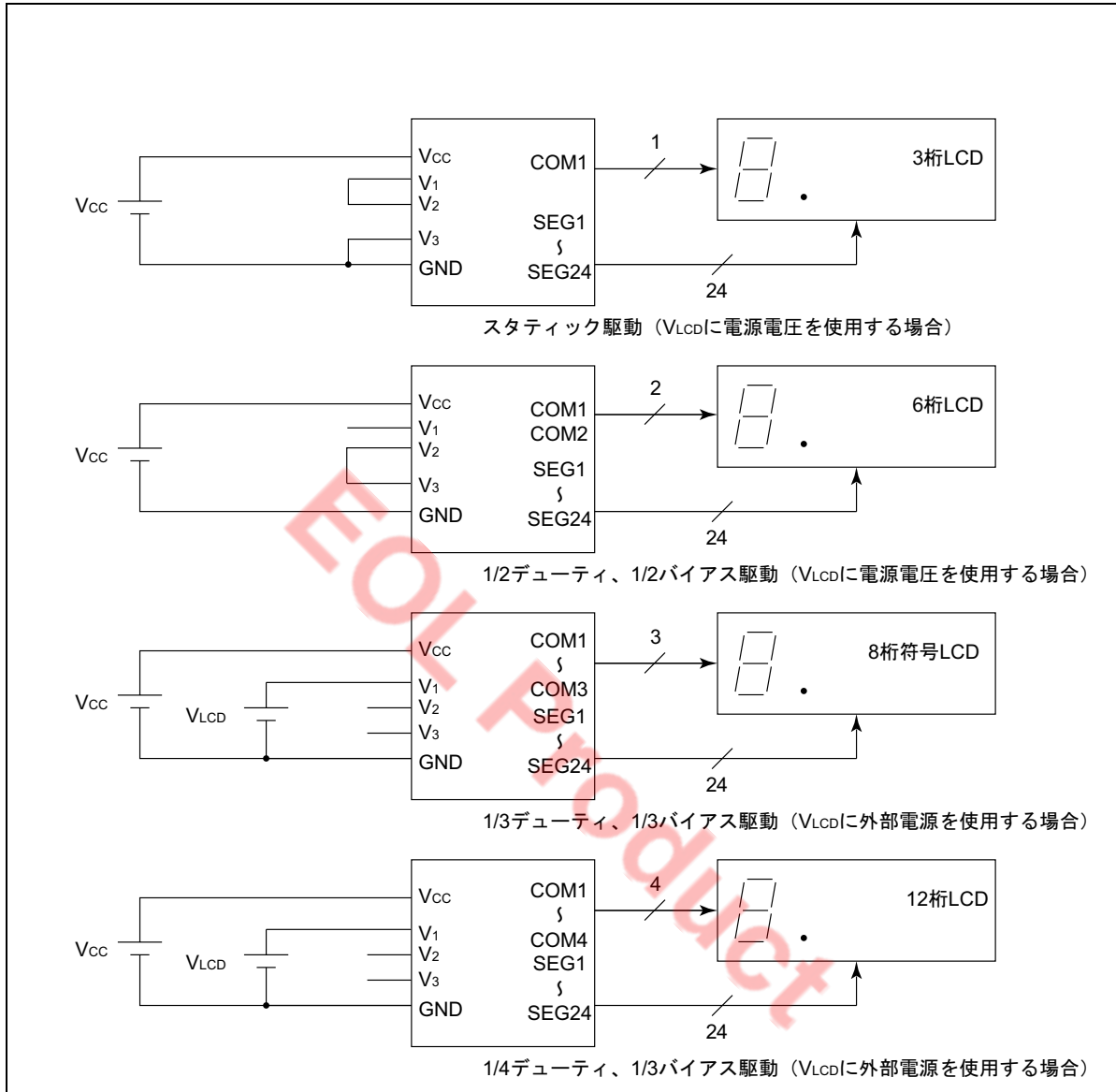


図 92 (2) 液晶表示結線例 (HD404868 シリーズ)

(6) 大型液晶パネルの駆動

駆動する液晶表示の容量が大きい場合、内蔵の分割抵抗に並列に抵抗を分割して分割抵抗の値を下げて使用してください（図 93 参照）。

液晶表示はマトリクス構造をとっているため、負荷容量に流れる充放電電流の経路は複雑です。しかも点灯状態によっても変化しますので、液晶表示の負荷容量から単純に抵抗値を決定することはできません。抵抗値は液晶表示を組み込む機器の消費電力の要求を合せて実験的に決める必要があります（コンデンサ  $C=0.1\sim 0.3\mu F$  の付加も有効です）。

一般的には  $R=1k\Omega\sim 10k\Omega$  にするのが普通です。

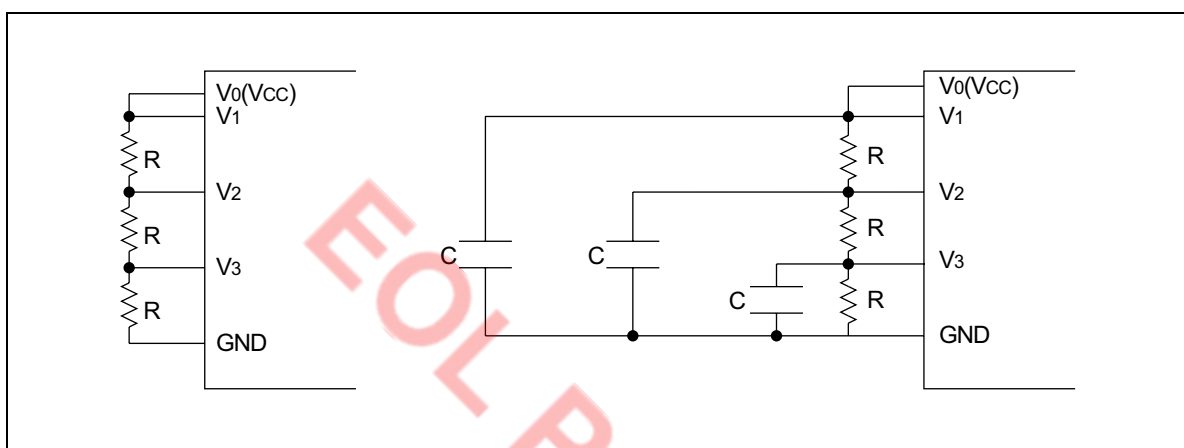


図 93 (1) 大型液晶パネルの駆動 ( $V_{LCD}$  に電源電圧を使用する場合)  
(HD404889/HD404899/HD404878 シリーズ)

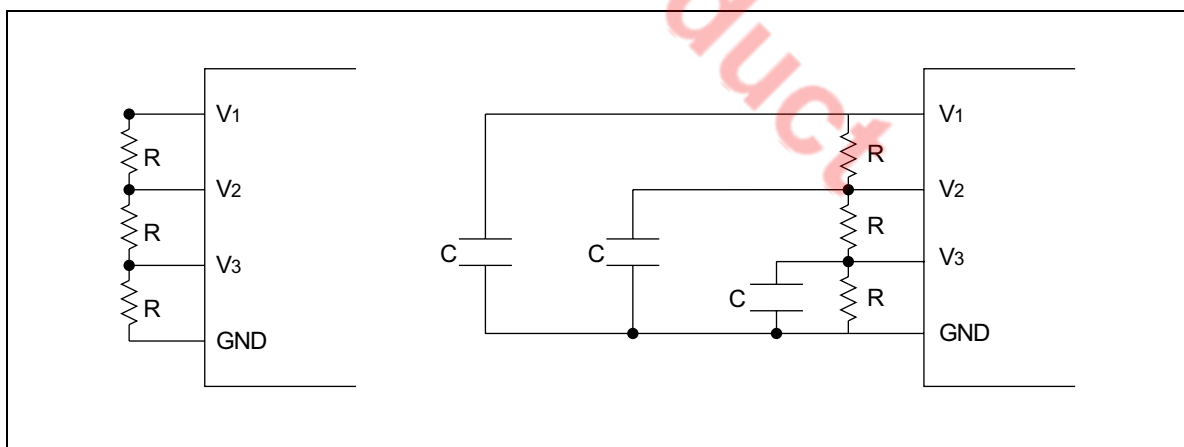


図 93 (2) 大型液晶パネルの駆動 ( $V_{LCD}$  に電源電圧を使用する場合)  
(HD404868 シリーズ)

(7) 使用上の注意

$R3_0/SEG1\sim R6_3/SEG16$  端子において、端子をセグメント出力端子として使用する場合、該当する端子のポートデータレジスタ (PDR) に"0"を書いてください。

## 10. ブザー出力回路

### 10.1 ブザー出力回路の機能

ブザー出力回路には、次の機能があります。

- (1) タイマオーバーフローのトグル出力
- (2) システムクロックの分周クロックパルス出力

ブザー出力回路のブロック図を、図 94 に示します。

### 10.2 ブザー出力回路の動作

ブザー出力回路には、次の機能があります。

- (1) タイマオーバーフローのトグル出力動作

タイマオーバーフローのトグル出力動作の設定は、ブザーモードレジスタ (BMR) のビット 1、2 と、ポートモードレジスタ 2 (PMR2) のビット 2 により行います。ブザーモードレジスタ (BMR) のビット 2 を 0 とし、ビット 1 によりタイマ B またはタイマ C のオーバーフローを選択し、ポートモードレジスタ 2 (PMR2) のビット 2 を 1 とすることにより、BUZZ 端子よりオーバーフローをトリガにするトグル波形が出力されます。

- (2) システムクロックの分周クロックパルス出力

システムクロックの分周クロックパルス出力動作の設定は、ブザーモードレジスタ (BMR) のビット 0~3 と、ポートモードレジスタ 2 (PMR2) のビット 2 により行います。ブザーモードレジスタ (BMR) のビット 2 を 1 とし、ビット 0 および 1 によりシステムクロックの分周比を選択し、ポートモードレジスタ 2 (PMR2) のビット 2 を 1 にします。クロックパルスは、ブザーモードレジスタ (BMR) のビット 3 を 1 にすることにより出力されます。ブザーモードレジスタ (BMR) のビット 3 が 0 の場合は、BUZZ 端子は Low レベルです。

クロックパルス幅は、ブザーモードレジスタ (BMR) のビット 3 の設定タイミングにかかわらず一定の幅で出力されますが、出力パルス数については、ソフトウェアと十分に整合をとってください。

クロックパルスの変更を行ったあとは、変更命令の 4tcyc 後からクロックパルスの出力をしてください。

ブザーモードレジスタ (BMR) のビット 3 は、ビット操作命令のみ使用できます。

### 10.3 ブザー出力回路使用レジスタ

ブザー出力回路は、次のレジスタにより動作の設定を行います。

- ブザーモードレジスタ (BMR : \$02E)
- ポートモードレジスタ 2 (PMR2 : \$00A)

(1) ブザーモードレジスタ (BMR : \$02E)

ブザーモードレジスタ (BMR) は、書き込み専用の 4 ビットレジスタであり、タイマオーバーフローによるトグル出力、およびシステムクロック分周パルス出力の設定を、図 95 のように行います。

ブザーモードレジスタ (BMR) のビット 3 は、ビット操作命令専用です。

ブザーモードレジスタ (BMR) は、MCU のリセットにより \$0 にリセットされます。

(2) ポートモードレジスタ 2 (PMR2 : \$00A)

ポートモードレジスタ 2 (PMR2) は、書き込み専用の 4 ビットレジスタであり、R1<sub>2</sub>/BUZZ の端子切り替えを、図 30 のように行います。

ポートモードレジスタ 2 (PMR2) は、MCU のリセットにより \$0 にリセットされます。

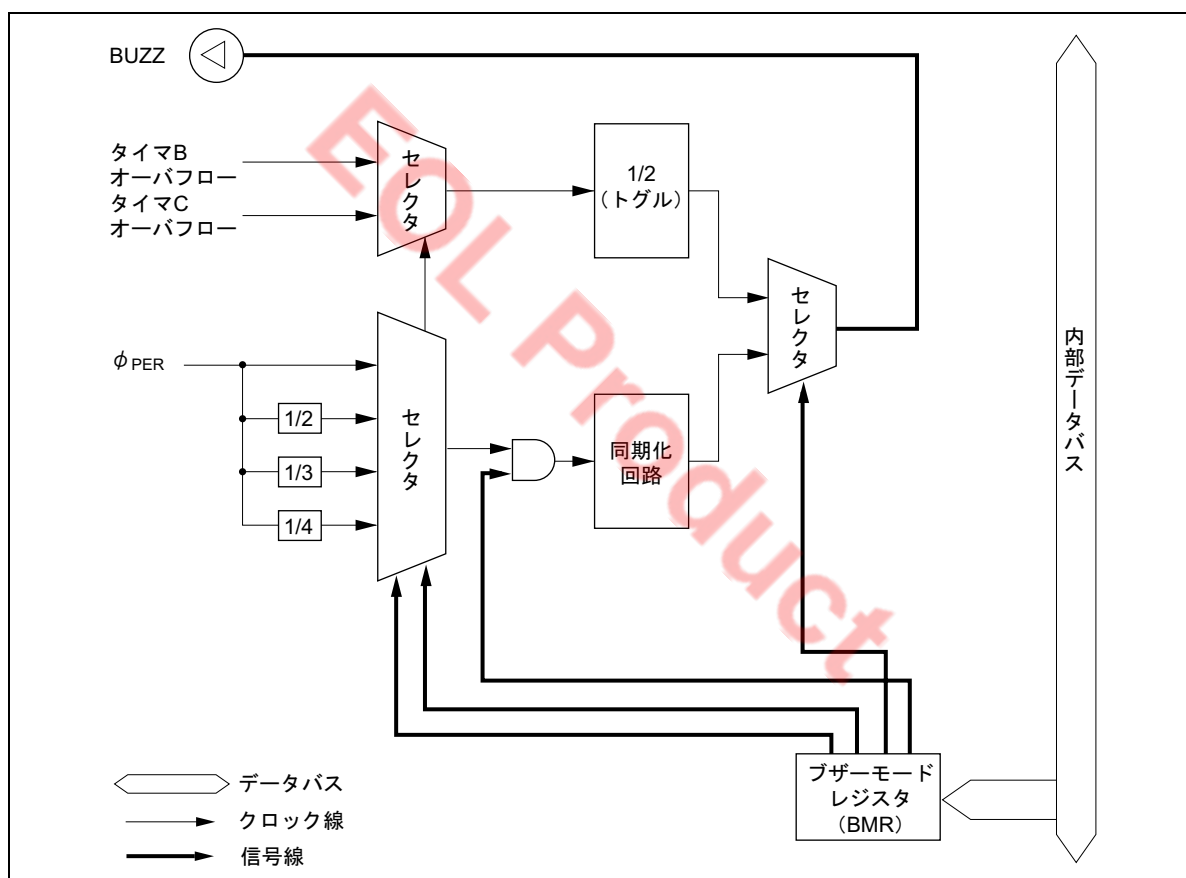


図 94 ブザー出力回路

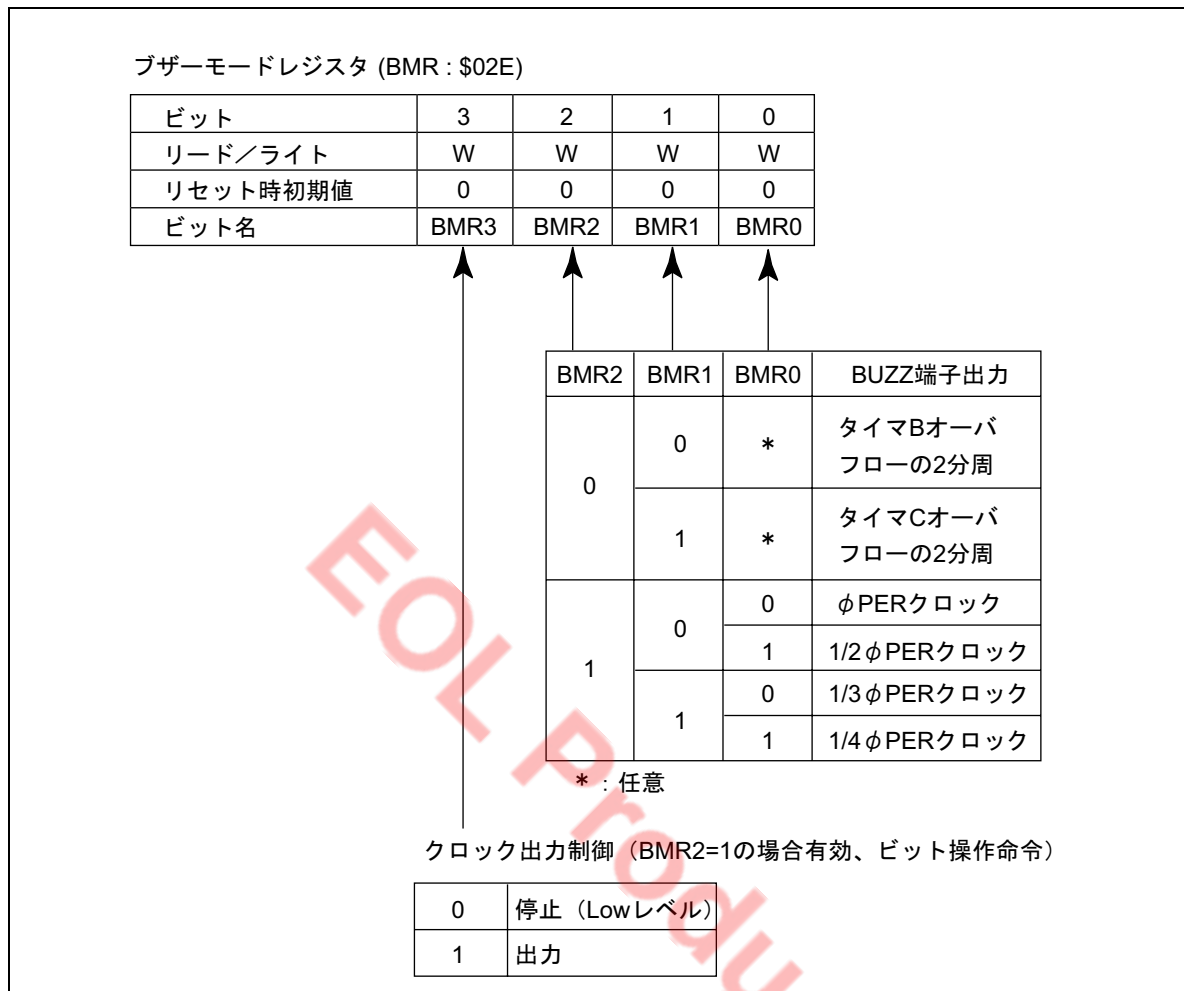


図 95 ブザーモードレジスタ (BMR)

## プログラマブル ROM 内蔵 ZTAT®マイコン

## 1. ZTAT®マイコン内蔵プログラマブル ROM の使用上の注意

## (1) プログラマブル ROM 内蔵の ZTAT®マイコン書き込み時の注意事項

プラスチックモールドのワンタイムプログラマブル ROM 内蔵の ZTAT®マイコンは書き込み時、PROM ライタやソケットアダプタとの電氣的接続不良がありますと、誤書き込みが発生し、ご使用できなくなります。したがって、書き込み歩留まりを向上させるため、次の点に注意してください。

- (a) 書き込み前にソケットアダプタが PROM ライタと確実に固定され、電氣的に接続されていること (open short) の確認をしてください。
- (b) コンタクトピンと IC のリードの電氣的な接続を確実にするため、ソケットアダプタのコンタクトピン上に電氣的接続不良になるような異物がないことを確認してください。異物がある場合は取り除いてください。
- (c) IC を挿入する場合にはコンタクトピンと IC のリードの電氣的な接続を確実にするため、IC のリード曲がりなどが起きないように注意して挿入してください。リード曲がりが発生した場合はリード修正をしてから、挿入してください。
- (d) 電源などの電氣的接続不良による誤書き込みを防止するためのブランクチェックで不具合が発生した場合は(a). (b). (c). にしたがって再書き込みを実施してください。
- (e) 書き込み中は誤書き込みを防止するため、ソケットアダプタ、IC には触れないようにしてください。
- (f) 続けて、IC に書き込む場合は(a). (b). (c). (d). (e). にしたがって書き込んでください。
- (g) 書き込み不良が連続して発生した場合、または書き込み不良率が高い場合には、書き込みを中止して、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。
- (h) 書き込みあるいは高温放置後のプログラム確認において、異常がありましたら、当社技術担当にご連絡ください。

## (2) PROM ライタやソケットアダプタ、IC を新規に採用した場合の注意事項

新規に PROM ライタやソケットアダプタや IC を採用した場合、ノイズやオーバシュートやタイミング等の電氣的特性が IC の書き込み保証特性と合わないため、IC の破壊や書き込みができなくなる場合があります。したがって、次の点を確認してから、書き込みを実施してください。

- (a) 安定に書き込むため、PROM ライタの供給電源 VCC、VPP の電源電流容量と IC の書き込み時消費電流に充分マージンがあるかどうか確認してください。
- (b) IC の破壊防止のため、ソケットアダプタの接続端子部で GND-VCC、GND-VPP 間の電源電圧および電源のオーバシュートやアンダシュートが定格以内であることを確認してください。特に、オーバシュート、アンダシュートが最大定格を超えると p-n 接合が損傷し、永久破壊にいたる場合があります。オーバシュートやアンダシュートがある場合は電源のダンピング抵抗や容量の見直しを実施してください。
- (c) IC の破壊防止と書き込みおよび読み出しを安定に行うため、IC をソケットアダプタに挿入し、IC 接続端子部近傍で GND-VCC、GND-VPP 間の電源ノイズを確認してください。電源ノイズがある場合は発生ノイズにより、GND-電源間に適当なコンデンサを挿入してください。高周波のノイズの場合は低インダクタンスのコンデンサを挿入してください。
- (d) 書き込みおよび読み出しを安定に行うため、IC をソケットアダプタに挿入し、R/W、CS、アドレス、データ端子部近傍で入力波形、タイミングとノイズを確認してください。特に、最近の IC はハイスピードのため、出力データ端子からのクロストークによる電源やアドレスへのノイズに注意してください。対策には GND-電源間に低インダクタンスのコンデンサの挿入や出力データ端子へのダンピング抵抗の挿入が有効であります。

- (e) 多数個取りの PROM ライタを使用する場合は、特に IC を全てソケットアダプタに挿入することを前提に(a). (b). (c). (d)を確認してください。
- (f) 多数個取りの PROM ライタでは、電源などの電氣的接続不良による誤書き込みを防止するためのブランクチェックで不良になっても、1 個 1 個の書き込み停止ができない場合、再書き込みできません。したがって、接続不良による誤書き込みになるポテンシャルが上がりますので PROM ライタとソケットアダプタ、IC との電氣的接続確認を確実に実施してください。
- (g) 書き込み後のプログラム確認において、異常がありましたら、当社技術担当にご連絡ください。

## 2. 内蔵プログラマブル ROM のプログラミング

MCU は、PROM モードにすることにより MCU としての機能を停止し、内蔵 PROM のプログラムを行うことができます。

PROM モードは、 $\overline{\text{RESET}}$ 、 $\overline{\text{M}}_0$ 、 $\overline{\text{M}}_1$  の 3 端子を"Low"レベル (HD4074869 は、 $\overline{\text{RESET}}$ 、 $\overline{\text{M}}_0$  の 2 端子を"Low"レベル)、かつ TEST 端子を"Vpp"レベルにすることにより設定します。

PROM の書き込み、読み出しは市販の EPROM27256 と同様の仕様です。各製品専用のソケットアダプタを使用すれば、汎用 PROM ライタでプログラミングが行えます。

HMCS400 シリーズの 1 命令は 10 ビット構成ですので、汎用 PROM ライタが使用できるように変換回路を内蔵しています。1 命令を下位 5 ビットと上位 5 ビットに分割して 2 アドレスにより書き込みあるいは読み出しを行うことにより、汎用 PROM ライタを使用することができます。例えば、16k ワードの内蔵 PROM を汎用 PROM ライタにより書き込む場合には、32k バイトのアドレス (\$0000~\$7FFF) を指定してください。PROM のメモリマップ例を図 96 に示します。

- 【注】**
- 1 PROM ライタでプログラムする際、各 ROM サイズごとに表 30 のアドレスに設定してください。誤って表 30 のアドレス以降にプログラムすると、PROM の書き込みや確認ができなくなることがあります。特にプラスチックパッケージでは再生できませんのでご注意ください。未使用のアドレスのデータは \$FF としてください。
  - 2 PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していませんと、過剰電流によって製品が破壊することがあります。書き込み前に必ず正しくライタに装着されているか確認してください。
  - 3 PROM のプログラム電圧 ( $V_{pp}$ ) には 12.5V と 21V の 2 通りの仕様がありますが、当社の  $V_{pp}$  は 12.5V です。21V を印加すると製品の永久破壊に至りますので注意してください。PROM ライタでは 27256 インテル仕様にセットすることにより  $V_{pp}$  は 12.5V になります。

表 28 ソケットアダプタ

パッケージ	型名	メーカー
FP-80A	弊社営業までお問い合わせください。	
TFP-80C		
FP-64A		
DP-64S		

書き込み／ベリファイ

内蔵プログラム ROM では高速プログラミング方式によりプログラムを行います。この方式はデバイスへの電圧ストレスあるいは書き込みデータの信頼性を損うことなく高速な書き込みを行うことができます。プログラミングの基本的なフローチャートを図 97 に、タイミング図を図 98 に示します。

PROM 書き込み時の注意については「2. ZTAT<sup>®</sup>マイコン内蔵プログラマブル ROM の特性および応用上の注意」を参照してください。

表 29 モード選択

モード	ピン	$\overline{CE}$	$\overline{OE}$	$V_{PP}$	$O_0 \sim O_4$
書き込み		"Low"	"High"	$V_{PP}$	データ入力
ベリファイ		"High"	"Low"	$V_{PP}$	データ出力
プログラミング禁止		"High"	"High"	$V_{PP}$	ハイインピーダンス

表 30 PROM ライタプログラムアドレス

ROM サイズ	アドレス
8k	\$0000～\$3FFF
12k	\$0000～\$5FFF
16k	\$0000～\$7FFF



PROM モードの端子説明

HD4074889、HD4074899、HD4074869 は PROM を内蔵した ZTAT<sup>®</sup>マイコンです。ZTAT<sup>®</sup>マイコンは、PROM モードにすることにより、MCU としての機能を停止し、内蔵 PROM のプログラミングを行うことができます。

1. モード別端子配置

HD4074889、HD4074899

ピン番号	MCU モード		PROM モード	
	端子名	I/O	端子名	I/O
FP-80A TFP-80C				
1	AV <sub>CC</sub>	—	V <sub>CC</sub>	—
2	R7 <sub>0</sub> /AN0	I/O	V <sub>CC</sub>	—
3	R7 <sub>1</sub> /AN1	I/O	V <sub>CC</sub>	—
4	R7 <sub>2</sub> /AN2	I/O		
5	R7 <sub>3</sub> /AN3	I/O		
6	R8 <sub>0</sub> /AN4	I/O		
7	R8 <sub>1</sub> /AN5	I/O		
8	AV <sub>SS</sub>	—	GND	—
9	TEST	I	V <sub>PP</sub>	—
10	OSC1	I	V <sub>CC</sub>	—
11	OSC2	O		
12	GND	—	GND	—
13	X2	O		
14	X1	I	GND	—
15	RESET	I	RESET	I
16	V <sub>CC</sub>	—	V <sub>CC</sub>	—
17	D <sub>0</sub> /INT <sub>0</sub>	I/O	A <sub>0</sub>	I
18	D <sub>1</sub> /INT <sub>1</sub>	I/O		
19	D <sub>2</sub>	I/O	A <sub>5</sub>	I
20	D <sub>3</sub>	I/O	A <sub>6</sub>	I
21	D <sub>4</sub>	I/O	A <sub>7</sub>	I
22	D <sub>5</sub>	I/O	A <sub>8</sub>	I
23	D <sub>6</sub>	I/O	A <sub>9</sub>	I
24	D <sub>7</sub>	I/O	A <sub>10</sub>	I
25	D <sub>8</sub>	I/O	A <sub>11</sub>	I
26	D <sub>9</sub>	I/O	A <sub>12</sub>	I
27	D <sub>10</sub>	I/O	A <sub>13</sub>	I
28	D <sub>11</sub>	I/O	A <sub>14</sub>	I
29	R0 <sub>0</sub> /WU <sub>0</sub>	I/O	V <sub>CC</sub>	—
30	R0 <sub>7</sub> /WU <sub>1</sub>	I/O		

ピン番号	MCU モード		PROM モード	
	端子名	I/O	端子名	I/O
FP-80A TFP-80C				
31	R0 <sub>2</sub> /WU <sub>2</sub>	I/O		
32	R0 <sub>3</sub> /WU <sub>3</sub>	I/O		
33	R1 <sub>0</sub> /EVNB	I/O		
34	R1 <sub>1</sub> /EVND	I/O	M <sub>0</sub>	I
35	R1 <sub>2</sub> /BUZZ	I/O	M <sub>1</sub>	I
36	R1 <sub>3</sub> /TOB	I/O	CE	I
37	R2 <sub>0</sub> /TOC	I/O		
38	R2 <sub>1</sub> /SCK	I/O	OE	I
39	R2 <sub>2</sub> /SI/SO	I/O	XM0	O
40	R2 <sub>3</sub>	I/O	XM1	O
41	R3 <sub>0</sub> /SEG1	I/O	A <sub>1</sub>	I
42	R3 <sub>1</sub> /SEG2	I/O	A <sub>2</sub>	I
43	R3 <sub>2</sub> /SEG3	I/O	A <sub>3</sub>	I
44	R3 <sub>3</sub> /SEG4	I/O	A <sub>4</sub>	I
45	R4 <sub>0</sub> /SEG5	I/O	O <sub>0</sub>	I/O
46	R4 <sub>1</sub> /SEG6	I/O	O <sub>1</sub>	I/O
47	R4 <sub>2</sub> /SEG7	I/O	O <sub>2</sub>	I/O
48	R4 <sub>3</sub> /SEG8	I/O	O <sub>3</sub>	I/O
49	R5 <sub>0</sub> /SEG9	I/O	O <sub>4</sub>	I/O
50	R5 <sub>1</sub> /SEG10	I/O	O <sub>4</sub>	I/O
51	R5 <sub>2</sub> /SEG11	I/O	O <sub>3</sub>	I/O
52	R5 <sub>3</sub> /SEG12	I/O	O <sub>2</sub>	I/O
53	R6 <sub>0</sub> /SEG13	I/O	O <sub>1</sub>	I/O
54	R6 <sub>1</sub> /SEG14	I/O	O <sub>0</sub>	I/O
55	R6 <sub>2</sub> /SEG15	I/O		
56	R6 <sub>3</sub> /SEG16	I/O		
57	SEG17	O		
58	SEG18	O		
59	SEG19	O		
60	SEG20	O		

HD404889/HD404899/HD404878/HD404868 シリーズ

ピン番号	MCU モード		PROM モード	
	端子名	I/O	端子名	I/O
FP-80A TFP-80C				
61	SEG21	O		
62	SEG22	O		
63	SEG23	O		
64	SEG24	O		
65	SEG25	O		
66	SEG26	O		
67	SEG27	O		
68	SEG28	O		
69	SEG29	O		
70	SEG30	O		

ピン番号	MCU モード		PROM モード	
	端子名	I/O	端子名	I/O
FP-80A TFP-80C				
71	SEG31	O		
72	SEG32	O		
73	COM1	O		
74	COM2	O		
75	COM3	O		
76	COM4	O		
77	V <sub>3</sub>	—		
78	V <sub>2</sub>	—		
79	V <sub>1</sub>	—	V <sub>CC</sub>	—
80	V <sub>0</sub>	—	V <sub>CC</sub>	—

EOL Product

HD4074869

ピン番号		MCU モード		PROM モード	
FP-64A	DP-64S	端子名	I/O	端子名	I/O
1	8	R7 <sub>0</sub> /AN0	I/O	V <sub>CC</sub>	—
2	9	R7 <sub>1</sub> /AN1	I/O	V <sub>CC</sub>	—
3	10	R7 <sub>2</sub> /AN2	I/O		
4	11	R7 <sub>3</sub> /AN3	I/O		
5	12	TEST	I	V <sub>PP</sub>	—
6	13	OSC1	I	V <sub>CC</sub>	—
7	14	OSC2	O		
8	15	GND	—	GND	—
9	16	X2	O		
10	17	X1	I	GND	—
11	18	RESET	I	RESET	I
12	19	V <sub>CC</sub>	—	V <sub>CC</sub>	—
13	20	D <sub>0</sub> /INT <sub>0</sub>	I/O	A <sub>0</sub>	I
14	21	D <sub>1</sub> /INT <sub>1</sub>	I/O		
15	22	D <sub>2</sub>	I/O	A <sub>5</sub>	I
16	23	D <sub>3</sub>	I/O	A <sub>6</sub>	I
17	24	D <sub>4</sub>	I/O	A <sub>7</sub>	I
18	25	D <sub>5</sub>	I/O	A <sub>8</sub>	I
19	26	D <sub>6</sub>	I/O	A <sub>9</sub>	I
20	27	D <sub>7</sub>	I/O	A <sub>10</sub>	I
21	28	D <sub>8</sub>	I/O	A <sub>11</sub>	I
22	29	D <sub>9</sub>	I/O	A <sub>12</sub>	I
23	30	R0 <sub>0</sub> /WU <sub>0</sub>	I/O	V <sub>CC</sub>	—
24	31	R0 <sub>1</sub> /WU <sub>1</sub>	I/O		
25	32	R0 <sub>2</sub> /WU <sub>2</sub>	I/O		
26	33	R1 <sub>0</sub> /EVNB	I/O		
27	34	R1 <sub>1</sub>	I/O	A <sub>13</sub>	I
28	35	R1 <sub>2</sub> /BUZZ	I/O	M0	I
29	36	R1 <sub>3</sub> /TOB	I/O	CE	I
30	37	R2 <sub>0</sub> /TOC	I/O	XM1	O
31	38	R2 <sub>1</sub> /SCKN	I/O	OE	I
32	39	R2 <sub>2</sub> /SI/SO	I/O	XM0	O

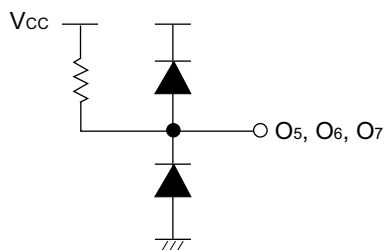
ピン番号		MCU モード		PROM モード	
FP-64A	DP-64S	端子名	I/O	端子名	I/O
33	40	R2 <sub>3</sub>	I/O	A <sub>14</sub>	I
34	41	R3 <sub>0</sub> /SEG1	I/O	A <sub>1</sub>	I
35	42	R3 <sub>1</sub> /SEG2	I/O	A <sub>2</sub>	I
36	43	R3 <sub>2</sub> /SEG3	I/O	A <sub>3</sub>	I
37	44	R3 <sub>3</sub> /SEG4	I/O	A <sub>4</sub>	I
38	45	R4 <sub>0</sub> /SEG5	I/O	O <sub>0</sub>	I/O
39	46	R4 <sub>1</sub> /SEG6	I/O	O <sub>1</sub>	I/O
40	47	R4 <sub>2</sub> /SEG7	I/O	O <sub>2</sub>	I/O
41	48	R4 <sub>3</sub> /SEG8	I/O	O <sub>3</sub>	I/O
42	49	R5 <sub>0</sub> /SEG9	I/O	O <sub>4</sub>	I/O
43	50	R5 <sub>1</sub> /SEG10	I/O	O <sub>4</sub>	I/O
44	51	R5 <sub>2</sub> /SEG11	I/O	O <sub>3</sub>	I/O
45	52	R5 <sub>3</sub> /SEG12	I/O	O <sub>2</sub>	I/O
46	53	R6 <sub>0</sub> /SEG13	I/O	O <sub>1</sub>	I/O
47	54	R6 <sub>1</sub> /SEG14	I/O	O <sub>0</sub>	I/O
48	55	R6 <sub>2</sub> /SEG15	I/O		
49	56	R6 <sub>3</sub> /SEG16	I/O		
50	57	SEG17	O		
51	58	SEG18	O		
52	59	SEG19	O		
53	60	SEG20	O		
54	61	SEG21	O		
55	62	SEG22	O		
56	63	SEG23	O		
57	64	SEG24	O		
58	1	COM1	O		
59	2	COM2	O		
60	3	COM3	O		
61	4	COM4	O		
62	5	V <sub>3</sub>	—		
63	6	V <sub>2</sub>	—		
64	7	V <sub>1</sub>	—	V <sub>CC</sub>	—

- 【注】 1. I/O : 入出力端子、I : 入力専用端子、O : 出力専用端子  
 2. O<sub>0</sub>~O<sub>4</sub>は2端子ずつ存在しますので、それぞれの対を短絡して使用してください。

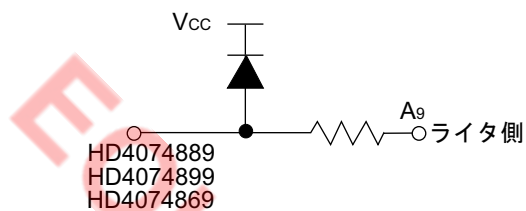
## HD404889/HD404899/HD404878/HD404868 シリーズ

---

1. PROM ライタ側の未使用のデータ端子 (O<sub>5</sub>~O<sub>7</sub>) は、ソケット側で次のような端子処理をしてください。



2. A<sub>9</sub> 端子は、ソケット側で次のような端子処理をしてください。



## 2. PROM モードの端子機能

$V_{PP}$  : 内蔵 PROM のプログラム電圧 ( $12.5V \pm 0.3V$ ) を印加します。

$\overline{CE}$  : 内蔵 PROM を書き込み、ベリファイ可能な状態にするコントロール信号を入力します。

$\overline{OE}$  : ベリファイ時のデータ出力コントロール信号を入力します。

$A_0 \sim A_{14}$  : 内蔵 PROM とアドレス入力端子です。

$O_0 \sim O_4$  : 内蔵 PROM のデータバス入出力端子です。

$O_0 \sim O_4$  は 2 端子ずつ存在しますので、それぞれの対を短絡して使用してください。

$\overline{M0}$ 、 $\overline{M1}$ 、 $\overline{RESET}$ 、 $\overline{TEST}$  : PROM モード設定用端子です。

PROM モードは、 $\overline{M0}$ 、 $\overline{M1}$ 、 $\overline{RESET}$  の 3 端子を "Low" レベルに (HD4074869 は、 $\overline{M0}$ 、 $\overline{RESET}$  の 2 端子を "Low" レベル)、かつ  $\overline{TEST}$  端子を "VPP" レベルにすることによって設定します。

その他の端子

$V_{CC}$ 、 $AV_{CC}$ 、 $R7_0/AN_0$ 、 $R7_1/AN_1$ 、 $OSC_1$ 、 $V_0$ 、 $V_1$  は、 $V_{CC}$  電位に接続してください。

$GND$ 、 $AV_{SS}$ 、 $X1$  は  $GND$  電位にしてください。

その他の端子は OPEN としてください。

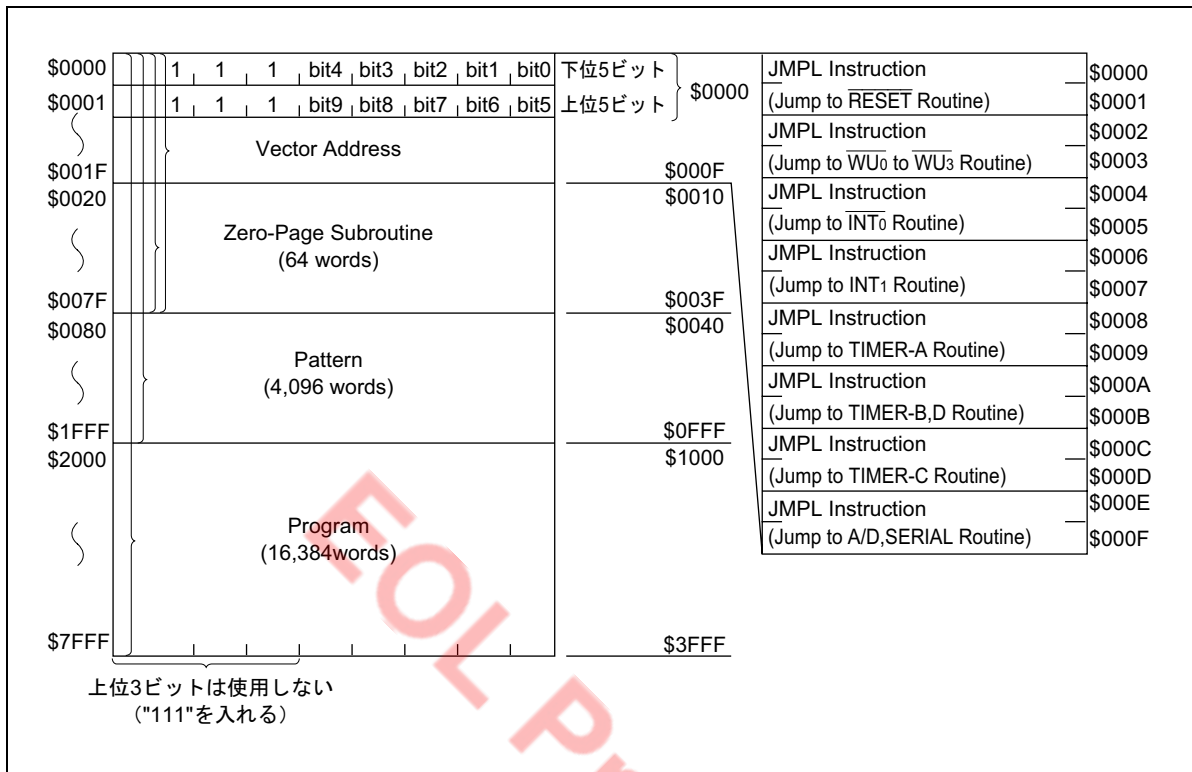


図 96 PROM のメモリマップ例

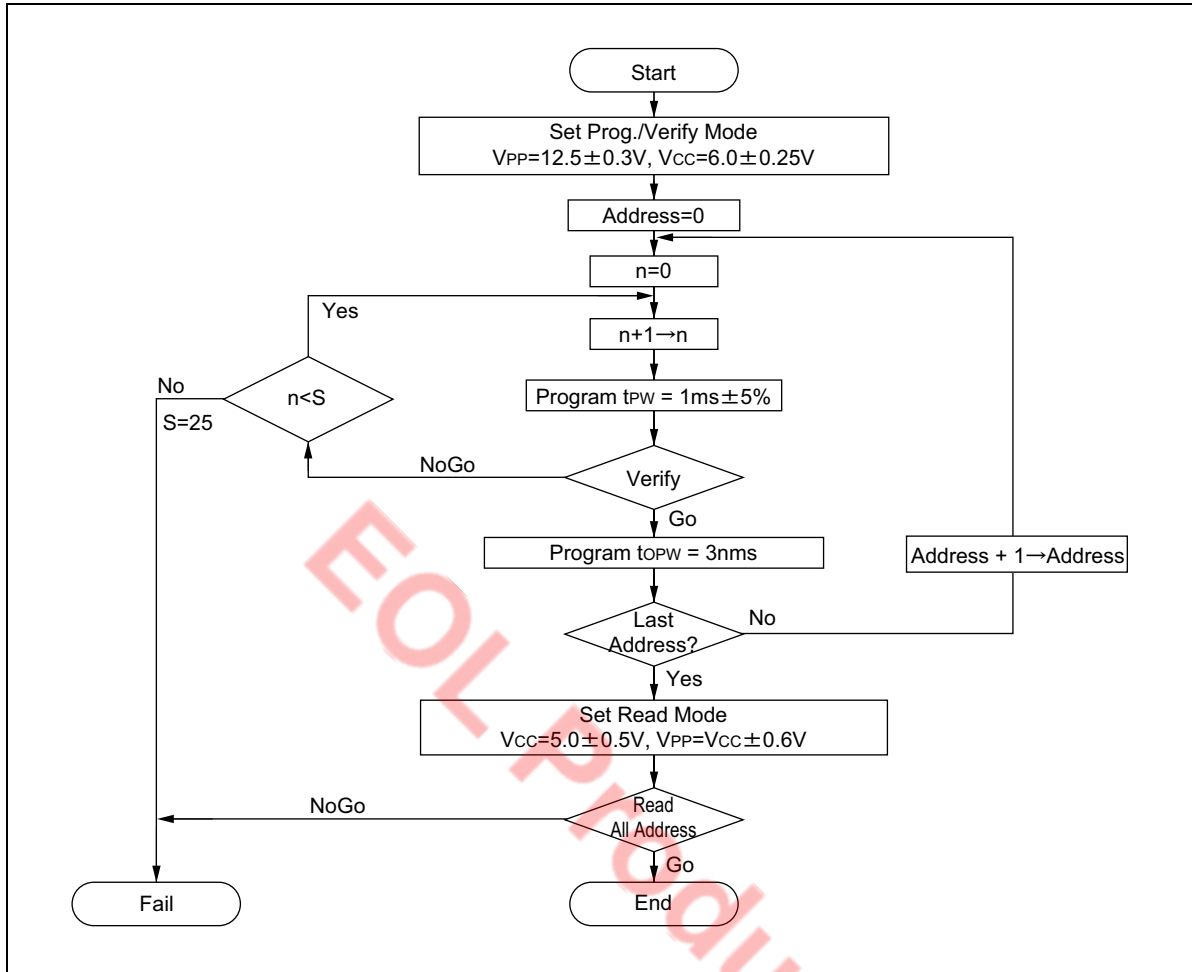


図 97 高速プログラミングフローチャート

プログラミング電気的特性

DC 特性 (特記なき場合は  $V_{CC}=6V\pm 0.25V$ 、 $V_{PP}=12.5V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C\pm 5^\circ C$ )

項	目	記号	測定条件	min	typ	max	単位
入力"High"レベル電圧	$O_0\sim O_4$ 、 $A_0\sim A_{14}$ 、 $\overline{OE}$ 、 $\overline{CE}$	$V_{IH}$		2.2	—	$V_{CC}+0.3$	V
入力"Low"レベル電圧	$O_0\sim O_4$ 、 $A_0\sim A_{14}$ 、 $\overline{OE}$ 、 $\overline{CE}$	$V_{IL}$		-0.3	—	0.8	V
出力"High"レベル電圧	$O_0\sim O_4$	$V_{OH}$	$I_{OH}=-200\mu A$	2.4	—	—	V
出力"Low"レベル電圧	$O_0\sim O_4$	$V_{OL}$	$I_{OL}=1.6mA$	—	—	0.4	V
入力クリーク電流	$O_0\sim O_4$ 、 $A_0\sim A_{14}$ 、 $\overline{OE}$ 、 $\overline{CE}$	$I_{IL}$	$V_{in}=5.25V/0.5V$	—	—	2	$\mu A$
$V_{CC}$ 電流		$I_{CC}$		—	—	30	mA
$V_{PP}$ 電流		$I_{PP}$		—	—	40	mA

AC 特性 (特記なき場合は  $V_{CC}=6V\pm 0.25V$ 、 $V_{PP}=12.5V\pm 0.3V$ 、 $T_a=25^\circ C\pm 5^\circ C$ )

項	目	記号	測定条件	min	typ	max	単位
アドレスセットアップ時間		$t_{AS}$	図 90	2	—	—	$\mu s$
$\overline{OE}$ セットアップ時間		$t_{OES}$		2	—	—	$\mu s$
データセットアップ時間		$t_{DS}$		2	—	—	$\mu s$
アドレスホールド時間		$t_{AH}$		0	—	—	$\mu s$
データホールド時間		$t_{DH}$		2	—	—	$\mu s$
データ出力ディセーブル時間		$t_{DF}$		—	—	130	ns
$V_{PP}$ セットアップ時間		$t_{VPS}$		2	—	—	$\mu s$
プログラムパルス幅		$t_{PW}$		0.95	1.0	1.05	ms
オーバプログラム時の $\overline{CE}$ パルス幅		$t_{OPW}$		2.85	—	78.75	ms
$V_{CC}$ セットアップ時間		$t_{VCS}$		2	—	—	$\mu s$
データ出力遅延時間		$t_{OE}$		0	—	500	ns

- 【注】 入力パルスレベル 0.8~2.2V  
 入力立ち上がり/立ち下がり時間  $\leq 20ns$   
 タイミング参照レベル 入力 : 1.0V, 2.0V  
 出力 : 0.8V, 2.0V

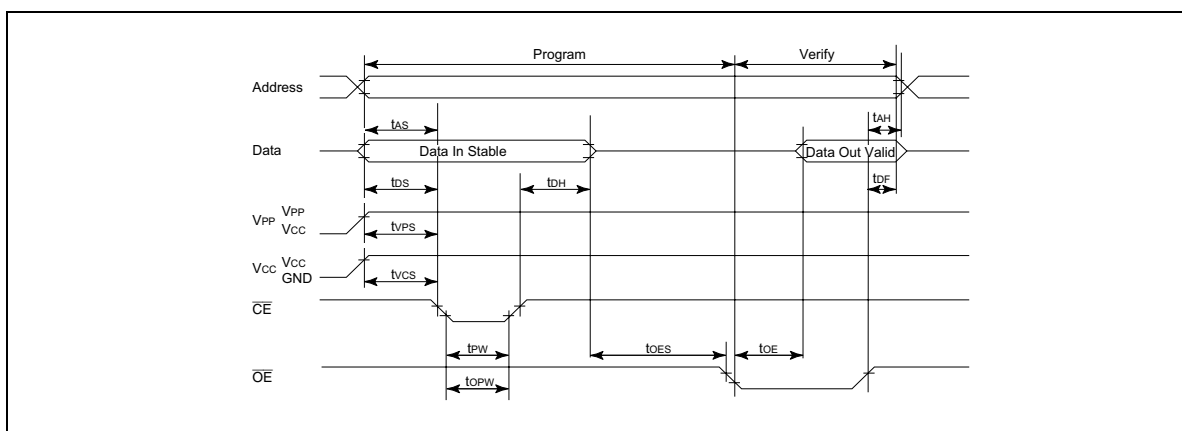


図 98 PROM プログラム/ベリファイタイミング



## ZTAT®マイコン使用上の注意事項

## 1. ZTAT®マイコン内蔵プログラマブル ROM の特性および応用上の注意

## (1) 書き込み/消去原理

ZTAT®マイコンのメモリセルは EPROM と同じ構造です。したがって通常の EPROM と同様にコントロールゲートとドレインに高電圧を印加し、電子をホットエレクトロンとしてフローティングゲートに注入することにより行われます。フローティングゲートに蓄えられた電子は SiO<sub>2</sub> 膜のエネルギー障壁に囲まれて安定し、メモリ素子のしきい値電圧が変化して当該ビットは"0"になります。

メモリ素子の電子は時間とともに減少します。

電子の減少には次のような原因があります。

(1) 紫外線；紫外線によって電子は励起され、放出されます。（消去の原理）

(2) 熱；蓄積された電子は熱励起されて放出されます。

(3) 高電圧の印加；コントロールゲートやドレインに印加した高電圧によって電子が消失することがあります。

フローティングゲートを包む酸化膜に欠陥などがあると、この電子消失は顕著になります。しかし通常このような欠陥品は除去しておりますので、正常のメモリセルでは電子消失はほとんどありません。

フローティングゲートに電子のないメモリ素子の当該ビットは"1"になっています。

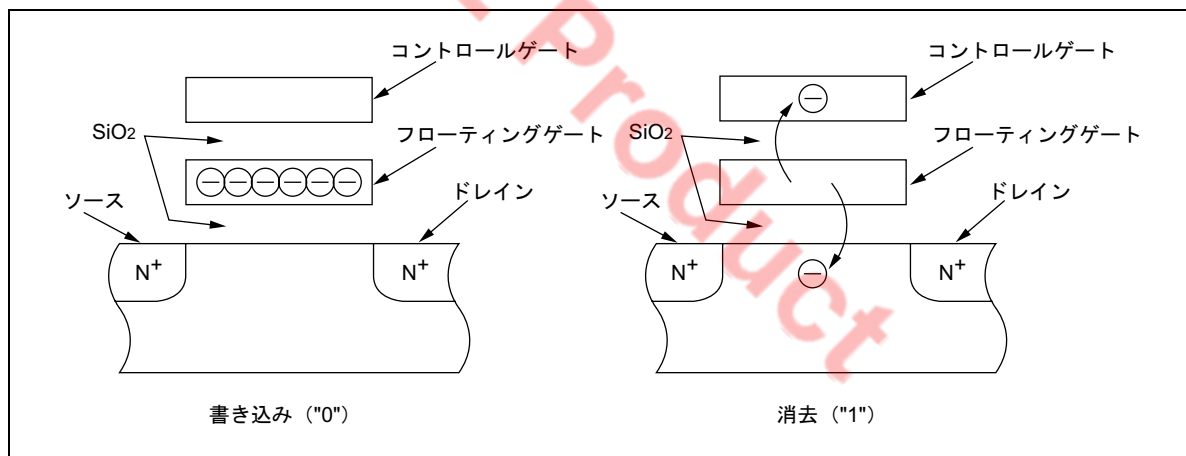


図 99 EPROM メモリセルの断面図

## (2) PROM 書き込み時

PROM への書き込み程度はプログラム電圧  $V_{pp}$  が高いほど、またプログラムパルス幅  $t_{pw}$  が長いほど多くの電子が注入され、十分に書き込まれますが、書き込みは規定された電圧、タイミングで行ってください。 $V_{pp}$  に定格以上の電圧を加えようとすると p-n 接合が損傷して永久破壊にいたることがあります。特に PROM ライタのオーバーシュートなどには十分注意してください。また端子への負電圧ノイズは寄生トランジスタ効果を誘発し、降伏電圧を見かけ上小さくすることがありますので注意が必要です。

ZTAT®マイコンはソケットアダプタを介して PROM ライタと電気的に接続されますので、次の点にも注意してください。

(1) 書き込み前にソケットアダプタが PROM ライタに確実に固定されていることを確認してください。

(2) 書き込み中にはソケットアダプタ、製品には触れないようにしてください。接触不良により書き込み不良になることがあります。

(3) 内蔵 PROM 書き込み後の信頼性

一般に半導体製品は初期に発生する不良を除けば、製品本来の信頼性を確保することができます。この初期不良を除くためには「スクリーニング」という手段がとられます。高温放置は PROM メモリセルの初期のデータ保持不良を短時間で除く一種のスクリーニングです。（「(1)書き込み/消去原理」参照）。ZTAT®マイコンでもウェハ製造工程で実施されていますのでデータ保持特性は良好なレベルにありますが、さらに特性を向上させるためには、ユーザにおきましてデータ書き込み後、150°Cの高温放置を実施していただくことは大変有効です。図 100 に推奨スクリーニングフローを示します。

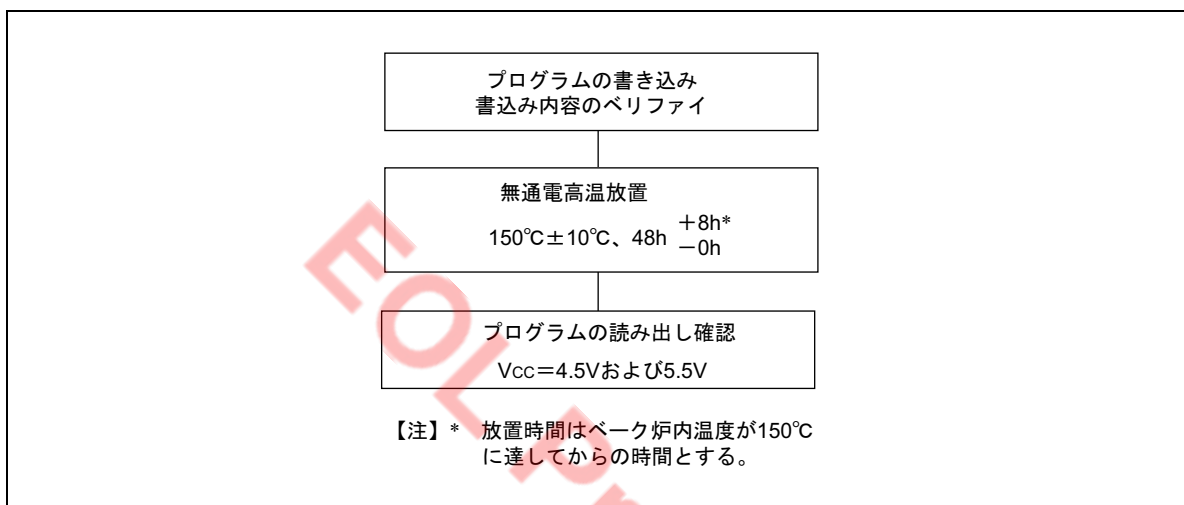


図 100 推奨スクリーニングフロー

【注】 同じ PROM ライタでプログラミング中、書き込み不良が連続して発生した場合には書き込みを中止して、窓付パッケージの EPROM 内蔵マイコンを利用するなどして PROM ライタ、ソケットアダプタなどに異常がないか確認してください。書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

(4) 書き込み率について

書き込み率は 95%以上を保証させていただきます。

アドレッシングモード
------------

## 1. RAM アドレッシング

MCU には、図 101 に示すようにレジスタ間接アドレッシング、直接アドレッシング、メモリレジスタアドレッシングの 3 種の RAM アドレッシングモードがあります。

### (1) レジスタ間接アドレッシング

レジスタ間接アドレッシングでは、W レジスタ、X レジスタおよび Y レジスタの合計 10 ビットの内容が RAM アドレスとして用いられます。

### (2) 直接アドレッシング

直接アドレッシングの命令は 2 ワード命令であり、オペコードに続く 2 ワード目 (10 ビット) が RAM アドレスとして用いられます。

### (3) メモリレジスタアドレッシング

LAMR 命令、XMRA 命令によって、\$040~\$04F の 16 デジット (メモリレジスタ:MR) をアクセスすることができます。

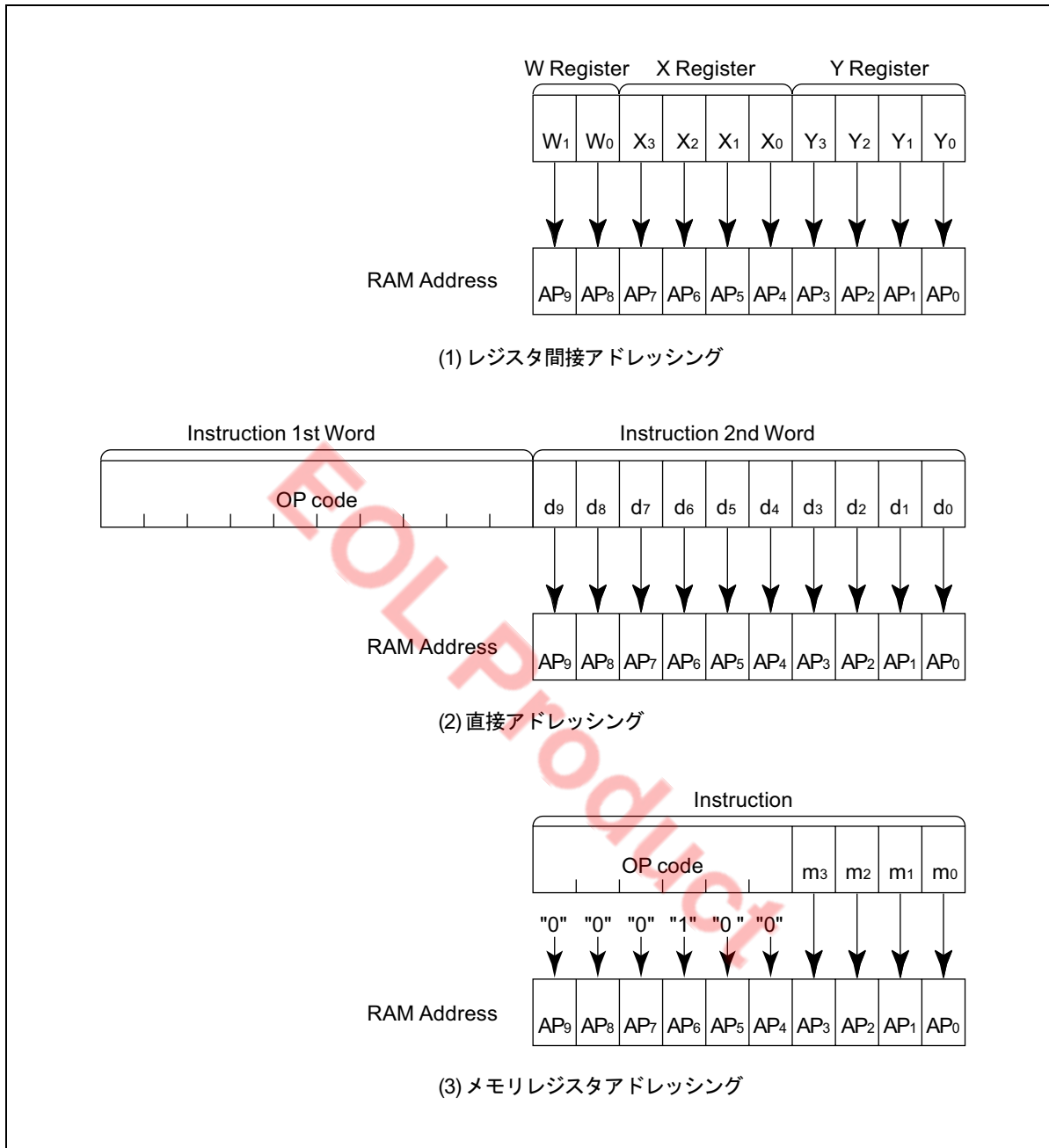


図 101 RAM アドレッシング

## 2. ROM アドレッシングモードと P 命令

MCU には図 102 に示すように、4 種の ROM アドレッシングモードがあります。

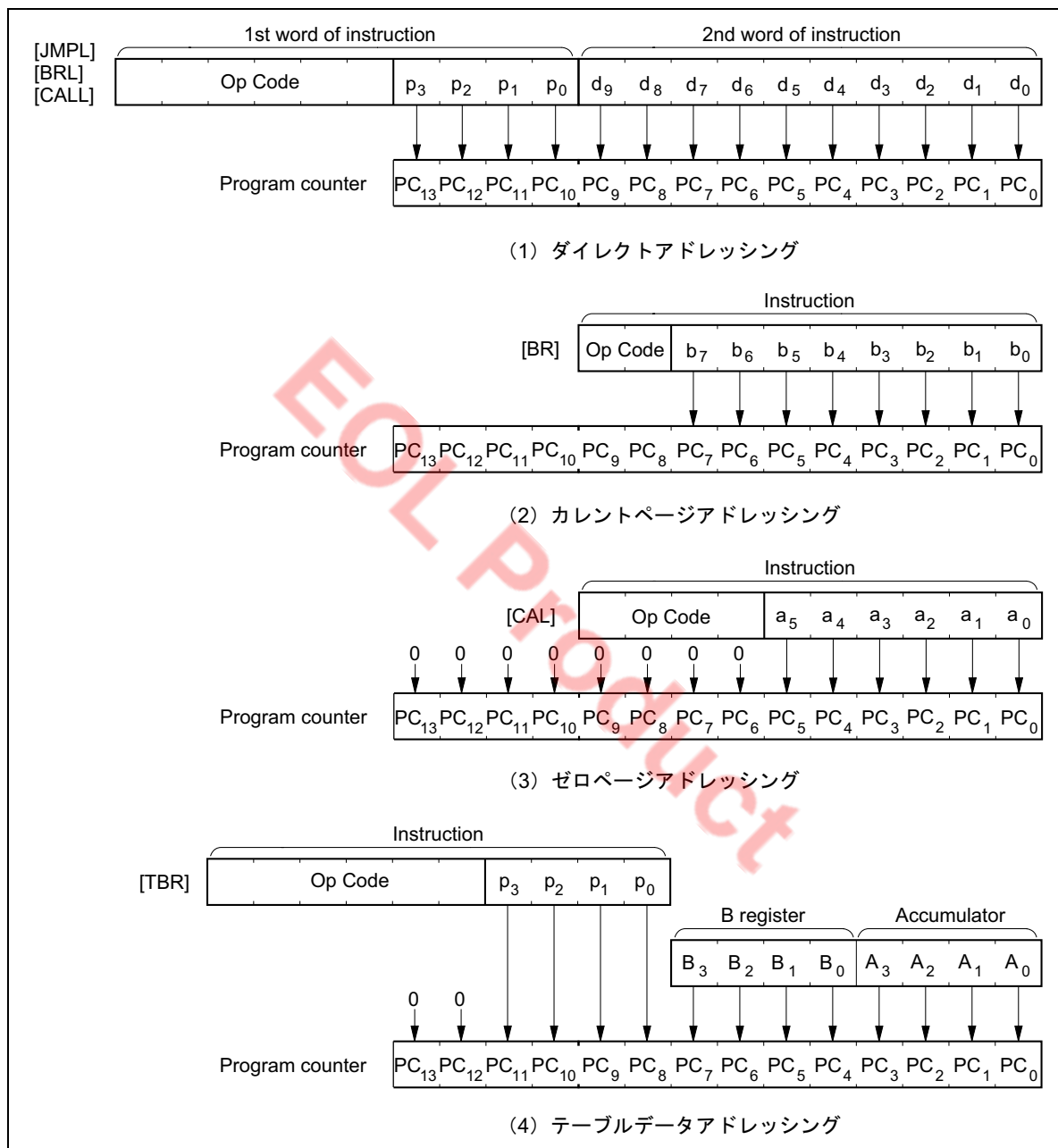


図 102 ROM アドレッシングモード

(1) ダイレクトアドレッシングモード

JMPL 命令、BRL 命令および CALL 命令により、ROM メモリ空間のすべてのアドレスへ分岐できます。すなわち、プログラムカウンタの 14 ビット(PC<sub>13</sub>~PC<sub>0</sub>)を 14 ビットイミディエイトデータで置き換えたアドレスへ分岐できます。

(2) カレントページアドレッシングモード

ROM メモリ空間を\$0000 から 256 ワードごとに分割して各 256 ワードをページと呼びます。BR 命令により同一ページ内のアドレスへ分岐できます。すなわちプログラムカウンタの下位 8 ビット(PC<sub>7</sub>~PC<sub>0</sub>)を 8 ビットイミディエイトデータで置き換えたアドレスへ分岐できます。ただし、ページの境界に置かれた BR 命令の分岐先は、他の場合と異なりますので、図 104 を参照してください。

(3) ゼロページアドレッシングモード

CAL 命令により、\$0000~\$003F にあるサブルーチンへ分岐できます。すなわち、プログラムカウンタの下位 6 ビット(PC<sub>5</sub>~PC<sub>0</sub>)を 6 ビットイミディエイトデータで置き換え、上位 8 ビット(PC<sub>13</sub>~PC<sub>6</sub>)を"0"としたアドレスへ分岐できます。

(4) テーブルデータアドレッシングモード

TBR 命令により、4 ビットイミディエイトデータとアキュムレータ、B レジスタの内容によって決まるアドレスへ分岐できます。

(5) P 命令

P 命令により、テーブルデータアドレッシングで決まるアドレスの ROM データを参照できます。参照された ROM データの下位 8 ビットは、ROM データのビット 8 が"1"のときはアキュムレータ、B レジスタに書き込まれ、ビット 9 が"1"のときは R1,R2 ポートに書き込まれます。ビット 8 とビット 9 が共に"1"のときは、アキュムレータ、B レジスタへの書き込みと、R1,R2 ポートへの書き込みとが同時に実行されます (図 103 参照)。

P 命令によってプログラムカウンタは影響を受けません。

(6) ページの境界における BR 命令の分岐先の説明

BR がページの境界(256n+255)にあるとき、その命令の実行によってプログラムカウンタの内部がハードアーキテクチャにより次のページに移ります。したがって、ページの境界にある BR を用いるときは分岐先を次のページ内に設定してください (図 104 参照)。

なお、HMCS400 シリーズクロスアセンブラは品種にかかわらず ROM ページを自動改頁 (自動ページング) する機能を備えています。

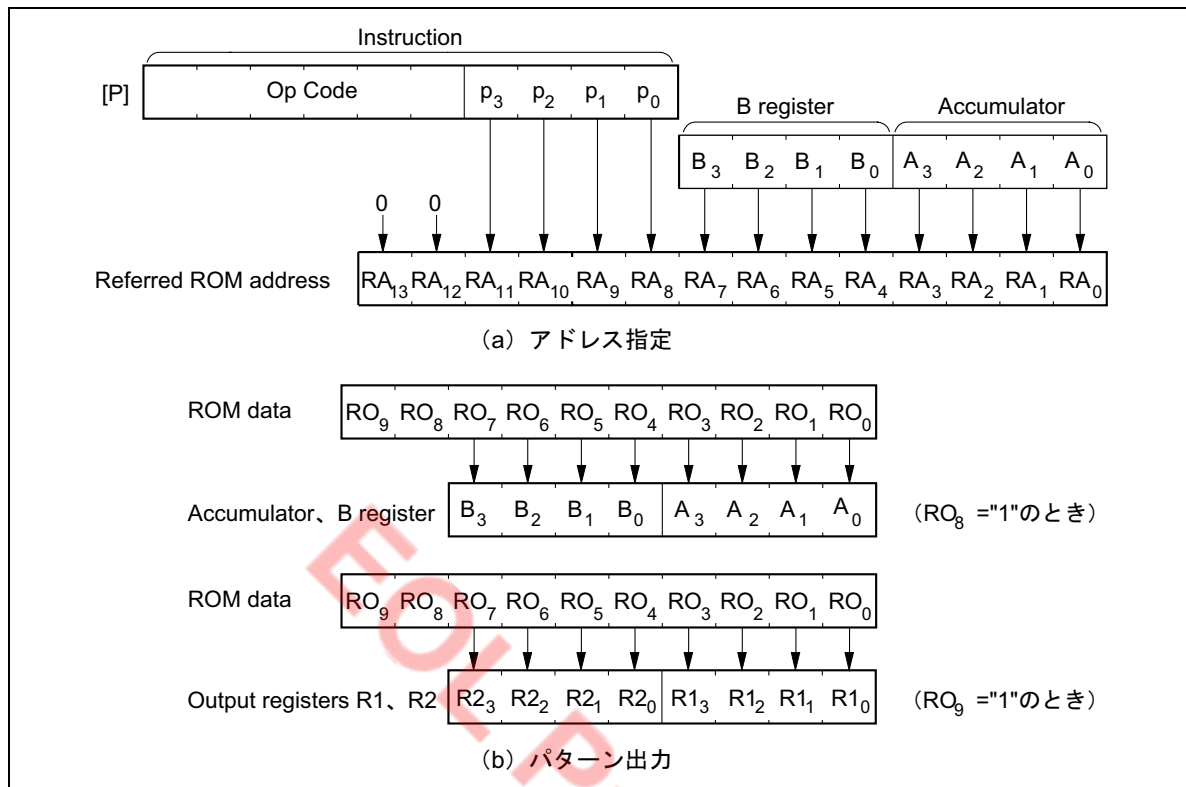


図 103 P 命令

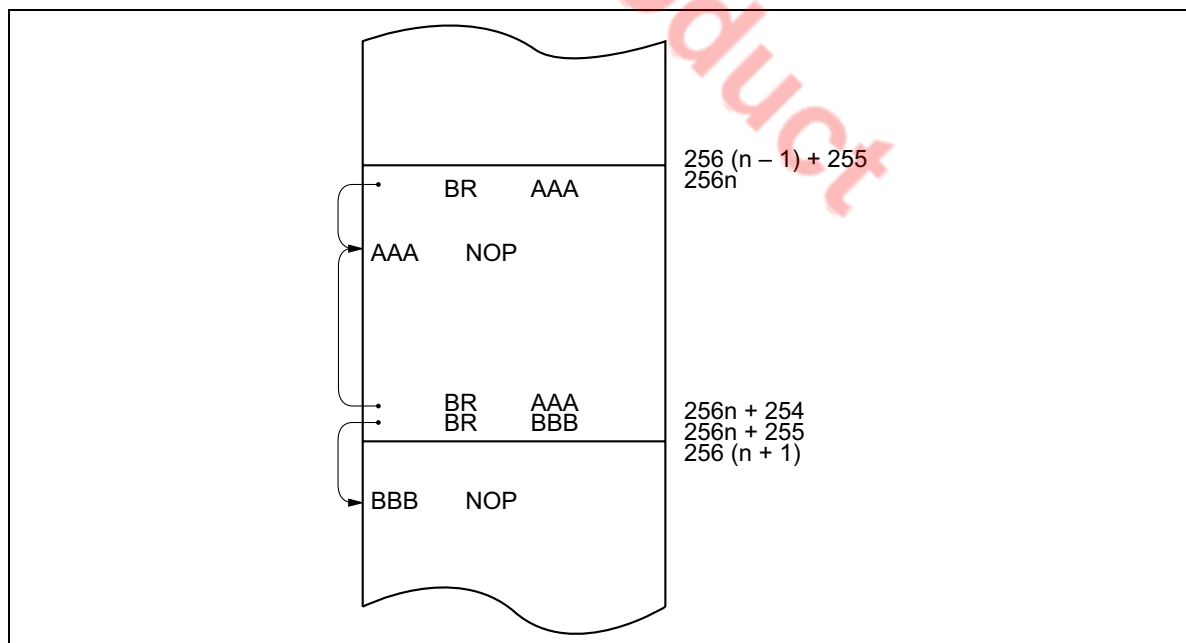


図 104 ページの境界における BR 命令の分岐先

命令セット

MCUには、101の命令があります。これらの命令は、次の10種類に分類することができます。

- (1) イミディエイト命令
- (2) レジスタ・レジスタ命令
- (3) RAMアドレス命令
- (4) RAM・レジスタ命令
- (5) 演算命令
- (6) 比較命令
- (7) RAMビット操作命令
- (8) ROMアドレス命令
- (9) 入出力命令
- (10) コントロール命令

(1) イミディエイト命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Load A from Immediate	LAli	1 0 0 0 1 1 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow A$		1/1
Load B from Immediate	LBli	1 0 0 0 0 0 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow B$		1/1
Load Memory from Immediate	LMIDi, d	0 1 1 0 1 0 $l_3$ $l_2$ $l_1$ $l_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$i \rightarrow M$		2/2
Load Memory from Immediate, Increment Y	LMIIYi	1 0 1 0 0 1 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow M$ , $Y+1 \rightarrow Y$	NZ	1/1

(2) レジスタ・レジスタ命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Load A from B	LAB	0 0 0 1 0 0 1 0 0 0	$B \rightarrow A$		1/1
Load B from A	LBA	0 0 1 1 0 0 1 0 0 0	$A \rightarrow B$		1/1
Load A from W	LAW*	0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	$W \rightarrow A$		2/2*
Load A from Y	LAY	0 0 1 0 1 0 1 1 1 1	$Y \rightarrow A$		1/1
Load A from SPX	LASPX	0 0 0 1 1 0 1 0 0 0	$SPX \rightarrow A$		1/1
Load A from SPY	LASPY	0 0 0 1 0 1 1 0 0 0	$SPY \rightarrow A$		1/1
Load A from MR	LAMR m	1 0 0 1 1 1 $m_3$ $m_2$ $m_1$ $m_0$	$MR(m) \rightarrow A$		1/1
Exchange MR and A	XMRA m	1 0 1 1 1 1 $m_3$ $m_2$ $m_1$ $m_0$	$MR(m) \leftrightarrow A$		1/1



(3) RAM アドレス命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Load W from Immediate	LWli	0 0 1 1 1 1 0 0 $i_1$ $i_0$	$i \rightarrow W$		1/1
Load X from Immediate	LXli	1 0 0 0 1 0 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow X$		1/1
Load Y from Immediate	LYli	1 0 0 0 0 1 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow Y$		1/1
Load W from A	LWA*	0 1 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	$A \rightarrow W$		2/2*
Load X from A	LXA	0 0 1 1 1 0 1 0 0 0	$A \rightarrow X$		1/1
Load Y from A	LYA	0 0 1 1 0 1 1 0 0 0	$A \rightarrow Y$		1/1
Increment Y	IY	0 0 0 1 0 1 1 1 0 0	$Y+1 \rightarrow Y$	NZ	1/1
Decrement Y	DY	0 0 1 1 0 1 1 1 1 1	$Y-1 \rightarrow Y$	NB	1/1
Add A to Y	AYY	0 0 0 1 0 1 0 1 0 0	$Y+A \rightarrow Y$	OVF	1/1
Subtract A from Y	SYY	0 0 1 1 0 1 0 1 0 0	$Y-A \rightarrow Y$	NB	1/1
Exchange X and SPX	XSPX	0 0 0 0 0 0 0 0 0 1	$X \leftrightarrow SPX$		1/1
Exchange Y and SPY	XSPY	0 0 0 0 0 0 0 0 1 0	$Y \leftrightarrow SPY$		1/1
Exchange X and SPX, Y and SPY	XSPXY	0 0 0 0 0 0 0 0 1 1	$X \leftrightarrow SPX$ , $Y \leftrightarrow SPY$		1/1

【注】 \* LAW、LWA 命令は 2 ワード目にオペランド (\$000) が必要ですが、アセンブラで自動発生するために記述する必要はありません。

(4) RAM・レジスタ命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Load A from Memory	LAM	0 0 1 0 0 1 0 0 0 0	M→A		1/1
	LAMX	0 0 1 0 0 1 0 0 0 1	M→A, X↔SPX		
	LAMY	0 0 1 0 0 1 0 0 1 0	M→A, Y↔SPY		
	LAMXY	0 0 1 0 0 1 0 0 1 1	M→A, X↔SPX, Y↔SPY		
Load A from Memory	LAMD d	0 1 1 0 0 1 0 0 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	M→A		2/2
Load B from Memory	LBM	0 0 0 1 0 0 0 0 0 0	M→B		1/1
	LBMX	0 0 0 1 0 0 0 0 0 1	M→B, X↔SPX		
	LBMY	0 0 0 1 0 0 0 0 1 0	M→B, Y↔SPY		
	LBMXY	0 0 0 1 0 0 0 0 1 1	M→B, X↔SPX, Y↔SPY		
Load Memory from A	LMA	0 0 1 0 0 1 0 1 0 0	A→M		1/1
	LMAX	0 0 1 0 0 1 0 1 0 1	A→M, X↔SPX		
	LMA Y	0 0 1 0 0 1 0 1 1 0	A→M, Y↔SPY		
	LMAXY	0 0 1 0 0 1 0 1 1 1	A→M, X↔SPX, Y↔SPY		
Load Memory from A	LMAD d	0 1 1 0 0 1 0 1 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	A→M		2/2
Load Memory from A, Increment Y	LMAIY	0 0 0 1 0 1 0 0 0 0	A→M, Y+1→Y	NZ	1/1
	LMAIYX	0 0 0 1 0 1 0 0 0 1	A→M, Y+1→Y X↔SPX		
Load Memory from A, Decrement Y	LMADY	0 0 1 1 0 1 0 0 0 0	A→M, Y-1→Y	NB	1/1
	LMADYX	0 0 1 1 0 1 0 0 0 1	A→M, Y-1→Y X↔SPX		

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Exchange Memory and A	XMA	0 0 1 0 0 0 0 0 0 0	M↔A		1/1
	XMAX	0 0 1 0 0 0 0 0 0 1	M↔A, X↔SPX		
	XMAY	0 0 1 0 0 0 0 0 1 0	M↔A, Y↔SPY		
	XMAXY	0 0 1 0 0 0 0 0 1 1	M↔A, X↔SPX, Y↔SPY		
Exchange Memory and A	XMAD d	0 1 1 0 0 0 0 0 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	M↔A		2/2
Exchange Memory and B	XMB	0 0 1 1 0 0 0 0 0 0	M↔B		1/1
	XMBX	0 0 1 1 0 0 0 0 0 1	M↔B, X↔SPX		
	XMBY	0 0 1 1 0 0 0 0 1 0	M↔B, Y↔SPY		
	XMBXY	0 0 1 1 0 0 0 0 1 1	M↔B, X↔SPX, Y↔SPY		

(5) 演算命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Add Immediate to A	Ali	1 0 1 0 0 0 $i_3$ $i_2$ $i_1$ $i_0$	$A+i \rightarrow A$	OVF	1/1
Increment B	IB	0 0 0 1 0 0 1 1 0 0	$B+1 \rightarrow B$	NZ	1/1
Decrement B	DB	0 0 1 1 0 0 1 1 1 1	$B-1 \rightarrow B$	NB	1/1
Decimal Adjust for Addition	DAA	0 0 1 0 1 0 0 1 1 0			1/1
Decimal Adjust for Subtraction	DAS	0 0 1 0 1 0 1 0 1 0			1/1
Negate A	NEGA	0 0 0 1 1 0 0 0 0 0	$\bar{A}+1 \rightarrow A$		1/1
Complement B	COMB	0 1 0 1 0 0 0 0 0 0	$\bar{B} \rightarrow B$		1/1
Rotate Right A with Carry	ROTR	0 0 1 0 1 0 0 0 0 0			1/1
Rotate Left A with Carry	ROTL	0 0 1 0 1 0 0 0 0 1			1/1
Set Carry	SEC	0 0 1 1 1 0 1 1 1 1	$1 \rightarrow CA$		1/1
Reset Carry	REC	0 0 1 1 1 0 1 1 0 0	$0 \rightarrow CA$		1/1
Test Carry	TC	0 0 0 1 1 0 1 1 1 1		CA	1/1
Add A to Memory	AM	0 0 0 0 0 0 1 0 0 0	$M+A \rightarrow A$	OVF	1/1
Add A to Memory	AMD d	0 1 0 0 0 0 1 0 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$M+A \rightarrow A$	OVF	2/2
Add A to Memory with Carry	AMC	0 0 0 0 0 1 1 0 0 0	$M+A+CA \rightarrow A$ $OVF \rightarrow CA$	OVF	1/1
Add A to Memory with Carry	AMCD d	0 1 0 0 0 1 1 0 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$M+A+CA \rightarrow A$ $OVF \rightarrow CA$	OVF	2/2
Subtract A from Memory with Carry	SMC	0 0 1 0 0 1 1 0 0 0	$M-A-\bar{CA} \rightarrow A$ $NB \rightarrow CA$	NB	1/1
Subtract A from Memory with Carry	SMCD d	0 1 1 0 0 1 1 0 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$M-A-\bar{CA} \rightarrow A$ $NB \rightarrow CA$	NB	2/2
OR A and B	OR	0 1 0 1 0 0 0 1 0 0	$A \cup B \rightarrow A$		1/1
AND Memory with A	ANM	0 0 1 0 0 1 1 1 0 0	$A \cap M \rightarrow A$	NZ	1/1
AND Memory with A	ANMD d	0 1 1 0 0 1 1 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$A \cap M \rightarrow A$	NZ	2/2
OR Memory with A	ORM	0 0 0 0 0 0 1 1 0 0	$A \cup M \rightarrow A$	NZ	1/1
OR Memory with A	ORMD d	0 1 0 0 0 0 1 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$A \cup M \rightarrow A$	NZ	2/2
EOR Memory with A	EORM	0 0 0 0 0 1 1 1 0 0	$A \oplus M \rightarrow A$	NZ	1/1
EOR Memory with A	EORMD d	0 1 0 0 0 1 1 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$A \oplus M \rightarrow A$	NZ	2/2

(6) 比較命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Immediate Not Equal to Memory	INEM i	0 0 0 0 1 0 $i_3$ $i_2$ $i_1$ $i_0$	$i \neq M$	NZ	1/1
Immediate Not Equal to Memory	INEMDi、 d	0 1 0 0 1 0 $i_3$ $i_2$ $i_1$ $i_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$i \neq M$	NZ	2/2
A Not Equal to Memory	ANEM	0 0 0 0 0 0 0 1 0 0	$A \neq M$	NZ	1/1
A Not Equal to Memory	ANEMD d	0 1 0 0 0 0 0 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$A \neq M$	NZ	2/2
B Not Equal to Memory	BNEM	0 0 0 1 0 0 0 1 0 0	$B \neq M$	NZ	1/1
Y Not Equal to Immediate	YNEI i	0 0 0 1 1 1 $i_3$ $i_2$ $i_1$ $i_0$	$Y \neq i$	NZ	1/1
Immediate Less or Equal to Memory	ILEM i	0 0 0 0 1 1 $i_3$ $i_2$ $i_1$ $i_0$	$i \leq M$	NB	1/1
Immediate Less or Equal to Memory	ILEMDi、 d	0 1 0 0 1 1 $i_3$ $i_2$ $i_1$ $i_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$i \leq M$	NB	2/2
A Less or Equal to Memory	ALEM	0 0 0 0 0 1 0 1 0 0	$A \leq M$	NB	1/1
A Less or Equal to Memory	ALEMD d	0 1 0 0 0 1 0 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$A \leq M$	NB	2/2
B Less or Equal to Memory	BLEM	0 0 1 1 0 0 0 1 0 0	$B \leq M$	NB	1/1
A Less or Equal to Immediate	ALEI i	1 0 1 0 1 1 $i_3$ $i_2$ $i_1$ $i_0$	$A \leq i$	NB	1/1

(7) RAM ビット操作命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Set Memory Bit	SEM n	0 0 1 0 0 0 0 1 $n_1$ $n_0$	1→M (n)		1/1
Set Memory Bit	SEMD n、 d	0 1 1 0 0 0 0 1 $n_1$ $n_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	1→M (n)		2/2
Reset Memory Bit	REM n	0 0 1 0 0 0 1 0 $n_1$ $n_0$	0→M (n)		1/1
Reset Memory Bit	REMD n、 d	0 1 1 0 0 0 1 0 $n_1$ $n_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	0→M (n)		2/2
Test Memory Bit	TM n	0 0 1 0 0 0 1 1 $n_1$ $n_0$		M (n)	1/1
Test Memory Bit	TMD n、 d	0 1 1 0 0 0 1 1 $n_1$ $n_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$		M (n)	2/2

(8) ROM アドレス命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Branch on Status 1	BR b	1 1 b <sub>7</sub> b <sub>6</sub> b <sub>5</sub> b <sub>4</sub> b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>		1	1/1
Long Branch on Status 1	BRL u	0 1 0 1 1 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>		1	2/2
Long Jump Unconditionally	JMPL u	0 1 0 1 0 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>			2/2
Subroutine Jump on Status 1	CAL a	0 1 1 1 a <sub>5</sub> a <sub>4</sub> a <sub>3</sub> a <sub>2</sub> a <sub>1</sub> a <sub>0</sub>		1	1/2
Long Subroutine Jump on Status 1	CALL u	0 1 0 1 1 0 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>		1	2/2
Table Branch	TBR p	0 0 1 0 1 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub>			1/1
Return from Subroutine	RTN	0 0 0 0 0 1 0 0 0 0			1/3
Return from Interrupt	RTNI	0 0 0 0 0 1 0 0 0 1	1→IE、 CA 回復	ST	1/3

(9) 入出力命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Set Discrete I/O Latch	SED	0 0 1 1 1 0 0 1 0 0	1→D (Y)		1/1
Set Discrete I/O Latch Direct	SEDD m	1 0 1 1 1 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	1→D (m)		1/1
Reset Discrete I/O Latch	RED	0 0 0 1 1 0 0 1 0 0	0→D (Y)		1/1
Reset Discrete I/O Latch Direct	REDD m	1 0 0 1 1 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	0→D (m)		1/1
Test Discrete I/O Latch	TD	0 0 1 1 1 0 0 0 0 0		D (Y)	1/1
Test Discrete I/O Latch Direct	TDD m	1 0 1 0 1 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>		D (m)	1/1
Load A from R-Port Register	LAR m	1 0 0 1 0 1 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	R (m) →A		1/1
Load B from R-Port Register	LBR m	1 0 0 1 0 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	R (m) →B		1/1
Load R-Port Register from A	LRA m	1 0 1 1 0 1 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	A→R (m)		1/1
Load R-Port Register from B	LRB m	1 0 1 1 0 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	B→R (m)		1/1
Pattern Generation	P p	0 1 1 0 1 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub>			1/2

(10) コントロール命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
No Operation	NOP	0 0 0 0 0 0 0 0 0 0 0			1/1
Start Serial	STS	0 1 0 1 0 0 1 0 0 0 0			1/1
Stand-by Mode/Watch Mode*	SBY	0 1 0 1 0 0 1 1 0 0 0			1/1
Stop Mode/Watch Mode	STOP	0 1 0 1 0 0 1 1 0 1 1			1/1

【注】 \* サブアクティブモードからの遷移時のみ

EOL Product

表 31 オペコードマップ

R8		0																1																																										
R9	H/L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F																											
		0	NO P	XSP X	XSP Y	XSP XY	ANEM				AM				ORM				LAW			ANEMD			AMCD				ORMD				1	RTNI	RTNI		ALEM				AMC				EORM				LWA			ALEM			AMCD				EORMD	
2	INEM i(4)																INEMD i(4)																																											
3	ILEM i(4)																ILEMD i(4)																																											
4	LBM(XY)				BNE M	LAB				IB				COMB				OR				STS				SBY				STOP																														
5	LMAIY(X)				AYY				LASPY				IY				JMPL p(4)																																											
6	NEGA				RED				LASPX				TC				CALL p(4)																																											
7	YNEI i(4)																BRL p(4)																																											
8	XMA(XY)				SEMn(2)				REMn(2)				TMn(2)				XMAD				SEMDn(2)				REMDn(2)				TMDn(2)																															
9	LAM(XY)				LMA(XY)				SMC				ANM				LAMAD				LMAD				SMCD				ANMD																															
A	ROT R		ROT L		DA A				DAS				LAY				LMID i(4)																																											
B	TBR p(4)																P p(4)																																											
C	XMB(XY)				BLEM				LBA				DB				CAL a(6)																																											
D	LMADY(X)				SY				LYA				DY																																															
E	TD				SED				LXA				REC				SEC																																											
F	LWii(2)																																																											
1	0	LBI i(4)																																																										
	1	LYI i(4)																																																										
	2	LXI i(4)																																																										
	3	LAI i(4)																																																										
	4	LBR m(4)																																																										
	5	LAR m(4)																																																										
	6	REDD m(4)																																																										
	7	LAMR m(4)																BR				b(8)																																						
	8	AI i(4)																																																										
	9	LMIIY i(4)																																																										
	A	TDD m(4)																																																										
	B	ALEI i(4)																																																										
	C	LRB m(4)																																																										
	D	LRA m(4)																																																										
	E	SEDD m(4)																																																										
	F	XMRA m(4)																																																										

...1ワード／2サイクル命令    
  ...1ワード／3サイクル    
  ... RAMダイレクトアドレス命令 (2ワード／2サイクル)    
  ... 2ワード／2サイクル命令



## 絶対最大定格

名称	記号	規格値	単位	注記
電源電圧	$V_{CC}$	-0.3~+7.0	V	
プログラム電圧	$V_{PP}$	-0.3~+14.0	V	1
端子電圧	$V_T$	-0.3~ $V_{CC}+0.3$	V	
許容総入力電流 (LSI への流入)	$\sum I_o$	100	mA	2
許容総出力電流 (LSI からの流出)	$-\sum I_o$	50	mA	3
許容入力電流 (LSI への流入)	$I_o$	4	mA	4、5
		30	mA	4、6
許容出力電流 (LSI からの流出)	$-I_o$	4	mA	7、8
		20	mA	7、9
動作温度	$T_{opr}$	-20~+75	°C	10
保存温度	$T_{stg}$	-55~+125	°C	11

- 【注】
1. HD4074889/HD4074899/HD4074869 の TEST ( $V_{PP}$ ) 端子に適用します。
  2. 許容総入力電流とは、同時に全入出力端子から GND へ流し込める電流の総和です。
  3. 許容総出力電流とは、 $V_{CC}$  から全入出力端子へ流し出せる電流の総和です。
  4. 許容入力電流とは、各入出力端子から GND へ流し込める電流の最大値です。
  5.  $D_0\sim D_3$ 、 $R_0\sim R_8$  に適用します。
  6.  $D_4\sim D_{11}$  に適用します。
  7. 許容出力電流とは、 $V_{CC}$  から各入出力端子へ流し出せる電流の最大値です。
  8.  $D_4\sim D_{11}$ 、 $R_0\sim R_8$  に適用します。
  9.  $D_0\sim D_3$  に適用します。
  10. 動作温度とは、LSI に通電 (「電気的特性」で示す電圧 ( $V_{CC}$ ) を印可) してもよい温度です。
  11. チップの場合、保管仕様がパッケージ品と異なりますので、詳しくは弊社営業担当にご確認ください。

絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になると共に、LSI の信頼性に悪影響を及ぼすことがあります。

電気的特性

DC 特性

特記なき場合は、

HD404888、HD4048812、HD404889、HD404898、HD4048912、HD404899、HD404874、HD404878、  
 HD404864、HD404868 : VCC=1.8V~5.5V、GND=0V、Ta=-20~+75°C  
 HCD404889、HCD404899、HCD404878 : VCC=1.8V~5.5V、GND=0V、Ta=+75°C  
 HD4074889、HD4074899、HD4074869 : VCC=2.0V~5.5V、GND=0V、Ta=-20~+75°C

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル電圧	V <sub>IH</sub>	RESET、SCK、 SI、INT <sub>0</sub> 、INT <sub>1</sub> 、 WU <sub>0</sub> ~WU <sub>3</sub> 、 EVNB、EVND		0.90V <sub>CC</sub>	—	V <sub>CC</sub> + 0.3	V	
		OSC <sub>1</sub>	外部クロック動作	V <sub>CC</sub> -0.3	—	V <sub>CC</sub> + 0.3	V	
入力 Low レベル電圧	V <sub>IL</sub>	RESET、SCK、 SI、INT <sub>0</sub> 、 INT <sub>1</sub> 、 WU <sub>0</sub> ~WU <sub>3</sub> 、 EVNB、EVND		-0.3	—	0.10V <sub>CC</sub>	V	
		OSC <sub>1</sub>	外部クロック動作	-0.3	—	0.3	V	
出力 High レベル電圧	V <sub>OH</sub>	SCK、SO、 BUZZ、TOB、 TOC	-I <sub>OH</sub> =0.3mA	V <sub>CC</sub> -0.5	—	—	V	
出力 Low レベル電圧	V <sub>OL</sub>	SCK、SO、 BUZZ、TOB、 TOC	I <sub>OL</sub> =0.4mA	—	—	0.4	V	
入出力リーク電流	I <sub>IL</sub>	RESET、SCK、 SI、INT <sub>0</sub> 、 INT <sub>1</sub> 、 WU <sub>0</sub> ~WU <sub>3</sub> 、 EVNB、 EVND、 OSC <sub>1</sub> 、TOB、 TOC、SO、 BUZZ	V <sub>in</sub> =0V~V <sub>CC</sub>	—	—	1	μA	1
アクティブモード 消費電流	I <sub>CC1</sub>	V <sub>CC</sub>	V <sub>CC</sub> =5V、f <sub>osc</sub> =4MHz	—	3.0	5.0	mA	2
	I <sub>CC2</sub>	V <sub>CC</sub>	V <sub>CC</sub> =3V、f <sub>osc</sub> =800kHz	—	0.4	1.0	mA	2
スタンバイモード 消費電流	I <sub>SBY1</sub>	V <sub>CC</sub>	V <sub>CC</sub> =5V、f <sub>osc</sub> =4MHz、 LCD 点灯	—	1.0	2.0	mA	3
	I <sub>SBY2</sub>	V <sub>CC</sub>	V <sub>CC</sub> =3V、f <sub>osc</sub> =800kHz LCD 点灯	—	0.3	0.6	mA	3

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
サブアクティブ モード消費電流	I <sub>SUB</sub>	V <sub>CC</sub> (HD404888、 HD4048812、 HD404889、 HCD404889、 HD404898、 HD4048912、 HD404899、 HCD404899、 HD404874、 HD404878、 HCD404878、 HD404864、 HD404868)	V <sub>CC</sub> =3V、LCD 点灯、 32kHz 発振器使用	—	35	60	μA	4、5
		V <sub>CC</sub> (HD4074889、 HD4074899、 HD4074869)		—	70	120	μA	4、5
ウォッチモード 消費電流	I <sub>WTC1</sub>	V <sub>CC</sub>	V <sub>CC</sub> =3V、LCD 点灯、 32kHz 発振器使用	—	15	30	μA	4、5
	I <sub>WTC2</sub>	V <sub>CC</sub>	V <sub>CC</sub> =3V、LCD 消灯、 32kHz 発振器使用	—	5	8	μA	5
ストップモード 消費電流	I <sub>STOP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =3V、 32kHz 発振器なし	—	—	5	μA	5
ストップモード 維持電圧	V <sub>STOP</sub>	V <sub>CC</sub>	32kHz 発振器なし	1.5	—	—	V	6

- 【注】 1. 出力バッファに流れる電流を除きます。  
 2. MCU がリセット状態にあり、入出力電流が流れないときの電源電流です。

測定条件	MCU の状態	・リセット状態
	端子の状態	・ $\overline{\text{RESET}}$ 、TEST…GND 電位

3. 内蔵タイマが動作し、かつ入出力電流が流れないときの電源電流です。

測定条件	MCU の状態	・入出力：リセット状態と同じ ・スタンバイモード ・ $f_{\text{cyc}} = f_{\text{OSC}} / 4$
	端子の状態	・ $\overline{\text{RESET}}$ …V <sub>CC</sub> 電位 ・TEST…GND 電位 ・D <sub>0</sub> ~D <sub>11</sub> 、R <sub>0</sub> ~R <sub>8</sub> …V <sub>CC</sub> 電位

4. 液晶電源分割抵抗接続時に適用します。  
 5. 入出力電流が流れないときの電源電流です。

測定条件	端子の状態	・ $\overline{\text{RESET}}$ …V <sub>CC</sub> 電位 ・TEST…GND 電位 ・D <sub>0</sub> ~D <sub>11</sub> 、R <sub>0</sub> ~R <sub>8</sub> …V <sub>CC</sub> 電位
------	-------	---

6. RAM データ維持に必要な電圧です。

HD404889/HD404899/HD404878/HD404868 シリーズ

標準端子入出力特性

特記なき場合は、

HD404888、HD4048812、HD404889、HD404898、HD4048912、HD404899、HD404874、HD404878、  
 HD404864、HD404868 : VCC=1.8V~5.5V、GND=0V、Ta=-20~+75°C  
 HCD404889、HCD404899、HCD404878 : VCC=1.8V~5.5V、GND=0V、Ta=+75°C  
 HD4074889、HD4074899、HD4074869 : VCC=2.0V~5.5V、GND=0V、Ta=-20~+75°C

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル電圧	V <sub>IH</sub>	R0~R8		0.7V <sub>CC</sub>	-	V <sub>CC</sub> +0.3	V	1
		R0~R7						2
入力 Low レベル電圧	V <sub>IL</sub>	R0~R8		-0.3	-	0.3V <sub>CC</sub>	V	1
		R0~R7						2
出力 High レベル電圧	V <sub>OH</sub>	R0~R8	-I <sub>OH</sub> =0.3mA	V <sub>CC</sub> -0.5	-	-	V	1
		R0~R7						2
出力 Low レベル電圧	V <sub>OL</sub>	R0~R8	I <sub>OL</sub> =0.4mA	-	-	0.4	V	1
		R0~R7						2
入出力リーク電流	I <sub>IL</sub>	R0~R8	V <sub>IN</sub> =0V~V <sub>CC</sub>	-	-	1	μA	1、3
		R0~R7						2、3
プリアップ MOS 電流	-I <sub>PU</sub>	R0~R8	V <sub>CC</sub> =3V、V <sub>IN</sub> =0V	10	50	150	μA	1
		R0~R7						2

- 【注】 1. HD404889/HD404899/HD404878 シリーズに適用します。  
 2. HD404868 シリーズに適用します。  
 3. 出力バッファに流れる電流を除きます。

HD404889/HD404899/HD404878/HD404868 シリーズ

大電流端子入出力特性

特記なき場合は、

HD404888、HD4048812、HD404889、HD404898、HD4048912、HD404899、HD404874、HD404878、

HD404864、HD404868 : VCC=1.8V~5.5V、GND=0V、Ta=-20~+75°C

HCD404889、HCD404899、HCD404878 : VCC=1.8V~5.5V、GND=0V、Ta=+75°C

HD4074889、HD4074899、HD4074869 : VCC=2.0V~5.5V、GND=0V、Ta=-20~+75°C

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル電圧	V <sub>IH</sub>	D <sub>0</sub> ~D <sub>11</sub>		0.7V <sub>CC</sub>	-	V <sub>CC</sub> +0.3	V	1
		D <sub>0</sub> ~D <sub>9</sub>						2
入力 Low レベル電圧	V <sub>IL</sub>	D <sub>0</sub> ~D <sub>11</sub>		-0.3	-	0.3V <sub>CC</sub>	V	1
		D <sub>0</sub> ~D <sub>9</sub>						2
出力 High レベル電圧	V <sub>OH</sub>	D <sub>4</sub> ~D <sub>11</sub>	-I <sub>OH</sub> =0.3mA	V <sub>CC</sub> -0.5	-	-	V	1
		D <sub>4</sub> ~D <sub>9</sub>						2
		D <sub>0</sub> ~D <sub>3</sub>	-I <sub>OH</sub> =10mA、 V <sub>CC</sub> =4.5~5.5V	V <sub>CC</sub> -2.0	-	-	V	
出力 Low レベル電圧	V <sub>OL</sub>	D <sub>0</sub> ~D <sub>3</sub>	I <sub>OL</sub> =0.4mA	-	-	0.4	V	
		D <sub>4</sub> ~D <sub>11</sub>	I <sub>OL</sub> =15mA	-	-	2.0	V	1
		D <sub>4</sub> ~D <sub>9</sub>	V <sub>CC</sub> =4.5V~5.5V					2
入出力リーク電流	I <sub>IL</sub>	D <sub>0</sub> ~D <sub>11</sub>	V <sub>IN</sub> =0V~V <sub>CC</sub>	-	-	1	μA	1、3
		D <sub>0</sub> ~D <sub>9</sub>						2、3
ブルアップ MOS 電流	-I <sub>PU</sub>	D <sub>0</sub> ~D <sub>11</sub>	V <sub>CC</sub> =3V、V <sub>IN</sub> =0V	10	50	150	μA	1
		D <sub>0</sub> ~D <sub>9</sub>						2

【注】 1. HD404889/HD404899/HD404878 シリーズに適用します。

2. HD404868 シリーズに適用します。

3. 出力バッファに流れる電流を除きます。

## HD404889/HD404899/HD404878/HD404868 シリーズ

### (2) 内蔵周辺モジュールの特性

#### 液晶表示回路特性

特記なき場合は、

HD404888、HD4048812、HD404889、HD404898、HD4048912、HD404899、HD404874、HD404878、

HD404864、HD404868 :  $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$

HCD404889、HCD404899、HCD404878 :  $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=+75^{\circ}C$

HD4074889、HD4074899、HD4074869 :  $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
セグメントドライバ 降下電圧	$V_{DS}$	SEG1~SEG32	$I_d=3\mu A$	—	—	0.6	V	1、2
		SEG1~SEG24	$V_1=2.7\sim 5.5V$					1、3
コモンドライバ 降下電圧	$V_{DC}$	COM1~COM4	$I_d=3\mu A$ $V_1=2.7\sim 5.5V$	—	—	0.3	V	1
液晶表示電源 分割抵抗	$R_w$		$V_1-GND$ 間	50	300	900	k $\Omega$	
液晶表示電圧	$V_{LCD}$	$V_1$		2.2	—	$V_{CC}$	V	4、5

- 【注】
1. 電源端子  $V_1$ 、 $V_2$ 、 $V_3$ 、 $GND$  から各セグメント端子または、各コモン端子までの電圧降下です。
  2. HD404889/HD404899/HD404878 シリーズに適用します。
  3. HD404868 シリーズに適用します。
  4. HD404889/HD404899/HD404878 シリーズで  $V_{LCD}$  を内部電源により供給する場合は、 $V_0$  と  $V_1$  を短絡してください。 $V_{LCD}$  を外部電源により供給する場合は、 $V_{CC}\geq V_{LCD}\geq 2.2V$  の関係を維持してください。この場合、 $V_0$  端子は  $V_{CC}$  に固定してください。
  5. HD404868 シリーズで  $V_{LCD}$  を外部電源により供給する場合は、 $V_{CC}\geq V_{LCD}\geq 2.2V$  の関係を維持してください。

HD404889/HD404899/HD404878/HD404868 シリーズ

A/D コンバータ特性

特記なき場合は、HD404888、HD4048812、HD404889 :  $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$   
 HCD404889 :  $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=+75^{\circ}C$   
 HD4074889 :  $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	AV <sub>CC</sub>	AV <sub>CC</sub>		V <sub>CC</sub> -0.3	V <sub>CC</sub>	V <sub>CC</sub> +0.3	V	1
アナログ入力電圧	AV <sub>in</sub>	AN <sub>0</sub> ~AN <sub>5</sub>		AV <sub>SS</sub>	—	AV <sub>CC</sub>	V	
AV <sub>CC</sub> -AV <sub>SS</sub> 間電流	I <sub>AD</sub>		V <sub>CC</sub> =AV <sub>CC</sub> =5.0V	—	—	500	μA	
アナログ入力容量	CA <sub>in</sub>	AN <sub>0</sub> ~AN <sub>5</sub>		—	15	—	pF	
分解能				—	8	—	ビット	
入力数				0	—	6	チャンネル	
絶対精度			V <sub>CC</sub> =AV <sub>CC</sub> =2.7V~5.5V	—	—	±2.0	LSB	
			V <sub>CC</sub> =AV <sub>CC</sub> =1.8V~2.7V	—	—	±3.0	LSB	2
変換時間				65	—	125	t <sub>cyc</sub>	
入力インピーダンス		AN <sub>0</sub> ~AN <sub>5</sub>		1	—	—	MΩ	

- 【注】 1. A/D コンバータを使用しない場合は、V<sub>CC</sub> 端子に接続してください。また、AV<sub>CC</sub> の設定範囲は、 $1.8V\leq AV_{CC}\leq 5.5V$  (HD404888、HD4048812、HD404889、HCD404889)、 $2.0V\leq AV_{CC}\leq 5.5V$  (HD4074889) です。  
 2. 変換時間は 125t<sub>cyc</sub> です。

特記なき場合は、HD404898、HD4048912、HD404899 :  $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$   
 HCD404899 :  $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=+75^{\circ}C$   
 HD4074899 :  $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	AV <sub>CC</sub>	AV <sub>CC</sub>		V <sub>CC</sub> -0.3	V <sub>CC</sub>	V <sub>CC</sub> +0.3	V	1
アナログ入力電圧	AV <sub>in</sub>	AN <sub>0</sub> ~AN <sub>5</sub>		AV <sub>SS</sub>	—	AV <sub>CC</sub>	V	
AV <sub>CC</sub> -AV <sub>SS</sub> 間電流	I <sub>AD</sub>		V <sub>CC</sub> =AV <sub>CC</sub> =5.0V	—	—	500	μA	
アナログ入力容量	CA <sub>in</sub>	AN <sub>0</sub> ~AN <sub>5</sub>		—	15	—	pF	
分解能				—	10	—	ビット	
入力数				0	—	6	チャンネル	
絶対精度				—	—	±4.0	LSB	
変換時間			V <sub>CC</sub> =AV <sub>CC</sub> =1.8V~2.0V 未満	125	—	—	t <sub>cyc</sub>	2
			V <sub>CC</sub> =AV <sub>CC</sub> =2.0V~5.5V	65	—	125	t <sub>cyc</sub>	
入力インピーダンス		AN <sub>0</sub> ~AN <sub>5</sub>		1	—	—	MΩ	

- 【注】 1. A/D コンバータを使用しない場合は、V<sub>CC</sub> 端子に接続してください。また、AV<sub>CC</sub> の設定範囲は、 $1.8V\leq AV_{CC}\leq 5.5V$  (HD404898、HD4048912、HD404899、HCD404899)、 $2.0V\leq AV_{CC}\leq 5.5V$  (HD4074899) です。  
 2. HD404898、HD4048912、HD404899、HCD404899 に適用します。

HD404889/HD404899/HD404878/HD404868 シリーズ

特記なき場合は、HD404864、HD404868 :  $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$   
 HD4074869 :  $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ入力電圧	$AV_{in}$	$AN_0\sim AN_3$		GND	—	$V_{CC}$	V	
アナログ入力容量	$CA_{in}$	$AN_0\sim AN_3$		—	15	—	pF	
分解能				—	10	—	ビット	
入力数				0	—	4	チャンネル	
絶対精度				—	—	$\pm 4.0$	LSB	
変換時間			$V_{CC}=1.8V\sim 2.0V$ 未満	125	—	—	$t_{cyc}$	1
			$V_{CC}=2.0V\sim 5.5V$	65	—	125	$t_{cyc}$	
入力インピーダンス		$AN_0\sim AN_3$		1	—	—	M $\Omega$	

【注】 1. HD404864、HD404868 に適用します。



HD404889/HD404899/HD404878/HD404868 シリーズ

AC 特性

特記なき場合は、

HD404888、HD4048812、HD404889、HD404898、HD4048912、HD404899、HD404874、HD404878、  
 HD404864、HD404868 : VCC=1.8V~5.5V、GND=0V、Ta=-20~+75°C  
 HCD404889、HCD404899、HCD404878 : VCC=1.8V~5.5V、GND=0V、Ta=+75°C  
 HD4074889、HD4074899、HD4074869 : VCC=2.0V~5.5V、GND=0V、Ta=-20~+75°C

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
クロック発振周波数	f <sub>OSC</sub>	OSC <sub>1</sub> 、OSC <sub>2</sub>	4 分周	0.4	—	4.5	MHz	1
		X1、X2		—	32.768	—	kHz	
インストラクション サイクルタイム	t <sub>cyc</sub>		4 分周	0.89	—	10	μs	
	t <sub>subcyc</sub>		32kHz 発振器使用、 8 分周	—	244.14	—	μs	
			32kHz 発振器使用、 4 分周	—	122.07	—	μs	
発振安定時間 (外部クロック入力、 セラミック発振子)	t <sub>RC</sub>	OSC <sub>1</sub> 、OSC <sub>2</sub>		—	—	7.5	ms	2
発振安定時間 (水晶発振子)	t <sub>RC</sub>	OSC <sub>1</sub> 、OSC <sub>2</sub>	V <sub>CC</sub> =2.0V~5.5V	—	—	30	ms	2
		X1、X2	T <sub>a</sub> =-10~+60°C	—	—	2	s	2
外部クロック High レベル幅	t <sub>CPH</sub>	OSC <sub>1</sub>	f <sub>OSC</sub> =4MHz	105	—	—	ns	3
外部クロック Low レベル幅	t <sub>CPL</sub>	OSC <sub>1</sub>	f <sub>OSC</sub> =4MHz	105	—	—	ns	3
外部クロック 立ち上がり時間	t <sub>CPr</sub>	OSC <sub>1</sub>	f <sub>OSC</sub> =4MHz	—	—	20	ns	3
外部クロック 立ち下がり時間	t <sub>CPf</sub>	OSC <sub>1</sub>	f <sub>OSC</sub> =4MHz	—	—	20	ns	3
INT <sub>0</sub> ~INT <sub>1</sub> 、 EVNB、EVND、 WU <sub>0</sub> ~WU <sub>3</sub> High レベル幅	t <sub>IH</sub>	INT <sub>0</sub> ~INT <sub>1</sub> 、 EVNB、EVND、 WU <sub>0</sub> ~WU <sub>3</sub>		2	—	—	t <sub>cyc</sub> /t <sub>subcyc</sub>	4
INT <sub>0</sub> ~INT <sub>1</sub> 、 EVNB、EVND、 WU <sub>0</sub> ~WU <sub>3</sub> Low レベル幅	t <sub>IL</sub>	INT <sub>0</sub> ~INT <sub>1</sub> 、 EVNB、EVND、 WU <sub>0</sub> ~WU <sub>3</sub>		2	—	—	t <sub>cyc</sub> /t <sub>subcyc</sub>	4
RESET Low レベル幅	t <sub>RSTL</sub>	RESET		2	—	—	t <sub>cyc</sub>	5
RESET 立ち上がり時間	t <sub>RSTr</sub>	RESET		—	—	20	ms	5

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力容量	C <sub>in</sub>	TEST を除く全入力端子	f=1MHz、V <sub>in</sub> =0V	—	—	15	pF	
		TEST (HD404888、 HD4048812、 HD404889、 HCD404889、 HCD404899、 HD404898、 HD4048912、 HD404899、 HD404874、 HD404878、 HCD404878、 HD404864、 HD404868)		—	—	15	pF	
		TEST (HD4074889、 HD4074899、 HD4074869)		—	—	40	pF	

【注】 1. サブシステム発振器（32.768KHz 水晶発振）を使用する場合には、 $0.4\text{MHz} \leq f_{\text{OSC}} \leq 1.0\text{MHz}$  および、 $1.6\text{MHz} \leq f_{\text{OSC}} \leq 4.5\text{MHz}$  の範囲で使用してください。その際、システムクロック選択レジスタ（SSR）の SSR1 ビットの設定を、それぞれ 0 および 1 にしてください。

2. 発振安定時間は、

(1) 電源投入時に V<sub>CC</sub> が規格値 min に達してから発振が安定するまでの時間。

(2) ストップモード解除時に RESET 入力が Low レベルになってから発振が安定するまでの時間です。

パワーオン時には、発振器の発振が安定するのに必要な時間を確保するために、RESET 入力を t<sub>RC</sub> 以上印加してください。発振安定時間は実装回路の定数、浮遊容量により異なるため、発振子メーカーと十分ご相談の上、発振子を決定してください。また、システムクロック（OSC<sub>1</sub>、OSC<sub>2</sub>）については、使用する発振子の発振安定時間に合わせ、ミセラニアスレジスタ（MIS）の MIS1、MIS0 ビットを設定してください。

3. 図 105 参照

4. 図 106 参照

5. 図 107 参照

HD404889/HD404899/HD404878/HD404868 シリーズ

シリアルインタフェースタイミング特性

特記なき場合は、

HD404888、HD4048812、HD404889、HD404898、HD4048912、HD404899、HD404874、HD404878、  
 HD404864、HD404868 :  $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$   
 HCD404889、HCD404899、HCD404878 :  $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=+75^{\circ}C$   
 HD4074889、HD4074899、HD4074869 :  $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロック サイクルタイム	$t_{scyc}$	SCK	図 109 の負荷	1	—	—	$t_{cyc}$	1
転送クロック High レベル幅	$t_{sckH}$	SCK	図 109 の負荷	0.4	—	—	$t_{scyc}$	1
転送クロック Low レベル幅	$t_{sckL}$	SCK	図 109 の負荷	0.4	—	—	$t_{scyc}$	1
転送クロック 立ち上がり時間	$t_{scKr}$	SCK	図 109 の負荷	—	—	100	ns	1
転送クロック 立ち下がり時間	$t_{sckf}$	SCK	図 109 の負荷	—	—	100	ns	1
シリアル出力 データ遅延時間	$t_{dso}$	SO	図 109 の負荷	—	—	300	ns	1
シリアル入力データ セットアップ時間	$t_{ssi}$	SI		200	—	—	ns	1
シリアル入力データ ホールド時間	$t_{hsi}$	SI		200	—	—	ns	1

転送クロック入力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロック サイクルタイム	$t_{scyc}$	SCK		1	—	—	$t_{cyc}$	1
転送クロック High レベル幅	$t_{sckH}$	SCK		0.4	—	—	$t_{scyc}$	1
転送クロック Low レベル幅	$t_{sckL}$	SCK		0.4	—	—	$t_{scyc}$	1
転送クロック 立ち上がり時間	$t_{scKr}$	SCK		—	—	100	ns	1
転送クロック 立ち下がり時間	$t_{sckf}$	SCK		—	—	100	ns	1
シリアル出力 データ遅延時間	$t_{dso}$	SO	図 109 の負荷	—	—	300	ns	1
シリアル入力データ セットアップ時間	$t_{ssi}$	SI		200	—	—	ns	1
シリアル入力データ ホールド時間	$t_{hsi}$	SI		200	—	—	ns	1

【注】 1. 図 108 参照。

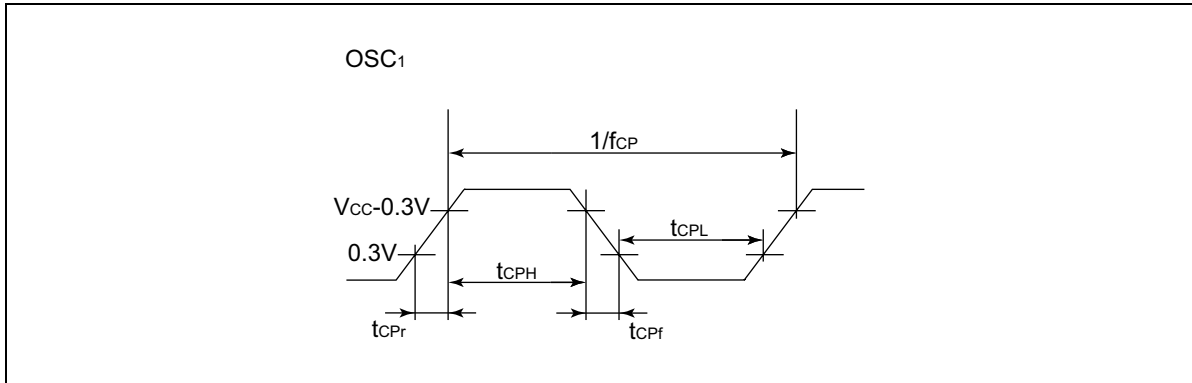


図 105 外部クロック入力波形

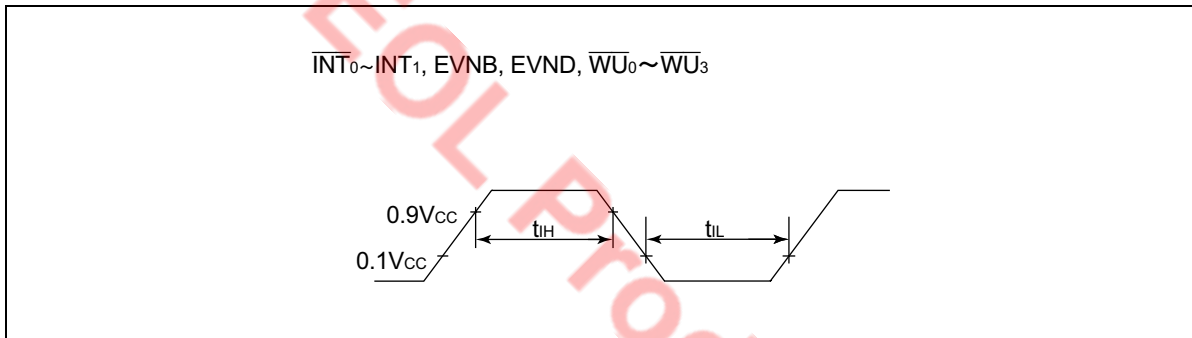


図 106 割り込みタイミング

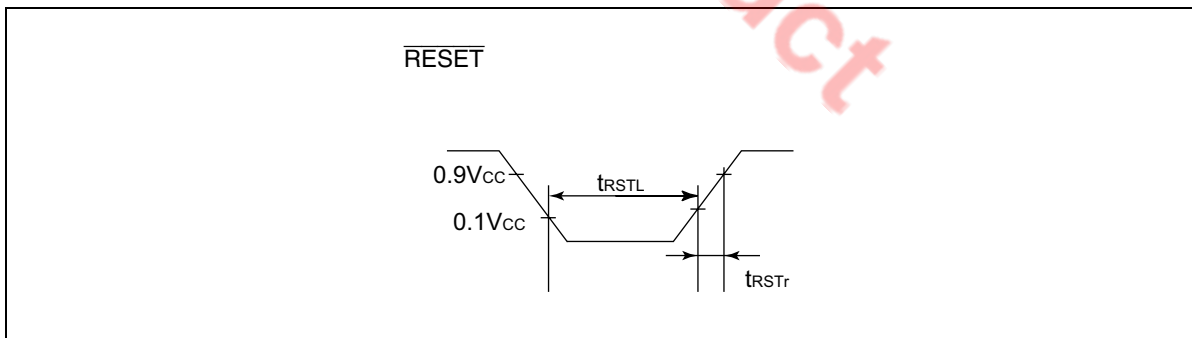


図 107 リセットタイミング

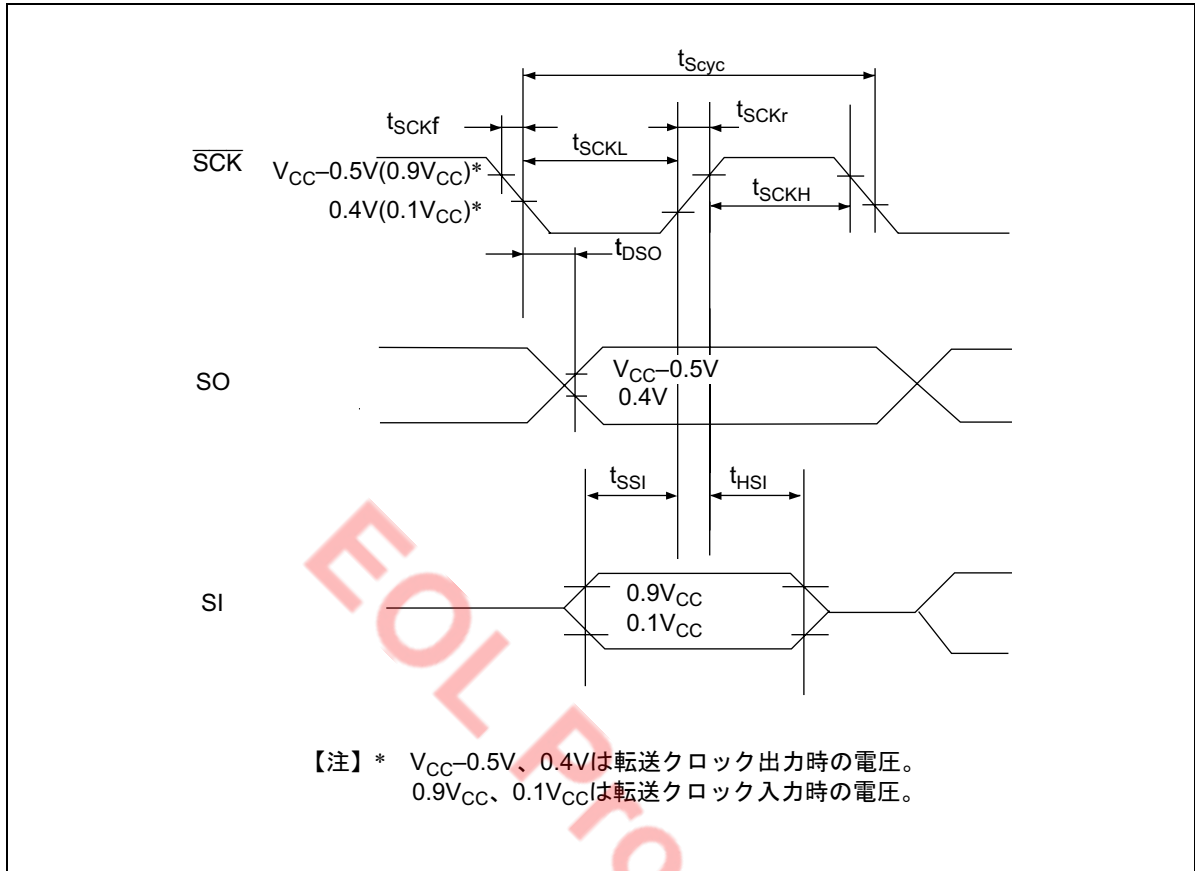


図 108 シリアルインタフェースタイミング

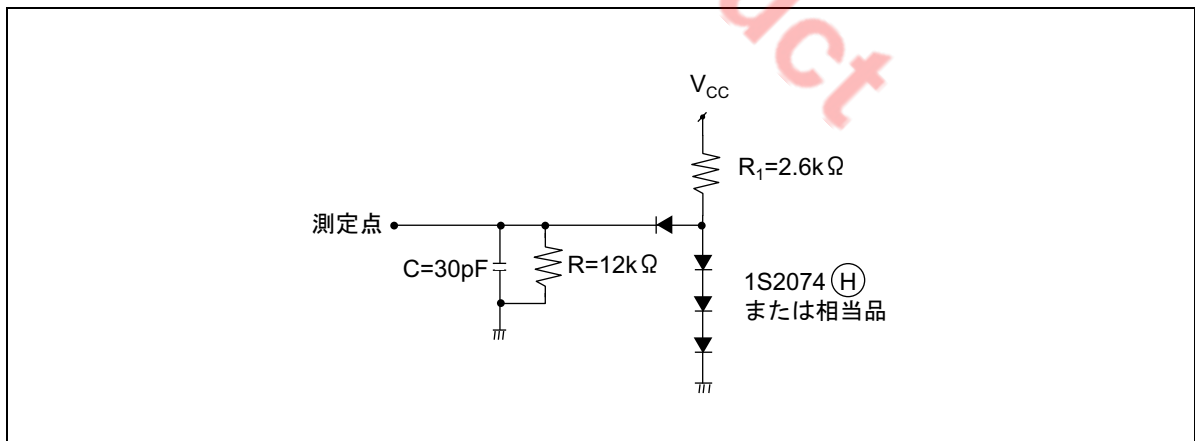
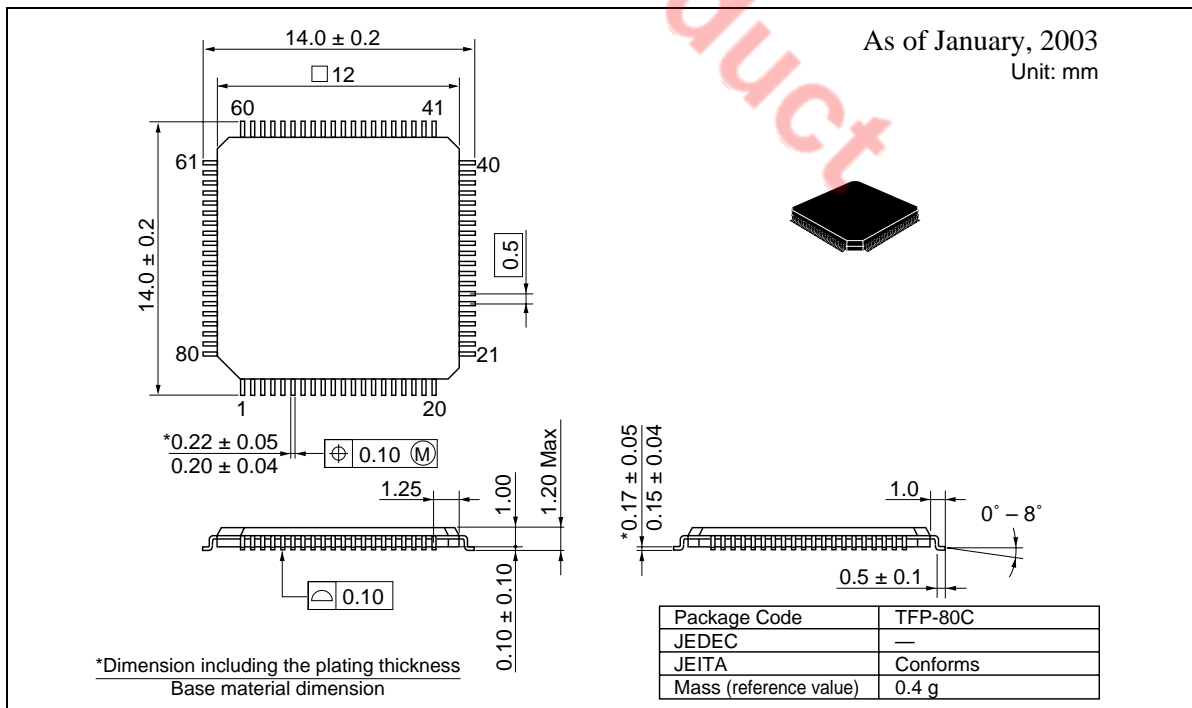
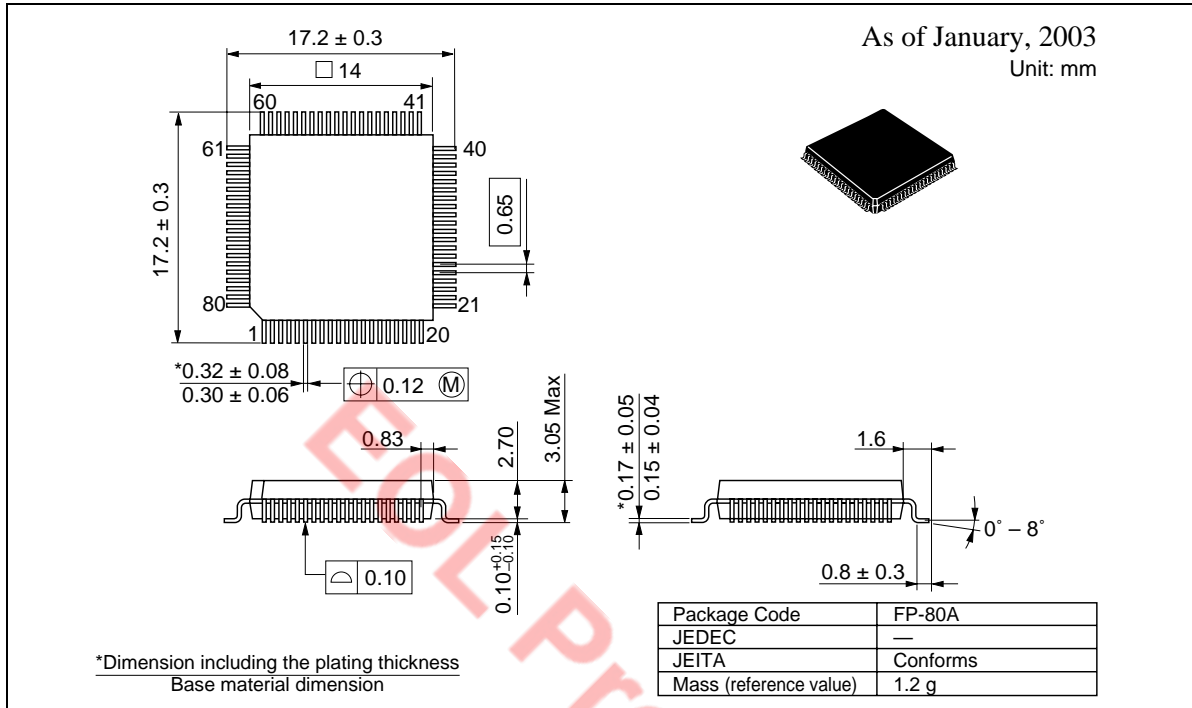
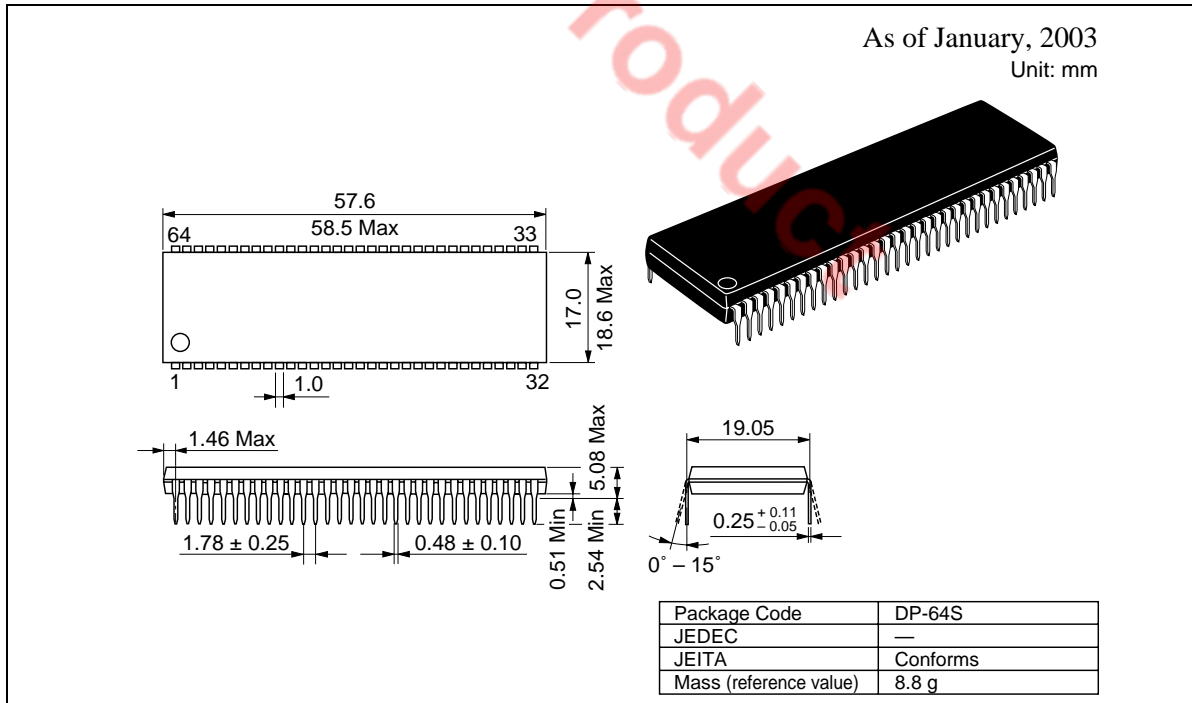
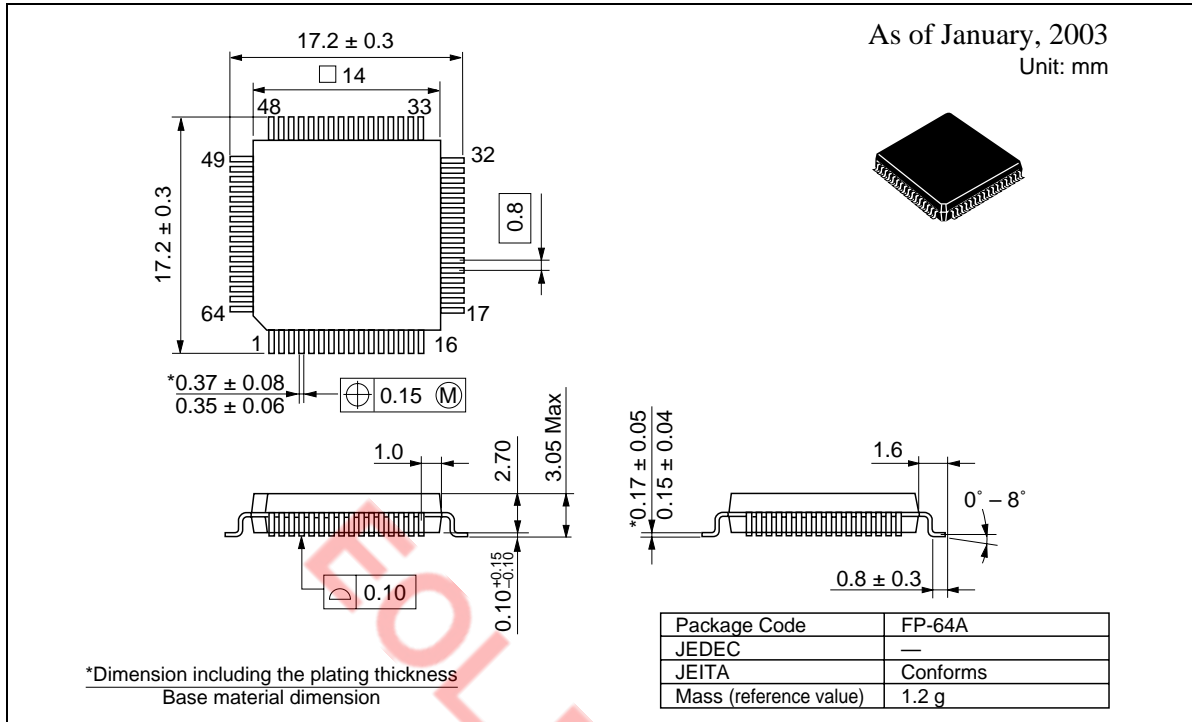


図 109 タイミング負荷回路

外形寸法図

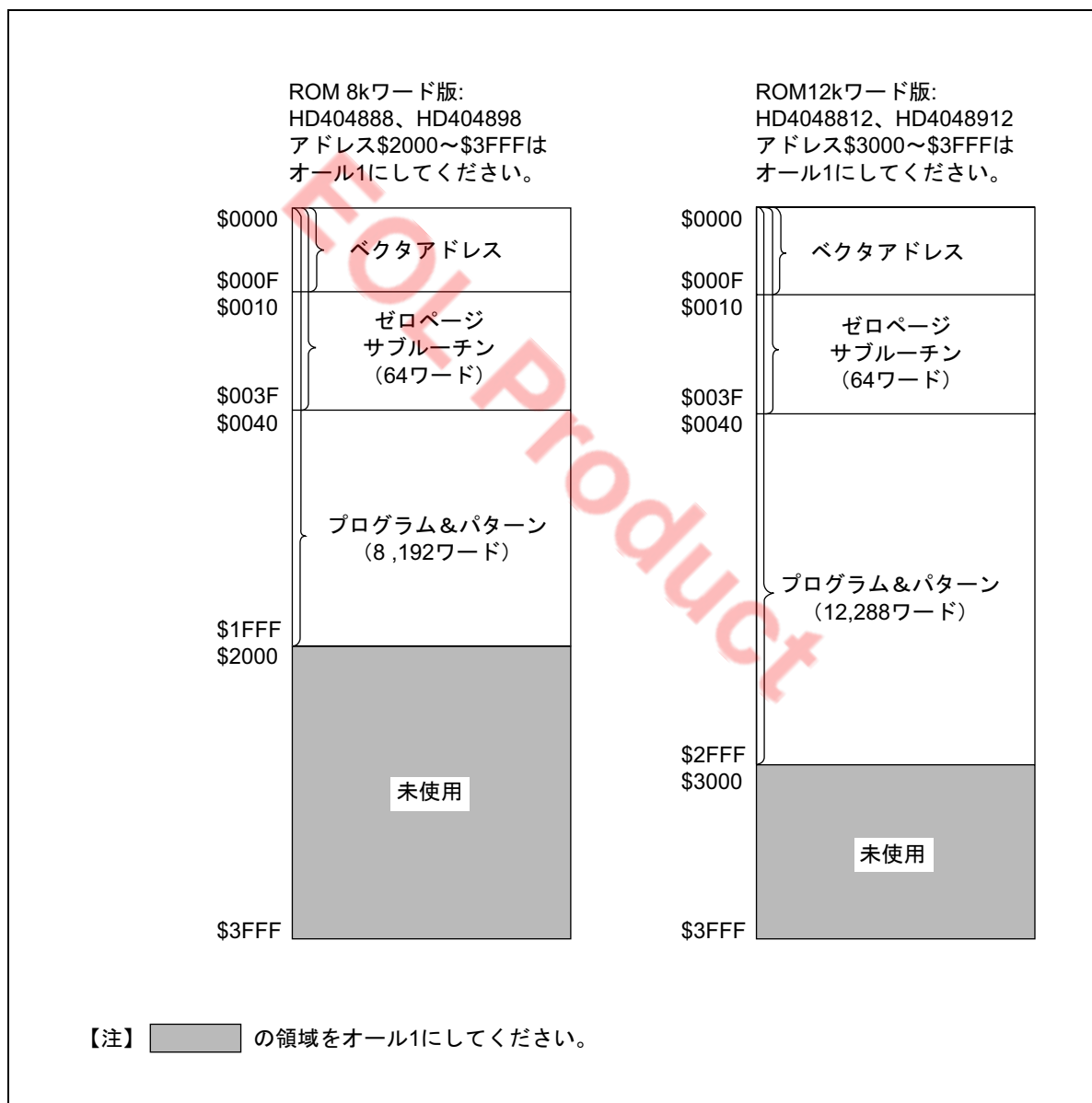




ROM 発注時のお願い

HD404888、HD4048812、HD404898、HD4048912 の ROM 発注時には、下記にご注意くださいますようお願い致します。

ROM 発注の際、下記「未使用」の領域をオール1に満たし、16k ワード版 (HD404889、HD404899) と同じデータ量としてください。ROM データをマスク描画データに変換するプログラムは、16k ワード版と同じプログラムを使用しているため、同量のデータが必要となります。これは、EPROM を使用して発注する場合と、データ伝送を使用して発注する場合のどちらにも適用します。



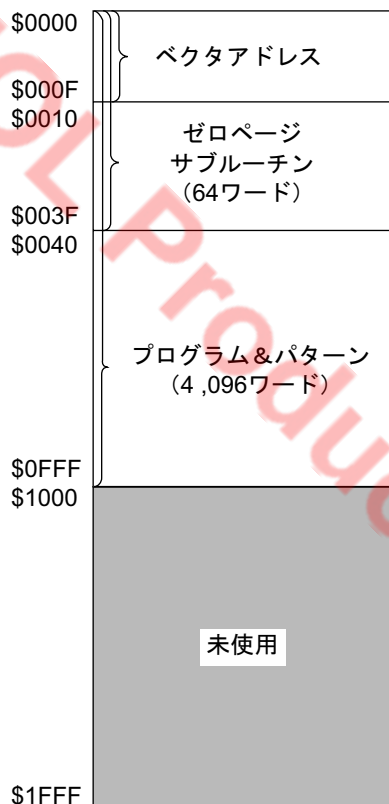


ROM 発注時のお願い

HD404874、HD404864 の ROM 発注時には、下記にご注意くださいますようお願い致します。

ROM 発注の際、下記「未使用」の領域をオール1に満たし、8k ワード版 (HD404878、HD404868) と同じデータ量としてください。ROM データをマスク描画データに変換するプログラムは、8k ワード版と同じプログラムを使用しているため、同量のデータが必要となります。これは、EPROM を使用して発注する場合と、データ伝送を使用して発注する場合のどちらにも適用します。

ROM 4kワード版:  
HD404874、HD404864  
アドレス\$1000~\$1FFFは  
オール1にしてください。



【注】  の領域をオール1にしてください。

オプションリスト HD404888,HD4048812,HD404889,HCD404889

選択する仕様に対し□内にチェック (■、×、✓) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサステクノロジ記入)	

(1) ROM サイズ

<input type="checkbox"/> HD404888	8k ワード
<input type="checkbox"/> HD4048812	12k ワード
<input type="checkbox"/> HD404889	16k ワード
<input type="checkbox"/> HCD404889	16k ワード

(2) 機能オプション

* <input type="checkbox"/>	32kHz CPU 動作あり、時計用タイムベースあり
* <input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースあり
<input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースなし

【注】 \* 部のオプション選択時には、サブシステム発振器 (X1-X2) の「水晶発振子」が必要となります。

(3) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT<sup>®</sup>マイコンを含む) は、下位上位混合タイプを指定してください。

<input type="checkbox"/>	下位上位混合タイプ データの低位 5 ビット (L)、上位 5 ビット (U) を混合して LULULU..の順に一つの EPROM に書き込んだもの。
<input type="checkbox"/>	下位上位分離タイプ データの低位 5 ビット (L)、上位 5 ビット (U) をそれぞれ別々の EPROM に書き込んだもの。

(4) システム発振器 (OSC1-OSC2)

<input type="checkbox"/>	セラミック発振子	f=	MHz
<input type="checkbox"/>	水晶発振子	f=	MHz
<input type="checkbox"/>	外部クロック	f=	MHz

(5) サブシステム発振器 (X1-X2)

<input type="checkbox"/>	使用しない	-
<input type="checkbox"/>	水晶発振子	f=32.768kHz

(4) ストップモード

<input type="checkbox"/> 有（使用）
<input type="checkbox"/> 無（未使用）

(7) パッケージ

<input type="checkbox"/> FP-80A
<input type="checkbox"/> TFP-80C
<input type="checkbox"/> チップ

【注】 チップ出荷の場合、出荷仕様がパッケージ品と異なりますので、必ず、弊社営業担当にご確認ください。

EOL Product

オプションリスト HD404898,HD4048912,HD404899,HCD404899

選択する仕様に対し□内にチェック (■、×、✓) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサステクノロジ記入)	

(1) ROM サイズ

<input type="checkbox"/> HD404898	8k ワード
<input type="checkbox"/> HD4048912	12k ワード
<input type="checkbox"/> HD404899	16k ワード
<input type="checkbox"/> HCD404899	16k ワード

(2) 機能オプション

* <input type="checkbox"/>	32kHz CPU 動作あり、時計用タイムベースあり
* <input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースあり
<input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースなし

【注】 \* 部のオプション選択時には、サブシステム発振器 (X1-X2) の「水晶発振子」が必要となります。

(3) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT<sup>®</sup>マイコンを含む) は、下位上位混合タイプを指定してください。

<input type="checkbox"/>	下位上位混合タイプ データの低位 5 ビット (L)、上位 5 ビット (U) を混合して LULULU..の順に一つの EPROM に書き込んだもの。
<input type="checkbox"/>	下位上位分離タイプ データの低位 5 ビット (L)、上位 5 ビット (U) をそれぞれ別々の EPROM に書き込んだもの。

(4) システム発振器 (OSC1-OSC2)

<input type="checkbox"/>	セラミック発振子	f=	MHz
<input type="checkbox"/>	水晶発振子	f=	MHz
<input type="checkbox"/>	外部クロック	f=	MHz

(5) サブシステム発振器 (X1-X2)

<input type="checkbox"/>	使用しない	-
<input type="checkbox"/>	水晶発振子	f=32.768kHz

(6) ストップモード

<input type="checkbox"/> 有（使用）
<input type="checkbox"/> 無（未使用）

(7) パッケージ

<input type="checkbox"/> FP-80A
<input type="checkbox"/> TFP-80C
<input type="checkbox"/> チップ

【注】 チップ出荷の場合、出荷仕様がパッケージ品と異なりますので、必ず、弊社営業担当にご確認ください。

EOL Product

オプションリスト HD404874,HD404878,HCD404878

選択する仕様に対し□内にチェック (■、×、✓) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサステクノロジ記入)	

(1) ROM サイズ

<input type="checkbox"/> HD404874	4k ワード
<input type="checkbox"/> HD404878	8k ワード
<input type="checkbox"/> HCD404878	8k ワード

(2) 機能オプション

* <input type="checkbox"/>	32kHz CPU 動作あり、時計用タイムベースあり
* <input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースあり
<input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースなし

【注】 \* 部のオプション選択時には、サブシステム発振器 (X1-X2) の「水晶発振子」が必要となります。

(3) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT<sup>®</sup>マイコンを含む) は、下位上位混合タイプを指定してください。

<input type="checkbox"/>	下位上位混合タイプ データの低位 5 ビット (L)、上位 5 ビット (U) を混合して LULULU..の順に一つの EPROM に書き込んだもの。
<input type="checkbox"/>	下位上位分離タイプ データの低位 5 ビット (L)、上位 5 ビット (U) をそれぞれ別々の EPROM に書き込んだもの。

(4) システム発振器 (OSC1-OSC2)

<input type="checkbox"/>	セラミック発振子	f=	MHz
<input type="checkbox"/>	水晶発振子	f=	MHz
<input type="checkbox"/>	外部クロック	f=	MHz

(5) サブシステム発振器 (X1-X2)

<input type="checkbox"/>	使用しない	-
<input type="checkbox"/>	水晶発振子	f=32.768kHz

(6) ストップモード

<input type="checkbox"/> 有（使用）
<input type="checkbox"/> 無（未使用）

(7) パッケージ

<input type="checkbox"/> FP-80A
<input type="checkbox"/> TFP-80C
<input type="checkbox"/> チップ

【注】 チップ出荷の場合、出荷仕様がパッケージ品と異なりますので、必ず弊社営業担当にご確認ください。

EOL Product

オプションリスト HD404864,HD404868

選択する仕様に対し□内にチェック (■、×、✓) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサステクノロジ記入)	

(1) ROM サイズ

<input type="checkbox"/> HD404864	4k ワード
<input type="checkbox"/> HD404868	8k ワード

(2) 機能オプション

* <input type="checkbox"/>	32kHz CPU 動作あり、時計用タイムベースあり
* <input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースあり
<input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースなし

【注】 \* 部のオプション選択時には、サブシステム発振器 (X1-X2) の「水晶発振子」が必要となります。

(3) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT<sup>®</sup>マイコンを含む) は、下位上位混合タイプを指定してください。

<input type="checkbox"/>	下位上位混合タイプ データの低位 5 ビット (L)、上位 5 ビット (U) を混合して LULULU..の順に一つの EPROM に書き込んだもの。
<input type="checkbox"/>	下位上位分離タイプ データの低位 5 ビット (L)、上位 5 ビット (U) をそれぞれ別々の EPROM に書き込んだもの。

(4) システム発振器 (OSC1-OSC2)

<input type="checkbox"/>	セラミック発振子	f=	MHz
<input type="checkbox"/>	水晶発振子	f=	MHz
<input type="checkbox"/>	外部クロック	f=	MHz

(5) サブシステム発振器 (X1-X2)

<input type="checkbox"/>	使用しない	-
<input type="checkbox"/>	水晶発振子	f=32.768kHz

(6) ストップモード

<input type="checkbox"/>	有 (使用)
<input type="checkbox"/>	無 (未使用)



(7) パッケージ

<input type="checkbox"/> FP-64A
<input type="checkbox"/> DP-64S

EOL Product

株式会社ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認ください。また、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すための、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

<http://www.renesas.com>

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第二鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌支店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部営業本部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
北部営業本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクシスタワー10F)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島支店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 256-9021

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：カスタマサポートセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)