

低電圧 OR 接続 FET コントローラ

ISL6146

ISL6146 は、1V ~ 18V の電圧を OR 接続できる、OR 接続 MOSFET コントローラ・ファミリです。適切なサイズの N チャネル・パワー MOSFET と組み合わせてパワー OR 接続ダイオードの代わりに使用することにより、大電流アプリケーションの配電効率を高められます。ISL6146 は、完全内蔵型のチャージポンプにより、ゲートドライブ電圧を MOSFET に供給します。

ISL6146 は、ユーザーが外付け抵抗で $V_{OUT} - V_{IN}$ トリップポイントを設定することにより、システム電源ノイズに対する制御感度を調整できます。オープン・ドレイン FAULT ピンは、条件付きフォルトや FET フォルトの発生を通知します。

ISL6146A と ISL6146B は、3V 以上の独立したバイアス電圧を加することにより、最小 1V の超低電圧動作向けに最適化されます。

ISL6146C はアンダーボルテージ・ロックアウト (UVLO) とオーバーボルテージ (過電圧) 保護 (OVP) のスレッシュホールド・レベルをプログラム可能であり、UVLO の最小値は 3V になります。

表 1. ファミリ内の製品間の主な違い

製品型番	主な違い
ISL6146A	アクティブ High イネーブルに対応した個別の BIAS と VIN
ISL6146B	アクティブ Low イネーブルに対応した個別の BIAS と VIN
ISL6146C	OVP/UVLO 入力に対応した VIN

特長

- 最小 1V ~ 最大 20V の OR 接続 (ISL6146A、ISL6146B)
- プログラム可能な UVLO/OVP (ISL6146C)
- 最大 +24V の VIN ホットスワップ過渡電圧保護定格
- 電源での短絡発生時には、高速コンパレータが $0.3 \mu s$ 未満の高速ターンオフを実行
- 逆電流フォルトでの FET ターンオフ時、6A のゲート駆動電流による超高速動作
- きわめてスムーズなスイッチング遷移
- 内蔵チャージポンプにより、N チャネル MOSFET を駆動
- 高いノイズ耐性により、 $V_{IN} - V_{OUT}$ 電圧スレッシュホールド (V_{th}) がプログラム可能
- デイレイを設定可能なオープン・ドレイン FAULT 出力
 - 外部 FET の任意の 2 端子の短絡検出
 - GATE 電圧と過剰な FET V_{DS} の検出
 - パワーグッド・インジケータ (ISL6146C)
- MSOP パッケージと DFN パッケージを選択可能

アプリケーション

- N+1 の産業 / 通信用配電システム
- 無停電電源装置
- 低電圧プロセッサ / メモリ
- ストレージ / データ通信システム

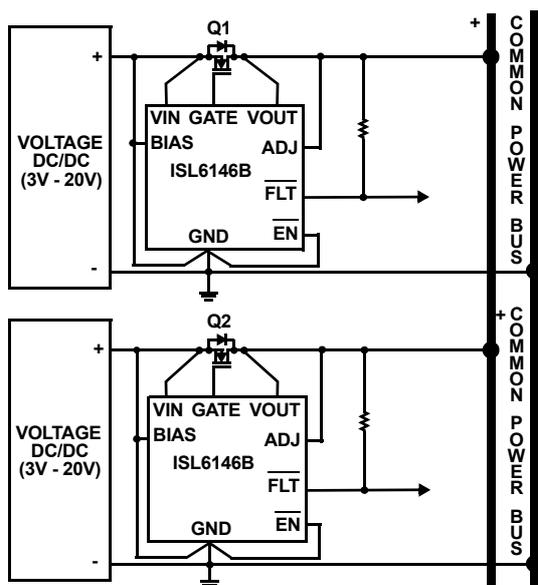


図 1. アプリケーション回路例

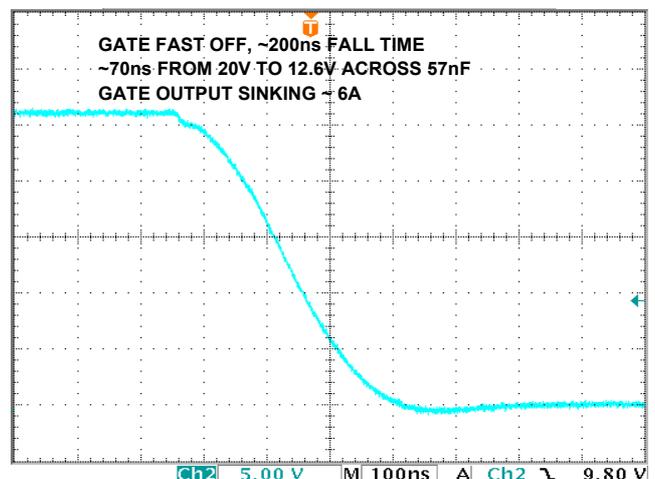
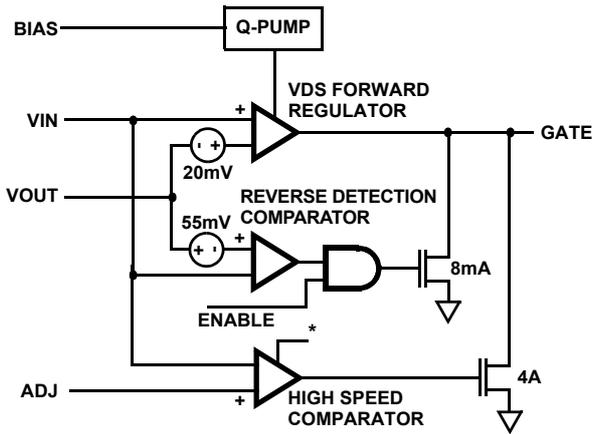


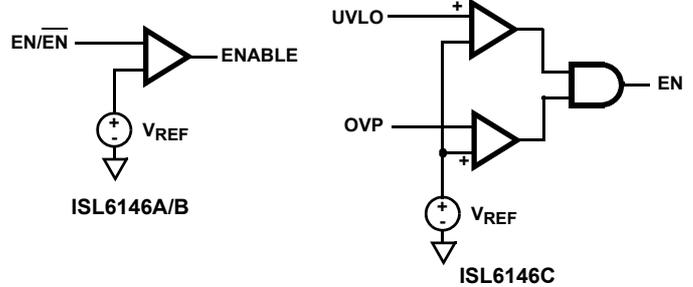
図 2. ISL6146 の GATE における高電流プルダウン

ブロック図



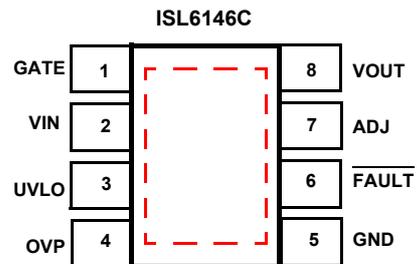
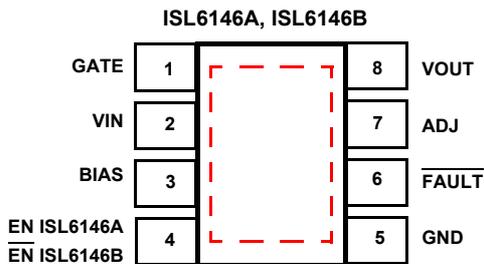
* Connected to BIAS on ISL6146A/B
Connected to VOUT on ISL6146C

- FAULT DIAGNOSTIC**
1. $V_{IN} - V_{OUT} > 570mV$
 2. $GATE - V_{IN} < 220mV$
 3. $TEMP > +150^{\circ}C$
 4. $V_{BIAS} < POR$ (ISL6146A/B)
 5. V_{IN} OR $V_{OUT} < POR$ (ISL6146C)
 6. $V_{IN} < V_{OUT}$



ピン配置

ISL6146
(8 LD MSOP/DFN)
上面図



EPAD は DFN のみ。GND に接続

ピンの説明

MSOP/ DFN	名称	説明
1	GATE	IC の内蔵チャージポンプによって生成される、外付け N チャネル MOSFET へのゲートドライブ出力。ゲートのターンオン時間は通常 1ms 未満です。外付け N チャネル FET ゲートをアクティブ制御することで、OR 接続機能を実行できます。 GATE ドライブの範囲は $V_{IN} + 7V$ ($V_{IN} = 3.3V$) \sim $V_{IN} + 12V$ ($V_{IN} = 18V$) です。
2	VIN	電源側 (OR 接続 MOSFET ソース端子) に接続されるこのピンは、センスピンとして機能し、OR 接続電源電圧を検出します。外部で設定されたスレッシュホールドまたはデフォルトの内部スレッシュホールドよりも V_{IN} が V_{OUT} を下回ると、OR 接続 MOSFET がターンオフになります。範囲: 0V \sim 24V。
3 ISL6146A ISL6146B	BIAS	1 次バイアスピンの。3V 以上かつ V_{IN} と同電圧か、またはこれよりも高い、独立した電源に接続します。範囲: 3.0V \sim 24V。
3 ISL6146C	UVLO	プログラム可能な UVLO 保護機能。VIN が十分にバイアスされる前にターンオンすることを防止します。範囲: 0V \sim 24V。
4 ISL6146A	EN	FET をターンオンするための、アクティブ High イネーブル入力。2M Ω 抵抗により内部で GND にプルダウンされます。範囲: 0V \sim 24V。
4 ISL6146B	EN-	FET をターンオンするための、アクティブ Low イネーブル入力。2M Ω 抵抗により内部で BIAS にプルアップされます。範囲: 0V \sim 24V。

ピンの説明 (続き)

MSOP/ DFN	名称	説明
4 ISL6146C	OVP	プログラム可能な OVP 機能。モニタリング対象の電圧が過度に高くなった場合、動作の継続を防止します。OVP 機能を有効にするには、back-to-back FET 構成を採用する必要があります。範囲：0V ~ 24V。
5	GND	チップ・グラウンド・リファレンス。
6	FAULT	オンチップ・フィルタリング (T _{FLT}) 内蔵のオープン・ドレイン・プルダウン・フォルト通知出力。ISL6146 のフォルト検出回路は、フォルト検出時またはディスエーブル入力時、このピンを GND までプルダウンします。以下に示す各種のフォルトとその検出メカニズムについては、16 ページで詳しく説明します。 a. GATE がオフ (GATE < V _{IN} + 0.2V)、または b. オンのときに V _{IN} - V _{OUT} > 0.57V c. FET G-D、G-S、または D-S が短絡 d. V _{IN} < POR _{L2H} e. V _{IN} < V _{OUT} f. 過熱 範囲：0V ~ V _{OUT} 。
7	ADJ	抵抗によってプログラム可能な、高速コンパレータの V _{IN} - V _{OUT} 電圧スレッシュホールド (V _{th})。このピンは、V _{OUT} に直接接続することも、5kΩ ~ 100kΩ の抵抗を介して GND に接続することもできます。電圧差スレッシュホールドの調整により、通常のシステム電圧変動が原因でパス FET が意図せずターンオフすることを防ぎます。 範囲：0.4V ~ V _{OUT} 。
8	V _{OUT}	外付け FET 制御用の二次センス・ノード。負荷側 (OR 接続 MOSFET ドレイン) に接続します。これは複数の並列電源に対する共通の接続ポイントになります。V _{OUT} と V _{IN} を比較することにより、OR 接続 FET をターンオフすべきタイミングを判断します。範囲：0V ~ 24V。
PAD	サーマル・パッド	GND に接続します。

注文情報

製品型番 (Note 1、2、3)	マーキング	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの外観図
ISL6146AFUZ	6146A	-40 ~ +125	8 Ld MSOP	M8.118
ISL6146AFRZ	46AF	-40 ~ +125	8 Ld 3x3 DFN	L8.3x3J
ISL6146BFUZ	6146B	-40 ~ +125	8 Ld MSOP	M8.118
ISL6146BFRZ	46BF	-40 ~ +125	8 Ld 3x3 DFN	L8.3x3J
ISL6146CFUZ	6146C	-40 ~ +125	8 Ld MSOP	M8.118
ISL6146CFRZ	46CF	-40 ~ +125	8 Ld 3x3 DFN	L8.3x3J
ISL6146AEVAL1Z	ISL6146A 評価ボード			
ISL6146BEVAL1Z	ISL6146B 評価ボード			
ISL6146CEVAL1Z	ISL6146C 評価ボード			

Note :

- テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ [TB 347](#) を参照してください。
- これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には錫 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度では MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
- 吸湿性レベル (MSL) については [ISL6146](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ [TB 363](#) を参照してください。

目次

絶対最大定格	5
温度情報	5
推奨動作条件	5
電気的特性	5
性能特性	8
動作の説明	15
動作の概要	15
アプリケーション情報	16
パワーアップに関する考慮事項	16
アプリケーション回路例	16
ISL6146 の評価プラットフォーム	18
評価ボードに関する説明と使用方法	18
改訂履歴	21
製品	21
パッケージ寸法図 (L8.3x3J)	22
パッケージ寸法図 (M8.118)	23

絶対最大定格

BIAS, VIN, VOUT	-0.3V ~ +24V
GATE	-0.3V ~ 40V
EN, EN, UVLO, OVP	-0.3V ~ +24V
ADJ	-0.3V ~ V _{OUT}
FAULT	-0.3V ~ V _{OUT}
ESD 定格	
人体モデル (JESD22-A114E に従ってテスト済み)	2.5kV
機械モデル (JESD22-A115-A に従ってテスト済み)	250V
ラッチアップ定格	
(JESD-78B; Class 2, Level A に従ってテスト済み)	100mA

温度情報

熱抵抗 (代表値)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
MSOP パッケージ (Note 4, 7)	140	41
DFN パッケージ (Note 5, 6)	46	5
ジャンクション最高温度 (プラスチック・パッケージ)	+150 °C	
保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロー・プロファイル	以下の URL を参照	
	http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

推奨動作条件

バイアス電源電圧範囲	+3V ~ +20V
OR 接続電源電圧範囲	+1V ~ BIAS
温度範囲 (T _A)	-40 °C ~ +125 °C

注意：過度に長い期間にわたって最大定格点または最大定格付近でモジュールを動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあると同時に、保証の対象とはならない可能性があります。

Note :

- θ_{JA} は、部品を放熱効率の高い試験基板に実装した状態で、自由大気中で測定した値です。詳細はテクニカル・ブリーフ [TB 379](#) を参照してください。
- θ_{JA} は、部品を放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装した状態で、自由大気中で測定した値です。詳細はテクニカル・ブリーフ [TB 379](#) を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ上面の中心です。

電気的特性 特記のない限り動作条件は次のとおりです。V_{CC} = BIAS = 12V、T_A = +25 °C ~ +85 °C。
太字のリミット値は動作温度範囲 -40 °C ~ +125 °C に対して適用されます。

SYMBOL	PARAMETERS	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
BIAS						
POR _{L2H}	POR Rising	BIAS Rising, GATE Rising	1.9	2.5	2.95	V
POR _{HYS}	POR Hysteresis			189		mV
IBIAS_en_18	ISL6146A/B BIAS Current	BIAS, V _{IN} = 18V, ADJ, V _{OUT} = 16.98V, enabled		3.6	5	mA
IVIN_en_18	ISL6146A/B V _{IN} Current	BIAS, V _{IN} = 18V, ADJ, V _{OUT} = 16.98V, enabled		25	40	μA
IVIN_en_18	ISL6146C V _{IN} Current	V _{IN} = 18V, ADJ, V _{OUT} = 16.98V, enabled		3	4.5	mA
IVOUT_en_18	ISL6146A/B V _{OUT} Current	BIAS, V _{IN} = 18V, V _{OUT} = 16.98V, enabled		14	20	μA
VOOUT_en_18	ISL6146C V _{OUT} Current	V _{IN} = 18V, V _{OUT} = 16.98V, enabled		400	500	μA
IBIAS_den_18	ISL6146A/B BIAS Current	BIAS, V _{IN} = 18V, ADJ, V _{OUT} = 16.98V, disabled		1.7	3	mA
IVIN_den_18	ISL6146A/B V _{IN} Current	BIAS, V _{IN} = 18V, ADJ, V _{OUT} = 16.98V, disabled		27	37	μA
IVIN_den_18	ISL6146C V _{IN} Current	V _{IN} = 18V, ADJ, V _{OUT} = 16.98V, disabled		1.3	1.5	mA
IVOUT_den_18	ISL6146A/B V _{OUT} Current	BIAS, V _{IN} = 18V, V _{OUT} = 16.98V, disabled		14	20	μA
IVOUT_den_18	ISL6146C V _{OUT} Current	V _{IN} = 18V, V _{OUT} = 16.98V, disabled		385	500	μA
t _{BIAS2GTE}	BIAS to GATE Delay	BIAS > POR _{L2H} to GATE Rising		150	210	μs
GATE						
V _{GH_3}	Charge Pump Voltage	V _{IN} , BIAS = 3V V _{IN} - V _{OUT} > V _{FWD_HR}	V_{IN}+5V	V _{IN} +7V	V_{IN}+10.5V	V
V _{GH_12}	Charge Pump Voltage	V _{IN} , BIAS = 12V V _{IN} - V _{OUT} > V _{FWD_HR}	V_{IN}+9V	V _{IN} +10V	V_{IN}+17.5V	V
V _{GH_18}	Charge Pump Voltage	V _{IN} , BIAS = 18V V _{IN} - V _{OUT} > V _{FWD_HR}	V_{IN}+9V	V _{IN} +10V	V_{IN}+18V	V
V _{GL}	Low Voltage Level	V _{IN} - V _{OUT} < 0V		0	0.1	V
I _{PDL}	Low Pull-Down Current	V _{IN} = 12V, V _{OUT} = 12.2V ADJ = 11V	5	8.4	13	mA
I _{PDH}	High Pull-Down Current	V _{IN} falling from 12V to 10V in 2μs	3.5	6.5		A

ISL6146

電気的特性 特記のない限り動作条件は次のとおりです。V_{CC} = BIAS = 12V、T_A = +25 °C ~ +85 °C。
太字のリミット値は動作温度範囲 -40 °C ~ +125 °C に対して適用されます。(続き)

SYMBOL	PARAMETERS	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
t _{toff}	Fast Turn-off Time	V _{IN} = V _{BIAS} = 12V, V _{GATE} = 18V to 10V, C _{GATE} = 57nF		65	130	ns
t _{toffs}	Slow Turn-off Time	V _{IN} = V _{BIAS} = 12V, V _{GATE} = 18V to 10V, C _{GATE} = 57nF		58	80	μs
I _{ON}	Turn-On Current	BIAS = 12V, V _G = 0V		1		mA
		BIAS = 12V, V _G = 20V		0.15		mA
V _{VG_FLTr}	GATE to V _{IN} Rising Fault Voltage	GATE > V _{IN} , enabled, fault is asserted	320	440	560	mV
V _{VG_FLTf}	GATE to V _{IN} Falling Fault Voltage	GATE > V _{IN} , enabled, fault is asserted	140	220	300	mV
CONTROL AND REGULATION I/O						
V _{Rr}	Reverse Voltage Detection Rising V _{OUT} Threshold	V _{OUT} rising	35	57	79	mV
V _{Rf}	Reverse Voltage Detection Falling V _{OUT} Threshold	V _{OUT} falling	10	30	51	mV
t _{Rs}	Reverse Voltage Detection Response Time			10		μs
V _{FWD_VR}	Amplifier Forward Voltage Regulation	ISL6146 controls voltage across FET V _{DS} to V _{FWD_VR} during static forward operation at loads resulting in I _d *r _{DS(ON)} < V _{FWD_VR}	11	19	28	mV
V _{OS_HS}	HS Comparator Input Offset Voltage		-14	0.7	14	mV
V _{TH(HS5k)}	ADJ Adjust Threshold with 5k to GND	R _{ADJ} = 5kΩ to GND	0.57	0.8	1.1	V
V _{TH(HS100k)}	ADJ Adjust Threshold with 100k to GND	R _{ADJ} = 100kΩ to GND	10	40	95	mV
t _{HSpd}	HS Comparator Response Time	V _{OUT} > V _{IN} , 1ns transition, 5V differential		170		ns
V _{FWD_FLT}	V _{IN} to V _{OUT} Forward Fault Voltage	V _{IN} > V _{OUT} , GATE is fully on, fault is asserted	330	450	570	mV
V _{FWD_FLT_HYS}	V _{IN} to V _{OUT} Forward Fault Voltage Hysteresis	V _{IN} > V _{OUT} , GATE is fully on, fault is deasserted		44		mV
FAULT OUTPUT						
I _{FLT_SINK}	$\overline{\text{FAULT}}$ Sink Current	BIAS = 18V $\overline{\text{FAULT}} = 0.5V$, V _{IN} < V _{OUT} , V _{GATE} = V _{GL}	5	9		mA
I _{FLT_LEAK}	$\overline{\text{FAULT}}$ Leakage Current	$\overline{\text{FAULT}} = "V_{\text{FLT_H}}"$, V _{IN} > V _{OUT} , V _{GATE} = V _{IN} + V _{GQP}		0.04	10	μA
t _{FLT_L2H}	$\overline{\text{FAULT}}$ Low to High Delay	GATE = V _{GQP} to $\overline{\text{FAULT}} = \text{HIGH}$		10	23	μs
t _{FLT_H2L}	$\overline{\text{FAULT}}$ High to Low Delay	GATE = V _{IN} to $\overline{\text{FAULT}} = \text{LOW}$		1.7	3	μs
ENABLE UVLO/OVP/ADJ INPUTS						
V _{thRa}	ISL6146A EN Rising V _{th}		580	606	631	mV
V _{thR_hysa}	ISL6146A EN V _{th} Hysteresis			-90		mV
V _{thFb}	ISL6146B $\overline{\text{EN}}$ Falling V _{th}		580	606	631	mV
V _{thF_hysb}	ISL6146B $\overline{\text{EN}}$ V _{th} Hysteresis			+90		mV
V _{thFc}	ISL6146C OVP Falling V _{th}		580	606	631	mV
V _{thF_hysc}	ISL6146C OVP V _{th} Hysteresis			+90		mV
V _{thRc}	ISL6146C UVLO Rising V _{th}		580	606	631	mV

ISL6146

電気的特性 特記のない限り動作条件は次のとおりです。V_{CC} = BIAS = 12V、T_A = +25 °C ~ +85 °C。
太字のリミット値は動作温度範囲 -40 °C ~ +125 °C に対して適用されます。(続き)

SYMBOL	PARAMETERS	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
VthR_hysc	ISL6146C UVLO Vth Hysteresis			-90		mV
t _{EN2GTER}	EN/UVLO Rising to GATE Rising Delay			10	12	μs
	EN/OVP Falling to GATE Rising Delay			9	12	μs
t _{EN2GTEF}	EN/UVLO Falling to GATE Falling Delay			2	4	μs
	EN/OVP Rising to GATE Falling Delay			2	4	μs
Ren_h	ENABLE Pull-Down Resistor	ISL6146A		2		MW
Ren_l	ENABLE Pull-Up Resistor	ISL6146B		2		MW
Vadj	ADJ Pin Voltage	R _{ADJ} 5kΩ to 100kΩ		0.4		V
Radj	ADJ Pull-Up Resistor	Internal ADJ Pull-up Resistor to V _{OUT}		3.85		MW
OTS	Over-Temperature Sense	Fault signals in operation		140		°C
OTS _{HYS}	Over-Temperature Sense Hysteresis			20		°C
HTS	High Temperature Sense	Fault signals upon enabling		125		°C

Note :

8. データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか1つまたは複数によって保証されています。

性能特性

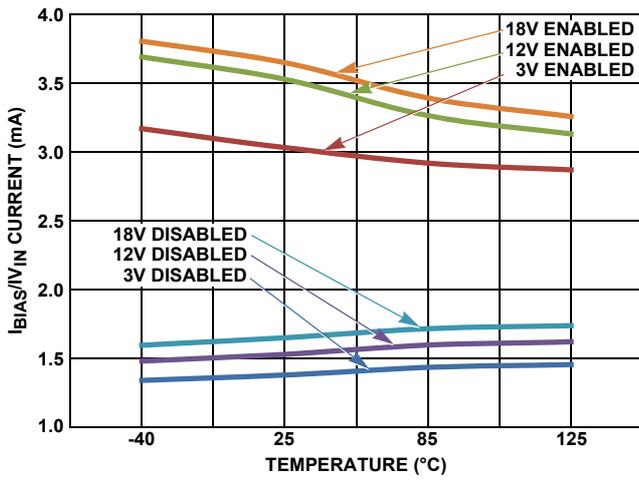


図 3. ISL6146A/B の BIAS 電流と ISL6146C の V_{IN} 電流 vs 温度

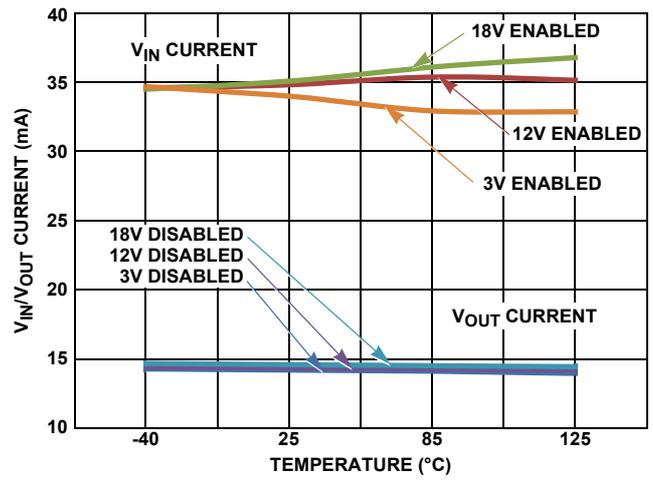


図 4. ISL6146A/B/C の V_{IN} 電流と V_{OUT} 電流 vs 温度

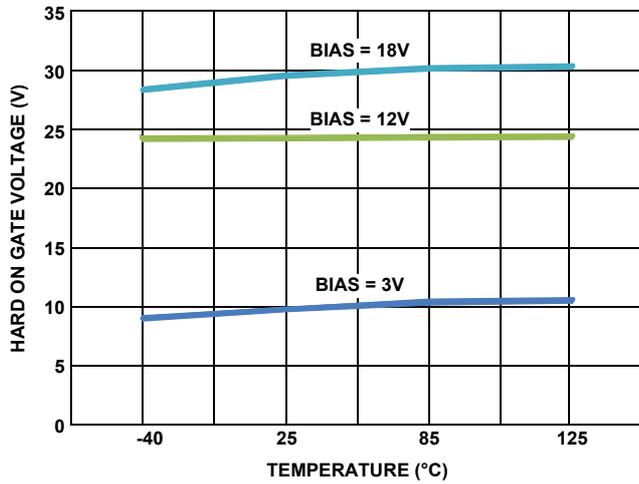


図 5. GATE 電圧 vs 温度

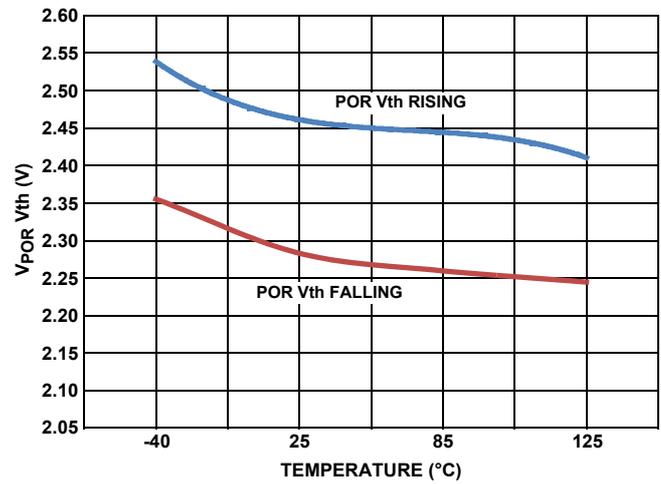


図 6. POR Vth の立ち上がり / 立ち下がり電圧

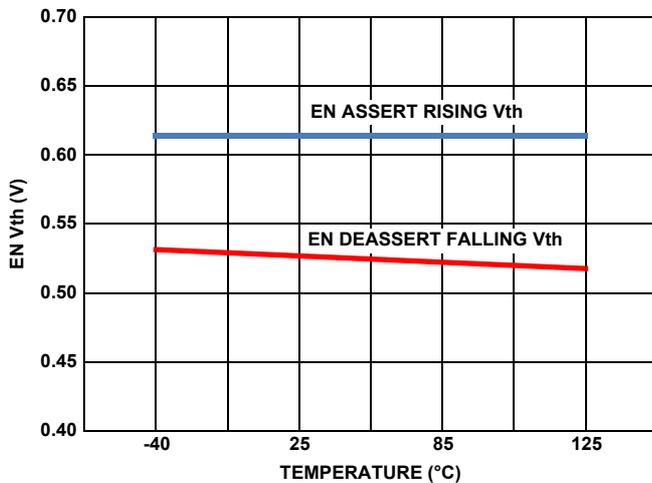


図 7. ISL6146A の EN Vth vs 温度

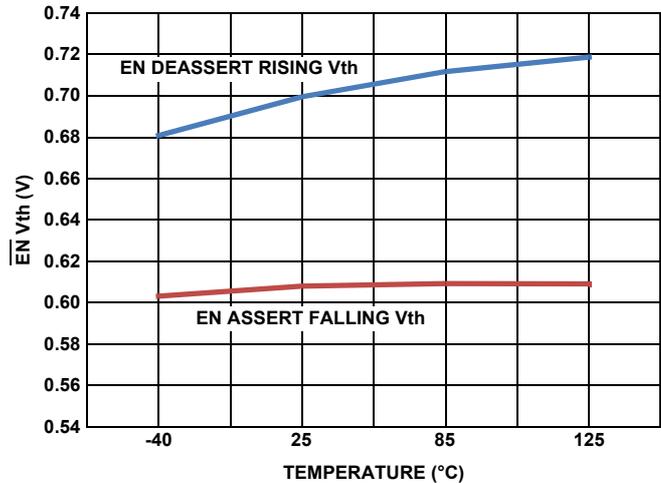


図 8. ISL6146B の EN Vth vs 温度

性能特性 (続き)

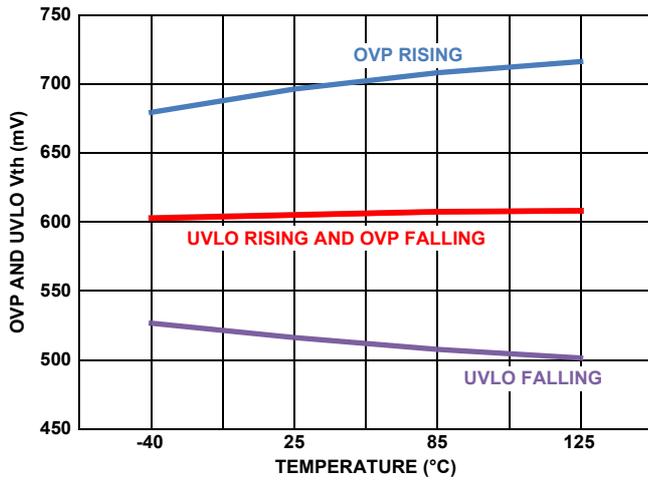


図 9. ISL6146C の UVLO/OVP Vth vs 温度

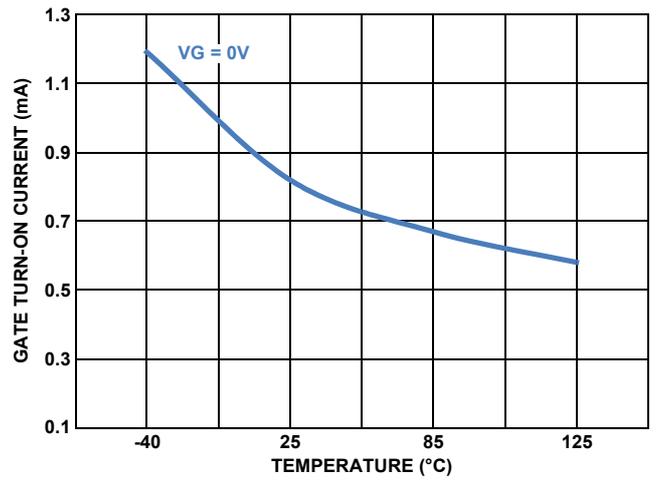


図 10. GATE のターンオン電流、 $V_{IN} = 12V$

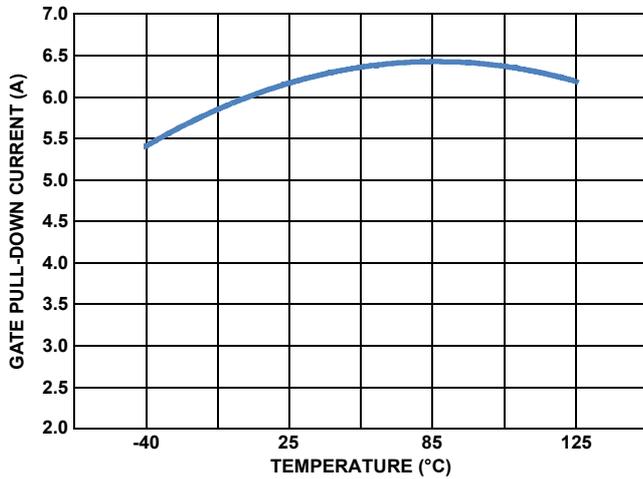


図 11. GATE のハードターンオフ電流

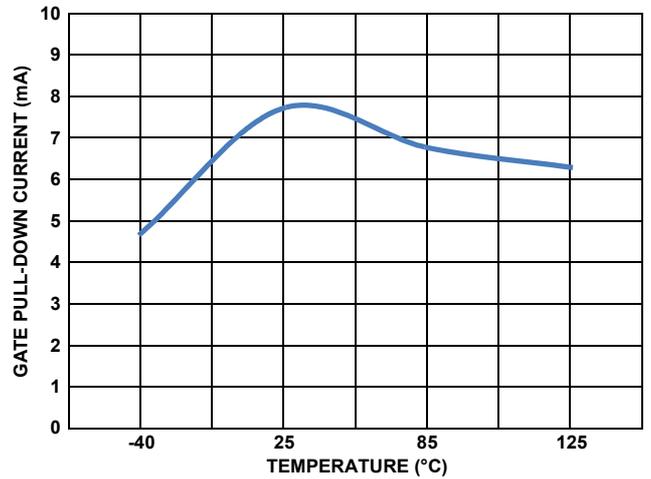


図 12. GATE の低速ターンオフ電流

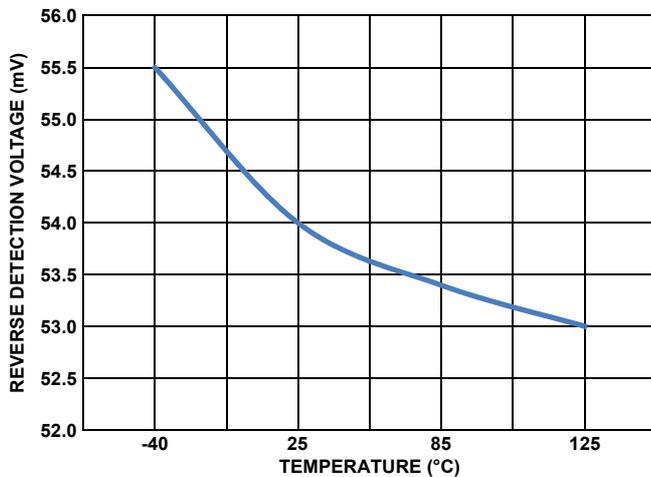


図 13. 逆電圧検出 Vth の増加

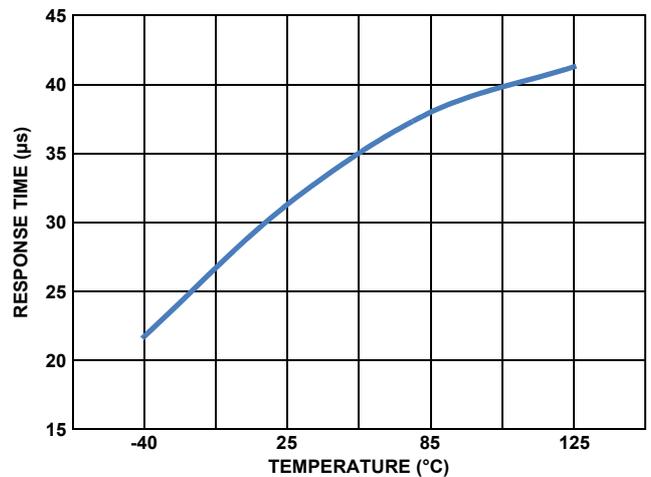


図 14. 逆電圧の応答時間

性能特性 (続き)

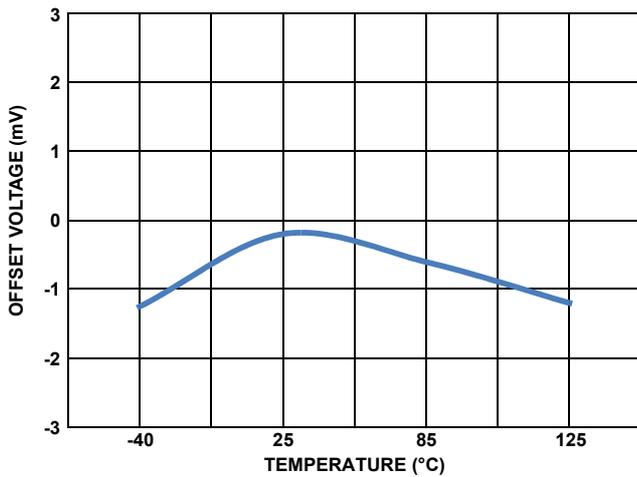


図 15. 高速コンパレータのオフセット電圧

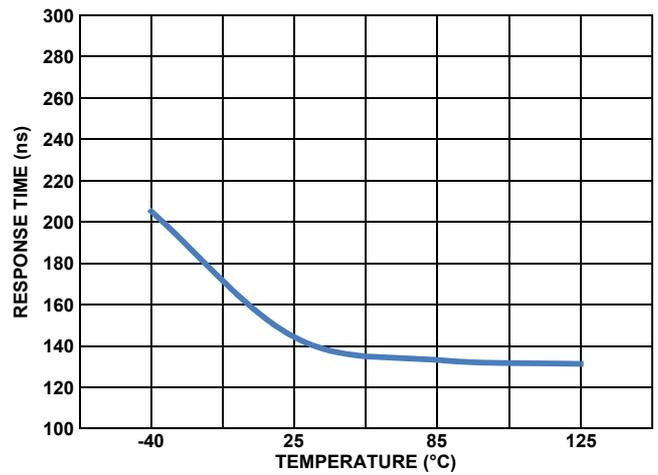


図 16. 高速コンパレータの応答時間

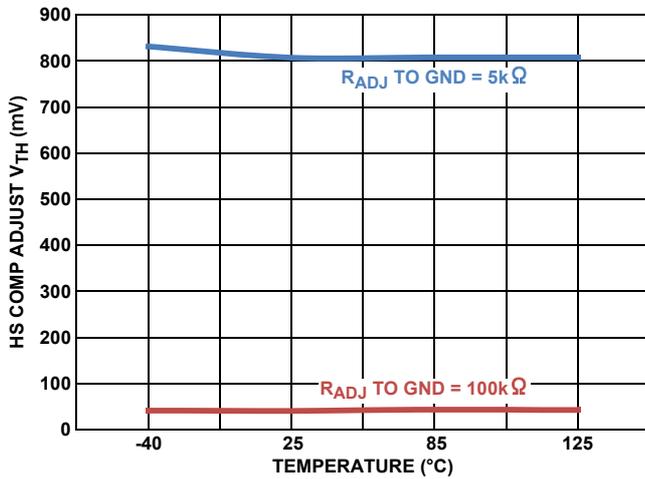


図 17. 高速コンパレータの可変 Vth

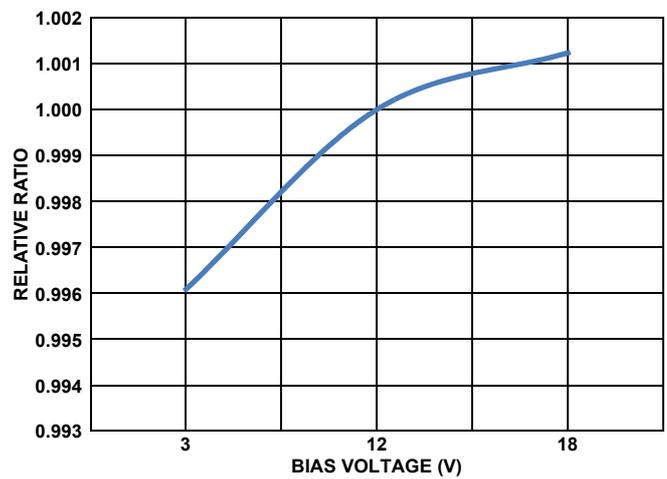


図 18. EN/EN/OVP/UVLO Vth のデルタ vs BIAS = 12V に正規化された BIAS 電圧

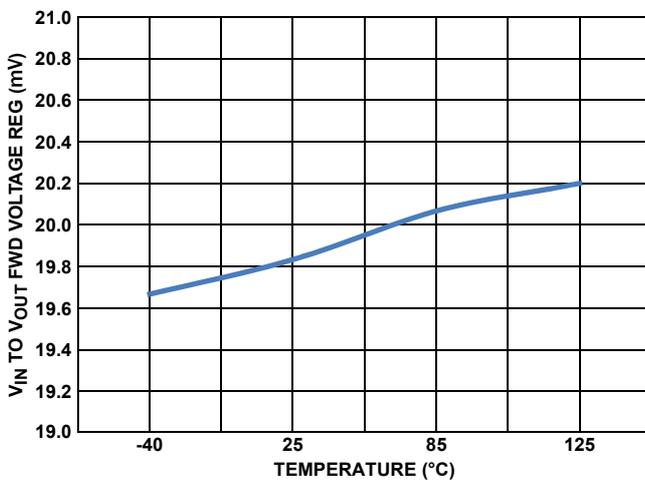


図 19. 順方向電圧レギュレーション

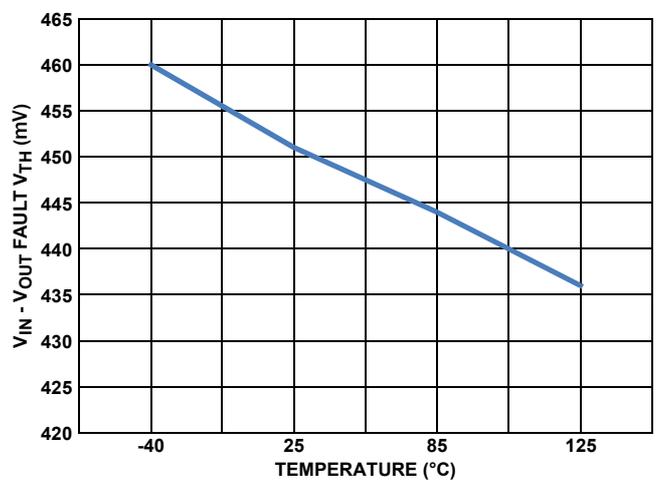


図 20. V_{IN} - V_{OUT} 順方向 FAULT 電圧

性能特性 (続き)

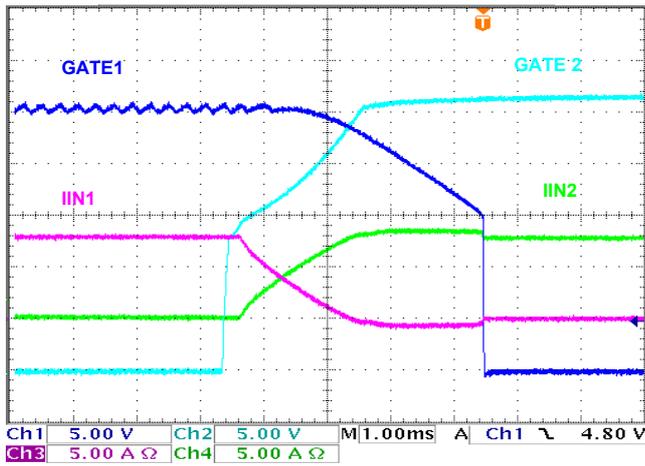


図 21. ISL6146C の低速ランプ接続、12V OR 接続

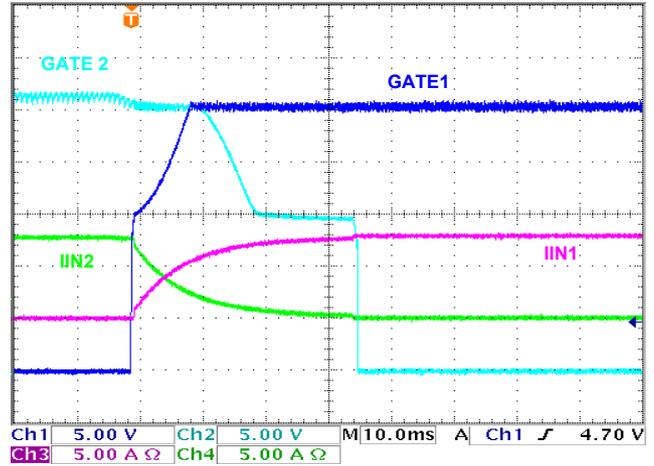


図 22. ISL6146C の低速ランプ切断、12V OR 接続

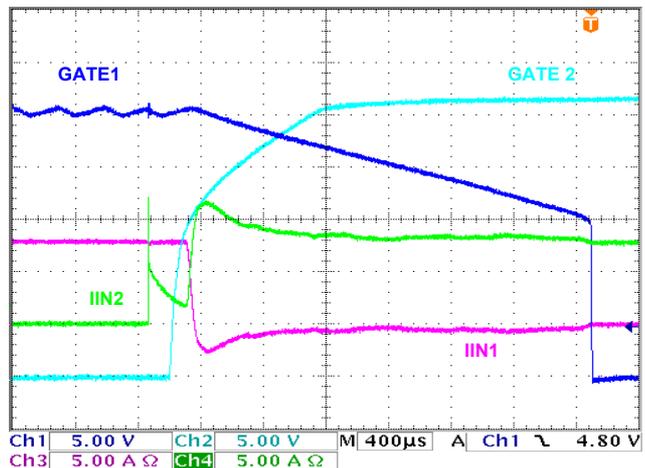


図 23. ISL6146C のホットスワップ接続、12V OR 接続

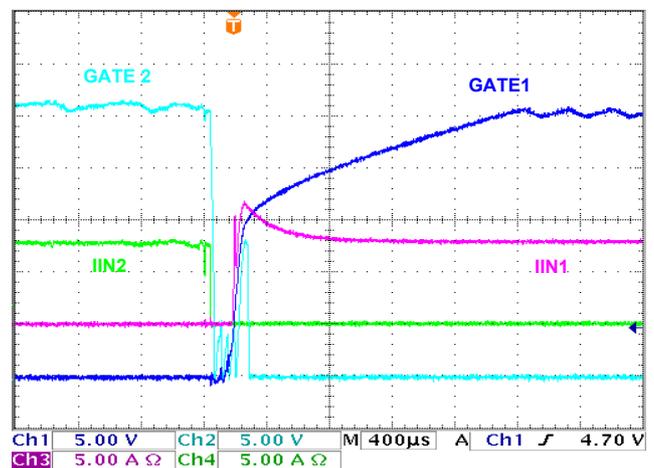


図 24. ISL6146C のホットスワップ切断、12V OR 接続

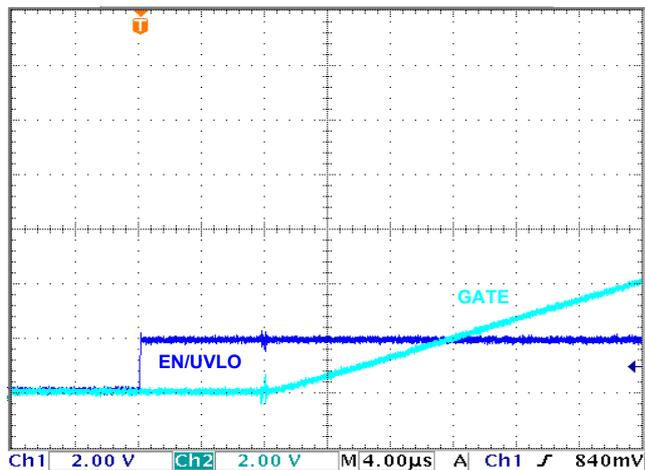


図 25. ISL6146A の EN/ISL6146C の UVLO ~ GATE の オンディレイ

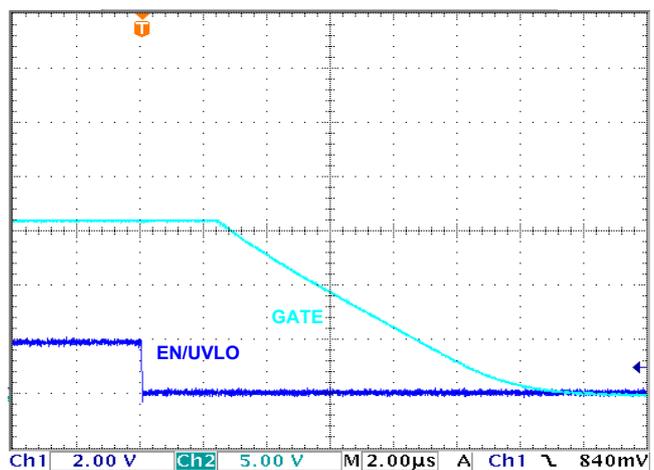


図 26. ISL6146A の EN/ISL6146C の UVLO ~ GATE の オフディレイ

性能特性 (続き)

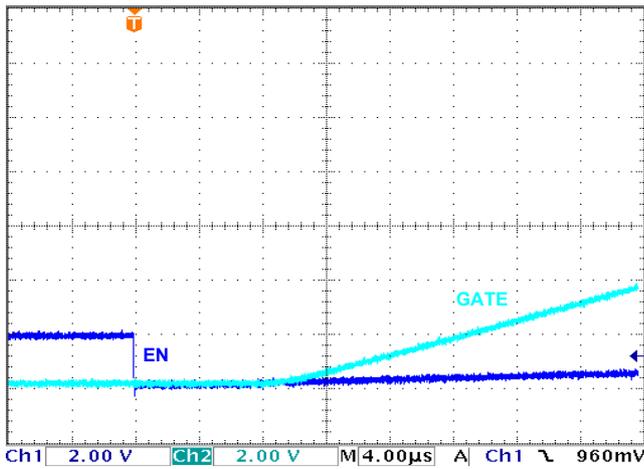


図 27. ISL6146B の EN ~ GATE のオンディレイ

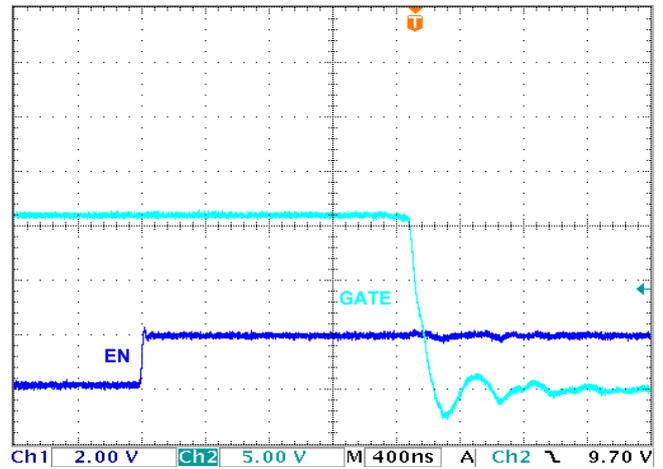


図 28. ISL6146B の EN ~ GATE のオフディレイ

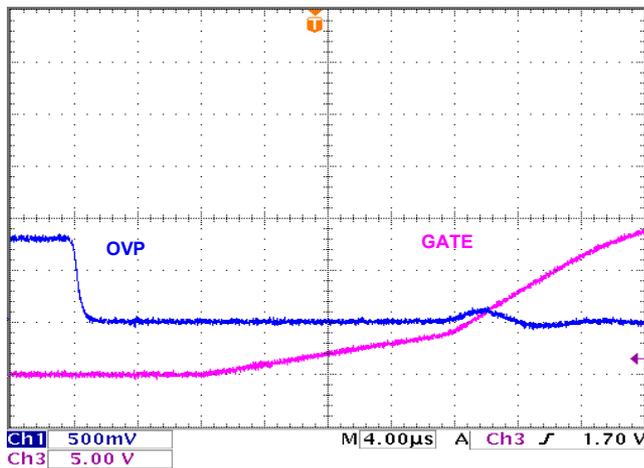


図 29. ISL6146C の OVP ~ GATE のオンディレイ

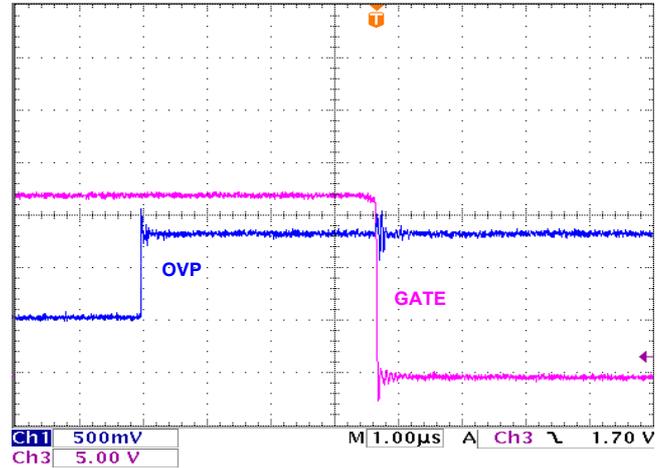


図 30. ISL6146C の OVP ~ GATE のオフディレイ

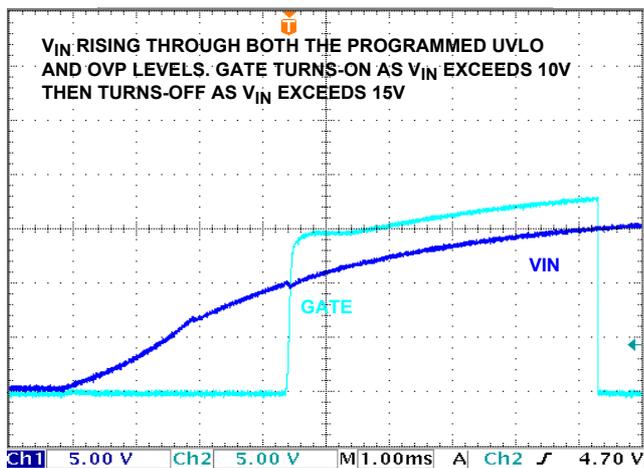


図 31. ISL6146C の立ち上がり VIN における UVLO/OVP 機能

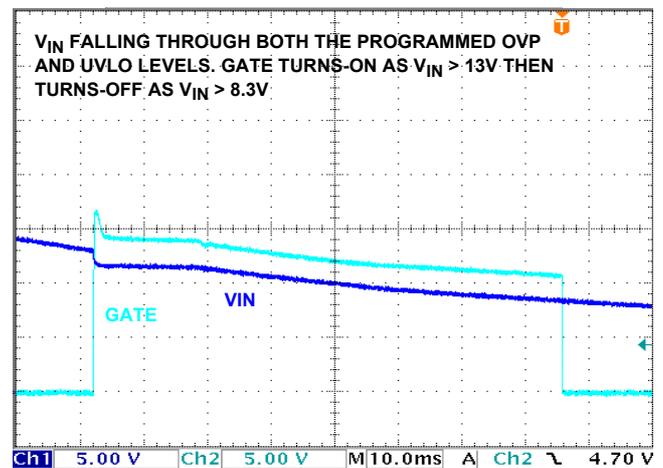


図 32. ISL6146C の立ち下がり VIN における OVP/UVLO 機能

性能特性 (続き)

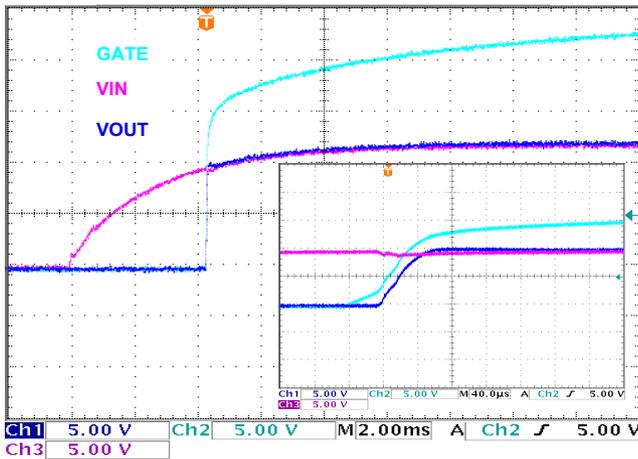


図 33. BACK-TO-BACK FET のターンオンの詳細

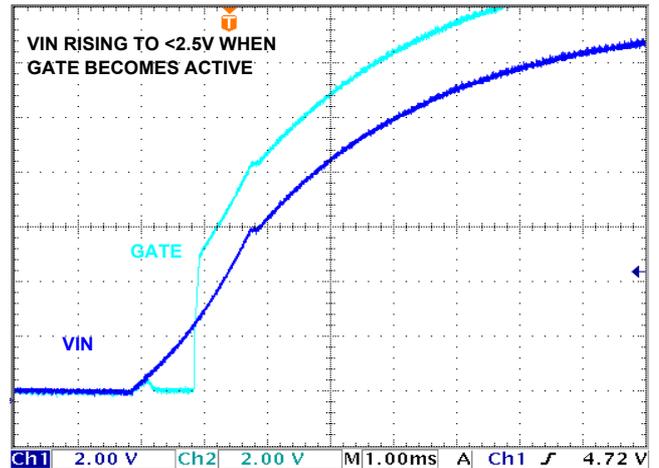


図 34. ISL6146 の立ち上がり POR V_{th}

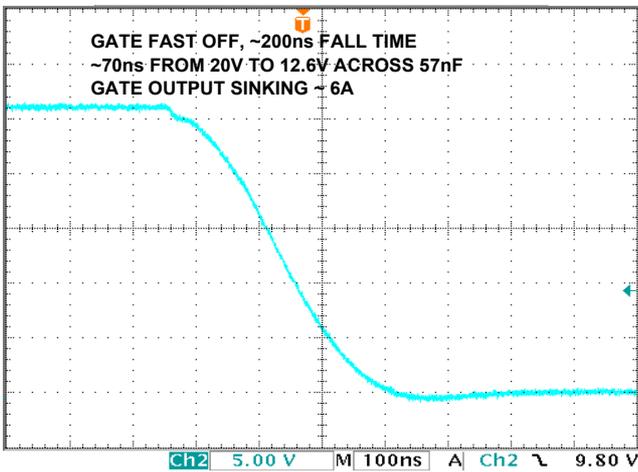


図 35. GATE = 57nF での高速 GATE ターンオフ

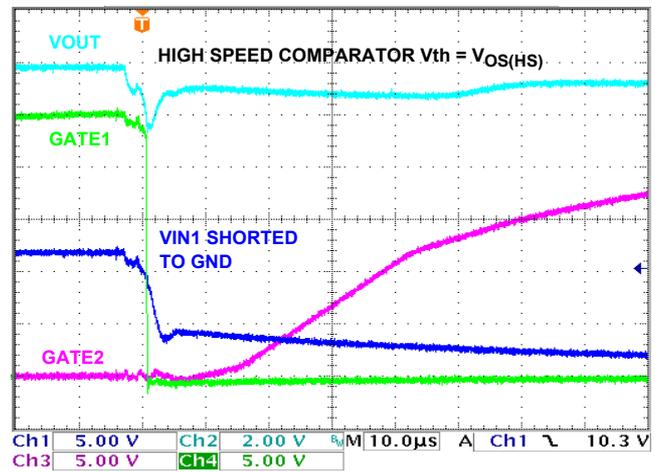


図 36. V_{IN} を GND に短絡し、ADJ を V_{OUT} に短絡した場合の応答

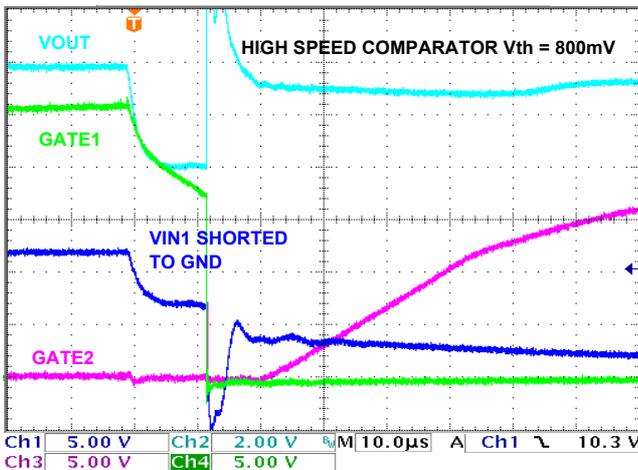


図 37. V_{IN} を GND に短絡し、ADJ を $5k\Omega$ 抵抗経由で GND に接続した場合の応答

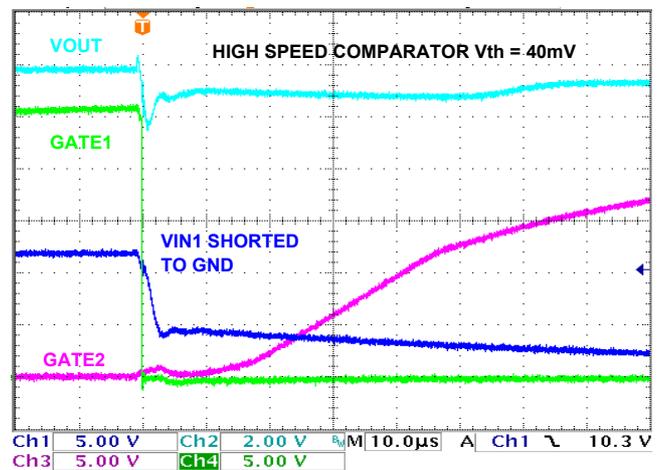


図 38. V_{IN} を GND に短絡し、ADJ を $100k\Omega$ 抵抗経由で GND に接続した場合の応答

性能特性 (続き)

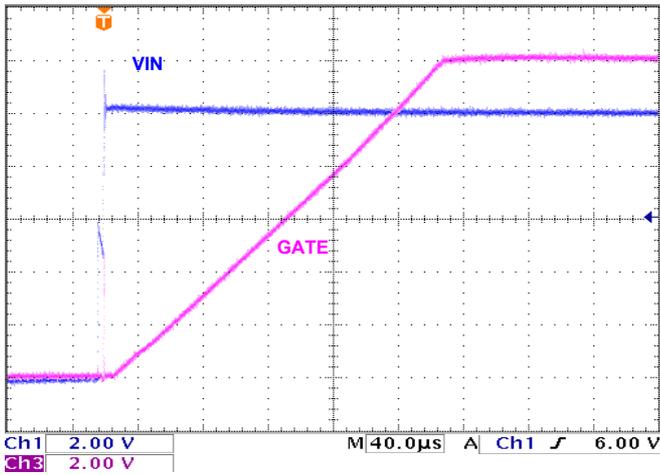


図 39. BIAS = 12V、無負荷時に V_{IN} を GATE にホットスワップ

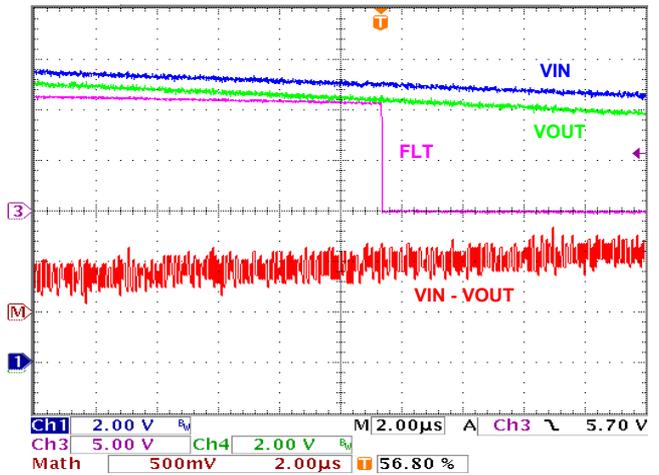


図 40. フォルト・アサート $V_{IN} - V_{OUT} > V_{FWD_FLT}$

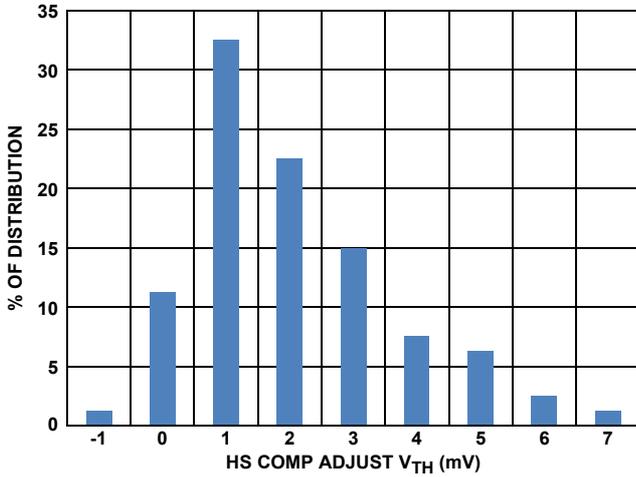


図 41. 高速コンパレータのオフセット電圧の分布

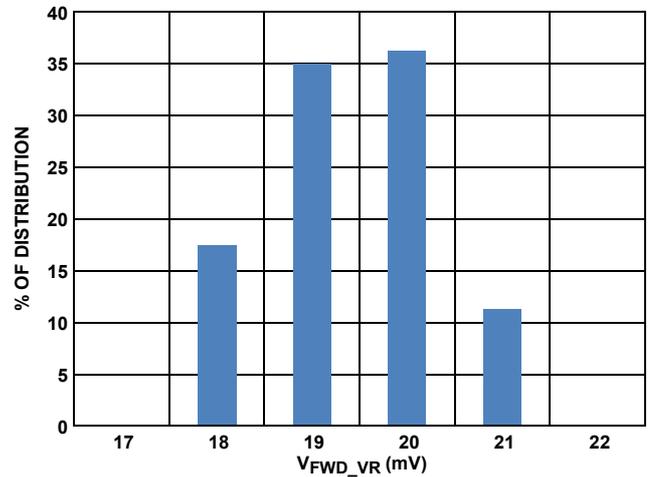


図 42. 順方向レギュレーション電圧の分布

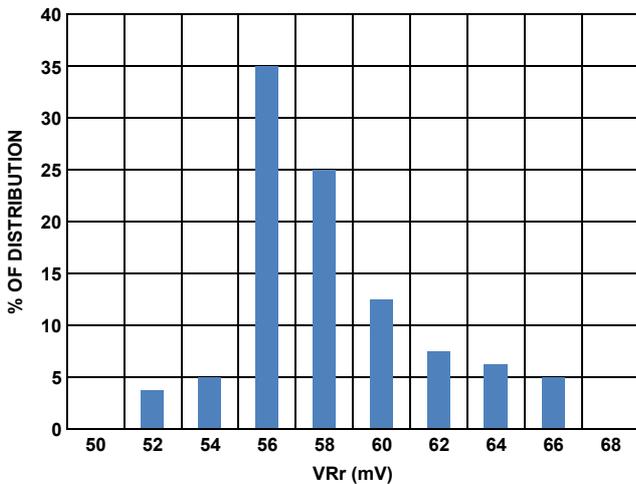


図 43. 逆検出立ち上がり電圧の分布

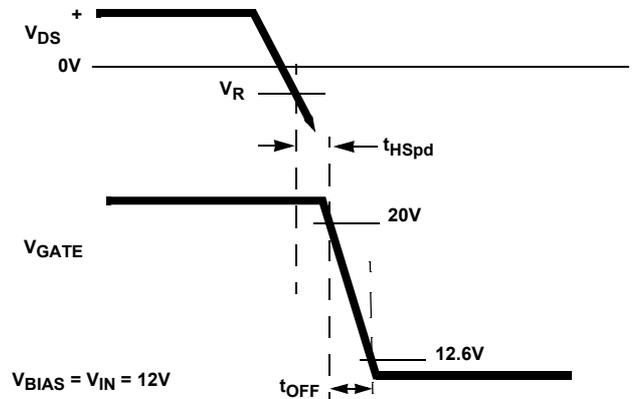


図 44. 高速ランプ逆電圧保護のタイミング図

動作の説明

動作の概要

冗長配電システムでは、同様の電位を持つ並列電源がそれぞれ各種のアクティブ/パッシブ電流共有機能を通じて負荷電流の増加をもたらしています。いずれかの電源が共通バス電圧を下回った場合や、重大な障害を引き起こした場合、通常、OR 接続パワー・ダイオードを利用して逆電流を防止します。ただし、ディスクリット OR 接続ダイオード・ソリューションの使用には、いくつかの大きな欠点があります。第1の欠点として、システムの電力が増すにつれ OR 接続ダイオードにおける電力損失が増加します。ISL6146 の使用が想定されている最小電圧では、OR 接続ダイオードにおける電圧損失がかなりの割合を占め、70%近くに達することもあります。OR 接続ダイオードのもう1つの欠点は、システム電源の可用性と信頼性を低下させる電流パスの短絡やオープンを検出できないことです。ダイオードのオープンは、障害の1つとしてシステムを縮小させ、ダイオードが短絡すると、システムの電源保護が無効になります。

ISL6146 などのアクティブ OR 接続 FET コントローラを利用すれば、こうした問題を解決できます。FET の両端間電圧はダイオードの順バイアス電圧よりはるかに低い、低オン抵抗 FET を採用することで、効率的なシステム設計が可能になります。また、ISL6146 は専用のフォルト (FAULT) 出力ピンを備えています。このピンは、ダイオードでは不可能な条件付きフォルト短絡や FET フォルト短絡の発生時に通知します。

ISL6146 は、3V 以上の独立したバイアス電源と組み合わせることで最小 1V の電圧同士を OR 接続できるように設計されています。また、公称電源範囲の 3V ~ 20V からバイアスおよび OR 接続を行います。

単一 FET 構成では、VIN ピンに印加されると、FET ボディ・ダイオードが導通し、共通バス回路上に接続されたすべての ISL6146 に VOUT ピン経由でバイアスを供給します。個別の電源電圧が上昇し立ち上がり POR スレッショルドを超えた時点で、ISL6146 の内蔵チャージポンプが起動し、フローティング・ゲートドライブ電圧を外付け N チャンネル OR 接続 MOSFET に供給します。このようにして VIN が VOUT を上回ると、FET がターンオンになります。ISL6146 は、OR 接続 FET のドレインとソースを継続的にモニタリングするほか、逆電流超過状態を通知する逆電圧 (N チャンネル MOSFET の $V_{OUT} - V_{IN}$) 検出スレッショルド (VR) も備えています。このスレッショルドを超過すると、ISL6146 は GATE ピンを GND までプルダウンして OR 接続 FET をターンオフにします。また、重大な VIN 障害に備えて高速 $V_{OUT} > V_{IN}$ 過渡電圧保護機能も搭載しています。さらに、ISL6146 の ADJ ピンを外付け抵抗経由で GND に接続すると、VIN - VOUT 逆電圧スレッショルド (VR Vth) を調整できます。このように VIN - VOUT 電圧スレッショルド・レベルを調整し、通常のシステム電圧変動に対する補償を行えば、ISL6146 による不必要な応答を防げます。

VIN - VOUT VR スレッショルド全体は、内部オフセットと外部設定 VR スレッショルドの合計になります。

VOUT が VIN を上回った状態になると、ISL6146 は高速コンパレータ (HSCOMP) が起動されているかどうかに応じて、GATE ピンで高電流または低電流プルダウン動作を行います。HSCOMP は FET の VDS の継続的なサンプリングによって、VR が 1 μ s 以内に発生したかどうかを判断し、1 μ s 以内であれば、高プルダウン電流を用いて OR 接続 FET をターンオフにします。VIN の立ち下がり遷移が 1 μ s 未満の場合 (すなわち、電源に重大な障害が発生した場合)、HSCOMP は短絡した電源の OR 接続 MOSFET を 300ns 以内にターンオフして、個別電源の短絡から共通バスを保護します。その結果、故障した電源への逆電流に対して共通バス電圧を完全に保護します。

適切な $V_{IN} > V_{OUT}$ の関係が再確立されると、ISL6146 は FET を再びターンオンにします。

FAULT ピンはアクティブ Low のオープン・ドレイン出力で、以下のようなフォルトまたは特定の条件が発生したことを通知します。

- GATE がオフ ($GATE < V_{IN} + 0.2V$)。非導通状態 (フォルトではなく、オンになっていない状態)
- オンのときに $V_{IN} - V_{OUT} > 0.57V$ になるフォルト
- ボディ・ダイオードの導通による FET のオープン
- 過剰な FET 電流
- 以下の FET フォルトを検出および通知
 - G-D. ゲートが Q ポンプ電圧を駆動不能
 - G-S. ゲートが Q ポンプ電圧を駆動不能
 - D-S の短絡。GATE がオフのときに $V_{DS} < 2V$
 - $V_{IN} < POR$
 - V_{IN} の喪失
 - V_{IN} が GND に短絡

ISL6146C では、VIN が設定された UVLO レベルと OVP レベルの間がない場合も、条件付きフォルトが通知されます。

ISL6146 は、20 $^{\circ}$ C のヒステリシスが設定された約 +140 $^{\circ}$ C のオンチップ過熱フォルト・スレッショルドを備えています。ISL6146 自体はほとんど熱を発生しませんが、FET などが近接している周囲環境に対して動作します。

ISL6146A と ISL6146B は、それぞれ極性が異なるイネーブル入力を備えたバリエーションです。イネーブル入力は、信号による電流パスへの割り込みが必要な場合に使用されます。2つの FET を直列に接続し、いずれの方向にも電流が遮断できるようにボディ・ダイオードを配置することにより、この機能を実現します。これは、OR 接続ダイオードから置き換えた場合の優位点になります。

ISL6146C では、プログラム可能なアンダーボルテージ・ロックアウト (UVLO) 入力とプログラム可能な過電圧保護 (OVP) 入力が採用されています。これらの入力を利用した場合は、モニタリング対象の電圧が設定された下限レベルと上限レベルの間にあるときのみ、GATE のターンオンが可能です。この用途には back-to-back FET 構成が使用されます。電流パスへの割り込みが必要ない場合は、EN、UVLO、OVP の各入力をすべて無効にできます。

アプリケーション情報

パワーアップに関する考慮事項

BIAS と V_{IN} の制約

V_{IN} 電源が BIAS 電源から独立している場合、パワーアップ後は常時、BIAS 電圧は V_{IN} 電圧と同等以上でなければなりません。

ISL6146 のバイアスと OR 接続電源の両方に単一の電源を使用する場合、 V_{IN} ピンと BIAS ピンの間に値の低い抵抗を接続して、ある程度の絶縁やデカップリングを確保すると、OR 接続電源で電圧ドロップやサージが発生してもチップバイアスをサポートできます。これは必須ではありませんが、特にノイズの多い環境では、設計上の有効な慣例といえます。

FET ~ IC 間の推奨レイアウト

FET から ISL6146 の V_{IN} ピンと V_{OUT} ピンまでの接続については、FET のドレイン/ソース PCB パッドのできる限り近くでケルビン接続を行い、大電流時に発生するトレース抵抗によるエラーを防止する必要があります。特に back-to-back FET 構成で高精度電圧センスを実現するには、この接続配置がきわめて重要です。同様に、OVP、UVLO、ADJ からの接続も最適な精度を得る上で重要です。

高速コンパレータの逆電圧スレッシュホールドの調整

ISL6146 では、高速コンパレータの逆電圧検出スレッシュホールド ($V_R V_{th}$)、つまり $V_{OUT} - V_{IN}$ の差を調整できます。

ADJ ピンには 2 つの構成があります。

1. ADJ を V_{OUT} に接続：この接続では、高速コンパレータのスレッシュホールドが高速コンパレータの入りに固有のエラーと等しくなります。これはデフォルトの状態であり、最も多く使用される構成です。
2. ADJ ピンとグラウンドの間に単一の抵抗を接続：高速コンパレータのスレッシュホールドは $V_{OUT} - 4k/R_{ADJ}$ と等しくなります ($4k = 0.4(V_{ADJ}) * 10k\Omega$)。

したがって高速コンパレータのスレッシュホールドの差は、 $100k\Omega R_{ADJ}$ の場合は $40mV$ 、 $5k\Omega R_{ADJ}$ の場合は約 $800mV$ になります。

この電圧調整での推奨抵抗範囲は $5k\Omega \sim 100k\Omega$ です。

パワーアップ初期段階では、高速コンパレータのスレッシュホールドは内部デバイスエラー向けのデフォルト設定になっていますが、関連回路の準備が整うと、ユーザー設定スレッシュホールドに移行します。POR 開始後に回路がデフォルト設定からユーザー設定スレッシュホールドに切り替わるまで、約 $20\mu s$ かかります。

GND との間に抵抗を接続した ADJ ピンから流出する電流は、ADJ 抵抗 ($0.4V$) と等しくなります。

BACK-TO-BACK FET 構成

back-to-back FET 構成を採用する場合、最大電流負荷時の両方の FET の両端間電圧が最小順方向電圧フォルト・スレッシュホールド ($400mV$) より低くなるように FET を選択し、不要なフォルト通知を回避する必要があります。

この構成では、2 つの FET をオンにするので、より高い電圧が必要になる代わりに、イネーブル入力によっていずれかのパスを強制する方法が実現できます。ただし、FET のオン/オフのタイミングが問題になります。ターンオフが早すぎた場合や、ターンオンによって負荷に対する電力が一時的に不十分になる前に、過剰な V_{OUT} 電圧ドロップが発生しないようにする必要があります。

アプリケーション回路例

ISL6146 に使用可能な基本構成は、以下の 4 種類です。

1. BIAS と V_{IN} が共通、電圧が $3V$ 以上
2. $3V$ 未満の超低 OR 接続電圧動作、BIAS が $3V$ 以上
3. 電圧ウィンドウ内動作
4. 電流パスを EN 入力信号または最小電圧状態によって制御

上記の各構成では、前述のように ADJ 入力を V_{OUT} に接続、または抵抗経由で GND に接続することにより、高速コンパレータ (HS COMP) の逆電圧スレッシュホールドを調整できます。また電圧ウィンドウも、前述のように UVLO 入力、OVP 入力、抵抗分圧回路によって最小/最大動作電圧を調整できます。さらに、ソフトスタート、ターンオン、ターンオフの特性も調整可能です。

用意されている 3 種類の評価プラットフォームでは、4 種類の基本構成を再現できるほか、その他の各種性能特性の調整も可能です。

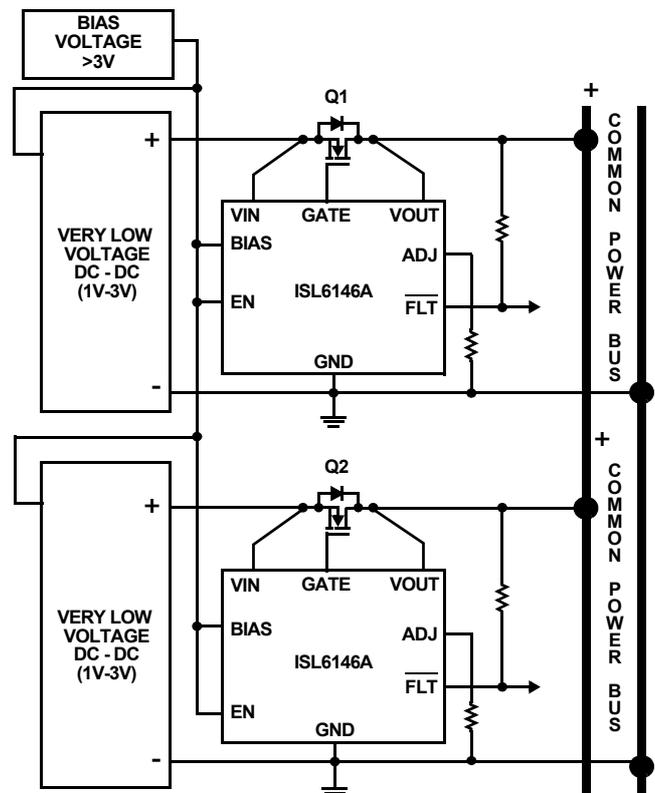


図 45. 低電圧アプリケーション

1 ページに示した図 1 の回路は、3V 超～ 20V の電圧の OR 接続に使用される基本回路です。

図 45 の ISL6146A アプリケーションは、1V ～ 3V の超低電圧の OR 接続に使用される構成です。図に示したように、GND との間に単一の抵抗を接続した ADJ 入力も使用されています。この方式では、高速コンパレータを起動し GATE 出力をプルダウンするまでの $V_{OUT} > V_{IN}$ のレベルをプログラムすることにより、システムでの通常の電圧変動に対応しています。

注意すべき点として、いずれの回路でも、 \overline{EN} 入力または EN 入力はデフォルトでイネーブルであり、電流パスのオン/オフ制御は備えていません。これを正しく設定しないと、ボディ・ダイオードが導通し、フォルトが通知されます。

V_{IN} 端子、 V_{OUT} 端子と FET の接続および GND 端子と ADJ 端子の接続は、FET の両端間電圧を正しくモニタリングし VR スレッショルドを検出するため、浮遊抵抗効果を除去するのに必要なケルビン接続を強調して描かれています。

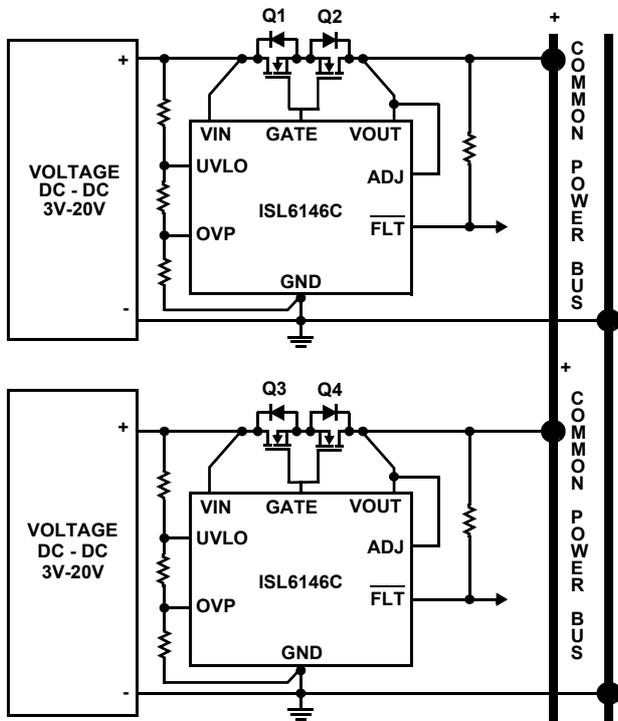


図 46. ISL6146C のアプリケーション例

図 46 の ISL6146C アプリケーションは、 V_{IN} 範囲が 3V ～ 20V に制限されており、UVLO 入力や OVP 入力とその機能を利用するには back-to-back FET 構成にする必要があります。 V_{IN} 電圧が最小設定電圧を上回ると、関連する OR 接続 FET がターンオンになり、最小電圧要件が満たされなくなるか、 V_{IN} 電圧が最大設定を超えるまで、オン状態を維持します。最小/最大設定電圧レベルは、抵抗分圧回路を UVLO ピンと OVP ピンに接続して調整します。各レベルは、IC の動作制約のほか、負荷に対する導通パスの損失も考慮に入れて設定する必要があります。

back-to-back FET 構成を採用する際は、ON フォルト時に $V_{IN} - V_{OUT} > 0.5V$ をトリップすることを避けるため、 $(2r_{DS(ON)} + PCB IR) I_{LOAD} < 0.5V$ になる FET を選択する必要があります。

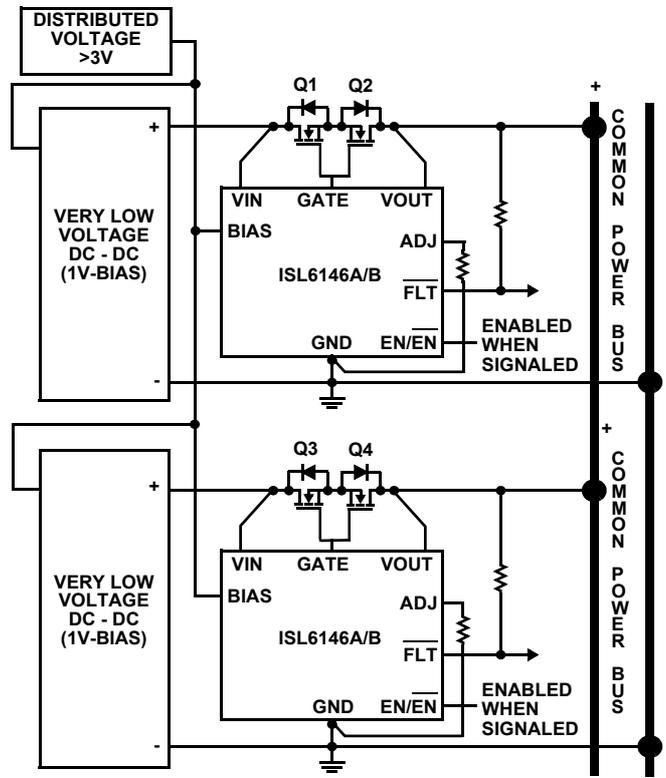


図 47. オン/オフ制御アプリケーション

図 47 のアプリケーションは、ISL6146A または ISL6146B を使用し、電源から負荷への導通パスを開閉する信号入力として EN ピンや EN ピンを利用しています。このような機能は 1V ～ 20V の OR 接続に対して実装できます。図に示されているのは 3V 未満での OR 接続です。

イネーブル入力信号は、N+1 個の ISL6146 全体にわたって同時に発信できます。

放熱用に必要ではありませんが、DFN EPAD を GND に接続してください。

ISL6146 の評価プラットフォーム

評価ボードに関する説明と使用方法

3 種類の ISL6146 評価ボードでは、前述の 4 種類のアプリケーション構成を再現できます。すべてのボードでは ADJ が VOUT に短絡されており、選択した抵抗を ADJ と GND の間に配置できるように PCB を考慮しているので、HS COMP Vth のスレッシュホールドの調整が可能です。同様に VIN が BIAS に接続されていますが、3V 未満の電源を OR 接続する場合や、VIN 電圧と BIAS 電圧を分ける場合は、個別に BIAS 電圧を供給できます。

ISL6146AEVAL1Z は、1.2V のヒステリシスが設定された 8.5V の最小ターンオン・スレッシュホールドを備えています。

ISL6146BEVAL1Z は、最小限の機能で最大限の性能を発揮する、3V ~ 20V 対応の OR 接続 FET コントローラとして構成されています。

ISL6146CEVAL1Z は、10.8V の下限ターンオン・スレッシュホールドと 14.9V の上限ターンオフ・スレッシュホールドを備えています。

3 種類のボードはいずれも、大電流の評価に適した 50A 対応 FET と、ほとんどの電源システム設計で見られる最小限の入出力パルク・コンデンサ容量を備えています。

BIAS と VIN 電圧を決定し、評価対象アプリケーションでの必要に応じて評価ボードを設定すると、ボードへの電源投入の準備が整います。

BIAS と VIN を分ける場合は、まず BIAS と記載されたテストポイント経由で BIAS 電圧を印加してから、VIN 電圧を印加してください。次に、電流負荷を最大 50A にした状態で、設定されたテストポイントのモニタリングを行い、製品の性能を評価します。

図 48 ~ 53 では、3 種類の代表的なアプリケーションに向けた 3 種類の ISL6146 評価ボードを写真と回路図で示しています。

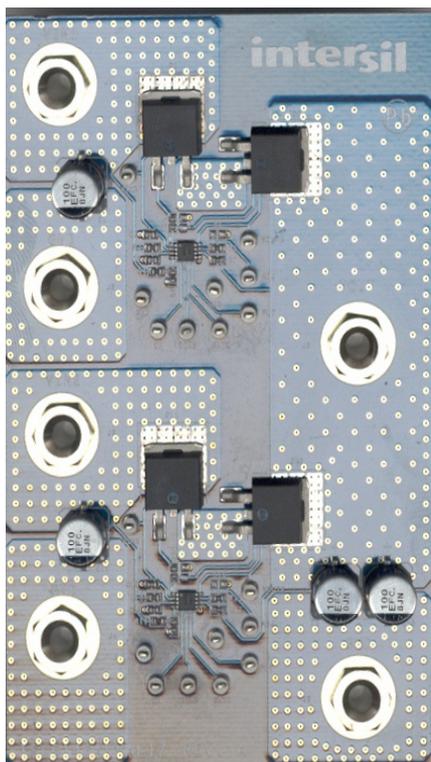


図 48. ISL6146AEVAL1Z の写真

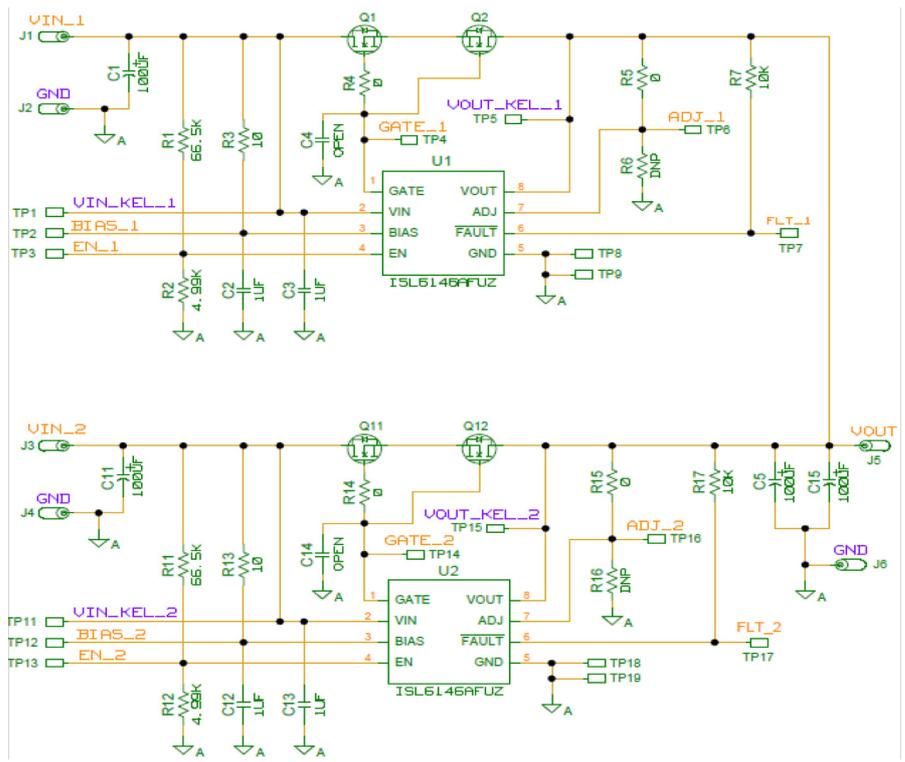


図 49. ISL6146AEVAL1Z の回路図

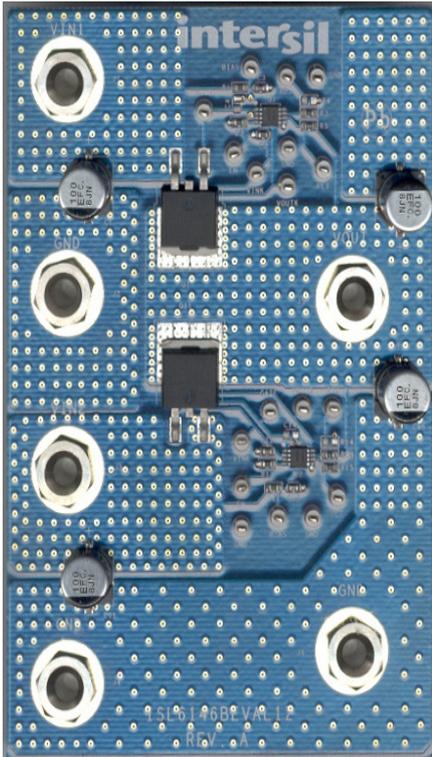


図 50. ISL6146BEVAL1Z の写真

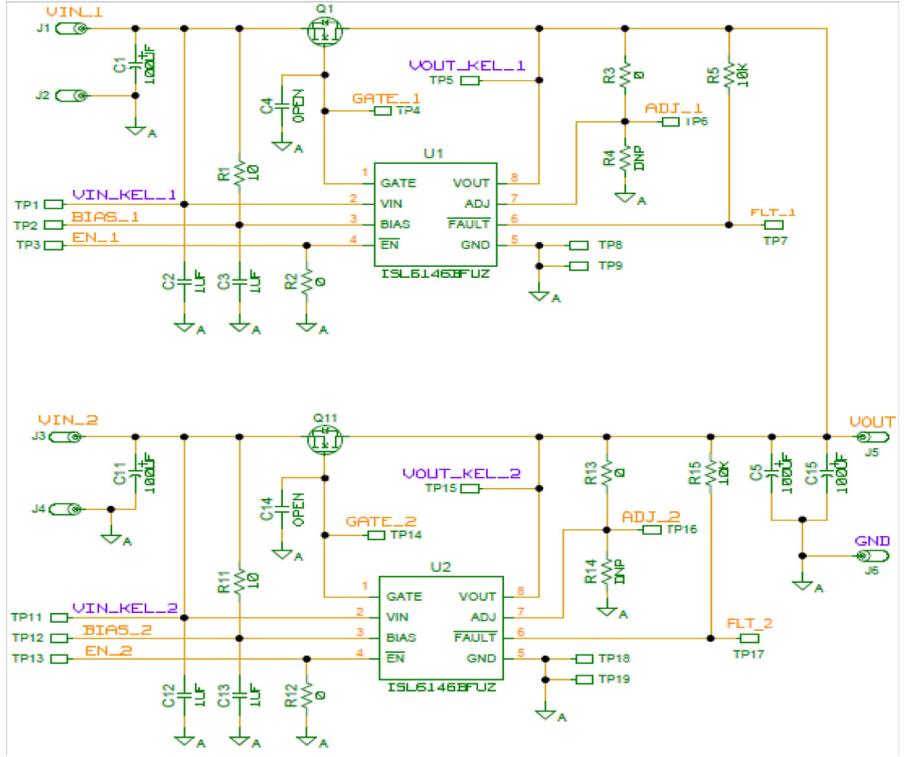


図 51. ISL6146BEVAL1Z の回路図

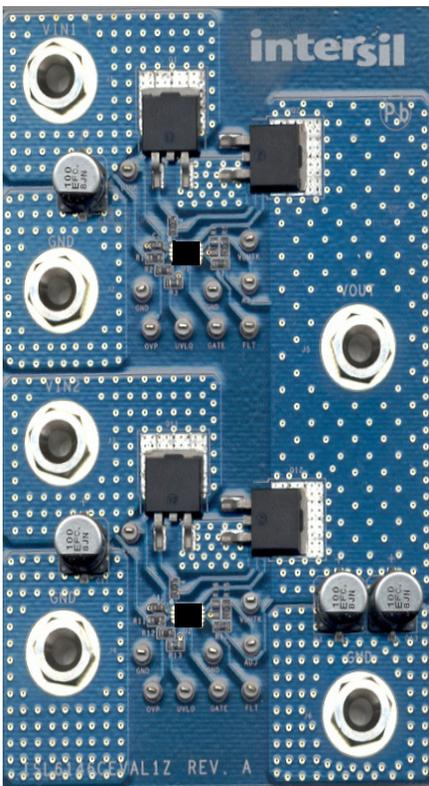


図 52. ISL6146CEVAL1Z の写真

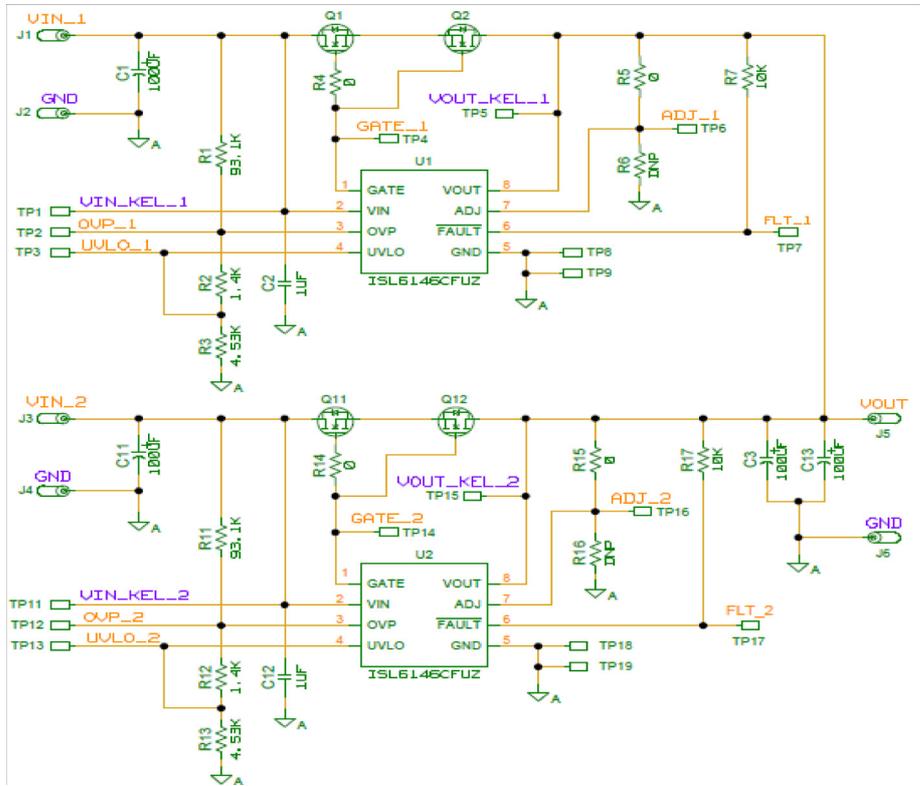


図 53. ISL6146CEVAL1Z の回路図
(UVLO と OVP のテストポイント・ラベルを入れ替えてあります)

ISL6146

図 54 の切り替え回路は、プログラム可能なスレッショルド・レベルに基づいて外部電圧を検出します。印加された外部電圧 V_{EXT} は、スレッショルド・レベルを超えると出力に供給します。 V_{OUT} が V_{BATT} を下回った時点で、出力が V_{BATT} レベルに切り替わります。

$R1$ と $R2$ は、外部電圧を出力に供給する上で事前設定が必要な V_{EXT} レベルをプログラムします。

V_{BATT} が V_{EXT} を超える可能性がある場合、 V_{EXT} への電流の流入を防ぐには $Q3$ が必要です。 V_{BATT} 電圧に関わらず $Q1$ がオンになると、 $Q3$ は OFF となります。

ISL6146 のバイアスは、共通ドレイン・ノードから取得し、いずれかのソースから常時十分なバイアスを確保します。

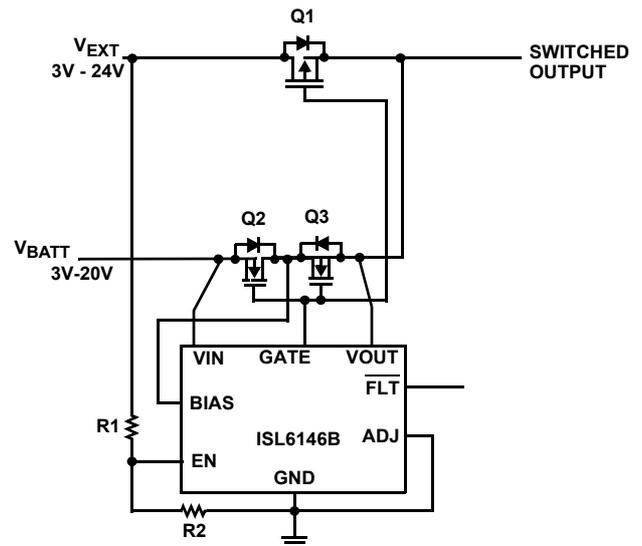


図 54. ISL6146B の外部切り替えの回路図

表 2. ISL6146xEVALZ の BOM (部品リスト)

REFERENCE DESIGNATOR	VALUE	DESCRIPTION	MANUFACTURER	PART NUMBER
ISL6146AEVAL1Z				
U1, U2		ISL6146A ORing FET Controller	Intersil	ISL6146AFUZ
Q1, Q2, Q11, Q12		30V, 50A FET	Various	
R1, R11	66.5kW	RES, SMD, 0603, 1%	Generic	
R2, R12, R6, R16	4.99kW	RES, SMD, 0603, 1%	Generic	
R3, R13	10W	RES, SMD, 0603, 1%	Generic	
R4, R14	0W	RES, SMD, 0603, 1%	Generic	
R5, R15	DNP	RES, SMD, 0603, 1%	Generic	
R7, R17	10kW	RES, SMD, 0603, 1%	Generic	
C1, C11, C5 C15	100 μ F	Alum. Elect SMD Cap	Generic	
C2, C3, C12 C13	1 μ F	CAP, SMD, 0603, 50V, 10%	Generic	
C4, C14	DNP	CAP, SMD, 0603, 50V, 10%	Generic	
TPx		Test Point	Generic	
Jx		Banana Jack	Generic	
ISL6146BEVAL1Z				
U1, U2		ISL6146B ORing FET Controller	Intersil	ISL6146BFUZ
Q1, Q11		30V, 50A FET	Various	
R4, R14	4.99kW	RES, SMD, 0603, 1%	Generic	
R1, R10	10W	RES, SMD, 0603, 1%	Generic	
R2, R12	0W	RES, SMD, 0603, 1%	Generic	
R3, R13	DNP	RES, SMD, 0603, 1%	Generic	
R5, R15	10kW	RES, SMD, 0603, 1%	Generic	
C1, C11, C5 C15	100 μ F	ALum. Elect SMD Cap	Generic	
C2, C3, C12 C13	1 μ F	CAP, SMD, 0603, 50V, 10%	Generic	
C4, C14	DNP	CAP, SMD, 0603, 50V, 10%	Generic	
TPx		Test Point	Generic	
Jx		Banana Jack	Generic	

ISL6146

表 2. ISL6146xEVALZ の BOM (部品リスト) (続き)

REFERENCE DESIGNATOR	VALUE	DESCRIPTION	MANUFACTURER	PART NUMBER
ISL6146CEVALZ				
U1, U2		ISL6146C ORing FET Controller	Intersil	ISL6146CFUZ
Q1, Q2, Q11, Q12		30V, 50A FET	Various	
R1, R11	93.1kW	RES, SMD, 0603, 1%	Generic	
R2, R12	1.4kW	RES, SMD, 0603, 1%	Generic	
R3, R13	4.53kW	RES, SMD, 0603, 1%	Generic	
R4, R14	0W	RES, SMD, 0603, 1%	Generic	
R5, R15	DNP	RES, SMD, 0603, 1%	Generic	
R6, R16	4.99kW	RES, SMD, 0603, 1%	Generic	
R7, R17	10kW	RES, SMD, 0603, 1%	Generic	
C1, C11, C3 C13	100µF	ALum. Elect SMD Cap	Generic	
C2, C12	1µF	CAP, SMD, 0603, 50V, 10%	Generic	
TPx		Test Point	Generic	
Jx		Banana Jack	Generic	

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2012/2/27	FN7667.1	3 ページの「注文情報」から「MSOP パッケージ製品は近日発売」の Note を削除。14 ページに図 42 と 43 を追加
2011/12/16	FN7667.0	初版

製品

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、産業用機器、インフラ、パーソナル・コンピューティング、ハイエンド・コンシューマの分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、www.intersil.com/product_tree/ をご覧ください。

* ISL6146 に関するアプリケーション情報、関連ドキュメント、関連部品は、www.intersil.com 内の [ISL6146](#) のページを参照してください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認くださいませうお願いいたします。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

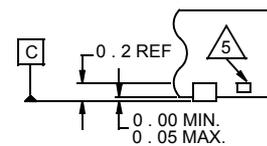
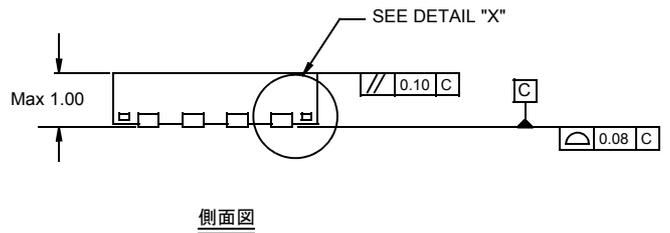
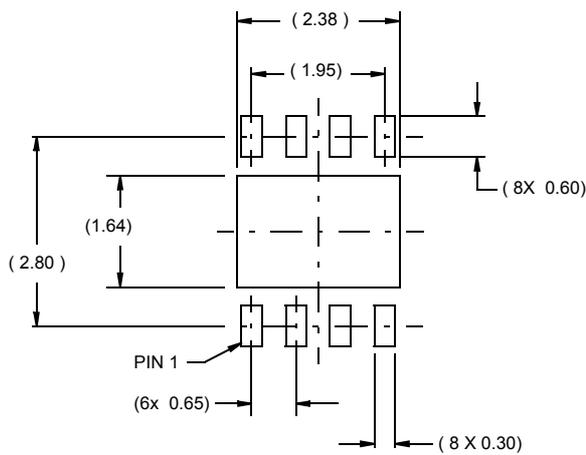
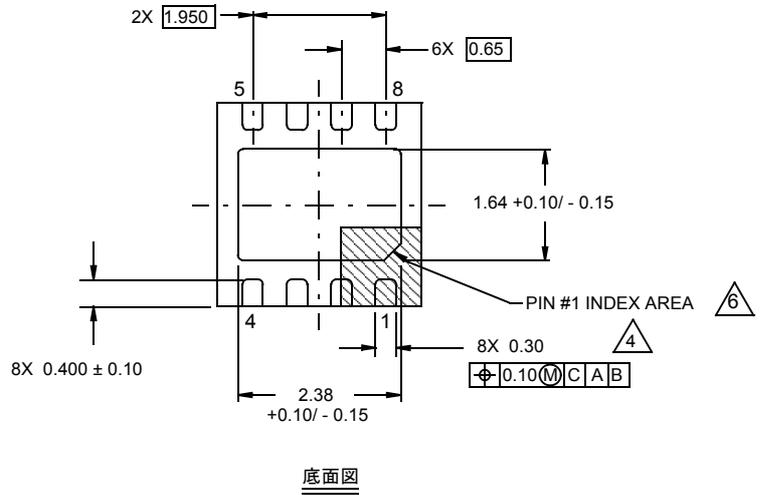
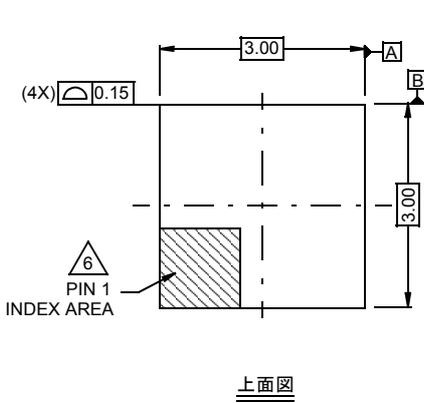
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

L8.3x3J

8 LEAD DUAL FLAT NO-LEAD PLASTIC PACKAGE

Rev 0, 9/09



NOTE :

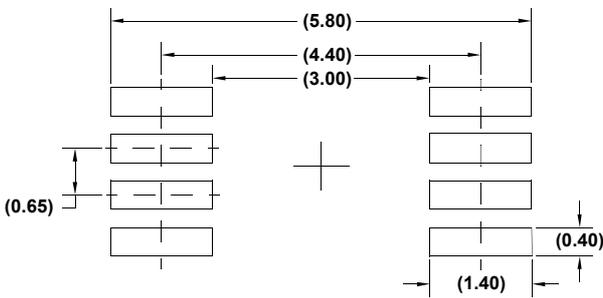
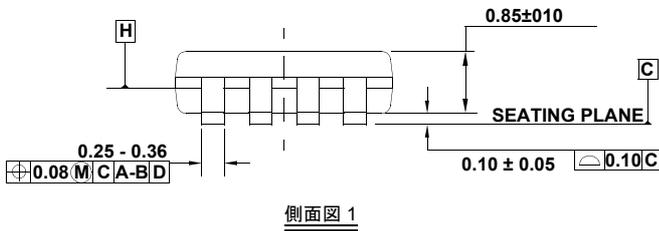
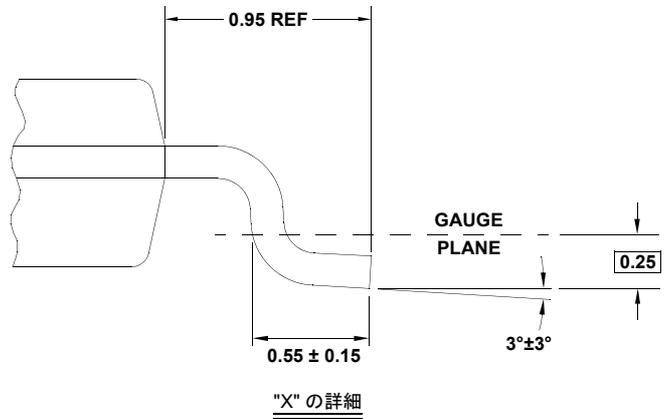
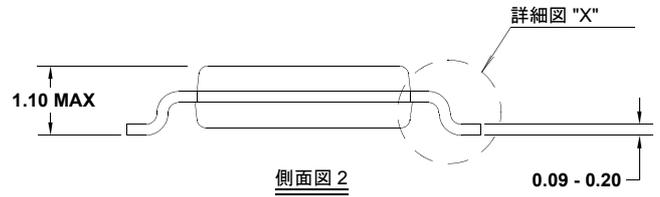
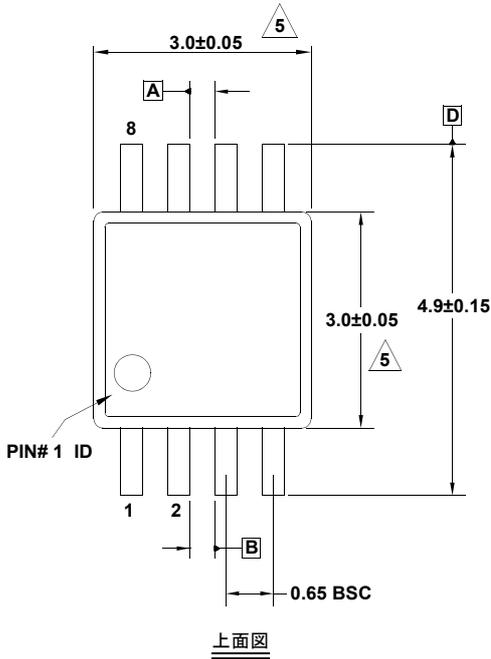
1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は AMSE Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ± 0.05 です。
4. 寸法は金属端子に適用され、端子先端から 0.15mm ~ 0.30mm のポイントで計測した値です。
5. タイバー (示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。

パッケージ寸法図

M8.118

8 LEAD MINI SMALL OUTLINE PLASTIC PACKAGE

Rev 4, 7/11



推奨ランドパターン例

NOTE :

1. 寸法の単位は mm です。
2. 寸法と公差は JEDEC MO-187-AA, AMSEY14.5m-1994 に従っています。
3. 各側面で最大 0.15mm までのプラスチック製または金属製の突出部は含まれません。
4. 各側面で最大 0.15mm までのプラスチック製のリード間突出部は含まれません。

$\triangle 5$ 寸法は基準面 "H" で計測した値です。

6. () 内の寸法は参考値です。