

USB ポート電源コントローラ

ISL6186

ISL6186 USB 電源コントローラ・ファミリは、複数の USB ポートに対応した過電流 (OC) フォルト保護機能を備えています。

個別の機能を備えた 8 種類の製品バリエーションと 3 種類のパッケージ・オプションで構成されたこの製品は、公称定格動作範囲が +2.5V ~ +5V で、民生用温度範囲と産業用温度範囲を網羅しています。

ISL6186 ファミリは、電源制御用の 45mΩ P チャネル MOSFET パワースイッチを内蔵しています。また、内部電流モニタリング、高精度の電流リミット、ターンオフまでの電流リミット適用ディレイ期間によってシステム電源を保護しているほか、制御および通信用 I/O も備えています。

ISL6186 ファミリには各種の製品バリエーションが用意され、連続出力電流レベル (1.5A、3A、または 3.6A)、イネーブル入力の極性 (アクティブ High またはアクティブ Low)、過電流ターンオフ後の動作 (ラッチオフまたは自動リトライ) を選べるので、さまざまな低消費電力アプリケーションに対応できます。

この IC は、業界標準の SOIC パッケージと 70% 小型の 3 × 3 mm DFN パッケージで供給されます。DFN パッケージは、SOIC パッケージと同等の性能に加えてパワーグッド出力機能 (10 Ld DFN のみ) を可能な限り小型のパッケージ上で提供しています。

特長

- 動作範囲 : 2.5V ~ 5V
- 45mΩ パワー P チャネル MOSFET スイッチ内蔵
- 1.5A、3A、3.6A の連続電流オプションを用意
- ターンオフの直前に、熱的に不感な 12ms の電流リミット動作
- ディスエーブル時、逆電流を防止する出力放電機能
- ラッチオフまたは自動リスタートのオプションおよびイネーブル極性のオプションを用意
- オフ状態で 1 μA の消費電流
- 業界標準ピン配置の SOIC パッケージと小型の DFN パッケージを用意

アプリケーション

- USB 3.0 を含む USB ポートのパワーマネジメント
- 低消費電力電子回路のリミット設定や遮断器

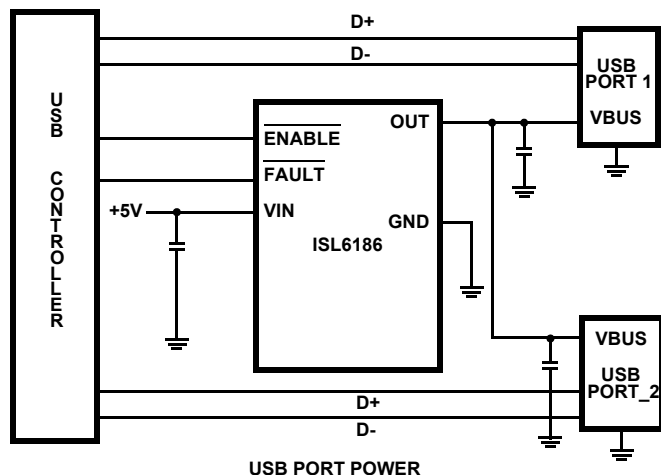


図 1. アプリケーション回路例

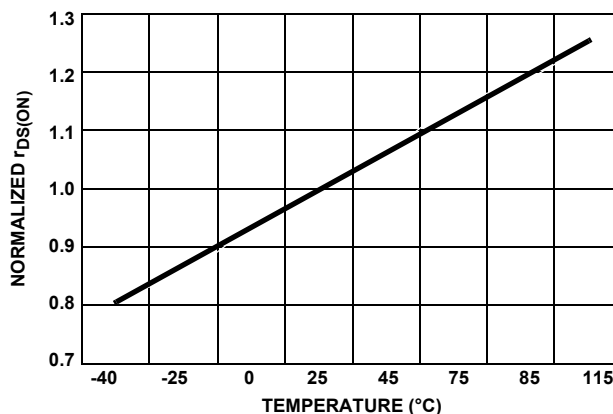
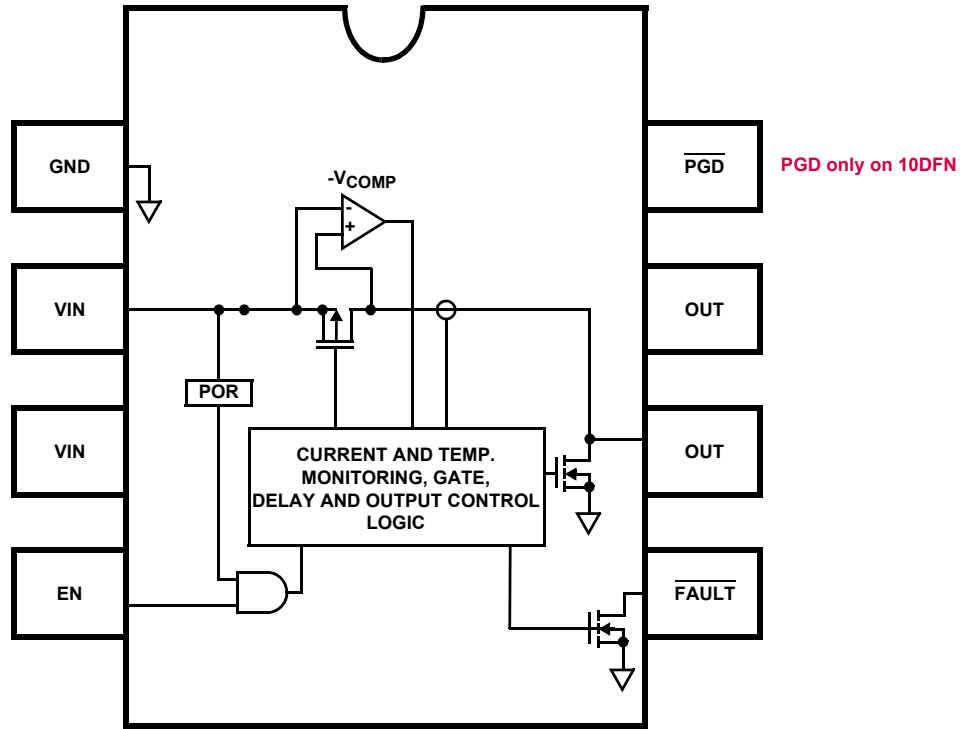


図 2. 正規化された $r_{DS(ON)}$ の温度特性曲線

ブロック図



ピン配置



ピンの説明

ピン番号		名称	説明
8 Ld SOIC/DFN	10 Ld DFN		
1	1	GND	IC グラウンド・リファレンス。
2, 3	2, 3, 4	V _{IN}	内部バイアス、Pチャネル MOSFET への電圧入力、アンダーボルテージ・ロックアウト (UVLO)。V _{IN} は内部バイアス電圧を供給します。V _{IN} が 1.7V 未満の場合、チップの機能がディスエーブル、FLT がアクティブかつフローティング、OUT が Low になります。範囲：0V ~ 5.5V。
4	5	EN/ $\overline{\text{EN}}$	イネーブル/ディスエーブル入力。 アクティブ High (EN) オプションとアクティブ Low ($\overline{\text{EN}}$) オプションによってパワースイッチをイネーブルにします。この入力には 1M Ω ブルオフ抵抗が内蔵されています。範囲：0V ~ V _{IN} 。
5	6	$\overline{\text{FLT}}$	過電流フォルト・インジケータ。 $\overline{\text{FLT}}$ は、V _{IN} が V _{UVLO} を上回るまでディスエーブル・フローティングになります。この出力は、電流リミットのタイムアウト期間が終了すると Low になります。過熱シャットダウンでは、フォルトの信号は出力されません。範囲：0V ~ V _{IN} 。

ピンの説明 (続き)

ピン番号		名称	説明
8 Ld SOIC/DFN	10 Ld DFN		
6, 7, 8	7, 8, 9	OUT	制御された電源出力。 過電流状態になると、I _{OUT} に電流リミットが適用されます。電流リミットの応答時間は200 μ s以内です。ラッチ・バージョンでも自動リトライ・バージョンでも、この出力は公称値で12msの間、電流リミット状態が維持されてから、内部 MOSFET がオフになります。 範囲：0V ~ V _{IN} 。
-	10	$\overline{\text{PGD}}$	オープン・ドレイン・パワーグッド出力。 V _{OUT} がV _{IN} の90%になると40msの間Lowになり、V _{OUT} がV _{IN} の85%を下回るとHighになります。範囲：0V ~ V _{IN} 。
PD (DFNのみ)	PD	EPAD	放熱エキスポーズド・パッド。 範囲：接続 ~ GND。

注文情報

製品型番 (Note 1、2、3)	マーキング	EN/ $\overline{\text{EN}}$ 入力	V _{IN} = 5V での 最大連続 I _{OUT} (A)	ラッチ/ 自動リトライ	パワーグッド 出力	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの 外形図
ISL61861ACBZ	61861A CBZ	EN	1.5	ラッチ	NO	0 ~ +70	8 Ld SOIC	M8.15
ISL61861BCBZ	61861B CBZ	EN	1.5	リトライ	NO	0 ~ +70	8 Ld SOIC	M8.15
ISL61861CCBZ	61861C CBZ	EN	3	ラッチ	NO	0 ~ +70	8 Ld SOIC	M8.15
ISL61861DCBZ	61861D CBZ	EN	3	リトライ	NO	0 ~ +70	8 Ld SOIC	M8.15
ISL61861ECBZ	61861E CBZ	$\overline{\text{EN}}$	1.5	ラッチ	NO	0 ~ +70	8 Ld SOIC	M8.15
ISL61861FCBZ	61861F CBZ	$\overline{\text{EN}}$	1.5	リトライ	NO	0 ~ +70	8 Ld SOIC	M8.15
ISL61861GCBZ	61861G CBZ	$\overline{\text{EN}}$	3	ラッチ	NO	0 ~ +70	8 Ld SOIC	M8.15
ISL61861HCBZ	61861H CBZ	$\overline{\text{EN}}$	3	リトライ	NO	0 ~ +70	8 Ld SOIC	M8.15
ISL61862ACRZ	62AC	EN	1.5	ラッチ	NO	0 ~ +70	8 Ld DFN	L8.3x3J
ISL61862BCRZ	62BC	EN	1.5	リトライ	NO	0 ~ +70	8 Ld DFN	L8.3x3J
ISL61862CCRZ	62CC	EN	3	ラッチ	NO	0 ~ +70	8 Ld DFN	L8.3x3J
ISL61862DCRZ	62DC	EN	3	リトライ	NO	0 ~ +70	8 Ld DFN	L8.3x3J
ISL61862ECRZ	62EC	$\overline{\text{EN}}$	1.5	ラッチ	NO	0 ~ +70	8 Ld DFN	L8.3x3J
ISL61862FCRZ	62FC	$\overline{\text{EN}}$	1.5	リトライ	NO	0 ~ +70	8 Ld DFN	L8.3x3J
ISL61862GCRZ	62GC	$\overline{\text{EN}}$	3	ラッチ	NO	0 ~ +70	8 Ld DFN	L8.3x3J
ISL61862HCRZ	62HC	$\overline{\text{EN}}$	3	リトライ	NO	0 ~ +70	8 Ld DFN	L8.3x3J
ISL61863ACRZ	63AC	EN	1.5	ラッチ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863BCRZ	63BC	EN	1.5	リトライ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863CCRZ	63CC	EN	3	ラッチ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863DCRZ	63DC	EN	3	リトライ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863ECRZ	63EC	$\overline{\text{EN}}$	1.5	ラッチ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863FCRZ	63FC	$\overline{\text{EN}}$	1.5	リトライ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863GCRZ	63GC	$\overline{\text{EN}}$	3	ラッチ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863HCRZ	63HC	$\overline{\text{EN}}$	3	リトライ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863ICRZ	63IC	EN	3.6	ラッチ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863JCRZ	63JC	EN	3.6	リトライ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863KCRZ	63KC	$\overline{\text{EN}}$	3.6	ラッチ	YES	0 ~ +70	10 Ld DFN	L10.3x3
ISL61863LCRZ	63LC	$\overline{\text{EN}}$	3.6	リトライ	YES	0 ~ +70	10 Ld DFN	L10.3x3

ISL6186

注文情報 (続き)

製品型番 (Note 1、2、3)	マーキング	EN/ $\overline{\text{EN}}$ 入力	$V_{\text{IN}} = 5\text{V}$ での 最大連続 IOUT (A)	ラッチ/ 自動リトライ	パワーグッド 出力	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの 外形図
ISL61861AIBZ	61861A IBZ	EN	1.5	ラッチ	NO	-40 ~ +85	8 Ld SOIC	M8.15
ISL61861BIBZ	61861B IBZ	EN	1.5	リトライ	NO	-40 ~ +85	8 Ld SOIC	M8.15
ISL61861CIBZ	61861C IBZ	EN	3	ラッチ	NO	-40 ~ +85	8 Ld SOIC	M8.15
ISL61861DIBZ	61861D IBZ	EN	3	リトライ	NO	-40 ~ +85	8 Ld SOIC	M8.15
ISL61861EIBZ	61861E IBZ	$\overline{\text{EN}}$	1.5	ラッチ	NO	-40 ~ +85	8 Ld SOIC	M8.15
ISL61861FIBZ	61861F IBZ	$\overline{\text{EN}}$	1.5	リトライ	NO	-40 ~ +85	8 Ld SOIC	M8.15
ISL61861GIBZ	61861G IBZ	$\overline{\text{EN}}$	3	ラッチ	NO	-40 ~ +85	8 Ld SOIC	M8.15
ISL61861HIBZ	61861H IBZ	$\overline{\text{EN}}$	3	リトライ	NO	-40 ~ +85	8 Ld SOIC	M8.15
ISL61862AIRZ	62AI	EN	1.5	ラッチ	NO	-40 ~ +85	8 Ld DFN	L8.3x3J
ISL61862BIRZ	62BI	EN	1.5	リトライ	NO	-40 ~ +85	8 Ld DFN	L8.3x3J
ISL61862CIRZ	62CI	EN	3	ラッチ	NO	-40 ~ +85	8 Ld DFN	L8.3x3J
ISL61862DIRZ	62DI	EN	3	リトライ	NO	-40 ~ +85	8 Ld DFN	L8.3x3J
ISL61862EIRZ	62EI	$\overline{\text{EN}}$	1.5	ラッチ	NO	-40 ~ +85	8 Ld DFN	L8.3x3J
ISL61862FIRZ	62FI	$\overline{\text{EN}}$	1.5	リトライ	NO	-40 ~ +85	8 Ld DFN	L8.3x3J
ISL61862GIRZ	62GI	$\overline{\text{EN}}$	3	ラッチ	NO	-40 ~ +85	8 Ld DFN	L8.3x3J
ISL61862HIRZ	62HI	$\overline{\text{EN}}$	3	リトライ	NO	-40 ~ +85	8 Ld DFN	L8.3x3J
ISL61863AIRZ	63AI	EN	1.5	ラッチ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863BIRZ	63BI	EN	1.5	リトライ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863CIRZ	63CI	EN	3	ラッチ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863DIRZ	63DI	EN	3	リトライ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863EIRZ	63EI	$\overline{\text{EN}}$	1.5	ラッチ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863FIRZ	63FI	$\overline{\text{EN}}$	1.5	リトライ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863GIRZ	63GI	$\overline{\text{EN}}$	3	ラッチ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863HIRZ	63HI	$\overline{\text{EN}}$	3	リトライ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863IIRZ	63II	EN	3.6	ラッチ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863JIRZ	63JI	EN	3.6	リトライ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863KIRZ	63KI	$\overline{\text{EN}}$	3.6	ラッチ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61863LIRZ	63LI	$\overline{\text{EN}}$	3.6	リトライ	YES	-40 ~ +85	10 Ld DFN	L10.3x3
ISL61861EVAL1Z (ISL61861C)		EN	3	ラッチ	NO	-	8 Ld SOIC	EVAL BOARD
ISL61862EVAL1Z (ISL61862F)		$\overline{\text{EN}}$	1.5	リトライ	NO	-	8 Ld DFN	EVAL BOARD
ISL61863EVAL1Z (ISL61863L)		$\overline{\text{EN}}$	3.6	リトライ	YES	-	10 Ld DFN	EVAL BOARD

Note :

1. テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ [TB347](#) を参照してください。
2. これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイアタッチ素材を採用するとともに、端子には錫 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリーハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度では MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 吸湿性レベル (MSL) については [ISL6186](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ [TB363](#) を参照してください。

ISL6186

絶対最大定格

電源電圧 (VIN ~ GND、Note 7)	6.5V
EN、FAULT	VIN
OUT	GND - 0.3V ~ VIN 0.3V
出力電流	短絡保護、5A に制限
ESD 定格	
人体モデル (MIL-STD-883 Method 3015.7 に準拠)	.3kV
機械モデル (MIL-STD-883 Method 3015.7 に準拠)	.300V
ラッチアップ定格	
(JESD-78B; Class 2, Level A に従ってテスト済み)	100mA

温度情報

熱抵抗 (代表値)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
8 Ld SOIC パッケージ (Note 4)	120	N/A
8 Ld 3 × 3 DFN パッケージ (Note 5、6)	48	6
10 Ld 3 × 3 DFN パッケージ (Note 5、6)	48	6
ジャンクション最高温度	+150 °C	
最大保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	以下の URL を参照	
	http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

動作条件

民生用温度範囲	0 °C ~ +70 °C
産業用温度範囲	-40 °C ~ +85 °C
電源電圧範囲 (代表値)	2.5V ~ 5.5V

注意：過度に長い期間にわたって最大定格点または最大定格付近でモジュールを動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

Note :

- θ_{JA} は、部品を放熱効率の高い試験基板に実装した状態で、自由大気中で測定した値です。詳細はテクニカル・ブリーフ [TB379](#) を参照してください。
- θ_{JA} は、部品を放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装した状態で、自由大気中で測定した値です。詳細はテクニカル・ブリーフ [TB379](#) を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。
- 特記のない限り、すべての電圧はグラウンドが基準です。

電気的特性 特記のない限り動作条件は次のとおりです。VIN = 5V、TA = TJ。太字のリミット値は動作温度範囲 0 °C ~ +75 °C または -40 °C ~ +85 °C に対して適用されます。

SYMBOL	PARAMETER	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
POWER SWITCH						
rDS(ON)_50	ON-Resistance at 5.0V (Pulse Tested)	VIN = 5V, IOUT = 0.5A, TA = TJ = +25°C	-	45	48	mW
		TA = TJ = +85°C	-	50	54	mW
rDS(ON)_33	ON-Resistance at 3.3V (Pulse Tested)	VIN = 3.3V, IOUT = 0.5A, TA = TJ = +25°C	-	54	57	mW
		TA = TJ = +85°C	-	61	64	mW
rDS(ON)_25	On Resistance at 2.5V (Pulse Tested)	VIN = 2.5V, IOUT = 0.5A, TA = TJ = +25°C	-	65	69	mW
		TA = TJ = +85°C	-	74	79	mW
VOUT_DIS	Disabled Output Voltage	VIN = 5V, Switch Disabled, 50µA Load	-	22	45	mV
ROUT_PD	Output Pull-Down Resistor	VIN = 5V, Switch Disabled	3.4	5	6	kW
tR	VOUT Rise Time	RL = 10W, CL = 10µF, 10% to 90%	-	10	-	µs
tF	Slow VOUT Turn-off Fall Time	RL = 10W, CL = 10µF, 90% to 10%	-	200	-	µs
CURRENT CONTROL						
IOUT_CONT_5	Maximum Continuous Current, VIN = 5V Guaranteed by the Minimum Itrip Current Specification	ISL6186xA, B, E, F	-	-	1.5	A
IOUT_CONT_5		ISL6186xC, D, G, H	-	-	3.0	A
IOUT_CONT_5		ISL6186xI, J, K, L (10 Ld DFN)	-	-	3.6	A
IOUT_CONT_3	Maximum Continuous Current, VIN = 3.3V Guaranteed by the Minimum Itrip Current Specification	ISL6186xA, B, E, F	-	-	1.5	A
IOUT_CONT_3		ISL6186xC, D, G, H	-	-	2.5	A
IOUT_CONT_3		ISL6186I, J, K, L (10 Ld DFN)	-	-	2.7	A
IOUT_CONT_2	Maximum Continuous Current, VIN = 2.5V	ISL6186xA, B, E, F	-	1.2	-	A
IOUT_CONT_2		ISL6186I, C, D, G, H (SOIC)	-	1.8	-	A
IOUT_CONT_2		ISL6186I, C, D, G, H (DFN)	-	2	-	A
IOUT_CONT_2		ISL6186I, J, K, L (10 Ld DFN)	-	2	-	A

ISL6186

電気的特性 特記のない限り動作条件は次のとおりです。 $V_{IN} = 5V$ 、 $T_A = T_J$ 。太字のリミット値は動作温度範囲 $0^\circ\text{C} \sim +75^\circ\text{C}$ または $-40^\circ\text{C} \sim +85^\circ\text{C}$ に対して適用されます。(続き)

SYMBOL	PARAMETER	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
I_{TRIP_5}	Trip Current, $V_{IN} = 5V$	ISL6186xA, B, E, F	1.7	2.5	3.3	A
I_{TRIP_5}		ISL6186xC, D, G, H	3.0	3.9	4.5	A
I_{TRIP_5}		ISL61863I, J, K, L (10 Ld DFN)	3.7	3.9	5.0	A
I_{TRIP_3}	Trip Current, $V_{IN} = 3.3V$	ISL6186xA, B, E, F	1.7	2.1	2.7	A
I_{TRIP_3}		ISL6186xC, D, G, H	2.8	3.5	4.0	A
I_{TRIP_3}		ISL61863I, J, K, L (10 Ld DFN)	3.5	3.9	4.3	A
I_{TRIP_2}	Trip Current, $V_{IN} = 2.5V$	ISL6186xA, B, E, F	-	1.8	-	A
I_{TRIP_2}		ISL6186xC, D, G, H	-	3.2	-	A
I_{TRIP_2}		ISL61863I, J, K, L (10 Ld DFN)	-	3.4	-	A
I_{LIM_5}	Current Limit, $V_{IN} = 5V$	ISL6186xA, B, E, F, $V_{IN} - V_{OUT} = 1V$	1.37	1.6	1.81	A
I_{LIM_5}		ISL6186xC, D, G, H, $V_{IN} - V_{OUT} = 1V$	2.82	3.1	3.42	A
I_{LIM_5}		ISL61863I, J, K, L, (10 Ld DFN) $V_{IN} - V_{OUT} = 1V$	3.24	3.6	4.00	A
I_{LIM_3}	Current Limit, $V_{IN} = 3.3V$	ISL6186xA, B, E, F, $V_{IN} - V_{OUT} = 1V$	1.35	1.5	1.77	A
I_{LIM_3}		ISL6186xC, D, G, H, $V_{IN} - V_{OUT} = 1V$	2.72	3.0	3.35	A
I_{LIM_3}		ISL61863I, J, K, L (10 Ld DFN), $V_{IN} - V_{OUT} = 1V$	3.22	3.5	3.95	A
I_{LIM_2}	Current Limit, $V_{IN} = 2.5V$	ISL6186xA, B, E, F, $V_{IN} - V_{OUT} = 1V$	1.30	1.5	1.70	A
I_{LIM_2}		ISL6186xC, D, G, H, $V_{IN} - V_{OUT} = 1V$	2.55	2.9	3.14	A
I_{LIM_2}		ISL61863I, J, K, L (10 Ld DFN), $V_{IN} - V_{OUT} = 1V$	3.07	3.3	3.75	A
I_{sc_5}	Short Circuit Current, $V_{IN} = 5V$	ISL6186xA, B, E, F, $V_{OUT} = 0V$	1.45	2.0	2.35	A
I_{sc_5}		ISL6186xC, D, G, H, $V_{OUT} = 0V$	2.60	3.4	4.50	A
I_{sc_5}		ISL61863I, J, K, L (10 Ld DFN), $V_{OUT} = 0V$	2.48	3.5	5.00	A
I_{sc_3}	Short Circuit Current, $V_{IN} = 3.3V$	ISL6186XA, B, E, F, $V_{OUT} = 0V$	0.95	1.2	1.50	A
I_{sc_3}		ISL6186XC, D, G, H, $V_{OUT} = 0V$	1.95	2.2	2.70	A
I_{sc_3}		ISL61863I, J, K, L (10 Ld DFN), $V_{OUT} = 0V$	2.00	2.5	3.00	A
I_{sc_2}	Short Circuit Current, $V_{IN} = 2.5V$	ISL6186xA, B, E, F, $V_{OUT} = 0V$	-	1.1	-	A
I_{sc_2}		ISL6186xC, D, G, H, $V_{OUT} = 0V$	-	2.1	-	A
I_{sc_2}		ISL61863I, J, K, L, (10 Ld DFN) $V_{OUT} = 0V$	-	2.4	-	A
$t_{settlim}$	OC to Limit Settling Time	$V_{IN}/R_L = 2I_{LIM}$, $C_L = 10\mu F$ to within 10% of I_{LIM}	-	200	-	μs
$t_{settlim_sev}$	Severe OC to Limit Settling Time	$V_{IN}/R_L = 4I_{LIM}$, $C_L = 10\mu F$ to within 10% of I_{LIM}	-	30	-	μs
t_{CL}	Current Limit Duration	$I_{OUT} = I_{LIM}$	9.2	12	15	ms
t_{RTY}	Automatic Retry Period		0.80	1	1.35	s

I/O PARAMETERS

V_{fault_lo}	Fault Output Voltage	Fault $I_{OUT} = 10mA$	-	-	0.45	V
I_{fault}	Fault Leakage		-	5	-	μA
V_{enr_5}	ENABLE/ \overline{ENABLE} Rising Threshold	$V_{IN} = 5V$	1.5	1.8	2	V
Hys_Venr_5	EN/ \overline{EN} Threshold Hysteresis	$V_{IN} = 5V$	65	140	175	mV
V_{enr_3}	ENABLE/ \overline{ENABLE} Rising Threshold	$V_{IN} = 3.3V$	1.0	1.3	1.6	V
Hys_Venr_3	EN/ \overline{EN} Threshold Hysteresis	$V_{IN} = 3.3V$	30	80	120	mV
V_{enr_2}	ENABLE/ \overline{ENABLE} Rising Threshold	$V_{IN} = 2.5V$	0.95	1.1	1.3	V
Hys_Venr_2	EN/ \overline{EN} Threshold Hysteresis	$V_{IN} = 2.5V$	10	70	110	mV

電気的特性 特記のない限り動作条件は次のとおりです。 $V_{IN} = 5V$ 、 $T_A = T_J$ 。太字のリミット値は動作温度範囲 $0^\circ\text{C} \sim +75^\circ\text{C}$ または $-40^\circ\text{C} \sim +85^\circ\text{C}$ に対して適用されます。(続き)

SYMBOL	PARAMETER	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
Ren_h	ENABLE Pull-Down Resistor	Enable asserted high options	0.6	1	1.55	MW
Ren_l	ENABLE Pull-Up Resistor	Enable asserted low options	0.6	1	1.55	MW
t _{ON}	Enable to Output Turn-on Time	R _L = 10W, C _L = 10μF, Enable 50% to Output 90%	-	0.1	-	ms
t _{OFF}	Enable to Output Turn-off Time	R _L = 10W, C _L = 10μF, Enable 50% to Output 10%	-	0.25	-	ms
t _{pdPGr}	Enable to Power Good Output Rising Time	Disable to Power-Good De-assert	-	30	-	ns
PG Vth	Power Good Threshold	PGD pulls low when V _{OUT} /V _{IN}	88	91	95	%
PGN Vth	Power Not Good Threshold	PGD release high when V _{OUT} /V _{IN}	78	86	93	%
t _{thr2PG}	PG Vth to $\overline{\text{PG}}$ Falling	$\overline{\text{PG}}$ delay after PG Vth	-	1.5	-	μs
t _{thr2PG}	PGN Vth to $\overline{\text{PG}}$ Rising	$\overline{\text{PG}}$ delay after PGN Vth	-	45	-	μs
BIAS PARAMETERS						
I _{VDD}	Enabled V _{IN} Current	Switches Closed, OUTPUT = OPEN	-	57	75	μA
I _{VDD}	Disabled V _{IN} Current	Switches Open, OUTPUT = OPEN	-	3.5	5.5	μA
V _{UVLO}	Rising POR Threshold	V _{IN} Rising to functional operation	-	2.1	2.3	V
I _{VR}	Reverse Blocking Leakage Current	V _{IN} = 0V, V _{OUT} = 5V	-	0.3	2.0	μA
Temp_dis	Over-Temperature Disable		-	150	-	°C
Temp_hys	Over-Temperature Hysteresis		-	20	-	°C

Note :

8. データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか1つまたは複数によって保証されています。

概要

ISL6186 ファミリは、+2.5V ~ +5V の電圧範囲に対応したシングルチャネルの過電流 (OC) フォルト保護 IC です。ISL6186 ファミリの各タイプは、電源制御用の 45mΩ P チャネル MOSFET パワースイッチを内蔵しています。2.5V ~ 5V のロジックに対応したイネーブル入力とフォルト出力により、外部制御 / 通知が可能です。また、内蔵のパワースイッチは、電流モニタリング、高精度の電流リミット、逆バイアス保護、ターンオフまでの電流リミット適用ディレイ期間によってシステムの信頼性を確保しています。電流不足時や過電流時など代表的な動作時の波形については、図 11 ~ 27 を参照してください。

ISL6186 ファミリは、V_{IN} = 5V での電流センスと電流リミットにより 1.5A、3A、3.6A の連続電流レベルを確保しているので、USB などさまざまな低消費電力 (最大 18W) のパワーマネジメント・アプリケーション / 構成に最適です。

また、熱的に不感なタイマ式過電流ターンオフとフォルト通知の機能も備えており、周辺機器における過電流や短絡の発生時には、周囲の温度条件に左右されることなく電圧バスを絶縁し保護できます。

適切なイネーブル状態が存在しない場合や、V_{IN} が V_{UVLO} を上回らない場合、ISL6186 ファミリのアンダーボルテージ・ロックアウト機能は出力のターンオンを防止します。ターンオン直後の段階では、フォルト信号を無効にすることにより、フォルト通知の誤動作を回避します。

動作中に過電流状態が検出されると、t_{CL} の間、出力に電流リミットが適用され、過電流状態が一時的に許可されます。電流リミット期間終了後も電流リミット状態にある場合は、出力がターンオフになり、 $\overline{\text{FAULT}}$ 出力を Low にすることでフォルトを通知します。ラッチオフ・オプションではターンオフ後、イネーブル信号の OFF/ON によるリセットか、パワーオン・リセット (POR) の発生まで、出力と $\overline{\text{FAULT}}$ 信号のいずれも Low に維持します。リセットが行われた時点で、 $\overline{\text{FAULT}}$ 信号がクリアされ、スイッチのターンオンが可能になります。自動リスタートオプションでは、イネーブルがアサートされている間は定期的に出力のターンオンが試みられます。

ディスエーブル時には、低待機時消費電流が流れ、出力から入力への逆電流を防止します。

ISL6186 ファミリは、業界標準ピン配置の 8 Ld SOIC パッケージまたは 70% 小型化された 2 バージョンの 3 × 3 mm DFN パッケージで供給され、それぞれイネーブル極性を選べます。8 Ld DFN パッケージは 8 Ld SOIC パッケージと同等の性能を発揮します。10 Ld DFN パッケージはパッケージの電気抵抗と熱抵抗が小さいため、小型のパッケージ上でより大電流に対応できます。また、10 Ld DFN パッケージはパワーグッド出力 ($\overline{\text{PGD}}$) を備えています。 $\overline{\text{PGD}}$ は、V_{OUT} が V_{IN} の 90% を上回ると 40ms の間 Low になり、V_{OUT} が V_{IN} の 85% を下回ると High になります。

動作の説明

パワーオン・リセット (POR)

V_{IN} が V_{UVLO} を下回った場合、ISL6186 ファミリの POR 機能は製品の動作を禁止します。

逆極性保護

パワースイッチがディスエーブルまたはパワーダウンになり、 V_{OUT} が V_{IN} を上回った場合でも、電流が出力から入力に流れたり、出力電圧が入力に現れたりすることはありません。

ソフトスタート

イネーブルになると、式 I_{LIM}/C_{OUT} (V/s) に従って V_{OUT} ピンの電圧が上昇します。抵抗性負荷やアクティブな負荷があると、曲線の頂点に向けての V_{OUT} の上昇速度が低下します。

スタートアップ時のフォルトの無効化

ターンオン直後の段階では、内蔵 FET が十分に安定するまでフォルト信号を無効にすることにより、システム・コントローラへのフォルト通知の誤動作を回避します。

電流トリップ/リミットのレベル

ISL6186 ファミリは電流センス機能を MOSFET に内蔵しているので、過電流イベントの迅速な制御が可能です。過電流状態が検出されると、ISL6186 ファミリは電流リミット (CL) 制御モードに移行します。ISL6186 ファミリには、1.5A、3A、または 3.6A の連続電流 (I_{OUT_CONT}) 動作に対応したバリエーションが用意されています。電流が連続電流定格を上回ると、電流リミット・モードに移行するレベル (電流トリップ・レベル) に到達します。電流トリップ・レベルは、誤ったフォルトを発生させないように、いかなる場合でも I_{OUT_CONT} 定格を十分に上回ったものとなります。電流リミットは、既知の代表的な条件をテストする目的で $V_{OUT} = V_{IN} - 1V$ に規定されており、公称値は連続電流定格よりわずかに高くなります。この電流リミット制御の速度は、過電流フォルトの強度と逆の関係になります。したがって、強い過電流は、弱い過電流状態よりも速くリミット値に到達します。

過熱シャットダウン

ISL6186 ファミリは過熱シャットダウン/ロックアウト機能を備えていますが、シャットダウンまでには 12ms の時間が

設定されているので、サーマル・シャットダウンはきわめて高い周囲温度でのみ発生します。 \overline{FAULT} は、過熱イベントに対しては応答しません。

過熱保護機能は、内部 FET をディスエーブルにします。ダイ温度が約 +140 °C を超え、約 +150 °C になると、オン状態の内部 FET がターンオフになり、ダイ温度が約 +120 °C に低下すると、内部 FET が解放され通常動作に戻ります。

ターンオフ時間のディレイ

動作中に過電流状態が検出されると、約 12ms の間、出力に電流リミットが適用され、一時的に過電流状態になります。電流リミット期間終了後も電流リミット状態にある場合は、出力がターンオフになり、 \overline{FAULT} 出力を Low にすることでフォルトを通知します。電流リミットの適用とともに 12ms の内蔵タイマが開始されます。このタイマは周囲や IC の温度条件に左右されることなく、温度範囲全体にわたって一貫した動作を実現します。

ラッチオフ・リスタートと自動リスタート

ラッチオフ・オプションではターンオフ後、イネーブル信号のアサート解除によるリセットまで、出力と \overline{FAULT} 信号がいずれも Low で維持されます。リセットが行われた時点で、 \overline{FAULT} 信号がクリアされ、IC のアサートが可能になります。自動リスタート・オプションでは、イネーブルがアサートされている間は約 1 秒間隔で定期的に出力のターンオンが試みられます。過電流状態が長時間続くと、熱保護機能が起動されるまでフォルト通知やリスタートの試行も継続され、リスタート期間が増加します。

パワーグッド出力

この機能は、アクティブ Low のオープン・ドレイン・パワーグッド・インジケータです。 V_{OUT} が V_{IN} の 90% を上回るとアサートされ、 V_{OUT} が V_{IN} の 85% を下回るとアサートが解除されます。IC がディスエーブルになると即座にアサートが解除されます。

アクティブ出力プルダウン

ISL6186 ファミリのその他の機能として、出力における 10k Ω のアクティブ・プルダウンが挙げられます。製品がディスエーブルになると、GND から +60mV 未満までプルダウンが行われ、負荷が放電されます。

性能特性

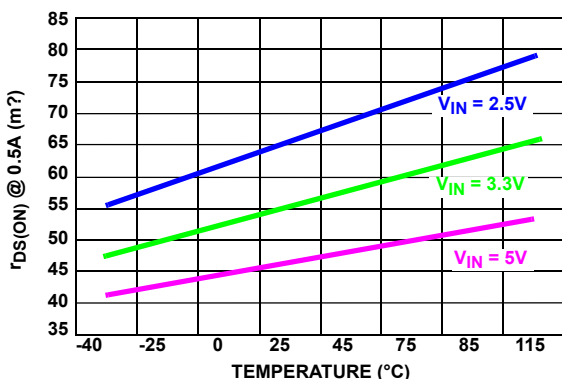


図 3. 0.5A でのスイッチオン抵抗

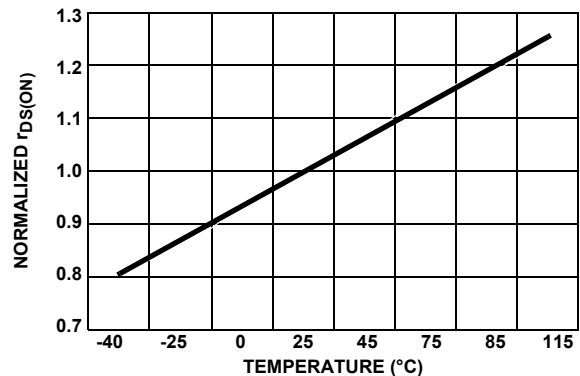


図 4. 正規化されたスイッチ抵抗

性能特性 (続き)

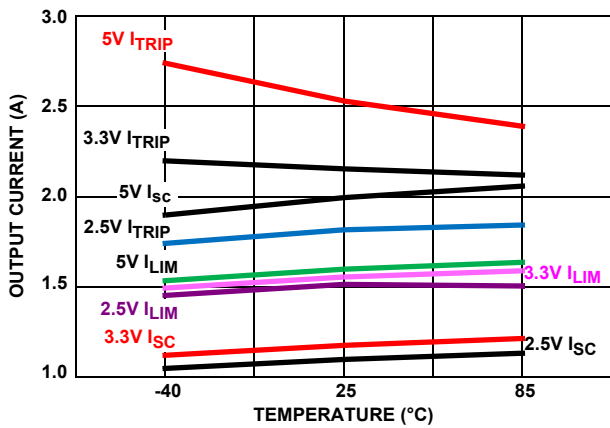


図 5. 1.5A 連続電流特性

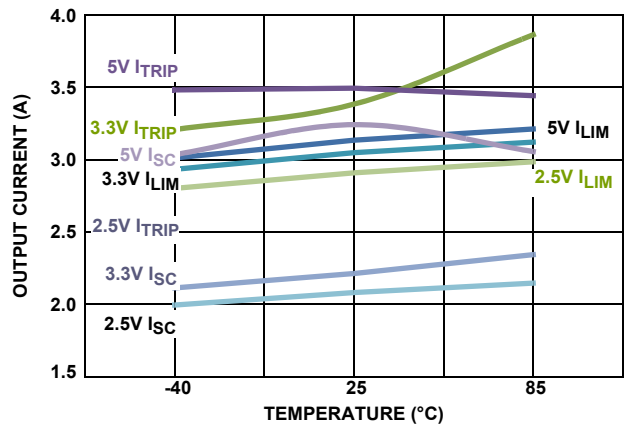


図 6. 3A 連続電流特性

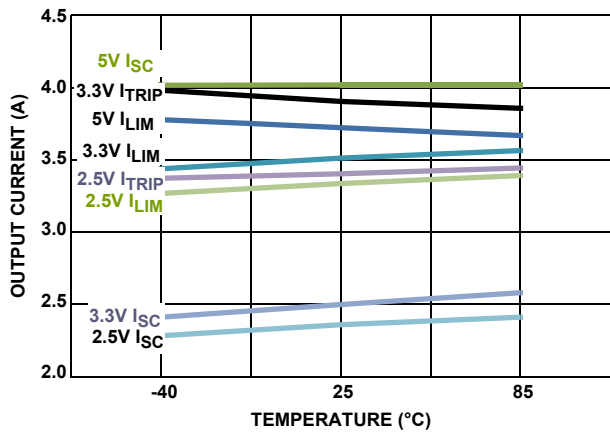


図 7. 3.6A 連続電流特性

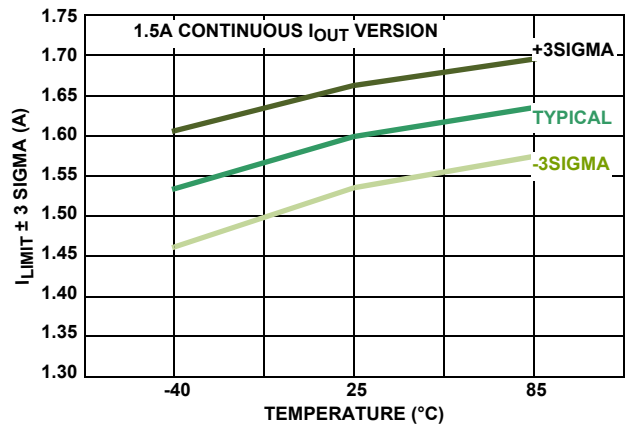


図 8. リミット電流± 3 シグマ、 $V_{IN} = 5V$

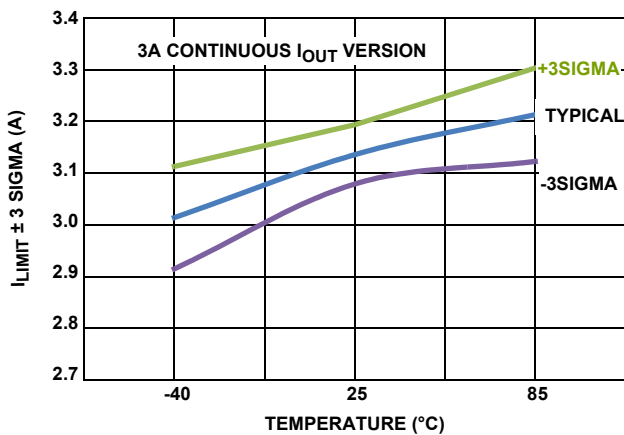


図 9. リミット電流± 3 シグマ、 $V_{IN} = 5V$

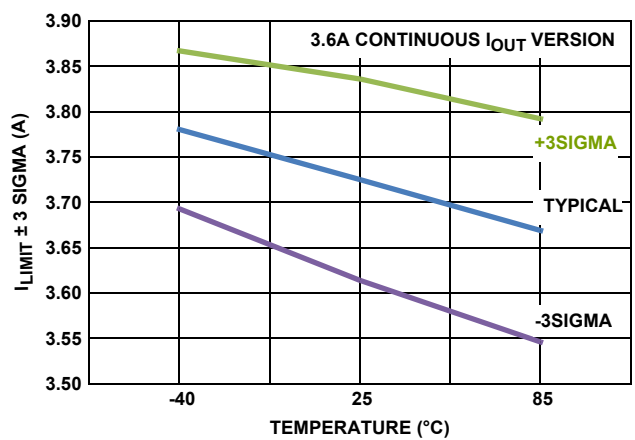


図 10. リミット電流± 3 シグマ、 $V_{IN} = 5V$

性能特性 (続き)

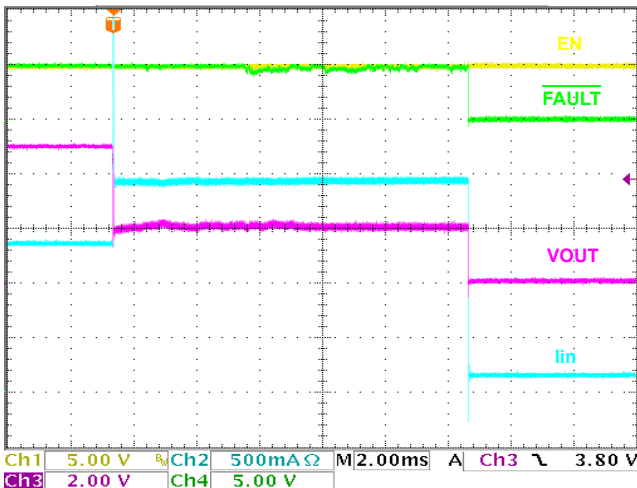


図 11. 1.5A パリエーションにおける I_{LIM} の波形

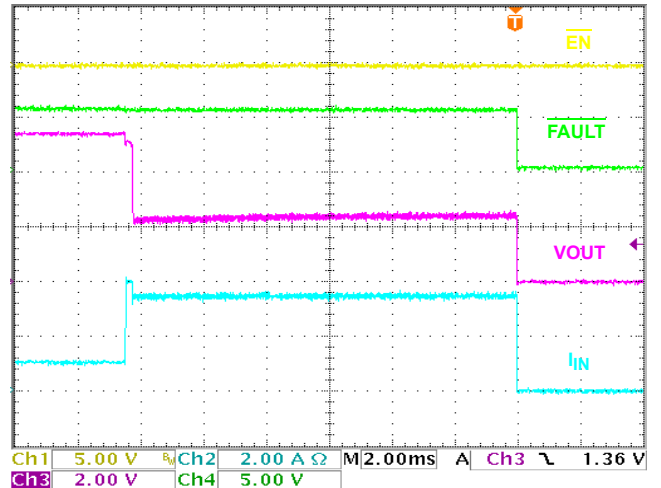


図 12. 3A パリエーションにおける I_{LIM} の波形

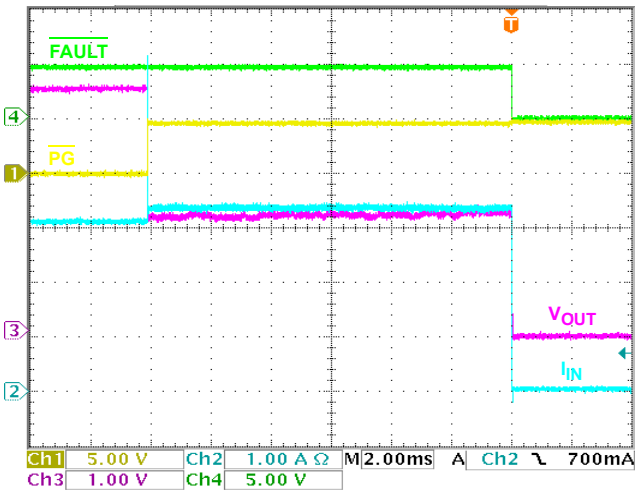


図 13. 3.6A パリエーションにおける I_{LIM} の波形 (PG あり)

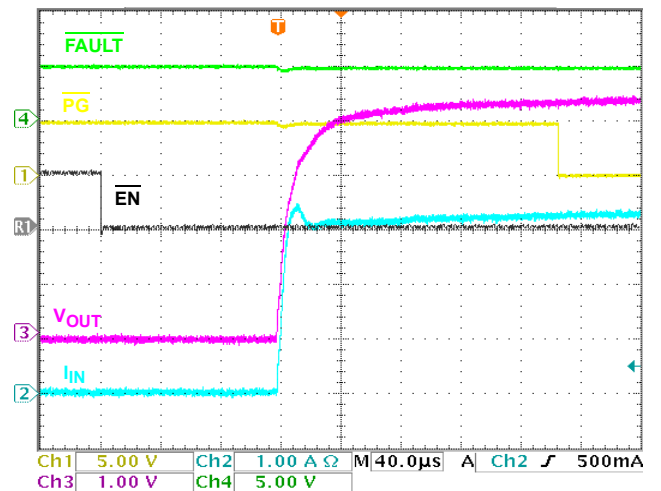


図 14. LISL6186 のターンオン (PG あり)

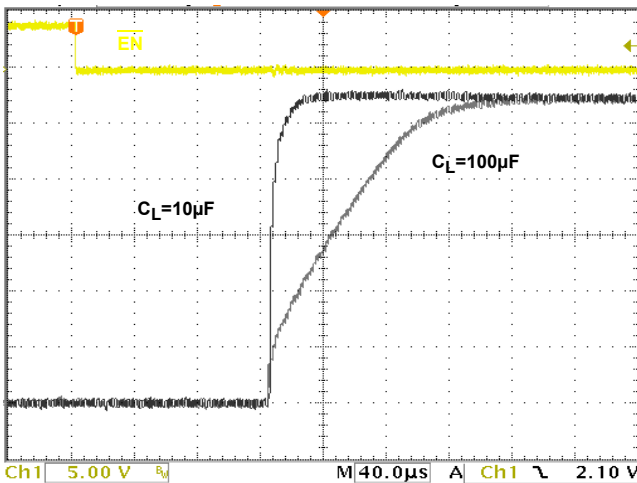


図 15. V_{OUT} ターンオン / 立ち上がり時間 vs C_{LOAD} 。
 $V_{IN} = 5.5V$, $R_L = 10\Omega$

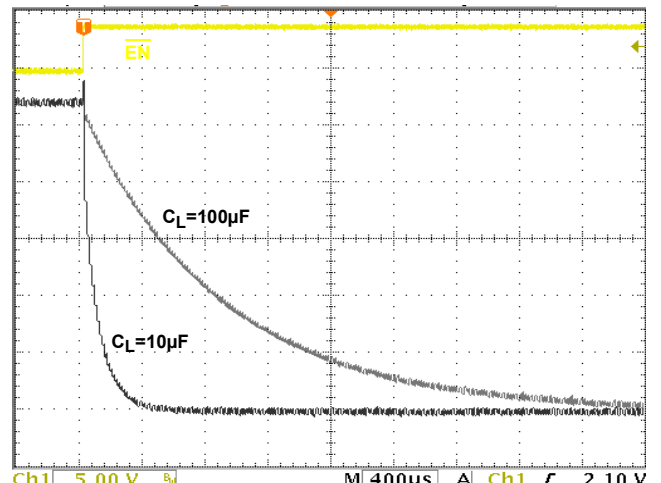


図 16. V_{OUT} ターンオフ / 立ち下がり時間 vs C_{LOAD} 。
 $V_{IN} = 5.5V$, $R_L = 10\Omega$

性能特性 (続き)

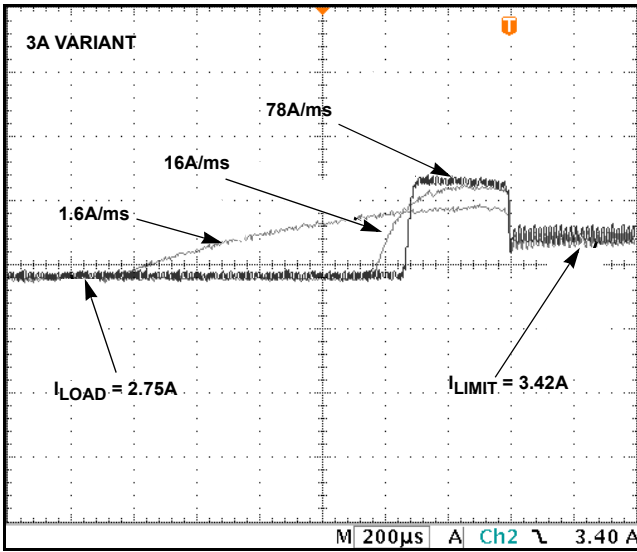


図 17. 過電流ランプレート I_{LIM} の波形

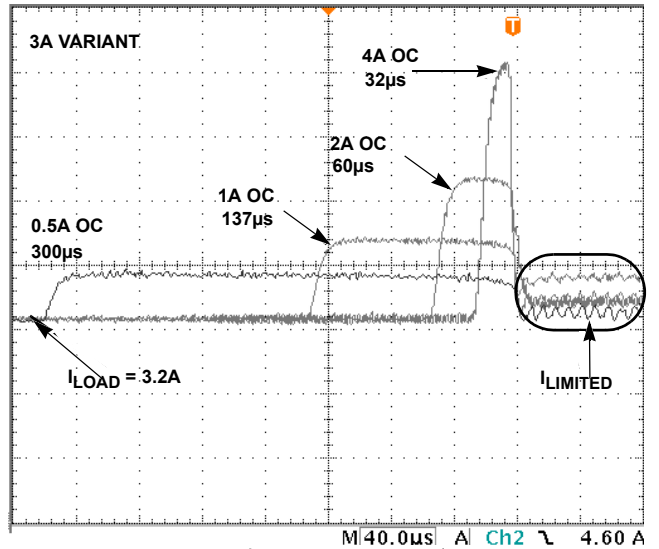


図 18. ピーク電流セトリング時間

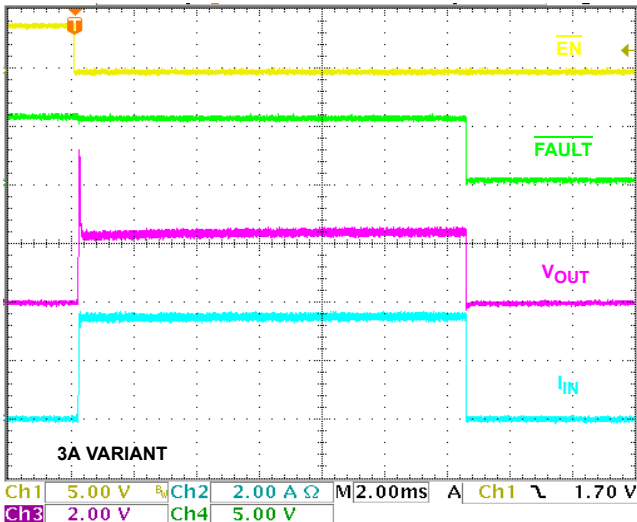


図 19. 過電流状態へのターンオン

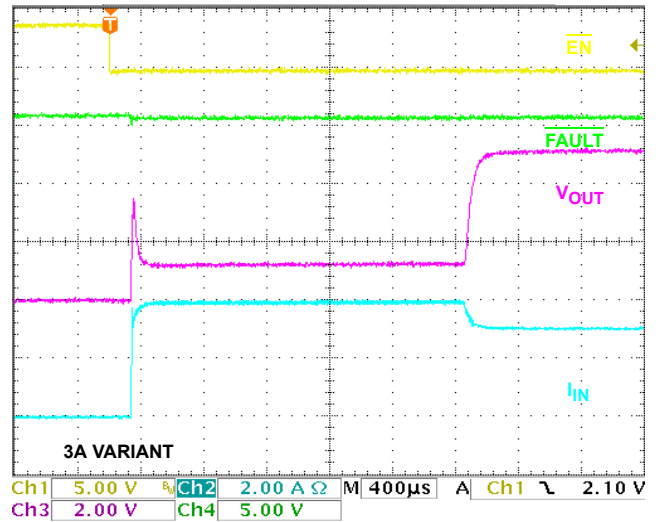


図 20. 一時的な過電流状態へのターンオン

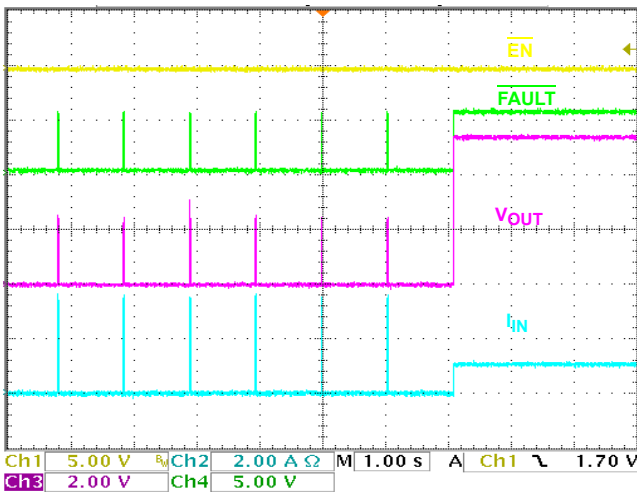


図 21. 過電流リトライ機能

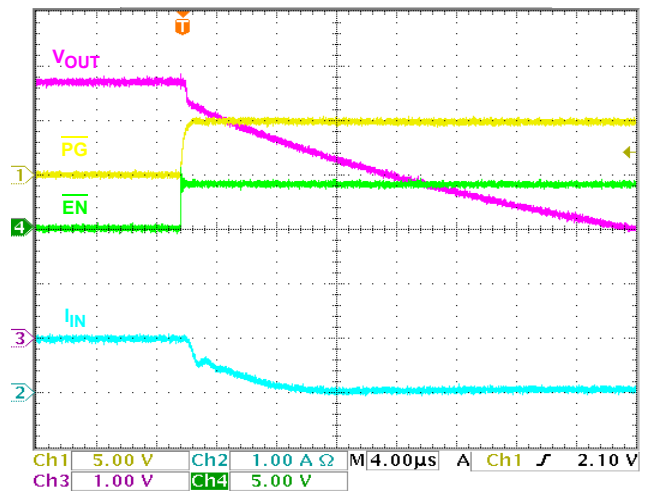


図 22. ターンオフ (PG あり)

性能特性 (続き)

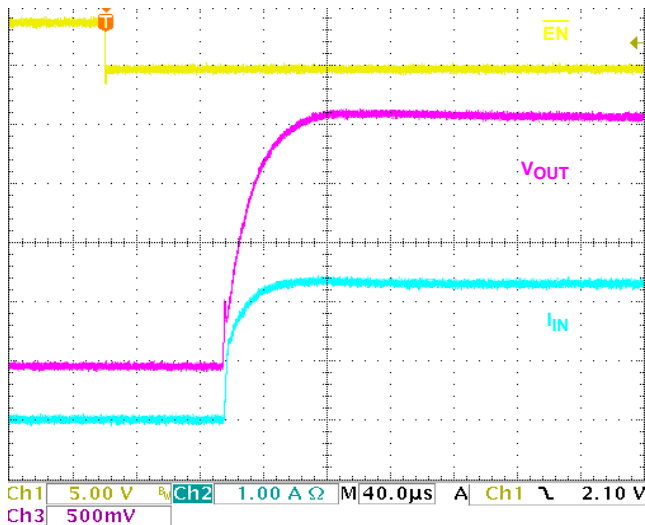


図 23. $V_{IN} = 2.4V$ における 0.88Ω へのターンオン

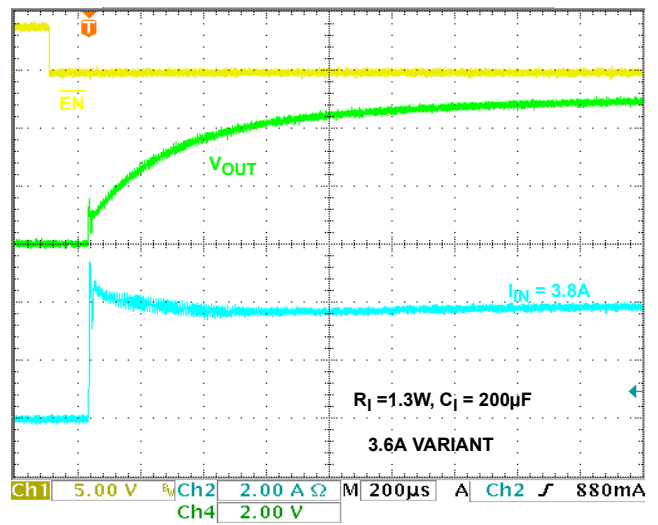
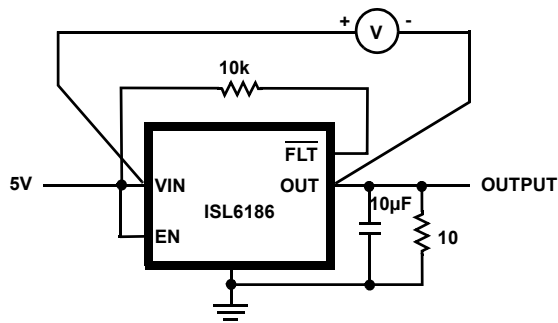


図 24. 18W 負荷へのターンオン

テスト回路



$$r_{DS(ON)} = V / (V_{OUT} / 10\Omega)$$

図 25A. $r_{DS(ON)}$

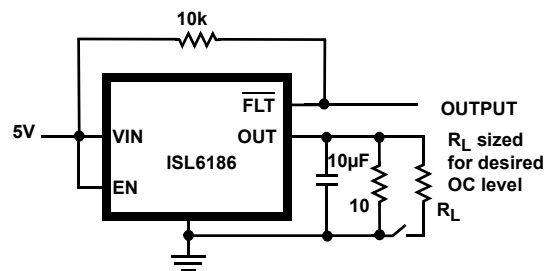


図 25B. 電流リミット

図 25. DC テスト回路

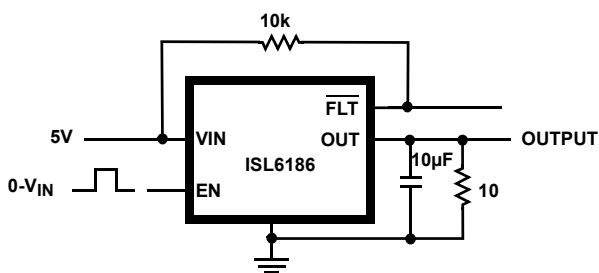


図 26A. 過渡テスト回路

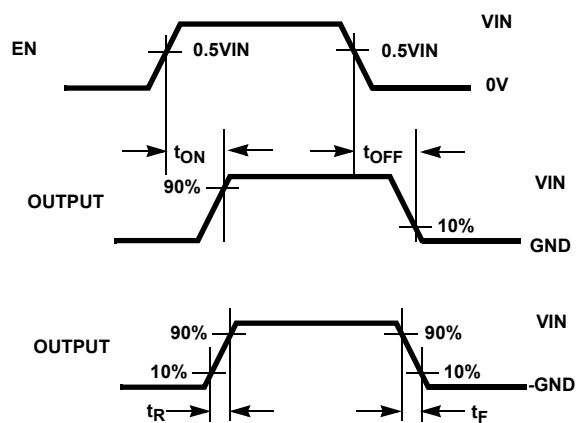
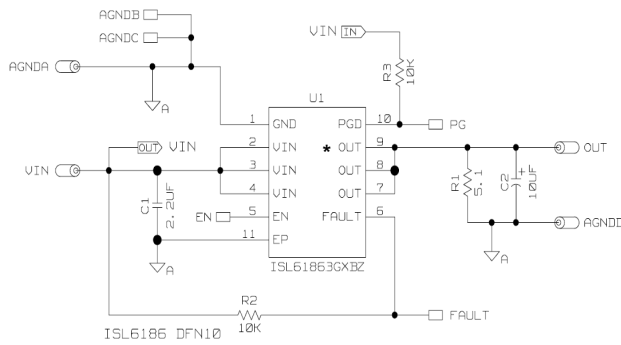


図 27. 過渡波形の測定ポイント

ISL61863EVAL1Z の回路図と写真



Note : * PGD 出力は ISL61863 タイプでのみ利用可能

図 28A. ISL61863EVAL1Z の回路図

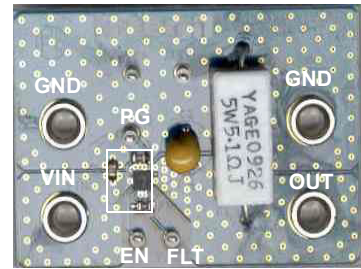


図 28B. ISL61863EVAL1Z ボードの写真

図 28. ISL61863EVAL1Z の回路図と ISL61863EVAL1Z の写真

アプリケーション情報

ISL6186XEVAL1Z プラットフォームを使用した
一般情報とバイアス情報

ISL6186 ファミリの評価プラットフォームは3種類あります。パッケージ形式ごとに1つのプラットフォームが用意されており、それぞれ連続出力電流レベルが異なります。プラットフォームによっては、イネーブル極性オプションと出力リトリヤ/ラッチオプションの組み合わせも異なります。3ページから始まる「注文情報」表の末尾に、標準品として供給されている評価ボードを掲載しています。図 28A に示したのは、10 Ld DFN ISL61863EVAL1Z の回路図です。ISL61863 タイプに固有の PGOOD 出力を除き、回路図と機能はすべて3種類のパッケージ間で同じです。パッケージ間の違いについては、2ページに掲載されている各パッケージのピン配置を参照してください。

評価プラットフォームは、複数のラベル付きテストポイント (TP) を通じてバイアスしモニタリングされています。テストポイントの割り当てと説明については、表 1 を参照してください。

表 1. ISL61863EVAL1Z のテストポイントの割り当て

TP 名	説明
GND	評価ボードと IC のグラウンド
VIN	評価ボード、IC のバイアスとパワー入力
EN	イネーブルスイッチ
OUT	スイッチのパワー出力
PG	パワーグッド出力
FLT	フォルト出力

評価プラットフォームの適切なバイアスと、IC の正しいイネーブルが行われると、ISL6186 ファミリの負荷電流は公称値で $V_{IN}/5.1\Omega$ になり、これはイネーブルされたスイッチごとに通過する連続電流の定格を下回ります。ISL6186 ファミリの代表的なターンオン/ターンオフ波形については、図 14 ~ 16 を参照してください。

評価対象の特定の部品について電流がトリップレベルを超えると、ISL6186 ファミリアは電流リミットモードに移行します。

連続負荷電流定格が 1.5A の ISL6186 ファミリアにおける電流リミットモードを図 11 に示しました。この図で示されている電流リミットの範囲は、ターンオフになりフォルト信号がアサートされるまでの約 12ms です。

アプリケーションに関する考慮事項

ISL6186XEVAL1Z ボードの部品リストについては、表 2 を参照してください。

VIN のデカップリング

ISL6186 ファミリアのアプリケーションに関する考慮事項は、業界の慣例に従います。VIN ピンの適切なデカップリングを行うには、IC の近くに配置する必要があります (2.2 μ F 以上を推奨)。3.0A バージョンと 3.6A バージョンの場合、過電流イベント時における VIN でのスパイクやグリッチを防ぐため、33 μ F 以上を推奨します。ISL6186 ファミリアに対する入力/出力インダクタンスを削減するには、適切な PCB レイアウトを行ってください。

VOUT への負荷

ISL6186 ファミリアのターンオン時に出力に負荷をかけない (オープンにする) 設計で 3A バージョンや 3.6A バージョンを使用する場合は、高 dv/dt によってサージ/ESD 回路が不必要に起動することを避けるため、4.7 μ F 以上の容量性負荷を推奨します。

連続電流定格

ISL6186 ファミリアには、 $V_{IN} = 5V$ で規定された連続電流定格の製品が複数用意されています。具体的には 1.5A、3A、3.6A の各オプションであり、全温度範囲に対応しています。 $V_{IN} = 3.3V$ では電流容量が低下し、ISL6186 ファミリアの仕様は 1.5A と 3A になります。 $V_{IN} = 2.5V$ の場合の仕様は定められていませんが、仕様表には +25 $^{\circ}C$ での動作における参考として代表値が記載されています。この容量低下は、バイアス電圧が低くなると FET スwitch の $I_{DS(ON)}$ が増加することが原因です。

熱特性が強化され、ボンディング・ワイヤが多い 10 Ld DFN パッケージは、8 Ld SOIC パッケージや 8 Ld DFN パッケージよりも大電流に対応できます。

ISL6186

表 2. ISL6186XEVAL1Z ボードの部品リスト

部品名	部品の機能	部品の説明
U1	ISL6186	Intersil、ISL6186
R1	出力負荷抵抗	5.1Ω、5%、3W
R2	FLT 出力プルアップ抵抗	10kΩ、0805
R3 * ISL61863EVAL1Z のみ	PGD 出力プルアップ抵抗	10kΩ、0805
C1	デカップリング・コンデンサ	ISL61862EVAL1Z では 2.2μF ISL61861EVAL1Z と ISL61863EVAL1Z では 33μF
C2	負荷コンデンサ	10μF 16V 電解コンデンサ、放射状リード線

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2011/10/17	FN7698.2	ISL61861AEVAL1Z、ISL61862HEVAL1Z、ISL61863LEVAL1Z を ISL61861EVAL1Z、ISL61862EVAL1Z、ISL61863EVAL1Z に変更
2011/9/1	FN7698.1	初版をウェブに掲載

製品

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、産業用機器、インフラ、パーソナル・コンピューティング、ハイエンド・コンシューマの分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、www.intersil.com/product_tree/ をご覧ください。

*ISL6186 に関するアプリケーション情報、関連ドキュメント、関連部品は、www.intersil.com 内の [ISL6186](#) のページを参照してください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

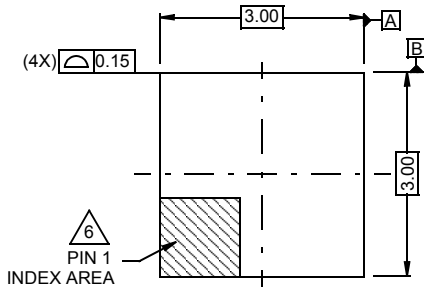
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

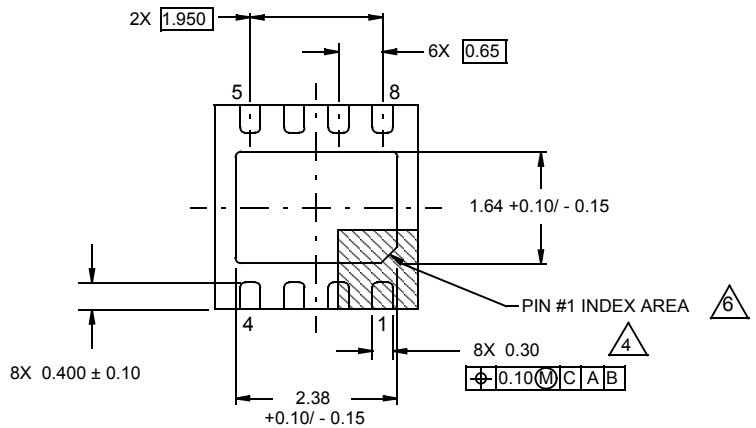
L8.3x3J

8 LEAD DUAL FLAT NO-LEAD PLASTIC PACKAGE

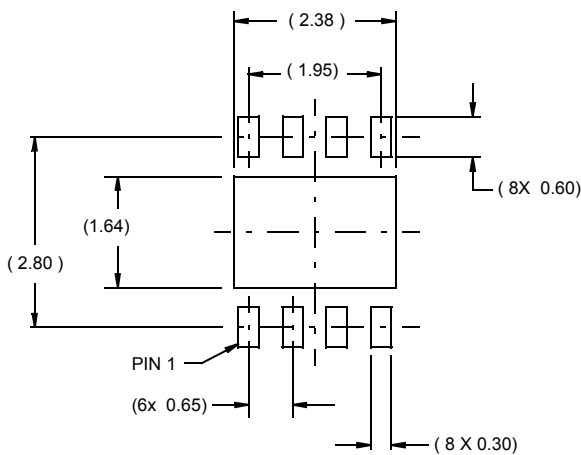
Rev 0, 9/09



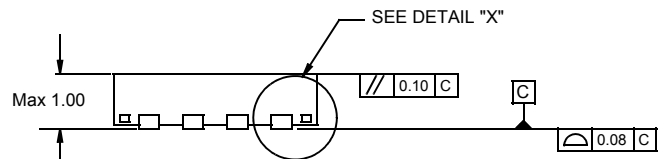
上面図



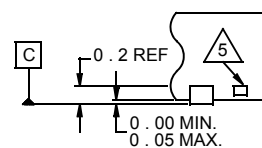
底面図



推奨ランドパターン例



側面図



"X"の詳細

NOTE :

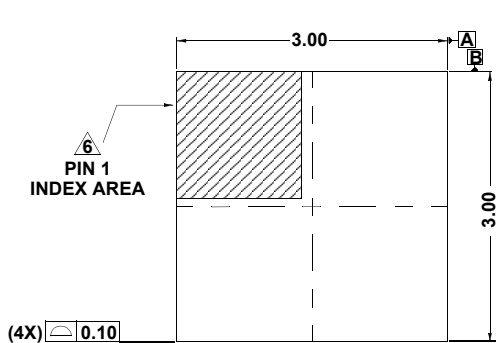
1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は AMSE Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ± 0.05 です。
4. 寸法は金属端子に適用され、端子先端から 0.15mm ~ 0.30mm のポイントで計測した値です。
5. タイバー (示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングでされます。

パッケージ寸法図

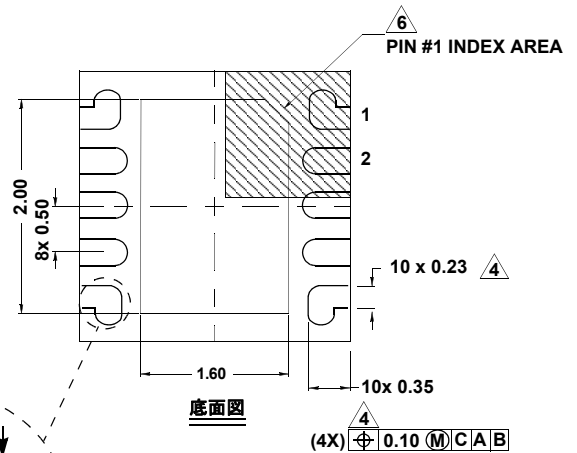
L10.3x3

10 LEAD DUAL FLAT PACKAGE (DFN)

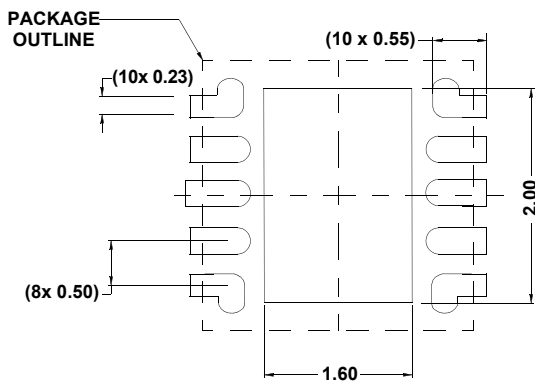
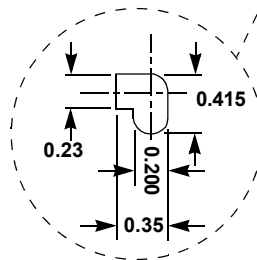
Rev 6, 09/09



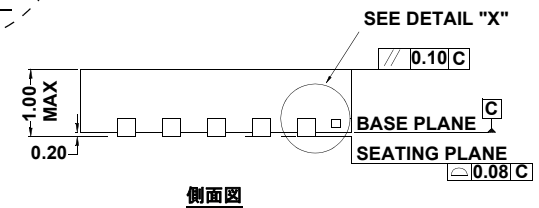
上面図



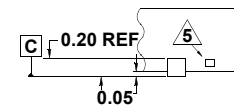
底面図



推奨ランドパターンの例



側面図



"X"の詳細

NOTE :

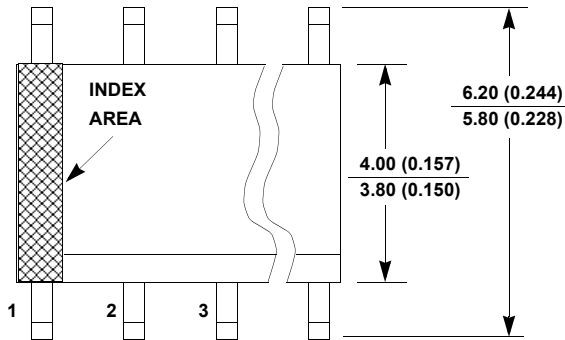
1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は AMSE Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ± 0.05 です。
4. リード幅は金属端子に適用され、端子先端から 0.18mm ~ 0.30mm のポイントで計測した値です。
5. タイバー (示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。

パッケージ寸法図

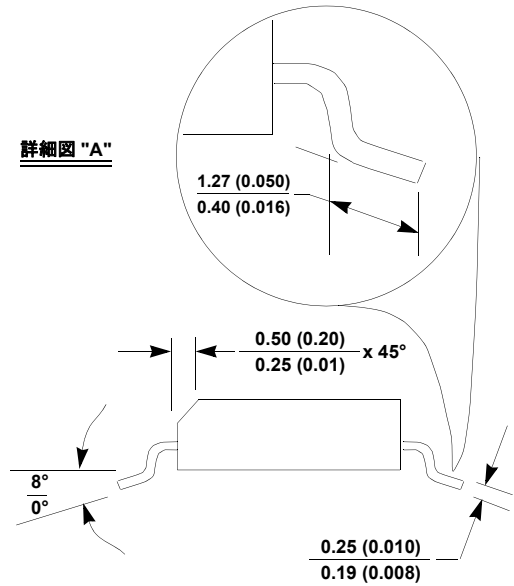
M8.15

8 LEAD NARROW BODY SMALL OUTLINE PLASTIC PACKAGE

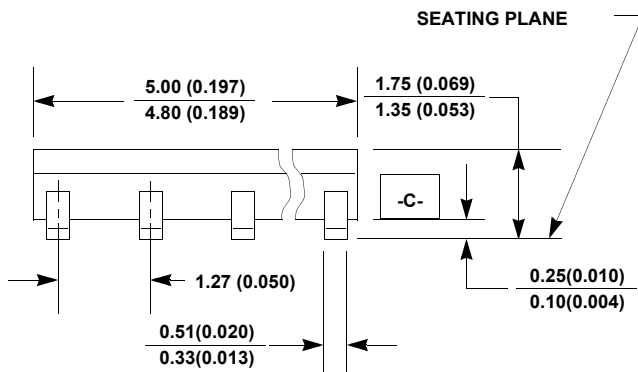
Rev 3, 3/11



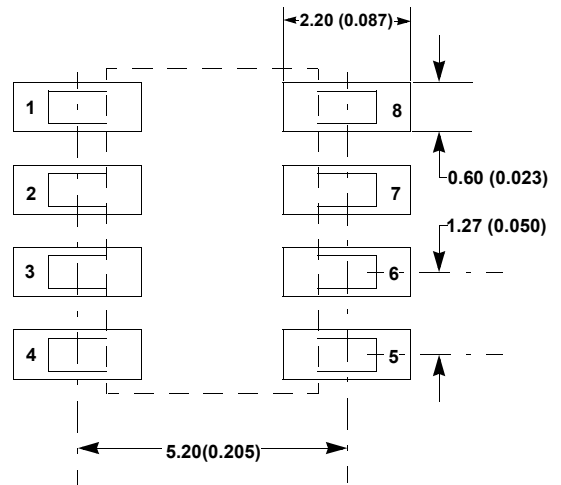
上面図



側面図 "B"



側面図 "A"



推奨ランドパターンの例

NOTE :

1. 寸法と公差は ANSI Y14.5M-1982 に従っています。
2. パッケージ長にモールドのバリ、突出部、ゲートのバリは含まれません。モールドのバリ、突出部、ゲートのバリは各側面で 0.15mm (0.006 インチ) を超えないものとします。
3. パッケージ幅にリード間のバリや突出部は含まれません。リード間のバリや突出部は各側面で 0.25mm (0.010 インチ) を超えないものとします。
4. 本体上の面取はオプションです。面取が存在しない場合、ビジュアルインデックスは斜線の領域内に配置されます。
5. 端子番号は参考用です。
6. シーティングプレーン上で 0.36mm (0.014 インチ) 以上のリード幅は、最大値が 0.61mm (0.024 インチ) を超えないものとします。
7. 優先単位はミリメートルです。インチに変換された値は必ずしも正確ではありません。
8. この寸法図は、JEDEC が発行した MS-012-AA ISSUE C に従っています。