

ISL68201

PMBus/SMBus/I²C 制御デジタル・ハイブリッド PWM コントローラ

FN8696
Rev.2.00
2017年7月20日

ISL68201 はシングルフェーズ、同期整流型降圧 PWM コントローラで、インターシル独自の R4[™] テクノロジーが搭載されています。4.5V ~ 24V の広い入力電圧範囲と、0.5V ~ 5.5V の広い出力電圧範囲をサポートしています。内蔵の LDO により、コントローラのバイアス電圧が供給されるため、単一電源での動作が可能です。ISL68201 にはデバイスの設定、遠隔測定 (V_{IN}、V_{OUT}、I_{OUT}、温度)、フォルトレポート用に PMBus/SMBus/I²C インタフェースが内蔵されています。

インターシル独自の R4 制御により、非常に高速な過渡応答性能、正確にレギュレートされた周波数制御、すべての内部補償を実現しています。効率向上用の PFM モードを有効にすると、軽負荷時の効率が大幅に上昇します。ISL68201 のシリアルバスにより、R4 ループを簡単に最適化できるため、すべてのセラミック出力フィルタを含め、広範なアプリケーションで高速な過渡応答性能が実現されます。

ISL68201 には 4 つの 8 ビット設定ピンが搭載されており、組み込みの NVM メモリを必要とせず、非常に柔軟なオプション (周波数、V_{OUT}、R4 ゲインなど) を選択できます。その結果、従来のアナログコントローラとほぼ同じ設計フローを使用しながら、デジタル PMBus/SMBus/I²C インタフェースの柔軟性と機能を設計に活用できます。また、ISL68201 にはリモート電圧センシング機能もあり、リモートとローカルのグラウンド間の電位差を完全に除去できます。これにより、レギュレーションと保護機能の精度が向上します。高精度のイネーブル入力を利用して、ISL68201 のスタートアップを他の電圧レールと調整でき、電源シーケンスには特に便利です。

アプリケーション

- 高効率と高密度の POL デジタル電源
- FPGA、ASIC、メモリ用電源
- データセンタ：サーバ、ストレージシステム
- 有線インフラストラクチャ：ルータ、交換機、オプティカルネットワーク
- ワイヤレスインフラストラクチャ：基地局

関連文書

- [ISL68201](#) の製品ページ

特長

- インターシル独自の [R4 テクノロジー](#)
 - リニア制御ループによる最適な過渡応答
 - 負荷変動時の可変の周波数とデューティ・サイクル制御による、高速応答
 - 固有の電圧フィード・フォワードにより広範囲の入力に対応
- 入力電圧範囲：4.5V ~ 24V
- 出力電圧範囲：0.5V ~ 5.5V
- リモートセンスおよび ±0.5% の DAC 精度
- すべてのセラミックソリューションをサポート
- 内蔵 LDO によるシングル入力レールソリューション
- SMBus/PMBus/I²C 互換、最高 1.25MHz
- 設定ピンにより 256 のブートアップ電圧レベルを選択可能
- 300kHz ~ 1.5MHz の 8 つのスイッチング周波数オプション
- PFM 動作オプション、ISL99140 と互換で軽負荷時の効率向上を実現
- プリチャージ負荷でのスタートアップ
- 高精度のイネーブル入力により高い入力 UVLO および電源シーケンスを設定し、フォルトリセットも可能
- パワーグッド・モニタによるソフトスタートとフォルト検出
- 包括的なフォルト保護によるシステムの高い信頼性
 - 過熱保護
 - 出力過電流および短絡保護
 - 出力過電圧保護およびアンダーボルテージ保護
 - オープン・リモート・センス保護
- 5V または 3.3V PWM 入力 DrMOS またはスマートパワーステージ (SPS) と互換
- インターシルの [PowerNavigator](#) ソフトウェアと互換

表 1. シングルフェーズの R4 デジタル・ハイブリッド PWM コントローラのオプション

製品型番	内蔵ドライバ	PWM 出力	PMBus/SMBus/I ² C インタフェース	互換製品
ISL68200	あり	なし	あり	ディスクリート MOSFET またはデュアル・チャンネル MOSFET
ISL68201	なし	あり	あり	インターシルのパワーステージ ISL99140、ISL99227、ISL99125B、ISL99135B インターシルのドライバ ISL6596、ISL6609、ISL6627、ISL6622、ISL6208

目次

アプリケーション回路例.....	3
ブロック図.....	4
注文情報.....	5
ピンの説明.....	5
絶対最大定格.....	7
温度情報.....	7
推奨動作条件.....	7
電気的特性.....	7
動作.....	10
IC 電源.....	10
イネーブルとディスエーブル.....	10
抵抗リーダー (特許取得).....	10
ソフトスタート.....	12
ブートアップ電圧のプログラム.....	12
電流センス.....	16
熱モニタリングおよび補償.....	18
IOOUT 較正.....	19
フォルト保護.....	20
PGOOD モニタ.....	21
PFM モードの動作.....	21
SMBus、PMBus、および I ² C の動作.....	21
R4 モジュレータ.....	26
汎用アプリケーションの設計ガイドライン.....	28
出力フィルタの設計.....	28
入力コンデンサの選択.....	28
設計とレイアウトの考慮事項.....	29
電圧レギュレータの設計資料.....	30
改訂履歴.....	31
インターシルについて.....	31
パッケージ寸法図.....	32

アプリケーション回路例

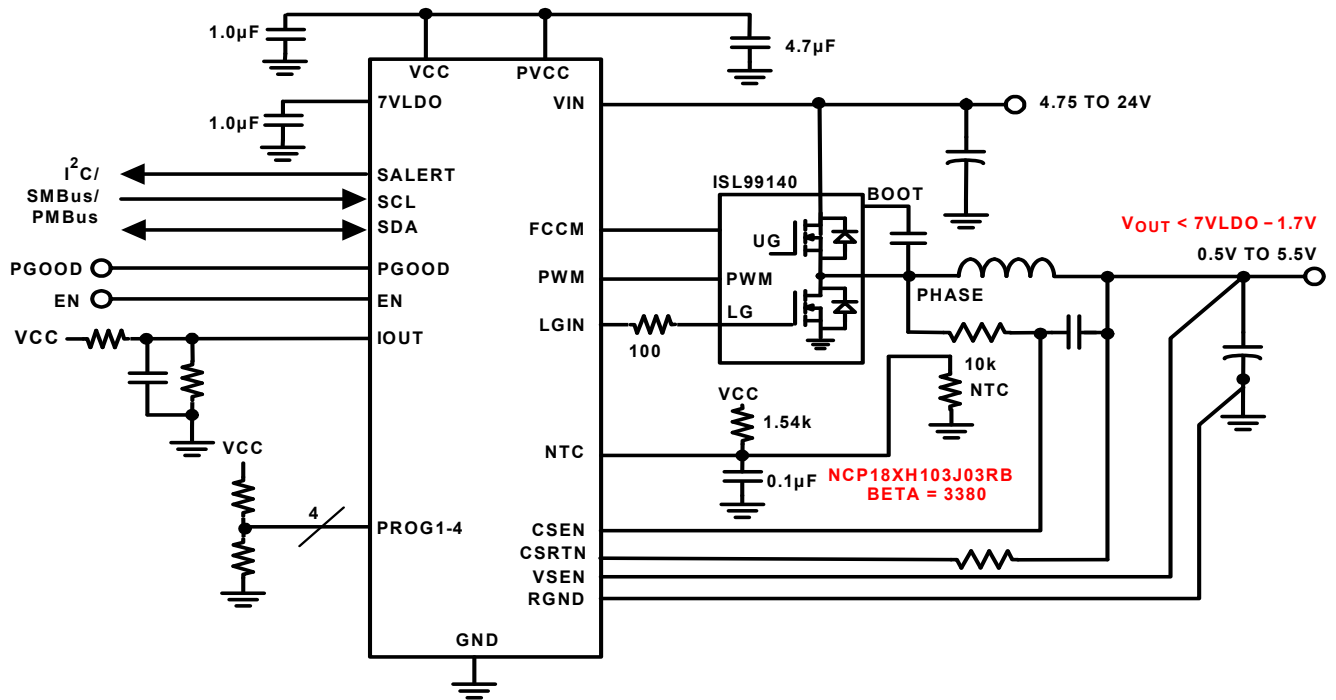


図 1. 広い入力および出力範囲のアプリケーション

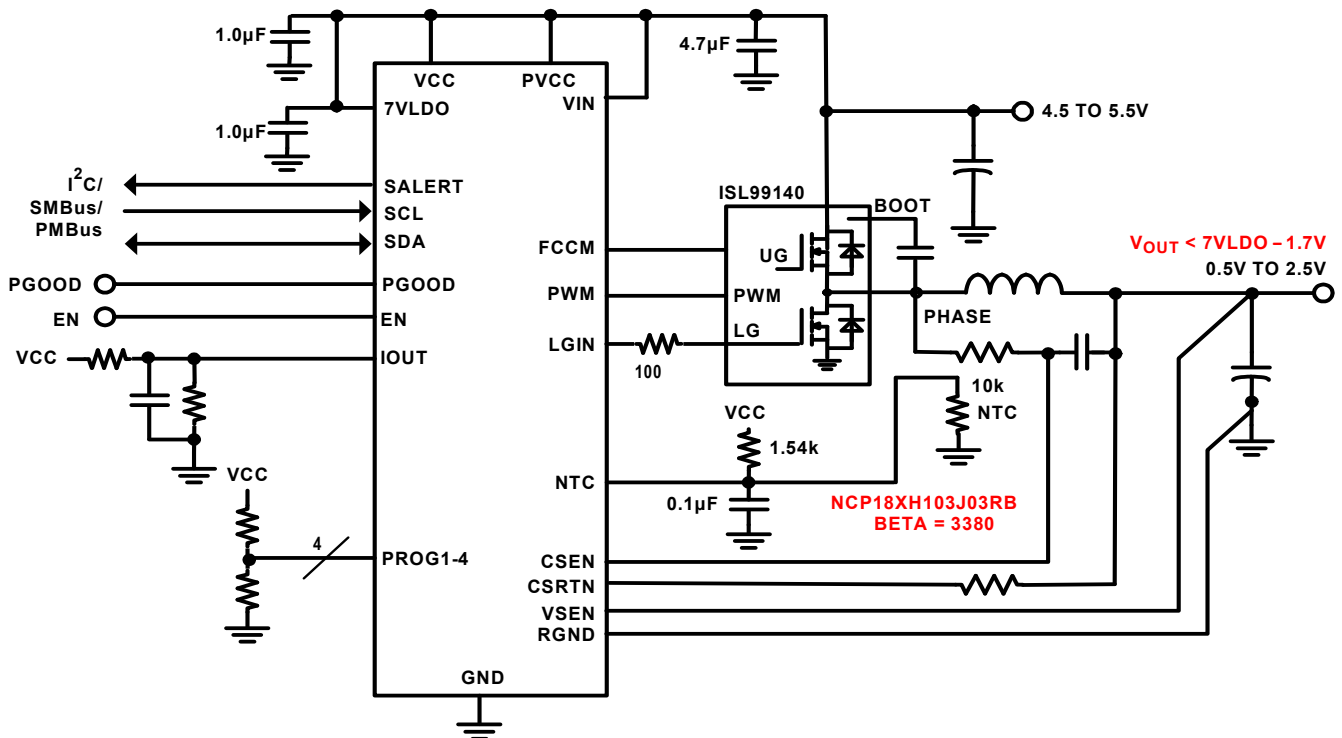


図 2. 5V 入力のアプリケーション

ブロック図

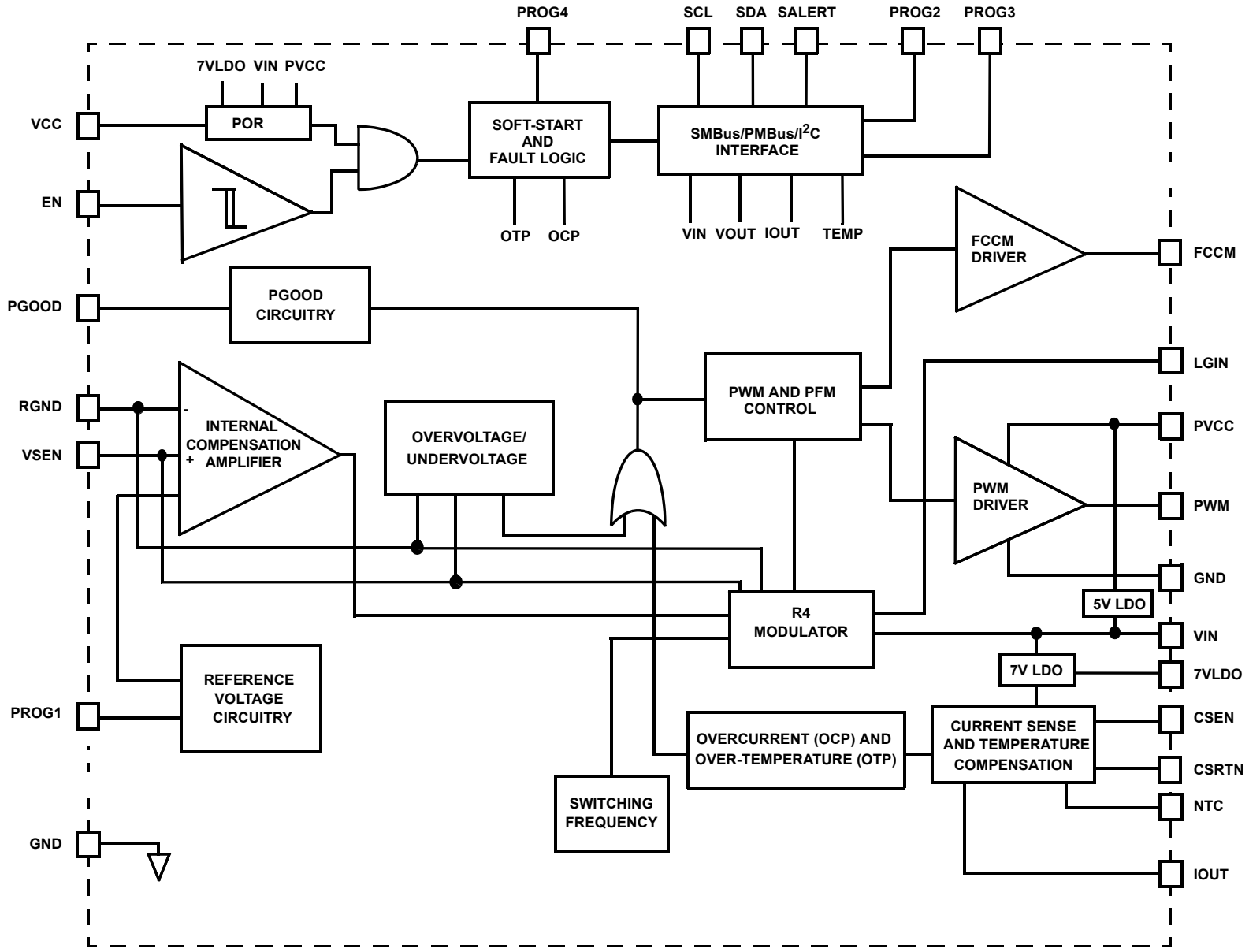


図 3. ISL68201 の簡略機能ブロック図

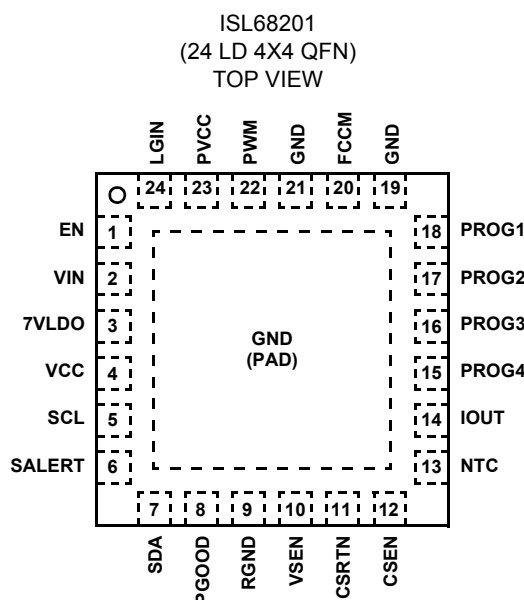
注文情報

製品型番 (Note 1、2、3)	製品 マーキング	温度範囲 (°C)	パッケージ (RoHS 準拠)	パッケージの 外形図 #
ISL68201IRZ	ISL 68201I	-40 ~ +85	24 Ld 4x4 QFN	L24.4x4C
ISL68201-99125DEMO1Z	オンボード過渡回路搭載の 16A デモボード			
ISL68201-99135DEMO1Z	オンボード過渡回路搭載の 20A デモボード			
ISL68201-99140DEMO1Z	オンボード過渡回路搭載の 35A デモボード			

NOTE :

- テープ・アンド・リール・オプションについて、接尾辞 "-T" を付加すると 6k ユニット、"-T7A" では 250 ユニット、"-TK" では 1k ユニットになります。リールの詳細仕様については、[TB347](#) を参照してください。
- インターシルのこれらの鉛フリー・プラスチック・パッケージ製品には、専用の鉛フリー素材セット、モールド材料/ダイ・アタッチ素材を使用するとともに、錫 100% の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は、鉛フリー・ピークリフロー温度で MSL 分類に対応し、IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
- 吸湿性レベル (MSL) については、[ISL68201](#) の製品情報ページを参照してください。MSL の詳細については、テクニカル・ブリーフ [TB363](#) を参照してください。

ピン配置



ピンの説明

ピン番号	シンボル	説明
1	EN	高精度のイネーブル入力。EN を立ち上がりスレッシュホールド電圧より高い電圧を印加すると、ソフトスタート・シーケンスが開始され、EN を立ち下がりスレッシュホールド電圧より低い電圧を印加すると、電圧レギュレータ (VR) の動作が中絶されます。
2	VIN	R4 ループおよび LDO 用の入力電圧ピン (5V および 7V)。このピンの近くに、高品質で低 ESR のセラミック・コンデンサ (1.0µF、X7R) を配置します。外付けの直列抵抗はお勧めしません。
3	7VLDO	VIN からの 7V LDO は、電流センス・アンプのバイアスに使用されます。このピンの近くに、高品質で低 ESR のセラミック・コンデンサ (1.0µF、X7R、10V+) を配置します。
4	VCC	ロジックのバイアス電源で、外部的に PVCC レールへ接続する必要があります。このピンと GND との間に、高品質で低 ESR のセラミック・コンデンサ (1µF、X7R) を配置します。
5	SCL	SMBus/PMBus/I ² C の同期クロック信号入力。
6	SALERT	出力ピンで、非同期に駆動されるアクティブ LOW 信号を、VR コントローラから SMBus/PMBus へ転送します。
7	SDA	I/O ピンで、SMBus/PMBus/I ² C ホストと VR コントローラとの間でデータ信号を転送します。
8	PGOOD	パワーグッドのオープン・ドレイン・インジケータ出力。

ピンの説明 (続き)

ピン番号	シンボル	説明
9	RGND	このピンは、レギュレータ出力の負のレールを監視します。レギュレーションを行うポイントのグラウンドへ接続します。
10	VSEN	このピンは、レギュレータ出力の正のレールを監視します。レギュレーションを行うポイントへ接続します。
11	CSRTN	このピンは、過電流保護および遠隔測定のため、出力電流の負の流れを監視します。
12	CSEN	このピンは直列抵抗を使用し、過電流保護および遠隔測定のため、出力電流の正の流れを監視します。この直列抵抗は電流ゲインを設定するもので、値は 40Ω と 3.5kΩ の間にする必要があります。
13	NTC	温度測定用の入力ピン。このピンは、NTS サーミスタ (10kΩ, $\beta \sim 3380$) とデカップリング・コンデンサ ($\sim 0.1\mu\text{F}$) を経由して GND へ、および抵抗 (1.54kΩ) を経由してコントローラの VCC へ接続します。このピンの電圧は、VR 温度に反比例します。
14	IOUT	出力電流の監視ピン。外付け抵抗でゲインを設定し、外付けコンデンサが平均化機能を提供します。無負荷オフセットを較正するため、外付けの VCC へのプルアップ抵抗をお勧めします。19 ページの「 I_{OUT}の較正 」を参照してください。
15	PROG4	ソフトスタート (SS) およびダイナミック VID (DVID) のとき、モジュレータ (R4) RR インピーダンスと出力のスルー・レートをプログラムするためのピン。また、このピンにより AV ゲインのマルチプライヤが 1x または 2x に設定され、PROG3 の AV ゲインが決定されます。
16	PROG3	超音波 PFM 動作、フォルト動作、スイッチング周波数、R4 (AV) 制御ループのゲインをプログラムするためのピン。
17	PROG2	PWM/PFM モード、温度補償、シリアルバス (SMBus/PMBus/I ² C) アドレスをプログラムするためのピン。
18	PROG1	ブートアップ電圧をプログラムするためのピン。
19、21	GND	グラウンドピンで、システム・グラウンド・プレーンに直接接続します。
20	FCCM	PFM モードで、ダイオード・エミュレーション用の DrMOS ISL99140 と連携動作するため信号 LOW を出力します。PWM モードでは HIGH を出力します。
22	PWM	PWM 出力で、3.3V または 5V の PWM 入力外部ドライバ、DrMOS、またはスマートパワーステージと互換です。
23	PVCC	5V LDO の出力で、LGATE および UGATE MOSFET ドライバ回路への入力となります。このピンの近くに、高品質で低 ESR のセラミック・コンデンサ (4.7μF 以上、X7R) を配置します。
24	LGIN	内部 FLL ループを完成させるための、ローサイドのゲート信号入力。ローサイドのゲートドライブ信号からこのピンへは、100Ω の直列インピーダンスが必要です。
PAD	GND	ロジックバイアス電源 VCC のリターン。最低 4 つのビアを使用して、システム・グラウンドへ直結します。

絶対最大定格

VCC、PVCC、VSEN	-0.3V ~ +7.0V
入力電圧、VIN	+27V
7VLDO	-0.3V ~ GND、7.75V
他のすべてのピン	-0.3V ~ GND、VCC+0.3V
ESD 定格	
人体モデル (JS-001-2010 に従ってテスト済み)	2.5kV
機械モデル (JESD22-A115C に従ってテスト済み)	200V
帯電デバイスモデル (JS-002-2014 に従ってテスト済み)	1kV
ラッチアップ (JESD78D、クラス 2、レベル A)	
	+125 °Cにおいて ±100mA

温度情報

熱抵抗 (代表例)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
24 Ld QFN (Note 4、5)	39	2.5
ジャンクション温度範囲	-55 °C ~ +150 °C	
保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	TB493 参照	

推奨動作条件

周囲温度範囲	-40 °C ~ +85 °C
広い入力電圧範囲、VIN、 図 1	4.75V ~ 24V
5V アプリケーションの入力電圧、VIN、VCC、PVCC、 図 2	4.5V ~ 5.5V

注意：過度に長い時間にわたって最大定格点または最大定格点付近で動作させないでください。そのような動作条件を課すと製品の信頼性に悪影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

NOTE：

- θ_{JA} は、自由気流のもとで、コンポーネントが熱伝導効果の高いテスト用基板に「直接取付」機能で取り付けられている状態で測定されたものです。TB379 を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 すべての代表的仕様は $T_A = +25$ °C、 $V_{CC} = 5V$ のものです。太字の制限は、特記のない限り動作温度範囲 -40 °C ~ +85 °C にわたって適用されます。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 6)	TYP	MAX (Note 6)	UNIT
VCC AND PVCC						
VCC Input Bias Current	I_{VCC}	EN = 5V, $V_{CC} = 5V$, $f_{SW} = 500kHz$, DAC = 1V		14	16.5	mA
		EN = 0V, $V_{CC} = 5V$		14	16.5	mA
PVCC Input Bias Current	I_{PVCC}	EN = 5V, $V_{CC} = 5V$, $f_{SW} = 500kHz$, DAC = 1V		2		mA
		EN = 0V, $V_{CC} = 5V$			1.0	mA
VCC AND VIN POR THRESHOLD						
VCC, PVCC Rising POR Threshold Voltage				4.2	4.35	V
VCC, PVCC Falling POR Threshold Voltage			3.80	3.95	4.15	V
VIN, 7VLDO Rising POR Threshold Voltage				4.2	4.35	V
VIN, 7VLDO Falling POR Threshold Voltage			3.80	3.95	4.15	V
ENABLE INPUT						
EN High Threshold Voltage	V_{ENTHR}		0.81	0.84	0.87	V
EN Low Threshold Voltage	V_{ENTHF}		0.71	0.76	0.81	V
DAC ACCURACY						
DAC Accuracy ($T_A = 0$ °C to +85 °C)		2.5V < DAC ≤ 5.5V	-0.5		0.5	%
		1.6V < DAC ≤ 2.5V	-0.75		0.75	%
		1.2V < DAC ≤ 1.6V	-10		10	mV
		0.5V ≤ DAC ≤ 1.2V	-8		8	mV
DAC Accuracy ($T_A = -45$ °C to +85 °C)		2.5V < DAC ≤ 5.5V	-0.75		0.75	%
		1.6V < DAC ≤ 2.5V	-1.0		1.0	%
		1.2V < DAC ≤ 1.6V	-11		11	mV
		0.5V ≤ DAC ≤ 1.2V	-9		9	mV
CHANNEL FREQUENCY						
300kHz Configuration		PWM mode	260	300	335	kHz
400kHz Configuration		PWM mode	345	400	450	kHz

電気的特性 すべての代表的仕様は $T_A = +25\text{ }^\circ\text{C}$ 、 $V_{CC} = 5\text{V}$ のものです。太字の制限は、特記のない限り動作温度範囲 $-40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ にわたって適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 6)	TYP	MAX (Note 6)	UNIT
500kHz Configuration		PWM mode	435	500	562	kHz
600kHz Configuration		PWM mode	510	600	670	kHz
700kHz Configuration		PWM mode	610	700	790	kHz
850kHz Configuration		PWM mode	730	850	950	kHz
1000kHz Configuration		PWM mode	865	1000	1120	kHz
1500kHz Configuration		PWM mode	1320	1500	1660	kHz
SOFT-START AND DYNAMIC VID						
Soft-Start and DVID Slew Rate			0.0616	0.078	0.096	mV/ μs
			0.13	0.157	0.18	mV/ μs
			0.25	0.315	0.37	mV/ μs
			0.53	0.625	0.70	mV/ μs
			1.05	1.25	1.40	mV/ μs
			2.10	2.50	2.80	mV/ μs
			4.20	5.00	5.60	mV/ μs
Soft-Start Delay from Enable High		Excluding 5.5ms POR timeout. See Figures 21 and 22	140	200	260	μs
REMOTE SENSE						
Bias Current of VSEN and RGND Pins					250	μA
Maximum Differential Input Voltage			6.0			V
POWER-GOOD						
PGOOD Pull-Down Impedance	R_{PG}	PGOOD = 5mA sink		10	50	Ω
PGOOD Leakage Current	I_{PG}	PGOOD = 5V			1.0	μA
LDOs						
5V LDO Regulation		$V_{IN} = 12\text{V}$, load = 50mA	4.85	5.00	5.15	V
5V Dropout		$V_{IN} = 4.75\text{V}$, load = 50mA	4.45			V
5V LDO Current Capability			125			mA
7V LDO Regulation		250 μA load	7.2	7.4	7.5	V
7V Dropout		$V_{IN} = 4.75\text{V}$, 250 μA load	4.50			V
7V LDO Current Capability		Not recommended for external use	2			mA
CURRENT SENSE						
Average OCP Trip Level	I_{OC_TRIP}		82	100	123	μA
Short-Circuit Protection Threshold				130		% I_{OCP}
Sensed Current Tolerance			74	78	83	μA
Sensed Current Tolerance			35	38	42	μA
Maximum Common-Mode Input Voltage		7VLDO = 7.4V	5.7			V
		$V_{CC} = PV_{CC} = 7VLDO = 4.5\text{V}$	2.8			V

電気的特性 すべての代表的仕様は $T_A = +25\text{ }^\circ\text{C}$ 、 $V_{CC} = 5\text{V}$ のものです。太字の制限は、特記のない限り動作温度範囲 $-40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ にわたって適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 6)	TYP	MAX (Note 6)	UNIT
FAULT PROTECTION						
UVP Threshold Voltage		Latch	68	74	80	% DAC
Start-Up OVP Threshold Voltage		$0\text{V} \leq V_{\text{BOOT}} \leq 1.08\text{V}$	1.10	1.15	1.25	V
		$1.08\text{V} < V_{\text{BOOT}} \leq 1.55\text{V}$	1.58	1.65	1.75	V
		$1.55\text{V} < V_{\text{BOOT}} \leq 1.85\text{V}$	1.88	1.95	2.05	V
		$1.85\text{V} < V_{\text{BOOT}} \leq 2.08\text{V}$	2.09	2.15	2.25	V
		$2.08\text{V} < V_{\text{BOOT}} \leq 2.53\text{V}$	2.56	2.65	2.75	V
		$2.53\text{V} < V_{\text{BOOT}} \leq 3.33\text{V}$	3.36	3.45	3.6	V
		$3.33\text{V} < V_{\text{BOOT}} \leq 5.5\text{V}$	5.52	5.65	5.85	V
Start-Up OVP Hysteresis				100		mV
OVP Rising Threshold Voltage	V_{OVRTH}	$0.5 \leq \text{DAC} \leq 5.5$	114	120	127	% DAC
OVP Falling Threshold Voltage	V_{OVFTH}	$0.5 \leq \text{DAC} \leq 5.5$	96	100	108	% DAC
Over-Temperature Shutdown Threshold		READ_TEMP = 72h	20	22.31	26	% VCC
Over-Temperature Shutdown Reset Threshold		READ_TEMP = 8Eh	25	27.79	30	% VCC
SMBus/PMBus/I²C						
Signal Input Low Voltage					1	V
Signal Input High Voltage			1.6			V
Signal Output Low Voltage		4mA pull-up current			0.4	V
DATE, ALERT # Pull-Down Impedance				11	50	Ω
CLOCK Maximum Speed			1.25			MHz
CLOCK Minimum Speed					0.05	MHz
Telemetry Update Rate				108		μs
Timeout			25	30	35	ms
PMBus Accessible Timeout from All Rails' POR		See Figure 21		5.5	6.5	ms

NOTE :

7. データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか1つまたは複数によって保証されています。

動作

以下のセクションでは、ISL68201 の動作について詳細に説明します。

IC 電源

ISL68201 には、VIN、7VLDO、PVCC、VCC の 4 つのバイアス・ピンがあります。PVCC および 7VLDO 電圧レールは、それぞれ VIN により供給される 5V LDO および 7.4V LDO で、VCC ピンはバイアスのため外部的に PVCC レールへ接続する必要があります。5V 入力アプリケーションでは、これらのピンすべてを結合し、5V 電源によりバイアスする必要があります。VIN ピンの電圧情報は R4 モジュレータ・ループにより使用されるため、ユーザーは直列抵抗で VIN に接続することはできません。さらに、VIN は他のレールと独立にバイアスできません。

イネーブルとディスエーブル

この IC は、22 ページの図 21 および 22 に示すように、7VLDO、PVCC、VCC、VIN、EN の各ピンが、それぞれの立ち上がりスレッシュホールド電圧を超え、通常 5.5ms のタイムアウト (ワーストケース = 6.5ms) が経過するまでディスエーブル状態です。コントローラは、7VLDO、PVCC、VCC、VIN、EN ピンのいずれかが、該当する立ち下がり POR スレッシュホールド電圧を下回るとディスエーブルされます。

高精度のスレッシュホールド EN ピンにより、ユーザーは図 4 に示すように、外付けの分割抵抗を使用して正確な入力 UVLO レベルを設定できます。5V 入力アプリケーション、または広い入力範囲のアプリケーションでは、図 5 に示すように、EN ピンを VCC へ直接接続できます。外部のイネーブル制御信号が利用可能で、オープン・ドレイン信号である場合、プルアップ・インピーダンス (100k 以上) を使用できます。

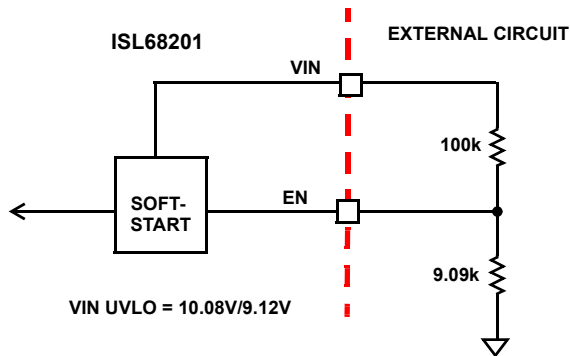


図 4. 入力 UVP の構成

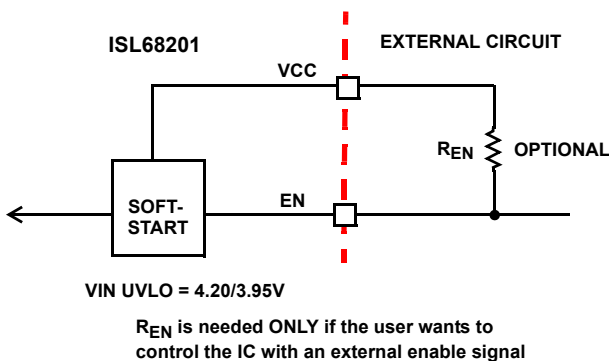


図 5. 5V 入力または広範囲の入力の構成

さらに、ON_OFF_CONFIG [02h] 設定に基づいて、シリアルバスのコマンド "OPERATION [01h]"、EN ピン、または両方で IC をイネーブルまたはディスエーブルできます。詳細は 25 ページの表 11 を参照してください。

抵抗リーダー (特許取得)

ISL68201 には 4 つのプログラム用ピンがあり、レギュレータの仕様をカスタマイズできます。これらのピンの詳細は表 2 に、抵抗リーダーの動作に関する詳細説明の後に要約されています。

表 2. PROG ピンの定義

ピン	ビット	名称	説明
PROG1	[7:0]	ブートアップ電圧	出力ブートアップ電圧を、0、0.5V ~ 5.5V の 256 通りに設定できます (表 7 を参照)。
PROG2	[7:7]	PWM/PFM	PFM モードまたは強制 PWM をイネーブルします。
	[6:5]	温度補償	NTC 温度補償を、OFF、+5、+15、+30 °C のいずれかに調整します。
	[4:0]	ADDR	シリアルバスを 32 の異なるアドレスに設定します (表 10 を参照)。
PROG3	[7:7]	USPFM	超音波 (25kHz クランプ) PFM イネーブル
	[6:6]	フォルト動作	OCP フォルト動作 ラッチ、無限 9ms リトライ
	[5:3]	f _{sw}	スイッチング周波数の設定 (f _{sw})
	[2:0]	R4 ゲイン	エラー・アンプ・ゲイン (AV) の設定
PROG4	[7:5]	RAMP_RATE	ソフトスタートと DVID 傾きの設定
	[4:3]	RR	R4 ループの RR インピーダンスの選択
	[2:2]	AVMLTI	AV ゲイン乗数 (1x または 2x) の選択
	[1:0]	未使用	

インターシルは、特許取得の手法を使用し、単純な 1%、100ppm/K またはそれ以上の温度係数の分割抵抗により、高分解能の ADC を開発しました。温度に対する変化を同様なものとするため、同じタイプの抵抗が推奨されます。さらに、この分割器は V_{CC} および GND ノードからの内部分割器と比較されるため、RC デカップリング・ネットワーク経由ではなく、V_{CC} および GND ピンを参照する必要があります。

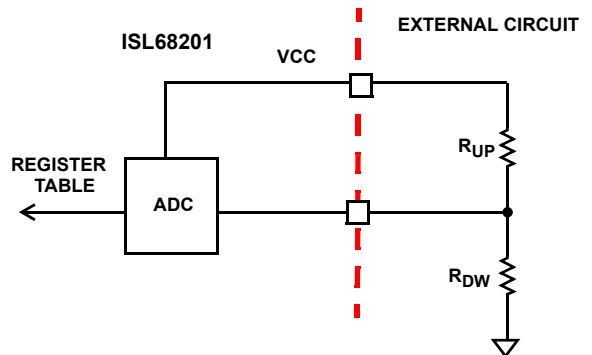


図 6. 単純化された分割抵抗 ADC

特定のパラメータ・セットの R_{UP} 値および R_{DW} 値は、Power Navigator GUI を使用して確認できます。対応するレジスタのデータは、シリアル PMBus コマンド (DC から DF) を使用して読み出すことができます。注: $10k\Omega R_{UP}$ または R_{DW} の場合は $0k\Omega R_{UP}$ または R_{DW} と同じです。

表 3. PROG 1 抵抗リーダーの例

PROG1 (DC)	R_{UP} (k Ω)	R_{DW} (k Ω)	V_{OUT} (V)
00h	オープン	0	0.797
20h	オープン	21.5	0.852
40h	オープン	34.8	0.898
60h	オープン	52.3	0.953
80h	オープン	75	1.000
A0h	オープン	105	1.047
C0h	オープン	147	1.102
E0h	オープン	499	1.203
1Fh	0	オープン	1.352
3Fh	21.5	オープン	1.500
5Fh	34.8	オープン	1.797
7Fh	52.3	オープン	2.500
9Fh	75	オープン	3.000
BFh	105	オープン	3.297
DFh	147	オープン	5.000
FFh	499	オープン	0.000

表 4. PROG 2 抵抗リーダーの例

PROG2 (DD)	R_{UP} (k Ω)	R_{DW} (k Ω)	PWM/PFM	TEMP COMP	PM_ADDR (7-BIT)
00h	オープン	0	イネーブル	30	60h
20h	オープン	21.5	イネーブル	15	60h
40h	オープン	34.8	イネーブル	5	60h
60h	オープン	52.3	イネーブル	OFF	60h
80h	オープン	75	ディスエーブル	30	60h
A0h	オープン	105	ディスエーブル	15	60h
C0h	オープン	147	ディスエーブル	5	60h
E0h	オープン	499	ディスエーブル	OFF	60h
1Fh	0	オープン	イネーブル	30	7F
3Fh	21.5	オープン	イネーブル	15	7F
5Fh	34.8	オープン	イネーブル	5	7F
7Fh	52.3	オープン	イネーブル	OFF	7F
9Fh	75	オープン	ディスエーブル	30	7F
BFh	105	オープン	ディスエーブル	15	7F
DFh	147	オープン	ディスエーブル	5	7F
FFh	499	オープン	ディスエーブル	OFF	7F

表 5. PROG 3 抵抗リーダーの例

PROG 3 (DE)	R_{UP} (k Ω)	R_{DW} (k Ω)	超音波 PFM	フォルト動作	f_{sw} (kHz)	R4 ゲイン	
						1x	2x
00h	オープン	0	ディスエーブル	リトライ	300	42	84
20h	オープン	21.5	ディスエーブル	リトライ	700	42	84
40h	オープン	34.8	ディスエーブル	ラッチ	300	42	84
60h	オープン	52.3	ディスエーブル	ラッチ	700	42	84
80h	オープン	75	イネーブル	リトライ	300	42	84
A0h	オープン	105	イネーブル	リトライ	700	42	84
C0h	オープン	147	イネーブル	ラッチ	300	42	84
E0h	オープン	499	イネーブル	ラッチ	700	42	84
1Fh	0	オープン	ディスエーブル	リトライ	600	1	2
3Fh	21.5	オープン	ディスエーブル	リトライ	1500	1	2
5Fh	34.8	オープン	ディスエーブル	ラッチ	600	1	2
7Fh	52.3	オープン	ディスエーブル	ラッチ	1500	1	2
9Fh	75	オープン	イネーブル	リトライ	600	1	2
BFh	105	オープン	イネーブル	リトライ	1500	1	2
DFh	147	オープン	イネーブル	ラッチ	600	1	2
FFh	499	オープン	イネーブル	ラッチ	1500	1	2

表 6. PROG 4 抵抗リーダーの例

PROG4 (DF)	R_{UP} (k Ω)	R_{DW} (k Ω)	SS レート (mV/ μ s)	RR (kW)	AVMLTI
00h	オープン	0	1.25	200	1x
20h	オープン	21.5	2.5	200	1x
40h	オープン	34.8	5	200	1x
60h	オープン	52.3	10	200	1x
80h	オープン	75	0.078	200	1x
A0h	オープン	105	0.157	200	1x
C0h	オープン	147	0.315	200	1x
E0h	オープン	499	0.625	200	1x
1Fh	0	オープン	1.25	800	2x
3Fh	21.5	オープン	2.5	800	2x
5Fh	34.8	オープン	5	800	2x
7Fh	52.3	オープン	10	800	2x
9Fh	75	オープン	0.078	800	2x
BFh	105	オープン	0.157	800	2x
DFh	147	オープン	0.315	800	2x
FFh	499	オープン	0.625	800	2x

ソフトスタート

ISL68201 ベースのレギュレータは、[12 ページの図 7](#)に示すように、ソフトスタート時に4つの期間があります。[22 ページの図 21](#) および [22](#) に示すように、バイアス電源の 5.5ms (ワーストケース = 6.5ms) のタイムアウト後、EN ピンがイネーブル・スレッシュホールドに達すると、コントローラは固定のソフトスタート・ディレイ期間 t_{D1} の後で、最初のソフトスタート・ランプを開始します。出力電圧は、期間 t_{D2} 内に、固定スルー・レートでブートアップ電圧 (V_{BOOT}) に達します。その後でコントローラは、別の期間 t_{D3} の間出力電圧を V_{BOOT} にレギュレートし、これは SMBus/PMBus/I²C が新しい V_{OUT} コマンドを送信するまで続きます。 V_{OUT} コマンドが有効なら、ISL68201 はランプを開始し、電圧が期間 t_{D4} 内に新しい $V_{OUT_COMMAND}$ 電圧に達するまで続けます。[式 1](#) に示すように、ソフトスタート時間はこれら4つの期間の合計です。

$$t_{SS} = t_{D1} + t_{D2} + t_{D3} + t_{D4} \quad (\text{式 1})$$

t_{D1} は固定のディレイで、標準値は 200 μ s です。 t_{D3} は、SMBus/PMBus/I²C バスから新しい有効な $V_{OUT_COMMAND}$ を取得するまでの時間により決定されます。出力がブートアップ電圧に達する前に $V_{OUT_COMMAND}$ が有効になった場合、新しい $V_{OUT_COMMAND}$ コードへの応答として出力が転換されます。

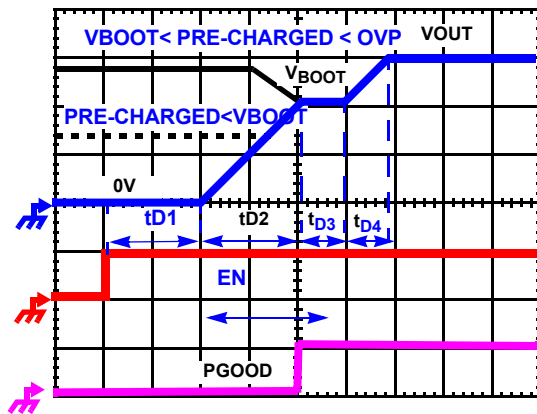


図 7. ソフトスタートの波形

t_{D2} および t_{D4} の期間内に、ISL68201 は DAC 電圧の変化をデジタル的に制御します。ランプ・タイム t_{D2} および t_{D4} は、PROG4 ピンによりスルー・レートが設定された後で、[式 2](#) および [3](#) に基づいて計算できます。

$$t_{D2} = \frac{V_{BOOT}}{RAMP_RATE} (\mu s) \quad (\text{式 2})$$

$$t_{D4} = \frac{V_{OUT} - V_{BOOT}}{RAMP_RATE} (\mu s) \quad (\text{式 3})$$

ISL68201 はプリチャージのスタートアップをサポートし、この場合は内部リファレンス (DAC) が PROG4 または D5[2:0] でプログラムされている RAMP_RATE でプリチャージ・レベルに達するまで、PWM パルスを発行します。プリチャージ・レベルが V_{BOOT} よりも低い場合、出力は RAMP_RATE で V_{BOOT} まで上昇し、 $t_{D1} + t_{D2}$ の時点で PGOOD を解放します。プリチャージ出力が V_{BOOT} より高く、OVP より低い場合、RAMP_RATE で V_{BOOT} まで下降してから、 $t_{D1} + t_{D2}$ の時点で PGOOD を解放します。ここで t_{D2} は [式 4](#) で定義され、通常のスタートアップよりも長くなります。

$$t_{D2} = \frac{V_{PRECHARGED}}{RAMP_RATE} + \frac{V_{PRECHARGED} - V_{BOOT}}{RAMP_RATE} (\mu s) \quad (\text{式 4})$$

ISL68201 は、パワーステージのブート・コンデンサに十分な電荷があれば、最大 5.5v の V_{OUT} まで、プリチャージ負荷のスタートアップをサポートします。プリチャージ負荷の場合、ブート・コンデンサはハイサイド・ドライブ回路のスタンバイ電流により、" $PVCC - V_{OUT} - V_D$ " まで放電されます。 V_D は、パワーステージのブートダイオードの V_f になります。たとえば、4V プリチャージ負荷の場合、ブート・コンデンサの電圧は 1V 未満まで低下し、これは VR の駆動には不十分です。この場合、別のソフトスタート・コマンドを発行する前に、外部のブリード抵抗により出力を 2.5V 未満に落とすことをお勧めします。

ブートアップ電圧のプログラム

8 ビット・ピン PROG1 は、ブートアップ電圧のプログラム専用で、[表 7](#) に示すように、0V および 0.5V ~ 5.5V の 256 のオプションを設定できます。最も一般的なブートアップ電圧レベルは、[表 3](#) に要約されているように、プログラムしやすいよう LOW 接続スポット (0h, 20h, 40h, 60h, 80h, A0h, C0h, E0h) および HIGH 接続スポット (1Fh, 3Fh, 5Fh, 7Fh, 9Fh, BFh, DFh, FFh) に配置されています。0V のブートアップ電圧は「OFF」と見なされ、ドライバはトライステートになり、内部 DAC は 0V に設定されます。

さらに、VCC POR の後、Enable の前に、 $V_{OUT_COMMAND}$ (21h) が 5.5ms (標準値、ワーストは 6.5ms) 正しく実行されると、PROG1 ピンにより設定されているブートアップ電圧がオーバーライドされます。

表 7. PROG1 8 ビット (ブートアップ電圧)

バイナリ・コード	16 進コード	V_{BOOT} (V)	V_{OUT} コマンド・コード (HEX)	前のコードからのデルタ (mV)
00000000	0	0.7969	66	
00000001	1	0.5000	40	
00000010	2	0.5078	41	7.8125
00000011	3	0.5156	42	7.8125
00000100	4	0.5234	43	7.8125
00000101	5	0.5313	44	7.8125
00000110	6	0.5391	45	7.8125
00000111	7	0.5469	46	7.8125
00001000	8	0.5547	47	7.8125
00001001	9	0.5625	48	7.8125
00001010	A	0.5703	49	7.8125
00001011	B	0.5781	4A	7.8125
00001100	C	0.5859	4B	7.8125
00001101	D	0.5938	4C	7.8125
00001110	E	0.6016	4D	7.8125
00001111	F	0.6094	4E	7.8125
00010000	10	0.6172	4F	7.8125
00010001	11	0.6250	50	7.8125

表 7. PROG1 8 ビット (ブートアップ電圧) (続き)

バイナリ・コード	16 進コード	V _{BOOT} (V)	VOUT コマンド・コード (HEX)	前のコードからのデルタ (mV)
00010010	12	0.6328	51	7.8125
00010011	13	0.6406	52	7.8125
00010100	14	0.6484	53	7.8125
00010101	15	0.6563	54	7.8125
00010110	16	0.6641	55	7.8125
00010111	17	0.6719	56	7.8125
00011000	18	0.6797	57	7.8125
00011001	19	0.6875	58	7.8125
00011010	1A	0.6953	59	7.8125
00011011	1B	0.7031	5A	7.8125
00011100	1C	0.7109	5B	7.8125
00011101	1D	0.7188	5C	7.8125
00011110	1E	0.7266	5D	7.8125
00011111	1F	1.3516	AD	
00100000	20	0.8516	6D	
00100001	21	0.7344	5E	7.8125
00100010	22	0.7422	5F	7.8125
00100011	23	0.7500	60	7.8125
00100100	24	0.7578	61	7.8125
00100101	25	0.7656	62	7.8125
00100110	26	0.7734	63	7.8125
00100111	27	0.7813	64	7.8125
00101000	28	0.7891	65	7.8125
00101001	29	0.7969	66	7.8125
00101010	2A	0.8047	67	7.8125
00101011	2B	0.8125	68	7.8125
00101100	2C	0.8203	69	7.8125
00101101	2D	0.8281	6A	7.8125
00101110	2E	0.8359	6B	7.8125
00101111	2F	0.8438	6C	7.8125
00110000	30	0.8516	6D	7.8125
00110001	31	0.8594	6E	7.8125
00110010	32	0.8672	6F	7.8125
00110011	33	0.8750	70	7.8125
00110100	34	0.8828	71	7.8125
00110101	35	0.8906	72	7.8125
00110110	36	0.8984	73	7.8125
00110111	37	0.9063	74	7.8125
00111000	38	0.9141	75	7.8125
00111001	39	0.9219	76	7.8125
00111010	3A	0.9297	77	7.8125

表 7. PROG1 8 ビット (ブートアップ電圧) (続き)

バイナリ・コード	16 進コード	V _{BOOT} (V)	VOUT コマンド・コード (HEX)	前のコードからのデルタ (mV)
00111011	3B	0.9375	78	7.8125
00111100	3C	0.9453	79	7.8125
00111101	3D	0.9531	7A	7.8125
00111110	3E	0.9609	7B	7.8125
00111111	3F	1.5000	C0	
01000000	40	0.8984	73	
01000001	41	0.9688	7C	7.8125
01000010	42	0.9766	7D	7.8125
01000011	43	0.9844	7E	7.8125
01000100	44	0.9922	7F	7.8125
01000101	45	1.0000	80	7.8125
01000110	46	1.0078	81	7.8125
01000111	47	1.0156	82	7.8125
01001000	48	1.0234	83	7.8125
01001001	49	1.0313	84	7.8125
01001010	4A	1.0391	85	7.8125
01001011	4B	1.0469	86	7.8125
01001100	4C	1.0547	87	7.8125
01001101	4D	1.0625	88	7.8125
01001110	4E	1.0703	89	7.8125
01001111	4F	1.0781	8A	7.8125
01010000	50	1.0859	8B	7.8125
01010001	51	1.0938	8C	7.8125
01010010	52	1.1016	8D	7.8125
01010011	53	1.1094	8E	7.8125
01010100	54	1.1172	8F	7.8125
01010101	55	1.1250	90	7.8125
01010110	56	1.1328	91	7.8125
01010111	57	1.1406	92	7.8125
01011000	58	1.1484	93	7.8125
01011001	59	1.1563	94	7.8125
01011010	5A	1.1641	95	7.8125
01011011	5B	1.1719	96	7.8125
01011100	5C	1.1797	97	7.8125
01011101	5D	1.1875	98	7.8125
01011110	5E	1.1953	99	7.8125
01011111	5F	1.7969	E6	
01100000	60	0.9531	7A	
01100001	61	1.2031	9A	7.8125
01100010	62	1.2109	9B	7.8125
01100011	63	1.2188	9C	7.8125

表 7. PROG1 8 ビット (ブートアップ電圧) (続き)

バイナリ・コード	16 進コード	V _{BOOT} (V)	VOUT コマンド・コード (HEX)	前のコードからのデルタ (mV)
01100100	64	1.2266	9D	7.8125
01100101	65	1.2344	9E	7.8125
01100110	66	1.2422	9F	7.8125
01100111	67	1.2500	A0	7.8125
01101000	68	1.2578	A1	7.8125
01101001	69	1.2656	A2	7.8125
01101010	6A	1.2734	A3	7.8125
01101011	6B	1.2813	A4	7.8125
01101100	6C	1.2891	A5	7.8125
01101101	6D	1.2969	A6	7.8125
01101110	6E	1.3047	A7	7.8125
01101111	6F	1.3125	A8	7.8125
01110000	70	1.3203	A9	7.8125
01110001	71	1.3281	AA	7.8125
01110010	72	1.3359	AB	7.8125
01110011	73	1.3438	AC	7.8125
01110100	74	1.3516	AD	7.8125
01110101	75	1.3594	AE	7.8125
01110110	76	1.3672	AF	7.8125
01110111	77	1.3750	B0	7.8125
01111000	78	1.3828	B1	7.8125
01111001	79	1.3906	B2	7.8125
01111010	7A	1.3984	B3	7.8125
01111011	7B	1.4063	B4	7.8125
01111100	7C	1.4141	B5	7.8125
01111101	7D	1.4219	B6	7.8125
01111110	7E	1.4297	B7	7.8125
01111111	7F	2.5000	140	
10000000	80	1.0000	80	
10000001	81	1.4375	B8	7.8125
10000010	82	1.4453	B9	7.8125
10000011	83	1.4531	BA	7.8125
10000100	84	1.4609	BB	7.8125
10000101	85	1.4688	BC	7.8125
10000110	86	1.4766	BD	7.8125
10000111	87	1.4844	BE	7.8125
10001000	88	1.4922	BF	7.8125
10001001	89	1.5000	C0	7.8125
10001010	8A	1.5078	C1	7.8125
10001011	8B	1.5156	C2	7.8125
10001100	8C	1.5234	C3	7.8125

表 7. PROG1 8 ビット (ブートアップ電圧) (続き)

バイナリ・コード	16 進コード	V _{BOOT} (V)	VOUT コマンド・コード (HEX)	前のコードからのデルタ (mV)
10001101	8D	1.5313	C4	7.8125
10001110	8E	1.5391	C5	7.8125
10001111	8F	1.5469	C6	7.8125
10010000	90	1.5547	C7	7.8125
10010001	91	1.5625	C8	7.8125
10010010	92	1.5703	C9	7.8125
10010011	93	1.5781	CA	7.8125
10010100	94	1.5859	CB	7.8125
10010101	95	1.5938	CC	7.8125
10010110	96	1.6016	CD	7.8125
10010111	97	1.6094	CE	7.8125
10011000	98	1.6172	CF	7.8125
10011001	99	1.6250	D0	7.8125
10011010	9A	1.6328	D1	7.8125
10011011	9B	1.6406	D2	7.8125
10011100	9C	1.6484	D3	7.8125
10011101	9D	1.6563	D4	7.8125
10011110	9E	1.6641	D5	7.8125
10011111	9F	3.0000	180	
10100000	A0	1.0469	86	
10100001	A1	1.6719	D6	7.8125
10100010	A2	1.6797	D7	7.8125
10100011	A3	1.6875	D8	7.8125
10100100	A4	1.6953	D9	7.8125
10100101	A5	1.7031	DA	7.8125
10100110	A6	1.7109	DB	7.8125
10100111	A7	1.7188	DC	7.8125
10101000	A8	1.7266	DD	7.8125
10101001	A9	1.7344	DE	7.8125
10101010	AA	1.7422	DF	7.8125
10101011	AB	1.7500	E0	7.8125
10101100	AC	1.7578	E1	7.8125
10101101	AD	1.7656	E2	7.8125
10101110	AE	1.7734	E3	7.8125
10101111	AF	1.7813	E4	7.8125
10110000	B0	1.7891	E5	7.8125
10110001	B1	1.7969	E6	7.8125
10110010	B2	1.8047	E7	7.8125
10110011	B3	1.8125	E8	7.8125
10110100	B4	1.8203	E9	7.8125
10110101	B5	1.8281	EA	7.8125

表 7. PROG1 8 ビット (ブートアップ電圧)(続き)

バイナリ・コード	16 進コード	V _{BOOT} (V)	V _{OUT} コマンド・コード (HEX)	前のコードからのデルタ (mV)
10110110	B6	1.8359	EB	7.8125
10110111	B7	1.9141	F5	78.125
10111000	B8	1.9922	FF	78.125
10111001	B9	2.0703	109	78.125
10111010	BA	2.1484	113	78.125
10111011	BB	2.2266	11D	78.125
10111100	BC	2.3047	127	78.125
10111101	BD	2.3828	131	78.125
10111110	BE	2.4609	13B	78.125
10111111	BF	3.2969	1A6	
11000000	C0	1.1016	8D	
11000001	C1	2.4688	13C	7.8125
11000010	C2	2.4766	13D	7.8125
11000011	C3	2.4844	13E	7.8125
11000100	C4	2.4922	13F	7.8125
11000101	C5	2.5000	140	7.8125
11000110	C6	2.5078	141	7.8125
11000111	C7	2.5156	142	7.8125
11001000	C8	2.5234	143	7.8125
11001001	C9	2.6016	14D	78.125
11001010	CA	2.6797	157	78.125
11001011	CB	2.7578	161	78.125
11001100	CC	2.8359	16B	78.125
11001101	CD	2.9141	175	78.125
11001110	CE	2.9922	17F	78.125
11001111	CF	3.0703	189	78.125
11010000	D0	3.1484	193	78.125
11010001	D1	3.2266	19D	78.125
11010010	D2	3.2813	1A4	54.6875
11010011	D3	3.2891	1A5	7.8125
11010100	D4	3.2969	1A6	7.8125
11010101	D5	3.3047	1A7	7.8125
11010110	D6	3.3125	1A8	7.8125
11010111	D7	3.3203	1A9	7.8125
11011000	D8	3.3281	1AA	7.8125
11011001	D9	3.4063	1B4	78.125
11011010	DA	3.4844	1BE	78.125
11011011	DB	3.5625	1C8	78.125
11011100	DC	3.6406	1D2	78.125
11011101	DD	3.7188	1DC	78.125
11011110	DE	3.7969	1E6	78.125

表 7. PROG1 8 ビット (ブートアップ電圧)(続き)

バイナリ・コード	16 進コード	V _{BOOT} (V)	V _{OUT} コマンド・コード (HEX)	前のコードからのデルタ (mV)
11011111	DF	5.0000	280	
11100000	E0	1.2031	9A	
11100001	E1	3.8750	1F0	78.125
11100010	E2	3.9531	1FA	78.125
11100011	E3	4.0313	204	78.125
11100100	E4	4.1094	20E	78.125
11100101	E5	4.1875	218	78.125
11100110	E6	4.2656	222	78.125
11100111	E7	4.3438	22C	78.125
11101000	E8	4.4219	236	78.125
11101001	E9	4.5000	240	78.125
11101010	EA	4.5781	24A	78.125
11101011	EB	4.6563	254	78.125
11101100	EC	4.7344	25E	78.125
11101101	ED	4.8125	268	78.125
11101110	EE	4.8906	272	78.125
11101111	EF	4.9688	27C	78.125
11110000	F0	4.9766	27D	7.8125
11110001	F1	4.9844	27E	7.8125
11110010	F2	4.9922	27F	7.8125
11110011	F3	5.0000	280	7.8125
11110100	F4	5.0078	281	7.8125
11110101	F5	5.0156	282	7.8125
11110110	F6	5.0234	283	7.8125
11110111	F7	5.0313	284	7.8125
11111000	F8	5.1094	28E	78.125
11111001	F9	5.1875	298	78.125
11111010	FA	5.2656	2A2	78.125
11111011	FB	5.3438	2AC	78.125
11111100	FC	5.4219	2B6	78.125
11111101	FD	5.4922	2BF	70.3125
11111110	FE	5.5000	2C0	7.8125
11111111	FF	0	0	

表 7 に示すように、1 ステップは $2^{-7} = 7.8125\text{mV}$ です。一部の選択は、隣接するコードよりも 1 ステップを超えた差があります。ただし、11 ページの表 3 に示すように、よく使用される電圧レギュレーション・ポイントの周囲では、微調整を行えるようにするため、分解能は $\pm 7.8125\text{mV}$ です。7.8125mV よりも細かい調整を行うため、図 8 に示すように、比率の大きい分割抵抗を、出力 (V_{OUT}) と、正のオフセットでは RGND との間、負のオフセットでは V_{CC} との間の VSEN ピンに配置できます。

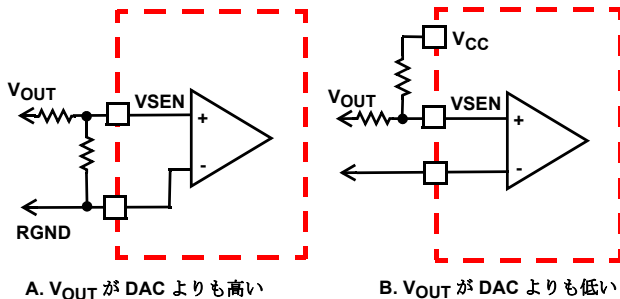


図 8. 外部でプログラム可能なレギュレーション

電流センス

ISL68201 はインダクタ DCR センス、または抵抗センス技法をサポートしており、電流を継続的に検出して高速に応答できます。電流センス・アンプは CSEN および CSRTN 入力を使用して、インダクタの電流 I_L に比例する信号を再現します。センス電流 I_{SEN} はインダクタの電流に比例し、電流レポートと過電流保護に使用されます。

電流センス・アンプの入力バイアス電流は通常、数十 nA です。オフセット・エラーを最小化するため、CSEN ピンに接続されている入力インピーダンスが $15\text{k}\Omega$ 未満であることが望まれます。これは、大きな C 値を使用することを意味します (必要なら、 $0.1\mu\text{F}$ の代わりに $0.22\mu\text{F} \sim 1\mu\text{F}$ を選択します)。さらに、CSRTN ピンに接続されている電流センス・ゲイン抵抗は、 $40\Omega \sim 3.5\text{k}\Omega$ の範囲にします。

インダクタの DCR センス

インダクタの巻き線は分布抵抗の特徴を表し、直流抵抗 (DCR) パラメータにより測定されます。図 9 に示すように、インダクタの両端の単純な R-C ネットワークが、DCR 電圧を抽出します。

コンデンサ V_C の電圧は、式 5 に示すように、インダクタ電流 I_L に比例します。

$$V_C(s) = \frac{\left(s \cdot \frac{L}{\text{DCR}} + 1\right) \cdot (\text{DCR} \cdot I_L)}{(s \cdot RC + 1)} \quad (\text{式 5})$$

R-C ネットワークのコンポーネントが、R-C 時間定数 ($= R \cdot C$) がインダクタの時間定数 ($= L/\text{DCR}$) と一致するように選択された場合、コンデンサ V_C の両端の電圧は DCR の両端の電圧降下と等しくなります。内部の低オフセット電流アンプにより、コンデンサの電圧 V_C が、センス抵抗 R_{ISEN} の両端に複製されます。したがって、CSRTN ピンから出力される電流 I_{SEN} は、インダクタの電流に比例します。

式 6 は、インダクタの電流と、センスされる電流 I_{SEN} との比率が、センス抵抗の値と、インダクタの DCR から導き出されることを示しています。

$$I_{\text{SEN}} = I_L \cdot \frac{\text{DCR}}{R_{\text{ISEN}}} \quad (\text{式 6})$$

インダクタの DCR 値は、温度に伴って上昇します。このため、電流センス素子の温度が上昇するにつれ、センスされる電流も増加します。センスされる電流信号の温度効果を補償するため、ISL68201 の内蔵の温度補償機能を使用する必要があります。内蔵の温度補償機能については、18 ページの「熱モニタリングおよび補償」で説明します。

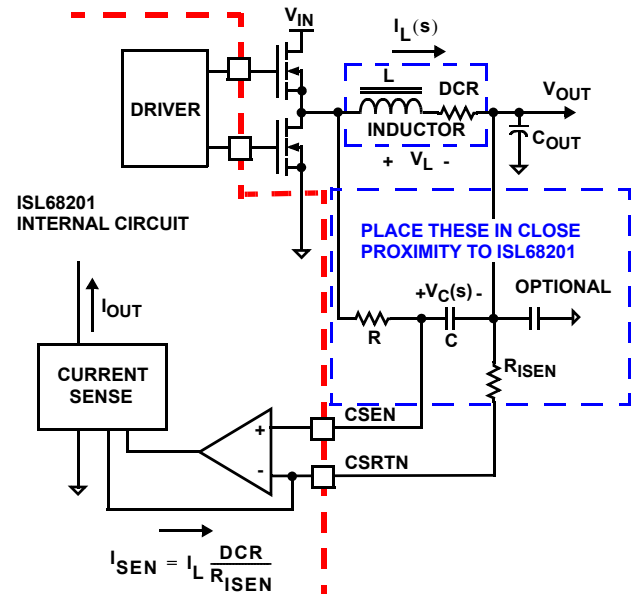


図 9. DCR センスの構成

抵抗センス

正確な電流センスを行うため、専用の電流センス抵抗 R_{SENSE} が各出力コンデンサと直列に接続され、電流センス素子として動作できます (図 10 を参照)。ただしこの技法では、電流センス要素 R_{SENSE} における余分な電力損失のため、総合的なコンバータの効率が低下します。

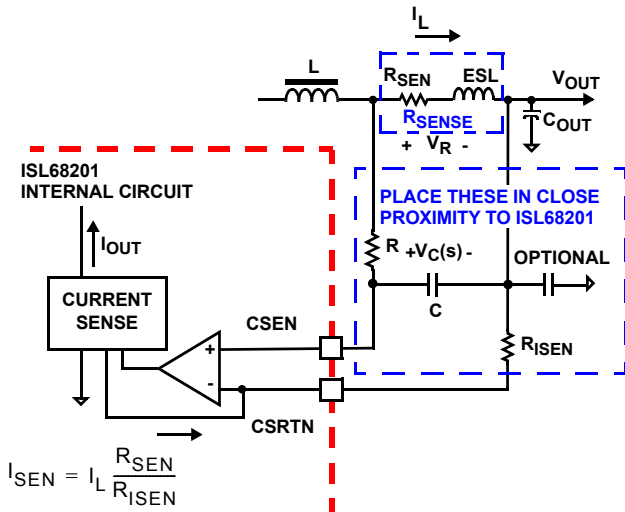


図 10. インダクタと直列のセンス抵抗

電流センス抵抗には分散寄生インダクタンスがあり、これは等価直列インダクタンス (ESL) パラメータと呼ばれ、通常は 1nH 未満です。17 ページの図 10 に示すように、電流センス抵抗の両端の単純な R-C ネットワークが、R_{SEN} 電圧を抽出します。

コンデンサ V_C の電圧は、式 7 に示すように、インダクタ電流 I_L に比例します。

$$V_C(s) = \frac{\left(s \cdot \frac{ESL}{R_{SEN}} + 1\right) \cdot (R_{SEN} \cdot I_L)}{(s \cdot RC + 1)} \quad (式 7)$$

R-C ネットワークのコンポーネントが、RC 時間定数が ESL/R_{SEN} 時間定数 (R*C = ESL/R_{SEN}) と一致するように選択された場合、コンデンサ V_C の両端の電圧は R_{SEN} の両端の電圧降下と等しく、すなわちインダクタの電流に比例します。例として、一般的な 1mΩ センス抵抗では R = 348Ω および C = 820pF を使用できます。図 11 および 12 は、抵抗性センスを使用するとき、RC が一致している場合と、していない場合に検出される波形を示したものです。

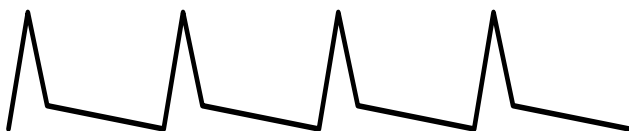


図 11. RC が一致していない場合の R の両端での電圧



図 12. RC が一致している場合の C の両端での電圧

式 8 は、インダクタの電流と、センスされる電流 I_{SEN} との比率が、センス抵抗と R_{ISEN} の値から導き出されることを示しています。

$$I_{SEN} = I_L \cdot \frac{R_{SEN}}{R_{ISEN}} \quad (式 8)$$

L/DCR または ESL/R_{SEN} の一致

図 13 は、L/DCR または ESL/R_{SEN} が R-C 時間定数と一致する場合に予測される、負荷変動応答波形を示しています。負荷電流に方形の変化が発生するとき、デカップリング・コンデンサなしの I_{OUT} ピンの電圧 (V_{IOUT}) も同様に、応答として方形になります。ただし、2つの電流センス・ポイント間の電流センス・コンポーネントには常に、多少の PCB 接触インピーダンスが存在します。これは、L/DCR や ESL/R_{SEN} の計算では考慮されていません。総合的な過渡性能とシステムの信頼性を向上するため、ボード・レベルでの微調整が必要です。

R-C タイミング定数が大きすぎる、または小さすぎる場合、V_C(s) はリアルタイムの出力電流を正確に表さず、過電流フォルトへの応答が悪化します。図 14 は、R-C タイミング定数が小さすぎる場合の、I_{OUT} ピンの過渡電圧応答を示したものです。V_{IOUT} は負荷の挿入時に過剰に低下し、システムの障害や、早すぎる過電流トリップを引き起こす可能性があります。図 15 は、R-C タイミング定数が大きすぎる場合の過渡応答を示したものです。V_{IOUT} が最終的な値になかなか到達しなくなります。電流センスの過剰なディレイがあると、高速な OCP 応答が得られず、システムの信頼性が損なわれます。

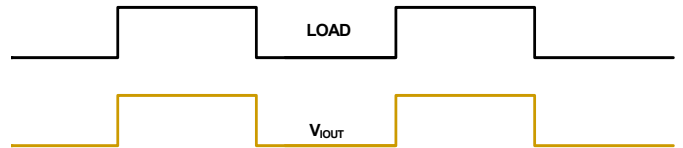


図 13. 望ましい負荷変動応答の波形

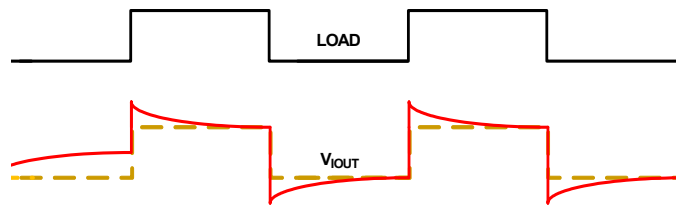


図 14. R-C 時間定数が小さすぎる場合の負荷変動応答

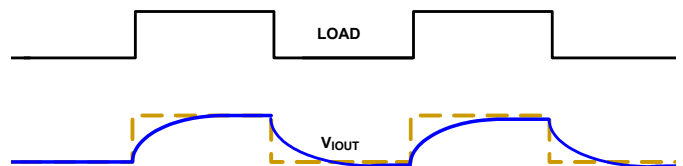


図 15. R-C 時間定数が大きすぎる場合の負荷変動応答

内蔵のサーマル補償は DC 電流に適用され、AC 電流には適用されないことに注意してください。このため、コントローラによって観測されるピーク電流は、温度の低下に伴って増大し、OCP イベントを引き起こす可能性があります。この問題を解決するため、RC は室温で L/DCR を超える必要があります。-40°C で動作する場合は (-40°C + 25°C) * 0.385%/°C = +25% になります。

熱モニタリングおよび補償

サーマル・モニタリング機能ブロックの図を、18ページの図16に示します。NTC抵抗を、電力レギュレータVRの該当電力ステージの近くに配置し、動作温度を検出する必要があります。また、NTCピン用の電圧分割器を形成するため、プルアップ抵抗が必要です。電力ステージの温度が上昇すると、NTCの抵抗が減少し、NTCピンの電圧が低下します。18ページの図18は、推奨される10kΩ NTC (Murata製、P/N: NCP15XH103J03RC、 $\beta = 3380$)および1.54kΩの抵抗RTMを使用する一般的な設計について、温度とTM電圧との関係を示したものです。正確な温度補償を行うため、これらの抵抗の使用をお勧めします。内部のサーマル・デジタル・コードはこれら2つの成分に基づいて生成されるためです。異なる値を使用する場合、温度係数を3380に近くし、それに応じてRTMをスケールリングする必要があります。たとえば、NTC = 20kΩ ($\beta = 3380$)の場合、RTMは $20\text{k}\Omega / 10\text{k}\Omega * 1.54\text{k}\Omega = 3.08\text{k}\Omega$ です。

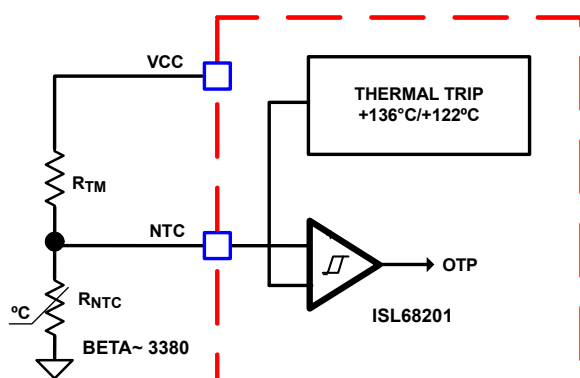


図16. サーマル・モニタリングおよび保護のブロック図

ISL68201はインダクタDCRセンス、または抵抗センスをサポートします。インダクタDCRは正の温度係数(約+0.385%/°C)を持ちます。出力電流情報のためにインダクタの両端の電圧がセンスされるため、検出される電流はインダクタのDCRと同じ正の温度係数を持ちます。正しい電流情報を得るため、ISL68201はNTCピンの電圧と"TCOMP"レジスタを使用して、検出される電流に対する温度の影響を補償します。この機能のブロック図を、図17に示します。

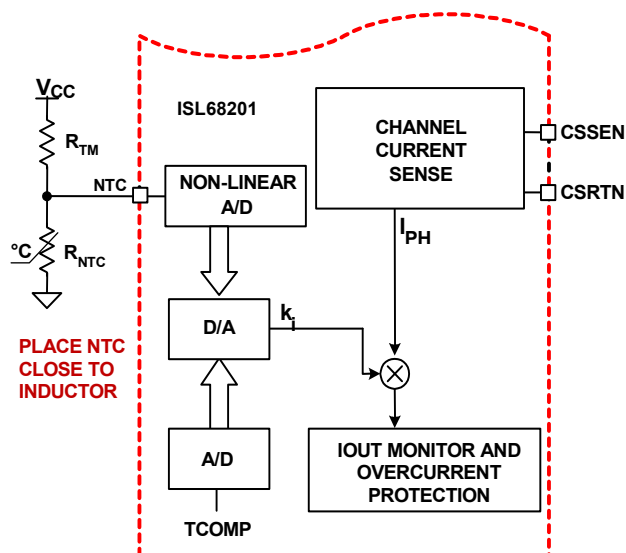


図17. 内蔵温度補償のブロック図

電流センス・コンポーネント(インダクタ)の近くにNTCが配置された場合、NTCの温度は電流センス・コンポーネントの温度をトラッキングします。このため、NTCピンの電圧を使用して、電流センス・コンポーネントの温度を取得できます。NTCは位相ノードからのノイズを拾う可能性があるため、コントローラに近いNTCピンに0.1μFのセラミック・デカップリング・コンデンサを取り付けることをお勧めします。

VCC電圧に基づいて、ISL68201はNTCピンの電圧をデジタル信号に変換し、温度補償を行います。ISL68201の非線形A/Dコンバータにより、NTCデジタル信号はNTCの温度に正比例します。正確な温度補償を行うには、実際の設計においてNTC電圧とNTC温度との比率を図18に示すように設定する必要があります。

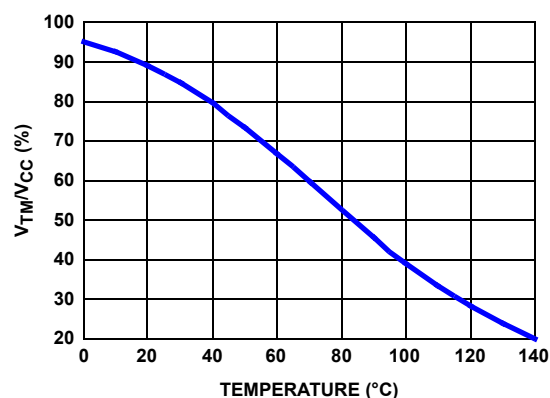


図18. 推奨部品におけるTM電圧とNTC温度との比率

NTCはPCBに取り付けられますが、電流センス・コンポーネントに直接取り付けられないため、NTCと電流センス素子との間に高い熱インピーダンスを持ちます。"TCOMP"レジスタの値を使用して、NTCと電流センス・コンポーネントとの間の温度差を修正できます。図19に示すように、NTCは出力レールの近くに配置する必要があります。MOSFET側は、はるかに多くの熱が発生するため、そちら側に配置してはいけません。

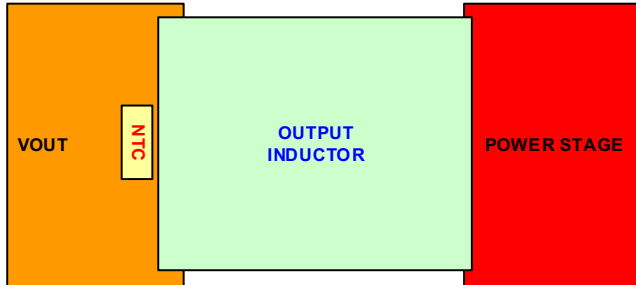


図 19. NTC の推奨の配置

ISL68201は"TCOMP"の値とNTCデジタル信号とを多重化して調整ゲインを取得し、検出されたチャンネル電流への温度の影響を補償します。補償された電流信号は、I_{OUT}および過電流保護機能に使用されます。TCOMPの"OFF"コードは、電流センス要素が抵抗またはスマート・パワー・ステージ(内部的にサーマル補償済み)で、サーマル・ドリフトが小さい場合に、サーマル補償をディスエーブルするために使用します。

表 8. TCOMP の値

D1h	TCOMP (°C)	D1h	TCOMP (°C)
0h	30	2h	5
1h	15	3h	OFF

インダクタ電流センス用のサーマル補償の設計手順は、次のように要約されます。

1. NTC ピンの電圧分割器を、NTC 電圧と温度との曲線が、18 ページの図 18 の推奨曲線と一致するよう、適切に選択します。
2. 実際のボードを、最大負荷と、目的の気流状況で動作させます。
3. ボードが熱平衡状態に達した後で(多くの場合は15分後)、NTC および VCC ピンの位置で電流センス・コンポーネント(インダクタ)の温度(T_{CSC})を記録します。
4. 式 9 を使用して NTC の抵抗を計算し、NTC のデータシート、または式 10 を使用して、対応する NTC の温度を見つけてみます。ここで、β は推奨の NTC について 3380 になります。

$$R_{NTC}(at T_{NTC}) = \frac{V_{TM} \times R_{TM}}{V_{CC} - V_{TM}} \quad (式 9)$$

$$T_{NTC} = \frac{\beta}{\ln\left(\frac{R_{NTC}(at 25^{\circ}C)}{R_{NTC}(at T_{NTC})}\right) + \frac{\beta}{298.15}} - 273.15 \quad (式 10)$$

5. 式 11 に従い、"TCOMP" レジスタについて結果と近い数値を選択します。

$$T_{COMP} = T_{CSC} - T_{NTC} \quad (式 11)$$

6. 実際のボードを最大負荷で再度動作させます。
7. 最大負荷で出力電圧が安定した直後のI_{OUT}ピンの電圧を、V1として記録します。VRが熱平衡状態に達した後のI_{OUT}ピンの電圧を、V2として記録します。
8. 温度の上昇につれてI_{OUT}ピンの電圧が10mVを超えて上昇する(V2 - V1 > 10mV)場合、"TCOMP"の値を減らします。温度の上昇につれてI_{OUT}ピンの電圧が10mVを超えて低下する(V1 - V2 > 10mV)場合、"TCOMP"の値を増やします。サーマル補償の最適化を簡単に行うため、"TCOMP"の値はシリアルバス経由で調整できます。

I_{OUT} の較正

I_{OUT}ピンから出力される電流は、ISL68201内で検出される平均電流と同じです。電圧を生成するため、I_{OUT}ピンからGNDへ抵抗が配置されます。この電圧は式12に示すように、負荷電流と抵抗の値に比例します。

$$R_{IOUT} = \frac{2.5V \times R_{ISEN}}{63.875A \times R_x} = \frac{2.5V \times \left(\frac{R_x \times I_{OCP}}{100\mu A}\right)}{63.875A \times R_x}$$

$$= \frac{2.5V \times I_{OCP}}{63.875A \times 100\mu A} = \frac{25V \times I_{OCP}}{63.875A} \text{ k}\Omega \quad (式 12)$$

ここで、V_{IOUT}はI_{OUT}ピンでの電圧、R_{IOUT}はI_{OUT}ピンとGNDとの間の抵抗、I_{LOAD}はコンバータの合計出力電流、R_{ISEN}はCSRTNピンに接続されているセンス抵抗、R_xは電流センス素子のDC抵抗で、センス方法に応じてインダクタのDCRまたはR_{SENSE}です。R_{IOUT}抵抗は、63.875Aの負荷電流について、I_{OUT}ピンの電圧が通常で2.5Vになるよう調整する必要があります。I_{OUT}電圧は108μsごとに内部的にデジタル化され、READ_IOUTレジスタ(8Ch)に保存されます。

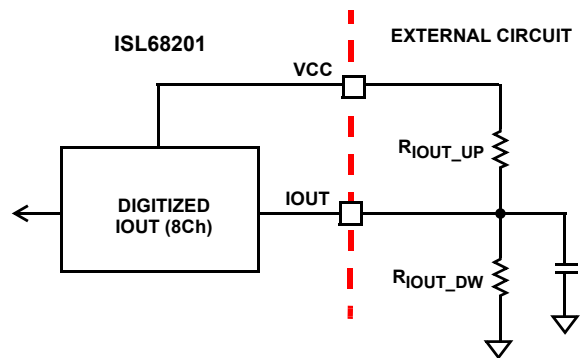


図 20. I_{OUT} の無負荷オフセットの較正

ノイズの影響を減らし、200μs(標準値)を超える平均化を行うため、I_{OUT}とGNDとの間に小さなコンデンサを配置できます。

各種プラットフォームのレイアウトと設計の差異に対応するため、ISL68201は無負荷時には意図的に負にトリムされます。このため、簡単にオフセットを追加して、デジタル化されたI_{OUT}読み出し値(8Ch)を較正できます。このため、アナログとデジタル化された電流の勾配は、R_{IOUT_UP}/R_{IOUT_DW} = R_{IOUT}(図20に示すとおり)で設定されます。理想的な曲線の勾配は、0Aオフセットで1A/Aに設定されます。

高精度のデジタル I_{OUT} を得るには、次に示す手順で微調整を行います。手順6を行う前に、手順1から5までを完了する必要があります。

1. 動作温度範囲にわたって、[17ページ](#)に示すように L/DCR または ESL/R_{SEN} の一致を正しく調整します。-40℃での動作には、室温で L/DCR を +25% 超えることが必要です。
2. [18ページの「熱モニタリングおよび補償」](#)に示すように、サーマル補償を正しく完了します。
3. [20ページの「過電流および短絡保護」](#)に示すように、総合的な動作条件とボードのバリエーションについて、R_{ISEN} を最終決定して OCP を設定します。
4. 十分なプロトタイプにより無負荷時の I_{OUT} 電流を収集し、無負荷時の I_{OUT} 電流の平均値を決定します。
5. I_{OUT} ピンのプルアップ・インピーダンスは "VCC/I_{OUT_NO_LOAD}" の必要があります。たとえば、0A 負荷における I_{OUT} の平均値が -2.5μA なら、R_{I_{OUT_UP}} = 2MΩ にする必要があります。
6. 次の値から開始し、各種のボードにおいて平均勾配が 1A/A になるまで、R_{I_{OUT_DW}} の値を微調整します。

$$R_{I_{OUT_DW}} = \frac{R_{I_{OUT_UP}} \times R_{I_{OUT}}}{R_{I_{OUT_UP}} - R_{I_{OUT}}} \quad (\text{式 13})$$

フォルト保護

ISL68201 は、[表 9](#) に要約されているような多くのフォルト保護機能により、システムの高い信頼性を実現しています。

表 9. フォルト保護機能の要約

フォルト	説明	フォルト時の動作
入力 UVLO	V _{IN} ピンの UNLO、または EN ピンと外部分割抵抗によりレベルを設定。 図 4 および 5 を参照。	シャットダウンし、V _{IN} > UVLO のとき回復
バイアス UVLO	VCC、PVCC、7VLDO の UVLO	シャットダウンし、Bias > UVLO のとき回復
スタートアップ OVP	V _{BOOT} を超えた場合。 7ページ の電気的特性を参照。	ラッチ OFF、VCC、またはイネーブルのトグルによりリセット
出力 OVP	立ち上がり = 120%、立ち下がり = 100%	(ON_OFF_CONFIG 設定に応じて、EN ピンや OPERATION コマンドも含む)
出力 UVP	V _{OUT} の 74%、ラッチ OFF	
出力 OCP	平均 OCP = 100μA、ブランキング時間 128μs	ラッチ OFF (VCC またはイネーブルのトグルによりリセット、ON_OFF_CONFIG 設定に応じて EN ピンや OPERATION コマンドも含む)、または 9ms ごとにリトライ。オプションは PROG3 または D3[0] によりプログラム可能
短絡保護	ピーク OCP = 平均 OCP の 130%、50ns フィルタ	
OTP	立ち上がり = 22.31%VCC (~+136℃) 立ち下がり = 27.79%VCC (~+122℃)	+136℃を超えるとシャットダウンし、温度が +122℃未満に下がると回復

UVLO および OTP フォルトは、現状にヒステリシス付きで応答します。これに対して出力 OVP および出力 UVP フォルトはラッチで、出力 OCP および出力短絡フォルトは PROG3 または D3[0] 設定に応じてラッチまたはリトライとなります。すべてのフォルトのラッチ・イベントは、ON_OFF_CONFIG の設定に応じて、VCC のサイクル、イネーブル・ピンのトグル、またはシリアルバスの OPERATION コマンドによってリセットでき、OCP リトライ・イベントは 9ms のヒカップ時間を持ち、フォルトが取り除かれたときにレギュレータを回復できます。

過電圧保護

OVP フォルト検出回路は、VSEN+ と VSEN- との間の電圧が立ち上がり過電圧スレッシュホールドを超えた後でトリガされます。OVP フォルトが宣言されると、コントローラはラッチオフされ、PGOOD が LOW にアサートされます。フォルトはラッチ状態に維持され、ON_OFF_CONFIG 設定に応じて、VCC のサイクル、EN ピンのトグル、またはシリアルバスの OPERATION コマンドによりリセットできます。

コントローラは OVP フォルトへの応答としてラッチオフしますが、LGATE ゲートドライバ出力は、出力電圧が OVP の立ち上がりから立ち下がりスレッシュホールドの間、ローサイド MOSFET のオンおよびオフを維持します。LGATE ゲートドライバにより、ローサイド MOSFET がオンになり、出力電圧を放電して負荷を保護します。検出される出力電圧が立ち下がり過電圧スレッシュホールド (標準値は 100%) を下回ると、LGATE ゲートドライバにより、ローサイド MOSFET がオフになります。出力電圧が再度上昇すると、出力電圧が立ち上がり過電圧スレッシュホールド (標準値は 120%) を超えたとき、LGATE ドライバにより、ローサイド MOSFET が再度オンになります。これによって、継続的な過電圧状況が発生したとき、IC によって負荷が保護されます。

通常動作の OVP に加えて、すべてのレール (VCC、PVCC、7VLDO、VIN) の POR の後、ソフトスタート終了前の 5.5ms (標準値、ワーストケース = 6.5ms) について、OVP イベントからの保護のためスタートアップ OVP 回路が有効になります。このとき OVP レベルは、V_{BOOT} よりも高く設定されます。[7ページ](#)の電気的特性を参照してください。

アンダーボルテージ保護

UVP フォルト検出回路は、出力電圧がアンダーボルテージ・スレッシュホールド (標準は DAC の 74%) を下回ったときにトリガされます。UVP フォルトが宣言されると、コントローラはラッチオフされ、LGATE および UGATE ゲートドライバ出力が強制的に LOW になり、PGOOD ピンが LOW にアサートされます。フォルトはラッチ状態に維持され、ON_OFF_CONFIG 設定に応じて、VCC のサイクル、EN ピンのトグル、またはシリアルバスの OPERATION コマンドによりリセットできます。

過電流および短絡保護

平均過電流保護 (OCP) は、I_{OUT} ピンの出力電流がフォルト・スレッシュホールド (標準値は 100μA) を超えたとき、128μs のブランキング期間付きでトリガされます。また、高速 (50ns フィルタ) のセカンダリ過電流保護もあり、このスレッシュホールドは平均 OCP の +30% です。これにより、短絡発生時にインダクタが飽和することが防止され、より強固なパワー・トレインとシステム保護が得られます。OCP または短絡フォルトが宣言されると、コントローラはラッチオフされ、LGATE および UGATE ゲートドライバ出力が強制的に LOW になるか、ヒカップ時間 9ms でリトライが行われます。フォルト応答は PROG3 または D3[0]

によりプログラム可能です。ただし、ラッチオフ・イベントは ON_OFF_CONFIG 設定に応じて、V_{CC} のサイクル、EN ピンの トグル、またはシリアルバスの OPERATION コマンドによりリセットできます。

式 14 は、独自の OCP トリップ・ポイント設定のスタートポイントとなるもので、IOCP は目標の OCP トリップ・ポイント、DI (式 15 に示すもの) はピーク・ツー・ピークのインダクタ・リップル電流です。

$$R_{ISEN1} = \frac{R_x \times I_{OCP}}{100 \mu A} \quad (\text{式 14})$$

$$R_{ISEN2} = \frac{R_x \times \left(\frac{AI}{2} + I_{OCP}\right)}{100 \mu A \times (100\% + 30\%)}$$

$$R_{ISEN} = \text{MAX}(R_{ISEN1}, R_{ISEN2})$$

レイアウトおよび PCB の接点インピーダンスの差異に対応するため、次の微調整手順に従い、より正確な OCP を実現します。手順 4 を行う前に、手順 1 から 3 までを完了する必要があります。

- 動作温度範囲にわたって、17 ページに示すように L/DCR または ESL/R_{SEN} の一致を正しく調整します。-40 °C での動作には、室温で L/DCR を +25% 超えることが必要です。
- 18 ページの「熱モニタリングおよび補償」に示すように、サーマル補償を正しく完了します。
- 十分なプロトタイプを使用して OCP トリップ・ポイント (IOCP_MEASURED) を収集し、総合的な動作条件と基板間のバラツキの平均値を求めます。
- IOCP_TARGETED/IOCP_MEASURED のパーセンテージ単位で R_{ISEN} を変化させ、目標の OCP が得られるようにします。

インダクタのピーク・ツー・ピーク電流が 30% を超える、またはそれに近い場合、平均 OCP スレッシュホールドの代わりに +30% のスレッシュホールドがトリガされる可能性があることに注意してください。ただし、微調整の手順は使用可能です。

過熱保護

18 ページの図 16 に示すように、NTC ピンの電圧を設定済みのスレッシュホールドと比較するため、ヒステリシス付きのコンパレータがあります。NTC ピンの電圧が V_{CC} 電圧の 22.31% より低いとき (通常は +136 °C)、過熱保護 (OTP) がトリガされ、ISL68201 をシャットダウンします。NTC ピンの電圧が V_{CC} 電圧の 27.79% を超えたとき (通常は +122.4 °C)、ISL68201 は通常の動作を再開します。OTP フォルトが宣言されたとき、コントローラは LGATE および UGATE のゲートドライバ出力を強制的に LOW にします。

PGOOD モニタ

PGOOD ピンは、コンバータがレギュレートされた電圧を供給可能なことを示します。レール (V_{CC}、PV_{CC}、7V_{LDO}、VIN) の UV_{LO}、出力過電流 (OCP)、過電圧 (OVP)、アンダーボルテージ (UVP)、または過熱 (OTP) フォルト状況が存在すると、PGOOD は LOW にアサートされます。V_{CC} が 2.5V_{typ} 未満では、PGOOD ピンのインピーダンスが定義されていないことに注意してください。

PFM モードの動作

PFM モードは、PROG2 またはシリアルバスの D0[0:0] によりプログラム可能です。このモードでは、スイッチング周波数が大幅に低下し、スイッチング損失を最小化して、軽負荷時の効率が大幅に向上します。ISL68201 は、負荷の変動に伴い、シームレスに PFM モードに移行または終了できます。PFM モードは、ISL68201 の FCCM 出力ピンへ接続する場合のみ、インターシルの SMOD 入力内蔵 ISL99140 DrMOS と互換です。互換性のないパワーステージは PWM モードで動作します。

SMBus、PMBus、および I²C の動作

ISL68201 には SMBus、PMBus、I²C が搭載されており、PROG2 ピンを使用して 32 のアドレスをプログラム可能です。SMBus/PMBus には、データの正しい伝送を保証するために Alert# ライン (SALERT) とパケットのエラー・チェック (PEC) が含まれています。遠隔測定の実行レートは 108μs (標準値) です。サポートされる SMBus/PMBus/I²C アドレスを、表 10 に示します。7 ビット・フォーマットのアドレスには最後のビットが含まれず (書き込みおよび読み出し)、値は 40 ~ 47h、60 ~ 67h、70 ~ 7Fh となります。

SMBus/PMBus/I²C により、ユーザーは表 11 に示すようにレジスタをプログラムできます。ただし、すべてのレール (V_{CC}、PV_{CC}、7V_{LDO}、VIN) が POR を超えてから 5.5ms (通常値、ワーストで 6.5ms) は SMBus/PMBus/I²C アドレスをプログラムできません。図 21 と 22 は、EN (イネーブル) ピンがさまざまな状態のとき、シリアルバスの初期化タイミング図を示したものです。

正しい動作のため、ユーザーは 23 ページの図 23 に示すように SMBus、PMBus、I²C プロトコルを使用する必要があります。レジスタの内容を読み出すとき、繰り返し START 状況の前に STOP (P) ビットは許可されないことに注意してください。

デバイスのシリアルバスが使用されないときは、デバイスの SCL、SDA、SALERT を接地し、バスに接続しないようにします。

表 10. SMBus/PMBus/I²C の 7 ビット・フォーマットのアドレス (HEX)

7-BIT アドレス	7-BIT アドレス	7-BIT アドレス
40	63	76
41	64	77
42	65	78
43	66	79
44	67	7A
45	70	7B
46	71	7C
47	72	7D
60	73	7E
61	74	7F
62	75	

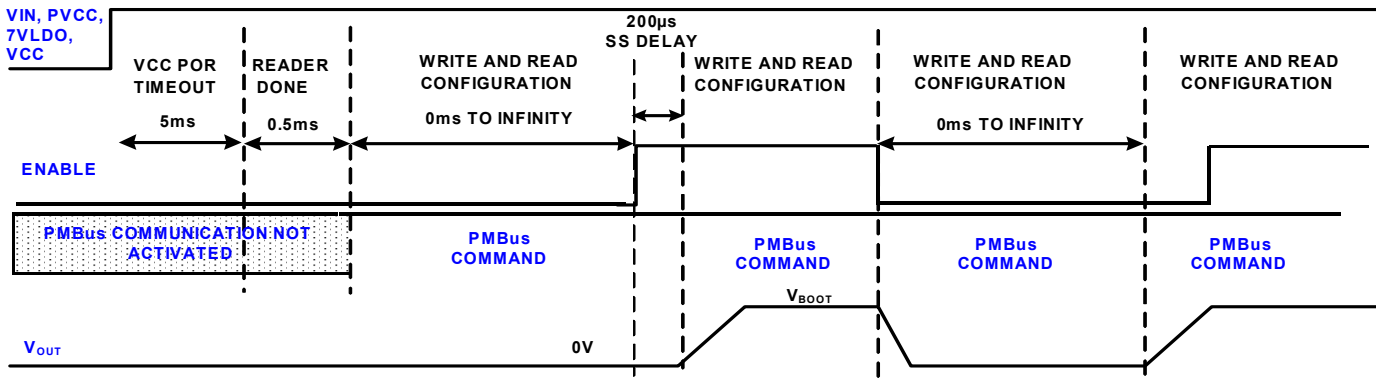


図 21. イネーブル LOW の SMBus/PMBus/I²C 初期化タイミングの簡略図

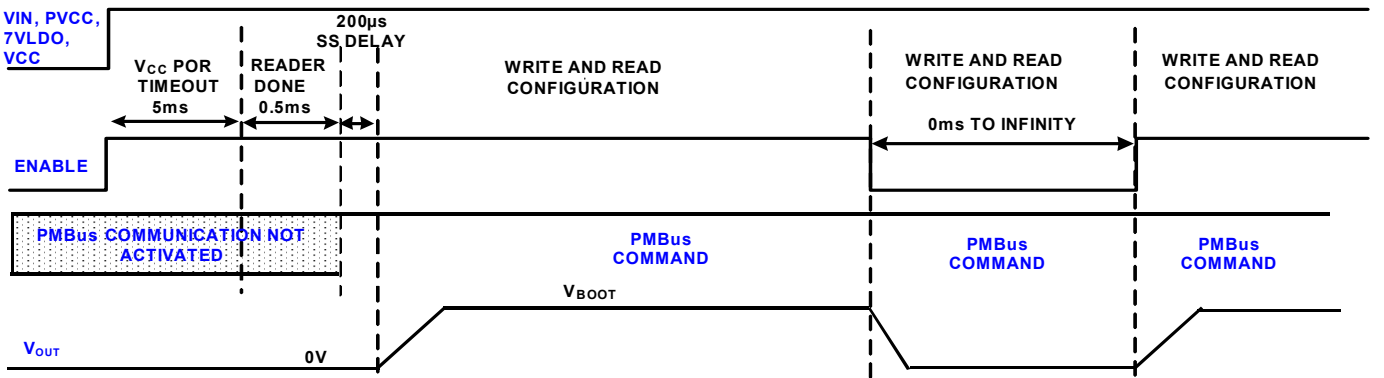
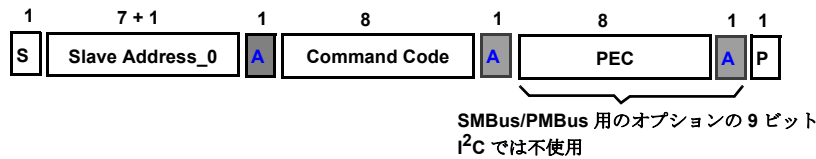


図 22. イネーブル HIGH の SMBus/PMBus/I²C 初期化タイミングの簡略図

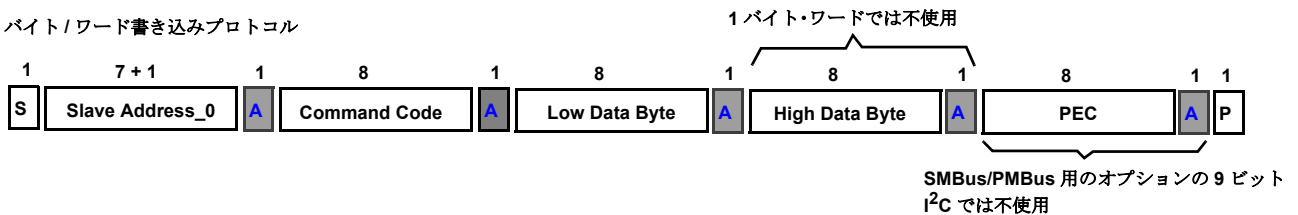
1. バイト送信プロトコル



コマンドの例: 03h フォルトのクリア
(これにより、選択したレール用のステータス・バイトのビットがすべてクリアされます)

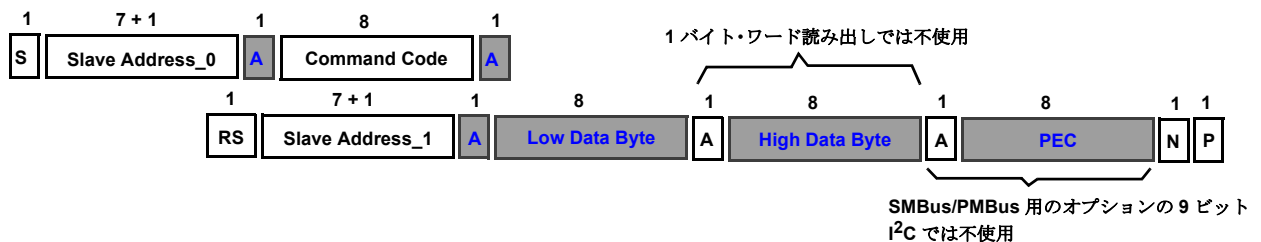
- S: Start Condition
 - A: Acknowledge ("0")
 - N: Not Acknowledge ("1")
 - W: Write ("0")
 - RS: Repeated Start Condition
 - R: Read ("1")
 - PEC: Packet Error Checking
 - P: Stop Condition
- Acknowledge or DATA from Slave, ISL68201

2. バイト/ワード書き込みプロトコル



コマンドの例: D0h ENABLE_PFM (1 ワード、上位データ・バイト、ACK は不使用)

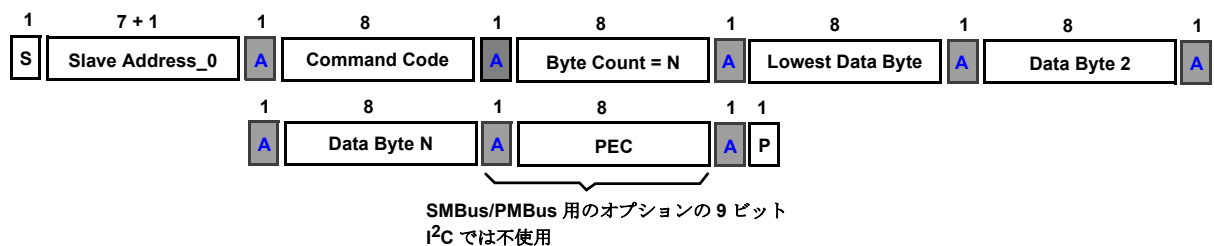
3. バイト/ワード読み出しプロトコル



コマンドの例: 8B READ_VOUT (2 ワード、選択したレールの電圧を読み出す)

NOTE: すべての書き込み可能なコマンドは、1 バイト・ワードのプロトコルで読み出されます。レジスタの内容を "読み出す" とき、Repeated START Condition の前に STOP (P) ビットは許可されないことに注意してください。

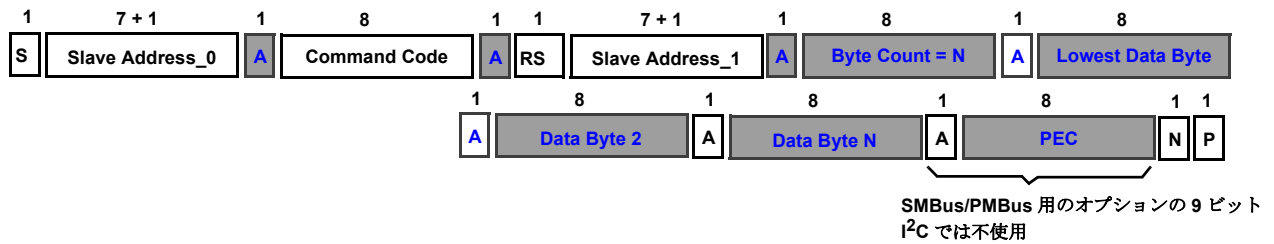
4. ブロック書き込みプロトコル



コマンドの例: ADh IC_DEVICE_ID (2 データ・バイト)

図 23. SMBus/PMBus/I²C コマンドのプロトコル

5. ブロック読み出しプロトコル



コマンドの例：8B READ_VOUT (2 ワード、選択したレールの電圧を読み出す)

NOTE：すべての書き込み可能なコマンドは、1 バイト・ワードのプロトコルで読み出されます。
レジスタの内容を "読み出す" とき、Repeated START Condition の前に STOP (P) ビットは許可されません。

6. グループ・コマンドのプロトコル - 同じアドレスで複数のコマンドは送信できません

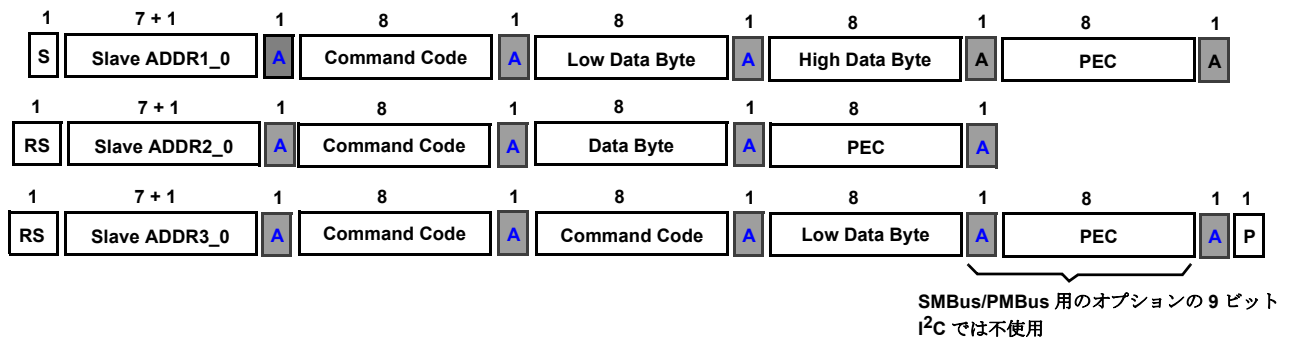


図 24. SMBus/PMBus/I²C コマンドのプロトコル

表 11. SMBus、PMBus、および I²C でサポートされるコマンド

コマンド・コード	アクセス	ワード長 (バイト)	デフォルト値	コマンド名	説明
01h [7:0]	R/W	1	80h	OPERATION	VR イネーブル (ON_OFF_CONFIG 構成により異なる) Bit[7] : 0 = OFF (0 ~ F), 1 = ON (80 ~ 8Fh) Bit[6:4] = 0 Bit[3:0] = 不使用
02h[7:0]	R/W	1	1Fh	ON_OFF_CONFIG	OPERATION や EN ピンで有効化された VR 構成 Bit[7:5] = 0 Bit[4] = 1 Bit[3] = OPERATION コマンドのイネーブル 0h = OPERATION コマンドは VR をコントロールしない 1h = OPERATION コマンドで VR を ON/OFF できる Bit[2] = CONTROL ピンのイネーブル 0h = EN ピンは VR をコントロールしない 1h = EN ピンで VR を ON/OFF できる Bit[1] = 1 Bit[0] = 1 Bit[3:2] = 00b = 13h (常時 ON) Bit[3:2] = 01b = 17h (EN が VR をコントロール) Bit[3:2] = 10b = 1Bh (OPERATION が VR をコントロール) Bit[3:2] = 11b = 1Fh (EN および OPERATION が VR をコントロール)
03h	SEND BYTE	N/A		CLEAR_FAULTS	ステータス・レジスタのフォルトをクリアします。
20h[7:0]	R	1	19h	VOUT_MODE	V _{OUT} コマンドのホスト・フォーマットを設定します。 常時リニア・フォーマット : N = -7
21h[2:0]	R/W	2	PROG1[7:0]	VOUT_COMMAND	出力電圧の設定 HEX コード = DEC2HEX [ROUND(V _{OUT} /2 ⁻⁷)]
24h[15:0]	R/W	2	VBOOT+500mV	VOUT_MAX	VR が指示できる最大出力電圧を設定します。 (DAC ≤ VOUT_MAX) リニア・フォーマット。N = -7 HEX コード = DEC2HEX(ROUNDUP(VOUT_MAX/2 ⁻⁷))
33h[15:0]	R/W	2	PROG3[5:3]	FREQUENCY_SWITCH	VR スイッチング周波数を設定します (リニア・フォーマットで)。 8 つのオプションがサポートされています (N = 0)。 12Ch = 300kHz, 190h = 400kHz, 1F4h = 500kHz 258h = 600kHz, 2BCh = 700kHz, 352h = 850kHz 3E8h = 1MHz, 5DCh = 1.5MHz* * 非常に高いデューティ・サイクルと非常に高い周波数の併用はお勧めしません。この場合、LGATE ON 時間が短いため、ブート・コンデンサを充電するため十分な時間が得られなくなります。
78h[8:0]	R	1		STATUS_BYTE	フォルト・レポート。 Bit7 = ビジー Bit6 = OFF (現在の動作状態と ON_OFF_CONFIG レジスタに加えて、VR 動作が反映されます) Bit5 = OVP Bit4 = OCP Bit3 = 0 Bit2 = OTP Bit1 = バス通信エラー Bit0 = 上記のいずれでもない場合 (出力 UVP、VOUT_COMMAND > VOUT_MAX、または VOUT オープンの検出)
88h[15:0]	R	2		READ_VIN	入力電圧 (N = -4、最大値 = 31.9375V) VIN (V) = HEX2DEC(16 進データの 88 - E000h) * 0.0625V
8Bh[15:0]	R	2		READ_VOUT	VR 出力電圧、分解能 = 7.8125mV = 2 ⁻⁷ VOUT (V) = HEX2DEC(16 進データの 8B) * 2 ⁻⁷
8Ch[15:0]	R	2		READ_IOUT	VR 出力電流 (N = -3、IMAX = 63.875A) 負荷 63.875A、IOUT ピン電圧 = 2.5V のとき、IOUT (A) = HEX2DEC(16 進データの 8C - E800) * 0.125A

表 11. SMBus、PMBus、および I²C でサポートされるコマンド (続き)

コマンド・コード	アクセス	ワード長 (バイト)	デフォルト値	コマンド名	説明
8Dh[15:0]	R	2		READ_TEMP	VR の温度 TEMP (°C) = 1/{ln[Rup*HEX2DEC(16 進データの 8D)/(511 - HEX2DEC(16 進データの 8D)/RNTC(+25 °C の場合)]/Beta + 1/298.15} -273.15
98h[7:0]	R	1	02h	PMBUS_REVISION	PMBus がリビジョン 1.2 であることを示します。
AD[15:0]	ブロック R	2	8201h	IC_DEVICE_ID	ISL68201 デバイス ID
AE[15:0]	ブロック R	2	0003h	IC_DEVICE_REVISION	ISL68201 デバイスのリビジョン
D0[0:0]	R/W	1	PROG2[7:7]	ENABLE_PFM	PFM の動作。 0h = PFM がイネーブル (軽負荷時は DCM) 1h = PFM がディスエーブル (常時 CCM モード)
D1[1:0]	R/W	1	PROG2[6:5]	TEMP_COMP	熱補償。 0h = 30 °C、01h = 15 °C、02h = 5 °C、03h = OFF
D2[0:0]	R/W	1	PROG3[7:7]	ENABLE_ULTRASONIC	超音波 PFM イネーブル 0h = 25kHz クランプがディスエーブル 1h = 25kHz クランプがイネーブル
D3[0:0]	R/W	1	PROG3[6:6]	OCP_BEHAVIOR	OCP フォルトのラッチまたは無制限リトライの設定。 0h = 9ms ごとにリトライ、01 = ラッチ OFF
D4[2:0]	R/W	1	PROG3[2:0]	AV_GAIN	R4 AV ゲイン (PROG4、AV ゲイン乗数 = 2x) 0h = 84、1h = 73、2h = 61、3h = 49 4h = 38、5h = 26、6h = 14、7h = 2 R4 AV ゲイン (PROG4、AV ゲイン乗数 = 1x) 0h = 42、1h = 36.5、2h = 30.5、3h = 29.5 4h = 19、5h = 13、6h = 7、7h = 1
D5[2:0]	R/W	1	PROG4[7:5]	RAMP_RATE	DVID レートのソフトスタートおよびマージン処理 (mV/μs) 0h = 1.25、1h = 2.5、2h = 5、3h = 10、4h = 0.078、5h = 0.157、6h = 0.315、7h = 0.625
D6[1:0]	R/W	1	PROG4[4:3]	SET_RR	RR の設定。 0h = 200k、01h = 400k、02h = 600k、03h = 800k
DC[7:0]	R	1		READ_PROG1	PROG1 の読み出し。
DD[7:0]	R	1		READ_PROG2	PROG2 の読み出し。
DE[7:0]	R	1		READ_PROG3	PROG3 の読み出し。
DF[7:0]	R	1		READ_PROG4	PROG4 の読み出し。

NOTE : シリアルバス通信は、V_{CC}、V_{IN}、7V_{LDO}、PV_{CC} が POR を超えてから 5.5ms (通常値、ワーストで 6.5ms) 後に有効となります。遠隔測定の新レートは 108μs です。

R4 モジュレータ

R4 モジュレータは、R3 テクノロジーを改善したものです。R3 と同様に、R4 モジュレータはリニア制御ループで、負荷の変動時に周波数可変制御を行い、スイッチング周波数におけるピート周波数発振を除去し、電流モード・ヒステリシス・コントローラの利点を維持します。さらに、R4 モジュレータはレギュレータの出力インピーダンスを減らし、高精度リファレンスを使用することで、補償ループにおける高ゲインの電圧アンプを不要にします。その結果、リニア制御モデルを維持し、補償が不要でありながら、電圧モード・ヒステリシスのトランジェント速度と同様なトポロジとなっています。これによって、顧客向けレギュレータの設計が大幅に簡素化され、外付けコンポーネントのコストを削減できます。

安定性

R4 モジュレータは高い DC ゲインを必要としないため、補償が不要になります。従来のアーキテクチャでは、電圧ループ内の積分器に高い DC ゲインを必要とします。積分器は、低い周波数においてオープン・ループ伝達関数によりポールを生み出します。このことと、出力 L/C フィルタからのダブル・ポールとの組み合わせにより、3 ポールのシステムが作り出され、安定性を維持するためには補償が必要となります。

従来の制御理論では、安定したシステムを保証するために、ユニティゲインによるシングル・ポールが必要で、電流モード・アーキテクチャ (ピーク、ピーク・バレー、電流モード・ヒステリシス、R3、R4 を含む) は、L/C 共振ポイントの付近でゼロを生成し、実質的にシステムのポールの一つをキャンセルします。システムには依然として 2 つのポールが含まれており、ユニティゲイン・クロスオーバーが安定性を獲得するには、その一つをゼロでキャンセルする必要があります。

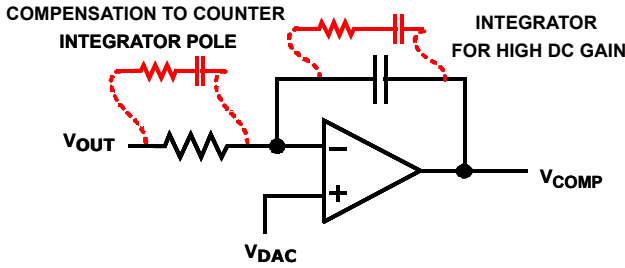


図 25. 従来型の積分器のエラー・アンプ構成

図 25 は、電圧ループ・エラー・アンプの従来型積分器の構成を示したものです。積分器が、従来のテクノロジーで正確なレギュレーションを行うため必要な高い DC ゲインを提供すると、同時に制御ループに低周波数のポールが生み出されます。図 26 は、電圧ループに積分コンデンサを追加することから生じる、オープン・ループ応答を示したものです。安定性を得るには、図 25 に見られる補償コンポーネントが必要となります。

R4 では高ゲインの電圧ループが必要ないため、積分器を取り除くことができ、ループ内の本質的なポール数が 2 に減少します。電流モードのゼロは依然としてポールの 1 つをキャンセルするため、広範囲の出力フィルタの選択について、シングル・ポールのクロスオーバーが保証されます。その結果、安定性を正しく調整するために補償コンポーネントや複雑な相関関係を必要としない、安定したシステムを実現できます。

図 27 は、正確なレギュレーションを行うために高 DC ゲイン用の積分器を必要としない、R4 エラー・アンプを示したものです。オープン・ループ応答の結果を、図 28 に示します。

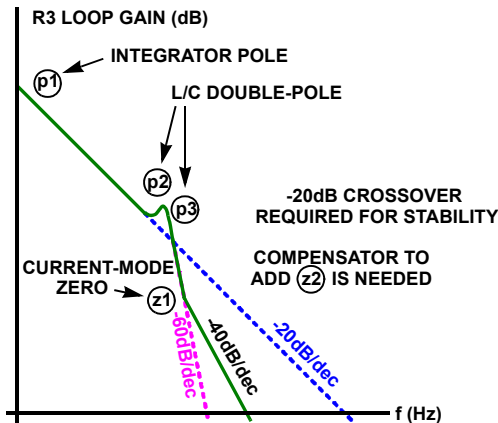


図 26. 補償なし積分器のオープン・ループ応答

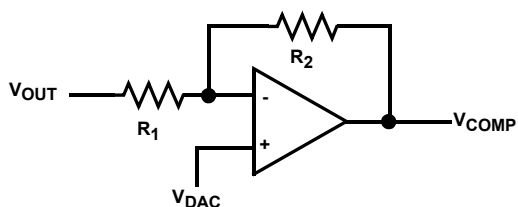


図 27. 非積分の R4 エラー・アンプの構成

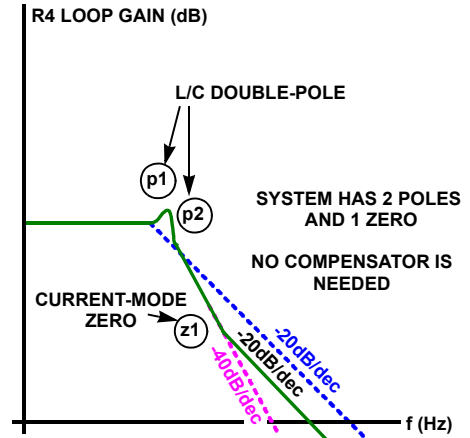


図 28. 補償なし R4 のオープン・ループ応答

過渡応答

補償ゼロが必要なことに加えて、従来型アーキテクチャの積分器は過渡状況でのシステム応答を遅くします。出力電圧の急速な変化に対して、COMP 電圧の変化が低速になります。積分コンデンサを取り除くと、COMP は VOUT と同程度の速度で変化し、モジュレータはスイッチング周波数を即座に増減して、出力電圧を回復するようになります。

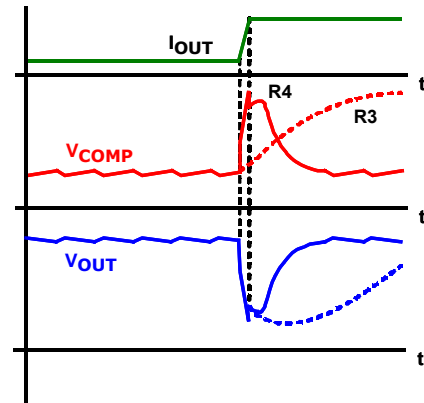


図 29. R3 と R4 の理想的な過渡応答の比較

図 29 で、赤色と青色の点線は、積分器が使用されているとき、負荷変動への応答として発生する VOUT および VCOMP の時間遅延動作を表します。赤色と青色の実線は、積分コンデンサが存在しない R4 での応答の向上を表します。

過渡応答を最適化し、極めて広範囲のアプリケーションについて位相マージンを改善するため、ISL68201 には図 28 に示すように、選択可能な AV および RR オプションが組み込まれており、DC ゲインおよび z1 ポイントを移動できます。ただし、AV ゲインのデフォルト値 42 と、RR のデフォルト値 200kΩ で多くのケースに対応でき、十分なゲインおよび位相マージンが得られます。一部の極端な例では、より優れた位相マージンを実現し、過渡リングングを改良するため、低い AV ゲインと大きな RR の値が必要となります。AV と RR の最適な値を決定するには、AV および RR の値をシリアルバスで調整しながら、過渡応答の簡単なモニタリングを行います。

汎用アプリケーションの設計ガイドライン

この設計ガイドラインは、シングルフェーズの降圧コンバータを設計するために必要な手順について、高レベルの説明を行うのが目的です。読者は、以下で参照される基本的な技能や技法の多くについて習熟していることが想定されます。このガイドに加えて、インターシールは回路図、部品表、ボードのレイアウト例を含む完全なリファレンス・ガイドも提供しています。

出力フィルタの設計

出力インダクタおよび出力コンデンサはローパス・フィルタを形成し、フェーズ・ノードのパルス電圧の平滑化を行います。また、出力フィルタは、レギュレータが応答可能になるまで、過渡エネルギーを供給する必要があります。出力フィルタはスイッチング周波数と比較して帯域幅が低いいため、システムの過渡応答を制限します。出力コンデンサは、出力インダクタの電流が要求に応じて増減するとき、負荷電流をソースまたはシンクする必要があります。

高速なコンバータでは、出力コンデンサのバンクが一般に回路で最も高価な（さらに、多くの場合は最も大きな）部品となります。出力のフィルタの設計は、回路のこの部分のコストを最小化することから始まります。出力コンデンサを選択するとき重要な負荷パラメータは、負荷ステップの最大サイズ ΔI 、負荷電流のスルー・レート di/dt 、過渡的な負荷で許容される出力電圧の最大変位 ΔV_{MAX} です。コンデンサは容量、ESR、ESL（等価直列インダクタンス）が必要なパラメータになります。

負荷変動の開始時に、出力コンデンサはすべての過渡電流を供給します。出力電圧は最初に、ESL の両端の電圧低下により近似される量だけ変位します。負荷電流の増大につれ、ESR の両端の電圧低下は線形的に増大し、これは負荷電流が最終的な値に到達するまで続きます。選択するコンデンサは、合計出力電圧変位が許容される最大値を下回るよう、ESL と ESR が十分に低い必要があります。インダクタの電流およびレギュレータ応答の寄与分を無視すると、出力電圧は [式 15](#) に示すように、最初にある量だけ変位します。

$$\Delta V \approx \Delta I \cdot ESR + \frac{ESL}{L_{OUT}} \cdot V_{IN} + \frac{1}{C_{OUT}} \cdot \frac{\Delta I}{8 \cdot N \cdot f_{SW}} \quad (\text{式 15})$$

$$\Delta I = \frac{V_{OUT} \cdot (1-D)}{L_{OUT} \cdot f_{SW}}$$

フィルタ・コンデンサは、 $\Delta V < \Delta V_{MAX}$ となるよう、ESL と ESR が十分に低い必要があります。

ほとんどのコンデンサによるソリューションは、比較的容量が小さい高周波数のコンデンサと、容量が高いが高周波数での性能が制限されているバルク・コンデンサとを組み合わせで使用します。高周波数コンデンサの ESL を最小化すると、電流の増大に応じて出力電圧をサポートできるようになります。バルク・コンデンサの ESR を最小化すると、少ない出力電圧変位で、供給電流を増大できるようになります。また、出力の電圧リップルの大部分は、バルク・コンデンサの ESR から生み出されます。バルク・コンデンサはインダクタの AC リップル電流をシンクおよびソースするため、バルク・コンデンサの ESR によって発生する電圧は $I_L(p-p) (ESR)$ と等しくなります。

このため、出力コンデンサを選択した後で、[式 16](#) に示すように、許容される最大のリップル電圧 $V_{P-P}(MAX)$ がインダクタンスの下限を決定します。

$$L_{OUT} \geq ESR \left(\frac{V_{OUT} \cdot (V_{IN} - V_{OUT})}{f_{SW} \cdot V_{IN} \cdot V_{P-P}(MAX)} \right) \quad (\text{式 16})$$

レギュレータが過渡状態から回復するにつれ、負荷電流のうちコンデンサからの供給は減少していくため、コンデンサでの電圧低下も減少します。出力インダクタは、出力電圧が ΔV_{MAX} を超えて減少する前に、負荷電流をすべて受け持てるようになる必要があります。ここから、インダクタンスの上限が決定されます。

[式 17](#) は、電流変動の終了エッジが、開始エッジよりも大きな出力と電圧の変位を引き起こす場合の、L の上限を示します。

[式 18](#) は、開始エッジに対応します。通常は、デューティ・サイクルが 50 未満であるため、L の選択は終了エッジにより決定されます。しかし、両方の不均衡を評価し、2つの結果のうち低い方に基づいて L を選択する必要があります。[式 17](#) および [18](#) で、L はチャンネルごとのインダクタンス、C は合計出力容量です。

$$L_{OUT} \leq \frac{2 \cdot C \cdot V_{OUT}}{(\Delta I)^2} \left[\Delta V_{MAX} - (\Delta I \cdot ESR) \right] \quad (\text{式 17})$$

$$L_{OUT} \leq \frac{1.25 \cdot C}{(\Delta I)^2} \left[\Delta V_{MAX} - (\Delta I \cdot ESR) \right] (V_{IN} - V_{OUT}) \quad (\text{式 18})$$

入力コンデンサの選択

入力コンデンサは、上位の MOSFET に流れ込む入力電流の AC 成分を供給します。これらのコンデンサには、上位の MOSFET により消費される電流の AC 成分を処理できる十分な RMS 電流容量が必要です。この電流は、デューティ・サイクルとアクティブ位相の数に関係します。入力 RMS は、[式 19](#) により計算できます。

$$I_{IN,RMS} = \sqrt{(D-D^2) \cdot I_o^2 + \frac{D}{12} \cdot (\Delta I)^2} \quad (\text{式 19})$$

デューティ・サイクル、最大連続出力電流 (I_O)、位相ごとのピーク・ツー・ピーク・インダクタ電流の比率 ($I_L(p-p)$ to I_O)、が与えられたとき、入力コンデンサの RMS は [29 ページの図 30](#) で計算されます。計算される RMS 電流をサポートするため必要な入力コンデンサの総数が最小になるような、リップル電流定格を持つバルク・コンデンサを選択します。また、コンデンサの電圧定格は最大入力電圧の最低でも 1.25 倍にする必要があります。

開始および終了エッジの電圧スパイクを抑制するため、バルク・コンデンサに加えて、小容量で高周波数のセラミック・コンデンサが必要です。上位 MOSFET のオンおよびオフによって生成される、高い電流スルー・レートの結果として、低 ESL のセラミック・コンデンサが必要です。ボードの寄生インピーダンスを最小化し、ノイズの抑制を最大にするため、このコンデンサは、それぞれの上位 MOSFET ドレインと可能な限り近く配置します。

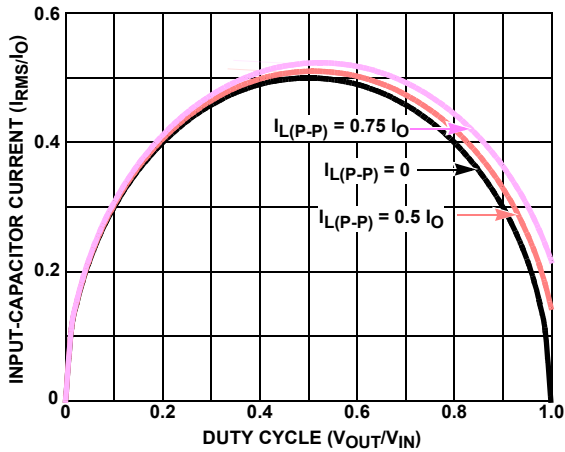


図 30. 正規化された入力コンデンサの RMS 電流と、シングルフェーズ・コンバータのデューティ・サイクルとの関係

設計とレイアウトの考慮事項

設計が最初から正しく行われることを保証するため、回路図の設計を正しく行い、ピン配列やネット名を正しく記載し、ボードを注意深くレイアウトします。

一般的な規則として、電力段はボードの TOP レイヤまたは BOTTOM レイヤに互いに接近させて配置します。小信号アナログまたはロジック信号は電力段の反対側のレイヤ、または内部レイヤに置くようにします。グラウンド・プレーン・レイヤは電力段レイヤと信号レイヤの間に配置し、シールドとして使用します。多層ボードの場合、TOP レイヤの直下と、BOTTOM レイヤの上をグラウンド・レイヤにするのが適切です。

DC/DC コンバータ内には、電力段コンポーネントと小信号コンポーネントの 2 セットのコンポーネントがあります。電力段コンポーネントは大量のエネルギーをスイッチングするため、最も重要です。小信号コンポーネントは、電流および信号のカップリングをバイパスし、敏感なノードや電源に接続します。

MOSFET、入力および出力コンデンサ、インダクタを含む電力段コンポーネントは最初に配置する必要があります。パワー・トレインと制御 IC との間の距離を短く保つことで、ゲート・ドライブの配線も短くできます。これらのドライブ信号には、LGATE、UGATE、GND、PHASE、BOOT が含まれます。

MOSFET を配置するとき、上位 MOSFET のソースと下位 MOSFET のドレインは、熱を考慮したうえで可能な限り近くします。上位 MOSFET のドレインと、下位 MOSFET のソースの近くに、入力高周波コンデンサを配置します。MOSFET と負荷との間に、出力インダクタと出力コンデンサを配置します。高周波の出力デカップリング・コンデンサ（セラミック）を、任意の内部プレーンへの最も短い接続パスを使用し、デカップリング対象とできるだけ近く配置します。コンポーネントは、IC 直下の領域に dV/dt および di/dt が高いノイズ配線、たとえばゲート信号、フェーズノード信号、VIN プレーンなどをなるべく置かないように配置します。

表 12 と 13 は、設計者が参照するための設計およびレイアウトのチェックリストです。

表 12. 設計とレイアウトのチェックリスト

ピン名	ノイズ感受性	説明
EN	あり	内部的な $1\mu\text{s}$ のフィルタがあります。コンデンサのデカップリングは不要ですが、もし必要な場合は、シャットダウン・ディレイが大きくなりすぎることを避けるため、時間定数の小さいものを使用します。
VIN	あり	ピンとシステム・グラウンド・プレーンの近くに、 $16\text{V} + \text{X7R } 1\mu\text{F}$ を配置します。
7VLDO	あり	ピンとシステム・グラウンド・プレーンの近くに、 $10\text{V} + \text{X7R } 1\mu\text{F}$ を配置します。
VCC	あり	ピンとシステム・グラウンド・プレーンの近くに、 $\text{X7R } 1\mu\text{F}$ を配置します。
SCL、SDA	あり	SMBus、PMBus、または $I^2\text{C}$ がコマンドを送信するときの、 $50\text{kHz} \sim 1.25\text{MHz}$ の信号。SALERT とペアリングし、SMBus、PMBus、または $I^2\text{C}$ マスタへ注意深く配線します。SDA、SALERT、SCL では 20mils 、それ以外の信号すべては 30mils 以上の間隔を空けます。インピーダンスを一致させるため、SMBus、PMBus、または $I^2\text{C}$ の設計ガイドラインを参照し、正しく終端（プルアップ）された抵抗を配置します。使用しないときは GND へ結合します。
SALERT	なし	オープン・ドレインで、遷移時に dv/dt の高いピンです。SDA および SCL の間に配線します。使用しないときは GND へ結合します。
PGOOD	なし	オープン・ドレインのピン。使用しないときは GND へ結合します。
RGND、VSEN	あり	差動ペアで、十分なデカップリング・セラミック・コンデンサによりリモート・センス・ポイントヘルレーティングし、スイッチング・ノード (BOOT、PHASE、UGATE、LGATE) やプレーン (VIN、PHASE、VOUT) とは、たとえ別のレイヤにあっても交差せず、上や下も通らないようにします。他の配線とは最低 20mils 空けます。CSRTN と同じ配線を共有してはいけません。
CSRTN	あり	出力インダクタまたは電流センス抵抗ピンの出力レール側に接続し、ピンの近くに抵抗を直列接続します。この直列抵抗は電流ゲインを設定するもので、値は 40Ω と $3.5\text{k}\Omega$ の間にする必要があります。出力側終端（ピンではなく）のデカップリング ($\sim 0.1\mu\text{F}/\text{X7R}$) はオプションで、センス配線が長い場合や、レイアウトが適切でない場合に必要となることがあります（図 9 と 10 を参照）。

表 12. 設計とレイアウトのチェックリスト (続き)

ピン名	ノイズ感受性	説明
CSEN	あり	出力インダクタまたは電流センス抵抗ピンの位相ノード側に、L/DCRまたはESL/RSENネットワークとともに、CSENおよびCSRTNピンの近くに接続します。他の配線と最低20milsの間隔を空けて、差動的にコントローラへ配線します。スイッチング・ノード (BOOT、PHASE、UGATE、LGATE) とパワー・プレーン (VIN、PHASE、VOUT) は、たとえ同じレイヤ上でなくても交差させず、上や下も通さないようにします。
NTC	あり	NTC 10k (Murata 製、NCP15XH103J03RC、 $\beta = 3380$) を出力インダクタの出力レールの近くに配置します。ただし、MOSFET 側には近づけないようにします (図 19 を参照)。リターン配線は、他の配線と最低20mils 離します。1.54k Ω のプルアップおよびデカップリング・コンデンサ (通常は0.1 μ F) を、コントローラの近くに配置します。プルアップ抵抗は、RC フィルタを経由せず、VCCピンと正確に同じポイントへ結線する必要があります。使用しないときは、このピンをVCCに接続します。
IOUT	あり	R の値は、IOUT ピンの電圧が63.875A 負荷において2.5V になるよう調整します。R と C は、大まかにコントローラの近くに配置します。RC の時間定数は、デジタル IOUT の平均化機能に十分な値 (200 μ s 超) にします。0A 負荷での IOUT オフセットをキャンセルするため、VCC プレースホルダの外部プルアップ抵抗をお勧めします。を参照 19 ページの「IOUT の校正」
PROG1-4	なし	分割抵抗は、VCC ピンとシステム・グラウンド (GND) に対して参照される必要があります。これらはどこに配置してもかまいません。これらのピンには、デカップリング・コンデンサを使用してはいけません。
GND	あり	システム・グラウンドのノイズの低い領域に、直接接続します。グラウンド・パッドには、最低4つのビアを使用します。アナログ・グラウンドと電源グラウンドを0 Ω の抵抗で分離することは、強く推奨しません。
FCCM	なし	コントローラの外部コンポーネントと交差して、またはその下に配置してはいけません。敏感なノードからは最低20mils 離します。
PWM	なし	コントローラの外部コンポーネントと交差して、またはその下に配置してはいけません。他の配線からは最低20mils 離します。
LGIN	なし	敏感なノードからは最低20mils 離します。ノイズ減衰のため、ローサイド・ゲート信号と直列に100 Ω の抵抗が必要です。
PVCC	あり	PVCC ピンとシステム・グラウンド・プレーンの近くに、X7R 4.7 μ F を配置します。

表 13. レイアウトの主要なヒント

番号	説明
1	コントローラ (TOP または BOTTOM) のとなりのレイヤは、グラウンド・レイヤにします。アナログ・グラウンドと電源グラウンドを0 Ω の抵抗で分離することは、強く推奨しません。システム・グラウンドのノイズの低い部分に、グラウンド・パッドを最低4つのビアで直接接続します。
2	コントローラと、その外部コンポーネントは、VIN プレーンまたはスイッチング・ノードの上または下に配置してはいけません。
3	CSRTN と VSEN を同じ配線で共用してはいけません。
4	入力レールのデカップリング・セラミック・コンデンサを、同じレイヤでハイサイド FET と、可能な限り近くに配置します。入力レールのデカップリング・セラミック・コンデンサは、1つのビアと配線だけで接続してはいけません。必ず VIN および GND プレーンに接続する必要があります。
5	コントローラとシステム・グラウンド・プレーンの近くに、すべてのデカップリング・コンデンサを配置します。
6	リモート・センス (VSEN および RGND) を、負荷およびセラミック・デカップリング・コンデンサ・ノードに接続します。このペアは、スイッチング・ノイズ・プレーンの上または下に配線してはいけません。
7	重要なコンポーネントのピン配列と、対応するフットプリントは厳重にチェックします。

電圧レギュレータの設計資料

VR の設計とレイアウトをサポートするため、インターシルは5 ページの表 14 と注文情報に記載されているようなツールや評価ボードも開発しています。最新の利用可能な情報については、www.intersil.com/ask で、インターシルの現地支社または現場サポートにお問い合わせください。

表 14. 利用可能な設計補助資料

アイテム	説明
1	PowerNavigator GUI を使用する、SMBus/PMBus/I ² C 通信ツール。
2	評価ボードの OrCAD フォーマットの回路図と、Allegro フォーマットのレイアウト。詳細については、5 ページの注文情報を参照してください。

改訂履歴 この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートは、インターシルのウェブサイトでご確認ください。

日付	レビジョン	変更点
2017年7月20日	FN8696.2	3 ページの図 1 および 2 について、CSRTN 回路に抵抗を追加しました。 1 ページで、「関連ドキュメント」セクションを現在の標準に合わせて更新しました。 5 ページの注文情報表に、3 つのデモンストレーション用ボードを追加しました。 デモンストレーション用のボードの情報が「注文情報」セクションに追加されたため、30 ページの表 15 を削除しました。
2016年3月7日	FN8696.1	表 1 から、リリースされていない部品を削除しました。
2016年3月2日	FN8696.0	初版

インターシルについて

インターシルは、革新的なパワーマネジメントと高精度アナログ・ソリューションのプロバイダとして世界をリードしています。インターシルの製品は、産業用機器 / インフラ、モバイル・コンピューティング、ハイエンド・コンシューマの分野で、特に規模の大きな市場向けに開発されています。

最新のデータシート、アプリケーション・ノート、関連ドキュメント、関連製品については、www.intersil.com の各製品の情報ページを参照してください。

弊社の文書で使用している一般用語の定義と略語の一覧については、www.intersil.com/glossary を参照してください。

本データシートに対するご意見は www.intersil.com/ask にお寄せください。

信頼性に関するデータも、www.intersil.com/support に掲載されています。

そのほかの製品については www.intersil.com/product_tree/ をご覧ください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

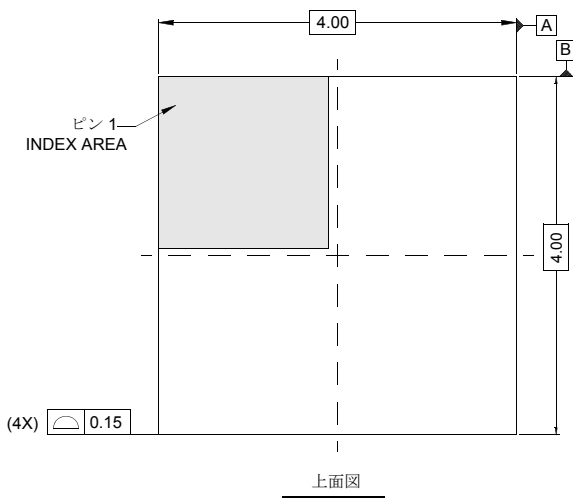
インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、その変更が製品の外形、適合性、機能に影響を与えない限り、いかなる時点においても予告無しに製品の回路設計および / または仕様を変更する場合があります。製品を購入されるお客様は、必ず、データシートが最新であることをご確認くださいようお願いいたします。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

インターシルの会社概要については www.intersil.com をご覧ください。

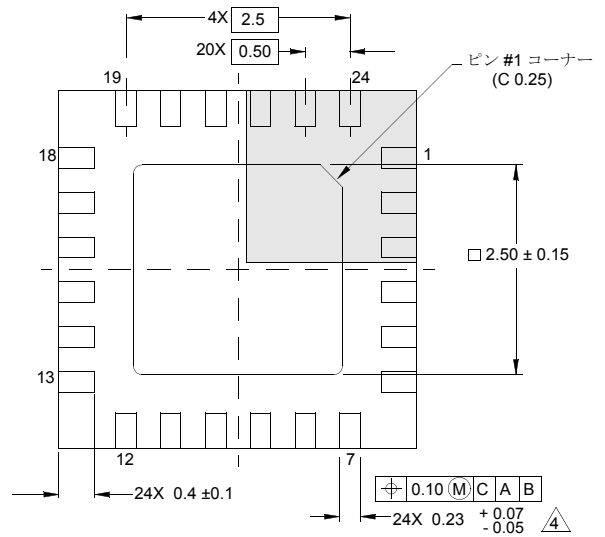
パッケージ寸法図
L24.4x4C

24 リード、クワッド・フラット鉛不使用プラスチック・パッケージ
 Rev 2、10/06

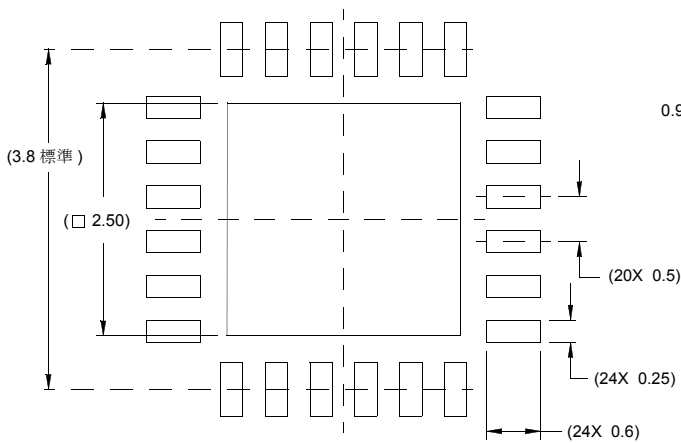
最新のパッケージ外形図は [L24.4x4C](#) を参照してください。



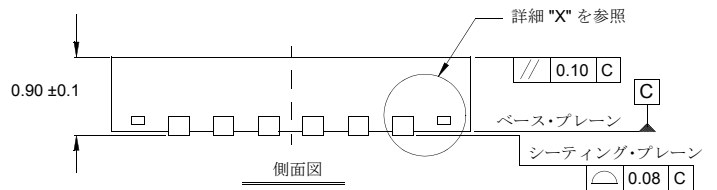
上面図



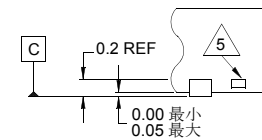
底面図



推奨ランドパターンの例



側面図



詳細 "X"

NOTE:

1. 寸法の単位は mm です。
() 内の寸法は参考です。
2. 寸法と公差は AMSE Y14.5m-1994 に従っています。
3. 特記のない限り、公差は Decimal ± 0.05 です。
4. 寸法 b は金属端子に適用され、端子先端から 0.15mm ~ 0.30mm のポイントで計測した値です。
5. タイパー(表示されている場合)は、動作しない機能です。
6. ピン #1 識別子の構成はオプションですが、指定されたゾーン内に配置する必要があります。ピン #1 識別子はモールドまたはマークのどちらでもかまいません。