

電流リミット設定可能、高性能、1A リニアレギュレータ

ISL80101A

ISL80101A は、低ドロップアウト電圧、シングル出力の LDO で、電流リミットを設定できる機能を備えています。この LDO は 2.2V ~ 6V の入力電圧で動作し、0.8V ~ 5V の出力電圧を供給できます。ご要望があれば、これ以外の電圧に対応した製品もご用意できます。

この製品ファミリーでは、サブミクロン BiCMOS プロセスを利用してクラス最高のアナログ性能と総合的に高い価値を実現しています。電流リミットを設定できるので、エンドアプリケーションにおけるシステムの信頼性が向上します。外付けコンデンサをソフトスタート・ピンに接続すると、ソフトスタートのランプ時間を調整できます。また、ENABLE 機能を利用すると、低待機時電流シャットダウン・モードに移行できます。

この CMOS LDO では負荷あたりの待機時電流がバイポーラ LDO に比べて大幅に少ないので、効率化とパッケージの小型化につながっています。待機時電流である程度の妥協をすることにより、高速の負荷過渡応答が実現しました。

表 1 に、ISL80101A とファミリー内のほかの製品との違いを示します。

表 1. ファミリー内の製品間の主な違い

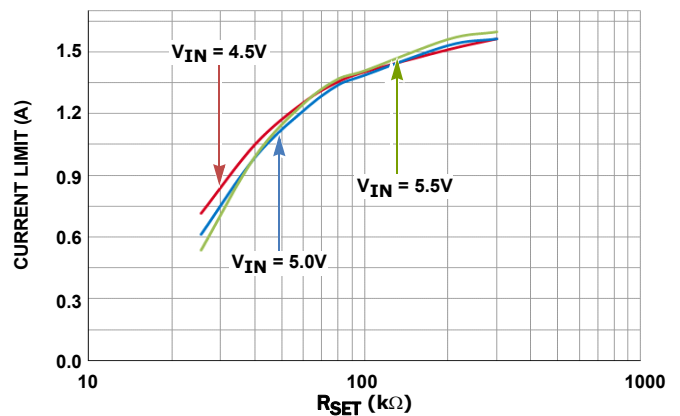
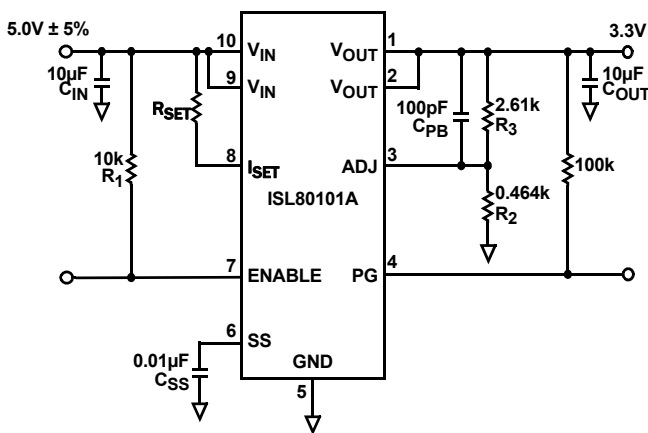
製品型番	I _{LIMIT} が設定可能	I _{LIMIT} (デフォルト)	V _{OUT} が可変または固定
ISL80101-ADJ	No	1.75A	ADJ
ISL80101	No	1.75A	1.8V, 2.5V, 3.3V, 5.0V
ISL80101A	Yes	1.62A	ADJ
ISL80121-5	Yes	0.75A	5.0V

特長

- T_J = -40 °C ~ +125 °C で、ラインや負荷の変化に対し ±2% の V_{ADJ} 精度を保証
- V_{IN} = 4.5V で 212mV の超低ドロップアウト電圧
- 最大 1.75A まで電流リミットを高精度に設定可能
- 高速過渡応答
- 100μV_{RMS} の出力ノイズ
- パワーグッド出力
- ソフトスタートをプログラム可能
- 過熱保護
- 小型 10 Ld DFN パッケージ

アプリケーション

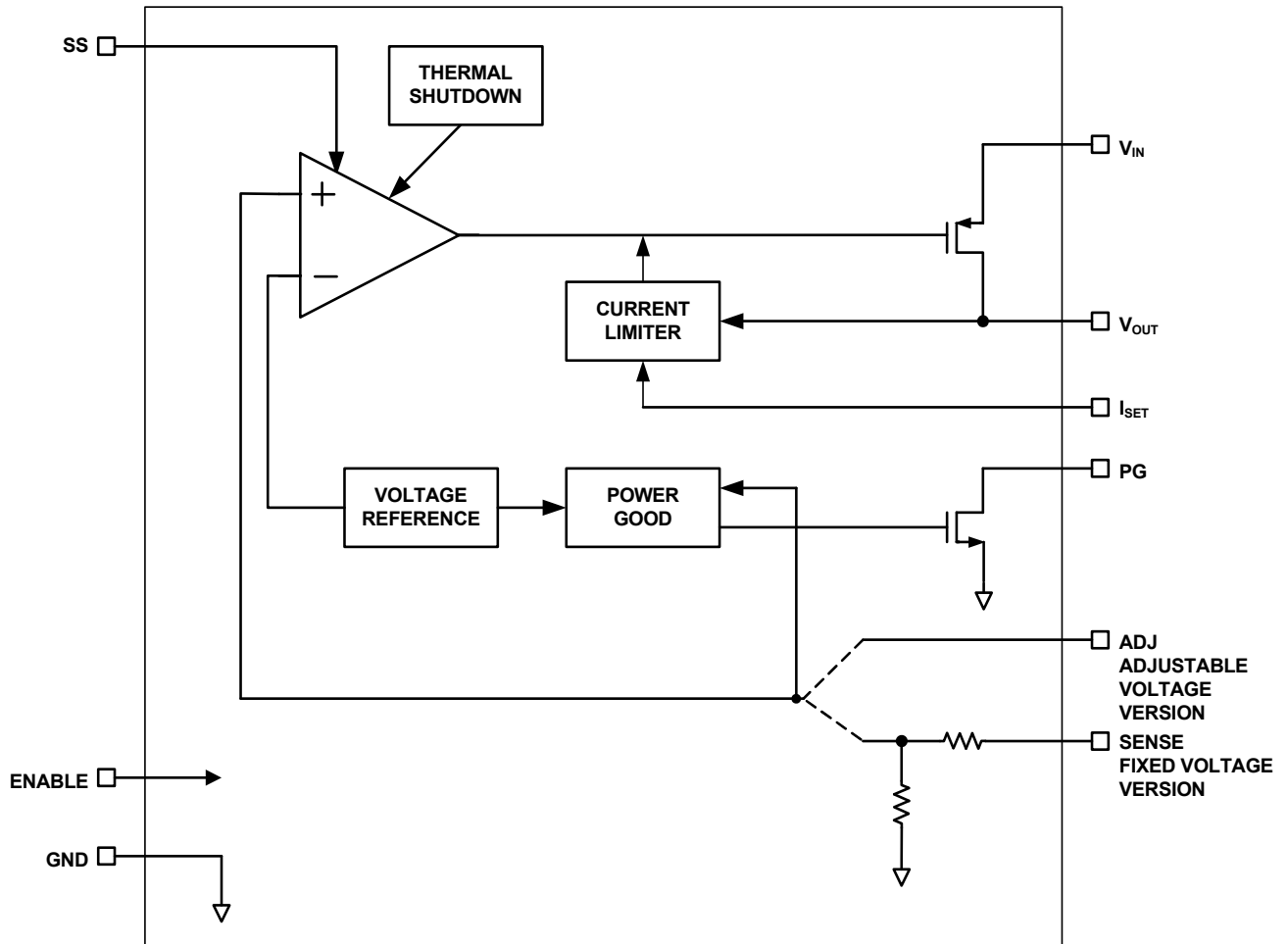
- アプリケーション
- テレコム / ネットワーキング
- 医療用機器
- 計装システム
- USB デバイス
- ゲーム
- ルータ / スイッチ



$$I_{LIMIT} = 1.62 - \frac{2.9 \times (2 \times V_{IN} - 1)}{R_{SET} (k\Omega)}$$

図 1. アプリケーション回路例

ブロック図



注文情報

製品型番 (Note 1、2、4)	マーキング	V _{OUT} 電圧 (Note 3)	温度範囲 (°C)	パッケージ (鉛フリー)	PKG DWG. #
ISL80101AIRAJZ	DZAC	ADJ	-40 ~ +125	10 Ld 3x3 DFN	L10.3x3

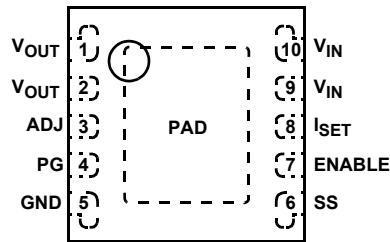
Note :

- テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ [TB347](#) を参照してください。
- これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には錫 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度では MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
- 1.5V、3.3V、5V の固定出力電圧品は、今後リリースされる予定です。詳細についてはインターシルのマーケティング担当者までお問い合わせください。
- 吸湿性レベル (MSL) については [ISL80101A](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ [TB363](#) を参照してください。

ISL80101A

ピン配置

ISL80101A
(10 LD 3X3 DFN)
上面図



ピンの説明

ピン番号	ピン名	説明
1, 2	V _{OUT}	出力電圧。安定性確保のため 10 μ F 以上の X5R/X7R 出力コンデンサが必要です。詳細については 8 ページ「外付けコンデンサの要件」を参照してください。
3	ADJ	LDO 出力の帰還入力。出力電圧を調整するには、V _{OUT} と GND の間の抵抗分圧回路にこのピンを接続してください。
4	PG	レギュレーション信号の V _{OUT} 。ロジック Low は V _{OUT} がレギュレーション状態にないことを示し、未使用時はグラウンドに接続する必要があります。
5	GND	グラウンド。
6	SS	外付けコンデンサによって突入電流を調整します。
7	ENABLE	V _{IN} に依存しないチップイネーブル。TTL と CMOS 互換です。
8	ISET	電流リミット設定。このピンをフローティング状態にした場合、電流リミットは 1.62A になります。このデフォルト値は、R _{SET} を GND に接続すると増加し、R _{SET} を V _{IN} に接続すると減少します。詳細については 7 ページ「電流リミット設定可能」を参照してください。
9, 10	V _{IN}	入力電源電圧。安定性確保のため 10 μ F 以上の X5R/X7R 入力コンデンサが必要です。詳細については 8 ページ「外付けコンデンサの要件」を参照してください。
-	EPAD	グラウンド電位の EPAD。熱対策として GND 層に直接ハンダ付けする必要があります。詳細については 9 ページ「消費電力と熱」を参照してください。

ISL80101A

絶対最大定格 (Note 7)

V _{IN} (GND 基準)	-0.3V ~ +6.5V
V _{OUT} (GND 基準)	-0.3V ~ +6.5V
PG, ENABLE, SENSE, SS, I _{SET}	
GND 基準	-0.3V ~ +6.5V
ESD 定格	
人体モデル (JEDEC に従ってテスト済み)	2.5kV
機械モデル (JEDEC に従ってテスト済み)	.250V
ラッチアップ定格	
(JEDEC に従ってテスト済み)	±100mA @ +85 °C

温度情報

熱抵抗 (代表値)	θ _{JA} (°C/W)	θ _{JC} (°C/W)
10 Ld 3x3 DFN パッケージ (Note 5, 6)	48	7
ジャンクション最高温度 (プラスチック・パッケージ)	+150 °C	
保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	以下の URL を参照	
	http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

推奨動作条件 (Note 8)

ジャンクション温度範囲 (T _J)	-40 °C ~ +125 °C
V _{IN} (GND 基準)	2.2V ~ 6V
V _{OUT} 範囲	800mV ~ 5V
PG, ENABLE, SENSE, SS, I _{SET} (GND 基準)	0V ~ 6V
PG シンク電流	10mA

注意: 過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

Note :

- θ_{JA} は、部品を放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装した状態で、自由大気中で測定した値です。詳細はテクニカル・ブリーフ [TB379](#) を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。
- 絶対最大電圧定格は、6V 超が印加される時間の生涯平均割り合いを 1% として定義しています。
- エレクトロマイグレーション仕様は、最大定格 DC 電流がライフタイム平均電流と等しくなる、ライフタイム平均 +110 °C のジャンクション温度として定義されます。

電気的特性

特記のない限り、すべてのパラメータは次の条件に基づいて定められています。V_{IN} = V_{OUT} + 0.4V、V_{OUT} = 3.3V、C_{IN} = C_{OUT} = 10μF、T_J = +25 °C、I_{LOAD} = 0A。
アプリケーションでは、パッケージの熱ガイドラインに従ってワーストケースのジャンクション温度を決定する必要があります。詳細については 7 ページ「動作の説明」とテクニカル・ブリーフ [TB379](#) を参照してください。**太字のリミット値は動作温度範囲 -40 °C ~ +125 °C に対して適用されます。** T_J = T_A の確認にあたり ATE で使用されるパルス負荷技術によって、リミット値を定めています。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 9)	TYP	MAX (Note 9)	UNITS
DC CHARACTERISTICS						
DC ADJ Pin Voltage Accuracy	V _{ADJ}	V _{OUT} + 0.4V < V _{IN} < 6V; 0A < I _{LOAD} < 1A	490	500	510	mV
DC Input Line Regulation	ΔV _{OUT} /ΔV _{IN}	V _{OUT} + 0.4V < V _{IN} < 6.0V, V _{OUT} = 5.0V		0.2	1	%
DC Output Load Regulation	ΔV _{OUT}	0A < I _{LOAD} < 1A	-1			%
Feedback Input Current		V _{ADJ} = 0.5V		0.01	1	μA
Ground Pin Current	I _Q	I _{LOAD} = 0A, 2.2V < V _{IN} < 6V		3	5	mA
		I _{LOAD} = 1A, 2.2V < V _{IN} < 6V		5	7	mA
Ground Pin Current in Shutdown	I _{SHDN}	ENABLE = 0.2V, V _{IN} = 6V		0.2	12	μA
Dropout Voltage (Note 10)	V _{DO}	I _{LOAD} = 1A, V _{IN} = 4.5V, V _{SENSE} = 0V		90	212	mV
Output Current Limit	I _{LIMIT}	V _{OUT} = 2V, 4.5V < V _{IN} < 5.5V, I _{SET} is floating		1.62		A
		V _{OUT} = 2V, V _{IN} = 5.0V, R _{SET} = 25.5kΩ	0.540	0.640	0.740	A
Thermal Shutdown Temperature	TSD	V _{OUT} + 0.4V < V _{IN} < 6V		160		°C
Thermal Shutdown Hysteresis (Rising Threshold)	TSDn	V _{OUT} + 0.4V < V _{IN} < 6V		30		°C
AC CHARACTERISTICS						
Input Supply Ripple Rejection	PSRR	f = 1kHz, I _{LOAD} = 1A; V _{IN} = 5.0V		48		dB
		f = 120Hz, I _{LOAD} = 1A; V _{IN} = 5.0V		48		dB
Output Noise Voltage		I _{LOAD} = 10mA, BW = 300Hz < f < 300kHz		100		μV _{RMS}
ENABLE PIN CHARACTERISTICS						
Turn-on Threshold	V _{EN(HIGH)}	2.2V < V _{IN} < 6V	0.3	0.8	1.0	V

ISL80101A

電気的特性

特記のない限り、すべてのパラメータは次の条件に基づいて定められています。 $V_{IN} = V_{OUT} + 0.4V$ 、 $V_{OUT} = 3.3V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ 。
アプリケーションでは、パッケージの熱ガイドラインに従ってワーストケースのジャンクション温度を決定する必要があります。詳細については7ページ「動作の説明」とテクニカル・ブリーフ [TB379](#) を参照してください。**太字のリミット値は動作温度範囲 $-40^\circ C \sim +125^\circ C$ に対して適用されます。** $T_J = T_A$ の確認にあたり ATE で使用されるパルス負荷技術によって、リミット値を定めています。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 9)	TYP	MAX (Note 9)	UNITS
Hysteresis (Rising Threshold)	$V_{EN(HYS)}$	$2.2V < V_{IN} < 6V$	10	80	200	mV
ENABLE Pin Turn-on Delay	t_{EN}	$C_{OUT} = 10\mu F$, $I_{LOAD} = 1A$		80		μs
ENABLE Pin Leakage Current		$V_{IN} = 6V$, $ENABLE = 3V$			1	μA
SOFT START CHARACTERISTICS						
Reset Pull-Down Current	I_{PD}	$V_{IN} = 5.4V$, $ENABLE = 0V$, $SS = 1V$	0.5	1	1.3	mA
Soft Start Charge Current	I_{CHG}		-3.3	-2	-0.8	μA
PG PIN CHARACTERISTICS						
V_{OUT} PG Flag Threshold			75	84	92	% V_{OUT}
V_{OUT} PG Flag Hysteresis				4		%
PG Flag Low Voltage		$I_{SINK} = 500\mu A$		47	100	mV
PG Flag Leakage Current		$V_{IN} = 6V$, $PG = 6V$		0.05	1	μA

Note :

9. データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか1つまたは複数によって保証されています。
10. ドロップアウトは、出力が公称レギュレーション値を下回った際の V_{IN} と V_{OUT} の差として定義されます。

動作性能特性

特記のない限り動作条件は、 $V_{IN} = 5V$ 、 $V_{OUT} = 3.3V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_L = 0A$ です。

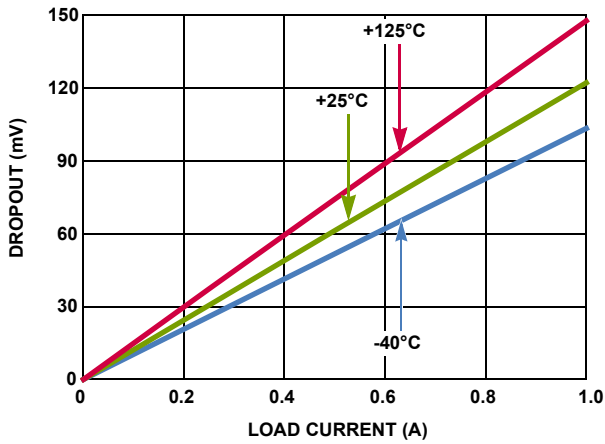


図 2. ドロップアウト vs 負荷

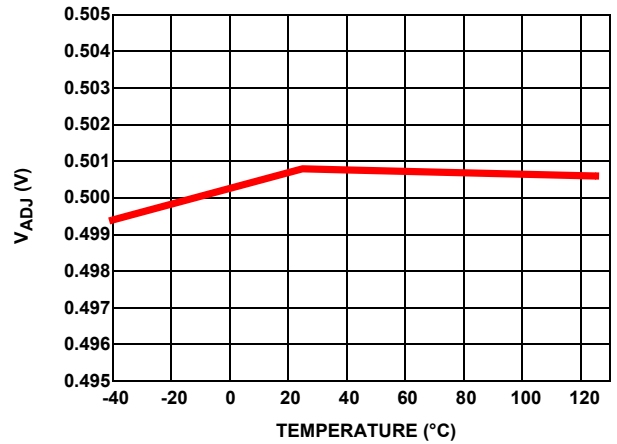


図 3. V_{ADJ} vs 温度

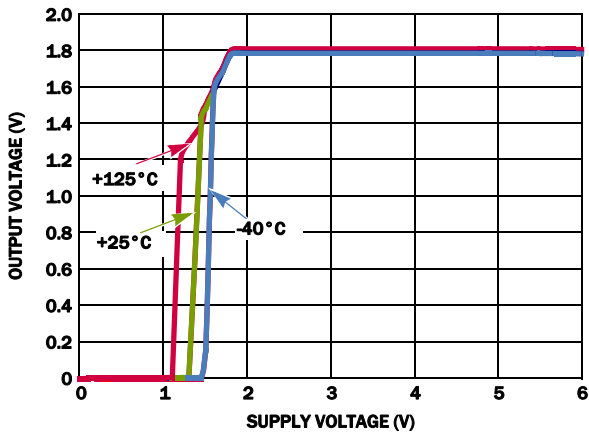


図 4. 出力電圧 vs 電源電圧

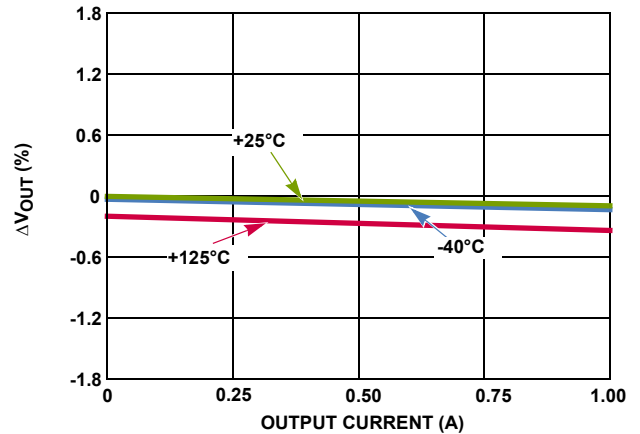


図 5. 出力電圧 vs 出力電流

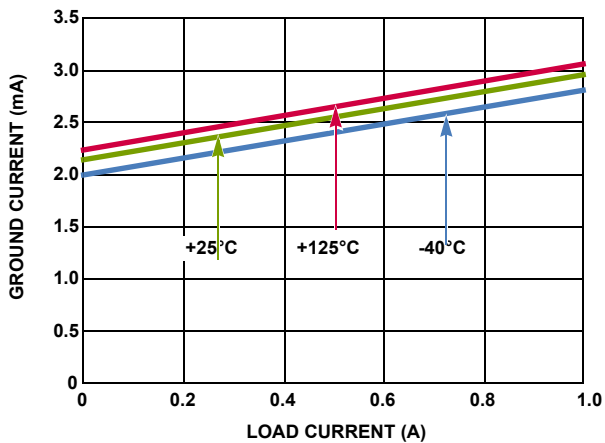


図 6. グラウンド電流 vs 負荷電流

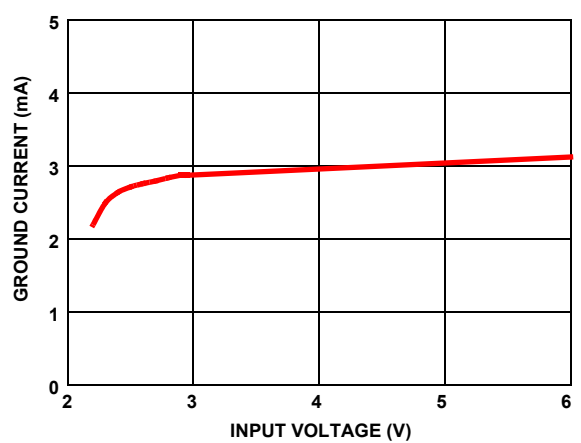


図 7. グラウンド電流 vs 電源電圧

動作性能特性

特記のない限り動作条件は、 $V_{IN} = 5V$ 、 $V_{OUT} = 3.3V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_L = 0A$ です。(続き)

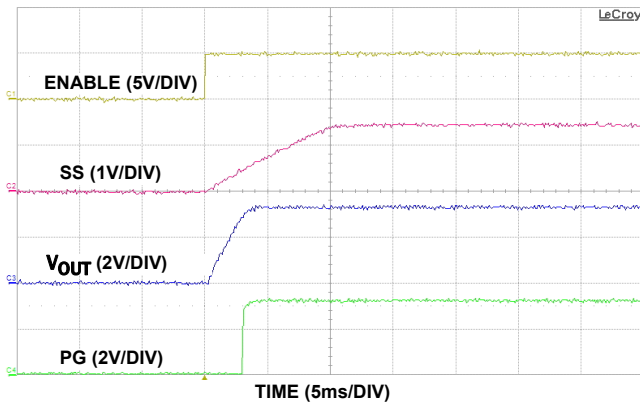


図 8. イネーブル・スタートアップ

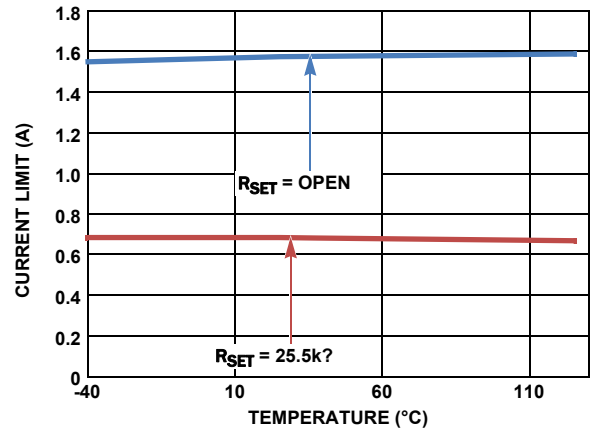


図 9. 電流リミット vs 温度

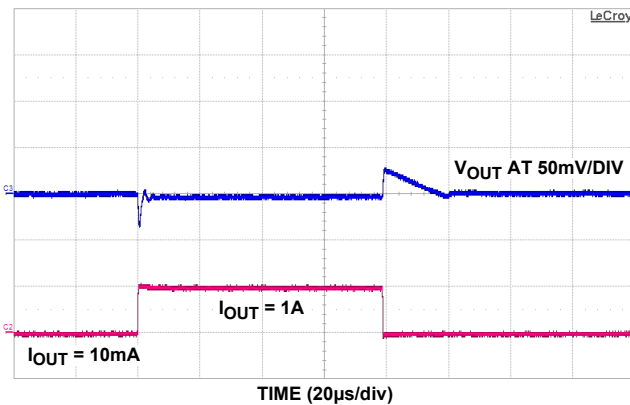


図 10. 負荷過渡応答

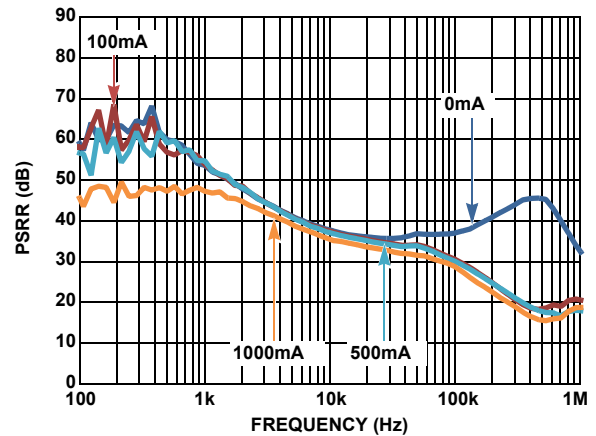


図 11. PSRR vs 周波数

動作の説明

入力電圧の要件

ISL80101A は 0.8V ~ 5.0V の出力電圧を供給できます。LDO の特性により、 V_{IN} と V_{OUT} の間にアクティブ・フィルタリング (PSRR) が必要な場合、 V_{IN} はアプリケーションの最大定格電流では V_{OUT} + ドロップアウト電圧よりもある程度高くなければなりません。この LDO ファミリーではドロップアウト仕様が優れているため、TO220/263 より小型のプロファイルに対応可能な効率レベルでアプリケーションを設計できます。

電流リミット設定可能

ISL80101A は、出力の短絡や過負荷状態が原因の過電流に対する保護策を備えています。過電流が発生すると、LDO は定電流源として動作します。短絡や過負荷状態が解消されると、出力は通常の電圧レギュレーション動作に戻ります。

I_{SET} ピンをフローティング状態にした場合、電流リミットはデフォルトで 1.62A に設定されます。

I_{SET} ピンとグラウンドの間に抵抗 R_{SET} を接続すると、電流リミットが増加します。式 1 に示すように、電流リミットは R_{SET} によって決まります。このピンはグラウンドに短絡させないでください。1.75A よりも高く電流リミットを設定することは、製品の破損を招く可能性があるため、推奨しません。

$$I_{LIMIT} = 1.62 + \frac{2.9}{R_{SET}(k\Omega)} \quad (式 1)$$

I_{SET} ピンと V_{IN} の間に R_{SET} を接続すると、電流リミットがデフォルトの 1.62A から減少します。式 2 に示すように、電流リミットは R_{SET} と V_{IN} によって決まります。

$$I_{LIMIT} = 1.62 - \frac{2.9 \times (2 \times V_{IN} - 1)}{R_{SET}(k\Omega)} \quad (式 2)$$

図 12 では、 I_{SET} ピンと V_{IN} の間に R_{SET} を接続した場合の各種 V_{IN} 値について、 R_{SET} と電流リミットとの関係を示しています。

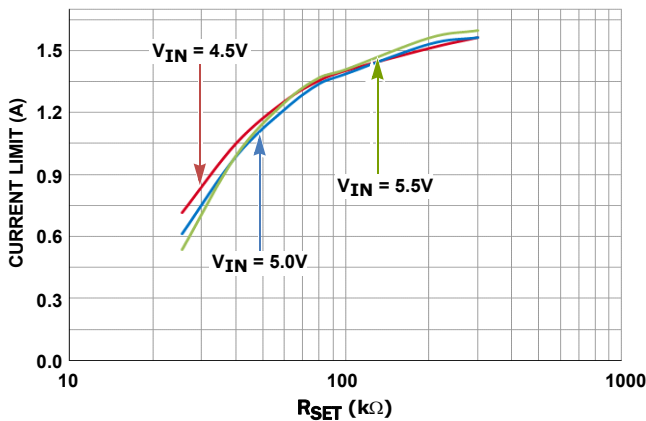


図 12. 各種 V_{IN} 値における、電流リミット vs R_{SET}

イネーブル動作

ENABLE ターンオン・スレッシュホールドは通常 800mV であり、80mV のヒステリシスを備えています。ご要望があれば、これらの値を変更する内蔵のプルアップ抵抗やプルダウン抵抗もご用意できます。このピンはフローティング状態にしてはならず、未使用時は V_{IN} に接続してください。オープン・コレクタ出力またはオープン・ドレイン出力を用いて ENABLE ピンを制御するアプリケーションには、1k Ω ~ 10k Ω のプルアップ抵抗が必要です。出力が常時オンのアプリケーションでは、ENABLE ピンを V_{IN} に直接接続できます。

パワーグッド動作

パワーグッド (PG) は、 V_{OUT} 、電流リミットのトリップ、 V_{IN} に関する状態を示すロジック出力です。PG フラグはオープン・ドレイン NMOS であり、フォルト状態発生時には最大 10mA までシンク可能です。PG ピンには、通常 V_{OUT} ピンに接続された外付けプルアップ抵抗が必要です。PG ピンは、 V_{IN} よりも高い電圧源に接続してはなりません。出力電圧が公称出力電圧の 84% 未満に低下した場合、電流リミットのフォルトが発生した場合、入力電圧が低すぎる場合に、PG は Low になります。PG はシャットダウン時には動作しますが、サーマル・シャットダウン時には動作しません。この機能が不要なアプリケーションの場合、PG ピンをグラウンドに接続してください。

ソフトスタート動作

ソフトスタート回路は、パワーアップ時または LDO のイネーブル時に出力電圧がレギュレーション値まで上昇する速度を制御します。外付けコンデンサを SS ピンとグラウンドの間に追加すると、スタートアップのランプ時間を設定できます。内蔵の 2 μ A 電流源がこの C_{SS} を充電し、帰還基準電圧がその両端間電圧にクランプされます。スタートアップ時間は、式 3 によって求めます。

$$T_{start} = \frac{(C_{SS} \times 0.5)}{2\mu A} \quad (式 3)$$

スタートアップ時の突入電流に必要な C_{SS} は、式 4 によって求めます。 V_{OUT} は出力電圧、 C_{OUT} は出力における総コンデンサ容量、 I_{INRUSH} は必要な突入電流を示します。

$$C_{SS} = \frac{(V_{OUT} \times C_{OUT} \times 2\mu A)}{I_{INRUSH} \times 0.5V} \quad (式 4)$$

スタートアップやイネーブルの開始時には必ず、外付けコンデンサがグラウンドに対して放電されます。

出力電圧の選択

外付け抵抗分圧回路を利用し、内部基準電圧に基づいて出力電圧を調整します。この電圧はエラー・アンプに戻されます。出力電圧は 0.8V ~ 5V の任意のレベルに設定できます。式 5 と 6 に示すように、出力電圧の設定には外付け抵抗分圧回路 R_2 と R_3 が使用されます。 R_2 と R_3 の推奨値については、9 ページの表 2 を参照してください。

$$V_{OUT} = 0.5V \times \left(\frac{R_3}{R_2} + 1 \right) \quad (式 5)$$

$$R_3 = R_2 \times \left(\frac{V_{OUT}}{0.5V} - 1 \right) \quad (式 6)$$

外付けコンデンサの要件

適切な動作には外付けコンデンサが欠かせません。最適な性能を得るには、レイアウトのガイドラインと、コンデンサの種類や容量の選択に細心の注意を払う必要があります。

出力コンデンサ

ISL80101A は最先端の補償回路を内蔵しているため、ユーザーにとって出力コンデンサの選択は容易です。 V_{OUT} のローカルバイパスに 10 μ F 以上の X5R/X7R を使用するのであれば、いずれの種類や容量のコンデンサでも温度、 V_{IN} 、 V_{OUT} 、負荷の全範囲にわたり安定した動作が保証されます。この出力コンデンサは LDO の V_{OUT} ピンと GND ピンに接続し、PCB トレースは 0.5cm 以下に抑える必要があります。

超低 ESR の積層セラミック・コンデンサ (MLCC) は高速の負荷過渡応答に対応し、ほかのソースからの超高周波ノイズをバイパスできるので、こうした MLCC を採用する傾向が高まっています。ただし、MLCC の実効容量は印加電圧、時間、温度とともに低下します。X7R/X5R 誘電セラミック・コンデンサは通常、温度や電圧の動作定格全体にわたって容量を公称電圧の $\pm 20\%$ 以内に維持できるため、こちらを強く推奨します。

任意の容量のセラミック・コンデンサ、POSCAP コンデンサ、アルミ/タンタル電解コンデンサを追加で並列接続すると、高周波数における PSRR や、負荷過渡 AC 出力電圧の精度が向上します。

フェーズブースト・コンデンサ

小容量のフェーズブースト・コンデンサ (C_{PB}) を帰還抵抗分圧回路内の主要抵抗 (R_3) の両端に接続すると、次式でゼロを設定できます。

$$F_z = \frac{1}{2\pi \times R_3 \times C_{PB}} \quad (式 7)$$

このゼロによって LDO のクロスオーバー周波数が増加し、位相が追加されるので、負荷過渡応答が高速化します。

重要な点として、LDO の安定性と負荷過渡応答は、使用する出力コンデンサの種類に左右されます。最適な結果を得るには、アプリケーションごとに経験的なチューニングを行うことを推奨します。

表 2 に、各種出力電圧とセラミック C_{OUT} に対する C_{PB}、R₃、R₂ の推奨値を示します。

表 2. 各種 V_{OUT} と C_{OUT} に対する C_{PB} の推奨値

V _{OUT} (V)	R ₃ (kΩ)	R ₂ (kΩ)	C _{OUT} (μF)	C _{PB} (pF)
5.0	2.61	0.287	10	100
3.3	2.61	0.464	10	100
2.5	2.61	0.649	10	82
1.8	2.61	1.0	10	82
1.5	2.61	1.3	10	68
1.5	2.61	1.3	22	150
1.2	2.61	1.87	22	120
1.2	2.61	1.87	47	270
1.0	2.61	2.61	47	220
0.8	2.61	4.32	47	220

入力コンデンサ

適切な動作には 10μF 以上の X5R/X7R 入力コンデンサが欠かせません。このセラミック入力コンデンサは LDO の V_{IN} ピンと GND ピンに接続し、PCB トレースは 0.5cm 以下に抑える必要があります。

消費電力と熱

ジャンクション温度は、4 ページ「推奨動作条件 (Note 8)」で指定された範囲を超えてはなりません。消費電力は式 8 で求められます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} + V_{IN} \times I_{GND} \quad (\text{式 8})$$

式 9 に示すように、最大許容消費電力はジャンクション最高許容温度 T_{J(MAX)} と最高予想周囲温度 T_{A(MAX)} によって決まります。

$$P_{D(MAX)} = (T_{J(MAX)} - T_A) / \theta_{JA} \quad (\text{式 9})$$

θ_{JA} は、ジャンクション～周囲間熱抵抗を示します。

動作の安全性を確保するため、式 8 で求めた消費電力 P_D が最大許容消費電力 P_{D(MAX)} より少ないことを確認してください。

DFN パッケージでは、PCB 上の銅エリアをヒートシンクとして使用します。このパッケージの EPAD は、銅層 (GND 層) にハンダ付けする必要があります。図 13 のグラフは、DFN パッケージの θ_{JA} と銅エリア面積の関係を示しています。

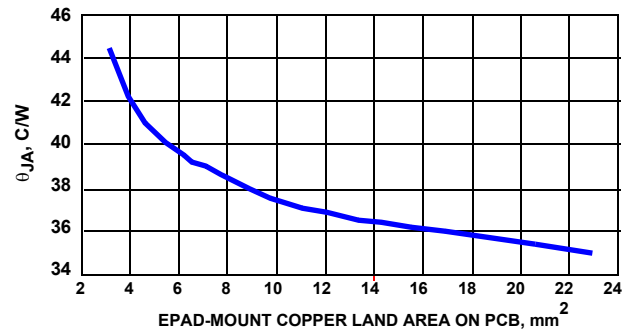


図 13. サーマルビアを設けた 4 層 PCB 上の 3mm×3mm 10 ピン DFN の θ_{JA} vs PCB 上で EPAD が接する銅エリアの面積

サーマルフォルト保護

ジャンクション温度がいつサーマル・シャットダウン温度を超えるかは、パッケージの電力レベルと熱インピーダンス (DFN では +48 °C/W) によって決まります。ダイ温度が約 +160 °C を超えると LDO の出力がシャットダウンし、ダイ温度が約 +130 °C に低下するまでその状態が維持されます。

サーマルパッドの設計に関する一般考慮事項

図 14 に、IC からの放熱用にサーマルパッド上にビアを設ける際の推奨方法を示します。この代表的な配列では、各ビアの中心から半径の 3 倍のスペースを空けてサーマルパッドにビアを配置します。小型のビアを推奨しますが、ハンダ・リフローが困難になる程小さくしないでください。

低熱抵抗で効率的な熱伝導ができるように、すべてのビアはパッドの電位に接続する必要があります。メッキ・スルーホールを各層へ完全に到達させることが重要です。ビアの接続に「サーマルリリーフ」パターンを採用することは推奨しません。

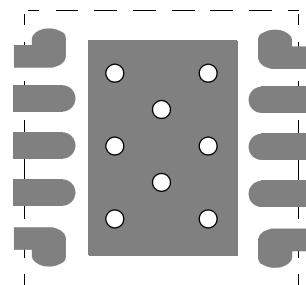


図 14. PCB のビアパターン

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2011/9/19	FN7712.3	1 ページの表 1 を更新し、インターシルの 1A LDO ラインナップに関する詳細情報を追加 MSL に関する標準的な備考 (Note 4) を「注文情報」に追加
2011/2/2	FN7712.2	<ol style="list-style-type: none"> 1. 1 ページの「特長」 <ol style="list-style-type: none"> a. 「$\sim \pm 1.8\%$ の V_{out} 精度を保証」を「$\sim \pm 2\%$ の V_{ADJ} 精度を保証」に変更 2. 1 ページの図 1 <ol style="list-style-type: none"> a. 「Typical Applications」を「Typical Application」に変更 (英語版のみ) b. C_{pb} の「82pF」を「100pF」に変更 3. 3 ページのピン番号 8 <ol style="list-style-type: none"> a. I_{SET} の「説明」で、2 番目の文を「\sim電流リミットは 0.75mA になります」から「\sim電流リミットは 1.62A になります」に変更 4. 4 ページの「電気的特性」 <ol style="list-style-type: none"> a. 「DC Input Line Regulation」に専用の行を設け、名称を追加し、テスト条件を変更 b. 「Feedback Input Current」に代表値「0.01」、最大値「1」、単位「μA」を追加 5. 5 ページの「電気的特性」 <ol style="list-style-type: none"> a. 「PG PIN CHARACTERISTICS」の「V_{OUT} PG Flag Threshold」で、代表値「85」%V_{out} を「84」%V_{out} に変更 7. 7 ページの「電流リミット設定可能」 <ol style="list-style-type: none"> a. 式 1 を「$I_{limit} = 1.62 + \sim$」に変更 b. 式 2 を「$I_{limit} = 1.62 - \sim$」に変更 8. 7 ページの式 1 と式 2 の間で、「\sim電流リミットがデフォルトの 0.75A から減少します」を「\sim電流リミットがデフォルトの 1.62A から減少します」に変更 9. 7 ページの最後の段落の先頭 <ol style="list-style-type: none"> a. 「図 11 では\sim」を「図 12 では\sim」に変更 10. 8 ページの「外付けコンデンサの要件」 <ol style="list-style-type: none"> a. 「ISL80121-5 は\sim」を「ISL80101A は\sim」に変更 11. 4 ページの「電気的特性」の「DC CHARACTERISTICS」の「Output Current Limit」 <ol style="list-style-type: none"> a. 「$V_{OUT} = 2V, V_{IN} = 5.5V, R_{SET} = 25.5k$」を「$V_{OUT} = 2V, V_{IN} = 5.0V, R_{SET} = 25.5k$」に変更 12. 4 ページの「電気的特性」の「AC CHARACTERISTICS」の「Input Supply Ripple Rejection」 <ol style="list-style-type: none"> a. 代表値「58」dB を「48」dB に変更 b. 代表値「62」dB を「48」dB に変更 13. 8 ページの図 12 を変更。1 ページの同じ図も更新 14. 全体：すべての「V_{IN}」を「V_{IN}」に変更 15. 全体：すべての「V_{OUT}」を「V_{OUT}」に変更 16. 全体：すべての「R_{SET}」を「R_{SET}」に変更 17. 全体：すべての「I_{SET}」を「I_{SET}」に変更 18. 全体：すべての「EN」と「enable」を「ENABLE」に変更 19. 全体：すべての「PGOOD」を「PG」に変更 20. 2 ページの「ブロック図」で、V_{IN}、V_{OUT}、I_{SET} のピン名に下付き文字を使用。PGOOD を PG に変更 21. 3 ページの EPAD の説明 <ol style="list-style-type: none"> a. 「GND 層に直接\simオプションです。」を「熱対策として GND 層に直接\sim必要があります。詳細については 9 ページの「消費電力と熱」を参照してください。」に変更 22. 1 ページの第 2 段落で、「電流リミットを設定できるので、アプリケーションにおけるシステムの信頼性が向上します。」を「電流リミットを設定できるので、エンドアプリケーションにおけるシステムの信頼性が向上します。」に変更 23. 1 ページの「特長」で、「ソフトスターティングをプログラム可能」を「ソフトスタートをプログラム可能」に変更 24. 4 ページの「電気的特性」の「DC CHARACTERISTICS」で、「DC Output Voltage Accuracy」を「DC ADJ Pin Voltage Accuracy」に変更 25. 5 ページで、Note 10 と 11 を削除 (特性表に参照元が存在しなかったため) 26. 8 ページの「出力電圧の選択」で、「式 5 に示すように、出力電圧の設定には外付け抵抗分圧回路 R_2 と R_3 が使用されます。R_3 の推奨値は 500Ω ~ 1kΩ です。それに応じて R_2 を式 6 で求めます。」を「式 5 と 6 に示すように、出力電圧の設定には外付け抵抗分圧回路 R_2 と R_3 が使用されます。R_2 と R_3 の推奨値については、9 ページの表 2 を参照してください。」に変更 29. 9 ページに「サーマルパッドの設計に関する一般考慮事項」を追加 30. 図 8 を変更

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。(続き)

日付	レビジョン	変更点
2010/12/6	FN7712.1	2 ページの「ブロック図」を変更 4 ページの「Ground Pin Current」のテスト条件 - 1 行目を「 $V_{OUT} + 0.4V < V_{IN} < 5V$, $V_{SENSE} = 0V$ 」から「 $I_{LOAD} = 0A$, $2.2V < V_{IN} < 6V$ 」に変更 - 2 行目を「 $V_{OUT} + 0.4V < V_{IN} < 6V$, $V_{SENSE} = 0V$ 」から「 $I_{LOAD} = 1A$, $2.2V < V_{IN} < 6V$ 」に変更 6 ページの図 2「ドロップアウト vs 負荷」 - 25 °C と 125 °C の色を入れ替え
2010/11/29	FN7712.0	初版

製品

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、産業用機器、インフラ、パーソナル・コンピューティング、ハイエンド・コンシューマの分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、www.intersil.com/products をご覧ください。

ISL80101A に関するアプリケーション情報、関連ドキュメント、関連部品は、www.intersil.com 内の [ISL80101A](#) のページを参照してください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは <http://rel.intersil.com/reports/search.php> を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認くださいませうお願いいたします。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

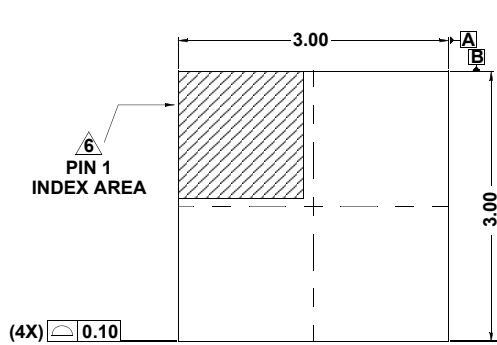
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

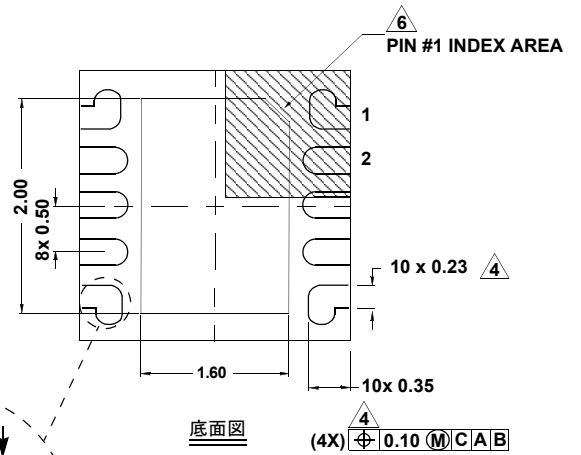
L10.3x3

10 LEAD DUAL FLAT PACKAGE (DFN)

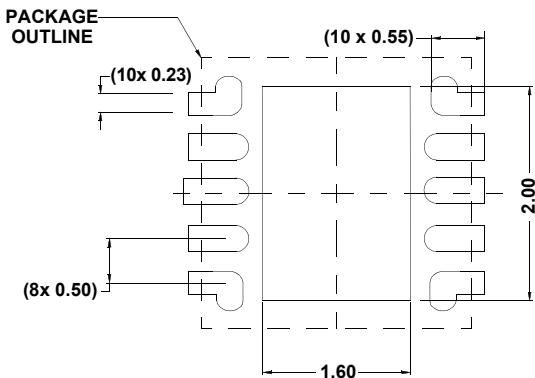
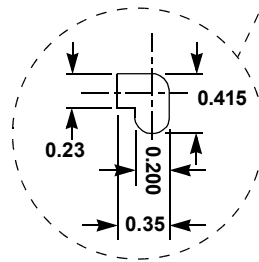
Rev 6, 09/09



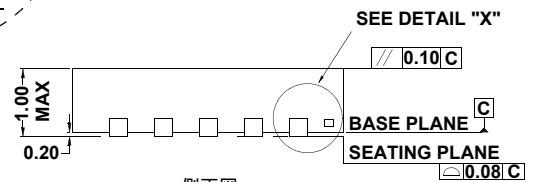
上面図



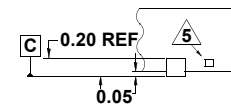
底面図



推奨ランドパターンの例



側面図



"X"の詳細

NOTE :

1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ±0.05 です。
4. リード幅は金属端子に適用され、端子先端から 0.18mm ~ 0.30mm のポイントで計測した値です。
5. タイパー (示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。