

小型同期整流降圧型レギュレータ

ISL8023, ISL8024

ISL8023とISL8024は、2.7V～5.5Vの入力電圧から3A (ISL8023) または 4A (ISL8024) を連続して出力できる、モノリシック型の高効率同期整流降圧 DC/DC コンバータです。高い周波数で超低デューティサイクル動作を実現するためと、高速な負荷変動応答と優れたループ安定性を得るために、電流モード制御アーキテクチャを採用しています。

オン抵抗がそれぞれきわめて低い P チャネル・ハイサイド FET (45mΩ) と N チャネル・ローサイド FET (19mΩ) を内蔵して、変換効率の向上と外付け部品の削減を図っています。100%デューティサイクル動作に対応しており、4A 出力時のドロップアウト電圧は 200mV 以下です。パルス幅変調 (PWM) の動作周波数は 500kHz～4MHz の範囲で設定可能です。FS ピンに High レベルを与えるとスイッチング周波数はデフォルトの 1MHz に設定され、外付け部品を省略できます。

負荷が軽いときの動作には不連続動作と強制連続動作 (PWM) の 2 種類があり、いずれかを選択できます。強制連続動作はノイズと RF 干渉が少ない一方で、不連続動作は軽負荷時のスイッチング損失が少なく効率を高められます。

出力短絡や過電流が発生したときに hiccup (脈動) モードによって電流を制限するフォルト保護機能のほか、過電圧保護機能と過温度保護機能を装備しています。また、出力のレギュレーション状態にあることを示すパワーグッド電圧モニタ出力を備えています。

パワーグッド (PG) には、スタートアップ時の電圧安定後に 1ms の遅延を設けるタイマーが内蔵されています。シャットダウン状態が発生すると、内部ソフトストップ・スイッチを介して出力コンデンサを放電します。ソフトスタート時間は内部固定または外部設定のいずれかを選択できるほか、位相補償も内部回路または外付け補償のいずれかを選択できます。

ISL8023、ISL8024 は放熱性を高めるエキスポーズドパッドが付いた省スペースの 16 Ld 3.3mm 鉛フリー QFN パッケージで供給され、パッケージの最大高さは 1mm です。コンバータ回路の実装に必要な占有面積はわずか 1.4cm² 以下です。

固定出力電圧品についてはインターシルまでお問い合わせください。詳細は 4 ページの「注文情報」セクションを参照してください。

特長

- 入力電圧範囲：2.7V～5.5V
- 超低オン抵抗の FET 内蔵：P チャネル 45mΩ、N チャネル 19mΩ (typ)
- 最高効率 95% を実現した高効率同期整流降圧型レギュレータ
- 温度 / 負荷 / ライン変動に対するリファレンス電圧精度：0.8%
- わずか 3 個の外付け部品で電源回路を構成
- プリバイアス出力でのスタートアップに対応
- 内部ソフトスタート：1ms またはユーザー設定
- ソフトストップ：シャットダウン時、出力を放電
- スwitching 周波数：500kHz～4MHz の範囲でユーザー設定、デフォルトは 1MHz (ISL8023/ISL8024) または 2MHz (ISL8023A/ISL8024A)
- 最高 4MHz まで外部同期可能
- 過温度、過電流、過電圧、負電流保護
- 小型 3.3mm QFN パッケージ

アプリケーション

- DC/DC POL モジュール
- マイクロコントローラ / マイクロプロセッサ、FPGA、または DSP 用電源
- ルータや交換機のプラグイン DC/DC モジュール
- ポータブル計装機器
- 試験装置および測定装置
- リチウムイオン・バッテリー動作のデバイス

関連ドキュメント

- アプリケーションノート [AN1660](#) 「3A/4A Low Quiescent Current High Efficiency Synchronous Buck Regulator」を参照

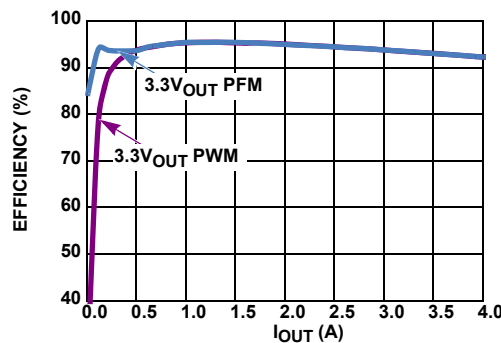
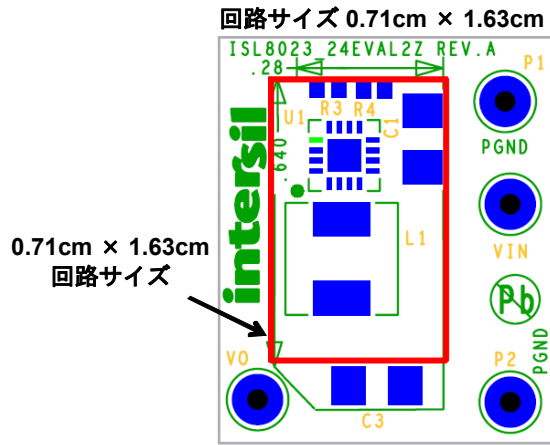


図 1. 効率、T = +25 °C、V_{IN} = 5V

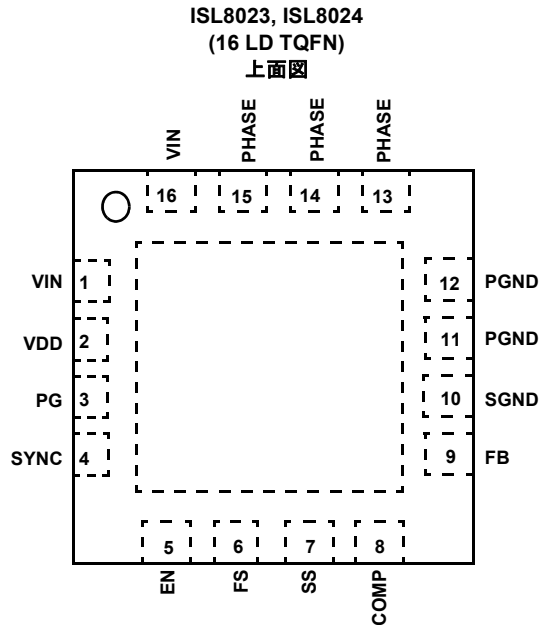


部品面

備考：電源回路全体の基板サイズ。回路図と Gerber ファイルは intersil.com で提供しています。

図 2.

ピン配置



ピンの説明

ピン番号	ピン名称	説明
1, 16	VIN	電源入力です。パワーグランドとの間に2個の22 μ Fセラミック・コンデンサを接続してください。
2	VDD	ロジック用の電源入力です。VIN ピンに接続してください。
3	PG	オープンドレイン出力のパワーグッド信号です。10k Ω ~ 100k Ω の範囲の外付けプルアップ抵抗で VIN に接続してください。パワーアップ時または EN ピンが High のとき、出力がレギュレーション範囲に達してから 1ms 後に、PG はハイ・インピーダンスになります。
4	SYNC	モード選択ピンです。PWM モードに設定するには SYNC ピンに High レベルを与えるか VIN に接続してください。PFM モードに設定するには SYNC ピンに Low レベルを与えるかグランドに接続してください。外部クロックを与えると立ち上がりエッジをトリガとして外部同期が行われます。SYNC ピンが開放のときにステートが不定にならないように、1M Ω のプルダウン抵抗が内蔵されています。
5	EN	レギュレータのイネーブルピンです。High レベルを与えると出力がイネーブルになります。Low レベルを与えるとデバイスはシャットダウンして出力コンデンサは放電されます。EN ピンが開放のときにステートが不定にならないよう、1M Ω のプルアップ抵抗が内蔵されています。
6	FS	発振回路の発振周波数を設定するピンで、グランドとの間に抵抗 RFS を接続します。動作周波数は 500kHz ~ 4MHz の範囲で設定することができます。FS ピンを VIN に接続するとデフォルト周波数である 1MHz に設定されるとともに、内部補償回路が有効になります。
7	SS	ソフトスタート時間を設定します。SGND に接続すると上昇時間は 1ms に設定されます。ソフトスタート時間を設定するには SS ピンにコンデンサを接続します。ただし、33nF 以上は接続しないでください。
8, 9	COMP, FB	レギュレータの帰還ネットワークを構成する FB ピンはトランスコンダクタンス誤差アンプの負極性入力に接続されています。COMP ピンは、FS ピンに外付け抵抗を接続した場合に、誤差アンプの出力が内部で接続されます。FS ピンを VIN に接続した場合は内部補償が有効になり、COMP ピンは内蔵 MOSFET スイッチを介して切断された状態になります。内部補償モードで使う際、COMP ピンは SGND に接続してください。レギュレータの出力電圧は FB ピンに抵抗分圧回路を接続して設定します。分圧比を適切に選択すれば、電源レール（からコンバータ損失を引いた電圧）を上限とし、0.6V リファレンスを下限とする範囲で、出力電圧を任意に設定できます。ループ補償は一般的なアプリケーションでは内部補償をそのまま使って問題ありません。アンプ動作のループ補償性能を高めたい場合は、COMP ピンと SGND 間に補償ネットワークを追加してください。 なお FB ピンの電圧は、レギュレータ出力電圧のモニタを目的として、パワーグッド制御とアンダーボルテージ保護でも参照されています。
10	SGND	シグナルグランドです。
11, 12	PGND	パワーグランドです。
13, 14, 15	PHASE	スイッチング・ノードです。出力インダクタの一方を接続してください。
エキスポーズドパッド	-	適切な電気的特性を得るためにエキスポーズド・パッドは SGND に接続してください。放熱特性を高めるために、パッド下面にできるだけ多くのビアを設けて SGND 層に接続してください。

注文情報

部品番号 (備考 1、2)	マーキング	出力電圧 (V)	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの外形図
ISL8023IRTAJZ	023A	ユーザー設定	-40 ~ +85	16 Ld 3.3mm TQFN	L16.3x3D
ISL8024IRTAJZ	024A	ユーザー設定	-40 ~ +85	16 Ld 3.3mm TQFN	L16.3x3D
ISL8023AIRTAJZ	23AA	ユーザー設定	-40 ~ +85	16 Ld 3.3mm TQFN	L16.3x3D
ISL8024AIRTAJZ	24AA	ユーザー設定	-40 ~ +85	16 Ld 3.3mm TQFN	L16.3x3D

備考:

- テープ&リールは部品番号の末尾に「-T*」を付加してください。リールの詳細仕様については「[Technical Brief 347](#)」を参照してください。
- これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイアタッチ素材を採用するとともに、端子には亜鉛 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業や鉛フリーハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
- 吸湿性レベル (MSL) については [ISL8023](#) と [ISL8024](#) のデバイス情報ページを参照してください。MSL の詳細については「[Technical Brief 363](#)」を参照してください。

アプリケーション回路例

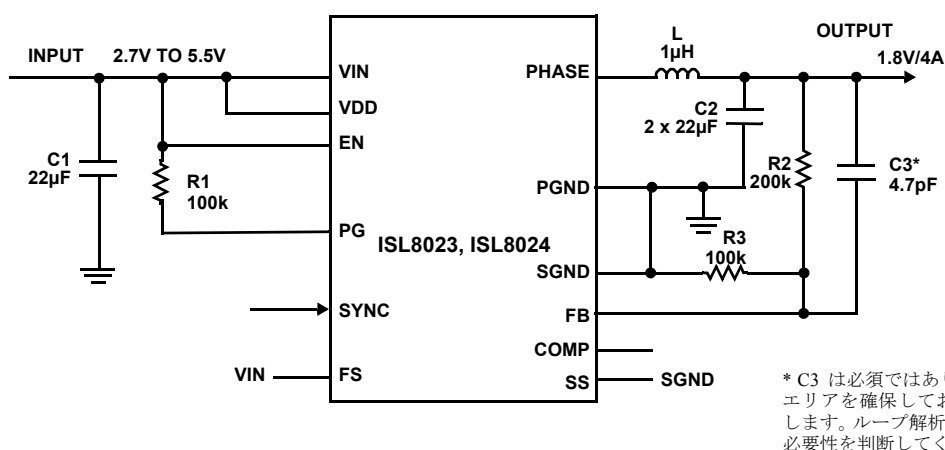


図 3. アプリケーション回路例

表 1. 部品選択一覧

V _{OUT}	0.8V	1.2V	1.5V	1.8V	2.5V	3.3V	3.6
C1	22µF	22µF	22µF	22µF	22µF	22µF	22µF
C2	4X22µF	2 x 22µF	2 x 22µF	2 x 22µF	2 x 22µF	2 x 22µF	2 x 22µF
C3	4.7pF	4.7pF	4.7pF	4.7pF	4.7pF	4.7pF	4.7pF
L1	0.47~1µH	0.47~1µH	0.47~1µH	0.68~1.5µH	0.68~1.5µH	1~2.2µH	1~2.2µH
R2	33k	100k	150k	200k	316k	450k	500k
R3	100k	100k	100k	100k	100k	100k	100k

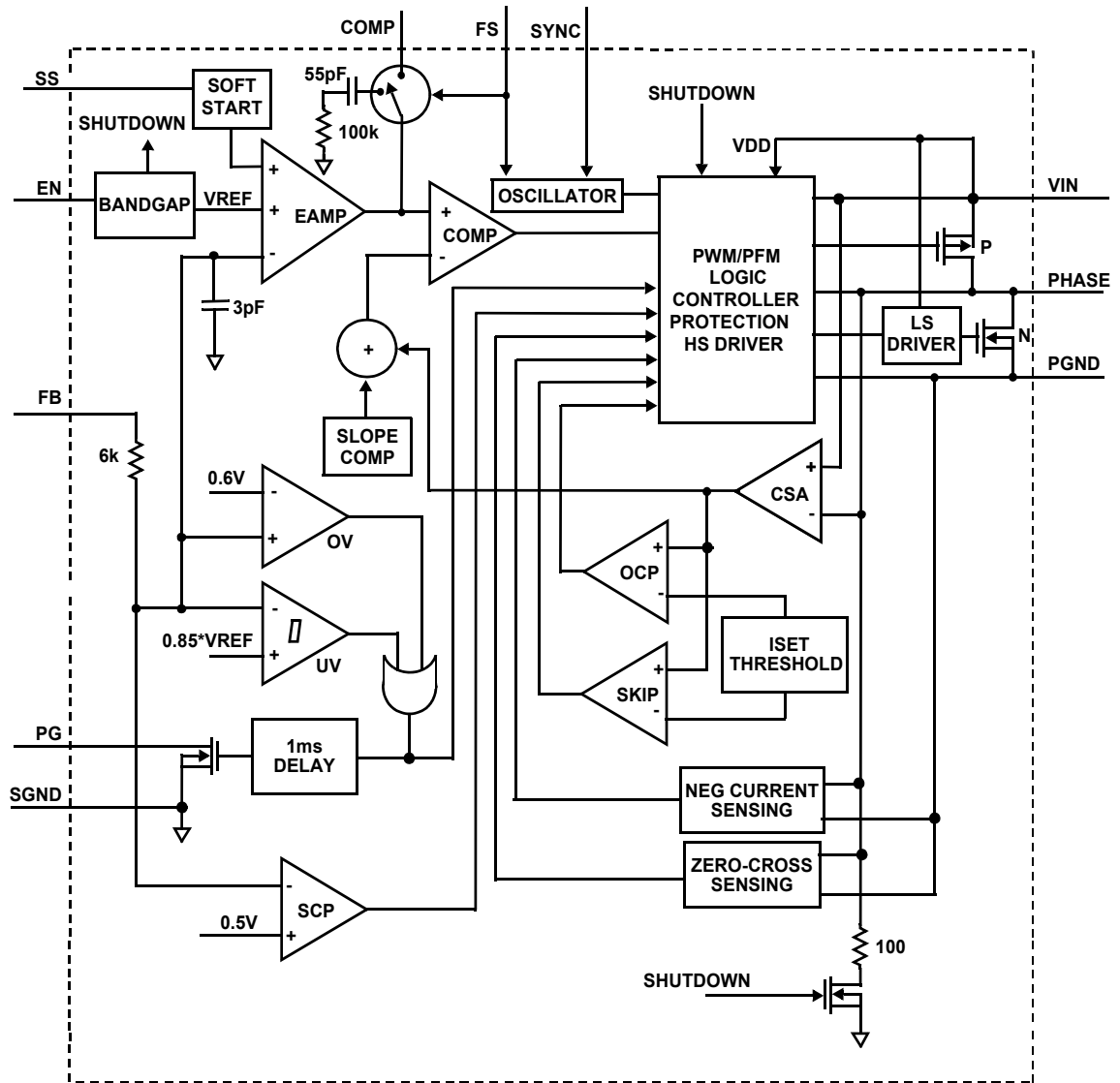


図 4. 内部ブロック図

ISL8023, ISL8024

絶対最大定格 (グランド基準)

VIN	-0.3V ~ 6.5V (DC) または 7V (20ms)
EN, FS, PG, SYNC, FB	-0.3V ~ VIN + 0.3V
PHASE	-3V (100ns)/(DC) ~ 6.5V (DC)
COMP, SS	-0.3V ~ 2.7V

推奨動作条件

VIN 電源電圧範囲	2.7V ~ 5.5V
負荷電流範囲	0A ~ 4A
周囲温度範囲	-40 °C ~ +85 °C

注意: 過度に長い期間にわたって最大定格点または最大定格付近でモジュールを動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

備考:

- θ_{JA} は、デバイスを放熱効率の高い試験基板に実装し、かつ、エキスポーズド・パッドを直接はんだ付けした状態で、自由大気中で測定した値です。詳しくは「[Technical Brief 379](#)」を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 特記のない限り、各パラメータのリミット値は推奨温度範囲を対象に規定されるとともに、代表仕様は次の条件で測定されています。特記のない限り、 $T_A = -40\text{ °C} \sim +85\text{ °C}$ 、 $V_{IN} = 3.6\text{V}$ 、 $EN = V_{IN}$ 。TYP 値 (代表値) は $T_A = +25\text{ °C}$ における値です。

太字のリミット値は動作温度範囲 $-40\text{ °C} \sim +85\text{ °C}$ に対して適用されます。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (備考 6)	TYP	MAX (備考 6)	UNITS
INPUT SUPPLY						
VIN Undervoltage Lockout Threshold	VUVLO	Rising, no load		2.5	2.7	V
		Falling, no load	2.2	2.4		V
Quiescent Supply Current	I _{VIN}	SYNC = GND, no load at the output		50		μA
		SYNC = GND, no load at the output and no switches switching		50	60	μA
		SYNC = VIN, F _S = 1MHz, no load at the output		8	15	mA
Shut Down Supply Current	I _{SD}	SYNC = GND, V _{IN} = 5.5V, EN = low		5	7	μA
OUTPUT REGULATION						
Reference Voltage - ISL8023IRZ, ISL8024IRZ	V _{REF}		0.595	0.600	0.605	V
FB Bias Current - ISL8023IRZ, ISL8024IRZ	I _{FB}	V _{FB} = 0.75V		0.1		μA
Line Regulation		V _{IN} = V _O + 0.5V to 5.5V (minimal 2.7V)		0.2		%/V
Soft-Start Ramp Time Cycle		SS = SGND		1		ms
Soft-Start Charging Current	I _{SS}	V _{SS} = 0.1V	1.2	1.6	2.0	μA
OVERCURRENT PROTECTION						
Current Limit Blanking Time	t _{CON}			17		Clock pulses
Overcurrent and Auto Restart Period	t _{COFF}			8		SS cycle
Positive Peak Current Limit	I _{PLIMIT}	4A application	5.2	6.5	7.8	A
		3A application	3.9	4.8	5.9	A
Peak Skip Limit	I _{SKIP}	4A application (test at 3.6V)	0.9	1.2	1.5	A
		3A application (test at 3.6V)	0.65	0.9	1.15	A
Zero Cross Threshold			-200		200	mA
Negative Current Limit	I _{NLIMIT}		-3.0	-2.4	-1.8	A

温度情報

熱抵抗 (代表値)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
16 LD TQFN パッケージ (備考 4, 5)	45	6.5
ジャンクション温度範囲	-55 °C ~ +125 °C	
保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	以下の URL を参照 http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

ISL8023, ISL8024

電気的特性 特記のない限り、各パラメータのリミット値は推奨温度範囲を対象に規定されるとともに、代表仕様は次の条件で測定されています。特記のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $V_{IN} = 3.6\text{V}$ 、 $EN = V_{IN}$ 。TYP 値（代表値）は $T_A = +25^{\circ}\text{C}$ における値です。
太字のリミット値は動作温度範囲 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ に対して適用されます。（続き）

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (備考 6)	TYP	MAX (備考 6)	UNITS
COMPENSATION						
Error Amplifier Trans-Conductance		FS = VIN		80		$\mu\text{A/V}$
		FS with Resistor		150		$\mu\text{A/V}$
Trans-Resistance	RT		0.15	0.2	0.25	Ω
PHASE						
P-Channel MOSFET ON-Resistance		$V_{IN} = 5\text{V}$, $I_O = 200\text{mA}$	35	45	55	$\text{m}\Omega$
		$V_{IN} = 2.7\text{V}$, $I_O = 200\text{mA}$	50	70	90	$\text{m}\Omega$
N-Channel MOSFET ON-Resistance		$V_{IN} = 5\text{V}$, $I_O = 200\text{mA}$	12	19	25	$\text{m}\Omega$
		$V_{IN} = 2.7\text{V}$, $I_O = 200\text{mA}$	20	28	37	$\text{m}\Omega$
PHASE Maximum Duty Cycle				100		%
PHASE Minimum On-Time		SYNC = High			140	ns
OSCILLATOR						
Nominal Switching Frequency	Fsw	FS = VIN	800	1000	1200	kHz
		FS with RS = 402k Ω		490		kHz
		FS with RS = 42.2k Ω		4200		kHz
SYNC Logic Low to High Transition Range			0.70	0.75	0.80	V
SYNC Hysteresis				0.15		V
SYNC Logic Input Leakage Current		$V_{IN} = 3.6\text{V}$		3.6	5	μA
PG						
Output Low Voltage					0.3	V
Delay Time (Rising Edge)			0.5	1	2	ms
PG Pin Leakage Current				0.01	0.1	μA
OVP PG Rising Threshold				0.80		V
UVP PG Rising Threshold			80	85	90	%
UVP PG Hysteresis				5		%
PGOOD Delay Time (Falling Edge)				15		μs
EN						
Logic Input Low					0.4	V
Logic Input High			0.9			V
EN Logic Input Leakage Current				0.1	1	μA
Thermal Shutdown				150		$^{\circ}\text{C}$
Thermal Shutdown Hysteresis				25		$^{\circ}\text{C}$

備考：

6. 1つまたは複数の方法によってデータシート記載のリミット値への準拠性が保証されています（量産試験または設計）。

代表的な性能特性

特記のない限り、動作条件は次のとおりです。 $T_A = +25^\circ\text{C}$ 、 $V_{\text{VIN}} = 5\text{V}$ 、 $\text{EN} = V_{\text{IN}}$ 、 $\text{SYNC} = V_{\text{IN}}$ 、 $L = 1.0\ \mu\text{H}$ 、 $C_1 = 22\ \mu\text{F}$ 、 $C_2 = 2 \times 22\ \mu\text{F}$ 、 $I_{\text{OUT}} = 0\text{A} \sim 4\text{A}$

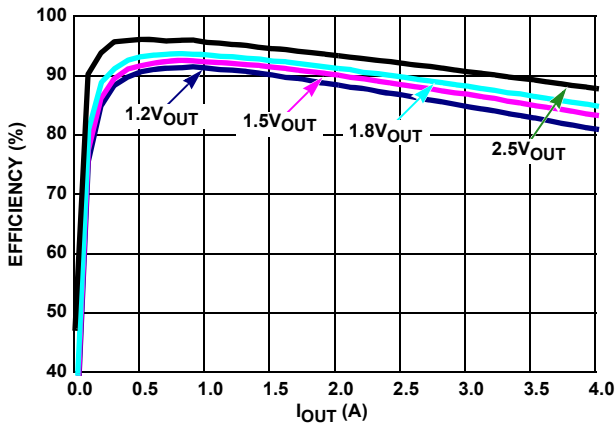


図 5. 効率 vs 負荷 (1MHz、 $V_{\text{IN}} = 3.3\text{V}$ 、PWM)

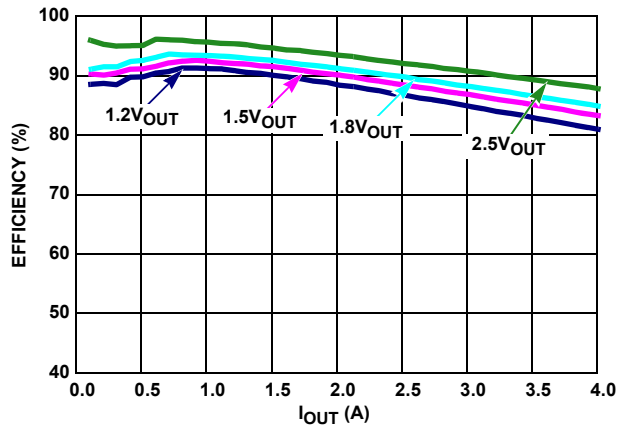


図 6. 効率 vs 負荷 (1MHz、 $V_{\text{IN}} = 3.3\text{V}$ 、PFM)

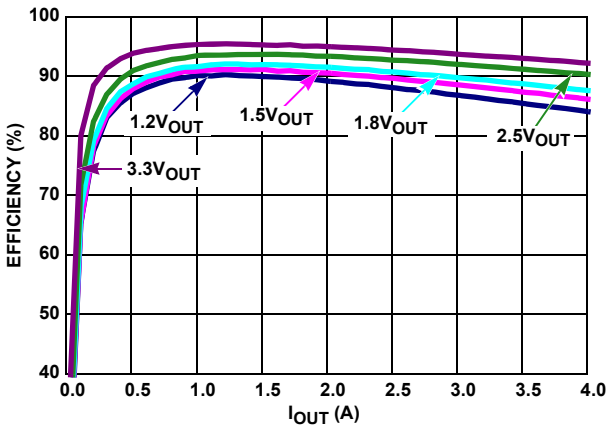


図 7. 効率 vs 負荷 (1MHz、 $V_{\text{IN}} = 5\text{V}$ 、PWM)

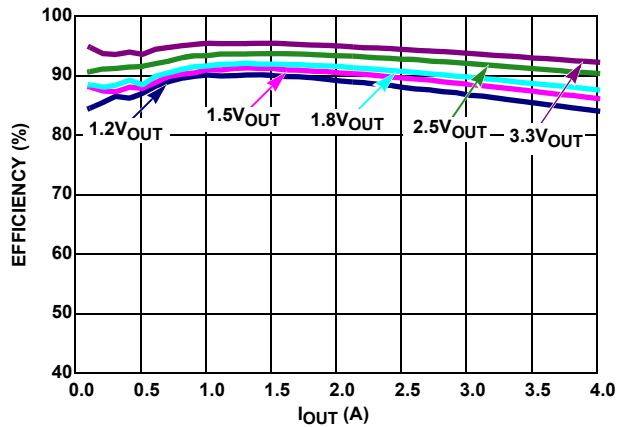


図 8. 効率 vs 負荷 (1MHz、 $V_{\text{IN}} = 5\text{V}$ 、PFM)

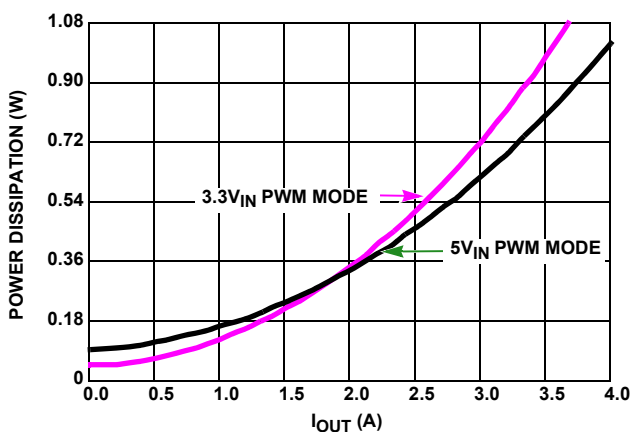


図 9. 電力損失 vs 負荷 (1MHz、 $V_{\text{OUT}} = 1.8\text{V}$)

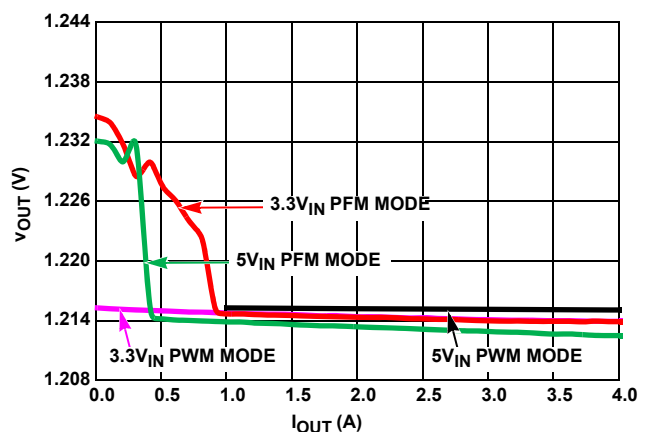


図 10. V_{OUT} レギュレーション vs 負荷 (1MHz、 $V_{\text{OUT}} = 1.2\text{V}$)

代表的な性能特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0 μH、C₁ = 22 μF、C₂ = 2 x 22 μF、I_{OUT} = 0A ~ 4A (続き)

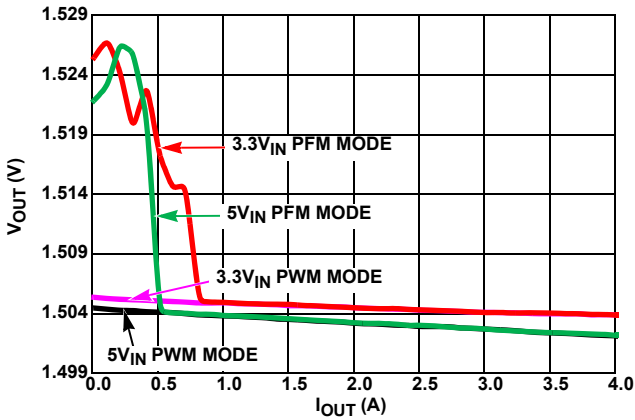


図 11. V_{OUT} レギュレーション vs 負荷 (1MHz、V_{OUT} = 1.5V)

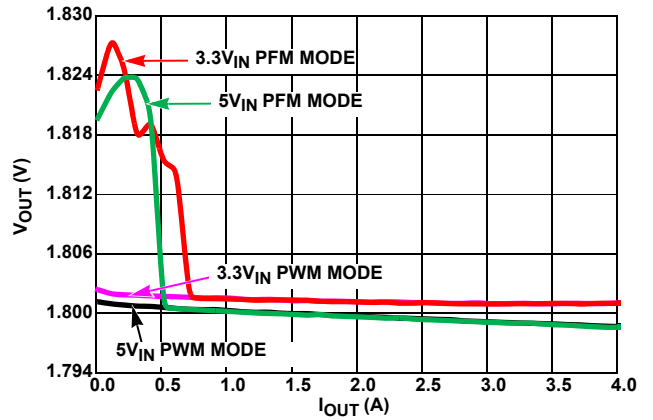


図 12. V_{OUT} レギュレーション vs 負荷 (1MHz、V_{OUT} = 1.8V)

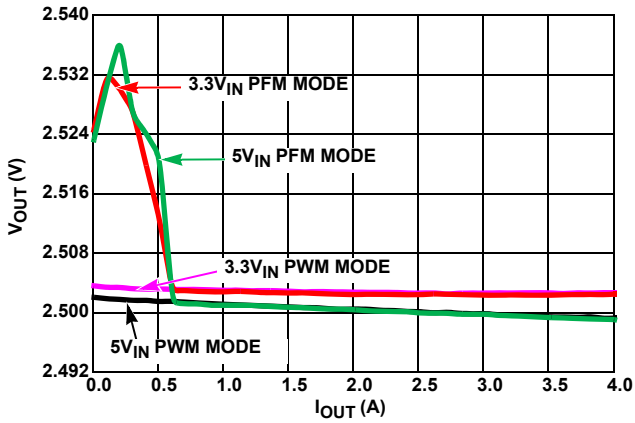


図 13. V_{OUT} レギュレーション vs 負荷 (1MHz、V_{OUT} = 2.5V)

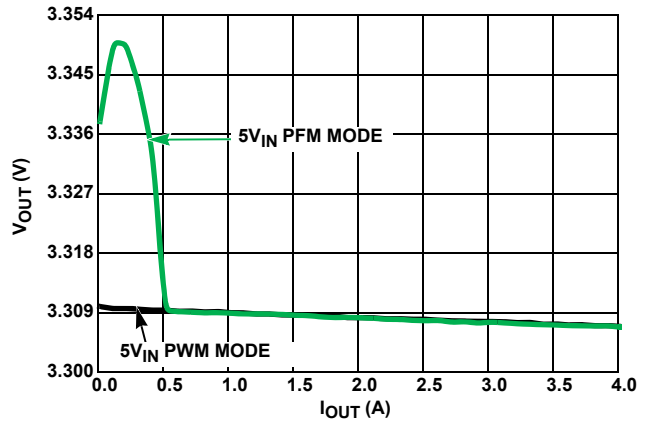


図 14. V_{OUT} レギュレーション vs 負荷 (1MHz、V_{OUT} = 3.3V)

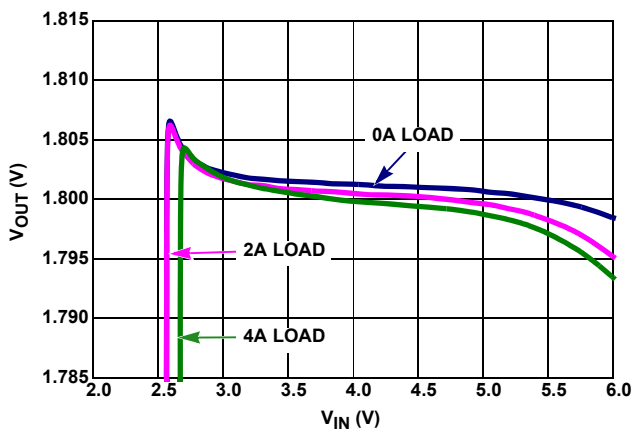


図 15. 出力電圧レギュレーション vs V_{IN} (PWM、V_{OUT} = 1.8V)

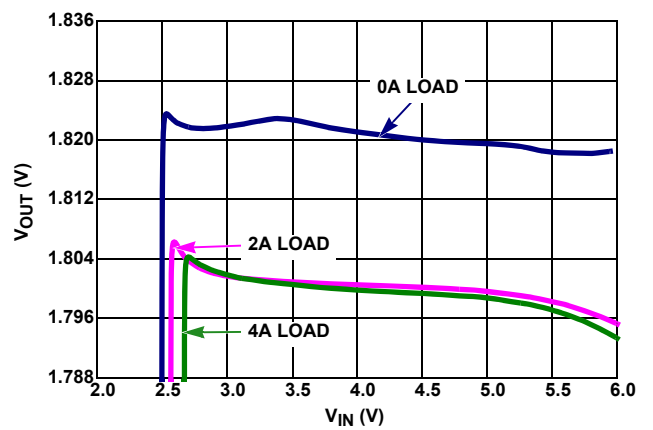


図 16. 出力電圧レギュレーション vs V_{IN} (PFM、V_{OUT} = 1.8V)

代表的な性能特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0 μH、C₁ = 22 μF、C₂ = 2 x 22 μF、I_{OUT} = 0A ~ 4A (続き)

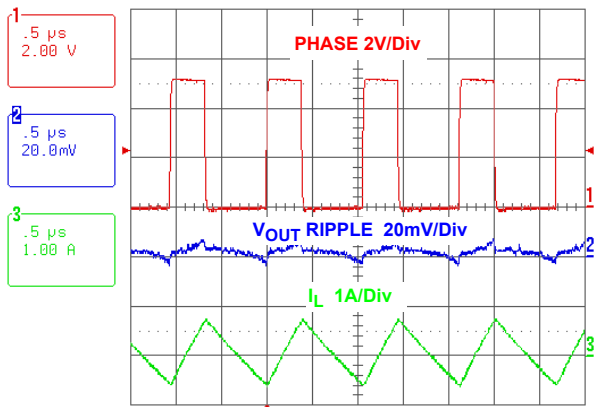


図 17. 無負荷時の定常状態動作 (PWM)

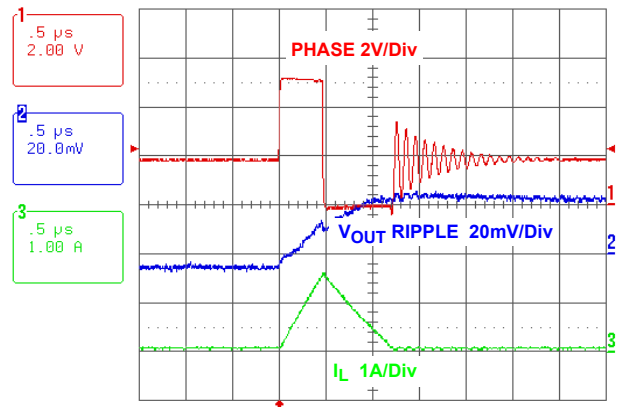


図 18. 無負荷時の定常状態動作 (PFM)

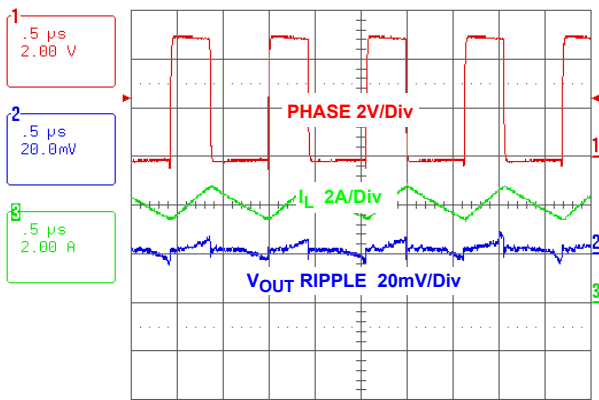


図 19. フル負荷時の定常状態動作

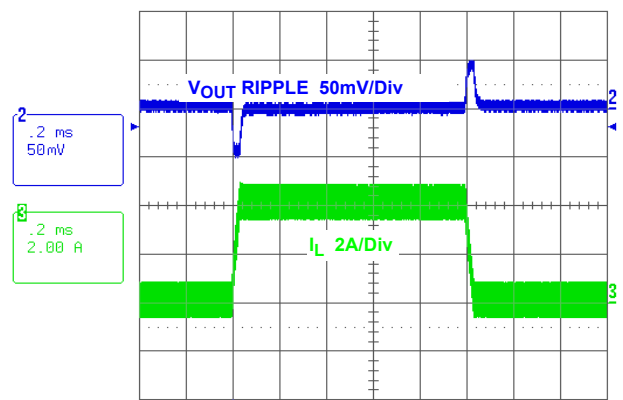


図 20. 負荷変動応答 (PWM)

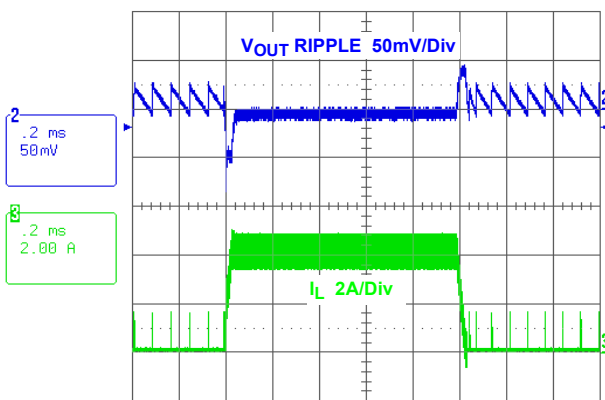


図 21. 負荷変動応答 (PFM)

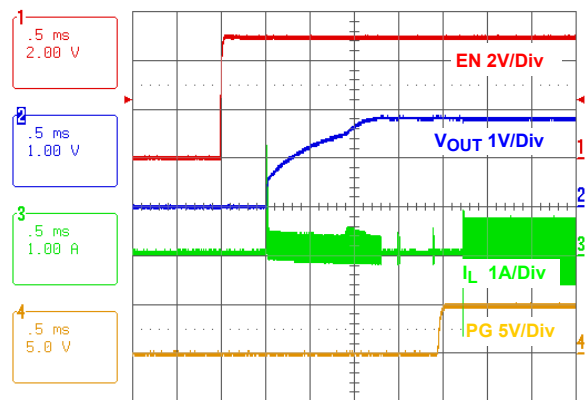


図 22. 無負荷状態でのソフトスタート (PWM)

代表的な性能特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0 μH、C₁ = 22 μF、C₂ = 2 x 22 μF、I_{OUT} = 0A ~ 4A (続き)

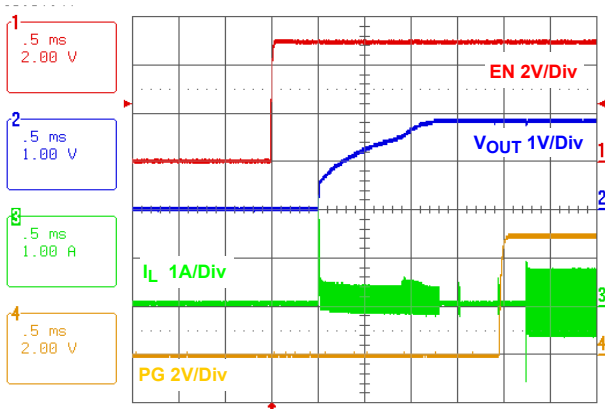


図 23. 無負状態でのソフトスタート (PFM)

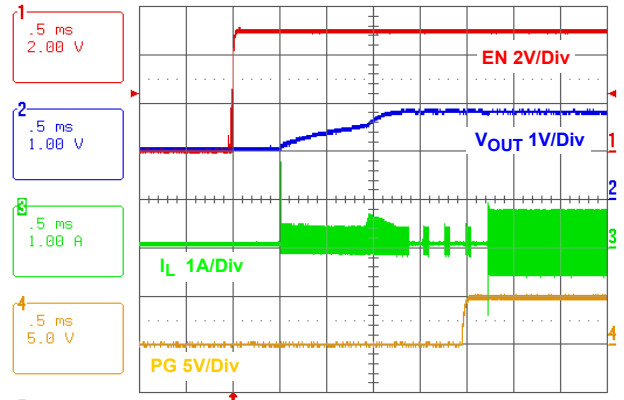


図 24. 1V プリバイアス状態でのソフトスタート

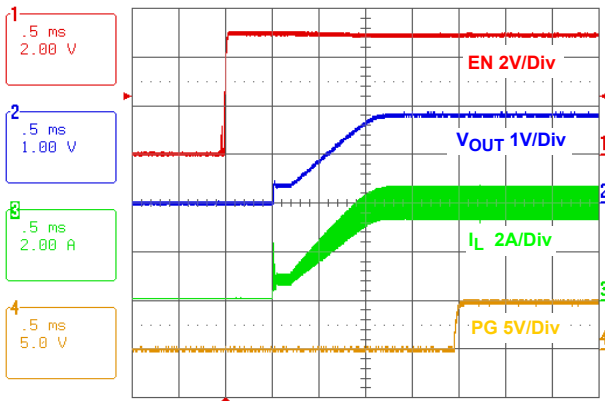


図 25. フル負荷状態でのソフトスタート

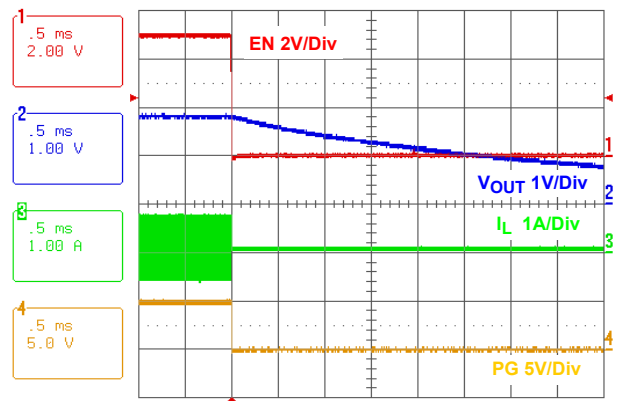


図 26. ソフト放電シャットダウン

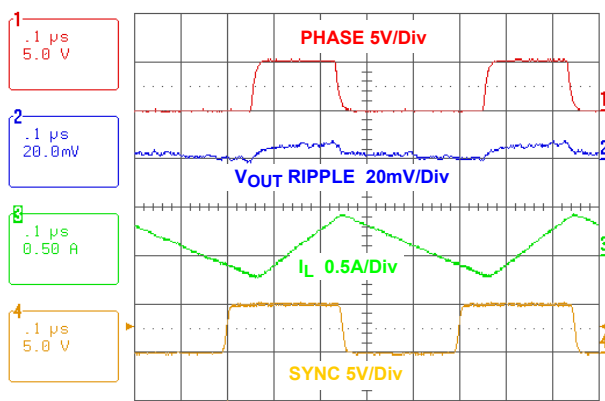


図 27. 無負荷時の定常状態動作、周波数 2MHz

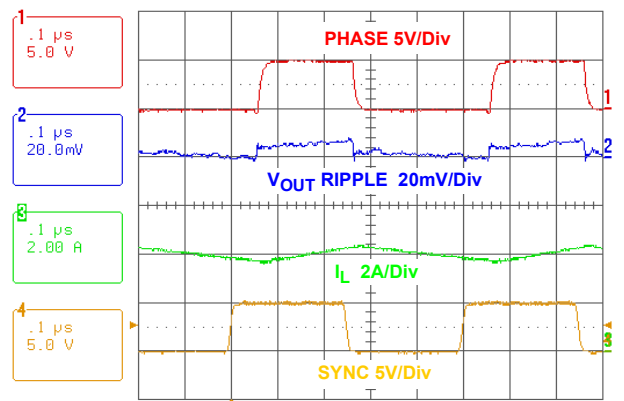


図 28. フル負荷時の定常状態動作、周波数 2MHz

代表的な性能特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0 μH、C₁ = 22 μF、C₂ = 2 x 22 μF、I_{OUT} = 0A ~ 4A (続き)

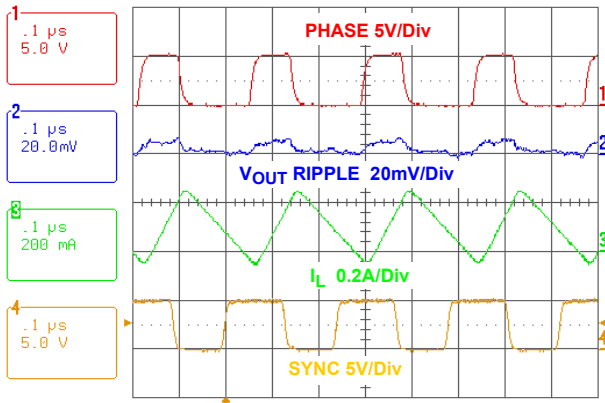


図 29. 無負荷時の定常状態動作、周波数 4MHz

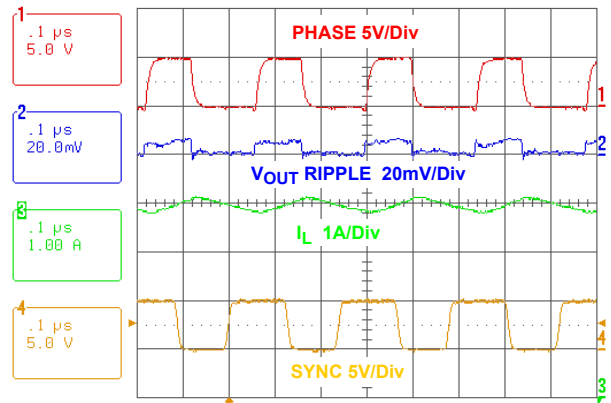


図 30. フル負荷時の定常状態動作、周波数 4MHz

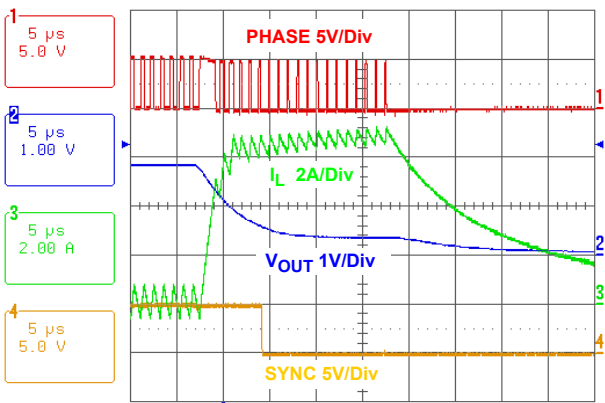


図 31. 出力短絡

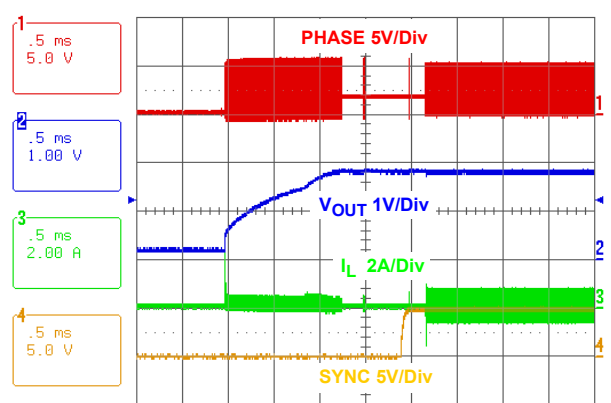


図 32. 出力短絡からの回復

A 品種の代表的な性能特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0 μH、C₁ = 22 μF、C₂ = 2 x 22 μF、I_{OUT} = 0A ~ 4A

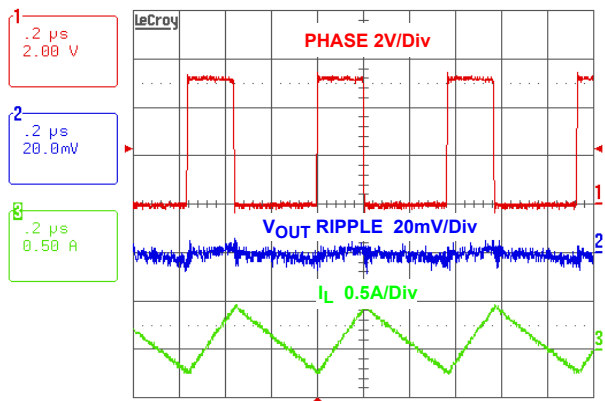


図 33. 無負荷時の定常状態動作 (PWM)

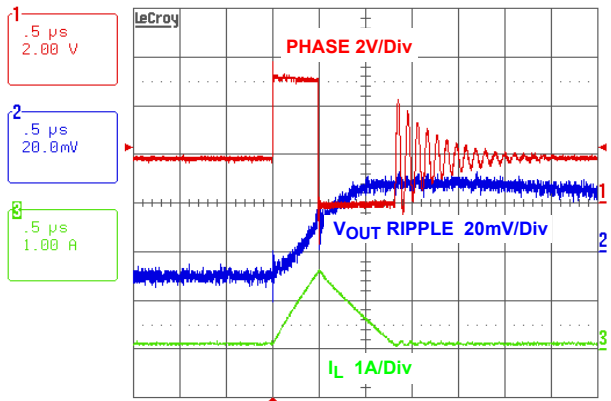


図 34. 無負荷時の定常状態動作 (PFM)

A 品種の代表的な性能特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0 μH、C₁ = 22 μF、C₂ = 2 x 22 μF、I_{OUT} = 0A ~ 4A (続き)

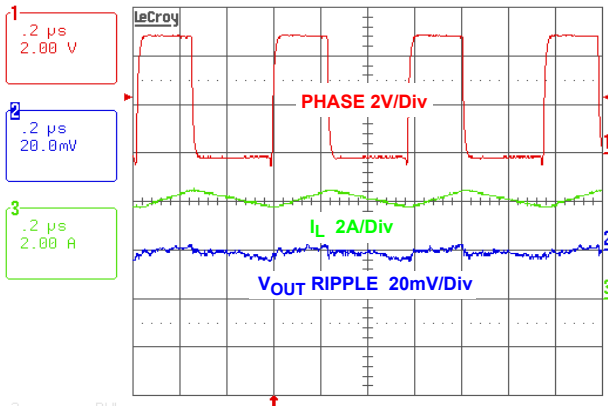


図 35. フル負荷時の定常状態動作

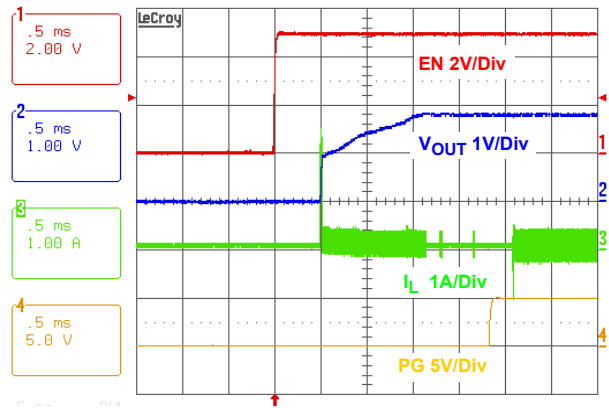


図 36. 無負荷状態でのソフトスタート (PWM)

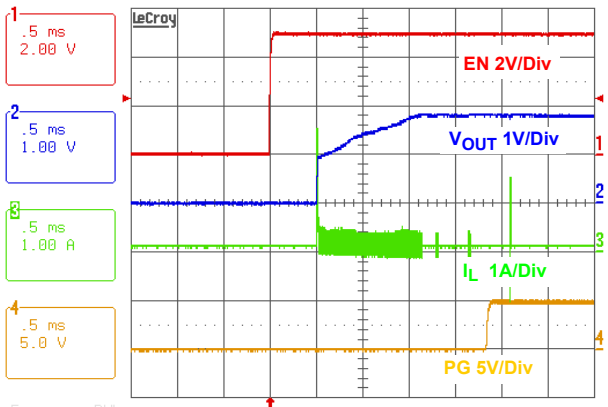


図 37. 無負荷状態でのソフトスタート (PFM)

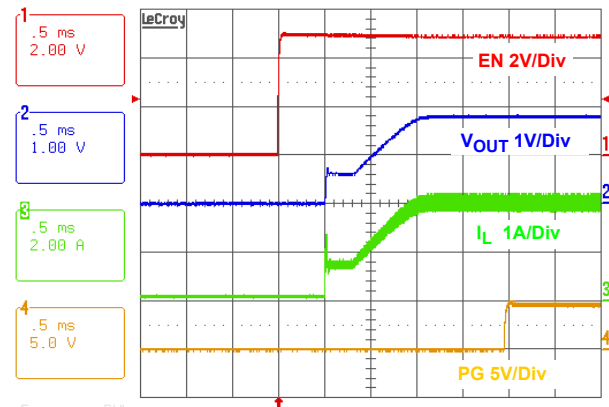


図 38. フル負荷状態でのソフトスタート

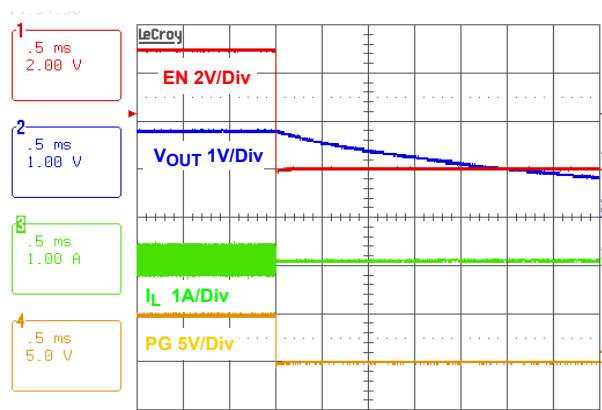


図 39. ソフト放電シャットダウン

動作の仕組み

ISL8023, ISL8024 はバッテリー動作のハンドヘルド・アプリケーションに適した降圧スイッチング・レギュレータです。FS ピンを VIN に接続するとレギュレータはデフォルトのスイッチング周波数である 1MHz で動作し、負荷が重い状態でも小型のインダクタやコンデンサが使えるため、プリント基板の省スペース化が図れます。FS ピンを SGND に接続すると 500kHz ~ 4MHz の範囲で動作周波数を設定できます。強制 PWM モードに設定され動作周波数が固定の場合を除いて、軽負荷のときにはスイッチング周波数を下げ、スイッチング損失を抑えバッテリー動作時間の延長を図ります。無負荷時の自己消費電流は代表値でわずか $50\mu\text{A}$ です。シャットダウン状態での電源電流は代表値でわずか $5\mu\text{A}$ です。

PWM 制御方式

SYNC ピンに High ($>0.8\text{V}$) レベルを与えると、出力電流に関わらず、コンバータは強制的に PWM モードに設定されます。ISL8023 と ISL8024 は、高速な負荷変動応答とパルスごとの電流制限を実現するために、電流モードのパルス幅変調 (PWM) 制御方式を採用しています。5 ページの図 4 に内部の機能ブロック図を示します。電流ループは、発振回路、PWM コンパレータ、電流センス回路、ループ安定性を高める傾き補償回路で構成されています。傾き補償回路は、スイッチング周波数によっても変わりますが、 $440\text{mV}/T_s$ です。電流センス回路のゲインは代表値で $200\text{mV}/\text{A}$ です。電流ループの制御リファレンスには誤差アンプ (EAMP) の出力を使用しています。

PWM 動作は発振回路が出力するクロック信号によって始まります。PWM サイクルの開始で P チャネル MOSFET がターンオンし MOSFET を流れる電流は増加します。電流アンプ CSA と傾き補償の和が電流ループの制御リファレンスに達すると、P-FET をターンオフし N チャネル MOSFET をターンオンするように、PWM コンパレータ COMP は PWM ロジックに信号を送出します。PWM サイクルの終了時点まで N-FET はその状態を保ちます。図 40 に PWM 動作時の動作波形例を示します。点線の波形は傾き補償ランプと電流センスアンプ CSA 出力の和を表しています。

出力電圧は電流ループに与える V_{EAMP} 電圧が一定になるようにレギュレートを行います。バンドギャップ回路は 0.6V のリファレンス電圧を電圧ループに出力します。帰還信号は FB ピンから与えられます。ソフトスタート・ブロックはスタートアップ時のみ作用し、詳細は後述します。誤差アンプは電圧誤差信号を電流出力に変換するトランスコンダクタンス・アンプです。電圧ループは 55pF と $100\text{k}\Omega$ で構成される内部 RC ネットワークを使って補償されています。EAMP 出力電圧は最高を 1.6V として高精度にクランプされています。

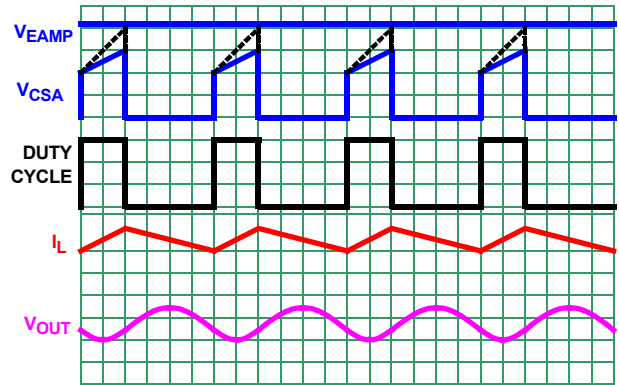


図 40. PWM 動作波形

スキップモード

SYNC ピンに Low ($<0.4\text{V}$) を与えるとコンバータは PFM モードに設定されます。ISL8023/ISL8024 は負荷が軽くなるとパルススキップモードに移行し、スイッチング周波数を下げてスイッチング損失を抑えます。スキップモードの動作を図 41 に示します。5 ページの図 4 に示すゼロクロス・センス回路によって、N-FET 電流のゼロクロスをモニタします。インダクタ電流が 8 サイクル連続してゼロを下回るとレギュレータはスキップモードに移行します。この 8 サイクル中にわたってインダクタ電流は負になる場合があります。電流がゼロを上回ったサイクルでカウンタはリセットされます。

スキップモードに移行すると、5 ページの図 4 に示すスキップ・コンパレータによってパルス変調制御が始まります。各パルス・サイクルが PWM クロックに同期することには変わりはありません。P-FET はクロックの立ち上がりエッジでターンオンし、出力電圧が公称レギュレーション値を 1.5% 上回るか出力電流がピークスキップ電流制限値に達すると、P-FET はターンオフします。続いて、インダクタ電流は 0A まで放電しゼロを保ちます。内部クロックはディスエーブルされます。負荷電流によって出力コンデンサが放電されるため出力電圧は徐々に低下します。出力電圧が公称値まで低下すると P-FET は内部クロックの立ち上がりエッジで再びターンオンし、上述の動作を繰り返します。

出力電圧が公称電圧から 1.5% 低下すると、レギュレータは通常の PWM モード動作に復帰します。

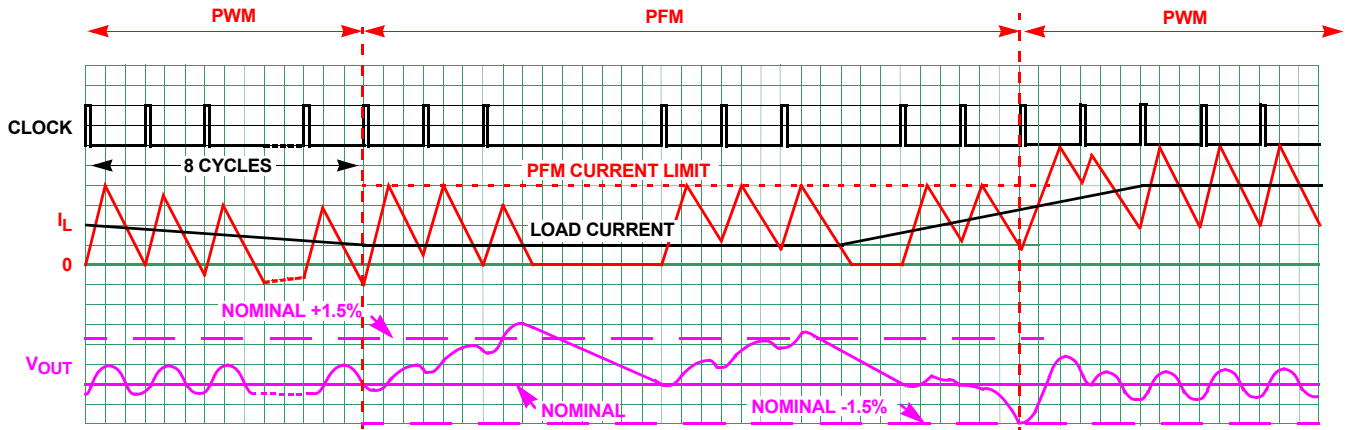


図 41. スキップモード動作波形

スイッチング周波数の設定

FS ピンを VIN に接続すると動作周波数は 1MHz に固定され、かつ内部補償が有効になります。式 1 で求めた値に従って FS ピンを抵抗を介して SGND に接続すると、動作周波数は 500kHz ~ 4MHz の範囲に設定されます。

$$R_T[\text{k}\Omega] = \frac{220 \cdot 10^3}{f_{\text{OSC}}[\text{kHz}]} - 14 \quad (\text{式 1})$$

過電流保護

図 4 に示すように、CSA 出力を OCP コンパレータでモニタする過電流保護機能を実装しています。電流センス回路の P-FET 電流から CSA 出力までのゲインは 200mV/A です。CSA 出力が過電流スレッシュホールドに達すると、P-FET を即座にターンオフするように OCP コンパレータが動作します。過電流保護機能の目的は、ハイサイド MOSFET を流れる電流をモニタして、短絡出力からスイッチング・コンバータを保護することです。

過電流状態が検出されるとハイサイド MOSFET は即座にターンオフし、次のスイッチング・サイクルまでターンオンすることはありません。過電流状態が最初に検出されると過電流フォルトカウンタが 1 にセットされます。続くサイクルでも過電流状態が検出されると OC フォルトカウンタは 1 だけ増加します。17 回連続して OC フォルトが検出されると、過電流フォルト状態が続いているとみなしてレギュレータはシャットダウンします。レギュレータは 8 回分のソフトスタート時間の経過を待ってから hiccup モードでの再起動を試みます。8 回分のソフトスタート時間が経過した時点でフォルトカウンタをリセットし、ソフトスタートをもう一度試みます。8 回分のソフトスタート時間の経過後に過電流状態が解消されていれば、hiccup モードを終了したのち、出力はレギュレーション点に復帰します。

負電流保護

過電流と同様に、5 ページの図 4 に示すように、ローサイド N-FET に流れる電流をモニタする負電流保護機能を実装しています。インダクタ電流のバレー点が 4 サイクル連続して -3A に達すると P-FET と N-FET の両方がオフになります。出力がレギュレーション範囲になるように、N-FET に並列に接続されている MOS スイッチが動作して、内蔵 100Ω 抵抗を介して出力を放電します。出力がレギュレーション範囲内に戻れば制御回路はスイッチング動作を開始します。レギュレータは最初に 20μs にわたって PFM モードで動作し、必要であればその後 PWM モードに切り替わります。

PG

PG は降圧レギュレータの出力電圧を常にモニタしているウィンドウ・コンパレータのオープンドレイン出力です。EN ピンに Low が与えられているときとソフトスタート期間中は、PG は Low に下がります。出力電圧が FB ピンで設定された公称レギュレーション電圧範囲内であれば、ソフトスタートの 1ms が経過したのち、PG はハイ・インピーダンスになります。FB 電圧が 15% 低下するか公称レギュレーション電圧から 0.8V 高くなると、ISL8023/ISL8024 は PG に Low を出力します。フォルト状態が発生すると、ソフトスタートを再度実行してフォルト状態が解消されるまで、PG は Low を保ちます。ロジックレベルの PG 信号が必要な場合は外付けプルアップ抵抗 R_1 を介して PG ピンを VIN に接続してください。ほとんどアプリケーションでプルアップ抵抗は 100kΩ が適切です。

UVLO

入力電圧がアンダーボルテージ・ロックアウト (UVLO) スレッシュホールドを下回ると、レギュレータはディスエーブルになります。

ソフトスタートアップ

ソフトスタートアップはスタートアップ時の突入電流を緩和する機能です。ソフトスタート・ブロックからランプ・リファレンスが誤差アンプの入力に対して出力されます。この電圧ランプによってインダクタ電流と出力電圧の増加速度が制限されるため、出力電圧は制御された状態で上昇します。ソフトスタートの開始時点で FB 電圧が 0.1V 以下のとき、スイッチング周波数は 200kHz に下がるため、負荷が軽い状態でも出力は滑らかにスタートアップします。プリバイアス出力をサポートするために、ソフトスタート期間中、レギュレータはスキップモードで動作します。

SS ピンを SGND に接続するとソフトスタート時間はおよそ 1ms に設定されます。ソフトスタート時間を設定するには、SS ピンと SGND の間にコンデンサを接続します。このコンデンサと内蔵の 1.6μA 電流源によって、式 2 に示すように、コンバータのソフトスタート時間 T_{SS} が決まります。

$$C_{SS}[\mu F] = 3.33 \cdot T_{SS}[s] \quad (\text{式 2})$$

フォルト状態解消後のソフトスタート・リセットを正しく機能させるために、C_{SS} は 33nF 以下にしてください。

イネーブル

イネーブル (EN) ピンを使うと、パワーアップ・シーケンスなどを目的として、レギュレータのオンとオフを制御できます。レギュレータをイネーブルにすると、バンドギャップ・リファレンスの安定化のために設けられた 600μs の遅延を経過したのち、ソフトスタートが始まります。

放電モード (ソフトストップ)

シャットダウンモードに移行したとき、または、VIN の UVLO が検出されると、出力は内蔵 100Ω スイッチを介してグラウンドに放電されます。

パワー MOSFET

パワー MOSFET はできるだけ高い効率を得られるように最適化されています。P-FET のオン抵抗は代表値で 45mΩ、N-FET のオン抵抗は代表値で 19mΩ です。

100% デューティサイクル

ISL8023/ISL8024 は、バッテリー動作時間を最大限に確保するため、100% デューティサイクル動作に対応しています。出力のレギュレーションを維持できない電圧までバッテリー電圧が低下すると、レギュレータは P-FET を完全にターンオフします。100% デューティサイクル動作下での最大ドロップアウト電圧は、負荷電流と P-FET オン抵抗の積で求められます。

熱シャットダウン

ISL8023/ISL8024 は過温度保護機能を搭載しています。内部温度が +150℃ に達するとレギュレータは完全にシャットダウンします。温度が +125℃ に下がると ISL8023/ISL8024 はソフトスタートを経由して通常動作に復帰します。

アプリケーション情報

出力インダクタと出力コンデンサの選択

ISL8023 と ISL8024 の出力インダクタには、定常状態と過渡動作の両方を考慮して、一般に 1.0μH を使用します。コンバータ回路全体の特性を高めるために、インダクタンス値は

これよりも大きくしても小さくしてもかまいません。たとえば、3.3V 出力アプリケーションで、インダクタ電流リップルと出力電流リップルを抑えたい場合は、大きめのインダクタンスを選択します。最適な性能を得るにはインダクタ電流リップルを最大出力電流のおよそ 30% に設定してください。インダクタ電流リップルは式 3 で表されます。

$$\Delta I = \frac{V_O \cdot \left(1 - \frac{V_O}{V_{IN}}\right)}{L \cdot f_S} \quad (\text{式 3})$$

出力インダクタの飽和電流定格はレギュレータのピーク電流よりも大きくなければなりません。ISL8023 と ISL8024 のピーク電流制限は代表値で 4.8A/6.5A です。出力電流が大きいアプリケーションでは、飽和電流定格が 7A (ISL8024) 以上のインダクタが必要で

ISL8023/ISL8024 は補償ネットワークを内蔵しており、出力コンデンサの容量は出力電圧によって決まります。推奨は X5R または X7R タイプのセラミック・コンデンサです。X5R または X7R タイプの推奨最小出力容量を表 1 に示します。

表 1 に、コンバータの安定動作に必要な最小出力容量を主な出力電圧ごとに示します。負荷変動が大きいアプリケーションや出力リップルを抑えたいアプリケーションでより高い特性を得るには、出力容量を増やしてください。シミュレーション・モデルを使ってシステムレベルでの性能を確認することを推奨します。

出力電圧の設定

レギュレータの出力電圧は抵抗分圧回路によって設定します。この抵抗分圧回路は、内部リファレンス電圧を基準として出力電圧の倍率を設定する役割と、誤差アンプの反転入力に対する帰還の役割を合わせ持っています。図 3 を参照してください。

出力電圧設定抵抗 R₂ は、選択した帰還抵抗 R₃ とレギュレータの所望出力電圧から求めます。帰還抵抗 R₃ の一般的な値は 10kΩ ~ 100kΩ の範囲であり、計算式を式 4 に示します。

$$R_2 = R_3 \left(\frac{V_O}{V_{FB}} - 1 \right) \quad (\text{式 4})$$

所望の出力電圧が 0.6V の場合は、R₃ は未実装とし、R₂ は短絡してください。VIN から PHASE に対してリーク電流が存在します。その影響を排除するため、出力に 10μA 以上が流れるように抵抗分圧回路を構成してください。

R₂ (100kΩ) に 15pF を並列に接続すると特性の向上が図れます。実際にアプリケーションで使用する前にループ解析を行ってください。

入力コンデンサの選択

入力コンデンサの主な役割は、寄生インダクタンスのデカップリングと、バッテリーレールに対してスイッチング電流の逆流を防ぐフィルタリングの 2 点です。入力コンデンサの選択にあたっては、22μF 以上で X5R または X7R タイプのセラミック・コンデンサ 2 個を出発点として進めてください。

ループ補償の設計

FS ピンを外付け抵抗を介して SGND に接続すると、外付けループ補償用の COMP ピンが有効になります。ISL8023 と ISL8024 は、一定周波数のピーク電流モード制御方式を用いて、高速なループ変動応答を実現しています。ハイサイド MOSFET に並列に接続した正確な電流センス・パイロット・デバイスをピーク電流制御と過電流保護の両方に使用しています。インダクタ・ピーク電流は一定ですのでインダクタは状態可変と見なす必要はなく、系は一次系になります。電圧モード制御よりも、ループの安定を目的としてタイプ II 補償回路を設計するほうがはるかに簡単です。ピーク電流モード制御には回路の性質として入力電圧フィードフォワード機能をもともと備えているため、ラインレギュレーションは良好です。図 42 に同期整流降圧型レギュレータの小信号モデルを示します。

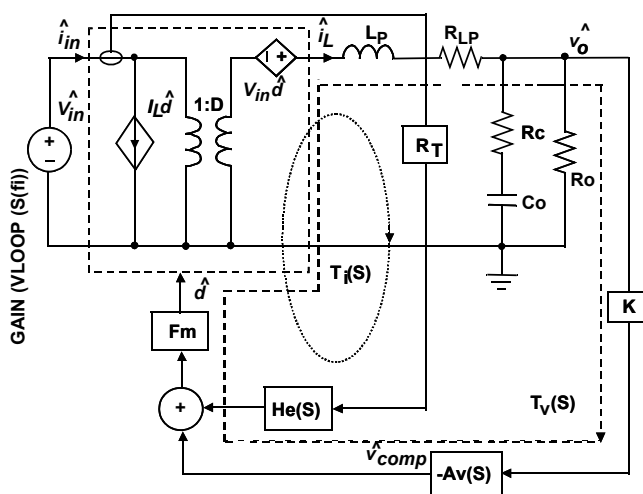


図 42. 同期整流降圧型レギュレータの小信号モデル

PWM コンパレータ・ゲイン F_m

ピーク電流モード制御の PWM コンパレータ・ゲイン F_m は式 5 で与えられます。

$$F_m = \frac{\hat{d}}{v_{comp}} = \frac{1}{(S_e + S_n)T_s} \tag{式 5}$$

S_e は傾き補償のスルーレート、S_n は式 6 で与えられます。

$$S_n = R_t \frac{V_{in} - V_o}{L_p} \tag{式 6}$$

R_t は電流アンプのゲインであるトランスレジスタンスです。

電流サンプリングの伝達関数 H_e(S)

電流ループにおいて、電流信号はスイッチング・サイクルごとにサンプリングされます。サンプリングの伝達関数は式 7 のとおりです。

$$H_e(S) = \frac{S^2}{\omega_n^2} + \frac{S}{\omega_n Q_n} + 1 \tag{式 7}$$

Q_n と ω_n は Q_n = -2/π, ω_n = πf_s で与えられます。

パワーステージの伝達関数

制御から出力電圧に至る伝達関数 F₁(S) は次のとおりです。

$$F_1(S) = \frac{\hat{v}_o}{d} = V_{in} \frac{1 + \frac{S}{\omega_{esr}}}{\frac{S^2}{\omega_o^2} + \frac{S}{\omega_o Q_p} + 1} \tag{式 8}$$

ここで、 $\omega_{esr} = \frac{1}{R_c C_o} \cdot Q_p \approx R_o \sqrt{\frac{C_o}{L_p}}$ 、 $\omega_o = \frac{1}{\sqrt{L_p C_o}}$

制御からインダクタ電流に至る伝達関数 F₂(S) は式 9 のとおりです。

$$F_2(S) = \frac{\hat{i}_o}{d} = \frac{V_{in}}{R_o + R_{LP}} \frac{1 + \frac{S}{\omega_z}}{\frac{S^2}{\omega_o^2} + \frac{S}{\omega_o Q_p} + 1} \tag{式 9}$$

ここで、 $\omega_z = \frac{1}{R_o C_o}$

電流ループゲイン T_i(S) は式 10 で表されます。

$$T_i(S) = R_t F_m F_2(S) H_e(S) \tag{式 10}$$

開電流ループでの電圧ループゲインは式 11 で表されます。

$$T_v(S) = K F_m F_1(S) A_v(S) \tag{式 11}$$

閉電流ループでの電圧ループゲインは式 12 で表されます。

$$L_v(S) = \frac{T_v(S)}{1 + T_i(S)} \tag{式 12}$$

K = V_{FB}/V_o, V_{FB} は電圧誤差アンプの帰還電圧です。T_i(S) >> 1 のとき、式 12 は式 13 のように簡略化できます。

$$L_v(S) = \frac{V_{FB} R_o + R_{LP}}{V_o R_t} \frac{1 + \frac{S}{\omega_{esr}} A_v(S)}{1 + \frac{S}{\omega_o} H_e(S)}, \omega_p \approx \frac{1}{R_o C_o} \tag{式 13}$$

式 13 によって、この系が、スイッチング周波数の 1/2 よりも低い周波数に 1 個のポールが存在する一次系であることがわかります。ゆえに、単純なタイプ II 補償回路で系の安定化が図れます。

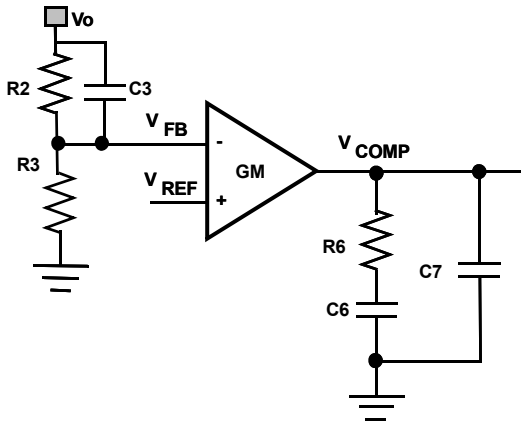


図 43. タイプ II 補償回路

タイプ II 補償回路の回路を図 43 に、伝達関数を式 14 に、それぞれ示します。

$$A_V(S) = \frac{\hat{V}_{comp}}{\hat{V}_{FB}} = \frac{GM}{C_1 + C_2} \frac{\left(1 + \frac{S}{\omega_{cz1}}\right)\left(1 + \frac{S}{\omega_{cz2}}\right)}{S\left(1 + \frac{S}{\omega_{cp}}\right)} \quad (式 14)$$

ここで、

$$\omega_{cz1} = \frac{1}{R_6 C_6}, \quad \omega_{cz2} = \frac{1}{R_2 C_3}, \quad \omega_{cp} = \frac{C_6 + C_7}{R_6 C_6 C_7}$$

補償回路の設計目標：

高 DC ゲイン

ループ帯域 f_c : $\left(\frac{1}{4} \sim \frac{1}{10}\right) f_s$

ゲインマージン : >10dB

位相マージン : 40°

補償回路の設計手順は次のとおりです。

補償ゼロ $\omega_{cz1} = (1 \text{ to } 3) \frac{1}{R_0 C_0}$ を配置します。

$$R_0 = V_o / I_o$$

高 DC ゲインを得るために、1つの補償ポールをゼロ周波数に配置し、もう 1つの補償ポールをスイッチング周波数の 1/2 か ESR ゼロ周波数のいずれか低いほうに配置します。オプシオンで追加したゼロによって位相マージンが向上します。 ω_{CZ2} は R_2 と C_3 で構成されるゼロです。

補償ゼロ $\omega_{cz2} = (5 \text{ to } 8) \frac{1}{R_2 C_3}$ を配置します。

クロスオーバー周波数 f_c におけるループゲイン $T_V(S)$ はユニティゲインです。ゆえに、補償抵抗 R_6 は式 15 で求めます。

$$R_6 = \frac{2\pi f_c V_o C_0 R_t}{GM \cdot V_{FB}} \quad (式 15)$$

GMは各フェーズの電圧誤差アンプのトランスコンダクタンス g_m の和です。補償コンデンサ C_6 は式 16 で与えられます。

$$C_6 = \frac{1}{R_6 \omega_{cz1}}, C_7 = \frac{1}{2\pi R_6 f_{esr}} \quad (式 16)$$

例 : $V_{in} = 5V$, $V_o = 1.8V$, $I_o = 4A$, $f_s = 1MHz$, $C_o = 2 \times 22 \mu F / 3m\Omega$, $L = 1 \mu H$, $GM = 160 \mu s$, $R_t = 0.20V/A$, $V_{FB} = 0.6V$, $S_e = 440mV/\mu s$, $S_n = 6.4 \times 10^5 V/s$, $f_c = 100kHz$ のとき、補償抵抗 R_6 は $100k\Omega$ です。

8kHz に補償ゼロを配置するとともに、 C_o と ESR で決まる f_{esr} が 2MHz 以上となるため、スイッチング周波数の 1/2 の 500kHz に ESR ゼロに補償ポールを配置します。

補償コンデンサは、 $C_6 = 220pF$, $C_7 = 3pF$ です (V_{COMP} と GND との間におよそ 3pF の寄生容量が存在するため、 C_7 の実装は必須ではありません)。

図 44 に電圧ループゲインのシミュレーション結果を示します。ループ帯域は 90kHz、位相マージンは 70°、ゲインマージンは 10dB が得られています。

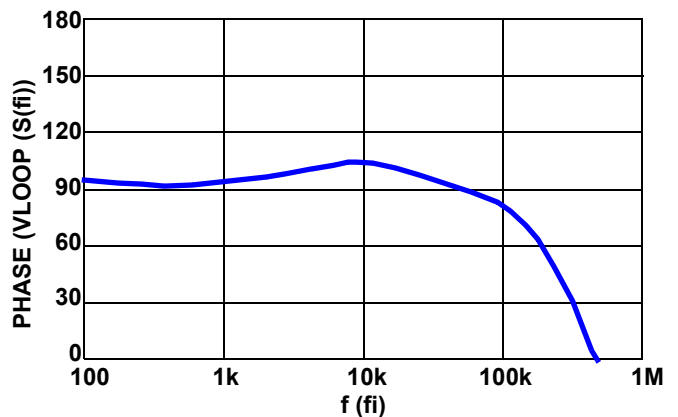
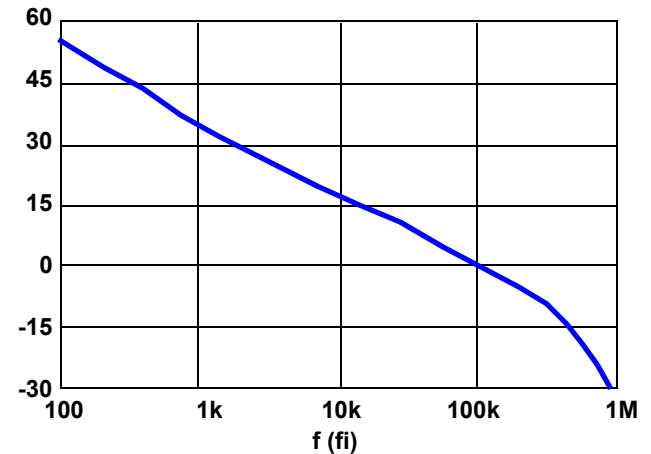


図 44. シミュレーションによるループゲイン

プリント基板の設計ガイドライン

電源コンバータの設計では、設計したコンバータから適切な性能を引き出すためにも、プリント基板レイアウトはきわめて重要です。ISL8023 と ISL8024 の場合、パワーラップは、出力インダクタ L、出力コンデンサ COUT、PHASE ピン、PGND ピンで構成されます。このパワーラップの面積ができるだけ小さくなるように設計してください。また、短く幅の広いトレースでそれぞれを直接接続してください。コンバータのスイッチング・ノードである PHASE ピンと、スイッチング・ノードに接続されるトレースにはきわめて多くのノイズ

が含まれるため、電圧帰還トレースはこれらノイズの多いトレースから離して配線してください。入力コンデンサは VIN ピンのできるだけ近くに配置してください。入力コンデンサと出力コンデンサのグラウンドはできるだけ近くで接続してください。IC から発生する熱は主にサーマルパッドを通して拡散していきます。サーマルパッドを接続する銅箔をできるだけ広く確保してください。EMI 性能を高めるにはベタグラウンド層が適切です。放熱性能を高めるために、パッド内に 5 個以上のビアを設けてグラウンドと接続してください。

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めてはいますが、内容を保証するものではありません。最新のデータシートは、インターシルのウェブサイトでご確認ください。

日付	レビジョン	変更点
2012/2/15	FN7812.1	6 ページの「絶対最大定格」で、VIN の項を「-0.3V」から「-0.3V ~ 6.5V (DC) または 7V (20ms)」に変更。
2012/2/1		1 ページの「特長」と「アプリケーション」の表現を改訂。図 2 を追加。
2011/12/22	FN7812.0	初版リリース

製品

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、通信、コンピューティング、コンシューマ、産業用機器の分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、www.intersil.com/products をご覧ください。

アプリケーション、関連ドキュメント、関連部品については、www.intersil.com 内の [ISL8023](#) と [ISL8024](#) のページを参照してください。

本データシートに関するご意見は、www.intersil.com/askourstaff へお寄せください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ずデータシートが最新であることをご確認くださいませよう願います。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責任を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

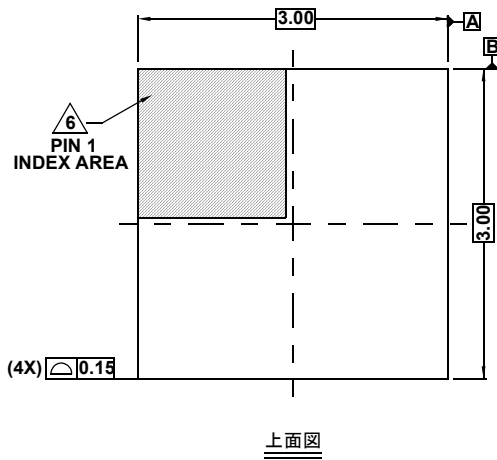
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

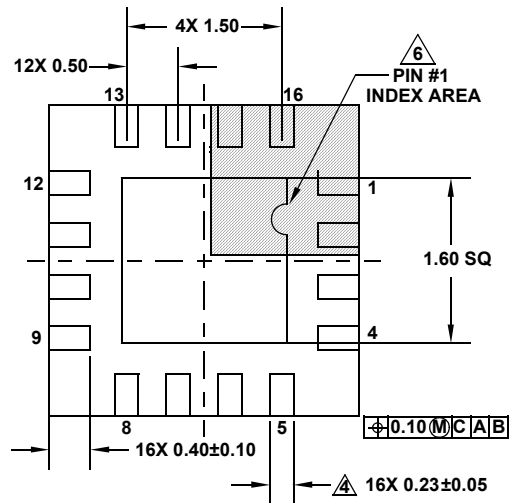
L16.3x3D

16 LEAD THIN QUAD FLAT NO-LEAD PLASTIC PACKAGE

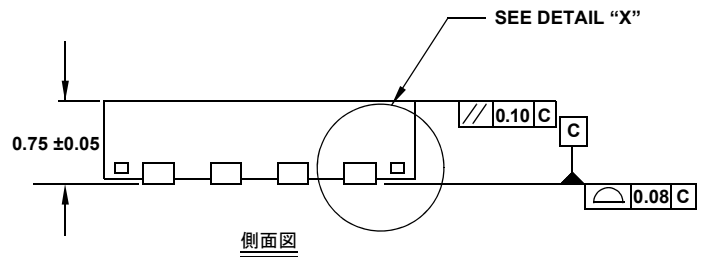
Rev 0, 3/10



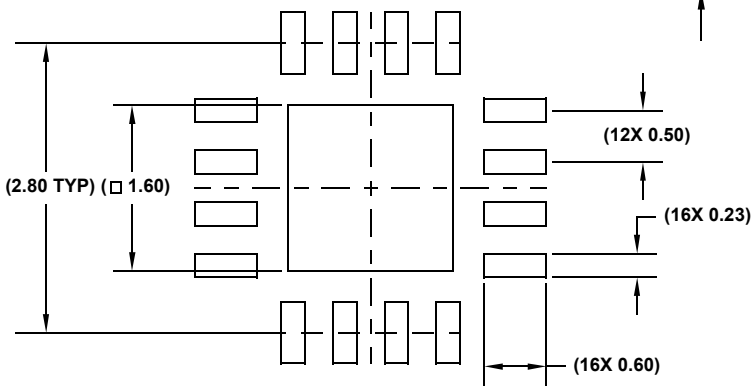
上面図



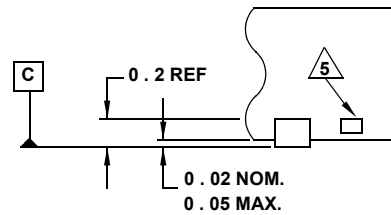
底面図



側面図



推奨ランドパターン例



DETAIL "X"

備考：

1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ± 0.05 です。
4. 寸法は金属端子に適用され、端子先端から 0.15mm ~ 0.25mm のポイントで計測した値です。
5. タイバー (示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。
7. JEDEC 参照寸法図：MO-220 WEED