

小型同期整流型降圧レギュレータ

ISL8025, ISL8025A

ISL8025 と ISL8025A は高効率のモノリシック同期整流型降圧 DC/DC コンバータで、2.7V ~ 5.5V の入力電源から 5A の連続出力電流を生成できます。電流モード制御アーキテクチャの採用により、高周波数においても低いデューティ・サイクルで動作し、高速負荷変動応答と優れたループ安定性を実現しています。

ISL8025/ISL8025A では、超低オン抵抗の P チャネル (36mΩ) ハイサイド FET と N チャネル (13mΩ) ローサイド FET を内蔵し、変換効率の向上と外付け部品数の削減を図っています。100% デューティ・サイクル動作が可能であり、5A 出力時のドロップ電圧は 180mV 未満です。パルス幅変調器 (PWM) の動作周波数は 500kHz から 4MHz の範囲で設定できます。デフォルトのスイッチング周波数は ISL8025 で 1MHz、ISL8025A で 2MHz であり、FS ピンを High に接続することで設定可能です。

ISL8025/ISL8025A は、軽負荷時に不連続動作または強制連続動作を行うように構成できます。強制連続動作ではノイズや RF 干渉を低減し、不連続モードでは軽負荷時のスイッチング損失を抑えて高効率を実現します。

短絡状態や過電流状態の発生時には、内蔵のヒカップモード電流リミット機能によってフォルト保護を行います。過電圧保護や過熱保護などの機能も組み込まれています。出力がレギュレーション状態に達すると、パワーグッド出力電圧モニタによって通知が行われます。

ISL8025/ISL8025A は、パワーアップ時に動作する 1ms のパワーグッド (PG)・ディレイ・タイマを備えています。シャットダウン時には、内蔵のソフトストップ・スイッチを利用して出力コンデンサを放電します。また、固定 / 可変の内蔵ソフトスタートや内部 / 外部補償などの機能も備えています。

ISL8025/ISL8025A は、最大高さ 1mm の省スペース 16 Ld 3 × 3 鉛フリー QFN パッケージで提供され、熱性能を向上させるためのエキスポーズド・パッドを備えています。コンバータ全体の面積は、0.22in² 未満に収まります。

特長

- 入力電圧範囲：2.7V ~ 5.5V
- 超低オン抵抗の FET：P チャネルは 36mΩ、N チャネルは 13mΩ (代表値)
- 高効率同期整流型降圧レギュレータ、最大効率 95%
- ISL8023 および ISL8024 とピン互換
- 温度/負荷/ライン変動に対してリファレンス電圧精度 0.8%
- ソフトスタート回路内蔵：1ms または設定可能
- ディスエーブル時に出力を放電するソフトストップ機能
- スwitching 周波数は 500kHz から 4MHz の範囲で設定可能、デフォルトは 1MHz (ISL8025) または 2MHz (ISL8025A)
- 最高 4MHz まで外部同期可能
- 過熱、過電流、過電圧、負極性過電流保護

アプリケーション

- DC/DC POL モジュール
- マイクロコントローラ / マイクロプロセッサ、FPGA や DSP の電源
- ルータや交換機用のプラグイン DC/DC モジュール
- 携帯用計測器
- 計測機器
- リチウムイオン・バッテリーで動作するモバイル機器

関連文書

- アプリケーション・ノート [AN1806](#) 「5A Low Quiescent Current High Efficiency Synchronous Buck Regulator」

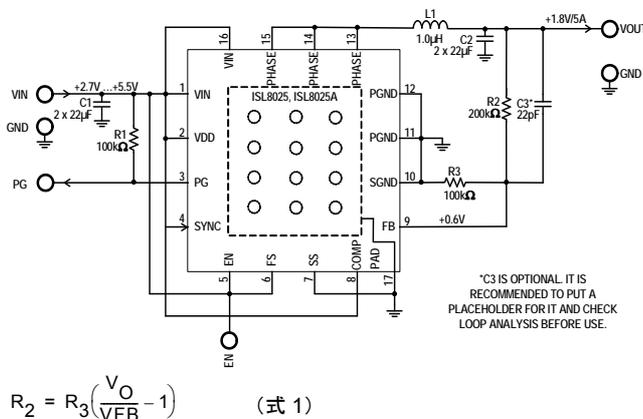


図 1. アプリケーション回路例 (内部補償オプション)

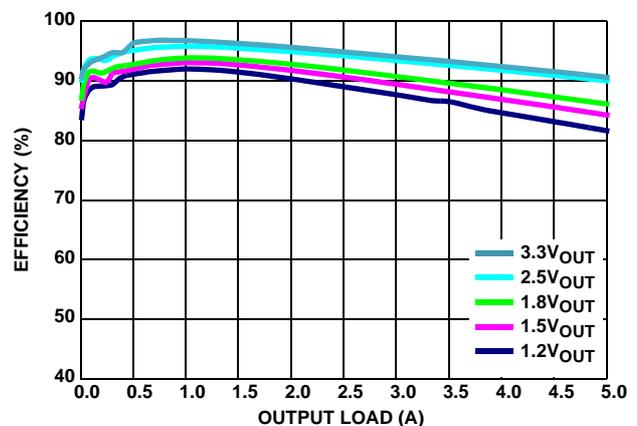


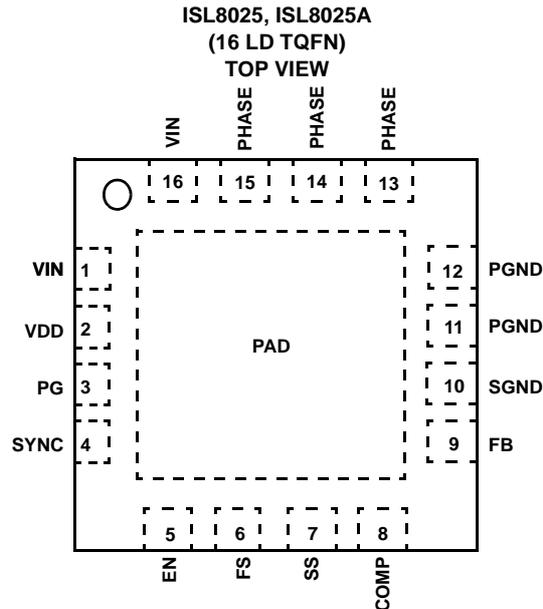
図 2. 効率 vs 負荷電流
 $f_{SW} = 1\text{MHz}$, $V_{IN} = 5\text{V}$, モード = PFM, $T_A = +25^\circ\text{C}$

目次

ピン配置	3
ピンの説明	3
注文情報	4
絶対最大定格	6
温度情報	6
推奨動作条件	6
電気的特性	6
代表的な動作特性	8
代表的な動作特性	11
動作の概要	16
PWM 制御方式	16
スキップモード	16
周波数の設定	17
過電流保護	17
負電流保護	17
パワーグッド	17
アンダーボルテージ・ロックアウト	17
ソフトスタート	17
イネーブル	17
放電モード(ソフトストップ)	18
パワー MOSFET	18
100%デューティ・サイクル	18
サーマル・シャットダウン	18
アプリケーション情報	18
出力インダクタとコンデンサの選択	18
出力電圧の選択	18
入力コンデンサの選択	18
ループ補償の設計	18
プリント基板のレイアウト設計指針	20
改訂履歴	21
インターシルについて	21
パッケージ寸法図	22

ISL8025, ISL8025A

ピン配置



ピンの説明

ピン番号	ピン名称	説明
1, 16	VIN	電源入力です。デカップリング用に少なくとも 2 個の 22 μ F セラミック・コンデンサを IC のできるだけ近くに配置し、VIN と PGND の間に接続してください。
2	VDD	ロジック部分の電源入力です。VIN ピンに接続してください。
3	PG	パワーグッド (PG) はオープン・ドレイン出力です。10k Ω ~ 100k Ω のプルアップ抵抗を VIN と PG の間に接続してください。パワーアップ時や EN が HI の際、出力がレギュレーション状態に達すると、PG の立ち上がりエッジが 1ms 遅延します。
4	SYNC	モード選択ピンです。ロジック High または入力電圧 VIN に接続すると、PWM モードになります。ロジック Low またはグラウンドに接続すると、PFM モードになります。SYNC ピンに外部クロックを与えると立ち上がりエッジをトリガとして外部同期が行われます。SYNC ピンが開放のときに状態が不定にならないように、1M Ω のプルダウン抵抗が内蔵されています。
5	EN	レギュレータのイネーブル・ピンです。High を与えると出力が有効になります。Low を与えるとチップをシャットダウンし出力コンデンサを放電します。
6	FS	FS ピンと GND の間に接続した抵抗 RFS を使って発振器のスイッチング周波数を設定します。動作周波数は 500kHz から 4MHz の範囲で設定できます。FS を VIN に接続した場合は、デフォルト周波数の 1MHz になります。
7	SS	ソフトスタート時間の設定に使用します。SGND に接続すると、内部立ち上がり時間が 1ms になります。ソフトスタート時間を調整するには、SS と SGND の間にコンデンサを接続してください。各 IC のコンデンサ容量が 33nF を超えないようにしてください。
8, 9	COMP, FB	レギュレータの帰還ネットワーク FB は、トランスコンダクタンス誤差アンプへの負入力です。出力電圧は、FB に接続された外付けの抵抗分割器で設定されます。分圧比を適切に選択すれば、電源レール (コンバータ損失を引いた電圧) を上限とし、0.6V を下限とする範囲で、出力電圧を任意の電圧に設定可能です。COMP は、VDD に接続しない場合、同アンプの出力になります。それ以外の場合は、COMP が MOSFET によって遮断され、内部補償が有効になります。一般的なアプリケーションでは、内部補償モードで COMP を VDD に接続してください。アンプ動作のループ補償を向上させる目的で、COMP と SGND に接続された追加の外付けネットワークが必要になることもあります。また、レギュレータのパワーグッドおよびアンダーボルテージ保護回路では、FB を使用してレギュレータの出力電圧をモニタリングします。
10	SGND	シグナル・グラウンドです。
11, 12	PGND	電源グラウンドです。
13, 14, 15	PHASE	スイッチング・ノード接続です。インダクタの一方の端子に接続してください。製品がディスエーブルされているとき、このピンは 100 Ω 抵抗によって放電されます。詳細については、5 ページの「機能ブロック図」を参照してください。
エキスポーズド・パッド	-	適切な電気的特性を得るために、エキスポーズド・パッドは SGND ピンに接続してください。また、最適な放熱性能を得られるように、パッドの下にできるだけ多くのビアを設けて SGND 層に接続してください。

ISL8025, ISL8025A

注文情報

製品型番 (Note 1、2、3)	マーキング	動作周波数 (MHz)	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの 外形図
ISL8025IRTAJZ	025A	1	-40 ~ +85	16 Ld 3x3 TQFN	L16.3x3D
ISL8025AIRTAJZ	25AA	2	-40 ~ +85	16 Ld 3x3 TQFN	L16.3x3D

NOTE :

- テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit (TB347)」を参照してください。
- これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には亜鉛 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
- 湿度感受性レベル (MSL) については [ISL8025](#) または [ISL8025A](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ「Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices (TB363)」を参照してください。

表 1. 主な違いのまとめ

PART NUMBER	I _{OUT} (MAX) (A)	F _{SW} RANGE (MHz)	V _{IN} RANGE (V)	V _{OUT} RANGE (V)	PART SIZE (mm)
ISL8025	5	Programmable 0.5MHz to 4MHz	2.7 to 5.5	0.6 to 5.5	3x3
ISL8025A		Programmable 1MHz to 4MHz			

NOTE :

- 評価キットのデフォルト構成は V_{OUT} = 1.8V、F_{SW} = 1MHz です。
- V_{REF} は 0.6V です。

表 2. ISL8025 の部品選択一覧

V _{OUT}	0.8V	1.2V	1.5V	1.8V	2.5V	3.3V	3.6V
C1	2 x 22μF	2 x 22μF	2 x 22μF	2 x 22μF	2 x 22μF	2 x 22μF	2 x 22μF
C2	4 x 22μF	2 x 22μF	2 x 22μF	2 x 22μF	2 x 22μF	2 x 22μF	2 x 22μF
C3	22pF	22pF	22pF	22pF	22pF	22pF	22pF
L1	0.47~1μH	0.47~1μH	0.47~1μH	0.68~1.5μH	0.68~1.5μH	1~2.2μH	1~2.2μH
R2	33kΩ	100kΩ	150kΩ	200kΩ	316kΩ	450kΩ	500kΩ
R3	100kΩ	100kΩ	100kΩ	100kΩ	100kΩ	100kΩ	100kΩ

表 3. ISL8025A の部品選択一覧

V _{OUT}	0.8V	1.2V	1.5V	1.8V	2.5V	3.3V	3.6V
C1	22μF	22μF	22μF	22μF	22μF	22μF	22μF
C2	3 x 22μF	2 x 22μF	2 x 22μF				
C3	22pF	22pF	22pF	22pF	22pF	22pF	22pF
L1	0.22~0.47μH	0.22~0.47μH	0.22~0.47μH	0.33~0.68μH	0.33~0.68μH	0.47~1μH	0.47~1μH
R2	33kΩ	100kΩ	150kΩ	200kΩ	316kΩ	450kΩ	500kΩ
R3	100kΩ	100kΩ	100kΩ	100kΩ	100kΩ	100kΩ	100kΩ

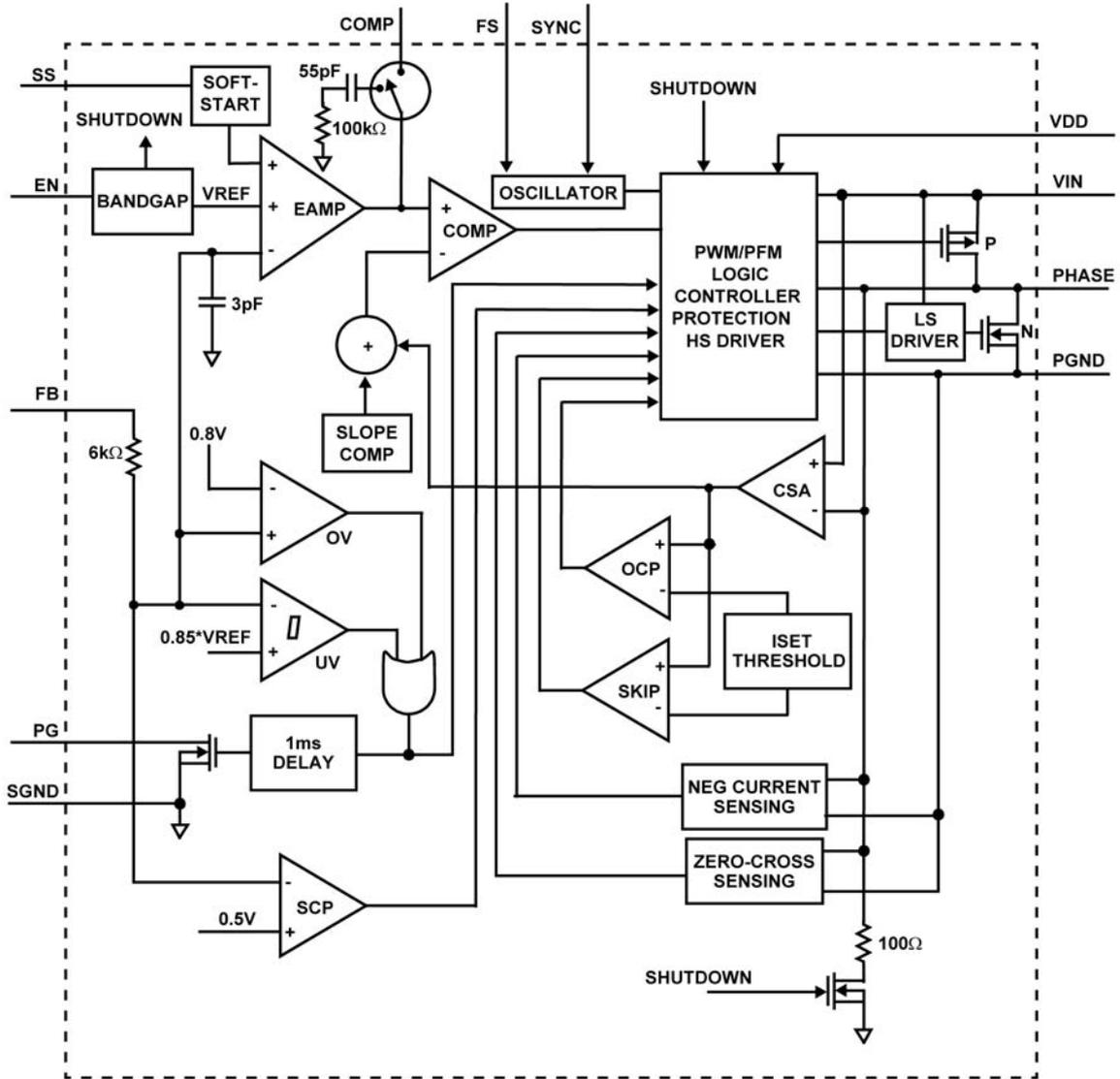


図 3. 機能ブロック図

ISL8025, ISL8025A

絶対最大定格 (GND 基準)

V _{IN}	-0.3V ~ 5.8V (DC) または 7V (20ms)
EN, FS, PG, SYNC, VFB	-0.3V ~ V _{IN} + 0.3V
PHASE	-1.5V (100ns) / -0.3V (DC) ~ 6.5V (DC) または 7V (20ms)
COMP, SS	-0.3V ~ 2.7V
ESD 定格	
人体モデル (JESD22-A114 に従ってテスト)	3kV
デバイス帯電モデル (JESD22-C101E に従ってテスト)	2kV
機械モデル (JESD22-A115 に従ってテスト)	300V
ラッチアップ定格	
(JESD-78A; Class 2, Level A に従ってテスト)	100mA @ +85 °C

温度情報

熱抵抗	θ_{JA} (°C/W)	θ_{JC} (°C/W)
16 LD TQFN パッケージ (Note 6, 7)	47	6.5
ジャンクション温度範囲	-55 °C ~ +125 °C	
保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	以下の URL を参照	
	http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

推奨動作条件

V _{IN} 電源電圧範囲	2.7V ~ 5.5V
負荷電流範囲	0A ~ 5A
周囲温度範囲	-40 °C ~ +85 °C

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

NOTE :

- θ_{JA} はデバイスを放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装し、自由大気中で測定した値です。詳細はテクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 特記のない限り、すべてのパラメータは推奨動作条件で規定し、各仕様値は以下の条件にて測定しています。特記のない限り、 $T_A = -40\text{ °C} \sim +85\text{ °C}$ 、 $V_{IN} = 3.6\text{V}$ 、 $EN = V_{IN}$ 。代表値は $T_A = +25\text{ °C}$ における値です。太字のリミット値は動作温度範囲である $-40\text{ °C} \sim +85\text{ °C}$ に対して適用されます。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
INPUT SUPPLY						
V _{IN} Undervoltage Lockout Threshold	V _{UVLO}	Rising, no load		2.5	2.7	V
		Falling, no load	2.2	2.4		V
Quiescent Supply Current	I _{VIN}	SYNC = GND, no load at the output		50		μA
		SYNC = GND, no load at the output and no switches switching		50	60	μA
		SYNC = V _{IN} , F _{SW} = 1MHz, no load at the output		8	15	mA
		SYNC = V _{IN} , F _{SW} = 2MHz, no load at the output		16	23	mA
Shutdown Supply Current	I _{SD}	SYNC = GND, V _{IN} = 5.5V, EN = low		5	7	μA
OUTPUT REGULATION						
Reference Voltage	V _{REF}		0.595	0.600	0.605	V
VFB Bias Current	I _{VFB}	VFB = 0.75V		0.1		μA
Line Regulation		V _{IN} = V _O + 0.5V to 5.5V (minimal 2.7V)		0.2		%/V
Soft-Start Ramp Time Cycle		SS = SGND		1		ms
Soft-Start Charging Current	I _{SS}	V _{SS} = 0.1V	1.45	1.85	2.25	μA
OVERCURRENT PROTECTION						
Current Limit Blanking Time	t _{OCN}			17		Clock pulses
Overcurrent and Auto Restart Period	t _{OCOFF}			8		SS cycle
Positive Peak Current Limit	I _{PLIMIT}	5A application	6	7.5	9	A
Peak Skip Limit	I _{SKIP}	5A application (See "Application Information" on page 18 for more detail)	0.8	1	1.2	A
Zero Cross Threshold			-200		200	mA
Negative Current Limit	I _{NLIMIT}		-4.5	-3	-1.5	A

ISL8025, ISL8025A

電気的特性 特記のない限り、すべてのパラメータは推奨動作条件で規定し、各仕様値は以下の条件にて測定しています。
 特記のない限り、 $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ 、 $V_{IN} = 3.6\text{V}$ 、 $EN = V_{IN}$ 。代表値は $T_A = +25\text{ }^\circ\text{C}$ における値です。
 太字のリミット値は動作温度範囲である $-40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ に対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
COMPENSATION						
Error Amplifier Trans-Conductance		Internal compensation		60		$\mu\text{A}/\text{V}$
		External compensation		120		$\mu\text{A}/\text{V}$
Trans-Resistance	RT	5A application (test at 3.6V)	0.155	0.175	0.195	Ω
PHASE						
P-Channel MOSFET ON-Resistance		$V_{IN} = 5\text{V}$, $I_O = 200\text{mA}$		36	41	m Ω
		$V_{IN} = 2.7\text{V}$, $I_O = 200\text{mA}$		52	60	m Ω
N-Channel MOSFET ON-Resistance		$V_{IN} = 5\text{V}$, $I_O = 200\text{mA}$		13	16	m Ω
		$V_{IN} = 2.7\text{V}$, $I_O = 200\text{mA}$		17	21	m Ω
PHASE Maximum Duty Cycle				100		%
PHASE Minimum On-Time		SYNC = High			140	ns
OSCILLATOR						
Nominal Switching Frequency	F _{SW}	F _{SW} = V _{IN} , ISL8025	800	1000	1200	kHz
		F _{SW} = V _{IN} , ISL8025A	1600	2000	2400	kHz
		F _{SW} with RS = 402k Ω		490		kHz
		F _{SW} with RS = 42.2k Ω		4200		kHz
SYNC Logic Low-to-High Transition Range			0.70	0.75	0.80	V
SYNC Hysteresis				0.15		V
SYNC Logic Input Leakage Current		$V_{IN} = 3.6\text{V}$		3.6	5	μA
PG						
Output Low Voltage					0.3	V
Delay Time (Rising Edge)		Time from V _{OUT} reached regulation	0.5	1	2	ms
PG Pin Leakage Current		PG = V _{IN}		0.01	0.1	μA
OVP PG Rising Threshold				0.80		V
UVP PG Rising Threshold			0.48	0.51	0.54	V
UVP PG Hysteresis				30		mV
PGOOD Delay Time (Falling Edge)				7.5		μs
EN						
Logic Input Low					0.4	V
Logic Input High			0.9			V
EN Logic Input Leakage Current		Pulled up to 5.5V		0.1	1	μA
Thermal Shutdown		Temperature Rising		150		$^\circ\text{C}$
Thermal Shutdown Hysteresis		Temperature Falling		25		$^\circ\text{C}$

NOTE :

8. データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか1つまたは複数によって保証されています。

代表的な動作特性 特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0μH、C₁ = 22μF、C₂ = 2 x 22μF、I_{OUT} = 0A ~ 5A。テストでは抵抗負荷が使用されています。

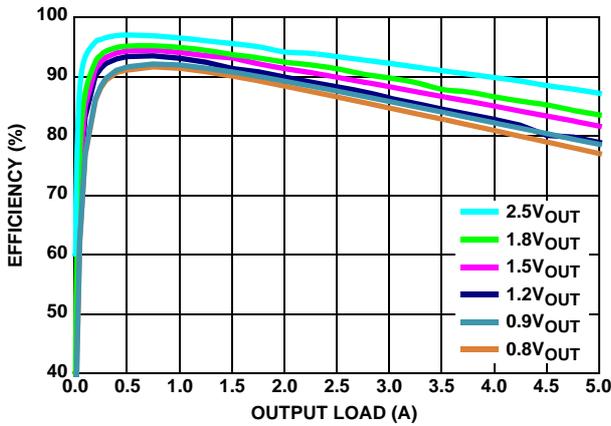


図 4. 効率 vs 負荷電流 (1MHz 3.3V_{IN} PWM)

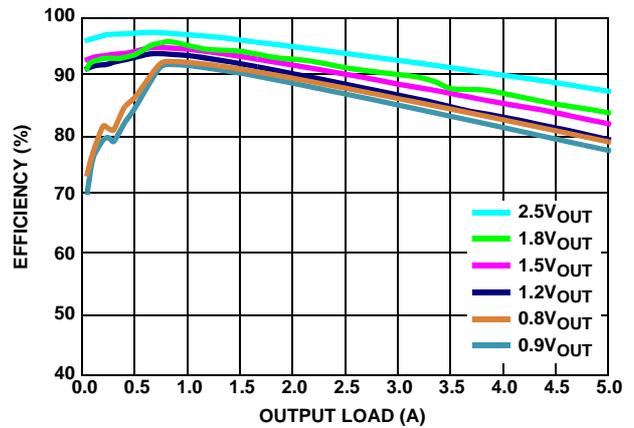


図 5. 効率 vs 負荷電流 (1MHz 3.3V_{IN} PFM)

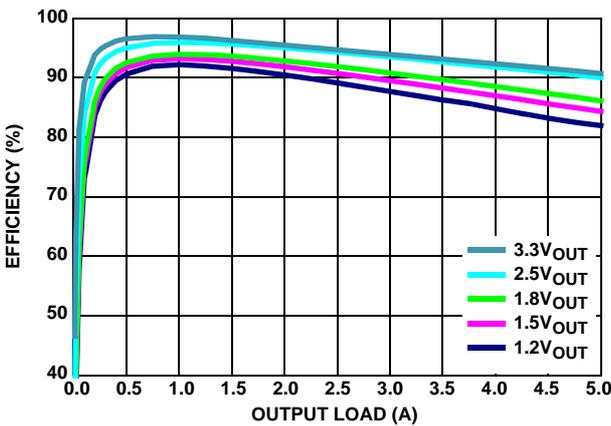


図 6. 効率 vs 負荷電流 (1MHz 5V_{IN} PWM)

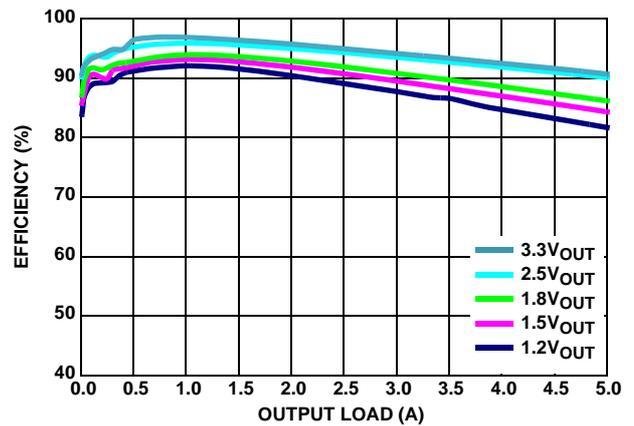


図 7. 効率 vs 負荷電流 (1MHz 5V_{IN} PFM)

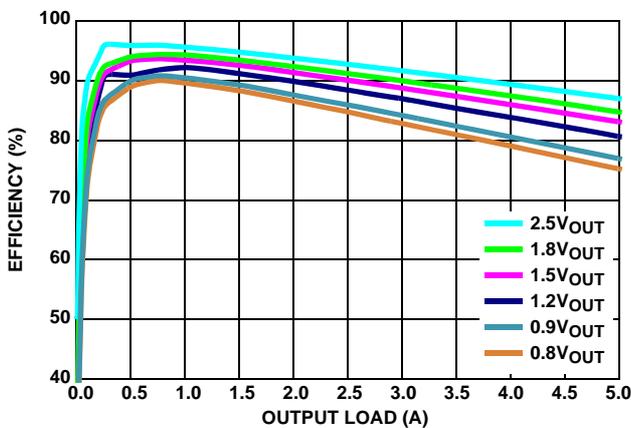


図 8. 効率 vs 負荷電流 (2MHz 3.3V_{IN} PWM)

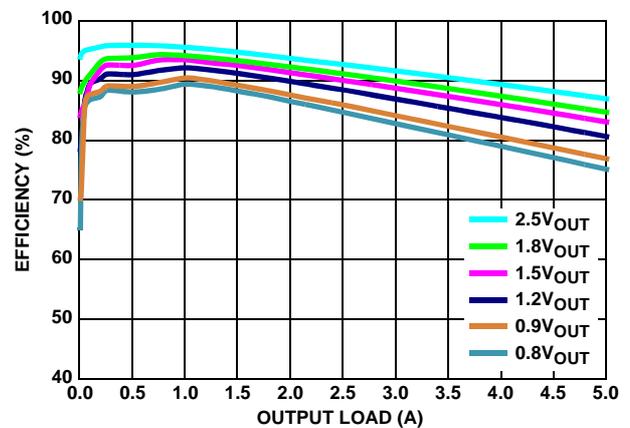


図 9. 効率 vs 負荷電流 (2MHz 3.3V_{IN} PFM)

代表的な動作特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0μH、C₁ = 22μF、C₂ = 2 x 22μF、I_{OUT} = 0A ~ 5A。テストでは抵抗負荷が使用されています。(続き)

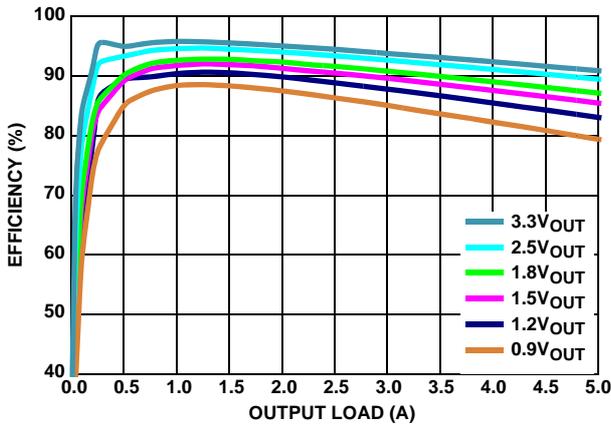


図 10. 効率 vs 負荷電流 (2MHz 5V_{IN} PWM)

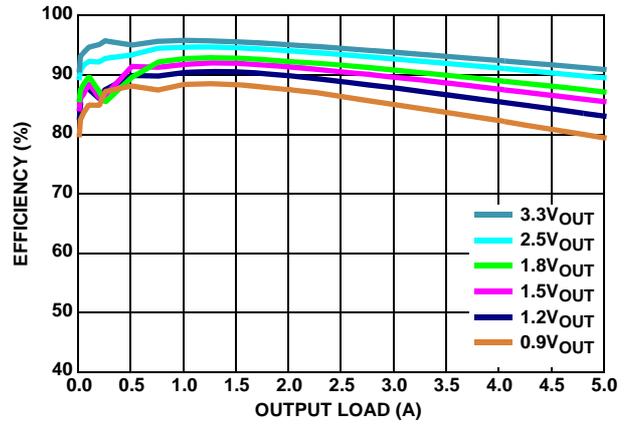


図 11. 効率 vs 負荷電流 (2MHz 5V_{IN} PFM)

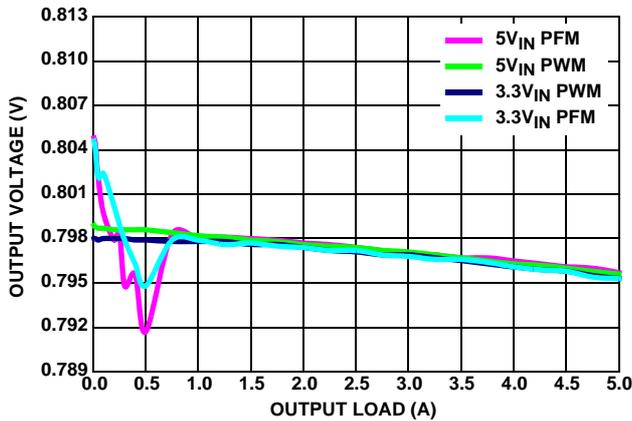


図 12. V_{OUT} レギュレーション vs 負荷電流 (1MHz、V_{OUT} = 0.8V)

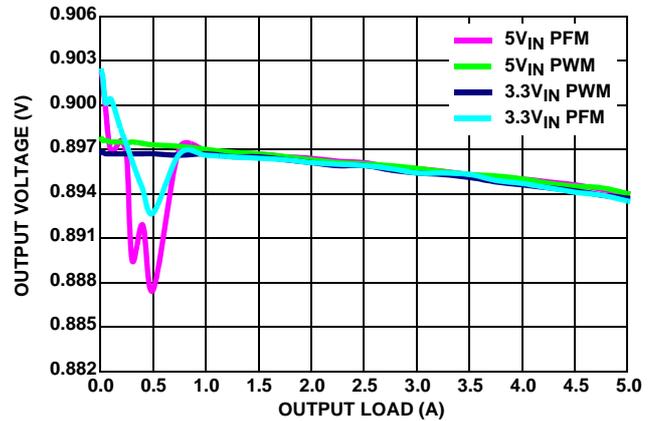


図 13. V_{OUT} レギュレーション vs 負荷電流 (1MHz、V_{OUT} = 0.9V)

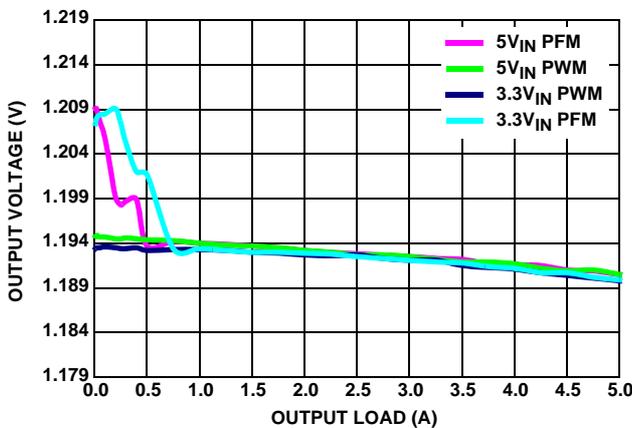


図 14. V_{OUT} レギュレーション vs 負荷電流 (1MHz、V_{OUT} = 1.2V)

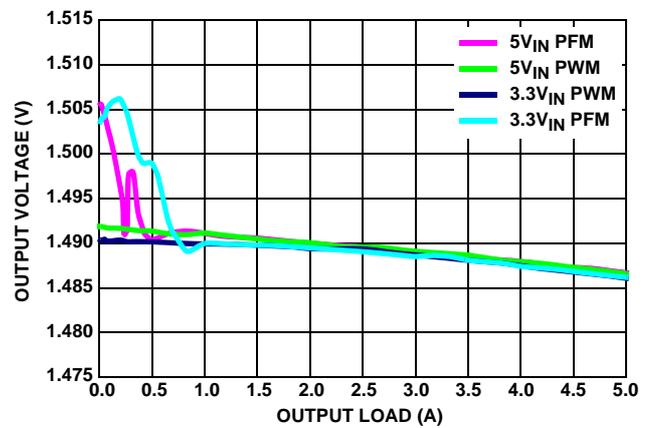


図 15. V_{OUT} レギュレーション vs 負荷電流 (1MHz、V_{OUT} = 1.5V)

代表的な動作特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0μH、C₁ = 22μF、C₂ = 2 x 22μF、I_{OUT} = 0A ~ 5A。テストでは抵抗負荷が使用されています。(続き)

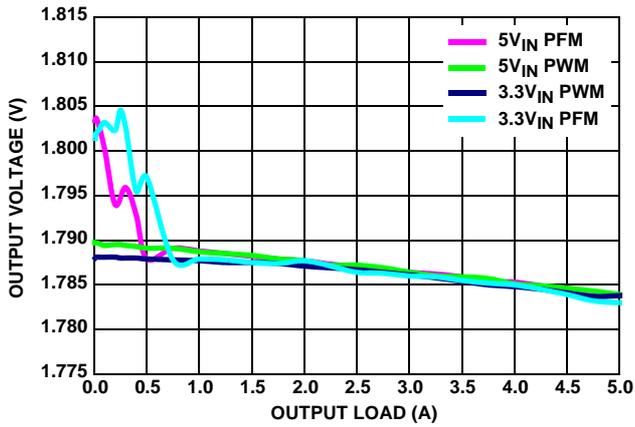


図 16. V_{OUT} レギュレーション vs 負荷電流 (1MHz、V_{OUT} = 1.8V)

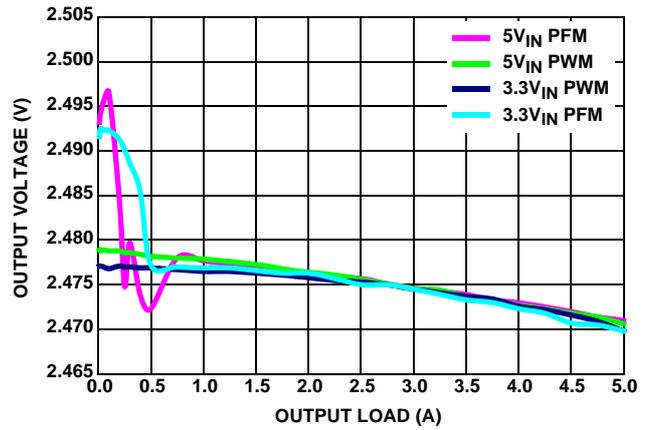


図 17. V_{OUT} レギュレーション vs 負荷電流 (1MHz、V_{OUT} = 2.5V)

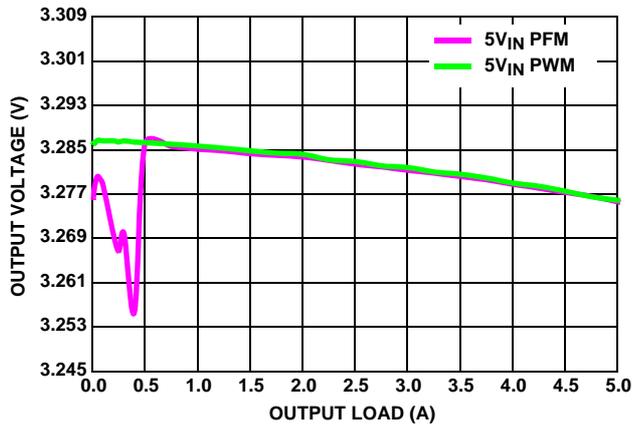


図 18. V_{OUT} レギュレーション vs 負荷電流 (1MHz、V_{OUT} = 3.3V)

代表的な動作特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0μH、C₁ = 22μF、C₂ = 2 x 22μF、I_{OUT} = 0A ~ 5A。テストでは抵抗負荷が使用されています。

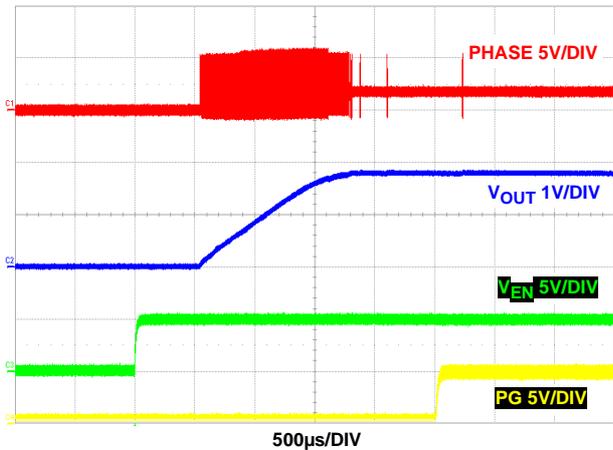


図 19. 無負荷時のスタートアップ (PFM)

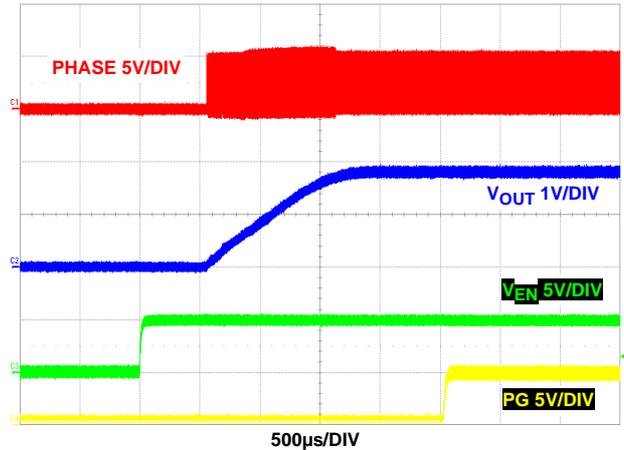


図 20. 無負荷時のスタートアップ (PWM)

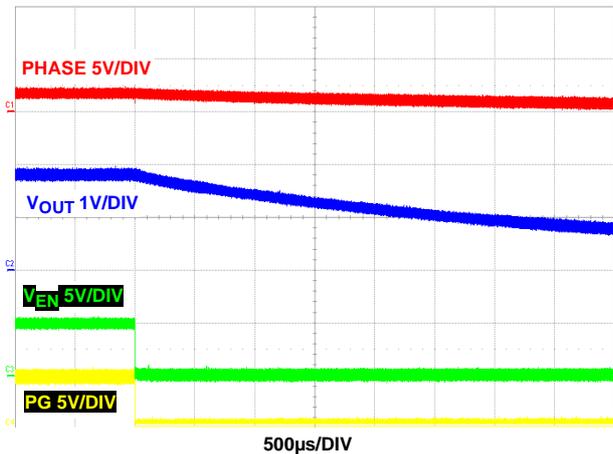


図 21. 無負荷時のシャットダウン (PFM)

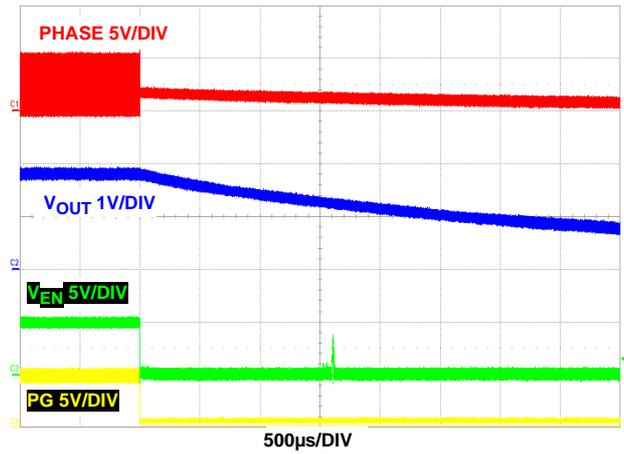


図 22. 無負荷時のシャットダウン (PWM)

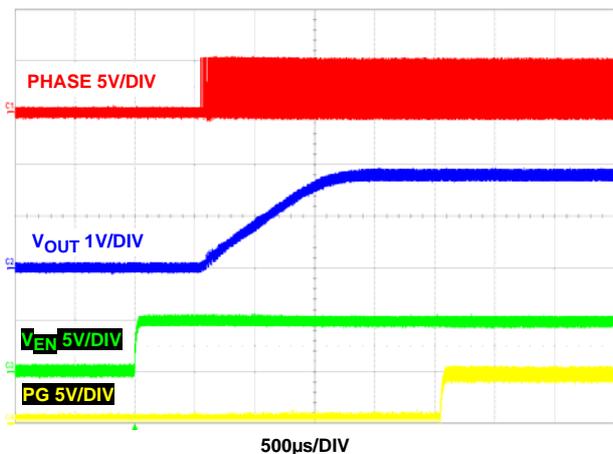


図 23. 5A 負荷時のスタートアップ (PWM)

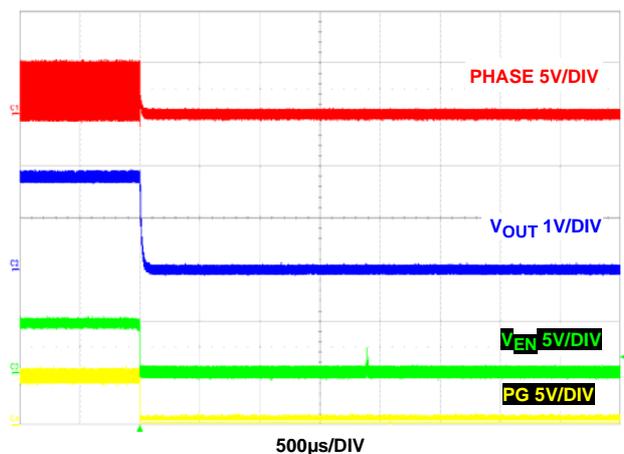


図 24. 5A 負荷時のシャットダウン (PWM)

代表的な動作特性 特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0μF、C₁ = 22μF、C₂ = 2 x 22μF、I_{OUT} = 0A ~ 5A。テストでは抵抗負荷が使用されています。(続き)

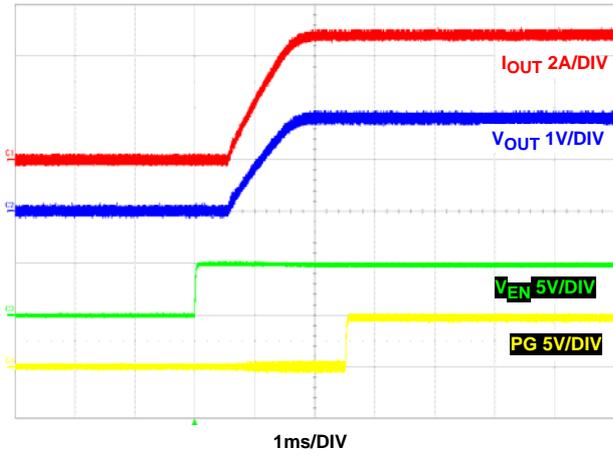


図 25. 5A 負荷時のスタートアップ (PFM)

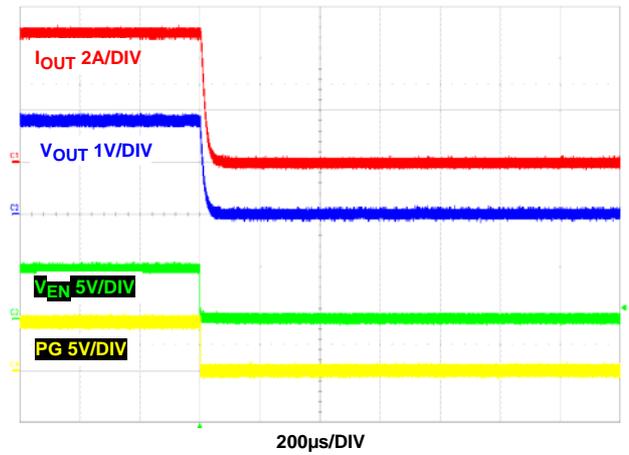


図 26. 5A 負荷時のシャットダウン (PFM)

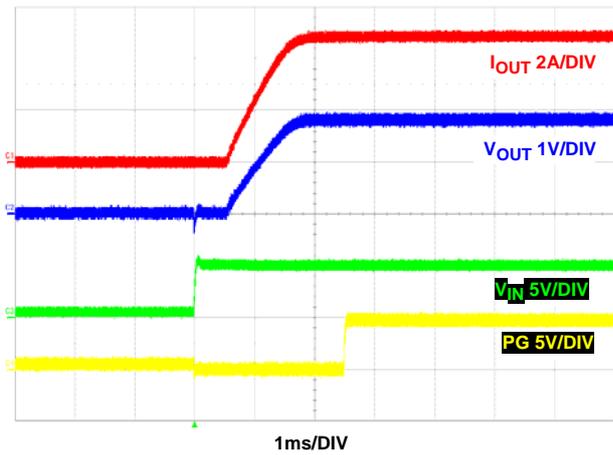


図 27. 5A 負荷時のスタートアップ V_{IN} (PFM)

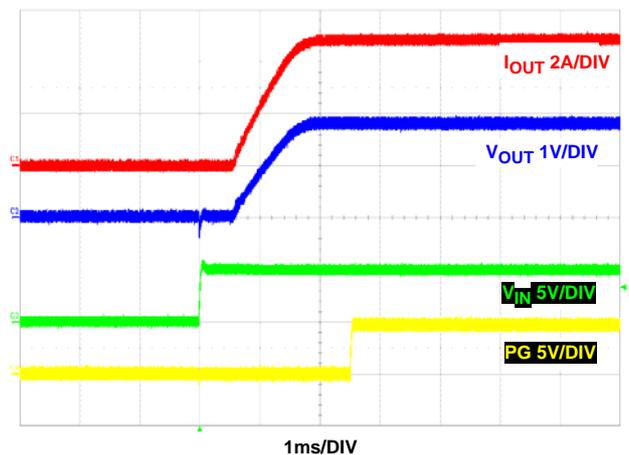


図 28. 5A 負荷時のスタートアップ V_{IN} (PWM)

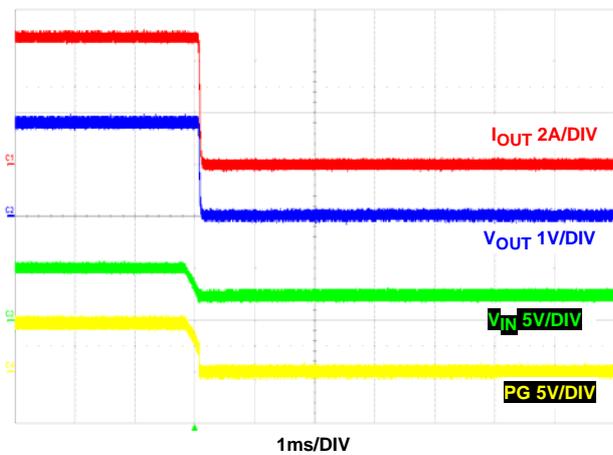


図 29. 5A 負荷時のシャットダウン V_{IN} (PFM)

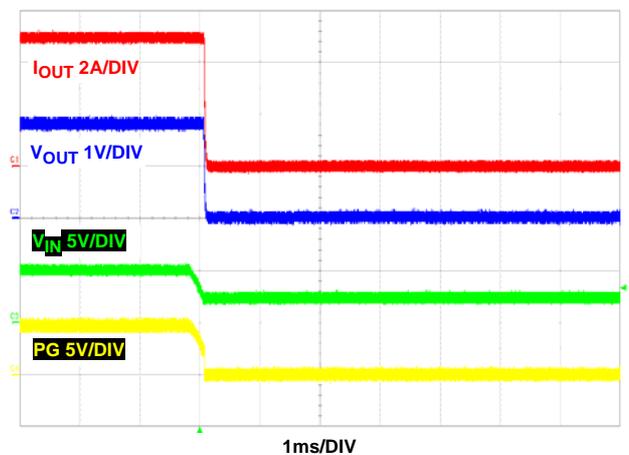


図 30. 5A 負荷時のシャットダウン V_{IN} (PWM)

代表的な動作特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0μH、C₁ = 22μF、C₂ = 2 x 22μF、I_{OUT} = 0A ~ 5A。テストでは抵抗負荷が使用されています。(続き)

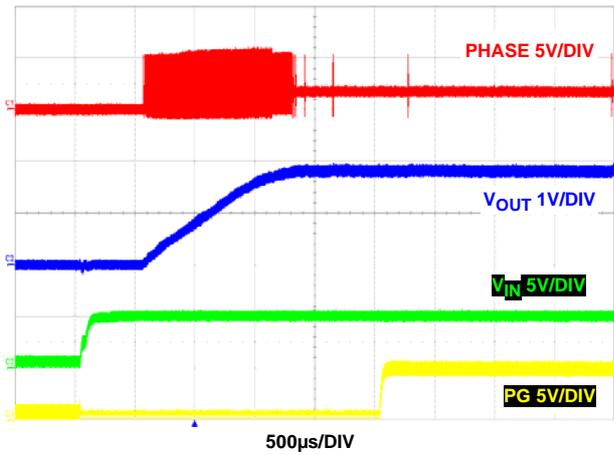


図 31. 無負荷時のスタートアップ V_{IN} (PFM)

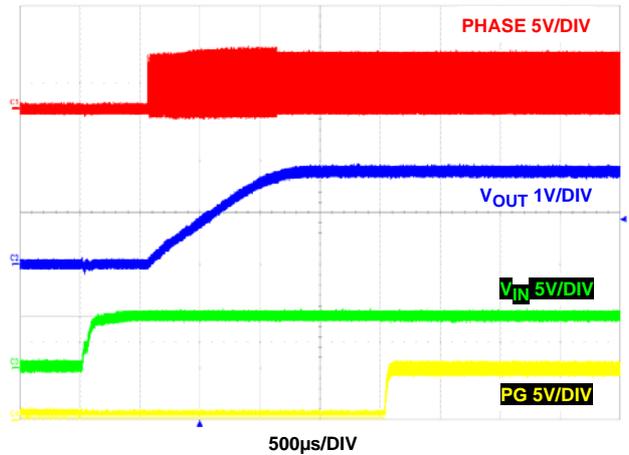


図 32. 無負荷時のスタートアップ V_{IN} (PWM)

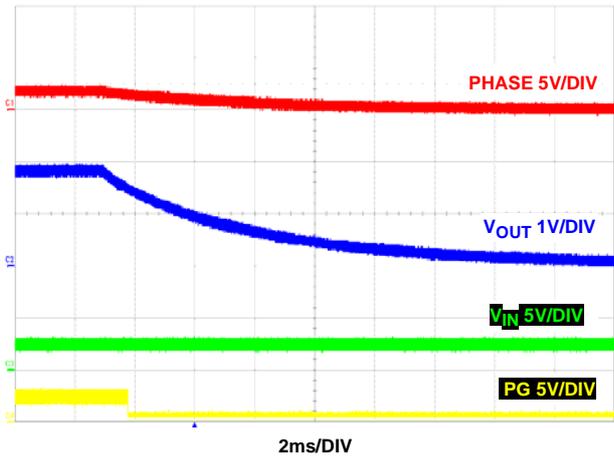


図 33. 無負荷時のシャットダウン V_{IN} (PFM)

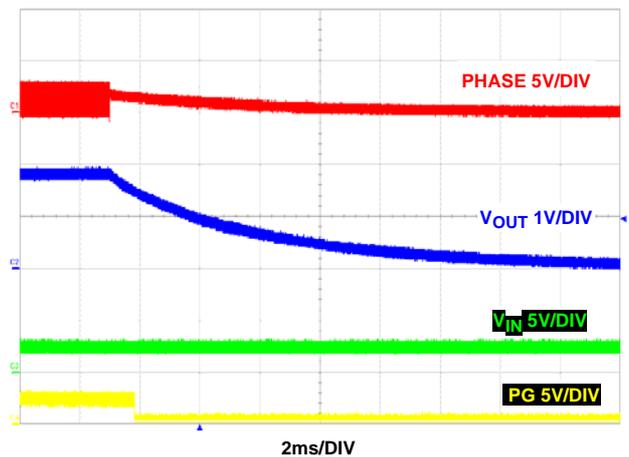


図 34. 無負荷時のシャットダウン V_{IN} (PWM)

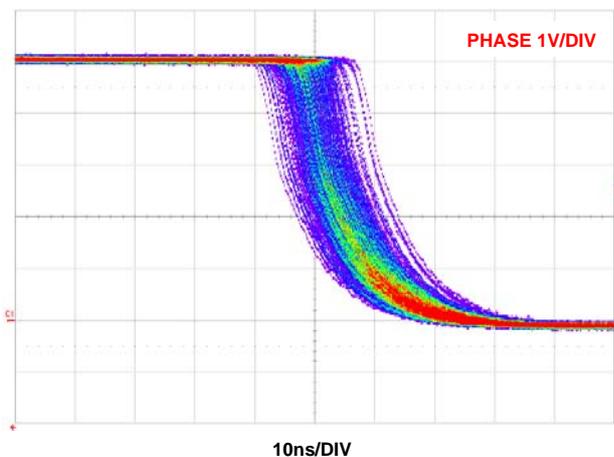


図 35. 無負荷時のジッタ (PWM)

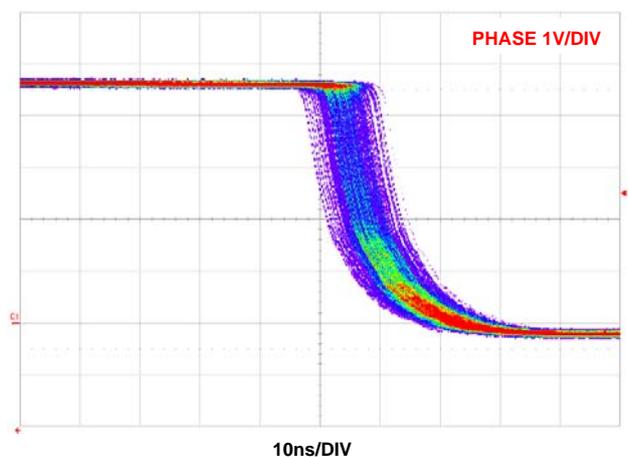


図 36. 全負荷時のジッタ (PWM)

代表的な動作特性

特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0μH、C₁ = 22μF、C₂ = 2 x 22μF、I_{OUT} = 0A ~ 5A。テストでは抵抗負荷が使用されています。(続き)

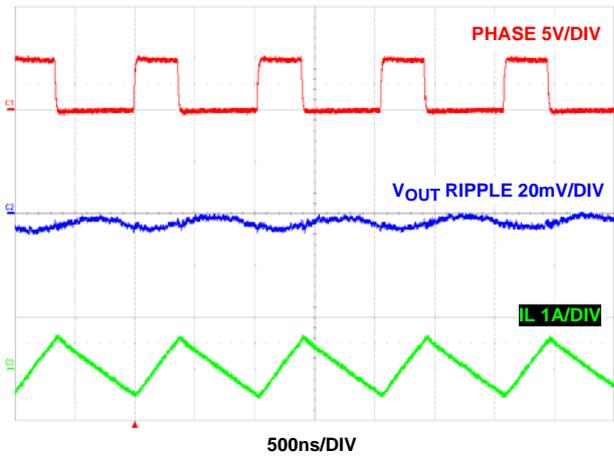


図 37. 無負荷時の安定状態動作 (PWM)

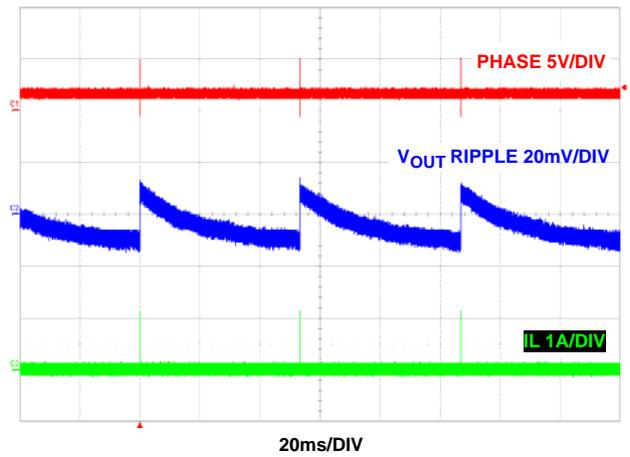


図 38. 無負荷時の安定状態動作 (PFM)

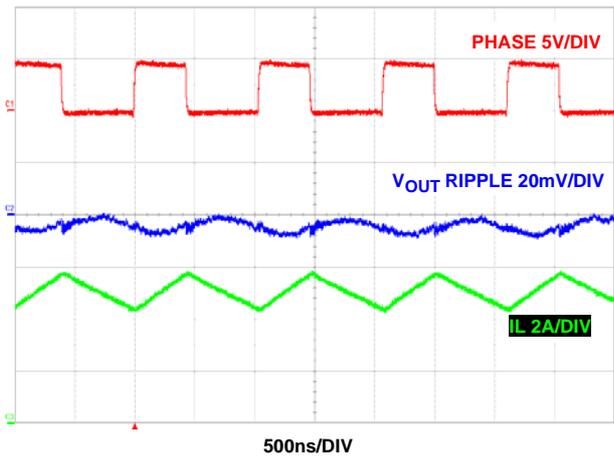


図 39. 5A 負荷時の安定状態動作 (PWM)

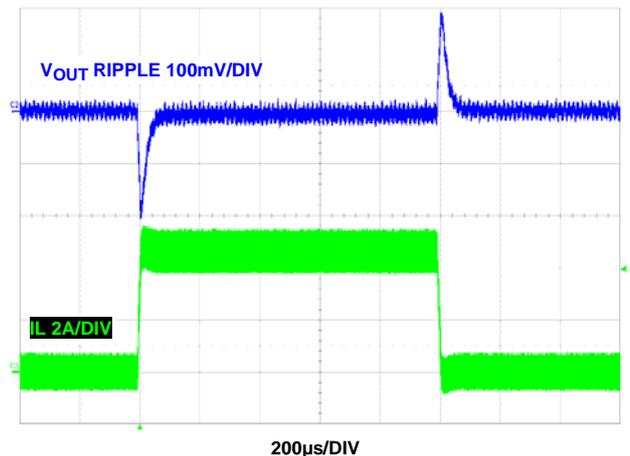


図 40. 負荷変動応答 (PWM)

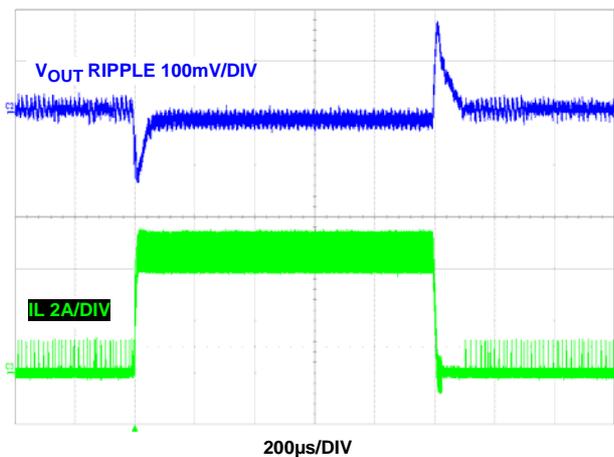


図 41. 負荷変動応答 (PFM)

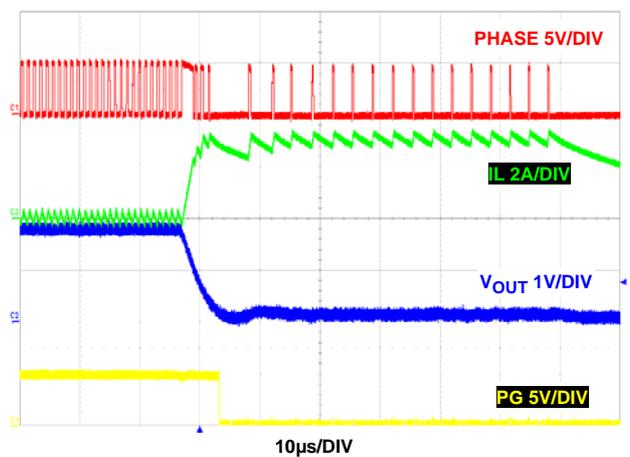


図 42. 出力短絡

代表的な動作特性 特記のない限り、動作条件は次のとおりです。T_A = +25 °C、V_{VIN} = 5V、EN = V_{IN}、SYNC = V_{IN}、L = 1.0μH、C₁ = 22μF、C₂ = 2 x 22μF、I_{OUT} = 0A ~ 5A。テストでは抵抗負荷が使用されています。(続き)

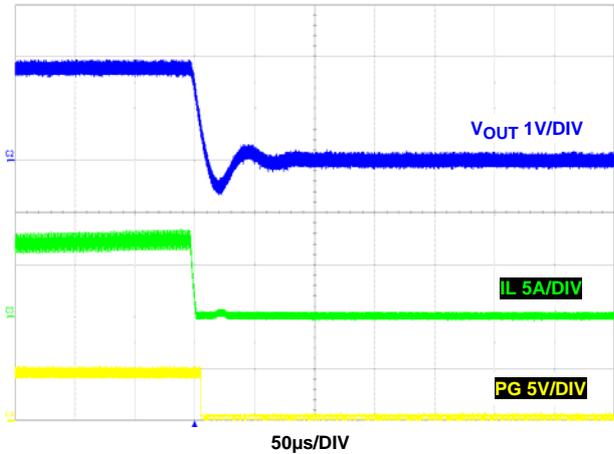


図 43. 過電流保護

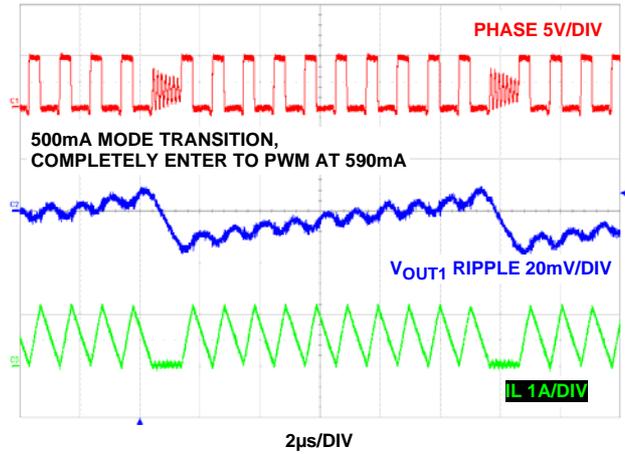


図 44. PFM から PWM への遷移

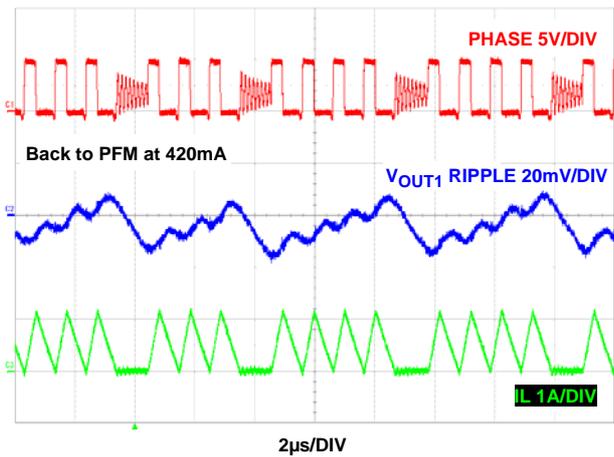


図 45. PWM から PFM への遷移

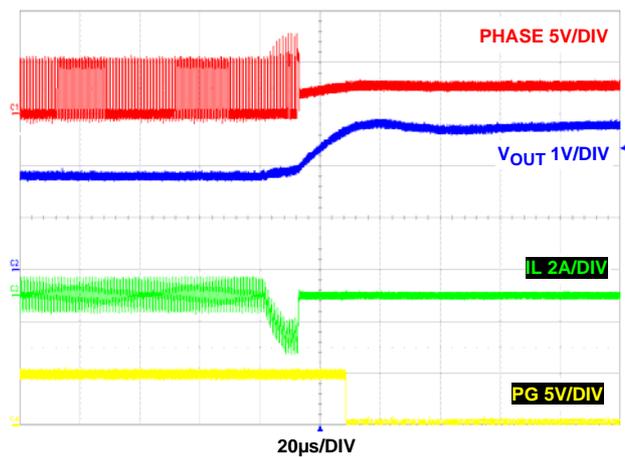


図 46. 過電圧保護

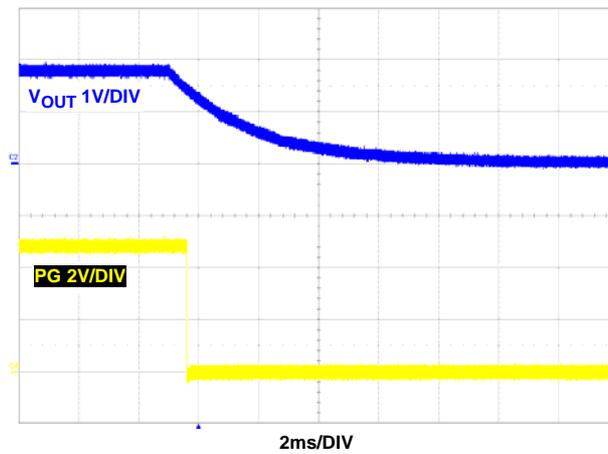


図 47. 過熱保護

動作の概要

ISL8025 と ISL8025A は、バッテリー駆動アプリケーションに最適な降圧スイッチング・レギュレータです。FS を VIN に接続した場合、1MHz または 2MHz の固定デフォルト・スイッチング周波数で動作し、効率化と小型化を実現できます。FS と SGND の間に抵抗を接続した場合は、動作周波数を 500kHz から 4MHz の範囲で設定できます。強制 PWM モードに設定され動作周波数が固定の場合を除いて、軽負荷の時にはスイッチング周波数を下げてスイッチング損失を抑え、バッテリー動作時間の延長を図ります。出力が無負荷のときの静止電流は代表値でわずか 50 μ A です。シャットダウン時の電源電流は代表値でわずか 5 μ A です。

PWM 制御方式

SYNC ピンに HI (>0.8V) を与えると、コンバータは出力電流にかかわらず強制的に PWM モードになります。

ISL8025/ISL8025A は、電流モードのパルス幅変調 (PWM) 制御方式を採用し、高速な負荷変動応答とパルス単位での電流リミットを実現しています。5 ページの図 3 に、機能ブロック図を示します。電流ループは、発振器、PWM コンパレータ、電流センス回路、電流ループの安定化に必要なスロープ補償回路によって構成されています。スロープ補償は 440mV/Ts で、周波数によって変化します。電流センス回路のゲインは代表値で 200mV/A です。電流ループの制御リファレンス値は、誤差アンプ (EAMP) の出力によって与えられます。

PWM 動作は、発振器のクロックによって開始します。PWM サイクルの開始時に P チャネル MOSFET がターンオンし、MOSFET を流れる電流が増加し始めます。電流アンプ CSA とスロープ補償の和が電流ループの制御リファレンス値に達すると、PWM コンパレータ COMP は、P-FET をターンオフし N チャネル MOSFET をターンオンする信号を PWM ロジックに送信します。PWM サイクルの終了時まで、N-FET はオンに保たれます。図 48 に、PWM 動作時の代表的な波形を示します。点線はスロープ補償ランプと電流センス・アンプの CSA 出力の和を示しています。

出力電圧のレギュレーションは、電流ループに与える V_{EAMP} 電圧を制御することで行われます。バンドギャップ回路によって、電圧ループには 0.6V のリファレンス電圧が与えられます。また、帰還信号は VFB ピンから与えられます。ソフトスタート・ブロックはスタートアップ時の動作のみに作用します。その詳細は後述します。誤差アンプは、電圧誤差信号を電流出力に変換するトランスコンダクタンス・アンプです。電圧ループは 55pF および 100k Ω の RC ネットワークによって内部補償されています。最大 EAMP 電圧出力は、1.6V で高精度にクランプされています。

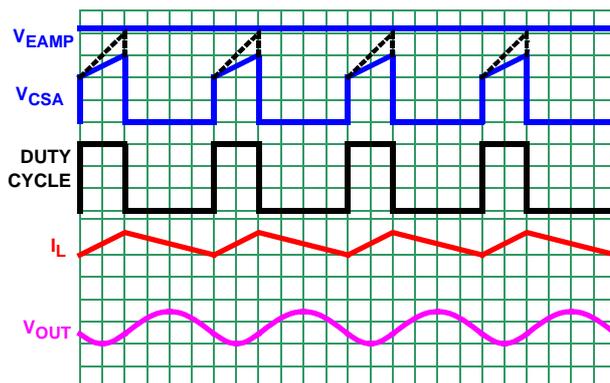


図 48. PWM 動作波形

スキップモード

SYNC ピンに LO (<0.4V) を与えると、コンバータは強制的に PFM モードになります。負荷が軽い場合パルス・スキップモードに移行し、スイッチング周波数を下げてスイッチング損失を最小限に抑えます。図 49 に、スキップモードの動作を示します。5 ページの図 3 に示すゼロクロス・センス回路は、N-FET 電流をモニタリングし、ゼロクロスを検出します。連続 16 サイクルにわたってゼロクロスが検出されると、レギュレータはスキップモードに移行します。この 16 サイクルにわたる検出中、インダクタ電流は負になってもかまいません。電流のゼロクロスが発生しないサイクルがあれば、カウンタは 0 にリセットされます。

スキップモードに移行すると、5 ページの図 3 に示すように、パルス変調が SKIP コンパレータによって制御されるようになります。この時点でも各パルス・サイクルは PWM クロックに同期しています。P-FET はクロックの立ち上がりエッジでターンオンし、出力電圧が公称レギュレーション電圧を 1.2% 上回るか電流がピーク・スキップ電流リミット値に達するとターンオフします。インダクタ電流は放電によって 0A に下がり、その値を保ちます (内部クロックはディスイープ状態になります)。負荷電流によって出力コンデンサが放電されるため、出力電圧は緩やかに低下します。出力電圧が公称電圧まで下がると、P-FET は内部クロックの立ち上がりエッジで再びターンオンし、以上の動作を繰り返します。

出力電圧が公称電圧よりも 2.5% (2MHz では 1.2%) 低下すると、レギュレータは通常の PWM 動作に戻ります。

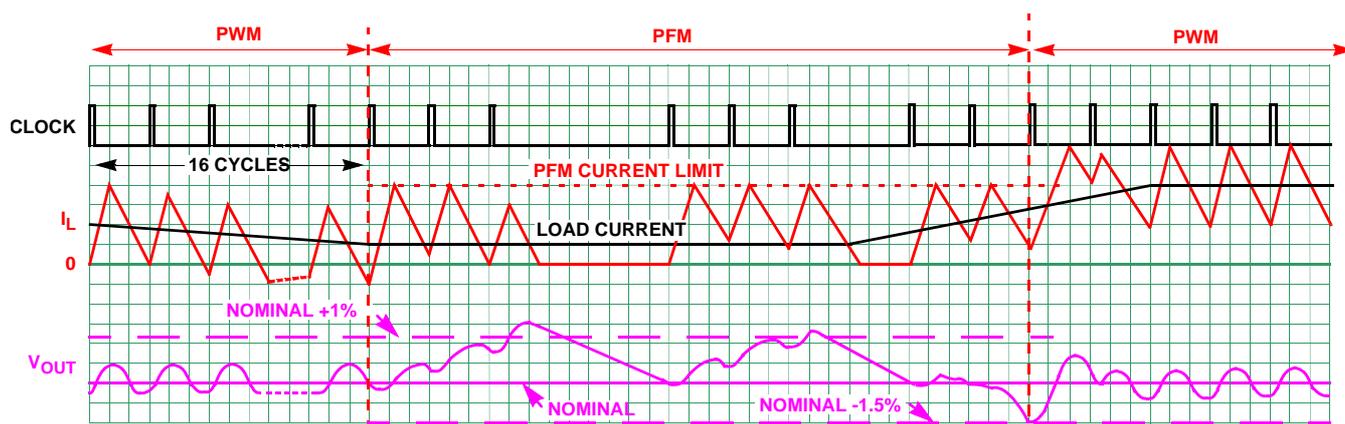


図 49. スキップモード動作波形

周波数の設定

FS を VIN に接続した場合、動作周波数は 1MHz に固定されます。また、FS と SGND の間に単純な抵抗を接続することによって、500kHz から 4MHz の範囲で周波数を設定できます (式 2 を参照)。

$$R_{FS}[\text{k}\Omega] = \frac{220 \cdot 10^3}{f_{OSC}[\text{kHz}]} - 14 \quad (\text{式 2})$$

過電流保護

過電流保護は、図 3 に示すように、CSA 出力を OCP コンパレータでモニタリングすることで実現されています。電流センス回路は、P-FET 電流から CSA 出力に対して 200mV/A のゲインを持ちます。CSA 出力がスレッシュホールドに達すると、OCP コンパレータがトリップし、即座に P-FET をターンオフします。過電流保護機能は、ハイサイド MOSFET を流れる電流をモニタリングすることで、出力短絡からスイッチング・コンバータを保護します。

過電流状態が検出されるとハイサイド MOSFET は即座にターンオフし、次のスイッチング・サイクルが始まるまでターンオンすることはありません。過電流状態が初めて検出されると、過電流フォルト・カウンタが 1 にセットされます。続くサイクルでも過電流状態が検出されると過電流フォルト・カウンタはインクリメントされます。17 サイクル連続して過電流フォルトが検出されると、レギュレータは過電流フォルト状態と見なしシャットダウンします。続いて、ソフトスタート 8 回分に相当する遅延の間に、ヒカップモードでのリスタートを試みます。ソフトスタート 8 回分の時間が経過すると、フォルト・カウンタはリセットされ、ソフトスタートがもう一度試みられます。ソフトスタート 8 回分に相当する遅延の間に過電流状態が解消されると、ヒカップモードの期限が切れた後、出力はレギュレーション・ポイントに戻ります。

負電流保護

過電流保護と同様、負電流保護は、5 ページの図 3 に示すように、ローサイド N-FET を流れる電流をモニタリングすることで実現されます。インダクタ電流の谷点が連続 4 サイクルにわたって -3A に達した場合、P-FET と N-FET の両方がオフになります。N-FET と並列に接続された 100Ω 抵抗が、レギュレーション状態に向けて出力の放電を開始します。出力がレギュレーション状態に入ると制御が切り替わり始めます。レギュレータは、PWM モードに切り替わる前に、必要に応じて 20μs の間 PFM モードになります。

パワーグッド

パワーグッド (PG) は、降圧レギュレータの出力電圧を継続的にモニタリングするウィンドウ・コンパレータのオープン・ドレイン出力です。EN が Low のときや、降圧レギュレータのソフトスタート期間中は、PG が Low に維持されます。ソフトスタート期間の終了から 1ms 遅れて、PG はハイ・インピーダンスになり、出力電圧が VFB で設定された公称レギュレーション電圧以内にある間はその状態が維持されます。VFB が公称レギュレーション電圧を 15% 下回るか、0.8V 上回った時点で PG が Low になります。フォルト状態発生時には、ソフトスタートの試行によってフォルト状態がクリアされるまで、PG が強制的に Low に維持されます。ロジック・レベル出力電圧に対しては、PG と VIN の間に外付けプルアップ抵抗 R₁ を接続してください。ほとんどのアプリケーションには 100kΩ 抵抗が適しています。

アンダーボルテージ・ロックアウト

入力電圧がアンダーボルテージ・ロックアウト (UVLO) スレッシュホールドを下回ると、レギュレータがディスエーブルされます。

ソフトスタート

ソフトスタートは、スタートアップ時の突入電流を抑える機能です。ソフトスタート・ブロックによって、誤差アンプの入力に対しランプ・リファレンスが出力されます。この電圧ランプによりインダクタ電流と出力電圧の速度が制限されるため、出力電圧は制御された状態で上昇します。ソフトスタート開始時に VFB が 0.1V 未満であるときは、スイッチング周波数が 200kHz に低下するので、軽負荷時でも出力はスムーズに開始できます。ソフトスタート中は、プリバイアス出力状態に対応できるように IC がスキップモードで動作します。

SS を SGND に接続すると、内部ソフトスタート時間が約 1ms になります。ソフトスタート時間を調整するには、SS と SGND の間にコンデンサを接続してください。式 3 に示すように、このコンデンサと内蔵の 1.85μA 電流源によって、コンバータのソフトスタート期間 t_{SS} が設定されます。

$$C_{SS}[\mu\text{F}] = 3.1 \cdot t_{SS}[\text{s}] \quad (\text{式 3})$$

フォルト状態発生後にソフトスタートが適切にリセットされるように、C_{SS} は 33nF 未満にしてください。

イネーブル

パワーアップ・シーケンスを行うには、イネーブル (EN) 入力を使って、レギュレータのイネーブルとディスエーブルを制御します。レギュレータがイネーブル状態になった後、パ

ンドギャップ・リファレンスの起動に代表値で 600μs を要します。その後ソフトスタートが始まります。

放電モード (ソフトストップ)

シャットダウン・モードへの移行が起こったとき、または VIN UVLO が設定されたとき、内部 100Ω スイッチによって出力が放電され GND になります。

パワー MOSFET

パワー MOSFET は最大限の効率が得られるように最適化されています。P-FET のオン抵抗は代表値で 36mΩ、N-FET のオン抵抗は代表値で 13mΩ です。

100% デューティ・サイクル

ISL8025/ISL8025A は、バッテリー寿命をできる限り長くするため、100% のデューティ・サイクル動作を特徴としています。ISL8025/ISL8025A が出力レギュレーション状態を保てないほどバッテリー電圧が下がった場合、レギュレータは P-FET を完全にターンオンします。100% デューティ・サイクル動作における最大ドロップアウト電圧は、負荷電流と P-FET のオン抵抗の積で求められます。

サーマル・シャットダウン

ISL8025/ISL8025A には、熱に対する保護機能が内蔵されています。内部温度が +150 °C に達すると、レギュレータは完全にシャットダウンされます。温度が +125 °C まで低下すると、ISL8025/ISL8025A はソフトスタートで徐々に動作を再開します。

アプリケーション情報

出力インダクタとコンデンサの選択

安定状態動作と過渡応答を考慮して、ISL8025 では 1.0μH、ISL8025A では 0.47μF の出力インダクタを一般に使用します。コンバータ全体のシステム性能を高めるためにこれを上回るか、下回るインダクタンス値を使用してもかまいません。たとえば、出力電圧が 3.3V と高めのアプリケーションの場合、インダクタ電流と出力電圧リップルを抑制するために、出力インダクタの値を大きくすることができます。最適なパフォーマンスを実現するには、インダクタのリップル電流は最大出力電流の約 30% に設定することを推奨します。インダクタのリップル電流は、式 4 で表されます。

$$\Delta I = \frac{V_O \cdot \left(1 - \frac{V_O}{V_{IN}}\right)}{L \cdot f_s} \quad (\text{式 4})$$

インダクタの飽和電流定格は、少なくともピーク電流より大きくなければなりません。ISL8025/ISL8025A は代表値で 6A 以上のピーク電流に対して保護機能が働きます。したがって、最大出力電流を必要とするアプリケーションの場合で、飽和電流定格は 7A 以上が必要です。

ISL8025/ISL8025A は内部補償ネットワークを使用するため、出力コンデンサの値は出力電圧に依存します。セラミック・コンデンサは X5R または X7R を推奨します。X5R/X7R 出力コンデンサの推奨最小容量を表 2 に示します。

表 2 に、コンバータ・システム全体の安定動作に必要な出力コンデンサの最小容量値を、それぞれの出力電圧に対応させて示しています。高速負荷変動応答や低出力リップルが求められるアプリケーションでは、出力コンデンサ容量を追加してパフォーマンスを高める必要があります。シミュレーション・モデルも用いてシステム・レベルのパフォーマンスを確認することを推奨します。

出力電圧の選択

レギュレータの出力電圧は、外付けの抵抗分圧回路で設定します。この分圧回路は、内部リファレンス電圧を基準とする出力電圧の比を定めて、誤差アンプの反転入力に帰還する役割を担います (図 1 を参照)。

出力電圧設定抵抗 R_2 は、帰還抵抗に選択された値とレギュレータの出力電圧として得たい値によって決まります。帰還抵抗の値 R_3 は、式 5 に示すように、代表値で 10kΩ ~ 100kΩ です。

$$R_2 = R_3 \left(\frac{V_O}{V_{FB}} - 1 \right) \quad (\text{式 5})$$

出力電圧として得たい値が 0.6V の場合、 R_3 は未実装とし、 R_2 を短絡します。 V_{IN} から PHASE にリーク電流があります。あらかじめ、出力に最低 10μA の負荷をかけておくことを推奨します。パフォーマンスを向上するためには、 R_2 (200kΩ) と並列に 22pF を追加してください。アプリケーションで使用する前にループ解析を確認してください。

入力コンデンサの選択

入力コンデンサの主な機能は、寄生インダクタンスとのデカップリングと、スイッチング電流がバッテリー・レールに逆流しないようにフィルタすることです。入力コンデンサの選択にあたっては、スタートポイントとして、22μF の X5R または X7R セラミック・コンデンサを少なくとも 2 個設けてください。

ループ補償の設計

COMP が VDD に接続されていないとき、COMP ピンは外部ループ補償に対応できます。ISL8025/ISL8025A は、一定周波数のピーク電流モード制御アーキテクチャを用いて、高速ループ過渡応答を実現しています。ハイサイド MOSFET に並列に接続した正確な電流センス・パイロット・デバイスをピーク電流制御と過電流保護の両方に使用しています。インダクタ・ピーク電流は一定ですのでインダクタを状態変数と見なす必要はなく、系は一次系になります。電圧モード制御と比べて、タイプ II 補償回路を設計してループを安定化するほうがはるかに簡単です。ピーク電流モード制御には本来、入力電圧フィード・フォワード機能が備わっているため、良好なライン・レギュレーションが得られます。図 50 は、同期整流型降圧レギュレータの小信号モデルを示しています。

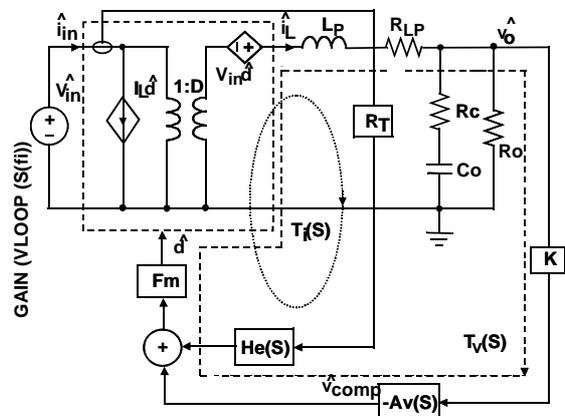


図 50. 同期整流型降圧レギュレータの小信号モデル

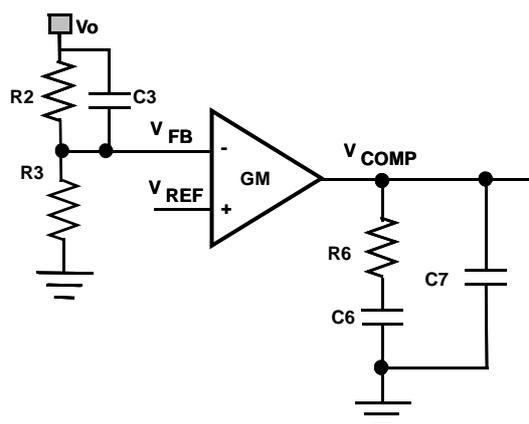


図 51. タイプ II 補償回路

タイプ II 補償回路の回路を図 51 に、伝達関数を式 6 に示します。

$$A_V(S) = \frac{\hat{v}_{comp}}{v_{FB}} = \frac{GM \cdot R_3}{(C_6 + C_7) \cdot (R_2 + R_3)} \frac{\left(1 + \frac{S}{\omega_{cz1}}\right) \left(1 + \frac{S}{\omega_{cz2}}\right)}{S \left(1 + \frac{S}{\omega_{cp1}}\right) \left(1 + \frac{S}{\omega_{cp2}}\right)} \quad (式 6)$$

ここで、

$$\omega_{cz1} = \frac{1}{R_6 C_6}, \quad \omega_{cz2} = \frac{1}{R_2 C_3}, \quad \omega_{cp1} = \frac{C_6 + C_7}{R_6 C_6 C_7}, \quad \omega_{cp2} = \frac{R_2 + R_3}{C_3 R_2 R_3}$$

補償回路の設計目標は以下のとおりです。

高 DC ゲイン

ループ帯域幅 f_c : 100kHz 未満

ゲインマージン : >10dB

位相マージン : >40°

補償回路の設計手順は以下のとおりです。

クロスオーバー周波数 f_c におけるループゲインはユニティゲインです。そこで、補償回路の抵抗 R_6 は式 7 で求められます。

$$R_6 = \frac{2\pi f_c V_o C_o R_t}{GM \cdot V_{FB}} = 15.3 \times 10^3 \cdot f_c V_o C_o \quad (式 7)$$

GMは各位相の電圧誤差アンプのトランスコンダクタンス g_m の和です。補償回路のコンデンサ C_6 は式 8 で与えられます。

$$C_6 = \frac{R_o C_o}{R_6} = \frac{V_o C_o}{I_o R_6}, \quad C_7 = \max\left(\frac{R_c C_o}{R_6}, \frac{1}{\pi f_s R_6}\right) \quad (式 8)$$

高 DC ゲインを得るために、補償回路の 1 つのポールをゼロ周波数に配置し、もう 1 つのポールをスイッチング周波数の 1/2 か ESR ゼロ周波数のいずれか、式 8 で低いほうに配置します。必須ではありませんが、ゼロを追加すると位相マージンが向上します。 ω_{CZ2} は R_2 と C_3 で構成されるゼロです。

補償回路のゼロはクロスオーバー周波数 f_c の 2 ~ 5 倍の周波数に配置します。

$$C_3 = \frac{1}{\pi f_c R_2} \quad (式 9)$$

例 : $V_{IN} = 5V$, $V_O = 1.8V$, $I_O = 5A$, $f_s = 1MHz$, $R_2 = 200k\Omega$, $R_3 = 100k\Omega$, $C_o = 2 \times 22\mu F / 3m\Omega$, $L = 1\mu H$, $f_c = 100kHz$ のとき、補償回路の抵抗 R_6 は、以下のようになります。

$$R_6 = 15.3 \times 10^3 \cdot 100kHz \cdot 1.8V \cdot 44\mu F = 121k\Omega \quad (式 10)$$

$$C_6 = \frac{1.8V \cdot 44\mu F}{5A \cdot 121k\Omega} = 131pF \quad (式 11)$$

$$C_7 = \max\left(\frac{3m\Omega \cdot 44\mu F}{121k\Omega}, \frac{1}{\pi \cdot 1MHz(121k\Omega)}\right) = (1pF, 2.6pF) \quad (式 12)$$

C_6 と C_7 についても同様に、上記の値に最も近い入手可能な素子の標準値を使用します。 V_{COMP} と GND との間におよそ 3pF の寄生容量が存在するため、 C_7 の実装は必須ではありません。 $C_6 = 150pF$ を使用し、 C_7 は開放とします。

$$C_3 = \frac{1}{\pi \cdot 100kHz \cdot 200k\Omega} = 16pF \quad (式 13)$$

$C_3 = 15pF$ を使用します。 C_3 によって、前述の推定値よりもループ帯域幅が増加することがある点に注意してください。図 52 に電圧ループゲインのシミュレーション結果を示します。ループ帯域幅は 150kHz、位相マージンは 42°、ゲインマージンは 10dB が得られています。位相マージンをもっと大きくすることが必要な場合があります。その場合、 R_6 を 20% ~ 30% 小さくします。

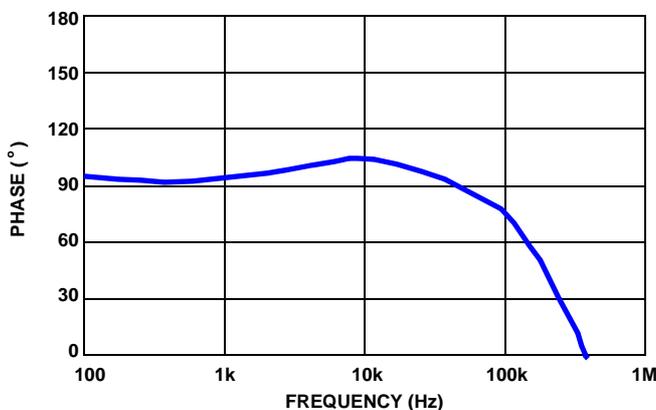
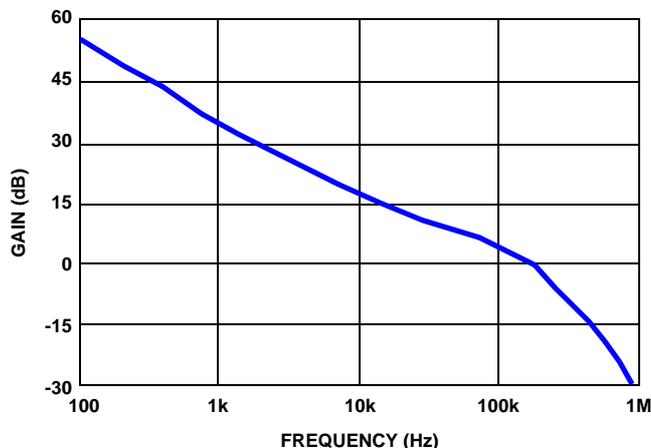


図 52. ループゲインのシミュレーション結果

プリント基板のレイアウト設計指針

設計したコンバータが正常に動作するには、コンバータの設計手順において PCB レイアウトがきわめて重要な役割を果たします。ISL8025/ISL8025A の場合、パワー・ループは出力インダクタ L、出力コンデンサ COUT、PHASE の各ピン、PGND ピンで構成されます。パワー・ループはできる限り小さくするとともに、それらを接続するトレースは迂回させず、最短かつ幅広に設計する必要があります。コンバータのスイッチング・ノード、PHASE ピン、ノードに接続されたトレースは多くのノイズを含んでいるため、電圧帰還トレースはこれらのトレースから離してルーティングしてください。入力コンデンサは VIN ピンのできるだけ近くに配置します。同様に、入力コンデンサのグラウンドと出力コンデンサのグラウンドもできるだけ近くに配置します。IC の発熱は、主にサーマルパッドから拡散します。サーマルパッドに接続される銅部分の面積をできる限り大きくすることを推奨します。また、EMI 性能を高めるにはベタグラウンド層が有効です。放熱を高めるために、少なくとも 5 個のビアのグラウンド接続をパッド内に設けてください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

インターシルの会社概要については www.intersil.com をご覧ください。

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2013/12/19	FN8357.1	<p>1 ページ: 左側、7 行目 変更前: P チャネル (45mΩ) ハイサイド FET と N チャネル (19mΩ) 変更後: P チャネル (36mΩ) ハイサイド FET と N チャネル (13mΩ) 左側、11 行目 「5A 出力時のドロップ電圧は 225mV」を「5A 出力時のドロップ電圧は 180mV」に変更。 右側、2 行目 変更前: P チャネルは 45mΩ、N チャネルは 19mΩ (代表値) 変更後: P チャネルは 36mΩ、N チャネルは 13mΩ (代表値) 「特長」の 6 つ目の「わずか 3 個の外付け部品で電源回路を構成」を削除。 3 ページの「ピンの説明」の COMP ピンで内部補償について追記。 7 ページの「電気的特性»: P チャネルと N チャネルの以下の内容を変更。 P チャネル (VIN = 5V): TYP = 45mΩ、Max = 55mΩ P チャネル (VIN = 2.7V): TYP = 70mΩ、Max = 90mΩ N チャネル (VIN = 5V): TYP = 19mΩ、Max = 25mΩ N チャネル (VIN = 2.7V): TYP = 28mΩ、Max = 37mΩ 変更後。 P チャネル (VIN = 5V): TYP = 36mΩ、Max = 41mΩ P チャネル (VIN = 2.7V): TYP = 52mΩ、Max = 60mΩ N チャネル (VIN = 5V): TYP = 13mΩ、Max = 16mΩ N チャネル (VIN = 2.7V): TYP = 17mΩ、Max = 21mΩ 7 ページの「電気的特性»: 「Compensation」の「Error Amplifier Trans-conductance」の条件を「FSW = VIN」から「Internal compensation」に、「FSW with resistor」から「External compensation」に変更。 8 ページの「代表的な動作特性」の条件に「テストでは抵抗負荷が使用されています。」を追加。 18 ページ 左側、9 行目 代表値 45mΩ を 36mΩ に変更。 左側、10 行目 代表値 19mΩ を 13mΩ に変更。 右側、15 行目 変更前: 15pF を追加 変更後: 22pF を追加 19 ページ 右側、5 行目 C6 = 164pF を C6 = 131pF に変更。 右側、6 行目 C7 = (1pF, 2.3pF) を C7 = (1pF, 2.6pF) に変更。 以下の式を変更。 式 7 で 17.45 を 15.3 に変更。 式 10 の上のテキストで 4A を 5A に変更。 式 10 で 17.45 を 15.3 に、138 を 121 に変更。 式 10 の下にある、次のテキストを削除: 「R6 として、上記の値に最も近い入手可能な素子の標準値 137kΩ を使用します。」 式 11 で 4A を 5A に、137 を 121 に、144 を 164 に変更。 式 12 で 137 を 121 に変更。</p>
2013/2/20	FN8357.0	初版

インターシルについて

インターシルは、革新的なパワーマネジメントと高精度アナログ・ソリューションのプロバイダとして世界をリードしています。インターシルの製品は、産業用機器/インフラ、モバイル・コンピューティング、ハイエンド・コンシューマの分野で特に規模の大きな市場向けに開発されています。インターシルの詳細については、ウェブサイト www.intersil.com を参照してください。

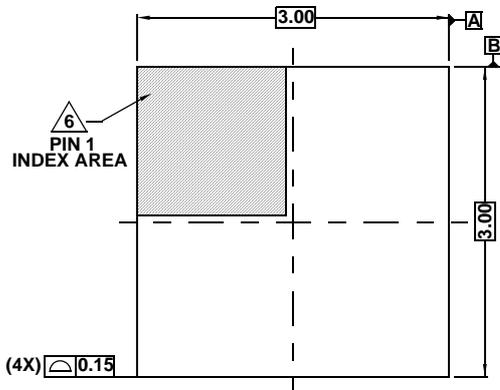
最新のデータシート、アプリケーション・ノート、関連ドキュメント、関連部品は、www.intersil.com/jp に記載のそれぞれの製品情報ページを参照してください。本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

パッケージ寸法図

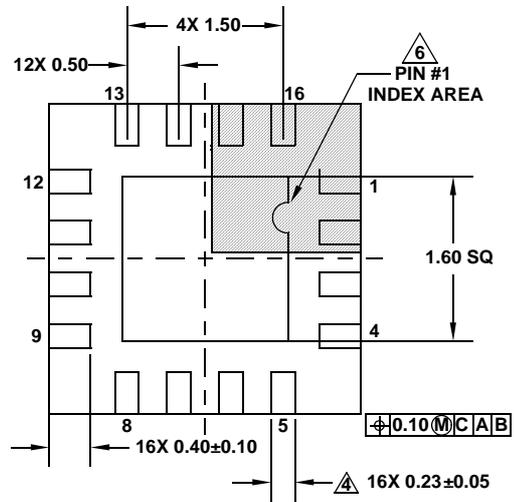
L16.3x3D

16 LEAD THIN QUAD FLAT NO-LEAD PLASTIC PACKAGE

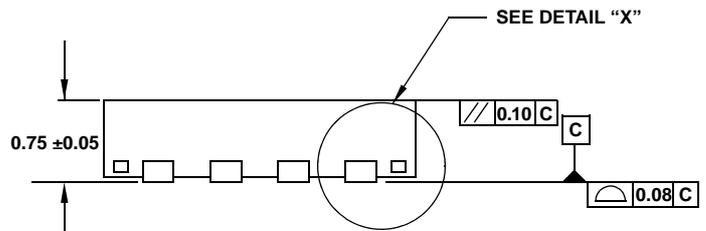
Rev 0, 3/10



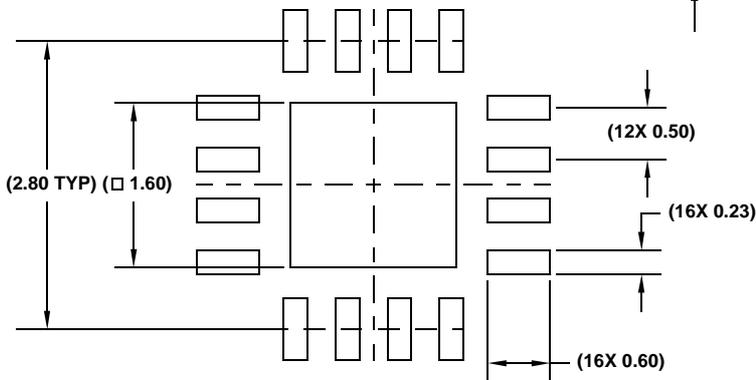
上面図



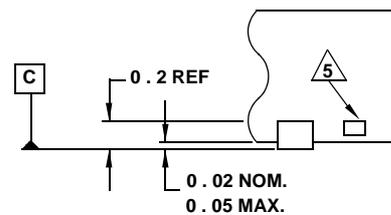
底面図



側面図



推奨ランドパターンの例



"X" の詳細

NOTE:

1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ±0.05 です。
4. 寸法は金属端子に適用され、端子先端から 0.15mm ~ 0.25mm のポイントで計測した値です。
5. タイパー (示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。
7. JEDEC 参照寸法図: MO-220 WEED