

ISL81601

60V 双方向4スイッチ同期昇降圧コントローラ

FN9299

Rev.3.00

2018年11月21日

[ISL81601](#) は真の双方向4スイッチ同期整流型昇降圧コントローラで、ピーク電流および平均電流を両端で検出してモニタします。入出力の電圧範囲が広いこと、産業用機器、電気通信アプリケーションに適しています。

ISL81601 では、昇圧モード制御にバレー電流モジュレーション、降圧モード制御にピーク電流モジュレーションを備えた独自の昇降圧制御アルゴリズムを使用しています。

ISL81601 には、入力と出力、電流と電圧の独立した4系統の制御ループがあります。この製品ファミリは、回路の両端に固有ピーク電流検出機能とサイクルごとの電流リミット機能を備えています。これらの機能により、いずれかの端に高速過渡状態において瞬時電流を両方向で制限することにより、高い信頼性が得られます。また、入出力の両方の端子には電流モニタリングピンが2本あり、定電流(CC)リミットなどのシステム管理機能を促進します。CC動作を使って電圧を低下させることにより、過負荷状態や短絡状態での回路の暴走を防ぐことができます。複数の過電流保護に加えて、OVP、UVP、OTPや両端における平均電流リミットやピーク電流リミットといった総合的な保護機能を提供することにより、双方向および一方操作のどちらでも高い信頼性を確保します。このICは、省スペースを意識した32 Ld 5mmx5mm QFNパッケージまたはアセンブリが容易な4.4mmx9.7mm 38 Ld HTSSOPパッケージに組み込まれています。どちらのパッケージにも、放熱性とノイズ耐性を改善するためにEPADを使用しています。ISL81601はピン数も外付け部品も少なく、デフォルトで内部値が設定されているため、シンプルな電源設計の市場への早期参入にとって理想的なソリューションです。軽負荷での独自のDE(ダイオードエミュレーション)バーストモードでは、さまざまな負荷レベルに渡って一定の出力リップルを持ち、スタンバイ電力消費量を大幅に低減することができます。

関連資料

全ての関連文書の一覧は、弊社Webサイトを参照してください。

- [ISL81601](#) 製品ページ

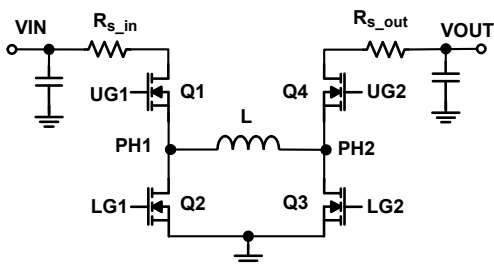


図1. 昇降圧パワートレイントポロジ

特長

- 単一インダクタ4スイッチ昇降圧コントローラ
- 両端での電圧と電流の独立制御を備えたオンザフライ双方向操作
- 独自のアルゴリズムでスムーズなモード切り替え
- 適応型シュートスルー保護機能を備えたMOSFETドライブ
- 幅広い入力電圧範囲：4.5V～60V
- 幅広い出力電圧範囲：0.8V～60V
- SRソフトスタート付きプリバイアス出力をサポート
- プログラマブル周波数：100kHz～600kHz
- カスケードフェーズインターリーブ機能によるパラレル動作カレントシェアをサポート
- クロックアウトまたは周波数ディザリングを備えた同期
- 高効率のための外部バイアスで入力8V-36Vをサポート
- 出力および入力電流モニタ
- PWMモード操作をPWM/DE/バーストモードから選択可能
- 正確なEN/UVLOおよびPGOODインジケータ
- 低シャットダウン電流：2.7μA
- 完全な保護機能：OCP、SCP、OVP、OTP、UVP
  - 平均電流リミットとパルスバイパルスのピーク電流リミット付きデュアルレベルOCP保護
  - OCP応答をヒカップモードまたは定電流モードから選択可能
  - ネガティブパルスバイパルスピーク電流リミット

アプリケーション

- バッテリ・バックアップ
- UPS/ストレージシステム
- バッテリ式産業用機器アプリケーション
- 再生可能エネルギー
- 冗長電源
- ロボットとドローン
- 医療用機器
- 建設用および産業用オートメーション
- セキュリティ監視

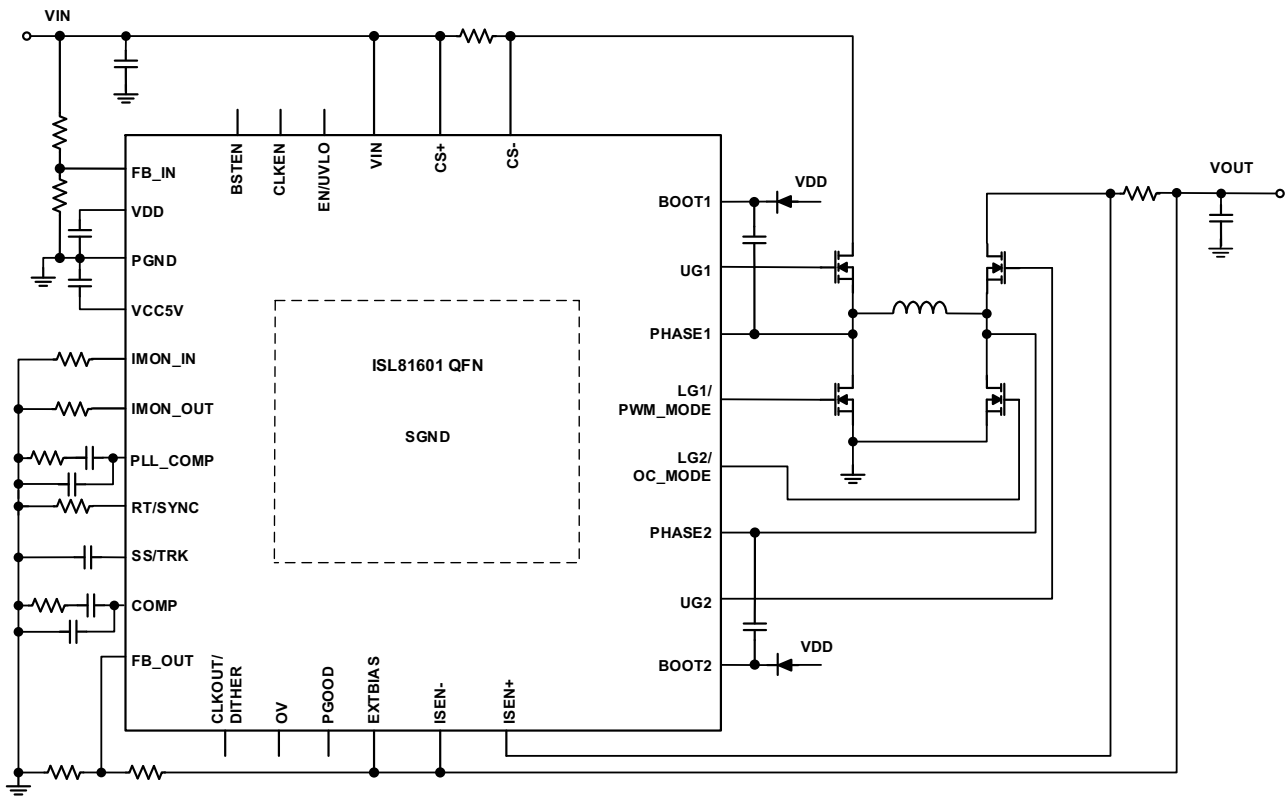


図 2. アプリケーションダイアグラム例

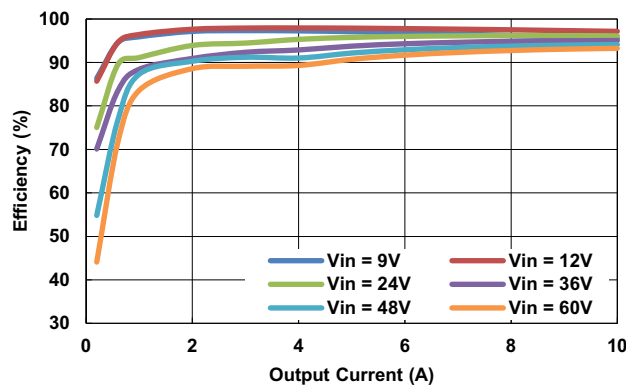


図 3. 効率 (V<sub>OUT</sub>=12V、DEモード)

## 目次

<b>1.</b>	<b>概要</b> .....	<b>4</b>
1.1	アプリケーション回路図例 .....	4
1.2	ブロック図 .....	6
1.3	注文情報 .....	7
1.4	ピン構成 .....	8
1.5	ピンの説明 .....	9
<b>2.</b>	<b>仕様</b> .....	<b>12</b>
2.1	絶対最大定格 .....	12
2.2	熱に関する情報 .....	12
2.3	推奨動作条件 .....	13
2.4	電氣的仕様 .....	13
<b>3.</b>	<b>代表的な性能曲線</b> .....	<b>19</b>
<b>4.</b>	<b>機能説明</b> .....	<b>25</b>
4.1	概要 .....	25
4.2	内部8Vリニア・レギュレータ (VDD)、外部バイアス電源 (EXTBIAS)、 5Vリニア・レギュレータ (VCC5V) 25	
4.3	イネーブル (EN/UVLO)およびソフトスタート操作 .....	25
4.4	トラッキング動作 .....	26
4.5	制御ループ .....	27
4.6	昇降圧変換トポロジおよび制御アルゴリズム .....	29
4.7	軽負荷時の効率向上 .....	32
4.8	プリバイアス・パワーアップ .....	33
4.9	周波数の選択 .....	33
4.10	位相同期ループ (PLL) .....	33
4.11	周波数同期およびディザリング .....	34
4.12	並列処理カレントシェア .....	35
4.13	ゲートドライバ .....	37
4.14	パワーグッド・インジケータ .....	38
<b>5.</b>	<b>保護回路</b> .....	<b>39</b>
5.1	入力アンダーボルテージ・ロックアウト .....	39
5.2	VCC5Vパワーオン・リセット (POR) .....	39
5.3	過電流保護 (OCP) .....	39
5.4	過電圧保護 .....	40
5.5	過熱保護 .....	40
<b>6.</b>	<b>レイアウトのガイドライン</b> .....	<b>41</b>
6.1	レイアウトの考慮事項 .....	41
6.2	一般的なEPAD設計検討事項 .....	42
<b>7.</b>	<b>外部部品選択ガイドライン</b> .....	<b>43</b>
7.1	MOSFETの検討事項 .....	43
7.2	インダクタの選択 .....	44
7.3	出力コンデンサの選択 .....	44
7.4	入力コンデンサの選択 .....	45
<b>8.</b>	<b>改定履歴</b> .....	<b>46</b>
<b>9.</b>	<b>パッケージの外形図</b> .....	<b>47</b>

# 1. 概要

## 1.1 アプリケーション回路図例

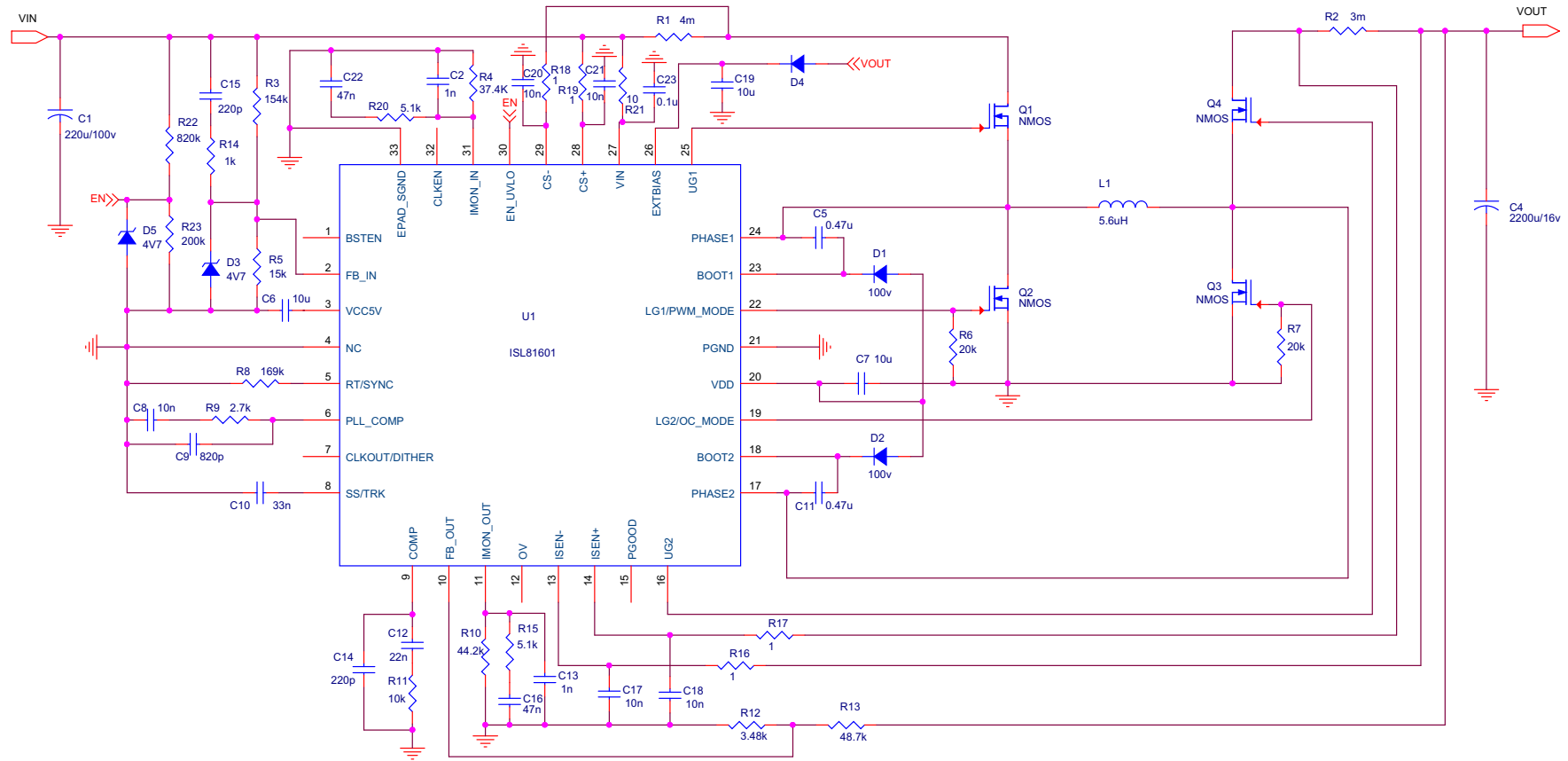


図 4. ISL81601EVAL1Z ( $V_{IN}=9V \sim 60V$ 、 $V_{OUT}=12V$ 、 $I_{OUT}=10A$ ) 評価ボード回路図



1.2 ブロック図

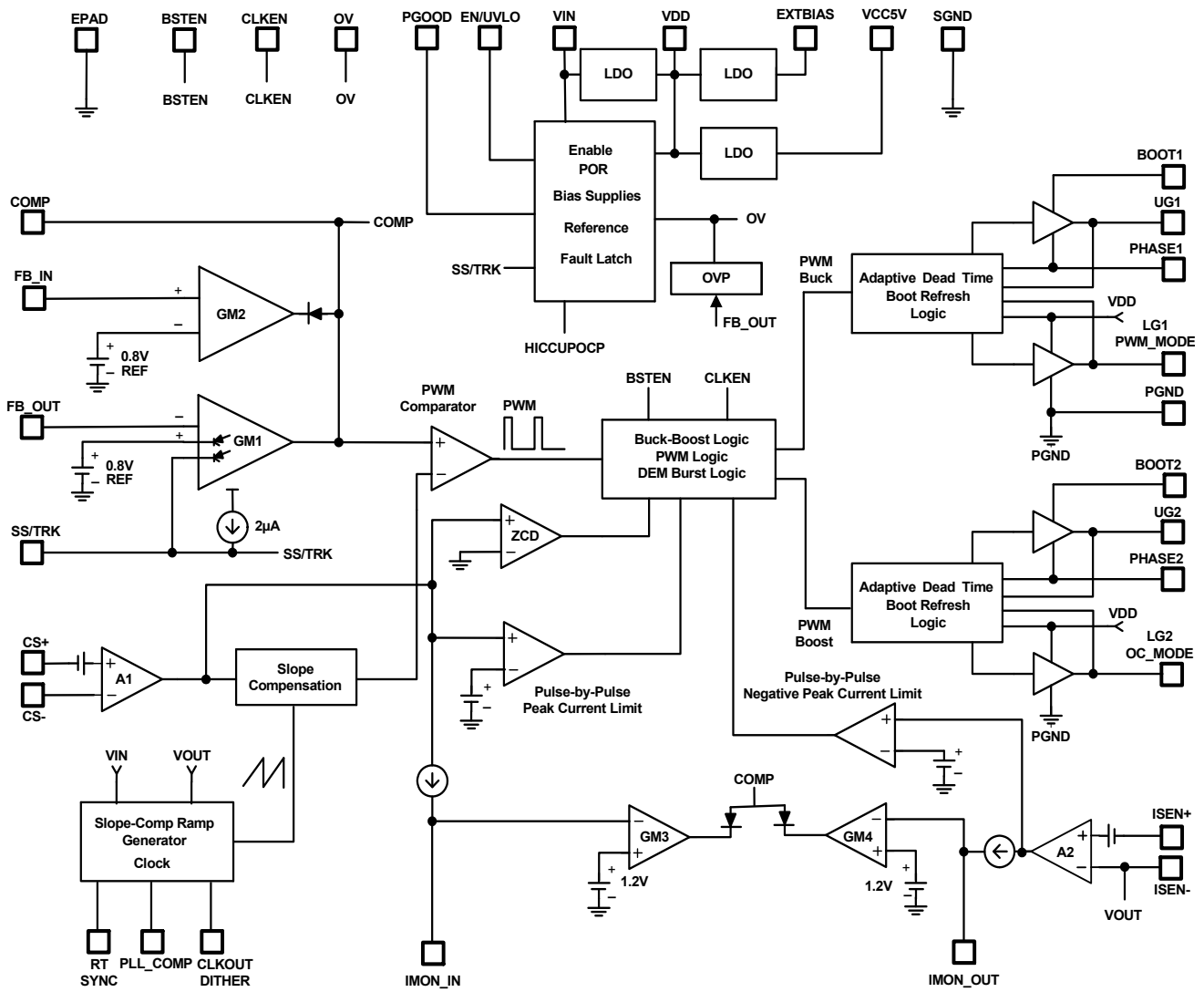


図 6. ブロック図

### 1.3 注文情報

製品型番 (Notes 2, 3)	部品マーキング	温度範囲 (°C)	テープ、リール (ユニット) (Note 1)	パッケージ (RoHS 準拠)	パッケージ Dwg.#
ISL81601FRZ	81601 FRZ	-40 ~ +125	-	32 Ld 5x5 QFN	L32.5x5B
ISL81601FRZ-T	81601 FRZ	-40 ~ +125	6k	32 Ld 5x5 QFN	L32.5x5B
ISL81601FRZ-T7A	81601 FRZ	-40 ~ +125	250	32 Ld 5x5 QFN	L32.5x5B
ISL81601FVEZ	81601 FVEZ	-40 ~ +125	-	38 Ld HTSSOP	M38.173C
ISL81601FVEZ-T	81601 FVEZ	-40 ~ +125	2.5k	38 Ld HTSSOP	M38.173C
ISL81601FVEZ-T7A	81601 FVEZ	-40 ~ +125	250	38 Ld HTSSOP	M38.173C
ISL81601EVAL1Z	QFN用評価ボード				
ISL81601EVAL2Z	HTSSOP用評価ボード				

## Notes:

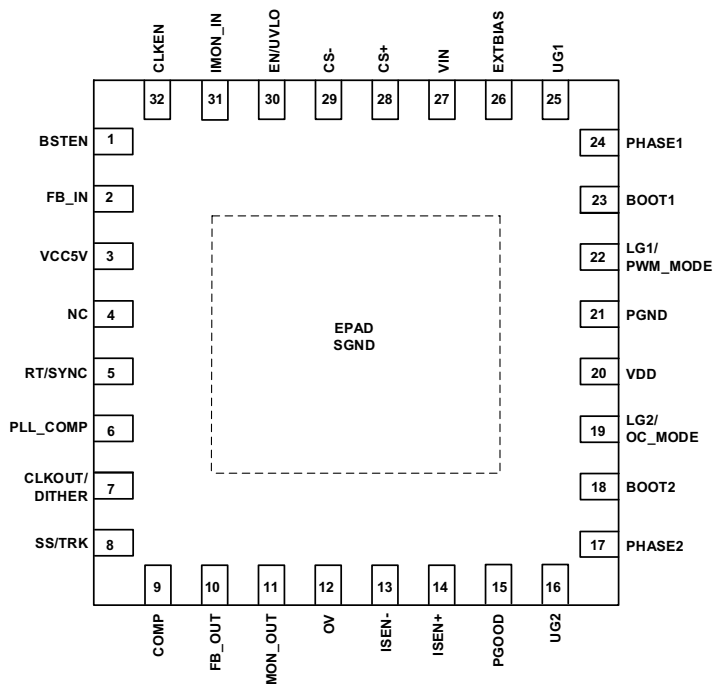
- リールの詳細な仕様は [TB347](#) を参照してください。
- これらの鉛フリーのプラスチック・パッケージ製品には、特殊な鉛フリーの材料一式、成形コンパウンド/ダイ・アタッチ材料、艶消しスズ100% プレートプラスアニールを採用しています (終端仕上げはe3で、RoHS 準拠かつ SnPb および鉛フリー・ハンダ付け作業の両方と互換性があります)。インターシルの鉛フリー製品は、IPC/JEDEC J STD-020 の鉛フリー要件を満たす、またはそれを超える鉛フリー・ピークリフロー温度で MSL に分類されています。
- 耐湿性レベル (MSL) については [ISL81601](#) 製品の詳細ページを参照してください。MSL に関する詳細は [TB363](#) を参照してください。

表 1. 当製品ファミリにおける主な機能の違い

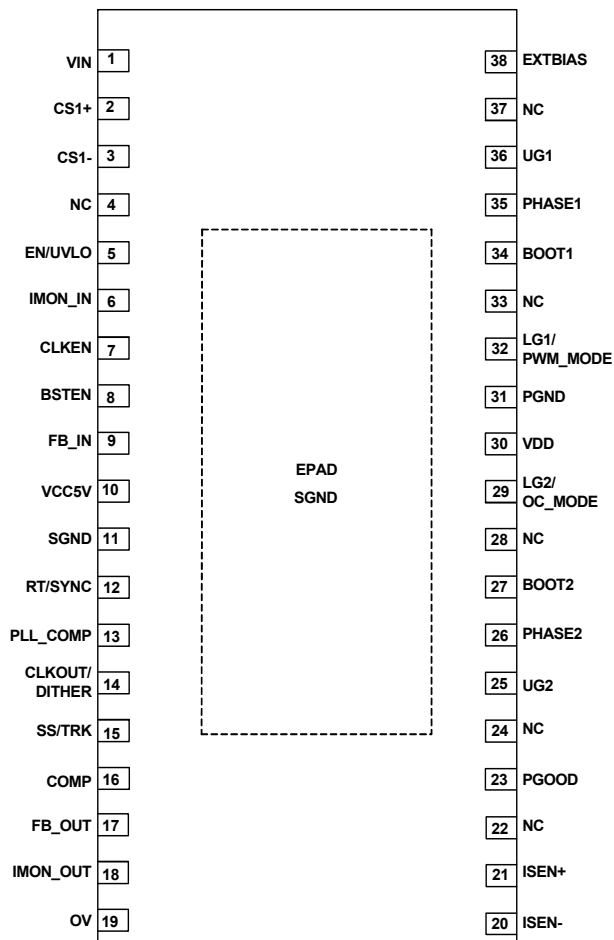
製品型番	V <sub>IN</sub> 動作/最大 (V)	V <sub>DD</sub> (V)	電流制御	並列動作	ディザリング	取り外したピン	ピン12
ISL81601	60/70	8	双方向	あり	あり	なし	OV
ISL81401	40/45	5.3	双方向	あり	あり	BSTEN, CLKEN	MODE
ISL81401A	40/45	5.3	一方向	なし	なし	BSTEN, CLKEN, FIB_IN, CLKOUT	MODE

### 1.4 ピン構成

32 Ld 5x5 QFN  
上面図



38 Ld HTSSOP  
上面図





## 1.5 ピンの説明

ピン番号 (QFN)	ピン番号 (HTSSOP)	ピン名	機能
1	8	BSTEN	DEバーストモード有効信号です。PWMモードおよびDEモードのときは内部抵抗250kにより信号を5Vにプルアップします。バーストモードではローレベルになります。プルダウンMOSFET $r_{DS(ON)}$ 抵抗は約4.5kです。全てのチップをバーストモードで同期して動作させるためには、マルチチップ並列動作アプリケーションにてこのピンを互いに接続します。
2	9	FB_IN	逆方向動作の入力電圧フィードバックピンです。抵抗分割器を使用して入力電圧をこのピンに戻します。入力電圧が低下し、このピン電圧が0.8V未満まで下がると、内部制御ループがデューティ・サイクルを低減し、出力側から入力側へのシンク電流でピン電圧が0.8Vになるように調整します。 ピン電圧が0.3V未満になると逆方向動作しなくなります。 逆方向動作機能を使用しないときは、このピンをVCC5VまたはSGNDに接続します。インターレーピング並列処理用にフェーズシフトも設定されます。
3	10	VCC5V	5Vの内部リニア・レギュレータの出力です。ICに出力バイアスを供給します。VCC5Vピンにごく近い場所に4.7 $\mu$ F以上のセラミックコンデンサを接続し、常時SGNDにデカップリングする必要があります。
4	4、22、24、28、33、37	NC	非接続ピンです。
5	12	RT/SYNC	このピンとグラウンド間の抵抗を使ってデフォルトのスイッチング周波数を100kHz~600kHzの範囲に設定します。PWMコントローラのスイッチング周波数のデフォルト値は、 <a href="#">式 1</a> の抵抗 $R_T$ で定義されます。 $(式 1) \quad R_T = \left( \frac{34.7}{f_{SW}} - 4.78 \right) \cdot k\Omega$ ここで、 $f_{SW}$ はスイッチング周波数で、単位はMHzです。 このピンをVCC5Vに接続すると、 $f_{SW}$ は120kHzに設定されます。GNDに接続すると、 $f_{SW}$ は575kHzに設定されます。 このピンに外部クロック信号を入力すると、内部周波数が外部クロック周波数と同期します。
6	13	PLL_COMP	内部PLL回路の補償ピンです。 <a href="#">34ページの図 52</a> に示す補償ネットワークが必要です。 $R_{PLL}(2.7k\Omega)$ 、 $C_{PLL1}(10nF)$ 、 $C_{PLL2}(820pF)$ が推奨されます。
7	14	CLKOUT/DITHER	デュアルファンクションピンです。このピンにコンデンサが接続されていない場合は、他のISL81601と同期するクロック信号を提供します。クロック信号のフェーズシフトは、FB_INおよびIMON_INピン電圧で設定されます。 このピンにコンデンサを接続するとクロック出力機能が無効になり、ソフトスタート前の周波数ディザリング機能が有効になります。このコンデンサは内部電流源を使って充放電されます。ピンの電圧はランプアップ、ランプダウンします。その発振周波数は抵抗 $R_T$ で設定された公称周波数の-15%から+15%の間で変調します。外部同期モードのとき、またはRTピンが開放または短絡されているときは、周波数ディザリング機能が無効になります。
8	15	SS/TRK	デュアルファンクションピンです。ソフトスタート制御に使用するには、このピンからソフトスタートコンデンサを介してグラウンドに接続します。安定化された2 $\mu$ Aソフトスタート電流がソフトスタートコンデンサを充電します。ソフトスタートコンデンサの値で出力電圧の立ち上がり時間を設定します。 トラッキング制御に使用すると、マスタとして外部電源レールを設定し、抵抗分割器を使ってマスタ電源の出力電圧をこのピンに供給します。出力電圧はマスタ電源電圧に追従します。
9	16	COMP	電圧エラー・GMアンプの出力です。内部電流ループの基準値を設定します。フィードバック補償ネットワークは、COMPピンとSGNDピンの間に接続されます。COMPピンを1V未満までプルダウンすると、PWMのデューティ・サイクルは0%まで下がります。
10	17	FB_OUT	出力電圧のフィードバック入力用です。FB_OUTピンを出力とSGNDとの間にある抵抗分割器に接続すると、出力電圧を調整できます。FB_OUTピン電圧は、内部リファレンス値0.8Vに合わせて調節されます。
11	18	IMON_OUT	出力カレントモニタです。このピンから出力される電流は、ISEN+ピンとISEN-ピンの間の差動電圧に比例します。抵抗とコンデンサのネットワークをピンとSGNDの間に接続すると、ピン電圧が出力電流の平均値に比例します。ピン電圧が1.2Vに到達すると内部平均電流リミットループが出力電圧を抑制します。また、定電流OCPモードに設定されていると出力電流が一定になり、ヒカップOCPモードに設定されているとコンバータが遮断されます。 DEバーストモードでは、このピン電圧が850mV未満であればコントローラがバーストモードになります。このピン電圧が880mVを上回るとコントローラがバーストモードから抜けます。このピンの抵抗を大きくして、負荷なしの状態で電圧が880mVを上回るように設定すると、コントローラはバースト動作することなくDEモードで動作します。

ピン番号 (QFN)	ピン番号 (HTSSOP)	ピン名	機能
12	19	OV	OVPコンバータ出力信号です。通常操作のとき、内部抵抗250kにより信号をGNDにプルダウンします。出力OVPがトリップする場合はハイレベルにプルアップします。プルアップMOSFET $r_{DS(ON)}$ 抵抗は約4.5kです。マルチチップ並列動作アプリケーションにてこのピンを互いに接続すると、全てのチップがOVPリアクションに同期して動作します。
13	20	ISEN-	出力電流検出信号のマイナス側入力ピンです。
14	21	ISEN+	出力電流検出信号のプラス側入力ピンです。
15	23	PGOOD	出力電圧のステータスを示すために使用するオープンドレインロジック出力です。出力が公称電圧の $\pm 10\%$ の範囲外にあるか、ENピンがローレベルになっていると、このピンがローレベルになります。
16	25	UG2	昇圧PWM信号で制御されたハイサイドMOSFETゲートドライバ出力です。
17	26	PHASE2	昇圧コンバータのフェーズノード接続です。このピンは、ハイサイド側のMOSFETのソース、出力フィルタ・インダクタ、昇圧コンバータのローサイド側のMOSFETのドレインの連結部に接続されます。
18	27	BOOT2	昇圧ハイサイドドライバ用のバイアスを供給するブートストラップピンです。ブートストラップ・コンデンサの正極をこのピンに接続します。このピンとVDDの間にブートストラップダイオードを接続すると、ハイサイドドライバにバイアスがかけられます。BOOT2とPHASE2の間の電圧は内部モニタされています。スイッチングのない状態で電圧が5.95Vまで下がると、最小オフタイムパルスが出力されてUG2をオフに、LG2をオンにしてブートストラップコンデンサをリフレッシュし、ハイサイドドライバのバイアス電圧を維持します。
19	29	LG2/ OC_MODE	昇圧PWM信号およびOCPモード設定ピンで制御されたローサイドMOSFETゲートドライバ出力です。OCPモードの設定にはピンとグラウンドの間に接続された抵抗を使用し、設定はソフトスタートの前の初期段階で行います。その初期段階では、ピンから10 $\mu$ Aの電流を出力してピンの電圧を設定します。ピン電圧が0.3V未満のときOCPは定電流モードに設定されます。ピン電圧が0.3Vを超えるとOCPはヒックアップモードに設定されます。
20	30	VDD	VINまたはEXTBIASのいずれかから供給される8V内部リニア・レギュレータの出力です。この出力では、IC、ローサイド・ドライバ、およびハイサイド・ドライバのブート回路用のバイアスを供給します。VDDピンにごく近い場所に4.7 $\mu$ F以上のセラミックコンデンサを接続し、常時PGNDにデカップリングしてください。
21	31	PGND	電源グラウンド接続用です。このピンはローサイド側MOSFETのソースとVDDデカップリング・コンデンサの負極(-)に接続します。
22	32	LG1/ PWM_MODE	降圧PWM信号およびPWMモード設定ピンで制御されたローサイドMOSFETゲートドライバ出力です。PWMモードの設定にはピンとグラウンドの間に接続された抵抗を使用し、設定はソフトスタートの前の初期段階で行います。その初期段階では、ピンから10 $\mu$ Aの電流を出力してピンの電圧を設定します。ピン電圧が0.3V未満のときコンバータは強制PWMモードに設定されます。ピン電圧が0.3V超のときコンバータはDEモードに設定されます。
23	34	BOOT1	降圧ハイサイドドライバ用のバイアスを供給するブートストラップピンです。ブートストラップ・コンデンサの正極をこのピンに接続します。このピンとVDDの間にブートストラップダイオードを接続すると、ハイサイドドライバにバイアスがかけられます。BOOT1とPHASE1の間の電圧は内部モニタされています。スイッチングのない状態で電圧が5.95Vまで下がると、最小オフタイムパルスが出力されてUG1をオフに、LG1をオンにしてブートストラップコンデンサをリフレッシュし、ハイサイドドライバのバイアス電圧を維持します。
24	35	PHASE1	降圧コンバータのフェーズノード接続です。このピンは、ハイサイド側のMOSFETのソース、出力フィルタ・インダクタ、降圧コンバータのローサイド側のMOSFETのドレインの連結部に接続します。
25	36	UG1	降圧PWM信号によって制御されるハイサイドMOSFETゲートドライバ出力です。
26	38	EXTBIAS	オプションのVDD LDO用の外部バイアス入力です。EXTBIAS電圧が7.5Vを超えると、内部スイッチによりVIN LDOが切断されます。使用時には、このピンとグラウンドの間に10 $\mu$ Fセラミック・コンデンサを接続してグラウンドから切り離します。使用しないときはこのピンをグラウンドに接続してください。このピンをフロートにしないでください。
27	1	VIN	5-10 $\Omega$ の抵抗を使用してこのピンと入力レールを接続してください。こうすることでVDD用の内部LDOに電源が供給されます。小容量のセラミック・コンデンサ(10nF~1 $\mu$ F)を使ってこのピンとグラウンドの間をデカップリングします。
28	2	CS+	入力電流検出信号のプラス側入力ピンです。
29	3	CS-	入力電流検出信号のマイナス側入力ピンです。
30	5	EN/ UVLO	このピンを使うと、有効/無効と正確なUVLO機能を設定できます。このピンをグラウンドにプルダウンすると出力が無効になります。このピンの電圧が1.3Vに達するとVDDとVCC5V LDOがアクティブになります。このピンの電圧が1.8Vに達するとPWMモジュレータが有効になります。このピンがフロートの場合、内部プルアップによりデフォルトで有効になります。

ピン番号 (QFN)	ピン番号 (HTSSOP)	ピン名	機能
31	6	IMON_IN	入力カレントモニタです。このピンから出力される電流は、CS+ピンとCS-ピンの間の差動電圧に比例します。抵抗とコンデンサのネットワークをこのピンとSGNDの間に接続すると、入力電流の平均値に比例したピン電圧が発生します。ピン電圧が1.2Vに達すると、内部平均電流リミットループにより出力電圧が抑制され、定電流OCPモードが設定されているときは入力電流が一定になり、ヒカップOCPモードがセットされているときはコンバータが遮断されます。入力カレントモニタ機能を使用しない場合はこのピンをVCC5VまたはSGNDに接続してインターリービング並列動作のフェーズシフトを設定します。
32	7	CLKEN	DEモードバースト動作オフ状態の有効信号です。PWMモードのとき、および、DEモードとバーストモードのとき、内部抵抗250kにより信号を5Vにプルアップします。バーストモードがオフのときはローレベルになります。プルダウンMOSFET $r_{DS(ON)}$ 抵抗は約4.5kです。マルチチップ並列動作アプリケーションにて、全てのチップをバースト動作に同期して動作させるときは、このピンを互いに接続します。
-	11	SGND EPAD	全回路を制御するための小信号コモングラウンドです。このピンを含む経路は高電流グラウンド(PGND)と切り離してください。チップ周辺にノイズの高い電流がなく共有できるベタグラウンド層があれば、そこにSGNDとPGNDを接続できます。このピンを使って全ての電圧を測定します。 EPADはグラウンド電位です。EPADはSGNDに内部接続されています。ただし、熱に関する性能やノイズ耐性を向上するため、EPADをグラウンドプレーンに直接はんだ付けすることを強くお勧めします。

## 2. 仕様

### 2.1 絶対最大定格

パラメータ	最小値	最大値	単位
VCC5V、EN/UVLO、FB_IN と GND との間	-0.3	+5.9	V
VDD と GND との間	-0.3	+9	V
EXTBIAS と GND との間	-0.3	+40	V
VIN、CS+、CS-、ISEN+、ISEN- と GND との間	-0.3	+70	V
BOOT1、2/UG1、2 と PHASE1、2 との間	-0.3	V <sub>DD</sub> + 0.3	V
PHASE1、2 と GND との間	-5 (<20ns)/ -0.3 (DC)	+70	V
FB_OUT、SS/TRK、COMP、RT/SYNC、PLL_COMP、 CLKOUT/DITHER、BSTEN、CLKEN、OV、PGOOD、IMON_IN、 IMON_OUT と GND との間	-0.3	VCC5V -0.3	V
LG1/PWM_MODE、LG2/OC_MODE と GND との間	-0.3	V <sub>DD</sub> + 0.3	V
CS+ と CS- との間、および ISEN+ と ISEN- との間	-0.3	+0.3	V
VCC5V、VDD GND との短絡時間	1		s
<b>ESD 定格</b>	<b>値</b>	<b>単位</b>	
人体モデル(JS-001-2017に従いテスト)	2	kV	
機械モデル(JESD22-A115Cに従いテスト)	150	V	
荷電デバイス・モデル(JS-002-2014に従いテスト)	1.5	kV	
ラッチアップ(JESD78EクラスII、レベルAに従いテスト、+125°C(T <sub>J</sub> ))	100	mA	

注：長期間にわたって、最大定格またはそれに近い状態で動作することは避けてください。このような状況に置かれると、製品の信頼性に悪影響を及ぼし、保証の対象外の障害を引き起こす恐れがあります。

### 2.2 熱に関する情報

熱抵抗(標準値)	$\theta_{JA}$ (°C/W)	$\theta_{JC}$ (°C/W)
32 Ld QFNパッケージ(Notes 4、5)	29	1.2
38 Ld HTSSOP パッケージ(Notes 4、5)	29	2

Notes:

- $\theta_{JA}$  の測定は、「ダイレクト・アタッチ」機能を備えた高効率の熱伝導テストボードに搭載された部品を使用して自由空間で行います。IB379を参照。
- $\theta_{JC}$  については、「ケースの温度」はパッケージ下側のメタルパッド露出部分の中央位置の温度を表します。

パラメータ	最小値	最大値	単位
接続部温度	-55	+150	°C
動作温度	-40	+125	°C
保存温度範囲	-65	+150	°C
鉛フリー・リフロープロファイル	IB493を参照。		

## 2.3 推奨動作条件

Parameter	Minimum	Maximum	Unit
Temperature	-40	+125	°C
V <sub>IN</sub> to GND	4.5	60	V
VCC5V, EN/UVLO, FB_IN to GND	0	5.25	V
VDD to GND	0	8.3	V
EXTBIAS to GND	0	36	V

## 2.4 電気的仕様

特に記載のない場合、下記の使用条件が推奨されます。6ページの「ブロック図」と4ページの「アプリケーション回路図例」を参照してください。特に記載のない場合、T<sub>A</sub>=+25°Cでの標準的な値は、V<sub>IN</sub>=4.5V～60V、またはVDD=8V±10%、C<sub>VCC5V</sub>=4.7μF、T<sub>A</sub>=-40°C～+125°Cです。太字で表示された箇所には、動作温度範囲として-40°C～+125°Cが適用されます。

Parameter	Symbol	Test Conditions	Min (Note 6)	Typ	Max (Note 6)	Unit
<b>V<sub>IN</sub> Supply</b>						
Input Voltage Range	V <sub>IN</sub>		<b>4.5</b>		<b>60.0</b>	V
<b>V<sub>IN</sub> Supply Current</b>						
Shutdown Current (Note 7)	I <sub>VINQ</sub>	EN = 0V, PGOOD is floating		2.7	<b>6.0</b>	μA
Operating Current (Note 8)	I <sub>VINOP</sub>	PGOOD is floating		4.7	<b>6.0</b>	mA
<b>VCC5V Supply</b>						
Internal LDO Output Voltage	V <sub>CC5V</sub>	V <sub>IN</sub> = 8V, I <sub>L</sub> = 0mA	<b>4.70</b>	5.10	<b>5.25</b>	V
		V <sub>IN</sub> = 60V, I <sub>L</sub> = 0mA	<b>4.70</b>	5.10	<b>5.25</b>	V
		V <sub>IN</sub> = 4.5V, I <sub>L</sub> = 5mA	<b>4.00</b>	4.25		V
		V <sub>IN</sub> > 5.6V, I <sub>L</sub> = 10mA	<b>4.65</b>	5.00		V
Maximum Supply Current of Internal LDO	I <sub>VCC_MAX</sub>	V <sub>VCC5V</sub> = 0V, V <sub>IN</sub> = 8V		120		mA
<b>VDD Supply</b>						
Internal LDO Output Voltage	V <sub>DD</sub>	V <sub>IN</sub> = 12V, EXTBIAS = 0V, I <sub>L</sub> = 0mA	<b>7.5</b>	8.0	<b>8.3</b>	V
		V <sub>IN</sub> = 60V, EXTBIAS = 0V, I <sub>L</sub> = 0mA	<b>7.5</b>	8.0	<b>8.3</b>	V
		V <sub>IN</sub> = 4.5V, EXTBIAS = 12V, I <sub>L</sub> = 0mA	<b>7.5</b>	8.0	<b>8.3</b>	V
		V <sub>IN</sub> = 60V, EXTBIAS = 12V, I <sub>L</sub> = 0mA	<b>7.6</b>	8.0	<b>8.3</b>	V
		V <sub>IN</sub> = 4.5V, EXTBIAS = 0V, I <sub>L</sub> = 30mA	<b>3.9</b>	4.3		V
		V <sub>IN</sub> = 4.5V, EXTBIAS = 7.8V, I <sub>L</sub> = 30mA	<b>7.4</b>	7.6		V
		V <sub>IN</sub> > 8.6V, EXTBIAS = 0V, I <sub>L</sub> = 75mA	<b>7.30</b>	7.85		V
		V <sub>IN</sub> = 4.5V, EXTBIAS > 9.0V, I <sub>L</sub> = 75mA	<b>7.30</b>	7.85		V
Maximum Supply Current of Internal LDO	I <sub>VDD_MAX</sub>	V <sub>VDD</sub> = 0V, EXTBIAS = 0V, V <sub>IN</sub> = 12V		120		mA
		V <sub>VDD</sub> = 4.5V, EXTBIAS = 12V, V <sub>IN</sub> = 4.5V		160		mA
<b>EXTBIAS Supply</b>						
Switch Over Threshold Voltage, Rising	V <sub>EXT_THR</sub>	EXTBIAS voltage	<b>7.10</b>	7.38	<b>7.55</b>	V
Switch Over Threshold Voltage, Falling	V <sub>EXT_THF</sub>	EXTBIAS voltage	<b>6.60</b>	6.85	<b>7.10</b>	V
<b>V<sub>IN</sub> UVLO</b>						
V <sub>IN</sub> Rising UVLO Threshold (Note 10)	V <sub>UVLOTHR</sub>	V <sub>IN</sub> voltage, 0mA on VCC5V and VDD	<b>3.20</b>	3.50	<b>3.85</b>	V
V <sub>IN</sub> Falling UVLO Threshold	V <sub>UVLOTHF</sub>	V <sub>IN</sub> voltage, 0mA on VCC5V and VDD	<b>3.0</b>	3.2	<b>3.4</b>	V
<b>VCC5V Power-On Reset</b>						
VCC5V Rising POR Threshold	V <sub>POR</sub> THR	VCC5V voltage, 0mA on VCC5V and VDD	<b>3.7</b>	4.0	<b>4.3</b>	V

特に記載のない場合、下記の使用条件が推奨されます。6ページの「ブロック図」と4ページの「アプリケーション回路図例」を参照してください。特に記載のない場合、 $T_A = +25^\circ\text{C}$ での標準的な値は、 $V_{IN} = 4.5\text{V} \sim 60\text{V}$ 、または $V_{DD} = 8\text{V} \pm 10\%$ 、 $C_{VCC5V} = 4.7\mu\text{F}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ です。太字で表示された箇所には、動作温度範囲として $-40^\circ\text{C} \sim +125^\circ\text{C}$ が適用されます。(続き)

Parameter	Symbol	Test Conditions	Min (Note 6)	Typ	Max (Note 6)	Unit
VCC5V Falling POR Threshold	$V_{PORTHF}$	VCC5V voltage, 0mA on VCC5V and VDD	<b>3.30</b>	3.55	<b>3.75</b>	V
<b>EN/UVLO Threshold</b>						
EN Rise Threshold	$V_{ENSS\_THR}$	$V_{IN} > 5.6\text{V}$	<b>0.75</b>	1.05	<b>1.30</b>	V
EN Fall Threshold	$V_{ENSS\_THF}$	$V_{IN} > 5.6\text{V}$	<b>0.60</b>	0.90	<b>1.10</b>	V
EN Hysteresis	$V_{ENSS\_HYST}$	$V_{IN} > 5.6\text{V}$	<b>70</b>	150	<b>300</b>	mV
UVLO Rise Threshold	$V_{UVLO\_THR}$	$V_{IN} > 5.6\text{V}$	<b>1.77</b>	1.80	<b>1.83</b>	V
UVLO Hysteresis Current	$I_{UVLO\_HYST}$	$V_{IN} = 12\text{V}$ , EN/UVLO = 1.815V	<b>2.5</b>	4.2	<b>5.5</b>	$\mu\text{A}$
<b>Soft-Start Current</b>						
SS/TRK Soft-Start Charge Current	$I_{SS}$	SS/TRK = 0V		2.00		$\mu\text{A}$
<b>Default Internal Minimum Soft-Starting</b>						
Default Internal Output Ramping Time	tSS_MIN	SS/TRK open		1.7		ms
<b>Power-Good Monitors</b>						
PGOOD Upper Threshold	$V_{PGOV}$		<b>107</b>	109	<b>112</b>	%
PGOOD Lower Threshold	$V_{PGUV}$		<b>87</b>	90	<b>92</b>	%
PGOOD Low Level Voltage	$V_{PGLow}$	$I_{SINK} = 2\text{mA}$			<b>0.35</b>	V
PGOOD Leakage Current	$I_{PGLKG}$	PGOOD = 5V		0	<b>150</b>	nA
<b>PGOOD Timing</b>						
$V_{OUT}$ Rising Threshold to PGOOD Rising (Note 9)	tPGR			1.1	<b>5</b>	ms
$V_{OUT}$ Falling Threshold to PGOOD Falling	tPGF			80		$\mu\text{s}$
<b>Reference Section</b>						
Internal Voltage Loop Reference Voltage	$V_{REFV}$			0.800		V
Reference Voltage Accuracy		$T_A = 0^\circ\text{C}$ to $+85^\circ\text{C}$	-0.75		+0.75	%
		$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	<b>-1.00</b>		<b>+1.00</b>	%
Internal Current Loop Reference Voltage	$V_{REFI}$			1.200		V
Reference Voltage Accuracy		$T_A = 0^\circ\text{C}$ to $+85^\circ\text{C}$	-0.75		+0.75	%
		$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	<b>-1.00</b>		<b>+1.00</b>	%
<b>PWM Controller Error Amplifiers</b>						
FB_OUT Pin Bias Current	$I_{FBOUTLKG}$		<b>-50</b>	0	<b>+50</b>	nA
FB_OUT Error Amp GM	Gm1			1.75		mS
FB_OUT Error Amp Voltage Gain	AV1			82		dB
FB_OUT Error Amp Gain-BW Product	GBW1			8		MHz
FB_OUT Error Amp Output Current Capability				$\pm 310$		$\mu\text{A}$
COMP Max High Voltage	$V_{COMP\_HIGH}$	FB_OUT = 0V		3.8		V
COMP Min Low Voltage	$V_{COMP\_LOW}$	FB_OUT = 1V		0.01		V
FB_IN Pin Bias Current	$I_{FBINLKG}$		<b>-50</b>	0	<b>+50</b>	nA
FB_IN Error Amp GM	Gm2			12		$\mu\text{S}$
FB_IN Error Amp Voltage Gain	AV2			72		dB
FB_IN Error Amp Gain-BW Product	GBW2			5		MHz
FB_IN Active Range (Note 10)	$V_{FB\_IN\_ACT}$	VCC5V = 5V	<b>0</b>		<b>4.3</b>	V

特に記載のない場合、下記の使用条件が推奨されます。6ページの「ブロック図」と4ページの「アプリケーション回路図例」を参照してください。特に記載のない場合、 $T_A = +25^\circ\text{C}$ での標準的な値は、 $V_{IN} = 4.5\text{V} \sim 60\text{V}$ 、または $V_{DD} = 8\text{V} \pm 10\%$ 、 $C_{VCC5V} = 4.7\mu\text{F}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ です。太字で表示された箇所には、動作温度範囲として $-40^\circ\text{C} \sim +125^\circ\text{C}$ が適用されます。(続き)

Parameter	Symbol	Test Conditions	Min (Note 6)	Typ	Max (Note 6)	Unit
FB_IN Logic Low Threshold (Note 10)	$V_{FB\_IN\_L}$		<b>0.2</b>			V
FB_IN Logic High Threshold (Note 10)	$V_{FB\_IN\_H}$	VCC5V = 5V			<b>4.7</b>	V
<b>PWM Regulator</b>						
Buck Mode Minimum Off-Time	$t_{OFF\_MIN1}$			220		ns
Buck Mode Minimum On-Time	$t_{ON\_MIN1}$			100		ns
Boost Mode Minimum Off-Time	$t_{OFF\_MIN2}$			180		ns
Boost Mode Minimum On-Time	$t_{ON\_MIN2}$			140		ns
Buck Mode Peak-to-Peak Sawtooth Amplitude	DV <sub>RAMP1</sub>	$V_{IN} = V_{OUT} = 12\text{V}$ , $f_{SW} = 300\text{kHz}$		1.0		V
Boost Mode Peak-to-Peak Sawtooth Amplitude	DV <sub>RAMP2</sub>	$V_{IN} = V_{OUT} = 12\text{V}$ , $f_{SW} = 300\text{kHz}$		0.93		V
Buck Mode Ramp Offset	$V_{ROFFSET1}$		<b>0.88</b>	0.95	<b>1.11</b>	V
Boost Mode Ramp Offset	$V_{ROFFSET2}$		<b>2.84</b>	3.15	<b>3.7</b>	V
<b>Current Sense, Current Monitors, and Average Current Loop</b>						
Input Current Sense Differential Voltage Range	$V_{CS+} - V_{CS-}$		<b>-80</b>		<b>+150</b>	mV
Input Current Sense Common-Mode Voltage Range	CMIR <sub>CS</sub>		<b>0</b>		<b>60</b>	V
IMON_IN Offset Current	I <sub>CSOFFSET</sub>	CS+ = CS- = 12V	<b>15.5</b>	19.5	<b>22.5</b>	$\mu\text{A}$
Input Current Sense Voltage to IMON_IN Current Source Gain	G <sub>mCS</sub>	12V common-mode voltage applied to CS+/- pins, 0 to 40mV differential voltage	<b>170</b>	200	<b>220</b>	$\mu\text{S}$
IMON_IN Error Amp GM	G <sub>m3</sub>			12		$\mu\text{S}$
IMON_IN Error Amp Voltage Gain	AV <sub>3</sub>			72		dB
IMON_IN Active Range (Note 10)	$V_{IMON\_IN\_ACT}$	VCC5V = 5V	<b>0</b>		<b>4.3</b>	V
IMON_IN Logic High Threshold (Note 10)	$V_{IMON\_IN\_H}$	VCC5V = 5V			<b>4.7</b>	V
IMON_IN Error Amp Gain-BW Product	GBW <sub>3</sub>			5		MHz
Output Current Sense Differential Voltage Range	$V_{ISEN+} - V_{ISEN-}$		<b>-80</b>		<b>+150</b>	mV
Output Current Sense Common-Mode Voltage Range	CMIR <sub>ISEN</sub>		<b>0</b>		<b>60</b>	V
IMON_OUT Offset Current	I <sub>ISENOFFSET</sub>	ISEN+ = ISEN- = 12V	<b>17.5</b>	20	<b>22</b>	$\mu\text{A}$
IMON_OUT Current		ISEN+ = 12V. ISEN- = 11.96V	<b>25</b>	27.8	<b>29.5</b>	$\mu\text{A}$
Output Current Sense Voltage to IMON_OUT Current Source Gain	G <sub>mISEN</sub>	12V common-mode voltage applied to ISEN+/- pins, 0mV to 40mV differential voltage	<b>170</b>	200	<b>220</b>	$\mu\text{S}$
IMON_OUT Error Amp GM	G <sub>m4</sub>			12		$\mu\text{S}$
IMON_OUT Error Amp Voltage Gain	AV <sub>4</sub>			72		dB
IMON_OUT Error Amp Gain-BW Product	GBW <sub>4</sub>			5		MHz
<b>Switching Frequency and Synchronization</b>						
Switching Frequency	$f_{SW}$	$R_T = 144\text{k}\Omega$	<b>220</b>	245	<b>265</b>	kHz
		$R_T = 72\text{k}\Omega$	<b>420</b>	450	<b>485</b>	kHz
		$R_T$ Open or to VCC5V	<b>90</b>	120	<b>145</b>	kHz
		$R_T = 0\text{V}$	<b>470</b>	575	<b>650</b>	kHz
RT Voltage	$V_{RT}$	$R_T = 72\text{k}\Omega$		580		mV

特に記載のない場合、下記の使用条件が推奨されます。6ページの「ブロック図」と4ページの「アプリケーション回路図例」を参照してください。特に記載のない場合、 $T_A = +25^\circ\text{C}$ での標準的な値は、 $V_{IN} = 4.5\text{V} \sim 60\text{V}$ 、または $V_{DD} = 8\text{V} \pm 10\%$ 、 $C_{VCC5V} = 4.7\mu\text{F}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ です。太字で表示された箇所には、動作温度範囲として $-40^\circ\text{C} \sim +125^\circ\text{C}$ が適用されます。(続き)

Parameter	Symbol	Test Conditions	Min (Note 6)	Typ	Max (Note 6)	Unit
SYNC Synchronization Range	$f_{\text{SYNC}}$		<b>140</b>		<b>600</b>	kHz
SYNC Input Logic High	$V_{\text{SYNCH}}$		<b>3.2</b>			V
SYNC Input Logic Low	$V_{\text{SYNCL}}$				<b>0.5</b>	V
<b>Clock Output and Frequency Dither</b>						
CLKOUT Output High	$V_{\text{CLKH}}$	$I_{\text{SOURCE}} = 1\text{mA}$ , $V_{\text{CC5V}} = 5\text{V}$	<b>4.55</b>			V
CLKOUT Output Low	$V_{\text{CLKL}}$	$I_{\text{SINK}} = 1\text{mA}$			<b>0.3</b>	V
CLKOUT Frequency	$f_{\text{CLK}}$	$R_T = 72\text{k}\Omega$	<b>420</b>	450	<b>485</b>	kHz
Dither Mode Setting Current Source	$I_{\text{DITHER\_MODE\_SO}}$			10		$\mu\text{A}$
Dither Mode Setting Threshold Low	$V_{\text{DITHER\_MODE\_L}}$		<b>0.26</b>			V
Dither Mode Setting Threshold High	$V_{\text{DITHER\_MODE\_H}}$				<b>0.34</b>	V
Dither Source Current	$I_{\text{DITHERSO}}$			8		$\mu\text{A}$
Dither Sink Current	$I_{\text{DITHERSI}}$			10		$\mu\text{A}$
Dither High Threshold Voltage	$V_{\text{DITHERH}}$			2.2		V
Dither Low Threshold Voltage	$V_{\text{DITHERL}}$			1.05		V
<b>Diode Emulation Mode Detection</b>						
LG1/PWM_MODE Current Source	$I_{\text{MODELG1}}$		<b>7.5</b>	10	<b>12.5</b>	$\mu\text{A}$
LG1/PWM_MODE Threshold Low	$V_{\text{MODETHL}}$		<b>0.26</b>			V
LG1/PWM_MODE Threshold High	$V_{\text{MODETHH}}$				<b>0.34</b>	V
Buck Mode Diode Emulation Phase Threshold (Note 11)	$V_{\text{CROSS1}}$	$V_{\text{IN}} = 12\text{V}$		2		mV
Boost Mode Diode Emulation Shunt Threshold (Note 12)	$V_{\text{CROSS2}}$	$V_{\text{IN}} = 12\text{V}$		-2		mV
<b>Diode Emulation Burst Mode</b>						
Burst Mode Enter Threshold	$V_{\text{IMONOUTBSTEN}}$	IMON_OUT pin voltage	<b>0.81</b>	0.85	<b>0.89</b>	V
Burst Mode Exit Threshold	$V_{\text{MONOUTBSTEX}}$	IMON_OUT pin voltage	<b>0.83</b>	0.88	<b>0.92</b>	V
Burst Mode Peak Current Limit Input Shunt Set Point	$V_{\text{BST-CS}}$	$V_{\text{CS+}} - V_{\text{CS-}}$ , 12V common-mode voltage applied to CS+/- pins	<b>16</b>	27	<b>39</b>	mV
Burst Mode Peak FB Voltage Limit Set Point	$V_{\text{BST-VFB-UTH}}$			0.82		V
Burst Mode Exit FB Voltage Set Point	$V_{\text{BST-VFB-LTH}}$			0.78		V
BSTEN Output Logic High	$V_{\text{BSTEN-OH}}$	No load, $V_{\text{CC5V}} = 5\text{V}$		<b>4.9</b>		V
BSTEN Output Logic Low	$V_{\text{BSTEN-OL}}$	Pull-up resistance 100k $\Omega$		<b>0.07</b>		V
BSTEN Input Logic High	$V_{\text{BSTEN-IH}}$		<b>3.2</b>			V
BSTEN Input Logic Low	$V_{\text{BSTEN-IL}}$				<b>1</b>	V
CLKEN Output Logic High	$V_{\text{CLKEN-OH}}$	No load, $V_{\text{CC5V}} = 5\text{V}$		<b>4.9</b>		V
CLKEN Output Logic Low	$V_{\text{CLKEN-OL}}$	Pull-up resistance 100k $\Omega$		<b>0.07</b>		V
CLKEN Input Logic High	$V_{\text{CLKEN-IH}}$		<b>3.2</b>			V
CLKEN Input Logic Low	$V_{\text{CLKEN-IL}}$				<b>1</b>	V
<b>PWM Gate Drivers</b>						
Driver 1, 2 BOOT Refresh Trip Voltage	$V_{\text{BOOTRF1,2}}$	BOOT voltage - PHASE voltage	<b>5.4</b>	5.95	<b>6.65</b>	V
Driver 1, 2 Source and Upper Sink Current	$I_{\text{GSRC1,2}}$			2000		mA
Driver 1, 2 Lower Sink Current	$I_{\text{GSNK1,2}}$			3000		mA
Driver 1, 2 Upper Drive Pull-Up	$R_{\text{UG\_UP1,2}}$			2.2		$\Omega$



特に記載のない場合、下記の使用条件が推奨されます。6ページの「ブロック図」と4ページの「アプリケーション回路図例」を参照してください。特に記載のない場合、 $T_A = +25^\circ\text{C}$ での標準的な値は、 $V_{IN} = 4.5\text{V} \sim 60\text{V}$ 、または $V_{DD} = 8\text{V} \pm 10\%$ 、 $C_{VCC5V} = 4.7\mu\text{F}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ です。太字で表示された箇所には、動作温度範囲として $-40^\circ\text{C} \sim +125^\circ\text{C}$ が適用されます。(続き)

Parameter	Symbol	Test Conditions	Min (Note 6)	Typ	Max (Note 6)	Unit
Driver 1, 2 Upper Drive Pull-Down	$R_{UG\_DN1,2}$			1.7		$\Omega$
Driver 1, 2 Lower Drive Pull-Up	$R_{LG\_UP1,2}$			3		$\Omega$
Driver 1, 2 Lower Drive Pull-Down	$R_{LG\_DN}$			2		$\Omega$
Driver 1, 2 Upper Drive Rise Time	$t_{GR\_UP}$	$C_{OUT} = 1000\text{pF}$		10		ns
Driver 1, 2 Upper Drive Fall Time	$t_{GF\_UP}$	$C_{OUT} = 1000\text{pF}$		10		ns
Driver 1, 2 Lower Drive Rise Time	$t_{GR\_DN}$	$C_{OUT} = 1000\text{pF}$		10		ns
Driver 1, 2 Lower Drive Fall Time	$t_{GF\_DN}$	$C_{OUT} = 1000\text{pF}$		10		ns
<b>Overvoltage Protection</b>						
Output OVP Threshold	$V_{OVTH\_OUT}$		<b>112</b>	114	<b>116</b>	%
OV Pin Output Logic High	$V_{OV-OH}$	Load resistance 100k, $V_{CC5V} = 5\text{V}$		<b>4.9</b>		V
OV Pin Output Logic Low	$V_{OV-OL}$	No load		<b>0</b>		V
OV Pin Input Logic High	$V_{OV-IH}$		<b>3.2</b>			V
OV Pin Input Logic Low	$V_{OV-IL}$				<b>1</b>	V
<b>Overcurrent Protection</b>						
LG2/OC_MODE Current Source	$I_{MODELG2}$		<b>7.5</b>	10	<b>12.5</b>	$\mu\text{A}$
LG2/OC_MODE Threshold Low	$V_{MODETHLOC}$		<b>0.26</b>			V
LG2/OC_MODE Threshold High	$V_{MODETHHOC}$				<b>0.34</b>	V
Pulse-by-Pulse Peak Current Limit Input Shunt Set Point	$V_{OCSET-CS}$	$V_{CS+} - V_{CS-}$ , 12V common-mode voltage applied to CS+/- pins	<b>68</b>	82	<b>96</b>	mV
Hiccup Peak Current Limit Input Shunt Set Point	$V_{OCSET-CS-HIC}$	$V_{CS+} - V_{CS-}$		100		mV
Pulse-by-Pulse Negative Peak Current Limit Output Shunt Set Point	$V_{OCSET-ISEN}$	$V_{ISEN+} - V_{ISEN-}$ , 12V common-mode voltage applied to ISEN+/- pins	<b>-72</b>	-59	<b>-48</b>	mV
Input Constant and Hiccup Current Limit Set Point	$V_{IMONINCC}$	IMON_IN Pin Voltage	<b>1.18</b>	1.2	<b>1.22</b>	V
Input Constant and Hiccup Current Limit Set Point at CS+/- Input	$V_{AVOCP\_CS}$	$V_{CS+} - V_{CS-}$ , 12V common-mode applied to CS+/- pins, $R_{IMON\_IN} = 40.2\text{k}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	<b>35</b>	52	<b>74</b>	mV
		$V_{CS+} - V_{CS-}$ , 12V common-mode applied to CS+/- pins, $R_{IMON\_IN} = 40.2\text{k}$ , $T_J = -40^\circ\text{C}$ to $+85^\circ\text{C}$	35	52	71	mV
Output Constant and Hiccup Current Limit Set Point	$V_{IMONOUTCC}$	IMON_OUT Pin Voltage	<b>1.18</b>	1.2	<b>1.22</b>	V
Output Constant and Hiccup Current Limit Set Point at ISEN+/- Input	$V_{AVOCP\_ISEN}$	$V_{ISEN+} - V_{ISEN-}$ , 12V common-mode applied to ISEN+/- pins, $R_{IMON\_OUT} = 40.2\text{k}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	<b>41</b>	50	<b>64</b>	mV
		$V_{ISEN+} - V_{ISEN-}$ , 12V common-mode applied to ISEN+/- pins, $R_{IMON\_OUT} = 40.2\text{k}$ , $T_J = -40^\circ\text{C}$ to $+85^\circ\text{C}$	41	50	61	mV
Hiccup OCP Off-Time	$t_{HICC\_OFF}$			50		ms

特に記載のない場合、下記の使用条件が推奨されます。[6ページの「ブロック図」](#)と[4ページの「アプリケーション回路図例」](#)を参照してください。特に記載のない場合、 $T_A = +25^\circ\text{C}$ での標準的な値は、 $V_{IN} = 4.5\text{V} \sim 60\text{V}$ 、または $V_{DD} = 8\text{V} \pm 10\%$ 、 $C_{VCC5V} = 4.7\mu\text{F}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ です。**太字で表示された箇所には、動作温度範囲として $-40^\circ\text{C} \sim +125^\circ\text{C}$ が適用されます。(続き)**

Parameter	Symbol	Test Conditions	Min (Note 6)	Typ	Max (Note 6)	Unit
<b>Over-Temperature</b>						
Over-Temperature Shutdown	$T_{OT-TH}$			160		$^\circ\text{C}$
Over-Temperature Hysteresis	$T_{OT-HYS}$			15		$^\circ\text{C}$

## Notes:

6. MINまたはMAX制限付きのパラメータは、特記のない限り $+25^\circ\text{C}$ で100%テスト済みです。温度制限は特性により決定されたものであり、量産時のテストは行われていません。
7.  $V_{IN} = 5.6\text{V}$ および $60\text{V}$ での合計シャットダウン電流です。
8. 動作電流は、デバイスがアクティブであってスイッチングしていないときの供給電流の消費量です。ゲートドライブ電流は含まれません。
9. ソフトスタート時間が $4.5\text{ms}$ 未満のとき、 $t_{PGR}$ が増加します。内部ソフトスタート(最速のソフトスタート時間)では、 $t_{PGR}$ が上限の $5\text{ms}$ 近くまで増加します。
10. データシートリミットへの準拠は、製品試験、特性、設計のいずれか1つまたは2つ以上の方法で保障されます。
11. DEモード時に、降圧ローサイドMOSFETをオフにするためのPHASE1ピンの電圧スレッシュホールド。
12. DEモード時に、昇圧ハイサイドMOSFETをオフにするためのCS+ピンとCS-ピンの間の電圧スレッシュホールド。

### 3. 代表的な性能曲線

ISL81601EVAL1Z評価ボードを使用して測定されたオシロスコープ曲線。特に記載のない限り、 $V_{IN} = 9V$  to  $60V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 10A$ 。

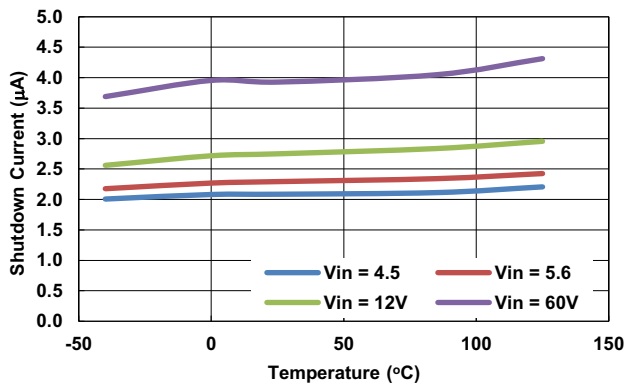


図 7. シャットダウン電流 vs 温度

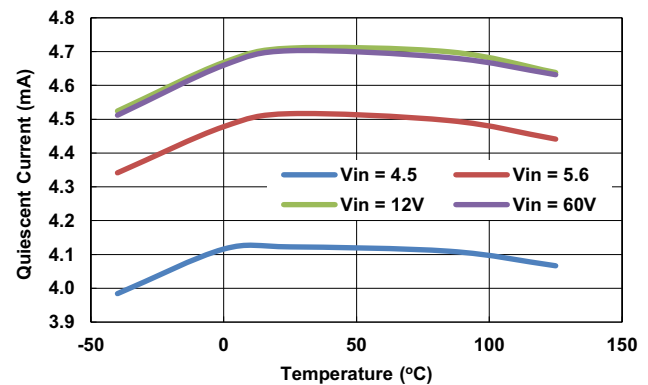


図 8. 自己消費電流 vs 温度

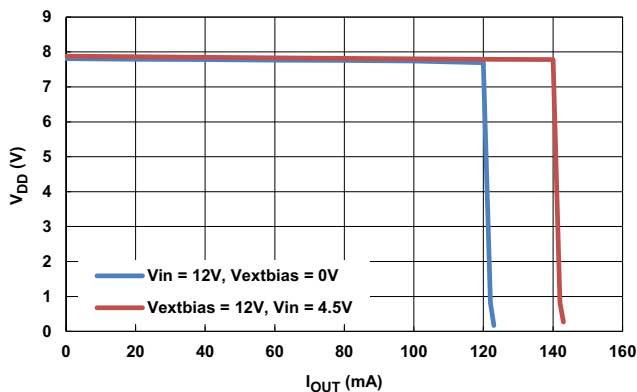


図 9. 入力 12V での  $V_{DD}$  ロードレギュレーション

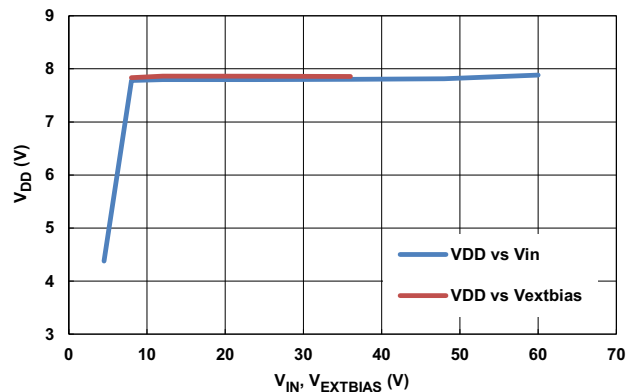


図 10. 負荷 20mA での  $V_{DD}$  ラインレギュレーション

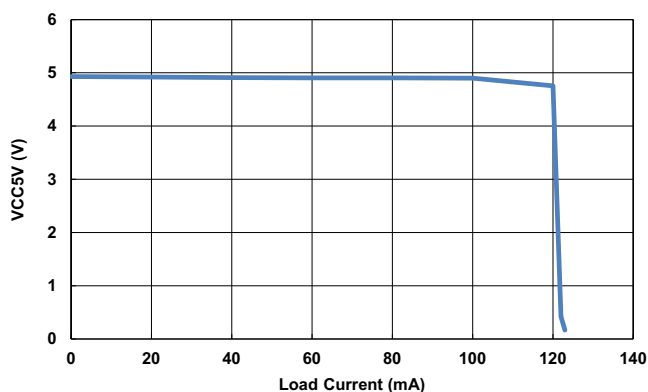


図 11.  $12V_{IN}$  での  $V_{CC5V}$  ロードレギュレーション

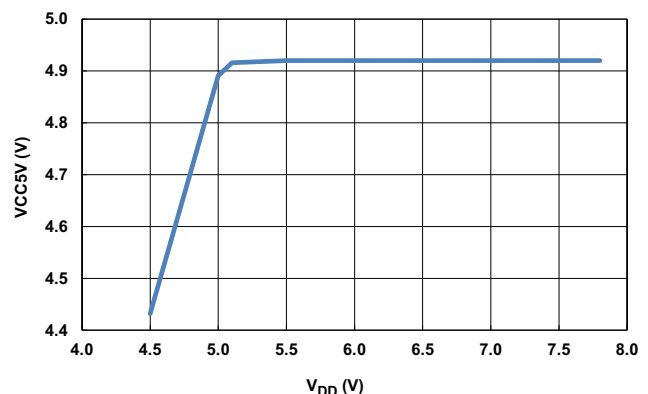


図 12. 負荷 20mA での  $V_{CC5V}$  ラインレギュレーション

ISL81601EVAL1Z評価ボードを使用して測定されたオシロスコープ曲線。特に記載のない限り、 $V_{IN} = 9V$  to  $60V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 10A$ 。(続き)

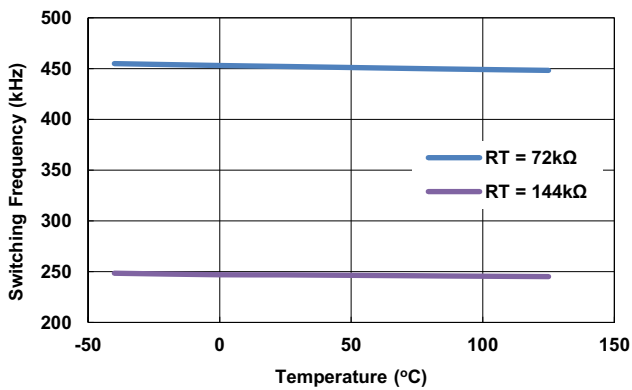


図 13. スイッチング周波数 vs 温度

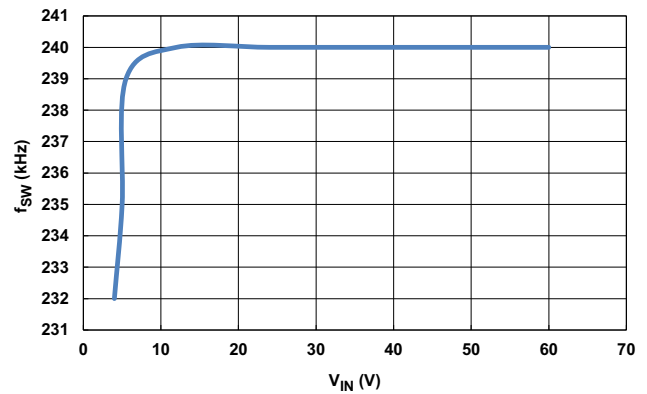


図 14. スイッチング周波数 vs  $V_{IN}$ 、 $R_T = 144k$

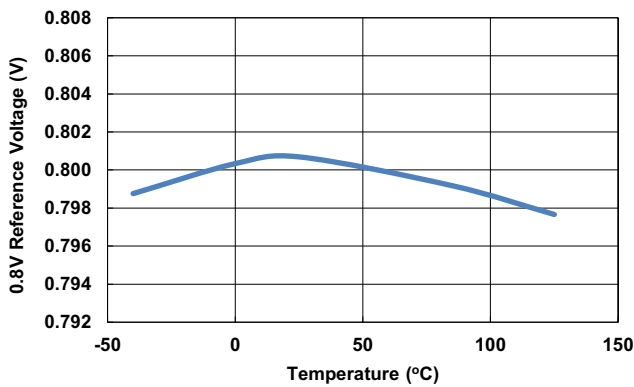


図 15. リファレンス電圧 0.8V vs 温度

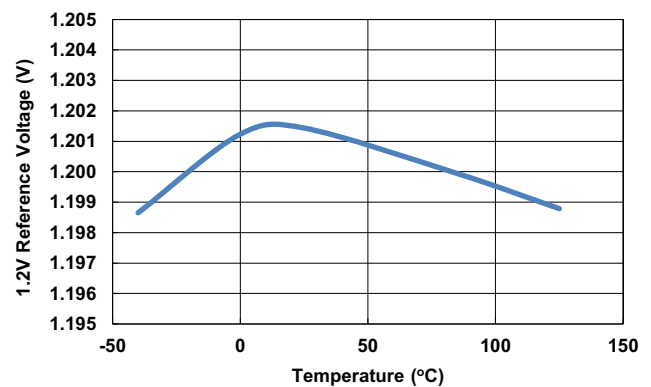


図 16. リファレンス電圧 1.2V vs 温度

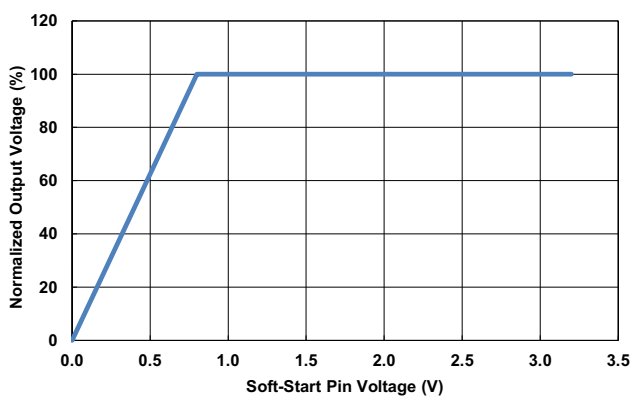


図 17. 標準化出力電圧 vs ソフトスタート・ピン電圧

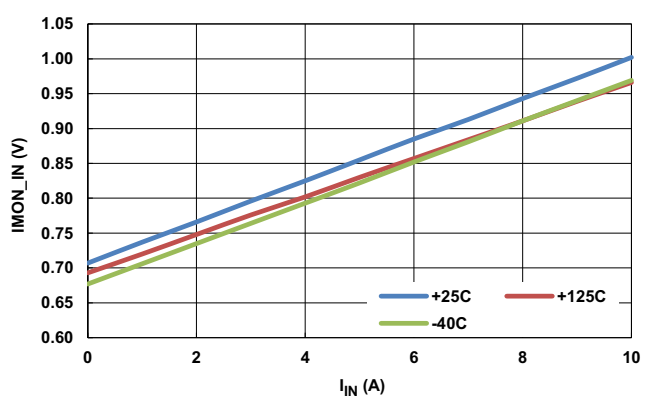


図 18. 入力電流  $I_{IN}$  (DC) vs IMON\_IN ピン電圧、 $R_{S\_IN} = 4m\Omega$ 、 $R_{IM\_IN} = 36k$

ISL81601EVAL1Z評価ボードを使用して測定されたオシロスコープ曲線。特に記載のない限り、 $V_{IN} = 9V$  to  $60V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 10A$ 。(続き)

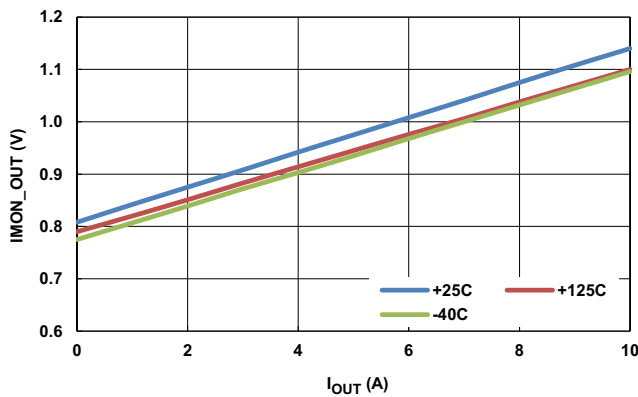


図 19. 出力電流  $I_{OUT}$  (DC) vs IMON\_OUT ピン電圧、 $R_{S\_OUT} = 4m\Omega$ 、 $R_{IM\_OUT} = 40.2k$

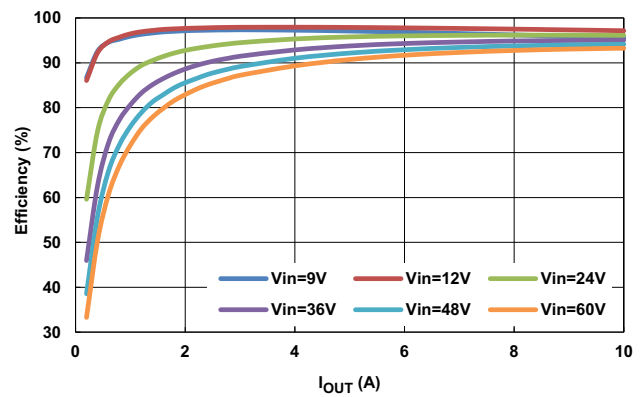


図 20. CCM モード効率

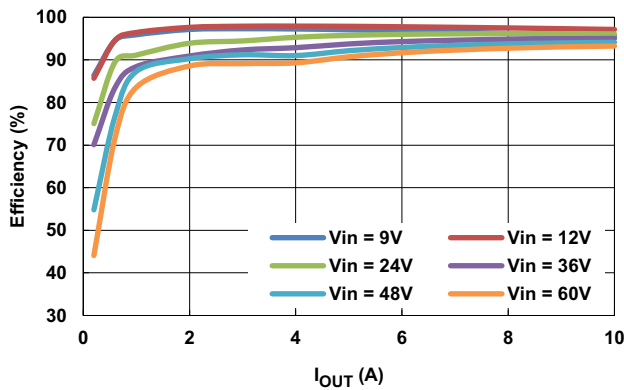


図 21. DE モード効率

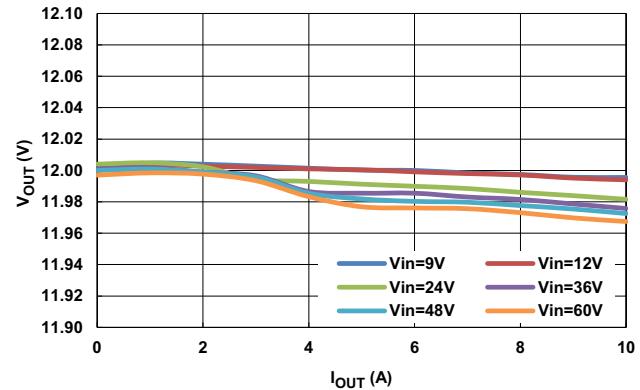


図 22. +25°CでのCCM ロードレギュレーション

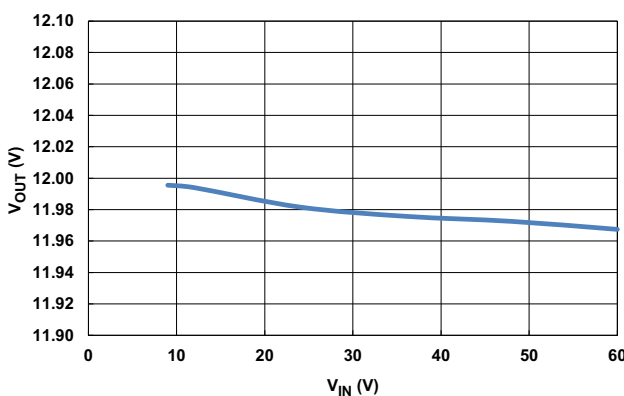


図 23. 負荷10A+25°CでのCCM ラインレギュレーション

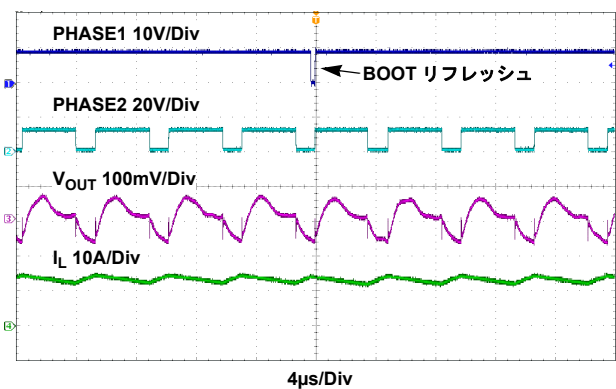


図 24. 昇圧モード波形、 $V_{IN} = 9V$ 、 $I_{OUT} = 10A$ 、CCM Mode

ISL81601EVAL1Z評価ボードを使用して測定されたオシロスコープ曲線。特に記載のない限り、 $V_{IN} = 9V$  to  $60V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 10A$ 。(続き)

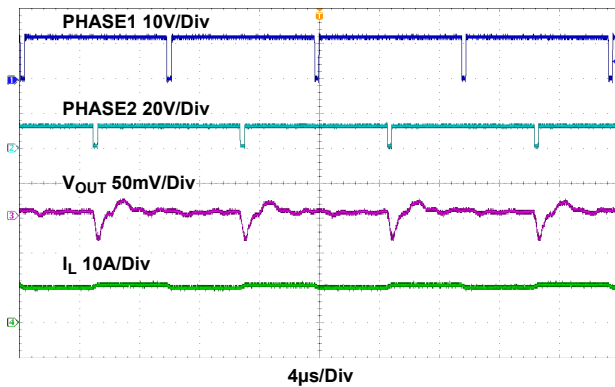


図 25. 昇降圧モード波形  
 $V_{IN} = 12V$ 、 $I_{OUT} = 10A$ 、CCM Mode

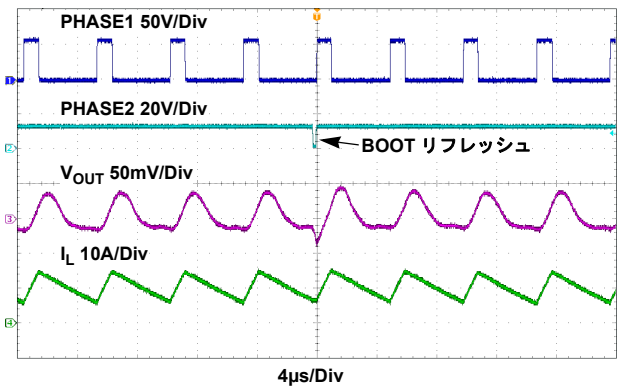


図 26. 降圧モード波形、 $V_{IN} = 60V$ 、 $I_{OUT} = 10A$   
CCMモード

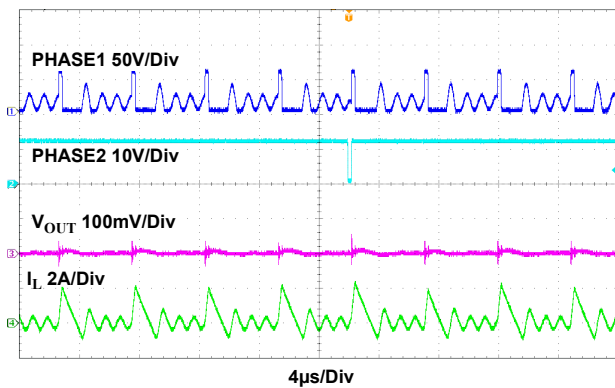


図 27. DE モード波形、 $V_{IN} = 60V$ 、 $I_{OUT} = 0.2A$

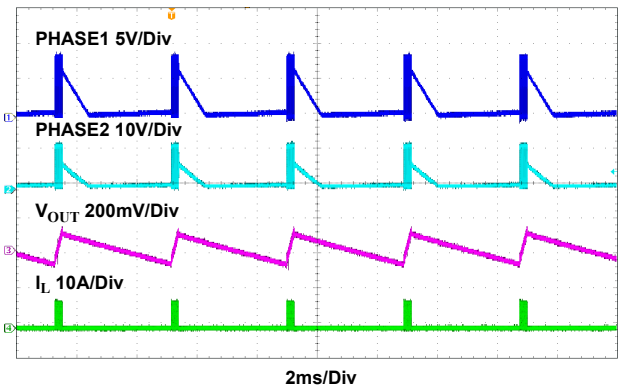


図 28. バーストモード波形、 $V_{IN} = 9V$ 、 $I_{OUT} = 0.1A$

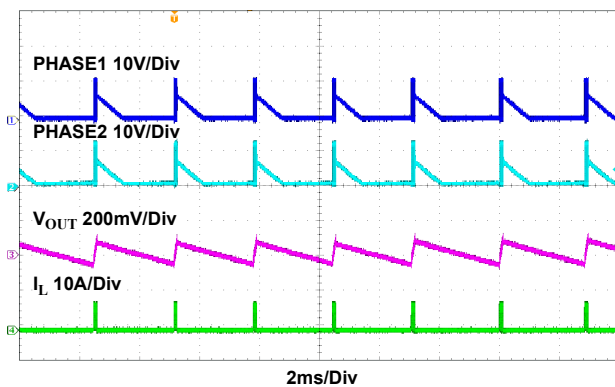


図 29. バーストモード波形、 $V_{IN} = 12V$ 、 $I_{OUT} = 0.1A$

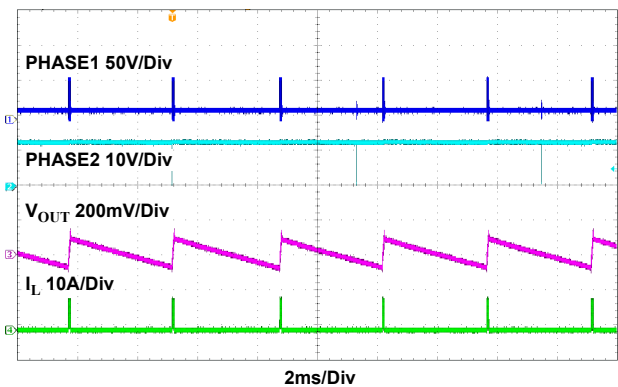


図 30. バーストモード波形、 $V_{IN} = 60V$ 、 $I_{OUT} = 0.1A$

ISL81601EVAL1Z評価ボードを使用して測定されたオシロスコープ曲線。特に記載のない限り、 $V_{IN} = 9V$  to  $60V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 10A$ 。(続き)

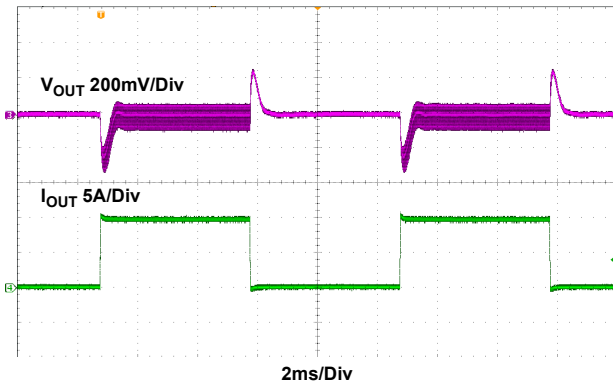


図 31. ロードトランジェント、 $V_{IN} = 9V$ 、 $I_{OUT} = 0A \sim 10A$ 、 $2.5A/\mu s$ , CCM

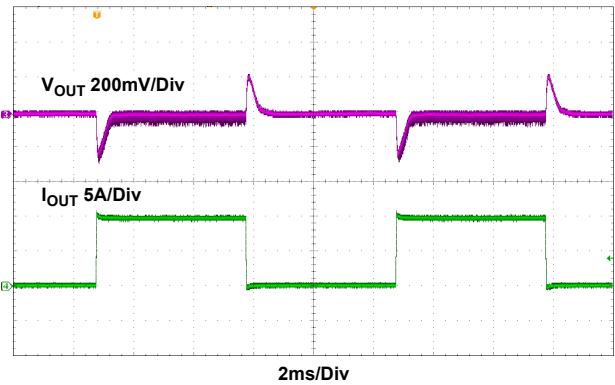


図 32. ロードトランジェント、 $V_{IN} = 12V$ 、 $I_{OUT} = 0A \sim 10A$ 、 $2.5A/\mu s$ , CCM

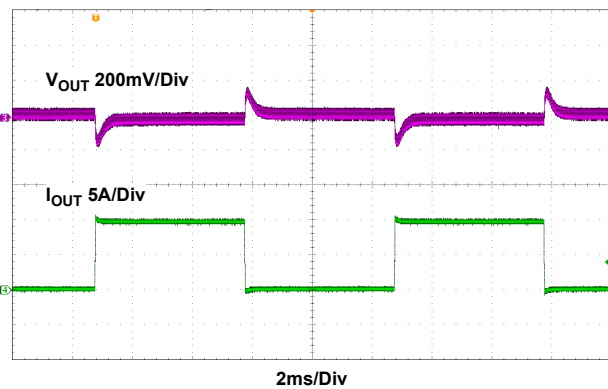


図 33. ロードトランジェント、 $V_{IN} = 60V$ 、 $I_{OUT} = 0A \sim 10A$ 、 $2.5A/\mu s$ , CCM

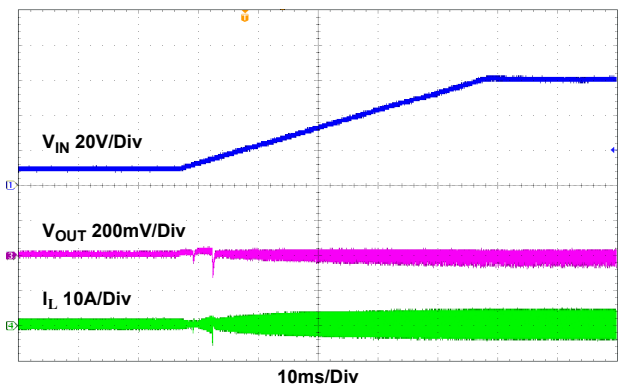


図 34. ライトランジェント、 $V_{IN} = 9V-60V$ 、 $1V/ms$ 、 $I_{OUT} = 0A$

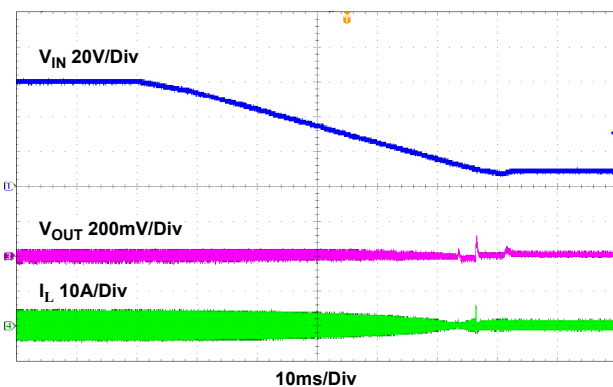


図 35. ライトランジェント、 $V_{IN} = 60V-9V$ 、 $1V/ms$ 、 $I_{OUT} = 0A$

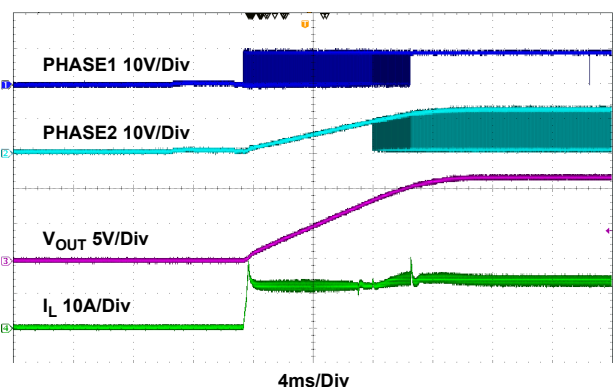


図 36. スタートアップ波形、 $V_{IN} = 9V$ 、 $I_O = 10A$ 、CCM

ISL81601EVAL1Z評価ボードを使用して測定されたオシロスコープ曲線。特に記載のない限り、 $V_{IN} = 9V$  to  $60V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 10A$ 。(続き)

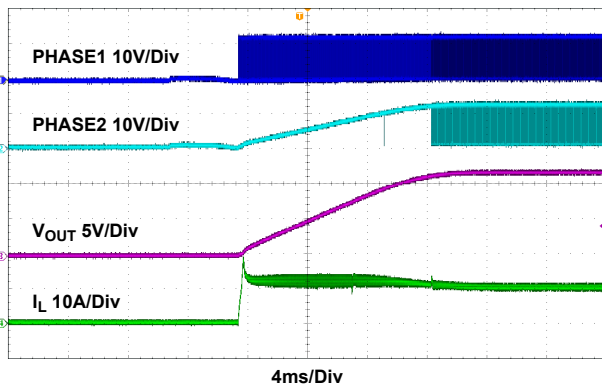


図 37. スタートアップ波形、 $V_{IN} = 12V$ 、 $I_O = 10A$ 、CCM

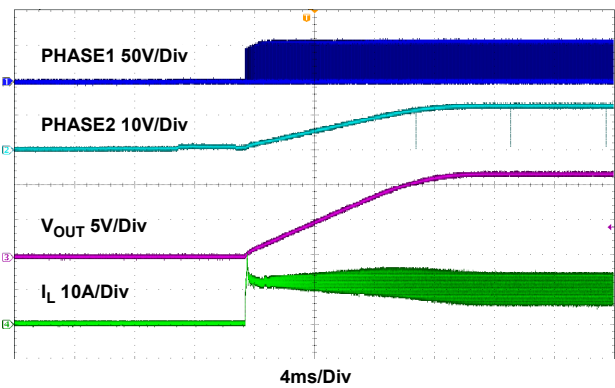


図 38. スタートアップ波形、 $V_{IN} = 60V$ 、 $I_O = 10A$ 、CCM

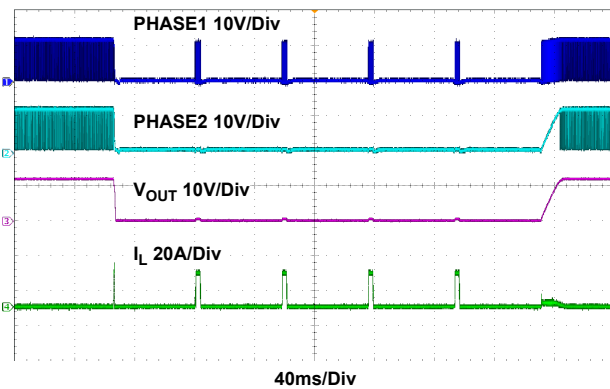


図 39. OCP応答、出力が無負荷からグラウンドへ短絡し、解放された場合、CCMモード、 $V_{IN} = 12V$

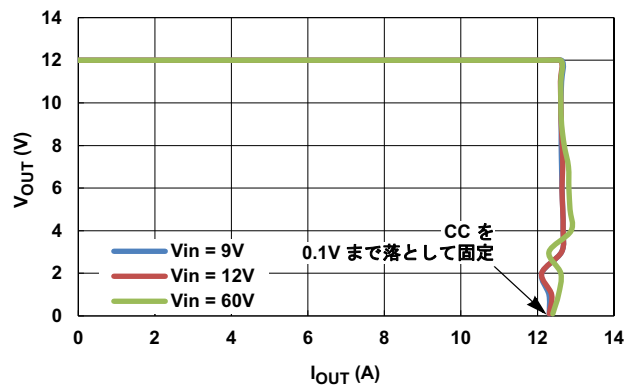


図 40. 定電圧(CV)、定電流(CC)動作

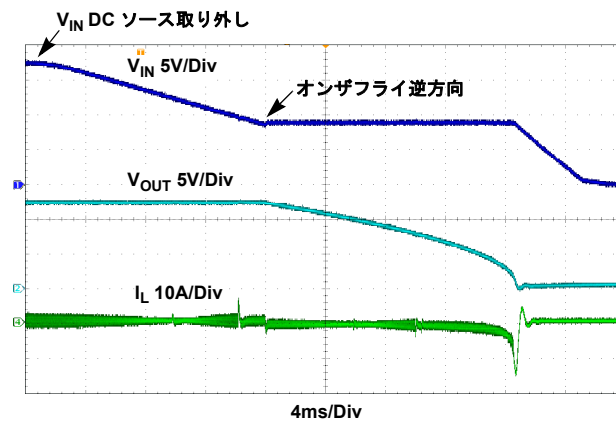


図 41. 双方向動作  
 $V_{IN} = 18V$ 、 $V_{IN}$ を9Vに規定、 $V_{INDC}$ 電源取り外し、入力端子に1A負荷を供給



## 4. 機能説明

### 4.1 概要

ISL81601は、PWMコントローラ、内部ドライバ、リファレンス、保護回路、電流電圧の入力制御、出力のモニタリングといった機能を備えた完全な昇降圧スイッチング制御機能を持っています。[6ページの図6](#)を参照してください。

ISL81601は電流モード・コントローラです。独自の制御アルゴリズムを使用して、入力電圧と外部負荷が変化しても安定した出力電圧を維持するよう、必要に応じ降圧モードと昇圧モードを自動的に切り替えます。コントローラには制御ループが4つ搭載されており、 $V_{OUT}$ だけでなく、定電流動作時の平均 $I_{OUT}$ と $I_{IN}$ 、および逆方向制御での $V_{IN}$ も制御します。

また、設計の簡素化のため、ドライバ回路と保護回路も搭載されています。

この製品には独立した有効/無効の制御ラインがあり、それによってフレキシブルなパワーアップ・シーケンスとシンプルな $V_{IN}UVLP$ の使用が可能になります。 $SS/TRK$ に接続したソフトスタートコンデンサを調節することによりソフトスタート時間をプログラムすることができます。

### 4.2 内部8Vリニア・レギュレータ(VDD)、外部バイアス電源(EXTBIAS)、5Vリニア・レギュレータ(VCC5V)

ISL81601には、 $V_{IN}$ と $EXTBIAS$ の2つの入力ピンと、VDDゲートドライバ供給用に2つの内部LDOがあります。3つめのLDOによりVDDからVCC5Vを取り出します。ゲートドライバを除く全ての内部機能の回路電源はVCC5Vから供給されます。リニア・レギュレータの出力(VDD)を $10\mu F$ コンデンサでグラウンドにバイパスします。また、3つめのリニア・レギュレータの出力(VCC5V)を $10\mu F$ コンデンサでシグナルグラウンドにバイパスします。パワーオン・リセット回路でVCC5Vをモニタしますが、VCC5Vが3.5Vを下回ると全てのレギュレータが無効になります。

$V_{IN}$ と $EXTBIAS$ の接続するLDOはどちらも、75mAを超える電流をVDDを介し昇降圧ゲートドライバに電源を供給します。大きなFETを高周波でスイッチングして駆動する場合、外部負荷にレギュレータ電流を流せない場合があります。VDDとVCC5Vの間のLDOは、75mAを超える電流をICの内部回路に供給することができます。内部回路での消費電流は低いものの、VCC5Vから外部負荷に供給される電流はVDDにより制限されます。たとえば、合計ゲート電荷 $15nC$ を持つ大きなFETひとつにつき、 $15nC \times 300kHz = 4.5mA$  ( $15nC \times 600kHz = 9mA$ )が必要です。

また、より大きなFETで入力電圧が高くなると、内部8V LDOの電力損失も増加します。接合部での温度上昇を防止するために、このLDO内での電力損失が過剰にならないようにする必要があります。過剰な電力損失により温度が上昇してチップ温度が $+160^{\circ}C$ を超えると、熱保護機構が作動する可能性があります。

大きなFETや高い入力電圧で使用するときには、 $EXTBIAS$ ピンで外部バイアス8Vを適用することができます。過剰な電力損失を軽減することができます。 $EXTBIAS$ ピンでの電圧が $7.38V_{typ}$ よりも高いと、 $EXTBIAS$ からのLDOがアクティブになり、 $V_{IN}$ からのLDOが切断されます。 $EXTBIAS$ ピンでの推奨最大電圧は36Vです。 $V_{OUT}$ が $V_{IN}$ よりも低いアプリケーションでは、 $V_{OUT}$ から $EXTBIAS$ にバイアスをかけてLDOの電源損失を低減します。 $V_{OUT}$ の上昇中に $EXTBIAS$ がアクティブにならないようにするため、ソフトスタートが完了した場合に限り $EXTBIAS$ をアクティブにします。ソフトスタートを確実かつスムーズに実行するために外部UVLO回路が必要となる場合があります。また、 $EXTBIAS$ ピンに $10\mu F$ のコンデンサを追加し、かつダイオードを使用して $EXTBIAS$ ピンを $V_{OUT}$ に接続することにより $EXTBIAS$ ピン電圧が $V_{OUT}$ 短絡状態でローレベルに落ちることを防ぎます。

VDDの2つのLDOには、短絡保護のための過電流リミットがあります。 $V_{IN}$ からVDD LDOの電流リミットは $120mA_{typ}$ に設定されています。 $EXTBIAS$ からVDD LDOの電流リミットは $160mA_{typ}$ に設定されています。

### 4.3 イネーブル(EN/UVLO)およびソフトスタート操作

EN/UVLOピンをハイレベルまたはローレベルにすると、コントローラをそれぞれ有効または無効に設定できます。EN/UVLOピン電圧が1.3Vを超えると、3つのLDOが有効になります。VCC5VがPORスレッシュホールドに達すると、コントローラに電源が入って内部回路を初期化します。EN/UVLOがUVLOスレッシュホールド1.8Vを超えると、ISL81601のソフトスタート回路がアクティブになります。 $SS/TRK$ ピンとGNDの間に接続されたソフトスタートコンデンサは、内部電荷電流 $2\mu A$ で充電を開始します。電圧エラー増幅器の基準電圧は、 $SS/TRK$ ピンの電圧に固定されています。そのため、 $SS/TRK$ が0Vから0.8Vに増加すると、出力電圧も0Vから規定値まで増加します。ソフトスタートコンデンサは、 $SS/TRK$ ピンの電圧が3Vになるまで充電されます。

ISL81601のアプリケーション回路例では、プログラム可能なアナログソフトスタートまたはトラッキング用 $SS/TRK$ ピンを使用しています。ソフトスタート時間の設定には、 $SS/TRK$ とGNDの間に接続したソフトスタートコンデンサを使用します。ソフトスタート時間を調整することで、スタートアップ中の突入電流を軽減できます。

通常のソフトスタート時間は[式2](#)に従って設定します。

$$(式2) \quad t_{SS} = 0.8V \left( \frac{C_{SS}}{2\mu A} \right)$$

外付けの $C_{SS}$ またはトラッキングでソフトスタート時間を1.7ms未満に設定する場合、内部設定の1.7msを使用します。出力電圧がレギュレーション範囲内にある場合は、PGOODがHIGHに切り替わります。

EN立下りスレッシュホールド $V_{ENSS\_THR}$ は0.9V $_{typ}$ ですが、EN/UVLOがこの値よりも低いレベルまで下がると、PWM出力と内部LDOをオフすることでスタンバイ電流を低下させます。また、 $70\Omega$   $r_{DS(ON)}$ の内部MOSFETによりSS/TRKピンを放電してGNDレベルにします。ルネサスでは、SS/TRKピンに1 $\mu$ Fよりも容量の大きいコンデンサを搭載したアプリケーションでは、100 $\Omega$ ～1k $\Omega$ の抵抗をコンデンサに直列挿入して放電時の電力損失を分散することを推奨します。

図42に示すように、UVLOスレッシュホールドを使うと、電圧デバイダ( $R_{UV1}$ 、 $R_{UV2}$ )を使ってEN/UVLOピンに $V_{IN}$ を供給することで、正確な $V_{IN}$ 低電圧保護(UVP)機能を実行することができます。

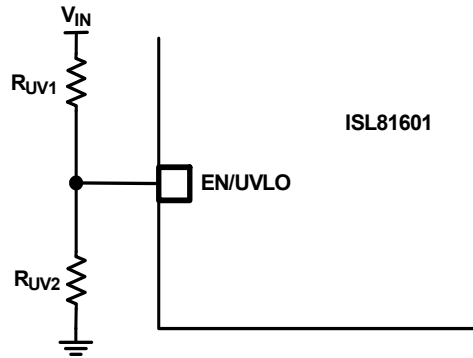


図 42.  $V_{IN}$  不足電圧保護

$V_{IN}$  UVP 立上りスレッシュホールドは、式3で計算できます。

$$(式3) \quad V_{UVRISE} = \frac{V_{UVLO\_THR}(R_{UV1} + R_{UV2}) - 1.1 \times 10^{-6} R_{UV1} R_{UV2}}{R_{UV2}}$$

ここで、 $V_{UVLO\_THR}$ はEN/UVLOピンのUVLO立上りスレッシュホールドで、通常1.8V $_{typ}$ です。

$V_{IN}$  UVP 立下りスレッシュホールドは、式4で計算できます。

$$(式4) \quad V_{UVFALL} = \frac{V_{UVLO\_THR}(R_{UV1} + R_{UV2}) - I_{UVLO\_HYST} R_{UV1} R_{UV2}}{R_{UV2}}$$

ここで、 $I_{UVLO\_HYST}$ はUVLOヒステリシス電流で、4.2 $\mu$ A $_{typ}$ です。

#### 4.4 トラッキング動作

ISL81601では、外部供給源にトラッキングができます。トラッキングを実行するためには、外部供給源とグラウンド間の抵抗分割器に接続します。この抵抗分割の接続点を、ISL81601のSS/TRKピンに接続します。抵抗分割器の分割比を使って2つの電圧レールの上昇率が設定されます。同時トラッキングを実施するため、トラッキング抵抗分割比を、27ページの式5で示すISL81601の出力抵抗分割器と全く同じ値に設定します。マスターレールが規定値に達したときのSS/TRKの電圧が0.8Vよりも高いことを確認します。

ソフトスタート電流2 $\mu$ Aがトラッキング機能に与える影響を最小限に抑えるため、ルネサスでは、トラッキング抵抗分割器に10k $\Omega$ 未満の抵抗を使用することを推奨します。

外部トラッキングソースによりSS/TRKピン電圧が0.3V未満にプルダウンされると、プリバイアススタートアップDEモード機能が再び有効になります。負荷電流が十分に高くないと出力電圧が低下しない場合があります。

過電流保護(OCP)が作動すると、最小限の内部ソフトスタート電流がによってOCPソフトスタートヒックアップタイムが50msに決まります。

## 4.5 制御ループ

ISL81601は、入力電圧と同じかそれよりも低い出力電圧を提供する電流モード・コントローラです。2ページの図2(アプリケーション回路図例)および6ページの図6(ブロックダイアグラム)に示すルネサス独自の制御アーキテクチャでは、電流検出抵抗を降圧ハイサイドFETに対して直列に接続して、降圧または昇圧モードのインダクタ電流を検出します。インダクタ電流は、誤差増幅器Gm1-Gm4の最低出力のCOMPピンの電圧で制御されます。最もシンプルな例では、出力を一定電圧に設定するにはFB\_OUTピンが出力フィードバック信号を受け、Gm1により内部リファレンスと比較します。出力電圧が低いとCOMP電圧が高くなり、それによってPWMデューティ・サイクルが高くなり、出力される電流が増加します。逆に、出力電圧が高いとCOMP電圧が低くなり、それによってPWMデューティ・サイクルが低くなり、出力される電流が減少します。

ISL81601には、出力電圧(Gm1)、入力電圧(Gm2)、入力電流(Gm3)、出力電流(Gm4)を制御する4つの誤差増幅器(Gm1-4)があります。アプリケーション回路例では、出力電圧はGm1で規制され、その他の誤差増幅器は、入力または出力電流が過剰でないか、入力電圧が不足していないかをモニタします。その他、バッテリーチャージャのようなアプリケーションでは、出力電圧レギュレータ(Gm1)が制御する前に決められた電圧に達するまで、出力電流レギュレータ(Gm4)が定電流充電を実行します。

### 4.5.1 出力電圧レギュレーションループ

ISL81601では、内部リファレンス電圧0.8Vにより出力電圧を設定します。図43に示すように、出力電圧はこの内部リファレンスに基づき、0.8Vからフィードバック抵抗分割器で決めた電圧までの間で設定されます。

出力電圧は、出力からグラウンドに接続する抵抗分割器で決まります。この抵抗分割の接続点をFB\_OUTピンに接続します。出力電圧の値は式5で決まります。

$$(式5) \quad V_{OUT} = 0.8V \left( \frac{R_{FBO1} + R_{FBO2}}{R_{FBO2}} \right)$$

ここで、図43に示すように、 $R_{FBO1}$ はフィードバック分割器ネットワークで上側の抵抗で、 $R_{FBO2}$ はFB\_OUTからグラウンドに接続する下側の抵抗です。

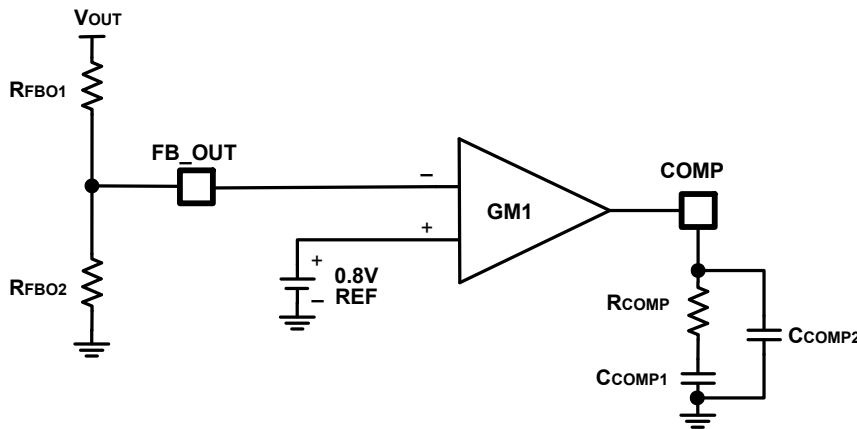


図 43. 出力電圧レギュレータ

図43に示すように、安定動作のループを補償するためには、Gm1レギュレータ出力COMPピンに接続された $R_{COMP}$ 、 $C_{COMP1}$ 、 $C_{COMP2}$ のネットワークが必要です。ループ安定性は、 $V_{IN}$ 、 $V_{OUT}$ 、負荷電流、スイッチング周波数、インダクタ値、出力キャパシタンス、COMPピンの補償ネットワークなど、様々な異なるファクタの影響を受ける可能性があります。ほとんどのアプリケーションで、 $C_{COMP1}$ には22nFが適しています。 $C_{COMP1}$ がそれよりも大きいとフェーズマージンが大きくなるためループの安定性が増しますが、ループ帯域幅が小さくなります。高周波ノイズをフィルタするため、 $C_{COMP2}$ は通常 $C_{COMP1}$ の1/10から1/30です。 $R_{COMP}$ の初期値として適切な値は10k $\Omega$ です。 $R_{COMP}$ が小さいと安定性が増しますが、ループ応答性が遅くなります。最終的にはネットワーク補償の最適化はベンチテストで行います。

### 4.5.2 入力電圧レギュレーションループ

28ページの図44に示すように、入力電圧 $V_{IN}$ は抵抗分分割器 $R_{FBIN1}/R_{FBIN2}$ を使ってFB\_INピンで検出し、Gm2で調整します。FB\_INピン電圧がリファレンス電圧0.8V未満になると、COMPピン電圧がローレベルになってPWMデューティ・サイクルが下がり、それに伴って入力電流も下がります。太陽光パネルなどの入力側のインピーダンスが高いアプリケーションでは、入力電圧調整ループを使用することで、出力負荷が高い場合に入力電圧が低くなりすぎるのを防ぐことができます。バッテリーなどの入力側インピーダンスが低いアプリケーションでは、 $V_{IN}$ フィードバックループを使用することで、バッテリーの過放電を防ぐことができます。DCバックアップシステムのような $V_{IN}$ 供給源に負荷があるアプリケーションでは、入力電圧調整ループによって入力電流を負の領域にすることができ、電力変換の向きを反転させてバッテリーバックアップやスーパーキャパシタに放電し、負荷に合わせて調整された $V_{IN}$ を供給します。調整された入力電圧の値は式6で決まります。

$$(式6) \quad V_{IN} = 0.8V \left( \frac{R_{FBIN1} + R_{FBIN2}}{R_{FBIN2}} \right)$$

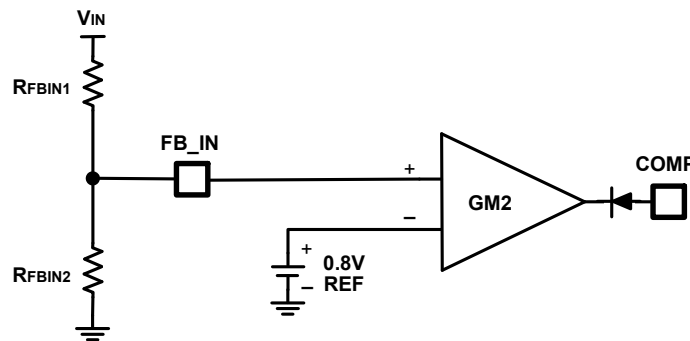


図 44.  $V_{IN}$ 帰還ループ

FB\_INはデュアルファンクションピンです。34ページの表2に示すように、このピンでは、CLKOUT/DITHERピンのクロック出力信号の位相角を設定します。FB\_INピン電圧が0.3V未満または4.7Vより大きいとき、 $V_{IN}$ 帰還ループが無効になります。DEモードのときやソフトスタート中も $V_{IN}$ 帰還ループは無効です。

### 4.5.3 入出力の平均電流モニタリングおよび調整ループ

29ページの図45に示すように、ISL81601にはA1とA2の2つの電流検出オペレーションアンプ(オペアンプ)があり、入力電流と出力電流の両方をモニタします。入力電流と出力電流検出抵抗 $R_{S\_IN}$ と $R_{S\_OUT}$ での電圧信号は、RCフィルタ $R_{S\_IN1}/C_{S\_IN1}$ 、 $R_{S\_IN2}/C_{S\_IN2}$ 、 $R_{S\_OUT1}/C_{S\_OUT1}$ 、 $R_{S\_OUT2}/C_{S\_OUT2}$ を介してそれぞれ差動入力CS+/CS-とISEN+/ISEN-に伝送されます。電流シグナルの遅延やオペアンプバイアス電流による誤動作が起こらないようにしつつスイッチングノイズを効果的に低減するため、ルネサスでは、 $R_{S\_IN1}$ 、 $R_{S\_IN2}$ 、 $R_{S\_OUT1}$ 、 $R_{S\_OUT2}$ に1Ωを、 $C_{S\_IN1}$ 、 $C_{S\_IN2}$ 、 $C_{S\_OUT1}$ 、 $C_{S\_OUT2}$ に10nFを使用することを推奨します。GmオペアンプA1およびA2は、電流検出電圧信号を電流信号 $I_{CS}$ および $I_{ISEN}$ に変換します。

$$(式7) \quad I_{CS} = [(I_{IN})R_{S\_IN} + V_{CSOFFSET}]Gm_{CS}$$

ここで、

- $I_{IN}$ はQ1ドレインの入力電流
- $V_{CSOFFSET}$ はA1入力オフセット電圧
- $Gm_{CS}$ はA1のゲイン、200 $\mu$ Styp.
- $V_{CSOFFSET} Gm_{CS} = I_{CSOFFSET}$

$I_{CSOFFSET}$ の値は19.5 $\mu$ Atyp.

$$(式8) \quad I_{ISEN} = [(I_{OUT})R_{S\_OUT} + V_{ISENOFFSET}]Gm_{ISEN}$$

ここで、

- $I_{OUT}$ はQ4ドレインの出力電流
- $V_{ISENOFFSET}$ はA2入力オフセット電圧
- $Gm_{ISEN}$ はA2のゲイン、200 $\mu$ Styp.
- $V_{ISENOFFSET} Gm_{ISEN} = I_{ISENOFFSET}$

$I_{ISENOFFSET}$ の値は20 $\mu$ Atyp.

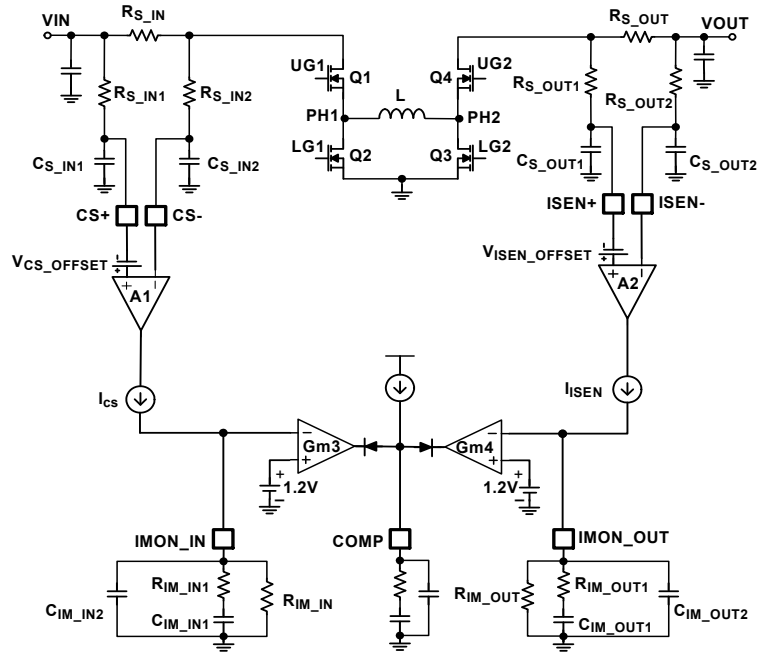


図 45. 入出力の平均電流モニタリングおよび調整ループ

IMON\_INおよびIMON\_OUTピンの抵抗 $R_{IM\_IN}$ と $R_{IM\_OUT}$ を接続することにより、電流信号 $I_{CS}$ および $I_{ISEN}$ が電圧信号に変換されます。 $I_{CS}$ および $I_{ISEN}$ 信号の中のAC成分を取り除いてループ動作を安定させるためには、IMON\_INおよびIMON\_OUTピンのRCネットワーク $R_{IM\_IN1}/C_{IM\_IN1}/C_{IM\_IN2}$ および $R_{IM\_OUT1}/C_{IM\_OUT1}/C_{IM\_OUT2}$ が必要です。IMON\_INとIMON\_OUTピンの平均電圧は、 $Gm3$ と $Gm4$ を使って1.2Vに調整されています。

入力定電流ループの設定点 $I_{INCC}$ は式9を使って計算します。[17ページ](#)の「電氣的仕様」の表の $V_{AVOCP\_CS}$ を参考にして設定点の許容誤差を見積もります。

$$(式9) \quad I_{INCC} = \frac{1.2 - I_{CS\_OFFSET} \times R_{IM\_IN}}{R_{IM\_IN} \times R_{S\_IN} \times Gm_{CS}}$$

出力定電流ループの設定点 $I_{OUTCC}$ は式10から計算します。[17ページ](#)の「電氣的仕様」の表の $V_{AVOCP\_ISEN}$ を参考にして設定点の許容誤差を見積もります。

$$(式10) \quad I_{OUTCC} = \frac{1.2 - I_{ISEN\_OFFSET} \times R_{IM\_OUT}}{R_{IM\_OUT} \times R_{S\_OUT} \times Gm_{ISEN}}$$

平均電流ループ安定性も、電圧制御ループと同様にIMON\_INまたはIMON\_OUTピンの $V_{IN}$ 、 $V_{OUT}$ 、スイッチング周波数、インダクタ値、入出力のキャパシタンス、RCネットワークなど様々な要因の影響を受けます。 $I_{CS}$ および $I_{ISEN}$ のAC定数が高いため、 $C_{IM\_IN1}$ と $C_{IM\_OUT1}$ を大きくする必要があります。 $C_{IM\_IN1}$ と $C_{IM\_OUT1}$ が大きいとフェーズマージンが大きくなることでループの安定性が増しますが、ループ帯域幅が小さくなります。ほとんどのアプリケーションで、 $C_{IM\_IN1}$ と $C_{IM\_OUT1}$ には47nFが適しています。高周波ノイズをフィルタするため、 $C_{IM\_IN2}$ と $C_{IM\_OUT2}$ は通常 $C_{IM\_IN1}$ と $C_{IM\_OUT1}$ の1/10から1/30とします。フェーズマージンを大きくするためには $R_{IM\_IN1}$ と $R_{IM\_OUT1}$ が必要です。 $R_{IM\_IN1}$ と $R_{IM\_OUT1}$ の初期値として適切な値は5k $\Omega$ です。最終的なネットワーク補償の最適化はiSimシミュレーションまたはベンチテストで行います。

#### 4.6 昇降圧変換トポロジおよび制御アルゴリズム

ISL81601ではルネサス独自の昇降圧制御アルゴリズムを使用して電力変換性能を最適化しています。[図46](#)に昇降圧トポロジを示します。ISL81601は、Q1、Q2、Q3、Q4の4つのパワースイッチを制御し、降圧モードまたは昇圧モードのいずれかで動作します。 $V_{IN}$ が $V_{OUT}$ よりも大幅に低いとコンバータが昇圧モードになります。 $V_{IN}$ が $V_{OUT}$ よりも大幅に高いとコンバータが降圧モードになります。 $V_{IN}$ が $V_{OUT}$ と等しいか近いときは、コンバータが降圧モードと昇圧モードを切り替えて必要に応じて調整された出力電圧を提供し、これを昇降圧モードと呼びます。[図47](#)に、動作モードと $V_{OUT} - V_{IN}$ との関係を示します。

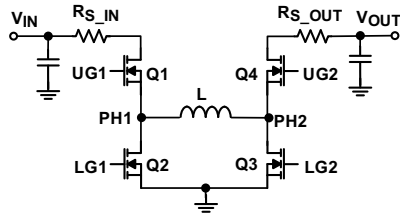


図 46. 昇降圧トポロジ

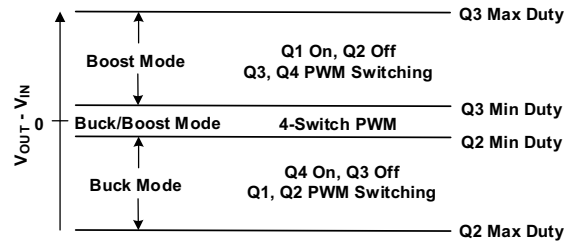


図 47. 動作モード vs V<sub>OUT</sub> - V<sub>IN</sub>

R<sub>S\_IN</sub>は、Q1 オン時間の間にインダクタ電流を検出するための電流検出抵抗です。6ページの「ブロック図」に示すように、検出信号はCS+ピンとCS-ピンに送信され、ピーク電流またはバレー電流モード制御、DEモード制御、入力平均電流モニタ、定電流制御、保護機能を実行するために使用します。

R<sub>S\_OUT</sub>は、Q4 オン時間の間にインダクタ電流を検出するための電流検出抵抗です。ブロック図に示すように、検出信号がISEN+ピンとISEN-ピンに送信され、それを使って負のインダクタ・ピーク電流リミット、出力の平均電流モニタリング、定電流制御、保護を実行します。

### 4.6.1 降圧モード動作 (V<sub>IN</sub> > V<sub>OUT</sub>)

降圧モードでは、ブートリフレッシュまたは負のインダクタ・ピーク電流リミットが働かないかぎり、常時Q4がオンでQ3がオフです。Q1とQ2は、正常ピーク電流制御の同期降圧モードとして動作します。Q1はクロックによりオンになります。Q1 オン時間では、オペアンプA1がR<sub>S\_IN</sub>の電圧からインダクタ電流を検出します。検出された信号には補正スロープが加えられ、これがハイサイド側の電圧または電流レギュレータからのエラー信号であるCOMPピン電圧よりも高くなるとQ1がオフになります。等価回路と動作波形を30ページの図48に示します。

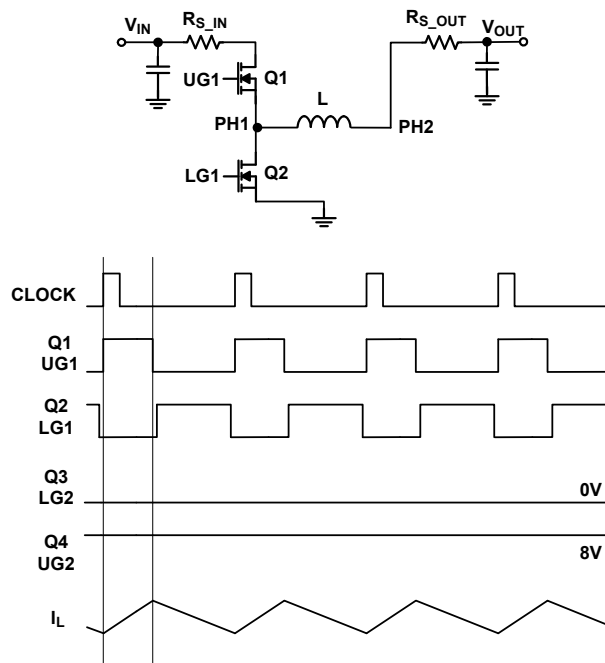


図 48. 降圧モード等価回路と動作波形

降圧モードでは、Q1デューティ・サイクルは以下で与えられます。

$$D_{Q1} = V_{OUT} / V_{IN} \times 100\%$$

V<sub>IN</sub>が減少してV<sub>OUT</sub>に近づくに従いD<sub>Q1</sub>が増加してそのミニマム・オフタイムで決められている最大デューティ・サイクルに近づきます。D<sub>Q1</sub>が最大値に到達すると、コンバータが昇降圧モードになります。

V<sub>IN</sub>がV<sub>OUT</sub>よりもはるかに大きいと、D<sub>Q1</sub>が減少して、そのミニマム・オンタイムで決められている最小デューティ・サイクルに近づきます。ループ動作を安定化し、デューティ・サイクルのジッタを回避するため、ルネサスでは、Q1 オン時間を常にミニマム・オンタイムの2倍から3倍に保つことを推奨します。

### 4.6.2 昇圧モード動作 ( $V_{IN} < V_{OUT}$ )

昇圧モードでは、ブートリフレッシュまたは負のインダクタ・ピーク電流リミットが働かないかぎり、常時Q1がオンでQ2がオフです。Q3とQ4は、正常なバレー電流制御の同期昇圧モードとして動きます。Q3はクロックによりオフになります。Q3オフ時間では、オペアンプA1が $R_{S\_IN}$ の電圧からインダクタ電流を検出します。検出された信号には補正スロープが加えられ、これがハイサイド側または電流レギュレータからのエラー信号であるCOMPピン電圧よりも低くなるとQ3がオンになります。等価回路と動作波形を31ページの図49に示します。

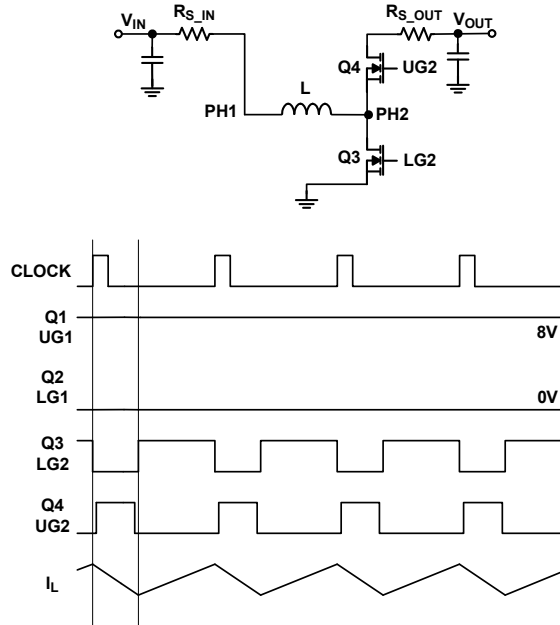


図 49. 昇圧モード等価回路と動作波形

昇圧モードでは、Q3デューティ・サイクルは以下の式で与えられます。

$$D_{Q3} = (1 - V_{IN} / V_{OUT}) \times 100\%$$

$V_{IN}$ が増加して $V_{OUT}$ に近づくに従い $D_{Q3}$ が減少してそのミニマム・オンタイムで決められている最大デューティ・サイクルに近づきます。 $D_{Q3}$ が最小値に到達すると、コンバータが昇降圧モードになります。

$V_{IN}$ が $V_{OUT}$ よりもはるかに小さいと $D_{Q3}$ が増加し、そのミニマム・オフタイムで決められている最大デューティ・サイクルに近づきます。ループ動作を安定化し、デューティ・サイクルのジッタを回避するため、ルネサスでは、Q3オフ時間を常にミニマム・オフタイムの2倍から3倍に保つことを推奨します。

### 4.6.3 昇降圧モード動作 ( $V_{IN} \approx V_{OUT}$ )

昇降圧モードでは、降圧モードサイクル1回に続いて昇圧モードサイクル1回、という動作モードでコンバータが動作します。昇降圧を完了するためにはクロック・サイクル2回分の時間を要します。

$V_{IN}$ が $V_{OUT}$ より高いと、Q3は昇圧モードサイクルの最小デューティで動作し、Q1デューティ・サイクル $D_{Q1}$ を降圧サイクルで変調して $V_{OUT}$ を保ちます。 $V_{IN}$ が増加すると、 $D_{Q1}$ が減少します。 $D_{Q1}$ がクロック時間の66.7%を下回るまで減少すると、コンバータは降圧モードになります。

$V_{IN}$ が $V_{OUT}$ より低いと、Q1は降圧モードサイクルの最大デューティで動作し、Q3デューティ・サイクル $D_{Q3}$ を昇圧サイクルで変調して $V_{OUT}$ を保ちます。 $V_{IN}$ が減少すると、 $D_{Q3}$ が増加します。 $D_{Q3}$ がクロック時間の33.3%を上回るまで増加すると、コンバータは昇圧モードになります。

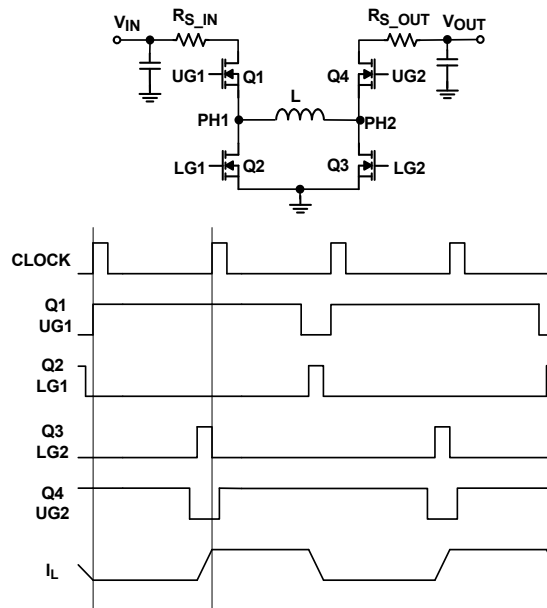


図 50. 昇降圧モード等価回路と動作波形

#### 4.7 軽負荷時の効率向上

ISL81601 を DE モードとバーストモードに設定すると、軽負荷効率を改善することができます。ソフトスタート前の初期段階で、LG1/PWM\_MODE ピンのデュアルファンクションを使って DE モードまたは PWM モード動作に設定します。LG1/PWM\_MODE ピンからの電流源  $I_{MODELG1}$  ( $10\mu\text{A typ.}$  初期段階) を使って LG1/PWM\_MODE ピンと GND の間に  $R_{LG1}$  を接続して電圧降下を発生させます。通常  $0.3V_{\text{typ.}}$  よりも電圧が低いと PWM モードに設定されます。それ以外では DE モードになります。

DE モード動作に設定するためには、以下を満たす  $R_{LG1}$  を選択します。

$$(式 11) \quad R_{LG1} \times I_{MODELG1} > 0.34V$$

DE モードに設定すると、LG1 駆動の降圧同期 FET および UG2 駆動の昇圧同期 FET がすべて DE モードで動作します。インダクタ電流は、降圧同期 FET のゼロクロス検出基準値  $V_{CROSS1}$  または昇圧同期 FET のゼロクロス基準値  $V_{CROSS2}$  に応じて逆流(連続動作)することができません。軽負荷状態では、コンバータはダイオード・エミュレーション状態になります。負荷電流が、IMON\_OUT ピンで  $V_{IMONOUTBSTEN}$  として設定されたレベル  $0.85V_{\text{typ.}}$  よりも低くなると、バーストモードで動作します。式 12 に、バーストモード動作に入る条件を示します。

$$(式 12) \quad R_{IM\_OUT} \times (I_{SEN\text{OFFSET}} + I_{OUT} \times R_{S\_OUT} \times G_{m\text{ISEN}}) < V_{IMONOUTBSTEN}$$

ここで (29 ページの図 45 を参照) :

$I_{SEN\text{OFFSET}}$  は出力電流検出オペアンプの内部オフセット電流、 $20\mu\text{A typ.}$

$G_{m\text{ISEN}}$  は出力電流検出オペアンプの  $G_m$ 、 $200\mu\text{S typ.}$

IMON\_OUT ピンでの出力電流が  $V_{IMONOUTBSTEX}$  として設定された値  $0.88V_{\text{typ.}}$  よりも大きいと、バーストモードから抜けます。式 13 に、バーストモード動作から抜ける条件を示します。

$$(式 13) \quad R_{IM\_OUT} \times (I_{SEN\text{OFFSET}} + I_{OUT} \times R_{S\_OUT} \times G_{m\text{ISEN}}) > V_{IMONOUTBSTEX}$$

バーストモードに入ると、BSTEN ピンがローレベルになります。モードの切り替えのチャタリングを完全に回避するために、BSTEN ピンと IMON\_OUT ピンの間に  $4\text{--}10M\Omega$  の抵抗を追加してヒステリシスをさらに大きくすることができます。

バーストモードでは、内部ウィンドウ・コンパレータが出力電圧を制御します。コンパレータは FB\_OUT ピン電圧をモニタします。FB\_OUT ピン電圧が  $0.82V$  超であれば、コントローラはローパワーオフモードに入ります。ここでは、内部回路のうち不要な回路の電源がオフになります。FB\_OUT ピン電圧が  $0.8V$  まで低下するとコントローラが起動し、 $V_{IN} - V_{OUT} < 2V$  であればピーク電流レベル固定で制御された  $D/(1-D)$  昇降圧モードで動作し、 $V_{IN} - V_{OUT} > 2V$  であれば降圧モードで動作します。 $D/(1-D)$  昇降圧モードでは、Q1 と Q3 が時間  $D \times T$  の間動作します。ここで  $D$  はデューティ・サイクル、 $T$  はスイッチング時間です。Q2 と Q4 は、時間  $(1-D) \times T$  の間に補完的に動作します。Q1 と Q3 はクロック信号でオンになり、インダクタ電流が入力電流検出オペアンプ入力電圧  $V_{BST-CS}$  で設定された  $27mV_{\text{typ.}}$  に到達するレベルまで上がるとオフになります。Q1 と Q3 がオフになると Q2 と Q4 がオンになり、次のサイクルが始まるまでの間にイ



インダクタに蓄えられたエネルギーを、出力側に受け渡します。立ち上げ期間になると出力電圧が増加します。出力が再び0.82Vに到達すると、コントローラは再びローパワーオフモードに入ります。負荷電流が増えると、ローパワーオフモード期間が少なくなります。オフモード期間が消失し負荷電流がさらに増加しても式 13が満たされない場合、出力電圧が低下します。FB\_OUTピン電圧が0.78Vまで低下すると、コントローラはバーストモードを抜けてノーマルDE PWMモードで動作します。電圧誤差増幅器での制御により出力電圧を調整します。

ローパワーオフモードでは、CLKENピン電圧がローレベルになります。マルチチップ並列動作システムにてBSTENピンとCLKENピンを接続すると、バーストモードへの出入りとバーストのオン/オフ制御が全て同期します。

V<sub>OUT</sub>はバーストモードのウィンドウ・コンパレータで制御されるため、V<sub>OUT</sub>には通常の周波数の低い電圧リップルよりも周波数の高いリップルが生じ、適切なインダクタや出力コンデンサを選択しないと音として聞こえるノイズが発生することもあります。また、D/(1-D)バックブーストモードの効率は低くなります。こうした欠点をカバーするため、式 14に示すように、R<sub>IM\_OUT</sub>に大きな値を選択してIMON\_OUTピン電圧を0.88Vよりも高くすることによってバーストモードを無効化することができます。これはDEモードのみで動作します。パルススキップモードを使うと、レギュレータGm1で常に制御されているV<sub>OUT</sub>と同じくらいまで出力リップルを低下させて、軽負荷電力損失を低減することができます。

$$(式 14) \quad R_{IM\_OUT} \times I_{SEN\ OFFSET} > V_{IMON\ OUT} B_{STEX}$$

## 4.8 プリバイアス・パワーアップ

ISL81601では、ソフトスタート中に強制DEモードを動作させることにより、プリバイアスされた出力でソフトスタートを行うことができます。プリバイアス・スタートアップの間、出力電圧のブルダウンはできません。PWM動作は、ソフトスタートの傾きがプリバイアスされた電圧と分割抵抗比の積の90%に達するまで実行されません。SS/TRKピン電圧が内部または外部回路によって0.3Vを下回るまでブルダウンされると、強制DEモードが再設定されます。

DEモード動作のソフトスタート中は、過電圧保護機能が有効なままになっています。

## 4.9 周波数の選択

スイッチング周波数の選択は、効率と部品サイズの間でトレードオフの関係にあります。スイッチング周波数が低いとMOSFETのスイッチング損失が少なくなり効率が改善されます。出力リップルとロードトランジェントについての要求を満たすには、低い周波数での動作には、より大きなインダクタンスと出力キャパシタンスが必要です。ISL81601のスイッチング周波数は、RT/SYNCピンからGNDへ接続されている抵抗に、9ページの式 1に従って設定されます。

適切な値のR<sub>T</sub>を選択するには、図 51に示されている周波数設定曲線を参考にしてください。

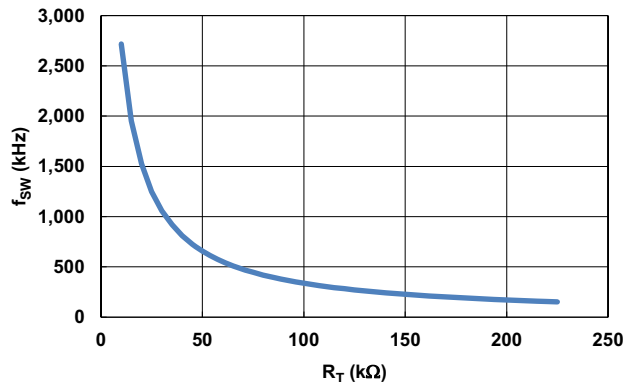


図 51. R<sub>T</sub>とスイッチング周波数f<sub>sw</sub>との関係

## 4.10 位相同期ループ(PLL)

ISL81601には、高性能のPLLが搭載されています。PLLを使うと、正確なクロック周波数とフェーズを幅広い範囲で設定できます。また、外部クロック周波数が内部クロック周波数よりも高くても低くても、内部クロックを外部クロックに容易に同期させることができます。

図 52に示すように、R<sub>PLL</sub>、C<sub>PLL1</sub>、C<sub>PLL2</sub>からなる外部補償ネットワークでは、PLLを安定して動作させるためにPLL\_COMPピンに接続する必要があります。ルネサスでは、R<sub>PLL</sub>に2.7kΩ、C<sub>PLL1</sub>に10nF、C<sub>PLL2</sub>に820pFを選択することを推奨しています。推奨条件での補償ネットワークを使用すると、クロック周波数の全周波数帯100kHz～600kHzでPLLの安定性が確保されます。

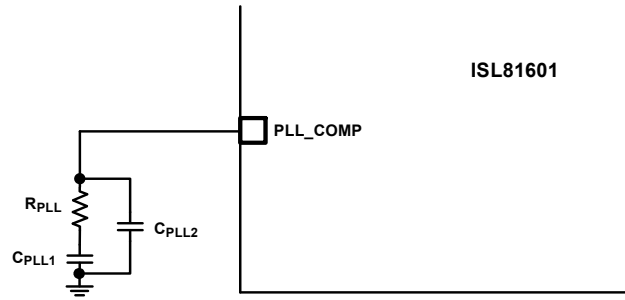


図 52. PLL 補正ネットワーク

#### 4.11 周波数同期およびディザリング

ISL81601 の RT/SYNC ピンを外部クロックまたは別の ISL81601 の CLKOUT/DITHER ピンに接続すると、これらと同期させることができます。RT/SYNC ピンを別の ISL81601 の CLKOUT/DITHER ピンに接続すると、2つのコントローラがフェーズインターリービングを備えたカスケード同期で動作します。

RT/SYNC ピンを外部クロックに接続すると、ISL81601 は外部クロック周波数に同期します。抵抗  $R_T$  で設定された周波数は、外部周波数より低いことも高いことも、同じにもなります。

CLKOUT/DITHER ピン出力信号のパルス幅は、約 300ns です。信号周波数は、RT ピンとグラウンドの間に挿入した抵抗による周波数または外部同期クロックと同じです。RT/SYNC ピンでの内部クロックまたは外部クロックの立上りエッジの位相角は、FB\_IN ピンと IMON\_IN ピンに供給される電圧によって設定することができます。このフェーズインターリービングは、並列システムで上位チップの CLKOUT/DITHER ピンを下位チップの RT/SYNC ピンにカスケード接続することによって実行されます。[34 ページの表 2](#) に、FB\_IN と IMON\_IN ピン電圧を使用した CLKOUT/DITHER フェーズ設定を示します。

表 2. CLKOUT フェーズシフト vs FB\_IN および IMON\_IN 電圧

CLKOUT フェーズシフト	120°	90°	60°	180°
FB_IN 電圧	アクティブ	1	1	アクティブ
IMON_IN 電圧	1	アクティブ	1	アクティブ

Note: 「1」は、ロジック HIGH が 4.7V ~ 5V であることを示す。「アクティブ」は、ロジック LOW が 0V ~ 4.3V であることを示す。

FB\_IN を 5V に接続すると、 $V_{IN}$  フィードバック制御ループが無効になります。IMON\_IN を 5V に接続すると、平均入力電流制御ループと入力電流ヒックアップ OCP が無効になります。

マルチチップカスケード並列処理では、上位チップの CLKOUT ピンを低位チップの RT/SYNC に接続します。BSTEN、FB\_IN、SS/TRK、COMP、FB\_OUT、IMON\_OUT、OV、EN/UVLO、IMON\_IN、CLKEN のピンは全て共通に接続できます。

CLKOUT/DITHER ピンには、デュアルファンクションのオプションがあります。CLKOUT/DITHER ピンにコンデンサ  $C_{DITHER}$  を接続すると、内部回路により CLKOUT 機能が無効になり、DITHER 機能が有効になります。CLKOUT/DITHER ピン電圧が 1.05V よりも低くなると、 $8\mu\text{A}_{\text{typ}}$  の電流源  $I_{DITHERSO}$  によりピンに接続されたコンデンサが充電されます。コンデンサの充電電圧が 2.2V よりも高くなると、 $10\mu\text{A}_{\text{typ}}$  の電流源  $I_{DITHERSI}$  によりピンに接続されたコンデンサが放電されます。CLKOUT/DITHER ピンには、[図 35 ページの図 53](#) に示すくし形波形電圧が発生します。このくし型波形電圧によって内部クロック周波数の変調が行われます。このクロック周波数ディザリングは、通常 RT/SYNC ピンの抵抗に発生する周波数の  $\pm 15\%$  と設定されます。チップを外部クロックに同期すると、ディザリング機能が消失します。

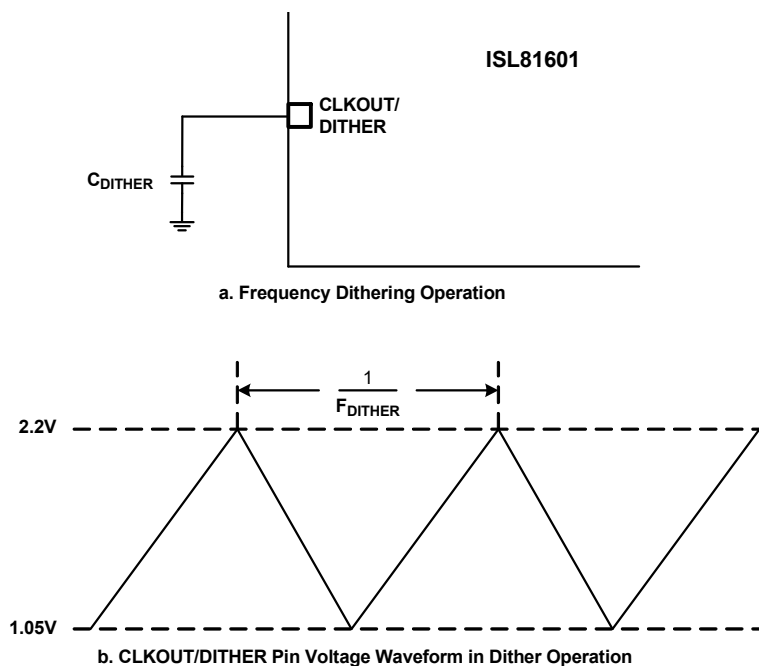


図 53. 周波数ディザリング動作

ディザリング周波数 $F_{DITHER}$ は、[式 15](#)で計算されます。ルネサスでは、 $C_{DITHER}$ の設定範囲として10nF～1 $\mu$ Fを推奨します。 $C_{DITHER}$ が低すぎるとディザリングモードに設定できません。また、 $C_{DITHER}$ が高すぎるとディザリング無効時またはパワーオフ時の放電電力損失が大きくなり、内部放電回路の熱ストレスが高くなります。

$$(式 15) \quad F_{DITHER} = \frac{3.865 \times 10^{-6}}{C_{DITHER}}$$

#### 4.12 並列処理カレントシェア

[34ページ](#)の「[周波数同期およびディザリング](#)」に述べたように、複数のISL81601を用い、昇降圧DC/DCコンバータを互いに並列にカスケードに配列することができます。並列コンバータの電流は、一つのCOMPピン電圧をそれぞれのICの電流制御ループの基準に接続することによって共有することができます。しかしながら、RAMPおよび電流検出回路設定の許容範囲が広いことから、カレントシェアの精度は理想的とはいえません。カレントシェアを適切な精度で行うためには、[36ページ](#)の[図 54](#)のような外付けのアクティブなカレントシェア回路が推奨されます。

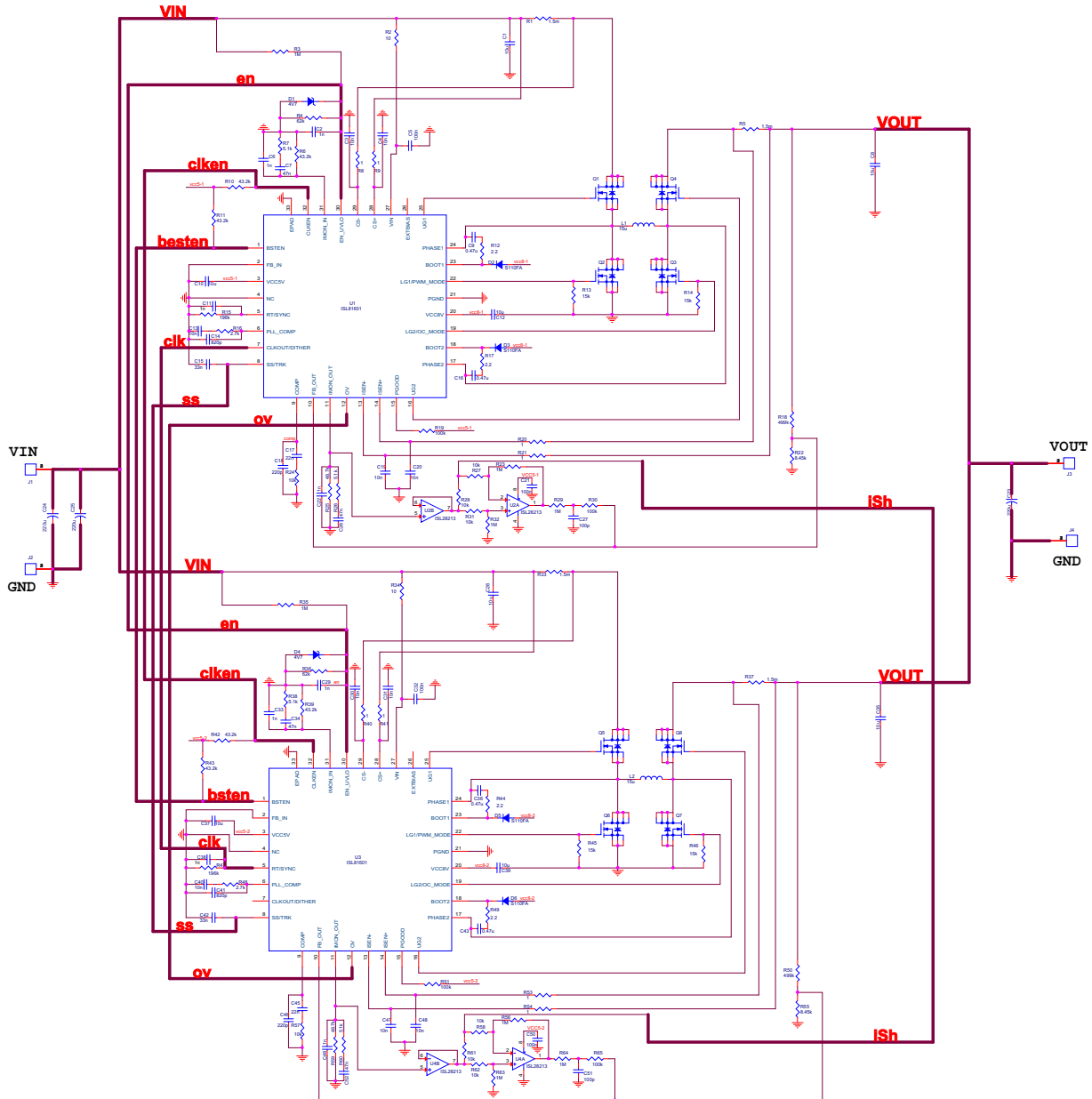


図 54. ISL81601DEMO1Z カレントシェア回路

図 54 に、並列接続された 2 つのコンバータを示します。それぞれのコンバータのアクティブカレントシェア用に外付けオペアンプ 2 個が追加されています。1 つめのオペアンプは、コンバータ 1 の U2B またはコンバータ 2 の U4B で、IMON\_OUT ピンからのローカル出力電流信号をカレントシェアサーキットに伝達するバッファです。コンバータ 1 の R<sub>28</sub> とコンバータ 2 の R<sub>61</sub> を使ってバッファ出力を iSh バスに接続し、基準信号を作ります。iSh バスの電圧 V<sub>iSh</sub> は、式 16 で計算します。

$$(式 16) \quad V_{iSh} = (V_{IMON\_OUT1} + V_{IMON\_OUT2}) / 2$$

ここで、V<sub>IMON\_OUT1</sub> はコンバータ 1 の IMON\_OUT ピン電圧、V<sub>IMON\_OUT2</sub> はコンバータ 2 の IMON\_OUT ピン電圧です。2 つめのオペアンプは、コンバータ 1 の U2A またはコンバータ 2 の U4A で、電流誤差信号を IC の FB\_OUT ピンに供給する差動オペアンプです。差動入力信号は、U2A では V<sub>IMON\_OUT1</sub> - V<sub>iSh</sub> に等しく、U4A では V<sub>IMON\_OUT2</sub> - V<sub>iSh</sub> に等しくなります。差動オペアンプのゲインと、オペアンプ出力と FB\_OUT ピンの間の抵抗値は、カレントシェアリング精度とカレントシェアリンググループによる出力電圧変化の許容最大値に基づいて決定されます。ここで、電流検出回路の誤差は無視できるものとします。

許容される最大のカレントシェアリング誤差は、許容される最大の差動オペアンプ入力を使って表すことができます。差動オペアンプでは、レールツーレール・オペアンプを使用すると仮定し、最大差動入力時に最大電圧 5V を出力します。差動オペアンプゲイン K<sub>sh</sub> は、式 17 で計算します。

$$(式 17) \quad K_{sh} = \frac{5}{\Delta V_{sh}}$$

ここで、 $\Delta V_{sh}$ は許容される最大の差動オペアンプ入力電圧で、出力カレントシェアリングエラー  $\Delta I_{sh} = |I_{OUT1} - I_{OUT2}| / 2$ に比例します。 $I_{OUT1}$ と $I_{OUT2}$ はそれぞれ、コンバータ1とコンバータ2の出力電流です。[28ページの「入出力の平均電流モニタリングおよび調整ループ」](#)の記載を参照すると、 $\Delta V_{sh} = \Delta I_{sh} \times R_{IM\_OUT} \times R_{S\_OUT} \times G_{mISEN}$ となります。

[36ページの図 54](#)に示すように、コンバータ1では $K_{sh} = R_{23}/R_{27}$ 、コンバータ2では $K_{sh} = R_{56}/R_{58}$ です。差動オペアンプ出力とFB\_OUTピンの間の抵抗 $R_{sh}$ は、[式 18](#)で計算できます。

$$(式 18) \quad R_{sh} = \frac{5 \times R_{FBO1}}{\Delta V_{OUT}}$$

ここで、 $\Delta V_{OUT}$ はカレントシェアリングループによる出力電圧変化の最大許容値で、 $V_{OUT}$ の精度による制約があります。

$R_{FBO1}$ は、[27ページの図 43](#)に示す $V_{OUT}$ 抵抗分割器の上側抵抗です。[図 54](#)に示すように、コンバータ1では $R_{sh} = R_{29} + R_{30}$ 、コンバータ2では $R_{64} = R_{65}$ です。また、コンバータ1では $R_{FBO1} = R_{18}$ 、コンバータ2では $R_{FBO1} = R_{50}$ です。

### 4.13 ゲートドライバ

ISL81601では、2つのほぼ独立した高耐圧ドライバペアを降圧および昇圧のMOSFETペアに接続して動作させます。それぞれのドライバペアは、ゲート制御ロジック回路、ローサイド・ドライバ、レベルシフタ、ハイサイド・ドライバ各1つずつで構成されています。

ISL81601には、MOSFET条件の変化に応じて最適動作する適応型デッドタイムアルゴリズムが組み込まれています。このアルゴリズムでは、ハイサイド側のMOSFETとローサイド側のMOSFETの間のデッドタイムが約16nsになります。このデッドタイムは適応性が高く、外付けの抵抗やコンデンサを使ってデッドタイムを調節することなく異なる複数のMOSFETを動作させることができます。ローサイド側のMOSFETのターンオフ中には、LGATE電圧がスレッシュホールドの1Vに到達してUGATEが立上りを開始するまでの間のLGATEの値がモニタされます。適応型デッドタイム回路では、UGATEターンオフ状態でのハイサイド側のMOSFETゲート電圧をモニタします。MOSFETゲート-ソース間電圧がスレッシュホールド1Vを下回ると、LGATE電圧を立ち上げることができます。ルネサスでは、ドライバ出力と対応するMOSFETゲートの間に抵抗を挿入しないことを推奨します。デッドタイム回路を妨害する可能性があるからです。

ローサイドゲートドライバはVDDを電源とし、3Aピークシンクと2Aピークソース電流を提供します。ハイサイドゲートドライバは3Aピークシンクと2Aピークソース電流を供給します。ハイサイド側のNチャンネルMOSFETのゲートドライブ電圧は、ブート回路のフライングコンデンサによって作られます。BOOTピンとPHASEノード間のブートコンデンサは、ハイサイドMOSFETドライバに電源を供給します。[38ページの図 55](#)に示すように、ブートキャパシタは、ローサイドMOSFETオン時間(フェーズノードがロー)の間、外付けショットキーダイオードによりVDDまで充電されます。ショットキーダイオードのピーク電流を制限するため、BOOTピンとブートコンデンサの間に外部抵抗を接続することができます。この小さな直列抵抗により、基板のパターンとFETの入力キャパシタンスの寄生インダクタンスの共振タンクによる発振を抑えることができます。

起動時には、まずローサイドMOSFETがオンになり、ダイオード電圧低下が無視できる場合は、PHASEを強制的にグラウンドに落としてBOOTコンデンサを8Vまで充電します。ローサイドMOSFETがオフになると、BOOTとUGATEの間の内部スイッチが閉じてハイサイドMOSFETがオンになります。 $V_{IN}$ より8V高いゲートドライブ電圧に昇圧する動作により、ハイサイド側のMOSFETをオンにするために必要なゲート・ソース間電圧が得られます。ハイサイド側のMOSFETを駆動するために必要な電流は、VINピンまたはEXTBIASピンのいずれかを介して8Vの内部レギュレータから供給されます。

BOOTからPHASEの電圧は内部モニタされています。スイッチングのない状態で電圧が5.95Vまで下がると、最小オフタイムパルスを出力してハイサイド側のMOSFETをオフに、ローサイド側のMOSFETをオンにしてブートストラップコンデンサをリフレッシュしてハイサイド側のドライバのバイアス電圧を維持します。

EMI性能の最適化やフェーズノードリングを低減するため、BOOTピンとブートストラップ・コンデンサの正極との間に小さな抵抗を挿入することができます。

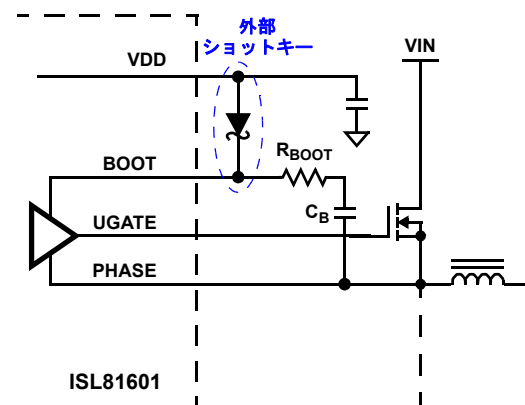


図 55. ハイサイド側のゲートドライバ回路

#### 4.14 パワーグッド・インジケータ

パワーグッドピンを使うと、出力電力のステータスをモニタすることができます。FB\_OUTピンが基準電圧の±10%以内になった1.1ms後、PGOODがtrue (オープン・ドレイン) になります。

PGOODがローレベルに下がるときには、遅延の発生はありません。

## 5. 保護回路

コンバータの出力と入力とはモニタされ、過負荷や過電圧やアンダーボルテージの状態から保護されます。

### 5.1 入力アンダーボルテージ・ロックアウト

ISL81601には入力UVLO保護が搭載されており、正しい動作電圧が印加されるまでデバイスをリセット状態に維持します。入力電圧が3.2Vを下回ると、UVLO保護機能よりISL81601がシャットダウンされます。UVLOがアサートされると、コントローラが無効になります。UVLOがアサートされると、PGOODが有効になります。入力電圧が3.5Vを超えると、UVLOが解除されスタートアップ動作を行います。

### 5.2 VCC5Vパワーオン・リセット(POR)

ISL81601では、 $V_{IN}$ から電源供給される場合、VCC5V PORの立上りスレッシュホールドが4V、立下りスレッシュホールドが3.5Vに設定されます。VCC5VがPOR立上りスレッシュホールドに到達して初めて、EXTBIASが有効になります。

### 5.3 過電流保護(OCP)

#### 5.3.1 入出力平均過電流保護

[28ページの「入出力の平均電流モニタリングおよび調整ループ」](#)に示すように、ISL81601を使うと入力電流と出力電流の両方をクローズドループ制御で調節できます。これにより、入力および出力の両方の平均電流の過電流保護の定電流型が得られます。異なる値の抵抗をLG2/OC\_MODEとGNDの間に挿入することで、ヒカップ型の保護を設定できます。

入力および出力定数またはヒカップ平均OCP設定値 $I_{INCC}$ と $I_{OUTCC}$ は、[入出力の平均電流モニタリングおよび調整ループの式9と10](#)で計算できます。

平均OCPモードの設定はソフトスタート前の起動段階に行い、LG2/OC\_MODEピンとグラウンドの間に接続された抵抗を使って設定します。起動段階では、LG2/OC\_MODEピンに $I_{MODELG2} 10\mu A_{typ}$ の電流を供給して、このピンの電圧を設定します。ピン電圧が $0.3V_{typ}$ 未満のときは、OCPは定電流モードに設定されます。それ以外の場合、OCPはヒカップモードになります。

ヒカップOCPモードでは、スイッチングサイクルで32サイクル連続で平均電流が設定点よりも高くなると、コンバータが50msの間オフになり、再スタートが実行されます。

### 5.3.2 ファーストレベルのパルスバイパルスピーク電流リミット

入出力の平均電流モニタリングおよび調整ループの29ページの図45に示すように、インダクタ・ピーク電流はシャント抵抗 $R_{S\_IN}$ とオペアンプA1を使って検出されます。 $R_{S\_IN}$ における電圧降下が設定点 $V_{OCSET-CS}$ 、82mVtyp.に到達すると、Q1がオフになり降圧モードに入るか、Q3がオフになって昇圧モードに入ります。ファーストレベルのピーク電流リミット設定点 $I_{OCPP1}$ は、式19で計算します。

$$(式19) \quad I_{OCPP1} = \frac{V_{OCSET-CS}}{R_{S\_IN}}$$

### 5.3.3 セカンドレベルのヒカップピーク電流保護

ピーク電流モードでの誤動作を回避するため、PWM信号に最小オンまたはブランク時間を設定しています。ファーストレベルのパルスバイパルス電流リミット回路は、最小オン時間でPWMデューティ・サイクルを最小オン時間より低減できません。特に $V_{IN}$ が高いときの出力の完全短絡状況では、インダクタ電流は最小オンPWMデューティでの制限はできません。ISL81601はセカンドレベルのヒカップタイプのピーク電流保護を搭載します。 $R_{S\_IN}$ での電圧降下が設定点 $V_{OCSET-CS-HIC}$ (100mVtyp.)に達すると、Q1、Q2、Q3、Q4の4つ全てのスイッチが50msの間オフし、全てのコンバータがオフになり、その後再スタートします。セカンドレベルのピーク電流保護設定点 $I_{OCPP2}$ は、式20で計算します。

$$(式20) \quad I_{OCPP2} = \frac{V_{OCSET-CS-HIC}}{R_{S\_IN}}$$

### 5.3.4 パルスバイパルスのネガティブピーク電流リミット

逆方向動作とOVP保護では、インダクタ電流が負の値になります。図45に示すように、負の電流はシャント抵抗 $R_{S\_OUT}$ とオペアンプA2で検出されます。 $R_{S\_OUT}$ の電圧降下が設定点 $V_{OCSET-ISEN}$ (-59mVtyp.)に到達すると、Q2とQ4がオフになり、Q1とQ3がオンになります。ネガティブピーク電流リミット設定点 $I_{OCPPN}$ は、式21で計算します。

$$(式21) \quad I_{OCPPN} = \frac{V_{OCSET-ISEN}}{R_{S\_OUT}}$$

ネガティブピーク電流リミットの状態では、デバイスが故障する可能性があります。この場合、エネルギーが出力から入力に流れます。入力ソースまたはデバイスのインピーダンスが十分に低くない場合、 $V_{IN}$ が増加します。 $V_{IN}$ が最大リミットよりも大きくなると、ICが故障する場合があります。

## 5.4 過電圧保護

過電圧の設定点は、帰還抵抗を使って公称出力電圧の114%に設定されます。過電圧状態が発生すると、ICはQ1とQ3をオフに、Q2とQ4をオンにして、出力電圧を調整範囲内に戻そうとします。OVの状態が続くと、インダクタ電流が負になりネガティブピーク電流リミットにトリップします。コンバータの向きが反転して、出力側から入力側にエネルギーが伝達されます。入力ソースのインピーダンスが十分に低くないと入力電圧が押し上げられます。入力電圧が最大リミットよりも高くなるとICが故障します。過電圧状態が修正されて出力電圧が公称電圧まで下がると、コントローラは正常なPWMスイッチングに戻ります。出力OVPがトリップした場合はOVピンをハイレベルにプルアップします。

## 5.5 過熱保護

ISL81601には過熱保護回路が組み込まれており、チップの温度が+160°Cに達すると、ICがシャットダウンされます。チップの温度が+145°C未満に低下すると完全なソフトスタート・サイクルが開始され、通常の動作が再開されます。OTPシャットダウン中のICの消費電流はわずか100 $\mu$ Aです。コントローラが無効のとき、熱保護機能は非アクティブです。これによって、シャットダウン時の電流は5 $\mu$ Aと、非常に低い値になります。



## 6. レイアウトのガイドライン

ISL81601を使用したDC/DCコンバータを正しく実装するには、レイアウトの要件に十分注意する必要があります。ISL81601は非常に高い周波数でスイッチングを行うため、スイッチングは非常に短時間で行われます。このようなスイッチング周波数では、配線を最短にしてもインピーダンスが大きくなります。また、ピーク・ゲート・ドライブ電流はごく短時間で急激に増加します。電流が1つのデバイスから別のデバイスへ移行する速度から、相互インピーダンスや寄生回路要素の間に電圧スパイクが発生します。これらの電圧スパイクにより効率が低下したり、EMIが発生したり、デバイスの電圧ストレスおよびリングングが増大する可能性があります。部品を注意深く選択し、プリント回路基板(PCB)を正しくレイアウトすることで、これらの電圧スパイクを最小化できます。

ISL81601を使用したDC/DCコンバータに主要な部品は3セットあります。

- コントローラ
- スwitchング電力部品
- 小信号部品

レイアウトの観点から見ると、大きなエネルギーをスイッチングすることで大きなノイズを発生しやすくなることから、スイッチング電力部品は最も重要です。重要な小信号部品は、感度の高いノードに接続されているか主要なバイアス電流を提供しているものを意味します。マルチレイヤPCBを推奨します。

### 6.1 レイアウトの考慮事項

- (1) 入力コンデンサ、降圧FET、インダクタ、昇圧FET、出力コンデンサを最初に配置します。これらの電力部品は、グラウンド端子を互いに隣接させてボードの専用エリアに配置します。入力および出力の高周波デカップリングセラミック・コンデンサをMOSFETのごく近くに配置します。
- (2) 信号部品とICをパワートレインから離れた場所に配置する場合、SGNDとPGNDを備えた中間層の全面グラウンドプレーンを使用してレイアウト設計を簡素化します。それ以外の場合は、別々のグラウンドプレーンを使用して電源グラウンドと小信号用グラウンドを配置してください。SGNDとPGNDをまとめてICの近くに接続します。これらを別の場所にまとめて接続しないでください。
- (3) 入力コンデンサ、降圧ハイサイドFET、降圧ローサイドFETで形成されるループをできるだけ小さく保つようにします。また、出力コンデンサ、昇圧ハイサイドFET、昇圧ローサイドFETで形成されるループもできるだけ小さく保つようにします。
- (4) 入力コンデンサから降圧FET、電源インダクタ、昇圧FET、出力コンデンサまでの経路ができるだけ短く、できるだけパターン幅が最大になるよう電流パスを確保します。
- (5) PWMコントローラICをローサイド側のFETの近くに配置します。ローサイドFETのゲートドライブ接続は、短く広くします。ICをノイズのないグラウンド領域に配置します。この領域にスイッチンググラウンドループ電流が流れないようにします。
- (6) VDDバイパスコンデンサをICのVDDピンのごく近くに配置し、そのグラウンド端をPGNDピンに接続します。PGNDピンは、ビアホールを介してグラウンドプレーンに接続します。PGNDピンをSGND EPADに直接接続しないでください。
- (7) ゲートドライブ部品 (BOOTダイオードとBOOTコンデンサ)は、コントローラICの近くにまとめて配置します。
- (8) 出力コンデンサをできるだけ負荷の近くに配置します。出力コンデンサに接続する銅の面積を広く短くし、インダクタンスおよび抵抗の発生を防ぎます。
- (9) 降圧または昇圧用のハイサイドFET、降圧または昇圧用ローサイドFET、および出力インダクタンスの接合部は、ベタパターンまたは広く短いパターンを使用します。降圧および昇圧PHASEノードからICまでの接続は短くしてください。PHASEノードの銅パターンは大きくしないようにします。PHASEノードは非常に高いdv/dv電圧の対象となるため、これらのパターンと、それを囲む回路との間に形成される浮遊容量により、スイッチングノイズが結合されやすくなります。
- (10) すべての高速スイッチング・ノードは制御回路を迂回するよう配線してください。
- (11) ICの近くに切り離された小さなアナロググラウンドプレーンを作ってください。SGNDをここに接続します。フィードバック抵抗、電流モニタリング抵抗とコンデンサ、ソフトスタートコンデンサ、ループ補償コンデンサ、ENプルダウン抵抗など全ての小信号接地パスをこのSGNDプレーンに接続します。
- (12) 入力または出力電流検出接続は最小ループのペア配線を使用します。
- (13) 出力コンデンサまでのフィードバック接続が短い距離で直結していることを確認してください。

## 6.2 一般的なEPAD設計検討事項

図 56 ビアを使ってICの放熱を行う方法の説明

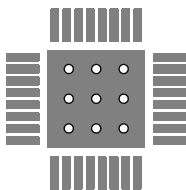


図 56. PCB ビアのパターン

熱パッド領域には十分なビアを配置します。通常、ビアは、その中心同士の距離が半径の3倍になるようにサーマルパッドの実装面積全体に配列します。ビアは小さくしますが、小さすぎるとリフロー中にはんだがホールを貫通できなくなります。

全てのビアをグラウンドプレーンに接続します。熱伝導効率をよくするため、ビアの熱抵抗を低くする必要があります。それぞれのプレーンのスルーホールが完全に接続していることを確認します。

## 7. 外部部品選択ガイドライン

### 7.1 MOSFETの検討事項

MOSFETは、必要とされる入力電圧範囲と出力電力に対し最適効率となるよう選択されます。これらのMOSFETは、 $r_{DS(ON)}$ 、ゲート供給要件、放熱などに基づいて選択します。

降圧MOSFETの最大動作電圧は最大 $V_{IN}$ 電圧で決まり、昇圧MOSFETの最大動作電圧は最大 $V_{OUT}$ で決まります。安全動作のために十分なマージンを持つ最大動作電圧に基づいて、降圧または昇圧MOSFETを選択します。

MOSFETの電力損失は、導通損失とスイッチング損失があります。降圧モードでは、ハイサイド側およびローサイド側の降圧MOSFETの電力損失は式22および23で計算します。導通損失は、ローサイド側のMOSFETの電力損失の主な要因になります。スイッチング損失が大きいのはハイサイド側のMOSFETですが、これはローサイド側のデバイスがゼロ電圧付近でオンオフするためです。これらの式では、線形での電圧電流切り替えを仮定しているため、ローサイド側のMOSFETのボディ・ダイオードの逆回復による電力損失は考慮されていません。

$$(式22) \quad P_{UPPERBUCK} = \frac{(I_{OUT})^2(r_{DS(ON)})(V_{OUT})}{V_{IN}} + \frac{(I_{OUT})(V_{IN})(t_{SW})(f_{SW})}{2}$$

$$(式23) \quad P_{LOWERBUCK} = \frac{(I_{OUT})^2(r_{DS(ON)})(V_{IN} - V_{OUT})}{V_{IN}}$$

昇圧モードでは、降圧MOSFETのハイサイド側の導通損失のみが式24で計算されます。

$$(式24) \quad P_{UPPERBUCK} = \left[ \frac{(I_{OUT})^2(V_{OUT})^2}{(V_{IN})^2} \right] (r_{DS(ON)})$$

昇圧モードでは、ハイサイド側およびローサイド側の昇圧MOSFETの電力損失は式25と26で計算されます。導通損失は、ハイサイド側のMOSFETの電力損失の主な要因の一つです。スイッチング損失が大きいのはローサイド側のMOSFETですが、これはハイサイド側のデバイスがゼロ電圧付近でオンオフするためです。これらの式では、線形での電圧電流切り替えを仮定しているため、ハイサイド側のMOSFETのボディ・ダイオードの逆回復による電力損失は考慮されていません。

$$(式25) \quad P_{LOWERBOOST} = \left[ \frac{(I_{OUT})^2(V_{OUT})^2}{(V_{IN})^2} \right] \frac{(V_{OUT} - V_{IN})(r_{DS(ON)})}{V_{OUT}} + \frac{(I_{OUT})(V_{OUT})^2(t_{SW})(f_{SW})}{2(V_{IN})}$$

$$(式26) \quad P_{UPPERBOOST} = \frac{(I_{OUT})^2(r_{DS(ON)})(V_{OUT})}{V_{IN}}$$

降圧モードでは、昇圧MOSFETのハイサイド側の導通損失を式27で計算します。

$$(式27) \quad P_{UPPERBOOST} = (I_{OUT})^2(r_{DS(ON)})$$

ゲート電荷が大きいとスイッチング時間 $t_{SW}$ が長くなりますが、これによってハイサイド側の降圧MOSFETとローサイド側の昇圧MOSFETのスイッチング損失が大きくなります。パッケージの熱抵抗の仕様に基づいて温度上昇を計算し、高温環境で4つのMOSFETがすべて接合温度の最大値よりも低くなることを確認してください。

## 7.2 インダクタの選択

インダクタは、出力電圧リップルに関する要件に合わせて選択します。インダクタの値によってコンバータのリップル電流が決まり、リップル電圧はリップル電流と出力コンデンサ ESR の関数で表されます。リップル電圧については、コンデンサ選択の章に記載されており、リップル電流は降圧モードについては [式 28](#)、昇圧モードは [式 29](#) で示されます。

$$(式 28) \quad \Delta I_{LBuck} = \frac{(V_{IN} - V_{OUT})(V_{OUT})}{(f_{SW})(L)(V_{IN})}$$

$$(式 29) \quad \Delta I_{LBoost} = \frac{(V_{OUT} - V_{IN})(V_{IN})}{(f_{SW})(L)(V_{OUT})}$$

リップル電流比は通常、出力負荷最大条件でのインダクタ平均電流の 30%~70% です。

## 7.3 出力コンデンサの選択

一般的には、リップル電圧やロードトランジェントなどの動的要件を満たすように出力コンデンサを選択します。出力コンデンサをどのように選択するかはインダクタにも依存しますので、出力コンデンサの選択にあたってはインダクタの条件が必要になります。

ロードトランジェントに対するコンバータの応答を制限するパラメータの一つは、インダクタ電流を新しいレベルに移行させるために必要な時間です。ISL81601 では、ロードトランジェントに対する応答に 0% または最大デューティ・サイクルを提供します。

応答時間とは、インダクタ電流が初期電流値から負荷電流レベルに切り替わるために必要な時間です。この時間の間、インダクタ電流と過渡電流レベルの差は出力コンデンサによって供給されます。速いループ補償を行うことにより出力容量を減らすことができます。また、ハードドライブや CD ドライブのようにロードトランジェント上昇時間がインダクタ応答時間よりも遅い場合、出力コンデンサの必要性が下がります。

インダクタの応答時間中のロードトランジェントの立ち上がり時に必要なコンデンサの最大値は、降圧モードについては [式 30](#)、昇圧モードについては [式 31](#) に示します。

$$(式 30) \quad C_{OUTBuck} = \frac{(L)(I_{TRAN})^2}{2(V_{IN} - V_{OUT})(DV_{OUT})}$$

$$(式 31) \quad C_{OUTBoost} = \frac{(L)(V_{OUT})(I_{TRAN})^2}{2(V_{IN}^2)(DV_{OUT})}$$

ここで、 $C_{OUT}$  は必要な出力コンデンサ、 $L$  はインダクタ、 $I_{TRAN}$  はロードトランジェントの電流ステップ、 $V_{IN}$  は入力電圧、 $V_{OUT}$  は出力電圧、 $DV_{OUT}$  はロードトランジェント中に許容される出力電圧の低下です。

高周波数のコンデンサは、最初に過渡電流を供給し、バルク・コンデンサでは、遅い負荷変動に対応します。バルクフィルタ・コンデンサは一般に等価直列抵抗 (ESR)、および電圧定格の要件に加えて、実際の容量の要件により決定されます。

降圧モードでは、出力電圧リップルはインダクタ・リップル電流と、出力コンデンサの ESR によるもので [式 32](#) で定義されます。

$$(式 32) \quad V_{RIPPLE} = \Delta I_{LBuck}(ESR)$$

ここで、 $\Delta I_{LBuck}$  は [式 28](#) で計算されます。

昇圧モードでは、出力コンデンサへの電流は連続的ではありません。出力電圧リップルは、[式 33](#) で示されるようにはるかに高いものです。

$$(式 33) \quad V_{RIPPLE} = \left( \frac{(I_{OUT})(V_{OUT})}{V_{IN}} + \frac{\Delta I_{LBoost}}{2} \right) (ESR)$$

ここで、 $\Delta I_{LBoost}$  は [44 ページの式 29](#) で計算されます。

高周波数のデカップリング・コンデンサを、負荷の電源ピンと、物理的にできるだけ近い場所に配置します。これらの低インダクタンス部品の効果がなくなる恐れがありますので、回路基板の配線インダクタンスを追加しないよう注意してください。固有のデカップリング要件については、負荷回路の製造業者に確認してください。

スイッチング・レギュレータ・アプリケーションに特化した、低 ESR のバルク・コンデンサのみを使用してください。ほとんどの場合、複数の小型の電解コンデンサを使用すると、単一の大型のコンデンサよりも良好な性能が得られます。

出力コンデンサの選択についての安定条件は、ESR ゼロ ( $f_z$ ) が 2kHz～60kHz の範囲内にあることです。ESR ゼロは、制御ループのフェーズマージンを増加させる役に立ちます。

この要件を式 34 に示します。

$$(式 34) \quad C_{OUT} = \frac{1}{2\pi(ESR)(f_z)}$$

結論として、出力コンデンサは次の基準を満たす必要があります。

- ロードトランジェント時、出力インダクタ電流が負荷変動の値へ移行する間、出力電圧を維持するため十分なバルク容量があること。
- 供給されたリップル電流による出力電圧リップルへの要求を満たすため、十分に ESR が低いこと。
- 追加フェーズマージンを提供するため、ESR ゼロは広範囲であること。

## 7.4 入力コンデンサの選択

入力コンデンサの重要なパラメータは、電圧定格と RMS 電流定格です。信頼性の高い動作のため、電圧および電流の定格が、回路により要求される最大入力電圧と最大 RMS 電流を上回る入力コンデンサを選択してください。コンデンサの電圧定格は、最大入力電圧よりも 1.25 倍以上大きい必要があります。より安全性を高めるためのガイドラインとしては 1.5 倍となります。降圧モードでは、AC RMS 入力電流は、式 35 に示すように、負荷によって異なります。

$$(式 35) \quad I_{RMS} = \sqrt{DC - DC^2} \times I_{OUT}$$

ここで、DC はデューティ・サイクルです。

入力容量より供給される最大 RMS 電流は、式 36 に示すように、 $V_{IN} = 2 \times V_{OUT}$ 、DC = 50% のときに発生します。

$$(式 36) \quad I_{RMS} = \frac{1}{2} \times I_{OUT}$$

昇圧モードでは、入力電圧が連続的です。入力コンデンサにより供給される RMS 電流は、はるかに小さいです。

入力バイパス・コンデンサを複数混合して使用することにより、MOSFET 間で電圧リップルを制御できます。高周波数のデカップリングにはセラミック・コンデンサを、RMS 電流を供給するにはバルク・コンデンサを使用します。小さなセラミック・コンデンサを MOSFET のごく近くに配置すると、寄生回路インピーダンスにより誘導される電圧を抑制できます。

ソリッド・タンタル・コンデンサも使用できますが、コンデンサのサージ電流定格に注意する必要があります。これらのコンデンサには、パワーアップ時のサージ電流に対応できることが求められます。

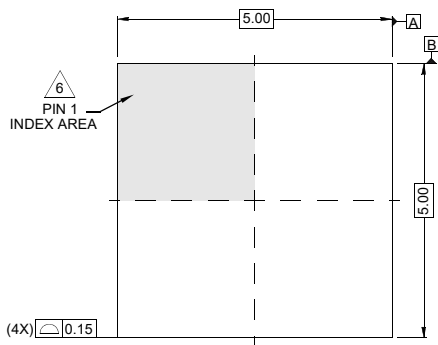
## 8. 改定履歴

リビジョン	日付	説明
3.00	2018年11月21日	<p>RT/SYNCとPLL_COMPのピンの説明を更新。</p> <p>23ページ 図33の凡例を更新。</p> <p>25ページ「内部8Vリニア・レギュレータ(VDD)、外部バイアス電源(EXTBIAS)、5Vリニア・レギュレータ(VCC5V)」の150を160に変更、第4パラグラフの1行目を更新。</p> <p>26ページの式2の後に続く文章中の1.5msを1.7msに更新。</p> <p>34ページ「周波数同期およびディザリング」の第5パラグラフを更新。</p> <p>37ページ「ゲートドライバ」の第3パラグラフを更新。</p> <p>44ページ「出力コンデンサの選択」の第3パラグラフを更新。</p>
2.00	2018年9月12日	<p>1ページの内容と「特長」の箇条書きを更新</p> <p>図1を追加。</p> <p>図6を更新。</p> <p>文書全体にHTSSOPの情報を追加。</p> <p>表1を更新。</p> <p>「推奨動作条件」の表で下記の仕様を更新。</p> <ul style="list-style-type: none"> <li>-VCC5V、EN/UVLO、FB_INとGNDの間を5から5.25に変更。</li> <li>-VDDとGNDの間を8から8.3に変更。</li> </ul> <p>「電気的仕様」の表で下記の仕様を更新。</p> <ul style="list-style-type: none"> <li>-Operation Voltage (VIN = 60V, EXTBIAS = 12V, IL = 0mA) 最大仕様を8.2から8.3に変更</li> <li>-EN Rise Threshold の最小値の仕様を0.80から0.75に変更</li> <li>-EN Fall Threshold の最小値の仕様を0.65から0.60に変更</li> <li>-PGOOD Leakage Current の標準仕様を20から0に変更</li> <li>-COMP Min Low Voltage を0.3から0.01に変更</li> <li>-FB_IN Error Amp Gain-BW Productの通常仕様を2から5に変更</li> <li>-Buck Mode Ramp Offset 仕様の最小値を0.91から0.88に、標準を1.01から0.95に、最大値を1.13から1.11に変更</li> <li>-Boost Mode Ramp Offset 仕様の標準値を2.95から3.15に、標準を2.95から3.15に、最大値を3.03から3.7に変更</li> <li>-IMON_IN Error Amp Gain-BW Productの通常仕様を2から5に変更</li> <li>-IMON_OUT Error Amp Gain-BW Productの通常仕様を2から5に変更</li> <li>-Switching Frequency (RT=72kΩ)仕様の標準値を425から420に、標準を2.95から3.15に、最大値を475から485に変更</li> <li>-「SYNC Input High Threshold」を「SYNC Input Logic High」とし、3.2の最小仕様を追加、最大仕様を削除。</li> <li>-「SYNC Input Low Threshold」を「SYNC Input Logic Low」とし、0.5の最小仕様を追加、最大仕様を削除。</li> <li>-CLKOUT Output Highの最小値の仕様を4.65から4.55に変更</li> <li>-CLKOUT Frequency仕様の最小値を425から420に、最大値を475から485に変更</li> <li>-Buck Mode Diode Emulation Phase Thresholdの通常仕様を0から2に変更</li> <li>-Boost Mode Diode Emulation Shunt Thresholdの通常仕様を-8から-2に変更</li> <li>-BSTEN Input Logic Highの最大仕様を削除、最小仕様3.2を追加</li> <li>-BSTEN Input Logic Lowの最小仕様を削除、最大仕様1を追加</li> <li>-CLKEN Input Logic Highの最大仕様を削除、最小仕様3.2を追加</li> <li>-CLKEN Input Logic Lowの最小仕様を削除、最大仕様1を追加</li> <li>-OV Pin Input Logic Highの最大仕様を削除、最小仕様3.2を追加</li> <li>-OV Pin Input Logic Lowの最小仕様を削除、最大使用1を追加</li> <li>-パラメータ名を「Hiccup and Current Input Constant Limit Set Point」から「Input Constant and Hiccup Current Limit Set Point」に変更</li> </ul> <p>27ページのイネーブル(EN/UVLO)およびソフトスタート操作セクションで、最後の段落を削除して更新</p> <p>39ページに「並列処理カレントシェア」セクションを追加</p> <p>44ページの「過電圧保護」に最後の文章を追加</p>
1.00	2018年5月3日	<p>M38.173C パッケージ(38 Ld HTSSOP)とサポートするパーツのリファレンスを削除 (ISL81601FVEZ, ISL81601FVEZ-T, ISL81601FVEZ-T7A, ISL81601EVAL2Z)。</p> <p>16ページの仕様を更新。</p> <ul style="list-style-type: none"> <li>-BSTEN Output Logic High : テスト条件を「負荷抵抗100kΩ」から「負荷なし、VCC5V=5」に、通常の値を4から4.9に変更</li> <li>-BSTEN Output Logic Low : 通常の値を0.3から0.07に変更</li> <li>-CLKEN Output Logic High : テスト条件を「負荷抵抗100kΩ」から「負荷なし、VCC5V=5」に、通常の値を4から4.9に変更</li> <li>-CLKEN Output Logic Low : 通常の値を0.3から0.07に変更</li> <li>-OV PIN Output Logic High 4から4.9 : テスト条件を「負荷抵抗100kΩ」から「負荷なし、VCC5V=5」に、通常の値を4から4.9に変更</li> <li>-OV PIN Output Logic Low : テスト条件を「ブルアップ抵抗100kΩ」から「負荷なし」に、通常の値を0.3から0に変更</li> </ul>
0.00	2018年4月11日	初版

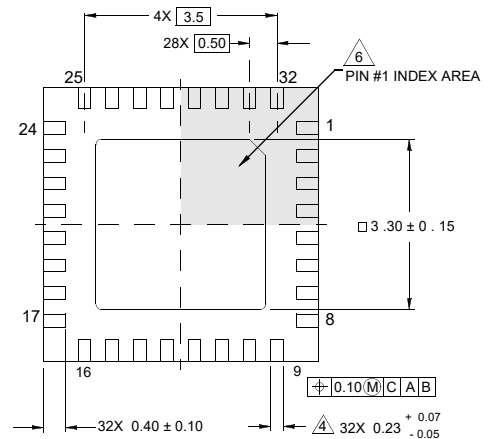
### 9. パッケージの外形図

L32.5x5B  
 32 LEAD QUAD FLAT NO-LEAD PLASTIC PACKAGE  
 Rev 3, 5/10

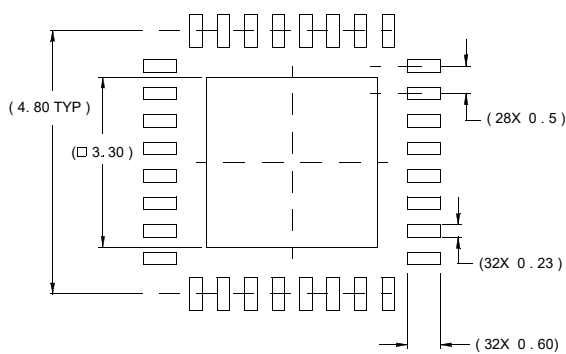
For the most recent package outline drawing, see [L32.5x5B](#).



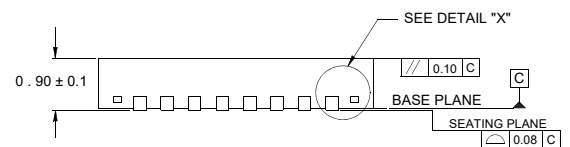
TOP VIEW



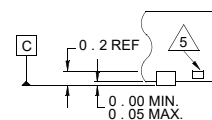
BOTTOM VIEW



TYPICAL RECOMMENDED LAND PATTERN



SIDE VIEW

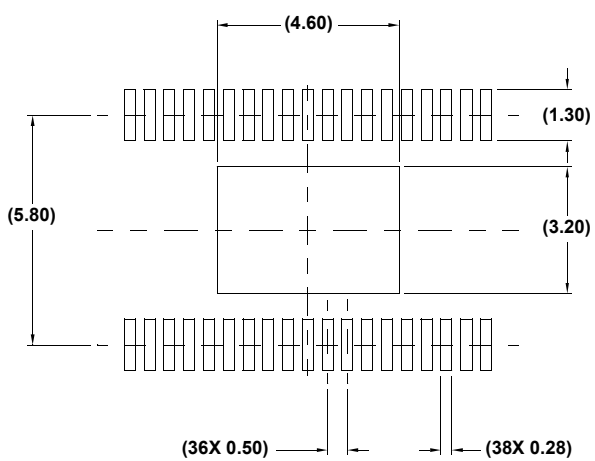
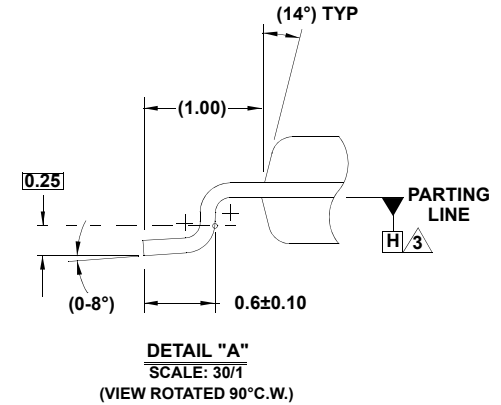
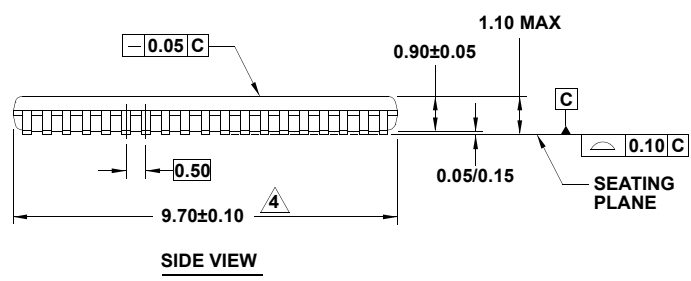
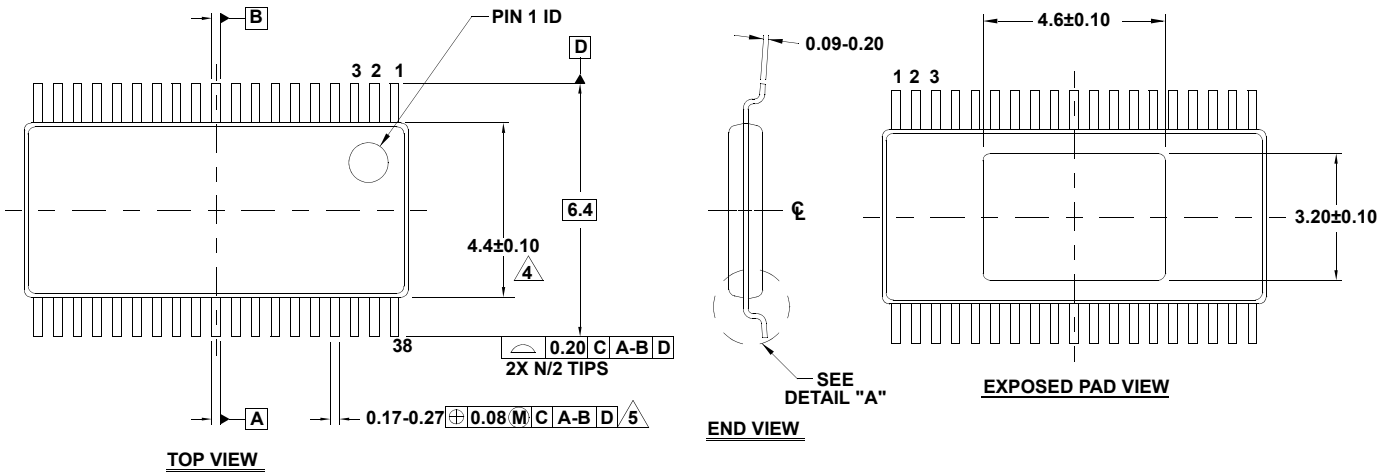


DETAIL "X"

NOTES:

1. Dimensions are in millimeters.  
Dimensions in ( ) for Reference Only.
2. Dimensioning and tolerancing conform to AMSE Y14.5m-1994.
3. Unless otherwise specified, tolerance : Decimal ± 0.05
- ④. Dimension applies to the metallized terminal and is measured between 0.15mm and 0.30mm from the terminal tip.
- ⑤. Tiebar shown (if present) is a non-functional feature.
- ⑥. The configuration of the pin #1 identifier is optional, but must be located within the zone indicated. The pin #1 identifier may be either a mold or mark feature.

M38.173C  
 38 LEAD HEAT-SINK THIN SHRINK SMALL OUTLINE PLASTIC PACKAGE (HTSSOP)  
 Rev 0, 4/10



TYPICAL RECOMMENDED LAND PATTERN

NOTES:

1. Die thickness allowable is 0.279±0.0127 (0.0110±0.0005 inches).
2. Dimensioning & tolerances per ASME. Y14.5m-1994.
3. Datum plane H located at mold parting line and coincident with lead where lead exits plastic body at bottom of parting line.
4. At reference datum and does not include mold flash or protrusions, and is measured at the bottom parting line. Mold flash or protrusions shall not exceed 0.15mm on the package ends and 0.25mm between the leads.
5. The lead width dimension does not include dambar protrusion. Allowable dambar protrusion shall be 0.07mm total in excess of the lead width dimension at maximum material condition. Dambar cannot be located on the lower radius or the foot. Minimum space between protrusions and an adjacent lead should be 0.08mm.
6. This part is compliant with JEDEC specification MO-153 variation BDT-1



## ご注意事項

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。回路、ソフトウェアおよびこれらに関連する情報の使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料等に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する要求について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、試験および計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、過酷な環境向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しており、これらの用途に使用することは認めていません。当社のデータシート、ユーザーマニュアルなどのドキュメントと矛盾する使用法で当社製品を使用したことにより損害が生じた場合、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データ・シート等において高信頼性、過酷な環境向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策および誤動作防止設計、経年劣化対策等といったハードウェアおよびソフトウェアの安全設計を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別につきましては、製品営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する EU RoHS 指令等、適用される法令および規則を十分調査のうえ、かかる法規に適合するようご使用ください。かかる法令および規則を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、関係者および取引に対する管轄権を持つ日本国および適用される外国の輸出管理関連法規を遵守してください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意事項に記載の諸条件を通知する責任を負うものといたします。
11. いかなる形式であっても、本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

(注1) 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

(注2) 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



営業お問合せ窓口

ルネサス エレクトロニクス株式会社

<http://www.renesas.com>

最新の詳しい情報については、<http://www.renesas.com/> を参照してください。

**California Eastern Laboratories, Inc.**  
4590 Patrick Henry Drive, Santa Clara, California 95054-1817, U.S.A.  
電話：+1-408-919-2500, Fax: +1-408-988-0279

**Renesas Electronics Canada Limited**  
9251 Yonge Street, Suite 8309 Richmond Hill, Ontario Canada L4C 9T3  
電話：+1-905-237-2004

**Renesas Electronics Europe Limited**  
Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K  
電話：+44-1628-651-700

**Renesas Electronics Europe GmbH**  
Arcadiastrasse 10, 40472 Düsseldorf, Germany  
電話：+49-211-6503-0, Fax: +49-211-6503-1327

**Renesas Electronics (China) Co., Ltd.**  
Room 1709 Quantum Plaza, No.27 ZhichunLu, Haidian District, Beijing, 100191 P. R. China  
電話：+86-10-8235-1155, Fax: +86-10-8235-7679

**Renesas Electronics (Shanghai) Co., Ltd.**  
Unit 301, Tower A, Central Towers, 555 Langao Road, Putuo District, Shanghai, 200333 P. R. China  
電話：+86-21-2226-0888, Fax: +86-21-2226-0999

**Renesas Electronics Hong Kong Limited**  
Unit 1601-1611, 16/F., Tower 2, Grand Century Place, 193 Prince Edward Road West, Mongkok, Kowloon, Hong Kong  
電話：+852-2265-6688, Fax: +852 2886-9022

**Renesas Electronics Taiwan Co., Ltd.**  
13F, No. 363, Fu Shing North Road, Taipei 10543, Taiwan  
電話：+886-2-8175-9600, Fax: +886 2-8175-9670

**Renesas Electronics Singapore Pte. Ltd.**  
80 Bendemeer Road, Unit #06-02 Hyflux Innovation Centre, Singapore 339949  
電話：+65-6213-0200, Fax: +65-6213-0300

**Renesas Electronics Malaysia Sdn.Bhd.**  
Unit 1207, Block B, Menara Amcorp, Amcorp Trade Centre, No. 18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia  
電話：+60-3-7955-9390, Fax: +60-3-7955-9510

**Renesas Electronics India Pvt. Ltd.**  
No.777C, 100 Feet Road, HAL 2nd Stage, Indiranagar, Bangalore 560 038, India  
電話：+91-80-67208700, Fax: +91-80-67208777

**Renesas Electronics Korea Co., Ltd.**  
17F, KAMCO Yangjae Tower, 262, Gangnam-daero, Gangnam-gu, Seoul, 06265 Korea  
電話：+82-2-558-3737, Fax: +82-2-558-5338