

双路 15A/ 单路 30A 步降电源模块

ISL8225M

ISL8225M 是一种全密封步降开关电源，占位面积只有 17x17mm²，输出功率可达 100W。两个 15A 输出既可单独使用，也可结合使用以提供单路 30A 输出。设计高性能板载电源从未变得如此简单—只需很少几个外置元件就能实现非常紧凑可靠的电源解决方案。

自动均流与相位交错功能允许最多并联六个模块来提供 180A 输出。1.5% 输出电压精度、差分远程电压感测和快速瞬态响应共同创造了一种极高性能电源系统。内置输出过压、过流及过温保护更增加了系统的可靠性。

ISL8225M 采用耐热增强型 QFN 封装。优异的效率与低热阻特性可保证电源无需散热器或风扇也能满功率工作。此外，QFN 封装的外部引线方便进行探测和肉眼焊接检查。

相关资源

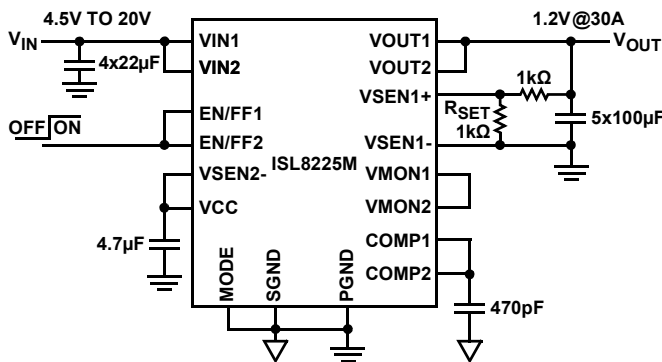
- 参见 [AN1789](#) “ISL8225MEVAL2Z 6 相 90A 评估板设置步骤”
- 参见 [AN1790](#) “ISL8225MEVAL3Z 30A 单路输出评估板设置步骤”
- 参见 [AN1793](#), “ISL8225MEVAL4Z 双路 15A/ 可选 30A 可级联评估板”
- 参见 [ISL8225M 110A Thermal Performance Video](#)

特性

- 全密封双路步降开关电源
- 功率输出可达 100W，17mmx17mm 电路板占位面积
- 双路 15A 或单路 30A 输出
- 转换效率可达 95%
- 4.5V - 20V 输入电压范围
- 0.6V - 6V 输出电压范围
- 1.5% 输出电压精度，支持差分远程感测
- 最多可并联六个模块来支持 180A 输出电流
- 输出过压、过流和过温保护
- 满功率工作，无需散热器或风扇
- 引脚外露 QFN 封装可用于进行轻松探测和方便肉眼焊接检查

应用

- 计算机、网络和电信基础设施
- 工业与医疗设备
- 通用负载点 (POL) 电源



NOTE: ALL PINS NOT SHOWN ARE FLOATING.

图 1. 完整的 30A 步降电源

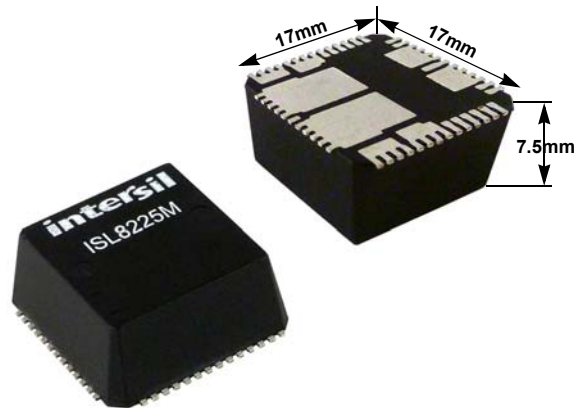
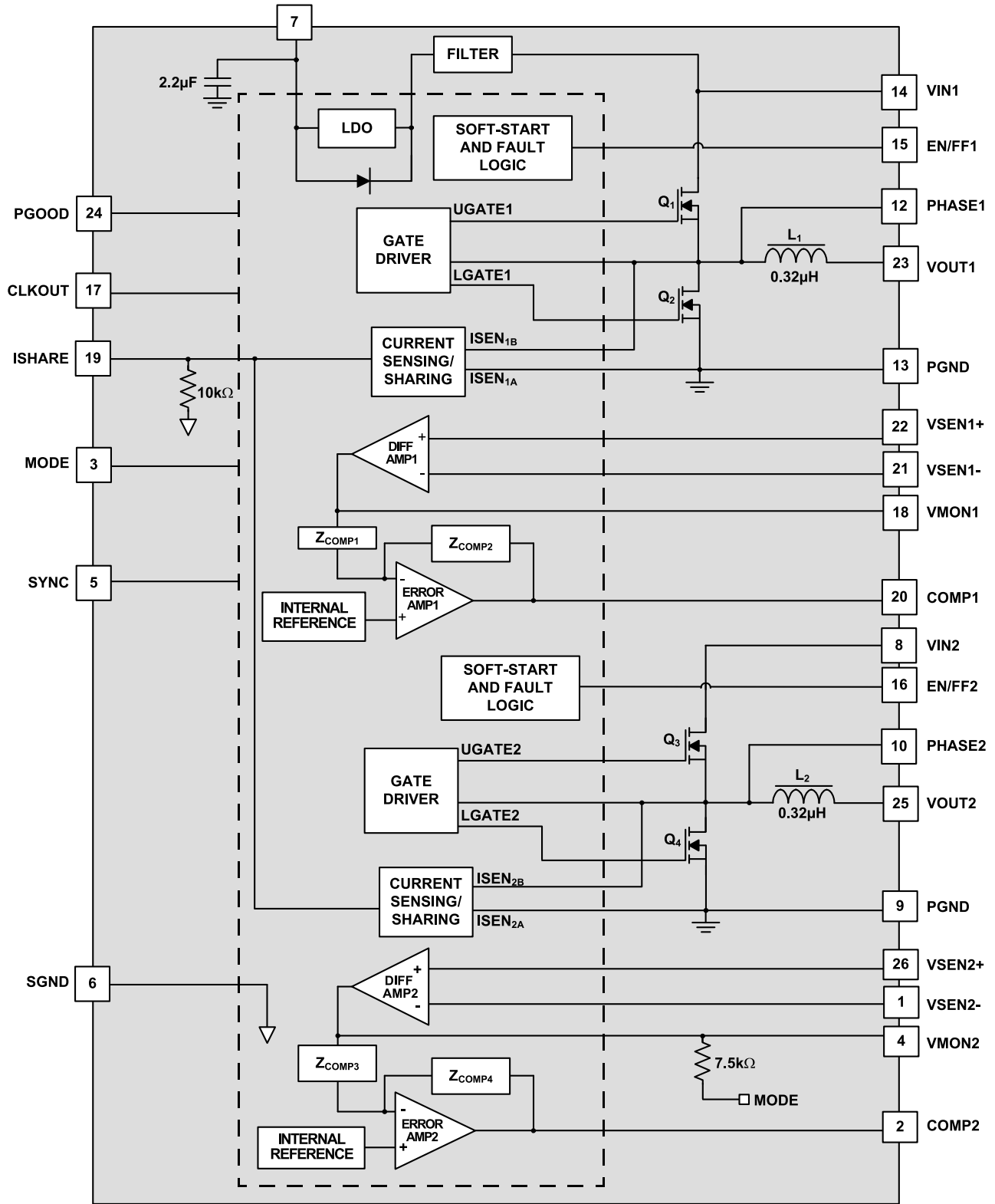


图 2. 小占位面积和高功率密度

ISL8225M

引出线内部电路



ISL8225M

订购信息

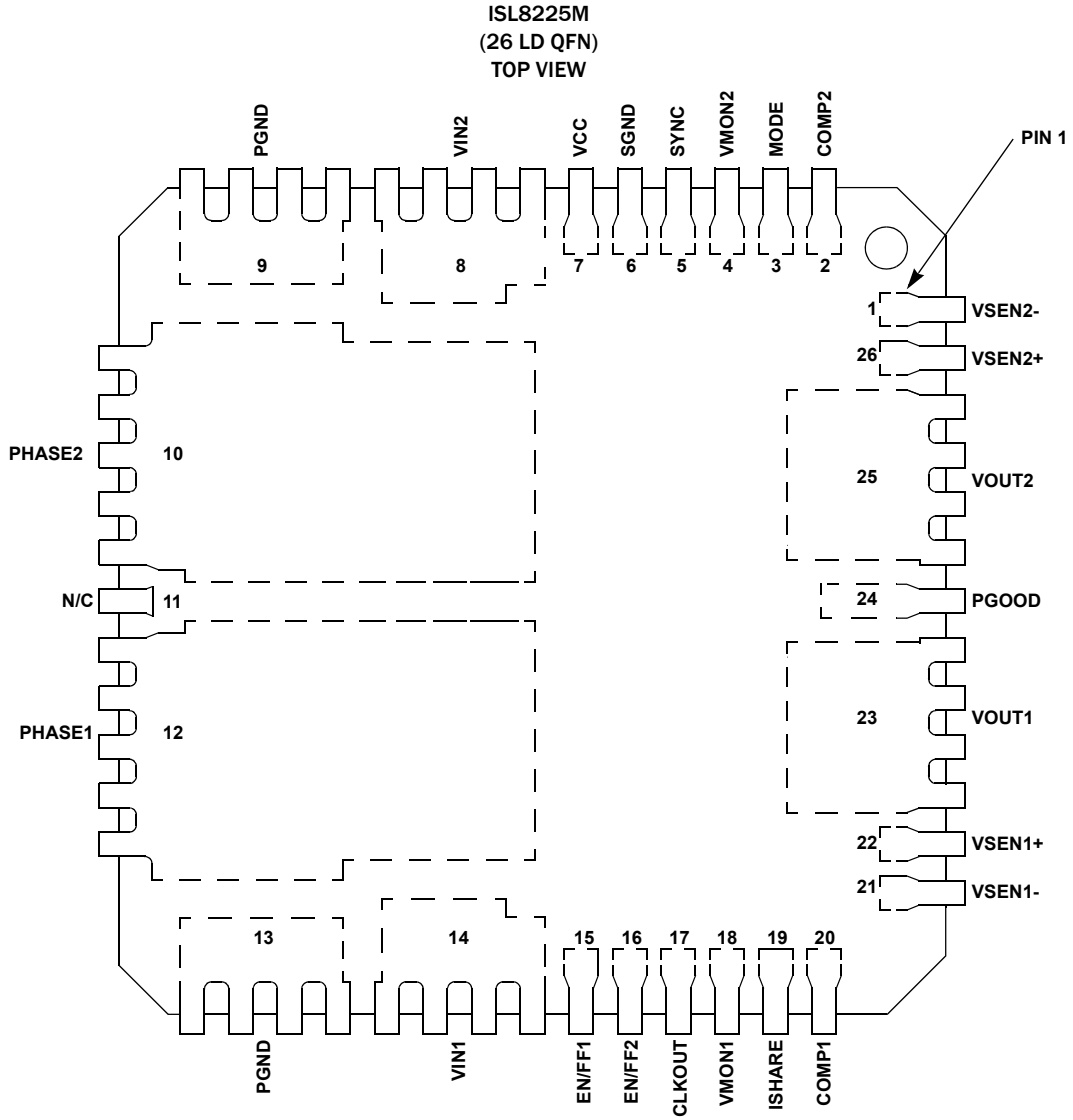
产品号 (注 2、3)	产品 标记	温度范围 (°C) (注 4)	封装 (无铅)	封装 图示号
ISL8225MIRZ	ISL8225M	-40 至 +125	26 Ld QFN	L26.17x17
ISL8225MIRZ-T (注 1)	ISL8225M	-40 至 +125	26 Ld QFN (编带和卷盘)	L26.17x17

注:

1. 卷盘规格详情请参见 [TB347](#)。
2. 这些产品含铅，但根据 EU exemption 5 的除外规定（阴极射线管、电子元件和荧光灯管的玻璃中含铅），其符合 RoHs 标准的要求。
3. 湿敏等级 (MSL) 请参见 [ISL8225M](#) 的产品信息页面。如欲了解关于 MSL 的更多信息，请参见技术简介 [TB363](#)。
4. ISL8225M 的内部结温范围为 -40°C 至 +125°C。请注意，符合这些规定的容许环境温度由具体工作条件而定，包括电路板布局、冷却方法和其他环境因素。

ISL8225M

引脚配置



引脚说明

引脚编号	引脚名称	类型	引脚说明
21, 1	VSEN1-, VSEN2-	I	输出电压负向反馈端。 稳压器差分远程感应的负向输入端。连接至负向轨或负载 / 处理器的接地端, 如图 19 所示。负向反馈引脚可用于对模块工作模式进行编程。详情请参见表 3 和表 5。
20, 2	COMP1, COMP2	I/O	误差放大器输出。 模块作为双路输出时通常为浮接状态。对于并联使用, 建议在每个跟随相位的 COMP 引脚上使用一个 470pF~1nF 电容器, 以消除耦合噪声。所有跟随相位的 COMP 引脚须连接至住调节相位的 COMP1 引脚 (第一个相)。通过实现内部补偿网络来支持在所有 I/O 条件下工作。
3	MODE	I	模式设置。 双输出使用时通常为浮空状态; 并联使用时连接至 SGND。详情请参见表 3 和表 5。当 VSEN2- 被拉至 VCC 的 700mV 范围内时, 第 2 个通道的远程感应放大器被禁用。MODE 引脚与 VSEN2+ 引脚一起, 决定两个通道之间的相对相移和 CLKOUT 信号输出。
18, 4	VMON1, VMON2	I/O	远程感应放大器输出。 这些引脚内部连接至 OV/UV/PGOOD 比较器, 所以当模块处于多相工作条件时其不能浮接。当 VSEN1- 和 VSEN2- 被拉至 VCC 的 700mV 范围内时, 对应的远程感应放大器被禁用; 输出 (VMON 引脚) 处于高阻抗状态。在此情况下, 引脚可用作附加的输出电压监测器, 用一个电阻分压器来防止系统发生单点故障。默认设置电压为 0.6V。详情请参见表 3。
5	SYNC	I	信号同步。 从该引脚至 SGND 的一个可选外部电阻器 (RSYNC) 可增加振荡器开关频率 (图 31 和表 1)。该引脚浮接时内部默认频率为 500kHz。另外, 内部振荡器可锁定至外部频率源或来自另一个 ISL8225M 的 CLKOUT 信号。外部源的输入电压范围: 3V - 5V (方形波)。不建议在该引脚上使用电容器。
6	SGND	PWR	控制信号接地。 连接至模块下面干净的 PGND 确保在 SGND 与 PGND 之间是单点连接的, 以避免噪声耦合。参见第 23 页上的“布局指南”。
7	VCC	PWR	内部 5V 线性稳压器输出。 电压范围: 3V - 5.6V。建议对 VCC 引脚使用 4.7μF 去耦陶瓷电容器。
14, 8	VIN1, VIN2	PWR	电源输入。 输入电压范围: 4.5V - 20V。直接连接至输入轨。VIN1 给内部线性驱动电路供电。当输入为 4.5V - 5.5V 时, VIN 应当直接连接至 VCC。
9, 13	PGND	PWR	电源接地。输入与输出返回的电源接地引脚。
12, 10	PHASE1, PHASE2	PWR	相节点。 用于监测开关频率。相引脚应当浮接或连接噪声吸收电路。为了实现更出色的热性能, 相平面还可利用散热过孔连接至内层进行散热。参见第 23 页上的“布局指南”
11	NC	-	非连接引脚。该引脚为浮接状态, 内部无连接。
15, 16	EN/FF1, EN/FF2	I/O	启用和前馈控制。 利用电阻分压器连接至 VIN 或使用针对该引脚的系统启用信号。电压阈值为 0.8V。如果电压低于该阈值, 对应的通道会被单独禁用。通过用电阻分压器连接至 VIN 可监测输入电压, 来支持 UVLO (欠压锁定) 功能。每个 EN/FF 引脚上的电压还用于独立调整内部控制回路的增益, 以实现前馈功能。请将 EN/FF 设置在 1.25V - 5V 之间。建议在每个 EN/FF 引脚上使用一个 1nF 电容器。请参考表 1 来选择电阻分压器, 应用细节参见第 19 页上的“EN/FF 开/关”。
17	CLKOUT	I/O	时钟输出。 为其他 ISL8225M 的输入同步信号提供时钟信号。通常连接至 VCC, 以支持错相 180° 的双输出应用。当使用多于一个 ISL8225M 时请参见表 3 和表 5。当模块处于双输出模式下时, 时钟输出信号被禁用。通过对该 CLKOUT 引脚的电压进行编程, 模块可支持 DDR/ 跟踪功能或者作为具有可选择相移的两个独立输出。请参见表 6。
19	ISHARE	O	均流控制。 当配置多个模块来支持均流并共享一个公用电流输出时, 将所有 ISHARE 引脚连在一起。ISHARE 电压代表所有活动和连接通道的平均电流。对于多相应用, 建议对每个 ISHARE 引脚使用一个 470pF 电容器。通常, ISHARE 引脚应当浮接, 以支持双输出使用或单模块应用。
22, 26	VSEN1+, VSEN2+	I	输出电压正反馈。 稳压器差分远程感应的正输入。通过分压电阻连接至该引脚对输出电压进行编程。建议靠近模块放置该分压电阻并将 VOUT 和 VSEN- 感应迹线使用开尔文线连接至负载 / 处理器的感应点; 请参见图 19。VSEN2+ 引脚可用于对模块工作条件进行编程。详情请参见表 3 和表 5。
23, 25	VOUT1, VOUT2	PWR	电源输出。 在这些引脚与 PGND 引脚之间施加输出负载。输出电压范围: 0.6V - 6V。
24	PGOOD	O	电源正常。 当输出电压在额定输出调节节点的 9% 以内 (带有 4% 回滞 (13%/9%)) 和软启动完成时提供漏极开路的电源正常信号。PGOOD 监测内部差分放大器的输出 (VMON)。

ISL8225M

绝对最大额定值

输入电压, V_{IN}	-0.3V 至 +25V
驱动器偏置电压, V_{CC}	-0.3V 至 +6.5V
相电压, V_{PHASE}	-0.3V 至 +30V
输入、输出或 I/O 控制电压	-0.3V 至 $V_{CC} + 0.3V$
ESD 额定值	
人体模型 (试验依据: JESD22-A114E)	2kV
机器模型 (试验依据: JESD22-A115-A)	200V
充电器件模型 (试验依据: JESD22-C101C)	1kV
闭锁模型 (试验依据: JESD-78B; Class 2, Level A)	100mA

热信息

热阻 (典型值)	θ_{JA} ($^{\circ}C/W$)	θ_{JC} ($^{\circ}C/W$)
QFN 封装 (注 5、6)	10.0	0.9
最大存储温度范围	-55 $^{\circ}C$ 至 +150 $^{\circ}C$	
无铅回流焊曲线	参见图 41	

建议工作条件

输入电压, V_{IN1} 和 V_{IN2}	4.5V 至 20.0V
输出电压: V_{OUT1} 和 V_{OUT2}	0.6V 至 6.0V
结温范围	-40 $^{\circ}C$ 至 +125 $^{\circ}C$

注意: 不要在最大额定值或接近最大额定值的条件下工作过长时间。这会严重影响产品可靠性和导致不在保修范围内的故障。

注:

- θ_{JA} 的测量条件是在自由空气中, 元件安装在具有 " 直连 " 功能的高效导热测试板上。参见技术简介 [TB379](#)。
- 对于 θ_{JC} , " 外壳温度 " 的测量位置是位于封装底面上的部分外露金属焊点的中心。

电气规格

除非另行说明, 否则 $T_A = +25^{\circ}C$, $V_{IN} = 12V$ 。黑体字限值适用于内结温度范围 -40 $^{\circ}C$ 至 +125 $^{\circ}C$ (注 4)。

参数	符号	测试条件	最小值 (注 7)	典型值 (注 8)	最大值 (注 7)	单位
VCC 供电电流						
额定 V_{IN} 供电电流	I_{Q_VIN}	$V_{IN} = 20V$; 无负载; $EN1 = EN2 =$ 高		131		mA
		$V_{IN1} = 20V$; 无负载; $EN1 =$ 高, $EN2 =$ 低		72		mA
		$V_{IN2} = 20V$; 无负载; $EN1 = 0$, $EN2 =$ 高		71		mA
		$V_{IN1} = 12V$; 无负载; $EN1 =$ 高, $EN2 =$ 高		134		mA
		$V_{IN} = 4.5V$; 无负载; $EN1 = EN2 =$ 高		136		mA
		$V_{IN1} = 4.5V$; 无负载; $EN1 =$ 高, $EN2 =$ 低		73		mA
		$V_{IN2} = 4.5V$; 无负载; $EN1 = 0$, $EN2 =$ 高		70		mA
内部线性稳压器 (注 9)						
最大电流	I_{PVCC}	$V_{CC} = 4V$ 至 $5.6V$		250		mA
饱和等效阻抗	R_{LDO}	P 通道 MOSFET ($V_{IN} = 5V$)		1		Ω
VCC 电压范围	VCC	$I_{VCC} = 0mA$	5.15	5.4	5.95	V
加电复位 (注 9)						
VCC 上升阈值		0 $^{\circ}C$ 至 +75 $^{\circ}C$		2.85	2.97	V
		-40 $^{\circ}C$ 至 +85 $^{\circ}C$		2.85	3.05	V
VCC 下降阈值				2.65	2.75	V
系统软启动时延	t_{SS_DLY}	在 PLL 和 V_{CC} 加电复位后, 且 EN 高于其阈值		384		周期
启用 (注 9)						
接通阈值电压			0.75	0.8	0.86	V
回滞下拉电流	I_{EN_HYS}		23	30	35	μA
欠压闭锁回滞电压	V_{EN_HYS}	$V_{EN_RTH} = 10.6V$; $V_{EN_FTH} = 9V$, $R_{UP} = 53.6k\Omega$, $R_{DOWN} = 5.23k\Omega$		1.6		V
下拉电流	I_{EN_SINK}	$V_{ENFF} = 1V$	15.4			mA
下拉阻抗	R_{EN_SINK}	$I_{EN_SINK} = 5mA$, $V_{ENFF} = 1V$			64	Ω
振荡器						
振荡器频率	f_{OSC}	SYNC 引脚空闲		510		kHz
总变化 (注 9)		$V_{CC} = 5V$; -40 $^{\circ}C < T_A < +85^{\circ}C$	-9		+9	%
频率同步与相锁环 (注 9)						
同步频率		$V_{CC} = 5V$	150		1500	kHz

ISL8225M

电气规格 除非另行说明, 否则 $T_A = +25^\circ\text{C}$, $V_{IN} = 12\text{V}$ 。黑体字限值适用于内结温度范围 -40°C 至 $+125^\circ\text{C}$ (注 4)。(续)

参数	符号	测试条件	最小值 (注 7)	典型值 (注 8)	最大值 (注 7)	单位
PLL 锁定时间		$V_{CC} = 5.4\text{V}$, $f_{SW} = 500\text{kHz}$		130		μs
输入信号占空比范围			10		90	%
PWM (注 9)						
最小 PWM 关断时间	$t_{\text{MIN_OFF}}$		310	345	410	ns
电流采样消隐时间	t_{BLANKING}			175		ns
输出特征						
输出连续电流范围	$I_{\text{OUT(DC)}}$	$V_{IN} = 12\text{V}$, $V_{\text{OUT1}} = 1.5\text{V}$	0		15	A
		$V_{IN} = 12\text{V}$, $V_{\text{OUT2}} = 1.5\text{V}$	0		15	A
		$V_{IN} = 12\text{V}$, $V_{\text{OUT}} = 1.5\text{V}$, 并联模式	0		30	A
线性调整率精度	$\Delta V_{\text{OUT}}/\Delta V_{\text{IN}}$	$V_{IN} = 4.5\text{V}$ 至 20V $V_{\text{OUT1}} = 1.5\text{V}$, $I_{\text{OUT1}} = 0\text{A}$		0.0065		%
		$V_{\text{OUT2}} = 1.5\text{V}$, $I_{\text{OUT2}} = 0\text{A}$		0.0065		%
		$V_{IN} = 4.5\text{V}$ 至 20V $V_{\text{OUT1}} = 1.5\text{V}$, $I_{\text{OUT1}} = 15\text{A}$		0.01		%
		$V_{\text{OUT2}} = 1.5\text{V}$, $I_{\text{OUT2}} = 15\text{A}$		0.01		%
负载调整率精度	$\Delta V_{\text{OUT}}/V_{\text{OUT}}$	$V_{IN} = 12\text{V}$, $5 \times 22\mu\text{F}$, $2 \times 4.7\mu\text{F}$ 陶瓷电容器和 $1 \times 330\mu\text{F}$ POSCAP $I_{\text{OUT1}} = 0\text{A}$ 至 15A , $V_{\text{OUT1}} = 1.5\text{V}$			1	%
		$I_{\text{OUT2}} = 0\text{A}$ 至 15A , $V_{\text{OUT2}} = 1.5\text{V}$			1	%
输出纹波电压	ΔV_{OUT}	$V_{IN} = 12\text{V}$, $3 \times 100\mu\text{F}$ 陶瓷电容器和 $1 \times 330\mu\text{F}$ POSCAP $I_{\text{OUT1}} = 0\text{A}$, $V_{\text{OUT1}} = 1.5\text{V}$		11		mV _{P-P}
		$I_{\text{OUT2}} = 0\text{A}$, $V_{\text{OUT2}} = 1.5\text{V}$		11		mV _{P-P}
		$I_{\text{OUT1}} = 15\text{A}$, $V_{\text{OUT1}} = 1.5\text{V}$		14		mV _{P-P}
		$I_{\text{OUT2}} = 15\text{A}$, $V_{\text{OUT2}} = 1.5\text{V}$		14		mV _{P-P}
动态特征						
正负载阶跃时电压变化	$\Delta V_{\text{OUT-DP}}$	电流转换速率 = $2.5\text{A}/\mu\text{s}$ $V_{IN} = 12\text{V}$, $V_{\text{OUT}} = 1.5\text{V}$, $2 \times 47\mu\text{F}$ 陶瓷电容器和 $1 \times 330\mu\text{F}$ POSCAP $I_{\text{OUT1}} = 0\text{A}$ 至 7.5A		75		mV _{P-P}
		$I_{\text{OUT2}} = 0\text{A}$ 至 7.5A		75		mV _{P-P}
负负载阶跃时电压变化	$\Delta V_{\text{OUT-DN}}$	电流转换速率 = $2.5\text{A}/\mu\text{s}$ $V_{IN} = 12\text{V}$, $V_{\text{OUT}} = 1.5\text{V}$, $2 \times 47\mu\text{F}$ 陶瓷电容器和 $1 \times 330\mu\text{F}$ POSCAP $I_{\text{OUT1}} = 7.5\text{A}$ 至 0A		70		mV _{P-P}
		$I_{\text{OUT2}} = 7.5\text{A}$ 至 0A		70		mV _{P-P}
参考电压 (注 9)						
参考电压 (包括误差和差分放大器偏移量)	V_{REF1}	$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$		0.6		V
			-0.7		0.7	%
参考电压 (包括误差和差分放大器偏移量)	V_{REF2}	$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$		0.6		V
			-0.75		0.95	%
差分放大器 (注 9)						
DC 增益	U_{G_DA}	单位增益放大器		0		dB
单位增益带宽	U_{GBW_DA}			5		MHz

ISL8225M

电气规格 除非另行说明, 否则 $T_A = +25^\circ\text{C}$, $V_{IN} = 12\text{V}$ 。黑体字限值适用于内结温度范围 -40°C 至 $+125^\circ\text{C}$ (注 4)。(续)

参数	符号	测试条件	最小值 (注 7)	典型值 (注 8)	最大值 (注 7)	单位
VSEN+ 引脚供电电流	I_{VSEN+}		0.2	1	2.5	μA
用于均流的最大供电电流	I_{VSEN1-}	VSEN1- 在并联多个模块 (其中每个模块都有自己的电压回路) 时用于均流的供电电流		350		μA
输入阻抗	$R_{VSEN+ \text{ to } VSEN-}$	V_{VSEN+}/I_{VSEN+} , $V_{VSEN+} = 0.6\text{V}$		-600		$\text{k}\Omega$
输出电压摆幅			0		$V_{CC} - 1.8$	V
输入共模范围			-0.2		$V_{CC} - 1.8$	V
禁用阈值	V_{VSEN-}	$V_{MON1,2} = \text{三态}$		$V_{CC} - 0.4$		V
过电流保护 (注 9)						
通道过电流限制	I_{limit1}	$V_{IN} = 12\text{V}$, $V_{OUT1} = 1.5\text{V}$, $R_{SYNC} = \text{Open}$		20		A
	I_{limit2}	$V_{IN} = 12\text{V}$, $V_{OUT2} = 1.5\text{V}$, $R_{SYNC} = \text{Open}$		20		A
ISHARE 引脚 OC 阈值	V_{OC_SET}	$V_{CC} = 5\text{V}$ (包括比较器偏移量)	1.16	1.20	1.22	V
均流						
均流精度	$\Delta I/I_{OUT}$	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$ $I_{OUT} = 30\text{A}$, $V_{SEN2-} = \text{高}$		± 10		%
电源正常监视器 (注 9)						
欠压下降触发点	V_{UVF}	参考点以下的百分比	-15	-13	-11	%
欠压上升回滞	V_{UVR_HYS}	UV 触发点以上的百分比		4		%
过压上升触发点	V_{OVR}	参考点以上的百分比	11	13	15	%
过压下降回滞	V_{OVF_HYS}	OV 触发点以下的百分比		4		%
PGOOD 低输出电压		$I_{PGOOD} = 2\text{mA}$			0.35	V
拉电流阻抗		$I_{PGOOD} = 2\text{mA}$			70	Ω
最大吸电流		$V_{PGOOD} < 0.8\text{V}$		10		mA
过压保护 (注 9)						
过压闭锁触发点		EN/FF = UGATE = 锁定为低, LGATE = 高	118	120	122	%
过压非闭锁触发点		EN = 低, UGATE = 低, LGATE = 高		113		%
LGATE 释放触发点		EN = 低 / 高, UGATE = Low, LGATE = 低		87		%
过温保护 (注 9)						
过温触发 (控制器结温)				150		$^\circ\text{C}$
过温释放阈值 (控制器结温)				125		$^\circ\text{C}$

注:

- 通过以下一种或多种方法保证与产品资料中规定的限制值的一致性: 生产测试、检测和 / 或设计。
- 除非另行说明, 否则具有 TYP (典型) 限制值的参数未经生产测试。
- 在模块组装前针对内部集成电路对这些参数进行 100% 测试。

典型性能特征

效率性能 如果没有具体说明, 则 $T_A = +25^\circ\text{C}$, 如图 17 所示且禁用第 2 相。效率公式如下:

$$\text{Efficiency} = \frac{\text{Output Power}}{\text{Input Power}} = \frac{P_{\text{OUT}}}{P_{\text{IN}}} = \frac{(V_{\text{OUT}} \times I_{\text{OUT}})}{(V_{\text{IN}} \times I_{\text{IN}})}$$

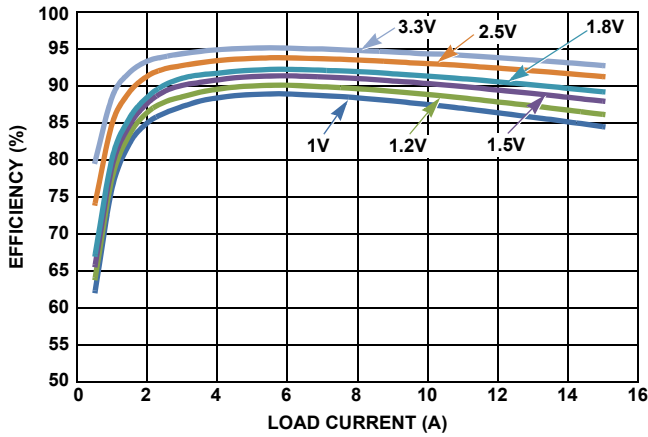


图 3. 效率 - 负载电流 (5V_{IN} @ 500kHz)

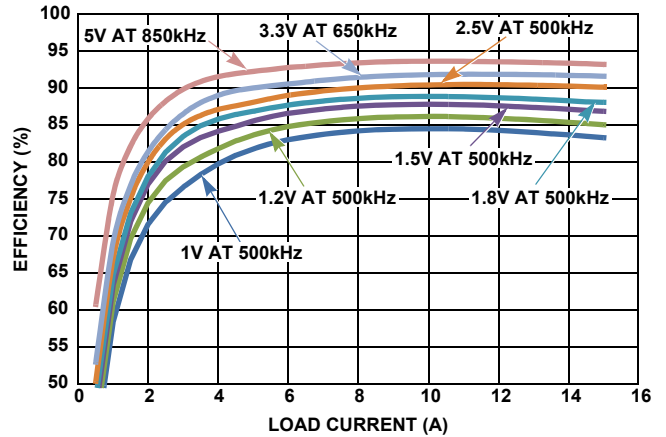


图 4. 效率 - 负载电流 (12V_{IN})

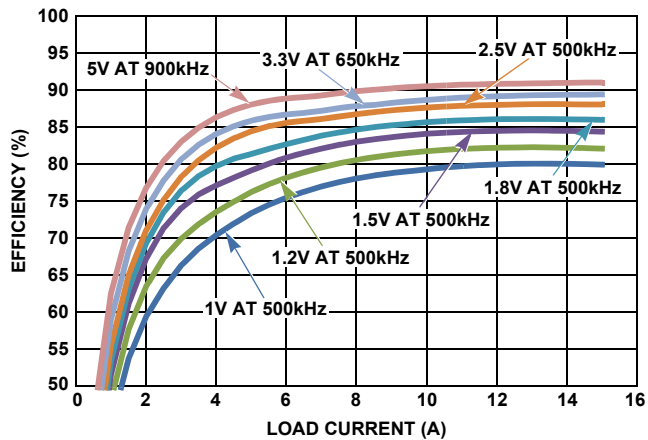


图 5. 效率 - 负载电流 (20V_{IN})

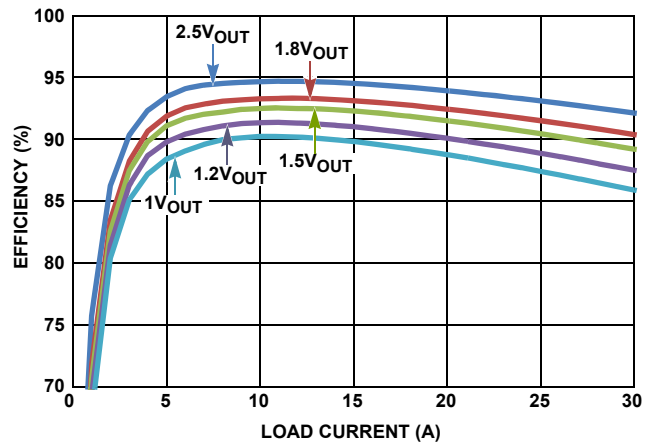


图 6. 效率 - 负载电流 (并联单路输出, 如图 19 所示, 5V_{IN}/500kHz)

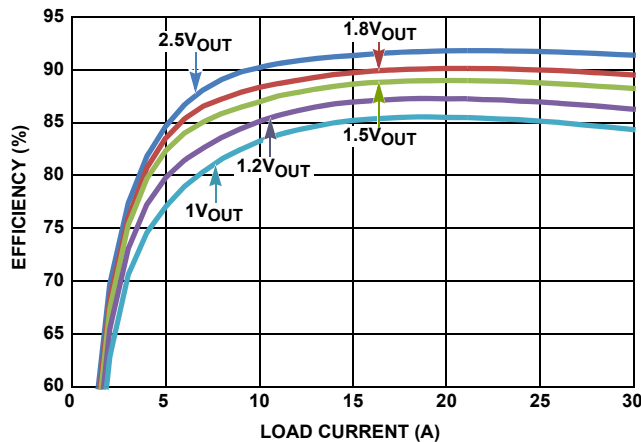


图 7. 效率 - 负载电流 (并联单路输出, 如图 19 所示, 12V_{IN}/500kHz)

典型性能特征 (续)

瞬态响应性能 $V_{IN} = 12V$, $C_{OUT} = 1 \times 10\mu F$ 和 $3 \times 100\mu F$ (陶瓷电容器), $I_{OUT} = 0A$ 至 $7.5A$, 电流转换速率 = $2.5A/\mu s$ 。如果没有具体说明, 则 $T_A = +25^\circ C$, 如图 18 所示且禁用第 2 相。

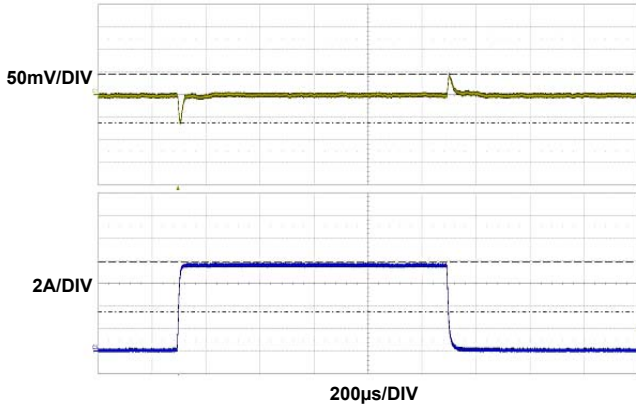


图 8.1 V_{OUT} 瞬态响应

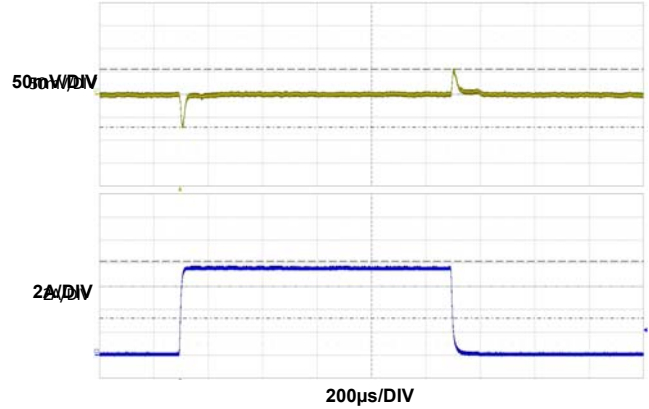


图 9.1.2 V_{OUT} 瞬态响应

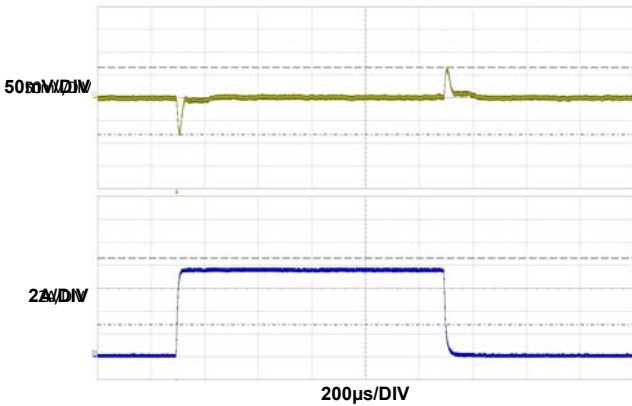


图 10.1.5 V_{OUT} 瞬态响应

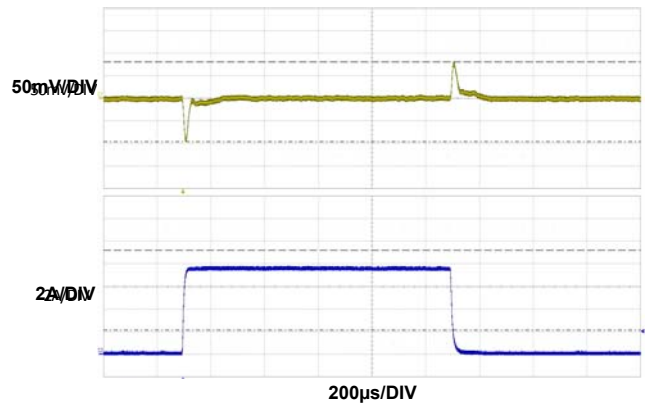


图 11.1.8 V_{OUT} 瞬态响应

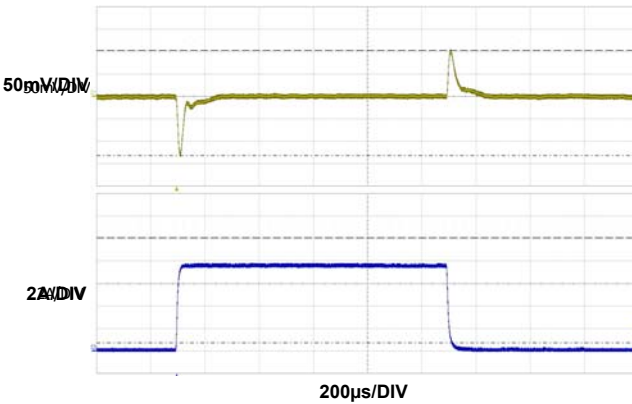


图 12.2.5 V_{OUT} 瞬态响应

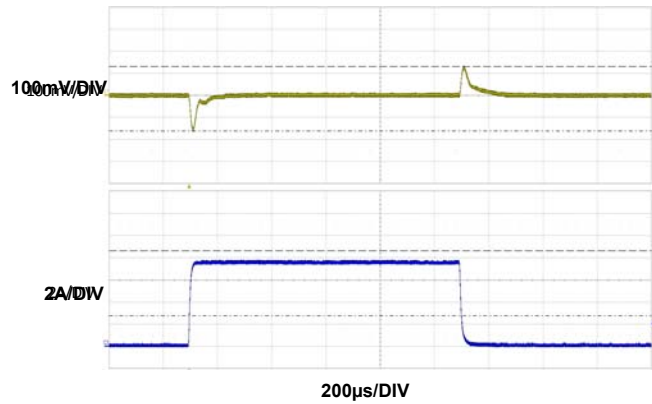


图 13.3.3 V_{OUT} 瞬态响应

典型性能特征 (续)

启动和短路性能 $V_{IN} = 12V$, $V_{OUT} = 1.5V$, $C_{IN} = 1 \times 180\mu F$, $2 \times 10\mu F$ 陶瓷电容器, $C_{OUT} = 2 \times 47\mu F$ 和 $1 \times 330\mu F$ POSCAP。如果没有具体说明, 则 $T_A = +25^\circ C$, 如图 17 所示且禁用第 2 相。

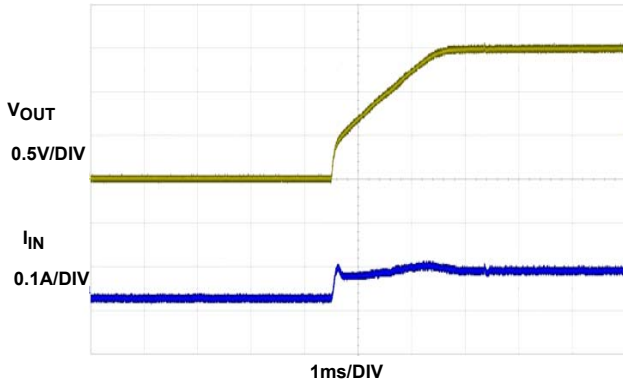


图 14. 启动 @ 0A

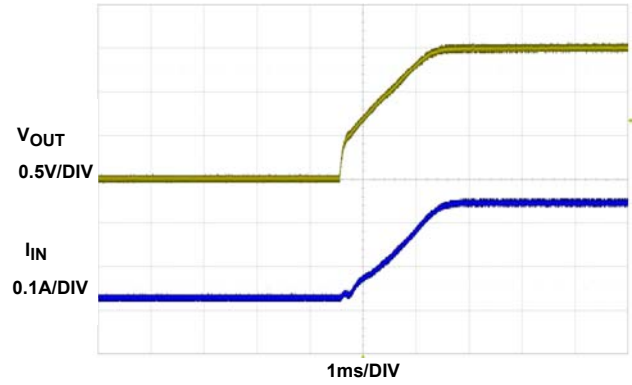


图 15. 启动 @ 15A

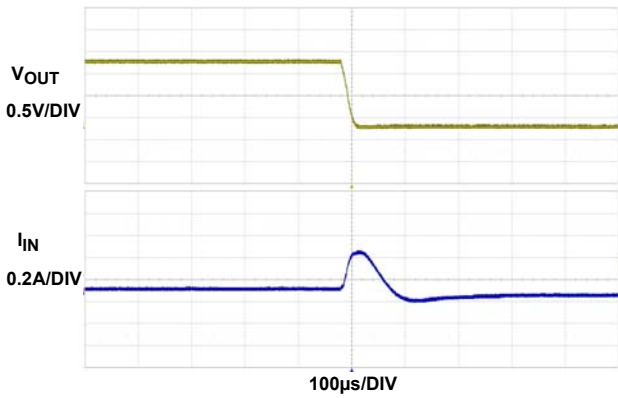


图 16. 短路 @ 0A

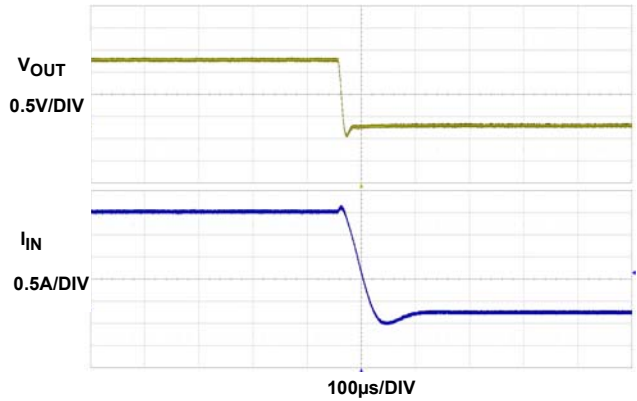
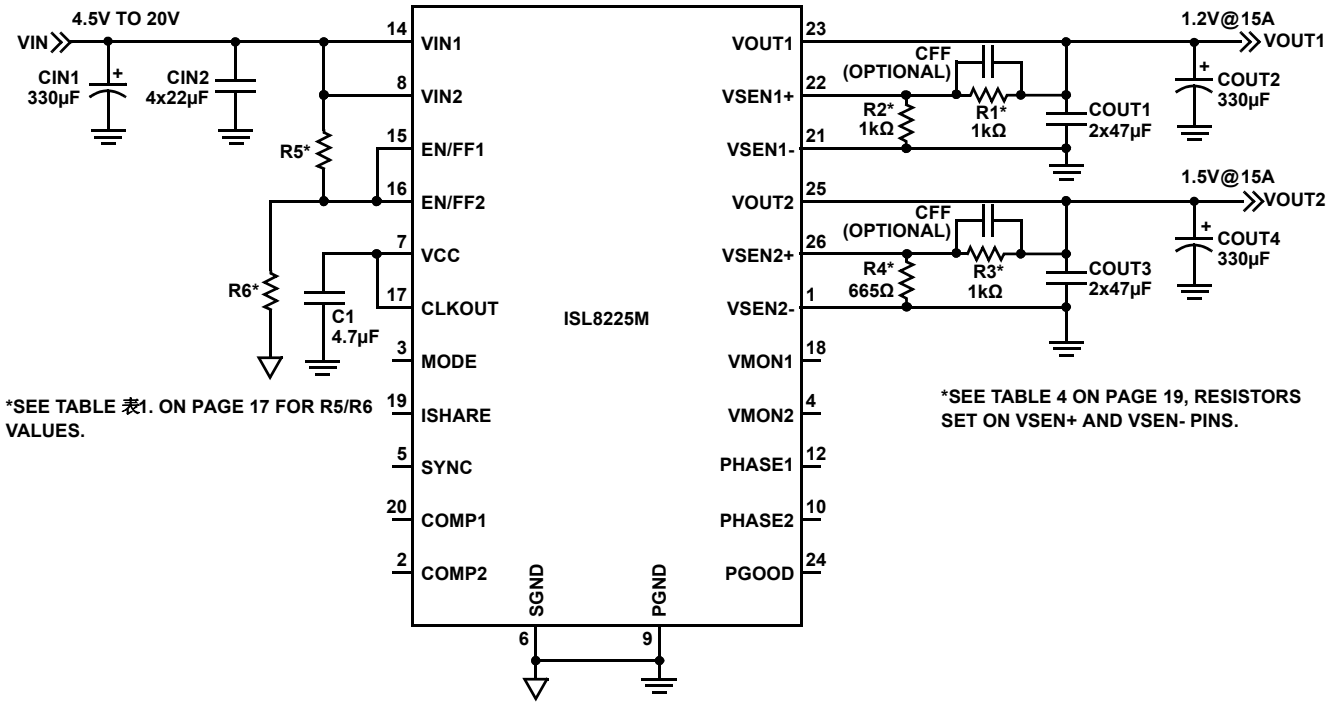


图 17. 短路 @ 15A

典型应用电路

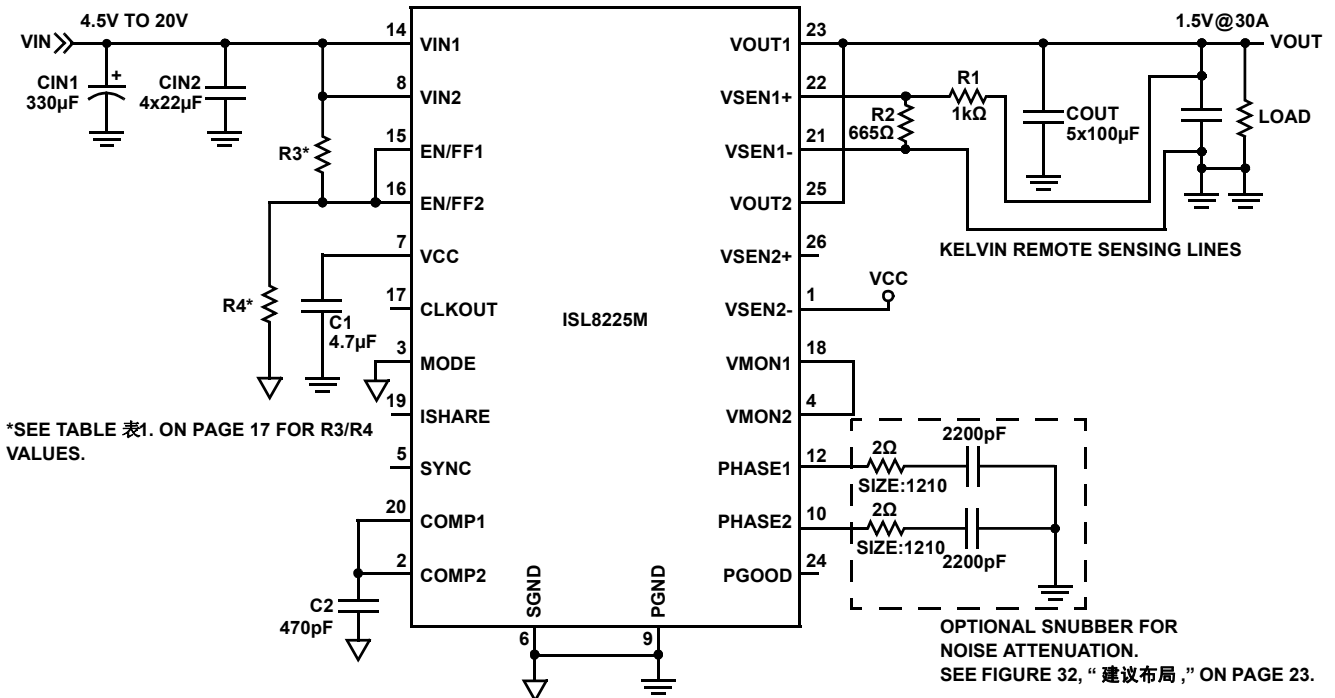


*SEE TABLE 1. ON PAGE 17 FOR R5/R6 VALUES.

*SEE TABLE 4 ON PAGE 19, RESISTORS SET ON VSEN+ AND VSEN- PINS.

SGND 至 PGND 的连接请参见第 23 页上的 "布局指南"

图 18. 1.2V/15A 和 1.5V/15A 的双输出



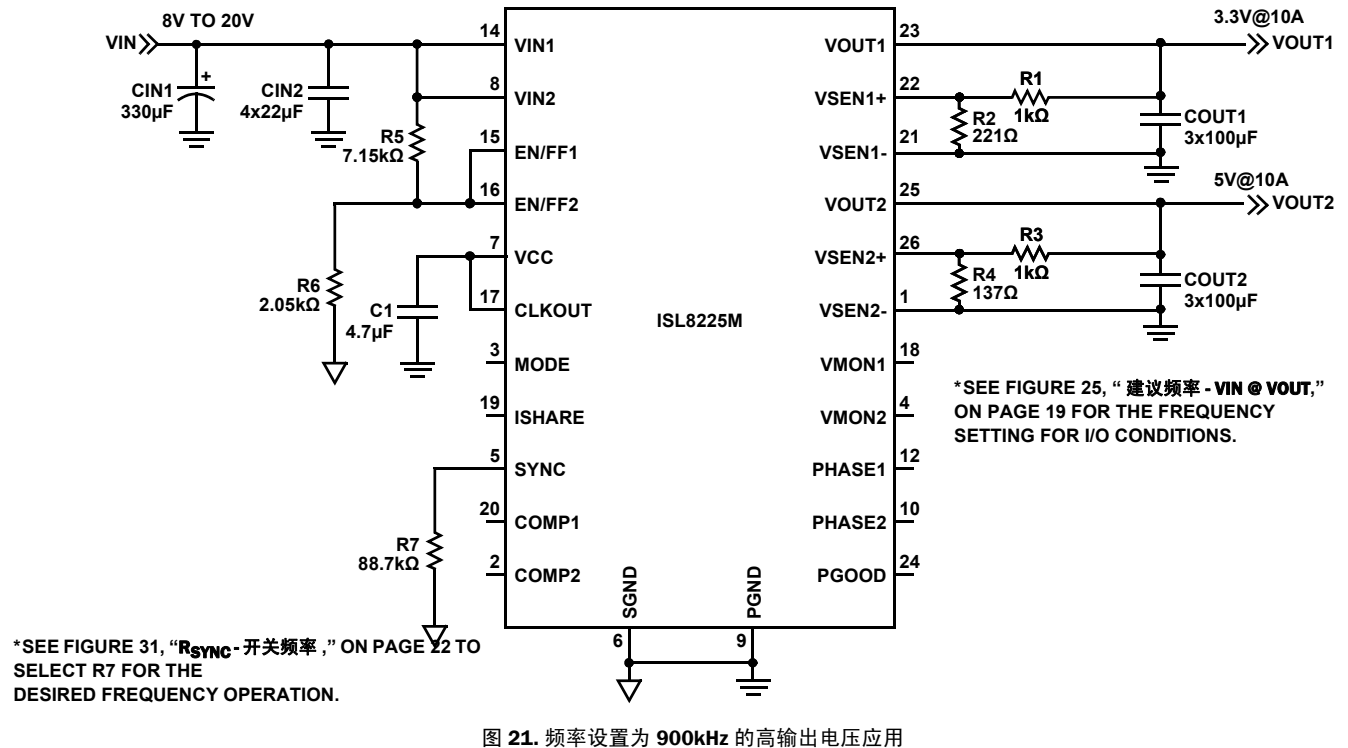
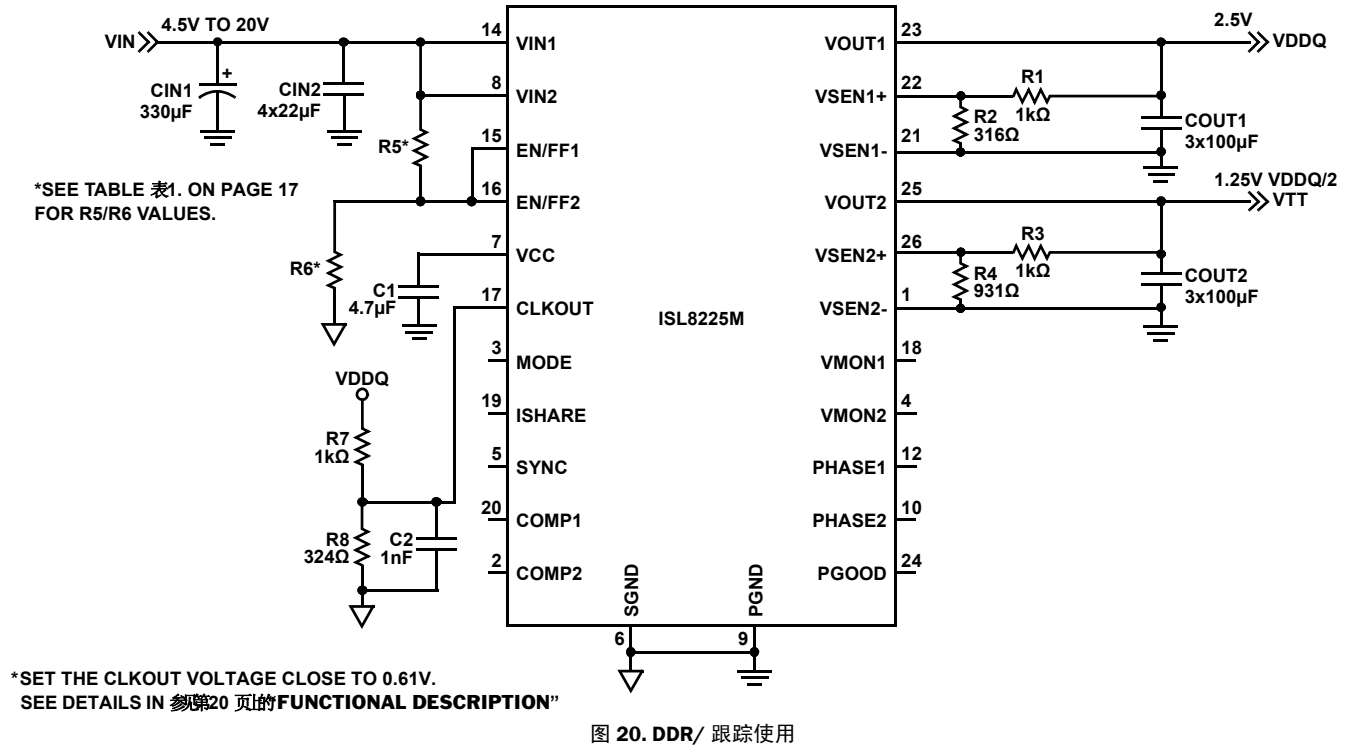
*SEE TABLE 1. ON PAGE 17 FOR R3/R4 VALUES.

OPTIONAL SNUBBER FOR NOISE ATTENUATION. SEE FIGURE 32, "建议布局," ON PAGE 23.

SGND 至 PGND 的连接请参见第 23 页上的 "布局指南"

图 19. 单路 1.5V/30A 输出的并联使用

典型应用电路



典型应用电路

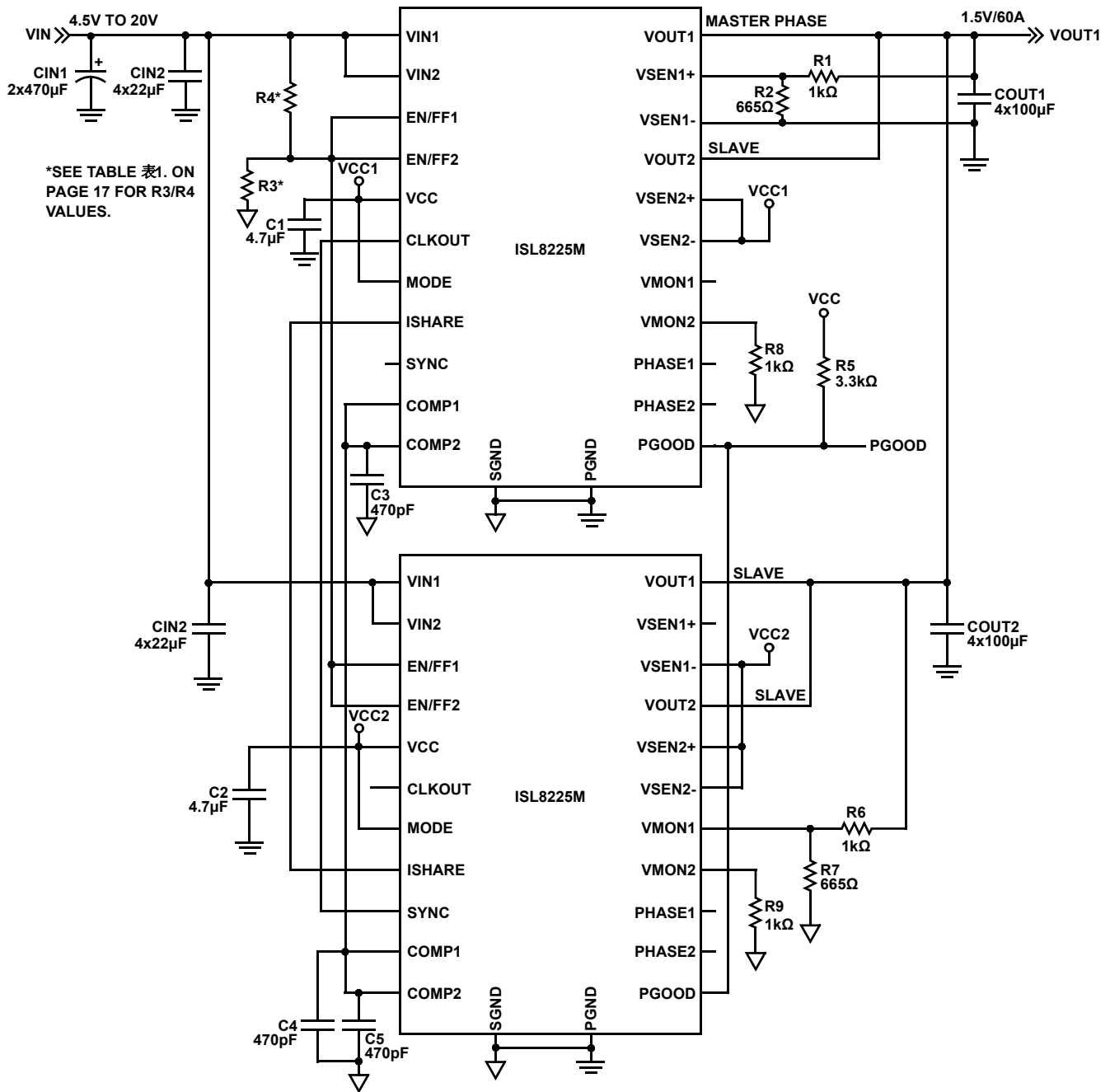


图 22. 1.5V/60A 条件下 4 相 90° 交错并联工作

典型应用电路

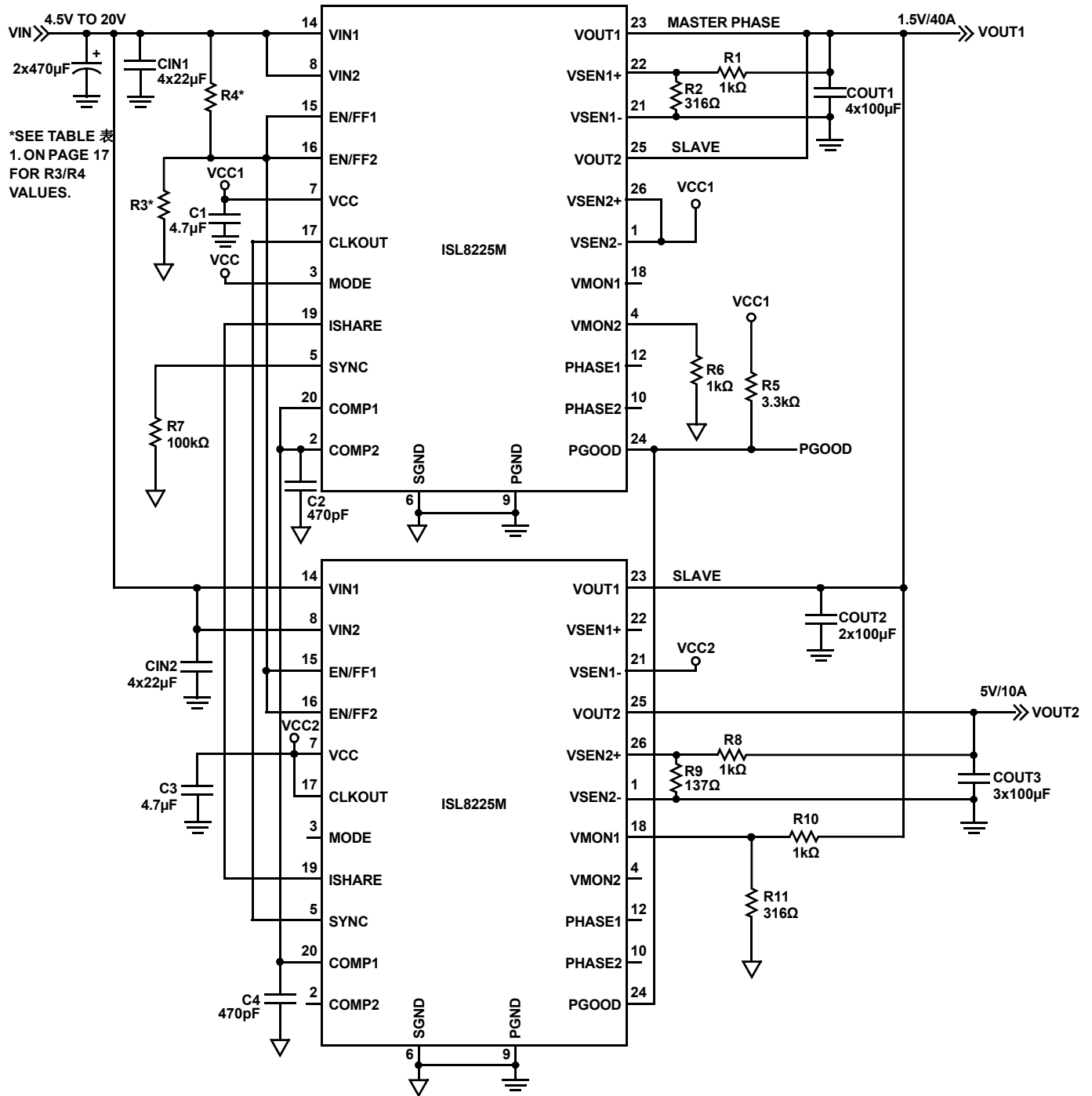


图 23. 1.5V/40A 条件下 3 相并联和 5V/10A 单相输出下 90° 交错工作。

ISL8225M

典型应用电路

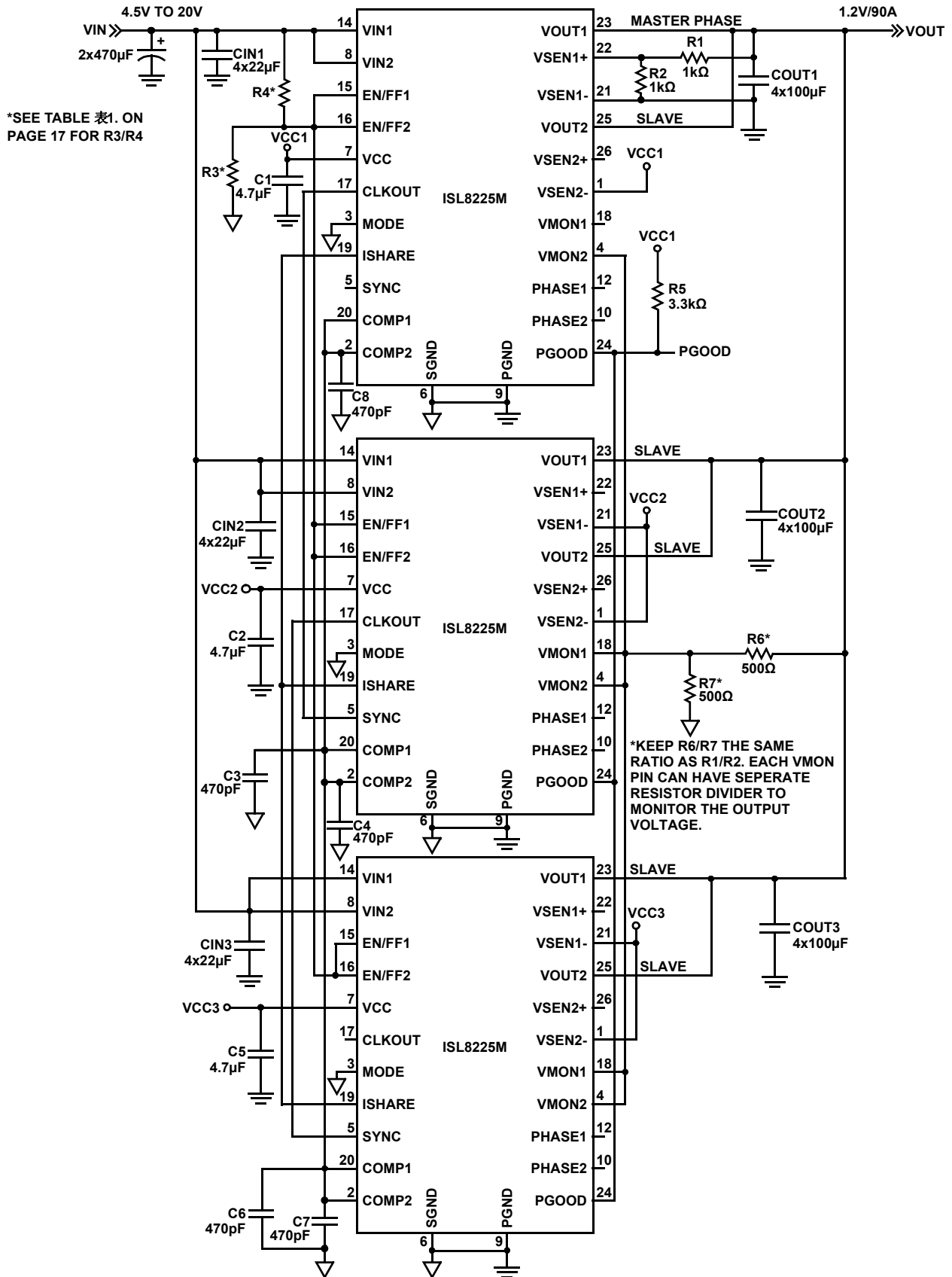


图 24. 六相 90A 1.2V 输出电路

ISL8225M

表 1. ISL8225M 设计指南表 (请参考图 18)

案例	V _{IN} (V)	V _{OUT} (V)	R2 或 R4 (Ω)	CIN1 (大容量) (注 10)	CIN2 (陶瓷)	COUT1 (陶瓷)	COUT2 (大容量)	CFF (nF)	EN/FF (kΩ) R5/R6 (注 11)	频率 (kHz)	R _{SYNC} (kΩ)	负载 (A) (注 12)
1	5	1	1.5k	1x330μF	1x100μF	1x100μF	1x330μF	无	6.04/3.01	500	无	15
2	5	1	1.5k	1x330μF	1x100μF	3x100μF	无	3.3	6.04/3.01	500	无	15
3	12	1	1.5k	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	500	无	15
4	12	1	1.5k	1x330μF	2x22μF	3x100μF	无	3.3	6.04/1.50	500	无	15
5	5	1.2	1.0k	1x330μF	1x100μF	1x100μF	1x330μF	无	6.04/3.01	500	无	15
6	5	1.2	1.0k	1x330μF	1x100μF	3x100μF	无	3.3	6.04/3.01	500	无	15
7	12	1.2	1.0k	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	500	无	15
8	12	1.2	1.0k	1x330μF	2x22μF	3x100μF	无	3.3	6.04/1.50	500	无	15
9	20	1.2	1.0k	1x330μF	2x22μF	1x100μF	1x330μF	3.3	6.04/1.50	500	无	15
10	20	1.2	1.0k	1x330μF	2x22μF	3x100μF	无	4.7	6.04/1.50	500	无	15
11	5	1.5	665	1x330μF	1x100μF	1x100μF	1x330μF	无	6.04/3.01	500	无	15
12	5	1.5	665	1x330μF	1x100μF	3x100μF	无	3.3	6.04/3.01	500	无	15
13	12	1.5	665	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	500	无	15
14	12	1.5	665	1x330μF	2x22μF	3x100μF	无	3.3	6.04/1.50	500	无	15
15	20	1.5	665	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	500	无	15
16	20	1.5	665	1x330μF	2x22μF	3x100μF	无	3.3	6.04/1.50	500	无	15
17	5	2.5	316	1x330μF	1x100μF	1x100μF	1x330μF	无	6.04/3.01	500	无	15
18	5	2.5	316	1x330μF	1x100μF	3x100μF	无	3.3	6.04/3.01	500	无	15
19	12	2.5	316	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	650	249	15
20	12	2.5	316	1x330μF	2x22μF	3x100μF	无	3.3	6.04/1.50	650	249	15
21	20	2.5	316	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	750	147	14
22	20	2.5	316	1x330μF	2x22μF	3x100μF	无	3.3	6.04/1.50	750	147	14
23	5	3.3	221	1x330μF	1x100μF	1x100μF	1x330μF	无	6.04/3.01	500	无	15
24	5	3.3	221	1x330μF	1x100μF	3x100μF	无	无	6.04/3.01	500	无	15
25	12	3.3	221	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	800	124	14
26	12	3.3	221	1x330μF	2x22μF	3x100μF	无	无	6.04/1.50	800	124	14
27	20	3.3	221	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	850	107	13
28	20	3.3	221	1x330μF	2x22μF	3x100μF	无	3.3	6.04/1.50	850	107	13
29	12	5	137	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	950	82.5	12
30	12	5	137	1x330μF	2x22μF	3x100μF	无	无	6.04/1.50	950	82.5	12
31	20	5	137	1x330μF	2x22μF	1x100μF	1x330μF	无	6.04/1.50	950	82.5	10
32	20	5	137	1x330μF	2x22μF	3x100μF	无	3.3	6.04/1.50	950	82.5	10

注:

10. CIN 大容量电容器为可选, 用于由长输入电缆而产生的噪声去耦。所列 CIN2 和 COUT1 陶瓷电容器仅针对单相工作。对双相工作请使电容器数量加倍。
11. EN/FF 电阻分压器直接连接至 VIN。表中所列电阻器是针对两个通道连在一起的 EN/FF 引脚。如果对每个通道使用独立的电阻分压器, 则电阻器值需要加倍。
12. 表中所列最大负载电流是在 +25°C 没有气流的条件下在 Intersil 典型的 4 层评估板上得到。

ISL8225M

表 2. 表 1 中的推荐输入输出电容器

厂家	值	产品号
TDK, 输入和输出陶瓷电容器	100μF, 6.3V, 1210	C3225X5R0J107M
Murata, 输入和输出陶瓷电容器	100μF, 6.3V, 1210	GRM32ER60J107M
AVX, 输入和输出陶瓷电容器	100μF, 6.3V, 1210	12106D107MAT2A
Murata, 输入陶瓷电容器	22μF, 25V, 1210	GRM32ER61E226KE15L
Taiyo Yuden, 输入陶瓷电容器	22μF, 25V, 1210	TMK325BJ226MM-T
AVX, 输入陶瓷电容器	22μF, 25V, 1210	12103D226KAT2A
Sanyo POSCAP, 输出大容量电容器	330μF, 10V	10TPB330M
Panasonic SMT, 输入大容量电容器	330μF, 25V	EEVHA1E331UP

表 3. ISL8225M 工作模式

第一个模块 (I = 输入; O = 输出; I/O = 输入和输出, 双向)										工作模式		输出 (详情请参见 说明)
模式	EN1/FF1 (I)	EN2/FF2 (I)	VSEN2- (I)	MODE (I)	VSEN2+ (I)	CLKOUT/REFIN 相对于第一个 (I 或 O)	VMON2 (注 14)	第二个模 块的 VMON1 (注 14)	第二个通道 相对于第一个 通道 (O) (注 13)	第二个 模块的 工作模式	第三个 模块的 工作模式	
1	0	0	-	-	-	-	-	-	-	-	-	禁用
2A	0	1	有效	有效	有效	-	有效	-	VMON1 = VMON2, 以使 PGOOD 有效	-	-	单相
2B	1	0	-	-	-	-	-	-	VMON1 = VMON2, 以使 PGOOD 有效	-	-	单相
3A	1	1	<V _{CC} -0.7V	有效	有效	V _{CC} 的 29% 至 45%(I)	有效	-	0°	-	-	双稳压器
3B	1	1	<V _{CC} -0.7V	有效	有效	V _{CC} 的 45% 至 62%(I)	有效	-	90°	-	-	双稳压器
3C	1	1	<V _{CC} -0.7V	有效	有效	>V _{CC} 的 62%(I)	有效	-	180°	-	-	双稳压器
4	1	1	<V _{CC} -0.7V	有效	有效	<V _{CC} 的 29%(I)	有效	-	-60°	-	-	DDR 模式
5A	1	1	V _{CC}	GND	-	60°	VMON1 或 分压器	-	180°	-	-	双相
5B	1	1	V _{CC}	GND	-	60°	分压器	分压器	180°	5B	5B	6 相
5C	1	1	V _{CC}	GND	-	60°	VMON1 或 分压器	有效	180°	5C	5C	3 个输出
6	1	1	V _{CC}	V _{CC}	GND	120°	1kΩ	有效	240°	2B	-	3 相
7A	1	1	V _{CC}	V _{CC}	V _{CC}	90°	1kΩ	分压器	180°	7A	-	4 相
7B	1	1	V _{CC}	V _{CC}	V _{CC}	90°	1kΩ	有效	180°	7B	-	2 个输出 (模式 7A 中的 第一个模块)
7C	1	1	V _{CC}	V _{CC}	V _{CC}	90°	1kΩ	有效	180°	3, 4	-	3 个输出 (模式 7A 中的 第一个模块)
8	级联模块工作模式 5B+5B+7A+5B+5B+5B/7A, 无需外部时钟											12 相
9	需要外部时钟或外部逻辑电路来实现相等的相间隔											5, 7, 8, 9, 10, 11, 或 (相数 >12)

- 注:
13. "第二个通道相对于第一个通道"的意思是通道 2 比通道 1 相位滞后该列中的指定度数。例如, 90° 表示通道 2 比通道 1 相位滞后 90°; -60° 表示通道 2 比通道 1 相位超前 60°。
14. "VMON1"是指引脚连接至相同模块的 VMON1 引脚。
"分压器"是指连接一个分压电阻网络从 VOUT 到 SGND; 请参见图 23。
"1kΩ"是指通过一个 1kΩ 电阻将引脚连接至 SGND; 请参见图 21。

应用信息

输出电压编程

ISL8225M 有一个内部参考电压 $0.6V \pm 0.7\%$ 。若要对输出电压进行编程， V_{OUT} 和 V_{SEN+} 与 V_{SEN-} 引脚之间要有一个电阻分压器网络 ($R1$ 和 $R2$)，如图 18 所示。请注意，输出电压精度还取决于的 $R1$ 和 $R2$ 的精度。为达到整体输出精度要求，用户需要选择高精度电阻器 (即 0.5%)。输出电压按照式 1 计算：

$$V_{OUT} = 0.6 \times \left(1 + \frac{R1}{R2}\right) \quad (EQ. 1)$$

注：建议对顶部电阻器 $R1$ 选择 $1k\Omega$ 电阻。表 4 所列为不同输出电压的底部电阻器值。

表 4. 不同输出电压的底部电阻器值 (V_{OUT} vs $R2$)

R1 (Ω)	V _{OUT} (V)	R2 (Ω)
1k	0.6	Open
1k	0.8	3.01k
1k	1.0	1.50k
1k	1.2	1.00k
1k	1.5	665
1k	1.8	491
1k	2.0	422
1k	2.5	316
1k	3.3	221
1k	5.0	137
1k	6.0	110

由于 PWM 最小关断时间限值为 410ns，所以模块具有取决于输入电压的最大输出电压。5V 输入电压限制请参见图 24。

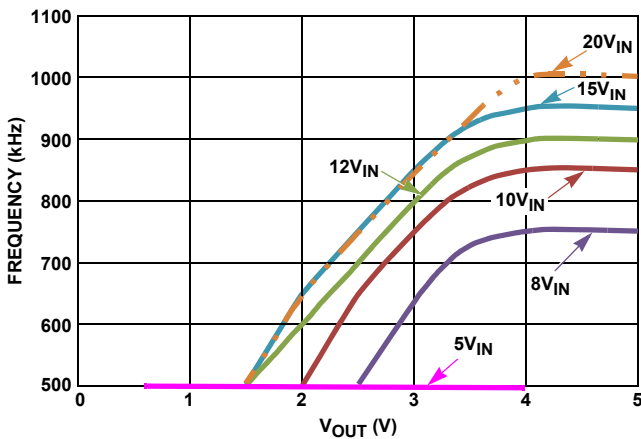


图 25. 建议频率 - V_{IN} @ V_{OUT}

在较高输出电压下，电感器纹波增加，这会使输出纹波和电感器功率损耗都较高。因此，我们建议通过增加频率来降低电感器纹波。不同工作条件下的频率选择请参考图 24，然后参考图 31 来选择 R_{SYNC} 。

输入电容器选择

输入滤波电容器的选择根据电源容许 DC 输入线上有多少纹波而定。电容器越大，预期纹波越少，但是还应当考虑加电期间的较高浪涌电流。ISL8225M 提供了用于控制和限制电流浪涌的软启动功能。输入电容器的值按照式 2 计算：

$$C_{IN(MIN)} = \frac{I_O \cdot D(1-D)}{V_{P-P} \cdot f_{SW}} \quad (EQ. 2)$$

其中：

- $C_{IN(MIN)}$ 是最低要求输入电容 (μF)
- I_O 是输出电流 (A)
- D 是占空比
- V_{P-P} 是容许峰 - 峰电压 (V)
- f_{SW} is the switching frequency (Hz)

除了大容量电容外，建议使用一些低等效串联电阻的电容器来对每个通道的 V_{IN} 和 $PGND$ 去耦。建议电容器请参见表 2。该电容可减少由寄生电路元件上的开关电流所产生的电压振铃。所有这些陶瓷电容器的位置都应当尽量接近模块引脚。选择陶瓷电容器时应当考虑所估计的 RMS 电流。

$$I_{IN(RMS)} = \frac{I_O \cdot \sqrt{D(1-D)}}{\eta} \quad (EQ. 3)$$

通常情况下，对于 2A 或 3A RMS 纹波电流，一个 $10\mu F$ X5R 或 X7R 陶瓷电容器就能起到很好的效果。RMS 电流额定值请咨询厂家。在针对一个通道的典型 15A 输出应用中，如果占空比是 0.5，则需要至少三个 $10\mu F$ X5R 或 X7R 陶瓷输入电容器。

输出电容器选择

ISL8225M 是为实现低输出电压纹波而设计的。输出电压纹波和瞬态要求可通过具有足够低 ESR 值的大容量输出电容器 (C_{OUT}) 得到满足。 C_{OUT} 可以是低 ESR 钽电容器、低 ESR 聚合物电容器或陶瓷电容器。电容典型值为 $330\mu F$ ，并对每个相使用去耦的陶瓷输出电容器。更多电容器信息请参见表 1. 和表 2。内部优化的回路补偿为全陶瓷电容器应用提供了足够的稳定性余量，每个相的建议总电容值为 $300\mu F$ 。如果需要进一步减少输出纹波或动态瞬态尖峰，则可能还需要额外的滤波器件。

EN/FF 开 / 关

ISL8225M 的每个输出可通过 EN/FF 引脚独立开 / 关。对于并联使用，将所有 EN/FF 引脚连到一起。由于该引脚具有前馈功能，所以该引脚上的电压可以主动调整回路增益，使反馈回路对变化的输入电压保持恒定。请参考表 1 来选择常用条件下的电阻分压器网络。否则，按照以下步骤进行 EN/FF 设计：

1. 建议使用从 V_{IN} 到 GND 的电阻分压器网络将 EN/FF 电压范围设置为 $1.25V - 5.0V$ 。建议电阻分压器网络比值为 $3/1 - 4/1$ (如图 21 所示) 使用了 $7.15k\Omega/2.05k\Omega$ 的电阻分压器网络。
2. 检查 EN 回滞 (建议回滞电压 $V_{EN_HYS} > 0.3V$):

$$V_{EN_HYS} = N \cdot R_{UP} \cdot 3 \times 10^{-5} \quad (EQ. 4)$$
 其中:
 - R_{UP} 是电阻分压器的顶部电阻器
 - N 是连接至电阻分压器的 EN/FF 引脚的总数
3. 将流经顶部上拉电阻器 R_{UP} 的最大电流设为低于 $7mA$ (鉴于 EN/FF 被拉至接地 ($V_{EN/FF} = 0$)。请参见图 23; 使用一个 $3.01k\Omega/1k\Omega$ 电阻器来实现输入电压为 $5V - 20V$ 的工作状态。此外, 流经 R_5 的最大电流是 $6.6mA (<7mA)$ 。
4. 如果 EN/FF 是由系统 EN 信号而非输入电压进行控制, 则我们建议将固定 EN/FF 电压设置到输入电压的约 $1/3.5$ 。如果输入电压是 $12V$, 则可将 $3.3V$ 系统 EN 信号直接连接至 EN/FF 引脚。
5. 如果输入电压低于 $5.5V$, 则建议使 EN/FF 电压 $>1.5V$, 以获得更出色的稳定性。输入电压可直接连接至 VCC 引脚, 以禁用内部 LDO 。
6. 建议在 EN/FF 引脚上使用一个 $1nF$ 电容器来避免噪声进入前馈回路。

热考虑

对于典型的 4 层印刷电路板, $ISL8225M$ QFN 封装在自然对流条件下提供约为 $10^\circ C/W$ 的典型结至环境热阻 θ_{JA} ($\sim 5.8^\circ C/W @ 400LFM$)。因此可使用式 5 来估计模块结温:

$$T_{junction} = P \times \theta_{JA} + T_{ambient} \quad (EQ. 5)$$

其中:

- $T_{junction}$ 是模块内部最大温度 ($^\circ C$)
- $T_{ambient}$ 是系统环境温度 ($^\circ C$)
- P 是模块封装的总功率损耗 (W)
- θ_{JA} 是模块的结至环境热阻

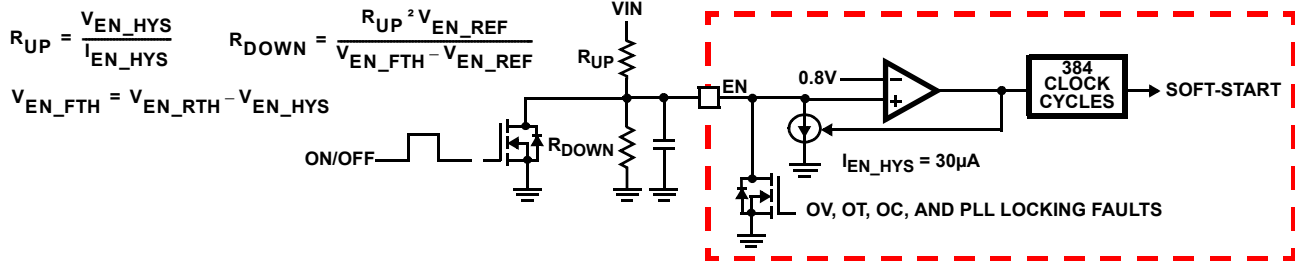


图 26. 简化的启用与电压前馈电路

如果所计算的温度 $T_{junction}$ 超过了所要求的设计目标, 则需要额外的冷却配置。附加气流信息请参见第 24 页上的“电流降额”。

功能描述

初始化

开始时, 加电复位 (POR) 电路持续监测 V_{cc} 的偏执电压以及 EN/FF 引脚上的电压。 POR 功能在以下条件之后触发延时 384 个时钟周期的软启动工作: (1) EN 引脚电压被拉至 $0.8V$ 以上, (2) 所有输入电压均超出其 POR 阈值, 和 (3) PLL 锁定时间到时。启用引脚可用作电压监测, 并且通过内部 $30\mu A$ 吸电流能力在外部电阻分压器网络上设置期望的回滞电压。吸电流在系统被启用后解除。该功能是专为需要较高上电复位输入轨来实现更佳欠压保护的应用而设计的。例如, 在 $12V$ 应用中, $R_{UP} = 53.6k\Omega$ 和 $R_{DOWN} = 5.23k\Omega$ 将打开阈值 (V_{EN_RTH}) 设置为 $10.6V$, 关闭阈值 (V_{EN_FTH}) 设置为 $9V$, 回滞为 $1.6V$ (V_{EN_HYS})。

在关机期间或发生故障时, 软启动快速复位, 且栅极驱动器在输入降至 POR 以下时立即改变状态 ($<100ns$)。

启用和电压前馈

EN/FF 引脚上施加的馈送电压用于调节通道的锯齿波幅度。在模块被启用时, 锯齿波幅度设置为相应 FF 电压的 1.25 倍。此配置有助于维持恒定的增益。此配置还有助于将输入电压包含到环路中, 以实现宽输入电压范围上的最优化环路响应。

在系统达到其上升的上电复位电压后, 在软启动之前会有 384 个周期的延迟。 FF 引脚上的 RC 时间常数应当足够小, 以确保输入总线电压达到其静止状态以及内部斜坡电路在软启动前稳定。大 RC 会使内部斜坡幅度在输出启动期间或者从故障恢复时与输入总线电压不同步。建议以 $1nF$ 电容器作为典型应用的起始值。

在多模块系统中, 由于 EN 引脚都连在一起, 所以当有一个或更多模块发生故障时能够一次立即关闭所有模块。故障会拉低 EN 引脚, 禁用所有模块, 且不会造成电流跳动; 因此, 当发生故障时不会发生信号通道应力。

因为 EN 引脚在故障条件下被拉低, 所以上拉电阻器 (R_{UP}) 应当设置为从 EN 引脚拉电流不超过 $7mA$ 。就是说 EN 引脚不能直接连接至 VCC 。

软启动

ISL8225M 包含内部数字式预充电软启动电路（图 27-29），其上升时间与开关频率成反比。上升时间由一个随着脉冲时钟脉冲而递增的数字计数器确定。从 0V 至 0.6V 的全部软启动时间可按照式 6 估计。典型软启动时间为 2.5ms 左右。

$$t_{SS} = \frac{1280}{f_{SW}} \quad (\text{EQ. 6})$$

ISL8225M 能够在预充电输出条件下工作。PWM 输出在第一个 PWM 脉冲出现前不会馈送给驱动器。低边 MOSFET 对第一个时钟周期是打开的，用以为自举电容器提供电荷。如果预充电输出电压大于最终目标值但小于 113% 设定点，则开关不会开始，直到输出电压减小到目标电压且第一个 PWM 脉冲生成。最大容许预充电水平为 113%。如果预充电水平高于 113% 但低于 120%，则输出暂跌范围为 113%（LGATE 打开）- 87%（LGATE 关闭），同时 EN 被拉低。如果预充电负载电压高于目标输出电压的 120%，则控制器被闭锁且不能加电。

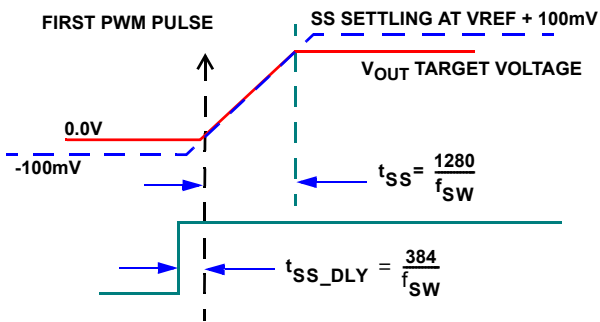


图 27. 软启动, $V_{OUT} = 0V$

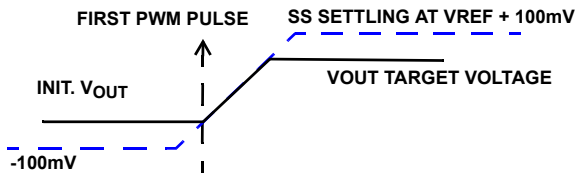


图 28. SOFT-START WITH $V_{OUT} < \text{TARGET VOLTAGE}$

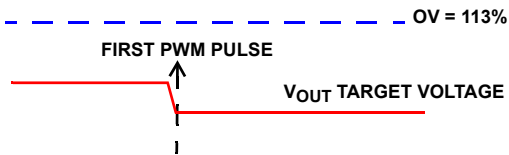


图 29. 软启动, V_{OUT} 低于 113% 但高于最终目标电压

电源正常

电源正常比较器监测 VMON 引脚上的电压。图 30 显示了触发点。PGOOD 在软启动周期完毕之前不起作用。PGOOD 在两个 EN 都禁用或当 VMON 电压不在阈值窗口中时拉低。如果故障不在三个连续时钟周期内出现，则 PGOOD 不会拉低。

UV 指示在软启动结束前不会被启用。在 UV 事件中，如果输出电压由于除了 0V、OC、OT 或 PLL 故障（在这些情况下 EN 不会拉低）以外的原因降至低于目标水平的 -13%，则 PGOOD 被拉低。

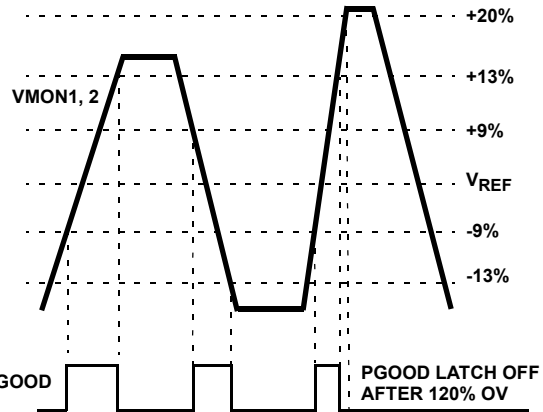
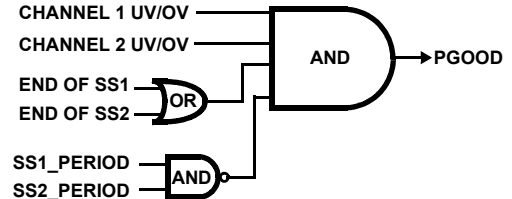


图 30. 电源正常阈值窗口

均流

在并联工作中，不同模块的共享总线电压 (ISHARE) 必须连在一起。ISHARE 引脚电压由电阻器设定并代表所有活动模块的平均电流。平均电流信号与单个模块的电流进行比较，并将均流误差信号馈入电流校正构块，来调整每个模块的 PWM 脉冲。均流功能提供至少 10% 的模块间均流精度。均流总线可支持多达 12 个相而无需外部时钟。建议对每个 ISHARE 引脚使用一个 470pF ~1nF 电容器。

在均流方案中，所有跟随通道需要将 VSEN- 连接至 VCC 使反馈回路禁用。主通道可利用连在一起的 COMP 和 ISHARE 引脚来控制所有模块。对于相移设置，跟随通道的所有 VMON 引脚都需要设定在 0.6V 以用于监测。通常，所有的 VMON 引脚可用电阻分压器网络连接至 VOUT。但如果 MODE 引脚被连接至 VCC，用于模式设置，则相关 VMON2 引脚需要用一个 1.0kΩ 电阻器连接至 SGND，如第 15 页上的图 23 所示。如果有多个模块并联使用时 MODE 引脚连接至 VCC，则每个跟随模块的 VMON2 引脚都需要有一个 1K 的电阻器连接至 GND，并且所有跟随模块的 VMON1 引脚可用可以连接在一起并使用一个电阻分压器网络连接从 VOUT 连接至 GND。如第 16 页上的图 24 所示。关于 VMON 设置另外请参见表 3。

过压保护

过压 (OV) 保护指示电路监测 V_{MON} 引脚上的电压。过压保护从软启动一开始就有效。过压状态 (>120%) 会闭锁芯片的输出。在此状态中, 高边 MOSFET (Q1 或 Q3) 会保持被闭锁。低边 MOSFET (Q2 或 Q4) 会在过压点触发后立即打开, 并在输出电压降至低于 87% 时保持关闭。EN 和 PGOOD 在过压状态中也会被拉低。闭锁状态只能通过再重启 V_{CC} 来重设。

另外还有一个非闭锁的过压保护 (目标水平的 113%)。当 EN 处于低电平且输出超过 113% 的过压状态时, 低边 MOSFET 打开, 直到输出降至低于 87%。该动作甚至可在多模块系统的单个通道检测到过压条件时对功率电路起到保护作用。低边 MOSFET 在 EN = LOW 和输出电压上升超过 113% 时始终打开, 并在输出降至低于 87% 时关闭。因此, 在高相数应用 (多模块模式) 中, 可通过 EN 引脚同时闭锁所有级联模块 (EN 引脚在多相模式中是连在一起的)。每个通道共同吸电流, 以减轻应力和消除各个相之间的抖动。

过温保护 (OTP)

当内部控制器的结温大于 $+150^{\circ}\text{C}$ (典型情况) 时, EN 引脚被拉低, 以通知级联的通道 (通过其 EN 引脚)。所有连接起来的 EN 保持低电平, 然后在模块的结温降至低于 $+125^{\circ}\text{C}$ (典型情况) 时释放, 亦即有 $+25^{\circ}\text{C}$ 滞后 (典型情况)。

过电流保护 (OCP)

过电流保护峰值对每个通道设置为约 20A, 但过电流保护点有可能变化, 这主要是由于 MOSFET $r_{DS(ON)}$ 变化 (工艺、电流和温度变化造成) 而引起的。可通过增加开关频率来增加过电流保护点, 这是因为电感器纹波电流会减小。但是, 模块效率会随着开关损耗增加而下降。当触发过电流保护时, 控制器立即拉低 EN, 以关闭所有模块。过电流保护功能在启动时启用, 并在触发前有 7 个周期的延迟。

在多模块工作条件下, 可将 ISHARE 引脚连接起来, 以建立 VISHARE, 其代表所有有效通道的平均电流。将总系统电流与一个精密阈值进行比较, 以确定过电流条件。每个通道还有一个具有 7 个周期延迟的额外过电流设定点。在多模块模式下, 此方案通过使每个模块承载小于设定点的电流来帮助防止模块受损。

对于过载和硬短路的情况, 过电流保护可通过使控制器置于打嗝模式来减小稳压器 RMS 输出电流, 使之远小于满负载。提供等于三个软启动间隔时间的延时来清除干扰。延时过后, 控制器开始一个新的软启动。如果输出电压上升并返回稳定状态, 则 PGOOD 变高。如果过电流触发点在软启动间隔期间被超出, 则控制器再次拉低 EN。PGOOD 信号保持低电平, 且允许软启动终止。在该延迟间隔之后开始另一个软启动流程。如果再次触发过电流, 则重复该循环, 直到故障消除。由于输出电压在输出电流变化过快时有可能触发过压保护, 所以模块可能进入闭锁模式。在此情况下, 模块需要重启。

频率同步和相锁环

SYNC 引脚有两个主要功能: 固定频率工作和外同步频率工作。ISL8225M 具有内部设定的 500kHz 固定频率。通过在 SYNC 引脚与 SGND 之间连接一个电阻器 (R_{SYNC}) 可将开关频率设置为大于 500kHz。要增加开关频率, 可按照图 31 所示的频率设置曲线选择一个外部连接电阻器 R_{SYNC} 连接在 SYNC 至 SGND 之间。常用频率下的 R_{SYNC} 表 1。

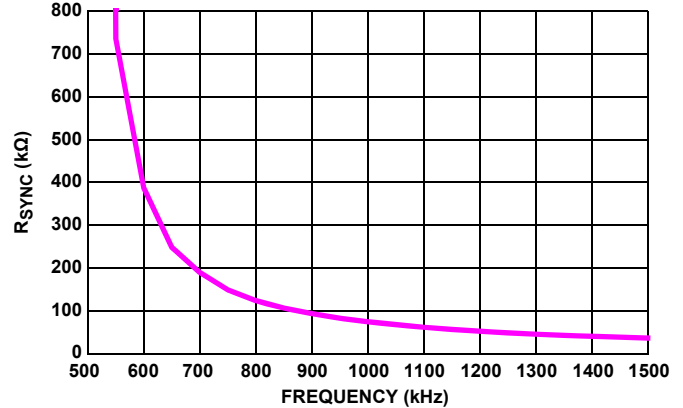


图 31. R_{SYNC} - 开关频率

将 SYNC 引脚连接至外部方波信号 (如来自另外一个 ISL8225M 的 CLKOUT 信号, 通常为 50% 占空比的方波) 可将 ISL8225M 的开关频率同步到输入波形的基频。同步频率的范围为 150kHz - 1500kHz。所施加的方波脉冲建议高电平范围为 3V 至 $V_{CC}+0.3\text{V}$ 。频率同步功能可同步 CLKOUT 信号的上升沿与通道 1 的 PWM 信号的下降沿。CLKOUT 在 PLL 锁定前不可用。不建议在 SYNC 引脚上使用电容器。

锁定时间通常为 130 μs 。EN 状态会保持一个软启动周期不释放, 直到 SYNC 稳定且 PLL 锁定。建议在多相配置中将所有 EN 引脚连到一起。

同步信号丢失 13 个时钟周期会导致模块被禁用, 直到 PLL 返回锁定状态, 此时会开启一个软启动周期, 然后模块继续正常工作。SYNC 保持低电平会禁用模块。请注意, 同步信号的快速变化可能导致模块关断。

跟踪功能

如果 $CLKOUT$ 小于 $800mV$ ，可将一个外部软启动斜坡电路 ($0.6V$) 与通道 2 内部软启动斜坡电路并联起来，以支持跟踪应用。因此，通道 2 的输出电压可跟踪通道 1 的输出电压。

跟踪功能可应用于典型双数据率 (DDR) 内存应用，如第 13 页上的图 20 所示。通道 2 的输出电压 (典型 V_{TT} 输出) 跟踪 $CLKOUT$ 引脚上的输入电压 [来自通道 1 的典型 $V_{DDQ} \cdot (1+k)$]。对于外部输入信号和内部参考信号 (斜坡和 $0.6V$)，其中电压值最低的一个被用作与 FB 信号进行比较的参考。在 DDR 配置中， V_{TT} 通道应当稍晚启动，时间在其内部软启动斜坡电路之后，使 V_{TT} 能够跟踪从 V_{DDQ} 产生的 $CLKOUT$ 引脚上的电压。此配置可通过在 $EN/FF1$ 比在 $EN/FF2$ 添加更多滤波来实现。

图 20 中 $R7/R8$ 的电阻分压器比率 (k) 按照式 7 来计算：

$$k = \frac{V_{TT}}{0.6V} - 1 \quad (EQ. 7)$$

模式编程

ISL8225M 可通过编程来实现双输出、并联单输出或混合输出 (通道 1 并联，通道 2 双输出) 模式。对于多个 ISL8225M 的情况，亦即最多 6 个使用其内部级联时钟信号控制的模块并联使用，可提供高达 $180A$ 的大电流。完整的工作状态，请参见第 18 页上的表 3。表 5 所列为常用设置。

表 5. 相移设置

工作模式	通道间的相差	VSEN2-	VSEN2+	CLKOUT	MODE
双输出 (图 18)	180°	N/C	N/C	VCC	N/C
30A (图 19)	180°	VCC	N/C	N/C	SGND
60A (图 22)	90°	VCC	VCC	N/C	VCC
90A (图 24)	60°	VCC	N/C	N/C	SGND

当模块在双输出条件下时，根据 $CLKOUT$ 引脚上的电压水平 (通过 V_{CC} 电阻分压器输出来设置)，ISL8225M 的工作相位差按照表 6 所示的 $CLKOUT$ 电压来得到。当 V_{CC} 电压上升到高于 POR 时，相移被锁定；其不能动态变化。

表 6. 双输出条件下的 $CLKOUT$ 编程相移

CLKOUT 设置电压	相对于通道 1 的 CLKOUT 相位	建议 CLKOUT 电压
<29% 的 V_{CC}	-60°	15% V_{CC}
29% 的 45% of V_{CC}	90°	37% V_{CC}
45% 的 62% of V_{CC}	120°	53% V_{CC}
62% 的 V_{CC}	180°	V_{CC}

布局指南

要想实现稳定的工作、低损耗和良好的热性能，需要在布局上进行一些考虑 (图 32)。

- $VOUT1$ 、 $VOUT2$ 、 $PHASE1$ 、 $PHASE2$ 、 $PGND$ 、 $VIN1$ 和 $VIN2$ 应当有大而坚实的平面层。布置充足的过热孔来连接模块下面或周围不同层中的电源平面。
- 在 VIN 、 $VOUT$ 和 $PGND$ 之间布置高频陶瓷电容器，位置尽可能接近模块，以便最小化高频噪声。
- 使用远端采样来补偿跟踪来实现低误差输出电压调节，并使采样迹线相互平行且接近。
- $PHASE1$ 和 $PHASE2$ 焊盘是会产生开关噪声的开关节点。使这些焊盘位于模块的下面。对于对噪声敏感的应用，建议使 $PHASE$ 焊盘仅位于印刷电路板的顶层和内层。同时，不要在印刷电路板的底层上布置暴露在外的 $PHASE$ 铺铜。
- 避免在 $PHASE$ 引脚附近布置任何对噪声敏感的信号迹线，如 $VSEN+$ 、 $VSEN-$ 、 $ISHARE$ 、 $COMP$ 和 V_{MON} 感测点。
- 对连接至信号接地引脚的元件使用单独的 $SGND$ 接地铜区。如图 32 所示，使用位于同一位置多个过孔在模块下面将 $SGND$ 连接至 $PGND$ ，以避免噪声耦合。不要对由 VIN 、 $PHASE$ 和 $VOUT$ 的有噪声平面层围绕的过孔接地。对于双输出应用， $SGND$ 至 $PGND$ 过孔应当尽可能接近 $SGND$ 引脚。
- 如图 32 所示，可选缓冲器应当放在电板布局的底面，连接 $PHASE$ 至 $PGND$ 平面。

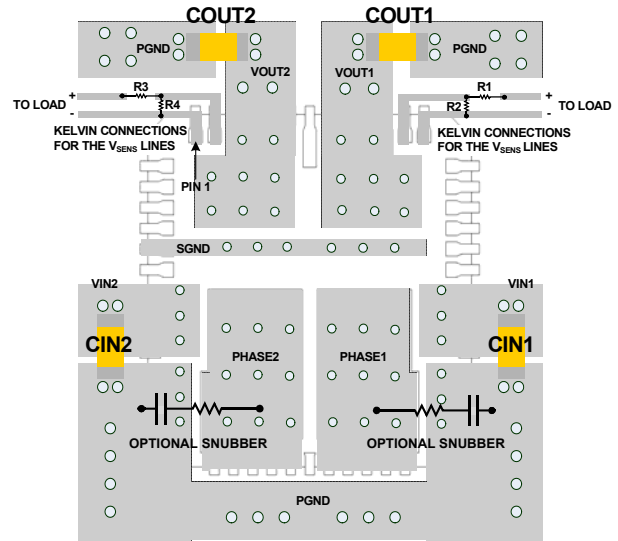


图 32. 建议布局

电流降额

实验功率损耗曲线（图 33 和 34）与来自热建模分析的 θ_{JA} 可用于评估模块的热性能。降额曲线是从维持最大结温在 $+120^{\circ}\text{C}$ 以下所容许的最大功耗得到的（图 35 - 40）。 $+120^{\circ}\text{C}$ 最大结温可以保证模块持续承载电流，并且其提供 5°C 的安全余量（额定结温为 $+125^{\circ}\text{C}$ ）。需要时客户可按照实际应用对安全余量进行调整。所有额定值下降曲线都是从对 ISL8225MEVAL4Z 评估板的测试获得的。在实际实用中，还应当考虑其他热源和设计余量。

封装说明

ISL8225M 采用方形扁平无引线封装 (QFN)。这种封装有许多优点，如良好的导热性和导电性、轻重量以及小尺寸。QFN 封装适用于表面贴装技术并且在业内日益流行。ISL8225M 内部包含多种器件类型，如电阻器、电容器、电感器及控制电路。ISL8225M 封装基于铜引线框架，带有裸露铜质热焊盘，具有良好的导电性和导热性。铜引线框架和多元件使用聚合物注塑工艺进行封装，以保护这些器件。

第 28 页上的 L26.17x17 封装轮廓图显示了封装轮廓、典型印刷电路板布局模式以及典型焊锡模板图样。图 41 显示了典型回流焊曲线参数。这些准则是通用设计规则。用户可根据具体应用对参数进行修改。

PCB 布局模式设计

ISL8225M 的底部是引线框架占位区，其通过表面贴装技术附在印刷电路板上。第 28 页上的 L26.17x17 封装轮廓图显示了印刷电路板布局模式。印刷电路板布局模式与 QFN 裸露焊点及 I/O 引脚尺寸基本上是 1:1 关系，例外的是印刷电路板焊盘比 QFN 引脚长约 0.2mm（最大 0.4mm）。这一延长允许在封装边缘周围

填充焊料，并确保具有更完整和可检查的焊接点。印刷电路板布局上的散热焊盘应当与封装裸露芯片焊点 1:1 匹配。

热过孔

应当在散热焊盘的下面布置一个间距为 1.0mm - 1.2mm 的热过孔网络，其降落并连接至埋入的铜平面层。过孔直径应当约为 0.3mm - 0.33mm，管状孔壁上镀有约 2.0 盎司铜。尽管添加更多过孔（通过减小孔距）可改善热性能，但随着添加更多过孔，效果也会减弱。实际设计中只须按照散热焊盘尺寸以及电路板设计规则的允许使用尽可能多的过孔。

焊锡模板设计

I/O 焊盘上的回流焊接点应当有大约 $50\mu\text{m} - 75\mu\text{m}$ (2mil - 3mil) 高度。锡膏模板设计是形成最优化和可靠焊接点的第一步。模板开孔尺寸与焊盘尺寸之比通常应当为 1:1。开孔宽度可稍微减小，以帮助防止在相邻 I/O 焊盘之间形成锡桥。

为减少较大散热焊盘使用的锡膏量，建议使用由多个较小开孔组成的阵列而不是使用一个大开孔。焊锡模板印制面积应当覆盖印刷电路板布局模式的 50% - 80%。第 28 页上的 L26.17x17 封装轮廓图显示了一种典型的焊锡模板模式。焊点之间的间隙宽度为 0.6mm。在设计焊点时应当考虑整体模板模式的对称性。

建议使用带有电解抛光梯形壁的激光切割不锈钢模板。电解抛光可使开孔壁光滑，从而减小表面摩擦和实现更佳的锡膏释放，这可以减少空隙。使用梯形剖面开孔 (TSA) 也有助于锡膏释放和形成像砖块一样的锡膏沉积，这有助于使元件放置牢固。建议对这种大间距 (1.0mm) QFN 封装使用 0.1mm - 0.15mm 模板厚度。

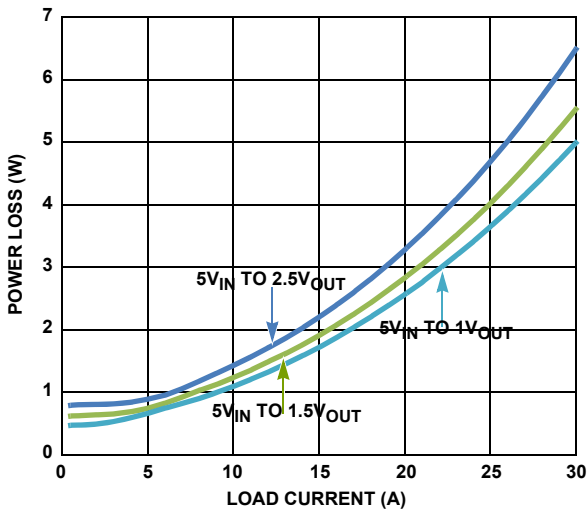


图 33. $5V_{IN}$ 的功率损耗曲线

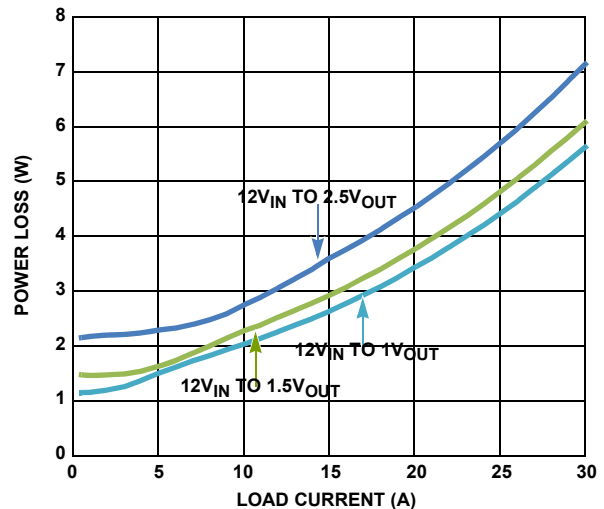


图 34. $12V_{IN}$ 的功率损耗曲线

降额曲线

以下曲线以 $T_j = +120^\circ\text{C}$ 为条件。

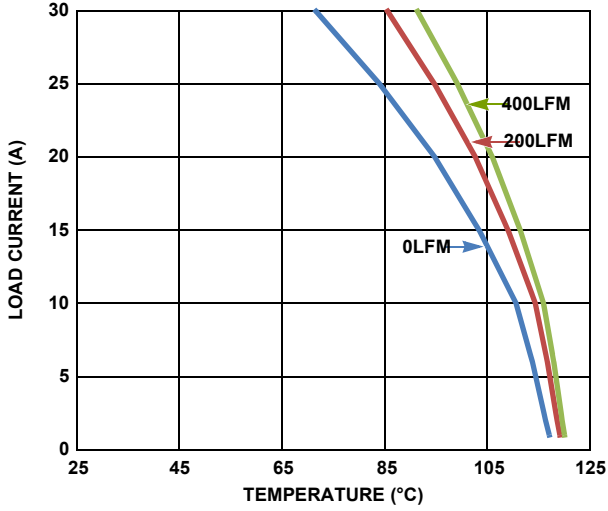


图 35. 降额曲线 $5V_{IN} - 1V_{OUT}$

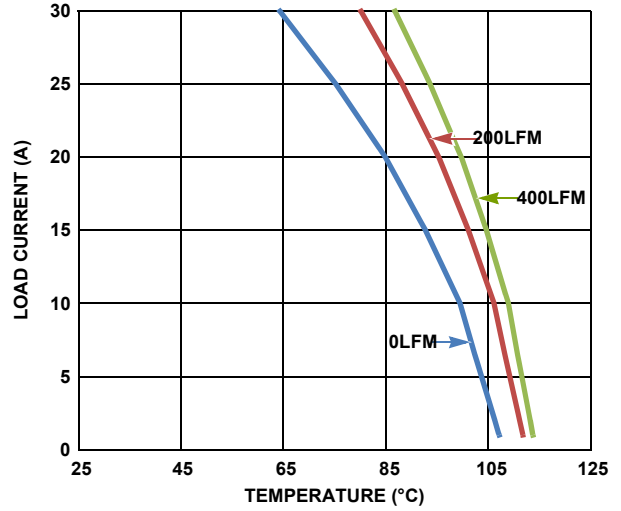


图 36. 降额曲线 $12V_{IN} - 1V_{OUT}$

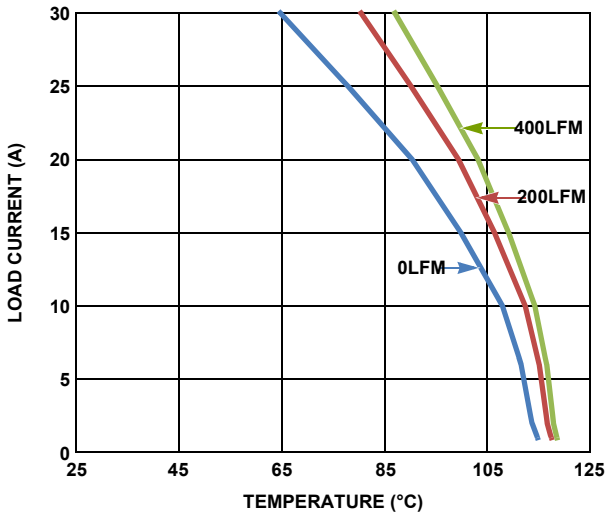


图 37. 降额曲线 $5V_{IN} - 1.5V_{OUT}$

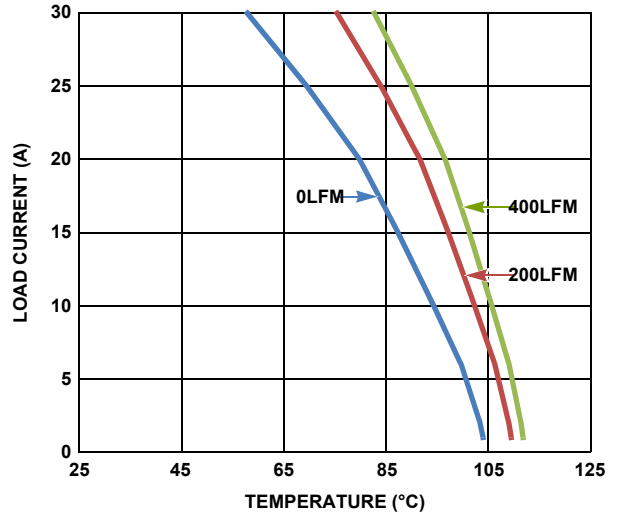


图 38. 降额曲线 $12V_{IN} - 1.5V_{OUT}$

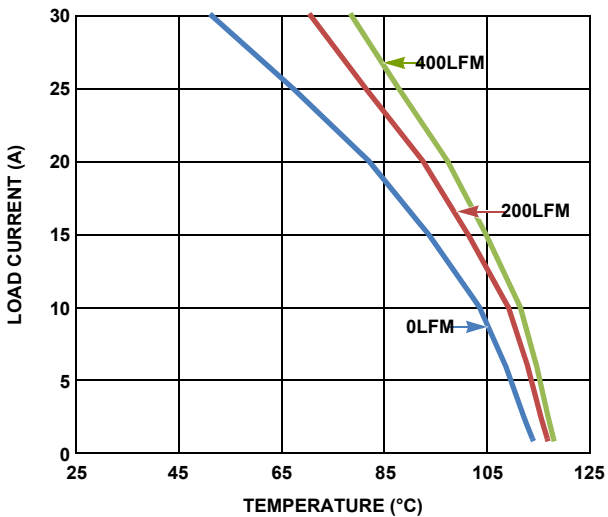


图 39. 降额曲线 $5V_{IN} - 2.5V_{OUT}$

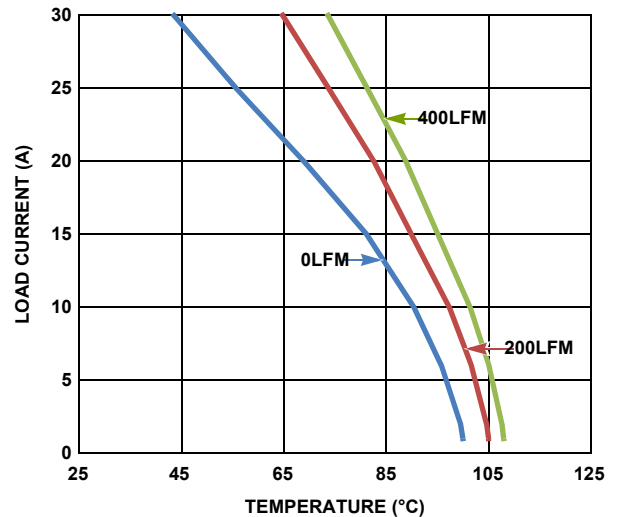


图 40. 降额曲线 $12V_{IN} - 2.5V_{OUT}$

回流焊参数

由于 QFN 封装的低贴装高度，建议按照 ANSI/J-STD-005 使用 "免清洗" (No Clean) Type 3 锡膏。同时建议在回流焊期间使用氮气吹洗。系统板回流焊曲线取决于完全加热板子的热量，所以只对 QFN 封装定义具体的焊接曲线是不切实际的。图 41 中的曲线用作准则，可对不同制造情况 and 应用进行定制。

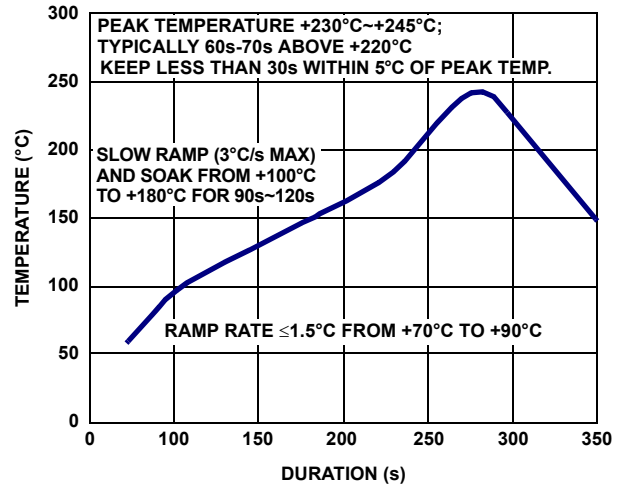


图 41. 典型回流焊曲线

修订历史

修订历史仅供参考，其应当是准确的但不保证一定准确。请访问网站以确保您所参考的是最新版本。

日期	版本	改动
January 4, 2013	FN7822.1	参见第 6 页上的“热信息”： Changed “Maximum Storage Temperature Range” from “-40°C to +150°C” to “-55°C to +150°C” 参见第 19 页上的“输入电容器选择”： Added “f _{SW} ” to Equation 2. Added “f _{SW} is the switching frequency (Hz)”
2012 年 12 月 3 日	FN7822.0	第一次发布

关于 Intersil

Intersil 公司是高性能模拟、混合信号与电源管理半导体设计与制造领域的领导者。公司的产品主要应用于增长最快的市场，如工业和基础设施、个人电脑和高端消费市场。欲了解关于 Intersil 的更多信息，或者了解如何成为我们优秀团队的成员，请访问公司网站：www.intersil.com。

完整的应用、相关文档及相关产品清单请参见相应产品信息页。同时请查对产品信息页以确保您参考的是最新产品介绍：[ISL8225M](http://www.intersil.com)

欲报告该产品介绍中的错误或提供意见与建议，请访问：www.intersil.com/askourstaff

我们的网站还提供可靠性报告：<http://rel.intersil.com/reports/search.php>

欲了解更多产品请访问 www.intersil.com/en/products.html

Intersil 产品依据 ISO9000 质量体系制造、组装和测试，质量证书请参见 www.intersil.com/en/support/qualandreliability.html

Intersil 所售产品以产品说明为准。Intersil 公司保留在任何时间自行更改电路设计、软件和/或规格的权利。因此，读者在下订单前应当查证产品介绍是最新的。Intersil 提供的信息应当是准确和可靠的。但 Intersil 或其子公司对这些信息的使用，以及因为该使用而导致的侵犯第三方的专利权或其他权利概不负责。本文不暗中或以其他方式授予涉及 Intersil 或其子公司的任何专利或专利权的许可。

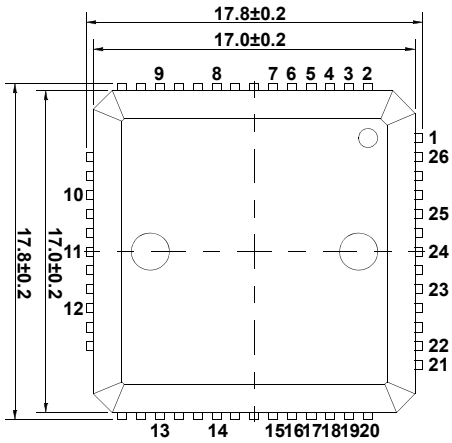
欲知有关 Intersil 公司及其产品的更多信息，请访问 www.intersil.com

ISL8225M

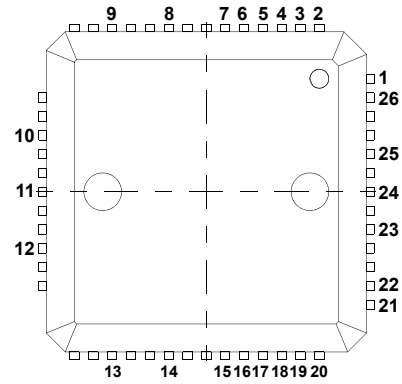
封装轮廓图

L26.17x17

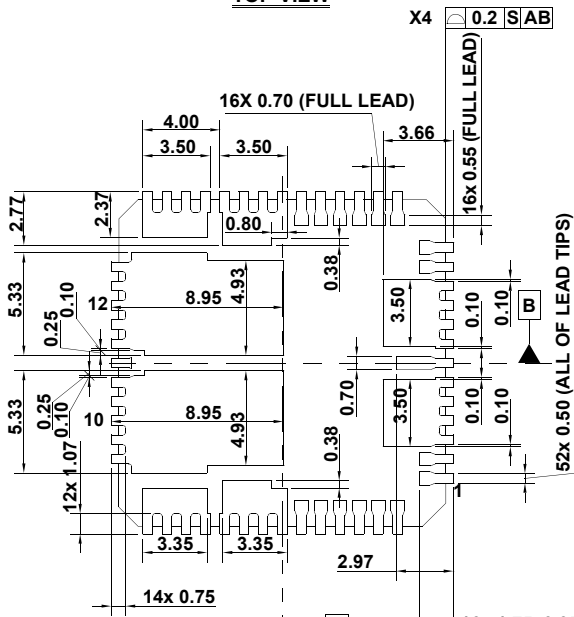
26 引线方形扁平无铅塑料封装 (冲孔 QFN), Rev 4, 10/12



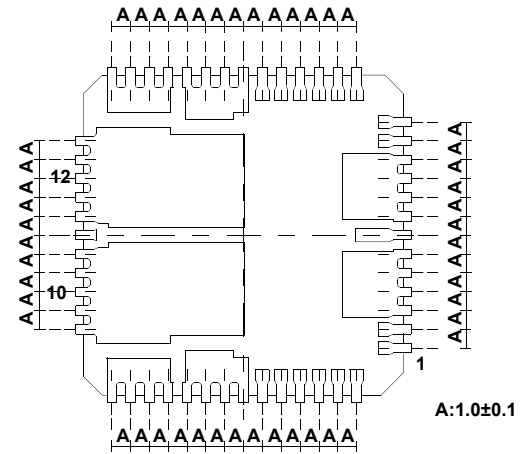
TOP VIEW



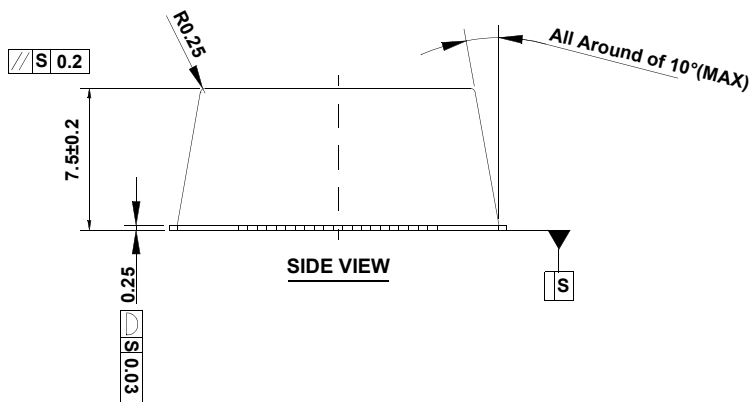
PIN NO. DEFINITION (TOP VIEW)



BOTTOM VIEW



PIN-TO-PIN DISTANCE (BOTTOM VIEW)



SIDE VIEW

