

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

概 要

M16C/30グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したシングルチップマイクロコンピュータです。

M16C/30グループは内蔵するメモリの容量、パッケージの異なる複数の品種があります。

特 長

メモリ容量	ROM (ROM展開の図を参照してください) RAM 2Kバイト、3Kバイト
最短命令実行時間	62.5ns($f(XIN)=16\text{MHz}$ 、 $VCC=5V$) 100ns($f(XIN)=10\text{MHz}$ 、1ウエイト、 $VCC=3V$)
電源電圧	4.2V ~ 5.5V($f(XIN)=16\text{MHz}$ 、ウエイトなし) 2.7V ~ 5.5V($f(XIN)=10\text{MHz}$ 、1ウエイト)
低消費電力	25.5mW($VCC=3V$ 、 $f(XIN)=10\text{MHz}$ 、1ウエイト)
割り込み	内部16要因、外部5要因、ソフトウェア4要因、7レベル (キー入力割り込みを含む)
多機能16ビットタイマ	出力系3本 + 入力系2本
シリアルI/O.....	3本(UART/クロック 同期 3本)
DMAC	1チャンネル(スタート条件:14要因)
A-D変換器	10ビット×8チャンネル(最大10チャンネルまで拡張可)
監視タイマ	1本
プログラマブル入出力ポート.....	87本
入力ポート	1本(P85、 \overline{NMI} 端子と兼用)
メモリ拡張	可能(最大1Mバイトのメモリ空間で拡張可能)
チップセレクト出力.....	4本
クロック発生回路	2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)

応 用

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

目 次

中央演算処理装置	11	DMAC	65
リセット	14	タイマ	74
プロセッサモード	21	シリアルI/O	92
クロック発生回路	34	A-D変換器	129
プロテクト	43	プログラマブル入出力ポート	135
割り込み	44	電気的特性	145
監視タイマ	63		

概要

ピン接続図

図1.1.1および図1.1.2にピン接続図(上面図)を示します。

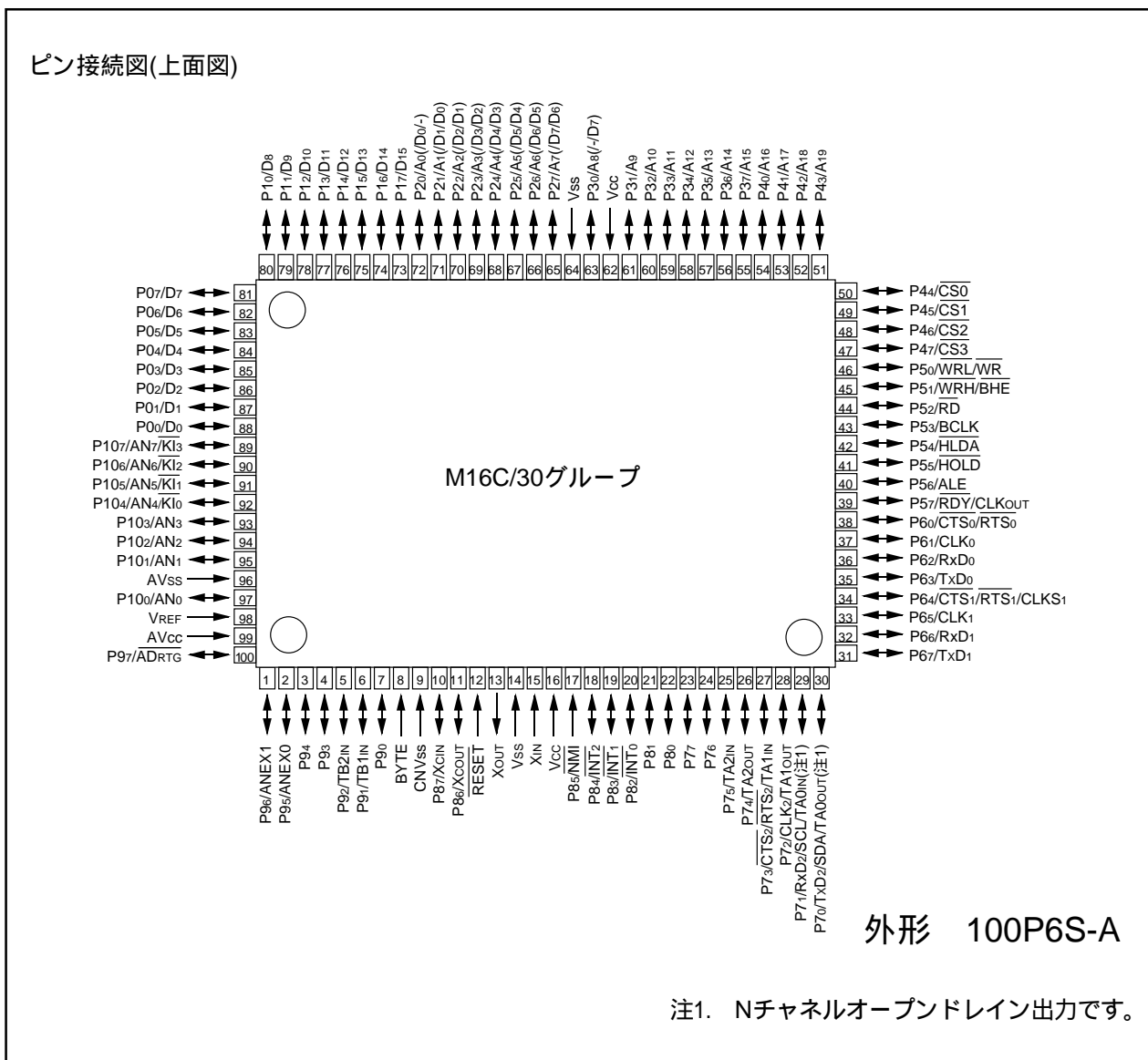


図1.1.1. ピン接続図(上面図)

概要

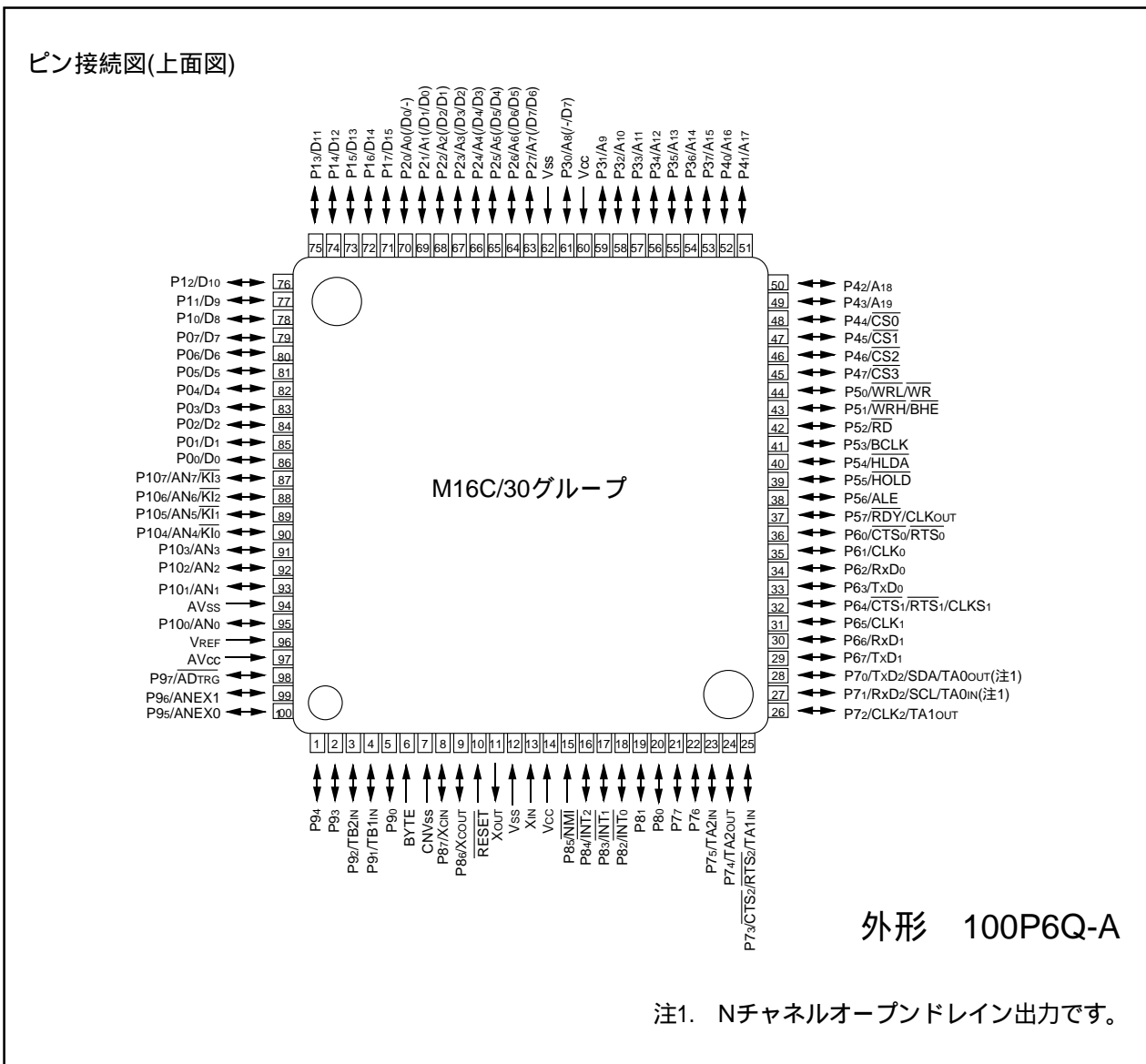


図1.1.2. ピン接続図(上面図)

概要

ブロック図

図1.1.3にM16C/30グループのブロック図を示します。

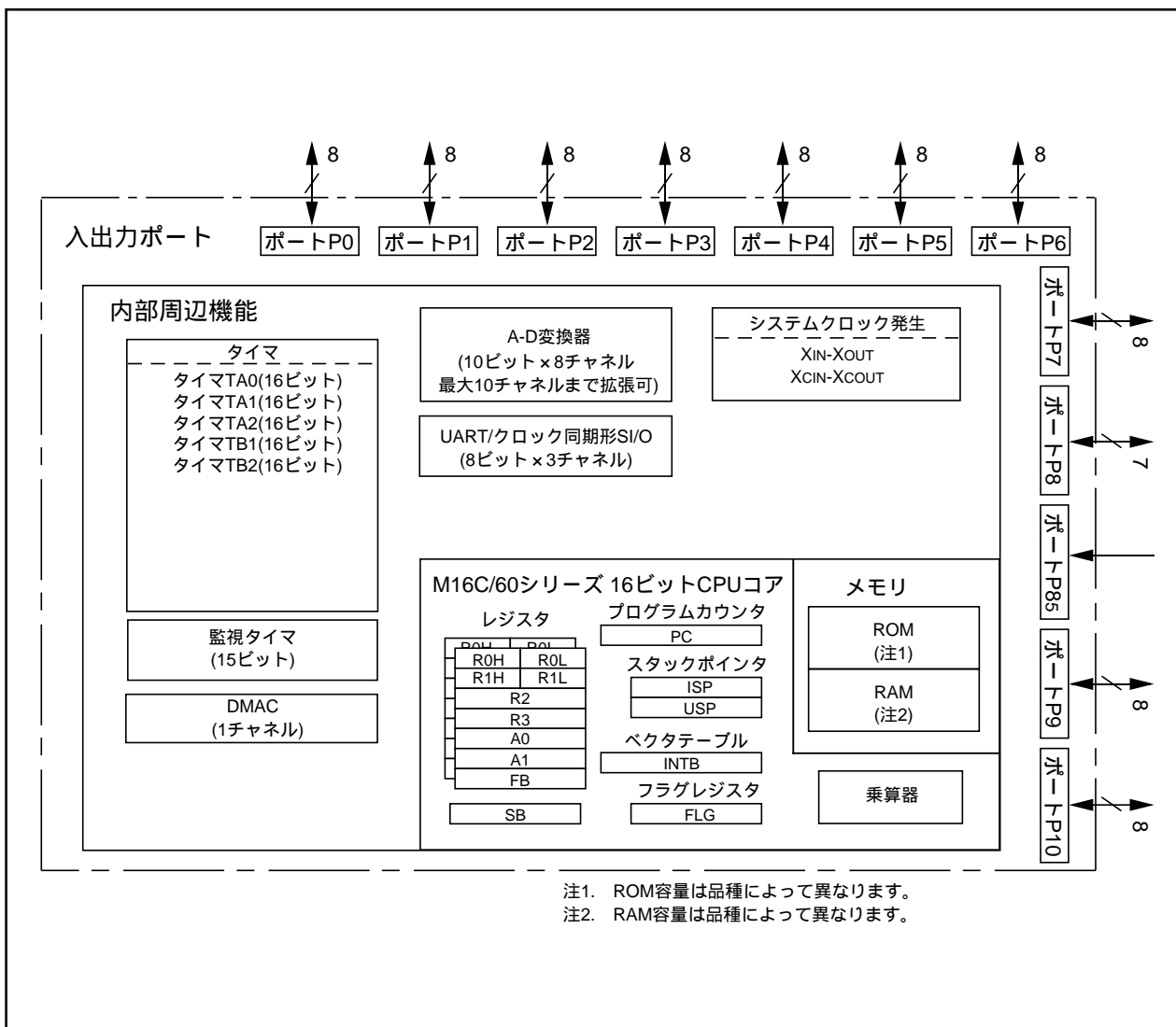


図1.1.3. M16C/30グループのブロック図

概 要

性能概要

表1.1.1にM16C/30グループの性能概要を示します。

表1.1.1. M16C/30グループの性能概要

項 目		性 能
基本命令数		91命令
最短命令実行時間		62.5ns($f(X_{IN})=16\text{MHz}$ 、 $V_{CC}=5\text{V}$) 100ns($f(X_{IN})=10\text{MHz}$ 、1ウエイト、 $V_{CC}=3\text{V}$)
メモリ容量	ROM	ROM展開の図を参照してください
	RAM	2Kバイト、3Kバイト
入出力ポート	P0 ~ P10(ただしP85は除く)	8ビット×10、7ビット×1
入力ポート	P85	1ビット×1
多機能タイマ	TA0,TA1,TA2	16ビット×3
	TB1,TB2	16ビット×2
シリアルI/O	UART0,UART1,UART2	(UARTまたはクロック同期形)×3
A-D変換器		10ビット×(8+2)チャンネル
DMAC		1チャンネル(スタート条件:14要因)
監視タイマ		15ビット×1(プリスケアラ付)
割り込み		内部16要因、外部5要因、ソフトウェア4要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)
電源電圧		4.2V ~ 5.5V($f(X_{IN})=16\text{MHz}$ 、ウエイトなし) 2.7V ~ 5.5V($f(X_{IN})=10\text{MHz}$ 、1ウエイト)
消費電力		25.5mW($V_{CC}=3\text{V}$ 、 $f(X_{IN})=10\text{MHz}$ 、1ウエイト)
入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		可能(最大1Mバイトのメモリ空間で拡張可能)
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP

概 要

M16C/30グループでは次のような展開を計画しています。

- (1) マスクROM版
- (2) ROM容量
- (3) パッケージ
 - 100P6S-A プラスチックモールドQFP
 - 100P6Q-A プラスチックモールドQFP

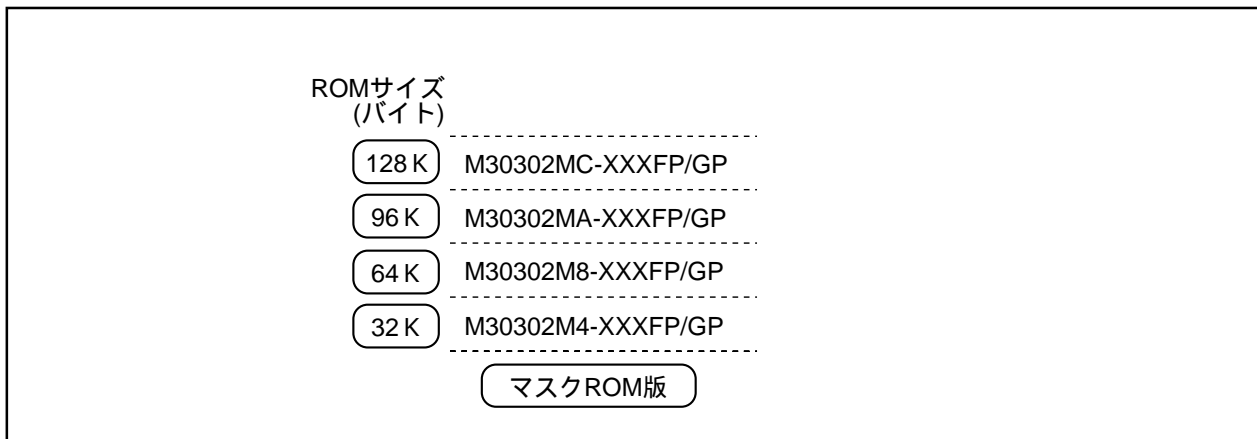


図1.1.4. ROM展開

サポートを行う予定の製品を以下に示します。

表1.1.2. 製品一覧表

2002年6月現在

形 名	ROM容量	RAM容量	パッケージ	備 考
M30302M4-XXXFP	32Kバイト	2Kバイト	100P6S-A	マスクROM版
M30302M4-XXXGP			100P6Q-A	
M30302M8-XXXFP	64Kバイト		100P6S-A	
M30302M8-XXXGP			100P6Q-A	
M30302MA-XXXFP	96Kバイト	3Kバイト	100P6S-A	
M30302MA-XXXGP			100P6Q-A	
M30302MC-XXXFP	128Kバイト		100P6S-A	
M30302MC-XXXGP			100P6Q-A	

: 開発中

: 新製品

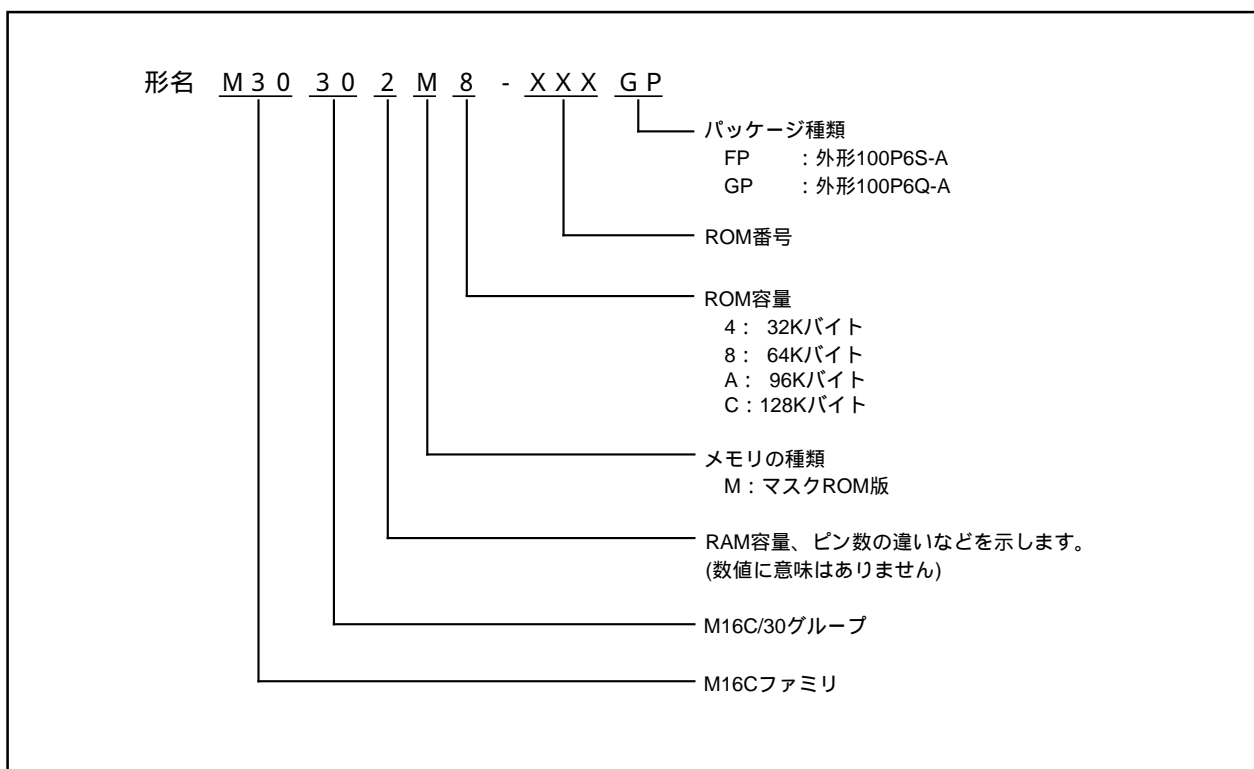


図1.1.5. 形名とメモリサイズ・パッケージ

端子の機能説明

端子の機能説明

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCC端子には、2.7V～5.5Vを印加してください。VSS端子には、0Vを印加してください。
CNVSS	CNVSS	入力	プロセッサモードを切り替えるための端子です。リセット解除後、シングルチップモード（メモリ拡張モード）で動作を開始する場合VSS端子に、マイクロプロセッサモードで動作を開始する場合VCC端子に接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
BYTE	外部データバス幅 切り替え入力	入力	外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。外部データバスを使用しない場合、VSS端子に接続してください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。VCC端子に接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。VSS端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
P00～P07	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。 シングルチップモードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。メモリ拡張モード、マイクロプロセッサモードでは、内蔵プルアップ抵抗は選択できません。
D0～D7		入出力	セパレートバス設定時データ(D0～D7)の入出力を行います。
P10～P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
D8～D15		入出力	セパレートバス設定時データ(D8～D15)の入出力を行います。
P20～P27	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A0～A7		出力	アドレスの下位8ビット(A0～A7)の出力を行います。
A0/D0～ A7/D7		入出力	外部データバス幅が8ビットでマルチプレクスバス設定時、データ(D0～D7)の入出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
A0 A1/D0～ A7/D6		出力 入出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D0～D6)の入出力と、アドレス(A1～A7)の出力を時分割で行います。また、アドレス(A0)の出力を行います。
P30～P37	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A8～A15		出力	アドレスの中位8ビット(A8～A15)の出力を行います。
A8/D7、 A9～A15		入出力 出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D7)の入出力と、アドレス(A8)の出力を時分割で行います。また、アドレス(A9～A15)の出力を行います。
P40～P47	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A16～A19、 CS0～CS3		出力 出力	A16～A19、CS0～CS3信号を出力します。A16～A19はアドレスの上位4ビットです。CS0～CS3はチップセレクト信号でアクセス空間の指定に使用します。

端子の機能説明

端子の機能説明

端子名	名称	入出力	機能
P50 ~ P57	入出力ポートP5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード時、ソフトウェアで選択することによって、P57からXINの8分周、32分周または、XCINと同じ周期をもつクロックを出力します。
$\overline{WRL}/\overline{WR}$ 、 $\overline{WRH}/\overline{BHE}$ 、 \overline{RD} 、 \overline{BCLK} 、 \overline{HLDA} 、 \overline{HOLD} 、 \overline{ALE} 、 \overline{RDY}		出力 出力 出力 出力 入力 出力 入力	\overline{WRL} 、 \overline{WRH} 、 $(\overline{WR}, \overline{BHE})$ 、 \overline{RD} 、 \overline{BCLK} 、 \overline{HLDA} 、 \overline{ALE} 信号を出力します。なお、ソフトウェアによって \overline{WRL} 、 \overline{WRH} または、 \overline{BHE} 、 \overline{WR} を切り替えることができます。 \overline{WRL} 、 \overline{WRH} 、 \overline{RD} 選択時 外部データバス幅が16ビットの場合、 \overline{WRL} 信号が“L”レベルのとき偶数番地に、 \overline{WRH} 信号が“L”レベルのときは奇数番地に書き込みを行います。 \overline{RD} 信号が“L”レベルのとき読み出しを行います。 \overline{WR} 、 \overline{BHE} 、 \overline{RD} 選択時 \overline{WR} 信号が“L”レベルのとき書き込みを行います。 \overline{RD} 信号が“L”レベルのとき読み出しを行います。 \overline{BHE} 信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 \overline{HOLD} 端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、 \overline{HLDA} は“L”レベルを出力します。 \overline{ALE} はアドレスをラッチするための信号です。 \overline{RDY} 端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。
P60 ~ P67	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード、マイクロプロセッサモード、メモリ拡張モードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウェアで選択することによって、UART0、UART1の入出力端子として機能します。
P70 ~ P77	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです(ただし、P70およびP71はNチャネルオープンドレイン出力)。ソフトウェアで選択することによって、タイマA0 ~ A2、またはUART2の入出力端子として機能します。
P80 ~ P84、 P86、 P87、 P85	入出力ポートP8 入力ポートP85	入出力 入出力 入出力 入力	P80 ~ P84、P86、P87はP6と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによって、外部割り込みの入力端子として機能します。P86、P87はソフトウェアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、P86(XCOUT端子)とP87(XCIN端子)の間には水晶発振子を接続してください。P85はNMIと兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したときNMI割り込みが発生します。NMIの機能はソフトウェアで解除することはできません。この端子は、プルアップ抵抗は設定できません。
P90 ~ P97	入出力ポートP9	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによって、タイマB1、B2の入力端子、およびA-D変換器の拡張入力端子、A-Dトリガ入力端子として機能します。
P100 ~ P107	入出力ポートP10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによってA-D変換器の入力端子として機能します。また、P104 ~ P107はキー入力割り込み機能の入力端子としても機能します。

メモリ

機能ブロック動作説明

M16C/30グループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、DMAC、A-D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

メモリ

メモリ配置図を図1.3.1に示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

FFFFFF₁₆番地から番地の小さい方向にROMが配置されています。例えばM30302MC-XXXGPでは、E0000₁₆番地からFFFFFF₁₆番地まで128Kバイトの内部ROMが配置されています。

FFFDC₁₆番地からFFFFFF₁₆番地はリセットおよびNMIなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400₁₆番地から番地の大きい方向にRAMが配置されています。例えばM30302MC-XXXGPでは、00400₁₆番地から00FFF₁₆番地まで3Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000₁₆番地から003FF₁₆番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図1.6.1～図1.6.3に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00₁₆番地からFFFDB₁₆番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モードまたはマイクロプロセッサモード時、一部の領域は内部予約領域となっており使用できません。

- ・ 01800₁₆番地から03FFF₁₆番地(メモリ拡張モード時およびマイクロプロセッサモード時)
- ・ D0000₁₆番地からDFFFF₁₆番地(メモリ拡張モード時)

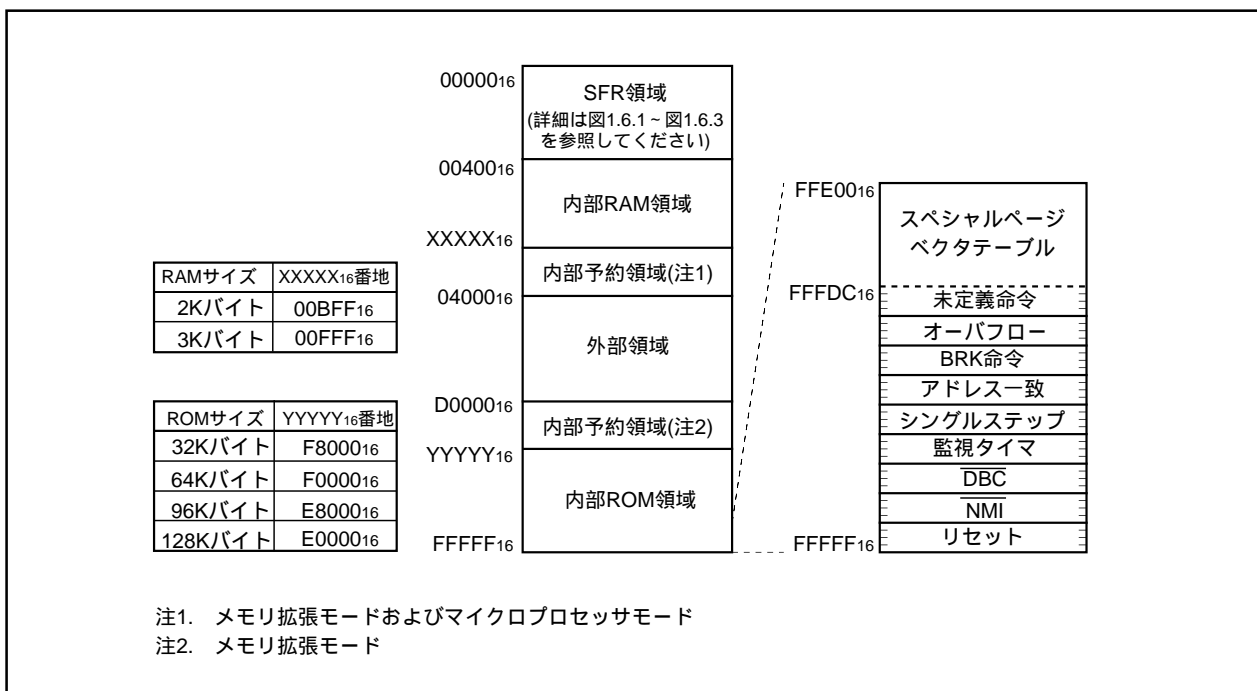


図1.3.1. メモリ配置図

中央演算処理装置

中央演算処理装置には図1.4.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

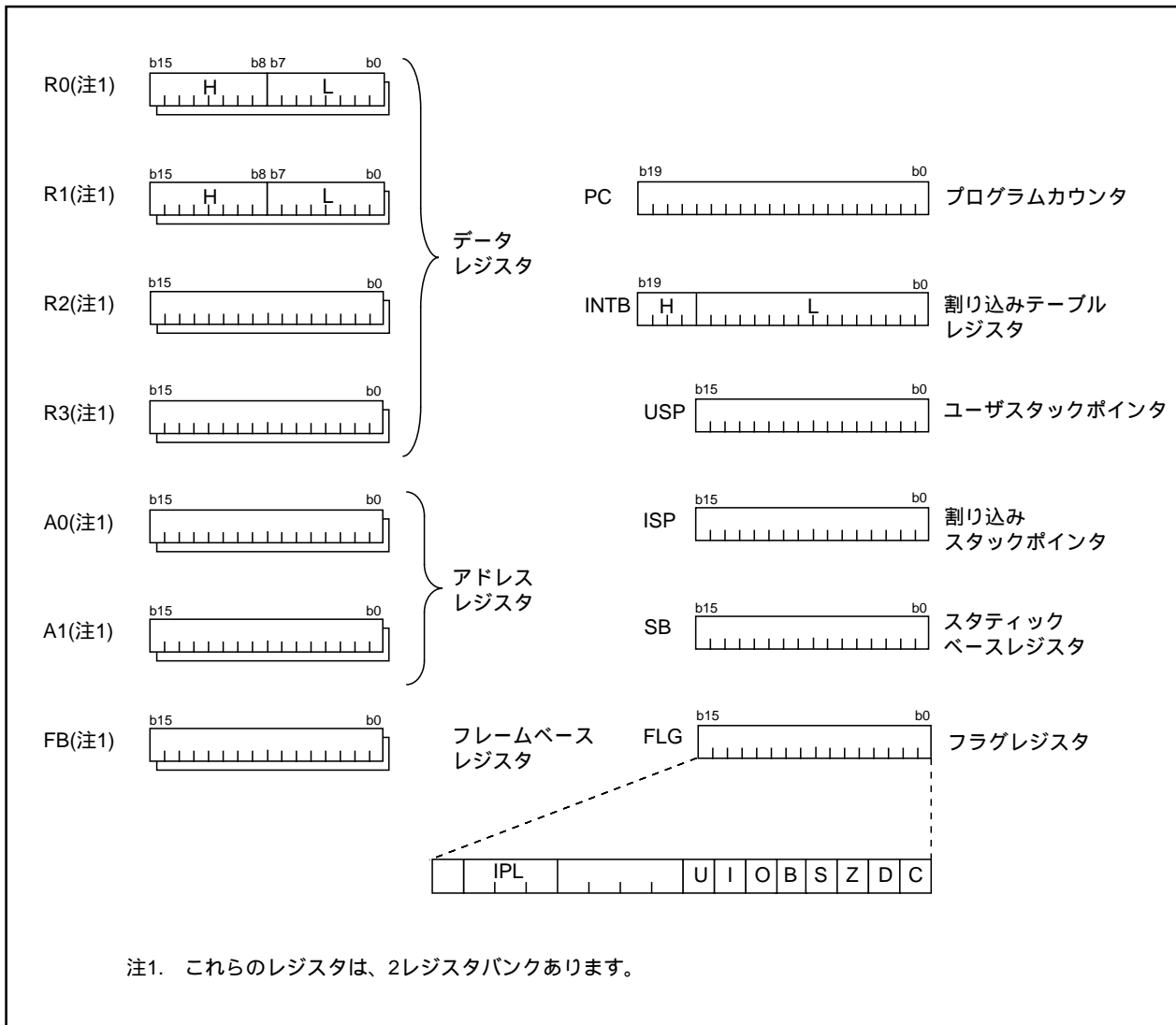


図1.4.1. 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0, R1, R2, R3)

データレジスタ(R0, R1, R2, R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0は、R0HとR0Lを別々に8ビットのデータレジスタとして使用することができます。R1は、R1HとR1Lを別々に8ビットのデータレジスタとして使用することができます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0, R3R1)としても使用できます。

(2) アドレスレジスタ(A0, A1)

アドレスレジスタ(A0, A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP, ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP, ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図1.4.2に示します。また、各フラグの機能を以下に示します。

ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

ビット6：割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

ビット8～ビット11：予約領域

ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。

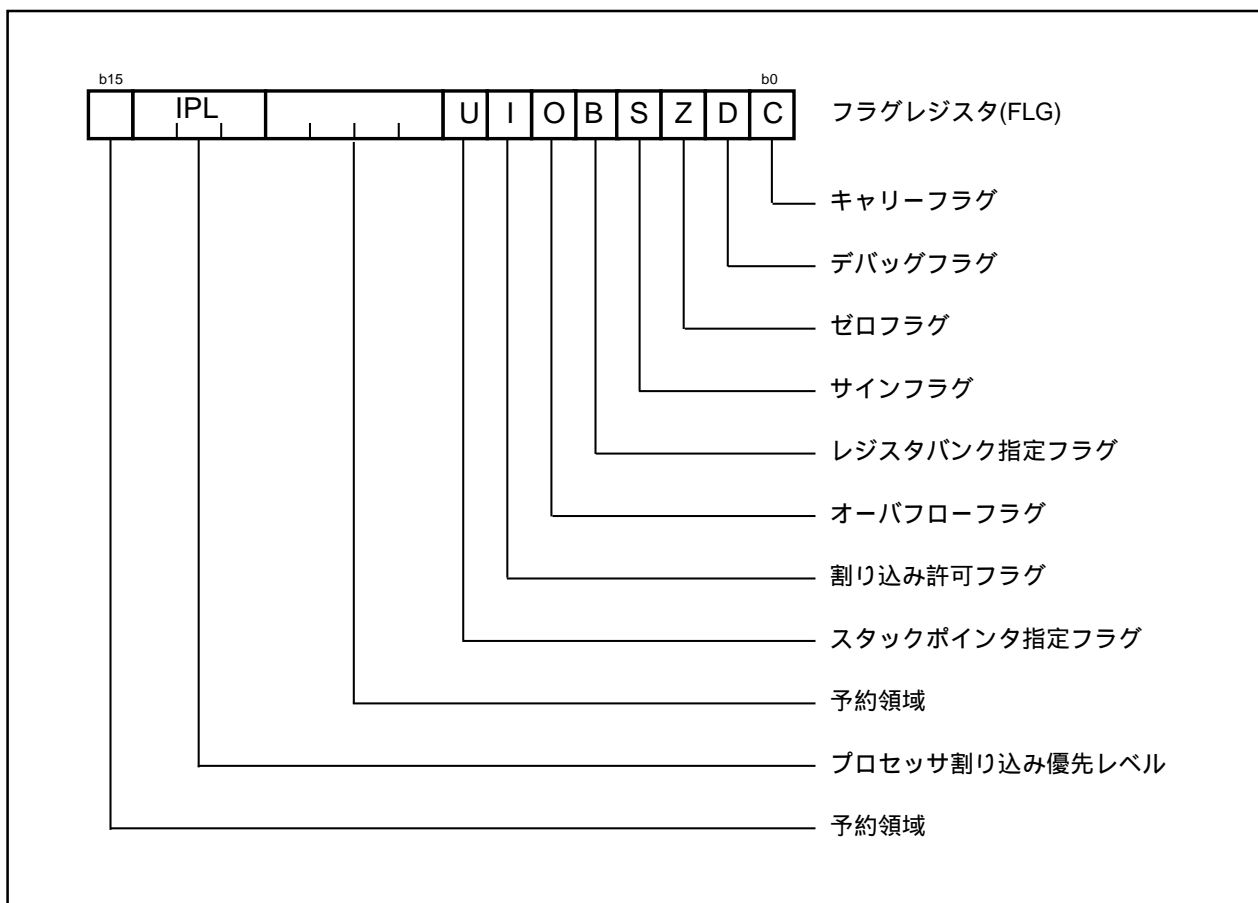


図1.4.2. フラグレジスタ(FLG)の構成

リセット

リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです(ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照)。この項では、ハードウェアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2V_{CC}以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

電源投入後、RAMは不定ですので、初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入ると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

リセット回路の一例を図1.5.1、リセットシーケンスを図1.5.2に示します。

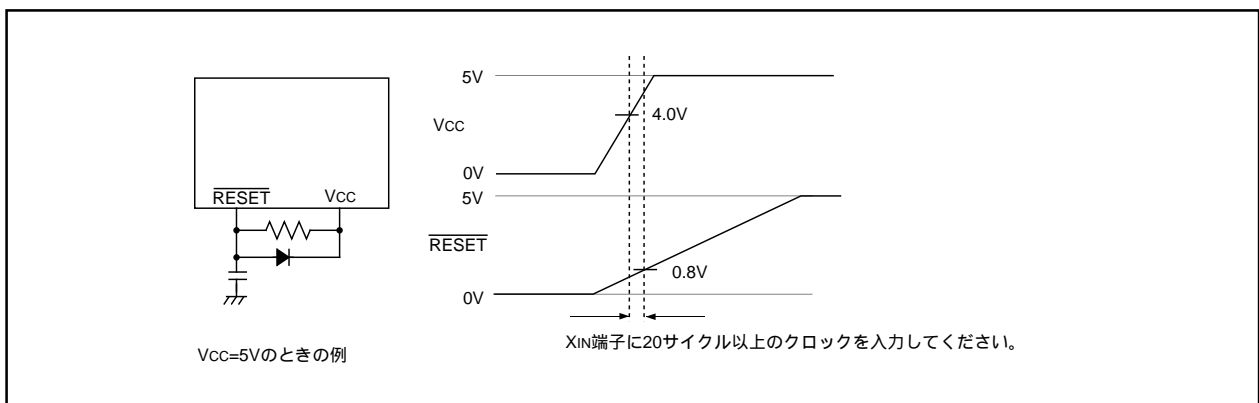


図1.5.1. リセット回路の一例

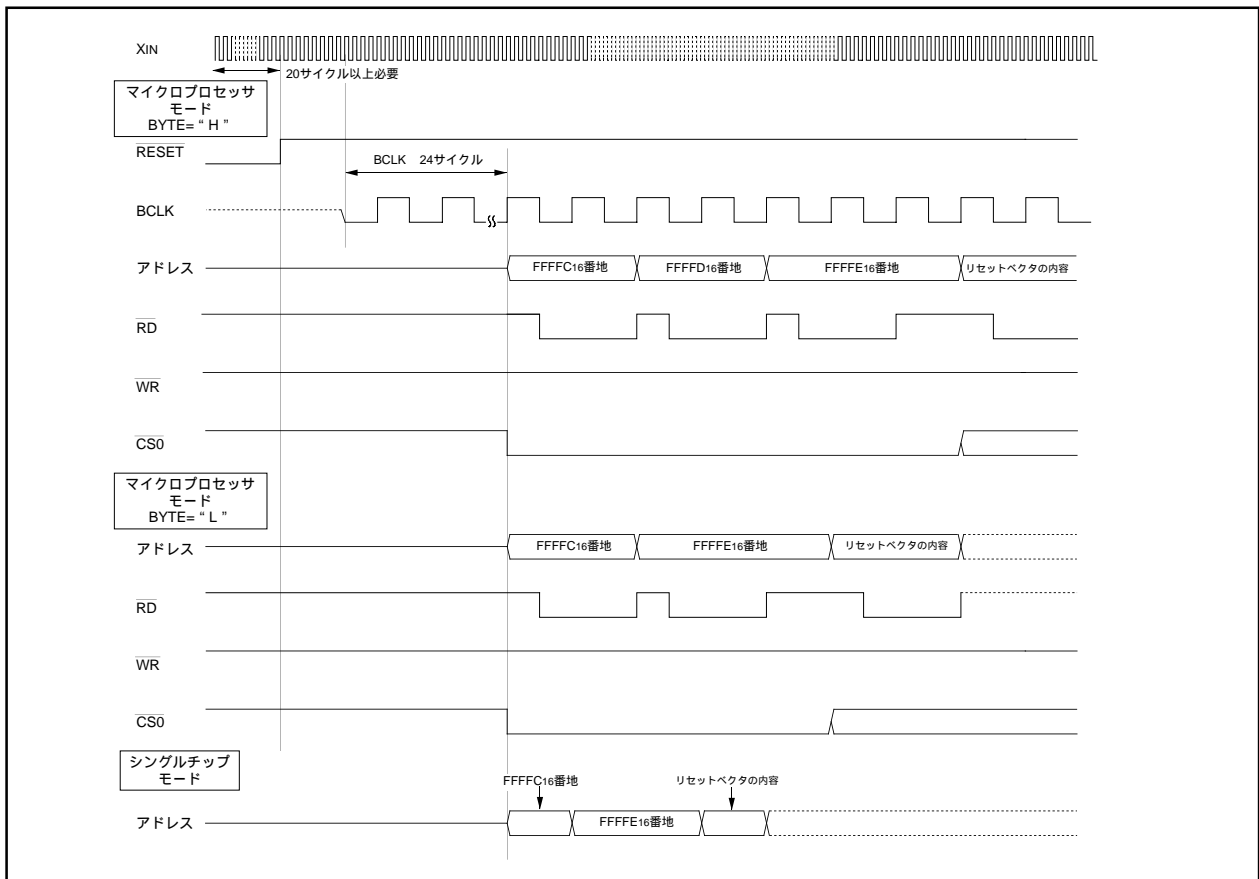


図1.5.2. リセットシーケンス

リセット

$\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を表1.5.1、リセット解除直後のマイクロコンピュータの内部状態を図1.5.3、図1.5.4に示します。

表1.5.1. $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, P40 ~ P43	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
P44	入力ポート(フローティング)	$\overline{\text{CS0}}$ 出力(“H”レベルを出力)	$\overline{\text{CS0}}$ 出力(“H”レベルを出力)
P45 ~ P47	入力ポート(フローティング)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)
P50	入力ポート(フローティング)	$\overline{\text{WR}}$ 出力(“H”レベルを出力)	$\overline{\text{WR}}$ 出力(“H”レベルを出力)
P51	入力ポート(フローティング)	$\overline{\text{BHE}}$ 出力(不定)	$\overline{\text{BHE}}$ 出力(不定)
P52	入力ポート(フローティング)	$\overline{\text{RD}}$ 出力(“H”レベルを出力)	$\overline{\text{RD}}$ 出力(“H”レベルを出力)
P53	入力ポート(フローティング)	BCLK出力	BCLK出力
P54	入力ポート(フローティング)	$\overline{\text{HLDA}}$ 出力(出力値はHOLD端子の 入力に依存)	$\overline{\text{HLDA}}$ 出力(出力値はHOLD端子の 入力に依存)
P55	入力ポート(フローティング)	$\overline{\text{HOLD}}$ 入力(フローティング)	$\overline{\text{HOLD}}$ 入力(フローティング)
P56	入力ポート(フローティング)	ALE出力(“L”レベルを出力)	ALE出力(“L”レベルを出力)
P57	入力ポート(フローティング)	$\overline{\text{RDY}}$ 入力(フローティング)	$\overline{\text{RDY}}$ 入力(フローティング)
P6, P7, P80 ~ P84, P86, P87, P9, P10	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)

リセット

(1) プロセッサモードレジスタ0(注1)	(0004 ₁₆)...	00 ₁₆	(20) UART1送信割り込み制御レジスタ	(0053 ₁₆)...	XXXX?000
(2) プロセッサモードレジスタ1	(0005 ₁₆)...	00000XXXX	(21) UART1受信割り込み制御レジスタ	(0054 ₁₆)...	XXXX?000
(3) システムクロック制御レジスタ0	(0006 ₁₆)...	01001000	(22) タイマA0割り込み制御レジスタ	(0055 ₁₆)...	XXXX?000
(4) システムクロック制御レジスタ1	(0007 ₁₆)...	00100000	(23) タイマA1割り込み制御レジスタ	(0056 ₁₆)...	XXXX?000
(5) チップセレクト制御レジスタ	(0008 ₁₆)...	00000001	(24) タイマA2割り込み制御レジスタ	(0057 ₁₆)...	XXXX?000
(6) アドレス一致割り込み許可レジスタ	(0009 ₁₆)...	XXXXXXXX00	(25) タイマB1割り込み制御レジスタ	(005B ₁₆)...	XXXX?000
(7) プロテクトレジスタ	(000A ₁₆)...	XXXXXXXX00	(26) タイマB2割り込み制御レジスタ	(005C ₁₆)...	XXXX?000
(8) 監視タイマ制御レジスタ	(000F ₁₆)...	000?? ??	(27) INT0割り込み制御レジスタ	(005D ₁₆)...	XX00?000
(9) アドレス一致割り込みレジスタ0	(0010 ₁₆)...	00 ₁₆	(28) INT1割り込み制御レジスタ	(005E ₁₆)...	XX00?000
	(0011 ₁₆)...	00 ₁₆	(29) INT2割り込み制御レジスタ	(005F ₁₆)...	XX00?000
	(0012 ₁₆)...	XXXX0000	(30) 割り込み要因選択レジスタ	(035F ₁₆)...	00 ₁₆
(10) アドレス一致割り込みレジスタ1	(0014 ₁₆)...	00 ₁₆	(31) UART2特殊モードレジスタ3(注2)	(0375 ₁₆)...	?
	(0015 ₁₆)...	00 ₁₆	(32) UART2特殊モードレジスタ2	(0376 ₁₆)...	00 ₁₆
	(0016 ₁₆)...	XXXX0000	(33) UART2特殊モードレジスタ	(0377 ₁₆)...	00 ₁₆
(11) DMA0制御レジスタ	(002C ₁₆)...	00000?00	(34) UART2送受信モードレジスタ	(0378 ₁₆)...	00 ₁₆
(12) バス衝突検出割り込み制御レジスタ	(004A ₁₆)...	XXXX?000	(35) UART2送受信制御レジスタ0	(037C ₁₆)...	00001000
(13) DMA0割り込み制御レジスタ	(004B ₁₆)...	XXXX?000	(36) UART2送受信制御レジスタ1	(037D ₁₆)...	00000010
(14) キー入力割り込み制御レジスタ	(004D ₁₆)...	XXXX?000	(37) カウント開始フラグ	(0380 ₁₆)...	00 ₁₆
(15) A-D変換割り込み制御レジスタ	(004E ₁₆)...	XXXX?000	(38) 時計用プリスケアラリセットフラグ	(0381 ₁₆)...	0XXXXXX
(16) UART2送信割り込み制御レジスタ	(004F ₁₆)...	XXXX?000	(39) ワンショット開始フラグ	(0382 ₁₆)...	00XX0000
(17) UART2受信割り込み制御レジスタ	(0050 ₁₆)...	XXXX?000	(40) トリガ選択レジスタ	(0383 ₁₆)...	00 ₁₆
(18) UART0送信割り込み制御レジスタ	(0051 ₁₆)...	XXXX?000	(41) アップダウンフラグ	(0384 ₁₆)...	00 ₁₆
(19) UART0受信割り込み制御レジスタ	(0052 ₁₆)...	XXXX?000			

x : このビットは何も配置されていません。
 ? : 不定です。

リセット解除後、これ以外のレジスタは不定ですので、初期値を設定してください。
 電源投入後、RAMは不定ですので、初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入ると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

注1. CNVss端子にVccレベルを印加しているときは、リセット時03₁₆になります。
 注2. UART2特殊モードレジスタ(0377₁₆番地)のビット7(SDDS)を " 1 " とした場合、00₁₆が読み出されます。

図1.5.3. リセット解除後のマイクロコンピュータの内部状態(1)

リセット

(42) タイマA0モードレジスタ	(0396 ₁₆)...	00 ₁₆	(62) ポートP4方向レジスタ	(03EA ₁₆)...	00 ₁₆
(43) タイマA1モードレジスタ	(0397 ₁₆)...	00 ₁₆	(63) ポートP5方向レジスタ	(03EB ₁₆)...	00 ₁₆
(44) タイマA2モードレジスタ	(0398 ₁₆)...	00 ₁₆	(64) ポートP6方向レジスタ	(03EE ₁₆)...	00 ₁₆
(45) タイマB1モードレジスタ	(039C ₁₆)...	0 0 0 ? X 0 0 0 0	(65) ポートP7方向レジスタ	(03EF ₁₆)...	00 ₁₆
(46) タイマB2モードレジスタ	(039D ₁₆)...	0 0 0 ? X 0 0 0 0	(66) ポートP8方向レジスタ	(03F2 ₁₆)...	0 0 X 0 0 0 0 0
(47) UART0送受信モードレジスタ	(03A0 ₁₆)...	00 ₁₆	(67) ポートP9方向レジスタ	(03F3 ₁₆)...	00 ₁₆
(48) UART0送受信制御レジスタ0	(03A4 ₁₆)...	0 0 0 0 0 1 0 0 0	(68) ポートP10方向レジスタ	(03F6 ₁₆)...	00 ₁₆
(49) UART0送受信制御レジスタ1	(03A5 ₁₆)...	0 0 0 0 0 0 0 1 0	(69) ブルアップ制御レジスタ0	(03FC ₁₆)...	00 ₁₆
(50) UART1送受信モードレジスタ	(03A8 ₁₆)...	00 ₁₆	(70) ブルアップ制御レジスタ1(注1)	(03FD ₁₆)...	00 ₁₆
(51) UART1送受信制御レジスタ0	(03AC ₁₆)...	0 0 0 0 0 1 0 0 0	(71) ブルアップ制御レジスタ2	(03FE ₁₆)...	00 ₁₆
(52) UART1送受信制御レジスタ1	(03AD ₁₆)...	0 0 0 0 0 0 0 1 0	(72) ポート制御レジスタ	(03FF ₁₆)...	00 ₁₆
(53) UART送受信制御レジスタ2	(03B0 ₁₆)...	X 0 0 0 0 0 0 0 0	(73) データレジスタ(R0/R1/R2/R3)		0000 ₁₆
(54) DMA0要因選択レジスタ	(03B8 ₁₆)...	00 ₁₆	(74) アドレスレジスタ(A0/A1)		0000 ₁₆
(55) A-D制御レジスタ2	(03D4 ₁₆)...	0 0 0 0 0 ? ? ? 0	(75) フレームベースレジスタ(FB)		0000 ₁₆
(56) A-D制御レジスタ0	(03D6 ₁₆)...	0 0 0 0 0 0 ? ? ?	(76) 割り込みテーブルレジスタ(INTB)		00000 ₁₆
(57) A-D制御レジスタ1	(03D7 ₁₆)...	00 ₁₆	(77) ユーザスタックポインタ(USP)		0000 ₁₆
(58) ポートP0方向レジスタ	(03E2 ₁₆)...	00 ₁₆	(78) 割り込みスタックポインタ(ISP)		0000 ₁₆
(59) ポートP1方向レジスタ	(03E3 ₁₆)...	00 ₁₆	(79) スタティックベースレジスタ(SB)		0000 ₁₆
(60) ポートP2方向レジスタ	(03E6 ₁₆)...	00 ₁₆	(80) フラグレジスタ(FLG)		0000 ₁₆
(61) ポートP3方向レジスタ	(03E7 ₁₆)...	00 ₁₆			

× : このビットは何も配置されていません。
? : 不定です。

リセット解除後、これ以外のレジスタは不定ですので、初期値を設定してください。
電源投入後、RAMは不定ですので、初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入ると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

注1. CNVss端子にVccレベルを印加しているときは、リセット時02₁₆になります。

図1.5.4. リセット解除後のマイクロコンピュータの内部状態(2)

0000 ₁₆		0040 ₁₆	
0001 ₁₆		0041 ₁₆	
0002 ₁₆		0042 ₁₆	
0003 ₁₆		0043 ₁₆	
0004 ₁₆	プロセッサモードレジスタ0(PM0)	0044 ₁₆	
0005 ₁₆	プロセッサモードレジスタ1(PM1)	0045 ₁₆	
0006 ₁₆	システムクロック制御レジスタ0(CM0)	0046 ₁₆	
0007 ₁₆	システムクロック制御レジスタ1(CM1)	0047 ₁₆	
0008 ₁₆	チップセレクト制御レジスタ1(CSR)	0048 ₁₆	
0009 ₁₆	アドレス一致割り込み許可レジスタ(AIER)		
000A ₁₆	プロテクトレジスタ(PRCR)	0049 ₁₆	
000B ₁₆			
000C ₁₆		004A ₁₆	バス衝突検出割り込み制御レジスタ(BCNIC)
000D ₁₆		004B ₁₆	DMA0割り込み制御レジスタ(DM0IC)
000E ₁₆	監視タイマスタートレジスタ(WDTS)	004C ₁₆	
000F ₁₆	監視タイマ制御レジスタ(WDC)	004D ₁₆	キ - 入力割り込み制御レジスタ(KUPIC)
0010 ₁₆		004E ₁₆	A - D変換割り込み制御レジスタ(ADIC)
0011 ₁₆	アドレス一致割り込みレジスタ0(RMAD0)	004F ₁₆	UART2送信割り込み制御レジスタ(S2TIC)
0012 ₁₆		0050 ₁₆	UART2受信割り込み制御レジスタ(S2RIC)
0013 ₁₆		0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0014 ₁₆		0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0015 ₁₆	アドレス一致割り込みレジスタ1(RMAD1)	0053 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0016 ₁₆		0054 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0017 ₁₆		0055 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0018 ₁₆		0056 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0019 ₁₆		0057 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
001A ₁₆		0058 ₁₆	
001B ₁₆		0059 ₁₆	
001C ₁₆		005A ₁₆	
001D ₁₆		005B ₁₆	タイマB1割り込み制御レジスタ(TB1IC)
001E ₁₆		005C ₁₆	タイマB2割り込み制御レジスタ(TB2IC)
001F ₁₆		005D ₁₆	INT0割り込み制御レジスタ(INT0IC)
0020 ₁₆		005E ₁₆	INT1割り込み制御レジスタ(INT1IC)
0021 ₁₆	DMA0ソ - スポインタ(SAR0)	005F ₁₆	INT2割り込み制御レジスタ(INT2IC)
0022 ₁₆		0060 ₁₆	
0023 ₁₆		0061 ₁₆	
0024 ₁₆		0062 ₁₆	
0025 ₁₆	DMA0ディスティネ - ションポインタ(DAR0)	0063 ₁₆	
0026 ₁₆		0064 ₁₆	
0027 ₁₆		0065 ₁₆	
0028 ₁₆			
0029 ₁₆			
002A ₁₆			
002B ₁₆			
002C ₁₆	DMA0制御レジスタ(DM0CON)		
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆			
0031 ₁₆			
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆			
0036 ₁₆			
0037 ₁₆			
0038 ₁₆			
0039 ₁₆			
003A ₁₆			
003B ₁₆			
003C ₁₆			
003D ₁₆			
003E ₁₆			
003F ₁₆			

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.6.1. 周辺装置制御レジスタの配置(1)

0340 ₁₆		0380 ₁₆	カウント開始フラグ(TABSR)
0341 ₁₆		0381 ₁₆	時計用プリスケアラセットフラグ(CPSRF)
0342 ₁₆		0382 ₁₆	ワンショット開始フラグ(ONSF)
0343 ₁₆		0383 ₁₆	トリガ選択レジスタ(TRGSR)
0344 ₁₆		0384 ₁₆	アップダウンフラグ(UDF)
0345 ₁₆		0385 ₁₆	
0346 ₁₆		0386 ₁₆	タイマA0レジスタ(TA0)
0347 ₁₆		0387 ₁₆	
0348 ₁₆		0388 ₁₆	タイマA1レジスタ(TA1)
0349 ₁₆		0389 ₁₆	
034A ₁₆		038A ₁₆	タイマA2レジスタ(TA2)
034B ₁₆		038B ₁₆	
034C ₁₆		038C ₁₆	
034D ₁₆		038D ₁₆	
034E ₁₆		038E ₁₆	
034F ₁₆		038F ₁₆	
0350 ₁₆		0390 ₁₆	
0351 ₁₆		0391 ₁₆	
0352 ₁₆		0392 ₁₆	タイマB1レジスタ(TB1)
0353 ₁₆		0393 ₁₆	
0354 ₁₆		0394 ₁₆	タイマB2レジスタ(TB2)
0355 ₁₆		0395 ₁₆	
0356 ₁₆		0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)
0357 ₁₆		0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)
0358 ₁₆		0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)
0359 ₁₆		0399 ₁₆	
035A ₁₆		039A ₁₆	
035B ₁₆		039B ₁₆	
035C ₁₆		039C ₁₆	タイマB1モ - ドレジスタ(TB1MR)
035D ₁₆		039D ₁₆	タイマB2モ - ドレジスタ(TB2MR)
035E ₁₆		039E ₁₆	
035F ₁₆	割り込み要因選択レジスタ(IFSR)	039F ₁₆	
0360 ₁₆		03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
0361 ₁₆		03A1 ₁₆	UART0転送速度レジスタ(U0BRG)
0362 ₁₆		03A2 ₁₆	UART0送信バッファレジスタ(U0TB)
0363 ₁₆		03A3 ₁₆	
0364 ₁₆		03A4 ₁₆	UART0送受信制御レジスタ0(U0C0)
0365 ₁₆		03A5 ₁₆	UART0送受信制御レジスタ1(U0C1)
0366 ₁₆		03A6 ₁₆	
0367 ₁₆		03A7 ₁₆	UART0受信バッファレジスタ(U0RB)
0368 ₁₆		03A8 ₁₆	UART1送受信モ - ドレジスタ(U1MR)
0369 ₁₆		03A9 ₁₆	UART1転送速度レジスタ(U1BRG)
036A ₁₆		03AA ₁₆	
036B ₁₆		03AB ₁₆	UART1送信バッファレジスタ(U1TB)
036C ₁₆		03AC ₁₆	UART1送受信制御レジスタ0(U1C0)
036D ₁₆		03AD ₁₆	UART1送受信制御レジスタ1(U1C1)
036E ₁₆		03AE ₁₆	
036F ₁₆		03AF ₁₆	UART1受信バッファレジスタ(U1RB)
0370 ₁₆		03B0 ₁₆	UART送受信制御レジスタ2(UCON)
0371 ₁₆		03B1 ₁₆	
0372 ₁₆		03B2 ₁₆	
0373 ₁₆		03B3 ₁₆	
0374 ₁₆		03B4 ₁₆	
0375 ₁₆	UART2特殊モードレジスタ3(U2SMR3)	03B5 ₁₆	
0376 ₁₆	UART2特殊モードレジスタ2(U2SMR2)	03B6 ₁₆	
0377 ₁₆	UART2特殊モードレジスタ(U2SMR)	03B7 ₁₆	
0378 ₁₆	UART2送受信モードレジスタ(U2MR)	03B8 ₁₆	DMA0要因選択レジスタ(DM0SL)
0379 ₁₆	UART2転送速度レジスタ(U2BRG)	03B9 ₁₆	
037A ₁₆	UART2送信バッファレジスタ(U2TB)	03BA ₁₆	
037B ₁₆		03BB ₁₆	
037C ₁₆	UART2送受信制御レジスタ0(U2C0)	03BC ₁₆	
037D ₁₆	UART2送受信制御レジスタ1(U2C1)	03BD ₁₆	
037E ₁₆		03BE ₁₆	
037F ₁₆	UART2受信バッファレジスタ(U2RB)	03BF ₁₆	

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.6.2. 周辺装置制御レジスタの配置(2)

03C0 ₁₆	A-Dレジスタ0(AD0)
03C1 ₁₆	
03C2 ₁₆	A-Dレジスタ1(AD1)
03C3 ₁₆	
03C4 ₁₆	A-Dレジスタ2(AD2)
03C5 ₁₆	
03C6 ₁₆	A-Dレジスタ3(AD3)
03C7 ₁₆	
03C8 ₁₆	A-Dレジスタ4(AD4)
03C9 ₁₆	
03CA ₁₆	A-Dレジスタ5(AD5)
03CB ₁₆	
03CC ₁₆	A-Dレジスタ6(AD6)
03CD ₁₆	
03CE ₁₆	A-Dレジスタ7(AD7)
03CF ₁₆	
03D0 ₁₆	
03D1 ₁₆	
03D2 ₁₆	
03D3 ₁₆	
03D4 ₁₆	A-D制御レジスタ2(ADCON2)
03D5 ₁₆	
03D6 ₁₆	A-D制御レジスタ0(ADCON0)
03D7 ₁₆	A-D制御レジスタ1(ADCON1)
03D8 ₁₆	
03D9 ₁₆	
03DA ₁₆	
03DB ₁₆	
03DC ₁₆	
03DD ₁₆	
03DE ₁₆	
03DF ₁₆	
03E0 ₁₆	ポートP0レジスタ(P0)
03E1 ₁₆	ポートP1レジスタ(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2レジスタ(P2)
03E5 ₁₆	ポートP3レジスタ(P3)
03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4レジスタ(P4)
03E9 ₁₆	ポートP5レジスタ(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆	ポートP6レジスタ(P6)
03ED ₁₆	ポートP7レジスタ(P7)
03EE ₁₆	ポートP6方向レジスタ(PD6)
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8レジスタ(P8)
03F1 ₁₆	ポートP9レジスタ(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10レジスタ(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
03F7 ₁₆	
03F8 ₁₆	
03F9 ₁₆	
03FA ₁₆	
03FB ₁₆	
03FC ₁₆	ブルアップ制御レジスタ 0 (PUR0)
03FD ₁₆	ブルアップ制御レジスタ 1 (PUR1)
03FE ₁₆	ブルアップ制御レジスタ 2 (PUR2)
03FF ₁₆	ポート制御レジスタ(PCR)

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.6.3. 周辺装置制御レジスタの配置(3)

ソフトウェアリセット

ソフトウェアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3を“1”にすると、マイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、およびマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、およびアクセス空間が異なります。

シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。ただし、リセット解除後CNVss端子を“H”の状態ではマイクロプロセッサモードから動作を開始した場合は、その後シングルチップモードに移行しても内部ROMのアクセスはできません。

このモードでは、P0～P10をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、内部RAM、内部ROM)および外部領域のアクセスが可能なモードです。ただし、リセット解除後CNVss端子を“H”の状態ではマイクロプロセッサモードから動作を開始した場合は、その後メモリ拡張モードに移行しても内部ROMのアクセスはできません。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バス幅やレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

(2) 各モードの設定

各モードの設定は、CNVss端子およびプロセッサモードビット(0004₁₆番地のビット1、ビット0)によって行います。プロセッサモードビットを“10₂”にしないでください。

CNVss端子のレベルにかかわらず、プロセッサモードビットを書き替えると、対応するモードになります。したがって、プロセッサモードビット以外のビットを書き替えるとき、プロセッサモードビットが変化しないように注意してください。プロセッサモードビットを“01₂”または“11₂”に書き替えるときは、他のビットと同時にプロセッサモードビットを書き替えないでください。他のビットを書き替えてから、プロセッサモードビットを書き替えてください。また、内部ROM領域でのマイクロプロセッサモードへの移行、およびマイクロプロセッサモードからの移行は行わないでください。

CNVss端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01₂”にするとメモリ拡張モードへ切り替えることができます。

CNVss端子にVccを印加

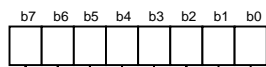
リセット後マイクロプロセッサモードで動作を開始します。

図1.7.1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

図1.7.2に各プロセッサモードのメモリ配置図を示します。

プロセッサモード

プロセッサモードレジスタ0 (注1)

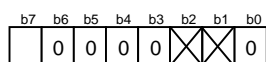


シンボル アドレス リセット時
PM0 0004₁₆番地 00₁₆(注2)

ビットシンボル	ビット名	機 能	R/W
PM00	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード 10: 設定しないでください 11: マイクロプロセッサモード	
PM01			
PM02	R/Wモード選択ビット	0: RD,BHE,WR 1: RD,WRH,WRL	
PM03	ソフトウェアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。読み出し時の値は“0”。	
PM04	マルチプレクスバス空間 選択ビット	b5 b4 00: マルチプレクスバスを使用しない 01: CS2の空間に割り当てる 10: CS1の空間に割り当てる 11: 全空間に割り当てる (注4)	
PM05			
PM06	ポートP4 ₀ ~P4 ₃ 機能 選択ビット(注3)	0: アドレス出力 1: ポート機能 (アドレスは出力されません)	
PM07	BCLK出力禁止ビット	0: 出力する 1: 出力しない (端子はフローティングになります)	

- 注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。
- 注2. CNVss端子にVccレベルを印加しているときは、リセット時03₁₆になります (PM00およびPM01が“1”になります)。
- 注3. マイクロプロセッサモード、メモリ拡張モード時有効。
- 注4. メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。
リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。
全空間マルチプレクスバスを選択した場合、P3₁~P3₇はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

プロセッサモードレジスタ1(注1)



シンボル アドレス リセット時
PM1 0005₁₆番地 00000XX0₂

ビットシンボル	ビット名	機 能	R/W
	予約ビット	必ず“0”を設定してください	
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		-
	予約ビット	必ず“0”を設定してください	
	予約ビット	必ず“0”を設定してください	
	予約ビット	必ず“0”を設定してください	
	予約ビット	必ず“0”を設定してください	
PM17	ウェイトビット	0: ウェイトなし 1: ウェイトあり	

- 注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

図1.7.1. プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

プロセッサモード

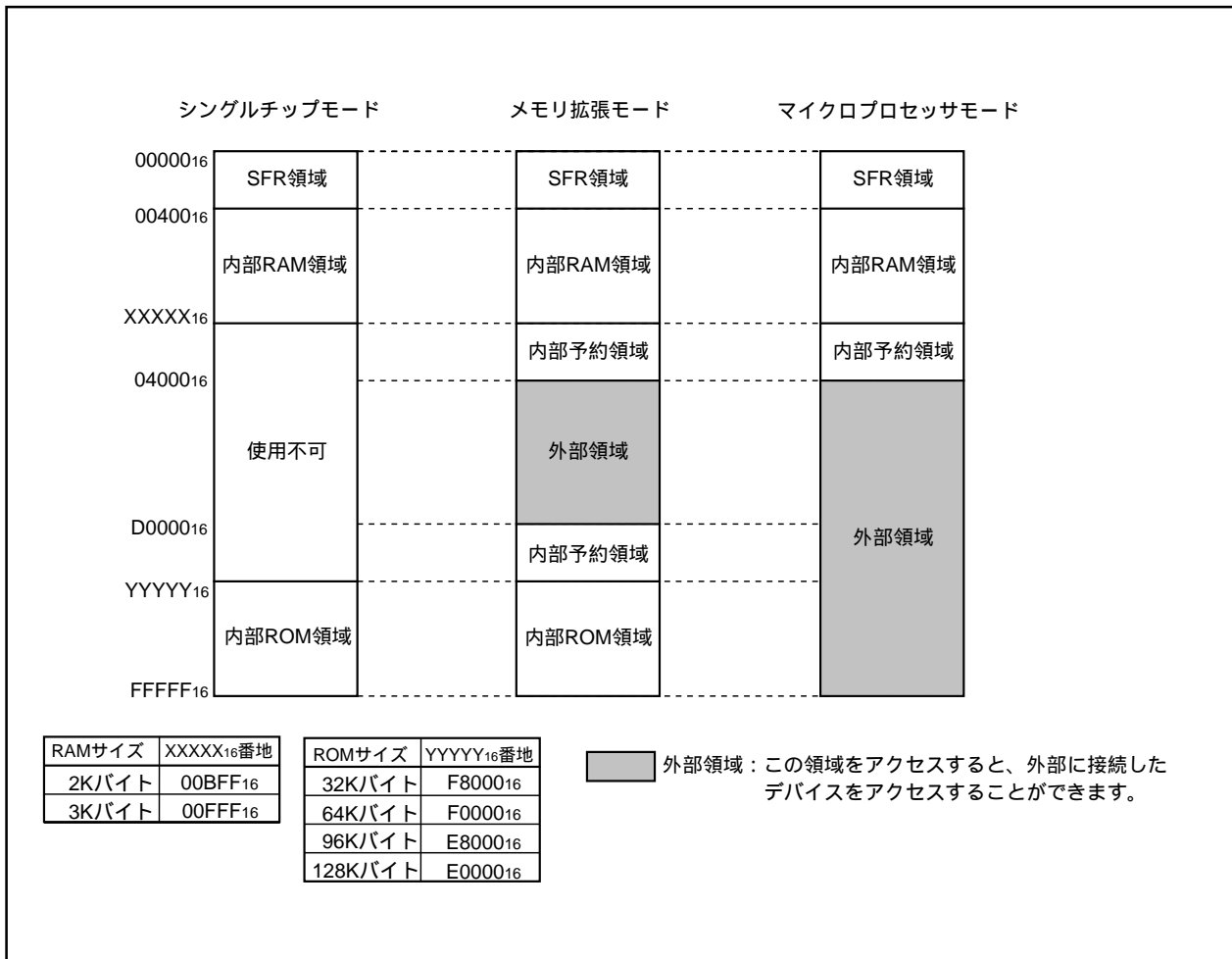


図1.7.2. 各プロセッサモード時のメモリ配置

バス設定

バス設定

バスの設定はBYTE端子とプロセッサモードレジスタ0(0004₁₆番地)のビット4～ビット6で切り替えることができます。

表1.8.1に各バスの設定と切り替え要因を示します。

表1.8.1. バスの設定と切り替え要因

バスの設定	切り替え要因
外部アドレスバス幅切り替え	プロセッサモードレジスタ0のビット6
外部データバス幅切り替え	BYTE端子
セパレートバス/マルチプレクスバス切り替え	プロセッサモードレジスタ0のビット4、ビット5

(1) 外部アドレスバス幅の選択

1Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅は、16ビット(アドレス空間64Kバイト)と20ビット(アドレス空間1Mバイト)を選択することができます。プロセッサモードレジスタ0のビット6が“1”のとき、外部アドレスバス幅は16ビットになりP2とP3がアドレスバスとなります。P40～P43は、プログラマブル入出力ポートとして使用することができます。プロセッサモードレジスタ0のビット6が“0”のとき、外部アドレスバス幅は20ビットになり、P2、P3、およびP40～P43がアドレスバスとなります。

(2) 外部データバス幅の選択

外部データバス幅は8ビットと16ビットを選択することができます(ただし、外部データバス幅を選択できるのは、セパレートバスだけです)。BYTE端子が“L”のとき16ビットに、“H”のときは8ビットになります。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。

動作時は、BYTE端子を“H”または“L”に固定してください。

(3) セパレートバス/マルチプレクスバスの選択

バスの形式は、マルチプレクスバスとセパレートバスを選択することができます。マルチプレクスバスまたはセパレートバスはプロセッサモードレジスタ0のビット4、ビット5で選択します。

セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、BYTE端子により8ビットまたは16ビットを選択できます。BYTE端子が“H”のときは、データバスは8ビットになりP0がデータバス、P1がプログラマブル入出力ポートとなります。BYTE端子が“L”のときは、データバスは16ビットになりP0およびP1がデータバスとなります。

セパレートバスでアクセスする場合、ソフトウェアウエイトの有無を選択できます。

マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。BYTE端子が“H”レベルのとき、D0～D7の8ビットがA0～A7とマルチプレクスされます。

BYTE端子が“L”レベルのとき、D0～D7の8ビットがA1～A8とマルチプレクスされD8～D15はマルチプレクスされません。このとき、マルチプレクスバスに接続した外部デバイスは、マイコンの偶数番地(2番地おき)に配置されますので、マルチプレクスバスに接続した外部デバイスをアクセスする場合、偶数番地をバイト単位でアクセスしてください。

ALE信号は、アドレスをラッチする信号で、P56から出力します。

マルチプレクスバスでアクセスする場合、必ずソフトウェアウエイトを挿入してください。

メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。

全空間マルチプレクスバスを選択した場合、P31～P37はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

バス設定

表1.8.2. 各プロセッサモードと端子の機能表

プロセッサモード	シングルチップモード	メモリ拡張モード / マイクロプロセッサモード				メモリ拡張モード
マルチプレクスバス 空間選択ビット		“01”、“10” (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		“00” (セパレートバス)		“11”(注1) (全空間マルチプレクスバス)
データバス幅 BYTE端子レベル		8ビット “H”	16ビット “L”	8ビット “H”	16ビット “L”	8ビット “H”
P00 ~ P07	入出力ポート	データバス	データバス	データバス	データバス	入出力ポート
P10 ~ P17	入出力ポート	入出力ポート	データバス	入出力ポート	データバス	入出力ポート
P20	入出力ポート	アドレスバス / データバス(注2)	アドレスバス	アドレスバス	アドレスバス	アドレスバス / データバス
P21 ~ P27	入出力ポート	アドレスバス / データバス(注2)	アドレスバス / データバス(注2)	アドレスバス	アドレスバス	アドレスバス / データバス
P30	入出力ポート	アドレスバス	アドレスバス / データバス(注2)	アドレスバス	アドレスバス	A8/D7
P31 ~ P37	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
P40 ~ P43 ポートP40 ~ P43機能 選択ビット=“1”	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート
P40 ~ P43 ポートP40 ~ P43機能 選択ビット=“0”	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
P44 ~ P47	入出力ポート	\overline{CS} (チップセレクト)またはプログラマブル入出力ポートの選択 (詳細は「バス制御」を参照)				
P50 ~ P53	入出力ポート	\overline{RD} 、 \overline{WRL} 、 \overline{WRH} 、BCLK出力または \overline{RD} 、 \overline{BHE} 、 \overline{WR} 、BCLK出力 (詳細は「バス制御」を参照)				
P54	入出力ポート	\overline{HLDA}	\overline{HLDA}	\overline{HLDA}	\overline{HLDA}	\overline{HLDA}
P55	入出力ポート	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}
P56	入出力ポート	ALE	ALE	ALE	ALE	ALE
P57	入出力ポート	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}

注1. メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。
リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。
全空間マルチプレクスバスを選択した場合、P31 ~ P37はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

注2. セパレートバスではアドレスバスになります。

バス制御

外部デバイスのアクセスに必要な信号、およびソフトウェアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張モードおよびマイクロプロセッサモードのとき有効です。ソフトウェアウエイトは全プロセッサモードで有効です。

(1) アドレスバス / データバス

アドレスバスは、1Mバイトの空間をアクセスするための端子で、A0 ~ A19の20本あります。

データバスは、データの入出力を行う端子です。BYTE端子が“H”のときはD0 ~ D7の8本がデータバスに、BYTE端子が“L”のときはD0 ~ D15の16本がデータバスになります。

シングルチップモードからメモリ拡張モードに変更したとき、外部領域をアクセスするまでアドレスバスの値は不定です。

(2) チップセレクト信号

チップセレクト信号はP44 ~ P47と兼用で、チップセレクト制御レジスタ(0008₁₆番地)のビット0 ~ ビット3によって、ポートにするかチップセレクト信号を出力するかを端子ごとに選択できます。チップセレクト制御レジスタは、メモリ拡張モードとマイクロプロセッサモードで有効です。シングルチップモードでは、チップセレクト制御レジスタの内容にかかわらずP44 ~ P47はプログラマブル入出力ポートになります。

マイクロプロセッサモードの場合、リセット解除のときCS0だけチップセレクト信号を出力し、CS1 ~ CS3は入力ポートになっています。チップセレクト制御レジスタの構成を図1.9.1に示します。

チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を表1.9.1に示します。

表1.9.1. チップセレクト信号によって指定する外部領域

プロセッサモード	チップセレクト信号			
	CS0	CS1	CS2	CS3
メモリ拡張モード	30000 ₁₆ ~ CFFFF ₁₆ (640Kバイト)	28000 ₁₆ ~ 2FFFF ₁₆ (32Kバイト)	08000 ₁₆ ~ 27FFF ₁₆ (128Kバイト)	04000 ₁₆ ~ 07FFF ₁₆ (16Kバイト)
マイクロプロセッサモード	30000 ₁₆ ~ FFFFF ₁₆ (832Kバイト)			

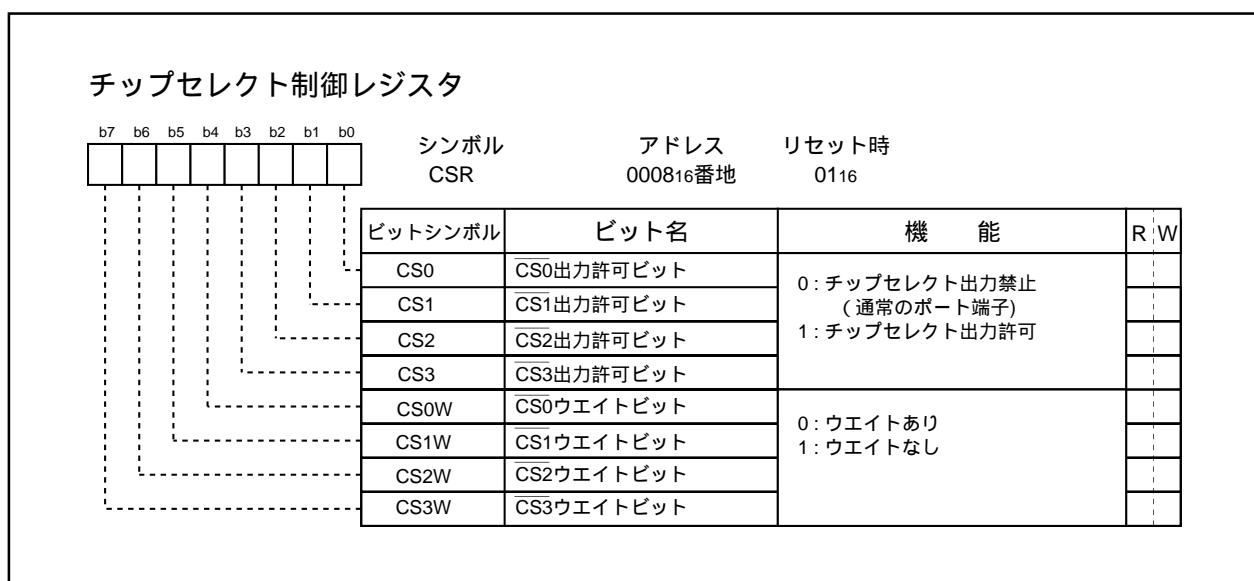
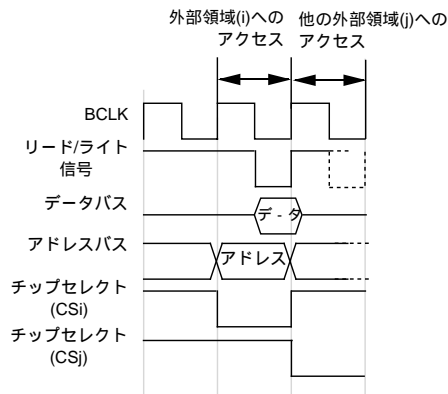


図1.9.1. チップセレクト制御レジスタの構成

チップセレクト信号が“L”(アクティブ)になるタイミングは、アドレスバスに同期します。しかし、チップセレクトが“H”になるタイミングは、次のサイクルでアクセスされる領域に依存します。アドレスバスとチップセレクト信号の出力例を図1.9.2に示します。

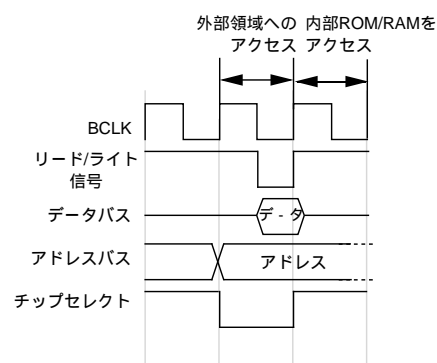
(例1) 外部領域へアクセス後、次のサイクルでアドレス信号、チップセレクト信号が共に変化

外部領域(i)へアクセス後、次のサイクルで他のチップセレクト信号が示す領域(j)へアクセスする場合の例を以下に示します。この場合、この2つのサイクル間でアドレスバス、チップセレクト信号が共に変化します。



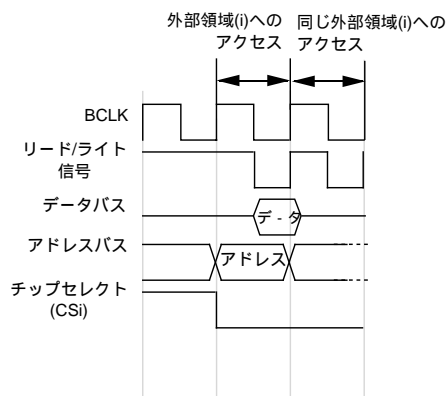
(例2) 外部領域へアクセス後、次のサイクルチップセレクト信号のみ変化 (アドレスバスは変化しない)

外部領域へアクセス後、次のサイクルで内部ROMまたは内部RAMへアクセスする場合の例を以下に示します。この場合、この2つのサイクル間でチップセレクト信号は変化しますがアドレスバスは変化しません。



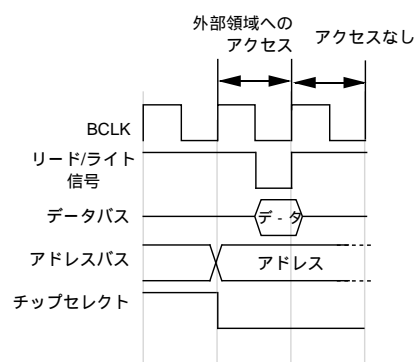
(例3) 外部領域へアクセス後、次のサイクルでアドレスバスのみ変化 (チップセレクト信号は変化しない)

外部領域(i)へアクセス後、次のサイクルで同じチップセレクト信号が示す領域(i)へアクセスする場合の例を以下に示します。この場合、この2つのサイクル間でアドレスバスは変化しますがチップセレクト信号は変化しません。



(例4) 外部領域へアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化しない

外部領域へアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合の例を以下に示します。この場合、この2つのサイクル間でアドレスバス、チップセレクト信号は共に変化しません。



注：これらの例は、連続する2つのサイクルのアドレスバスおよびチップセレクト信号を示しています。これらの例の組み合わせにより、チップセレクトは2サイクル以上伸びる場合があります。

図1.9.2. アドレスバスとチップセレクト信号の出力例 (セパレートバス ウェイトなし)

(3) リード/ライト信号

データバスが16ビット(BYTE端子が“L”レベル)のとき、リード/ライト信号はプロセッサモードレジスタ0(0004₁₆番地)のビット2によって、 \overline{RD} 、 \overline{BHE} 、 \overline{WR} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択することができます。データバスが8ビット(BYTE端子が“H”レベル)のとき、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせを使用してください(プロセッサモードレジスタ0(0004₁₆番地)のビット2に“0”を設定してください)。各信号の動作を表1.9.3、表1.9.4に示します。

リセット解除後、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替える場合、プロセッサモードレジスタ0(0004₁₆番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表1.9.3. \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス幅	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット (BYTE=“L”)	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む

表1.9.4. \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス幅	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット (BYTE=“L”)	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット (BYTE=“H”)	H	L	使用しない	H/L	1バイトのデータを書き込む
	L	H	使用しない	H/L	1バイトのデータを読み出す

(4) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりアドレスをラッチしてください。

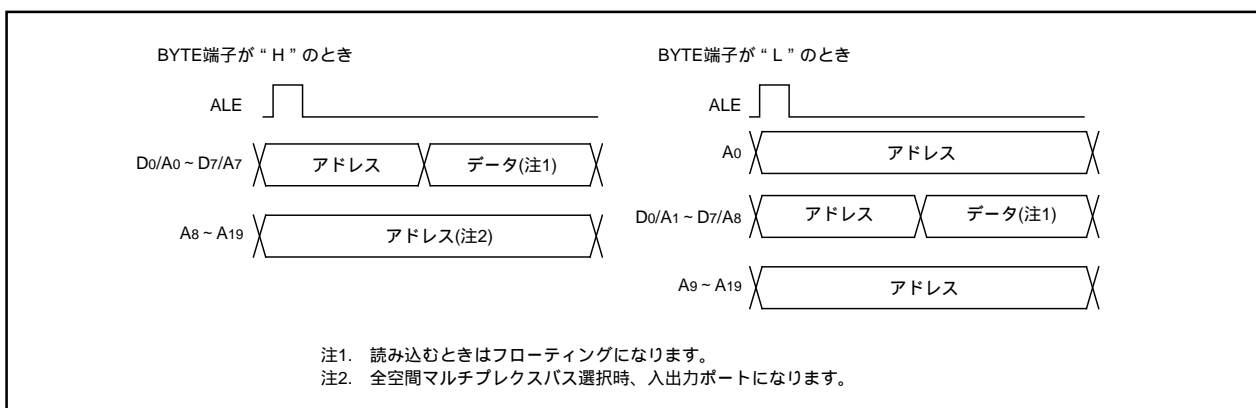


図1.9.3. ALE信号とアドレスバス/データバス

(5) RDY信号

RDYは、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。図1.9.4に示すようにBCLKの立ち下がりでRDY端子に“L”が入力されているとき、バスはウェイト状態になります。BCLKの立ち下がりでRDY端子に“H”が入力されているとき、バスはウェイト状態を解除します。表1.9.5にバスのウェイト状態におけるマイクロコンピュータの状態、図1.9.4にRD信号がRDY信号によってのびた例を示します。

RDY信号は、チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に“0”を設定している領域のバスサイクルで、外部領域をアクセスするときに有効です。チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に全て“1”を設定している場合は、RDY信号は無効ですが、RDY端子の未使用端子の処理が必要です。

表1.9.5. バスのウェイト状態におけるマイクロコンピュータの状態(注1)

項目	状態
発振	動作
R/W信号、アドレスバス、データバス、CS ALE信号、HLDA プログラマブル入出力ポート	RDY信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウェアウェイトによるウェイトの直前にはRDY信号は受け付けられません。

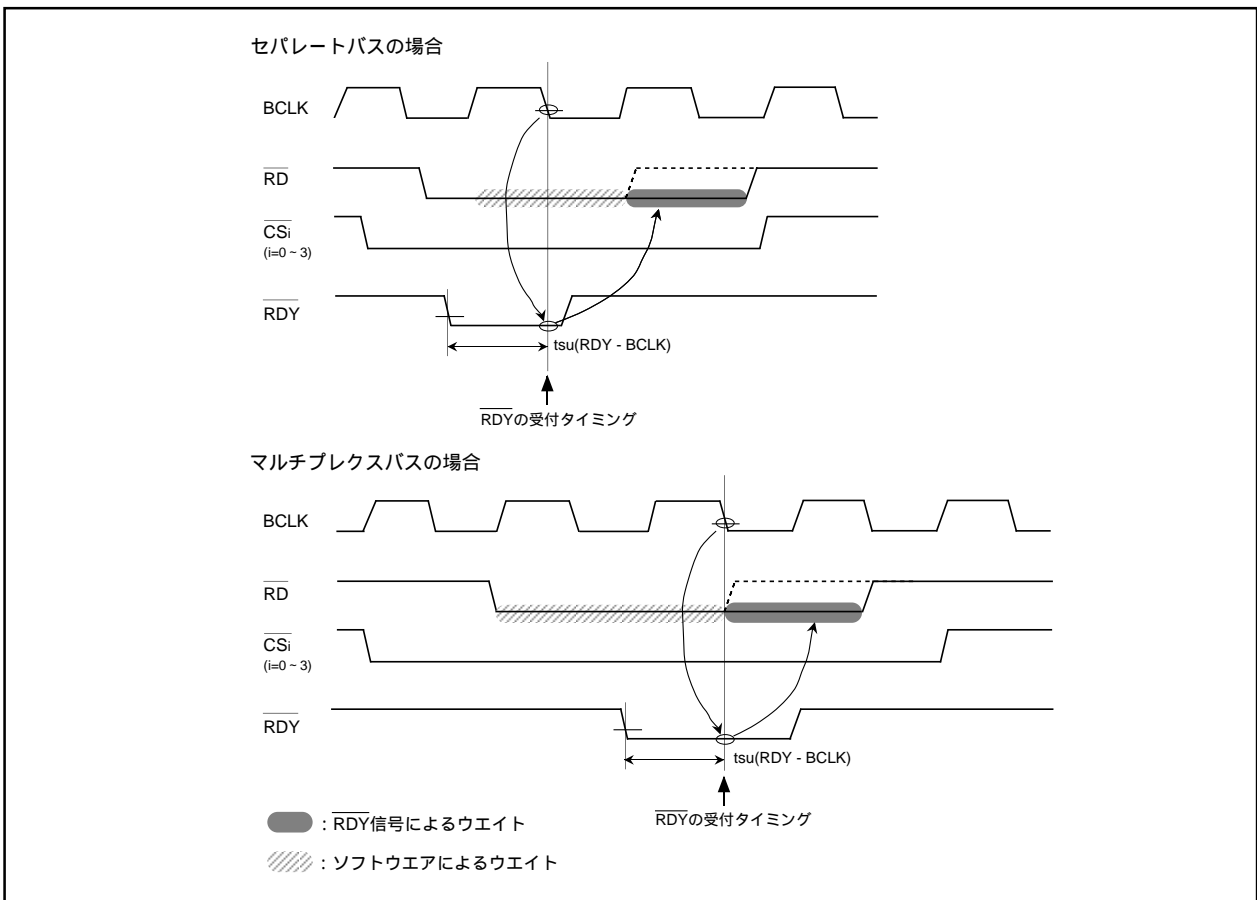


図1.9.4. RD信号がRDY信号によってのびた例

(6) ホールド信号

ホールドは、バスの使用权をCPUから外部回路へ移行するための信号です。 $\overline{\text{HOLD}}$ 端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、 $\overline{\text{HOLD}}$ 端子が“L”の期間その状態を保持します。また、その間 $\overline{\text{HLDA}}$ 端子から“L”を出力します。表1.9.6にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 $\overline{\text{HOLD}}$ 、DMAC、CPUとなっています。

$\overline{\text{HOLD}} > \text{DMAC} > \text{CPU}$

図1.9.5. バス使用優先順位

表1.9.6. ホールド状態におけるマイクロコンピュータの状態

項目	状態	
発振	動作	
R/W信号、アドレスバス、データバス、CS、BHE	フローティング	
プログラマブル入出力ポート	P0, P1, P2, P3, P4, P5	フローティング
	P6, P7, P8, P9, P10	ホールド信号を受け付けた状態を保持
$\overline{\text{HLDA}}$	“L”を出力	
内蔵周辺回路	動作(ただし監視タイマは停止)	
ALE信号	不定	

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表1.9.7に示します。

表1.9.7. 内部領域をアクセスしたときの外部バスの状態

項目	SFRをアクセスしたときの状態	内部ROM/RAMをアクセスしたときの状態
アドレスバス	アドレスを出力	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時	フローティング
	ライト時	データを出力
RD, WR, WRL, WRH	RD, WR, WRL, WRHを出力	“H”を出力
BHE	BHEを出力	直前にアクセスされた外部領域の状態を保持
CS	“H”を出力	“H”を出力
ALE	“L”を出力	“L”を出力

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004₁₆番地)(注1)のビット7によって選択でき、“1”を選択した場合はフローティングになります。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

(9) ソフトウェアウエイト

プロセッサモードレジスタ1(0005₁₆番地)(注1)のウエイトビット(ビット7)とチップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7によって、ソフトウェアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM/RAM領域、および外部メモリ領域に対してソフトウェアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、このビットは“0”になっています。このビットが“1”のとき、チップセレクト制御レジスタのビット4～ビット7の内容によらず、全領域ウエイトあり(BCLKの2サイクルまたは3サイクル)で動作します。このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。ただし、RDY信号を使用する場合、チップセレクト制御レジスタのビット4～ビット7の該当するビットに“0”を設定する必要があります。

プロセッサモードレジスタ1のウエイトビットが“0”のとき、チップセレクト制御レジスタのビット4～ビット7の値によって、チップセレクト信号で選択された4つの領域ごとにソフトウェアウエイトの有無を選択することができます。チップセレクト制御レジスタのビット4～ビット7はそれぞれチップセレクトCS₀～CS₃に対応します。これらのビットが“1”のときバスサイクルはBCLKの1サイクルで実行され、“0”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、これらのビットは“0”になっています。

SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。また、外部メモリ領域で、マルチプレクスバスを選択する場合は、必ずソフトウェアウエイトを挿入してください。

表1.9.8にソフトウェアウエイトとバスサイクル、図1.9.6にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

注1. プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表1.9.8. ソフトウェアウエイトとバスサイクル

領域	バス形状	ウエイトビット	チップセレクト制御レジスタビット4～ビット7	バスサイクル
SFR	———	無効	無効	BCLKの2サイクル
内部ROM/RAM	———	0	無効	BCLKの1サイクル
	———	1	無効	BCLKの2サイクル
外部メモリ領域	セパレートバス	0	1	BCLKの1サイクル
	セパレートバス	0	0	BCLKの2サイクル
	セパレートバス	1	0(注1)	BCLKの2サイクル
	マルチプレクスバス	0	0	BCLKの3サイクル
	マルチプレクスバス	1	0(注1)	BCLKの3サイクル

注1. RDY信号を使用する場合“0”を設定してください。

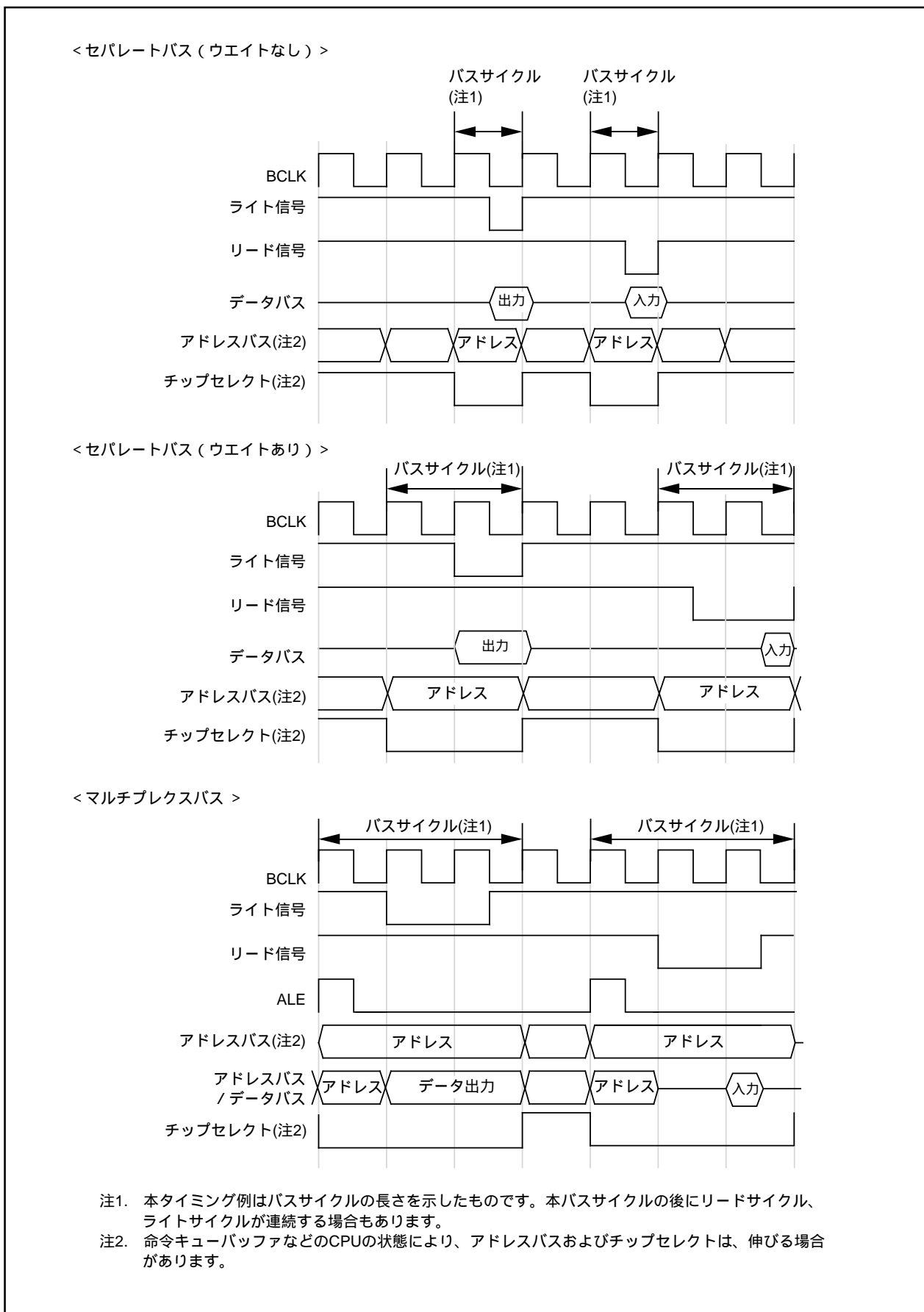


図1.9.6. ソフトウェアウエイトを使用した場合のバスタイミング例

クロック発生回路

クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表1.10.1. メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	CPUの動作クロック源 内蔵周辺装置の動作クロック源	CPUの動作クロック源 タイマA、タイマBのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

発振回路例

図1.10.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.10.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.10.1中および図1.10.2中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

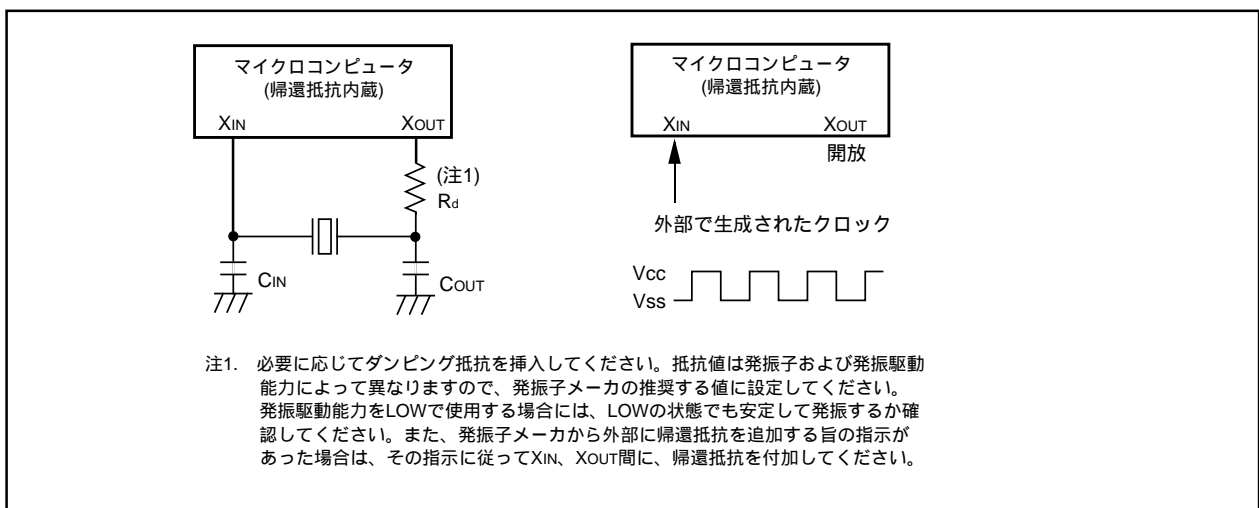


図1.10.1. メインクロックの接続例

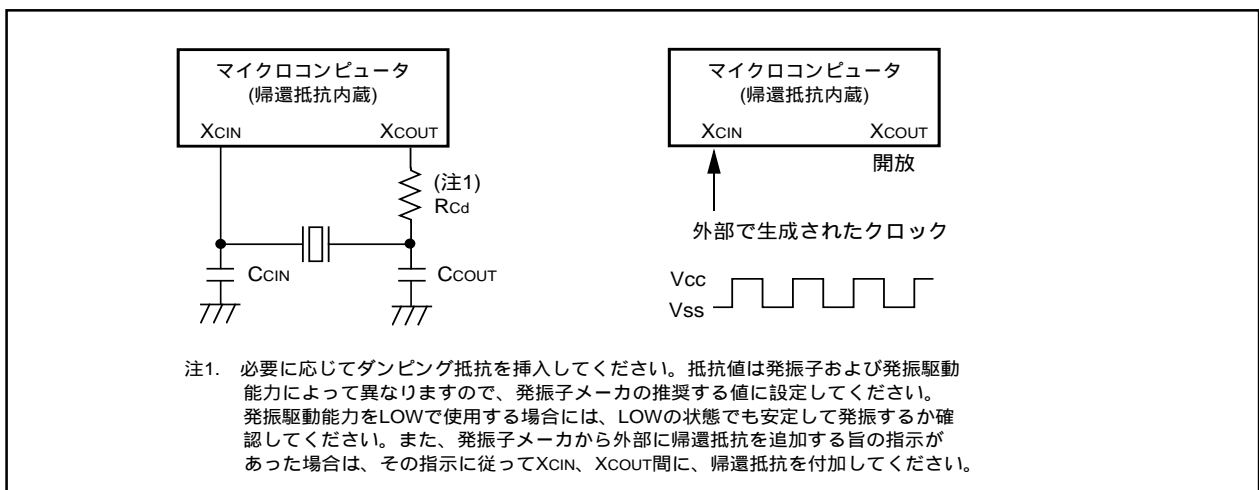


図1.10.2. サブクロックの接続例

クロック発生回路

クロックの制御

図1.10.3にクロック発生回路のブロック図を示します。

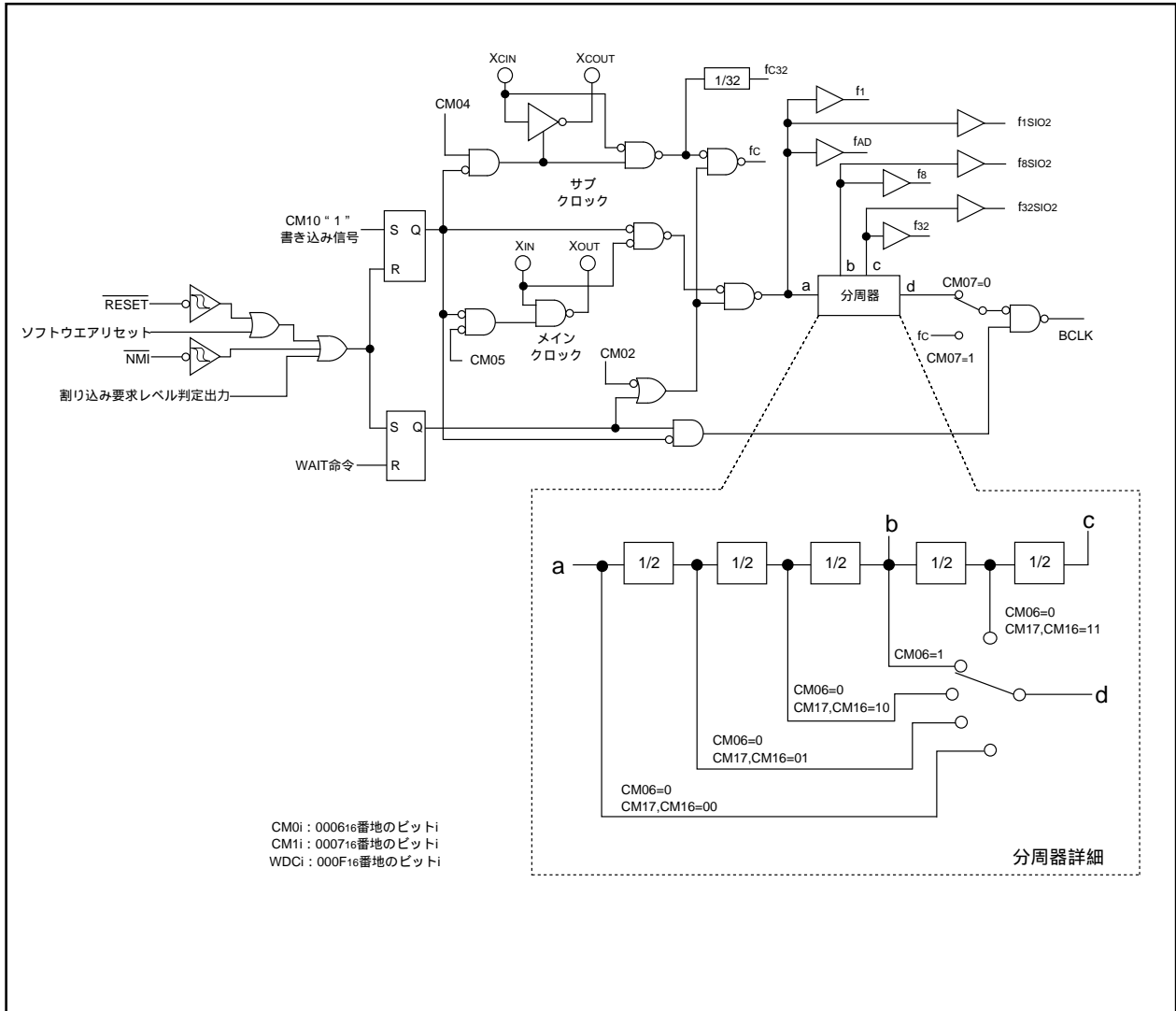


図1.10.3. クロック発生回路

クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(0006₁₆番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007₁₆番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXc切り替えビット(0006₁₆番地のビット4)で発振を開始した後、システムクロック選択ビット(0006₁₆番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(0006₁₆番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

XCIN/XCOUTを使用する場合、ポートP8₆、P8₇は入力ポートで、プルアップなしを設定してください。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfcをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。メモリ拡張モード時、マイクロプロセッサモード時、BCLK出力禁止ビット(0004₁₆番地のビット7)によって、BCLK端子からこの信号を出力することができます。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f1、f8、f32、f1SIO2、f8SIO2、f32SIO2、fAD)

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) fc32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fc

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

クロック発生回路

図1.10.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。

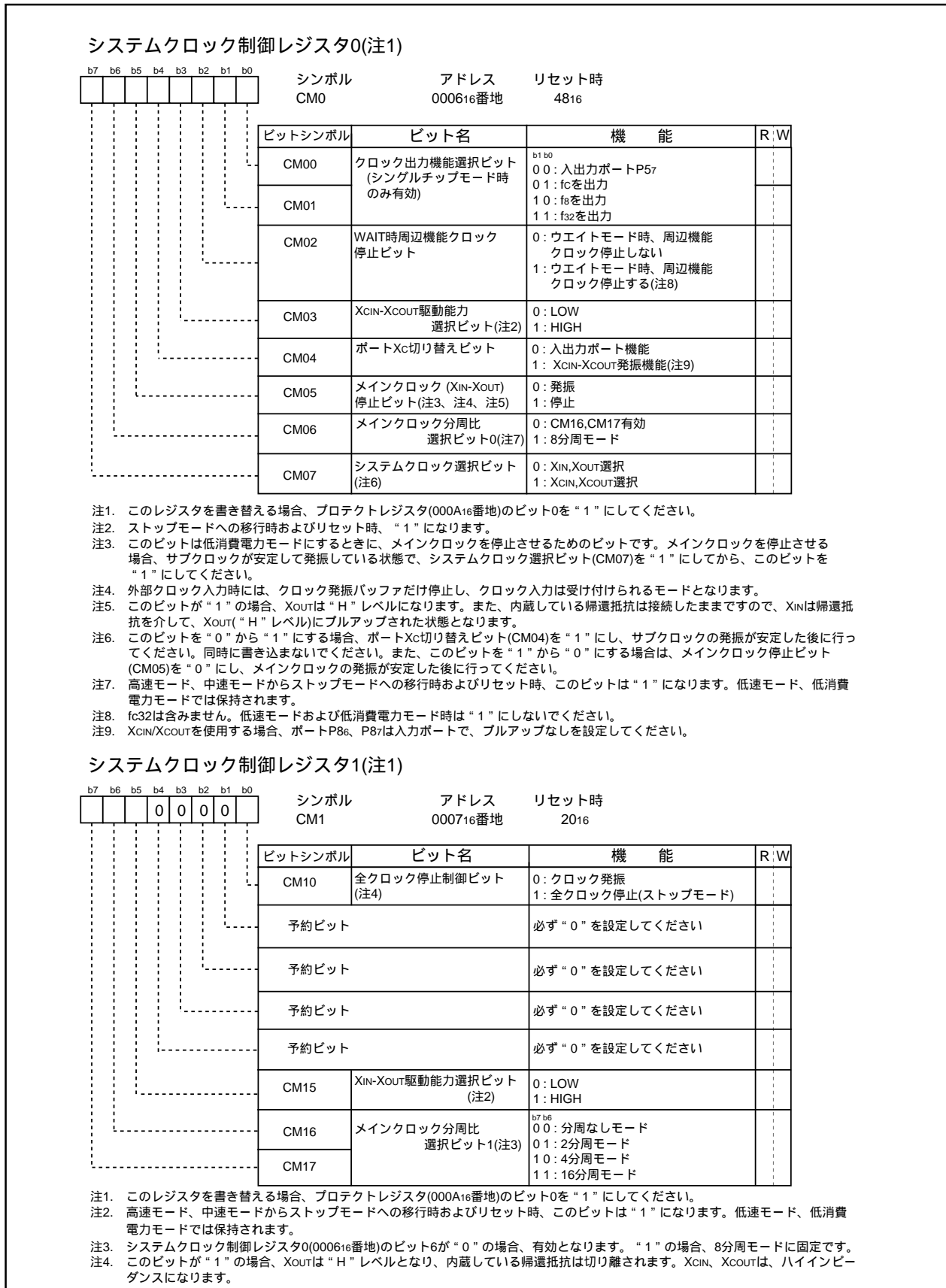


図1.10.4. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

クロック発生回路

クロック出力

シングルチップモード時、クロック出力機能選択ビット(0006₁₆番地のビット0、ビット1)によってP57/CLKOUT端子からf₈、f₃₂またはf_cを出力することができます。WAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf₈、f₃₂のクロック出力は停止します。

ストップモード

全クロック停止制御ビット(0007₁₆番地のビット0)を“1”にすると、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f₁～f₃₂、f₁SI02～f₃₂SI02、f_c、f_{c32}、f_{AD}は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UART_i(i=0～2)は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表1.10.2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからストップモードに移行してください。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。ストップモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ストップモードに移行してください。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表1.10.2. ストップモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS0～CS3, BHE		ストップモードに入る直前の状態を保持	/
RD, WR, WRL, WRH		“H”	
HLDA, BCLK		“H”	
ALE		“H”	
ポート		ストップモードに入る直前の状態を保持	
CLKOUT	f _c 選択時	シングルチップモード時だけ有効	“H”
	f ₈ 、f ₃₂ 選択時	シングルチップモード時だけ有効	ストップモードに入る直前の状態を保持

ウエイトモード

ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードおよび低消費電力モード時にはこのビットに“1”を設定してウエイトモードに移行しないでください。ウエイトモード時のポートの状態を表1.10.3に示します。

ウエイトモードはハードウェアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからウエイトモードに移行してください。割り込みで復帰した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。ウエイトモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ウエイトモードに移行してください。

表1.10.3. ウエイトモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS0 ~ CS3, BHE		ウエイトモードに入る直前の状態を保持	/
RD, WR, WRL, WRH		“H”	
HLDA, BCLK		“H”	
ALE		“H”	
ポート		ウエイトモードに入る直前の状態を保持	
CLKOUT	fc選択時	シングルチップモード時だけ有効	停止しません
	f8、f32選択時	シングルチップモード時だけ有効	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持

BCLKの状態遷移

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表1.10.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

fcがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2~3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

fcがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表1.10.4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

CM1i : 0007₁₆番地のビットi

CM0i : 0006₁₆番地のビットi

パワーコントロール

パワーコントロール

パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

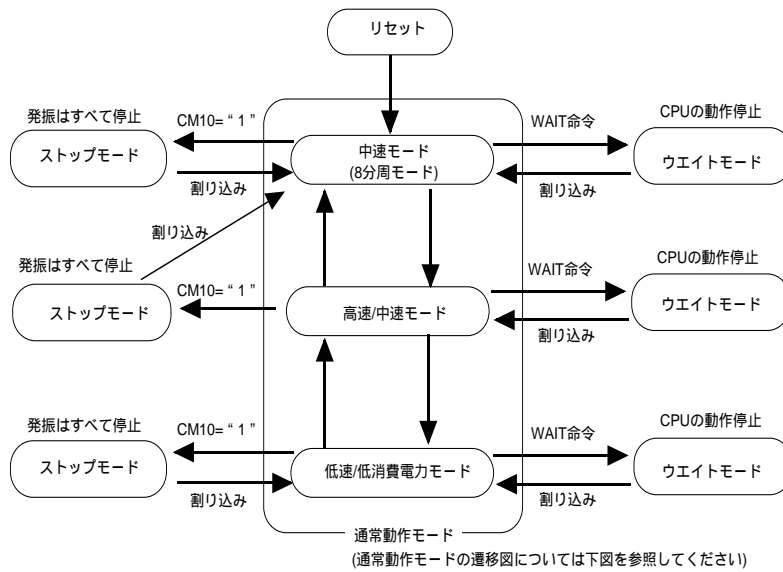
CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)~(3)の状態遷移図を図1.10.5に示します。

ストップモード、ウエイトモードの遷移図



通常動作モードの遷移図

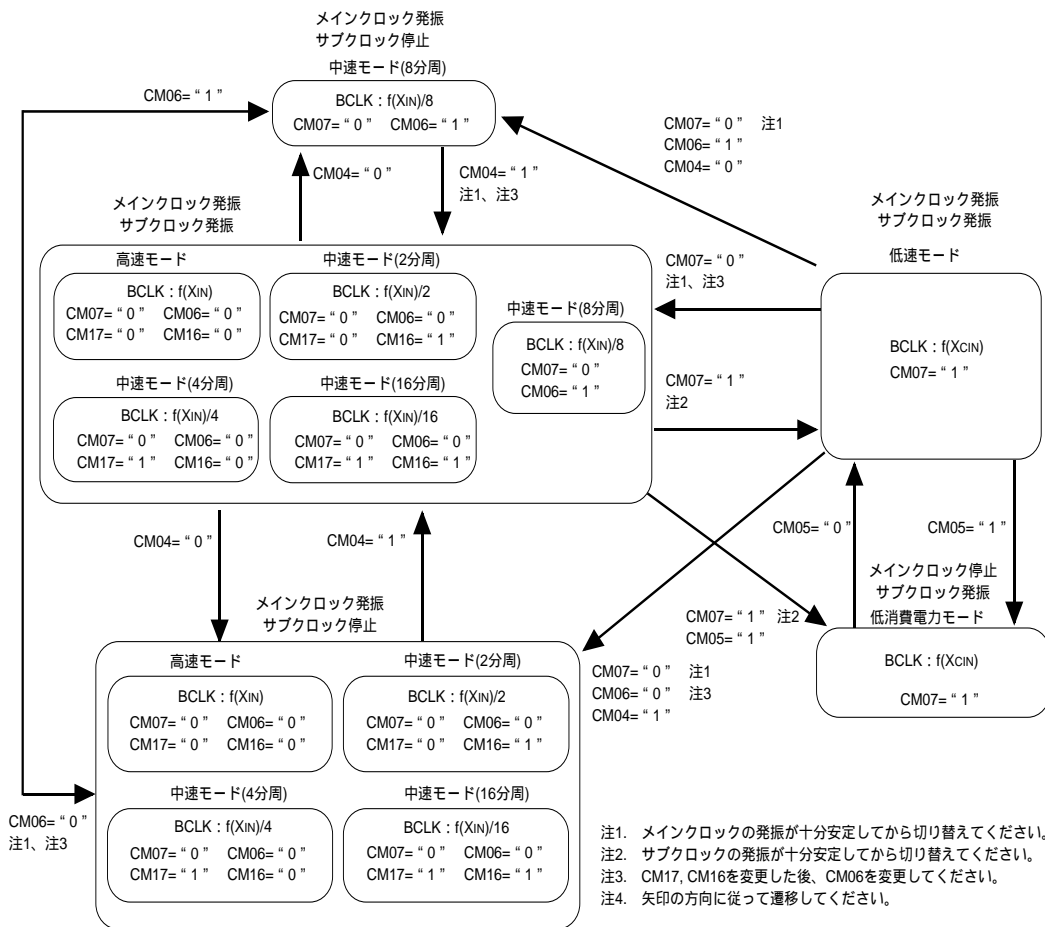


図1.10.5. 状態遷移図

プロテクト

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図1.10.6にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004₁₆番地)、プロセッサモードレジスタ1(0005₁₆番地)、システムクロック制御レジスタ0(0006₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)、およびポートP9方向レジスタ(03F3₁₆番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

ポートP9方向レジスタ書き込み許可ビット(000A₁₆番地のビット2)は、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。システムクロック制御レジスタ0、1書き込み許可ビット(000A₁₆番地のビット0)およびプロセッサモードレジスタ0、1書き込み許可ビット(000A₁₆番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

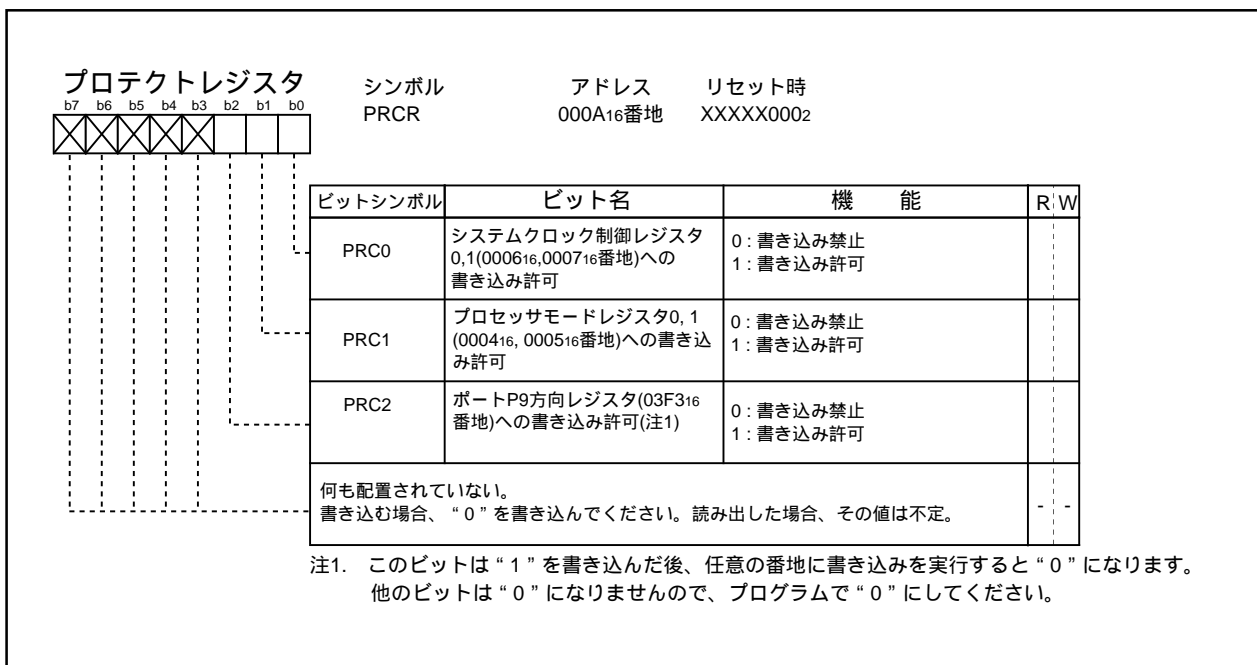


図1.10.6. プロテクトレジスタの構成

割り込み

割り込みの概要

割り込みの分類

図1.11.1に割り込みの分類を示します。

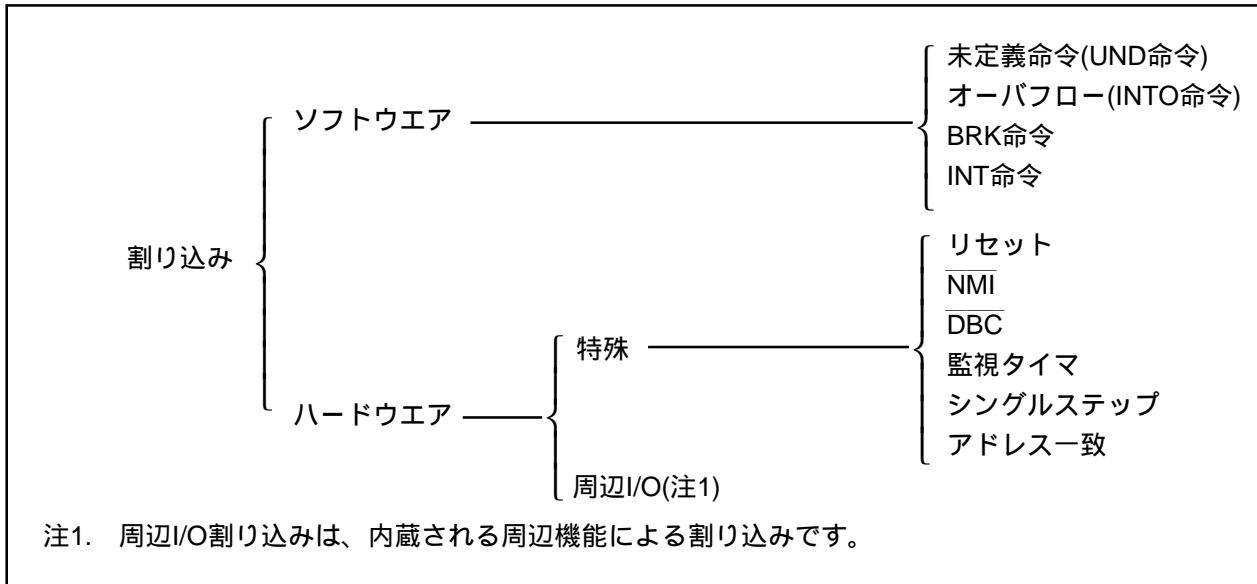


図1.11.1. 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0～63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32～63では、スタックポインタは切り替わりません。

割り込み

ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

(1) リセット

リセットは、 $\overline{\text{RESET}}$ 端子に“L”を入力すると発生します。

(2) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子に“L”を入力すると発生します。

(3) $\overline{\text{DBC}}$ 割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

(4) 監視タイマ割り込み

監視タイマによる割り込みです。

(5) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~31と同一です。周辺I/O割り込みは、マスクابل割り込みです。

(1) バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

(2) DMA0割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、 $\overline{\text{KI}}$ 端子に“L”を入力すると発生します。

(4) A-D変換割り込み

A-D変換器による割り込みです。

(5) UART0、UART1、UART2/NACK送信割り込み

シリアルI/Oの送信による割り込みです。

(6) UART0、UART1、UART2/ACK受信割り込み

シリアルI/Oの受信による割り込みです。

(7) タイマA0~タイマA2割り込み

タイマAによる割り込みです。

(8) タイマB1、タイマB2割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$ ~ $\overline{\text{INT2}}$ 割り込み

$\overline{\text{INT}}$ 割り込みは、 $\overline{\text{INT}}$ 端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

割り込み

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図1.11.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0 0 0 0	アドレスの上位
ベクタアドレス+3	0 0 0 0	0 0 0 0

図1.11.2. 割り込みベクタの指定アドレス

固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表1.11.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.11.1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)~アドレス(H)	備考
未定義命令	FFFDC ₁₆ ~ FFFDF ₁₆	UND命令で割り込み
オーバフロー	FFFE0 ₁₆ ~ FFFE3 ₁₆	INTO命令で割り込み
BRK命令	FFFE4 ₁₆ ~ FFFE7 ₁₆	ベクタの内容がすべてFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 ₁₆ ~ FFFE B ₁₆	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFE C ₁₆ ~ FFFE F ₁₆	通常は使用禁止
監視タイマ	FFFF0 ₁₆ ~ FFFF3 ₁₆	
DBC(注1)	FFFF4 ₁₆ ~ FFFF7 ₁₆	通常は使用禁止
NMI	FFFF8 ₁₆ ~ FFFF B ₁₆	NMI端子入力による外部割り込み
リセット	FFFF C ₁₆ ~ FFFFF ₁₆	

注1. デバッガ専用割り込み

割り込み

可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表1.11.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.11.2. 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)~アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号0	+0 ~ +3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウェア割り込み番号10	+40 ~ +43(注1)	バス衝突検出	
ソフトウェア割り込み番号11	+44 ~ +47(注1)	DMA0	
ソフトウェア割り込み番号13	+52 ~ +55(注1)	キー入力割り込み	
ソフトウェア割り込み番号14	+56 ~ +59(注1)	A-D	
ソフトウェア割り込み番号15	+60 ~ +63(注1)	UART2送信 / NACK (注2)	
ソフトウェア割り込み番号16	+64 ~ +67(注1)	UART2受信 / ACK (注2)	
ソフトウェア割り込み番号17	+68 ~ +71(注1)	UART0送信	
ソフトウェア割り込み番号18	+72 ~ +75(注1)	UART0受信	
ソフトウェア割り込み番号19	+76 ~ +79(注1)	UART1送信	
ソフトウェア割り込み番号20	+80 ~ +83(注1)	UART1受信	
ソフトウェア割り込み番号21	+84 ~ +87(注1)	タイマA0	
ソフトウェア割り込み番号22	+88 ~ +91(注1)	タイマA1	
ソフトウェア割り込み番号23	+92 ~ +95(注1)	タイマA2	
ソフトウェア割り込み番号27	+108 ~ +111(注1)	タイマB1	
ソフトウェア割り込み番号28	+112 ~ +115(注1)	タイマB2	
ソフトウェア割り込み番号29	+116 ~ +119(注1)	$\overline{\text{INT0}}$	
ソフトウェア割り込み番号30	+120 ~ +123(注1)	$\overline{\text{INT1}}$	
ソフトウェア割り込み番号31	+124 ~ +127(注1)	$\overline{\text{INT2}}$	
ソフトウェア割り込み番号32 ⋮ ソフトウェア割り込み番号63	+128 ~ +131(注1) ⋮ +252 ~ +255(注1)	ソフトウェア割り込み	Iフラグによるマスク不可

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

注2. IICモード選択時にNACK、ACK割り込みが選択されます。

割り込み制御

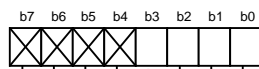
マスクブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図1.11.3に割り込み制御レジスタの構成を示します。

割り込み

割り込み制御レジスタ(注2)

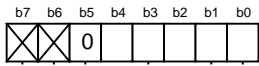


シンボル	アドレス	リセット時
BCNIC	004A ₁₆ 番地	XXXXX000 ₂
DM0IC	004B ₁₆ 番地	XXXXX000 ₂
KUPIC	004D ₁₆ 番地	XXXXX000 ₂
ADIC	004E ₁₆ 番地	XXXXX000 ₂
SiTiC(i=0~2)	0051 ₁₆ , 0053 ₁₆ , 004F ₁₆ 番地	XXXXX000 ₂
SiRiC(i=0~2)	0052 ₁₆ , 0054 ₁₆ , 0050 ₁₆ 番地	XXXXX000 ₂
TaiiC(i=0~2)	0055 ₁₆ ~0057 ₁₆ 番地	XXXXX000 ₂
TBiiC(i=1, 2)	005B ₁₆ , 005C ₁₆ 番地	XXXXX000 ₂

ビットシンボル	ビット名	機能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0: レベル0 (割り込み禁止)		
		0 0 1: レベル1		
ILVL1		0 1 0: レベル2		
		0 1 1: レベル3		
	1 0 0: レベル4			
ILVL2	1 0 1: レベル5			
	1 1 0: レベル6			
	1 1 1: レベル7			
IR	割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり		(注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			-	-

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiC(i=0~2)	005D ₁₆ ~005F ₁₆ 番地	XX00X000 ₂

ビットシンボル	ビット名	機能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0: レベル0 (割り込み禁止)		
		0 0 1: レベル1		
ILVL1		0 1 0: レベル2		
		0 1 1: レベル3		
	1 0 0: レベル4			
ILVL2	1 0 1: レベル5			
	1 1 0: レベル6			
	1 1 1: レベル7			
IR	割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり		(注1)
POL	極性切り替えビット	0: 立ち下がりエッジを選択 1: 立ち上がりエッジを選択		
予約ビット		必ず“0”を設定してください		
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			-	-

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図1.11.3. 割り込み制御レジスタの構成

割り込み

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表1.11.3に割り込み優先レベルの設定を、表1.11.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表1.11.3. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表1.11.4. プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み

割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR    I                ; 割り込み禁止状態
  AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP                                ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET    I                ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR    I                ; 割り込み禁止状態
  AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止状態
  AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC    FLG             ; 割り込み許可状態
```

例 1 と例 2 で FSET 1 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ (I フラグ) のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込み禁止状態で割り込み制御レジスタを変更するときには、使用する命令に注意が必要です。

割り込み要求ビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込みが発生した場合、割り込み要求ビットがセットされずに割り込みが無視されることがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令...AND、OR、BCLR、BSET

割り込み要求ビットの変更

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令...MOV

割り込み

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図1.11.4に割り込み応答時間を示します。

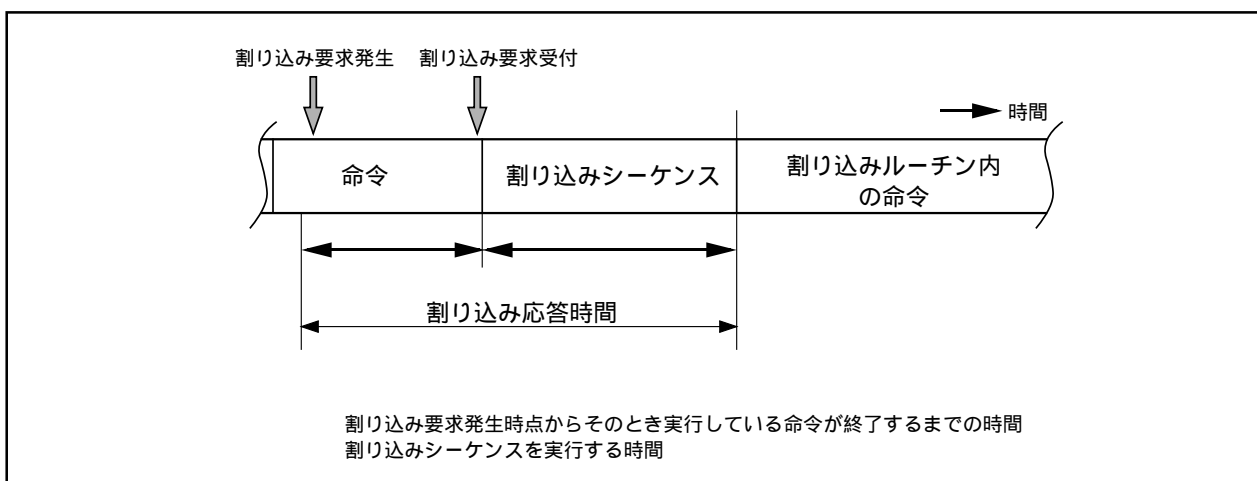


図1.11.4. 割り込み応答時間

割り込み

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。
(b)の時間は次のとおりです。

表1.11.5. 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

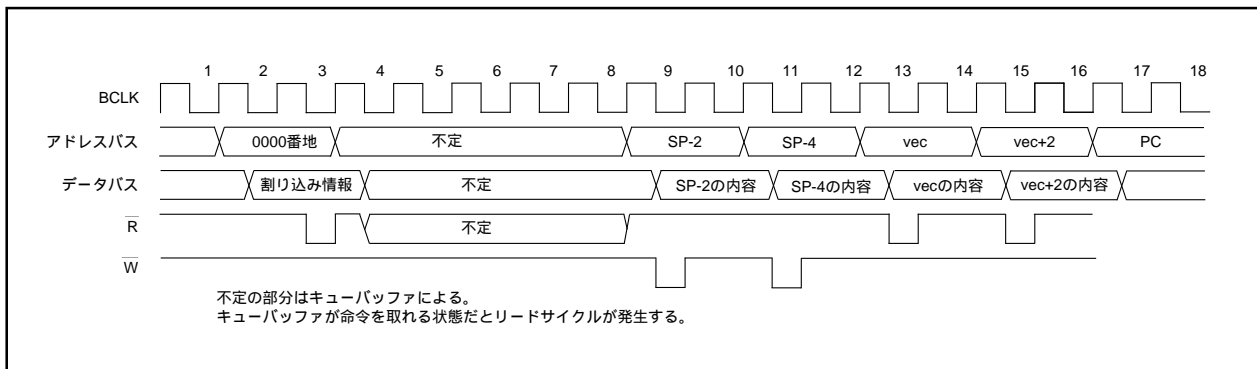


図1.11.5. 割り込みシーケンスの実行時間

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表1.11.6に示す値がIPLに設定されます。

表1.11.6. 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、NMI	7
リセット	0
その他	変化しない

割り込み

レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図1.11.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

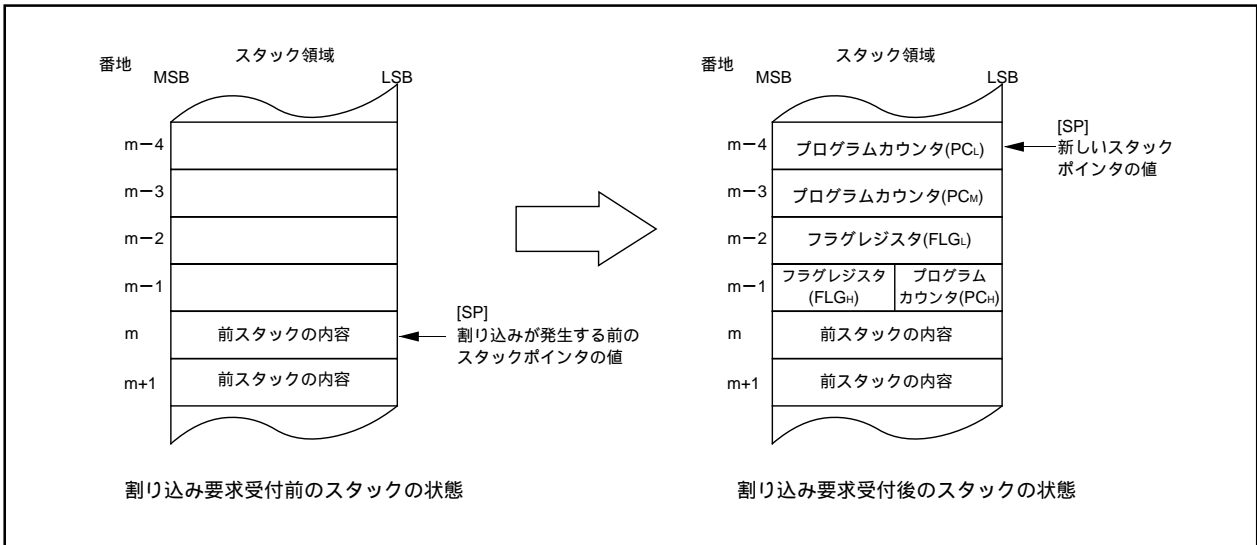
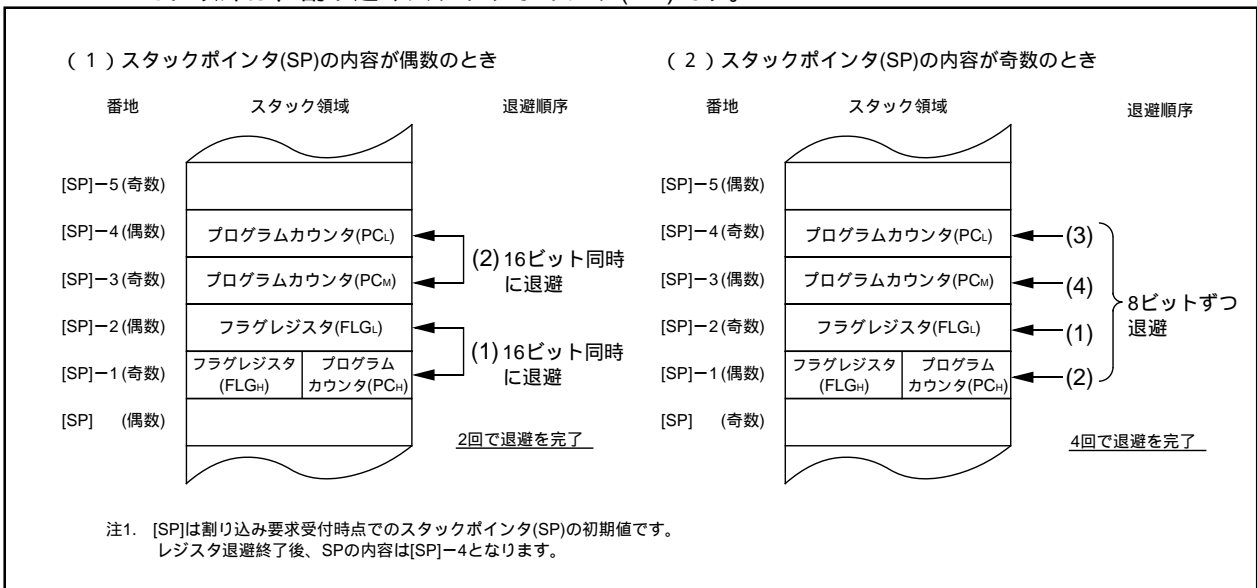


図1.11.6. 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図1.11.7にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すスタックポインタです。それ以外は、割り込みスタックポインタ(ISP)です。



注1. [SP]は割り込み要求受付時点でのスタックポインタ(SP)の初期値です。レジスタ退避終了後、SPの内容は[SP]-4となります。

図1.11.7. レジスタ退避動作

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図1.11.8に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図1.11.9に割り込み優先レベルの判定回路を示します。

割り込み

リセット > NMI > DBC > 監視タイマ > アドレス一致 > シングルステップ > アドレス一致

図1.11.8. ハードウェア割り込みの割り込み優先順位

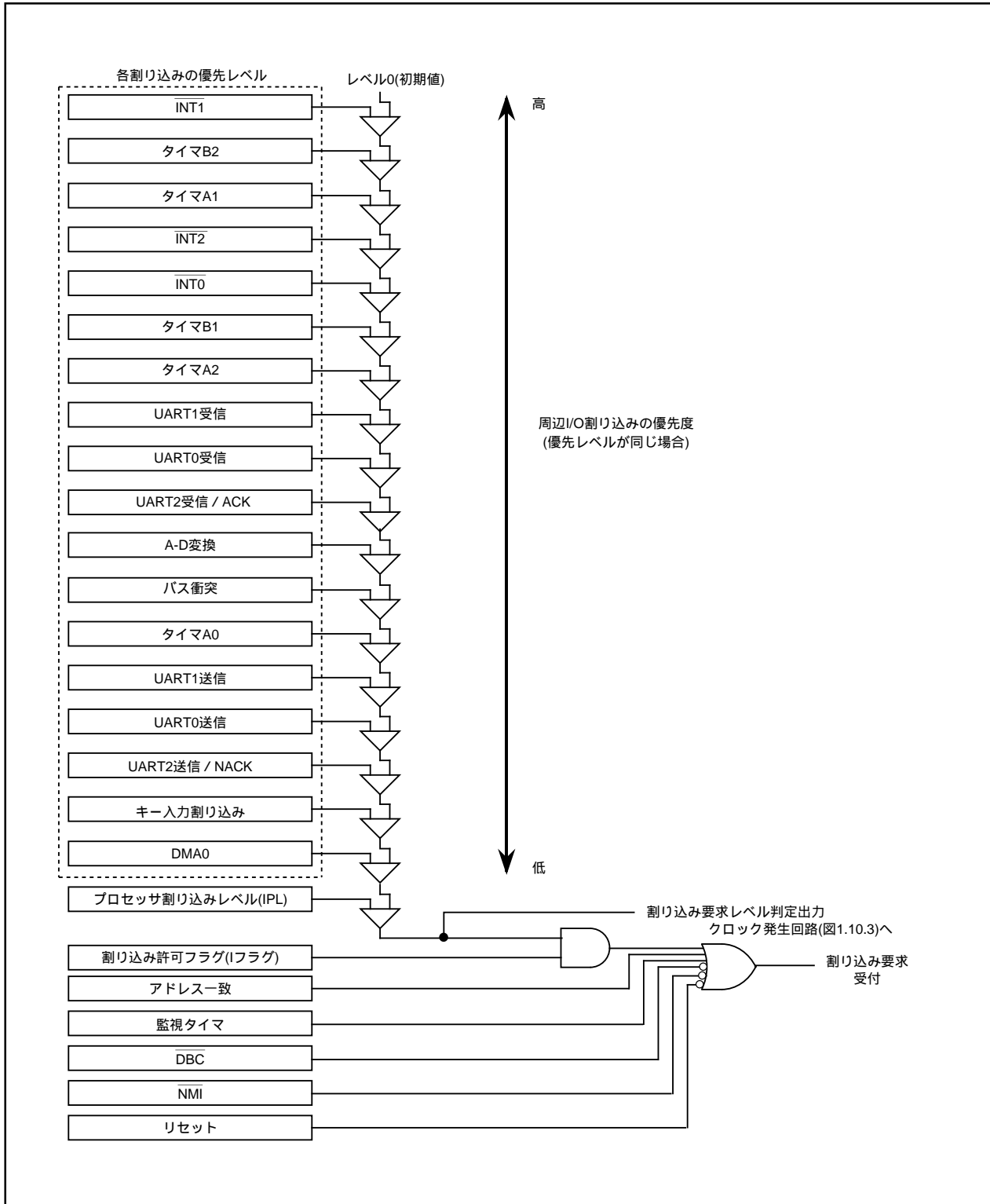


図1.11.9. 割り込み優先レベル判定回路

INT割り込み

INT割り込み

INT0 ~ INT2は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

外部割り込み入力は、割り込み要因選択レジスタ(035F₁₆番地)のINT_i割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がりの両方のエッジで割り込みを発生させることができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。

図1.11.10に割り込み要因選択レジスタの構成を示します。

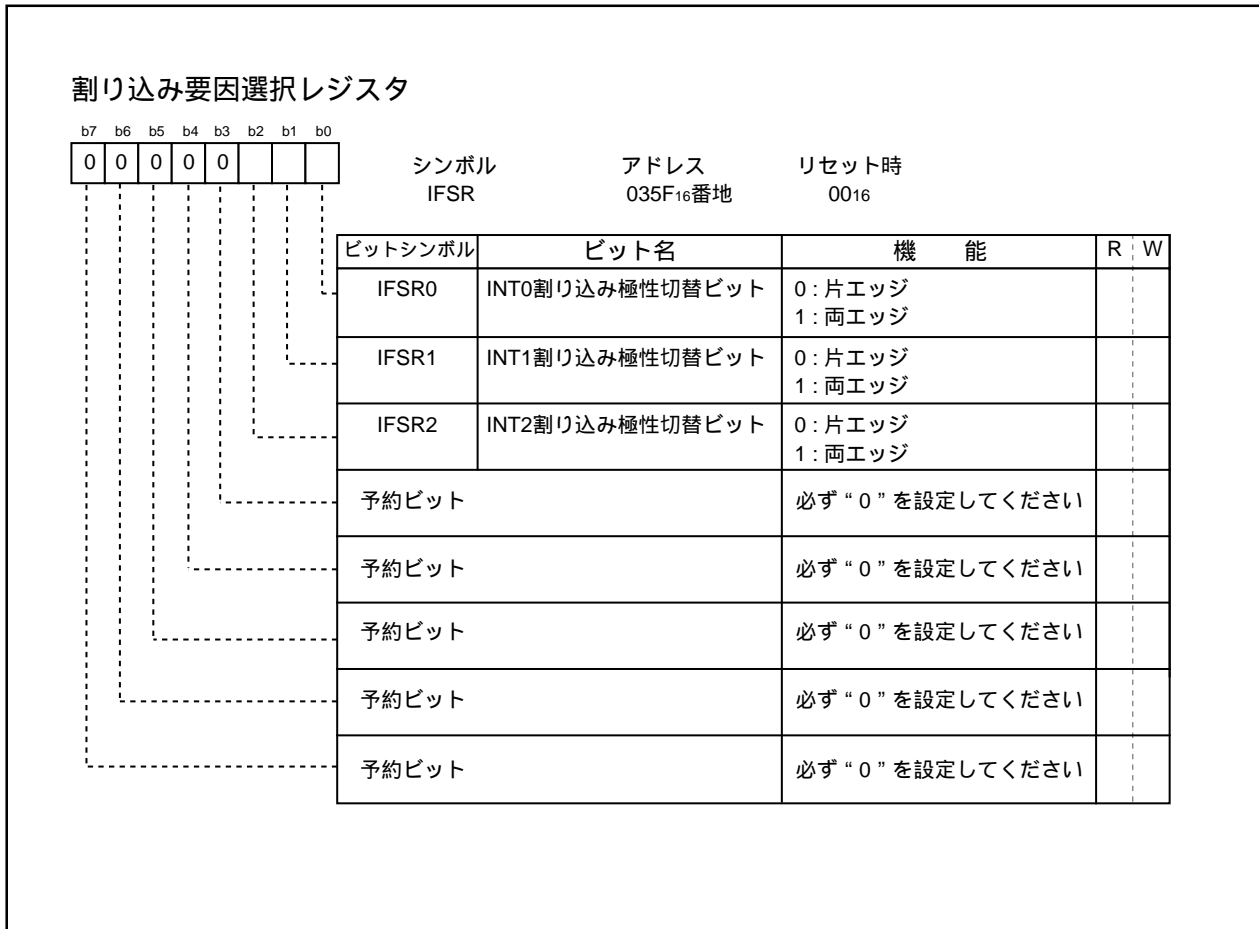


図1.11.10. 割り込み要因選択レジスタの構成

NMI割り込み

NMI割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”レベルから“L”レベルに変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクブル外部割り込みです。また、この端子の値はポートP85レジスタ(03F0₁₆番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

キー入力割り込み

P104～P107のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。ただし、キー入力割り込みを使用する場合、P104～P107をA-D入力ポートとして使用しないでください。キー入力割り込みのブロック図を図1.11.11に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されると、他の端子の入力は割り込みとして検知されません。

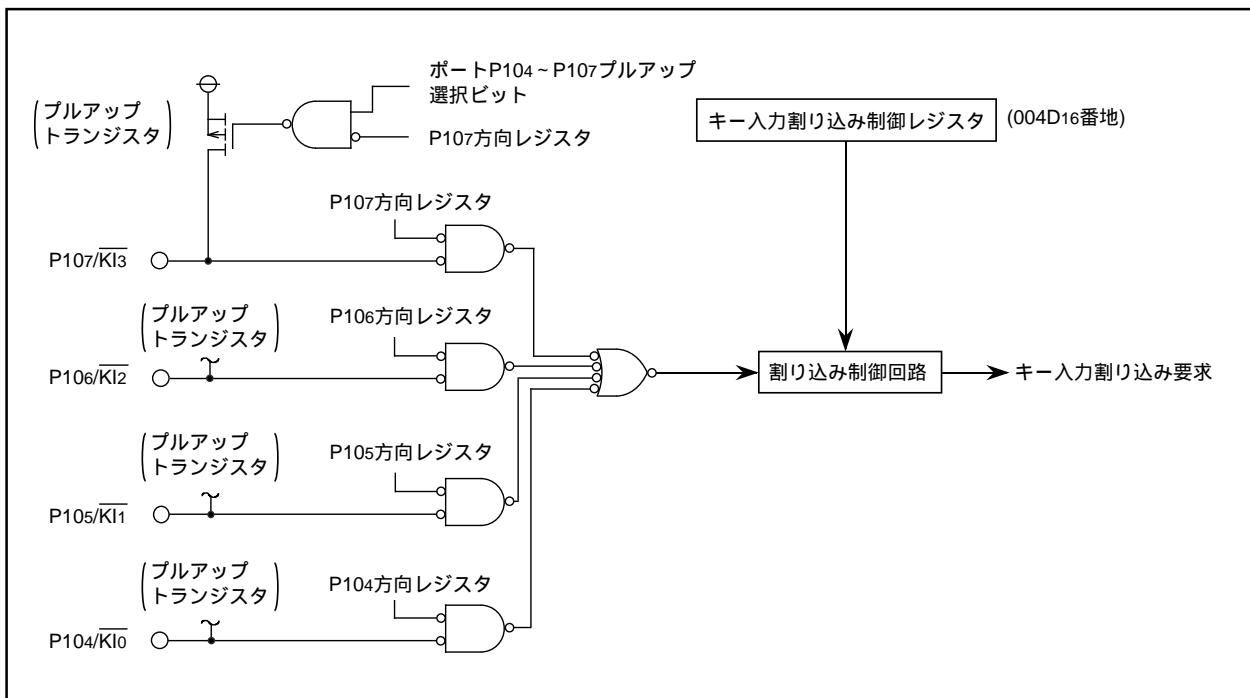


図1.11.11. キー入力割り込みのブロック図

アドレス一致割り込み

アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、アドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(フラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

なお、外部データバス幅を8ビットで使用している場合、外部に対してアドレス一致割り込みは使用できません。

図1.11.12にアドレス一致割り込み関連レジスタの構成を示します。

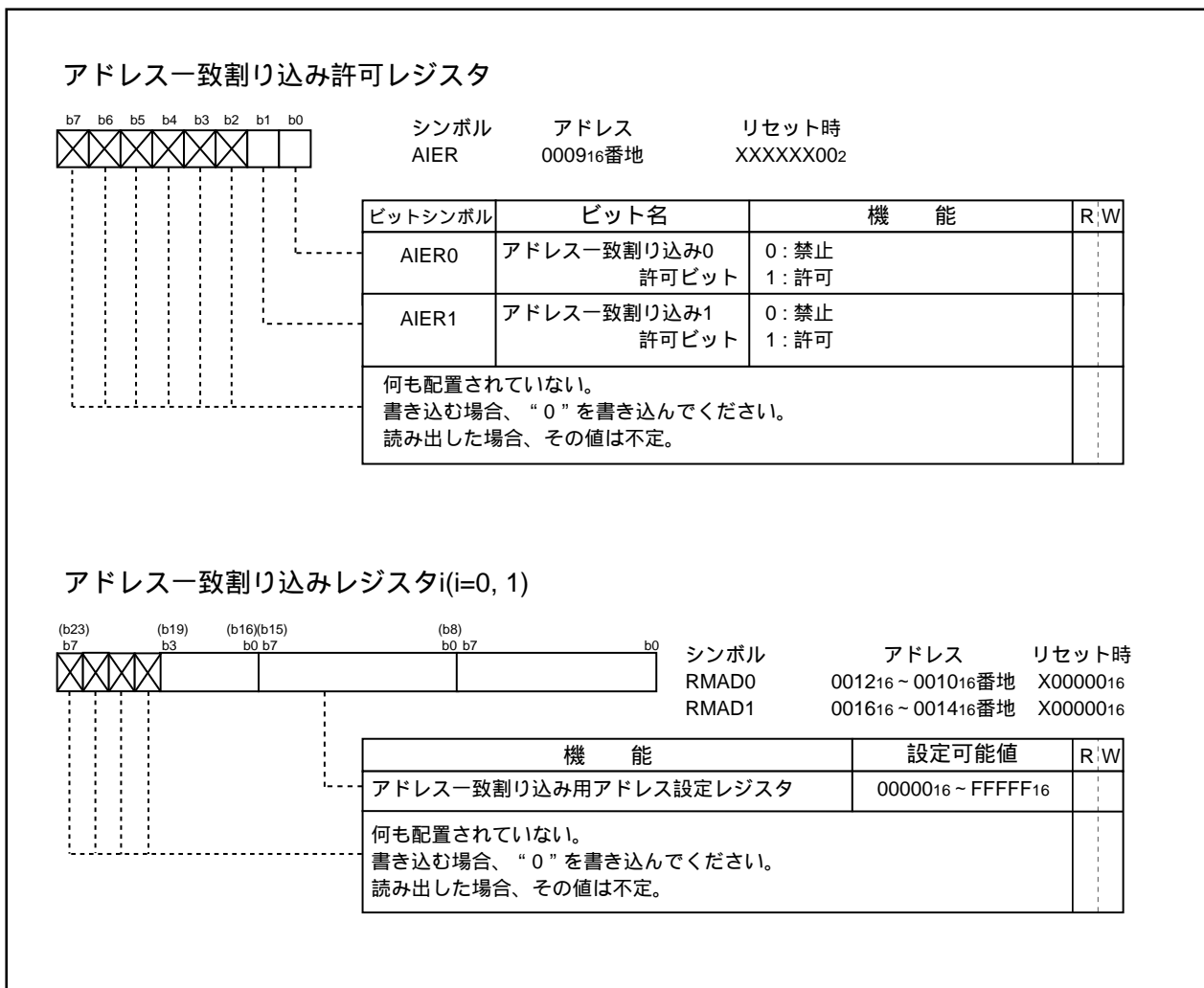


図1.11.12. アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

割り込みの注意事項

(1) 00000₁₆番地の読み出し

マスク割込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、NMI割込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、NMI割込みを含むすべての割り込みが禁止されています。

(3) NMI割込み

NMI割込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子は、入力専用のP8₅と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、NMI割込みが入ったときの端子のレベル確定用にだけ使用してください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態では、CM10が“0”に固定されるため、ストップモードに移行されません。

$\overline{\text{NMI}}$ 端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。

$\overline{\text{NMI}}$ 端子に入力する信号には、CPUの動作クロックの2クロック + 300ns以上の“L”レベル幅、“H”レベル幅が必要です。

(4) 外部割り込み

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_2$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_2$ 端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割込み発生要因の切り替え手順例を図1.11.13に示します。

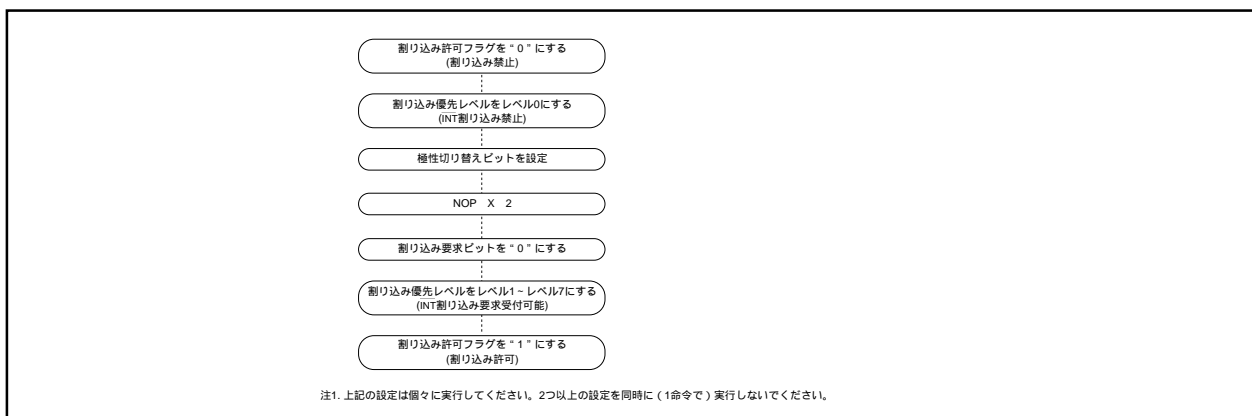


図1.11.13. INT割込み発生要因の切り替え

割り込みの注意事項

(5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

<割り込み制御レジスタを書き換えるプログラム例>

例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP    ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET   I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W  MEM, R0    ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC   FLG        ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込み禁止状態で割り込み制御レジスタを変更するときには、使用する命令に注意が必要です。

割り込み要求ビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込みが発生した場合、割り込み要求ビットがセットされずに割り込みが無視されることがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令...AND、OR、BCLR、BSET

割り込み要求ビットの変更

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令...MOV

監視タイマ

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。したがって、システムの信頼性向上のために、監視タイマを使用されることをお奨めします。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケアラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7でプリスケアラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7に関係なくプリスケアラの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケアラによる誤差が生じます。

BCLKにXINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケアラの分周比}(16\text{または}128) \times \text{監視タイマのカウンタ値}(32768)}{\text{BCLK}}$$

BCLKにXCINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケアラの分周比}(2) \times \text{監視タイマのカウンタ値}(32768)}{\text{BCLK}}$$

例えば、BCLKが16MHzで、プリスケアラの分周比として16分周を選択している場合、監視タイマの周期は、約32.8msとなります。

監視タイマは、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケアラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケアラは停止しており、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作によりカウントを開始します。ストップモード時、ウエイトモード時、およびホールド状態時、監視タイマおよびプリスケアラは停止し、解除すると保持された値からカウントします。

図1.12.1に監視タイマのブロック図、図1.12.2に監視タイマ関連レジスタの構成を示します。

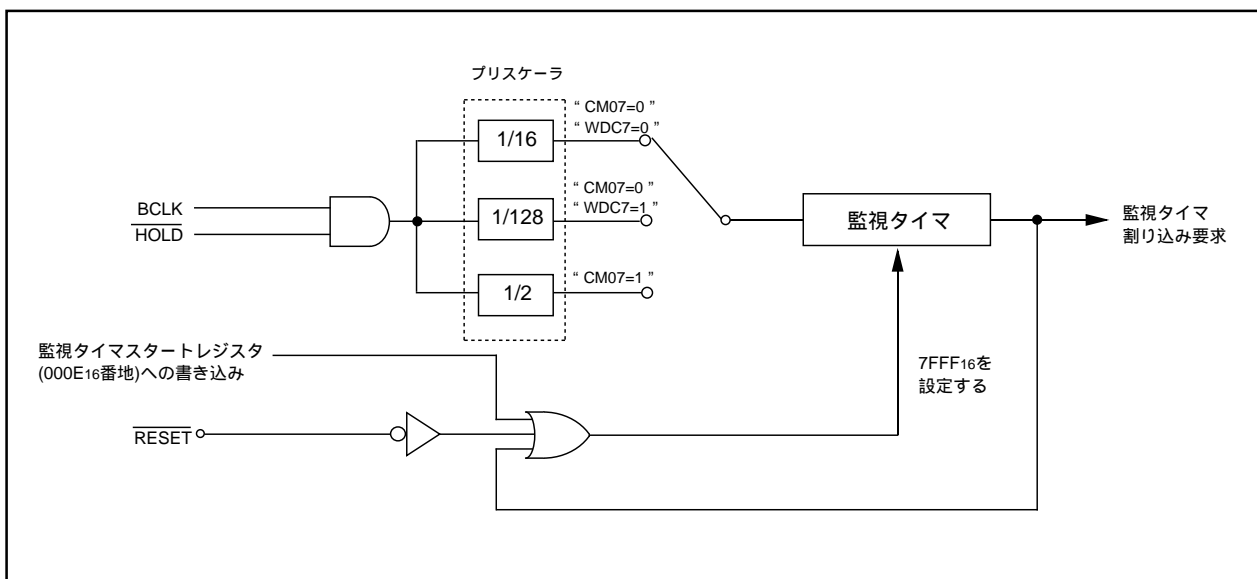


図1.12.1. 監視タイマのブロック図

監視タイマ

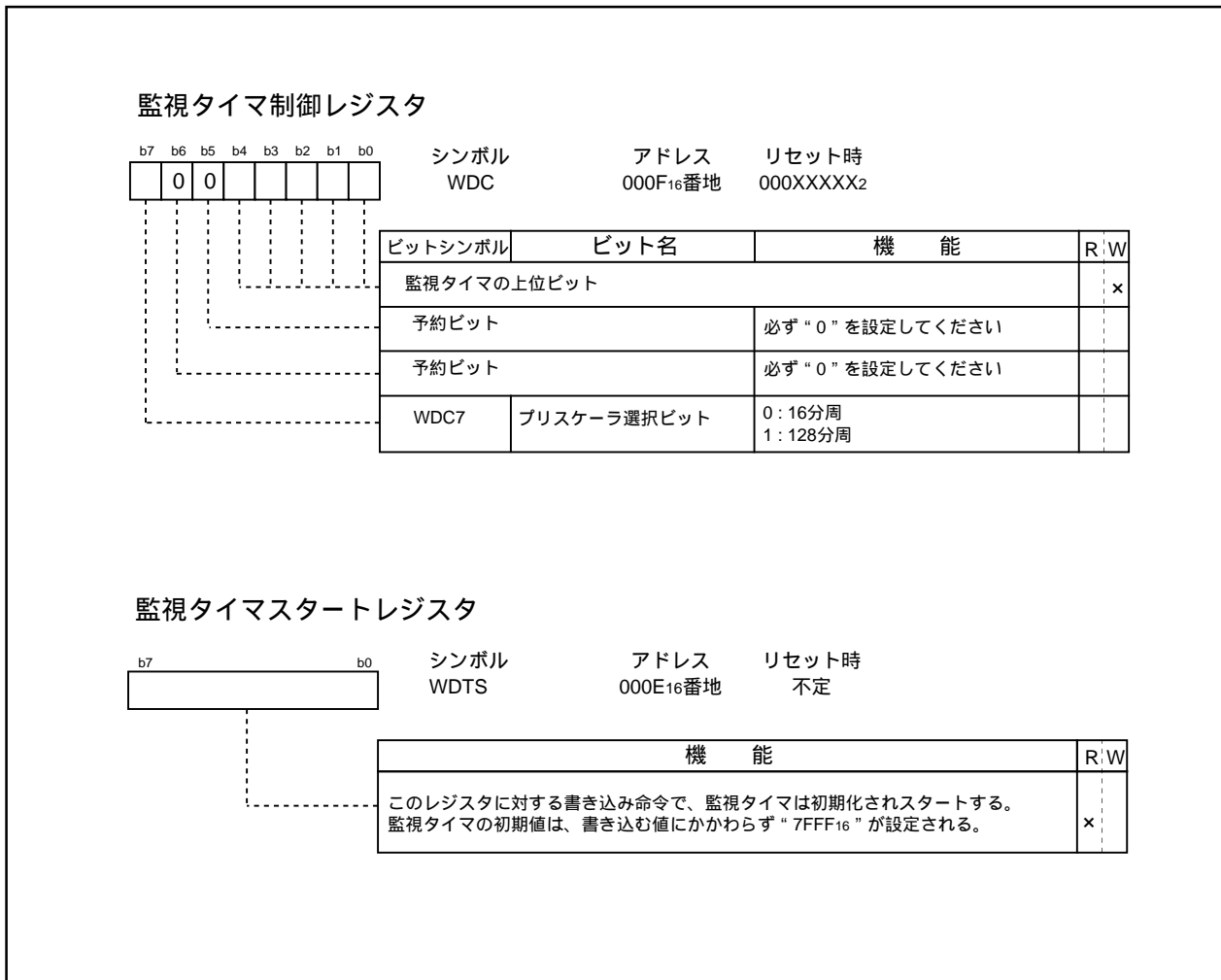


図1.12.2. 監視タイマ関連レジスタ

DMAC

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を1チャンネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図1.13.1にDMACのブロック図を、表1.13.1にDMACの仕様を、図1.13.2～図1.13.4にDMACで使用するレジスタの構成を示します。

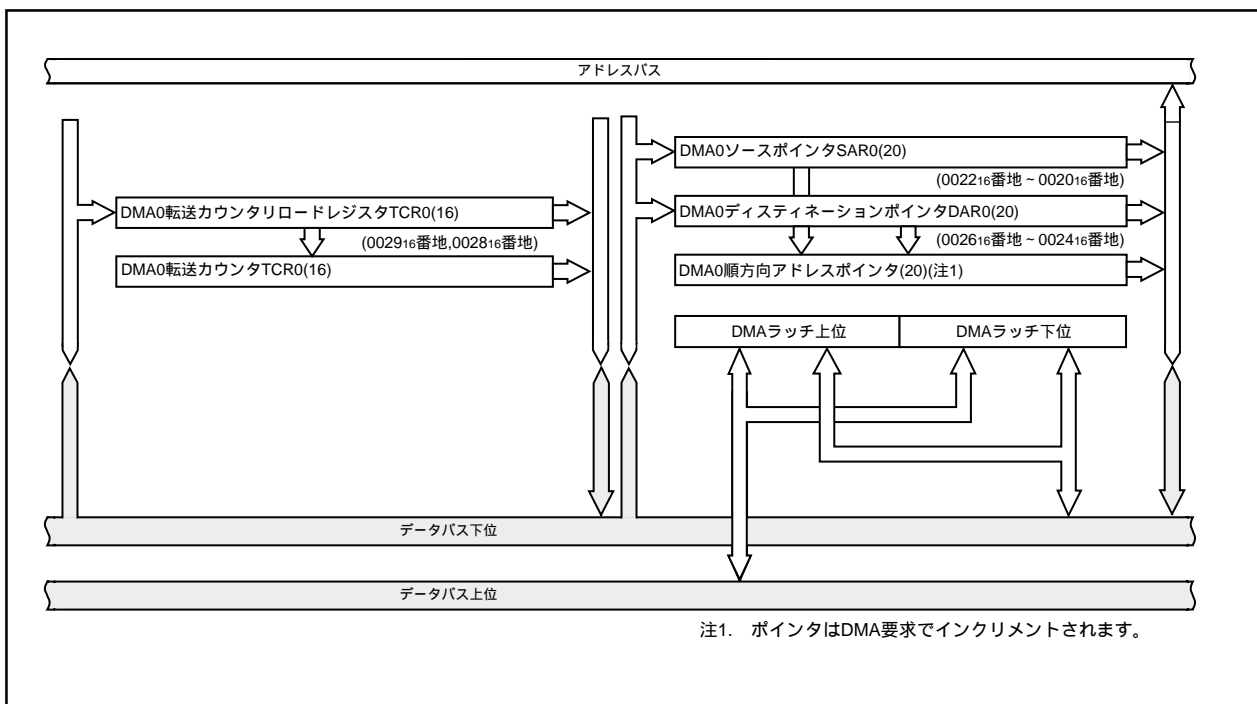


図1.13.1. DMACブロック図

DMA転送の要求信号には、ソフトウェアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(1フラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生するとともに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表1.13.1. DMAC仕様

項 目	仕 様
チャンネル数	1チャンネル(サイクルスチール方式)
転送空間	1Mバイトの任意の空間から固定アドレス 固定アドレスから1Mバイトの任意の空間 固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020 ₁₆ 番地 ~ 003F ₁₆ 番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	INT0端子の立ち下がりエッジまたは両エッジ タイマA0 ~ タイマA2割り込み要求 タイマB1、B2割り込み要求 UART0送信および受信割り込み要求 UART1送信割り込み要求 UART2送信および受信割り込み要求 A-D変換割り込み要求 ソフトウェアトリガ
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のとき DMACがアクティブ状態のとき、DMA転送の要求信号が発生するごとにデータ転送が開始される
アクティブでない状態	DMA許可ビットが“0”のとき
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(1フラグ)や割り込み優先レベルなどの影響を受けません。

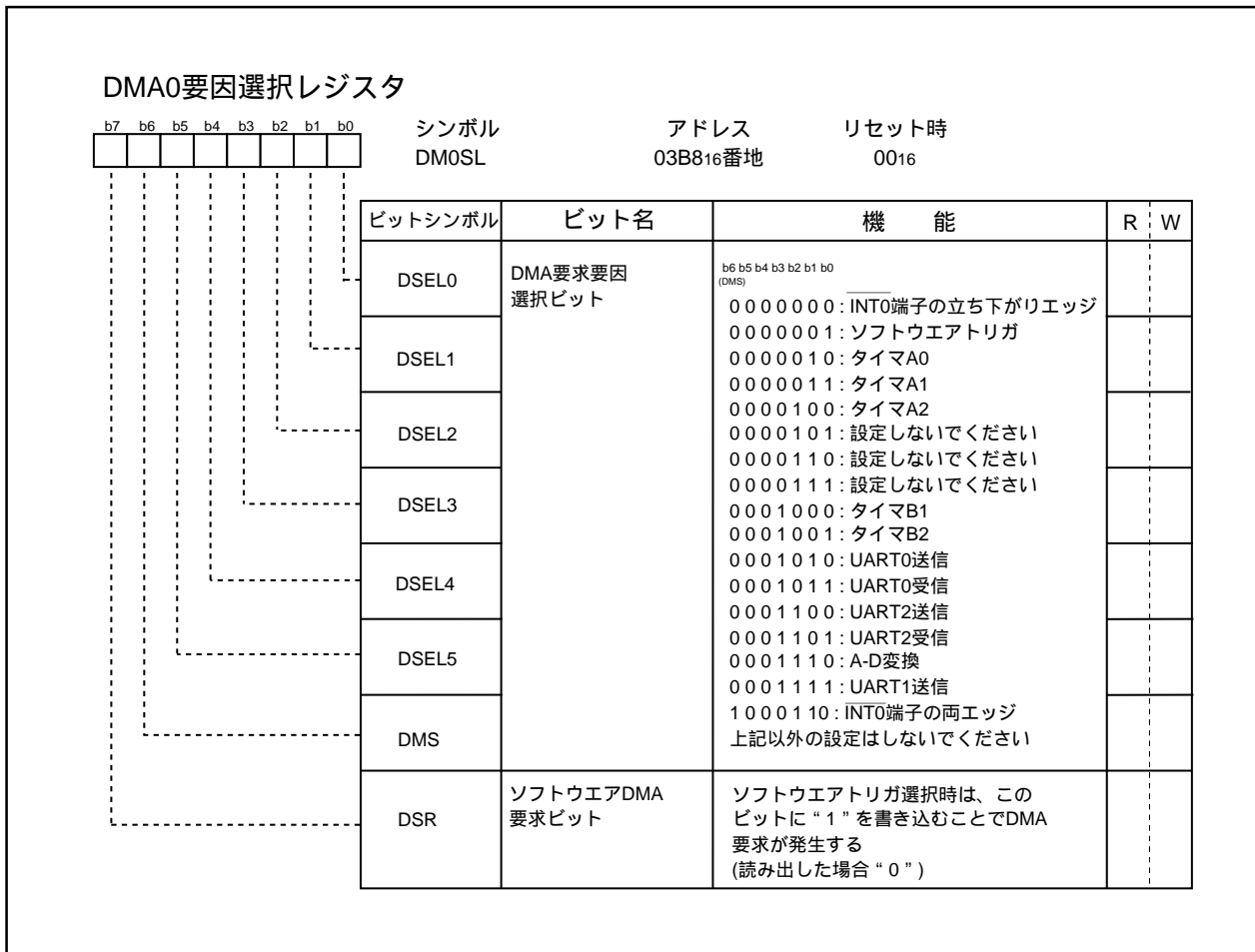


図1.13.2. DMACレジスタ構成(1)

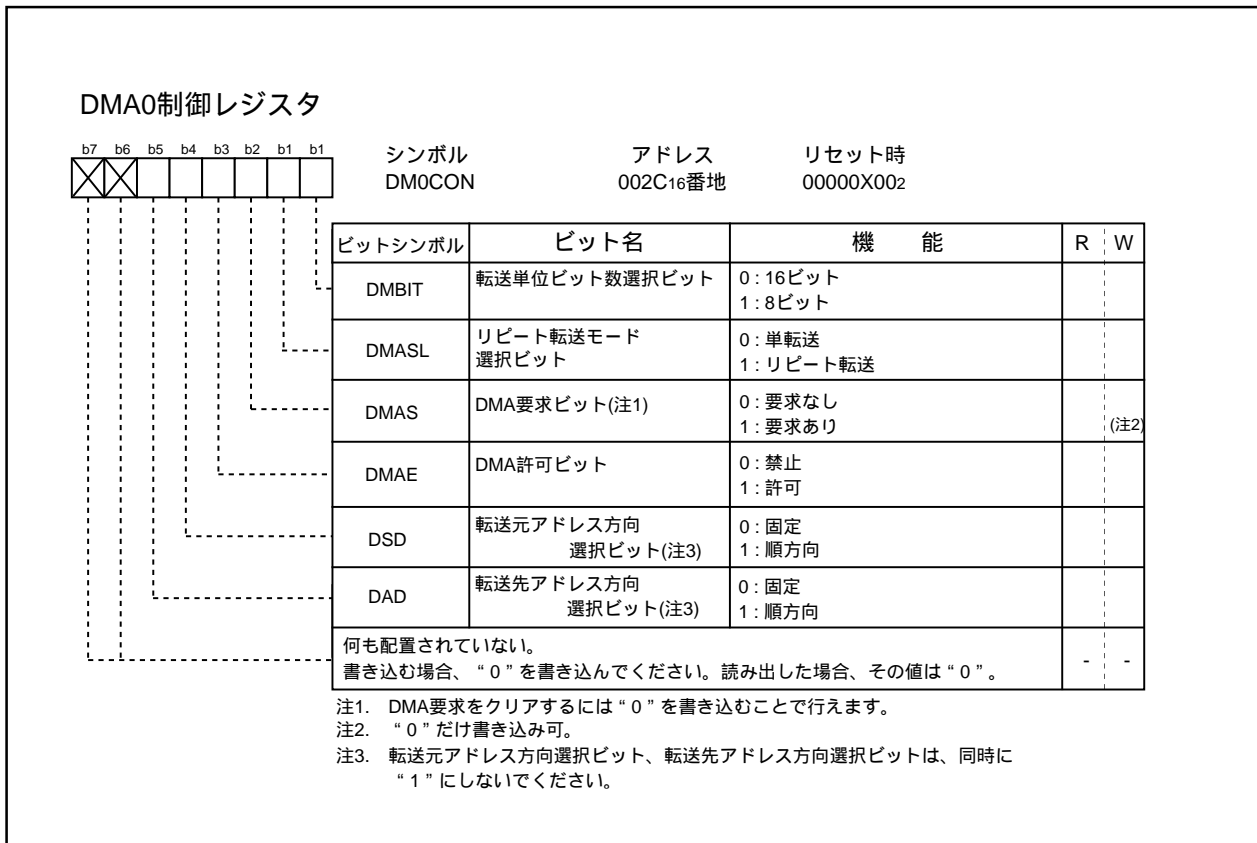


図1.13.3. DMACレジスタ構成(2)

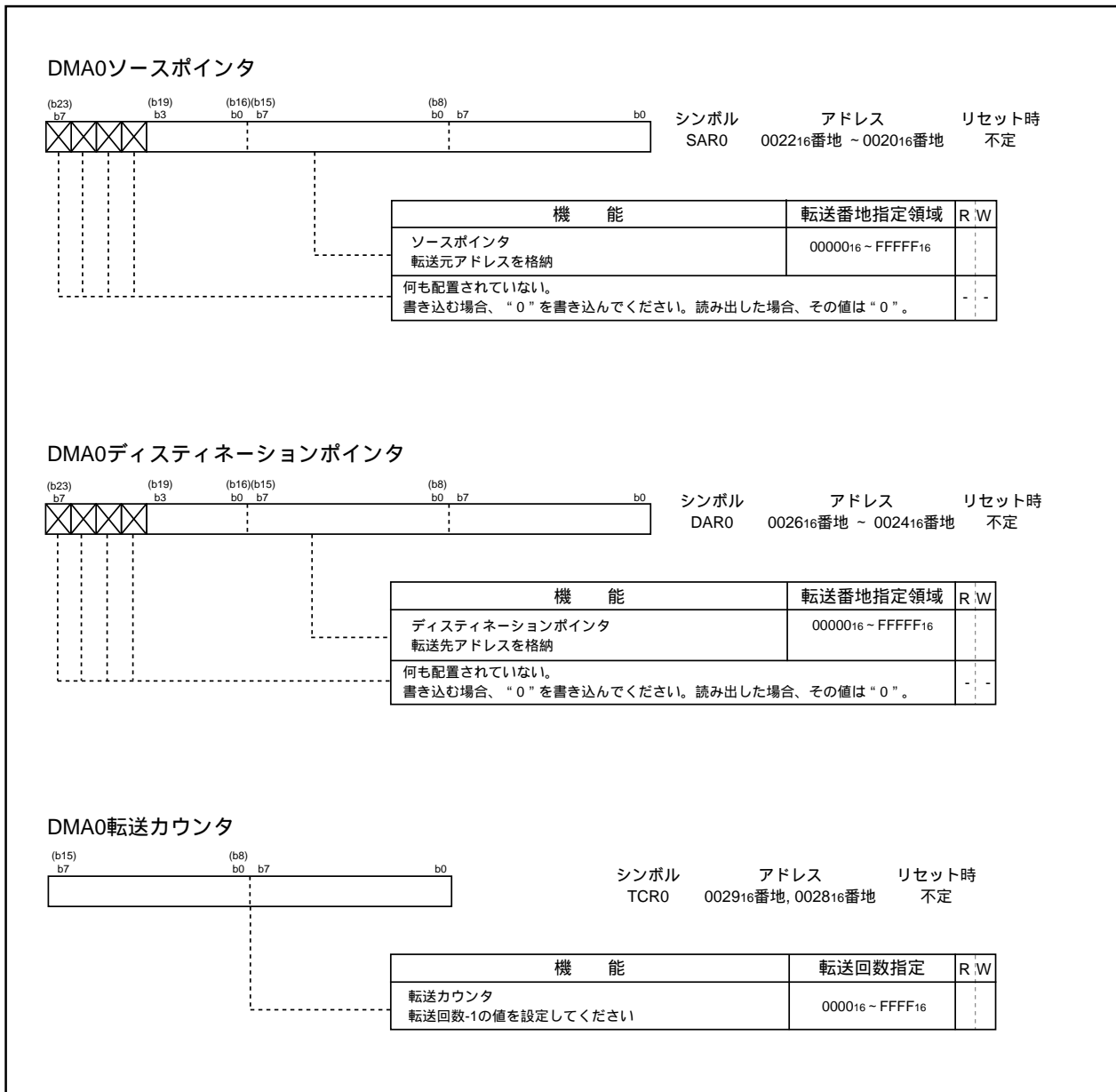


図1.13.4. DMACレジスタ構成(3)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元/転送先アドレスの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウエイトの影響により、バスサイクル自体が長くなります。

転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

BYTE端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子が“H”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図1.13.5にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば の転送単位が16ビット幅でソースアドレスが奇数番地の場合では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

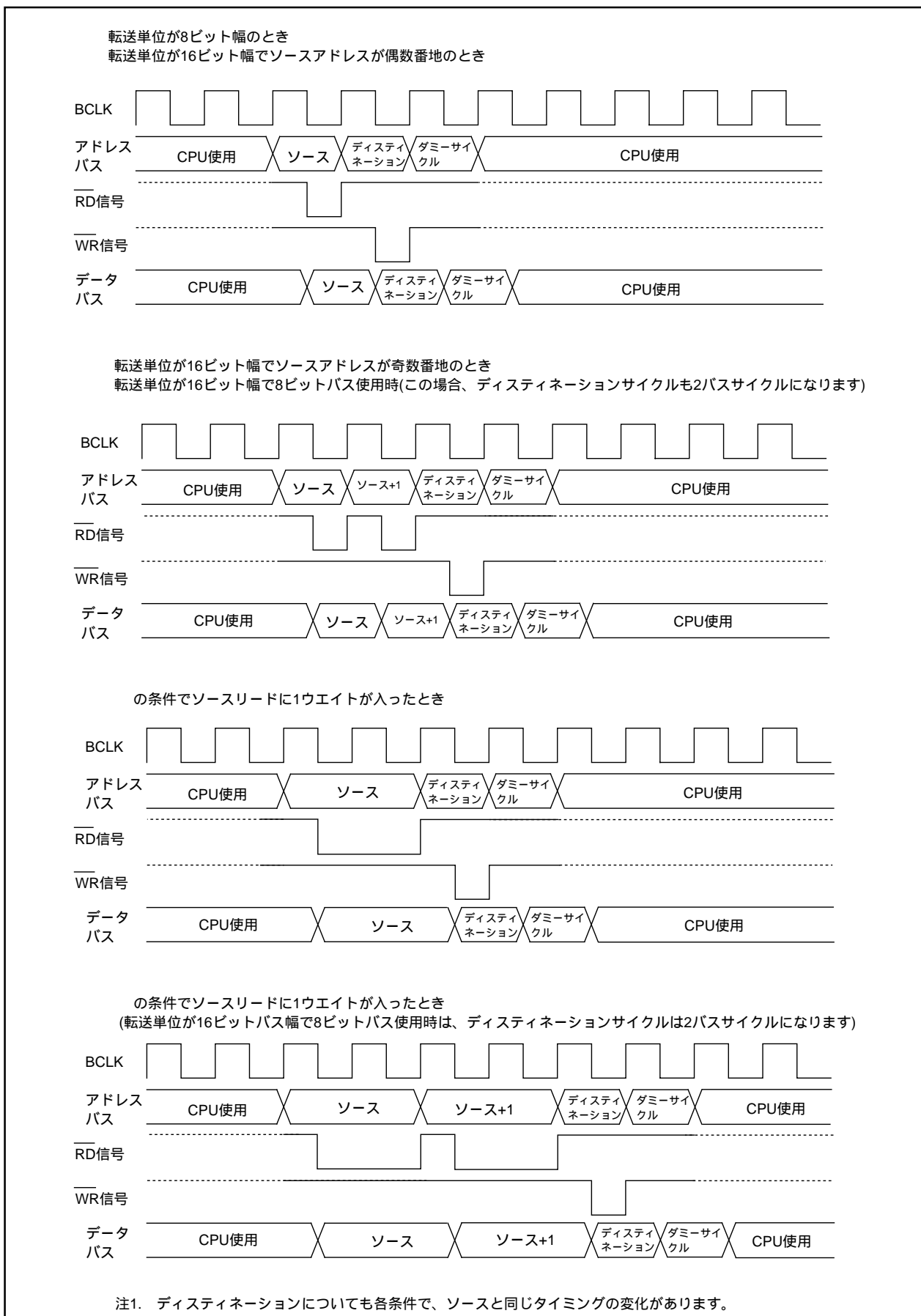


図1.13.5. ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表1.13.2にDMAC転送サイクル数を示します。

$$1 \text{ 転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表1.13.2. DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT= " 1 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	1	1	1	1
	8ビット (BYTE= " H ")	偶 数	-	-	1	1
		奇 数	-	-	1	1
16ビット転送 (DMBIT= " 0 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	2	2	2	2
	8ビット (BYTE= " H ")	偶 数	-	-	2	2
		奇 数	-	-	2	2

係数j,k

内部領域			外部領域		
内部ROM/RAM ウエイトなし	内部ROM/RAM ウエイトあり	SFR領域	セパレート ウエイトなし	セパレート ウエイトあり	マルチプレクス バス
1	2	2	1	2	3

DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

- (1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする
- (2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

DMA要求ビット

DMACは、DMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

- ・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウェアDMA要因(内部要因)
- ・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMA0要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウェアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

INT0端子からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因としてINT0端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、INT0端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

タイマ

タイマ

タイマは、16ビットタイマを5本内蔵しています。5本のタイマは、持っている機能によってタイマA(3本)とタイマB(2本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図1.14.1にタイマA、図1.14.2にタイマBの構成を示します。

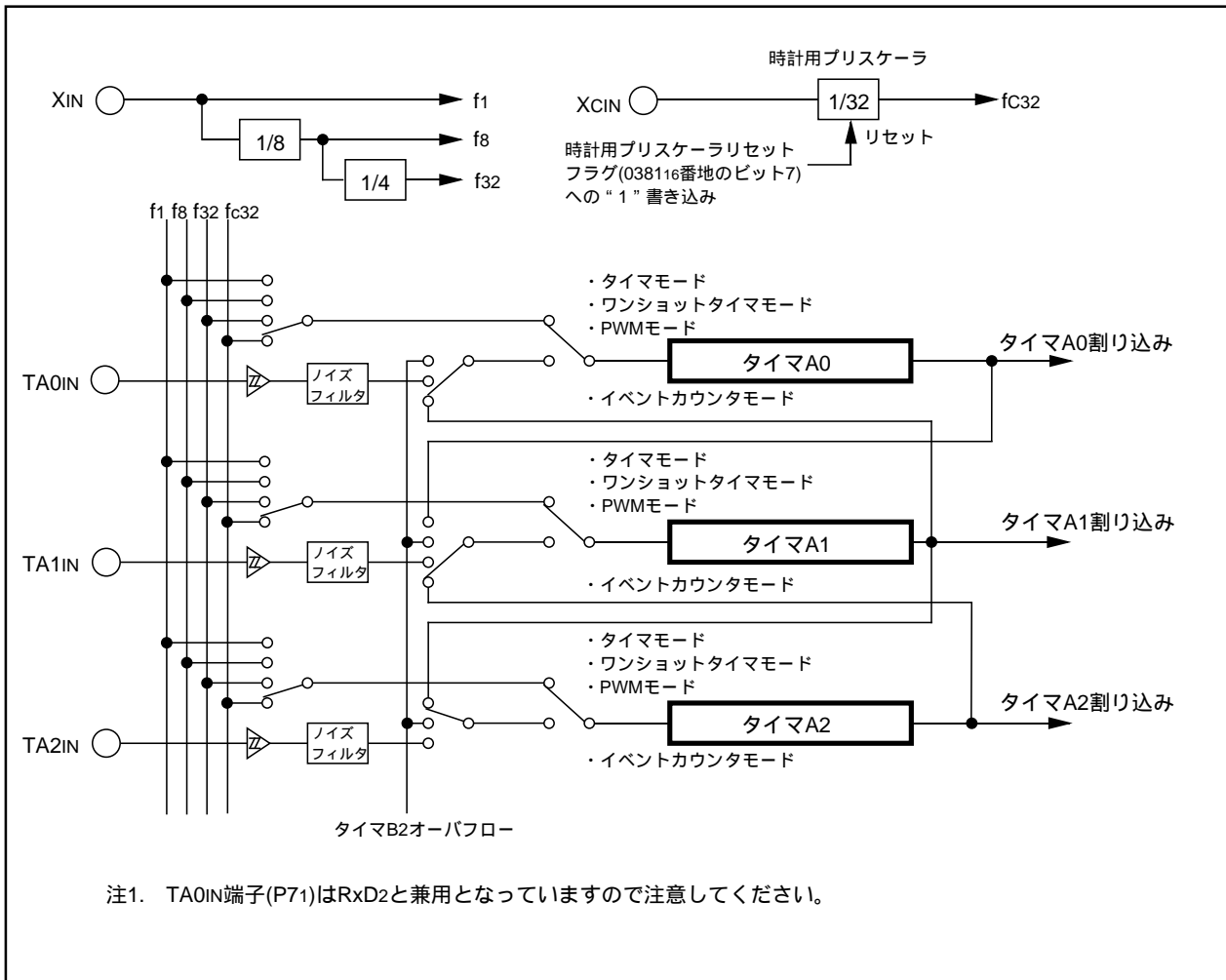


図1.14.1. タイマA構成

タイマ

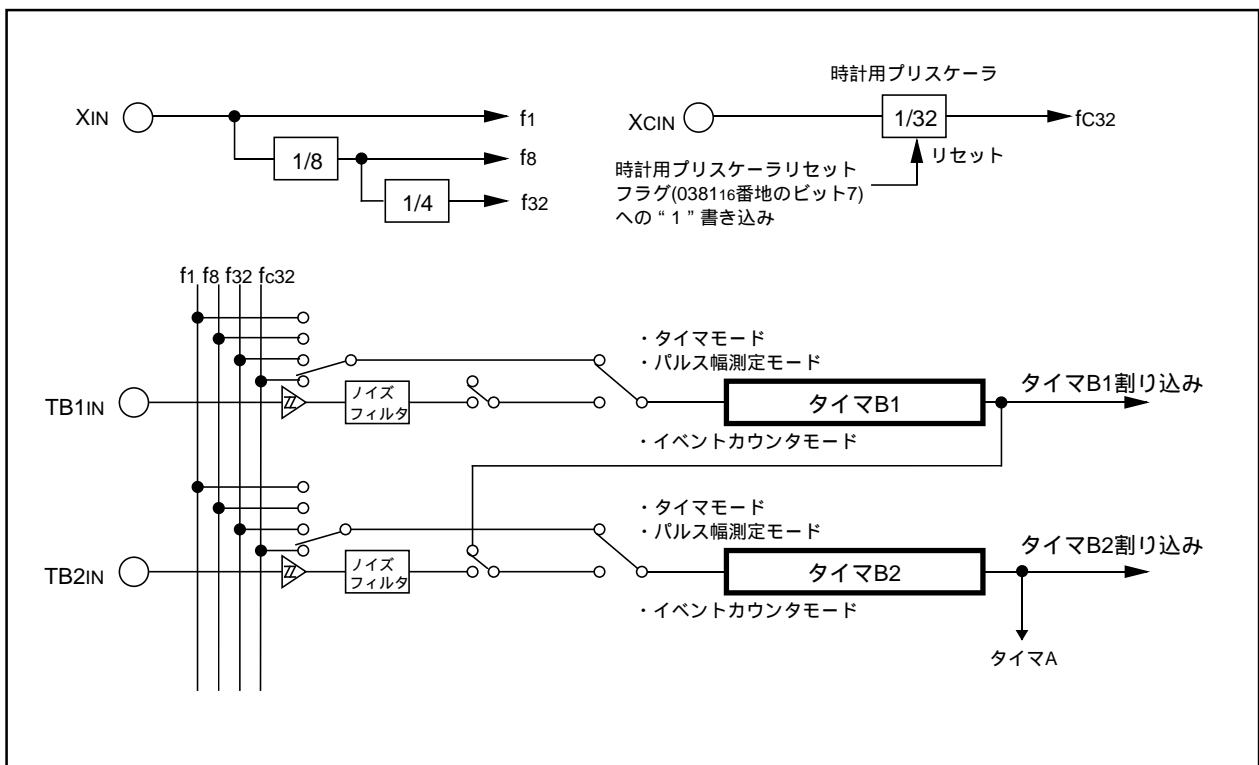
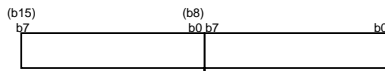


図1.14.2. タイマB構成

タイマA

タイマAiレジスタ(注1)



シンボル	アドレス	リセット時
TA0	0387 ₁₆ , 0386 ₁₆ 番地	不定
TA1	0389 ₁₆ , 0388 ₁₆ 番地	不定
TA2	038B ₁₆ , 038A ₁₆ 番地	不定

機能	設定可能値	R/W
タイマモード 内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	
イベントカウンタモード 外部からの入力パルスまたはタイマのオーバーフローを カウント	0000 ₁₆ ~ FFFF ₁₆	
ワンショットタイマモード ワンショット幅をカウント	0000 ₁₆ ~ FFFF ₁₆ (注2、注4)	x
パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000 ₁₆ ~ FFFF ₁₆ (注3、注4)	x
パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケアラ、 上位アドレスは8ビットパルス幅変調器として動作	00 ₁₆ ~ FE ₁₆ (上位アドレス) 00 ₁₆ ~ FF ₁₆ (下位アドレス) (注3、注4)	x

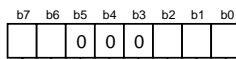
注1. 読み出し、および書き込みは16ビット単位で行ってください。

注2. タイマAiレジスタに“0000₁₆”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiout端子からパルスは出力しません。

注3. タイマAiレジスタに“0000₁₆”を設定した場合、パルス幅変調器は動作せず、TAiout端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00₁₆”を設定した場合も同様です。

注4. このレジスタへの書き込みにはMOV命令を使用してください。

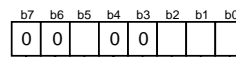
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	
TA1S	タイマA1カウント開始フラグ		
TA2S	タイマA2カウント開始フラグ		
予約ビット		必ず“0”を設定してください	
TB1S	タイマB1カウント開始フラグ	0: カウント停止 1: カウント開始	
TB2S	タイマB2カウント開始フラグ		

アップダウンフラグ(注1)



シンボル	アドレス	リセット時
UDF	0384 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント アップ/ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	
TA1UD	タイマA1アップダウンフラグ		
TA2UD	タイマA2アップダウンフラグ		
予約ビット		必ず“0”を設定してください	
TA2P	タイマA2二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可(注2) 二相パルス信号処理機能を使用 しない場合は、“0”を設定して ください	x
予約ビット		必ず“0”を設定してください	x

注1. このレジスタへの書き込みにはMOV命令を使用してください。

注2. TAiIn、TAiOutに対応するポート方向レジスタは“0”にしてください。

図1.14.5. タイマA関連レジスタ(2)

タイマA

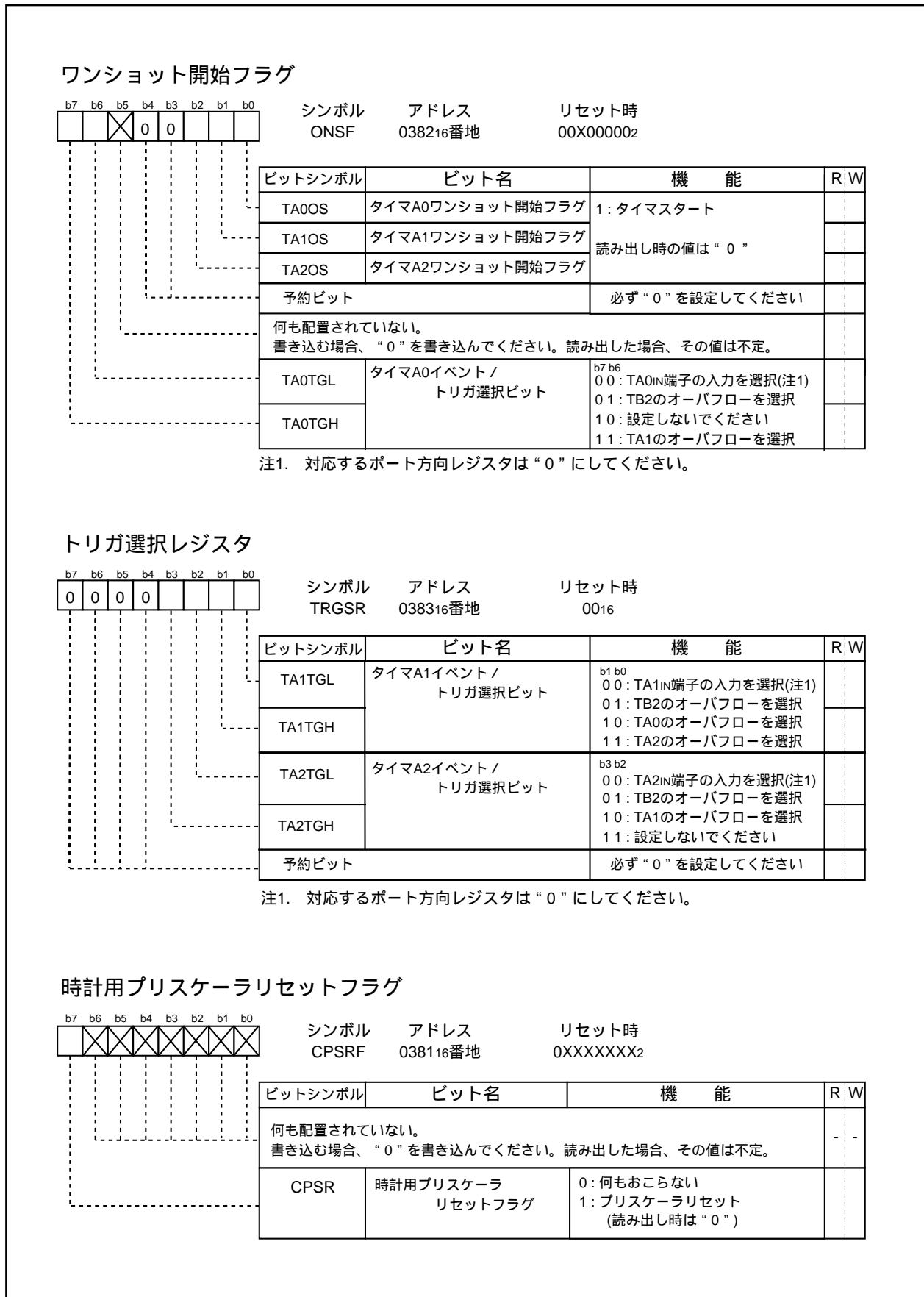


図1.14.6. タイマA関連レジスタ(3)

タイマA

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.14.1)。図1.14.7にタイマモード時のタイマAiモードレジスタの構成を示します。

表1.14.1. タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

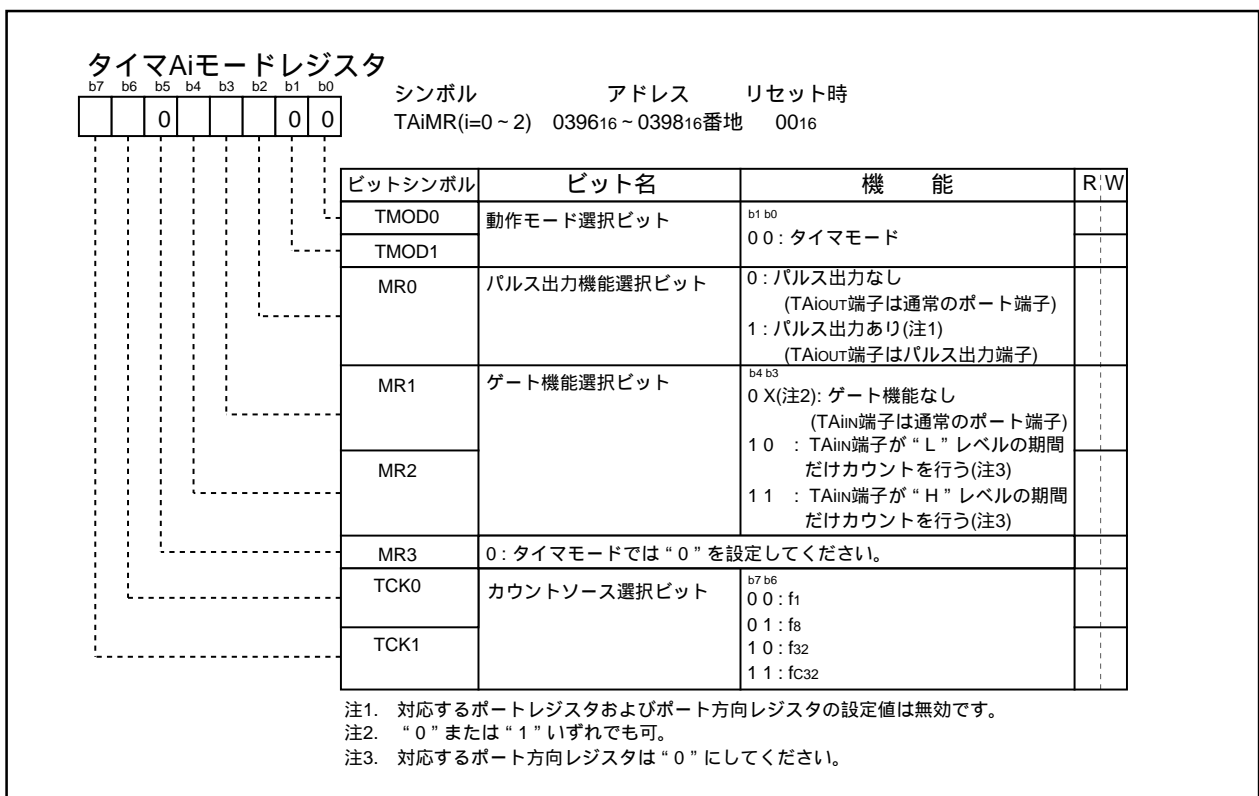


図1.14.7. タイマモード時のタイマAiモードレジスタの構成

タイマA

(2) イベントカウンタモード

外部信号または内部タイマのオーバーフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表1.14.2に、タイマAiモードレジスタの構成を図1.14.8に示します。二相の外部信号をカウントする場合の仕様を表1.14.3に、タイマAiモードレジスタの構成を図1.14.9に示します。

表1.14.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	TAiIN端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能) TB2のオーバーフロー、TAjのオーバーフロー
カウント動作	アップカウントまたはダウンカウントを、外部信号またはソフトウェアで選択可能 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバーフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバーフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバーフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注1. フリーラン機能選択時は除きます。

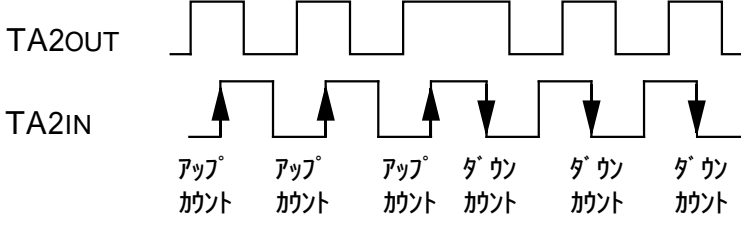
タイマAiモードレジスタ (二相パルス信号処理を使用しない場合)		シンボル	アドレス	リセット時
		TAiMR(i=0~2)	0396 ₁₆ ~ 0398 ₁₆ 番地	00 ₁₆
ビットシンボル	ビット名	機能		R/W
TMOD0	動作モード選択ビット	b1 b0	0 1: イベントカウンタモード(注1)	
MR0	パルス出力機能選択ビット		0: パルス出力なし (TAiOUT端子は通常のポート端子) 1: パルス出力あり(注2) (TAiOUT端子はパルス出力端子)	
MR1	カウント極性選択ビット(注3)		0: 外部信号の立ち下がり方をカウント 1: 外部信号の立ち上がり方をカウント	
MR2	アップ/ダウン切り替え 要因選択ビット		0: アップダウンフラグの内容 1: TAiOUT端子の入力信号(注4)	
MR3			0: イベントカウンタモードでは“0”を設定してください。	
TCK0	カウントタイプ選択ビット		0: リロードタイプ 1: フリーランタイプ	
TCK1			二相パルス信号処理を使用しない場合は無効。 “0”または“1”いずれでも可。	

注1. イベントカウンタモードではカウントソースをイベント/トリガ選択ビット(0382₁₆, 0383₁₆番地)で選択。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3. 外部信号カウント時だけ有効。
注4. TAiOUT端子の入力信号が“L”のときダウンカウントを、“H”のときアップカウントを行います。
対応するポート方向レジスタは“0”にしてください。

図1.14.8. イベントカウンタモード時のタイマAiモードレジスタの構成

タイマA

表1.14.3. イベントカウンタモードの仕様(タイマA2で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TA2IN、TA2OUT端子に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TA2IN端子機能	二相パルス入力 (TA2IN端子に対応するポート方向レジスタは“0”にする)
TA2OUT端子機能	二相パルス入力 (TA2OUT端子に対応するポート方向レジスタは“0”にする)
タイマの読み出し	タイマA2レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマA2レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマA2レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	通常処理動作(タイマA2) TA2OUT端子の入力信号が“H”レベルの期間TA2IN端子の立ち上がりをアップカウントし立ち下りをダウンカウントします。 

注1. フリーラン機能選択時は除く。

タイマA

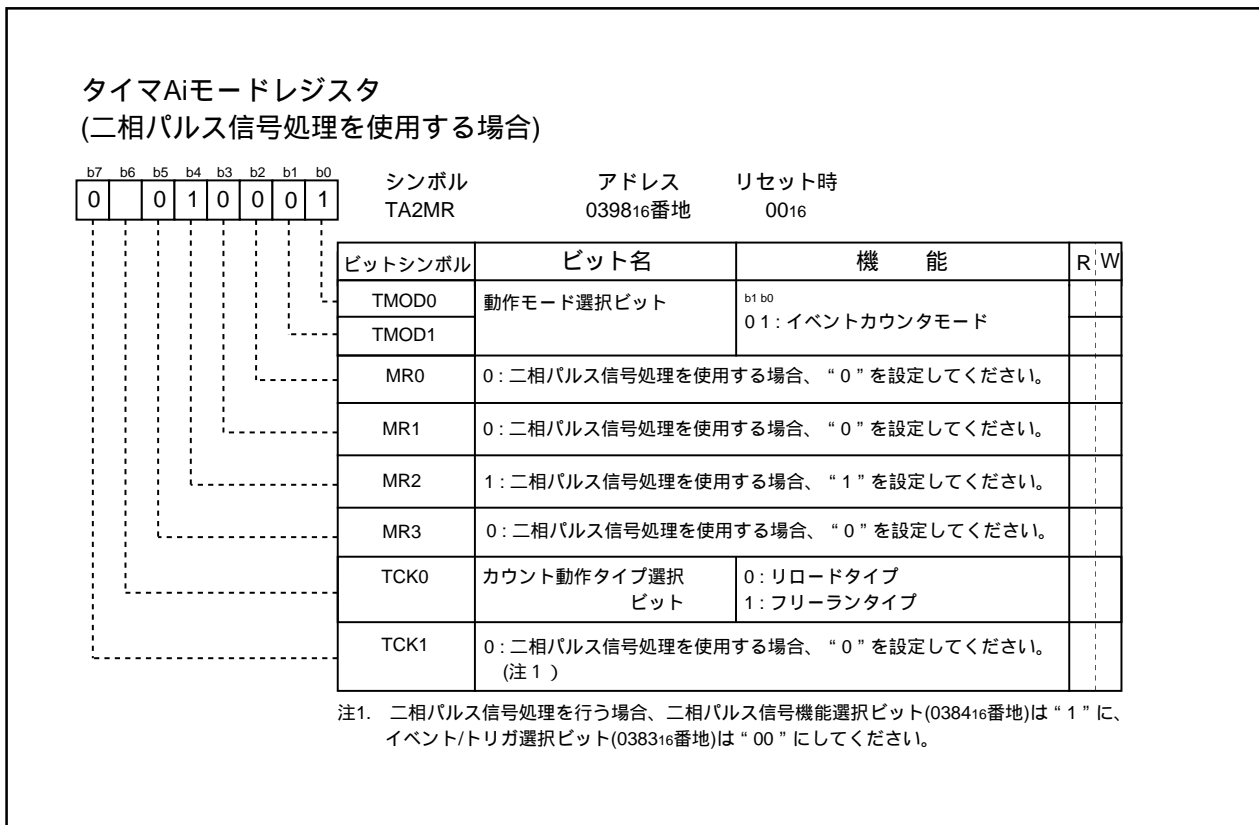


図1.14.9. イベントカウンタモード時のタイマAiモードレジスタの構成

タイマA

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表1.14.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図1.14.10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表1.14.4. ワンショットタイマモードの仕様

項 目	仕 様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント カウントの値が0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー ワンショット開始フラグへの“1”書き込み
カウント停止条件	カウントの値が0000 ₁₆ になりリロードした後 カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000 ₁₆ になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

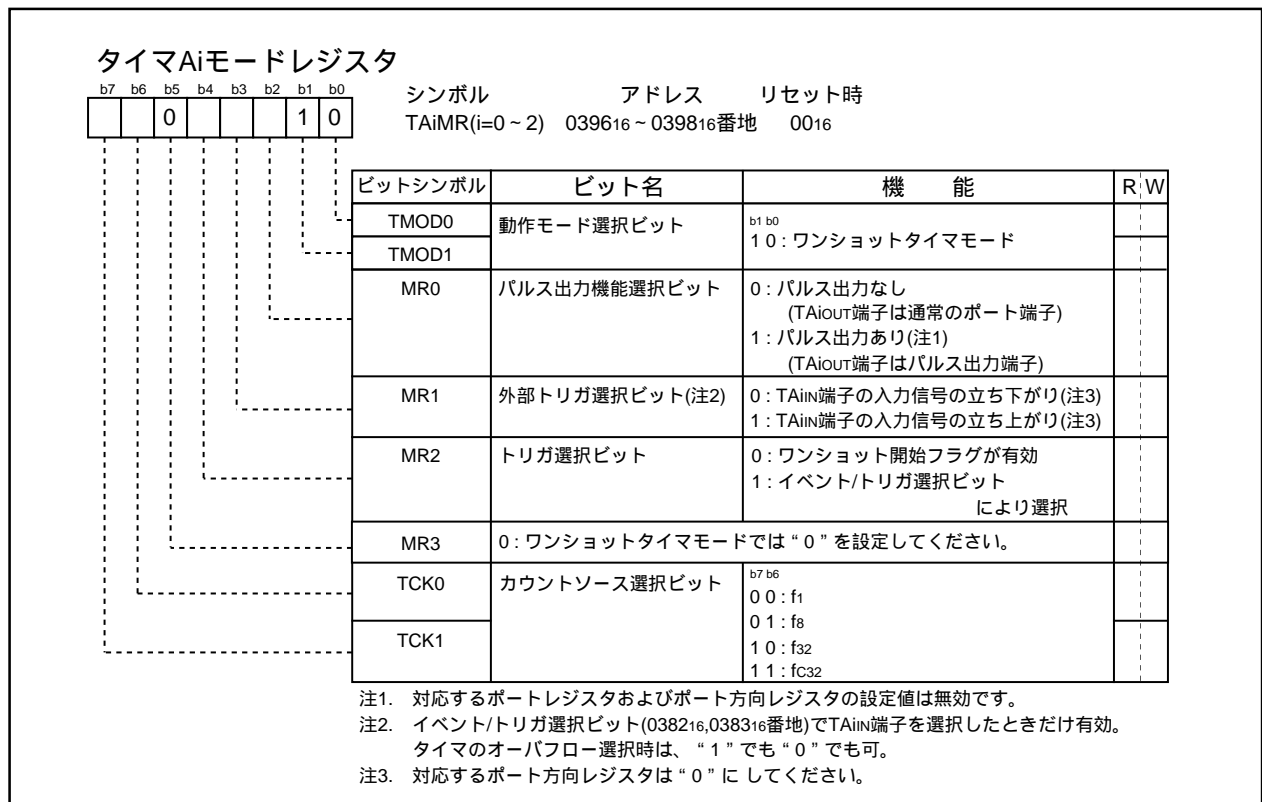


図1.14.10. ワンショットタイマモード時のタイマAiモードレジスタの構成

タイマA

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表1.14.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図1.14.11にパルス幅変調モード時のタイマAiモードレジスタの構成、図1.14.12に16ビットパルス幅変調器の動作例、および図1.14.13に8ビットパルス幅変調器の動作例を示します。

表1.14.5. パルス幅変調モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”レベル幅 n / f_i n:設定値 周期 $(2^{16} - 1) / f_i$ 固定
8ビットPWM	“H”レベル幅 $n \times (m+1) / f_i$ n:タイマAiレジスタの上位アドレスの設定値 周期 $(2^8 - 1) \times (m+1) / f_i$ m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)



図1.14.11. パルス幅変調モード時のタイマAiモードレジスタの構成

タイマA

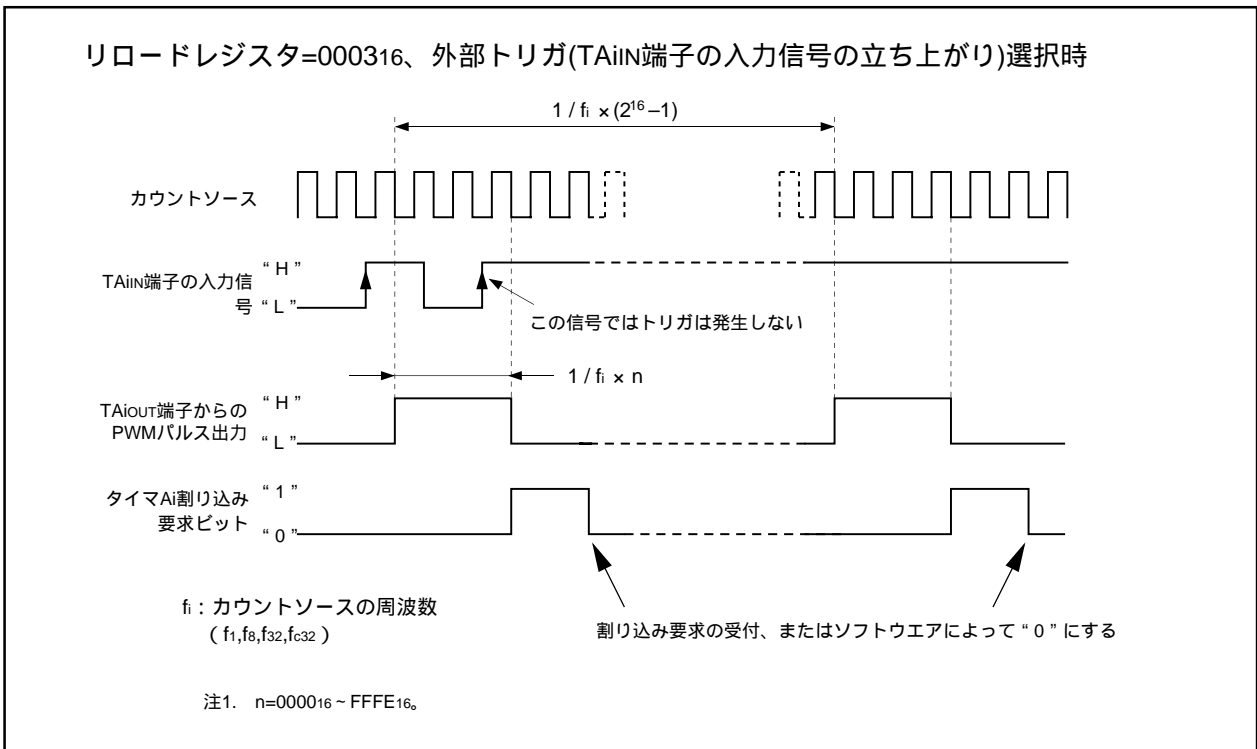


図1.14.12. 16ビットパルス幅変調器の動作例

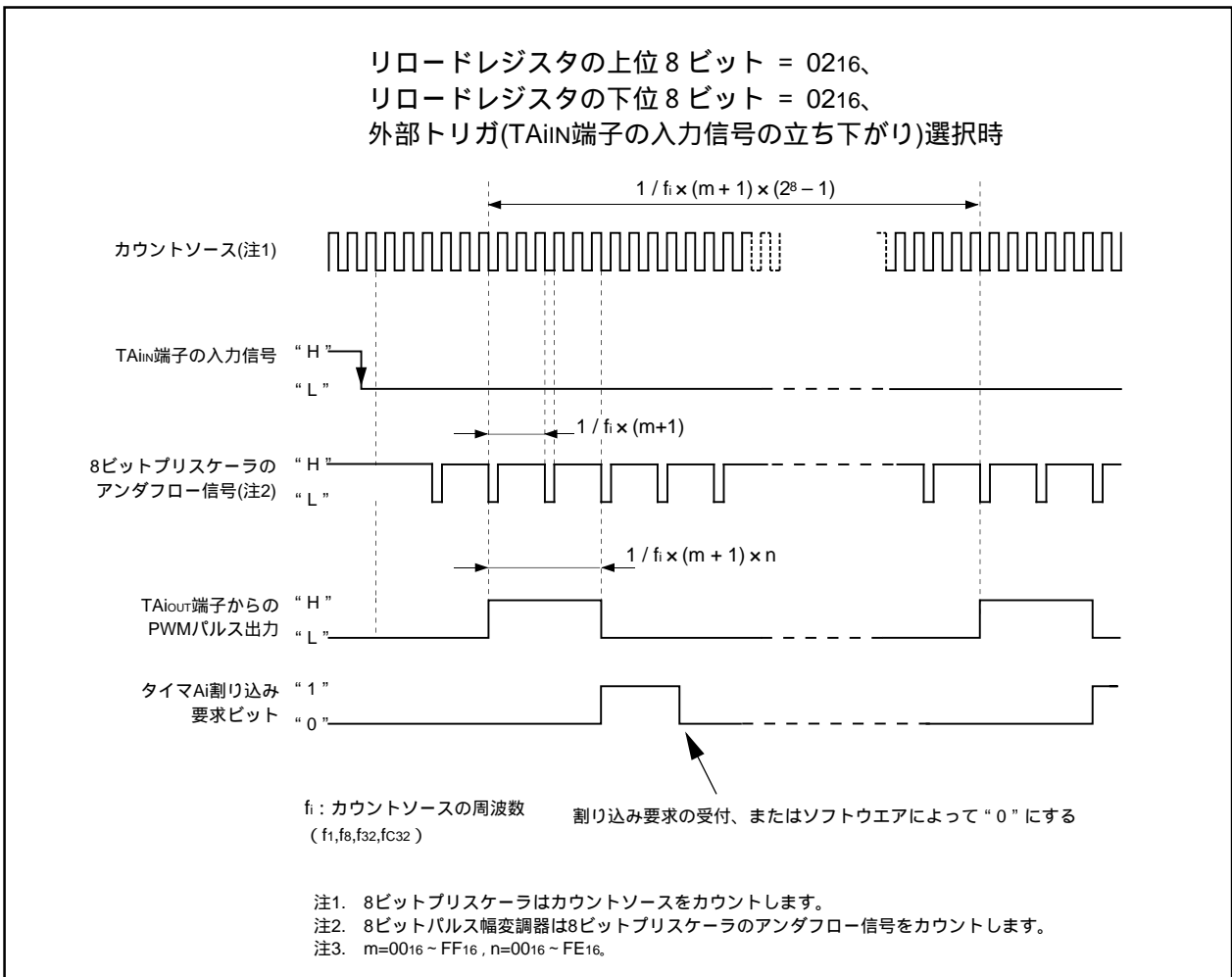


図1.14.13. 8ビットパルス幅変調器の動作例

タイマB

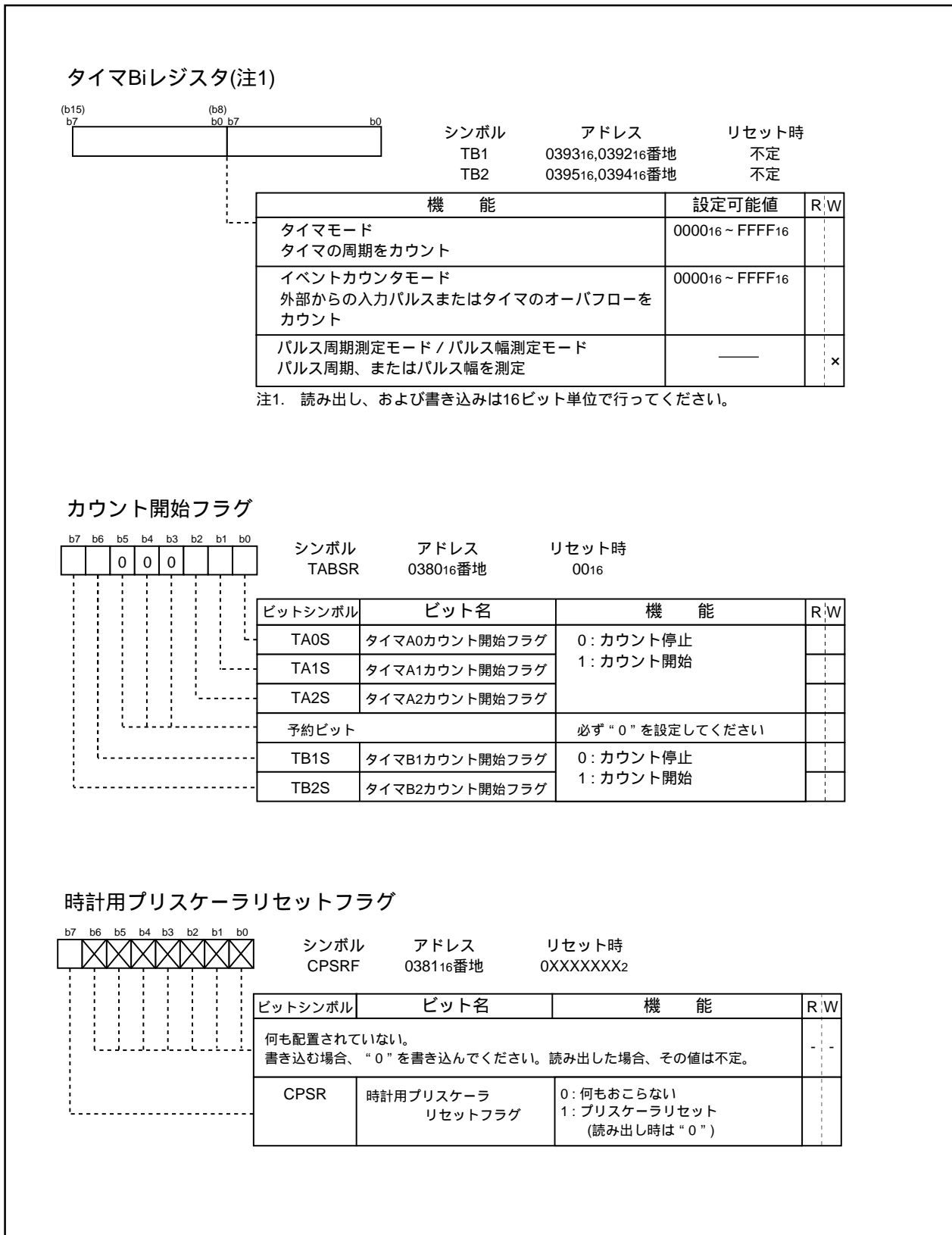


図1.14.16. タイマB関連レジスタ(2)

タイマB

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.14.6)。図1.14.17にタイマモード時のタイマBiモードレジスタの構成を示します。

表1.14.6. タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

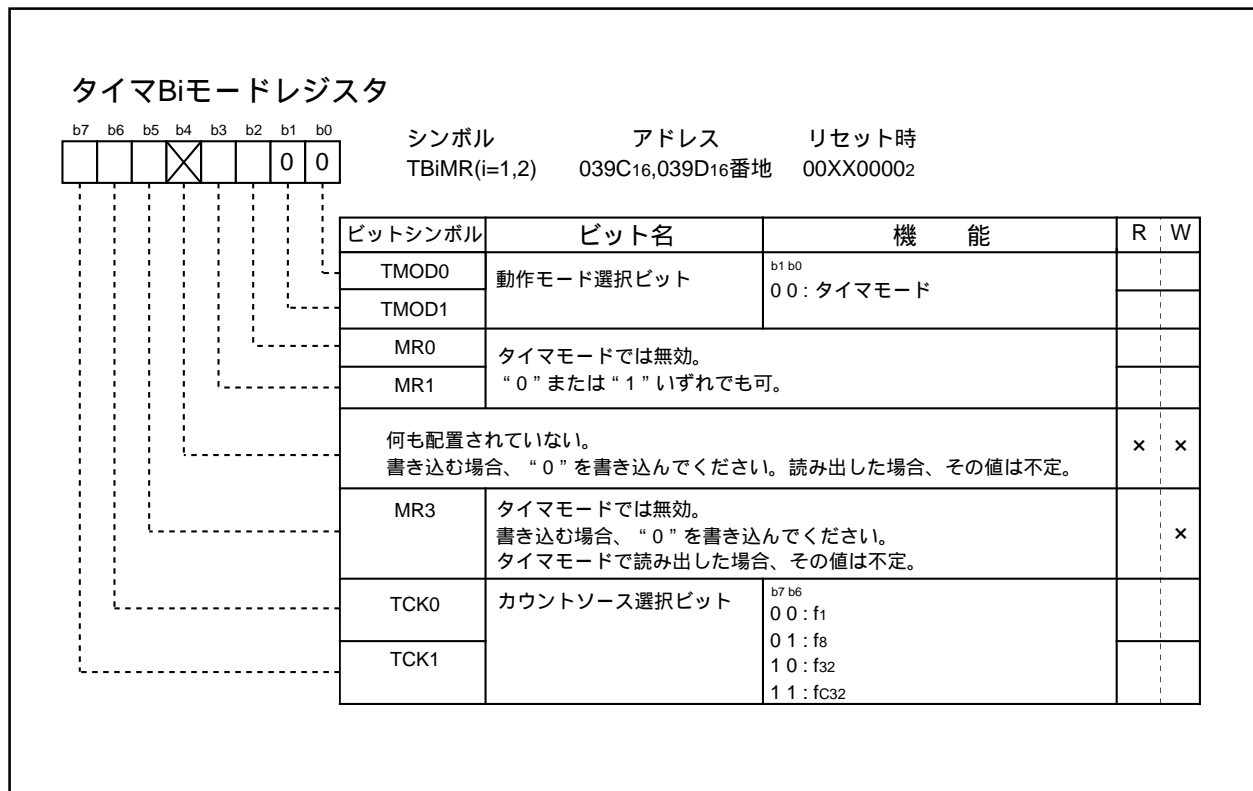


図1.14.17. タイマモード時のタイマBiモードレジスタの構成

タイマB

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表1.14.7)。イベントカウンタモード時のタイマBiモードレジスタの構成を図1.14.18に示します。

表1.14.7. イベントカウンタモードの仕様

項目	仕様
カウントソース	TBiIn端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上りをソフトウェアによって選択可
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIn端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

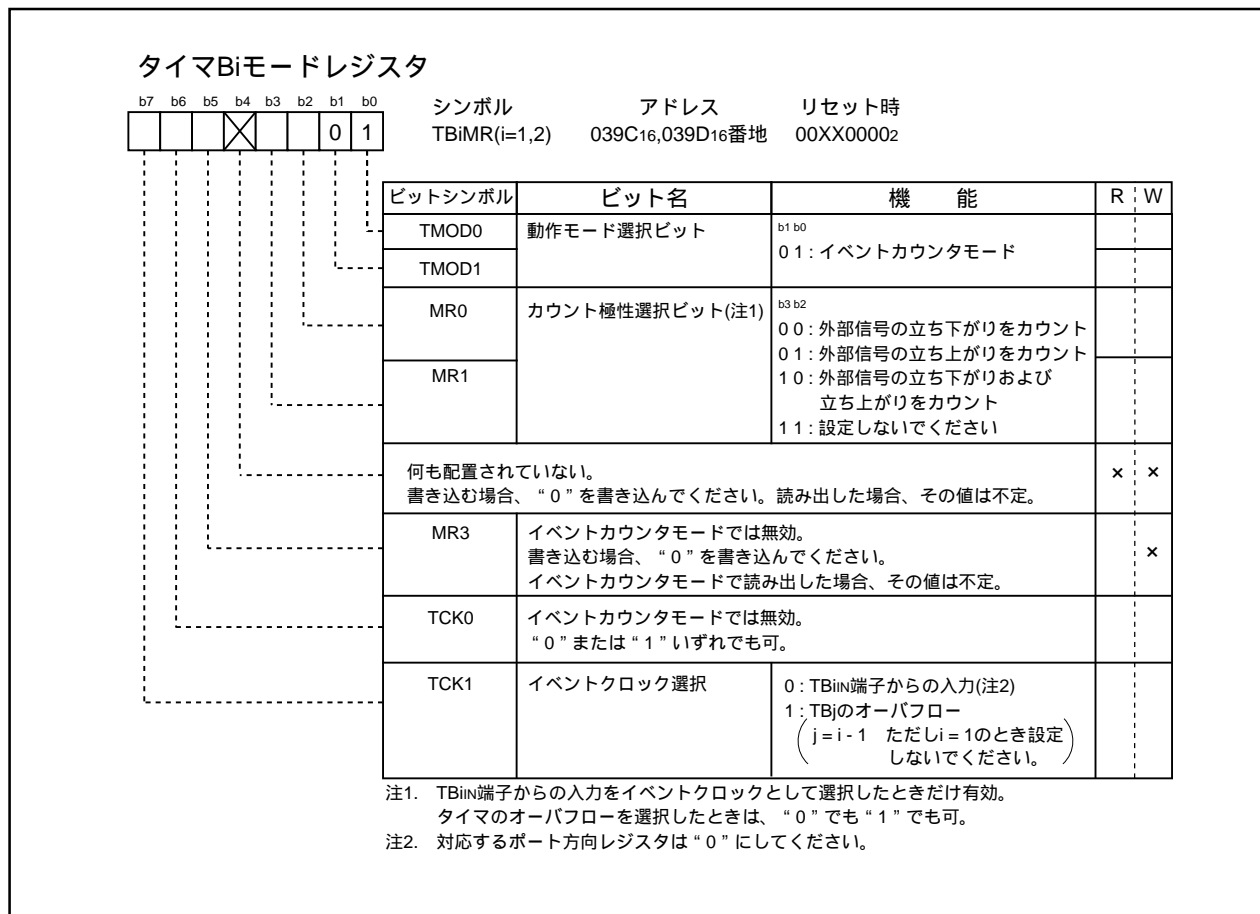


図1.14.18. イベントカウンタモード時のタイマBiモードレジスタの構成

タイマB

(3) パルス周期測定 / パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表1.14.8)。図1.14.19にパルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成、図1.14.20にパルス周期測定時の動作図、および図1.14.21にパルス幅測定時の動作図を示します。

表1.14.8. パルス周期測定 / パルス幅測定モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fC32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態ではタイマBiがカウントソースを一回カウントした後、タイマBiモードレジスタ書き込みを行うと“0”になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

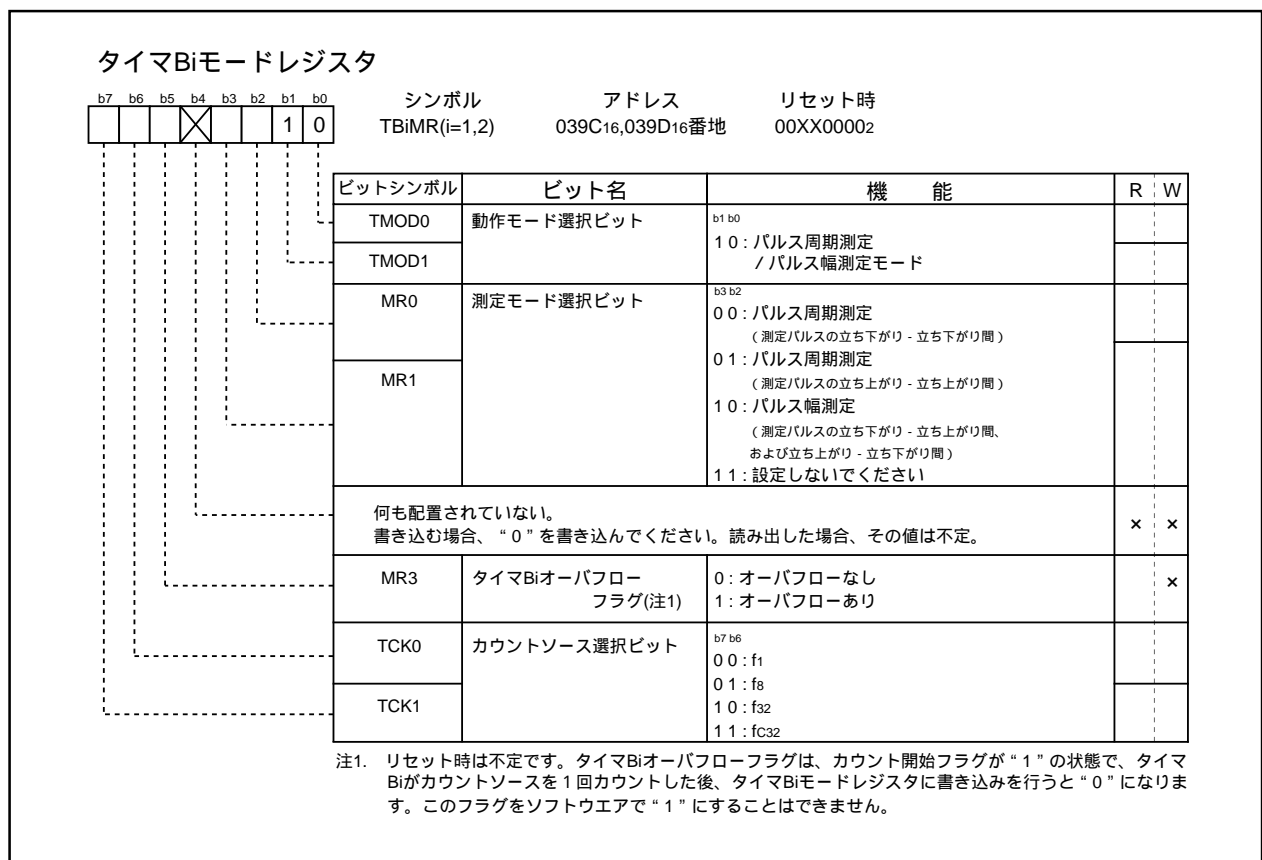


図1.14.19. パルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成

タイマB

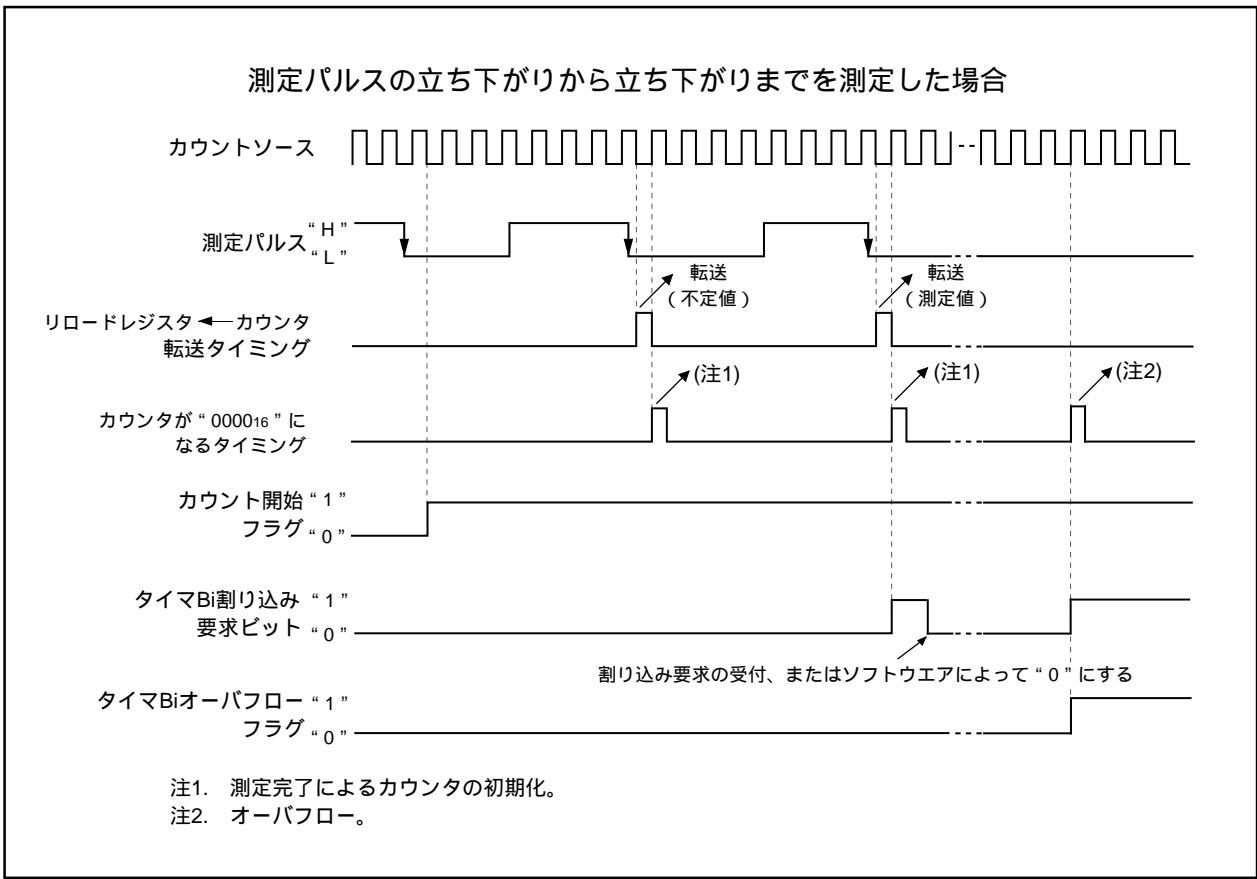


図1.14.20. パルス周期測定時の動作図

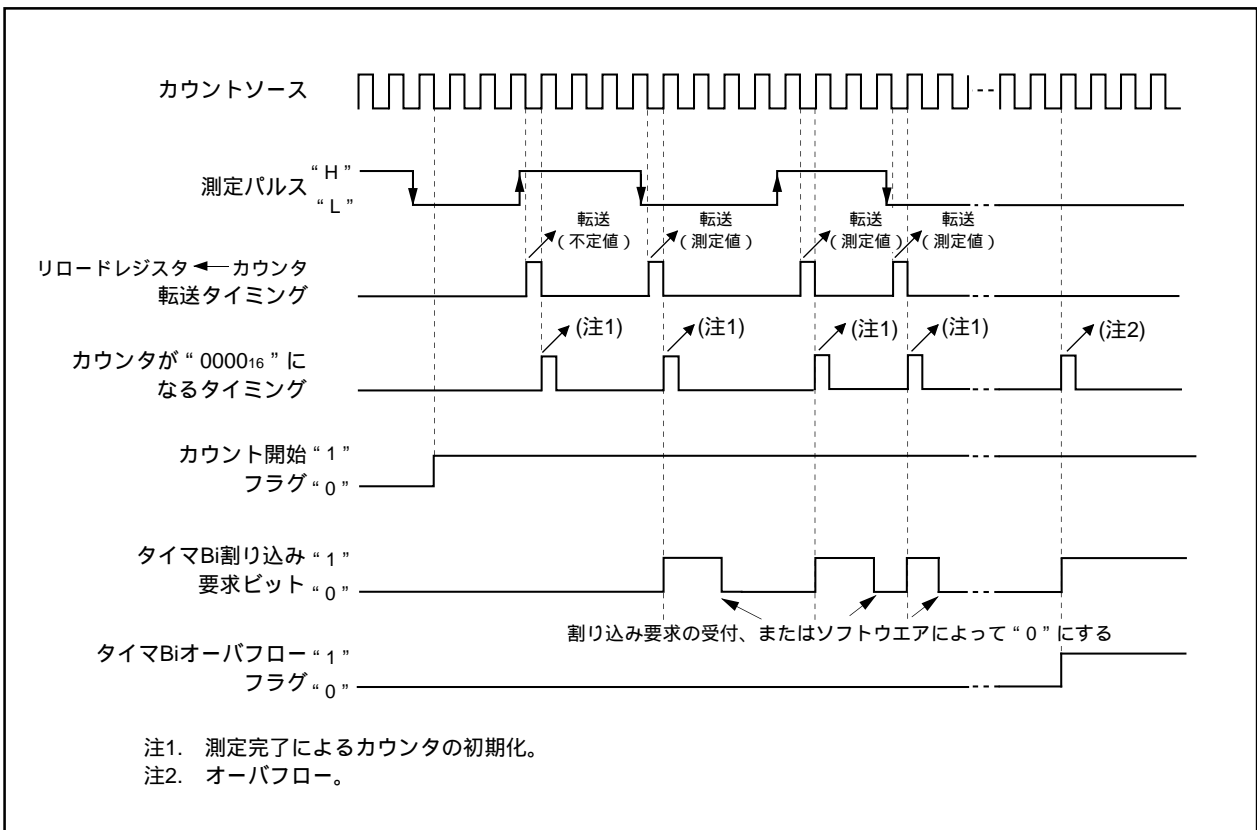


図1.14.21. パルス幅測定時の動作図

シリアルI/O

シリアルI/O

シリアルI/Oは、UART0、UART1およびUART2の3チャンネルで構成しています。

UART0～UART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図1.16.1にUARTi(i=0～2)のブロック図を、図1.16.2、図1.16.3に送受信部のブロック図を示します。

UARTi(i=0～2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット0～ビット2)の内容で選択します。

UART0～UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

注1. SIM : Subscriber Identity Module

表1.16.1にUART0～UART2の機能比較を、図1.16.4～図1.16.9に、UARTi関連のレジスタを示します。

表1.16.1. UART0～UART2の機能比較

機 能	UART0	UART1	UART2
CLK極性選択	可 (注1)	可 (注1)	可 (注1)
LSBファースト/MSBファースト選択	可 (注1)	可 (注1)	可 (注2)
連続受信モード選択	可 (注1)	可 (注1)	可 (注1)
転送クロック複数端子出力選択	不可	可 (注1)	不可
シリアルデータ論理切り替え	不可	不可	可 (注4)
スリープモード選択	可 (注3)	可 (注3)	不可
TxD、RxD入出力極性切り替え	不可	不可	可
TxD、RxD端子出力形式	CMOS出力	CMOS出力	Nチャネルオープンレイン出力
パリティエラー信号出力	不可	不可	可 (注4)
バス衝突検出	不可	不可	可

注1. クロック同期形シリアルI/Oモード時に選択できます。

注2. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。

注3. UARTモード時に選択できます。

注4. SIMインタフェース対応。

シリアルI/O

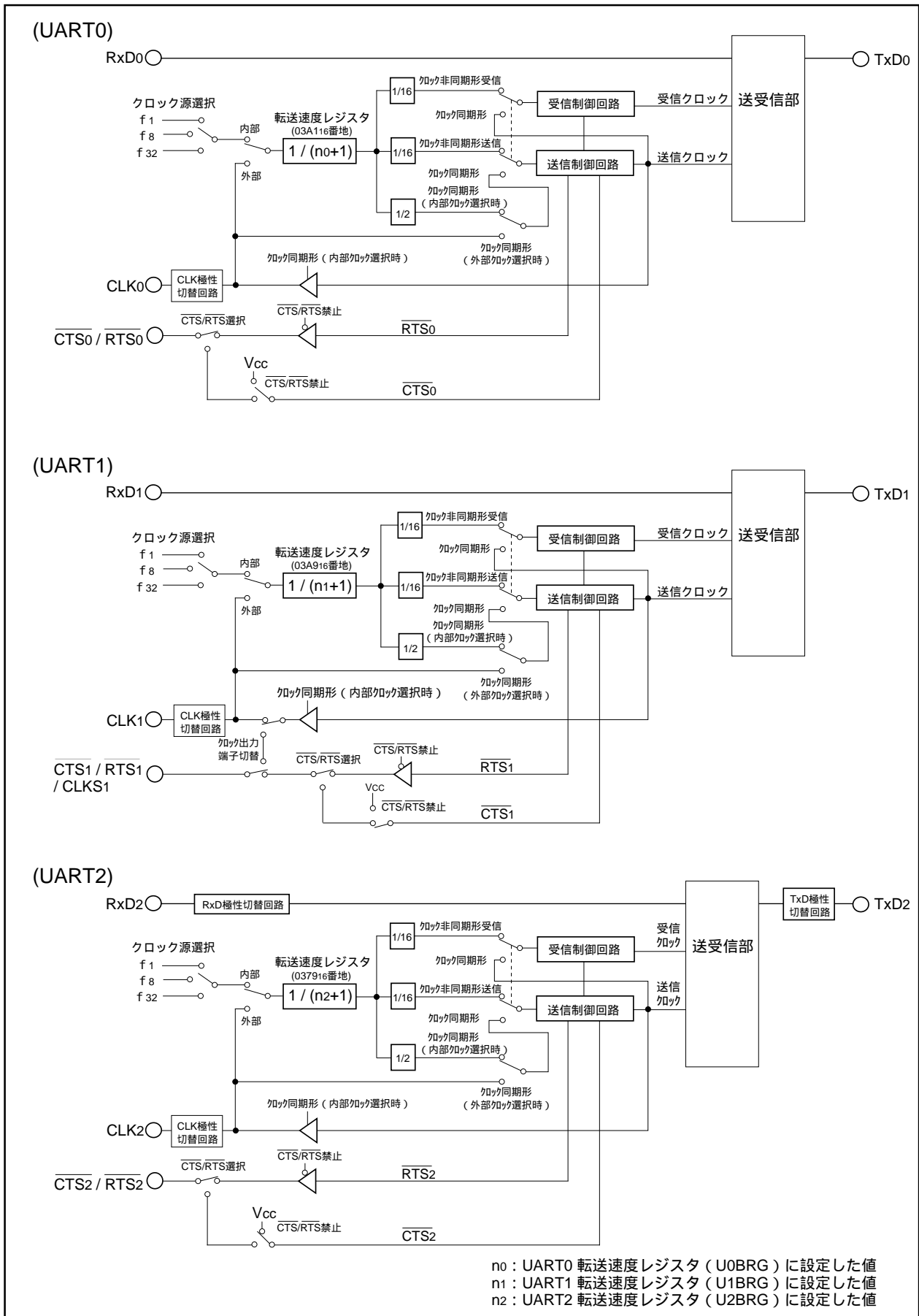


図1.16.1. UARTi(i=0~2)ブロック図

シリアルI/O

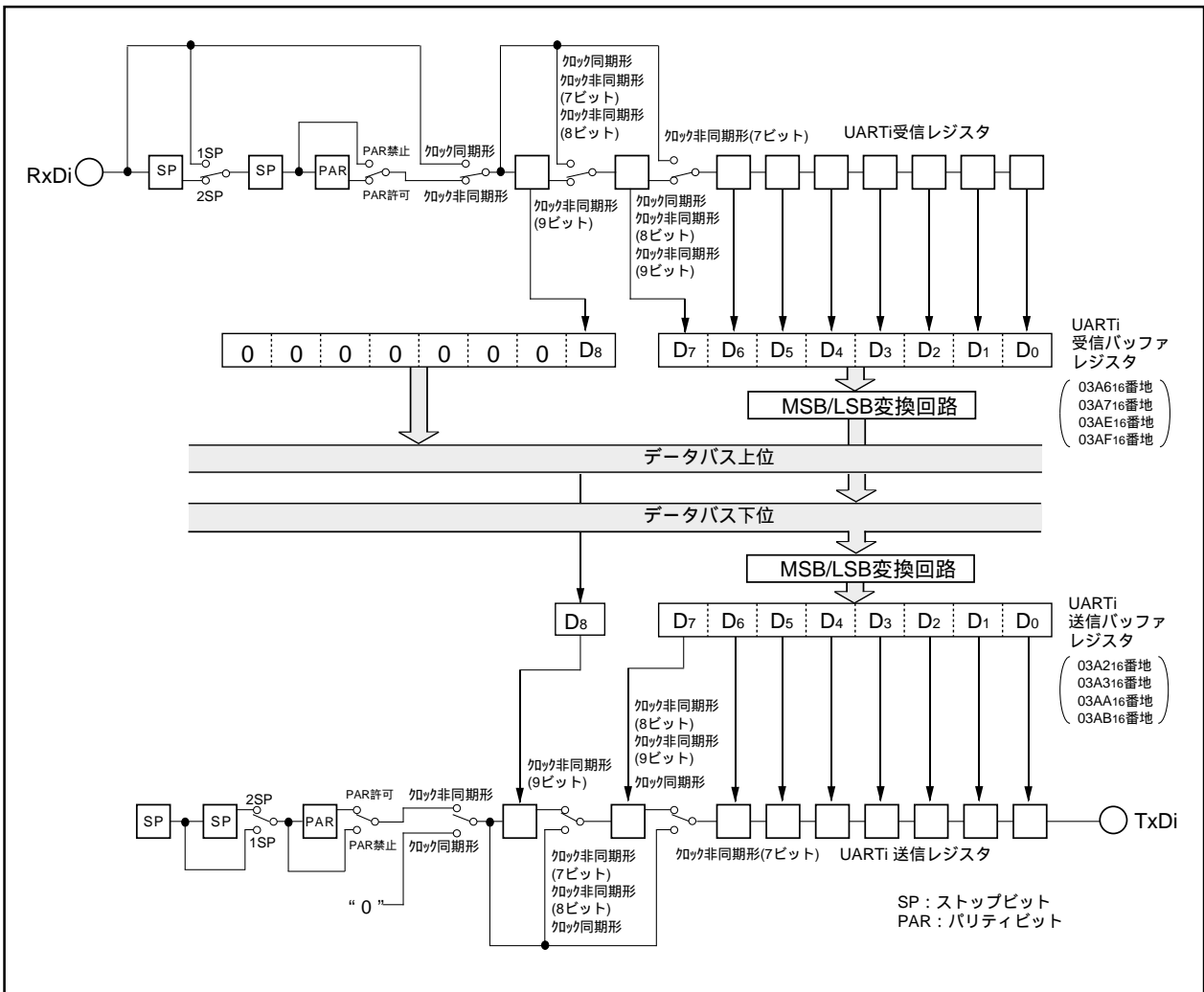


図1.16.2. UARTi(i=0,1)送受信部ブロック図

シリアルI/O

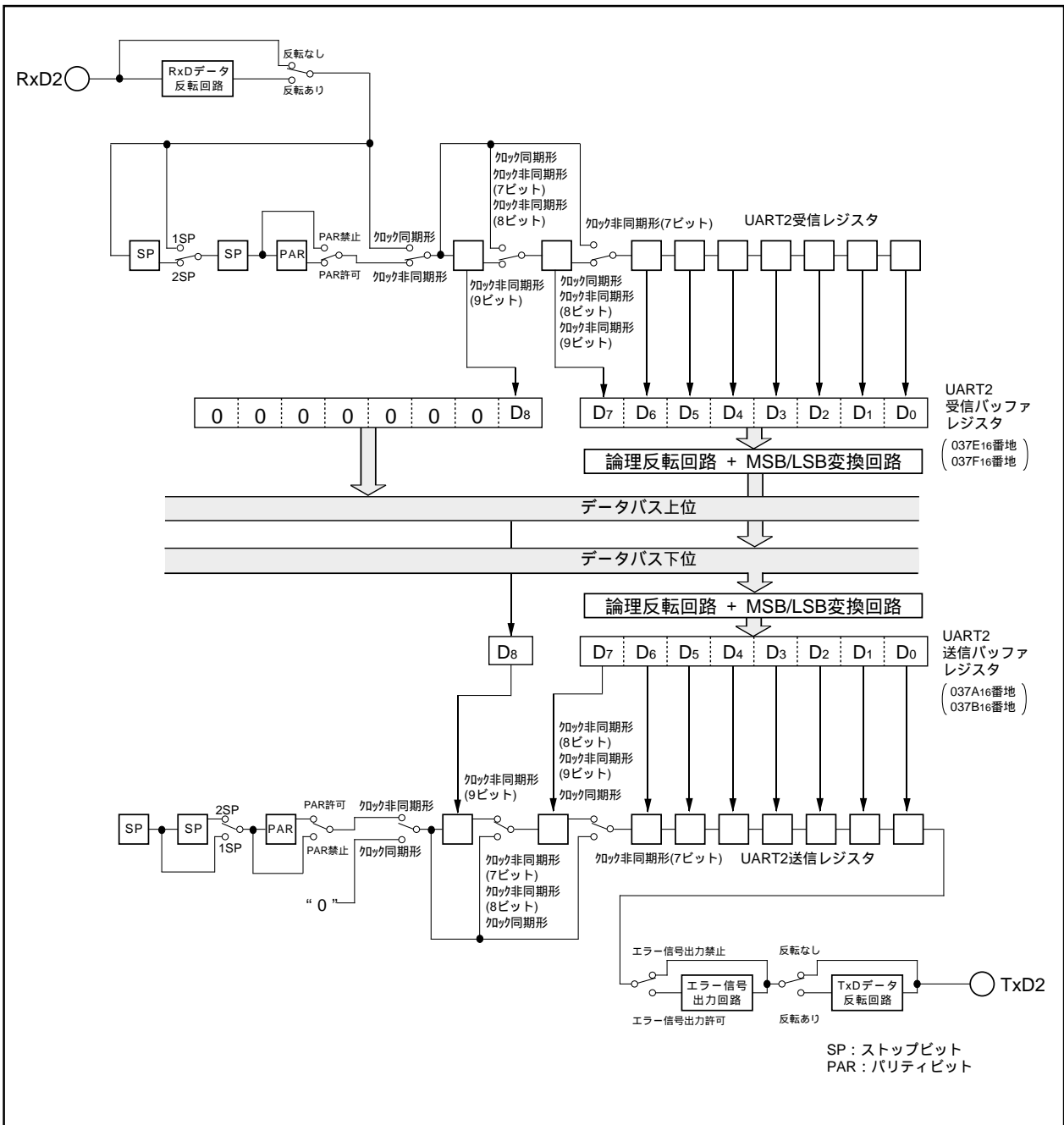


図1.16.3. UART2送受信部ブロック図

シリアルI/O

UARTi送信バッファレジスタ(注1)

シンボル	アドレス	リセット時
U0TB	03A3 ₁₆ 、03A2 ₁₆ 番地	不定
U1TB	03AB ₁₆ 、03AA ₁₆ 番地	不定
U2TB	037B ₁₆ 、037A ₁₆ 番地	不定

機能		R	W
送信データ		x	
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		-	-

注1. このレジスタへの書き込みにはMOV命令を使用してください。

UARTi受信バッファレジスタ

シンボル	アドレス	リセット時
U0RB	03A7 ₁₆ 、03A6 ₁₆ 番地	不定
U1RB	03AF ₁₆ 、03AE ₁₆ 番地	不定
U2RB	037F ₁₆ 、037E ₁₆ 番地	不定

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
—	—	受信データ	受信データ	x	
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				-	-
ABT	アービトラージ ロスト検出フラグ(注2)	0: 未検出(勝) 1: 検出(負)	無効		
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	0: オーバランエラーなし 1: オーバランエラー発生	x	
FER	フレーミングエラー フラグ(注1)	無効	0: フレーミングエラーなし 1: フレーミングエラー発生	x	
PER	パリティエラーフラグ(注1)	無効	0: パリティエラーなし 1: パリティエラー発生	x	
SUM	エラーサムフラグ(注1)	無効	0: エラーなし 1: エラー発生	x	

注1. シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット2~ビット0)を“000₂”に設定したとき、または受信許可ビットを“0”に設定したとき、ビット15~ビット12は“0”になります(ビット14~ビット12がすべて“0”になると、ビット15は“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの低位バイト(03A6₁₆、03AE₁₆、037E₁₆番地)を読み出したときも、“0”になります。

注2. アービトラージロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)

シンボル	アドレス	リセット時
U0BRG	03A1 ₁₆ 番地	不定
U1BRG	03A9 ₁₆ 番地	不定
U2BRG	0379 ₁₆ 番地	不定

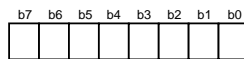
機能		設定可能値	R	W
設定値をnとすると、BRGiはカウントソースをn+1分周する		00 ₁₆ ~ FF ₁₆	x	

注1. 値を書き込む場合は送受信停止中に書き込んでください。
注2. このレジスタへの書き込みにはMOV命令を使用してください。

図1.16.4. UARTi関連のレジスタ (1)

シリアルI/O

UARTi 送受信モードレジスタ

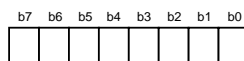


シンボル アドレス リセット時
 UiMR(i=0,1) 03A0₁₆,03A8₁₆番地 00₁₆

ビット シンボル	ビット名	機能 (クック同期形シリアル/OE-ト'時)	機能 (クック非同期形シリアル/OE-ト'時)	R/W
SMD0	シリアルI/Oモード選択ビット	^{b2 b1 b0} 001 を設定してください 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	^{b2 b1 b0} 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	
SMD1				
SMD2				
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	0: 内部クロック 1: 外部クロック(注1)	
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	
SLEP	スリープ選択ビット	“0”を設定してください	0: スリープモード解除 1: スリープモード選択	

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ



シンボル アドレス リセット時
 U2MR 0378₁₆番地 00₁₆

ビット シンボル	ビット名	機能 (クック同期形シリアル/OE-ト'時)	機能 (クック非同期形シリアル/OE-ト'時)	R/W
SMD0	シリアルI/Oモード選択ビット	^{b2 b1 b0} 001 を設定してください 000: シリアルI/Oは無効 010: (注1) 011: 設定しないでください 111: 設定しないでください	^{b2 b1 b0} 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	
SMD1				
SMD2				
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注2)	“0”を設定してください	
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	
IOPOL	TxD,RxD入出力極性切り替え ビット	0: 反転なし 1: 反転あり 通常は“0”を設定してくだ さい	0: 反転なし 1: 反転あり 通常は“0”を設定してくだ さい	

注1. IICモード使用時、ビット2～ビット0に“010₂”を設定してください。

注2. 対応する方向レジスタは“0”にしてください。

図1.16.5. UARTi関連のレジスタ (2)

シリアルI/O



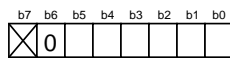
図1.16.6. UARTi関連のレジスタ (3)

シリアルI/O



図1.16.7. UARTi関連のレジスタ (4)

UART送受信制御レジスタ2



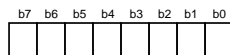
シンボル アドレス リセット時
UCON 03B0₁₆番地 X0000000₂

ビットシンボル	ビット名	機能 (クロック同期シリアル/OE-ド時)	機能 (クロック非同期シリアル/OE-ド時)	R	W
U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)		
U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)		
U0RRM	UART0連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	"0"を設定してください		
U1RRM	UART1連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	"0"を設定してください		
CLKMD0	CLK,CLKS選択ビット0	ビット5が"1"のとき有効 0: CLK1にクロックを出力 1: CLKS1にクロックを出力	無効		
CLKMD1	CLK,CLKS選択 ビット1(注1)	0: 通常モード (CLK出力はCLK1のみ) 1: 転送クロック複数端子 出力機能選択	"0"を設定してください		
予約ビット		必ず"0"を設定してください。			
何も配置されていない。 書き込む場合、"0"を書き込んでください。読み出した場合、その値は不定。				-	-

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。

・UART1内/外部クロック選択ビット(03A8₁₆番地のビット3)="0"

UART2特殊モードレジスタ



シンボル アドレス リセット時
U2SMR 0377₁₆番地 00₁₆

ビットシンボル	ビット名	機能 (クロック同期シリアル/OE-ド時)	機能 (クロック非同期シリアル/OE-ド時)	R	W
IICM	IICモード選択ビット	0: 通常モード 1: IICモード	"0"を設定してください		
ABC	アービトラージ ロス検出フラグ制御	0: ビット毎に更新 1: バイト毎に更新	"0"を設定してください		
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出	"0"を設定してください		(注1)
LSYN	SCLL同期出力 許可ビット	0: 禁止 1: 許可	"0"を設定してください		
ABSCS	バス衝突検出サンプリング クロック選択ビット	"0"を設定してください	0: 転送クロックの立ち上がり 1: タイマA0のアンダフロー 信号		
ACSE	送信許可ビット自動クリア 機能選択ビット	"0"を設定してください	0: 自動クリア機能なし 1: バス衝突発生時自動クリア		
SSS	送信開始条件選択ビット	"0"を設定してください	0: 通常 1: RxD2の立ち下がり		
SDDS	SDAデジタル遅延 選択ビット (注2、注3)	0: アナログディレイ出力選択 1: デジタルディレイ出力選択 (IICモード時以外は"0"を設定し てください)	"0"を設定してください		

注1. "0"だけ書き込み可。

注2. 本機能はIICモード時以外は"1"を書き込まないでください。通常モード時は"0"を設定してください。

本ビットが"0"の場合はUART2特殊モードレジスタ3(U2SMR3 / 0375₁₆番地)のビット7~ビット5(DL2~DL0=SDAデジタル遅延値設定ビット)が初期化され"000"となり、アナログ遅延回路が選択されます。また、SDDS="0"の場合にはU2SMR3の読み出し、書き込みはできません。

注3. アナログ遅延選択時はアナログ遅延値のみ、デジタル遅延選択時はデジタル遅延値のみの遅延となります。

図1.16.8. UARTi関連のレジスタ (5)

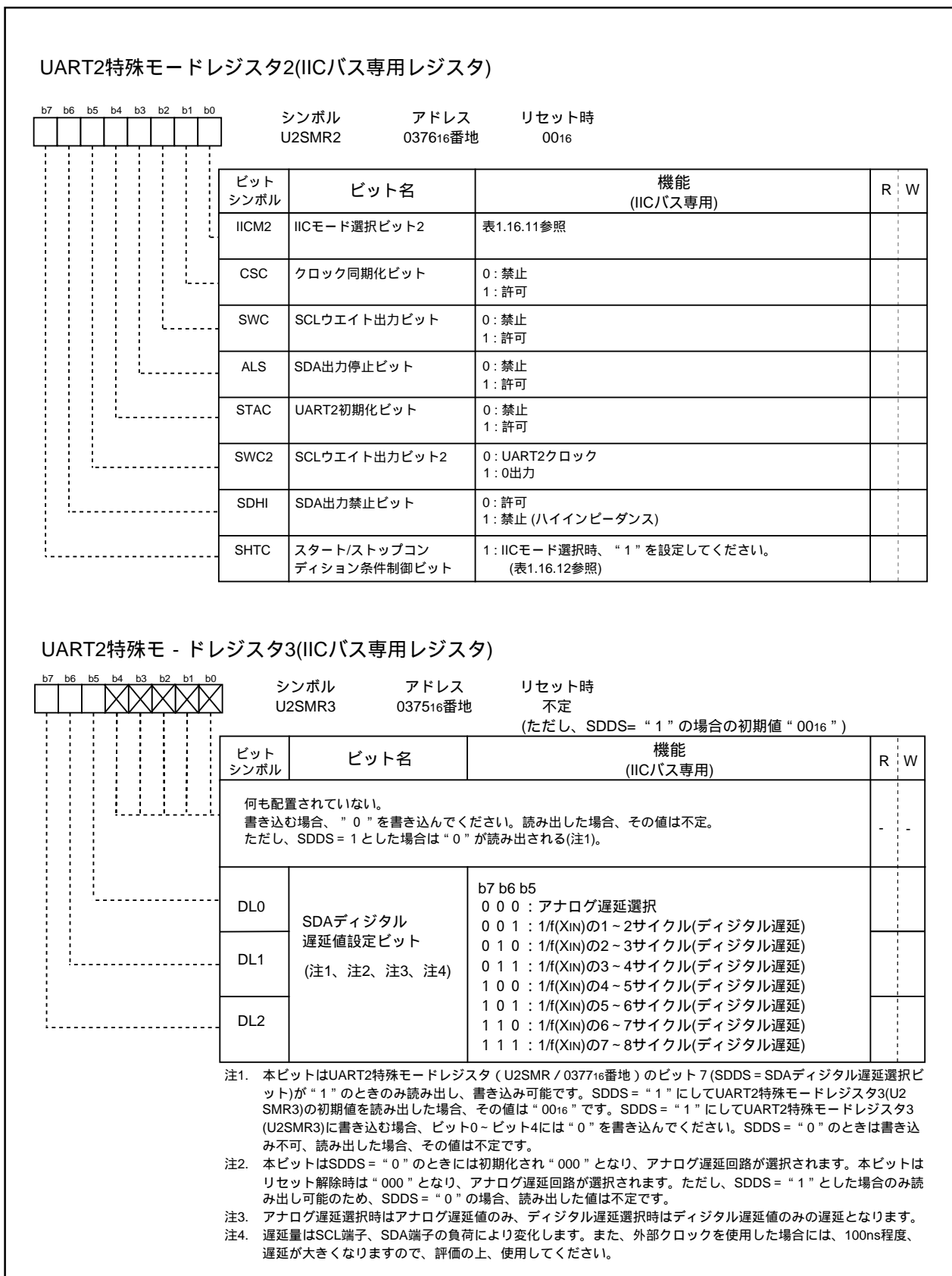


図1.16.9. UARTi関連のレジスタ (6)

クロック同期形シリアルI/Oモード

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表1.16.2、表1.16.3にクロック同期形シリアルI/Oモードの仕様を、図1.16.10にUARTi送受信モードレジスタの構成を示します。

表1.16.2. クロック同期形シリアルI/Oモードの仕様(1)

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 、0378 ₁₆ 番地のビット3=“0”) : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 、0378 ₁₆ 番地のビット3=“1”) : CLKi端子からの入力
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(03A5₁₆、03AD₁₆、037D₁₆番地のビット0)=“1” 送信バッファ空フラグ(03A5₁₆、03AD₁₆、037D₁₆番地のビット1)=“0” CTS機能選択時、CTS端子の入力が“L”レベル 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット6)=“0” : CLKi端子の入力が“H” CLKi極性選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット6)=“1” : CLKi端子の入力が“L”
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(03A5₁₆、03AD₁₆、037D₁₆番地のビット2)=“1” 送信許可ビット(03A5₁₆、03AD₁₆、037D₁₆番地のビット0)=“1” 送信バッファ空フラグ(03A5₁₆、03AD₁₆、037D₁₆番地のビット1)=“0” 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット6)=“0” : CLKi端子の入力が“H” CLKi極性選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット6)=“1” : CLKi端子の入力が“L”
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> 送信割り込み要因選択ビット(03B0₁₆番地のビット0、1、037D₁₆番地のビット4)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(03B0₁₆番地のビット0、1、037D₁₆番地のビット4)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1. n はUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

クロック同期形シリアル/Oモード

表1.16.3. クロック同期形シリアル/Oモードの仕様(2)

項 目	仕 様
選択機能	<p>CLK極性選択</p> <p>送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可</p> <p>LSBファースト/MSBファースト 選択</p> <p>ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可</p> <p>連続受信モード選択</p> <p>受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。</p> <p>転送クロック複数端子出力選択(UART1)</p> <p>UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可</p> <p>シリアルデータ論理切り替え(UART2)</p> <p>送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可</p> <p>TxD、RxD入出力極性切り替え(UART2)</p> <p>TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。</p>

クロック同期形シリアルI/Oモード

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル アドレス リセット時
 UiMR(i=0,1) 03A0₁₆,03A8₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R/W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1: クロック同期形 シリアルI/Oモード	
SMD1			
SMD2			
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	
STPS	クロック同期形シリアルI/Oモードでは無効		
PRY			
PRYE			
SLEP	0: クロック同期形シリアルI/Oモードでは“0”を設定してください。		

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル アドレス リセット時
 U2MR 0378₁₆ 00₁₆

ビットシンボル	ビット名	機能	R/W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1: クロック同期形 シリアルI/Oモード	
SMD1			
SMD2			
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注2)	
STPS	クロック同期形シリアルI/Oモードでは無効		
PRY			
PRYE			
IOPOL	TxD,RxD入出力極性 切り替えビット(注1)	0: 反転なし 1: 反転あり	

注1. 通常は“0”にしてください。

注2. 対応する方向レジスタは“0”にしてください。

図1.16.10. クロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタの構成

クロック同期形シリアルI/Oモード

表1.16.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表1.16.4. クロック同期形シリアルI/Oモード時の入出力端子の機能

(転送クロック複数端子出力機能非選択時)

端子名	機能	選択方法
TxDi (P63, P67, P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62, P66, P71)	シリアルデータ入力	ポートP62, P66, P71の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65, P72)	転送クロック出力	内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)= “0”
	転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)= “1” ポートP61, P65, P72の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5、03EF ₁₆ 番地のビット2)= “0”
CTS _i /RTS _i (P60, P64, P73)	CTS入力	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “0” ポートP60, P64, P73の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3)= “0”
	RTS出力	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “1”

クロック同期形シリアルI/Oモード

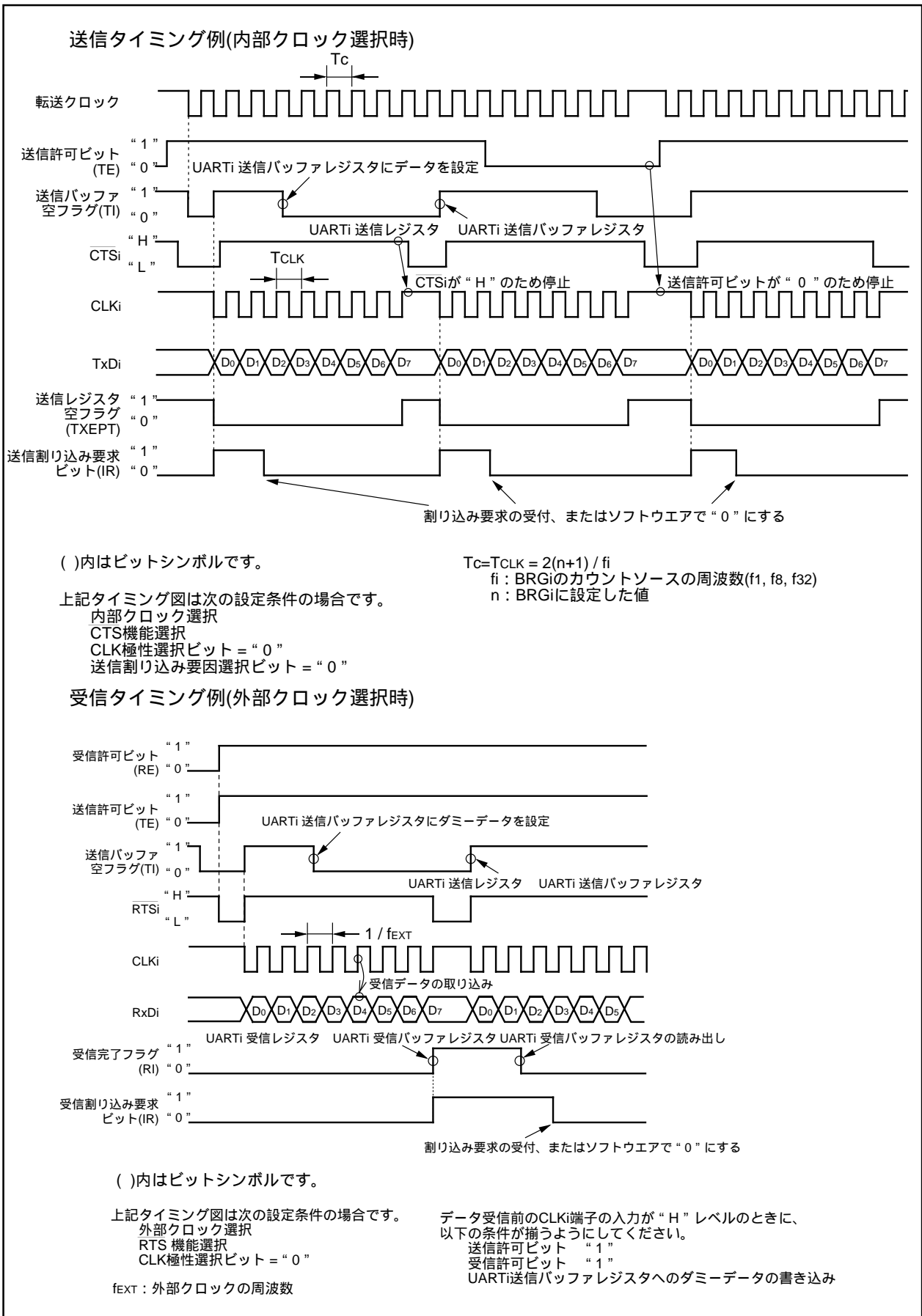


図1.16.11. クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

クロック同期形シリアルI/Oモード

極性選択機能

図1.16.12に示すように、CLK極性選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット6)によって転送クロックの極性を選択できます。

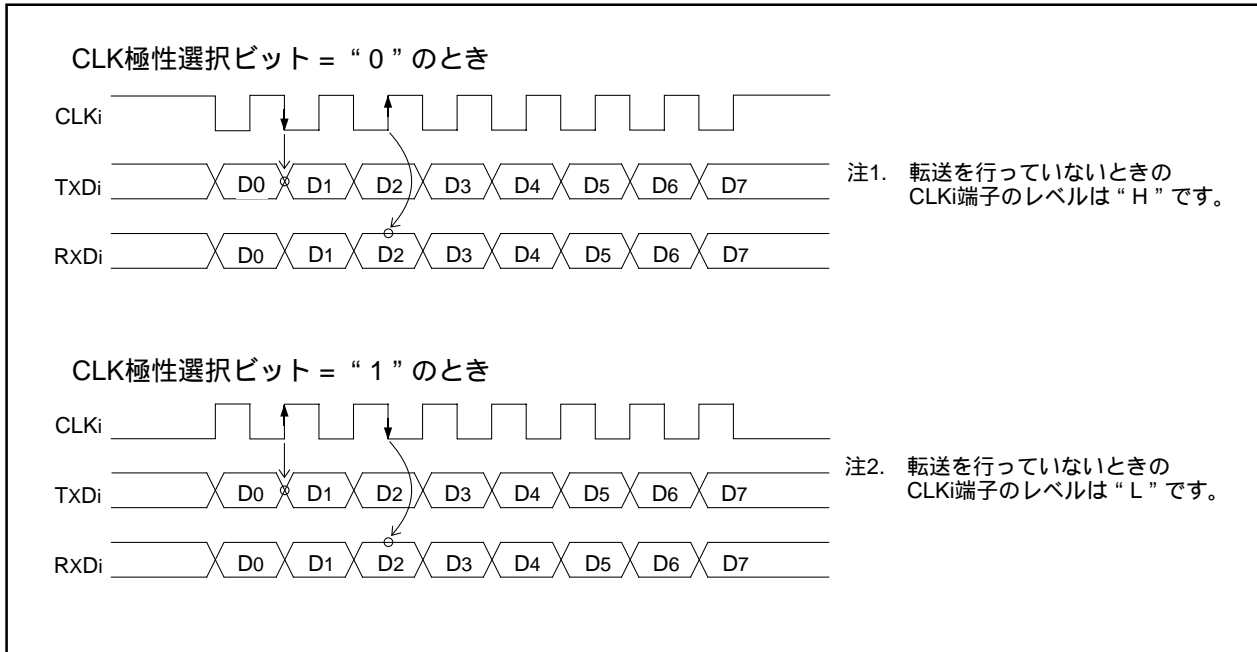


図1.16.12. 転送クロックの極性

LSBファースト/MSBファースト選択機能

図1.16.13に示すように、転送フォーマット選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

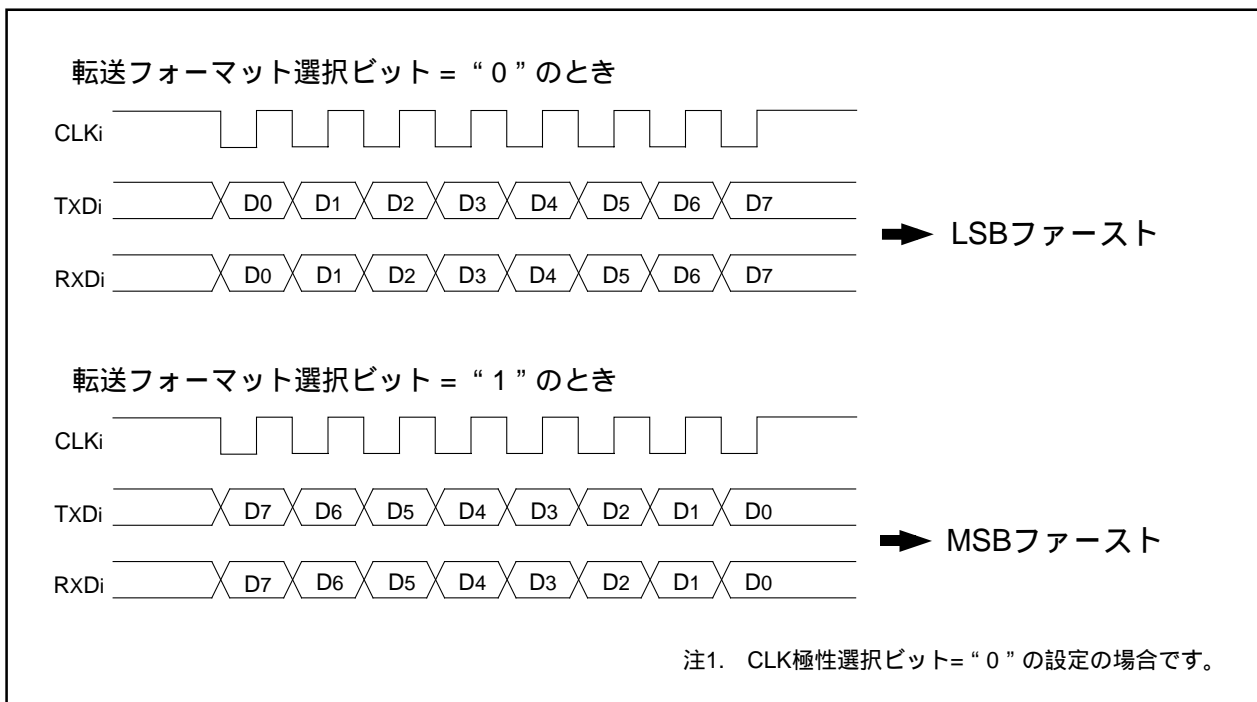


図1.16.13. 転送フォーマット

クロック同期形シリアルI/Oモード

転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(03B0₁₆番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図1.16.14)。この機能は、UART1で内部クロック選択時だけ有効な機能です。

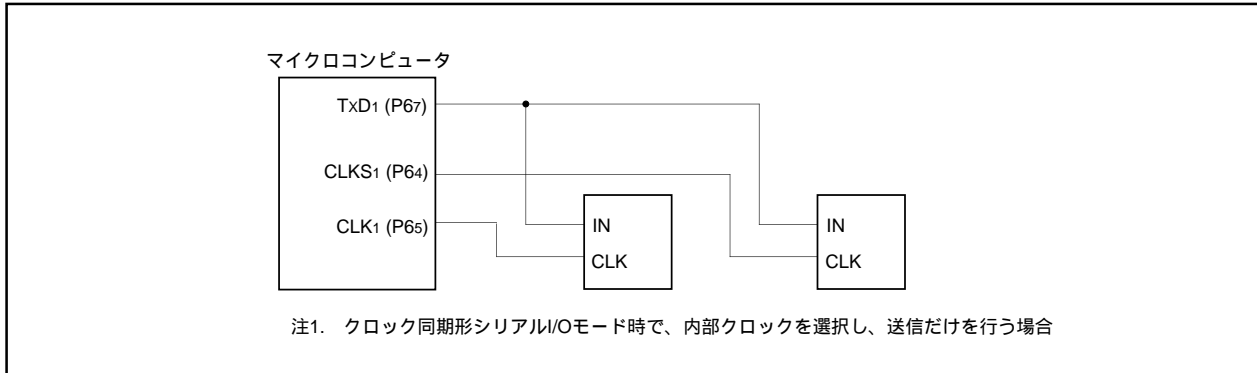


図1.16.14. 転送クロック複数端子出力機能の使用例

連続受信モード

連続受信モード許可ビット(03B0₁₆番地のビット2、ビット3、037D₁₆番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図1.16.15にシリアルデータ論理切り替えのタイミング例を示します。

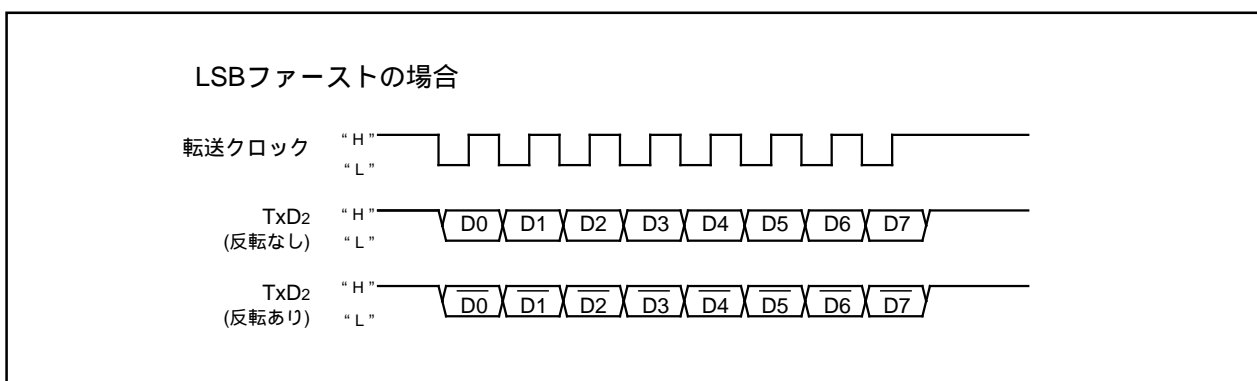


図1.16.15. シリアルデータ論理切り替えのタイミング例

クロック非同期形シリアルI/Oモード

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表1.16.5、表1.16.6にクロック非同期形シリアルI/Oモードの仕様を、図1.16.16にUARTi送受信モードレジスタの構成を示します。

表1.16.5. クロック非同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可
転送クロック	内部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 、0378 ₁₆ 番地のビット3=“0”) : $f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 番地のビット3=“1”) : $f_{EXT}/16(n+1)$ (注1)(注2) (UART2は外部クロック選択を設定しないでください)
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(03A5 ₁₆ 、03AD ₁₆ 、037D ₁₆ 番地のビット0)=“1” ・送信バッファ空フラグ(03A5 ₁₆ 、03AD ₁₆ 、037D ₁₆ 番地のビット1)=“0” ・CTS機能選択時、CTS端子の入力が“L”レベル
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(03A5 ₁₆ 、03AD ₁₆ 、037D ₁₆ 番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	送信時 ・送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0、1、037D ₁₆ 番地のビット4)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0、1、037D ₁₆ 番地のビット4)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1. nはUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

注2. f_{EXT}はCLKi端子からの入力です。

注3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

クロック非同期形シリアルI/Oモード

表1.16.6. クロック非同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	<p>スリープモード選択(UART0、UART1)</p> <p>複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用するシリアルデータ論理切り替え(UART2)</p> <p>転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。</p> <p>TxD、RxD入出力極性切り替え(UART2)</p> <p>TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。</p>

クロック非同期形シリアル/Oモード

UARTi送受信モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 UiMR(i=0,1) 03A0₁₆,03A8₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R/W
SMD0	シリアル/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	
SMD1			
SMD2			
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	
SLEP	スリープ選択ビット	0 : スリープモード解除 1 : スリープモード選択	

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 U2MR 0378₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R/W
SMD0	シリアル/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	
SMD1			
SMD2			
CKDIR	内/外部クロック選択ビット	“0”を設定してください	
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	
IOPOL	TxD,RxD入出力極性 切り替えビット(注1)	0 : 反転なし 1 : 反転あり	

注1. 通常“0”にしてください。

図1.16.16. UARTモード時のUARTi送受信モードレジスタの構成

クロック非同期形シリアルI/Oモード

表1.16.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表1.16.7. クロック非同期形シリアルI/Oモード時

端子名	機能	選択方法
TxDi (P63, P67, P70)	シリアルデータ出力	
RxDi (P62, P66, P71)	シリアルデータ入力	ポートP62, P66, P71の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65, P72)	プログラマブル入出力 転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)= “0” 内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ 番地のビット3)= “1” ポートP61, P65の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5)= “0” (UART2は外部クロック選択を設定しないでください)
CTSi/RTSi (P60, P64, P73)	CTS入力	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “0” ポートP60, P64, P73の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3)= “0”
	RTS出力	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “1”

クロック非同期形シリアルI/Oモード

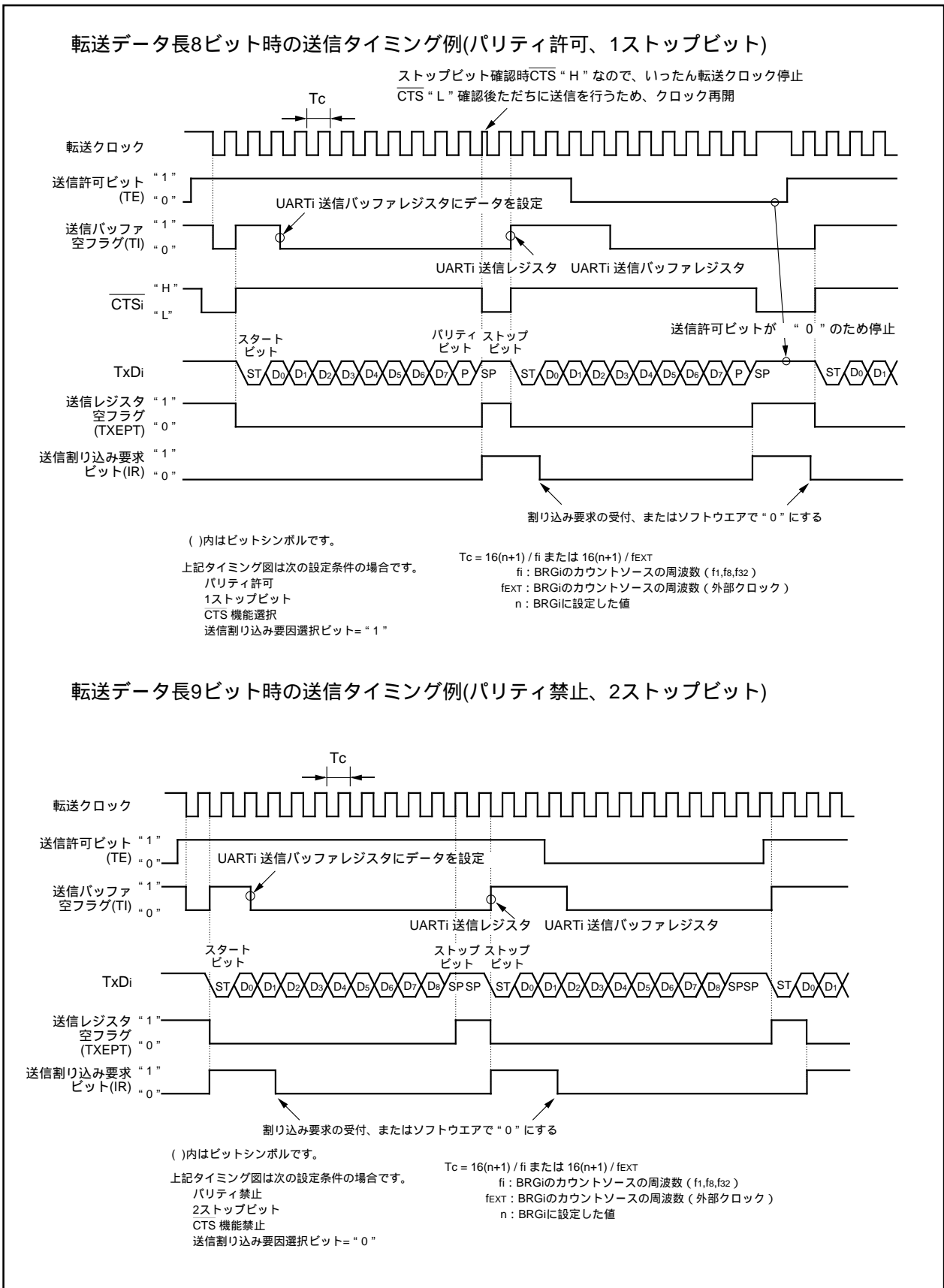


図1.16.17. UARTモード時の送信タイミング例(UART0、UART1)

クロック非同期形シリアルI/Oモード

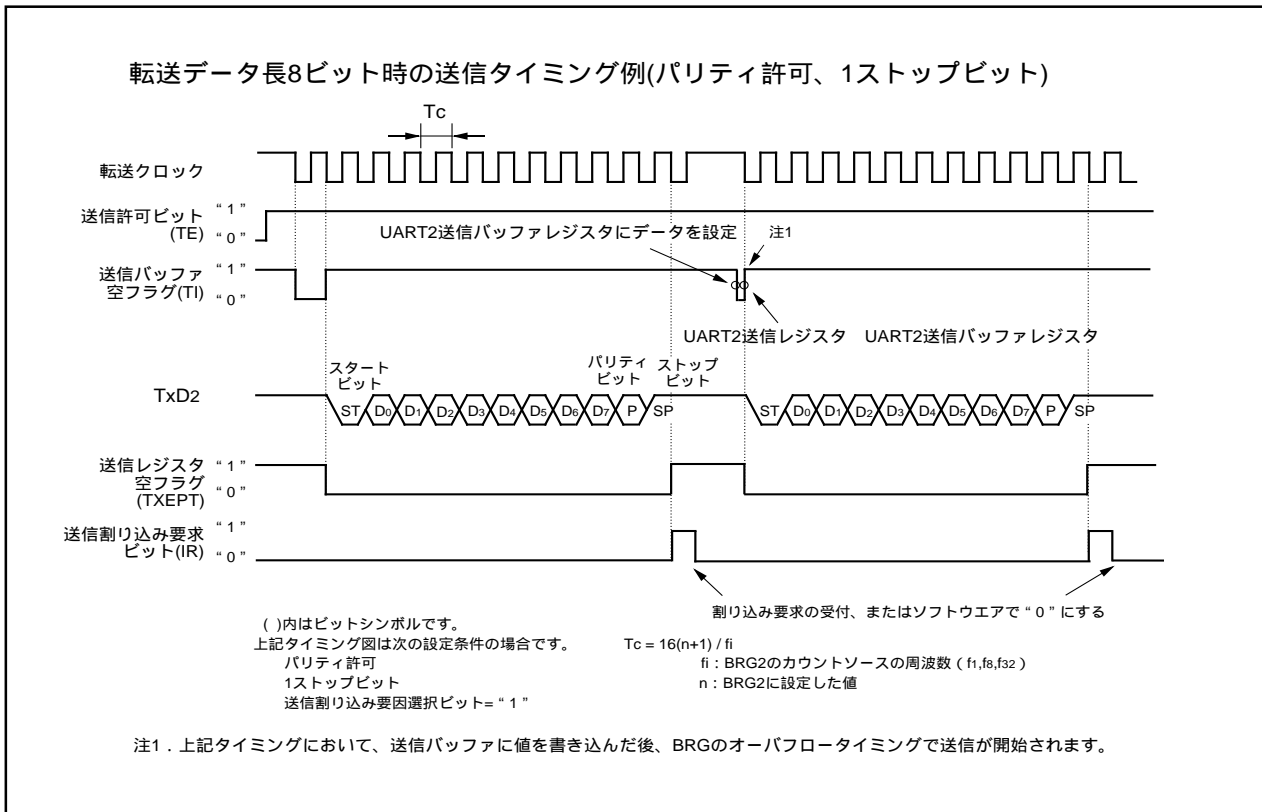


図1.16.18. UARTモード時の送信タイミング例(UART2)

クロック非同期形シリアルI/Oモード

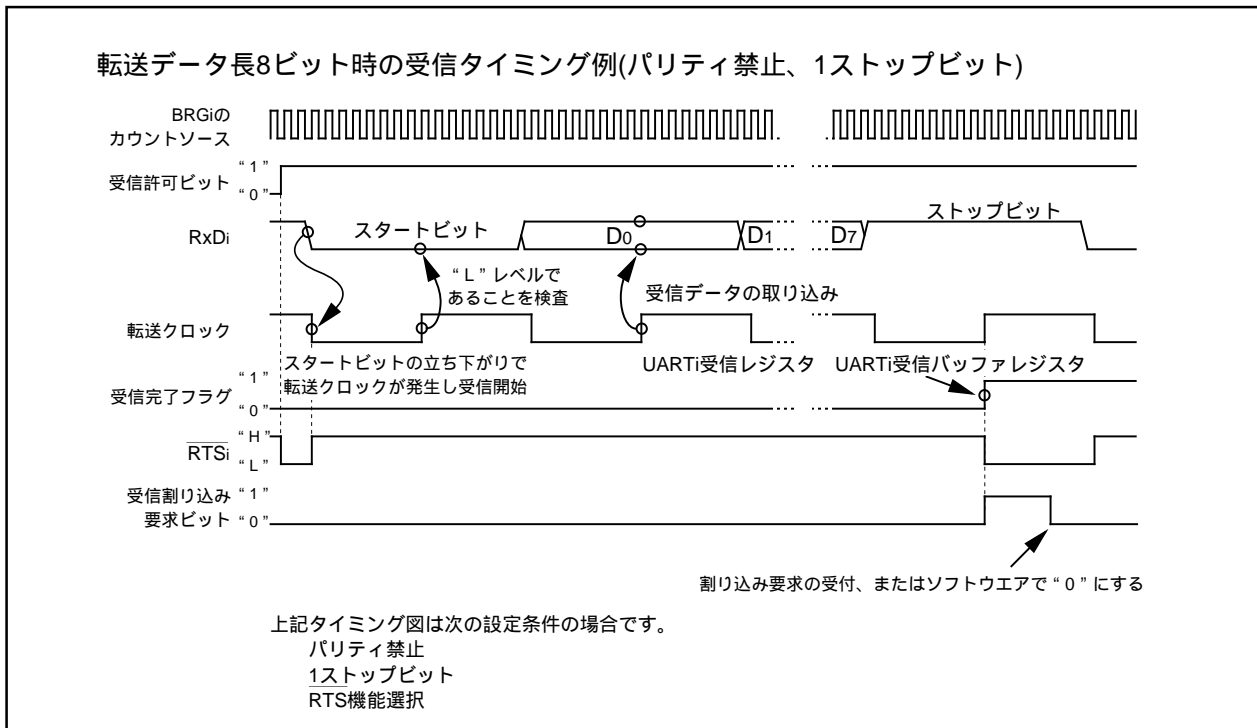


図1.16.19. UARTモード時の受信タイミング例

スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A0₁₆、03A8₁₆番地のビット7)を"1"にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが"1"のときに受信動作を行い、"0"のときには受信動作を行いません。

シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が"1"のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図1.16.20に、シリアルデータ論理切り替え機能のタイミング例を示します。

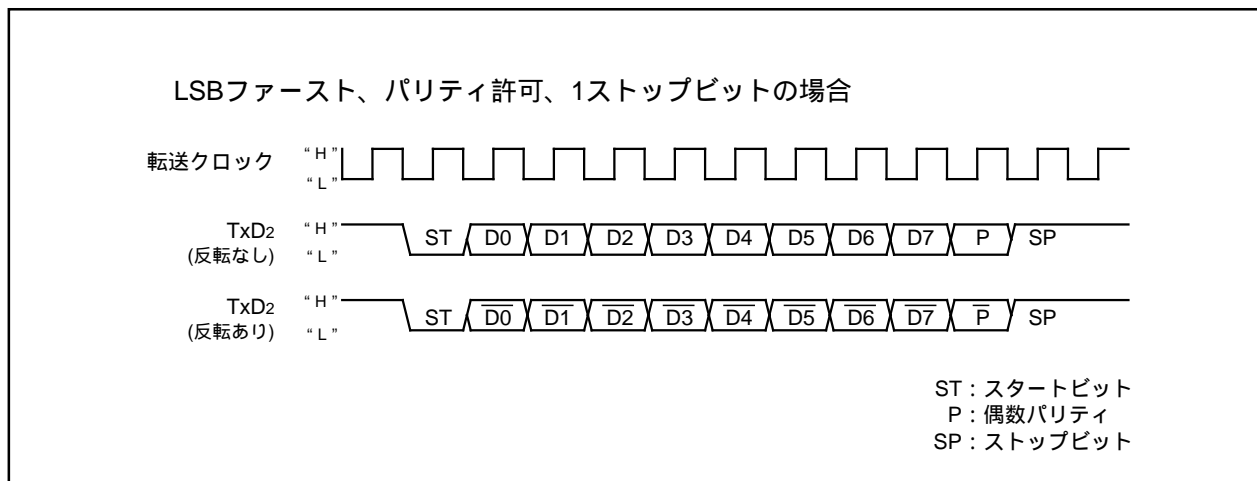


図1.16.20. シリアルデータ論理切り替え機能のタイミング例

クロック非同期形シリアルI/Oモード

TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。

バス衝突検出機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図1.16.21にバス衝突検出タイミング例(UARTモード時)を示します。

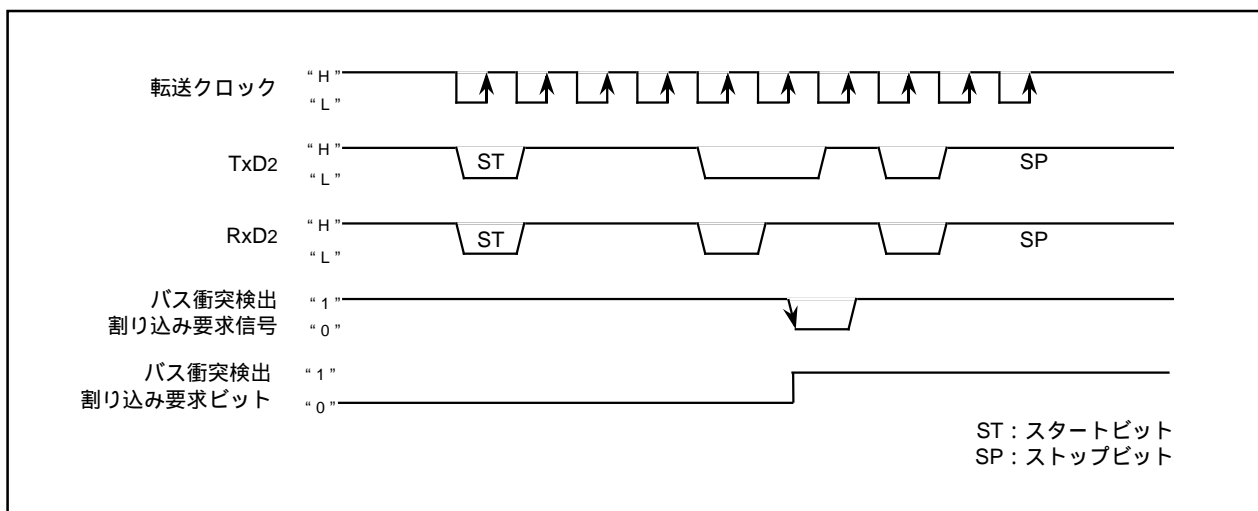


図1.16.21. バス衝突検出タイミング例(UARTモード時)

クロック非同期形シリアルI/Oモード

(3) クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

SIMインタフェースは、メモリカード等とインタフェースするための機能で、UART2のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表1.16.8にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

表1.16.8. クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)

項 目	仕 様
転送データフォーマット	転送データ 8ビットUARTモード (0378 ₁₆ 番地のビット2~ビット0= "1012") 1ストップビット (0378 ₁₆ 番地のビット4= "0") ダイレクトフォーマットの場合 パリティを偶数パリティに設定 (0378 ₁₆ 番地のビット5= "1"、ビット6= "1") データ論理をダイレクトに設定 (037D ₁₆ 番地のビット6= "0") 転送フォーマットをLSBに設定 (037C ₁₆ 番地のビット7= "0") インバースフォーマットの場合 パリティを奇数パリティに設定 (0378 ₁₆ 番地のビット5= "0"、ビット6= "1") データ論理をインバースに設定 (037D ₁₆ 番地のビット6= "1") 転送フォーマットをMSBに設定 (037C ₁₆ 番地のビット7= "1")
転送クロック	内部クロック選択時(0378 ₁₆ 番地のビット3= "0") : $f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ (外部クロック選択を設定しないでください)
送信制御/受信制御	CTS, RTS機能禁止に設定 (037C ₁₆ 番地のビット4= "1")
その他設定項目	UART2ではスリープモード選択機能はありません 送信割り込み要因を送信完了に設定 (037D ₁₆ 番地のビット4= "1")
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(037D ₁₆ 番地のビット0)= "1" ・送信バッファ空フラグ(037D ₁₆ 番地のビット1)= "0"
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(037D ₁₆ 番地のビット2)= "1" ・スタートビットの検出
割り込み要求発生タイミング	送信時 UART2送信レジスタからデータ転送完了時 (037D ₁₆ 番地のビット4= "1") 受信時 ・UART2受信レジスタから、UART2受信バッファレジスタへデータ転送完了時
エラー検出	オーバーランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注2) フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能(037D ₁₆ 番地のビット7= "1")によりTxD ₂ 端子から "L" レベルを出力 送信側は、送信割り込み発生時、RxD ₂ 端子入力レベルによりパリティエラーを検知 エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

注1. n はUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. オーバーランエラーが発生した場合は、UART2受信バッファには次のデータが書き込まれます。またUART2受信割り込み要求ビットは変化しません。

クロック非同期形シリアルI/Oモード

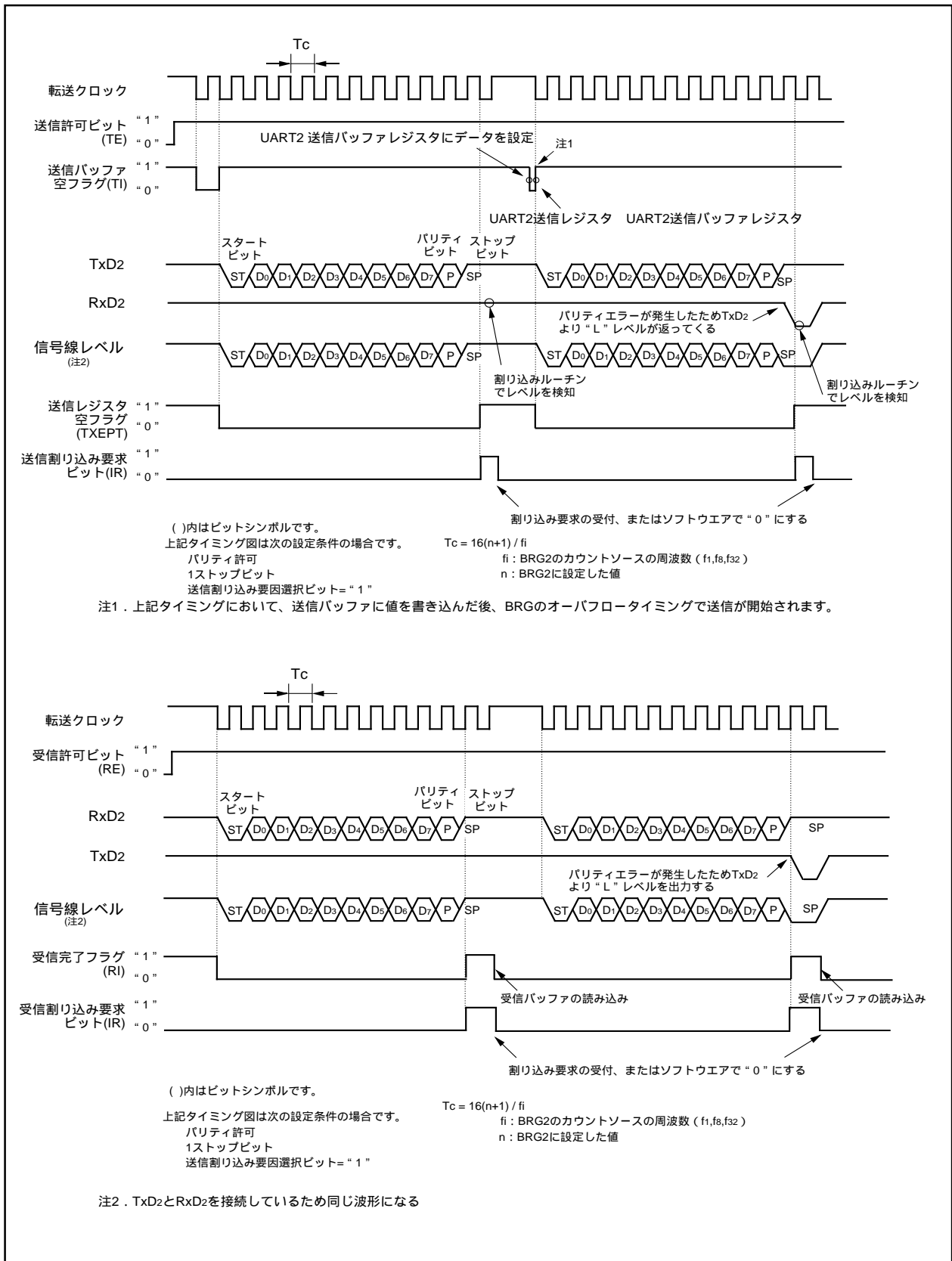


図1.16.22. UARTモード(SIMインタフェース対応)の送受信タイミング例

クロック非同期形シリアルI/Oモード

パリティエラー信号出力機能

受信時、エラー信号出力許可ビット(037D₁₆番地のビット7)が“1”のとき、パリティエラー検出時にTxD₂端子から“L”レベルを出力することができます。また、送信時、エラー信号出力許可ビット(037D₁₆番地のビット7)が“0”のときと比べ、転送クロックの半サイクル分遅れて送信完了割り込みが発生します。したがって、送信完了割り込みのプログラムでパリティエラー信号を検出することができます。図1.16.23にパリティエラー信号出力タイミングを示します。

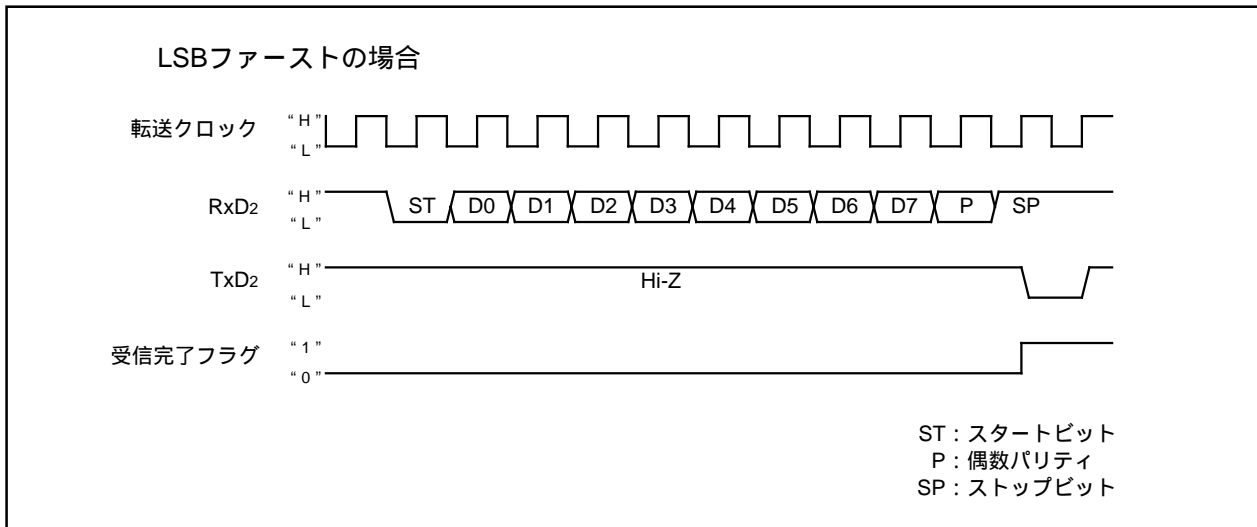


図1.16.23. パリティエラー信号出力タイミング

ダイレクトフォーマット/インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット/インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD₀のデータがTxD₂から出力されます。インバースフォーマットを選択するとD₇のデータが反転してTxD₂から出力されます。

図1.16.24にSIMインタフェースフォーマットを示します。

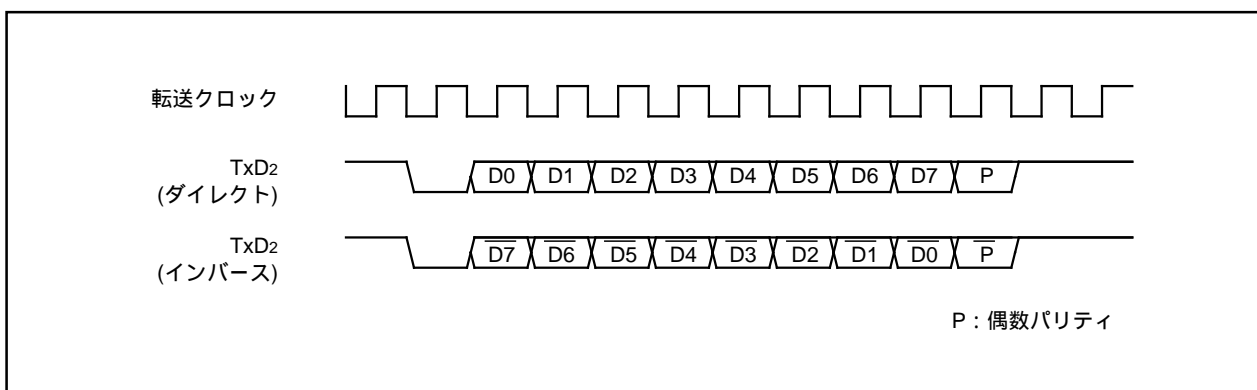


図1.16.24. SIMインタフェースフォーマット

クロック非同期形シリアルI/Oモード

図1.16.25にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

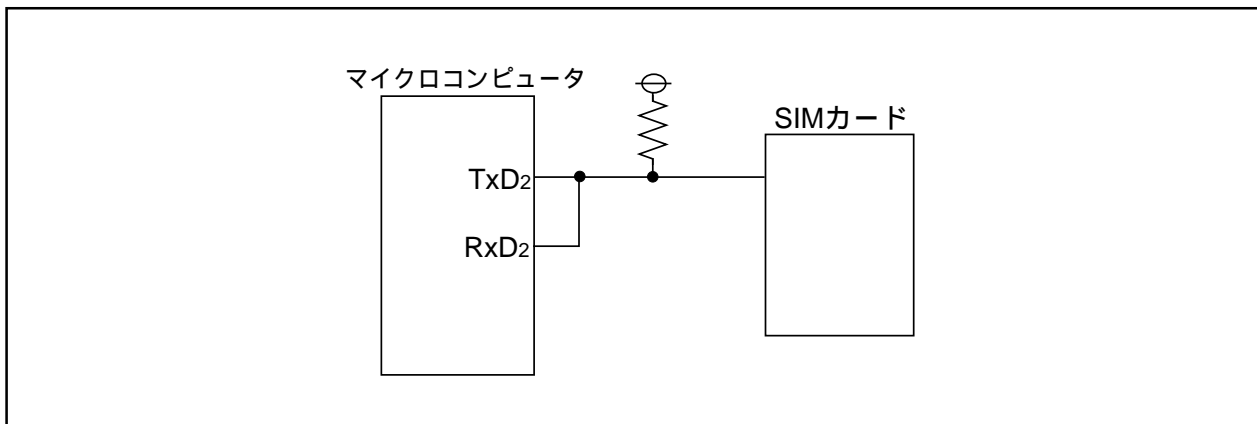


図1.16.25. SIMインタフェース接続例

UART2特殊モードレジスタ

UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377₁₆番地)は、UART2についての様々な制御を行うためのレジスタです。UART2特殊モードレジスタの構成を図1.16.26に示します。

UART2特殊モードレジスタ(0377₁₆番地)のビット0はIICモード選択ビットです。このビットを“1”に設定することで、IICバス(簡易IICバス)インタフェースを実現するための回路を有効にします。IICモード選択ビットと各制御の関係を表1.16.9に示します。この機能はクロック同期形シリアルI/Oモードで使用しますので、UARTモードで使用する場合はこのビットを“0”に設定してください。

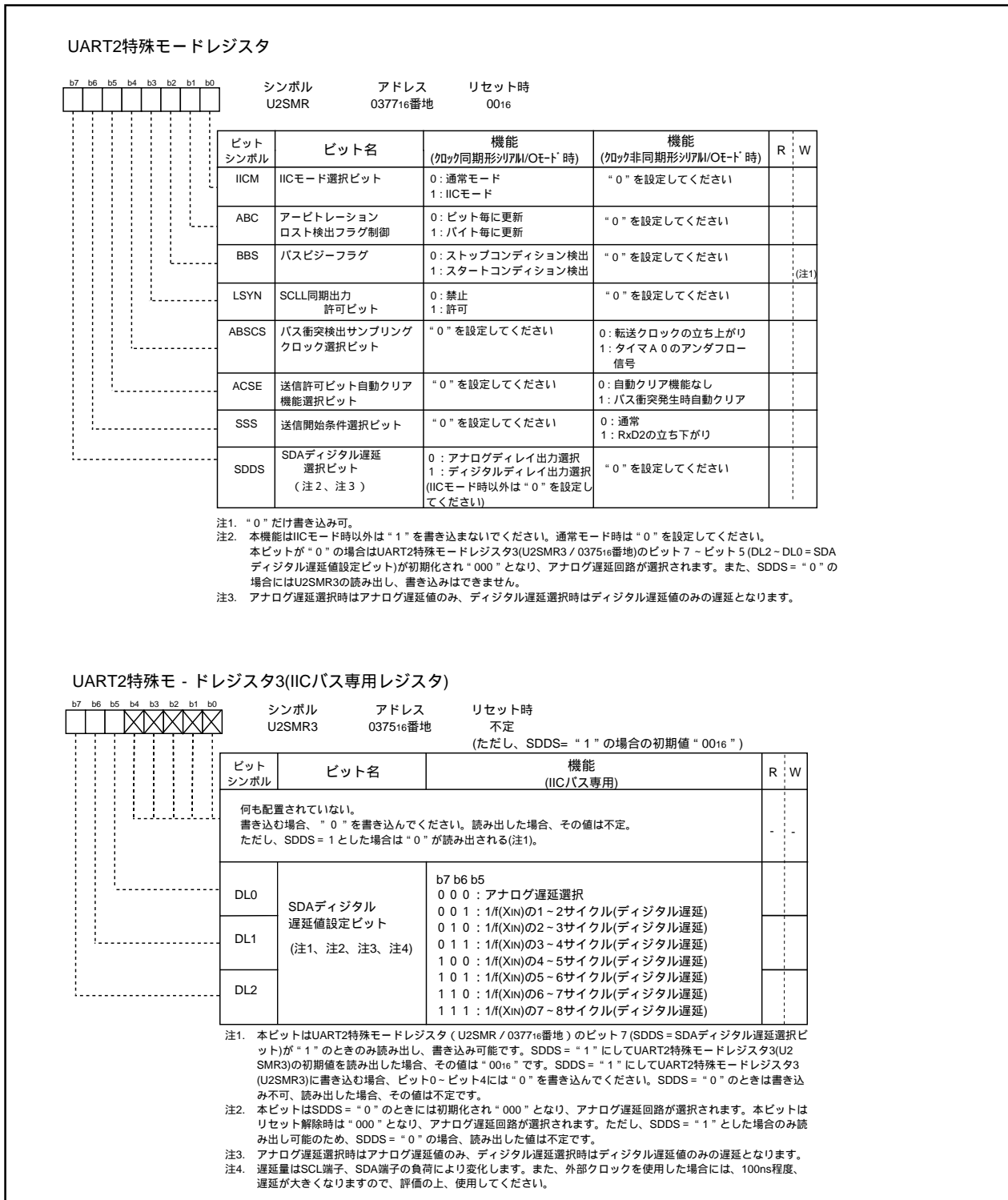


図1.16.26. UART2特殊モードレジスタ

UART2特殊モードレジスタ

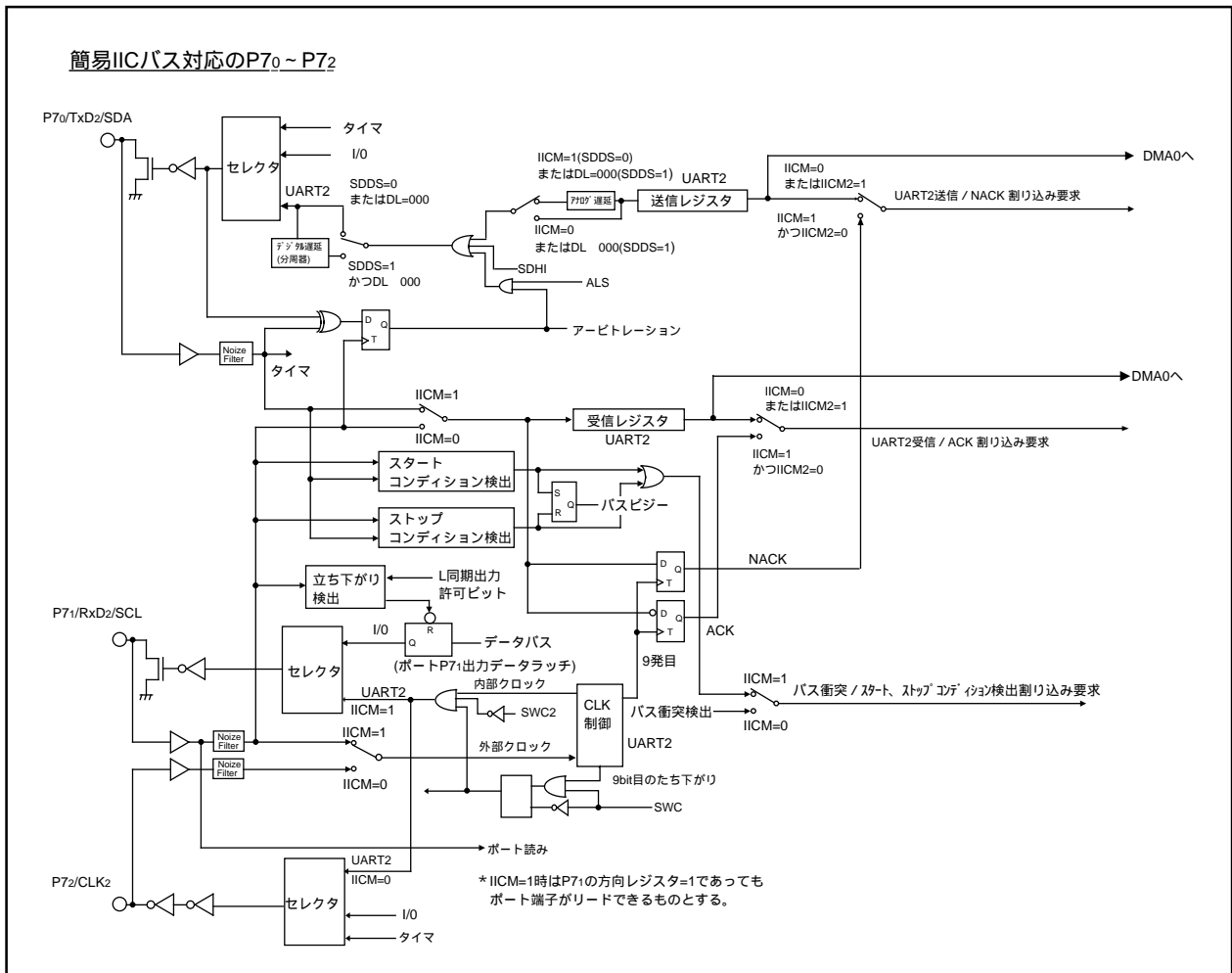


図1.16.27. IICモード機能ブロック図

表1.16.9. IICモード時の各機能

機能	通常モード	IICモード(注1)
1 割り込み番号10の要因(注2)	バス衝突検出	スタートコンディション検出 またはストップコンディション検出
2 割り込み番号15の要因(注2)	UART2送信	アクノリジ未検出(NACK)
3 割り込み番号16の要因(注2)	UART2受信	アクノリジ検出(ACK)
4 UART2送信出力delay	delayなし	delayあり(デジタル/アナログ選択可)
5 UART2使用時のP70	TxD2(出力)	SDA(入出力)(注3)
6 UART2使用時のP71	RxD2(入力)	SCL(入出力)
7 UART2使用時のP72	CLK2	P72
8 Noise Filter 幅	15ns	50ns
9 P71のリード	方向レジスタ=0の時 端子をリードする。	方向レジスタの値に関係なく 端子をリードする。
10 UART2出力の初期値	Hレベル(CLK極性選択ビット=0時)	ポート選択時にP70ラッチに設定した値

注1. IICモード使用時は以下の設定にしてください。
UART2送受信モードレジスタのビット2,1,0を
"010₂"に設定してください。
RTS / CTS機能は禁止してください。
MSBファーストに設定してください。

注2. 要因を切り替える時は以下の手順で行ってください。
1. 対応するNoの割り込み禁止。
2. 要因の切り替え。
3. 対応するNoの割り込み要求フラグリセット。
4. 対応するNoの割り込みレベル設定。

注3. SDA送信出力の初期値の設定は、シリアルI/Oが無効の
状態で行ってください。

UART2特殊モードレジスタ

IICモードの機能を図1.16.27の機能ブロック図に示します。IICモード選択ビット(IICM)を“1”に設定すると、ポートP70, P71, P72の機能がそれぞれデータ送受信端子SDA、クロック入出力端子SCL、ポートP72となります。SDA送信出力にはディレイ回路が付加されますので、SCLが十分“L”になった後、SDA出力が変化します。SDAデジタル遅延選択ビット(0377₁₆番地ビット7)によってアナログ遅延とデジタル遅延を選択することができます。デジタル遅延を選択した場合、遅延値をUART2特殊モードレジスタ3(0375₁₆番地)によってf1の2サイクルから8サイクルまで選択することができます。遅延回路選択条件を表1.16.10に示します。

表1.16.10. 遅延回路選択条件

	レジスタ値			内 容
	IICM	SDDS	DL	
デジタル遅延選択	1	1	001 111	デジタル遅延を選択した場合は、アナログ遅延は付加されません。デジタル遅延のみになります。
アナログ遅延選択	1	1	000	DL=“000”を設定した場合、SDDSの値によらずアナログ遅延が選択されます。
		0	(000)	SDDS=“0”にするとDLは初期化されDL=“000”になります。
遅延なし	0	0	(000)	IICM=“0”の時遅延回路は選択されません。ただし、IICM=“0”の時は必ずSDDS=“0”にしてください。

ポートP71(SCL)を読み出す際は、ポート方向レジスタの内容にかかわらず、端子のレベルが読み出せます。SDA送信出力の初期値は、ポートP70に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でもSDA端子(P70)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でもSDA端子(P70)の立ち上がりが発生したことを検出して発生する割り込みです。バスビジーフラグ(UART2特殊モードレジスタのビット2)はスタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にクリアされます。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“H”のままであることを検出して発生する割り込みです。アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“L”になっていることを検出して発生する割り込みです。

UART2特殊モードレジスタ(0377₁₆番地)のビット1はアービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCLの立ち上がりのタイミングで送信データとSDA端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ(037F₁₆番地、037E₁₆番地)のビット11に配置されており、不一致を検出すると“1”にセットされます。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち上がりでアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

UART2特殊モードレジスタ(0377₁₆番地)のビット3はSCL L同期出力許可ビットです。このビットを“1”に設定すると、SCL端子のレベルが“L”になることに同期してP71のデータレジスタが“0”になります。

UART2特殊モードレジスタ

次に、その他の追加された機能について説明します。その動作を図1.16.28に示します。

UART2特殊モードレジスタのビット4はバス衝突検出サンプリングクロック選択ビットです。バス衝突検出割り込みとはRxD2とTxD2のレベルが一致していないときに割り込みを発生するものですが、このビットが“0”の場合、転送クロックの立ち上がりで同期して不一致を検出します。このビットが“1”の場合、転送クロックの立ち上がりではなく、タイマA0のオーバフローのタイミングで検出します。

UART2特殊モードレジスタのビット5は送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします。

UART2特殊モードレジスタのビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します。

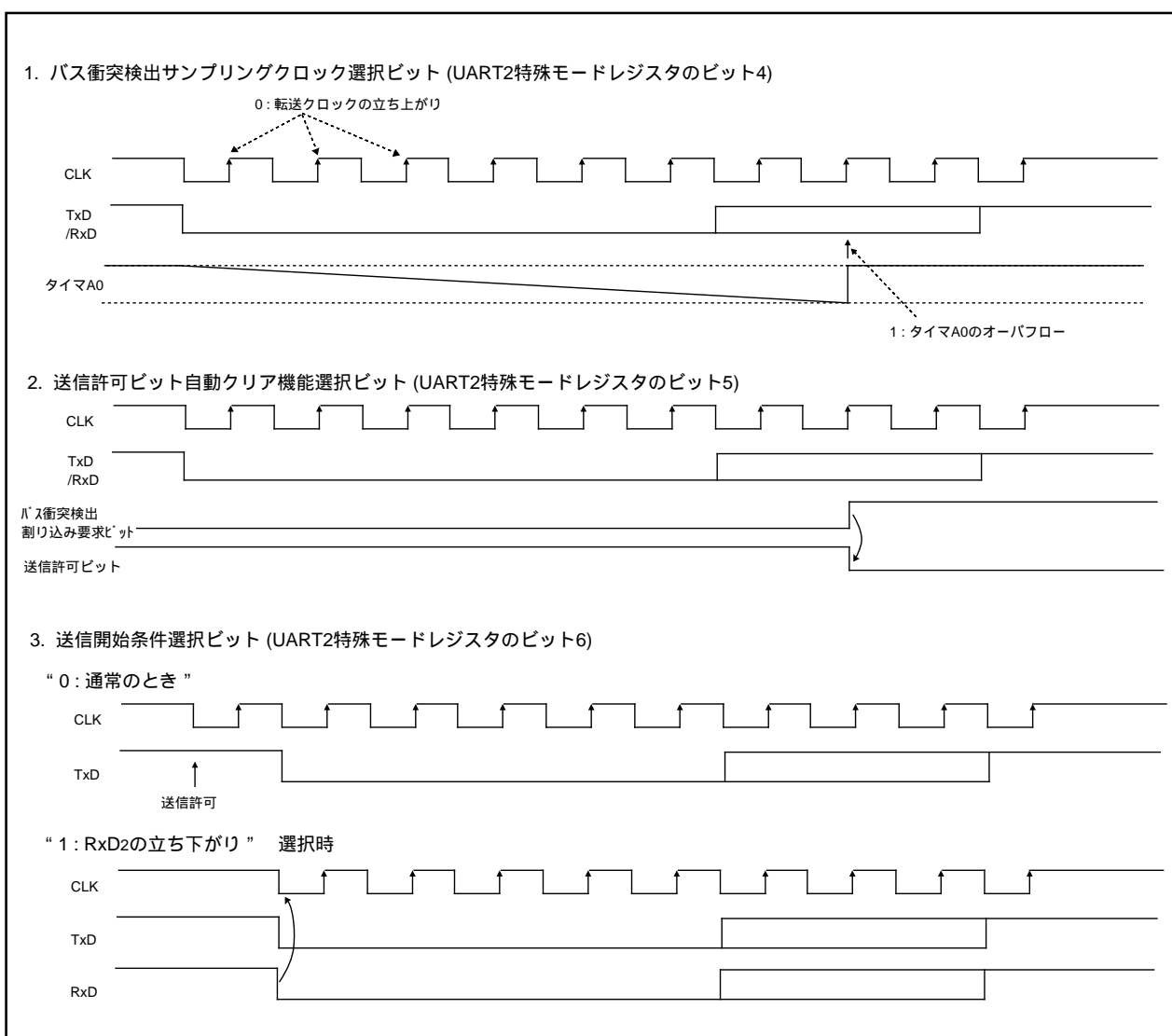


図1.16.28. その他の追加機能

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)は、UART2のIICモードについて、さらに制御を行うためのレジスタです。UART2特殊モードレジスタ2の構成を図1.16.29に示します。

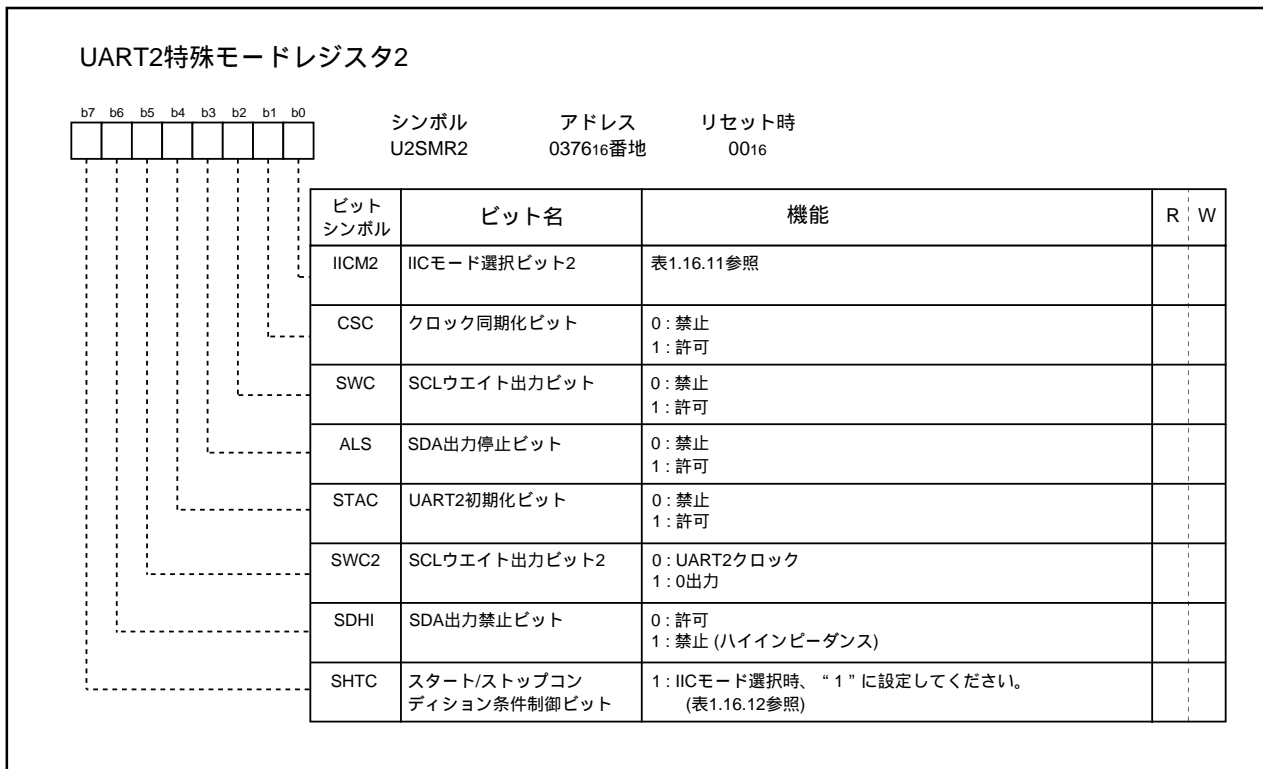


図1.16.29. UART2特殊モードレジスタ2

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)のビット0はIICモード選択ビット2です。IICモード選択ビットが“1”のときにIICモード選択ビット2により変更される各制御を表1.16.11に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を表1.16.12に示します。IICモード選択時、スタート/ストップコンディション条件制御ビット(UART2特殊モードレジスタ2のビット7)は“1”に設定してください。

表1.16.11. IICモード選択ビット2によって変更される各機能

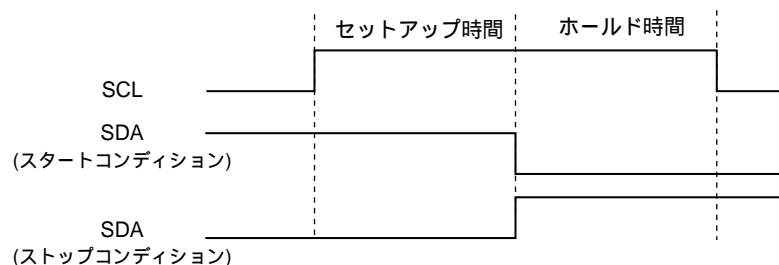
	機能	IICM2 = 0	IICM2 = 1
1	割り込み番号15の要因	アクノリッジ未検出 (NACK)	UART2送信(最終ビットのクロックの立ち上がり)
2	割り込み番号16の要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
3	UART2受信シフトレジスタから受信バッファへのデータ転送タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり
4	UART2受信/ACK割り込み要求発生タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり

表1.16.12. スタート/ストップコンディション検出タイミング特性(注1)

3~6サイクル < セットアップ時間 (注2)
3~6サイクル < ホールド時間 (注2)

注1. スタート/ストップコンディション条件制御ビットSHTC=“1”の場合。

注2. サイクル数はメインクロック入力発振周波数(f_{XIN})のサイクル数を示します。



UART2特殊モードレジスタ2

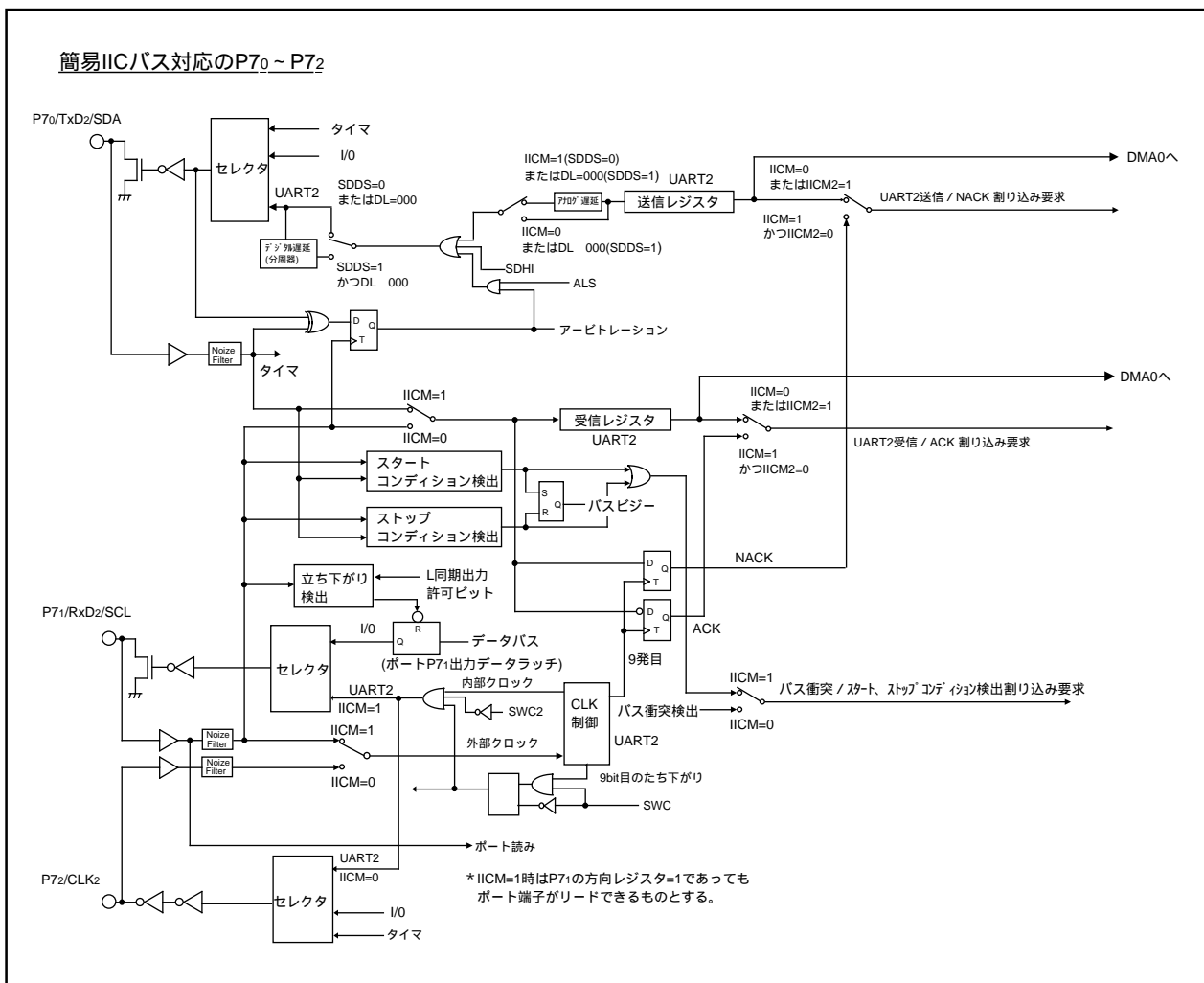


図1.16.30. IICモード機能ブロック図

IICモードの機能を図1.16.30の機能ブロック図に示します。

UART2特殊モードレジスタ2(0376₁₆番地)のビット3はSDA出力停止ビットです。このビットを“1”にすると、アービトレーションロストが発生しアービトレーションロスト検出フラグが“1”になった場合、同時にSDA端子がハイインピーダンス状態になります。

UART2特殊モードレジスタ2(0376₁₆番地)のビット1はクロック同期化ビットです。このビットを“1”に設定すると、内部SCL=“H”時、SCL端子に立ち下がりエッジがあれば内部SCL=“L”とし、ポーレートジェネレータの値をリロードしてL区間のカウントを開始します。また、SCL端子=“L”時、内部SCLが“L”から“H”に変化すればポーレートジェネレータのカウントを停止し、SCL端子=“H”になればカウントを再開します。この機能によりUART2の送受信クロックは、内部SCLとSCL端子の信号をANDしたものになります。この機能はUART2の1発目のクロックの立ち下がり時点よりクロックの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UART2特殊モードレジスタ2(0376₁₆番地)のビット2はSCLウエイト出力ビットです。このビットを“1”にすると、クロックの9ビット目の立ち下がりSCL端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)のビット4はUART2初期化ビットです。このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

- (1) 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UART2出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- (2) 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- (3) SCLウエイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がりでSCL端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、送信バッファ空フラグの値は変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

UART2特殊モードレジスタ2(0376₁₆番地)のビット5はSCL端子ウエイト出力ビット2です。シリアルI/O指定時にこのビットを“1”にすることにより、UART2動作中でもSCL端子から強制的に“L”を出力することができます。このビットを“0”にすることにより、SCL端子からの“L”出力は解除され、UART2クロックが入出力されます。

UART2特殊モードレジスタ2(0376₁₆番地)のビット6はSDA出力禁止ビットです。このビットを“1”にすると、SDA端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUART2の転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

A-D変換器

A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、P100～P107、P95、P96と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット(03D716番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(VREF)を切り離すことができます。切り離すことにより、VREF端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、VREFを接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表1.17.1にA-D変換器の性能を、図1.17.1にA-D変換器のブロック図を、図1.17.2、図1.17.3にA-D変換器関連のレジスタを示します。

表1.17.1. A-D変換器の性能

項目	性能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVcc(Vcc)
動作クロック AD(注2)	Vcc=5Vのとき fAD/fADの2分周/fADの4分周 fAD=f(XIN) Vcc=3Vのとき fADの2分周/fADの4分周 fAD=f(XIN)
分解能	8/10ビット選択可能
絶対精度	Vcc = 5Vのとき サンプル&ホールド機能なし ±3LSB サンプル&ホールド機能あり(分解能8ビット) ±2LSB サンプル&ホールド機能あり(分解能10ビット) AN0～AN7入力の場合 ±3LSB ANEX0, ANEX1入力の場合(外部オペアンプ接続モードを含む) ±7LSB Vcc = 3Vのとき サンプル&ホールド機能なし(分解能8ビット) ±2LSB
動作モード	単発モード
アナログ入力端子	8本(AN0～AN7) + 2本(ANEX0, ANEX1)
A-D変換開始条件	ソフトウェアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつADTRG/P97入力が“H”から“L”の変化でA-D変換を開始
1端子あたりの変換速度	サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル 分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル 分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. f(XIN)が10MHzを超える場合は分周し、ADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

A-D変換器

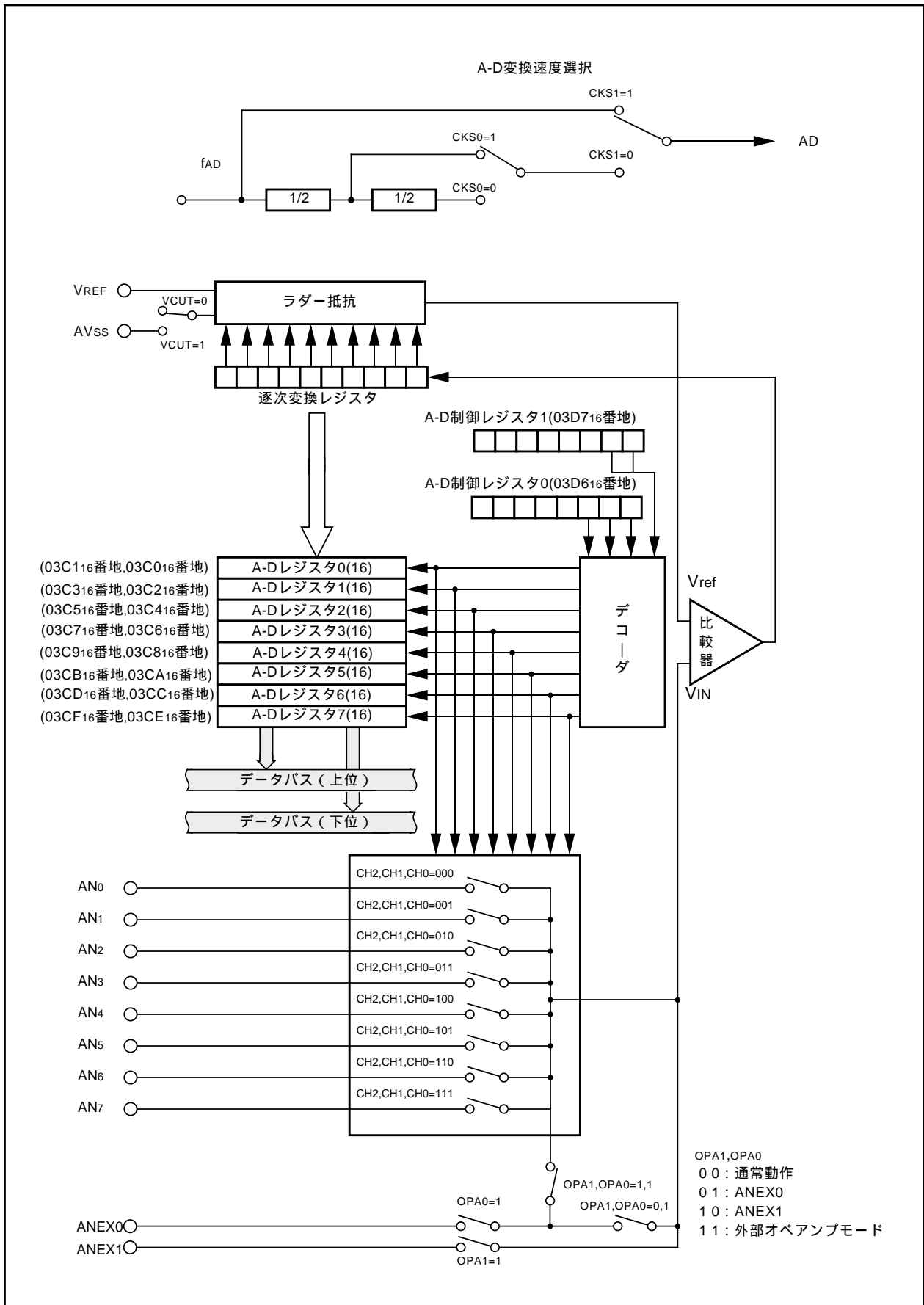


図1.17.1. A-D変換器のブロック図

A-D変換器

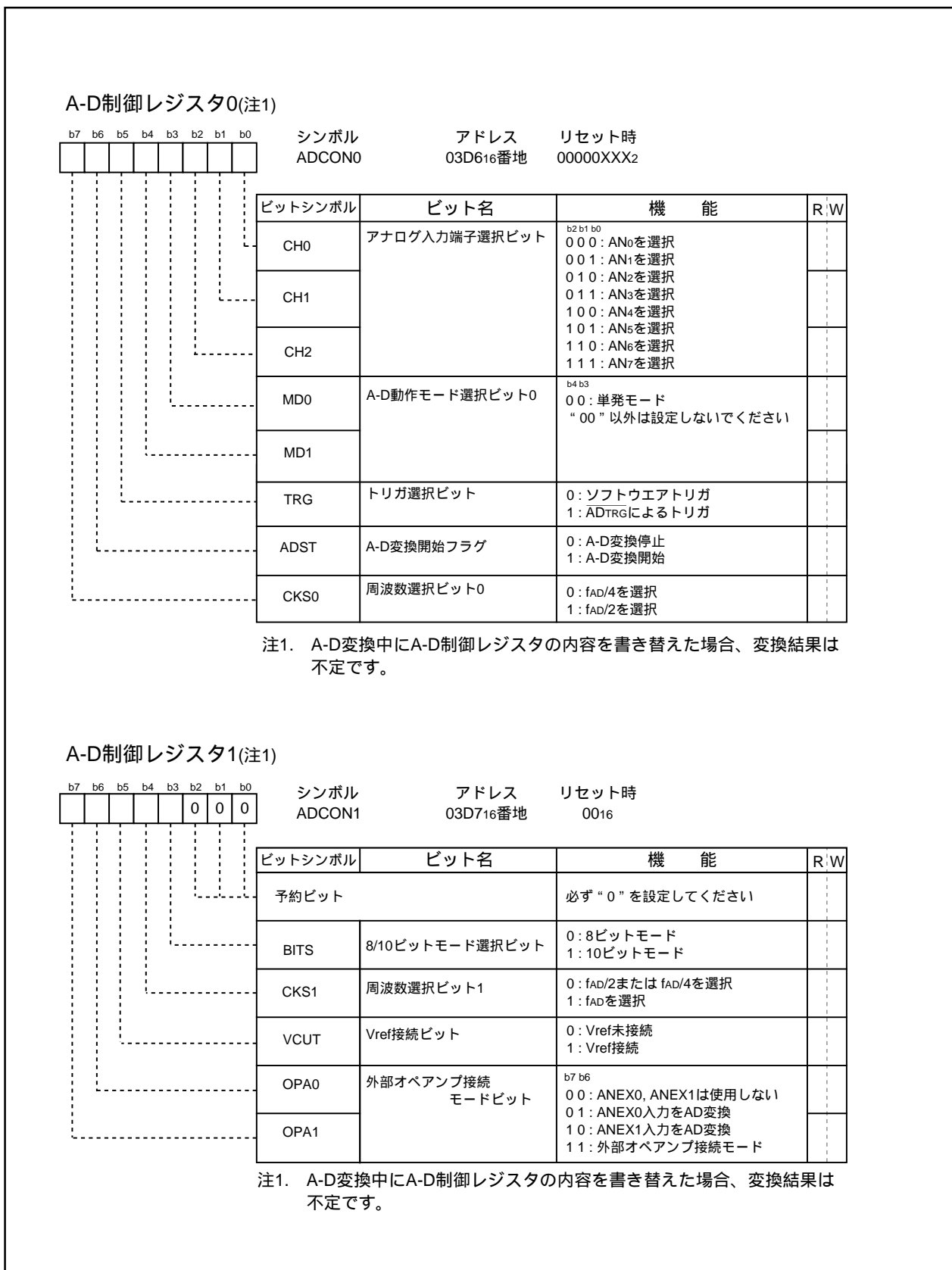


図1.17.2. A-D変換器関連レジスタ(1)

A-D変換器

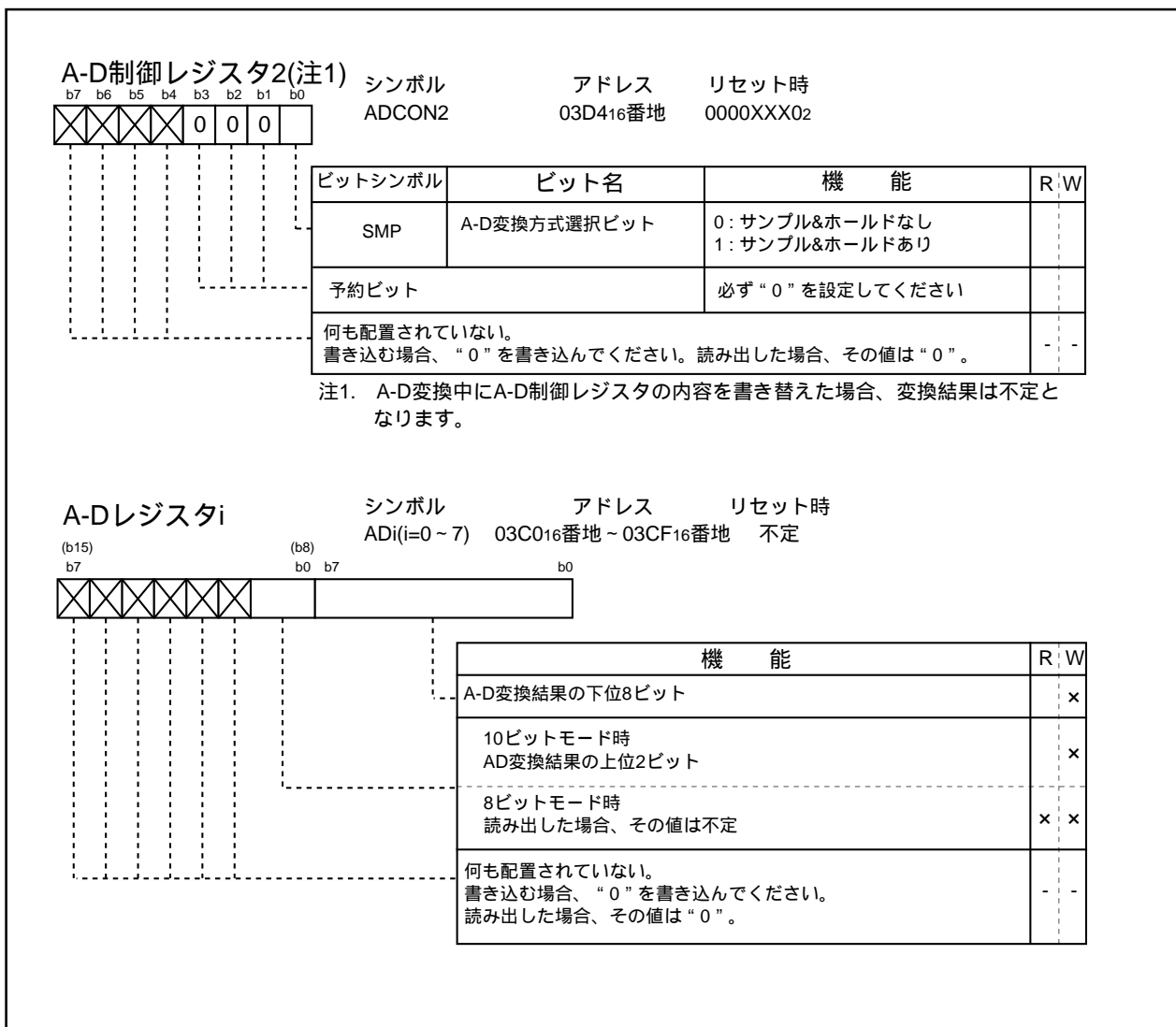


図1.17.3. A-D変換器関連レジスタ(2)

A-D変換器

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表1.17.2に単発モードの仕様、図1.17.4に単発モード時のA-D制御レジスタ構成を示します。

表1.17.2. 単発モードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN ₀ ~ AN ₇ より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

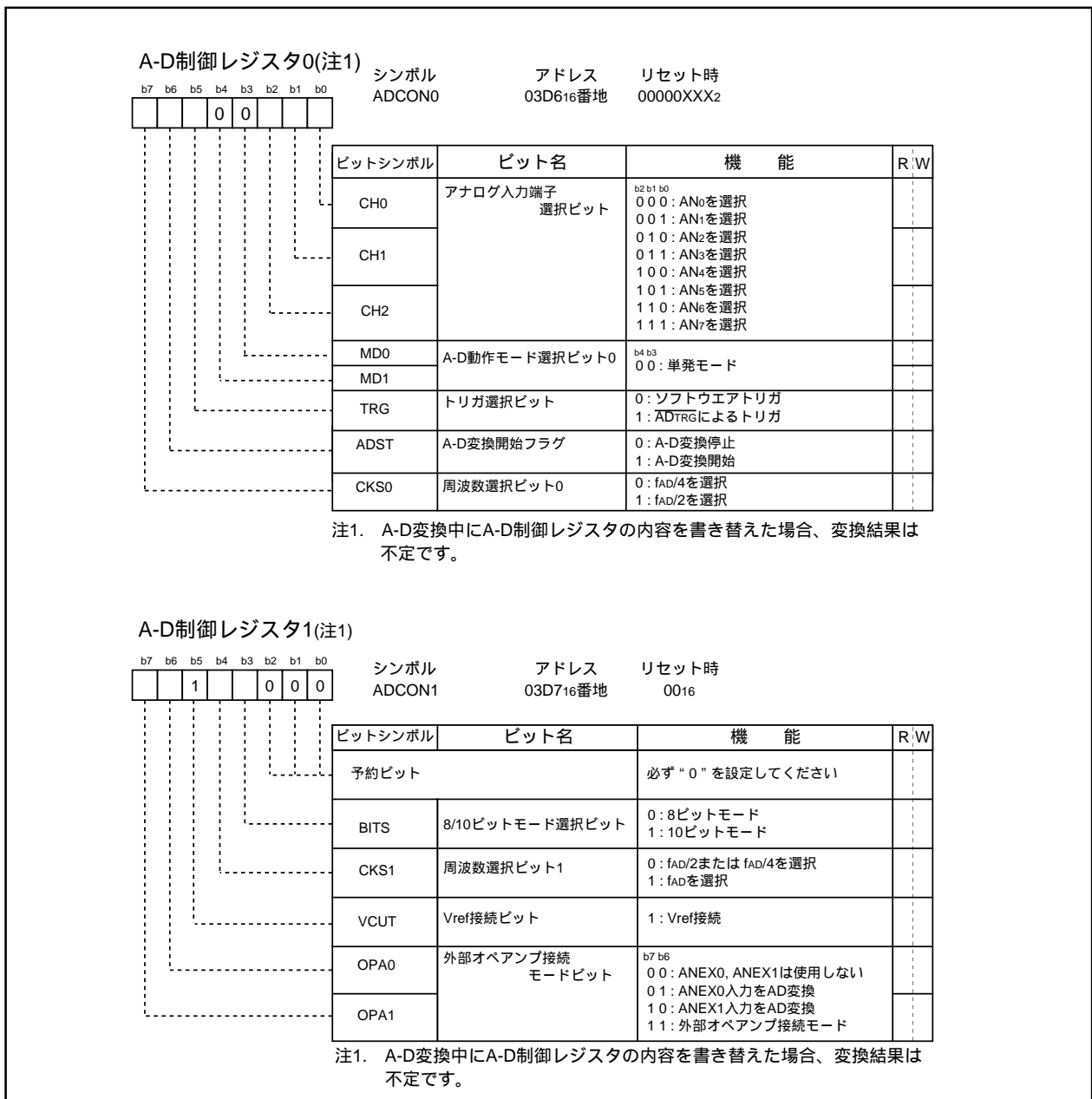


図1.17.4. 単発モード時のA-D制御レジスタ

A-D変換器

サンプル&ホールド

A-D制御レジスタ2(03D4₁₆番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA-D変換を開始してください。

拡張アナログ入力端子

単発モードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA-D変換することができます。

A-D制御レジスタ1(03D7₁₆番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ0に格納されます。

A-D制御レジスタ1(03D7₁₆番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ1に格納されます。

外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A-D変換入力として使用することができます。

A-D制御レジスタ1(03D7₁₆番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN₀~AN₇からの入力をANEX0から出力します。A-D変換はANEX1からの入力に対して行われ、A-D変換結果は対応するA-Dレジスタに格納されます。A-D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結して使用しないでください。図1.17.5に外部オペアンプ接続モードの接続例を示します。

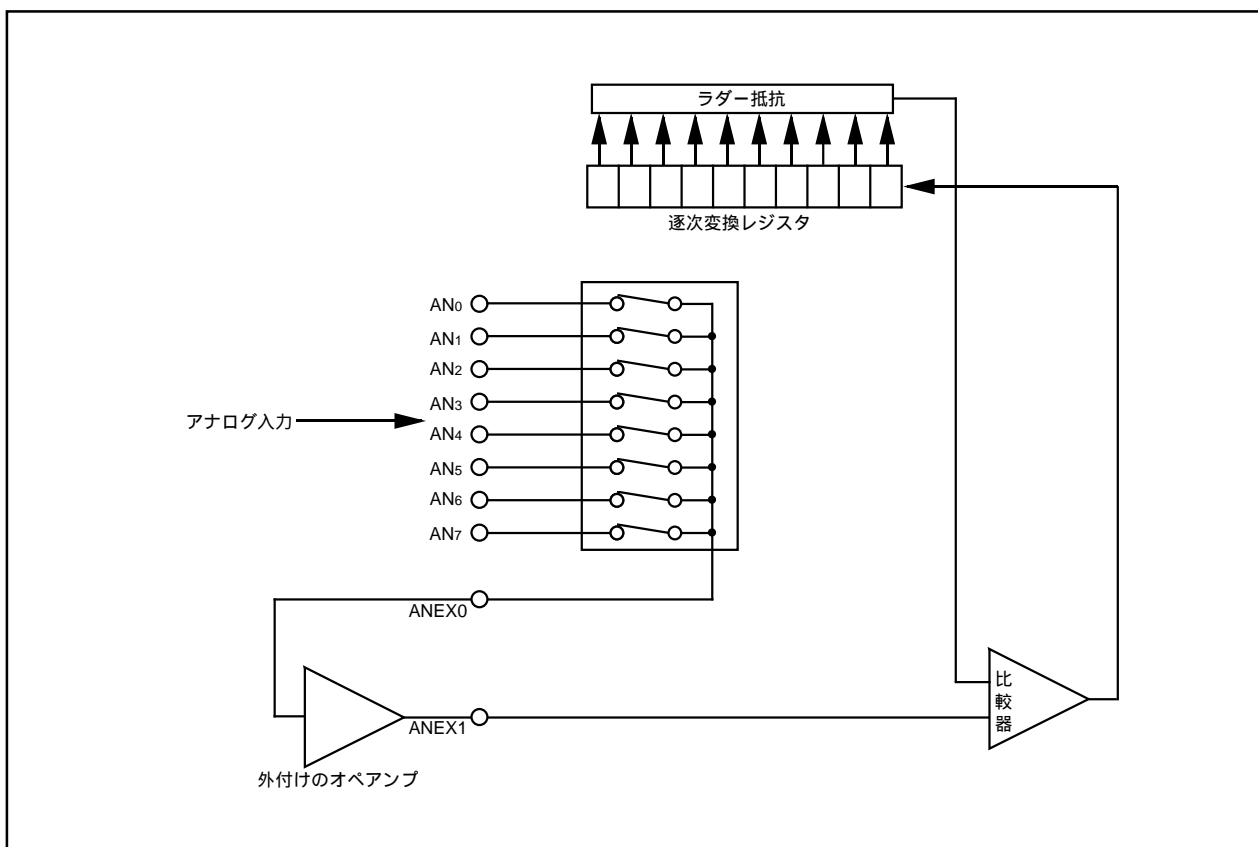


図1.17.5. 外部オペアンプ接続モードの接続例

プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P10(P85は除く)の87本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P85は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図1.20.1～図1.20.4に、端子の構成を、図1.20.5に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図1.20.6に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています(注1)。

メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 \overline{RD} 、 \overline{WRL} / \overline{WR} 、 \overline{WRH} / \overline{BHE} 、ALE、 \overline{RDY} 、 \overline{HOLD} 、 \overline{HLDA} 、BCLKに設定している端子の方向レジスタの内容は変更できません。

注1. P85の方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、図1.20.7に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポータラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 \overline{RD} 、 \overline{WRL} / \overline{WR} 、 \overline{WRH} / \overline{BHE} 、ALE、 \overline{RDY} 、 \overline{HOLD} 、 \overline{HLDA} 、BCLKに設定している端子の方向レジスタの内容は変更できません。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図1.20.8に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

ただし、メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P40～P43、P5はプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

(4) ポート制御レジスタ

ポート制御レジスタの構成を、図1.20.9に示します。

ポートP1の読み出しに対して、ポート制御レジスタのビット0の値によって、以下のようになります。

0: 入力ポートのとき、端子の入力レベルを読み出す

出力ポートのとき、ポートP1レジスタの内容を読み出す

1: 入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す

なお、マイクロプロセッサモード、メモリ拡張モード時で外部バス幅8ビット時や全空間マルチプレクスバス時などでポートP1がポートとして使用できる場合も、上記と同様に機能します。

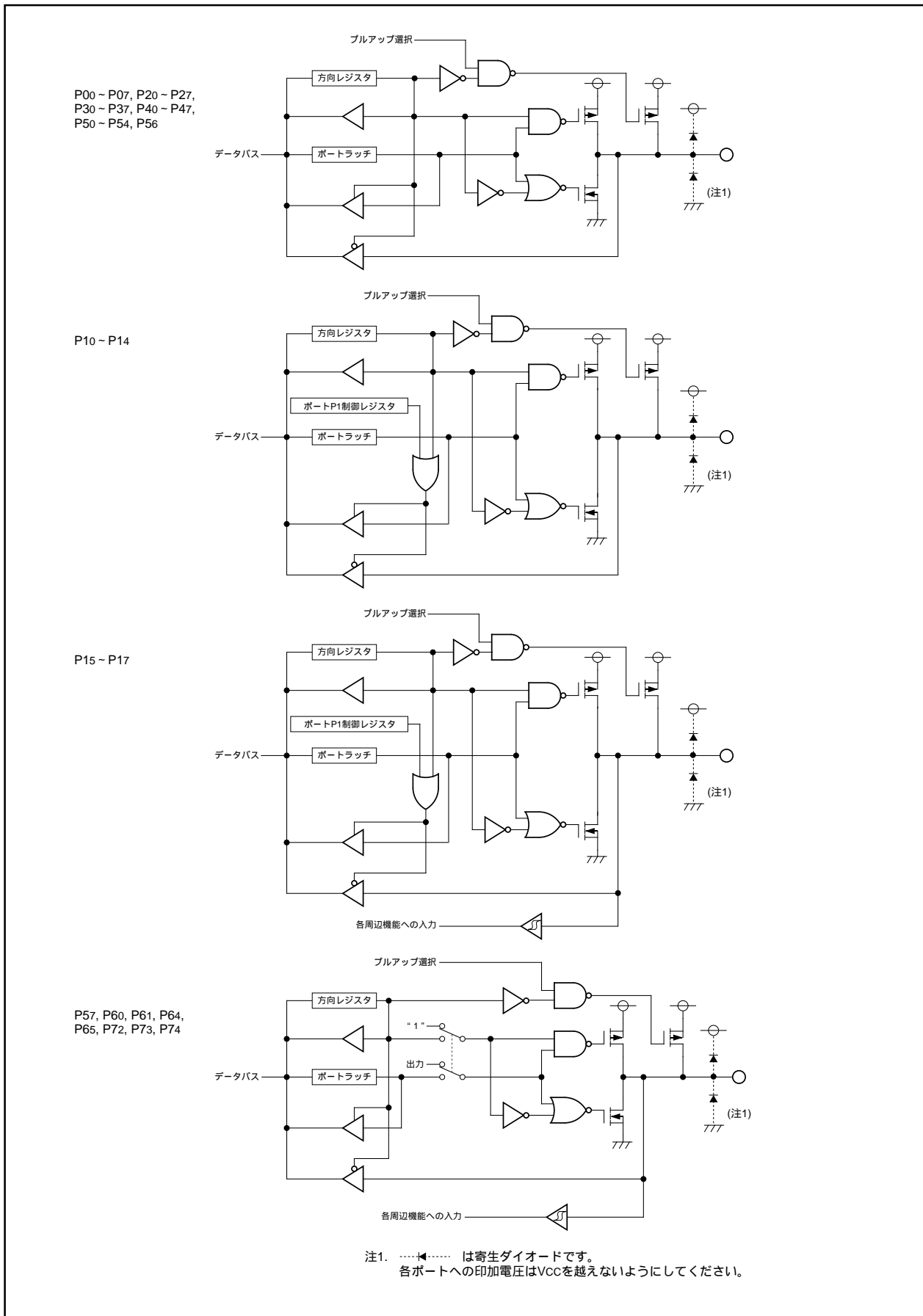


図1.20.1. プログラマブル入出力ポートの構成(1)

ポート

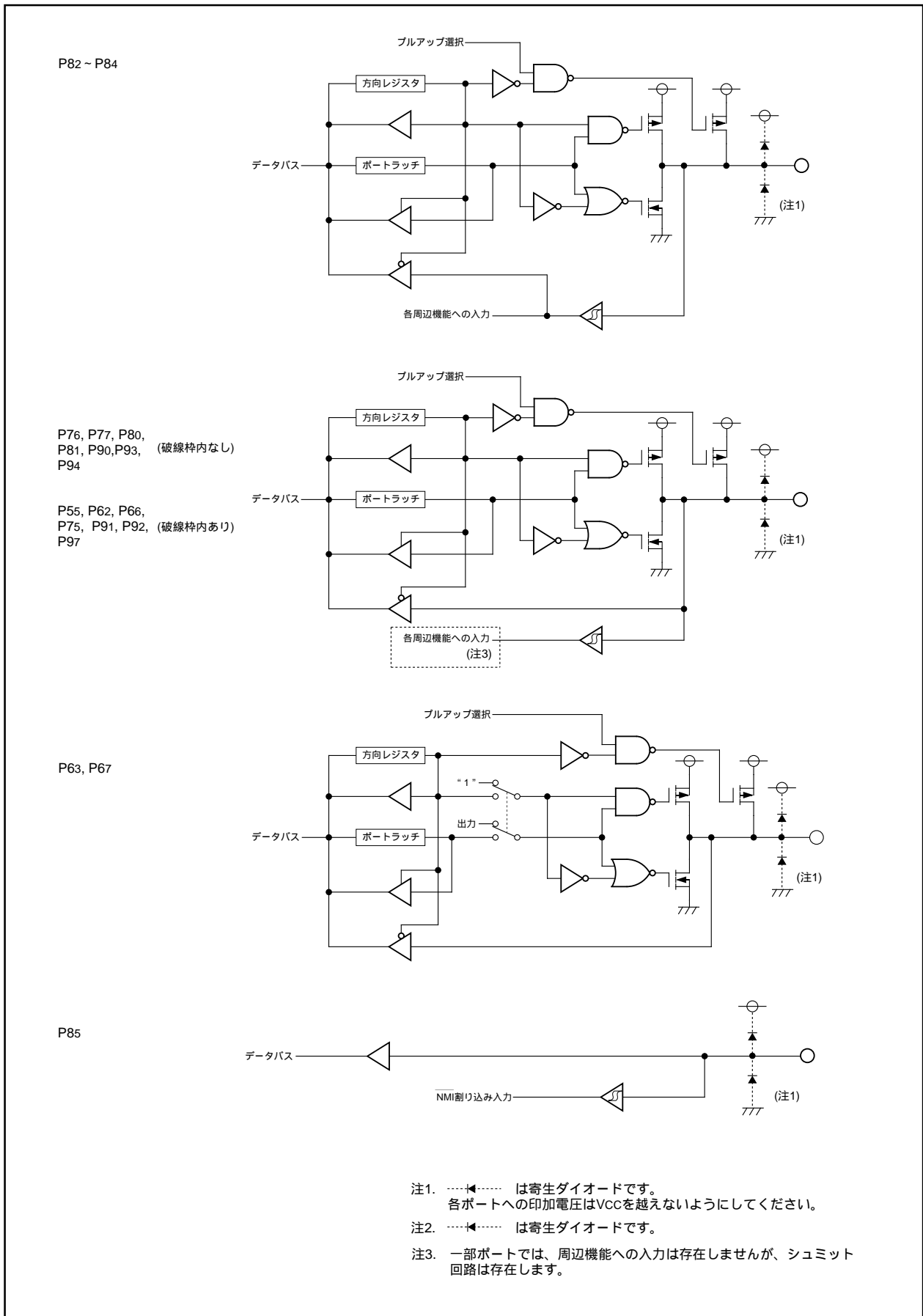


図1.20.2. プログラマブル入出力ポートの構成(2)

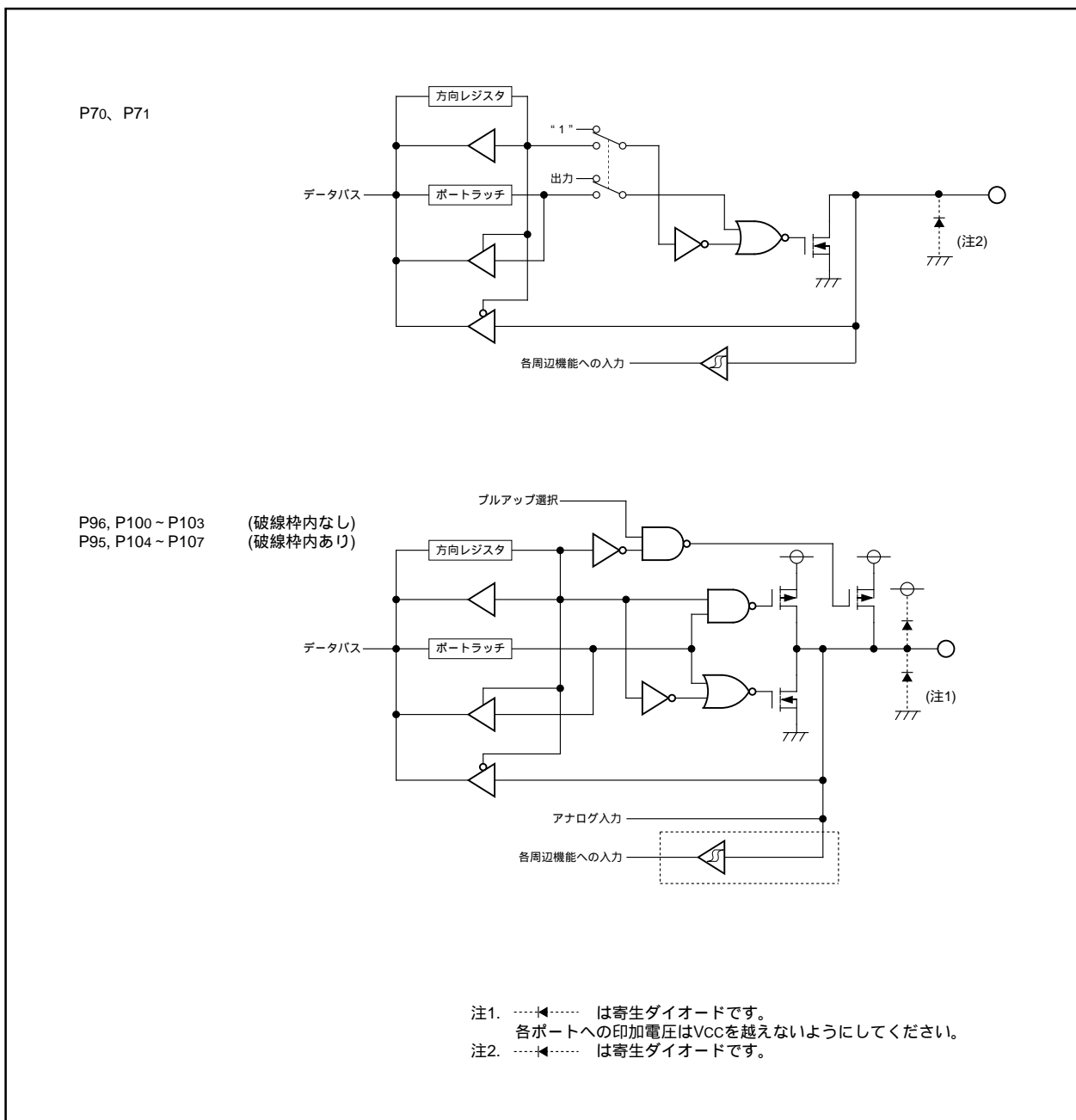


図1.20.3. プログラマブル入出力ポートの構成(3)

ポート

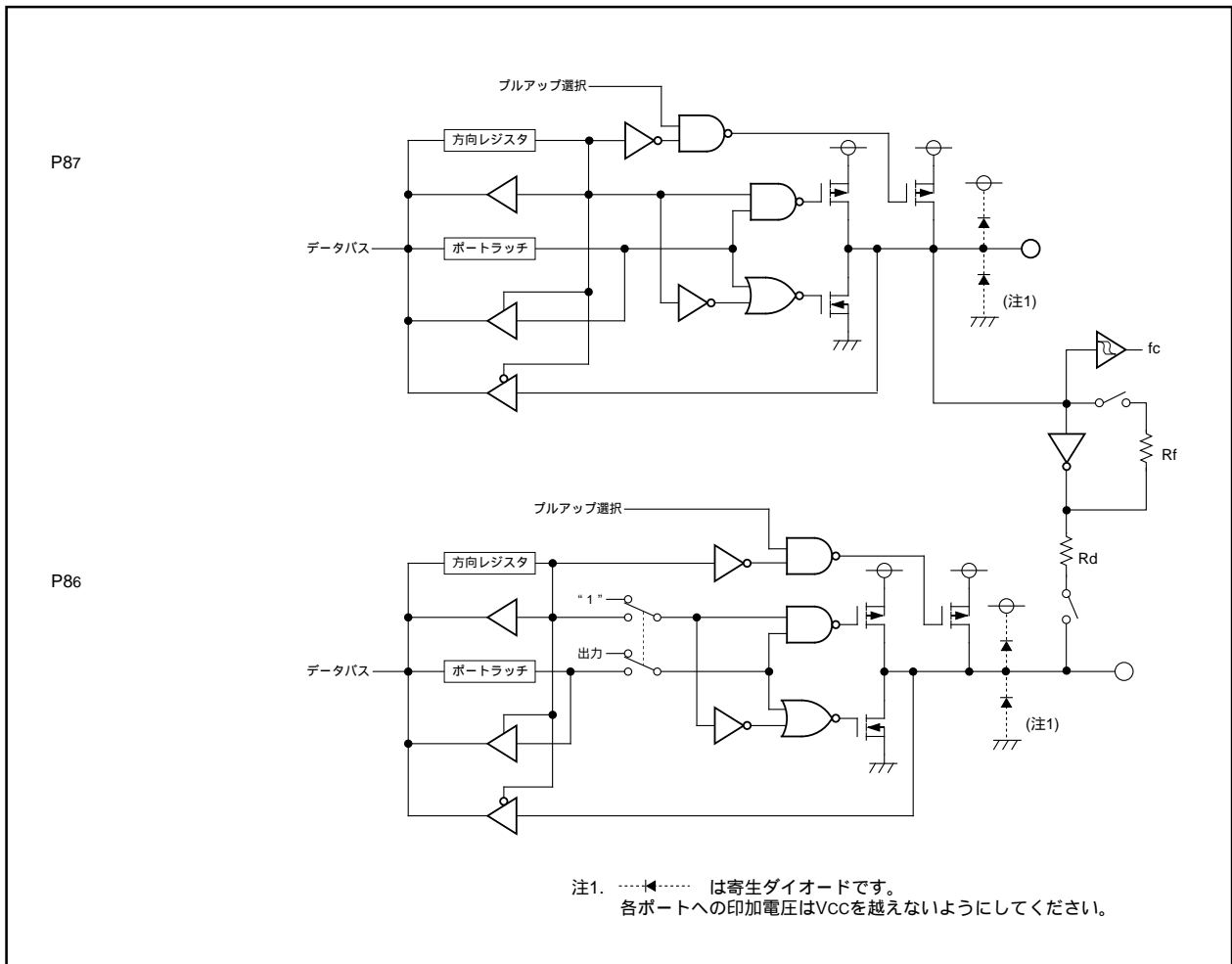


図1.20.4. プログラマブル入出力ポートの構成(4)

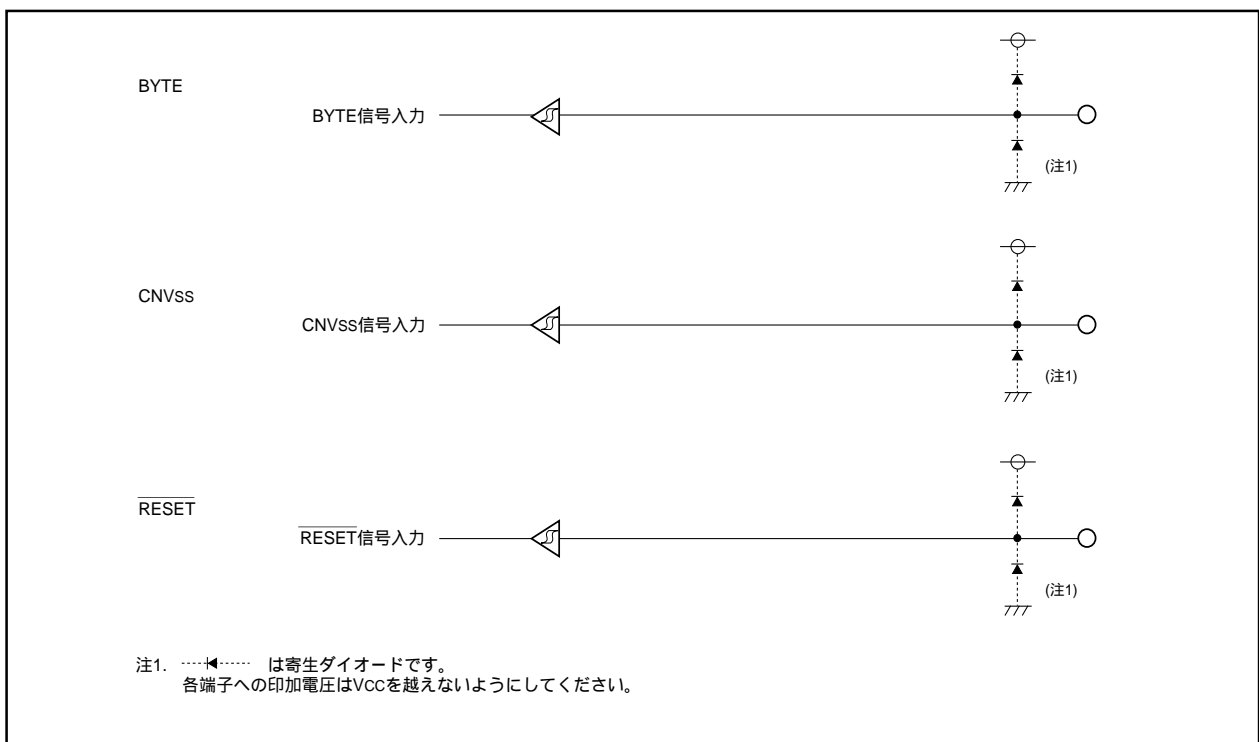


図1.20.5. 端子の構成

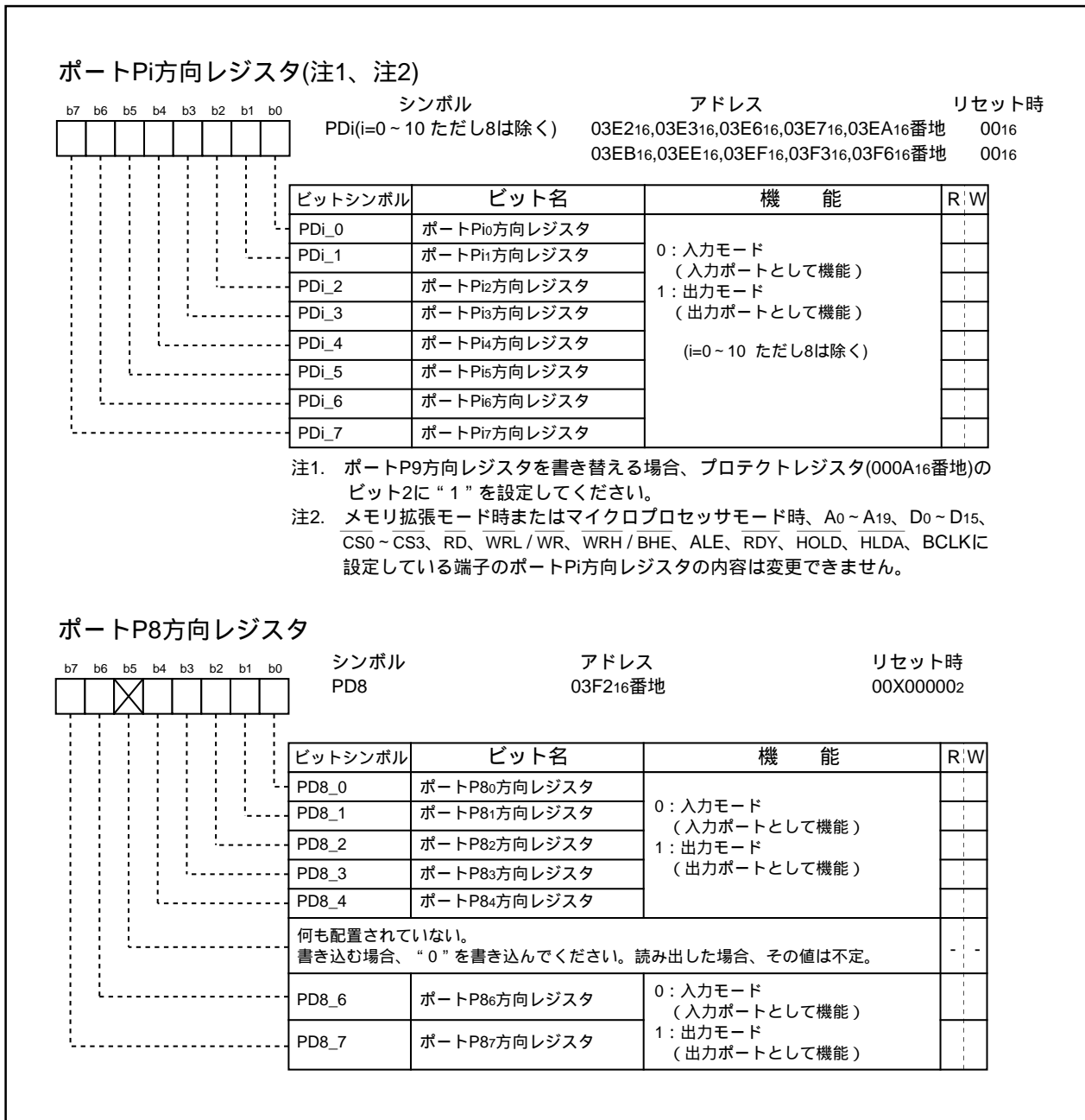


図1.20.6. 方向レジスタの構成

ポート

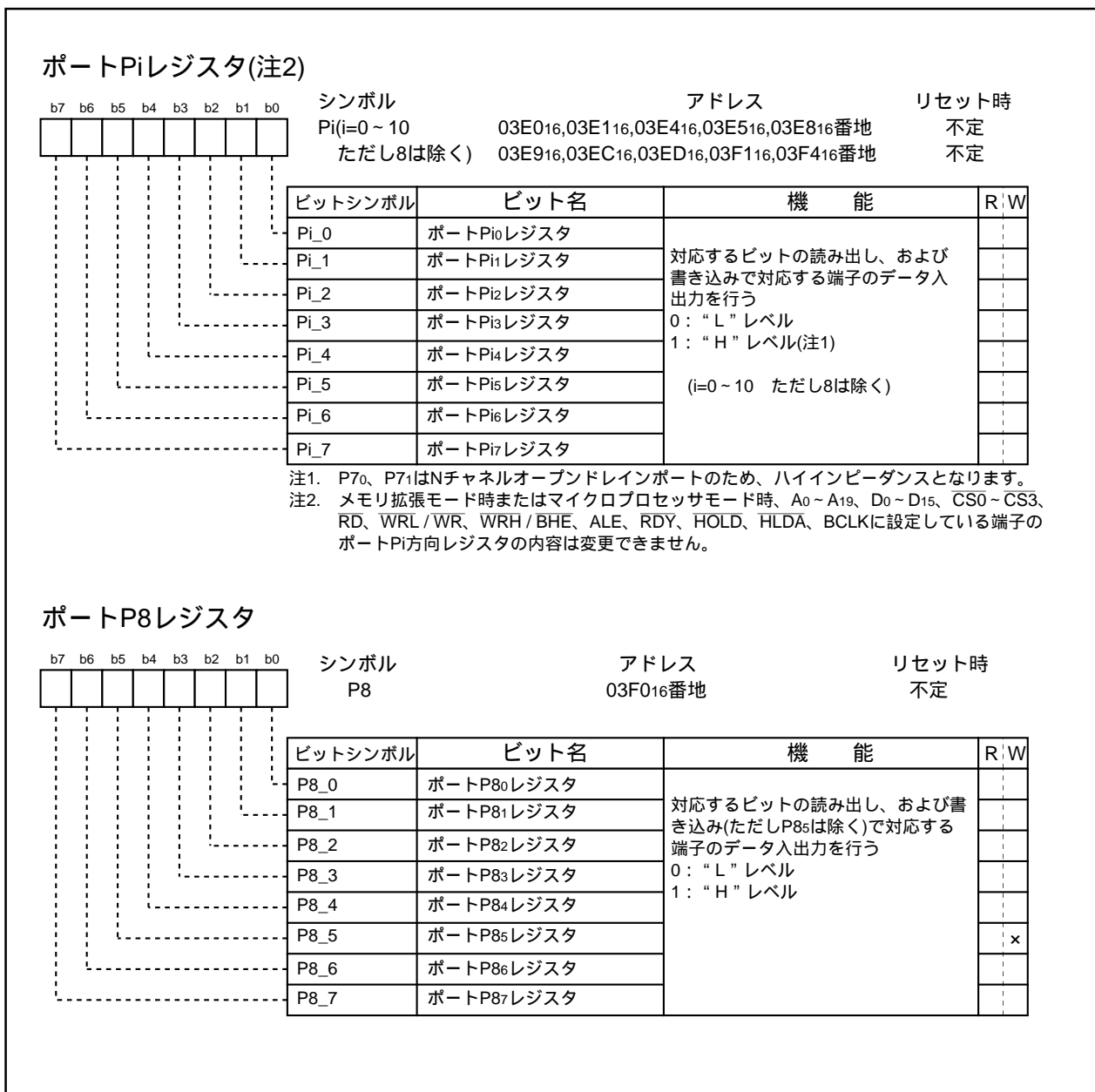


図1.20.7. ポートレジスタの構成

プルアップ制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUR0	アドレス 03FC ₁₆ 番地	リセット時 00 ₁₆
ビットシンボル	ビット名		機能	R	W					
PU00	P0 ₀ ~ P0 ₃ のプルアップ		対応するポートのプルアップの設定を行う 0: プルアップなし 1: プルアップあり							
PU01	P0 ₄ ~ P0 ₇ のプルアップ									
PU02	P1 ₀ ~ P1 ₃ のプルアップ									
PU03	P1 ₄ ~ P1 ₇ のプルアップ									
PU04	P2 ₀ ~ P2 ₃ のプルアップ									
PU05	P2 ₄ ~ P2 ₇ のプルアップ									
PU06	P3 ₀ ~ P3 ₃ のプルアップ									
PU07	P3 ₄ ~ P3 ₇ のプルアップ									

注1. メモリ拡張モードまたはマイクロプロセッサモード時、このレジスタの内容は変更できませんが、プルアップ抵抗は接続されません。

プルアップ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUR1	アドレス 03FD ₁₆ 番地	リセット時 00 ₁₆ (注2)
ビットシンボル	ビット名		機能	R	W					
PU10	P4 ₀ ~ P4 ₃ のプルアップ (注3)		対応するポートのプルアップの設定を行う 0: プルアップなし 1: プルアップあり							
PU11	P4 ₄ ~ P4 ₇ のプルアップ									
PU12	P5 ₀ ~ P5 ₃ のプルアップ (注3)									
PU13	P5 ₄ ~ P5 ₇ のプルアップ (注3)									
PU14	P6 ₀ ~ P6 ₃ のプルアップ									
PU15	P6 ₄ ~ P6 ₇ のプルアップ									
PU16	P7 ₂ ~ P7 ₃ のプルアップ (注1)									
PU17	P7 ₄ ~ P7 ₇ のプルアップ									

注1. P7₀、P7₁はNチャンネルオープンドレインポートのため、プルアップはありません。

注2. CNVss端子にVccレベルを印加しているときは、リセット時02₁₆になります(PU11が“1”になります)。

注3. メモリ拡張モードまたはマイクロプロセッサモード時、このビットの内容は変更できませんが、プルアップ抵抗は接続されません。

プルアップ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUR2	アドレス 03FE ₁₆ 番地	リセット時 00 ₁₆
ビットシンボル	ビット名		機能	R	W					
PU20	P8 ₀ ~ P8 ₃ のプルアップ		対応するポートのプルアップの設定を行う 0: プルアップなし 1: プルアップあり							
PU21	P8 ₄ ~ P8 ₇ のプルアップ (ただしP8 ₆ は除く)									
PU22	P9 ₀ ~ P9 ₃ のプルアップ									
PU23	P9 ₄ ~ P9 ₇ のプルアップ									
PU24	P10 ₀ ~ P10 ₃ のプルアップ									
PU25	P10 ₄ ~ P10 ₇ のプルアップ									
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				-	-					

図1.20.8. プルアップ制御レジスタの構成

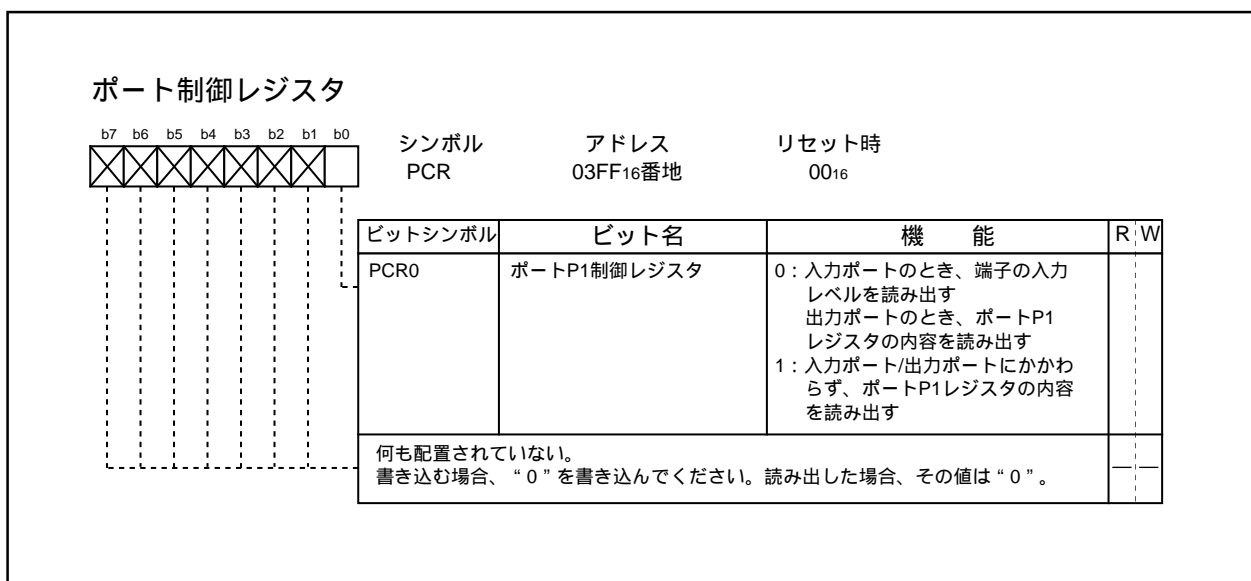


図1.20.9. ポート制御レジスタの構成

表1.20.1. シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0～P10(P8sは除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注1)	開放
NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF, BYTE	Vssに接続

注1. XIN端子に外部クロックを入力しているとき

表1.20.2. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6～P10(P8sは除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
P45/CS1～P47/CS3	ポートを入力モードに設定し、CS1～CS3出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ)
BHE, ALE, HLDA, XOUT(注1), BCLK(注2)	開放
HOLD, RDY, NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF	Vssに接続

注1. XIN端子に外部クロックを入力しているとき

注2. BCLK出力禁止ビット(0004₁₆番地のビット7)に“1”を設定した場合、抵抗を介してVccに接続(プルアップ)してください。

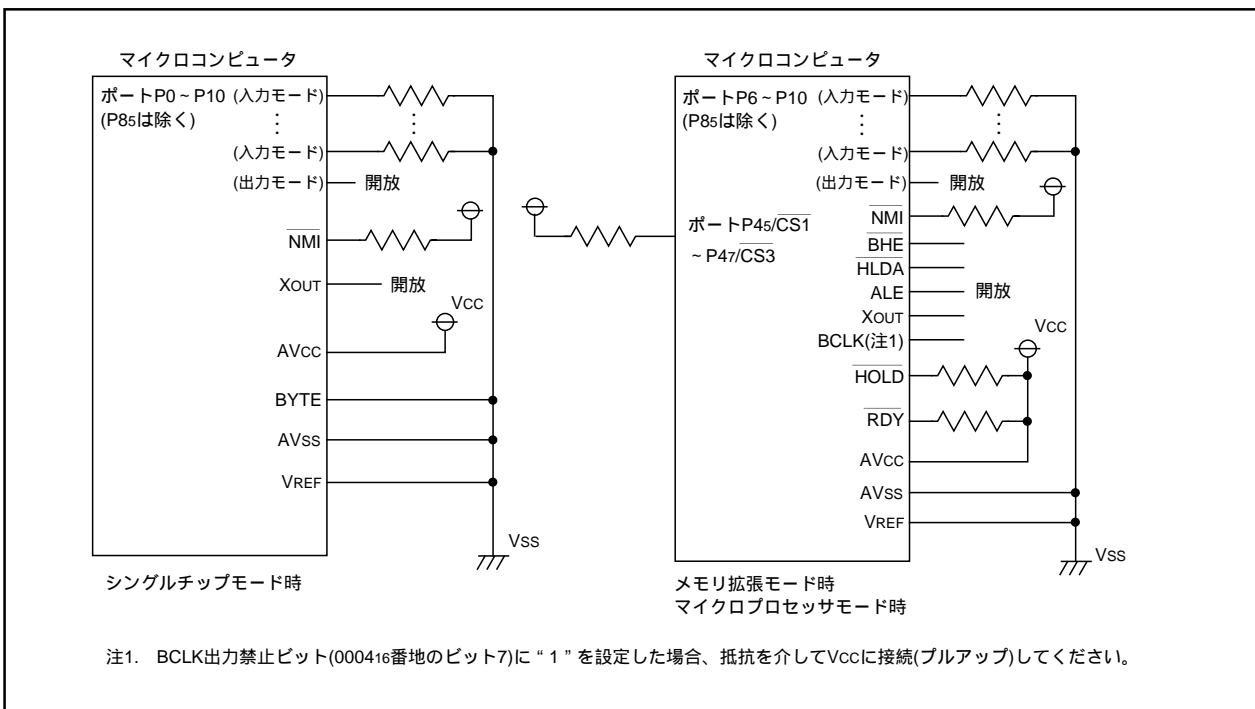


図1.20.10. 未使用端子の処理例

電気的特性

電気的特性

表1.23.1. 絶対最大定格

記号	項目	条件	定格値	単位
Vcc	電源電圧	Vcc=AVcc	-0.3 ~ 6.5	V
AVcc	アナログ電源電圧	Vcc=AVcc	-0.3 ~ 6.5	V
Vi	入力電圧	RESET, CNVss, BYTE P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, VREF, XIN	-0.3 ~ Vcc+0.3	V
		P70, P71	-0.3 ~ 6.5	V
Vo	出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, XOUT	-0.3 ~ Vcc+0.3	V
		P70, P71	-0.3 ~ 6.5	V
Pd	消費電力	Topr=25	300	mW
Topr	動作周囲温度		-20 ~ 85 / -40 ~ 85 (注1)	
Tstg	保存温度		-65 ~ 150	

注1. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

電気的特性

表1.23.2. 推奨動作条件(指定のない場合は、VCC=2.7V ~ 5.5V, T_{opr}= - 20 ~ 85 / - 40 ~ 85 (注3))

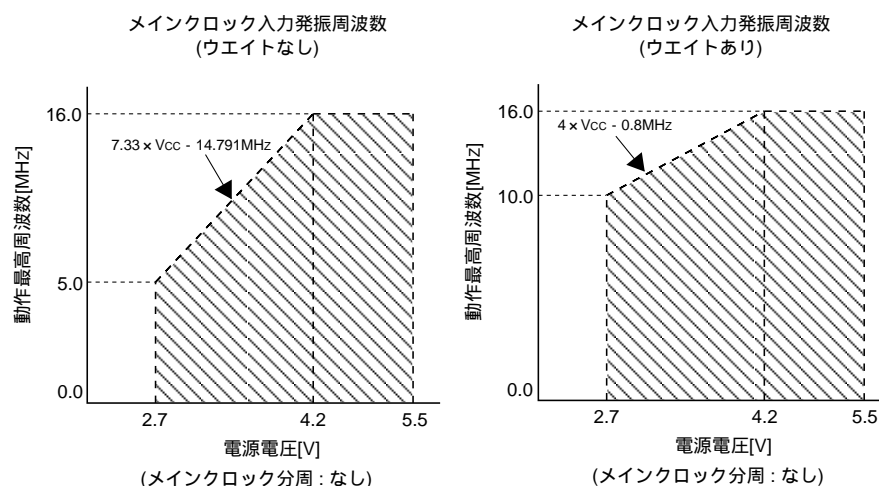
記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧	2.7	5.0	5.5	V	
AV _{CC}	アナログ電源電圧		V _{CC}		V	
V _{SS}	電源電圧		0		V	
AV _{SS}	アナログ電源電圧		0		V	
V _{IH}	"H"入力電圧 P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X _{IN} , RESET, CNV _{SS} , BYTE P70, P71 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時の入力機能)	0.8V _{CC}		V _{CC}	V	
		0.8V _{CC}		6.5	V	
		0.8V _{CC}		V _{CC}	V	
		0.5V _{CC}		V _{CC}	V	
V _{IL}	"L"入力電圧 P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X _{IN} , RESET, CNV _{SS} , BYTE P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時の入力機能)	0		0.2V _{CC}	V	
		0		0.2V _{CC}	V	
		0		0.16V _{CC}	V	
I _{OH} (peak)	"H"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			- 10.0	mA	
I _{OH} (avg)	"H"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			- 5.0	mA	
I _{OL} (peak)	"L"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			10.0	mA	
I _{OL} (avg)	"L"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			5.0	mA	
f (X _{IN})	メインクロック入力 発振周波数	ウエイトなし	V _{CC} =4.2V ~ 5.5V	0	16	MHz
			V _{CC} =2.7V ~ 4.2V	0	7.33 × V _{CC} - 14.791	MHz
		ウエイトあり	V _{CC} =4.2V ~ 5.5V	0	16	MHz
			V _{CC} =2.7V ~ 4.2V	0	4 × V _{CC} - 0.8	MHz
f (X _{CIN})	サブクロック発振周波数		32.768	50	kHz	

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, P86 ~ P87, P9, P10のI_{OL}(peak)の合計は80mA以下、ポートP0, P1, P2, P86 ~ P87, P9, P10のI_{OH}(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80 ~ P84のI_{OL}(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P72 ~ P77, P80 ~ P84のI_{OH}(peak)の合計は80mA以下にしてください。

注3. - 40 ~ 85 品をご使用になる場合はそのむねご指定ください。

注4. メインクロック入力周波数と電源電圧の関係を以下に示します。



電気的特性

表1.23.3. A-D変換特性(指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=2.7V \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_{opr} = -20 \sim 85$ / $-40 \sim 85$ (注4))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	$V_{REF}=V_{CC}$			10	Bits	
-	絶対精度	サンプル&ホールド機能なし	$V_{REF}=V_{CC}=5V$		± 3	LSB	
		サンプル&ホールド機能あり(10bit)	$V_{REF}=V_{CC}=5V$	AN0 ~ AN7入力		± 3	LSB
				ANEX0, ANEX1入力、外部オペアンプ接続モード		± 7	LSB
		サンプル&ホールド機能あり(8bit)	$V_{REF}=V_{CC}=5V$		± 2	LSB	
サンプル&ホールド機能なし(8bit)	$V_{REF}=V_{CC}=3V$, $A_{D}=f_{AD}/2$		± 2	LSB			
RLADDER	ラダー抵抗	$V_{REF}=V_{CC}$	10		40	k	
tCONV	変換時間(10bit), サンプル&ホールド機能あり	$V_{REF}=V_{CC}=5V$, $A_{D}=10MHz$	3.3			μs	
tCONV	変換時間(8bit), サンプル&ホールド機能あり	$V_{REF}=V_{CC}=5V$, $A_{D}=10MHz$	2.8			μs	
tCONV	変換時間(8bit), サンプル&ホールド機能なし	$V_{REF}=V_{CC}=3V$, $A_{D}=f_{AD}/2=5MHz$	9.8			μs	
tSAMP	サンプリング時間		0.3			μs	
VREF	基準電圧		2.7		V_{CC}	V	
VIA	アナログ入力電圧		0		V_{REF}	V	

注1. $f(X_{IN})$ は表1.23.2の推奨動作条件で規定されるメインクロック入力発振周波数の範囲内にして下さい。

ただし、 $f(X_{IN})$ が10MHzを超える場合は f_{AD} を分周し、AD動作クロック周波数 (A_{D}) が10MHz以下になるようにして下さい。また、 V_{CC} が4.2V未満の場合も f_{AD} を分周し、AD動作クロック周波数 (A_{D}) が $f_{AD}/2$ 以下になるようにして下さい。

注2. サンプル&ホールド機能なしの時は、注1の制限に加えAD動作クロック A_{D} の周波数は250kHz以上にしてください。

サンプル&ホールド機能ありの時は、注1の制限に加えAD動作クロック A_{D} の周波数は1MHz以上にしてください。

注3. AV_{CC} 端子は V_{CC} 端子に接続し同一電位を与えてください。

注4. $-40 \sim 85$ 品をご使用になる場合は、そのむねをご指定ください。

電気的特性 (VCC=5V)

VCC = 5V

表1.23.6. 電気的特性(指定のない場合は、VCC=4.2V ~ 5.5V, VSS=0V, T_{opr}= - 20 ~ 85 / - 40 ~ 85

(注2), f(XIN)=16MHZ)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OH} =-5mA, V _{CC} =5.0V	3.0			V	
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OH} =-200 μA, V _{CC} =5.0V	4.7			V	
VOH	"H"出力電圧 X _{OUT}	HIGHPOWER	I _{OH} =-1mA, V _{CC} =5.0V	3.0		V	
		LOWPOWER	I _{OH} =-0.5mA, V _{CC} =5.0V	3.0			
	"H"出力電圧 X _{COUT}	HIGHPOWER	無負荷時, V _{CC} =5.0V		3.0	V	
		LOWPOWER	無負荷時, V _{CC} =5.0V		1.6		
VOL	"L"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OL} =5mA, V _{CC} =5.0V			2.0	V	
VOL	"L"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OL} =200 μA, V _{CC} =5.0V			0.45	V	
VOL	"L"出力電圧 X _{OUT}	HIGHPOWER	I _{OL} =1mA, V _{CC} =5.0V		2.0	V	
		LOWPOWER	I _{OL} =0.5mA, V _{CC} =5.0V		2.0		
	"L"出力電圧 X _{COUT}	HIGHPOWER	無負荷時, V _{CC} =5.0V		0	V	
		LOWPOWER	無負荷時, V _{CC} =5.0V		0		
V _{T+} -V _{T-}	ヒステリシス HOLD, RDY, TA0 _{IN} ~ TA2 _{IN} , TB1 _{IN} , TB2 _{IN} , INT0 ~ INT2, NMI, ADTRG, CTS0 ~ CTS2, SCL, SDA, CLK0 ~ CLK2, TA2 _{OUT} , K10 ~ K13, RxD0 ~ RxD2	V _{CC} =5.0V	0.2		1.0	V	
V _{T+} -V _{T-}	ヒステリシス RESET	V _{CC} =5.0V	0.2		1.8	V	
I _{IH}	"H"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNV _{SS} , BYTE	V _I =5V, V _{CC} =5.0V			5.0	μA	
I _{IL}	"L"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNV _{SS} , BYTE	V _I =0V, V _{CC} =5.0V			-5.0	μA	
R _{PULLUP}	ブルアップ抵抗 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	V _I =0V, V _{CC} =5.0V	30.0	50.0	167.0	k	
R _{IXIN}	帰還抵抗 XIN			1.0		M	
R _{IXCIN}	帰還抵抗 XCIN			6.0		M	
V _{RAM}	RAM保持電圧	クロック停止時	2.0			V	
I _{CC}	電源電流	シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	f(XIN)=16MHz 方形波、分周なし	30.0	50.0	mA	
			f(XCIN)=32kHz 方形波	90.0		μA	
			f(XCIN) = 32kHz ウェイト時(注1)	4.0	10 (室温)	μA	
			クロック停止時 T _{opr} =25			1.0	μA
			クロック停止時 T _{opr} =85			20.0	

注1. fc32にてタイマ1本を動作させている状態です。

注2. - 40 ~ 85 品をご使用になる場合はそのむねご指定ください。

電气的特性 (VCC=5V)

VCC = 5V

タイミング必要条件 (指定のない場合は、VCC=5V, VSS=0V, T_{opr}= - 20 ~ 85 / - 40 ~ 85 ())
 . - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.23.7. 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t _c	外部クロック入力サイクル時間	62.5		ns
t _{w(H)}	外部クロック入力 "H" パルス幅	25		ns
t _{w(L)}	外部クロック入力 "L" パルス幅	25		ns
t _r	外部クロック立ち上がり時間		15	ns
t _f	外部クロック立ち下がり時間		15	ns

表1.23.8. メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1} (RD-DB)	データ入力アクセス時間 (ウエイトなし)		(注1)	ns
t _{ac2} (RD-DB)	データ入力アクセス時間 (ウエイトあり)		(注1)	ns
t _{ac3} (RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{su} (DB-RD)	データ入力セットアップ時間	40		ns
t _{su} (RDY-BCLK)	RDY入力セットアップ時間	30		ns
t _{su} (HOLD-BCLK)	HOLD入力セットアップ時間	40		ns
t _h (RD-DB)	データ入力ホールド時間	0		ns
t _h (BCLK-RDY)	RDY入力ホールド時間	0		ns
t _h (BCLK-HOLD)	HOLD入力ホールド時間	0		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間		40	ns

注1 : BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1}(\text{RD} - \text{DB}) = \frac{10^9 \times 1}{f(\text{BCLK}) \times 2} - 45 \text{ [ns]}$$

$$t_{ac2}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 45 \text{ [ns]}$$

$$t_{ac3}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 45 \text{ [ns]}$$

電气的特性 (VCC=5V)

VCC = 5V

タイミング必要条件 (指定のない場合は、VCC=5V, VSS=0V, Topr= -20 ~ 85 / -40 ~ 85 (°C))

・ -40 ~ 85 °C をご使用になる場合は、そのむねご指定ください。

表1.23.9. タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIn入力サイクル時間	100		ns
t _w (TAH)	TAiIn入力 "H" パルス幅	40		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	40		ns

表1.23.10. タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIn入力サイクル時間	400		ns
t _w (TAH)	TAiIn入力 "H" パルス幅	200		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	200		ns

表1.23.11. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIn入力サイクル時間	200		ns
t _w (TAH)	TAiIn入力 "H" パルス幅	100		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	100		ns

表1.23.12. タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _w (TAH)	TAiIn入力 "H" パルス幅	100		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	100		ns

表1.23.13. タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _c (UP)	TAiOUT入力サイクル時間	2000		ns
t _w (UPH)	TAiOUT入力 "H" パルス幅	1000		ns
t _w (UPL)	TAiOUT入力 "L" パルス幅	1000		ns
t _{su} (UP-TiN)	TAiOUT入力セットアップ時間	400		ns
t _h (TiN-UP)	TAiOUT入力ホールド時間	400		ns

電气的特性 (VCC=5V)

VCC = 5V

タイミング必要条件 (指定のない場合は、VCC=5V, VSS=0V, Topr= -20 ~ 85 / -40 ~ 85 ())

・ -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.23.14. タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(片エッジカウント)	40		ns
t _c (TB)	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(両エッジカウント)	80		ns

表1.23.15. タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN入力サイクル時間	400		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	200		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	200		ns

表1.23.16. タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN入力サイクル時間	400		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	200		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	200		ns

表1.23.17. A-Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
t _c (AD)	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
t _w (ADL)	ADTRG入力 "L" パルス幅	125		ns

表1.23.18. シリアルI/O

記号	項目	規格値		単位
		最小	最大	
t _c (CK)	CLKi入力サイクル時間	200		ns
t _w (CKH)	CLKi入力 "H" パルス幅	100		ns
t _w (CKL)	CLKi入力 "L" パルス幅	100		ns
t _d (C-Q)	TxDi出力遅延時間		80	ns
t _h (C-Q)	TxDiホールド時間	0		ns
t _{su} (D-C)	RxDi入力セットアップ時間	30		ns
t _h (C-D)	RxDi入力ホールド時間	90		ns

表1.23.19. 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
t _w (INH)	INTi入力 "H" パルス幅	250		ns
t _w (INL)	INTi入力 "L" パルス幅	250		ns

電气的特性 (VCC=5V)

スイッチング特性

(指定のない場合は、VCC=5V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注3), CM15= " 1 ")

表1.23.20. メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.1		25	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			25	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB - WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 40 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1k とすると、

出力 "L" レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k} \times \ln(1 - 0.2V_{CC} / V_{CC}) = 6.7\text{ns}$$

となります。

注3. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

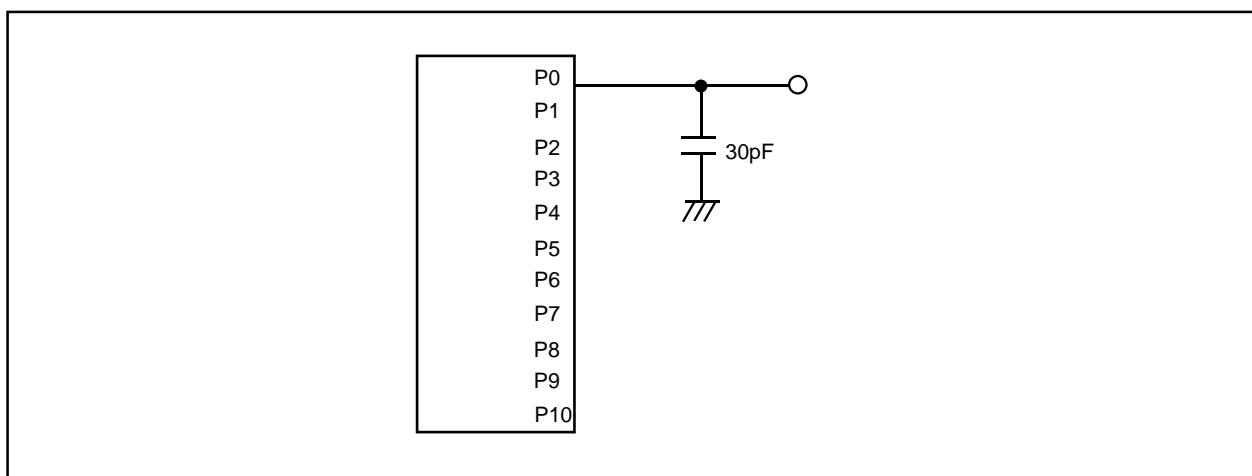
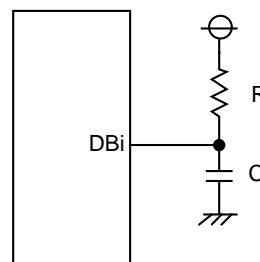


図1.23.1. ポートP0～P10の測定回路

電气的特性 (VCC=5V)

VCC = 5V

スイッチング特性

(指定のない場合は、VCC=5V, VSS=0V, Topr= -20 ~ 85 / -40 ~ 85 (注3), CM15= "1")

表1.23.21. メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.1		25	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			25	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		-4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK})} - 40 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。

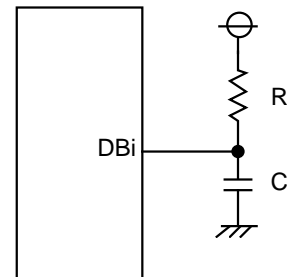
例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1k とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k} \times \ln(1 - 0.2V_{CC} / V_{CC}) \\ = 6.7\text{ns}$$

となります。

注3. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。



電气的特性 (VCC=5V)

VCC = 5V

スイッチング特性

(指定のない場合は、VCC=5V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注2), CM15= " 1 ")

表1.23.22. メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図1.23.1		25	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			25	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			25	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			25	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			25	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		- 4		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)		30		ns
td(AD-RD)	アドレス後RD信号出力遅延時間	0		ns	
td(AD-WR)	アドレス後WR信号出力遅延時間	0		ns	
tdZ(RD-AD)	アドレス出力フローティング開始時間		8	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$td(DB - WR) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 40 \quad [ns]$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$td(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 25 \quad [ns]$$

注2. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

タイミング(VCC=5V)

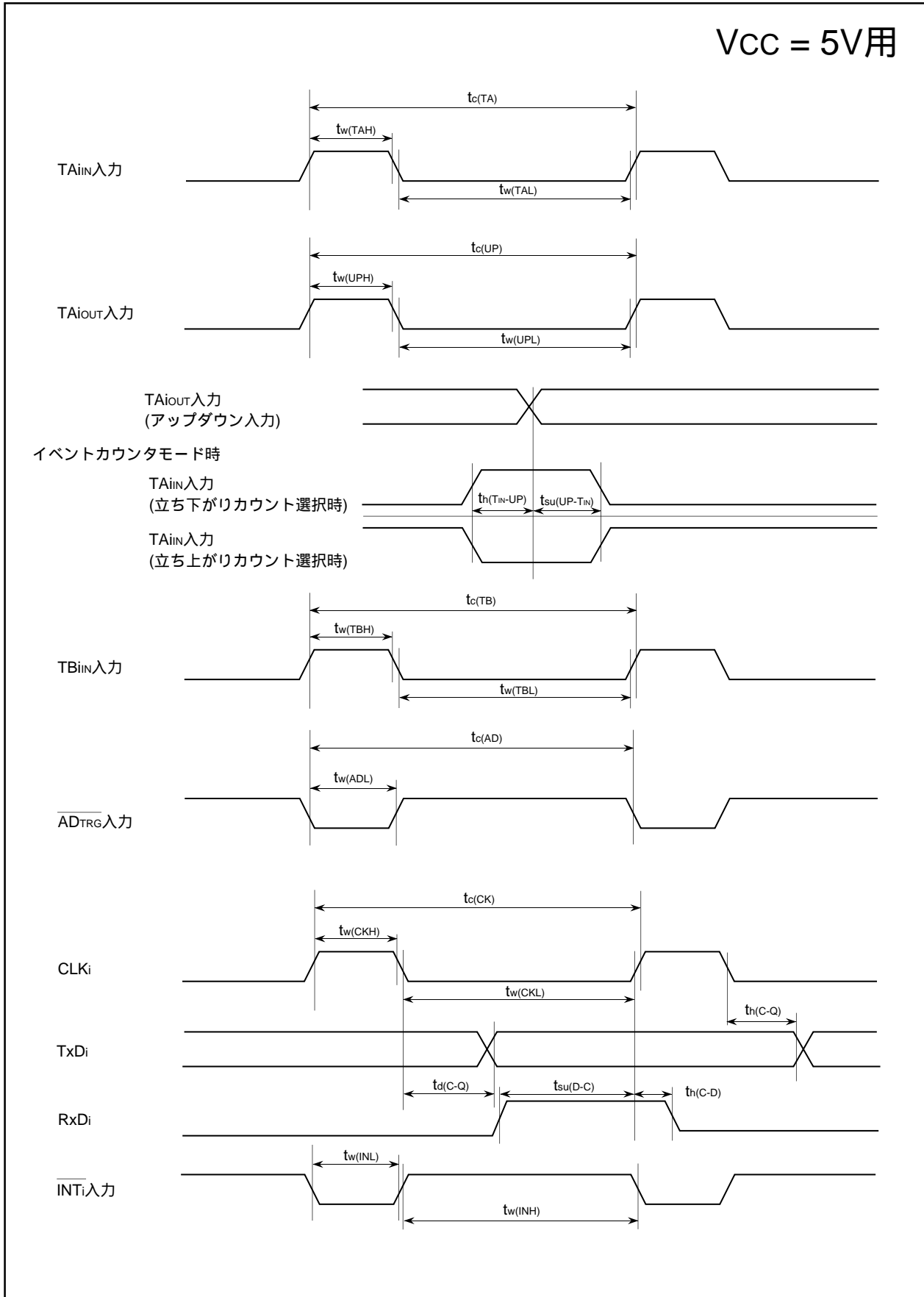
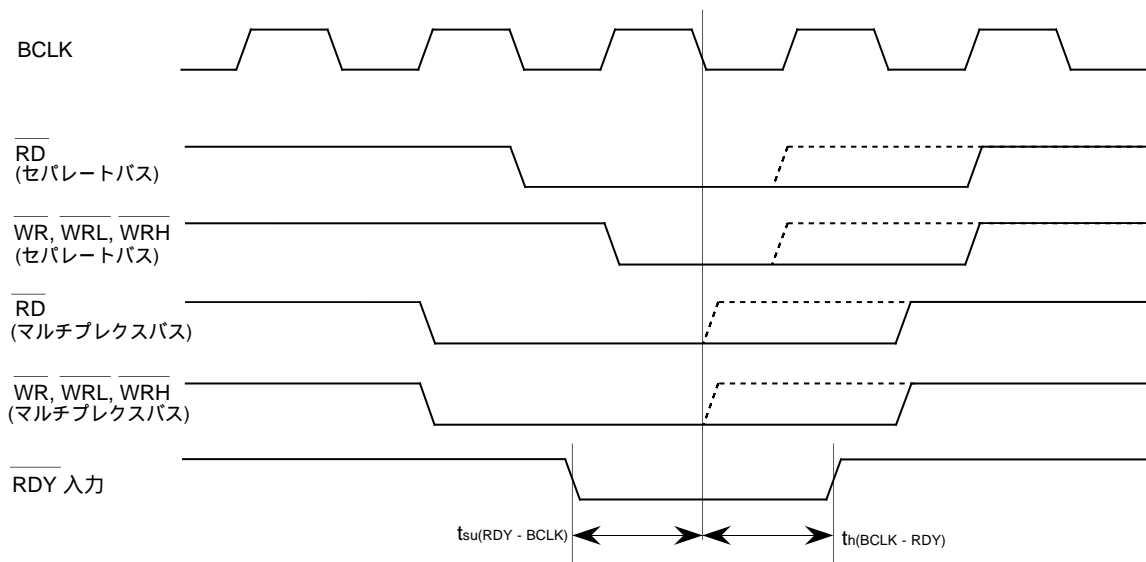


図1.23.2. Vcc=5V用タイミング図(1)

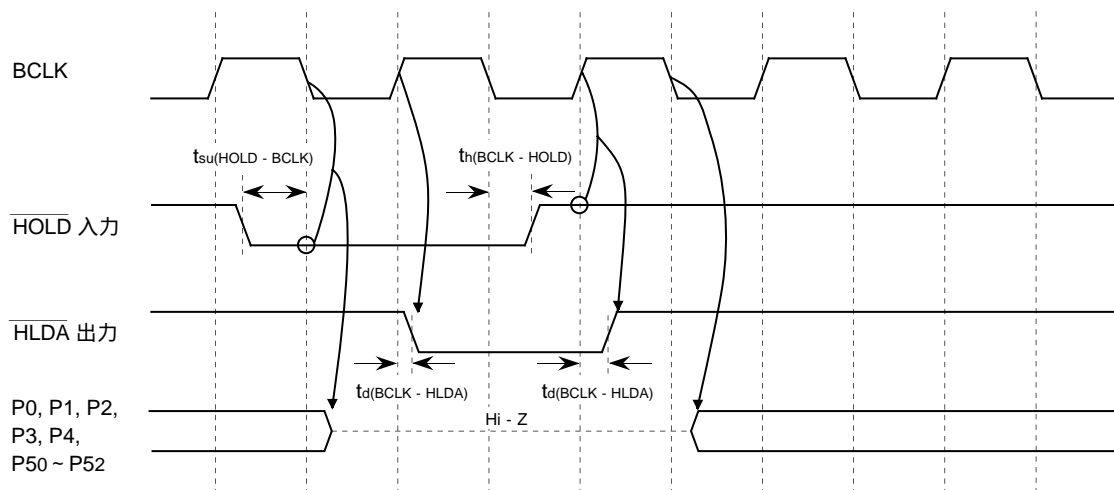
タイミング(V_{CC}=5V)V_{CC} = 5V用

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注1. BYTE端子の入力レベル、プロセッサモードレジスタ0のポートP4₀~P4₃機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

測定条件

- ・ V_{CC}=5V
- ・ 入力タイミング電圧 : V_{IL}=1.0V, V_{IH}=4.0V
- ・ 出力タイミング電圧 : V_{OL}=2.5V, V_{OH}=2.5V

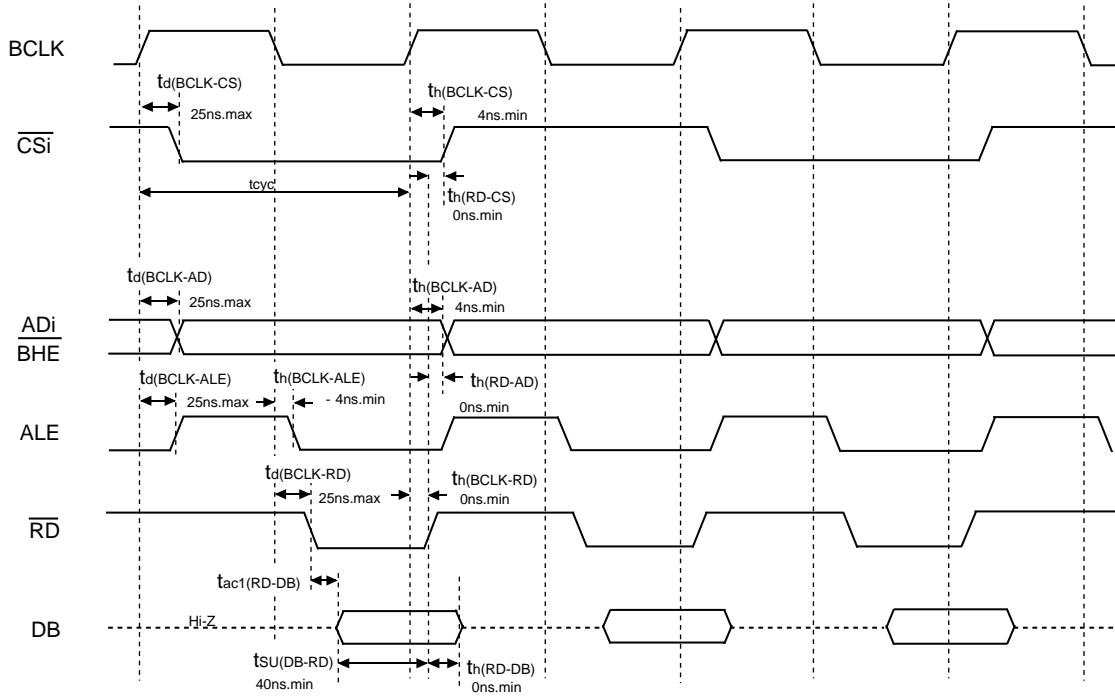
図1.23.3. V_{CC}=5V用タイミング図(2)

タイミング(V_{CC}=5V)

V_{CC} = 5V用

メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

読み出しタイミング



書き込みタイミング

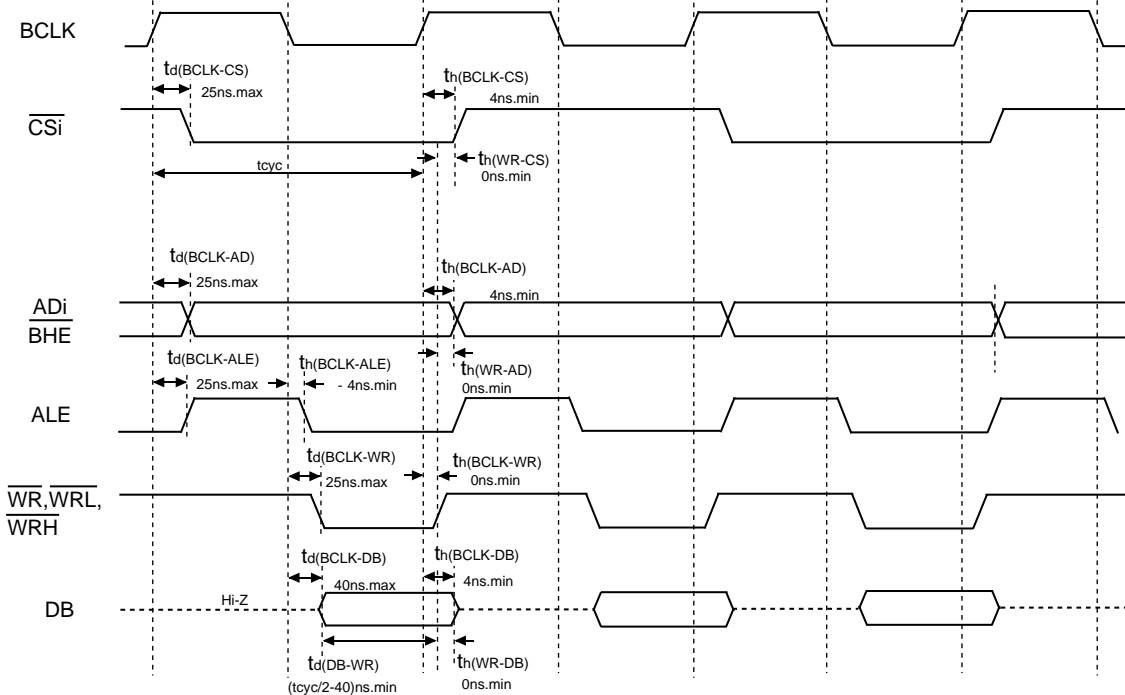


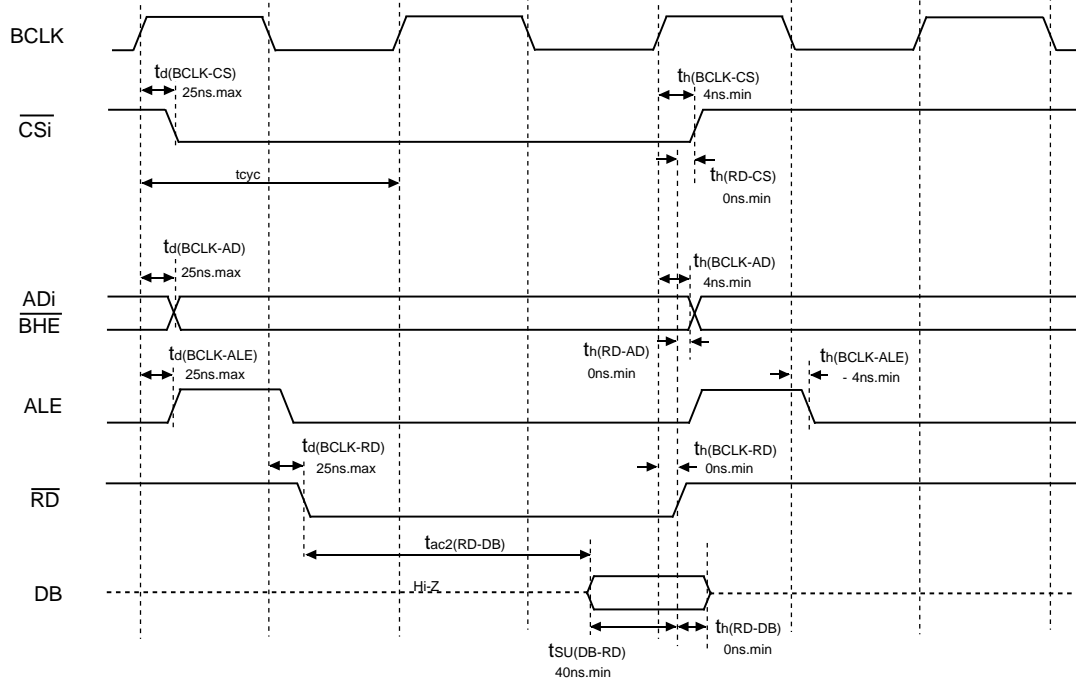
図1.23.4. V_{CC}=5V用タイミング図(3)

タイミング(VCC=5V)

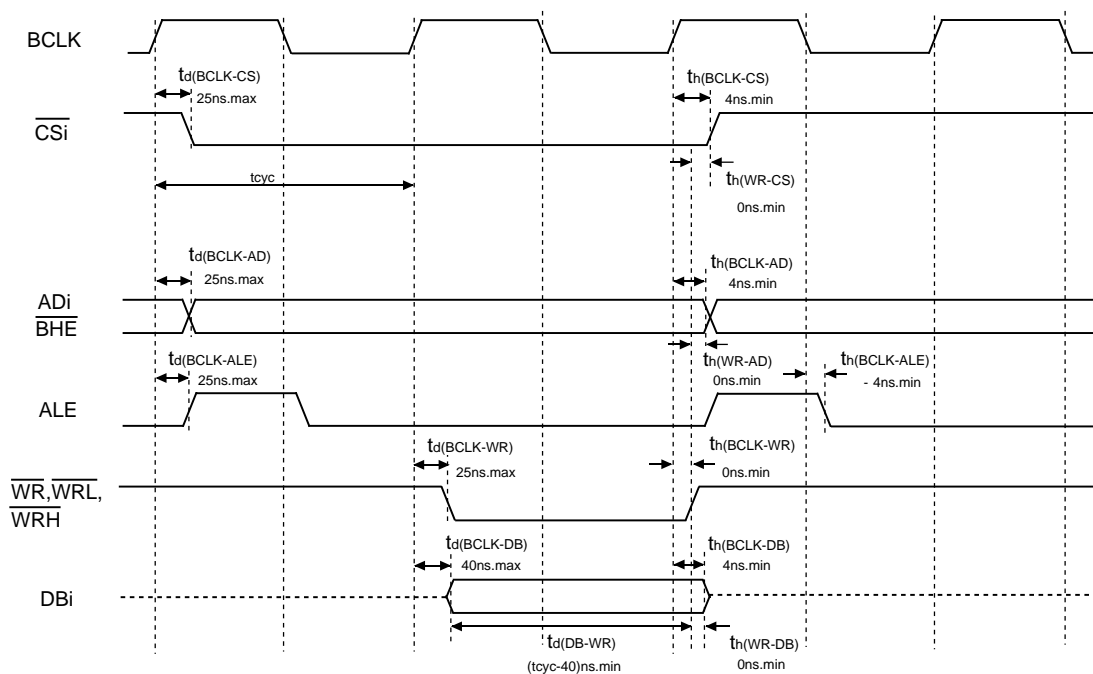
VCC = 5V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

読み出し時



書き込み時



測定条件

- ・ VCC=5V
- ・ 入力タイミング電圧 : VIL=0.8V, VIH=2.5V
- ・ 出力タイミング電圧 : VOL=0.8V, VOH=2.0V

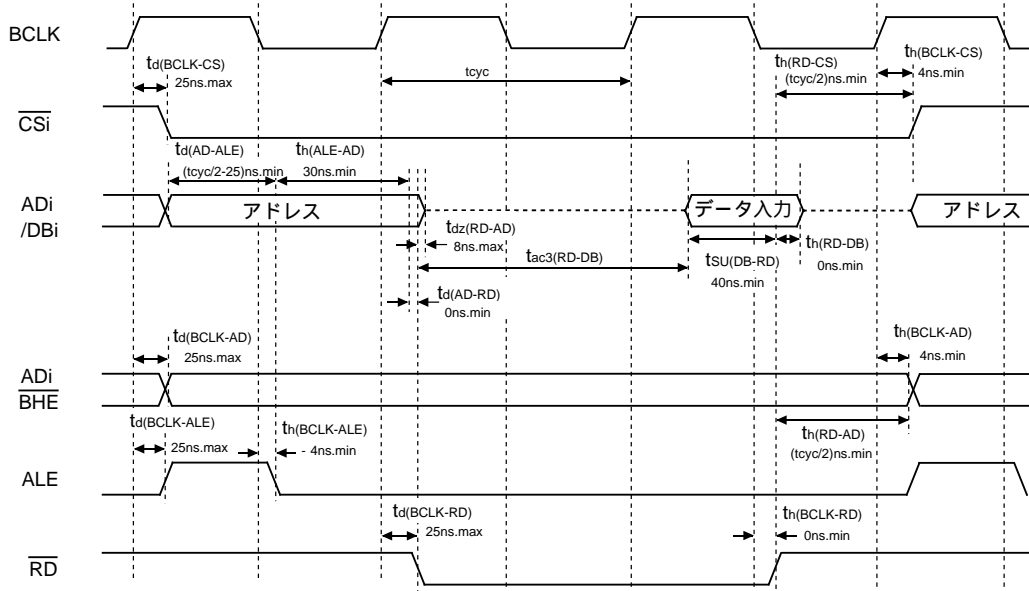
図1.23.5. Vcc=5V用タイミング図(4)

タイミング(V_{CC}=5V)

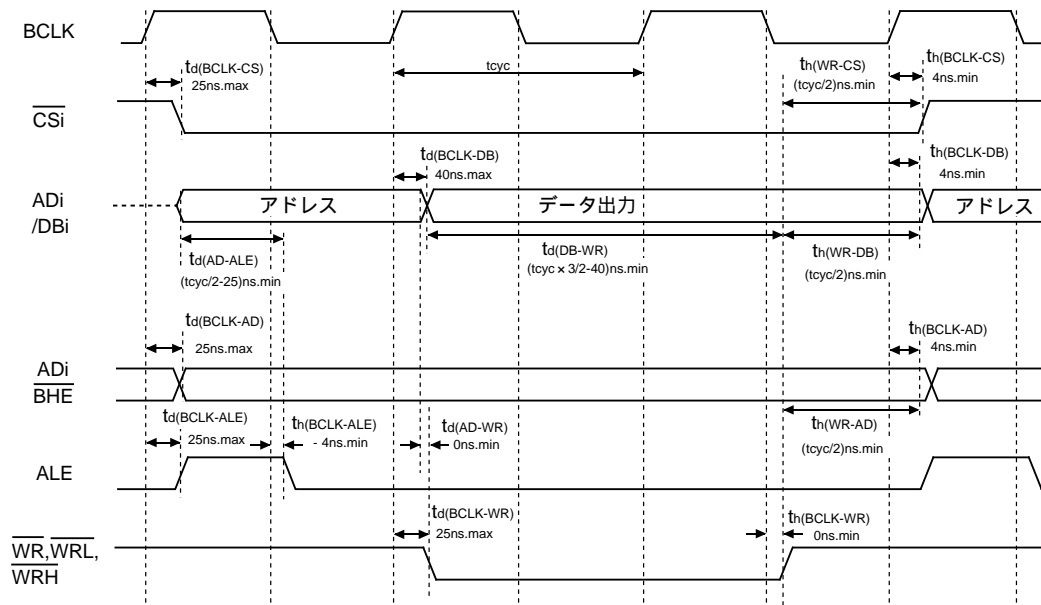
V_{CC} = 5V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出し時



書き込み時



測定条件

- V_{CC}=5V
- 入力タイミング電圧: V_{IL}=0.8V, V_{IH}=2.5V
- 出力タイミング電圧: V_{OL}=0.8V, V_{OH}=2.0V

図1.23.6. V_{CC}=5V用タイミング図(5)

電気的特性 (VCC=3V)

VCC = 3V

表1.23.23. 電気的特性(指定のない場合は、VCC=2.7V ~ 3.3V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注1), f(XIN)=10MHz(注2), ウェイトあり)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107		IOH=-1mA, VCC=3.0V	2.5			V
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH=-0.1mA, VCC=3.0V	2.5			V
		LOWPOWER	IOH=-50 μA, VCC=3.0V	2.5			
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時, VCC=3.0V		3.0		V
		LOWPOWER	無負荷時, VCC=3.0V		1.6		
VOL	"L"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107		IOL=1mA, VCC=3.0V			0.5	V
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=0.1mA, VCC=3.0V			0.5	V
		LOWPOWER	IOL=50 μA, VCC=3.0V			0.5	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時, VCC=3.0V		0		V
		LOWPOWER	無負荷時, VCC=3.0V		0		
VT+-VT-	ヒステリシス HOLD, RDY, TA0IN ~ TA2IN, TB1IN, TB2IN, INT0 ~ INT2, NMI, ADTRG, CTS0 ~ CTS2, SCL, SDA, CLK0 ~ CLK2, TA2OUT, K10 ~ K13, RxD0 ~ RxD2		VCC=3.0V	0.2		0.8	V
VT+-VT-	ヒステリシス RESET		VCC=3.0V	0.2		1.8	V
IiH	"H"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE		Vi=3V, VCC=3.0V			4.0	μA
IiL	"L"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE		Vi=0V, VCC=3.0V			-4.0	μA
RPULLUP	プルアップ抵抗 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107		Vi=0V, VCC=3.0V	66.0	120.0	500.0	k
RiXIN	帰還抵抗 XIN					3.0	M
RiXCIN	帰還抵抗 XCIN					10.0	M
VRAM	RAM保持電圧		クロック停止時	2.0			V
Icc	電源電流 シングルチップモードで、出力端子は開放、その他の端子はVSS		f(XIN)=10MHz 方形波、分周なし		8.5	21.25	mA
			f(XCIN)=32kHz 方形波		40.0		
			f(XCIN) = 32kHz ウェイト時 発振能力 High(注2)		2.8	10 (室温)	μA
			f(XCIN) = 32kHz ウェイト時 発振能力 Low(注2)		0.9	10 (室温)	
			クロック停止時 Topr=25				μA
			クロック停止時 Topr=85			20.0	

注1. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

注2. fc32にてタイマ1本を動作させている状態です。

電气的特性 (VCC=3V)

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, T_{opr}= - 20 ~ 85 / - 40 ~ 85 (°C))

・ - 40 ~ 85 °C をご使用になる場合は、そのむねご指定ください。

表1.23.24. 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t _c	外部クロック入力サイクル時間	100		ns
t _{w(H)}	外部クロック入力 "H" パルス幅	40		ns
t _{w(L)}	外部クロック入力 "L" パルス幅	40		ns
t _r	外部クロック立ち上がり時間		18	ns
t _f	外部クロック立ち下がり時間		18	ns

表1.23.25. メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1} (RD-DB)	データ入力アクセス時間 (ウエイトなし)		(注1)	ns
t _{ac2} (RD-DB)	データ入力アクセス時間 (ウエイトあり)		(注1)	ns
t _{ac3} (RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{su} (DB-RD)	データ入力セットアップ時間	80		ns
t _{su} (RDY-BCLK)	RDY入力セットアップ時間	60		ns
t _{su} (HOLD-BCLK)	HOLD入力セットアップ時間	80		ns
t _h (RD-DB)	データ入力ホールド時間	0		ns
t _h (BCLK -RDY)	RDY入力ホールド時間	0		ns
t _h (BCLK-HOLD)	HOLD入力ホールド時間	0		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間		100	ns

注1 : BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1}(\text{RD} - \text{DB}) = \frac{10^9 \times 1}{f(\text{BCLK}) \times 2} - 90 \text{ [ns]}$$

$$t_{ac2}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 90 \text{ [ns]}$$

$$t_{ac3}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 90 \text{ [ns]}$$

電気的特性 (VCC=3V)

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 ())

・ - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.23.26. タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	150		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	60		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	60		ns

表1.23.27. タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	600		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	300		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	300		ns

表1.23.28. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	300		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	150		ns

表1.23.29. タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _w (TAH)	TAiIN入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	150		ns

表1.23.30. タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _c (UP)	TAiOUT入力サイクル時間	3000		ns
t _w (UPH)	TAiOUT入力 "H" パルス幅	1500		ns
t _w (UPL)	TAiOUT入力 "L" パルス幅	1500		ns
t _{su} (UP-TIN)	TAiOUT入力セットアップ時間	600		ns
t _h (TIN-UP)	TAiOUT入力ホールド時間	600		ns

電气的特性 (VCC=3V)

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, Topr = -20 ~ 85 / -40 ~ 85 (°C))

・ -40 ~ 85 °C をご使用になる場合は、そのむねご指定ください。

表1.23.31. タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(片エッジカウント)	60		ns
t _c (TB)	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(両エッジカウント)	160		ns

表1.23.32. タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN入力サイクル時間	600		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	300		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	300		ns

表1.23.33. タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN入力サイクル時間	600		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	300		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	300		ns

表1.23.34. A-Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
t _c (AD)	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
t _w (ADL)	ADTRG入力 "L" パルス幅	200		ns

表1.23.35. シリアルI/O

記号	項目	規格値		単位
		最小	最大	
t _c (CK)	CLKi入力サイクル時間	300		ns
t _w (CKH)	CLKi入力 "H" パルス幅	150		ns
t _w (CKL)	CLKi入力 "L" パルス幅	150		ns
t _d (C-Q)	TxDi出力遅延時間		160	ns
t _h (C-Q)	TxDiホールド時間	0		ns
t _{su} (D-C)	RxDi入力セットアップ時間	50		ns
t _h (C-D)	RxDi入力ホールド時間	90		ns

表1.23.36. 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
t _w (INH)	$\overline{\text{INTi}}$ 入力 "H" パルス幅	380		ns
t _w (INL)	$\overline{\text{INTi}}$ 入力 "L" パルス幅	380		ns

VCC = 3V

スイッチング特性

(指定のない場合は、VCC=3V, VSS=0V, T_{opr}= -20 ~ 85 / -40 ~ 85 (注3), CM15= "1")

表1.23.37. メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.7		60	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			60	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			60	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		-4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			60	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			60	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			80	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 80 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

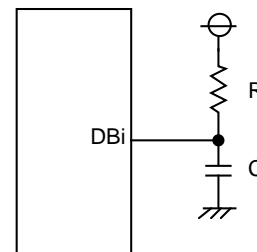
$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1k とすると、出力 "L" レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k} \times \ln(1 - 0.2V_{CC} / V_{CC}) = 6.7\text{ns}$$

となります。



注3. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

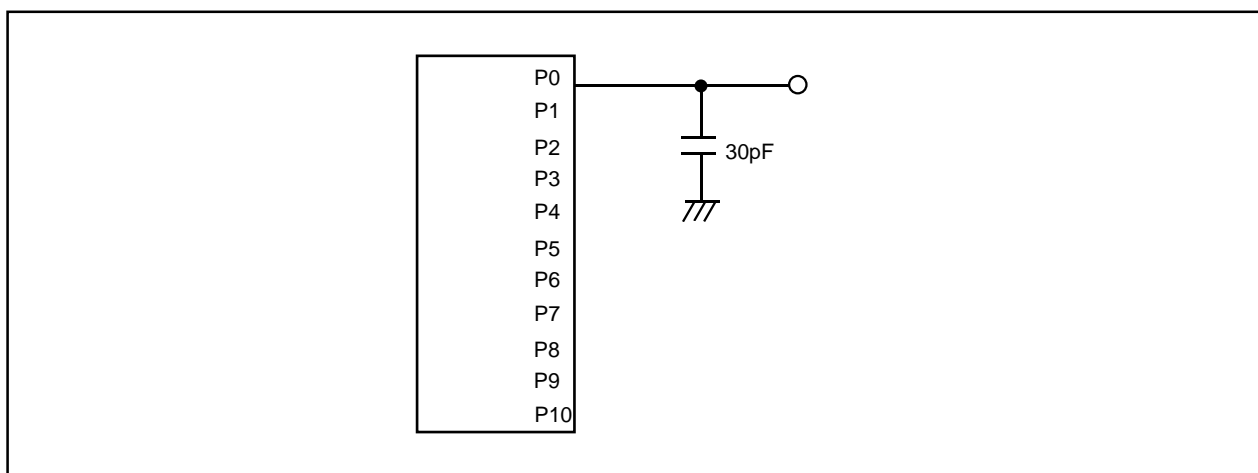


図1.23.7. ポートP0～P10の測定回路

電气的特性 (VCC=3V)

VCC = 3V

スイッチング特性

(指定のない場合は、VCC=3V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注3), CM15= " 1 ")

表1.23.38. メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.7		60	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			60	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			60	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			60	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			60	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			80	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK})} - 80 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

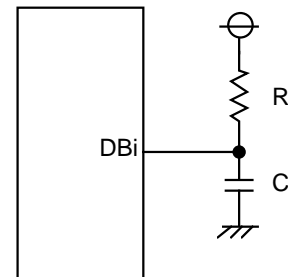
で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1k とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k} \times \ln(1 - 0.2V_{CC} / V_{CC}) = 6.7\text{ns}$$

となります。



注3. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

電气的特性 (VCC=3V)

VCC = 3V

スイッチング特性

(指定のない場合は、VCC=3V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注2), CM15= " 1 ")

表1.23.39. メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.7		60	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			60	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-RD)	RD信号出力遅延時間			60	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			60	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			80	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			60	ns
t _h (BCLK-ALE)	ALE出力保持時間 (BCLK基準)		- 4		ns
t _d (AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
t _h (ALE-AD)	ALE出力保持時間 (アドレス基準)		50		ns
t _d (AD-RD)	アドレス後RD信号出力遅延時間		0		ns
t _d (AD-WR)	アドレス後WR信号出力遅延時間		0		ns
t _{dZ} (RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_h(\text{RD} - \text{AD}) = \frac{10^9}{f(\text{BCLK}) \times 2} \quad [\text{ns}]$$

$$t_h(\text{WR} - \text{AD}) = \frac{10^9}{f(\text{BCLK}) \times 2} \quad [\text{ns}]$$

$$t_h(\text{RD} - \text{CS}) = \frac{10^9}{f(\text{BCLK}) \times 2} \quad [\text{ns}]$$

$$t_h(\text{WR} - \text{CS}) = \frac{10^9}{f(\text{BCLK}) \times 2} \quad [\text{ns}]$$

$$t_d(\text{DB} - \text{WR}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 80 \quad [\text{ns}]$$

$$t_h(\text{WR} - \text{DB}) = \frac{10^9}{f(\text{BCLK}) \times 2} \quad [\text{ns}]$$

$$t_d(\text{AD} - \text{ALE}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 45 \quad [\text{ns}]$$

注2. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

タイミング(VCC=3V)

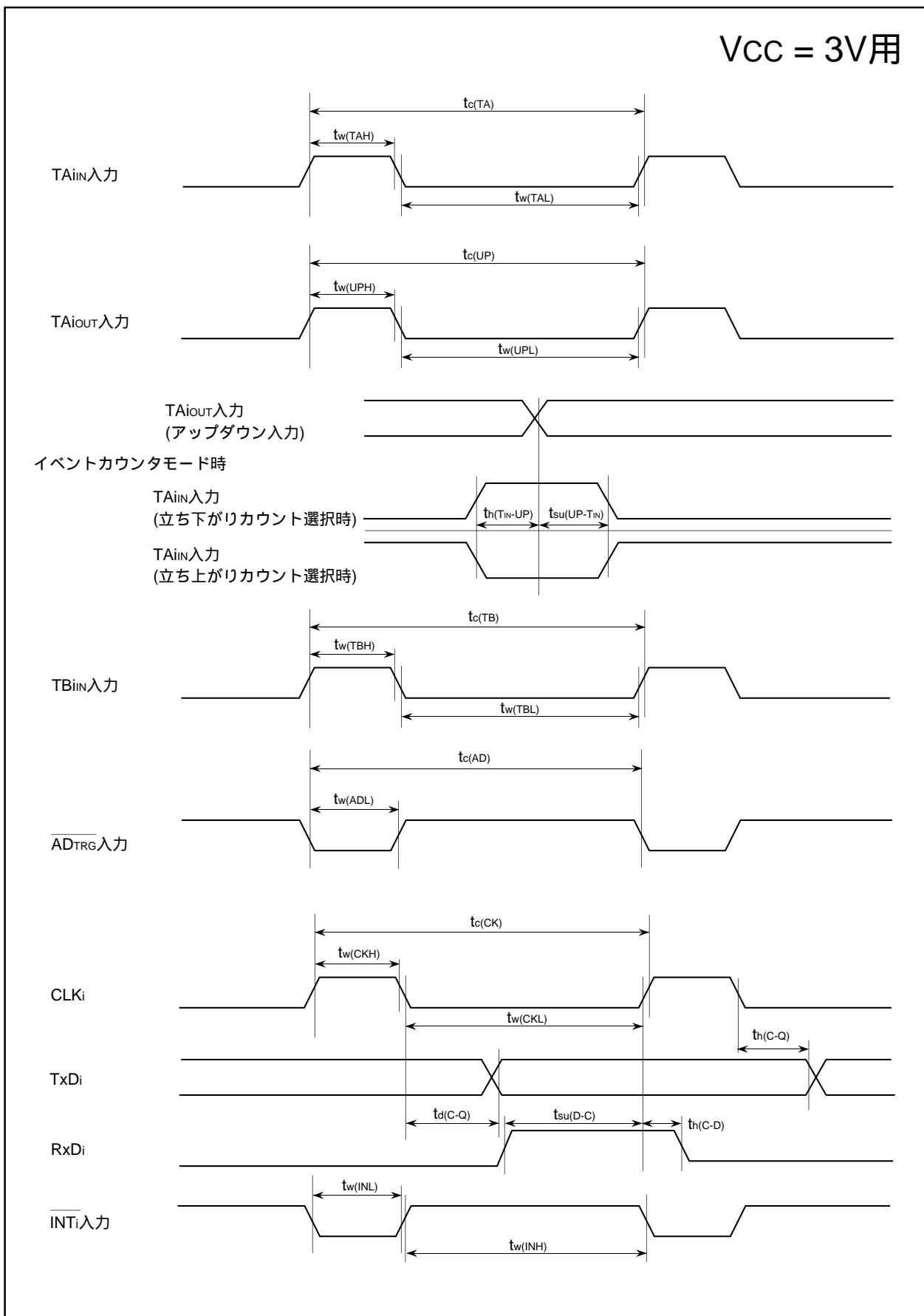


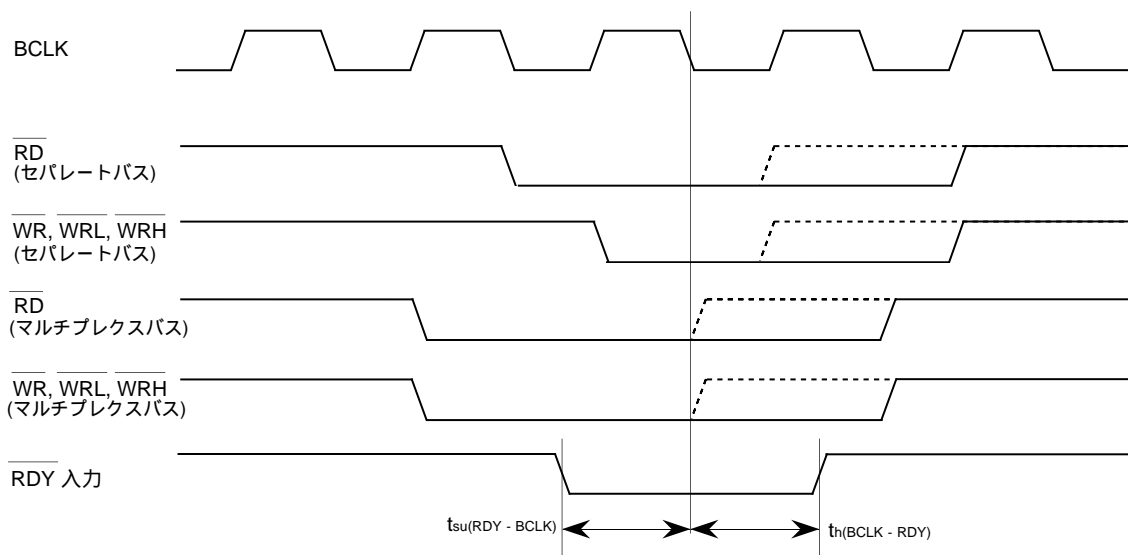
図1.23.8. VCC=3V用タイミング図(1)

タイミング(VCC=3V)

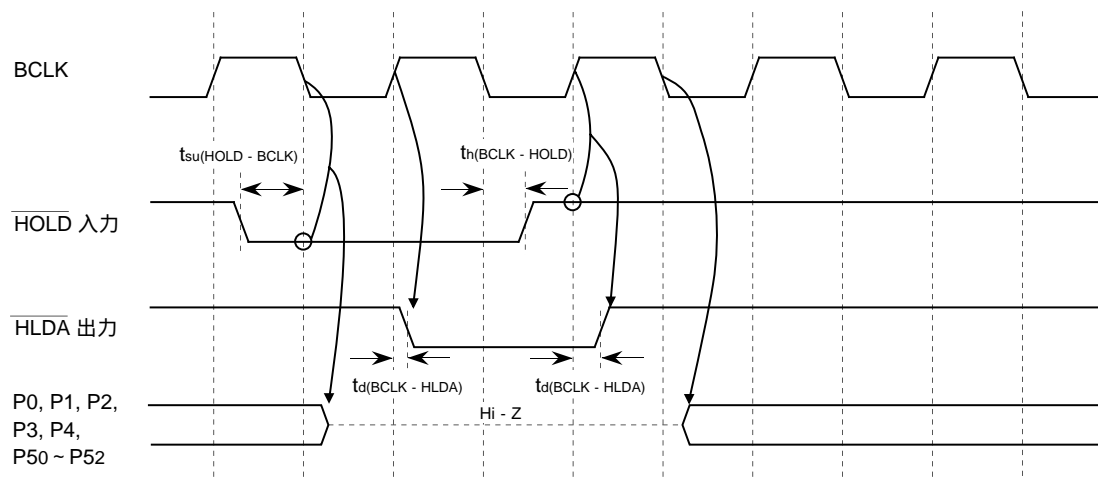
VCC = 3V用

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注1. BYTE端子の入力レベル、プロセッサモードレジスタ0のポートP4₀ ~ P4₃機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

測定条件

- ・ VCC=3V
- ・ 入力タイミング電圧 : V_{IL}=0.6V, V_{IH}=2.4V
- ・ 出力タイミング電圧 : V_{OL}=1.5V, V_{OH}=1.5V

図1.23.9. VCC=3V用タイミング図(2)

タイミング(VCC=3V)

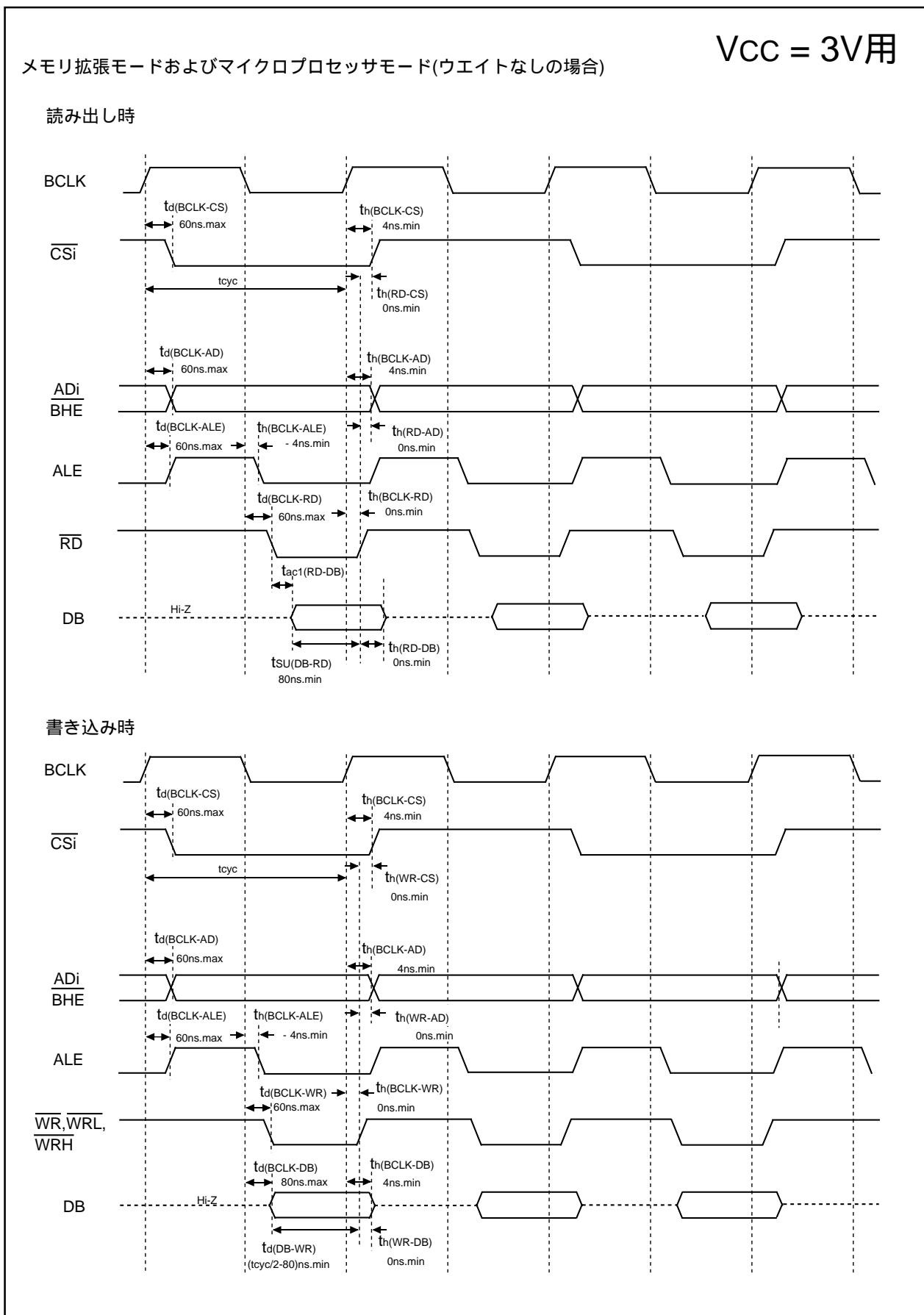


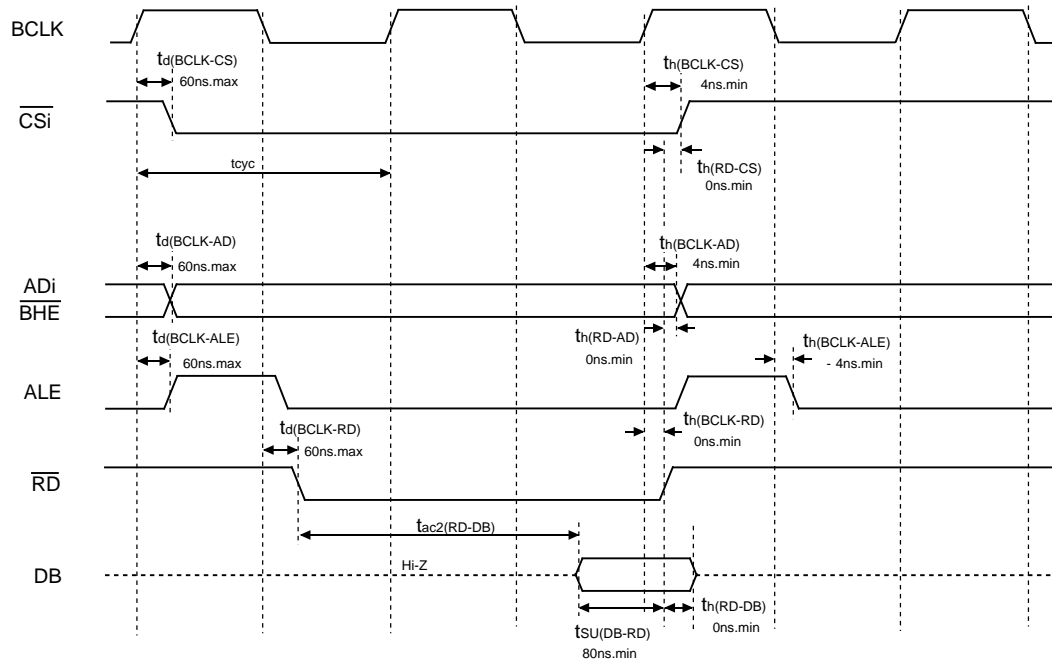
図1.23.10. Vcc=3V用タイミング図(3)

タイミング(VCC=3V)

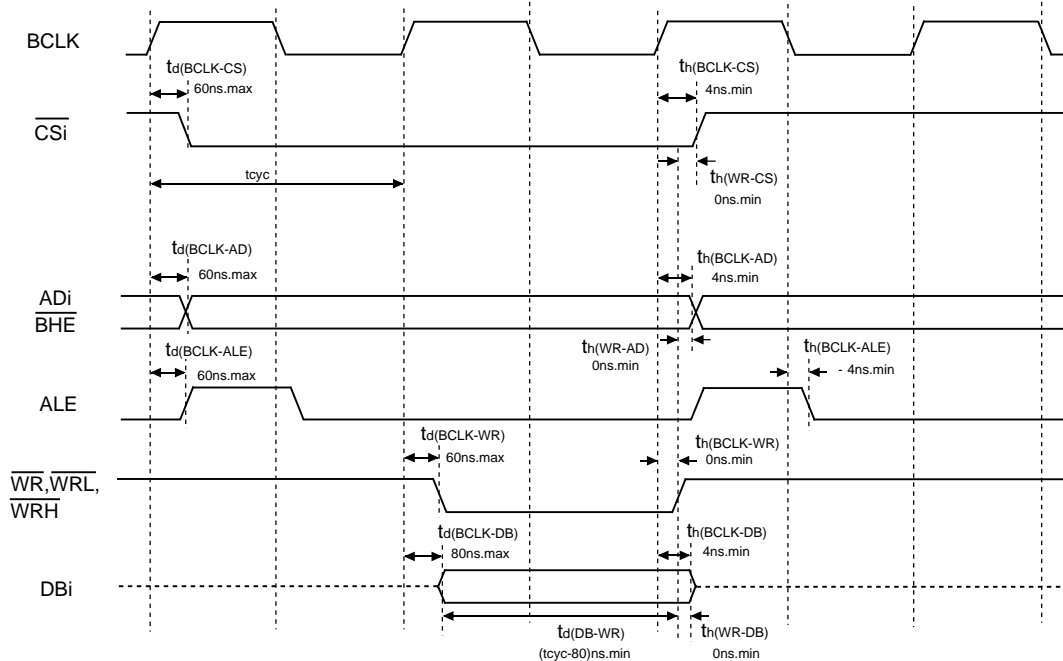
VCC = 3V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

読み出し時



書き込み時



測定条件

- VCC=3V
- 入力タイミング電圧: $V_{IL}=0.48\text{V}, V_{IH}=1.5\text{V}$
- 出力タイミング電圧: $V_{OL}=1.5\text{V}, V_{OH}=1.5\text{V}$

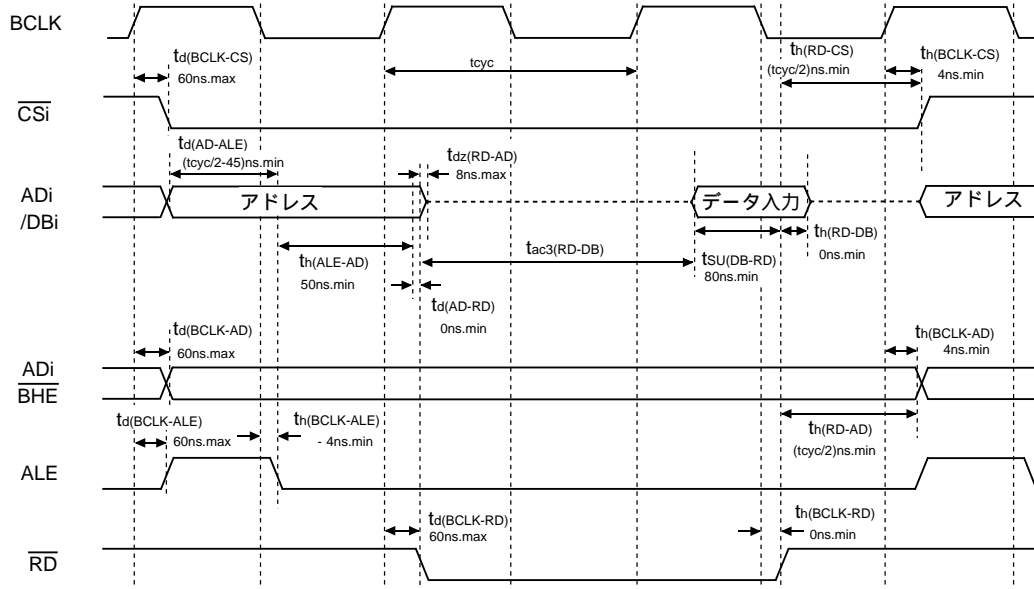
図1.23.11. Vcc=3V用タイミング図(4)

タイミング(VCC=3V)

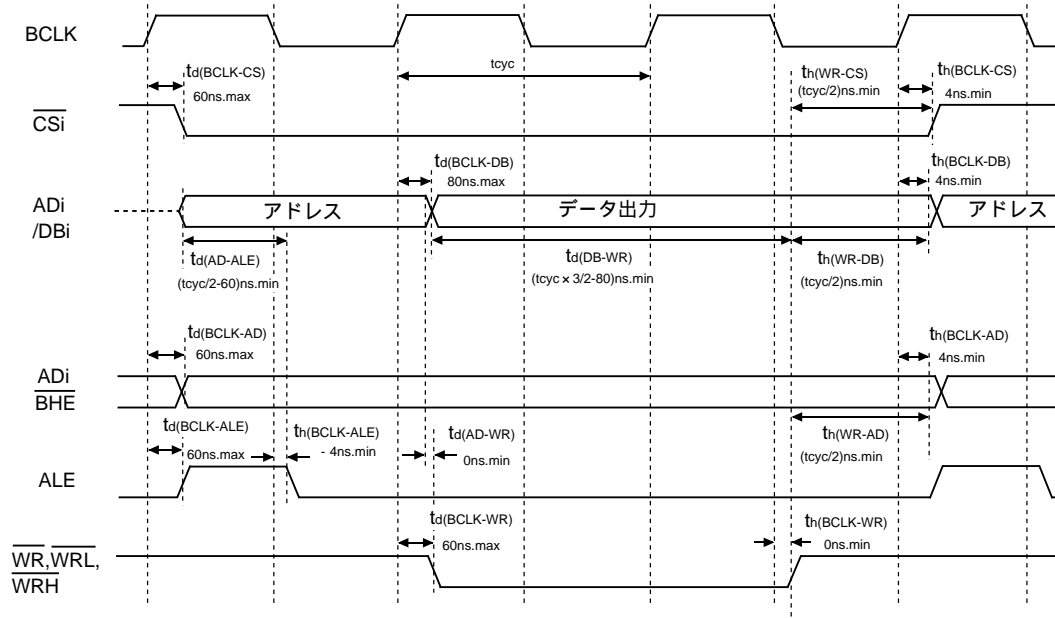
VCC = 3V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出しタイミング



書き込みタイミング



測定条件

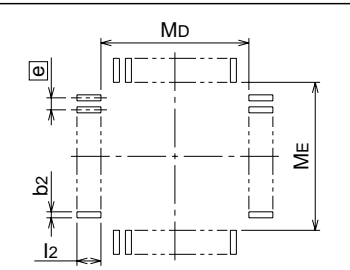
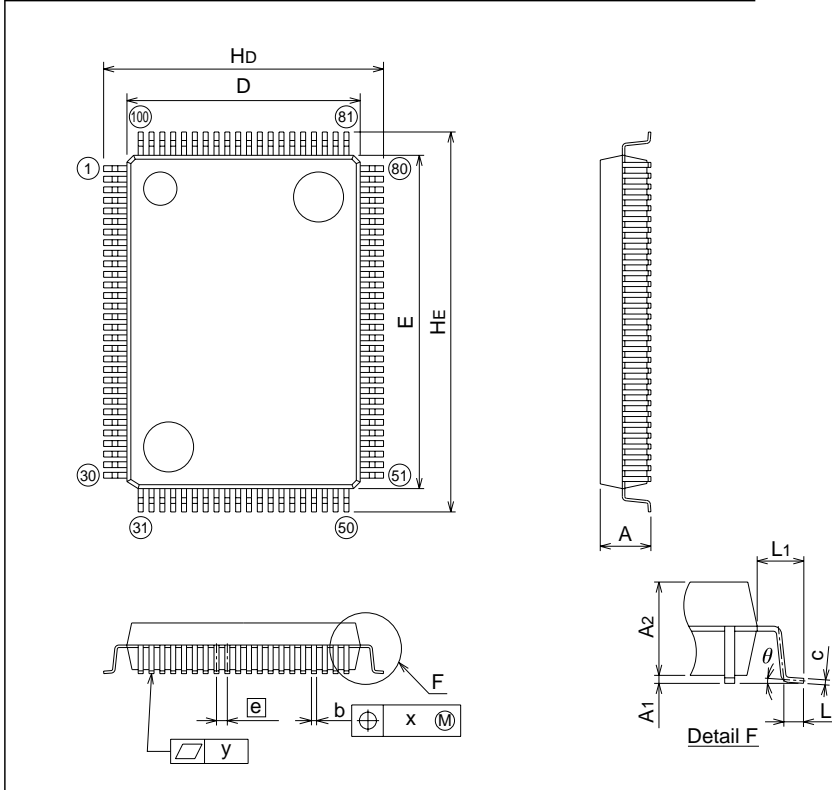
- V_{CC}=3V
- 入力タイミング電圧 : V_{IL}=0.48V, V_{IH}=1.5V
- 出力タイミング電圧 : V_{OL}=1.5V, V_{OH}=1.5V

図1.23.12. VCC=3V用タイミング図(5)

100P6S-A (MMP)

Plastic 100pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	-	1.58	Alloy 42



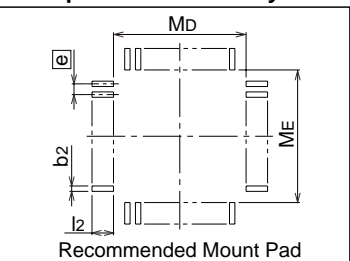
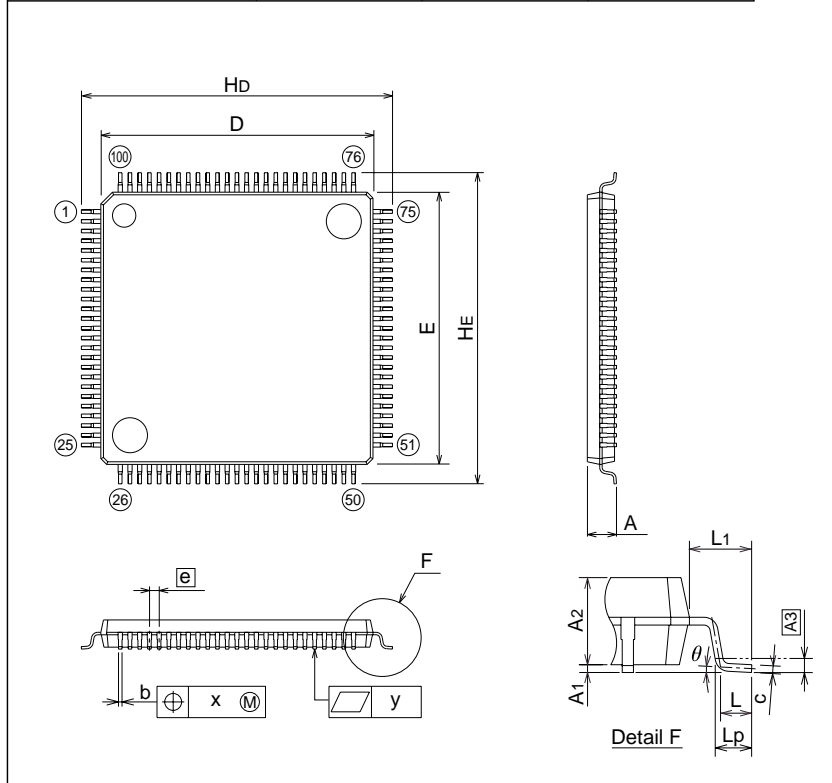
Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	-	0.65	-
Hd	16.5	16.8	17.1
HE	22.5	22.8	23.1
L	0.4	0.6	0.8
L1	-	1.4	-
x	-	-	0.13
y	-	-	0.1
theta	0°	-	10°
b2	-	0.35	-
l2	1.3	-	-
MD	-	14.6	-
ME	-	20.6	-

100P6Q-A (MMP)

Plastic 100pin 14X14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	-	0.63	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	-	0.5	-
Hd	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
theta	0°	-	10°
b2	-	0.225	-
l2	0.9	-	-
MD	-	14.4	-
ME	-	14.4	-

M16C/62AとM16C/30とのSFRの相違点

M16C/62AとM16C/30とのSFRの相違点

アドレス	シンボル	M16C/62A	M16C/30
0005	PM1	<u>プロセッサモードレジスタ1</u> bit0:予約ビット bit1:何も配置されていない bit2:何も配置されていない <u>PM13:内部予約領域拡張ビット</u> bit4:予約ビット bit5:予約ビット bit6:予約ビット PM17:ウェイトビット	<u>プロセッサモードレジスタ1</u> bit0:予約ビット bit1:何も配置されていない bit2:何も配置されていない <u>bit3:予約ビット</u> bit4:予約ビット bit5:予約ビット bit6:予約ビット PM17:ウェイトビット
000A	PRCR	<u>プロテクトレジスタ</u> PRC0:システムロック制御レジスタ0,1への書き込み許可 PRC1:プロセッサモードレジスタ0,1への書き込み許可 <u>PRC2:ポートP9方向レジスタ、S/I/O制御レジスタへの書き込み許可</u> bit3-bit7:何も配置されていない	<u>プロテクトレジスタ</u> PRC0:システムロック制御レジスタ0,1への書き込み許可 PRC1:プロセッサモードレジスタ0,1への書き込み許可 <u>PRC2:ポートP9方向レジスタ書き込み許可</u> bit3-bit7:何も配置されていない
0030	SAR1	<u>DMA1ソースレジスタ</u>	<u>予約レジスタ</u>
0031	SAR1	<u>DMA1ソースレジスタ</u>	<u>予約レジスタ</u>
0032	SAR1	<u>DMA1ソースレジスタ</u>	<u>予約レジスタ</u>
0034	DAR1	<u>DMA1デスティネーションレジスタ</u>	<u>予約レジスタ</u>
0035	DAR1	<u>DMA1デスティネーションレジスタ</u>	<u>予約レジスタ</u>
0036	DAR1	<u>DMA1デスティネーションレジスタ</u>	<u>予約レジスタ</u>
0038	TCR1	<u>DMA1転送カウンタ</u>	<u>予約レジスタ</u>
0039	TCR1	<u>DMA1転送カウンタ</u>	<u>予約レジスタ</u>
003C	DM1CON	<u>DMA1制御レジスタ</u>	<u>予約レジスタ</u>
0044	INT3IC	<u>INT3割り込み制御レジスタ</u>	<u>予約レジスタ</u>
0045	TB5IC	<u>タイマB5割り込み制御レジスタ</u>	<u>予約レジスタ</u>
0046	TB4IC	<u>タイマB4割り込み制御レジスタ</u>	<u>予約レジスタ</u>
0047	TB3IC	<u>タイマB3割り込み制御レジスタ</u>	<u>予約レジスタ</u>
0048	S4IC/INT5IC	<u>S/I/O4,INT5割り込み制御レジスタ</u>	<u>予約レジスタ</u>
0049	S3IC/INT4IC	<u>S/I/O3,INT4割り込み制御レジスタ</u>	<u>予約レジスタ</u>
004C	DM1IC	<u>DMA1割り込み制御レジスタ</u>	<u>予約レジスタ</u>
0058	TA3IC	<u>タイマA3割り込み制御レジスタ</u>	<u>予約レジスタ</u>
0059	TA4IC	<u>タイマA4割り込み制御レジスタ</u>	<u>予約レジスタ</u>
005A	TB0IC	<u>タイマB0割り込み制御レジスタ</u>	<u>予約レジスタ</u>
0340	TBSR	<u>タイマB3,4,5カウンタ開始フラグ</u>	<u>予約レジスタ</u>
0342	TA11	<u>タイマA1-1</u>	<u>予約レジスタ</u>
0343	TA11	<u>タイマA1-1</u>	<u>予約レジスタ</u>
0344	TA21	<u>タイマA2-1</u>	<u>予約レジスタ</u>
0345	TA21	<u>タイマA2-1</u>	<u>予約レジスタ</u>
0346	TA41	<u>タイマA4-1</u>	<u>予約レジスタ</u>
0347	TA41	<u>タイマA4-1</u>	<u>予約レジスタ</u>
0348	INVC0	<u>三相PWM制御レジスタ0</u>	<u>予約レジスタ</u>
0349	INVC1	<u>三相PWM制御レジスタ1</u>	<u>予約レジスタ</u>
034A	IDB0	<u>三相出力バッファレジスタ0</u>	<u>予約レジスタ</u>
034B	IDB1	<u>三相出力バッファレジスタ1</u>	<u>予約レジスタ</u>
034C	DTT	<u>短絡防止タイマ</u>	<u>予約レジスタ</u>
034D	ICTB2	<u>タイマB2割り込み発生頻度設定カウンタ</u>	<u>予約レジスタ</u>
0350	TB3	<u>タイマB3</u>	<u>予約レジスタ</u>
0351	TB3	<u>タイマB3</u>	<u>予約レジスタ</u>
0352	TB4	<u>タイマB4</u>	<u>予約レジスタ</u>
0353	TB4	<u>タイマB4</u>	<u>予約レジスタ</u>
0354	TB5	<u>タイマB5</u>	<u>予約レジスタ</u>
0355	TB5	<u>タイマB5</u>	<u>予約レジスタ</u>
035B	TB3MR	<u>タイマB3モードレジスタ</u>	<u>予約レジスタ</u>
035C	TB4MR	<u>タイマB4モードレジスタ</u>	<u>予約レジスタ</u>
035D	TB5MR	<u>タイマB5モードレジスタ</u>	<u>予約レジスタ</u>

予約レジスタにはアクセスしないでください。

M16C/62AとM16C/30とのSFRの相違点

アドレス	シンボル	M16C/62A	M16C/30
035F	IFSR	<u>割り込み要因選択レジスタ</u> IFSR0:INT0割り込み極性切り替えビット IFSR1:INT1割り込み極性切り替えビット IFSR2:INT2割り込み極性切り替えビット <u>IFSR3:INT3割り込み極性切り替えビット</u> <u>IFSR4:INT4割り込み極性切り替えビット</u> <u>IFSR5:INT5割り込み極性切り替えビット</u> <u>IFSR6:割り込み要因切替ビット</u> <u>IFSR7:割り込み要因切替ビット</u>	<u>割り込み要因選択レジスタ</u> IFSR0:INT0割り込み極性切り替えビット IFSR1:INT1割り込み極性切り替えビット IFSR2:INT2割り込み極性切り替えビット <u>bit3:予約ビット</u> <u>bit4:予約ビット</u> <u>bit5:予約ビット</u> <u>bit6:予約ビット</u> <u>bit7:予約ビット</u>
0360	S3TRR	<u>SI/O3送受信レジスタ</u>	<u>予約レジスタ</u>
0362	S3C	<u>SI/O3制御レジスタ</u>	<u>予約レジスタ</u>
0363	S3BRG	<u>SI/O3転送速度レジスタ</u>	<u>予約レジスタ</u>
0364	S4TRR	<u>SI/O4送受信レジスタ</u>	<u>予約レジスタ</u>
0366	S4C	<u>SI/O4制御レジスタ</u>	<u>予約レジスタ</u>
0367	S4BRG	<u>SI/O4転送速度レジスタ</u>	<u>予約レジスタ</u>
0380	TABSR	<u>カウンタ開始フラグ</u> TA0S:タイマA0カウンタ開始フラグ TA1S:タイマA1カウンタ開始フラグ TA2S:タイマA2カウンタ開始フラグ <u>TA3S:タイマA3カウンタ開始フラグ</u> <u>TA4S:タイマA4カウンタ開始フラグ</u> <u>TB0S:タイマB0カウンタ開始フラグ</u> TB1S:タイマB1カウンタ開始フラグ TB2S:タイマB2カウンタ開始フラグ	<u>カウンタ開始フラグ</u> TA0S:タイマA0カウンタ開始フラグ TA1S:タイマA1カウンタ開始フラグ TA2S:タイマA2カウンタ開始フラグ <u>bit3:予約ビット</u> <u>bit4:予約ビット</u> <u>bit5:予約ビット</u> TB1S:タイマB1カウンタ開始フラグ TB2S:タイマB2カウンタ開始フラグ
0382	ONSF	<u>ワンショット開始フラグ</u> TA0OS:タイマA0ワンショット開始フラグ TA1OS:タイマA1ワンショット開始フラグ TA2OS:タイマA2ワンショット開始フラグ <u>TA3OS:タイマA3ワンショット開始フラグ</u> <u>TA4OS:タイマA4ワンショット開始フラグ</u> bit5:何も配置されていない <u>TA0TGL:タイマA0イベントトリガ選択ビット</u> <u>TA0TGH: 00,01,10,11選択可能</u>	<u>ワンショット開始フラグ</u> TA0OS:タイマA0ワンショット開始フラグ TA1OS:タイマA1ワンショット開始フラグ TA2OS:タイマA2ワンショット開始フラグ <u>bit3:予約ビット</u> <u>bit4:予約ビット</u> bit5:何も配置されていない <u>TA0TGL:タイマA0イベントトリガ選択ビット</u> <u>TA0TGH: 00,01,11選択可能 10設定禁止</u>
0383	TRGSR	<u>トリガ選択レジスタ</u> TA1TGL:タイマA1イベントトリガ選択ビット TA1TGH: 00,01,10,11選択可能 <u>TA2TGL:タイマA2イベントトリガ選択ビット</u> <u>TA2TGH: 00,01,10,11選択可能</u> <u>TA3TGL:タイマA3イベントトリガ選択ビット</u> <u>TA3TGH: 00,01,10,11選択可能</u> <u>TA4TGL:タイマA4イベントトリガ選択ビット</u> <u>TA4TGH: 00,01,10,11選択可能</u>	<u>トリガ選択レジスタ</u> TA1TGL:タイマA1イベントトリガ選択ビット TA1TGH: 00,01,10,11選択可能 <u>TA2TGL:タイマA2イベントトリガ選択ビット</u> <u>TA2TGH: 00,01,10選択可能 11設定禁止</u> <u>bit4:予約ビット</u> <u>bit5:予約ビット</u> <u>bit6:予約ビット</u> <u>bit7:予約ビット</u>
0384	UDF	<u>フリップダフラグ</u> TA0UD:タイマA0フリップダフラグ TA1UD:タイマA1フリップダフラグ TA2UD:タイマA2フリップダフラグ <u>TA3UD:タイマA3フリップダフラグ</u> <u>TA4UD:タイマA4フリップダフラグ</u> TA2P:タイマA2二相パルス信号処理機能選択ビット <u>TA3P:タイマA3二相パルス信号処理機能選択ビット</u> <u>TA4P:タイマA4二相パルス信号処理機能選択ビット</u>	<u>フリップダフラグ</u> TA0UD:タイマA0フリップダフラグ TA1UD:タイマA1フリップダフラグ TA2UD:タイマA2フリップダフラグ <u>bit3:予約ビット</u> <u>bit4:予約ビット</u> TA2P:タイマA2二相パルス信号処理機能選択ビット <u>bit6:予約ビット</u> <u>bit7:予約ビット</u>
038C	TA3	<u>タイマA3</u>	<u>予約レジスタ</u>
038D	TA3	<u>タイマA3</u>	<u>予約レジスタ</u>
038E	TA4	<u>タイマA4</u>	<u>予約レジスタ</u>
038F	TA4	<u>タイマA4</u>	<u>予約レジスタ</u>
0390	TB0	<u>タイマB0</u>	<u>予約レジスタ</u>
0391	TB0	<u>タイマB0</u>	<u>予約レジスタ</u>
0399	TA3MR	<u>タイマA3モードレジスタ</u>	<u>予約レジスタ</u>
039A	TA4MR	<u>タイマA4モードレジスタ</u>	<u>予約レジスタ</u>
039B	TB0MR	<u>タイマB0モードレジスタ</u>	<u>予約レジスタ</u>

予約レジスタにはアクセスしないでください。

M16C/62AとM16C/30とのSFRの相違点

M16C/62AとM16C/30とのSFRの相違点

アドレス	シンボル	M16C/62A	M16C/30
039C	TB1MR	タイマB1モードレジスタ イベントカウンタモード時 TMOD0:動作モード選択ビット TMOD1: MR0:カウンタ極性選択ビット MR1: MR2:何も配置されていない MR3:無効 <u>TCK1:イベントカウンタロック選択 0,1設定可能</u>	タイマB1モードレジスタ イベントカウンタモード時 TMOD0:動作モード選択ビット TMOD1: MR0:カウンタ極性選択ビット MR1: MR2:何も配置されていない MR3:無効 <u>TCK1:イベントカウンタロック選択 0のみ設定可能 1設定禁止</u>
03B6	FMR1	<u>フラッシュメモリ制御レジスタ1</u>	<u>予約レジスタ</u>
03B7	FMR0	<u>フラッシュメモリ制御レジスタ0</u>	<u>予約レジスタ</u>
03B8	DM0SL	<u>DMA0要因選択レジスタ</u> <u>DMA0要求要因</u> INT0端子立ち下がりエッジ ソフトウェアトリガ タイマA0 タイマA1 タイマA2 <u>タイマA3</u> <u>タイマA4</u> INT0端子の両エッジ <u>タイマB0</u> タイマB1 タイマB2 <u>タイマB3</u> <u>タイマB4</u> <u>タイマB5</u> UART0送信 UART0受信 UART2送信 UART2受信 UART1送信 A-D変換	<u>DMA0要因選択レジスタ</u> <u>DMA0要求要因</u> INT0端子立ち下がりエッジ ソフトウェアトリガ タイマA0 タイマA1 タイマA2 INT0端子の両エッジ タイマB1 タイマB2 UART0送信 UART0受信 UART2送信 UART2受信 UART1送信 A-D変換
03BA	DM1SL	<u>DMA1要因選択レジスタ</u>	<u>予約レジスタ</u>
03BC	CRCD	<u>CRCデータレジスタ</u>	<u>予約レジスタ</u>
03BD	CRCIN	<u>CRCデータレジスタ</u>	<u>予約レジスタ</u>
03BE	CRCIN	<u>CRCインバートレジスタ</u>	<u>予約レジスタ</u>
03D6	ADCON0	<u>A-D制御レジスタ0</u> CH0:アナログ入力端子選択ビット CH1: CH2: <u>MD0:A-D動作モード選択ビット0</u> <u>MD1: 00,01,10,11設定可能</u> TRG:トリガ選択ビット ADST:A-D変換開始フラグ CKS0:周波数選択ビット0	<u>A-D制御レジスタ0</u> CH0:アナログ入力端子選択ビット CH1: CH2: <u>MD0:A-D動作モード選択ビット0</u> <u>MD1: 00のみ設定可能 01,10,11設定禁止</u> TRG:トリガ選択ビット ADST:A-D変換開始フラグ CKS0:周波数選択ビット0
03D7	ADCON1	<u>A-D制御レジスタ1</u> <u>SCAN0:A-D掃引端子選択ビット</u> <u>SCAN1:</u> <u>MD2:A-D動作モード選択ビット1</u> BITS:8/10ビットモード選択ビット CKS1:周波数選択ビット1 VCUT:Vref接続ビット OPA0:外部オペアンプ接続モードビット OPA1:	<u>A-D制御レジスタ1</u> <u>bit0:予約ビット</u> <u>bit1:予約ビット</u> <u>bit2:予約ビット</u> BITS:8/10ビットモード選択ビット CKS1:周波数選択ビット1 VCUT:Vref接続ビット OPA0:外部オペアンプ接続モードビット OPA1:
03D8	DA0	<u>D-ALレジスタ0</u>	<u>予約レジスタ</u>
03DA	DA1	<u>D-ALレジスタ1</u>	<u>予約レジスタ</u>
03DC	DACON	<u>D-A制御レジスタ</u>	<u>予約レジスタ</u>

予約レジスタにはアクセスしないでください。

改訂履歴

M16C/30 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.1	02/06/24	14 136 137	☒ 1.5.1 を変更 ☒ 1.20.1 P74 を追加 ☒ 1.20.2 P74 を削除

三菱シングルチップマイクロコンピュータ
M16C / 30 グループ データシート REV.1.1

2002年6月発行

編集 三菱電機セミコンダクタ・アプリケーション・エンジニアリング株式会社

発行 三菱電機株式会社

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

©2002 MITSUBISHI ELECTRIC CORPORATION