

M16C/5LD、M16C/56D グループ

ルネサスマイクロコンピュータ

R01DS0132JJ0120

Rev.1.20

2011.11.25

1. 概要

1.1 特長

M16C/5LD、M16C/56Dグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、64ピンまたは80ピンプラスチックモールドLQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、命令を高速に実行する能力を備えています。CANモジュールを1チャンネル内蔵し(M16C/5LDグループ)、FAのLANシステムに適したマイクロコンピュータです。乗算器、DMACがあるため、高速な演算処理が必要なOA、家電製品、産業機器の制御にも適しています。

1.1.1 用途

FAのLANシステム、オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、他

1.2 仕様概要

表 1.1~表 1.4にM16C/5LD、M16C/56Dグループの仕様概要を示します。

表 1.1 仕様概要 (80ピン版)(1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60シリーズコア(乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 31.25ns (f(BCLK)=32MHz、VCC=3.0~5.5V) 40ns (f(BCLK)=25MHz、VCC=2.7~5.5V) 動作モード: シングルチップモード
メモリ	ROM、RAM、データフラッシュ	「表 1.5 製品一覧~表 1.6 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> 電圧検出2点
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路(メインクロック、サブクロック、PLL周波数シンセサイザ、125kHzオンチップオシレータ) 発振停止検出: メインクロック発振停止/再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
I/Oポート	プログラマブル入出力ポート	CMOS入出力:71 (プルアップ抵抗設定可能)
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数: 70 外部割り込み入力: 11 (NMI、INT×6、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 15ビット×1 (プリスケール付) リセットスタート機能選択可能 ウォッチドッグタイマ専用125kHzオンチップオシレータ付き
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 42 転送モード: 2 (単転送、リピート転送)
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3 プログラマブル出力モード×3
	タイマB	16ビットタイマ×3 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1 (タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
	タイマS (インプットキャプチャ/アウトプットコンペア)	<ul style="list-style-type: none"> 16ビットタイマ×1 (ベースタイマ) 入出力8チャンネル
	タスク監視タイマ	16ビットタイマ×1チャンネル
	リアルタイムクロック	秒、分、時、曜日をカウント
シリアルインタフェース	UART0~UART4	<ul style="list-style-type: none"> 4チャンネル(UART、クロック同期形シリアルI/O) 1チャンネル(UART、クロック同期形シリアルI/O、I²C-bus、IEBus)
A/Dコンバータ		分解能10ビット×27チャンネル(A/D回路) 分解能10ビット×4チャンネル(A/D1回路)

表 1.2 仕様概要 (80ピン版)(2/2)

分類	機能	説明
CRC演算回路		<ul style="list-style-type: none"> • 1回路 • CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠 • MSB/LSB選択可能
マルチマスタI ² C-busインタフェース		1チャンネル
CANモジュール		32スロット×1チャンネル (M16C/5LDグループのみ)
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧: 2.7V~5.5V • プログラム、イレーズ回数:1,000回(プログラムROM1、プログラムROM2) / 10,000回(データフラッシュ) • プログラムセキュリティ: ROMコードプロテクト、IDコードチェック
デバッグ機能		オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧		32MHz/3.0V~5.5V 25MHz/2.7V~5.5V
消費電流		「5. 電気的特性」に記載
動作周囲温度		-40℃~85℃ (注1)
パッケージ		80ピンLQFP: PLQP0080KB-A (旧パッケージコード: 80P6Q-A)

注1. 動作周囲温度は、「表 1.5 M16C/5LDグループ製品一覧表~表 1.6 M16C/56Dグループ製品一覧表」を参照してください。

表 1.3 仕様概要 (64ピン版)(1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60 シリーズコア (乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 31.25ns (f(BCLK)=32MHz、VCC=3.0~5.5V) 40ns (f(BCLK)=25MHz、VCC=2.7~5.5V) 動作モード: シングルチップモード
メモリ	ROM、RAM、データフラッシュ	「表 1.5 製品一覧~表 1.6 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> 電圧検出2点
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路(メインクロック、サブクロック、PLL周波数シンセサイザ、125kHzオンチップオシレータ) 発振停止検出: メインクロック発振停止/再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
I/Oポート	プログラマブル入出力ポート	CMOS入出力:55 (プルアップ抵抗設定可能)
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数: 70 外部割り込み入力: 11 (NMI、INT×6、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 15ビット×1 (プリスケラ付) リセットスタート機能選択可能 ウォッチドッグタイマ専用125kHzオンチップオシレータ付き
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 40 転送モード: 2 (単転送、リピート転送)
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3 プログラマブル出力モード×3
	タイマB	16ビットタイマ×3 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1 (タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
	タイマS (インプットキャプチャ/アウトプットコンペア)	<ul style="list-style-type: none"> 16ビットタイマ×1 (ベースタイマ) 入出力8チャンネル
	タスク監視タイマ	16ビットタイマ×1チャンネル
	リアルタイムクロック	秒、分、時、曜日をカウント
シリアルインタフェース	UART0~UART3	<ul style="list-style-type: none"> 3チャンネル(UART、クロック同期形シリアルI/O) 1チャンネル(UART、クロック同期形シリアルI/O、I²C-bus、IEBus)
A/Dコンバータ		分解能10ビット×16チャンネル (A/D回路) 分解能10ビット×4チャンネル (A/D1回路)

表 1.4 仕様概要 (64ピン版)(2/2)

分類	機能	説明
CRC演算回路		<ul style="list-style-type: none"> • 1回路 • CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠 • MSB/LSB選択可能
マルチマスタI ² C-busインタフェース		1チャンネル
CANモジュール		32スロット×1チャンネル (M16C/5LDグループのみ)
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧: 2.7V~5.5V • プログラム、イレーズ回数:1,000回(プログラムROM1、プログラムROM2) / 10,000回(データフラッシュ) • プログラムセキュリティ: ROMコードプロテクト、IDコードチェック
デバッグ機能		オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧		32MHz/3.0V~5.5V 25MHz/2.7V~5.5V
消費電流		「5. 電気的特性」に記載
動作周囲温度		-40℃~85℃ (注1)
パッケージ		64ピンLQFP: PLQP0064KB-A (旧パッケージコード: 64P6Q-A)

注1. 動作周囲温度は、「表 1.5 M16C/5LDグループ製品一覧表~表 1.6 M16C/56Dグループ製品一覧表」を参照してください。

1.3 製品一覧

表 1.5にM16C/5LDグループ製品一覧表、表 1.6にM16C/56Dグループ製品一覧表、図 1.1に型名とメモリスizes・パッケージ、図 1.2にフラッシュメモリ版のマーキング図(上面図)を示します。

表 1.5 M16C/5LDグループ製品一覧表

2011年11月現在

型名	ROM容量			RAM容量	CAN	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ				
R5F35L30DFF	64Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	1チャンネル	PLQP0064KB-A	
R5F35L23DFE	96Kバイト	16Kバイト	4Kバイト ×2ブロック	8Kバイト		PLQP0080KB-A	
R5F35L33DFF						PLQP0064KB-A	
R5F35L26DFE	128Kバイト	16Kバイト	4Kバイト ×2ブロック	12Kバイト		PLQP0080KB-A	
R5F35L36DFF						PLQP0064KB-A	
R5F35L2EDFE	256Kバイト	16Kバイト	4Kバイト ×2ブロック	20Kバイト		PLQP0080KB-A	
R5F35L3EDFF						PLQP0064KB-A	

(開): 開発中

(計): 計画中

旧パッケージコードは以下のとおりです。

PLQP0080KB-A: 80P6Q-A

PLQP0064KB-A: 64P6Q-A

表 1.6 M16C/56Dグループ製品一覧表

2011年11月現在

型名	ROM容量			RAM容量	CAN	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ				
R5F35630DFF	64Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	—	PLQP0064KB-A	
R5F35623DFE	96Kバイト	16Kバイト	4Kバイト ×2ブロック	8Kバイト		PLQP0080KB-A	
R5F35633DFF						PLQP0064KB-A	
R5F35626DFE	128Kバイト	16Kバイト	4Kバイト ×2ブロック	12Kバイト		PLQP0080KB-A	
R5F35636DFF						PLQP0064KB-A	
R5F3562EDFE	256Kバイト	16Kバイト	4Kバイト ×2ブロック	20Kバイト		PLQP0080KB-A	
R5F3563EDFF						PLQP0064KB-A	

(開): 開発中

(計): 計画中

旧パッケージコードは以下のとおりです。

PLQP0080KB-A: 80P6Q-A

PLQP0064KB-A: 64P6Q-A

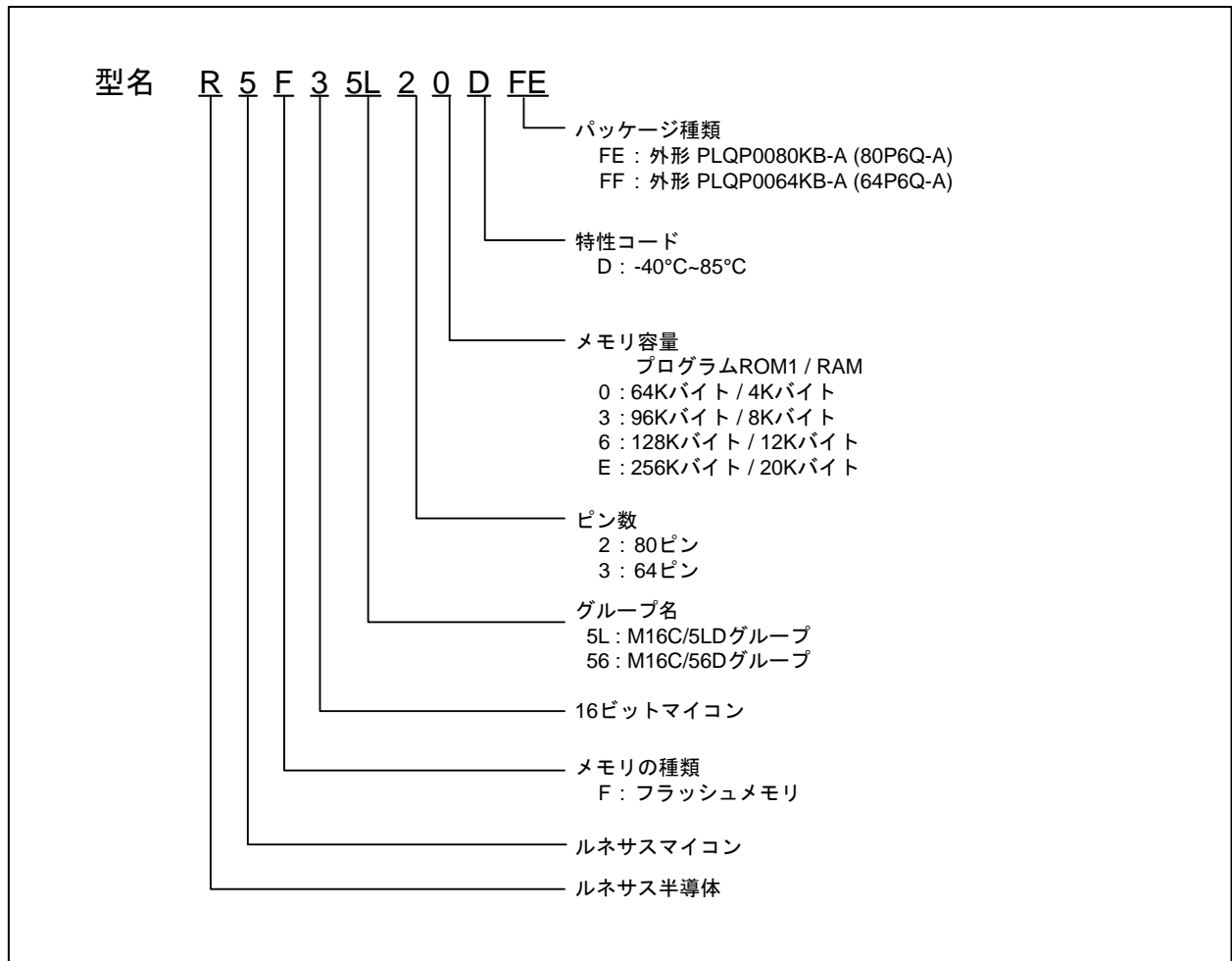


図 1.1 型名とメモリサイズ・パッケージ

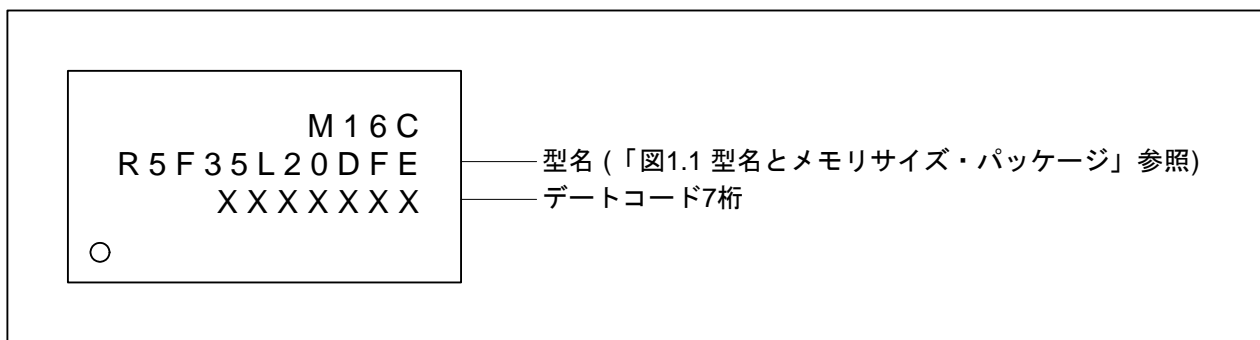


図 1.2 フラッシュメモリ版のマーキング図(上面図)

1.4 ブロック図

図 1.3~図 1.4にM16C/5LD、M16C/56Dグループのブロック図を示します。

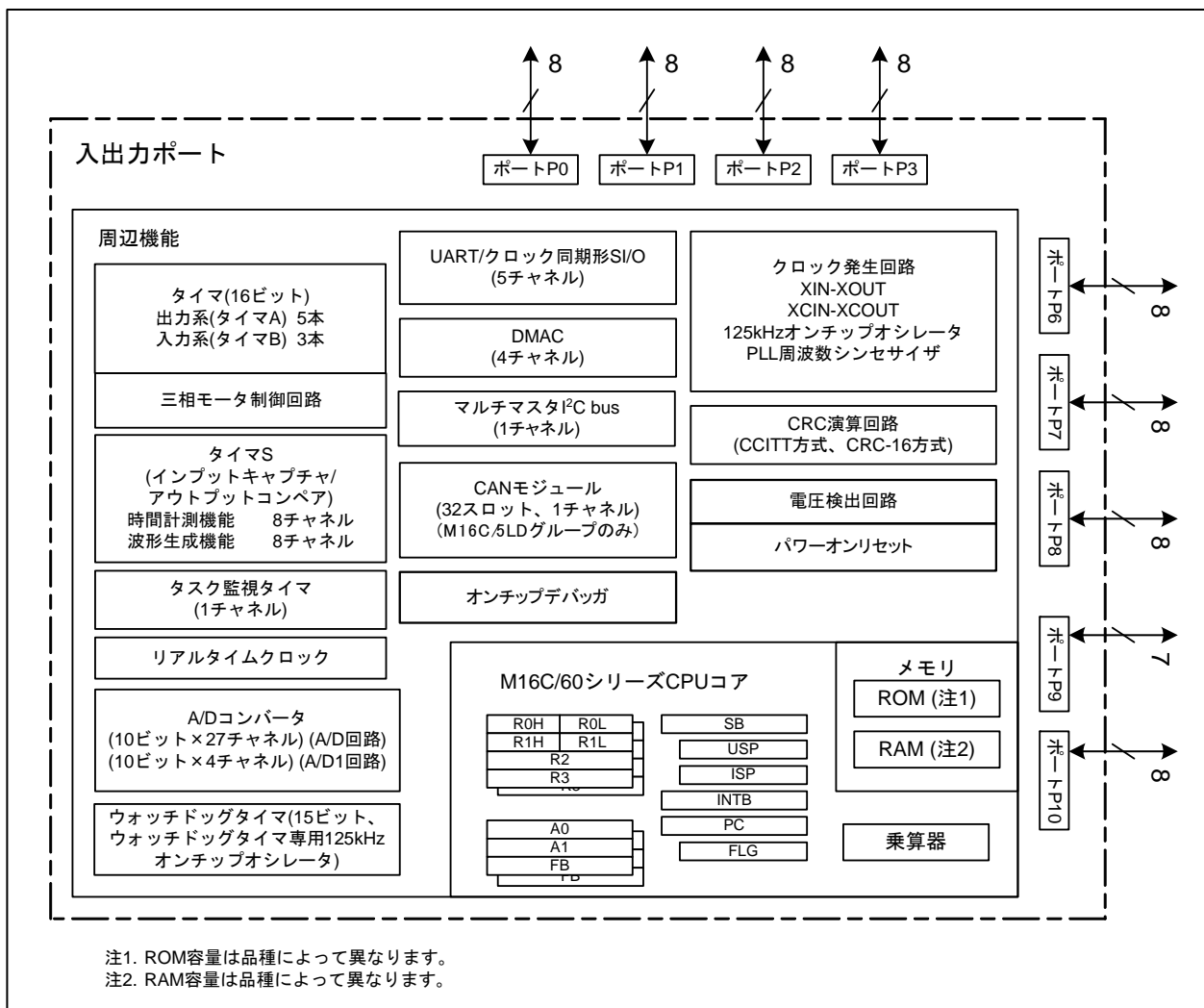


図 1.3 ブロック図 (80ピン版)

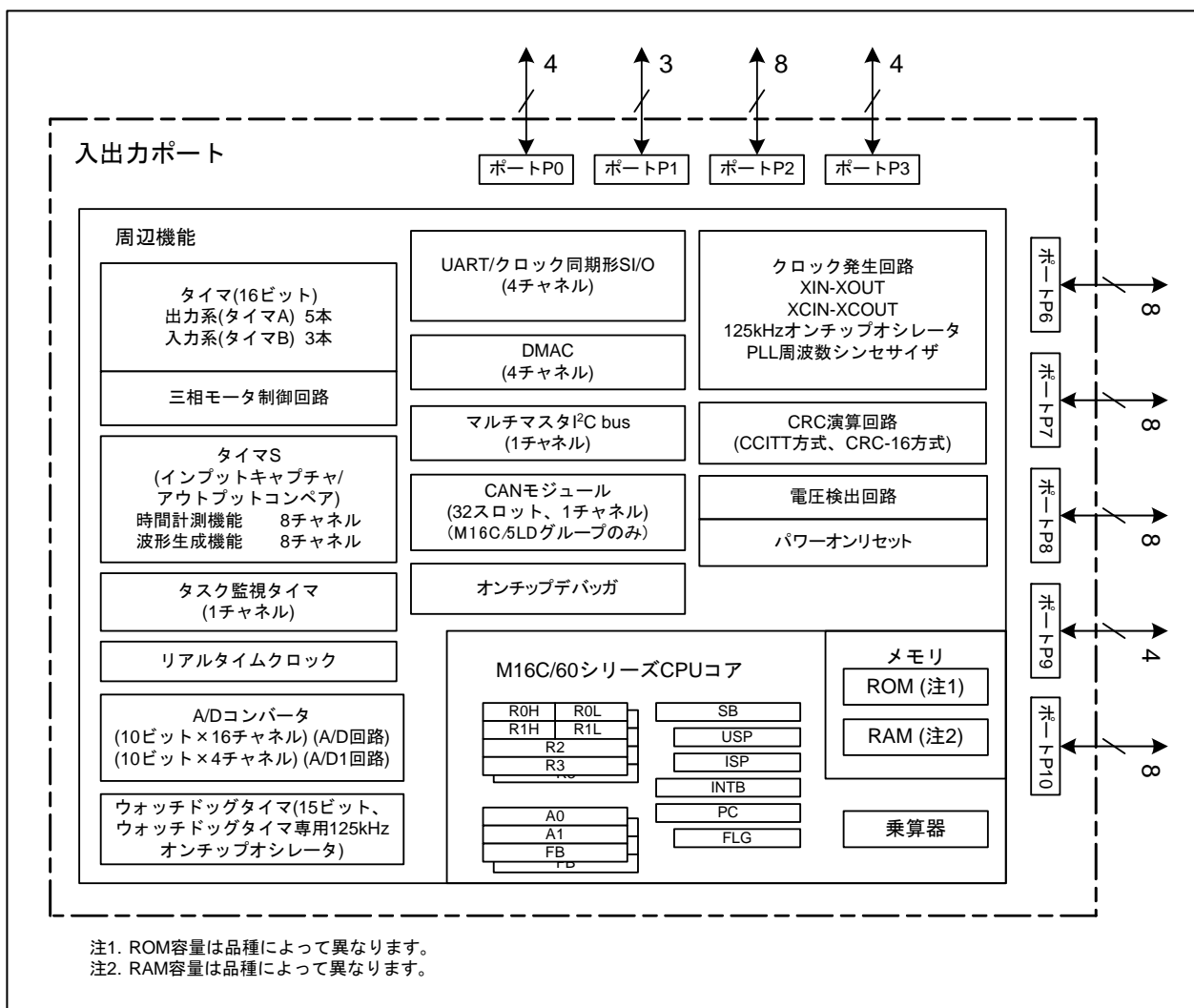


図 1.4 ブロック図 (64ピン版)

1.5 ピン接続図

図 1.5に80ピン版ピン接続図(上面図)、表 1.7~表 1.8に80ピン版端子名一覧表を示します。

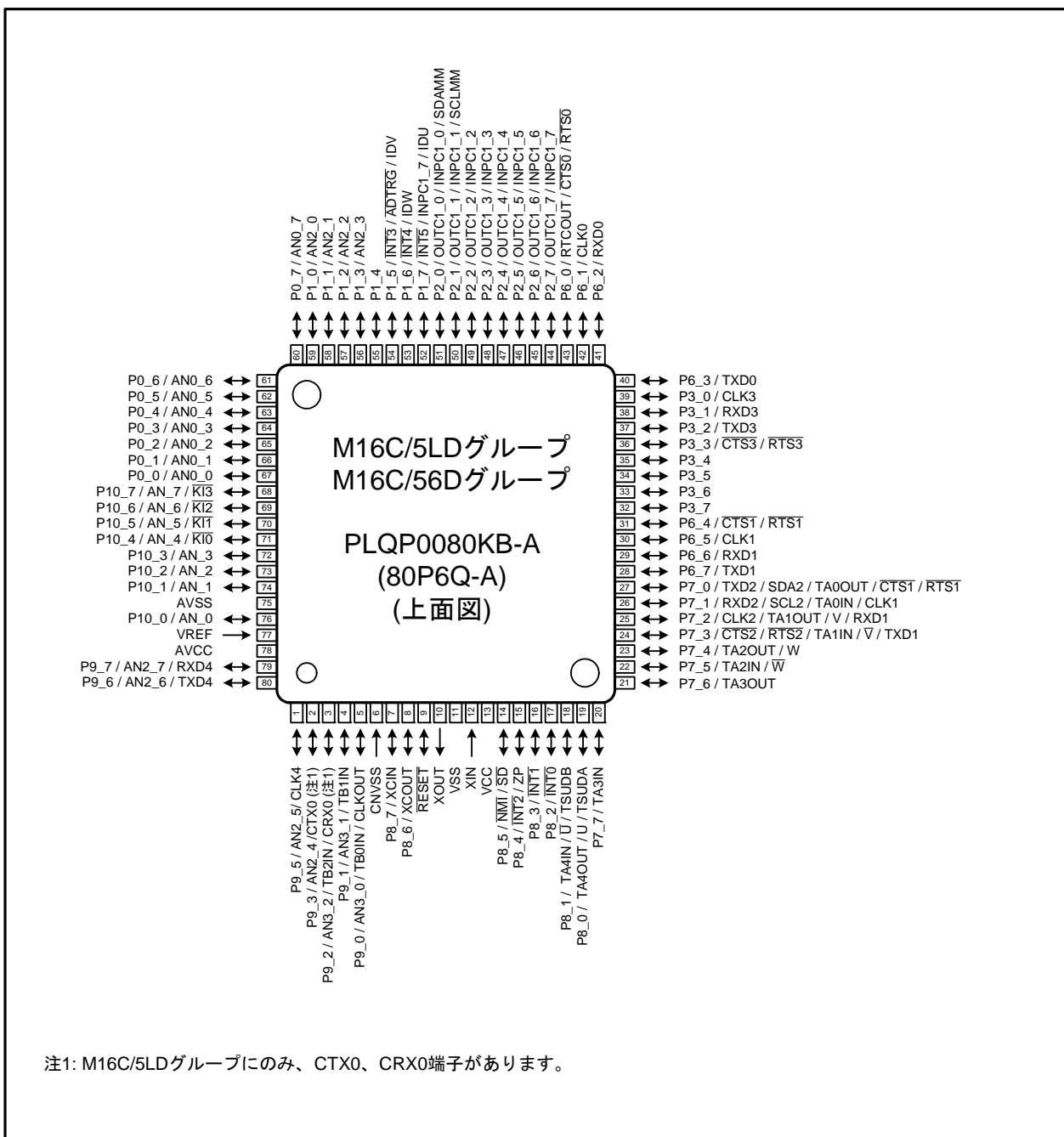


図 1.5 80ピン版ピン接続図(上面図)

リセット後、各端子に対して入出力を行うより前に、PACRレジスタのPACR2~PACR0ビットを“011b”に設定してください。PACRレジスタが設定されない場合、一部の端子の入出力機能が動作しません。

表 1.7 80ピン版端子名一覧表 (1/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN	マルチマスタ I ² C-bus	アナログ
1		P9_5				CLK4		AN2_5
2		P9_3				CTX0 (注1)		AN2_4
3		P9_2		TB2IN		CRX0 (注1)		AN3_2
4		P9_1		TB1IN				AN3_1
5	CLKOUT	P9_0		TB0IN				AN3_0
6	CNVSS							
7	XCIN	P8_7						
8	XCOU	P8_6						
9	RESET							
10	XOUT							
11	VSS							
12	XIN							
13	VCC							
14		P8_5	NMI	SD				
15		P8_4	INT2	ZP				
16		P8_3	INT1					
17		P8_2	INT0					
18		P8_1		TA4IN/U	TSUDB			
19		P8_0		TA4OUT/U	TSUDA			
20		P7_7		TA3IN				
21		P7_6		TA3OUT				
22		P7_5		TA2IN/W				
23		P7_4		TA2OUT/W				
24		P7_3		TA1IN/V		CTS2/RTS2/TXD1		
25		P7_2		TA1OUT/V		CLK2/RXD1		
26		P7_1		TA0IN		RXD2/SCL2/CLK1		
27		P7_0		TA0OUT		TXD2/SDA2/CTS1/RTS1		
28		P6_7				TXD1		
29		P6_6				RXD1		
30		P6_5				CLK1		
31		P6_4				CTS1/RTS1		
32		P3_7						
33		P3_6						
34		P3_5						
35		P3_4						
36		P3_3				CTS3/RTS3		
37		P3_2				TXD3		
38		P3_1				RXD3		
39		P3_0				CLK3		
40		P6_3				TXD0		

注1. M16C/5LDグループにのみ、CTX0、CRX0端子があります。

表 1.8 80ピン版端子名一覧表 (2/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN	マルチマスタ I ² C-bus	アナログ
41		P6_2				RXD0		
42		P6_1				CLK0		
43		P6_0		RTCOUT		CTS0/RTS0		
44		P2_7			OUTC1_7/INPC1_7			
45		P2_6			OUTC1_6/INPC1_6			
46		P2_5			OUTC1_5/INPC1_5			
47		P2_4			OUTC1_4/INPC1_4			
48		P2_3			OUTC1_3/INPC1_3			
49		P2_2			OUTC1_2/INPC1_2			
50		P2_1			OUTC1_1/INPC1_1		SCLMM	
51		P2_0			OUTC1_0/INPC1_0		SDAMM	
52		P1_7	INT5	IDU	INPC1_7			
53		P1_6	INT4	IDW				
54		P1_5	INT3	IDV				ADTRG
55		P1_4						
56		P1_3						AN2_3
57		P1_2						AN2_2
58		P1_1						AN2_1
59		P1_0						AN2_0
60		P0_7						AN0_7
61		P0_6						AN0_6
62		P0_5						AN0_5
63		P0_4						AN0_4
64		P0_3						AN0_3
65		P0_2						AN0_2
66		P0_1						AN0_1
67		P0_0						AN0_0
68		P10_7	KI3					AN_7
69		P10_6	KI2					AN_6
70		P10_5	KI1					AN_5
71		P10_4	KI0					AN_4
72		P10_3						AN_3
73		P10_2						AN_2
74		P10_1						AN_1
75	AVSS							
76		P10_0						AN_0
77	VREF							
78	AVCC							
79		P9_7				RXD4		AN2_7
80		P9_6				TXD4		AN2_6

図 1.6に64ピン版ピン接続図(上面図)、表 1.9~表 1.10に64ピン版端子名一覧表を示します。

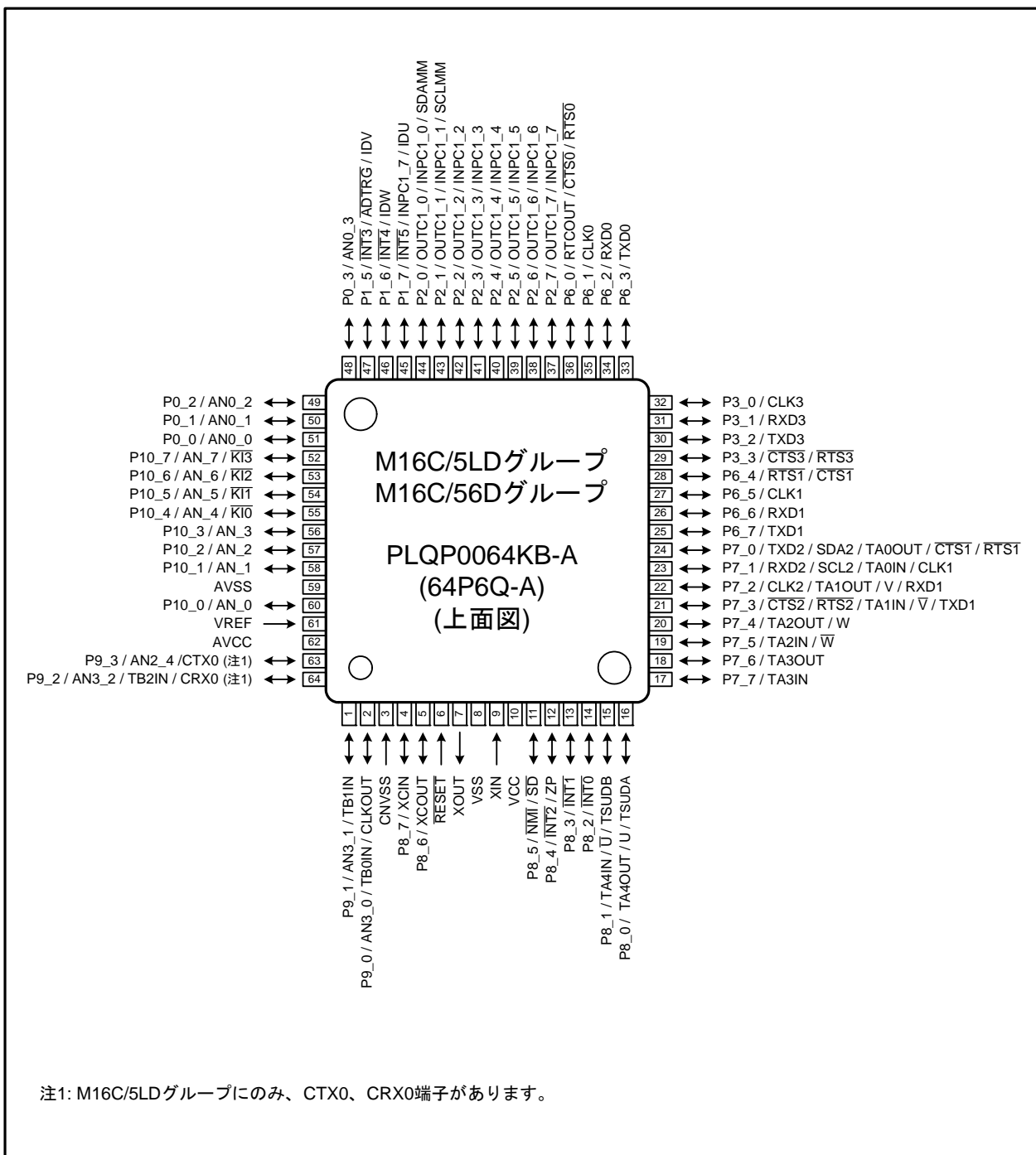


図 1.6 64ピン版ピン接続図(上面図)

リセット後、各端子に対して入出力を行うより前に、PACRレジスタのPACR2~PACR0ビットを“010b”に設定してください。PACRレジスタが設定されない場合、一部の端子の入出力機能が動作しません。

表 1.9 64ピン版端子名一覧表 (1/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN	マルチマスタ I ² C-bus	アナログ
1		P9_1		TB1IN				AN3_1
2	CLKOUT	P9_0		TB0IN				AN3_0
3	CNVSS							
4	XCIN	P8_7						
5	XCOU	P8_6						
6	RESET							
7	XOUT							
8	VSS							
9	XIN							
10	VCC							
11		P8_5	NMI	SD				
12		P8_4	INT2	ZP				
13		P8_3	INT1					
14		P8_2	INT0					
15		P8_1		TA4IN/U	TSUDB			
16		P8_0		TA4OUT/U	TSUDA			
17		P7_7		TA3IN				
18		P7_6		TA3OUT				
19		P7_5		TA2IN/W				
20		P7_4		TA2OUT/W				
21		P7_3		TA1IN/V		CTS2/RTS2/TXD1		
22		P7_2		TA1OUT/V		CLK2/RXD1		
23		P7_1		TA0IN		RXD2/SCL2/CLK1		
24		P7_0		TA0OUT		TXD2/SDA2/CTS1/RTS1		
25		P6_7				TXD1		
26		P6_6				RXD1		
27		P6_5				CLK1		
28		P6_4				CTS1/RTS1		
29		P3_3				CTS3/RTS3		
30		P3_2				TXD3		

表 1.10 64ピン版端子名一覧表 (2/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN	マルチマスタ I ² C-bus	アナログ
31		P3_1				RXD3		
32		P3_0				CLK3		
33		P6_3				TXD0		
34		P6_2				RXD0		
35		P6_1				CLK0		
36		P6_0		RTCOU \bar{T}		CTS0/RTS0 \bar{O}		
37		P2_7			OUTC1_7/INPC1_7			
38		P2_6			OUTC1_6/INPC1_6			
39		P2_5			OUTC1_5/INPC1_5			
40		P2_4			OUTC1_4/INPC1_4			
41		P2_3			OUTC1_3/INPC1_3			
42		P2_2			OUTC1_2/INPC1_2			
43		P2_1			OUTC1_1/INPC1_1		SCLMM	
44		P2_0			OUTC1_0/INPC1_0		SDAMM	
45		P1_7	INT5 \bar{I}	IDU	INPC1_7			
46		P1_6	INT4 \bar{I}	IDW				
47		P1_5	INT3 \bar{I}	IDV				ADTRG \bar{A}
48		P0_3						AN0_3
49		P0_2						AN0_2
50		P0_1						AN0_1
51		P0_0						AN0_0
52		P10_7	KI3 \bar{K}					AN_7
53		P10_6	KI2 \bar{K}					AN_6
54		P10_5	KI1 \bar{K}					AN_5
55		P10_4	KI0 \bar{K}					AN_4
56		P10_3						AN_3
57		P10_2						AN_2
58		P10_1						AN_1
59	AVSS							
60		P10_0						AN_0
61	VREF							
62	AVCC							
63		P9_3				CTX0 (注1)		AN2_4
64		P9_2		TB2IN		CRX0 (注1)		AN3_2

注1. M16C/5LDグループにのみ、CTX0、CRX0端子があります。

1.6 端子機能の説明

表 1.11 端子機能の説明(64ピン版、80ピン版共通)(1/2)

分類	端子名	入出力	機能
電源入力	VCC, VSS	入力	VSS端子には、0Vを入力してください。VCC端子には、2.7~5.5Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	A/Dコンバータの電源入力です。AVCC端子はVCCに接続してください。AVSS端子はVSSに接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	抵抗を介してVSSに接続してください。
メインクロック 入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください。メインクロック回路を使用しない場合、XINをVCC端子に接続し、XOUTは開放してください。
メインクロック 出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶振動子を接続してください。(注1)
サブクロック出力	XCOUT	出力	
クロック出力	CLKOUT	出力	f1、f8、f32またはfCと同じ周期を持つクロックを出力します。
INT割り込み入力	INT0~INT5	入力	INT割り込みの入力です。
NMI入力	NMI	入力	NMIの入力です。
キー入力割り込み	KI0~KI3	入力	キー入力割り込みの入力端子です。
タイマA	TA0OUT~ TA4OUT	入出力	タイマA0~A4の入出力です。
	TA0IN~TA4IN	入力	タイマA0~A4の入力です。
	ZP	入力	Z相の入力です。
タイマB	TB0IN~TB2IN	入力	タイマB0~B2の入力です。
三相モータ制御用 タイマ	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	三相モータ制御用タイマの出力です。
	IDU, IDW, IDV, \bar{SD}	入力	三相モータ制御用タイマの入力です。
リアルタイム クロック	RTCOUT	出力	リアルタイムクロックの出力です。
シリアルインタ フェース UART0~UART3	CTS0~CTS3	入力	送信制御用入力です。
	RTS0~RTS3	出力	受信制御用出力です。
	CLK0~CLK3	入出力	転送クロック入出力です。
	RXD0~RXD3	入力	シリアルデータ入力です。
	TXD0~TXD3	出力	シリアルデータ出力です。
UART2 I ² Cモード	SDA2	入出力	シリアルデータ入出力です。
	SCL2	入出力	転送クロック入出力です。
マルチマスタ I ² C-bus	SDAMM	入出力	シリアルデータ入出力です。
	SCLMM		転送クロック入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN_0~AN_7 AN0_0~AN0_3 AN2_4 AN3_0~AN3_2	入力	アナログ入力です。
	ADTRG	入力	外部トリガ入力です。

注1. 発振特性は発振子メーカーにお問い合わせください。

表 1.12 端子機能の説明(64ピン版、80ピン版共通) (2/2)

分類	端子名	入出力	機能
タイマS	INPC1_0~INPC1_7	入力	時間計測機能の入力です。
	OUTC1_0~OUTC1_7	出力	波形生成機能の出力です。
	TSUDA、TSUDB	入力	二相パルス入力です。
CANモジュール (注1)	CRX0	入力	CAN通信機能の受信データ入力です。
	CTX0	出力	CAN通信機能の送信データ出力です。
入出力ポート	P0_0~P0_3 P1_5~P1_7 P2_0~P2_7 P3_0~P3_3 P6_0~P6_7 P7_0~P7_7 P8_0~P8_7 P9_0~P9_3 P10_0~P10_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートに設定できます。また、入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。

注1. M16C/5LDグループにのみ、CANモジュールがあります。

表 1.13 端子機能の説明(80ピン版のみ)

分類	端子名	入出力	機能
シリアルインタフェース UART4	CLK4	入出力	転送クロック入出力です。
	RXD4	入力	シリアルデータ入力です。
	TXD4	出力	シリアルデータ出力です。
A/Dコンバータ	AN0_4~AN0_7 AN2_0~AN2_3 AN2_5~AN2_7	入力	アナログ入力です。
入出力ポート	P0_4~P0_7 P1_0~P1_4 P3_4~P3_7 P9_5~P9_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートに設定できます。 また、入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

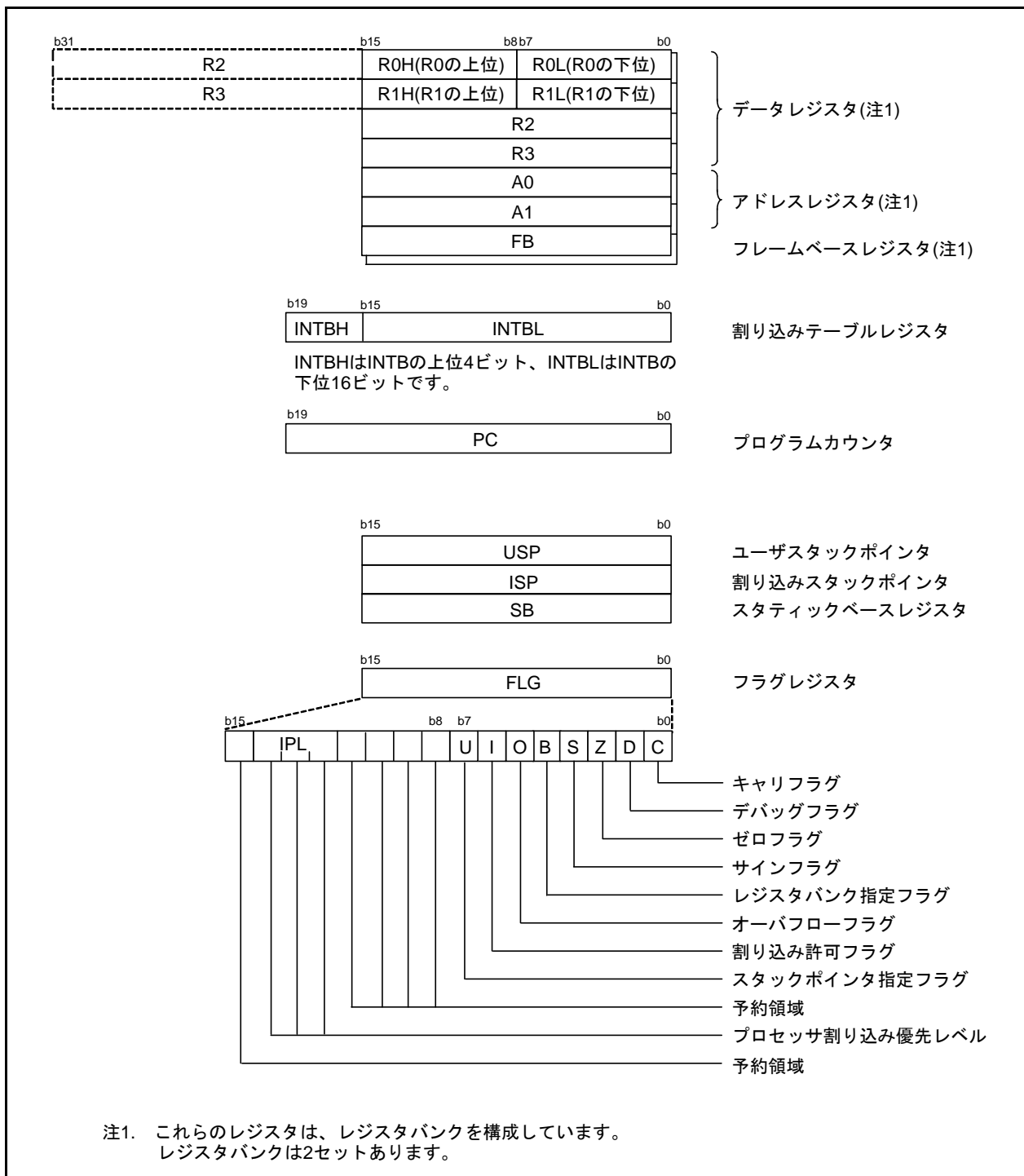


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1~R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、ともに16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

SFRは、00000h番地から003FFh番地と、0D000h番地から0D7FFh番地に配置されています。ここには周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、アクセスしないでください。

内部RAMは00400h番地から上位方向に配置されます。たとえば8Kバイトの内部RAMは、00400h番地から023FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時の、スタックとしても使用します。

内部ROMはフラッシュメモリです。内部ROMにはデータフラッシュ、プログラムROM1、プログラムROM2があります。

データフラッシュは、0E000h番地から0FFFFh番地に配置されます。この領域は主にデータ格納用ですが、プログラムを格納することもできます。

プログラムROM2は、10000h番地から13FFFh番地に配置されます。プログラムROM1は、FFFFFh番地から下位方向に配置されます。たとえば64KバイトのプログラムROM1は、F0000h番地からFFFFFh番地に配置されます。

スペシャルページベクタテーブルはFFE00h番地からFFFD7h番地に配置されます。このベクタはJMPS命令またはJSRS命令で使用します(「M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル」参照)。

割り込みの固定ベクタテーブル、IDコード格納番地、OFS1番地、OFS2番地はFFFDBh番地からFFFFFh番地に配置されます。

割り込みの可変ベクタテーブルは、INTBレジスタに設定された先頭番地から256バイトの領域に配置されます。

図 3.1にメモリ配置を示します。

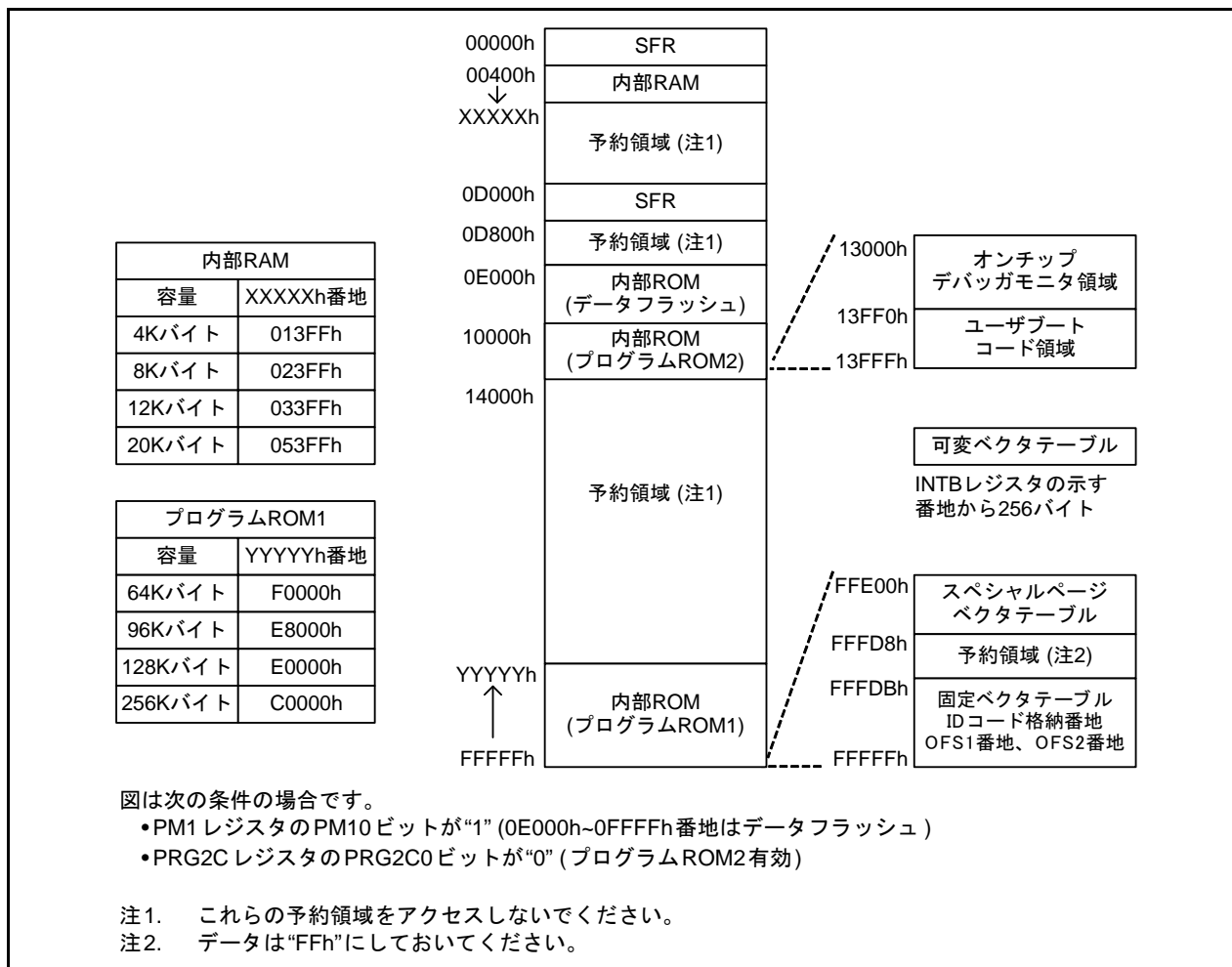


図 3.1 メモリ配置図

4. SFR

4.1 SFR

SFR (Special Function Register)は、周辺機能の制御レジスタです。

表 4.1 SFR一覧(1) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注3)
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
0016h			
0017h			
0018h	リセット要因判別レジスタ	RSTFR	XX0X 001Xb (ハードウェアリセット) (注4)
0019h	電圧検出2回路フラグレジスタ	VCR1	0000 1000b (注2)
001Ah	電圧検出回路動作許可レジスタ	VCR2	000X 0000b (注2、5) 001X 0000b (注2、6)
001Bh			
001Ch	PLL制御レジスタ0	PLC0	0X01 X010b
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
001Fh			

X: 不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
- 注2. 次のレジスタは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視2リセット時は変化しません。
VCR1レジスタ、VCR2レジスタ
- 注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
- 注4. RSTFRレジスタの各ビットは、リセットの種類によって状態が異なります。
- 注5. OFS1番地のLVDASビットが“1”かつハードウェアリセット。
- 注6. 下記のいずれかのリセット後
- ・電圧監視0リセット
 - ・OFS1番地のLVDASビットが“0”かつハードウェアリセット
 - ・パワーオンリセット

表 4.2 SFR一覧(2) (注1)

番地	レジスタ	シンボル	リセット後の値
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	電圧監視機能選択レジスタ	VWCE	00h
0027h			
0028h	電圧検出2レベル選択レジスタ	VD2LS	0000 0100b (注2)
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	1000 1X10b (注3、4) 1100 1X11b (注3、5)
002Bh			
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b (注3、6)
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

X: 不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
- 注2. ハードウェアリセット、パワーオンリセット、電圧監視0リセットまたは電圧監視2リセット
- 注3. 次のレジスタまたはビットは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視2リセット時は変化しません。
VW0Cレジスタ、VW2CレジスタのVW2C2ビット、VW2C3ビット。
- 注4. OFS1番地のLVDASビットが“1”かつハードウェアリセット
- 注5. 下記のいずれかのリセット後
- ・電圧監視0リセット
 - ・OFS1番地のLVDASビットが“0”かつハードウェアリセット
 - ・パワーオンリセット
- 注6. ハードウェアリセット、パワーオンリセットまたは電圧監視0リセット

表 4.3 SFR一覧(3) (注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
0045h			
0046h			
0047h			
0048h	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
0049h	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ タスク監視タイマ割り込み制御レジスタ	BCNIC TMOSIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ A/D1変換割り込み制御レジスタ	KUPIC ADEIC	XXXX X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00 X000b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.4 SFR一覧(4) (注1)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2 割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3 割り込み制御レジスタ	DM3IC	XXXX X000b
006Bh			
006Ch			
006Dh			
006Eh			
006Fh	UART4 送信割り込み制御レジスタ リアルタイムクロックコンペア割り込み制御レジスタ	S4TIC RTCCIC	XXXX X000b
0070h	UART4 受信割り込み制御レジスタ	S4RIC	XXXX X000b
0071h	CAN0 ウェイクアップ割り込み制御レジスタ	C0WIC	XXXX X000b
0072h	UART3 送信割り込み制御レジスタ CAN0 エラー割り込み制御レジスタ	S3TIC C0EIC	XXXX X000b
0073h	UART3 受信割り込み制御レジスタ	S3RIC	XXXX X000b
0074h	リアルタイムクロック周期割り込み制御レジスタ	RTCTIC	XXXX X000b
0075h	CAN0 受信完了割り込み制御レジスタ	C0RIC	XXXX X000b
0076h	CAN0 送信完了割り込み制御レジスタ	C0TIC	XXXX X000b
0077h	CAN0 受信FIFO割り込み制御レジスタ	C0FRIC	XXXX X000b
0078h	CAN0 送信FIFO割り込み制御レジスタ	C0FTIC	XXXX X000b
0079h	IC/OC 割り込み0制御レジスタ	ICOC0IC	XXXX X000b
007Ah	IC/OC チャンネル0 割り込み制御レジスタ	ICOCH0IC	XXXX X000b
007Bh	IC/OC 割り込み1制御レジスタ I2C-bus インタフェース割り込み制御レジスタ	ICOC1IC IICIC	XXXX X000b
007Ch	IC/OC チャンネル1 割り込み制御レジスタ SCL/SDA 割り込み制御レジスタ	ICOCH1IC SCLDAIC	XXXX X000b
007Dh	IC/OC チャンネル2 割り込み制御レジスタ	ICOCH2IC	XXXX X000b
007Eh	IC/OC チャンネル3 割り込み制御レジスタ	ICOCH3IC	XXXX X000b
007Fh	IC/OC ペースタイマ割り込み制御レジスタ	BTIC	XXXX X000b
0080h~ 012Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.5 SFR一覧(5) (注1)

番地	レジスタ	シンボル	リセット後の値
0130h			
0131h			
0132h			
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h	A/D1 レジスタ 0	AD10	XXXX XXXXb
0141h			0000 00XXb
0142h	A/D1 レジスタ 1	AD11	XXXX XXXXb
0143h			0000 00XXb
0144h	A/D1 レジスタ 2	AD12	XXXX XXXXb
0145h			0000 00XXb
0146h	A/D1 レジスタ 3	AD13	XXXX XXXXb
0147h			0000 00XXb
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h	A/D1 トリガ制御レジスタ	AD1TRGCON	XXXX 00XXb
0153h			
0154h	A/D1 制御レジスタ 2	AD1CON2	0000 X00Xb
0155h			
0156h	A/D1 制御レジスタ 0	AD1CON0	0000 0XXXb
0157h	A/D1 制御レジスタ 1	AD1CON1	0000 X000b
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h~ 017Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.6 SFR一覧(6) (注1)

番地	レジスタ	シンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0187h			
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	0000 0X00b
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0197h			
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	0000 0X00b
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	0000 0X00b
01ADh			
01AEh			
01AFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.7 SFR一覧(7) (注1)

番地	レジスタ	シンボル	リセット後の値
01B0h	DMA3 ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B3h			
01B4h	DMA3 ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B7h			
01B8h	DMA3 転送カウンタ	TCR3	XXh
01B9h			XXh
01BAh			
01BBh			
01BCh	DMA3 制御レジスタ	DM3CON	0000 0X00b
01BDh			
01BEh			
01BFh			
01C0h	タイマB0-1 レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1 レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1 レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ 1	PPWFS1	XXXX X000b
01C7h			
01C8h	タイマBカウントソース選択レジスタ 0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ 1	TBCS1	X0h
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ 0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ 1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ 2	TACS2	X0h
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D6h			
01D7h			
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
01D9h			
01DAh	三相プロテクト制御レジスタ	TPRC	00h
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.8 SFR一覧(8) (注1)

番地	レジスタ	シンボル	リセット後の値
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	タスク監視タイマレジスタ	TMOS	XXh
01F1h			XXh
01F2h	タスク監視タイマカウント開始フラグ	TMOSSR	XXXX XXX0b
01F3h	タスク監視タイマカウントソース選択レジスタ	TMOSCS	XXXX 0000b
01F4h	タスク監視タイマプロテクトレジスタ	TMOSPR	00h
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.9 SFR一覧(9) (注1)

番地	レジスタ	シンボル	リセット後の値
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0223h	フラッシュメモリ制御レジスタ3	FMR3	XXXX 0000b
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.10 SFR一覧(10) (注1)

番地	レジスタ	シンボル	リセット後の値
0240h			
0241h			
0242h			
0243h			
0244h			
0245h			
0246h			
0247h			
0248h	UART0送受信モードレジスタ	U0MR	00h
0249h	UART0ビットレートレジスタ	U0BRG	XXh
024Ah	UART0送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
024Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
024Eh	UART0受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h	UART1送受信モードレジスタ	U1MR	00h
0259h	UART1ビットレートレジスタ	U1BRG	XXh
025Ah	UART1送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1送受信制御レジスタ0	U1C0	0000 1000b
025Dh	UART1送受信制御レジスタ1	U1C1	0000 0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X 0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X000 0000b
0267h	UART2特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
026Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.11 SFR一覧(11) (注1)

番地	レジスタ	シンボル	リセット後の値
0270h			
0271h			
0272h			
0273h			
0274h			
0275h			
0276h			
0277h			
0278h			
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h			
0285h			
0286h			
0287h			
0288h			
0289h			
028Ah			
028Bh			
028Ch			
028Dh			
028Eh			
028Fh			
0290h			
0291h			
0292h			
0293h			
0294h			
0295h			
0296h			
0297h			
0298h	UART4送受信モードレジスタ	U4MR	00h
0299h	UART4ビットレートレジスタ	U4BRG	XXh
029Ah	UART4送信バッファレジスタ	U4TB	XXh
029Bh			XXh
029Ch	UART4送受信制御レジスタ0	U4C0	0000 1000b
029Dh	UART4送受信制御レジスタ1	U4C1	0000 0010b
029Eh	UART4受信バッファレジスタ	U4RB	XXh
029Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.12 SFR一覧(12) (注1)

番地	レジスタ	シンボル	リセット後の値
02A0h			
02A1h			
02A2h			
02A3h			
02A4h			
02A5h			
02A6h			
02A7h			
02A8h	UART3送受信モードレジスタ	U3MR	00h
02A9h	UART3ビットレートレジスタ	U3BRG	XXh
02AAh	UART3送信バッファレジスタ	U3TB	XXh
02ABh			XXh
02ACh	UART3送受信制御レジスタ0	U3C0	0000 1000b
02ADh	UART3送受信制御レジスタ1	U3C1	0000 0010b
02AEh	UART3受信バッファレジスタ	U3RB	XXh
02AFh			XXh
02B0h	I2C0データシフトレジスタ	S00	XXh
02B1h			
02B2h	I2C0アドレスレジスタ0	S0D0	0000 000Xb
02B3h	I2C0制御レジスタ0	S1D0	00h
02B4h	I2C0クロック制御レジスタ	S20	00h
02B5h	I2C0スタート/ストップコンディション制御レジスタ	S2D0	0001 1010b
02B6h	I2C0制御レジスタ1	S3D0	0011 0000b
02B7h	I2C0制御レジスタ2	S4D0	00h
02B8h	I2C0ステータスレジスタ0	S10	0001 000Xb
02B9h	I2C0ステータスレジスタ1	S11	XXXX X000b
02BAh	I2C0アドレスレジスタ1	S0D1	0000 000Xb
02BBh	I2C0アドレスレジスタ2	S0D2	0000 000Xb
02BCh			
02BDh			
02BEh			
02BFh			
02C0h	時間計測レジスタ0、波形生成レジスタ0	G1TM0	XXh
02C1h		G1PO0	XXh
02C2h	時間計測レジスタ1、波形生成レジスタ1	G1TM1	XXh
02C3h		G1PO1	XXh
02C4h	時間計測レジスタ2、波形生成レジスタ2	G1TM2	XXh
02C5h		G1PO2	XXh
02C6h	時間計測レジスタ3、波形生成レジスタ3	G1TM3	XXh
02C7h		G1PO3	XXh
02C8h	時間計測レジスタ4、波形生成レジスタ4	G1TM4	XXh
02C9h		G1PO4	XXh
02CAh	時間計測レジスタ5、波形生成レジスタ5	G1TM5	XXh
02CBh		G1PO5	XXh
02CCh	時間計測レジスタ6、波形生成レジスタ6	G1TM6	XXh
02CDh		G1PO6	XXh
02CEh	時間計測レジスタ7、波形生成レジスタ7	G1TM7	XXh
02CFh		G1PO7	XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.13 SFR一覧(13)(注1)

番地	レジスタ	シンボル	リセット後の値
02D0h	波形生成制御レジスタ0	G1POCR0	0X00 XX00b
02D1h	波形生成制御レジスタ1	G1POCR1	0X00 XX00b
02D2h	波形生成制御レジスタ2	G1POCR2	0X00 XX00b
02D3h	波形生成制御レジスタ3	G1POCR3	0X00 XX00b
02D4h	波形生成制御レジスタ4	G1POCR4	0X00 XX00b
02D5h	波形生成制御レジスタ5	G1POCR5	0X00 XX00b
02D6h	波形生成制御レジスタ6	G1POCR6	0X00 XX00b
02D7h	波形生成制御レジスタ7	G1POCR7	0X00 XX00b
02D8h	時間計測制御レジスタ0	G1TMCR0	00h
02D9h	時間計測制御レジスタ1	G1TMCR1	00h
02DAh	時間計測制御レジスタ2	G1TMCR2	00h
02DBh	時間計測制御レジスタ3	G1TMCR3	00h
02DCh	時間計測制御レジスタ4	G1TMCR4	00h
02DDh	時間計測制御レジスタ5	G1TMCR5	00h
02DEh	時間計測制御レジスタ6	G1TMCR6	00h
02DFh	時間計測制御レジスタ7	G1TMCR7	00h
02E0h	ベースタイマレジスタ	G1BT	XXh
02E1h			XXh
02E2h	ベースタイマ制御レジスタ0	G1BCR0	00h
02E3h	ベースタイマ制御レジスタ1	G1BCR1	00h
02E4h	時間計測プリスケアラレジスタ6	G1TPR6	00h
02E5h	時間計測プリスケアラレジスタ7	G1TPR7	00h
02E6h	機能許可レジスタ	G1FE	00h
02E7h	機能選択レジスタ	G1FS	00h
02E8h	ベースタイマリセットレジスタ	G1BTRR	XXh
02E9h			XXh
02EAh	カウントソース分周レジスタ	G1DV	00h
02EBh			
02ECh	波形出力マスタ許可レジスタ	G1OER	00h
02EDh			
02EEh	タイマS I/O 制御レジスタ0	G1IOR0	00h
02EFh	タイマS I/O 制御レジスタ1	G1IOR1	00h
02F0h	割り込み要求レジスタ	G1IR	XXh
02F1h	割り込み有効レジスタ0	G1IE0	00h
02F2h	割り込み有効レジスタ1	G1IE1	00h
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh	NMI デジタルデバウンスレジスタ	NDDR	FFh
02FFh	P1_7 デジタルデバウンスレジスタ	P17DDR	FFh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14) (注1)

番地	レジスタ	シンボル	リセット後の値
0300h			
0301h			
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh	位置データ保持機能制御レジスタ	PDRF	XXXX 0000b
030Fh			
0310h			
0311h			
0312h			
0313h			
0314h			
0315h			
0316h			
0317h			
0318h	ポート機能制御レジスタ	PFGR	0011 1111b
0319h			
031Ah			
031Bh			
031Ch			
031Dh			
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	00h
0321h			
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0325h			
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.15 SFR一覧(15)(注1)

番地	レジスタ	シンボル	リセット後の値
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h
033Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
033Eh	タイマB2特殊モードレジスタ	TB2SC	X000 0000b
033Fh			
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	00h
0341h	リアルタイムクロック分データレジスタ	RTCMIN	X000 0000b
0342h	リアルタイムクロック時データレジスタ	RTCHR	XX00 0000b
0343h	リアルタイムクロック日データレジスタ	RTCWK	XXXX X000b
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	0000 X00Xb
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	X000 0000b
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	XXX0 0000b
0347h			
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	X000 0000b
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	X000 0000b
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	X000 0000b
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh			
035Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.16 SFR一覧(16)(注1)

番地	レジスタ	シンボル	リセット後の値
0360h	プルアップ制御レジスタ0	PUR0	00h
0361h	プルアップ制御レジスタ1	PUR1	00h
0362h	プルアップ制御レジスタ2	PUR2	00h
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	0XX0 0XX0b
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h	端子割り当て制御レジスタ	PACR	0XXX X000b
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注2)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイムスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイム制御レジスタ	WDC	00XX XXXXb
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFS1番地のCSPROINIビットが“0”の場合は“1000 0000b”になります。

表 4.17 SFR一覧(17)(注1)

番地	レジスタ	シンボル	リセット後の値
0390h	DMA2要因選択レジスタ	DM2SL	00h
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	00h
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	00h
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	00h
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRCモードレジスタ	CRCMR	0XXX XXX0b
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.18 SFR一覧(18) (注1)

番地	レジスタ	シンボル	リセット後の値
03C0h	A/Dレジスタ0	AD0	XXXX XXXXb
03C1h			0000 00XXb
03C2h	A/Dレジスタ1	AD1	XXXX XXXXb
03C3h			0000 00XXb
03C4h	A/Dレジスタ2	AD2	XXXX XXXXb
03C5h			0000 00XXb
03C6h	A/Dレジスタ3	AD3	XXXX XXXXb
03C7h			0000 00XXb
03C8h	A/Dレジスタ4	AD4	XXXX XXXXb
03C9h			0000 00XXb
03CAh	A/Dレジスタ5	AD5	XXXX XXXXb
03CBh			0000 00XXb
03CCh	A/Dレジスタ6	AD6	XXXX XXXXb
03CDh			0000 00XXb
03CEh	A/Dレジスタ7	AD7	XXXX XXXXb
03CFh			0000 00XXb
03D0h			
03D1h			
03D2h	A/Dトリガ制御レジスタ	ADTRGCON	XXXX 00XXb
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	0000 X00Xb
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	0000 0XXXb
03D7h	A/D制御レジスタ1	ADCON1	0000 X000b
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h			
03E9h			
03EAh			
03EBh			
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.19 SFR一覧(19)(注1)

番地	レジスタ	シンボル	リセット後の値
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h	ポートP9方向レジスタ	PD9	000X 0000b
03F4h	ポートP10レジスタ	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.20 SFR一覧(20) (注1)

番地	レジスタ	シンボル	リセット後の値	
D500h	CAN0 メールボックス0: メッセージ識別子	COMB0	XXh	
D501h			XXh	
D502h			XXh	
D503h			XXh	
D504h				
D505h	CAN0 メールボックス0: データ長		XXh	
D506h	CAN0 メールボックス0: データフィールド		XXh	
D507h		XXh		
D508h		XXh		
D509h		XXh		
D50Ah		XXh		
D50Bh		XXh		
D50Ch		XXh		
D50Dh		XXh		
D50Eh		CAN0 メールボックス0: タイムスタンプ		XXh
D50Fh			XXh	
D510h	CAN0 メールボックス1: メッセージ識別子	COMB1	XXh	
D511h			XXh	
D512h			XXh	
D513h			XXh	
D514h				
D515h	CAN0 メールボックス1: データ長		XXh	
D516h	CAN0 メールボックス1: データフィールド		XXh	
D517h		XXh		
D518h		XXh		
D519h		XXh		
D51Ah		XXh		
D51Bh		XXh		
D51Ch		XXh		
D51Dh		XXh		
D51Eh		CAN0 メールボックス1: タイムスタンプ		XXh
D51Fh			XXh	
D520h	CAN0 メールボックス2: メッセージ識別子	COMB2	XXh	
D521h			XXh	
D522h			XXh	
D523h			XXh	
D524h				
D525h	CAN0 メールボックス2: データ長		XXh	
D526h	CAN0 メールボックス2: データフィールド		XXh	
D527h		XXh		
D528h		XXh		
D529h		XXh		
D52Ah		XXh		
D52Bh		XXh		
D52Ch		XXh		
D52Dh		XXh		
D52Eh		CAN0 メールボックス2: タイムスタンプ		XXh
D52Fh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.21 SFR一覧(21)(注1)

番地	レジスタ	シンボル	リセット後の値		
D530h	CAN0 メールボックス3: メッセージ識別子	COMB3	XXh		
D531h			XXh		
D532h			XXh		
D533h			XXh		
D534h					
D535h	CAN0 メールボックス3: データ長		XXh		
D536h	CAN0 メールボックス3: データフィールド		XXh		
D537h			XXh		
D538h			XXh		
D539h			XXh		
D53Ah			XXh		
D53Bh			XXh		
D53Ch			XXh		
D53Dh			XXh		
D53Eh			CAN0 メールボックス3: タイムスタンプ		XXh
D53Fh					XXh
D540h	CAN0 メールボックス4: メッセージ識別子	COMB4	XXh		
D541h			XXh		
D542h			XXh		
D543h			XXh		
D544h					
D545h	CAN0 メールボックス4: データ長		XXh		
D546h	CAN0 メールボックス4: データフィールド		XXh		
D547h			XXh		
D548h			XXh		
D549h			XXh		
D54Ah			XXh		
D54Bh			XXh		
D54Ch			XXh		
D54Dh			XXh		
D54Eh			CAN0 メールボックス4: タイムスタンプ		XXh
D54Fh					XXh
D550h	CAN0 メールボックス5: メッセージ識別子	COMB5	XXh		
D551h			XXh		
D552h			XXh		
D553h			XXh		
D554h					
D555h	CAN0 メールボックス5: データ長		XXh		
D556h	CAN0 メールボックス5: データフィールド		XXh		
D557h			XXh		
D558h			XXh		
D559h			XXh		
D55Ah			XXh		
D55Bh			XXh		
D55Ch			XXh		
D55Dh			XXh		
D55Eh			CAN0 メールボックス5: タイムスタンプ		XXh
D55Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.22 SFR一覧(22) (注1)

番地	レジスタ	シンボル	リセット後の値	
D560h	CAN0 メールボックス6: メッセージ識別子	COMB6	XXh	
D561h			XXh	
D562h			XXh	
D563h			XXh	
D564h				
D565h	CAN0 メールボックス6: データ長		XXh	
D566h	CAN0 メールボックス6: データフィールド		XXh	
D567h		XXh		
D568h		XXh		
D569h		XXh		
D56Ah		XXh		
D56Bh		XXh		
D56Ch		XXh		
D56Dh		XXh		
D56Eh		CAN0 メールボックス6: タイムスタンプ		XXh
D56Fh			XXh	
D570h	CAN0 メールボックス7: メッセージ識別子	COMB7	XXh	
D571h			XXh	
D572h			XXh	
D573h			XXh	
D574h				
D575h	CAN0 メールボックス7: データ長		XXh	
D576h	CAN0 メールボックス7: データフィールド		XXh	
D577h		XXh		
D578h		XXh		
D579h		XXh		
D57Ah		XXh		
D57Bh		XXh		
D57Ch		XXh		
D57Dh		XXh		
D57Eh		CAN0 メールボックス7: タイムスタンプ		XXh
D57Fh			XXh	
D580h	CAN0 メールボックス8: メッセージ識別子	COMB8	XXh	
D581h			XXh	
D582h			XXh	
D583h			XXh	
D584h				
D585h	CAN0 メールボックス8: データ長		XXh	
D586h	CAN0 メールボックス8: データフィールド		XXh	
D587h		XXh		
D588h		XXh		
D589h		XXh		
D58Ah		XXh		
D58Bh		XXh		
D58Ch		XXh		
D58Dh		XXh		
D58Eh		CAN0 メールボックス8: タイムスタンプ		XXh
D58Fh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.23 SFR一覧(23) (注1)

番地	レジスタ	シンボル	リセット後の値	
D590h	CAN0 メールボックス 9: メッセージ識別子	COMB9	XXh	
D591h			XXh	
D592h			XXh	
D593h			XXh	
D594h				
D595h	CAN0 メールボックス 9: データ長		XXh	
D596h	CAN0 メールボックス 9: データフィールド		XXh	
D597h		XXh		
D598h		XXh		
D599h		XXh		
D59Ah		XXh		
D59Bh		XXh		
D59Ch		XXh		
D59Dh		XXh		
D59Eh		CAN0 メールボックス 9: タイムスタンプ		XXh
D59Fh			XXh	
D5A0h	CAN0 メールボックス 10: メッセージ識別子	COMB10	XXh	
D5A1h			XXh	
D5A2h			XXh	
D5A3h			XXh	
D5A4h				
D5A5h	CAN0 メールボックス 10: データ長		XXh	
D5A6h	CAN0 メールボックス 10: データフィールド		XXh	
D5A7h		XXh		
D5A8h		XXh		
D5A9h		XXh		
D5AAh		XXh		
D5ABh		XXh		
D5ACh		XXh		
D5ADh		XXh		
D5AEh		CAN0 メールボックス 10: タイムスタンプ		XXh
D5AFh			XXh	
D5B0h	CAN0 メールボックス 11: メッセージ識別子	COMB11	XXh	
D5B1h			XXh	
D5B2h			XXh	
D5B3h			XXh	
D5B4h				
D5B5h	CAN0 メールボックス 11: データ長		XXh	
D5B6h	CAN0 メールボックス 11: データフィールド		XXh	
D5B7h		XXh		
D5B8h		XXh		
D5B9h		XXh		
D5BAh		XXh		
D5BBh		XXh		
D5BCh		XXh		
D5BDh		XXh		
D5BEh		CAN0 メールボックス 11: タイムスタンプ		XXh
D5BFh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.24 SFR一覧(24) (注1)

番地	レジスタ	シンボル	リセット後の値		
D5C0h	CAN0 メールボックス 12: メッセージ識別子	COMB12	XXh		
D5C1h			XXh		
D5C2h			XXh		
D5C3h			XXh		
D5C4h					
D5C5h	CAN0 メールボックス 12: データ長		XXh		
D5C6h	CAN0 メールボックス 12: データフィールド		XXh		
D5C7h			XXh		
D5C8h			XXh		
D5C9h			XXh		
D5CAh			XXh		
D5CBh			XXh		
D5CCh			XXh		
D5CDh			XXh		
D5CEh			CAN0 メールボックス 12: タイムスタンプ		XXh
D5CFh					XXh
D5D0h	CAN0 メールボックス 13: メッセージ識別子	COMB13	XXh		
D5D1h			XXh		
D5D2h			XXh		
D5D3h			XXh		
D5D4h					
D5D5h	CAN0 メールボックス 13: データ長		XXh		
D5D6h	CAN0 メールボックス 13: データフィールド		XXh		
D5D7h			XXh		
D5D8h			XXh		
D5D9h			XXh		
D5DAh			XXh		
D5DBh			XXh		
D5DCh			XXh		
D5DDh			XXh		
D5DEh			CAN0 メールボックス 13: タイムスタンプ		XXh
D5DFh					XXh
D5E0h	CAN0 メールボックス 14: メッセージ識別子	COMB14	XXh		
D5E1h			XXh		
D5E2h			XXh		
D5E3h			XXh		
D5E4h					
D5E5h	CAN0 メールボックス 14: データ長		XXh		
D5E6h	CAN0 メールボックス 14: データフィールド		XXh		
D5E7h			XXh		
D5E8h			XXh		
D5E9h			XXh		
D5EAh			XXh		
D5EBh			XXh		
D5ECh			XXh		
D5EDh			XXh		
D5EEh			CAN0 メールボックス 14: タイムスタンプ		XXh
D5EFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.25 SFR一覧(25) (注1)

番地	レジスタ	シンボル	リセット後の値		
D5F0h	CAN0 メールボックス 15: メッセージ識別子	COMB15	XXh		
D5F1h			XXh		
D5F2h			XXh		
D5F3h			XXh		
D5F4h					
D5F5h	CAN0 メールボックス 15: データ長		XXh		
D5F6h	CAN0 メールボックス 15: データフィールド		XXh		
D5F7h			XXh		
D5F8h			XXh		
D5F9h			XXh		
D5FAh			XXh		
D5FBh			XXh		
D5FCh			XXh		
D5FDh			XXh		
D5FEh			CAN0 メールボックス 15: タイムスタンプ		XXh
D5FFh					XXh
D600h	CAN0 メールボックス 16: メッセージ識別子	COMB16	XXh		
D601h			XXh		
D602h			XXh		
D603h			XXh		
D604h					
D605h	CAN0 メールボックス 16: データ長		XXh		
D606h	CAN0 メールボックス 16: データフィールド		XXh		
D607h			XXh		
D608h			XXh		
D609h			XXh		
D60Ah			XXh		
D60Bh			XXh		
D60Ch			XXh		
D60Dh			XXh		
D60Eh			CAN0 メールボックス 16: タイムスタンプ		XXh
D60Fh					XXh
D610h	CAN0 メールボックス 17: メッセージ識別子	COMB17	XXh		
D611h			XXh		
D612h			XXh		
D613h			XXh		
D614h					
D615h	CAN0 メールボックス 17: データ長		XXh		
D616h	CAN0 メールボックス 17: データフィールド		XXh		
D617h			XXh		
D618h			XXh		
D619h			XXh		
D61Ah			XXh		
D61Bh			XXh		
D61Ch			XXh		
D61Dh			XXh		
D61Eh			CAN0 メールボックス 17: タイムスタンプ		XXh
D61Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.26 SFR一覧(26) (注1)

番地	レジスタ	シンボル	リセット後の値		
D620h	CAN0 メールボックス 18: メッセージ識別子	COMB18	XXh		
D621h			XXh		
D622h			XXh		
D623h			XXh		
D624h					
D625h	CAN0 メールボックス 18: データ長		XXh		
D626h	CAN0 メールボックス 18: データフィールド		XXh		
D627h			XXh		
D628h			XXh		
D629h			XXh		
D62Ah			XXh		
D62Bh			XXh		
D62Ch			XXh		
D62Dh			XXh		
D62Eh			CAN0 メールボックス 18: タイムスタンプ		XXh
D62Fh					XXh
D630h	CAN0 メールボックス 19: メッセージ識別子	COMB19	XXh		
D631h			XXh		
D632h			XXh		
D633h			XXh		
D634h					
D635h	CAN0 メールボックス 19: データ長		XXh		
D636h	CAN0 メールボックス 19: データフィールド		XXh		
D637h			XXh		
D638h			XXh		
D639h			XXh		
D63Ah			XXh		
D63Bh			XXh		
D63Ch			XXh		
D63Dh			XXh		
D63Eh			CAN0 メールボックス 19: タイムスタンプ		XXh
D63Fh					XXh
D640h	CAN0 メールボックス 20: メッセージ識別子	COMB20	XXh		
D641h			XXh		
D642h			XXh		
D643h			XXh		
D644h					
D645h	CAN0 メールボックス 20: データ長		XXh		
D646h	CAN0 メールボックス 20: データフィールド		XXh		
D647h			XXh		
D648h			XXh		
D649h			XXh		
D64Ah			XXh		
D64Bh			XXh		
D64Ch			XXh		
D64Dh			XXh		
D64Eh			CAN0 メールボックス 20: タイムスタンプ		XXh
D64Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.27 SFR一覧(27) (注1)

番地	レジスタ	シンボル	リセット後の値		
D650h	CAN0 メールボックス 21: メッセージ識別子	COMB21	XXh		
D651h			XXh		
D652h			XXh		
D653h			XXh		
D654h					
D655h	CAN0 メールボックス 21: データ長		XXh		
D656h	CAN0 メールボックス 21: データフィールド		XXh		
D657h			XXh		
D658h			XXh		
D659h			XXh		
D65Ah			XXh		
D65Bh			XXh		
D65Ch			XXh		
D65Dh			XXh		
D65Eh			CAN0 メールボックス 21: タイムスタンプ		XXh
D65Fh					XXh
D660h	CAN0 メールボックス 22: メッセージ識別子	COMB22	XXh		
D661h			XXh		
D662h			XXh		
D663h			XXh		
D664h					
D665h	CAN0 メールボックス 22: データ長		XXh		
D666h	CAN0 メールボックス 22: データフィールド		XXh		
D667h			XXh		
D668h			XXh		
D669h			XXh		
D66Ah			XXh		
D66Bh			XXh		
D66Ch			XXh		
D66Dh			XXh		
D66Eh			CAN0 メールボックス 22: タイムスタンプ		XXh
D66Fh					XXh
D670h	CAN0 メールボックス 23: メッセージ識別子	COMB23	XXh		
D671h			XXh		
D672h			XXh		
D673h			XXh		
D674h					
D675h	CAN0 メールボックス 23: データ長		XXh		
D676h	CAN0 メールボックス 23: データフィールド		XXh		
D677h			XXh		
D678h			XXh		
D679h			XXh		
D67Ah			XXh		
D67Bh			XXh		
D67Ch			XXh		
D67Dh			XXh		
D67Eh			CAN0 メールボックス 23: タイムスタンプ		XXh
D67Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.28 SFR一覧(28) (注1)

番地	レジスタ	シンボル	リセット後の値		
D680h	CAN0 メールボックス 24: メッセージ識別子	COMB24	XXh		
D681h			XXh		
D682h			XXh		
D683h			XXh		
D684h					
D685h	CAN0 メールボックス 24: データ長		XXh		
D686h	CAN0 メールボックス 24: データフィールド		XXh		
D687h			XXh		
D688h			XXh		
D689h			XXh		
D68Ah			XXh		
D68Bh			XXh		
D68Ch			XXh		
D68Dh			XXh		
D68Eh			CAN0 メールボックス 24: タイムスタンプ		XXh
D68Fh					XXh
D690h	CAN0 メールボックス 25: メッセージ識別子	COMB25	XXh		
D691h			XXh		
D692h			XXh		
D693h			XXh		
D694h					
D695h	CAN0 メールボックス 25: データ長		XXh		
D696h	CAN0 メールボックス 25: データフィールド		XXh		
D697h			XXh		
D698h			XXh		
D699h			XXh		
D69Ah			XXh		
D69Bh			XXh		
D69Ch			XXh		
D69Dh			XXh		
D69Eh			CAN0 メールボックス 25: タイムスタンプ		XXh
D69Fh					XXh
D6A0h	CAN0 メールボックス 26: メッセージ識別子	COMB26	XXh		
D6A1h			XXh		
D6A2h			XXh		
D6A3h			XXh		
D6A4h					
D6A5h	CAN0 メールボックス 26: データ長		XXh		
D6A6h	CAN0 メールボックス 26: データフィールド		XXh		
D6A7h			XXh		
D6A8h			XXh		
D6A9h			XXh		
D6AAh			XXh		
D6ABh			XXh		
D6ACh			XXh		
D6ADh			XXh		
D6AEh			CAN0 メールボックス 26: タイムスタンプ		XXh
D6AFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.29 SFR一覧(29) (注1)

番地	レジスタ	シンボル	リセット後の値		
D6B0h	CAN0 メールボックス 27: メッセージ識別子	COMB27	XXh		
D6B1h			XXh		
D6B2h			XXh		
D6B3h			XXh		
D6B4h					
D6B5h	CAN0 メールボックス 27: データ長		XXh		
D6B6h	CAN0 メールボックス 27: データフィールド		XXh		
D6B7h			XXh		
D6B8h			XXh		
D6B9h			XXh		
D6BAh			XXh		
D6BBh			XXh		
D6BCh			XXh		
D6BDh			XXh		
D6BEh			CAN0 メールボックス 27: タイムスタンプ		XXh
D6BFh					XXh
D6C0h	CAN0 メールボックス 28: メッセージ識別子	COMB28	XXh		
D6C1h			XXh		
D6C2h			XXh		
D6C3h			XXh		
D6C4h					
D6C5h	CAN0 メールボックス 28: データ長		XXh		
D6C6h	CAN0 メールボックス 28: データフィールド		XXh		
D6C7h			XXh		
D6C8h			XXh		
D6C9h			XXh		
D6CAh			XXh		
D6CBh			XXh		
D6CCh			XXh		
D6CDh			XXh		
D6CEh			CAN0 メールボックス 28: タイムスタンプ		XXh
D6CFh					XXh
D6D0h	CAN0 メールボックス 29: メッセージ識別子	COMB29	XXh		
D6D1h			XXh		
D6D2h			XXh		
D6D3h			XXh		
D6D4h					
D6D5h	CAN0 メールボックス 29: データ長		XXh		
D6D6h	CAN0 メールボックス 29: データフィールド		XXh		
D6D7h			XXh		
D6D8h			XXh		
D6D9h			XXh		
D6DAh			XXh		
D6DBh			XXh		
D6DCh			XXh		
D6DDh			XXh		
D6DEh			CAN0 メールボックス 29: タイムスタンプ		XXh
D6DFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.30 SFR一覧(30) (注1)

番地	レジスタ	シンボル	リセット後の値		
D6E0h	CAN0 メールボックス 30: メッセージ識別子	COMB30	XXh		
D6E1h			XXh		
D6E2h			XXh		
D6E3h			XXh		
D6E4h					
D6E5h	CAN0 メールボックス 30: データ長		XXh		
D6E6h	CAN0 メールボックス 30: データフィールド		XXh		
D6E7h			XXh		
D6E8h			XXh		
D6E9h			XXh		
D6EAh			XXh		
D6EBh			XXh		
D6ECh			XXh		
D6EDh			XXh		
D6EEh			CAN0 メールボックス 30: タイムスタンプ		XXh
D6EFh					XXh
D6F0h	CAN0 メールボックス 31: メッセージ識別子	COMB31	XXh		
D6F1h			XXh		
D6F2h			XXh		
D6F3h			XXh		
D6F4h					
D6F5h	CAN0 メールボックス 31: データ長		XXh		
D6F6h	CAN0 メールボックス 31: データフィールド		XXh		
D6F7h			XXh		
D6F8h			XXh		
D6F9h			XXh		
D6FAh			XXh		
D6FBh			XXh		
D6FCh			XXh		
D6FDh			XXh		
D6FEh			CAN0 メールボックス 31: タイムスタンプ		XXh
D6FFh					XXh
D700h	CAN0 マスクレジスタ 0	COMKR0	XXh		
D701h			XXh		
D702h			XXh		
D703h			XXh		
D704h	CAN0 マスクレジスタ 1	COMKR1	XXh		
D705h			XXh		
D706h			XXh		
D707h			XXh		
D708h	CAN0 マスクレジスタ 2	COMKR2	XXh		
D709h			XXh		
D70Ah			XXh		
D70Bh			XXh		
D70Ch	CAN0 マスクレジスタ 3	COMKR3	XXh		
D70Dh			XXh		
D70Eh			XXh		
D70Fh			XXh		

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.31 SFR一覧(31)(注1)

番地	レジスタ	シンボル	リセット後の値
D710h	CAN0 マスクレジスタ 4	COMKR4	XXh
D711h			XXh
D712h			XXh
D713h			XXh
D714h	CAN0 マスクレジスタ 5	COMKR5	XXh
D715h			XXh
D716h			XXh
D717h			XXh
D718h	CAN0 マスクレジスタ 6	COMKR6	XXh
D719h			XXh
D71Ah			XXh
D71Bh			XXh
D71Ch	CAN0 マスクレジスタ 7	COMKR7	XXh
D71Dh			XXh
D71Eh			XXh
D71Fh			XXh
D720h	CAN0FIFO 受信ID 比較レジスタ 0	C0FIDCR0	XXh
D721h			XXh
D722h			XXh
D723h			XXh
D724h	CAN0FIFO 受信ID 比較レジスタ 1	C0FIDCR1	XXh
D725h			XXh
D726h			XXh
D727h			XXh
D728h	CAN0 マスク無効レジスタ	COMKIVLR	XXh
D729h			XXh
D72Ah			XXh
D72Bh			XXh
D72Ch	CAN0 メールボックス 割り込み許可レジスタ	COMIER	XXh
D72Dh			XXh
D72Eh			XXh
D72Fh			XXh
D730h~ D79Fh			
D7A0h	CAN0 メッセージ制御レジスタ 0	COMCTL0	00h
D7A1h	CAN0 メッセージ制御レジスタ 1	COMCTL1	00h
D7A2h	CAN0 メッセージ制御レジスタ 2	COMCTL2	00h
D7A3h	CAN0 メッセージ制御レジスタ 3	COMCTL3	00h
D7A4h	CAN0 メッセージ制御レジスタ 4	COMCTL4	00h
D7A5h	CAN0 メッセージ制御レジスタ 5	COMCTL5	00h
D7A6h	CAN0 メッセージ制御レジスタ 6	COMCTL6	00h
D7A7h	CAN0 メッセージ制御レジスタ 7	COMCTL7	00h
D7A8h	CAN0 メッセージ制御レジスタ 8	COMCTL8	00h
D7A9h	CAN0 メッセージ制御レジスタ 9	COMCTL9	00h
D7AAh	CAN0 メッセージ制御レジスタ 10	COMCTL10	00h
D7ABh	CAN0 メッセージ制御レジスタ 11	COMCTL11	00h
D7ACh	CAN0 メッセージ制御レジスタ 12	COMCTL12	00h
D7ADh	CAN0 メッセージ制御レジスタ 13	COMCTL13	00h
D7AEh	CAN0 メッセージ制御レジスタ 14	COMCTL14	00h
D7AFh	CAN0 メッセージ制御レジスタ 15	COMCTL15	00h

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.32 SFR一覧(32)(注1)

番地	レジスタ	シンボル	リセット後の値
D7B0h	CAN0メッセージ制御レジスタ 16	C0MCTL16	00h
D7B1h	CAN0メッセージ制御レジスタ 17	C0MCTL17	00h
D7B2h	CAN0メッセージ制御レジスタ 18	C0MCTL18	00h
D7B3h	CAN0メッセージ制御レジスタ 19	C0MCTL19	00h
D7B4h	CAN0メッセージ制御レジスタ 20	C0MCTL20	00h
D7B5h	CAN0メッセージ制御レジスタ 21	C0MCTL21	00h
D7B6h	CAN0メッセージ制御レジスタ 22	C0MCTL22	00h
D7B7h	CAN0メッセージ制御レジスタ 23	C0MCTL23	00h
D7B8h	CAN0メッセージ制御レジスタ 24	C0MCTL24	00h
D7B9h	CAN0メッセージ制御レジスタ 25	C0MCTL25	00h
D7BAh	CAN0メッセージ制御レジスタ 26	C0MCTL26	00h
D7BBh	CAN0メッセージ制御レジスタ 27	C0MCTL27	00h
D7BCh	CAN0メッセージ制御レジスタ 28	C0MCTL28	00h
D7BDh	CAN0メッセージ制御レジスタ 29	C0MCTL29	00h
D7BEh	CAN0メッセージ制御レジスタ 30	C0MCTL30	00h
D7BFh	CAN0メッセージ制御レジスタ 31	C0MCTL31	00h
D7C0h	CAN0制御レジスタ	C0CTLR	0000 0101b
D7C1h			0000 0000b
D7C2h	CAN0ステータスレジスタ	C0STR	0000 0101b
D7C3h			0000 0000b
D7C4h	CAN0ビットコンフィグレーションレジスタ	C0BCR	00h
D7C5h			00h
D7C6h			00h
D7C7h	CAN0クロック選択レジスタ	C0CLKR	00h
D7C8h	CAN0受信FIFO制御レジスタ	C0RFCR	1000 0000b
D7C9h	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR	XXh
D7CAh	CAN0送信FIFO制御レジスタ	C0TFPCR	1000 0000b
D7CBh	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR	XXh
D7CCh	CAN0エラー割り込み許可レジスタ	C0EIER	00h
D7CDh	CAN0エラー割り込み要因判定レジスタ	C0EIFR	00h
D7CEh	CAN0受信エラーカウントレジスタ	C0RECR	00h
D7CFh	CAN0送信エラーカウントレジスタ	C0TECR	00h
D7D0h	CAN0エラーコード格納レジスタ	C0ECSR	00h
D7D1h	CAN0チャンネルサーチサポートレジスタ	C0CSSR	XXh
D7D2h	CAN0メールボックスサーチステータスレジスタ	C0MSSR	1000 0000b
D7D3h	CAN0メールボックスサーチモードレジスタ	C0MSMR	0000 0000b
D7D4h	CAN0タイムスタンプレジスタ	C0TSR	00h
D7D5h			00h
D7D6h	CAN0アクセプタンスフィルタサポートレジスタ	C0AFSR	XXh
D7D7h			XXh
D7D8h	CAN0テスト制御レジスタ	C0TCR	00h
D7D9h			
D7DAh			
D7DBh			
D7DCh			
D7DDh			
D7DEh			
D7DFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

4.2 SFR使用上の注意事項

4.2.1 レジスタ設定時の注意事項

表 4.33 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表 4.33 書き込みのみ可能なビットを含むレジスタ

アドレス	レジスタ名	シンボル
0249h	UART0ビットレートレジスタ	U0BRG
024Bh~024Ah	UART0送信バッファレジスタ	U0TB
0259h	UART1ビットレートレジスタ	U1BRG
025Bh~025Ah	UART1送信バッファレジスタ	U1TB
0269h	UART2ビットレートレジスタ	U2BRG
026Bh~026Ah	UART2送信バッファレジスタ	U2TB
0299h	UART4ビットレートレジスタ	U4BRG
029Bh~029Ah	UART4送信バッファレジスタ	U4TB
02A9h	UART3ビットレートレジスタ	U3BRG
02ABh~02AAh	UART3送信バッファレジスタ	U3TB
02B6h	I2C0制御レジスタ1	S3D0
02B8h	I2C0ステータスレジスタ0	S10
0303h~0302h	タイマA1-1レジスタ	TA11
0305h~0304h	タイマA2-1レジスタ	TA21
0307h~0306h	タイマA4-1レジスタ	TA41
030Ah	三相出力バッファレジスタ0	IDB0
030Bh	三相出力バッファレジスタ1	IDB1
030Ch	短絡防止タイマ	DTT
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2
0327h~0326h	タイマA0レジスタ	TA0
0329h~0328h	タイマA1レジスタ	TA1
032Bh~032Ah	タイマA2レジスタ	TA2
032Dh~032Ch	タイマA3レジスタ	TA3
032Fh~032Eh	タイマA4レジスタ	TA4
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS
D7C9h	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR
D7CBh	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR

表 4.34 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROLC、RORC、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

5. 電気的特性

5.1 電気的特性(5V、3V 共通)

5.1.1 絶対最大定格

表 5.1 絶対最大定格

記号	項目		条件	定格値	単位
V_{CC}	電源電圧		$V_{CC}=AV_{CC}$	-0.3~6.5	V
AV_{CC}	アナログ電源電圧		$V_{CC}=AV_{CC}$	-0.3~6.5	V
V_{REF}	アナログ基準電圧			-0.3~ $V_{CC}+0.1$ (注1)	V
V_I	入力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7 XIN, RESET, CNVSS		-0.3~ $V_{CC}+0.3$	V
V_O	出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7 XOUT		-0.3~ $V_{CC}+0.3$	V
P_d	消費電力		$-40^{\circ}\text{C} \leq T_{opr} \leq 85^{\circ}\text{C}$	300	mW
T_{opr}	動作周囲温度	マイコン動作時		-40~85	°C
		フラッシュ書き込み消去時	プログラム領域	0~60	
			データ領域	-40~85	
T_{stg}	保存温度			-65~150	°C

注1. 最大6.5Vです。

5.1.2 推奨動作条件

表 5.2 推奨動作条件 (1/2)

指定のない場合は、 $V_{CC}=2.7V\sim 5.5V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	規格値			単位
		最小	標準	最大	
V_{CC}	電源電圧	2.7		5.5	V
AV_{CC}	アナログ電源電圧		V_{CC}		V
V_{SS}	電源電圧		0		V
AV_{SS}	アナログ電源電圧		0		V
V_{IH}	"H"入力電圧 P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P6_0~P6_7、 P7_0~P7_7、P8_0~P8_7、 P9_0~P9_3、P9_5~P9_7、P10_0~P10_7 XIN, RESET, CNVSS SDAMM, SCLMM				
			$0.7V_{CC}$	V_{CC}	V
			$0.8V_{CC}$	V_{CC}	V
		I ² C-bus入力レベル選択時	$0.7V_{CC}$	V_{CC}	V
V_{IL}	"L"入力電圧 P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P6_0~P6_7、 P7_0~P7_7、P8_0~P8_7、 P9_0~P9_3、P9_5~P9_7、P10_0~P10_7 XIN, RESET, CNVSS SDAMM, SCLMM				
			0	$0.3V_{CC}$	V
			0	$0.2V_{CC}$	V
		I ² C-bus入力レベル選択時	0	$0.3V_{CC}$	V
$I_{OH(sum)}$	"H"尖頭総出力電流 P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_3、 P9_5~P9_7、P10_0~P10_7			-80	mA
$I_{OH(peak)}$	"H"尖頭出力電流 P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_3、 P9_5~P9_7、P10_0~P10_7			-10.0	mA
$I_{OH(avg)}$	"H"平均出力電流 (注1) P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_3、 P9_5~P9_7、P10_0~P10_7			-5.0	mA
$I_{OL(sum)}$	"L"尖頭総出力電流 P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_3、 P9_5~P9_7、P10_0~P10_7			80	mA
$I_{OL(peak)}$	"L"尖頭出力電流 P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_3、 P9_5~P9_7、P10_0~P10_7			10.0	mA
$I_{OL(avg)}$	"L"平均出力電流 (注1) P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_3、 P9_5~P9_7、P10_0~P10_7			5.0	mA
$f_{(XIN)}$	メインクロック入力発振周波数 (注2)	2		20	MHz
$f_{(XCIN)}$	サブクロック発振周波数		32.768	50	kHz
$f_{(PLL)}$	PLLクロック発振周波数 (注2)	$V_{CC}=2.7\sim 5.5V$	10	25	MHz
		$V_{CC}=3.0\sim 5.5V$	10	32	
$f_{(BCLK)}$	CPU動作周波数	2		32	MHz
$t_{su(PLL)}$	PLL周波数シンセサイザ安定待ち時間	$V_{CC}=5.0V$		2	ms
		$V_{CC}=3.0V$		3	

注1. 平均出力電流は100msの期間内での平均値です。

注2. メインクロック入力周波数、PLLクロック周波数と電源電圧の関係を図 5.1のメインクロック発振周波数、PLLクロック発振周波数で示します。

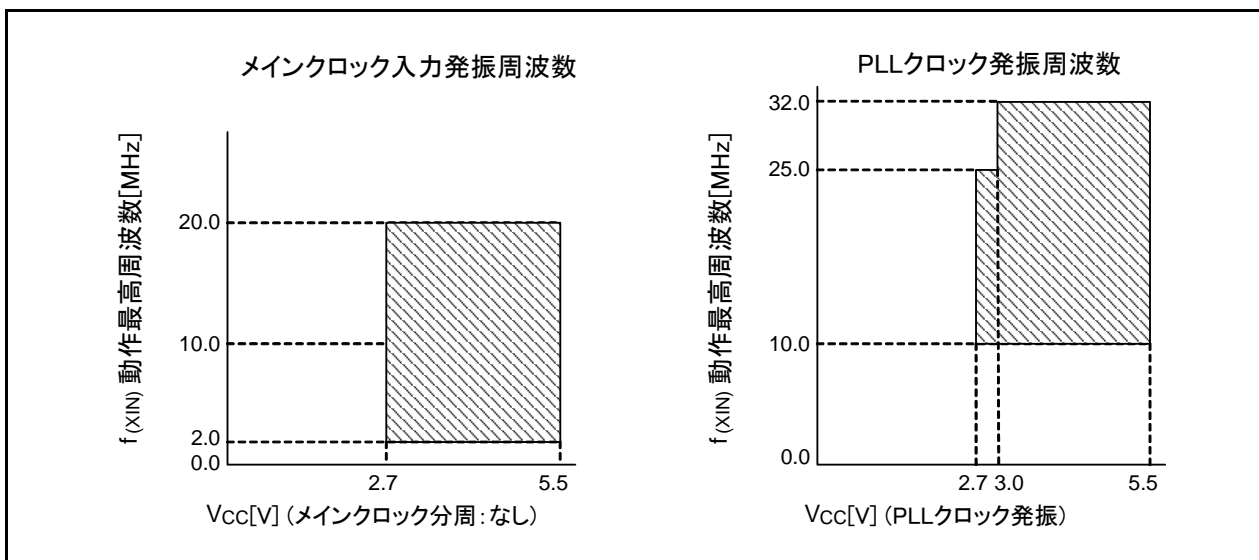


図 5.1 メインクロック発振周波数、PLLクロック発振周波数

表 5.3 推奨動作条件 (2/2)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$) (注1)

電源リップルは $V_r(V_{CC})$ 、 $dV_r(V_{CC})/dt$ のどちらか一方または両方を満たしてください。

記号	項目	規格値			単位
		最小	標準	最大	
$V_r(V_{CC})$	許容電源リップル電圧	$V_{CC} = 5.0 V$		0.5	Vp-p
		$V_{CC} = 3.0 V$		0.3	Vp-p
$dV_r(V_{CC})/dt$	電源リップル立ち下がり勾配	$V_{CC} = 5.0 V$		0.3	V/ms
		$V_{CC} = 3.0 V$		0.3	V/ms

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を越えた場合、最大定格内であっても動作は保証されません。

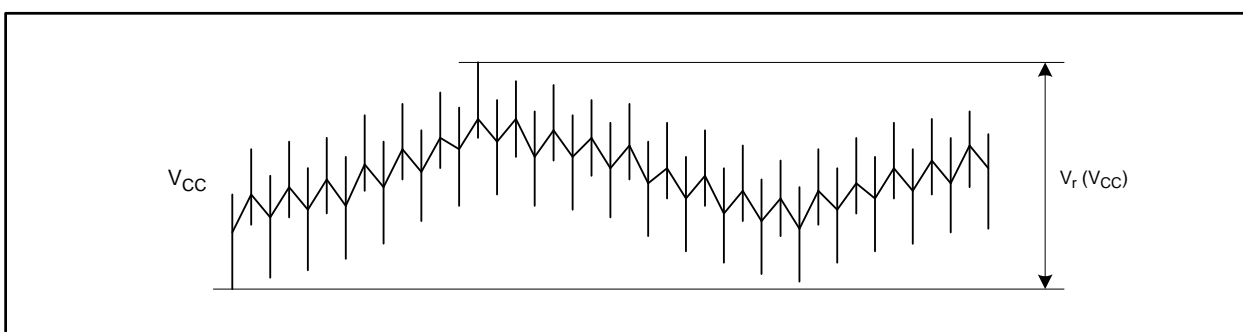


図 5.2 電源リップル波形

5.1.3 A/D変換特性

表 5.4 A/D変換特性(注1、3)

指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC}$			10	Bits
I_{NL}	積分非直線性誤差	$V_{REF}=V_{CC}=5.0V$ (注2)			± 3	LSB
		$V_{REF}=V_{CC}=3.3V$ (注2)			± 5	LSB
-	絶対精度	$V_{REF}=V_{CC}=5.0V$ (注2)			± 3	LSB
		$V_{REF}=V_{CC}=3.3V$ (注2)			± 5	LSB
ϕAD	A/D動作クロック周波数	$4.0V \leq V_{CC} \leq 5.5V$	2		25	MHz
		$3.2V \leq V_{CC} \leq 4.0V$	2		16	MHz
		$3.0V \leq V_{CC} \leq 3.2V$	2		10	MHz
-	許容信号源インピーダンス			3		k Ω
D_{NL}	微分非直線性誤差	(注2)			± 1	LSB
-	オフセット誤差	(注2)			± 3	LSB
-	ゲイン誤差	(注2)			± 3	LSB
t_{CONV}	変換時間(10bit)	$V_{REF}=V_{CC}=5V$ 、 $\phi AD=25MHz$	1.60			μs
t_{SAMP}	サンプリング時間		0.6			μs
V_{REF}	基準電圧		3.0		V_{CC}	V
V_{IA}	アナログ入力電圧(注4)		0		V_{REF}	V

注1. $AV_{CC} = V_{CC}$ で使用してください。

注2. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにして V_{SS} に接続。
「図 5.3 A/D精度測定回路」を参照してください。

注3. A/Dコンバータ1回路使用、使用していないA/DコンバータのADSTBYビットが“0”(A/D動作停止、スタンバイ)の場合です。

注4. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は3FFhになります。

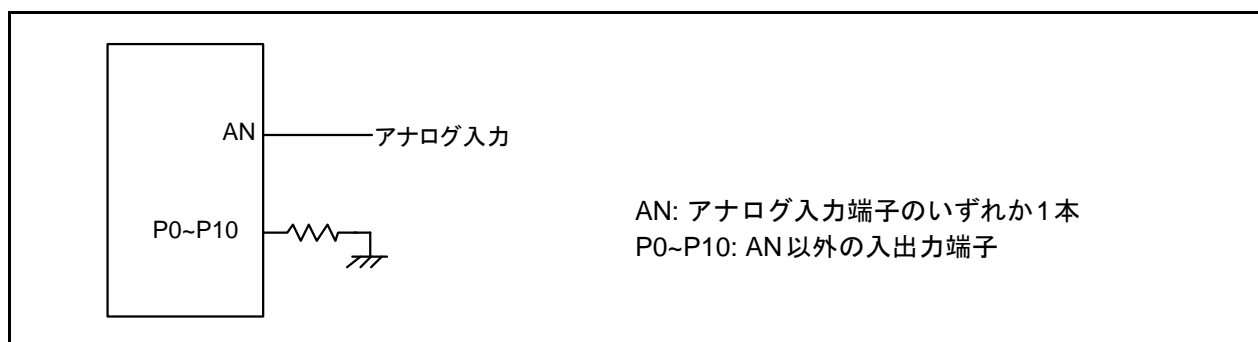


図 5.3 A/D精度測定回路

5.1.4 フラッシュメモリの電気的特性

表5.5 フラッシュメモリ動作時のCPUクロック ($f_{(BCLK)}$)

指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	CPU書き換えモード				10 (注1)	MHz
$f_{(SLOW_R)}$	スローリードモード				5 (注3)	MHz
-	低消費電流リードモード			fC (32.768)	35	kHz
-	データフラッシュリード	$2.7V \leq V_{CC} \leq 3.0V$			16 (注2)	MHz
		$3.0V < V_{CC} \leq 5.5V$			20 (注2)	

- 注1. PM1レジスタのPM17ビットは“1” (1ウェイト) にしてください。
- 注2. この周波数を超える場合は、FMR1レジスタのFMR17ビットを“0” (1ウェイト) にするか、またはPM1レジスタのPM17ビットを“1” (1ウェイト) にしてください。
- 注3. PM1レジスタのPM17ビットを“1” (1ウェイト) にしてください。125kHzオンチップオシレータクロックまたはサブクロックがCPUクロックのクロック源の場合は、ウェイトは不要です。

表5.6 フラッシュメモリ(プログラムROM1、2)の電気的特性
 指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=0^{\circ}C\sim 60^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$	1,000 (注2)			回
-	2ワードプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		150	4000	μs
-	ロックビットプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		70	3000	μs
-	ブロックイレーズ時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f(BCLK)}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f(BCLK)}$	μs
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧	$T_{opr}= -40\sim 85^{\circ}C$	2.7		5.5	V
-	書き込み、消去時の温度		0		60	$^{\circ}C$
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55^{\circ}C$	20			年

- 注1. プログラム、イレーズ回数の定義
 プログラム、イレーズ回数はブロックごとのイレーズ回数です。プログラム、イレーズ回数がn回(n=1,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。
 たとえば、あるブロックについて、それぞれ異なる番地に2ワード書き込みを16,384回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)
- 注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
- 注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。
- 注5. 不良率につきましては、弊社営業窓口にお問い合わせください。
- 注6. 電源電圧またはクロックが印加されていない時間を含みます。
- 注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

表5.7 フラッシュメモリ(データフラッシュ)の電気的特性

指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$	10,000 (注2)			回
-	2ワードプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		300	4000	μs
-	ロックビットプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		140	3000	μs
-	ブロックイレーズ時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f(BCLK)}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f(BCLK)}$	μs
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧		2.7		5.5	V
-	書き込み、消去時の温度		-40		85	$^{\circ}C$
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55^{\circ}C$	20			年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回($n = 10,000$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、4Kバイトブロックのブロックについて、それぞれ異なる番地に2ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~"最小"値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。たとえば一組16バイトをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックAとブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

5.1.5 電圧検出回路、電源回路の電気的特性

表5.8 電圧検出0回路の電気的特性

指定のない場合の測定条件は $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det0}	電圧検出レベル V_{det0}	V_{CC} 立ち下がり時	2.70	2.85	3.00	V
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注1)	$V_{CC}=2.7\sim 5.5V$			100	μs

注1. VCR2レジスタのVC25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.9 電圧検出2回路の電気的特性

指定のない場合の測定条件は $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det2_0}	電圧検出レベル V_{det2_0}	V_{CC} 立ち下がり時		3.21		V
V_{det2_1}	電圧検出レベル V_{det2_1}			3.36		V
V_{det2_2}	電圧検出レベル V_{det2_2}			3.51		V
V_{det2_3}	電圧検出レベル V_{det2_3}			3.66		V
V_{det2_4}	電圧検出レベル V_{det2_4}		3.51	3.81	4.11	V
V_{det2_5}	電圧検出レベル V_{det2_5}			3.96		V
V_{det2_6}	電圧検出レベル V_{det2_6}			4.10		V
V_{det2_7}	電圧検出レベル V_{det2_7}			4.25		V
-	電圧検出2回路の V_{CC} 立ち上がり時の ヒステリシス幅			0.15		V
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注1)	$V_{CC}=2.7\sim 5.5V$			100	μs

注1. VCR2レジスタのVC27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.10 パワーオンリセット回路

指定のない場合の測定条件は $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t_{rth}	外部電源 V_{CC} の立ち上がり傾き		2.0		50000	mV/ms
t_{fth}	外部電源 V_{CC} の立ち下がり傾き				50000	mV/ms
V_{por}	パワーオンリセットが有効になる電圧(注1)				0.1	V
$t_{w(por)}$	パワーオンリセットが有効になるための保持時間		1.0			ms

注1. パワーオンリセットを使用する場合には、OFS1番地のLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

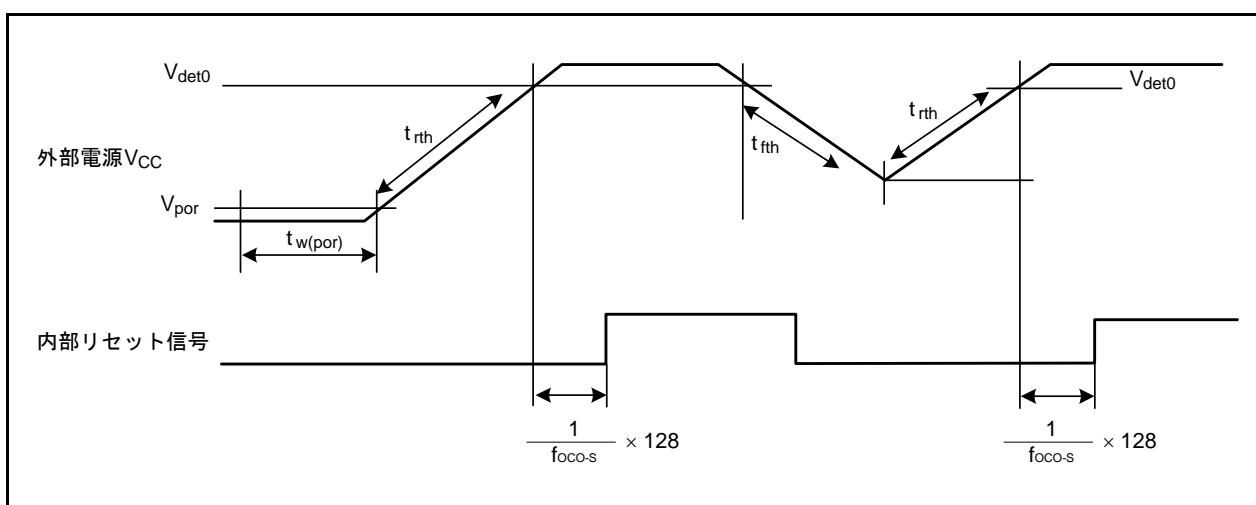


図5.4 パワーオンリセット回路の電気的特性

表 5.11 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(P-R)$	電源投入時内部電源安定時間	$V_{CC}=3.0\sim 5.5V$			5	ms
$t_d(R-S)$	STOP解除時間				300	μs
$t_d(W-S)$	低消費電力モードウェイトモード解除時間				300	μs

注1. $V_{CC}=5V$ 時の標準値

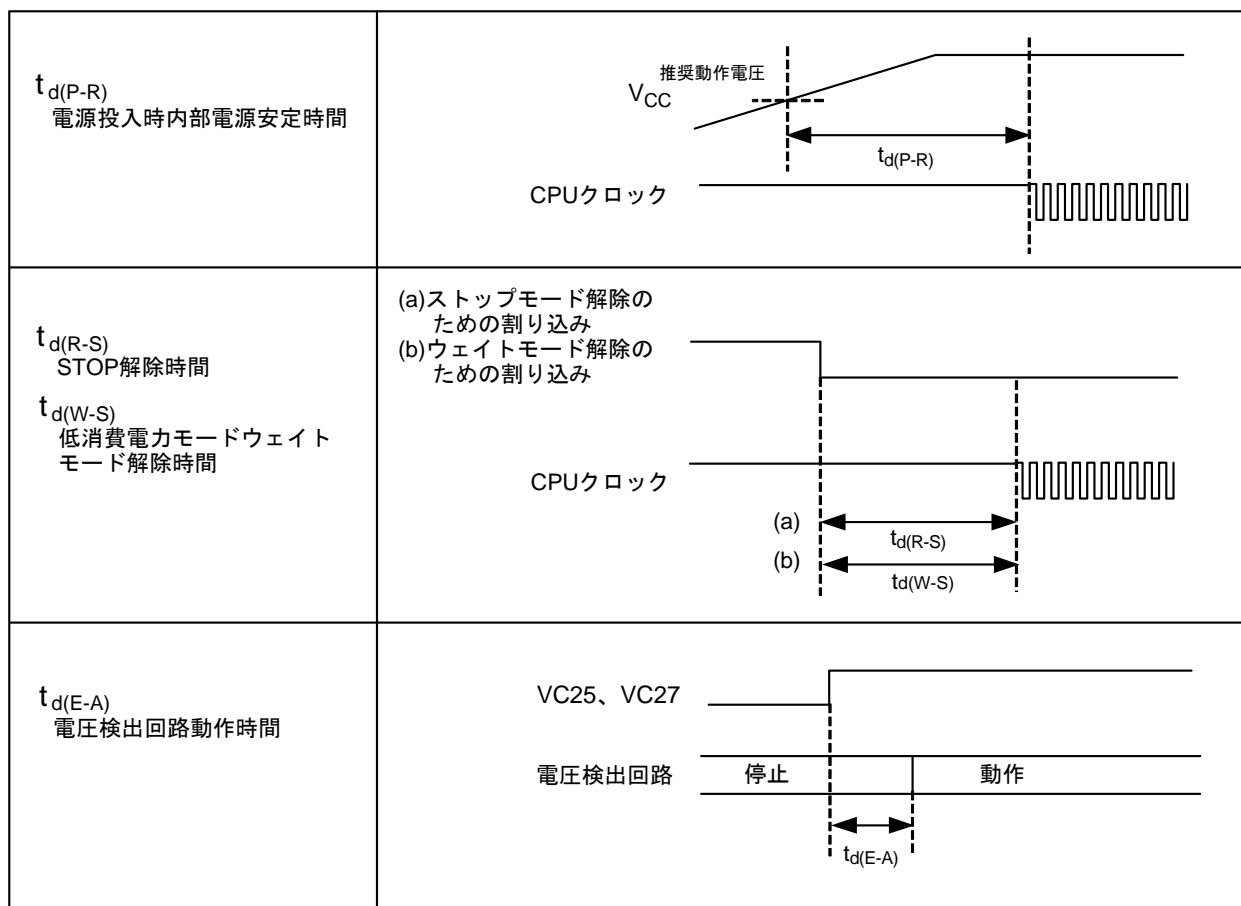


図 5.5 電源回路のタイミング図

5.1.6 発振回路の電気的特性

表 5.12 125kHz オンチップオシレータ発振回路の電気的特性

指定のない場合の測定条件は $V_{CC}=2.7 \sim 5.5V$ 、 $T_{opr} = -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f_{OCO-S}	125kHz オンチップオシレータ発振周波数		100	125	150	kHz
$t_{su}(f_{OCO-S})$	125kHz オンチップオシレータ発振安定待ち時間	$2.7V \leq V_{CC} \leq 5.5V$			20	μs
f_{WDT}	ウォッチドッグタイマ専用 125kHz オンチップオシレータ発振周波数		100	125	150	kHz

5.2 電気的特性($V_{CC}=5V$)

5.2.1 電気的特性

 $V_{CC}=5V$

表 5.13 電気的特性 (1)

指定のない場合は、 $V_{CC}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=32MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OH}=-5mA$	$V_{CC}-2.0$		V_{CC}	V
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OH}=-200\mu A$	$V_{CC}-0.3$		V_{CC}	V
V_{OH}	"H"出力電圧 XOUT	HIGH POWER	$I_{OH}=-1mA$	$V_{CC}-2.0$		V_{CC}	V
		LOW POWER	$I_{OH}=-0.5mA$	$V_{CC}-2.0$		V_{CC}	
	"H"出力電圧 XCOUT	HIGH POWER	無負荷時		2.5		V
		LOW POWER	無負荷時		1.6		
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OL}=5mA$			2.0	V
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OL}=200\mu A$			0.45	V
V_{OL}	"L"出力電圧 XOUT	HIGH POWER	$I_{OL}=1mA$			2.0	V
		LOW POWER	$I_{OL}=0.5mA$			2.0	
	"L"出力電圧 XCOUT	HIGH POWER	無負荷時		0		V
		LOW POWER	無負荷時		0		
$V_{T+}-V_{T-}$	ヒステリシス	TA0IN~TA4IN, TB0IN~TB2IN, INT0~INT5, NM1, ADTRG, CTS0~CTS3, SCL2, SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD4, ZP, IDU, IDW, IDV, SD, INPC1_0~INPC1_7, CRX0		0.2		$0.4V_{CC}$	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET		0.2		2.5	V
$V_{T+}-V_{T-}$	ヒステリシス	XIN		0.2		0.8	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7 XIN, RESET, CNVSS	$V_i=5V$			5.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7 XIN, RESET, CNVSS	$V_i=0V$			-5.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$V_i=0V$	30	50	170	k Ω
R_{FXIN}	帰還抵抗 XIN				1.5		M Ω
R_{FXCIN}	帰還抵抗 XCIN				15		M Ω
V_{RAM}	RAM保持電圧		ストップモード時	2.0			V

$V_{CC}=5V$

表 5.14 電気的特性(2)

指定のない場合は、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_{CC}	電源電流 ($V_{CC}=4.2\sim 5.5V$) シングルチップ モードで、 出力端子は開放、 その他の端子は V_{SS}	高速モード	$f_{(BCLK)}=32MHz$ XIN=8MHz (方形波)、PLL8 通倍、 125kHz オンチップオシレータ発振		28	42	mA
			$f_{(BCLK)}=20MHz$ XIN=20MHz (方形波)、 125kHz オンチップオシレータ発振		20	30	mA
			$f_{(BCLK)}=16MHz$ XIN=16MHz (方形波)、 125kHz オンチップオシレータ発振		16		mA
		125kHz オンチップオシレータ モード	メインクロック停止 125kHz オンチップオシレータ発振 8分周 FMR22=FMR23=1 (低消費電流リードモード)		150	500	μA
		低消費電力モード	$f_{(BCLK)}=32kHz$ フラッシュメモリ上 (注1) FMR22=FMR23=1 (低消費電流リードモード)		160		μA
		ウェイトモード	メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=25^{\circ}C$		20		μA
			メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=85^{\circ}C$		50		μA
		ストップモード	$T_{opr}=25^{\circ}C$		18	30	μA
			$T_{opr}=85^{\circ}C$		45		μA
		フラッシュメモリプログラム中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=5.0V$		20.0		mA
フラッシュメモリエーズ中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=5.0V$		30.0		mA		
I_{det2}	電圧低下検出消費電流			3	μA		
I_{det0}	リセット領域検出消費電流			6	μA		

注1. 実行するプログラムが存在するメモリを示します。

$V_{CC}=5V$

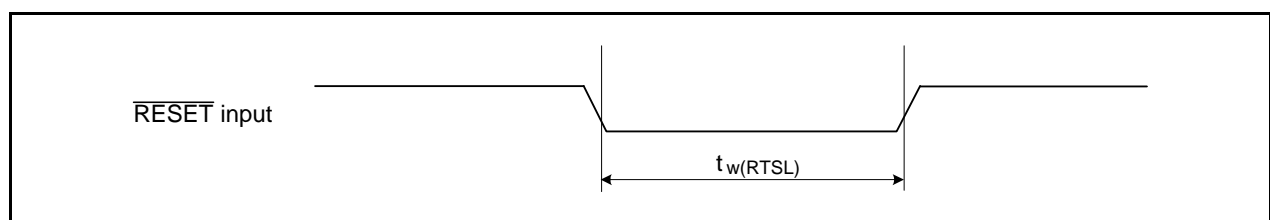
5.2.2 タイミング必要条件(周辺機能、他)

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.2.2.1 リセット入力

表 5.15 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

図 5.6 リセット入力 (\overline{RESET} 入力)

5.2.2.2 外部クロック入力

表 5.16 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

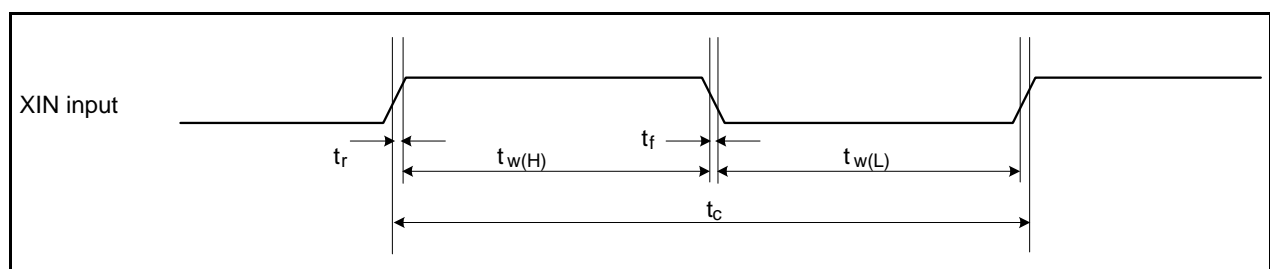
注1. 条件は $V_{CC}=3.0\sim 5.0V$ です。

図 5.7 外部クロック入力 (XIN入力)

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.2.2.3 タイマA入力

表 5.17 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	40		ns

表 5.18 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	200		ns

表 5.19 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

表 5.20 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

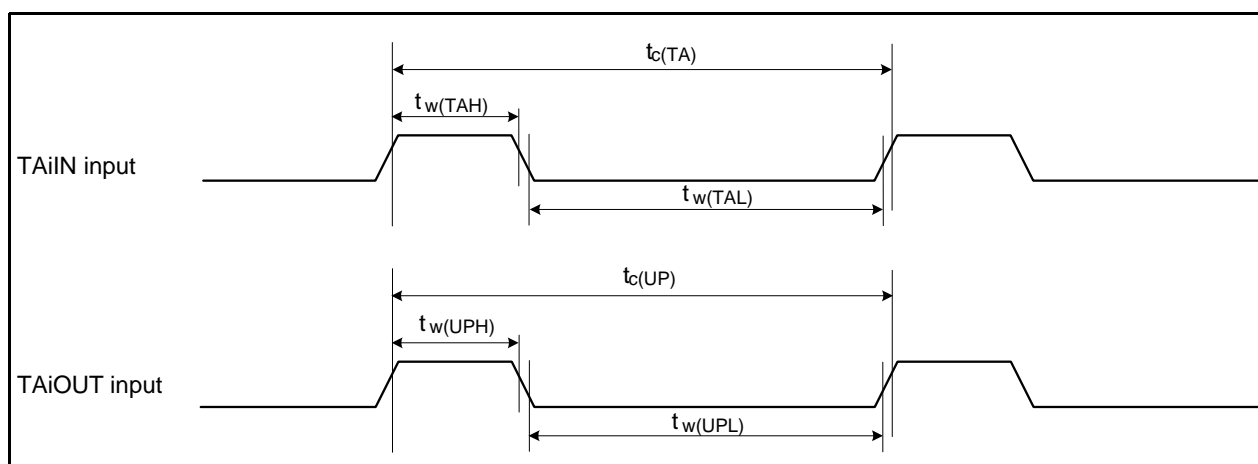


図 5.8 タイマA入力

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

表 5.21 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	800		ns
$t_{su(TAIN-TAOUT)}$	TAiOUT入力セットアップ時間	200		ns
$t_{su(TAOUT-TAIN)}$	TAiIN入力セットアップ時間	200		ns

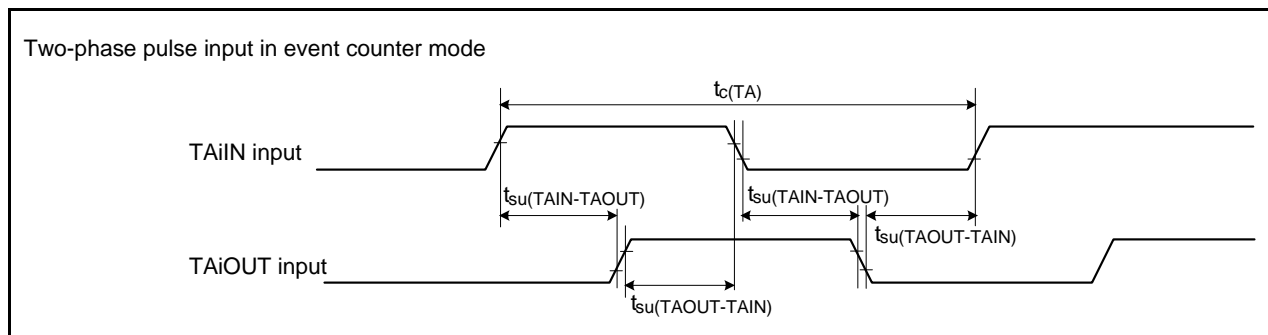


図 5.9 タイマA入力(イベントカウンタモードの二相パルス入力)

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.2.2.4 タイマB入力

表 5.22 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 5.23 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 5.24 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

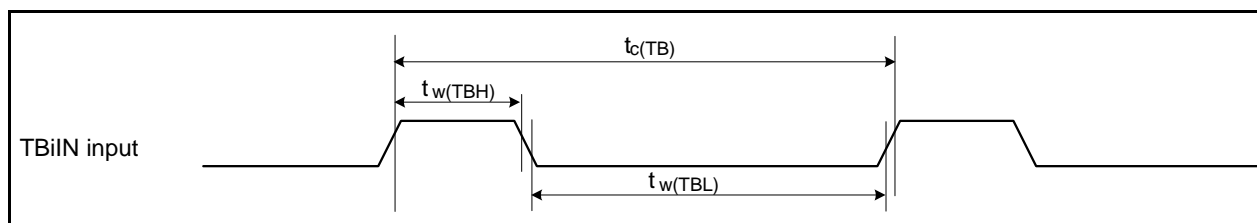


図 5.10 タイマB入力

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.2.2.5 タイマS入力

表 5.25 タイマS入力(二相パルス信号処理モードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TSH)$	TSUDA、TSUDB 入力“H”パルス幅	2		μs
$t_w(TSL)$	TSUDA、TSUDB 入力“L”パルス幅	2		μs
$t_{su}(TSUDA-TSUDB)$	TSUDB 入力セットアップ時間	1		μs
$t_{su}(TSUDB-TSUDA)$	TSUDA 入力セットアップ時間	1		μs

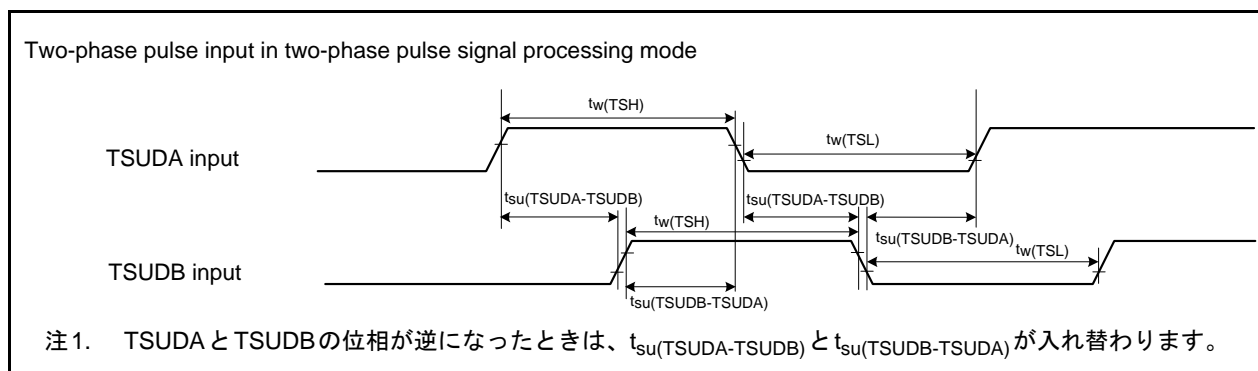


図 5.11 タイマS入力(二相パルス信号処理モードの二相パルス入力)

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.2.2.6 シリアルインタフェース

表 5.26 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	100		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

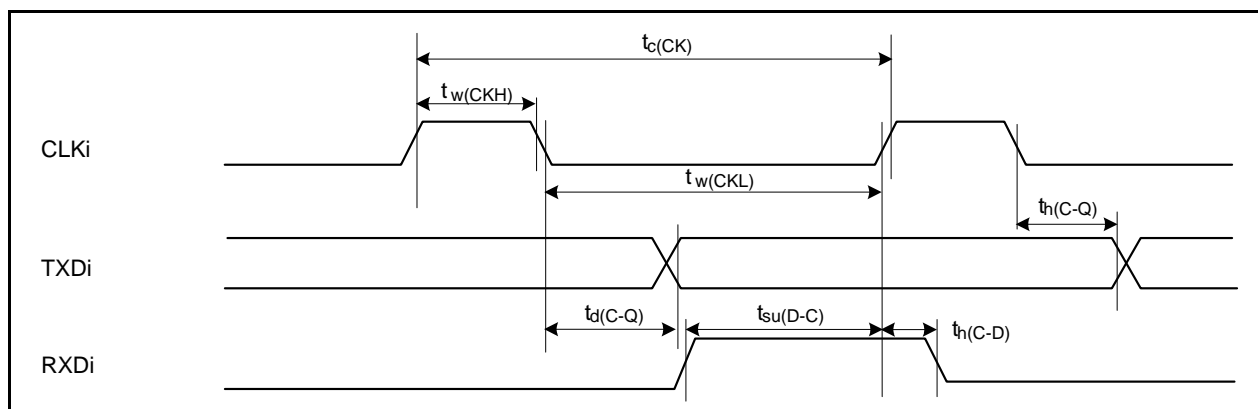
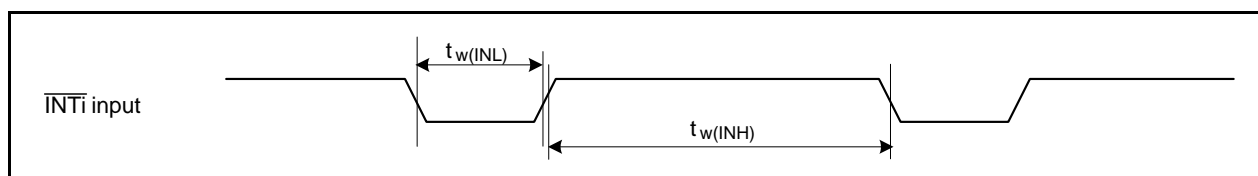


図 5.12 シリアルインタフェース

5.2.2.7 外部割り込み \overline{INTi} 入力表 5.27 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	250		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	250		ns

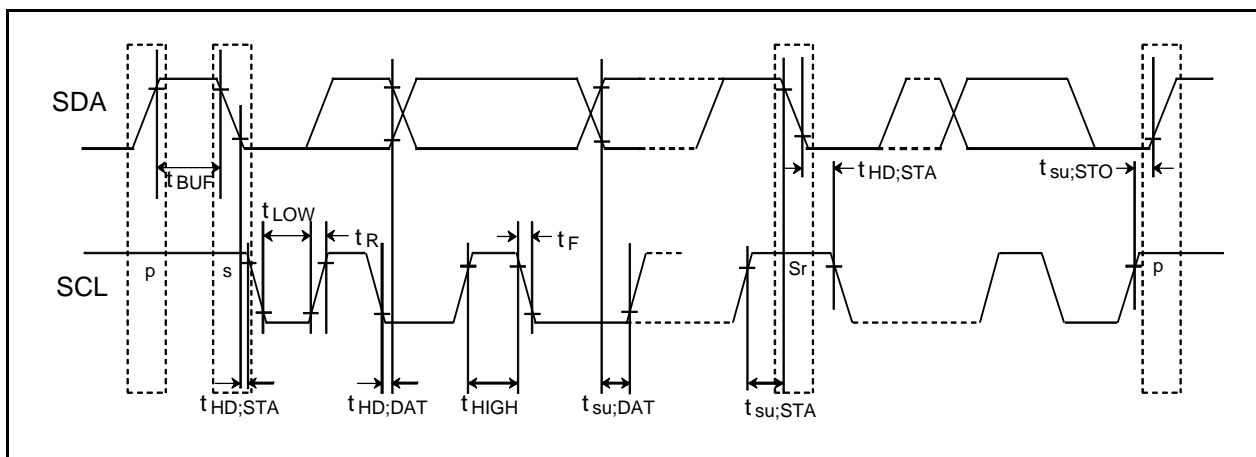
図 5.13 外部割り込み \overline{INTi} 入力

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)5.2.2.8 マルチマスタ I²C-bus表 5.28 マルチマスタ I²C-bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

図 5.14 マルチマスタ I²C-bus

5.3 電気的特性 ($V_{CC}=3V$)

5.3.1 電気的特性

 $V_{CC}=3V$

表 5.29 電気的特性 (1)

指定のない場合は、 $V_{CC}=2.7\sim 3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=25MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OH}=-1mA$	$V_{CC}-0.5$		V_{CC}	V
V_{OH}	"H"出力電圧	XOUT	HIGH POWER	$I_{OH}=-0.1mA$	$V_{CC}-0.5$	V_{CC}	V
			LOW POWER	$I_{OH}=-50\mu A$	$V_{CC}-0.5$	V_{CC}	
	"H"出力電圧	XCOUT	HIGH POWER	無負荷時		2.5	V
			LOW POWER	無負荷時		1.6	
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OL}=1mA$			0.5	V
V_{OL}	"L"出力電圧	XOUT	HIGH POWER	$I_{OL}=0.1mA$		0.5	V
			LOW POWER	$I_{OL}=50\mu A$		0.5	
	"L"出力電圧	XCOUT	HIGH POWER	無負荷時		0	V
			LOW POWER	無負荷時		0	
$V_{T+}-V_{T-}$	ヒステリシス	TA0IN~TA4IN, TB0IN~TB2IN, INT0~INT5, NMI, ADTRG, CTS0~CTS3, SCL2, SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD4, ZP, IDU, IDW, IDV, SD, INPC1_0~INPC1_7, CRX0				$0.4V_{CC}$	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET				1.8	V
$V_{T+}-V_{T-}$	ヒステリシス	XIN				0.8	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7, XIN, RESET, CNVSS	$V_I=3V$			4.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7, XIN, RESET, CNVSS	$V_I=0V$			-4.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$V_I=0V$	50	100	500	k Ω
R_{FXIN}	帰還抵抗	XIN			3.0		M Ω
R_{FXCIN}	帰還抵抗	XCIN			25		M Ω
V_{RAM}	RAM保持電圧		ストップモード時	2.0			V

$V_{CC}=3V$

表 5.30 電気的特性 (2)

指定のない場合は、 $T_{opr} = -40 \sim 85^{\circ}\text{C}$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_{CC}	電源電流 ($V_{CC}=3.0\sim 3.6V$) シングルチップ モードで、 出力端子は開放、 その他の端子は V_{SS}	高速モード	$f_{(BCLK)}=25\text{MHz}$ XIN=8MHz (方形波)、PLL8 通倍、 125kHz オンチップオシレータ発振		26	40	mA
			$f_{(BCLK)}=20\text{MHz}$ XIN=20MHz (方形波)、 125kHz オンチップオシレータ発振		19	28	mA
			$f_{(BCLK)}=16\text{MHz}$ XIN=16MHz (方形波)、 125kHz オンチップオシレータ発振		15		mA
		125kHz オンチップオシレータ モード	メインクロック停止 125kHz オンチップオシレータ発振 8分周 FMR22=FMR23=1 (低消費電流リードモード)		150	500	μA
		低消費電力モード	$f_{(BCLK)}=32\text{kHz}$ フラッシュメモリ上 (注1) FMR22=FMR23=1 (低消費電流リードモード)		160		μA
		ウェイトモード	メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=25^{\circ}\text{C}$		20		μA
			メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=85^{\circ}\text{C}$		50		μA
		ストップモード	$T_{opr}=25^{\circ}\text{C}$		17	27	μA
			$T_{opr}=85^{\circ}\text{C}$		45		μA
		フラッシュメモリプログラム中	$f_{(BCLK)}=10\text{MHz}$ 、PM17=1(1ウェイト) $V_{CC}=3.0V$		20.0		mA
フラッシュメモリエーズ中	$f_{(BCLK)}=10\text{MHz}$ 、PM17=1(1ウェイト) $V_{CC}=3.0V$		30.0		mA		
I_{det2}	電圧低下検出消費電流			3	μA		
I_{det0}	リセット領域検出消費電流			6	μA		

注1. 実行するプログラムが存在するメモリを示します。

$V_{CC}=3V$

5.3.2 タイミング必要条件 (周辺機能、他)

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.3.2.1 リセット入力

表 5.31 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

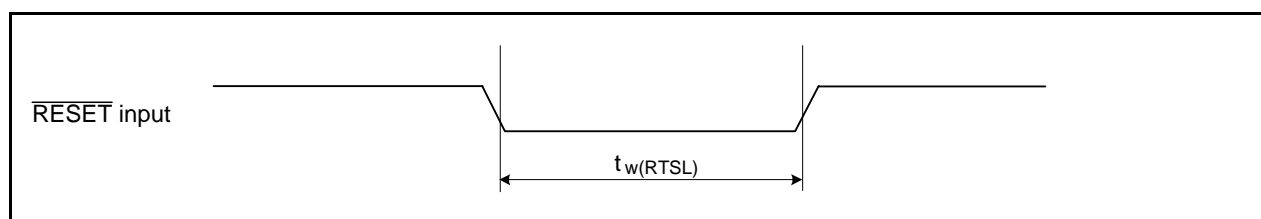


図 5.15 リセット入力 (\overline{RESET} 入力)

5.3.2.2 外部クロック入力

表 5.32 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

注1. 条件は $V_{CC}=2.7\sim 3.0V$ です。

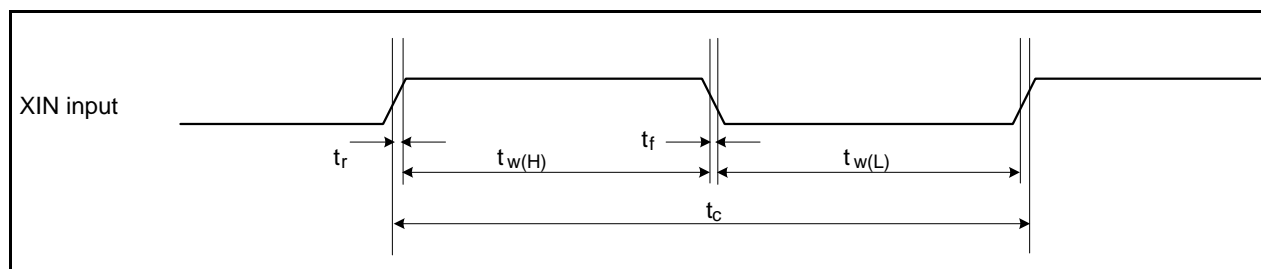


図 5.16 外部クロック入力 (XIN入力)

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.3.2.3 タイマA入力

表 5.33 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	60		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	60		ns

表 5.34 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	300		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	300		ns

表 5.35 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

表 5.36 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

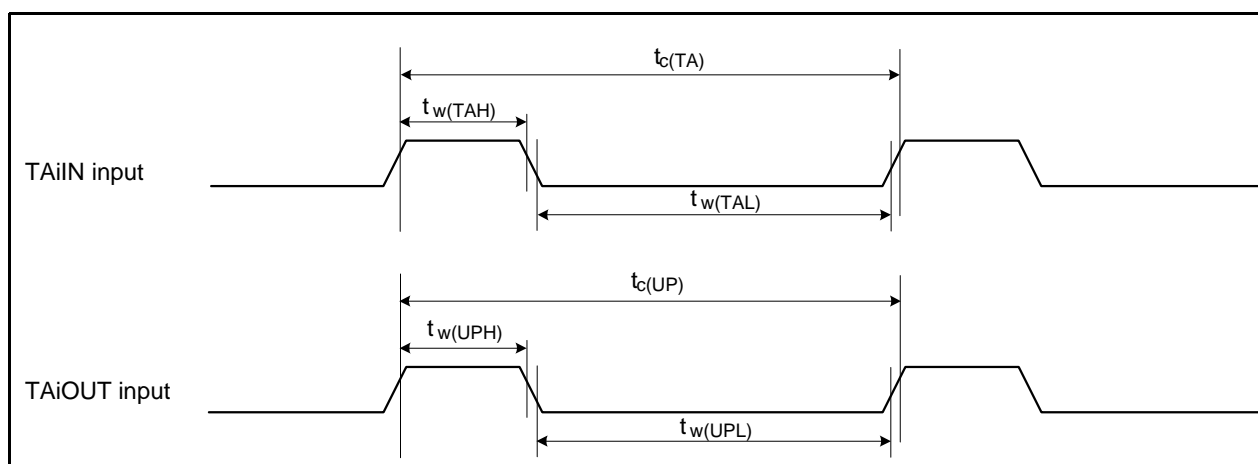


図 5.17 タイマA入力

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

表 5.37 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	2		μs
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	500		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	500		ns

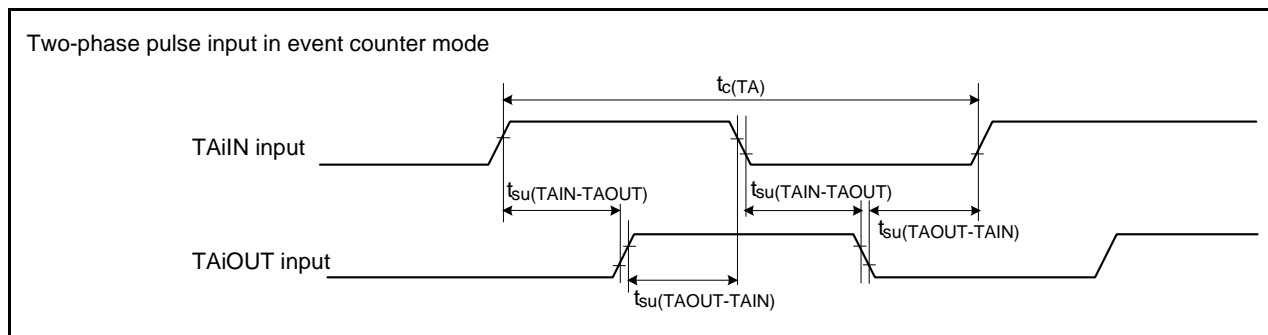


図 5.18 タイマA入力(イベントカウンタモードの二相パルス入力)

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.3.2.4 タイマB入力

表 5.38 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表 5.39 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表 5.40 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

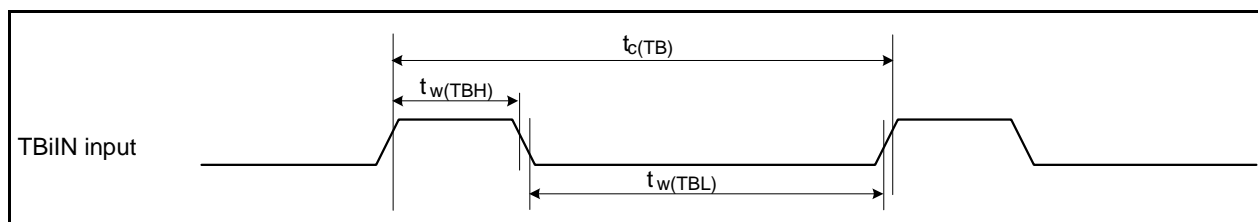


図 5.19 タイマB入力

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.3.2.5 タイマS入力

表 5.41 タイマS入力(二相パルス信号処理モードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TSH)$	TSUDA、TSUDB 入力“H”パルス幅	2		μs
$t_w(TSL)$	TSUDA、TSUDB 入力“L”パルス幅	2		μs
$t_{su}(TSUDA-TSUDB)$	TSUDB 入力セットアップ時間	1		μs
$t_{su}(TSUDB-TSUDA)$	TSUDA 入力セットアップ時間	1		μs

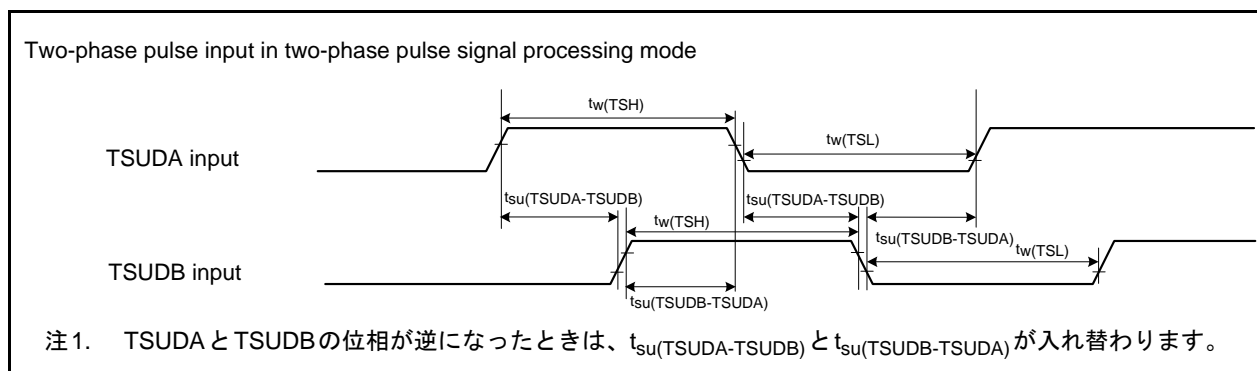


図 5.20 タイマS入力(二相パルス信号処理モードの二相パルス入力)

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

5.3.2.6 シリアルインタフェース

表 5.42 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	300		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	150		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	150		ns
$t_d(C-Q)$	TXDi出力遅延時間		160	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	100		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

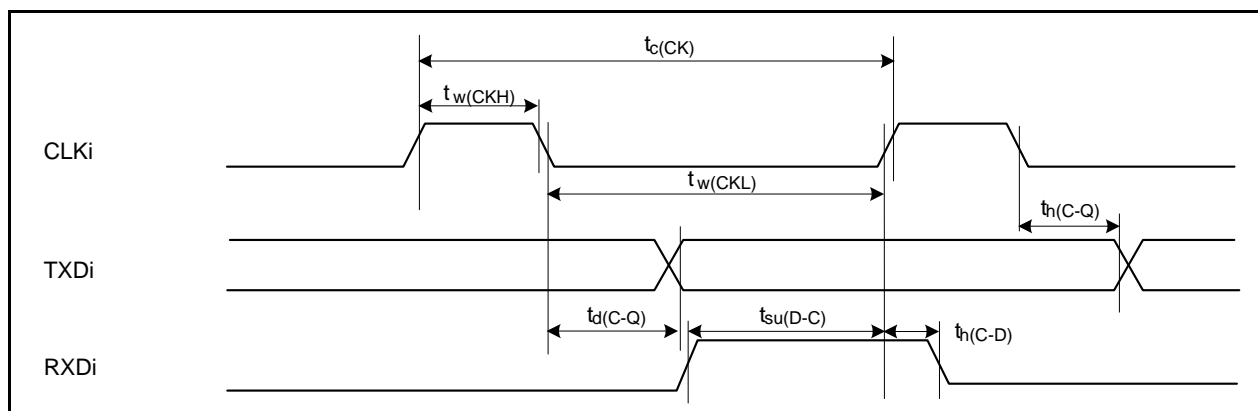
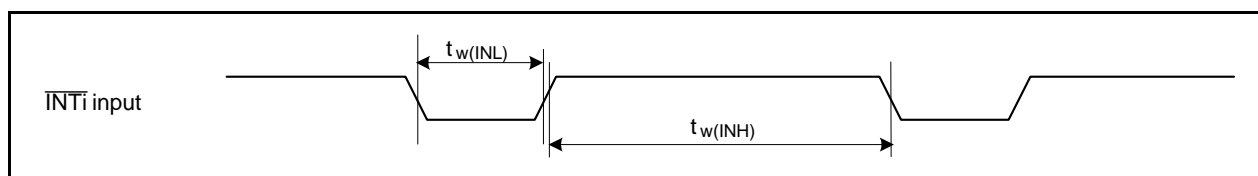


図 5.21 シリアルインタフェース

5.3.2.7 外部割り込み \overline{INTi} 入力表 5.43 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	380		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	380		ns

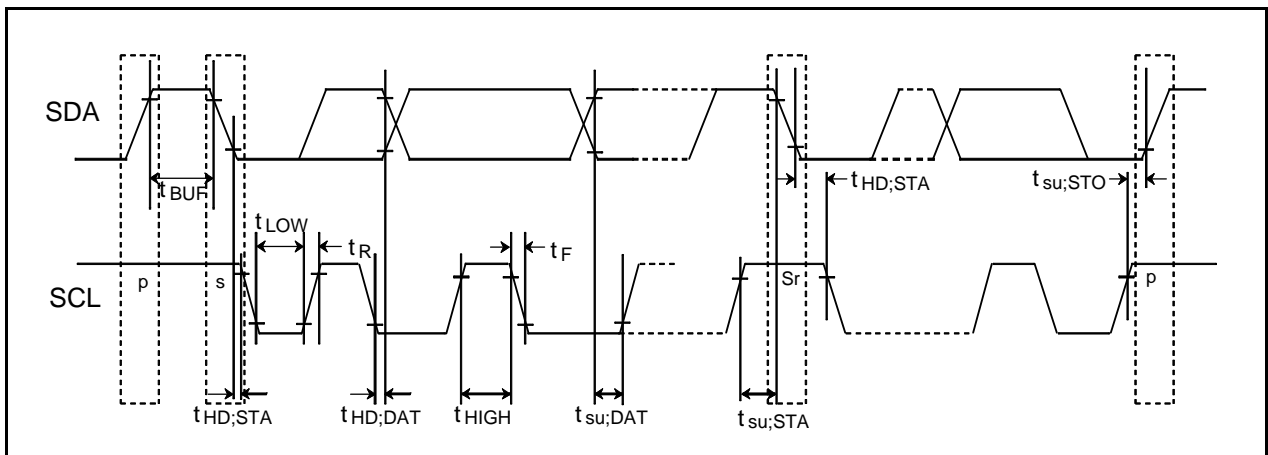
図 5.22 外部割り込み \overline{INTi} 入力

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)5.3.2.8 マルチマスタ I²C-bus表 5.44 マルチマスタ I²C-bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

図 5.23 マルチマスタ I²C-bus

改訂記録	M16C/5LD、M16C/56Dグループ データシート
------	------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2009.12.01	—	初版発行
1.20	2011.11.25	全体	問い合わせ先について、「弊社営業窓口」に統一
		全体	各章のレジスタの説明の表タイトルを変更 「レジスタ構成」→「レジスタ一覧」
		全体	用語統一 <ul style="list-style-type: none"> • 「発振停止、再発振検出機能」→「発振停止/再発振検出機能」 • CM07、CM21ビットの説明のFOCO-S→「オンチップオシレータクロック」
		概要	
		3, 5	表 1.2 仕様概要(80ピン版)(2/2)、表 1.4 仕様概要(64ピン版)(2/2): <ul style="list-style-type: none"> • 「消費電流」行を追加 • 注1を追加
		8, 9	図 1.3~図 1.4 各ピンのブロック図: <ul style="list-style-type: none"> • UART/クロック同期形SI/O: 「8ビット」削除 • リアルタイムクロック: 「8ビットx1チャンネル」削除 • マルチマスタI²C bus: 「(1チャンネル)」追加 • ウォッチドッグタイマ専用125kHzオンチップオシレータ: 「ウォッチドッグタイマ」の括弧内に移動
		10, 13	図 1.5~図 1.6 各ピンのピン接続図: P8_0に「TSUDA」、P8_1に「TSUDB」追加
		12, 15	表 1.7、表 1.9 各ピンの端子名一覧表: P8_0に「TSUDA」、P8_1に「TSUDB」追加
		16	表 1.11 端子機能の説明(64ピン版、80ピン版共通) (1/2): <ul style="list-style-type: none"> • 「CNVSS」の「機能」: 「抵抗を介して」を追加 • 「機能」が入力/出力/入出力端子のとき: 説明から「端子」を削除 • 「アナログ電源入力」の「機能」: AVCCとAVSSに「端子」を追加 • 「サブクロック入力/出力」: 注1を追加 • 「INT割り込み入力」: 「INT2はタイマAのZ相入力です。」削除 • 「シリアルインタフェース」: 「UART0~UART3」追加 • 「I²Cモード」: I²Cモードの前に「UART2」追加
		17	表 1.12 端子機能の説明(64ピン版、80ピン版共通) (2/2): <ul style="list-style-type: none"> • 「タイマS」: 「端子名」にTSUDA、TSUDB追加 • 「CANモジュール」: 入力は「CAN通信機能の受信データ」、出力は「通信機能の送信データ」に変更 • 「入出力ポート」の「機能」: 4ポート→4ビット
		18	表 1.13 端子機能の説明(80ピン版のみ): <ul style="list-style-type: none"> • 「シリアルインタフェース」: シリアルインタフェースの後に「UART4」追加 • 「入出力ポート」の「機能」: 4ポート→4ビット
		メモリ	
		23	図 3.1 メモリ配置図: 各予約領域に注1または注2を追加
		SFR	
		56	4.2.1 レジスタ設定時の注意事項: <ul style="list-style-type: none"> • リードモディファイライト命令に関する記述を追加 • 表 4.34 リードモディファイライト命令を追加
		電気的特性	
		5.章	タイマSの端子追加に伴い、表記を変更: <ul style="list-style-type: none"> • P8_0、P8_0 (A相)、P8_0 (A-phase)→TSUDA • P8_1、P8_1 (B相)、P8_1 (B-phase)→TSUDB
		5V、3V 共通	
		58	5.1.1 絶対最大定格: V _I の項目からVREFを削除
		59	表 5.2 推奨動作条件 (1/2): <ul style="list-style-type: none"> • V_{CC}の最小値を「3.0」から変更 • I_{OH(sum)}の最大値を「80」から変更 • I_{OL(sum)}の最大値を「-80」から変更
65	表 5.9 電圧検出2回路の電気的特性: Vdet2_0~Vdet2_3、Vdet2_5~Vdet2_7を追加		

改訂記録	M16C/5LD、M16C/56Dグループ データシート
------	------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2011.11.25	66	表 5.11 電源回路のタイミング特性: $t_{d(W-S)}$ の最大値を「150」から変更
		67	図 5.5 電源回路のタイミング図: $t_{d(E-A)}$ の項目: 「低電圧検出回路」→「電圧検出回路」
		67	表 5.12 125kHz オンチップオシレータ発振回路の電気的特性: ウォッチドッグタイマ専用 125kHz オンチップオシレータ発振周波数を追加
		Vcc=5V	
		68	表 5.13 電気的特性 (1)、TA0INなどが属する「VT+-VT-」: 最大値を「2.5」から変更
		74	5.2.2.5 タイマS入力: 追加
		76	図 5.14 マルチマスタ I ² C-bus: 「 $t_{HD;DTA}$ 」→「 $t_{HD;DAT}$ 」、 「 $t_{su;DTA}$ 」→「 $t_{su;DAT}$ 」に修正
		Vcc=3V	
		77	表 5.29 電気的特性 (1)、TA0INなどが属する「VT+-VT-」: 最大値を「1.8」から変更
		83	5.3.2.5 タイマS入力: 追加
		85	図 5.23 マルチマスタ I ² C-bus: 「 $t_{HD;DTA}$ 」→「 $t_{HD;DAT}$ 」、 「 $t_{su;DTA}$ 」→「 $t_{su;DAT}$ 」に修正

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社その総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>