

M16C/63グループ

ルネサスマイクロコンピュータ

R01DS0033JJ0220

Rev.2.20

2012.11.01

1. 概要

1.1 特長

M16C/63グループは、M16C/60シリーズCPUコアを搭載したフラッシュメモリ内蔵マイクロコンピュータです。M16C/60シリーズCPUコアは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間(4Mバイトに拡張可能)と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

また、消費電力が少ない上、動作モードによるパワーコントロールが可能であり、ノイズ対策機構により不要輻射ノイズは小さく、ノイズ耐量は大きく設計されています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

1.1.1 用途

オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、他

1.2 仕様概要

M16C/63グループには100ピン版、80ピン版があります。

表 1.1~表 1.4に仕様概要を示します。

表 1.1 仕様概要(100ピン版) (1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60シリーズコア(乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 50.0ns (f(BCLK)=20MHz、VCC1=VCC2=2.7~5.5V) 100.0ns (f(BCLK)=10MHz、VCC1=VCC2=2.1~2.7V未滿) 200.0ns (f(BCLK)=5MHz、VCC1=VCC2=1.8V) 動作モード: シングルチップ、メモリ拡張、マイクロプロセッサ
メモリ	ROM、RAM、データフラッシュ	「表 1.5 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、低速オンチップオシレータ(125kHz)、高速オンチップオシレータ(40MHz±10%) 発振停止検出: メインクロック発振停止、再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 サブクロック周波数分周回路: 1, 2分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
外部バス拡張	バスメモリ拡張機能	<ul style="list-style-type: none"> アドレス空間: 1Mバイト 外部バスインタフェース: 0~8ウェイト挿入可、チップセレクト4出力、メモリ空間拡張機能(4Mバイトまで拡張可)、3V、5Vインタフェース バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)、アドレスバス本数切り替え可(12本/16本/20本)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> CMOS入出力: 85(プルアップ抵抗設定可能) Nチャンネルオープンドレインポート: 3
割り込み		割り込みベクタ数: 70 外部割り込み入力: 17(NMI、INT×8、キー入力×8) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1(プリスケール付) リセットスタート機能選択可能
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 43 転送モード: 2(単転送、リピート転送)

表 1.2 仕様概要(100ピン版) (2/2)

分類	機能	説明
タイマ	タイマA	16ビットタイマx5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)x3 プログラマブル出力モードx3
	タイマB	16ビットタイマx6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御(タイマA1、タイマA2、タイマA4、タイマB2使用) 短絡防止タイマ内蔵
	リアルタイムクロック	•秒、分、時、曜日、月、年をカウント •0.25s、0.5s周期割り込み •自動補正機能あり
	PWM機能	8ビットx2
	リモコン信号受信機能	•2回路 •4パターン波形マッチング(ヘッダ、データ0、データ1、特殊データ判別) •受信バッファ6バイト(1回路のみ) •32kHz動作
シリアルインタフェース	UART0~UART2、 UART5~UART7	クロック同期/非同期兼用x6チャンネル I ² C-bus、IEBus、特殊モード2 SIM(UART2)
	SI/O3、SI/O4	クロック同期専用x2チャンネル
マルチマスタI ² C-busインタフェース		1チャンネル
CEC機能(注2)		CEC送受信、アービトラクションロスト検出、ACK自動送出、32kHz動作
A/Dコンバータ		分解能10ビットx26チャンネル サンプル&ホールドあり 変換時間2.15μs
D/Aコンバータ		分解能8ビットx2
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		•プログラム、イレーズ電圧: 2.7V~5.5V •プログラム、イレーズ回数: 1,000回(プログラムROM1、プログラムROM2)、10,000回(データフラッシュ) •プログラムセキュリティ: ROMコードプロテクト、IDコードチェック
デバッグ機能		オンチップデバッグ機能、オンボードフラッシュ書き換え機能、アドレス一致割り込みx4
動作周波数/電源電圧		5MHz/VCC1=1.8~5.5V、VCC2=1.8V~VCC1 10MHz/VCC1=2.1~5.5V、VCC2=2.1V~VCC1 20MHz/VCC1=2.7~5.5V、VCC2=2.7V~VCC1
消費電流		電気的特性に記載
動作周囲温度		-20°C~85°C、-40°C~85°C(注1)
パッケージ		100ピンQFP: PRQP0100JD-B(旧パッケージコード: 100P6F-A) 100ピンLQFP: PLQP0100KB-A(旧パッケージコード: 100P6Q-A) 100ピンLGA: PTLG0100KA-A(旧パッケージコード: 100F0M)

注1. 動作周囲温度は、「表 1.5 製品一覧表」を参照してください。

注2. CEC機能は、HDMI (High-Definition Multimedia Interface) で規格化されているCEC信号の送受信に対応した回路です。HDMI及びHigh-Definition Multimedia Interfaceは、HDMI Licensing, LLCの商標または登録商標です。

表 1.3 仕様概要 (80ピン版) (1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60シリーズコア(乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 50.0ns (f(BCLK)=20MHz、VCC1=2.7~5.5V) 100.0ns (f(BCLK)=10MHz、VCC1=2.1~2.7V未滿) 200.0ns (f(BCLK)=5MHz、VCC1=1.8V) 動作モード: シングルチップモード
メモリ	ROM、RAM、データフラッシュ	「表 1.5 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、低速オンチップオシレータ(125kHz)、高速オンチップオシレータ(40MHz±10%) 発振停止検出: メインクロック発振停止、再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 サブクロック周波数分周回路: 1, 2分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
外部バス拡張	バスメモリ拡張機能	なし
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> CMOS入出力: 68(プルアップ抵抗設定可能) Nチャンネルオープンドレインポート: 3
割り込み		割り込みベクタ数: 70 外部割り込み入力: 14 (NMI、INT×5、キー入力×8) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付) リセットスタート機能選択可能
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 43 転送モード: 2(単転送、リピート転送)
タイマ	タイマA	16ビットタイマ×5 タイマモード×5 イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード×3 イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×2 プログラマブル出力モード×1
	タイマB	16ビットタイマ×6 タイマモード×6 イベントカウンタモード、パルス周期測定モード、パルス幅測定モード×5
	三相モータ制御用タイマ機能	なし
	リアルタイムクロック	<ul style="list-style-type: none"> 秒、分、時、曜日、月、年をカウント 0.25s、0.5s周期割り込み 自動補正機能あり
	PWM機能	8ビット×2
	リモコン信号受信機能	<ul style="list-style-type: none"> 2回路 4パターン波形マッチング(ヘッダ、データ0、データ1、特殊データ判別) 受信バッファ6バイト(1回路のみ) 32kHz動作

表 1.4 仕様概要 (80ピン版) (2/2)

分類	機能	説明
シリアルインタフェース	UART0~UART2、 UART5	クロック同期/非同期兼用×3チャンネル I ² C-bus、IEBus、特殊モード2 クロック非同期専用×1チャンネル I ² C-bus、IEBus、SIM
	SI/O3、SI/O4	クロック同期専用×2チャンネル(SI/O3は送信専用)
マルチマスタI ² C-busインタフェース		1チャンネル
CEC機能(注2)		CEC送受信、アービトレーションロスト検出、ACK自動送出、32kHz動作
A/Dコンバータ		分解能10ビット×26チャンネル サンプル&ホールドあり 変換時間2.15μs
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧: 2.7V~5.5V プログラム、イレーズ回数: 1,000回(プログラムROM1、プログラムROM2)、10,000回(データフラッシュ) プログラムセキュリティ: ROMコードプロテクト、IDコードチェック
デバッグ機能		オンチップデバッグ機能、オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧		5MHz/VCC1=1.8~5.5V 10MHz/VCC1=2.1~5.5V 20MHz/VCC1=2.7~5.5V
消費電流		電気的特性に記載
動作周囲温度		-20°C~85°C、-40°C~85°C(注1)
パッケージ		80ピンLQFP: PLQP0080KB-A (旧パッケージコード: 80P6Q-A)

注1. 動作周囲温度は、「表 1.5 製品一覧表」を参照してください。

注2. CEC機能は、HDMI (High-Definition Multimedia Interface) で規格化されているCEC信号の送受信に対応した回路です。HDMI及びHigh-Definition Multimedia Interfaceは、HDMI Licensing, LLCの商標または登録商標です。

1.3 製品一覧

表 1.5 に製品一覧表、図 1.1 に型名とメモリサイズ・パッケージ、図 1.2、図 1.3 にマーキング図(上面図)を示します。

表 1.5 製品一覧表

2012年11月現在

型名	ROM容量			RAM容量	パッケージ	備考				
	プログラムROM1	プログラムROM2	データフラッシュ							
R5F363A6NFA	128Kバイト	16Kバイト	4Kバイト x2ブロック	12Kバイト	PRQP0100JD-B	動作周囲温度 -20℃~85℃				
R5F363A6NFB					PLQP0100KB-A					
R5F363A6NLG					PTLG0100KA-A					
R5F363B6NFE					128Kバイト	16Kバイト	4Kバイト x2ブロック	12Kバイト	PLQP0080KB-A	動作周囲温度 -40℃~85℃
R5F363A6DFA									PRQP0100JD-B	
R5F363A6DFB									PLQP0100KB-A	
R5F363B6DFE					128Kバイト	16Kバイト	4Kバイト x2ブロック	12Kバイト	PLQP0080KB-A	動作周囲温度 -40℃~85℃
R5F363AENFA	PRQP0100JD-B									
R5F363AENFB	PLQP0100KB-A									
R5F363AENLG	256Kバイト	16Kバイト	4Kバイト x2ブロック	20Kバイト	PTLG0100KA-A	動作周囲温度 -20℃~85℃				
R5F363BENFE					PLQP0080KB-A					
R5F363AEDFA					PRQP0100JD-B					
R5F363AEDFB					PLQP0100KB-A	動作周囲温度 -40℃~85℃				
R5F363BEDFE					PLQP0080KB-A					
R5F363AKNFA					PRQP0100JD-B					
R5F363AKNFB					384Kバイト	16Kバイト	4Kバイト x2ブロック	31Kバイト	PLQP0100KB-A	動作周囲温度 -20℃~85℃
R5F363AKNLG	PTLG0100KA-A									
R5F363AKDFA	PRQP0100JD-B									
R5F363AKDFB	384Kバイト	16Kバイト	4Kバイト x2ブロック	31Kバイト	PLQP0100KB-A	動作周囲温度 -40℃~85℃				
R5F363AMNFA					PRQP0100JD-B					
R5F363AMNFB					PLQP0100KB-A					
R5F363AMNLG	512Kバイト	16Kバイト	4Kバイト x2ブロック	31Kバイト	PTLG0100KA-A	動作周囲温度 -20℃~85℃				
R5F363AMDFA					PRQP0100JD-B					
R5F363AMDFB					PLQP0100KB-A					
R5F363AMNFA					PRQP0100JD-B	動作周囲温度 -40℃~85℃				
R5F363AMNFB					PLQP0100KB-A					

(開) : 開発中

(計) : 計画中

各パッケージの旧パッケージコードは以下のとおりです。

PRQP0100JD-B : 100P6F-A、PLQP0100KB-A : 100P6Q-A、PTLG0100KA-A : 100F0M

PLQP0080KB-A : 80P6Q-A

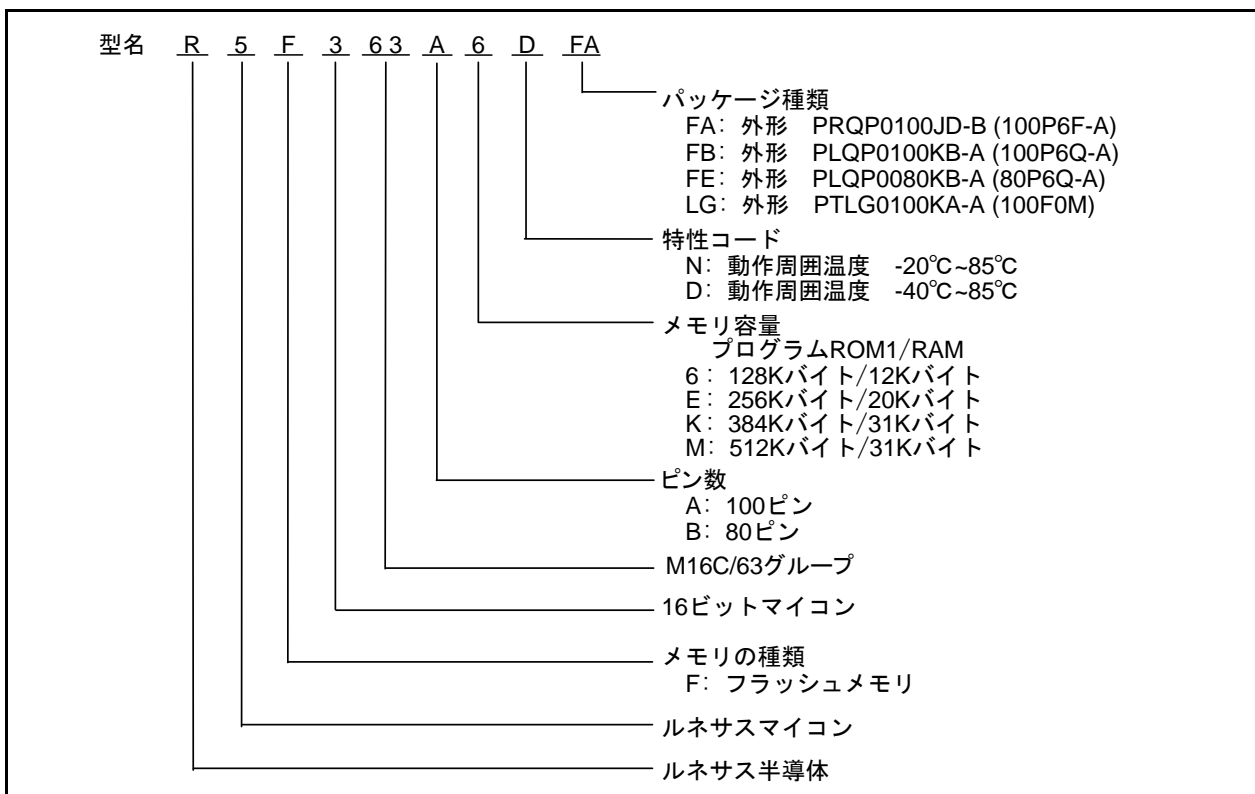


図 1.1 型名とメモリサイズ・パッケージ

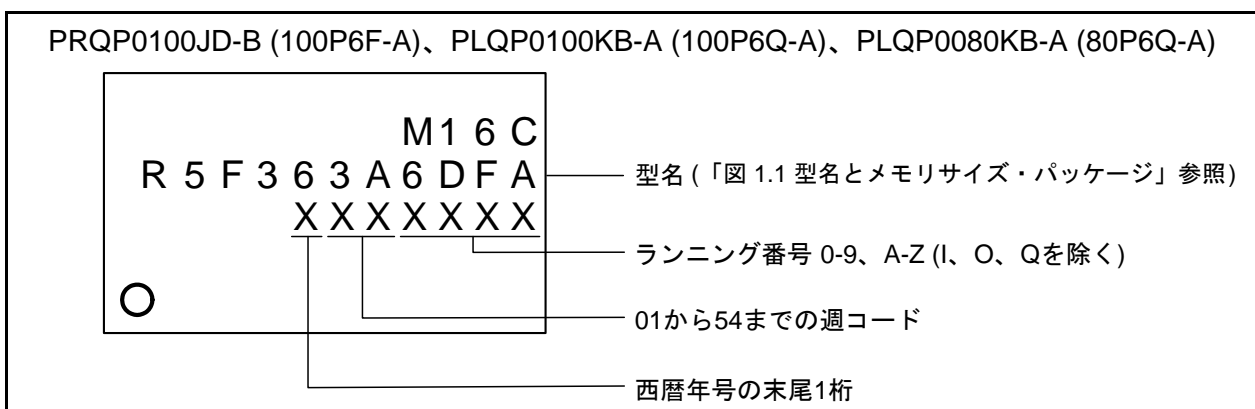


図 1.2 マーキング図(上面図) (1/2)

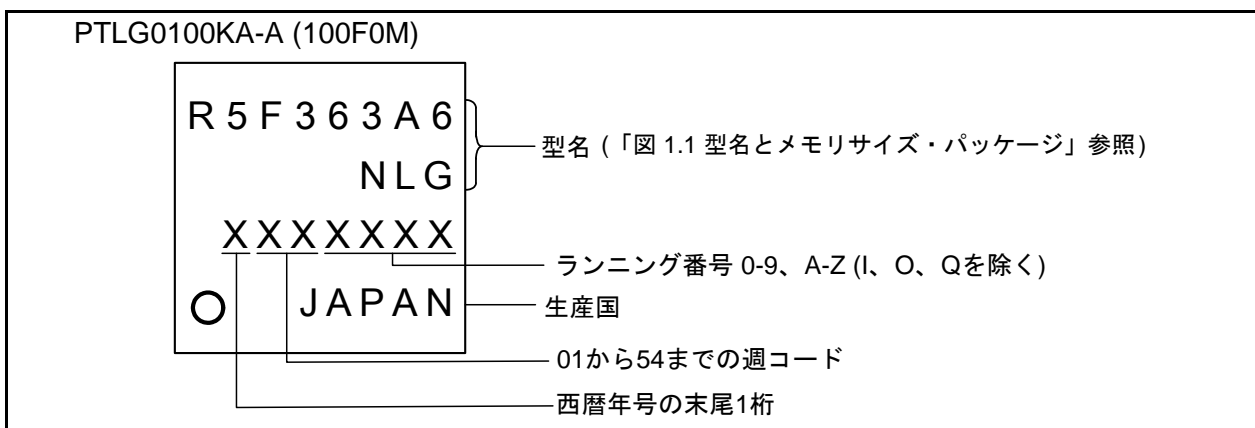


図 1.3 マーキング図(上面図) (2/2)

1.4 ブロック図

図 1.4~図 1.5にブロック図を示します。

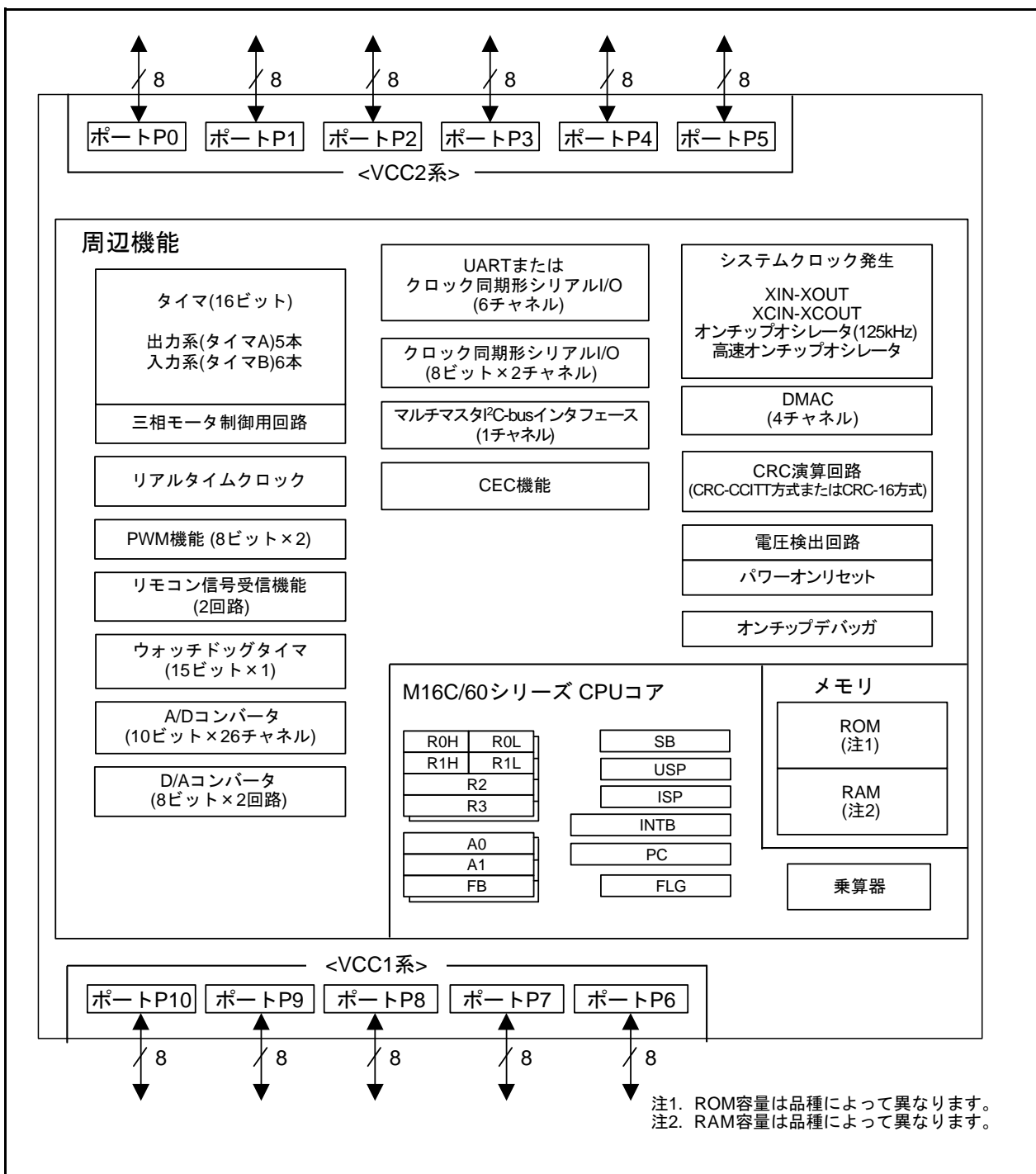


図 1.4 ブロック図(100ピン版)

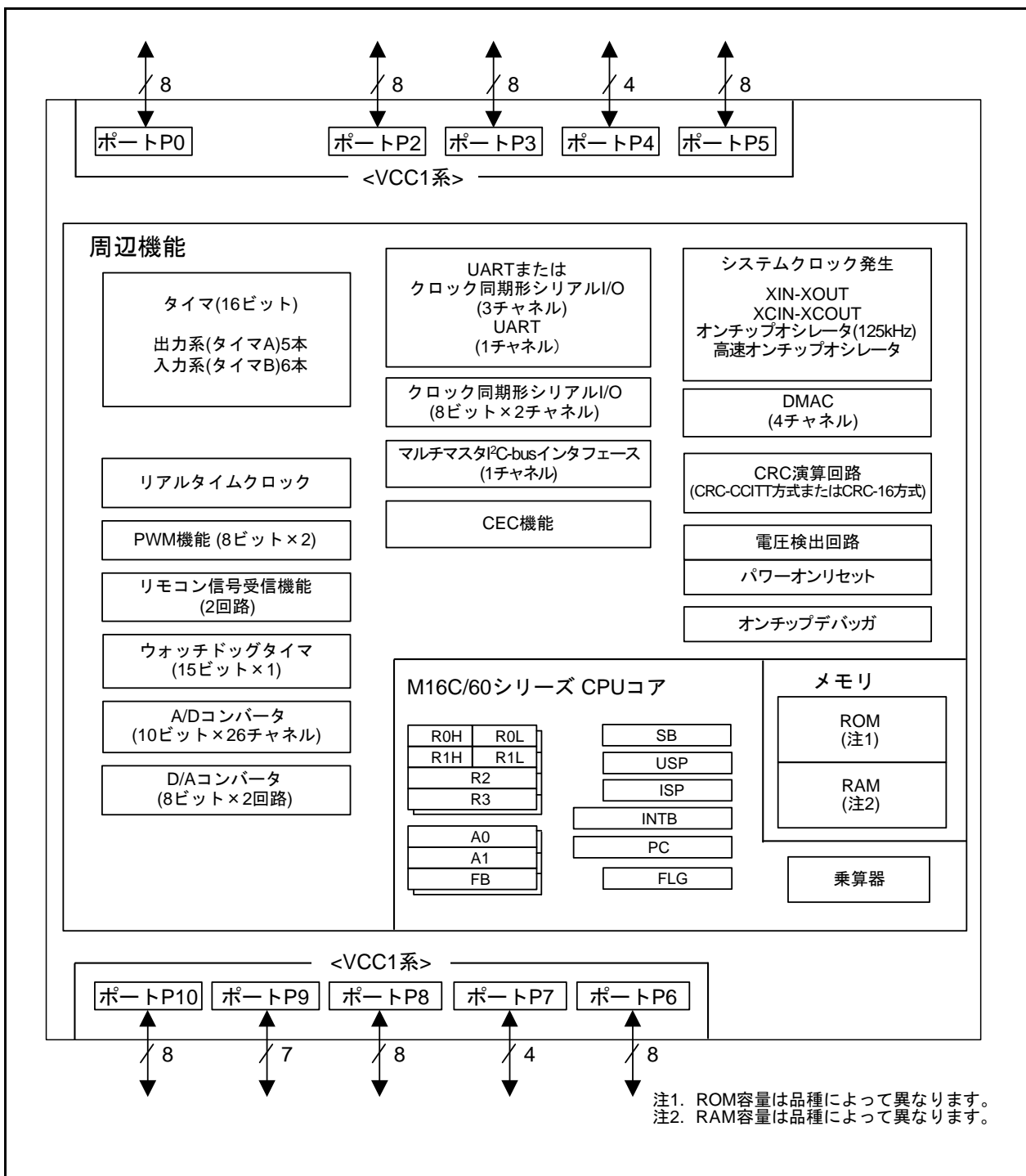


図 1.5 ブロック図(80ピン版)

1.5 ピン配置図

図 1.6~図 1.9にピン配置図(上面図)を示します。また、表 1.6~表 1.9に端子名一覧表を示します。

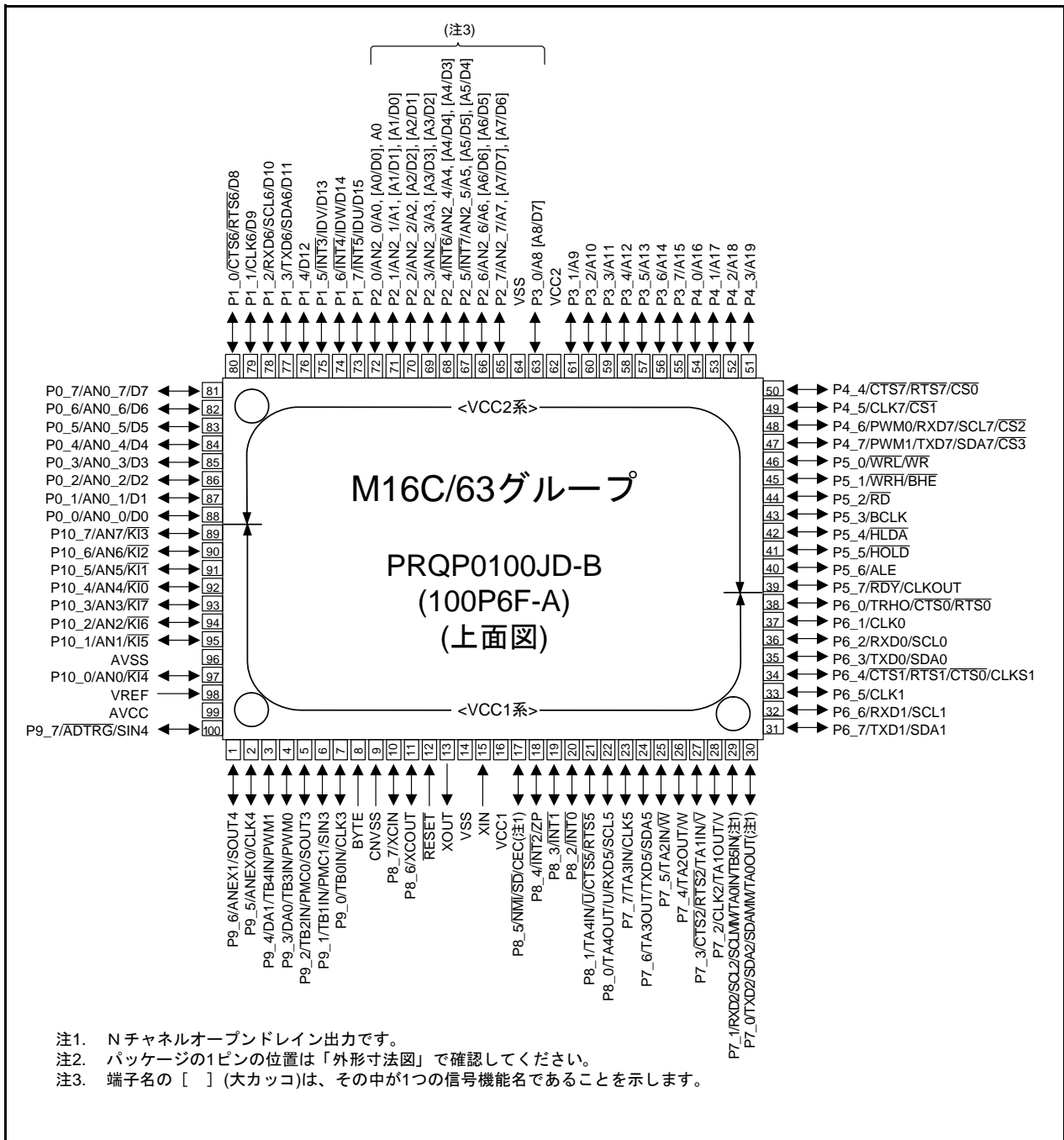


図 1.6 100ピン版ピン配置図(上面図)

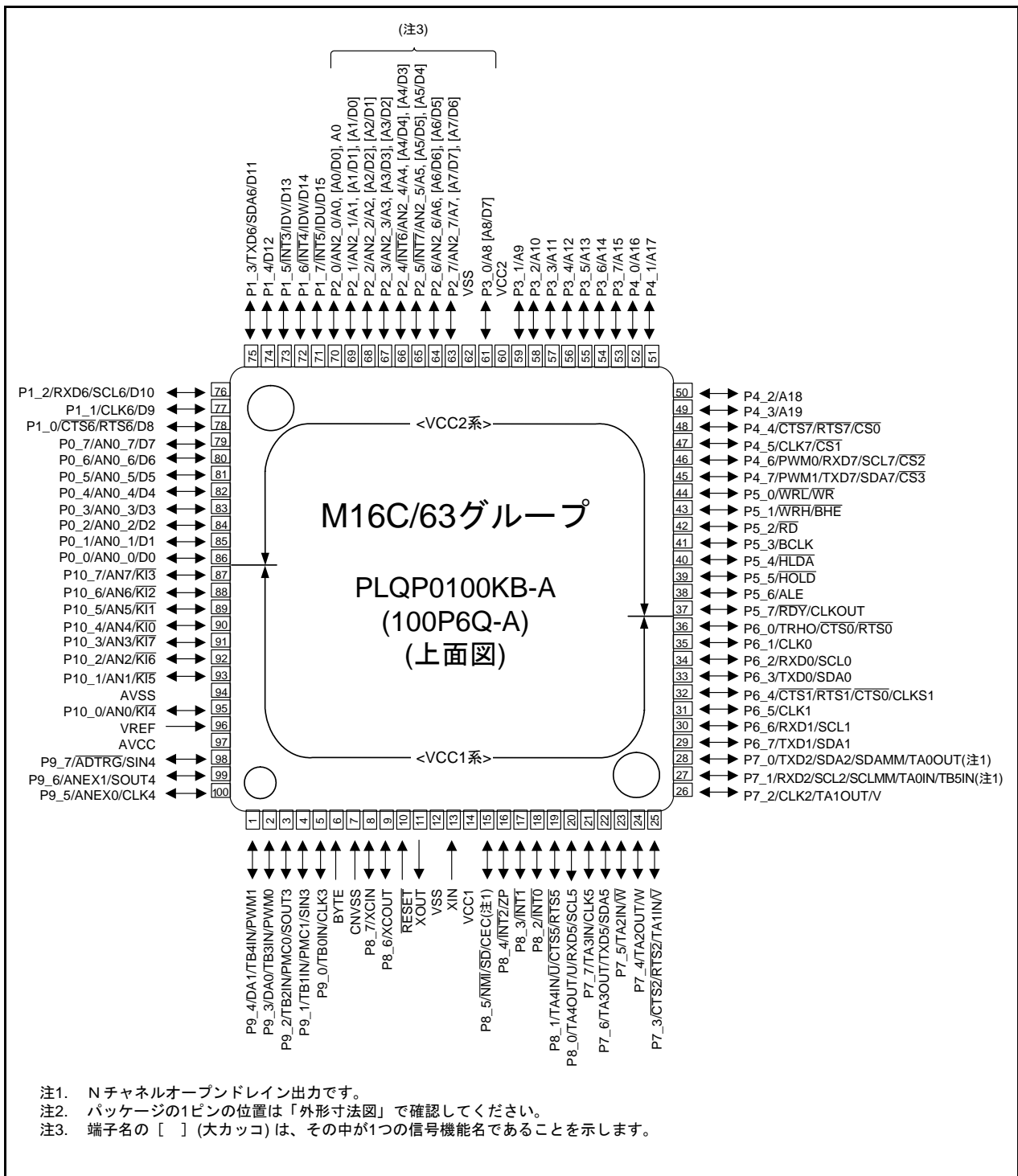


図 1.7 100ピン版ピン配置図(上面図)

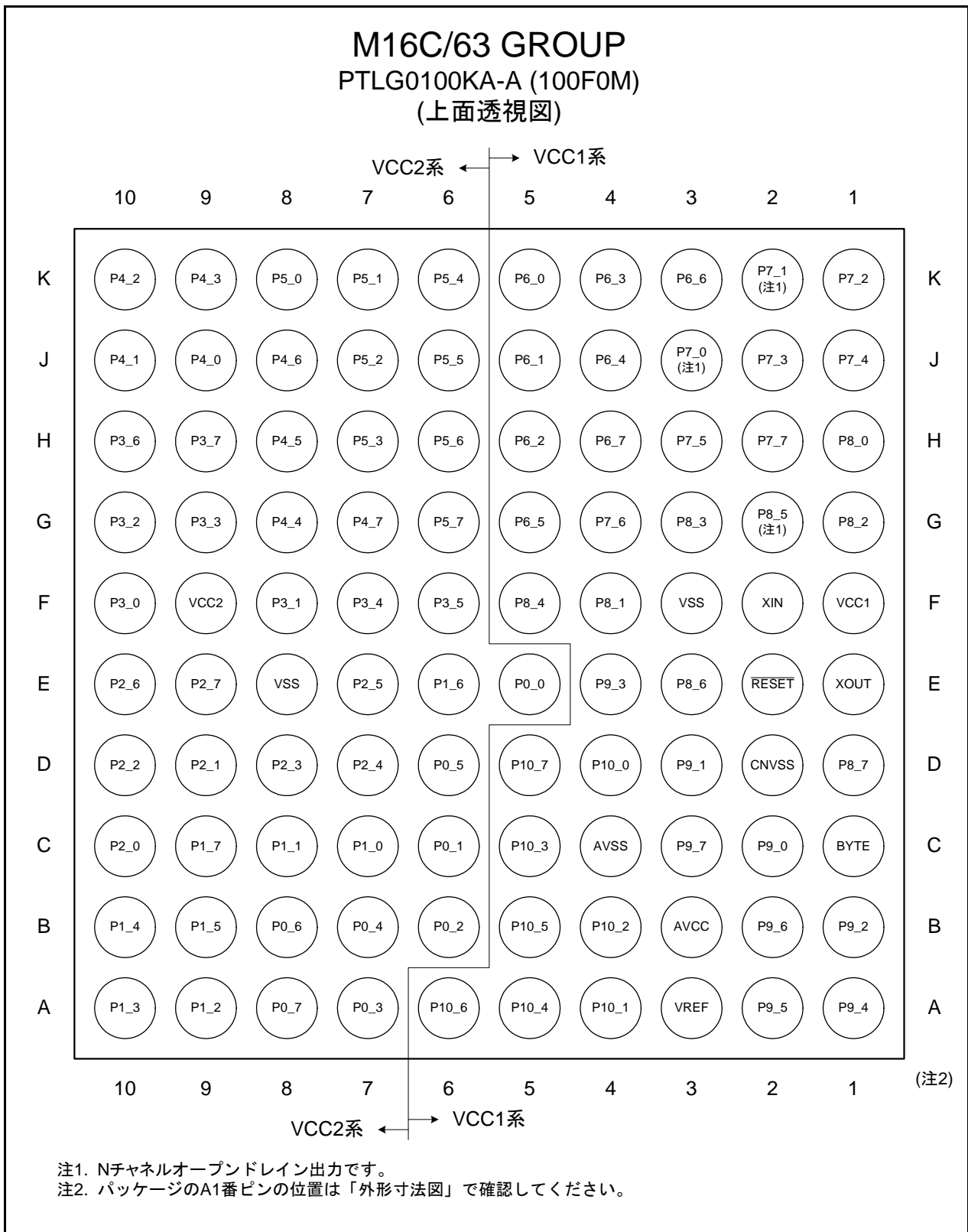


図 1.8 100ピン版ピン配置図(上面透視図)

表 1.6 100ピン版端子名一覧表(1/2)

Pin No.			制御端子	ポート	周辺機能の入出力端子				バス制御端子
FA	FB	LG			割り込み	タイマ	シリアルインタフェース	A/Dコンバータ D/Aコンバータ	
1	99	B2		P9_6			SOUT4	ANEX1	
2	100	A2		P9_5			CLK4	ANEX0	
3	1	A1		P9_4		TB4IN/PWM1		DA1	
4	2	E4		P9_3		TB3IN/PWM0		DA0	
5	3	B1		P9_2		TB2IN/PMC0	SOUT3		
6	4	D3		P9_1		TB1IN/PMC1	SIN3		
7	5	C2		P9_0		TB0IN	CLK3		
8	6	C1	BYTE						
9	7	D2	CNVSS						
10	8	D1	XCIN	P8_7					
11	9	E3	XCOU	P8_6					
12	10	E2	RESET						
13	11	E1	XOUT						
14	12	F3	VSS						
15	13	F2	XIN						
16	14	F1	VCC1						
17	15	G2		P8_5	NMI	SD	CEC		
18	16	F5		P8_4	INT2	ZP			
19	17	G3		P8_3	INT1				
20	18	G1		P8_2	INT0				
21	19	F4		P8_1		TA4IN/U	CTS5/RTS5		
22	20	H1		P8_0		TA4OUT/U	RXD5/SCL5		
23	21	H2		P7_7		TA3IN	CLK5		
24	22	G4		P7_6		TA3OUT	TXD5/SDA5		
25	23	H3		P7_5		TA2IN/W			
26	24	J1		P7_4		TA2OUT/W			
27	25	J2		P7_3		TA1IN/V	CTS2/RTS2		
28	26	K1		P7_2		TA1OUT/V	CLK2		
29	27	K2		P7_1		TA0IN/TB5IN	RXD2/SCL2/SCLMM		
30	28	J3		P7_0		TA0OUT	TXD2/SDA2/SDAMM		
31	29	H4		P6_7			TXD1/SDA1		
32	30	K3		P6_6			RXD1/SCL1		
33	31	G5		P6_5			CLK1		
34	32	J4		P6_4			CTS1/RTS1/CTS0/ CLKS1		
35	33	K4		P6_3			TXD0/SDA0		
36	34	H5		P6_2			RXD0/SCL0		
37	35	J5		P6_1			CLK0		
38	36	K5		P6_0		TRHO	CTS0/RTS0		
39	37	G6	CLKOUT	P5_7					RDY
40	38	H6		P5_6					ALE
41	39	J6		P5_5					HOLD
42	40	K6		P5_4					HLDA
43	41	H7		P5_3					BCLK
44	42	J7		P5_2					RD
45	43	K7		P5_1					WRH/BHE
46	44	K8		P5_0					WRL/WR
47	45	G7		P4_7		PWM1	TXD7/SDA7		CS3
48	46	J8		P4_6		PWM0	RXD7/SCL7		CS2
49	47	H8		P4_5			CLK7		CS1
50	48	G8		P4_4			CTS7/RTS7		CS0

表 1.7 100ピン版端子名一覧表 (2/2)

Pin No.			制御端子	ポート	周辺機能の入出力端子				バス制御端子
FA	FB				割り込み	タイマ	シリアルインタフェース	A/Dコンバータ D/Aコンバータ	
51	49	K9		P4_3					A19
52	50	K10		P4_2					A18
53	51	J10		P4_1					A17
54	52	J9		P4_0					A16
55	53	H9		P3_7					A15
56	54	H10		P3_6					A14
57	55	F6		P3_5					A13
58	56	F7		P3_4					A12
59	57	G9		P3_3					A11
60	58	G10		P3_2					A10
61	59	F8		P3_1					A9
62	60	F9	VCC2						
63	61	F10		P3_0					A8, [A8/D7]
64	62	E8	VSS						
65	63	E9		P2_7			AN2_7		A7, [A7/D7], [A7/D6]
66	64	E10		P2_6			AN2_6		A6, [A6/D6], [A6/D5]
67	65	E7		P2_5	INT7		AN2_5		A5, [A5/D5], [A5/D4]
68	66	D7		P2_4	INT6		AN2_4		A4, [A4/D4], [A4/D3]
69	67	D8		P2_3			AN2_3		A3, [A3/D3], [A3/D2]
70	68	D10		P2_2			AN2_2		A2, [A2/D2], [A2/D1]
71	69	D9		P2_1			AN2_1		A1, [A1/D1], [A1/D0]
72	70	C10		P2_0			AN2_0		A0, [A0/D0], A0
73	71	C9		P1_7	INT5	IDU			D15
74	72	E6		P1_6	INT4	IDW			D14
75	73	B9		P1_5	INT3	IDV			D13
76	74	B10		P1_4					D12
77	75	A10		P1_3			TXD6/SDA6		D11
78	76	A9		P1_2			RXD6/SCL6		D10
79	77	C8		P1_1			CLK6		D9
80	78	C7		P1_0			CTS6/RTS6		D8
81	79	A8		P0_7				AN0_7	D7
82	80	B8		P0_6				AN0_6	D6
83	81	D6		P0_5				AN0_5	D5
84	82	B7		P0_4				AN0_4	D4
85	83	A7		P0_3				AN0_3	D3
86	84	B6		P0_2				AN0_2	D2
87	85	C6		P0_1				AN0_1	D1
88	86	E5		P0_0				AN0_0	D0
89	87	D5		P10_7	KI3			AN7	
90	88	A6		P10_6	KI2			AN6	
91	89	B5		P10_5	KI1			AN5	
92	90	A5		P10_4	KI0			AN4	
93	91	C5		P10_3	KI7			AN3	
94	92	B4		P10_2	KI6			AN2	
95	93	A4		P10_1	KI5			AN1	
96	94	C4	AVSS						
97	95	D4		P10_0	KI4			AN0	
98	96	A3	VREF						
99	97	B3	AVCC						
100	98	C3		P9_7			SIN4	ADTRG	

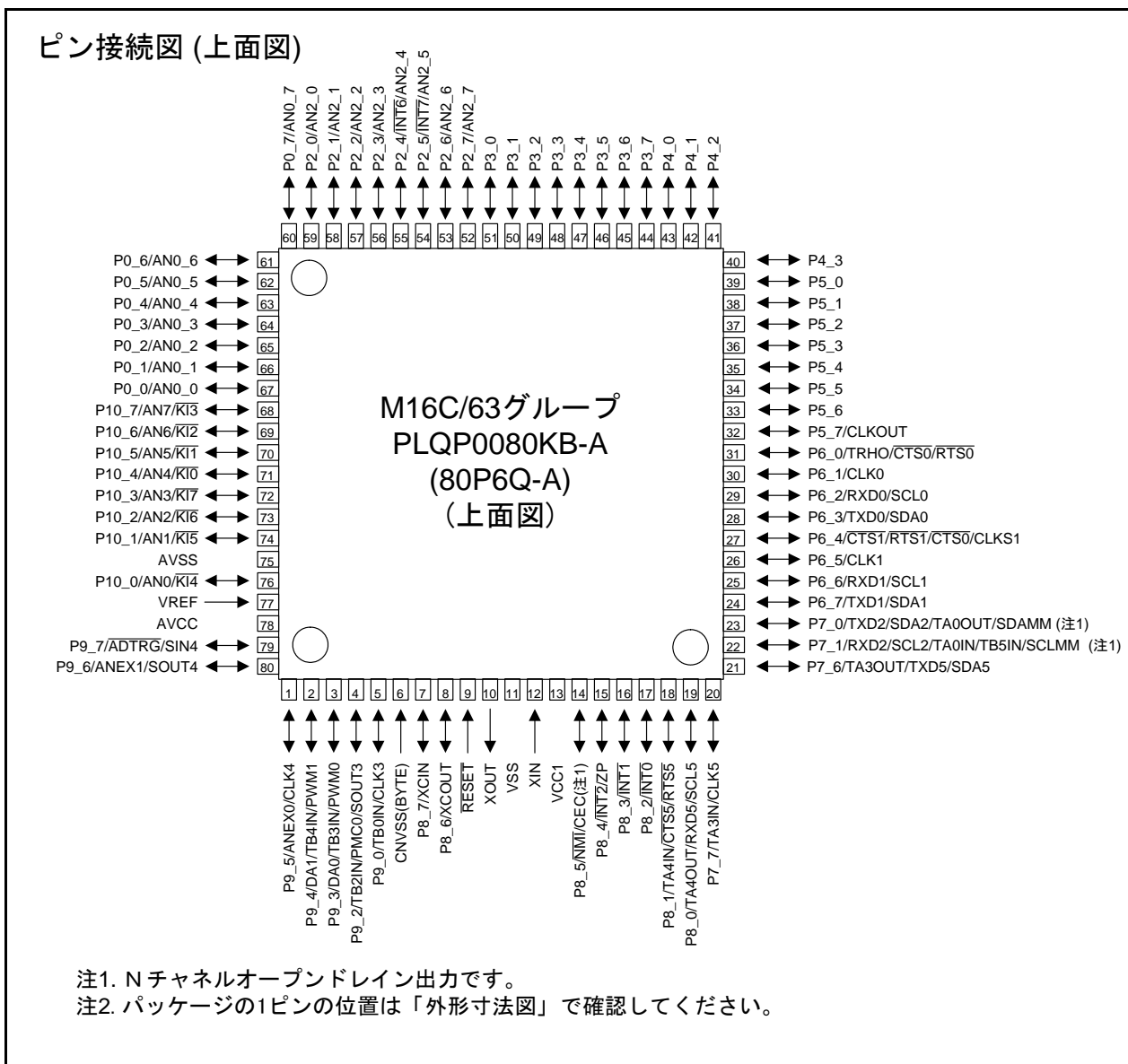


図 1.9 80ピン版ピン配置図(上面図)

表 1.8 80ピン版端子名一覧表(1/2)

Pin No.	制御端子	ポート	周辺機能の入出力端子			
			割り込み	タイマ	シリアルインタフェース	A/Dコンバータ D/Aコンバータ
1		P9_5			CLK4	ANEX0
2		P9_4		TB4IN/PWM1		DA1
3		P9_3		TB3IN/PWM0		DA0
4		P9_2		TB2IN/PMC0	SOUT3	
5		P9_0		TB0IN	CLK3	
6	CNVSS					
7	XCIN	P8_7				
8	XCOU	P8_6				
9	RESET					
10	XOUT					
11	VSS					
12	XIN					
13	VCC1					
14		P8_5	NMI		CEC	
15		P8_4	INT2	ZP		
16		P8_3	INT1			
17		P8_2	INT0			
18		P8_1		TA4IN	CTS5/RTS5	
19		P8_0		TA4OUT	RXD5/SCL5	
20		P7_7		TA3IN	CLK5	
21		P7_6		TA3OUT	TXD5/SDA5	
22		P7_1		TA0IN/TB5IN	RXD2/SCL2/SCLMM	
23		P7_0		TA0OUT	TXD2/SDA2/SDAMM	
24		P6_7			TXD1/SDA1	
25		P6_6			RXD1/SCL1	
26		P6_5			CLK1	
27		P6_4			CTS1/RTS1/CTS0/ CLKS1	
28		P6_3			TXD0/SDA0	
29		P6_2			RXD0/SCL0	
30		P6_1			CLK0	
31		P6_0		TRHO	CTS0/RTS0	
32	CLKOUT	P5_7				
33		P5_6				
34		P5_5				
35		P5_4				
36		P5_3				
37		P5_2				
38		P5_1				
39		P5_0				
40		P4_3				

表 1.9 80ピン版端子名一覧表(2/2)

Pin No.	制御端子	ポート	周辺機能の入出力端子			
			割り込み	タイマ	シリアルインタフェース	A/Dコンバータ D/Aコンバータ
41		P4_2				
42		P4_1				
43		P4_0				
44		P3_7				
45		P3_6				
46		P3_5				
47		P3_4				
48		P3_3				
49		P3_2				
50		P3_1				
51		P3_0				
52		P2_7				AN2_7
53		P2_6				AN2_6
54		P2_5	INT7			AN2_5
55		P2_4	INT6			AN2_4
56		P2_3				AN2_3
57		P2_2				AN2_2
58		P2_1				AN2_1
59		P2_0				AN2_0
60		P0_7				AN0_7
61		P0_6				AN0_6
62		P0_5				AN0_5
63		P0_4				AN0_4
64		P0_3				AN0_3
65		P0_2				AN0_2
66		P0_1				AN0_1
67		P0_0				AN0_0
68		P10_7	KI3			AN7
69		P10_6	KI2			AN6
70		P10_5	KI1			AN5
71		P10_4	KI0			AN4
72		P10_3	KI7			AN3
73		P10_2	KI6			AN2
74		P10_1	KI5			AN1
75	AVSS					
76		P10_0	KI4			AN0
77	VREF					
78	AVCC					
79		P9_7			SIN4	ADTRG
80		P9_6			SOUT4	ANEX1

1.6 端子機能の説明

表 1.10 端子機能の説明(100ピン版) (1/3)

分類	端子名	入出力	電源系統	機能
電源入力	VCC1, VCC2, VSS	入力	—	VCC1、VCC2端子には、1.8V~5.5Vを入力してください。 入力条件はVCC1 ≥ VCC2です。 VSS端子には、0Vを入力してください。
アナログ電源入力	AVCC, AVSS	入力	VCC1	A/Dコンバータ、D/Aコンバータの電源入力です。AVCC端子はVCC1に接続してください。AVSS端子はVSSに接続してください。
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合、抵抗を介してVSSに接続してください。マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。
外部データバス幅切り替え入力	BYTE	入力	VCC1	外部領域のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、VSSに接続してください。
バス制御端子	D0~D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたときデータ(D0~D7)の入出力を行います。
	D8~D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8~D15)の入出力を行います。
	A0~A19	出力	VCC2	アドレスA0~A19を出力します。
	A0/D0~ A7/D7	入出力	VCC2	外部データバスが8ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D0~D7)の入出力と、アドレス(A0~A7)の出力を時分割で行います。
	A1/D0~ A8/D7	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D0~D7)の入出力と、アドレス(A1~A8)の出力を時分割で行います。
	CS0~CS3	出力	VCC2	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	VCC2	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、BHE、WRを切り替えられます。 ・WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。 ・WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのとき、このモードを使用してください。
	ALE	出力	VCC2	アドレスをラッチするための信号です。
	HOLD	入力	VCC2	HOLD入力は使用できません。HOLD端子は抵抗を介してVCC2に接続(プルアップ)してください。
	HLDA	出力	VCC2	ホールド状態の期間、“L”を出力します。
RDY	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。	

電源系統: 外部バス関連の端子の電源系統を分けVCC2系としました。このため、VCC1系とは異なる電圧でインタフェースできます。

表 1.11 端子機能の説明(100ピン版) (2/3)

分類	端子名	入出力	電源系統	機能
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCIN端子とXCOUT端子の間には水晶共振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCIN端子からクロックを入力し、XCOUT端子は開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
BCLK出力	BCLK	出力	VCC2	BCLK信号を出力します。
クロック出力	CLKOUT	出力	VCC2	fC、f1、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0~INT2	入力	VCC1	INT割り込みの入力です。
	INT3~INT7	入力	VCC2	
NMI割り込み入力	NMI	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み入力	KI0~KI7	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA0OUT~TA4OUT	入出力	VCC1	タイマA0~A4の入出力です(ただし、TA0OUTの出力はNチャンネルオープンドレイン)。
	TA0IN~TA4IN	入力	VCC1	タイマA0~A4の入力です。
	ZP	入力	VCC1	Z相の入力です。
タイマB	TB0IN~TB5IN	入力	VCC1	タイマB0~B5の入力です。
三相モータ制御用タイマ	U, U, V, V, W, W	出力	VCC1	三相モータ制御用タイマの出力です。
	SD	入力	VCC1	強制遮断入力です。
	IDU, IDV, IDW	入力	VCC2	位置データの入力です。
リアルタイムクロック出力	TRHO	出力	VCC1	リアルタイムクロックの出力です。
PWM出力	PWM0, PWM1	出力	VCC1, VCC2	PWM出力です。
リモコン信号受信入力	PMC0, PMC1	入力	VCC1	リモコン信号受信機能の入力です。
シリアルインタフェース UART0~UART2, UART5~UART7	CTS0~CTS2, CTS5	入力	VCC1	送信制御用入力です。
	CTS6, CTS7	入力	VCC2	
	RTS0~RTS2, RTS5	出力	VCC1	
	RTS6, RTS7	出力	VCC2	受信制御用出力です。
	CLK0~CLK2, CLK5	入出力	VCC1	送受信クロック入出力です。
	CLK6, CLK7	入出力	VCC2	
	RXD0~RXD2, RXD5	入力	VCC1	シリアルデータ入力です。
	RXD6, RXD7	入力	VCC2	
	TXD0~TXD2, TXD5	出力	VCC1	シリアルデータ出力です。(注2)
	TXD6, TXD7	出力	VCC2	
UART0~UART2, UART5~UART7 I ² Cモード	CLKS1	出力	VCC1	送受信クロック複数端子出力機能の出力です。
	SDA0~SDA2, SDA5	入出力	VCC1	シリアルデータ入出力です。
	SDA6, SDA7	入出力	VCC2	
	SCL0~SCL2, SCL5	入出力	VCC1	送受信クロック入出力です。
シリアルインタフェース SI/O3, SI/O4	SCL6, SCL7	入出力	VCC2	
	CLK3, CLK4	入出力	VCC1	送受信クロック入出力です。
	SIN3, SIN4	入力	VCC1	シリアルデータ入力です。
	SOUT3, SOUT4	出力	VCC1	シリアルデータ出力です。

注1. 発振特性は発振子メーカーにお問い合わせください。

注2. TXD2, SDA2, SCL2の出力はNチャンネルオープンドレインです。TXDi (i=0, 1, 5~7)、SDAi, SCLiの出力はCMOS出力で、プログラムでNチャンネルオープンドレイン出力に変更できます。

表 1.12 端子機能の説明(100ピン版) (3/3)

分類	端子名	入出力	電源系統	機能
マルチマスタ I ² C-bus インタフェース	SDAMM	入出力	VCC1	シリアルデータ入出力です。(出力はNチャンネルオープンドレイン)
	SCLMM	入出力	VCC1	送受信クロック入出力です。(出力はNチャンネルオープンドレイン)
CEC入出力	CEC	入出力	VCC1	CEC入出力です。(出力はNチャンネルオープンドレイン)
基準電圧入力	VREF	入力	VCC1	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN7	入力	VCC1	アナログ入力です。
	AN0_0~AN0_7 AN2_0~AN2_7	入力	VCC2	
	ADTRG	入力	VCC1	外部トリガ入力です。
	ANEX0, ANEX1	入力	VCC1	拡張アナログ入力です。
D/Aコンバータ	DA0,DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート	P0_0~P0_7 P1_0~P1_7 P2_0~P2_7 P3_0~P3_7 P4_0~P4_7 P5_0~P5_7	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。
	P6_0~P6_7 P7_0~P7_7 P8_0~P8_7 P9_0~P9_7 P10_0~P10_7	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです。ただし、P7_0, P7_1, P8_5の出力はNチャンネルオープンドレイン出力。プルアップはありません。 P8_5は、 $\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入力レベルを確認できます。

表 1.13 端子機能の説明(80ピン版) (1/2)

分類	端子名	入出力	電源系統	機能
電源入力	VCC1、 VSS	入力	—	VCC1端子には、1.8V~5.5Vを入力してください。 VSS端子には、0Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	VCC1	A/Dコンバータ、D/Aコンバータの電源入力です。 AVCC端子はVCC1に接続してください。AVSS端子 はVSSに接続してください。
リセット入力	$\overline{\text{RESET}}$	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータ はリセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。リ セット後、シングルチップモードで動作を開始する場 合、抵抗を介してVSSに接続してください
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XIN端子と XOUT端子の間にはセラミック共振子、または水晶発 振子を接続してください(注1)。外部で生成したク ロックを入力する場合は、XIN端子からクロックを入 力し、XOUT端子は開放にしてください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCIN端子とXCOU T端子の間には水晶発振子を接続してください(注1)。外部で 生成したクロックを入力する場合は、XCIN端子からクロ ックを入力し、XCOUT端子は開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
クロック出力	CLKOUT	出力	VCC1	fC、f1、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0~INT2	入力	VCC1	INT割り込みの入力です。
	INT6~INT7	入力	VCC1	
NMI割り込み入力	NMI	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み入力	KI0~KI7	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA0OUT, TA3OUT, TA4OUT	入出力	VCC1	タイマA0、タイマA3、タイマA4の入出力です(ただし、 TA0OUTの出力はNチャンネルオープンドレイン)。
	TA0IN, TA3IN, TA4IN	入力	VCC1	タイマA0、タイマA3、タイマA4の入力です。
	ZP	入力	VCC1	Z相の入力です。
タイマB	TB0IN, TB2IN~TB5IN	入力	VCC1	タイマB0、タイマB2~タイマB5の入力です。
リアルタイムクロック出 力	TRHO	出力	VCC1	リアルタイムクロックの出力です。
PWM出力	PWM0, PWM1	出力	VCC1	PWM出力です。
リモコン信号受信入力	PMC0	入力	VCC1	リモコン信号受信機能の入力です。
シリアルインタフェー ス UART0~UART2, UART5	CTS0, CTS1, CTS5	入力	VCC1	送信制御用入力です。
	RTS0, RTS1, RTS5	出力	VCC1	受信制御用出力です。
	CLK0, CLK1, CLK5	入出力	VCC1	送受信クロック入出力です。
	RXD0~RXD2, RXD5	入力	VCC1	シリアルデータ入力です。
	TXD0~TXD2, TXD5	出力	VCC1	シリアルデータ出力です。(注2)
	CLKS1	出力	VCC1	送受信クロック複数端子出力機能の出力です。
UART0~UART2, UART5 I ² Cモード	SDA0~SDA2, SDA5	入出力	VCC1	シリアルデータ入出力です。
	SCL0~SCL2, SCL5	入出力	VCC1	送受信クロック入出力です。
シリアルインタフェー ス SI/O3, SI/O4	CLK3, CLK4	入出力	VCC1	送受信クロック入出力です。
	SIN4	入力	VCC1	シリアルデータ入力です。
	SOUT3, SOUT4	出力	VCC1	シリアルデータ出力です。

注1. 発振特性は発振子メーカーに問い合わせてください。

注2. TXD2, SDA2, SCL2の出力はNチャンネルオープンドレインです。TXDi(i=0, 1, 5)、SDAi, SCLiの出力はCMOS出
力で、プログラムでNチャンネルオープンドレイン出力に変更できます。

表 1.14 端子機能の説明(80ピン版) (2/2)

分類	端子名	入出力	電源系統	機能
マルチマスタ I ² C-bus インタフェース	SDAMM	入出力	VCC1	シリアルデータ入出力です。(出力はNチャンネルオープンドレイン)
	SCLMM	入出力	VCC1	送受信クロック入出力です。(出力はNチャンネルオープンドレイン)
CEC入出力	CEC	入出力	VCC1	CEC入出力です。(出力はNチャンネルオープンドレイン)
基準電圧入力	VREF	入力	VCC1	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN7	入力	VCC1	アナログ入力です。
	AN0_0~AN0_7 AN2_0~AN2_7	入力	VCC1	
	ADTRG	入力	VCC1	外部トリガ入力です。
	ANEX0, ANEX1	入力	VCC1	拡張アナログ入力です。
D/Aコンバータ	DA0,DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート	P0_0~P0_7 P2_0~P2_7 P3_0~P3_7 P5_0~P5_7 P6_0~P6_7 P8_0~P8_7 P10_0~P10_7	入出力	VCC1	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。 P8_5の出力はNチャンネルオープンドレイン出力、プルアップはありません。P8_5は、 $\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入力レベルを確認できます。
	P4_0~P4_3 P7_0, P7_1, P7_6, P7_7, P9_0, P9_2~P9_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。ただし、P7_0、P7_1の出力はNチャンネルオープンドレイン出力、プルアップはありません。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

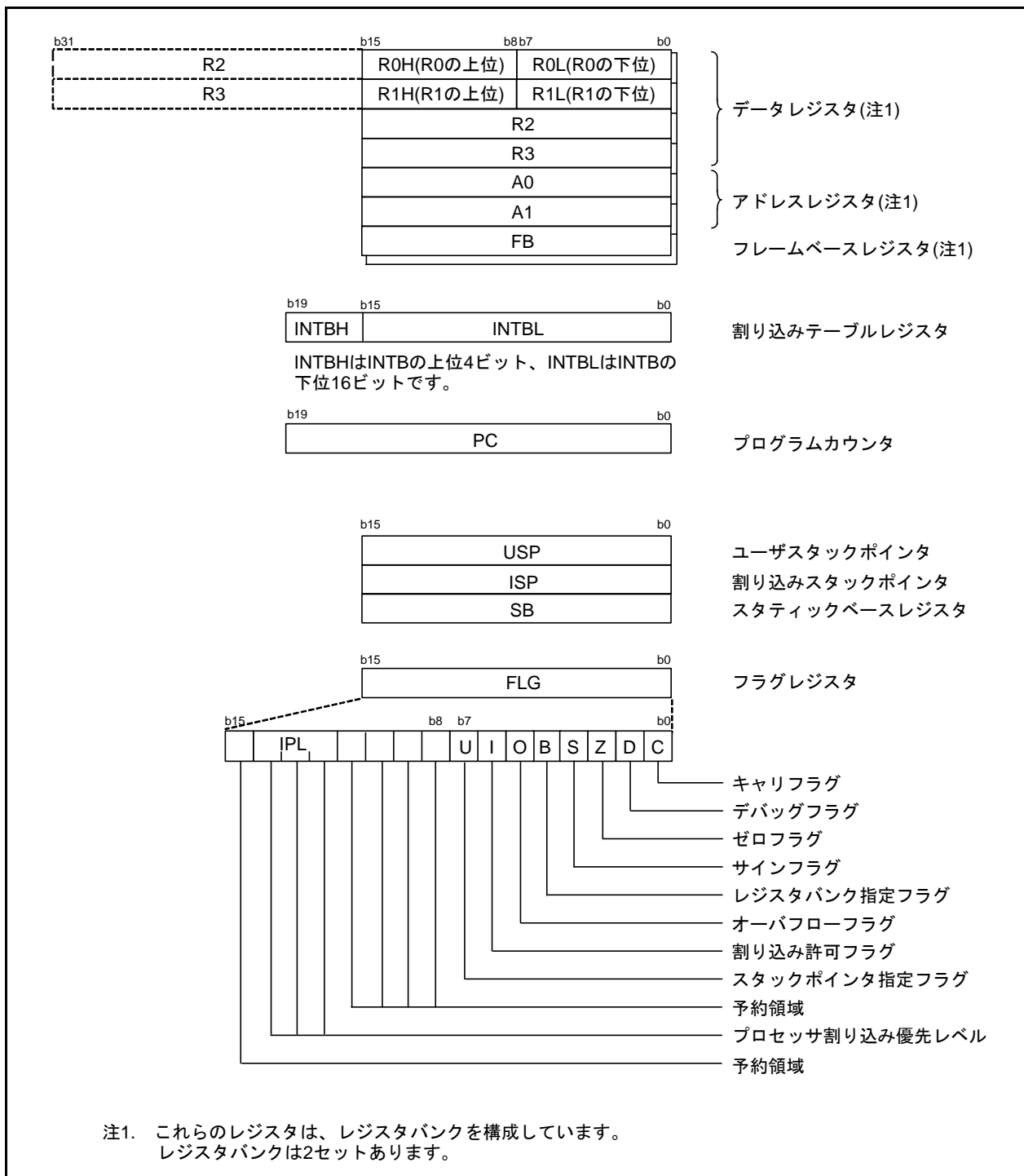


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1~R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、ともに16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. アドレス空間

3.1 アドレス空間

アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。また、メモリ空間拡張機能を用いてアドレス空間を4Mバイトに拡張できます。この場合、40000h番地からBFFFFh番地がバンク0からバンク7の外部領域として使用できます。図3.1にアドレス空間を示します。アクセスできる領域は、プロセッサモードや、各制御ビットの状態によって違います。

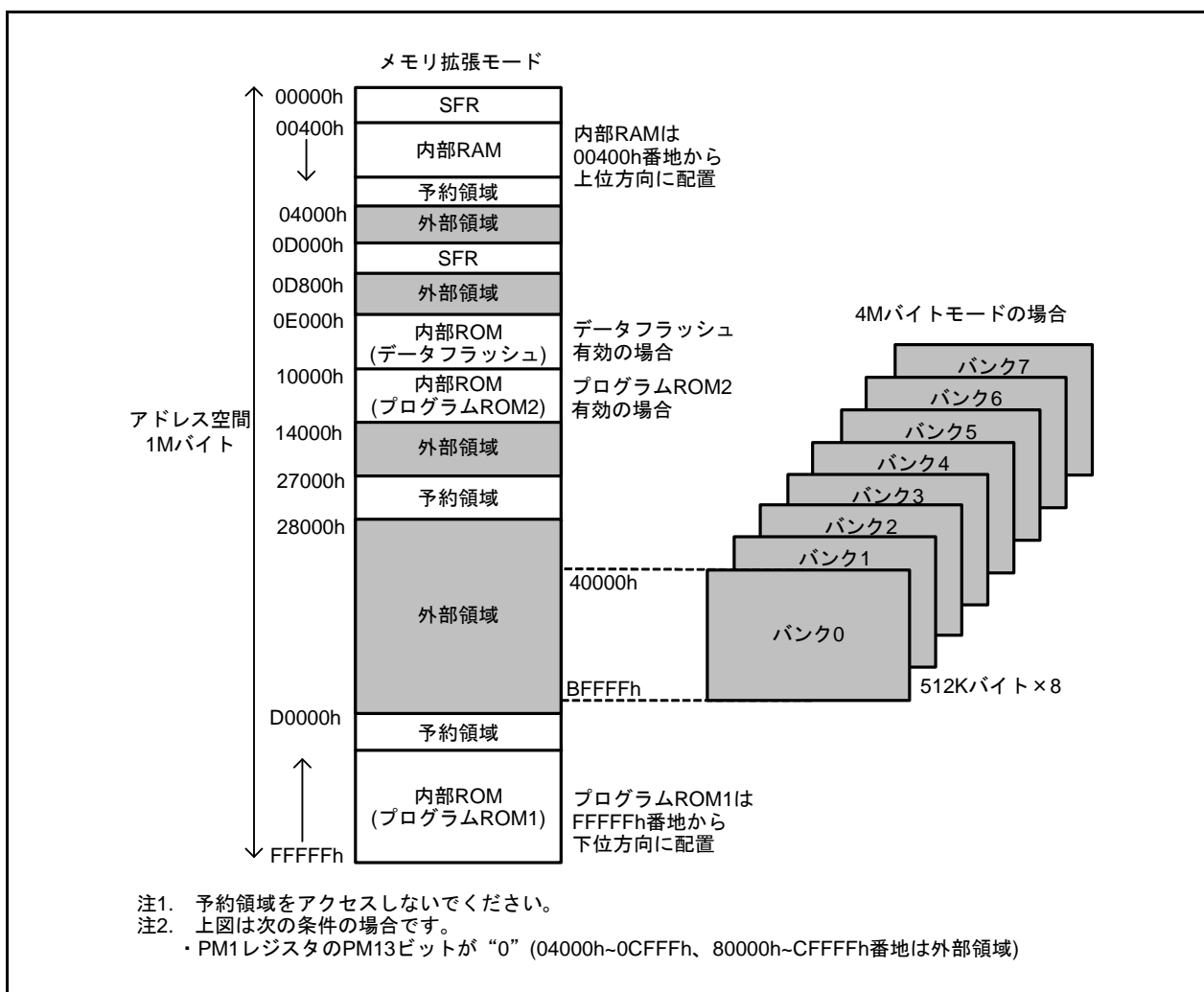


図 3.1 アドレス空間

3.2 メモリ配置

SFRは、00000h番地から003FFh番地と、0D000h番地から0D7FFh番地に配置されています。ここには周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、アクセスしないでください。

内部RAMは00400h番地から上位方向に配置されます。たとえば10Kバイトの内部RAMは、00400h番地から02BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

内部ROMはフラッシュメモリです。内部ROMにはデータフラッシュ、プログラムROM1、プログラムROM2があります。

データフラッシュは、0E000h番地から0FFFFh番地に配置されます。この領域は主にデータ格納用ですが、プログラムを格納することもできます。

プログラムROM2は、10000h番地から13FFFh番地に配置されます。プログラムROM1は、FFFFh番地から下位方向に配置されます。たとえば64KバイトのプログラムROM1は、F0000h番地からFFFFh番地に配置されます。

スペシャルページベクタテーブルはFFE00h番地からFFFD7h番地に配置されます。このベクタはJMPS命令またはJSRS命令で使用します(「M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル」参照)。

割り込みの固定ベクタテーブルはFFFDCh番地からFFFFh番地に配置されます。割り込みの変ベクタテーブルは、INTBレジスタに設定された先頭番地から256バイトの領域に配置されます。

図 3.2にメモリ配置を示します。

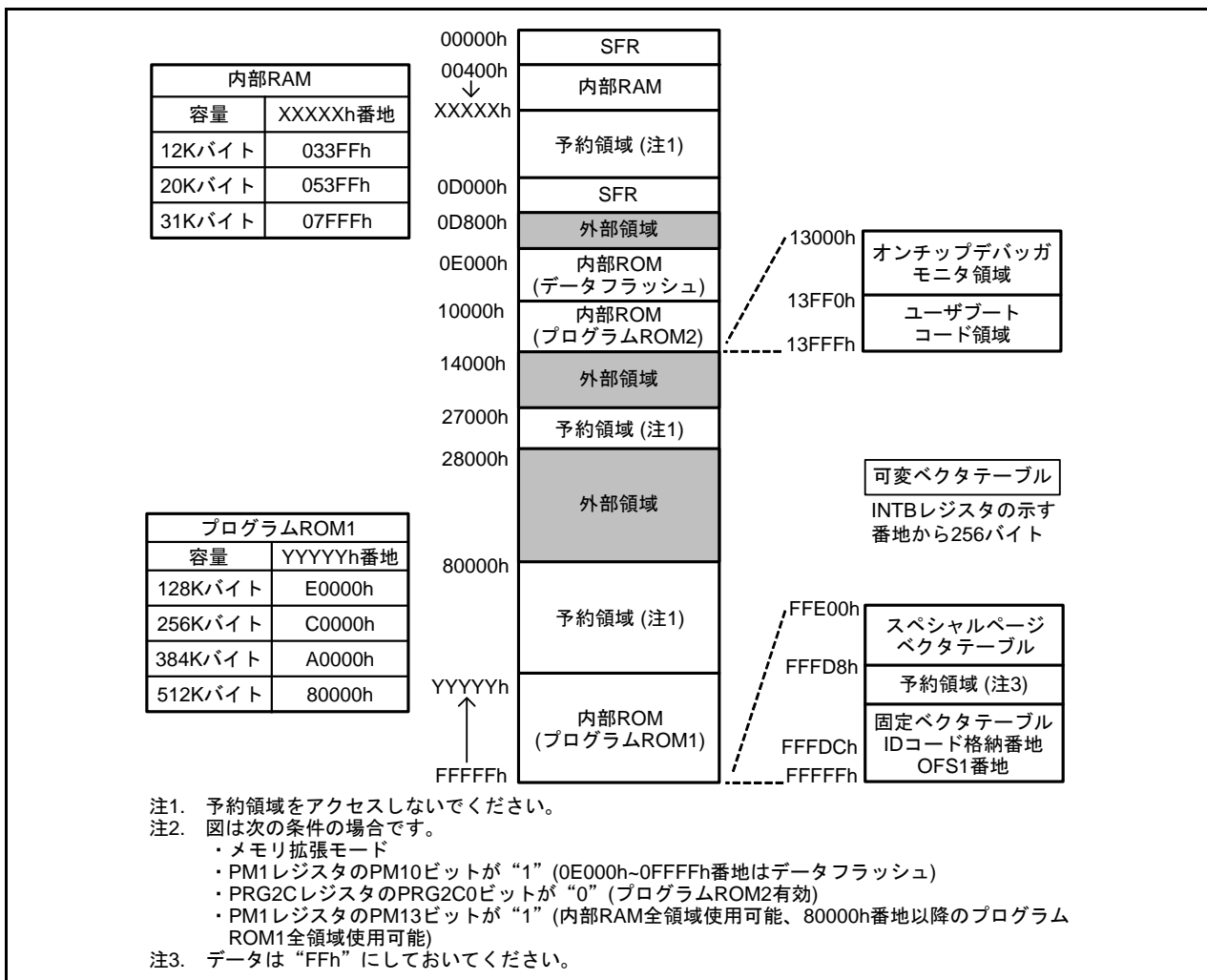


図 3.2 メモリ配置

3.3 プロセッサモードによる違い

アクセスできる領域は、プロセッサモードや、各制御ビットの状態によって異なります。図 3.3 にプロセッサモードによる違いを示します。

シングルチップモードでは、SFR、内部RAM、内部ROMがアクセスできます。

メモリ拡張モードでは、SFR、内部RAM、内部ROM、外部領域がアクセスできます。また、メモリ空間拡張機能を用いてアドレス空間を4Mバイトに拡張できます。

マイクロプロセッサモードでは、SFR、内部RAM、外部領域がアクセスできます。また、メモリ空間拡張機能を用いてアドレス空間を4Mバイトに拡張できます。なお、固定ベクタテーブルに当たるFFFDC_h番地からFFFFF_h番地にはROMを配置してください。

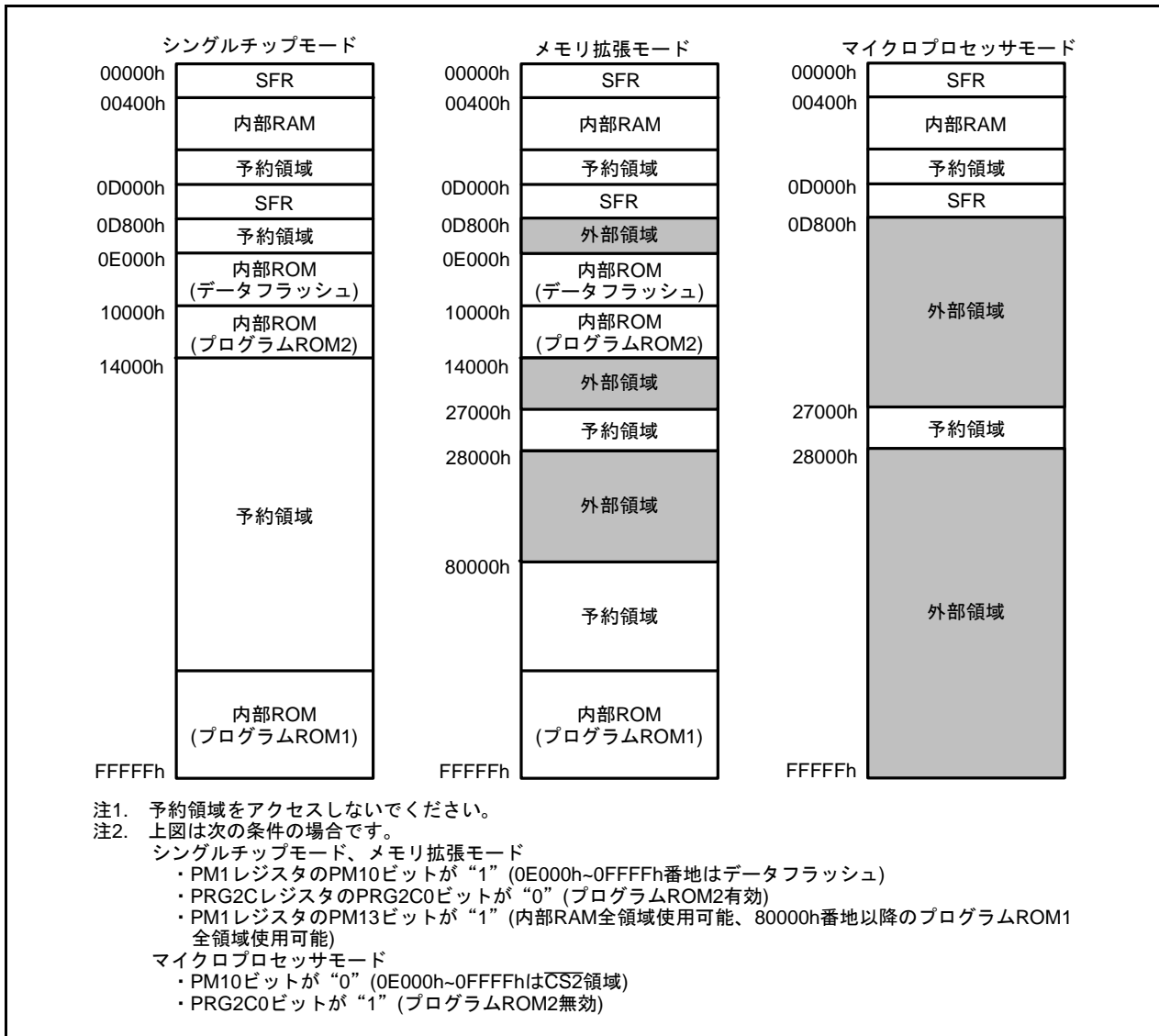


図 3.3 プロセッサモードによる違い

4. SFR

4.1 SFR

SFR (Special Function Register)は、周辺機能の制御レジスタです。

表 4.1 SFR一覧(1) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	0000 0000b (CNVSS端子が“L”) 0000 0011b (CNVSS端子が“H”) (注2)
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
0008h	チップセレクト制御レジスタ	CSR	01h
0009h	外部領域リカバリサイクル制御レジスタ	EWR	XXXX XX00b
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	データバンクレジスタ	DBR	00h
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注3)
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b
0011h	外部領域ウェイト制御拡張レジスタ	EWC	00h
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0013h	サブクロック分周制御レジスタ	SCM0	XXXX X000b
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
0016h	周辺クロック停止レジスタ1	PCLKSTP1	X000 0000b
0017h			
0018h	リセット要因判別レジスタ	RSTFR	XX00 001Xb (ハードウェアリセット) (注4)
0019h	電圧検出2回路フラグレジスタ	VCR1	0000 1000b (注5)
001Ah	電圧検出回路動作許可レジスタ	VCR2	00h (注5)
001Bh	チップセレクト拡張制御レジスタ	CSE	00h
001Ch			
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
001Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. 次のビットは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

PM0レジスタのPM00、PM01ビット

注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

注4. RSTFRレジスタの各ビットは、リセットの種類によって状態が異なります。

注5. ハードウェアリセットの場合です。詳細は各レジスタの説明を参照してください。

表 4.2 SFR一覧(2) (注1)

番地	レジスタ	シンボル	リセット後の値
0020h			
0021h			
0022h	40MHzオンチップオシレータ制御レジスタ0	FRA0	XXXX XX00b
0023h			
0024h			
0025h			
0026h	電圧監視機能選択レジスタ	VWCE	00h
0027h			
0028h	電圧検出1レベル選択レジスタ	VD1LS	0000 1010b (注2)
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	1000 XX10b (注2)
002Bh	電圧監視1回路制御レジスタ	VW1C	1000 1010b (注2)
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b (注2)
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. ハードウェアリセットの場合です。詳細は各レジスタの説明を参照してください

表 4.3 SFR一覧(3) (注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h	INT7割り込み制御レジスタ	INT7IC	XX00 X000b
0043h	INT6割り込み制御レジスタ	INT6IC	XX00 X000b
0044h	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ UART1バス衝突検出割り込み制御レジスタ	TB4IC U1BCNIC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ UART0バス衝突検出割り込み制御レジスタ	TB3IC U0BCNIC	XXXX X000b
0048h	SI/O4割り込み制御レジスタ INT5割り込み制御レジスタ	S4IC INT5IC	XX00 X000b
0049h	SI/O3割り込み制御レジスタ INT4割り込み制御レジスタ	S3IC INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XX00 X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00 X000b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.4 SFR一覧(4) (注1)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXX X000b
006Bh	UART5バス衝突検出割り込み制御レジスタ CEC1割り込み制御レジスタ	U5BCNIC CEC1IC	XXXX X000b
006Ch	UART5送信割り込み制御レジスタ CEC2割り込み制御レジスタ	S5TIC CEC2IC	XXXX X000b
006Dh	UART5受信割り込み制御レジスタ	S5RIC	XXXX X000b
006Eh	UART6バス衝突検出割り込み制御レジスタ リアルタイムクロック周期割り込み制御レジスタ	U6BCNIC RTCTIC	XXXX X000b
006Fh	UART6送信割り込み制御レジスタ リアルタイムクロックアラーム割り込み制御レジスタ	S6TIC RTCCIC	XXXX X000b
0070h	UART6受信割り込み制御レジスタ	S6RIC	XXXX X000b
0071h	UART7バス衝突検出割り込み制御レジスタ リモコン信号受信機能0割り込み制御レジスタ	U7BCNIC PMC0IC	XXXX X000b
0072h	UART7送信割り込み制御レジスタ リモコン信号受信機能1割り込み制御レジスタ	S7TIC PMC1IC	XXXX X000b
0073h	UART7受信割り込み制御レジスタ	S7RIC	XXXX X000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh	I2C-busインタフェース割り込み制御レジスタ	IICIC	XXXX X000b
007Ch	SCL/SDA割り込み制御レジスタ	SCLDAIC	XXXX X000b
007Dh			
007Eh			
007Fh			
0080h~ 017Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.5 SFR一覧(5) (注1)

番地	レジスタ	シンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0187h			
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	0000 0X00b
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0197h			
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	0000 0X00b
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	0000 0X00b
01ADh			
01AEh			
01AFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.6 SFR一覧(6) (注1)

番地	レジスタ	シンボル	リセット後の値
01B0h	DMA3 ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B3h			
01B4h	DMA3 ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B7h			
01B8h	DMA3 転送カウンタ	TCR3	XXh
01B9h			XXh
01BAh			
01BBh			
01BCh	DMA3 制御レジスタ	DM3CON	0000 0X00b
01BDh			
01BEh			
01BFh			
01C0h	タイマB0-1 レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1 レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1 レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ 1	PPWFS1	XXXX X000b
01C7h			
01C8h	タイマBカウントソース選択レジスタ 0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ 1	TBCS1	X0h
01CAh			
01CBh	タイマAB分周制御レジスタ 0	TCKDIVC0	0000 X000b
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ 0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ 1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ 2	TACS2	X0h
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D6h			
01D7h			
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
01D9h			
01DAh	三相プロテクト制御レジスタ	TPRC	00h
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.7 SFR一覧(7) (注1)

番地	レジスタ	シンボル	リセット後の値
01E0h	タイマB3-1レジスタ	TB31	XXh
01E1h			XXh
01E2h	タイマB4-1レジスタ	TB41	XXh
01E3h			XXh
01E4h	タイマB5-1レジスタ	TB51	XXh
01E5h			XXh
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	XXXX X000b
01E7h			
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	00h
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	X0h
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	PMC0機能選択レジスタ0	PMC0CON0	00h
01F1h	PMC0機能選択レジスタ1	PMC0CON1	00XX 0000b
01F2h	PMC0機能選択レジスタ2	PMC0CON2	0000 00X0b
01F3h	PMC0機能選択レジスタ3	PMC0CON3	00h
01F4h	PMC0ステータスレジスタ	PMC0STS	00h
01F5h	PMC0割り込み要因レジスタ	PMC0INT	00h
01F6h	PMC0コンペア制御レジスタ	PMC0CPC	XXX0 X000b
01F7h	PMC0コンペア値設定レジスタ	PMC0CPD	00h
01F8h	PMC1機能選択レジスタ0	PMC1CON0	XXX0 X000b
01F9h	PMC1機能選択レジスタ1	PMC1CON1	XXXX 0X00b
01FAh	PMC1機能選択レジスタ2	PMC1CON2	0000 00X0b
01FBh	PMC1機能選択レジスタ3	PMC1CON3	00h
01FCh	PMC1ステータスレジスタ	PMC1STS	X000 X00Xb
01FDh	PMC1割り込み要因レジスタ	PMC1INT	X000 X00Xb
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.8 SFR一覧(8) (注1)

番地	レジスタ	シンボル	リセット後の値
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0223h	フラッシュメモリ制御レジスタ3	FMR3	XXXX 0000b
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.9 SFR一覧(9) (注1)

番地	レジスタ	シンボル	リセット後の値
0240h			
0241h			
0242h			
0243h			
0244h	UART0 特殊モードレジスタ 4	U0SMR4	00h
0245h	UART0 特殊モードレジスタ 3	U0SMR3	000X 0X0Xb
0246h	UART0 特殊モードレジスタ 2	U0SMR2	X000 0000b
0247h	UART0 特殊モードレジスタ	U0SMR	X000 0000b
0248h	UART0 送受信モードレジスタ	U0MR	00h
0249h	UART0 ビットレートレジスタ	U0BRG	XXh
024Ah	UART0 送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0 送受信制御レジスタ 0	U0C0	0000 1000b
024Dh	UART0 送受信制御レジスタ 1	U0C1	00XX 0010b
024Eh	UART0 受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h	UART 送受信制御レジスタ 2	UCON	X000 0000b
0251h			
0252h	UART クロック選択レジスタ	UCLKSEL0	X0h
0253h			
0254h	UART1 特殊モードレジスタ 4	U1SMR4	00h
0255h	UART1 特殊モードレジスタ 3	U1SMR3	000X 0X0Xb
0256h	UART1 特殊モードレジスタ 2	U1SMR2	X000 0000b
0257h	UART1 特殊モードレジスタ	U1SMR	X000 0000b
0258h	UART1 送受信モードレジスタ	U1MR	00h
0259h	UART1 ビットレートレジスタ	U1BRG	XXh
025Ah	UART1 送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1 送受信制御レジスタ 0	U1C0	0000 1000b
025Dh	UART1 送受信制御レジスタ 1	U1C1	00XX 0010b
025Eh	UART1 受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0260h			
0261h			
0262h			
0263h			
0264h	UART2 特殊モードレジスタ 4	U2SMR4	00h
0265h	UART2 特殊モードレジスタ 3	U2SMR3	000X 0X0Xb
0266h	UART2 特殊モードレジスタ 2	U2SMR2	X000 0000b
0267h	UART2 特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2 送受信モードレジスタ	U2MR	00h
0269h	UART2 ビットレートレジスタ	U2BRG	XXh
026Ah	UART2 送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2 送受信制御レジスタ 0	U2C0	0000 1000b
026Dh	UART2 送受信制御レジスタ 1	U2C1	0000 0010b
026Eh	UART2 受信バッファレジスタ	U2RB	XXh
026Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.10 SFR一覧(10) (注1)

番地	レジスタ	シンボル	リセット後の値
0270h	SI/O3送受信レジスタ	S3TRR	XXh
0271h			
0272h	SI/O3制御レジスタ	S3C	0100 0000b
0273h	SI/O3ビットレートレジスタ	S3BRG	XXh
0274h	SI/O4送受信レジスタ	S4TRR	XXh
0275h			
0276h	SI/O4制御レジスタ	S4C	0100 0000b
0277h	SI/O4ビットレートレジスタ	S4BRG	XXh
0278h	SI/O3、4制御レジスタ2	S34C2	00XX X0X0b
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h	UART5特殊モードレジスタ4	U5SMR4	00h
0285h	UART5特殊モードレジスタ3	U5SMR3	000X 0X0Xb
0286h	UART5特殊モードレジスタ2	U5SMR2	X000 0000b
0287h	UART5特殊モードレジスタ	U5SMR	X000 0000b
0288h	UART5送受信モードレジスタ	U5MR	00h
0289h	UART5ビットレートレジスタ	U5BRG	XXh
028Ah	UART5送信バッファレジスタ	U5TB	XXh
028Bh			XXh
028Ch	UART5送受信制御レジスタ0	U5C0	0000 1000b
028Dh	UART5送受信制御レジスタ1	U5C1	0000 0010b
028Eh	UART5受信バッファレジスタ	U5RB	XXh
028Fh			XXh
0290h			
0291h			
0292h			
0293h			
0294h	UART6特殊モードレジスタ4	U6SMR4	00h
0295h	UART6特殊モードレジスタ3	U6SMR3	000X 0X0Xb
0296h	UART6特殊モードレジスタ2	U6SMR2	X000 0000b
0297h	UART6特殊モードレジスタ	U6SMR	X000 0000b
0298h	UART6送受信モードレジスタ	U6MR	00h
0299h	UART6ビットレートレジスタ	U6BRG	XXh
029Ah	UART6送信バッファレジスタ	U6TB	XXh
029Bh			XXh
029Ch	UART6送受信制御レジスタ0	U6C0	0000 1000b
029Dh	UART6送受信制御レジスタ1	U6C1	0000 0010b
029Eh	UART6受信バッファレジスタ	U6RB	XXh
029Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.11 SFR一覧(11) (注1)

番地	レジスタ	シンボル	リセット後の値
02A0h			
02A1h			
02A2h			
02A3h			
02A4h	UART7特殊モードレジスタ4	U7SMR4	00h
02A5h	UART7特殊モードレジスタ3	U7SMR3	000X 0X0Xb
02A6h	UART7特殊モードレジスタ2	U7SMR2	X000 0000b
02A7h	UART7特殊モードレジスタ	U7SMR	X000 0000b
02A8h	UART7送受信モードレジスタ	U7MR	00h
02A9h	UART7ビットレートレジスタ	U7BRG	XXh
02AAh	UART7送信バッファレジスタ	U7TB	XXh
02ABh			XXh
02ACh	UART7送受信制御レジスタ0	U7C0	0000 1000b
02ADh	UART7送受信制御レジスタ1	U7C1	0000 0010b
02AEh	UART7受信バッファレジスタ	U7RB	XXh
02AFh			XXh
02B0h	I2C0データシフトレジスタ	S00	XXh
02B1h			
02B2h	I2C0アドレスレジスタ0	S0D0	0000 000Xb
02B3h	I2C0制御レジスタ0	S1D0	00h
02B4h	I2C0クロック制御レジスタ	S20	00h
02B5h	I2C0スタート/ストップコンディション制御レジスタ	S2D0	0001 1010b
02B6h	I2C0制御レジスタ1	S3D0	0011 0000b
02B7h	I2C0制御レジスタ2	S4D0	00h
02B8h	I2C0ステータスレジスタ0	S10	0001 000Xb
02B9h	I2C0ステータスレジスタ1	S11	XXXX X000b
02BAh	I2C0アドレスレジスタ1	S0D1	0000 000Xb
02BBh	I2C0アドレスレジスタ2	S0D2	0000 000Xb
02BCh			
02BDh			
02BEh			
02BFh			
02C0h~ 02FFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.12 SFR一覧(12) (注1)

番地	レジスタ	シンボル	リセット後の値
0300h	タイマB3, 4, 5カウント開始フラグ	TBSR	000X XXXXb
0301h			
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh	位置データ保持機能制御レジスタ	PDRF	XXXX 0000b
030Fh			
0310h	タイマB3レジスタ	TB3	XXh
0311h			XXh
0312h	タイマB4レジスタ	TB4	XXh
0313h			XXh
0314h	タイマB5レジスタ	TB5	XXh
0315h			XXh
0316h			
0317h			
0318h	ポート機能制御レジスタ	PFCR	0011 1111b
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	00h
0321h			
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0325h			
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.13 SFR一覧(13)(注1)

番地	レジスタ	シンボル	リセット後の値
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h
033Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
033Eh	タイマB2特殊モードレジスタ	TB2SC	X000 0000b
033Fh			
0340h	秒データレジスタ	TRHSEC	0000 0000b
0341h	分データレジスタ	TRHMIN	0000 0000b
0342h	時データレジスタ	TRHHR	0000 0000b
0343h	曜日データレジスタ	TRHWK	0000 0000b
0344h	日データレジスタ	TRHDY	0000 0001b
0345h	月データレジスタ	TRHMON	0000 0001b
0346h	年データレジスタ	TRHYR	0000 0000b
0347h	タイマRH制御レジスタ	TRHCR	0000 0100b
0348h	タイマRHカウントソース選択レジスタ	TRHCSR	0000 1000b
0349h	時計誤差補正レジスタ	TRHADJ	0000 0000b
034Ah	タイマRH割り込みフラグレジスタ	TRHIFR	XXX0 0000b
034Bh	タイマRH割り込み許可レジスタ	TRHIER	0000 0000b
034Ch	アラーム分レジスタ	TRHAMN	0000 0000b
034Dh	アラーム時レジスタ	TRHAHR	0000 0000b
034Eh	アラーム曜日レジスタ	TRHAWK	0XXX X000b
034Fh	タイマRHプロテクトレジスタ	TRHPRC	00XX XXXXb
0350h	CEC機能制御レジスタ1	CECC1	XXXX X000b
0351h	CEC機能制御レジスタ2	CECC2	00h
0352h	CEC機能制御レジスタ3	CECC3	XXXX 0000b
0353h	CEC機能制御レジスタ4	CECC4	00h
0354h	CECフラグレジスタ	CECFLG	00h
0355h	CEC割り込み要因選択レジスタ	CISEL	00h
0356h	CEC送信バッファレジスタ1	CCTB1	00h
0357h	CEC送信バッファレジスタ2	CCTB2	XXXX XX00b
0358h	CEC受信バッファレジスタ1	CCRB1	00h
0359h	CEC受信バッファレジスタ2	CCRB2	XXXX X000b
035Ah	CEC受信Followerアドレス設定レジスタ1	CRADRI1	00h
035Bh	CEC受信Followerアドレス設定レジスタ2	CRADRI2	00h
035Ch			
035Dh			
035Eh			
035Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14) (注1)

番地	レジスタ	シンボル	リセット後の値
0360h	プルアップ制御レジスタ0	PUR0	00h
0361h	プルアップ制御レジスタ1	PUR1	0000 0000b (注2) 0000 0010b
0362h	プルアップ制御レジスタ2	PUR2	00h
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	0000 0XX0b
0367h			
0368h			
0369h	NMI/SDデジタルフィルタレジスタ	NMIDF	XXXX X000b
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h	PWM制御レジスタ0	PWMCON0	00h
0371h			
0372h	PWM0プリスケアラ	PWMPRE0	00h
0373h	PWM0レジスタ	PWMREG0	00h
0374h	PWM1プリスケアラ	PWMPRE1	00h
0375h	PWM1レジスタ	PWMREG1	00h
0376h	PWM制御レジスタ1	PWMCON1	00h
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注3)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb
0380h~ 038Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. ハードウェアリセット、パワーオンリセット、または電圧監視0リセットでは次のようになります。

- CNVSS端子に“L”を入力している場合、“0000 0000b”
- CNVSS端子に“H”を入力している場合、“0000 0010b”

電圧監視1リセット、電圧監視2リセット、ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。

- PM0レジスタのPM01~PM00ビットが“00b”(シングルチップモード)の場合、“0000 0000b”
- PM0レジスタのPM01~PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合、“0000 0010b”

注3. OFS1番地のCSPROINIビットが“0”の場合は“1000 0000b”になります。

表 4.15 SFR一覧(15)(注1)

番地	レジスタ	シンボル	リセット後の値
0390h	DMA2要因選択レジスタ	DM2SL	00h
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	00h
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	00h
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	00h
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h	断線検知アシスト機能レジスタ	AINRST	XX00 XXXXb
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRCモードレジスタ	CRCMR	0XXX XXX0b
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.16 SFR一覧(16) (注1)

番地	レジスタ	シンボル	リセット後の値
03C0h	A/Dレジスタ0	AD0	XXXX XXXXb
03C1h			0000 00XXb
03C2h	A/Dレジスタ1	AD1	XXXX XXXXb
03C3h			0000 00XXb
03C4h	A/Dレジスタ2	AD2	XXXX XXXXb
03C5h			0000 00XXb
03C6h	A/Dレジスタ3	AD3	XXXX XXXXb
03C7h			0000 00XXb
03C8h	A/Dレジスタ4	AD4	XXXX XXXXb
03C9h			0000 00XXb
03CAh	A/Dレジスタ5	AD5	XXXX XXXXb
03CBh			0000 00XXb
03CCh	A/Dレジスタ6	AD6	XXXX XXXXb
03CDh			0000 00XXb
03CEh	A/Dレジスタ7	AD7	XXXX XXXXb
03CFh			0000 00XXb
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	0000 X00Xb
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	0000 0XXXb
03D7h	A/D制御レジスタ1	ADCON1	0000 0000b
03D8h	D/A0レジスタ	DA0	00h
03D9h			
03DAh	D/A1レジスタ	DA1	00h
03DBh			
03DCh	D/A制御レジスタ	DACON	00h
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.17 SFR一覧(17)(注1)

番地	レジスタ	シンボル	リセット後の値
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.18 SFR一覧(18) (注1)

番地	レジスタ	シンボル	リセット後の値
D080h	PMC0ヘッダパターン設定レジスタ (MIN)	PMC0HDPMIN	0000 0000b
D081h			XXXX X000b
D082h	PMC0ヘッダパターン設定レジスタ (MAX)	PMC0HDPMAX	0000 0000b
D083h			XXXX X000b
D084h	PMC0データ0パターン設定レジスタ (MIN)	PMC0D0PMIN	00h
D085h	PMC0データ0パターン設定レジスタ (MAX)	PMC0D0PMAX	00h
D086h	PMC0データ1パターン設定レジスタ (MIN)	PMC0D1PMIN	00h
D087h	PMC0データ1パターン設定レジスタ (MAX)	PMC0D1PMAX	00h
D088h	PMC0測定結果レジスタ	PMC0TIM	00h
D089h			00h
D08Ah			
D08Bh			
D08Ch	PMC0受信データ格納レジスタ0	PMC0DAT0	00h
D08Dh	PMC0受信データ格納レジスタ1	PMC0DAT1	00h
D08Eh	PMC0受信データ格納レジスタ2	PMC0DAT2	00h
D08Fh	PMC0受信データ格納レジスタ3	PMC0DAT3	00h
D090h	PMC0受信データ格納レジスタ4	PMC0DAT4	00h
D091h	PMC0受信データ格納レジスタ5	PMC0DAT5	00h
D092h	PMC0受信ビット数レジスタ	PMC0RBIT	XX00 0000b
D093h			
D094h	PMC1ヘッダパターン設定レジスタ (MIN)	PMC1HDPMIN	0000 0000b
D095h			XXXX X000b
D096h	PMC1ヘッダパターン設定レジスタ (MAX)	PMC1HDPMAX	0000 0000b
D097h			XXXX X000b
D098h	PMC1データ0パターン設定レジスタ (MIN)	PMC1D0PMIN	00h
D099h	PMC1データ0パターン設定レジスタ (MAX)	PMC1D0PMAX	00h
D09Ah	PMC1データ1パターン設定レジスタ (MIN)	PMC1D1PMIN	00h
D09Bh	PMC1データ1パターン設定レジスタ (MAX)	PMC1D1PMAX	00h
D09Ch	PMC1測定結果レジスタ	PMC1TIM	00h
D09Dh			00h
D09Eh			
D09Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

4.2 SFR使用上の注意事項

4.2.1 レジスタ設定時の注意事項

表 4.19 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表 4.19 書き込みのみ可能なビットを含むレジスタ

アドレス	レジスタ名	シンボル
0249h	UART0ビットレートレジスタ	U0BRG
024Bh~024Ah	UART0送信バッファレジスタ	U0TB
0259h	UART1ビットレートレジスタ	U1BRG
025Bh~025Ah	UART1送信バッファレジスタ	U1TB
0269h	UART2ビットレートレジスタ	U2BRG
026Bh~026Ah	UART2送信バッファレジスタ	U2TB
0273h	SI/O3ビットレートレジスタ	S3BRG
0277h	SI/O4ビットレートレジスタ	S4BRG
0289h	UART5ビットレートレジスタ	U5BRG
028Bh~028Ah	UART5送信バッファレジスタ	U5TB
0299h	UART6ビットレートレジスタ	U6BRG
029Bh~029Ah	UART6送信バッファレジスタ	U6TB
02A9h	UART7ビットレートレジスタ	U7BRG
02ABh~02AAh	UART7送信バッファレジスタ	U7TB
02B6h	I2C0制御レジスタ1	S3D0
02B8h	I2C0ステータスレジスタ0	S10
0303h~0302h	タイマA1-1レジスタ	TA11
0305h~0304h	タイマA2-1レジスタ	TA21
0307h~0306h	タイマA4-1レジスタ	TA41
030Ah	三相出力バッファレジスタ0	IDB0
030Bh	三相出力バッファレジスタ1	IDB1
030Ch	短絡防止タイマ	DTT
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2
0327h~0326h	タイマA0レジスタ	TA0
0329h~0328h	タイマA1レジスタ	TA1
032Bh~032Ah	タイマA2レジスタ	TA2
032Dh~032Ch	タイマA3レジスタ	TA3
032Fh~032Eh	タイマA4レジスタ	TA4
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS

表 4.20 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROLC、RORC、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

5. 電気的特性

5.1 電気的特性 (5V、3V、1.8V 共通事項)

5.1.1 絶対最大定格

表 5.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC1}	電源電圧		V _{CC1} =AV _{CC}	-0.3~6.5	V
V _{CC2}	電源電圧		V _{CC1} =AV _{CC}	-0.3~V _{CC1} +0.1 (注1)	V
AV _{CC}	アナログ電源電圧		V _{CC1} =AV _{CC}	-0.3~6.5	V
V _{REF}	アナログ基準電圧		V _{CC1} =AV _{CC}	-0.3~V _{CC1} +0.1 (注1)	V
V _I	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, XIN		-0.3~V _{CC1} +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7		-0.3~V _{CC2} +0.3 (注1)	V
		P7_0, P7_1, P8_5		-0.3~6.5	V
V _O	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, XOUT		-0.3~V _{CC1} +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7		-0.3~V _{CC2} +0.3 (注1)	V
		P7_0, P7_1, P8_5		-0.3~6.5	V
P _d	消費電力		-40°C < T _{opr} ≤ 85°C	300	mW
T _{opr}	動作周囲温度	マイコン動作時		-20~85/-40~85	°C
		フラッシュ書き込み消去時	プログラム領域	-20~85/-40~85	
			データ領域	-20~85/-40~85	
T _{stg}	保存温度			-65~150	°C

注1. 最大6.5Vです。

5.1.2 推奨動作条件

表 5.2 推奨動作条件 (1/4)

指定のない場合は、 $V_{CC1}=V_{CC2}=1.8\sim 5.5V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目		規格値			単位
			最小	標準	最大	
V_{CC1}	電源電圧	CEC機能未使用時 ($V_{CC1} \geq V_{CC2}$)	2.7		5.5	V
		CEC機能未使用時 ($V_{CC1}=V_{CC2}$)	1.8		5.5	V
		CEC機能使用時	2.7		3.63	V
V_{CC2}	電源電圧	$V_{CC1} \geq 2.7$	2.7		V_{CC1}	V
		$V_{CC1} < 2.7$		V_{CC1}		V
AV_{CC}	アナログ電源電圧			V_{CC1}		V
V_{SS}	電源電圧			0		V
AV_{SS}	アナログ電源電圧			0		V
V_{IH}	"H"入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	$2.7V \leq V_{CC1} \leq 5.5V$	$0.8V_{CC2}$	V_{CC2}	V
			$1.8V \leq V_{CC1} < 2.7V$	$0.85V_{CC2}$	V_{CC2}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	$2.7V \leq V_{CC1} \leq 5.5V$	$0.8V_{CC2}$	V_{CC2}	V
			$1.8V \leq V_{CC1} < 2.7V$	$0.85V_{CC2}$	V_{CC2}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	$2.7V \leq V_{CC1} \leq 5.5V$	$0.5V_{CC2}$	V_{CC2}	V
			$1.8V \leq V_{CC1} < 2.7V$	$0.55V_{CC2}$	V_{CC2}	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	$2.7V \leq V_{CC1} \leq 5.5V$	$0.8V_{CC1}$	V_{CC1}	V
			$1.8V \leq V_{CC1} < 2.7V$	$0.85V_{CC1}$	V_{CC1}	V
		P7_0, P7_1, P8_5	$2.7V \leq V_{CC1} \leq 5.5V$	$0.8V_{CC1}$	6.5	V
			$1.8V \leq V_{CC1} < 2.7V$	$0.85V_{CC1}$	6.5	V
CEC		$0.7V_{CC1}$		V		
V_{IL}	"L"入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	0		$0.2V_{CC2}$	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0		$0.2V_{CC2}$	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0		$0.16V_{CC2}$	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	0		$0.2V_{CC1}$	V
		CEC			$0.26V_{CC1}$	V

表 5.3 推奨動作条件 (2/4)

指定のない場合は、 $V_{CC1}=V_{CC2}=1.8\sim 5.5V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目	規格値			単位	
		最小	標準	最大		
$I_{OH(sum)}$	“H” 尖頭総出力電流 (100ピン版)	$V_{CC1}, V_{CC2} \geq 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7の $I_{OH(peak)}$ の総和		-40.0	mA
			P3_0~P3_7, P4_0~P4_7, P5_0~P5_7の $I_{OH(peak)}$ の総和		-40.0	mA
			P6_0~P6_7, P7_2~P7_7, P8_0~P8_4の $I_{OH(peak)}$ の総和		-40.0	mA
			P8_6, P8_7, P9_0~P9_7, P10_0~P10_7の $I_{OH(peak)}$ の総和		-40.0	mA
	“H” 尖頭総出力電流 (80ピン版)	$V_{CC1}, V_{CC2} \geq 2.7$	全ポートの総和		-80.0	mA
		$V_{CC1}, V_{CC2} < 2.7$	全ポートの総和		-10.0	mA
		$V_{CC1}, V_{CC2} \geq 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		-10.0	mA
		$V_{CC1}, V_{CC2} < 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		-1.0	mA
$I_{OH(peak)}$	“H” 尖頭出力電流	$V_{CC1}, V_{CC2} \geq 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		-10.0	mA
		$V_{CC1}, V_{CC2} < 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		-1.0	mA
$I_{OH(avg)}$	“H” 平均出力電流 (注1)	$V_{CC1}, V_{CC2} \geq 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		-5.0	mA
		$V_{CC1}, V_{CC2} < 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		-0.5	mA

注1. 平均出力電流は100msの期間内での平均値です。

表 5.4 推奨動作条件 (3/4)

指定のない場合は、 $V_{CC1}=V_{CC2}=1.8\sim 5.5V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目		規格値			単位	
			最小	標準	最大		
$I_{OL(sum)}$	“L”尖頭総出力電流 (100ピン版)	$V_{CC1}, V_{CC2} \geq 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7の $I_{OL(peak)}$ の総和			80.0	mA
			P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_5の $I_{OL(peak)}$ の総和			80.0	mA
	$V_{CC1}, V_{CC2} < 2.7$		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7の $I_{OL(peak)}$ の総和			10.0	mA
			P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_5の $I_{OL(peak)}$ の総和			10.0	mA
“L”尖頭総出力電流 (80ピン版)	$V_{CC1}, V_{CC2} \geq 2.7$	全ポートの総和			80.0	mA	
	$V_{CC1}, V_{CC2} < 2.7$	全ポートの総和			10.0	mA	
$I_{OL(peak)}$	“L”尖頭出力電流	$V_{CC1}, V_{CC2} \geq 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			10.0	mA
		$V_{CC1}, V_{CC2} < 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			1.0	mA
$I_{OL(avg)}$	“L”平均出力電流 (注1)	$V_{CC1}, V_{CC2} \geq 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			5.0	mA
		$V_{CC1}, V_{CC2} < 2.7$	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			0.5	mA
$f_{(XIN)}$	メインクロック入力発振周波数	$2.7V \leq V_{CC1} \leq 5.5V$		1		20	MHz
		$1.8V \leq V_{CC1} < 2.7V$		1		10	MHz
$f_{(XCIN)}$	サブクロック発振周波数				32.768		kHz
$f_{(BCLK)}$	CPU動作周波数	$2.7V \leq V_{CC1} \leq 5.5V,$ $1MHz \leq f_{(XIN)} \leq 20MHz$				20	MHz
		$2.1V \leq V_{CC1} < 2.7V,$ $1MHz \leq f_{(XIN)} \leq 10MHz$				10	MHz
		$1.8V \leq V_{CC1} < 2.1V,$ $1MHz \leq f_{(XIN)} \leq 10MHz$				(注2)	MHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. V_{CC1} に応じて次の計算式で算出されます。 $16.67 \times V_{CC1} - 25$ [MHz]

「図 5.1 $f_{(BCLK)}$ と V_{CC1} の関係」を参照してください。

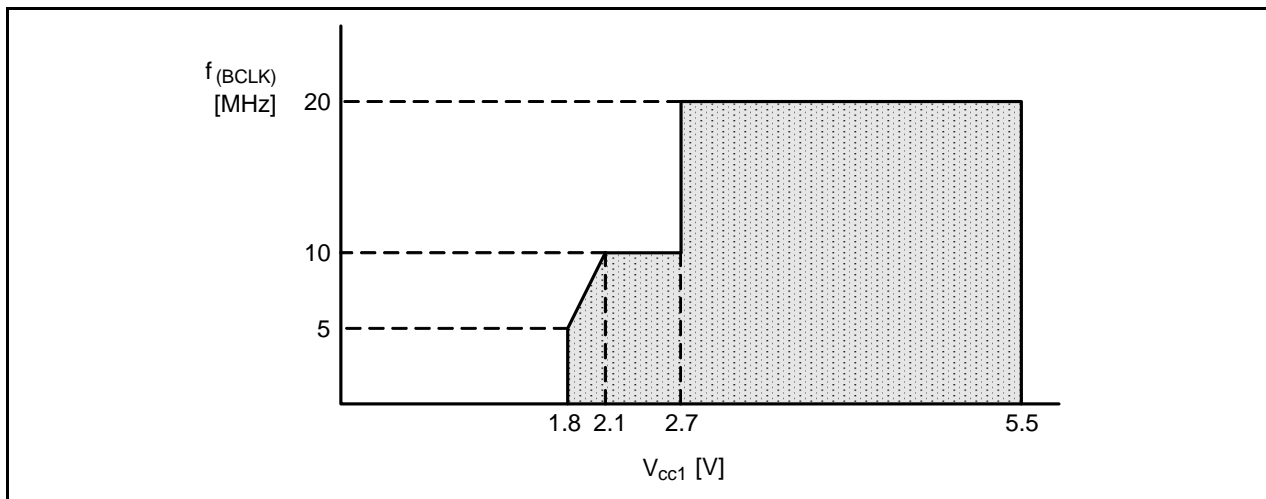
図 5.1 $f_{(BCLK)}$ と V_{CC1} の関係

表 5.5 推奨動作条件(4/4)

(指定のない場合は、 $V_{CC1} = 1.8 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_{opr} = -20 \sim 85 \text{ }^\circ\text{C} / -40 \sim 85 \text{ }^\circ\text{C}$) (注1)

電源リップルは $V_r(V_{CC1})$ 、 $dV_r(V_{CC1})/dt$ のどちらか一方または両方を満たしてください。

記号	項目	規格値			単位	
		最小	標準	最大		
$V_r(V_{CC1})$	許容電源リップル電圧	$V_{CC1}=5.0\text{V}$			0.5	Vp-p
		$V_{CC1}=3.0\text{V}$			0.3	Vp-p
		$V_{CC1}=2.0\text{V}$			0.2	Vp-p
$dV_r(V_{CC1})/dt$	電源リップル立ち下がり勾配	$V_{CC1}=5.0\text{V}$			0.3	V/ms
		$V_{CC1}=3.0\text{V}$			0.3	V/ms
		$V_{CC1}=2.0\text{V}$			0.3	V/ms

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を越えた場合、最大定格内であっても動作は保証されません。

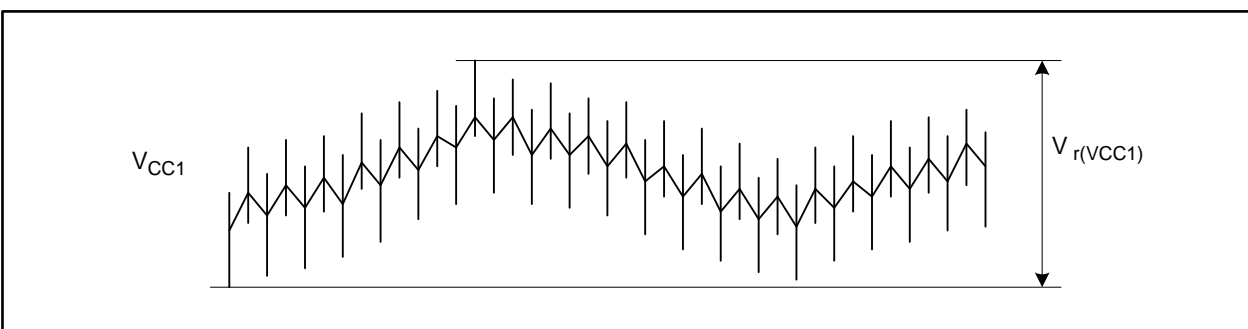


図 5.2 電源リップル波形

5.1.3 A/D変換特性

表 5.6 A/D変換特性 (1/2) (注1)

指定のない場合は、 $AV_{CC}=V_{CC1}=V_{CC2}=V_{REF}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
-	分解能	$AV_{CC}=V_{CC1}=V_{CC2}=V_{REF}$			10	Bits		
I _{NL}	積分非直線性誤差	10bit	$V_{CC1}=5.0V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)			±3	LSB
			$V_{CC1}=3.3V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)			±3	LSB
			$V_{CC1}=3.0V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)			±3	LSB
			$V_{CC1}=2.2V$ (注3)	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 (注2)			±6	LSB
			$V_{CC1}=1.8V$ (注3)	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 (注2)			±6	LSB
-	絶対精度	10bit	$V_{CC1}=5.0V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)			±3	LSB
			$V_{CC1}=3.3V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)			±3	LSB
			$V_{CC1}=3.0V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)			±3	LSB
			$V_{CC1}=2.2V$ (注3)	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 (注2)			±6	LSB
			$V_{CC1}=1.8V$ (注3)	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 (注2)			±6	LSB

注1. $AV_{CC}=V_{CC1}=V_{CC2}$ で使用してください。

注2. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにして V_{SS} に接続。
「図 5.3 A/D精度測定回路」を参照してください。

注3. ADCON1レジスタのPUMPONビットが“1”(昇圧回路ON)

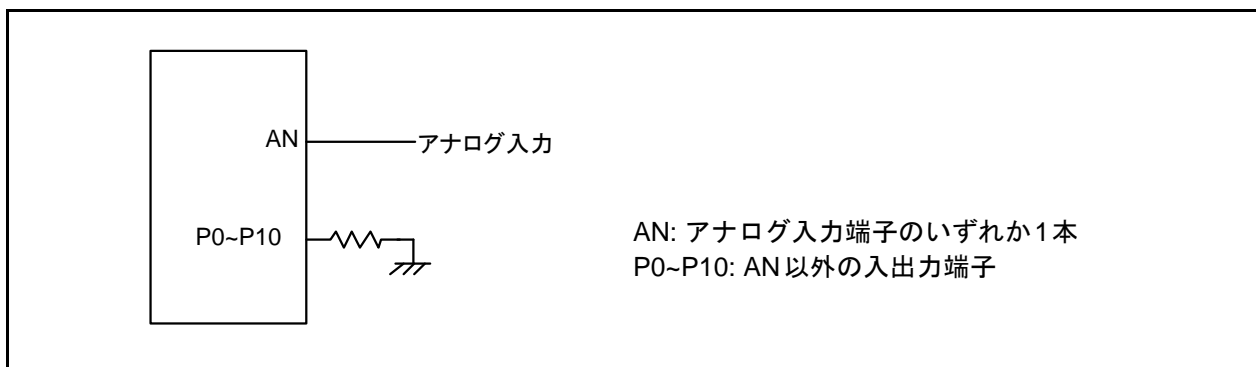


図 5.3 A/D精度測定回路

表 5.7 A/D変換特性 (2/2) (注1)

指定のない場合は、 $AV_{CC}=V_{CC1}=V_{CC2}=V_{REF}=1.8V\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
φAD	A/D動作クロック周波数	$4.0V \leq V_{REF} \leq AV_{CC} \leq 5.5V$	2		20	MHz
		$3.2V \leq V_{REF} \leq AV_{CC} \leq 5.5V$	2		16	MHz
		$3.0V \leq V_{REF} \leq AV_{CC} \leq 5.5V$	2		10	MHz
		$1.8V \leq V_{REF} \leq AV_{CC} \leq 5.5V$	2		5	MHz
-	許容信号源インピーダンス		3		kΩ	
D _{NL}	微分非直線性誤差	(注4)			±1	LSB
-	オフセット誤差	(注4)			±3	LSB
-	ゲイン誤差	(注4)			±3	LSB
t _{CONV}	変換時間 (10bit)	$V_{CC1} = 5V$ 、 $\phi AD = 20MHz$	2.15			μs
t _{SAMP}	サンプリング時間		0.75			μs
V _{REF}	基準電圧		1.8		AV _{CC}	V
V _{IA}	アナログ入力電圧 (注2、3)		0		V _{REF}	V

注1. $AV_{CC}=V_{CC1}=V_{CC2}$ で使用してください。

注2. $V_{CC1} > V_{CC2}$ の場合はA/Dコンバータを使用しないでください。

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は3FFhになります。

注4. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにしてV_{SS}に接続。「図 5.3 A/D精度測定回路」を参照してください。

5.1.4 D/A変換特性

表 5.8 D/A変換特性

指定のない場合は、 $V_{CC1}=AV_{CC}=V_{REF}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				2.5	LSB
t _{su}	設定時間				3	μs
R _O	出力抵抗		5	6	8.2	kΩ
I _{VREF}	基準電源入力電流	(注1、2)			1.5	mA

注1. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00h”の場合です。

注2. A/Dコンバータの電流消費分は除きます。また、ADCON1レジスタのADSTBYビットが“0”(A/D動作停止、スタンバイ)の場合でも、D/AコンバータのI_{VREF}は流れます。

5.1.5 フラッシュメモリの電気的特性

表 5.9 フラッシュメモリ動作時のCPUクロック ($f_{(BCLK)}$)

指定のない場合は、 $V_{CC1}=1.8\sim 5.5V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	CPU書き換えモード				10 (注1)	MHz
$f_{(SLOW_R)}$	スローリードモード				5 (注3)	MHz
-	低消費電流リードモード			$f_C(32.768)$	35	kHz
-	データフラッシュリード	$3.0V < V_{CC1} \leq 5.5V$			20 (注2)	MHz

注1. PM1レジスタのPM17ビットは“1”(1ウェイト)にしてください。

注2. $1.8V \leq V_{CC1} \leq 3.0V$ の場合は、FMR1レジスタのFMR17ビットを“0”(1ウェイト)にするか、またはPM1レジスタのPM17ビットを“1”(1ウェイト)にしてください。

注3. PM1レジスタのPM17ビットを“1”(1ウェイト)にしてください。125kHzオンチップオシレータクロックまたはサブクロックがCPUクロックのクロック源の場合は、ウェイトは不要です。

表 5.10 フラッシュメモリ(プログラムROM1、2)の電気的特性

指定のない場合は、 $V_{CC1}=2.7\sim 5.5V$ 、 $T_{opr}=0^{\circ}C\sim 60^{\circ}C$ (オプション: $-40^{\circ}C\sim 85^{\circ}C$)です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数(注1、3、4)	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$	1,000 (注2)			回
-	2ワードプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$		150	4000	μs
-	ロックビットプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$		70	3000	μs
-	ブロックイレーズ時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f_{(BCLK)}}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f_{(BCLK)}}$	μs
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧	$T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$	2.7		5.5	V
-	書き込み、消去時の温度		0		60	$^{\circ}C$
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55^{\circ}C$	20			年

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。プログラム、イレーズ回数が n 回($n=1,000$)の場合、ブロックごとに、それぞれ n 回ずつイレーズすることができます。

たとえば、あるブロックについて、それぞれ異なる番地に2ワード書き込みを16,384回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

表 5.11 フラッシュメモリ(データフラッシュ)の電気的特性

指定のない場合は、 $V_{CC1}=2.7\sim 5.5V$ 、 $T_{opr}=-20^{\circ}C\sim 85^{\circ}C/-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$	10,000 (注2)			回
-	2ワードプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$		300	4000	μs
-	ロックビットプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$		140	3000	μs
-	ブロックイレーズ時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f(BCLK)}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f(BCLK)}$	μs
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧		2.7		5.5	V
-	書き込み、消去時の温度		-20/-40		85	$^{\circ}C$
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55^{\circ}C$	20			年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回($n=10,000$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、4Kバイトブロックのブロックについて、それぞれ異なる番地に2ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。たとえば一組16バイトをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックAとブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

5.1.6 電圧検出回路、電源回路の電氣的特性

表 5.12 電圧検出0回路の電氣的特性

指定のない場合の測定条件は $V_{CC1}=1.8 \sim 5.5V$ 、 $T_{opr} = -20^{\circ}C \sim 85^{\circ}C / -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det0}	電圧検出レベル V_{det0_0} (注1)	V_{CC1} 立ち下がり時	1.80	1.90	2.10	V
	電圧検出レベル V_{det0_2} (注1)	V_{CC1} 立ち下がり時	2.70	2.85	3.00	V
-	電圧検出0回路反応時間 (注3)	V_{CC1} を5Vから($V_{det0_0}-0.1$)Vに下げたとき			200	μs
-	電圧検出回路の自己消費電流	$VC25=1$ 、 $V_{CC1}=5.0V$		1.5		μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注2)				100	μs

注1. 電圧検出レベルはOFS1番地のVDSEL1ビットで選択してください。

注2. VCR2レジスタのVC25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. V_{det0} を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表 5.13 電圧検出1回路の電氣的特性

指定のない場合の測定条件は $V_{CC1}=1.8 \sim 5.5V$ 、 $T_{opr} = -20^{\circ}C \sim 85^{\circ}C / -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det1}	電圧検出レベル V_{det1_0} (注1)	V_{CC1} 立ち下がり時	1.90	2.20	2.50	V
	電圧検出レベル V_{det1_6} (注1)	V_{CC1} 立ち下がり時	2.80	3.10	3.40	V
	電圧検出レベル V_{det1_B} (注1)	V_{CC1} 立ち下がり時	3.55	3.85	4.15	V
	電圧検出レベル V_{det1_F} (注1)	V_{CC1} 立ち下がり時	4.15	4.45	4.75	V
-	電圧検出1回路の V_{CC1} 立ち上がり時のヒステリシス幅	V_{det1_0} 選択時		0.10		V
		V_{det1_6} ~ V_{det1_F} 選択時		0.15		V
-	電圧検出1回路反応時間 (注3)	V_{CC1} を5Vから($V_{det1_0}-0.1$)Vに下げたとき			200	μs
-	電圧検出回路の自己消費電流	$VC26=1$ 、 $V_{CC1}=5.0V$		1.7		μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注2)				100	μs

注1. 電圧検出レベルはVD1LSレジスタのVD1S0~VD1S3ビットで選択してください。

注2. VCR2レジスタのVC26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. V_{det1} を通過した時点から、電圧監視1リセットが発生するまでの時間です。

表 5.14 電圧検出2回路の電気的特性

指定のない場合の測定条件は $V_{CC1}=1.8\sim 5.5V$ 、 $T_{opr}=-20^{\circ}C\sim 85^{\circ}C/-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det2}	電圧検出レベル V_{det2_0}	V_{CC1} 立ち下がり時	3.70	4.00	4.30	V
-	電圧検出2回路の V_{CC1} 立ち上がり時のヒステリシス幅			0.15		V
-	電圧検出2回路反応時間(注2)	V_{CC1} を5Vから($V_{det2_0}-0.1$)Vに下げたとき			200	μs
-	電圧検出回路の自己消費電流	$VC27=1$ 、 $V_{CC1}=5.0V$		1.7		μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間(注1)				100	μs

注1. VCR2レジスタのVC27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注2. V_{det2} を通過した時点から、電圧監視2リセットが発生するまでの時間です。

表 5.15 パワーオンリセット回路

指定のない場合の測定条件は $V_{CC1}=2.0\sim 5.5V$ 、 $T_{opr}=-20^{\circ}C\sim 85^{\circ}C/-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{por1}	パワーオンリセットが有効になる電圧(注1)				0.5	V
t_{rth}	外部電源 V_{CC1} の立ち上がり傾き		2.0		50000	mV/ms
$t_{w(por)}$	パワーオンリセットが有効になるための保持時間		300			ms

注1. パワーオンリセットを使用する場合には、OFS1番地のLVDASビットを“0”にして電圧監視0リセットを有効にしてください。また、VDSEL1ビットを“0”(V_{det0_2})にしてください。

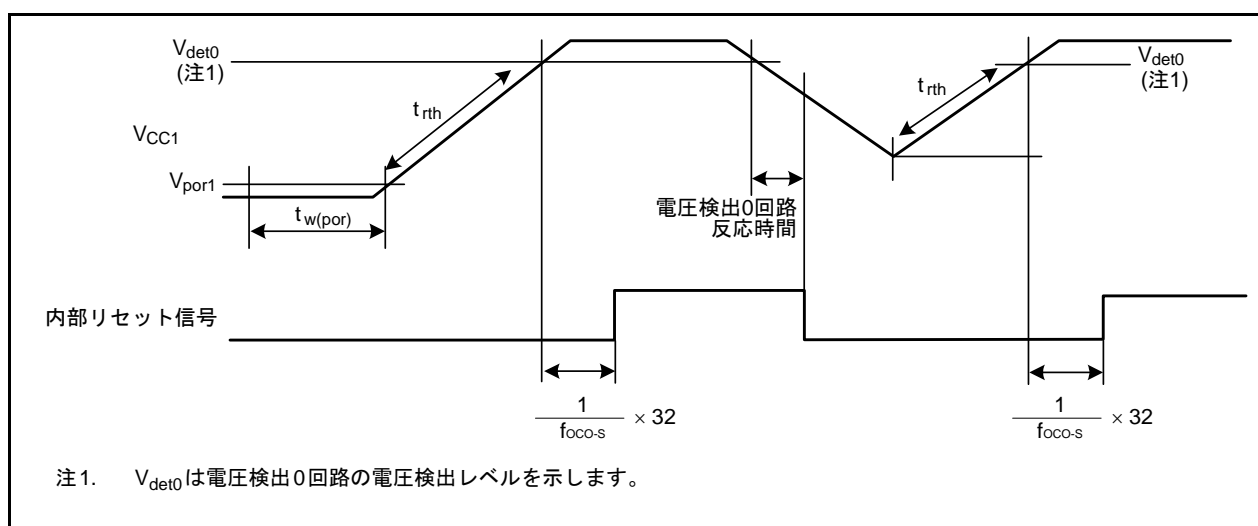


図5.4 パワーオンリセット回路の電気的特性

表 5.16 電源回路のタイミング特性

指定のない場合の測定条件は $V_{CC1}=1.8 \sim 5.5V$ 、 $T_{opr}=25^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{d(P-R)}$	電源投入時の内部電源安定時間 (注1)				5	ms
$t_{d(R-S)}$	STOP解除時間				150	μs
$t_{d(W-S)}$	低消費電力モードウェイトモード解除時間				150	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

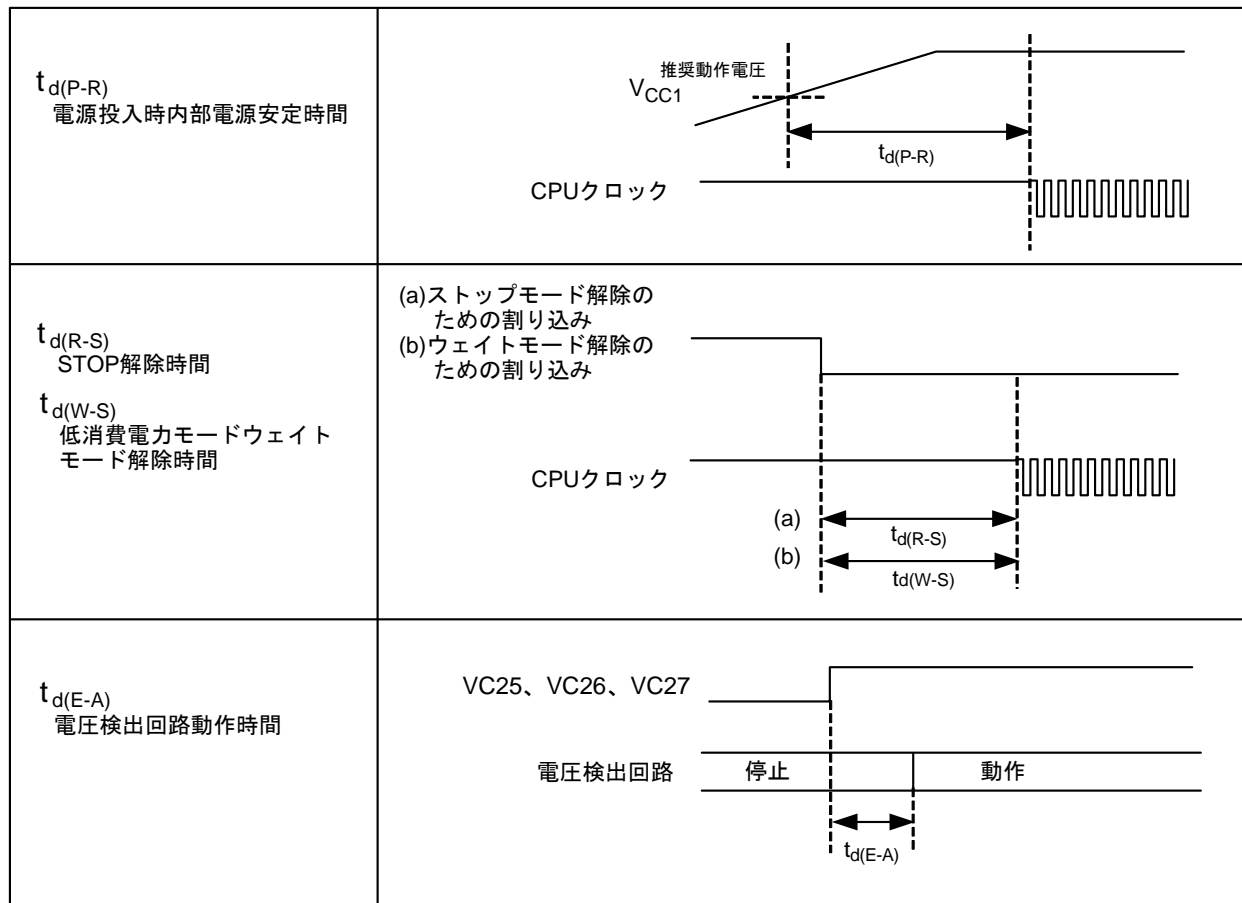


図 5.5 電源回路のタイミング図

5.1.7 発振回路の電氣的特性

表 5.17 40MHzオンチップオシレータ発振回路の電氣的特性

指定のない場合は、 $V_{CC1}=1.8\sim 5.5V$ 、 $T_{opr} = -20^{\circ}C\sim 85^{\circ}C/-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f_{OCO40M}	40MHzオンチップオシレータ発振周波数	10msの期間での平均周波数 $2.7V \leq V_{CC1} < 5.5V$	36	40	44	MHz
		10msの期間での平均周波数 $1.8V \leq V_{CC1} < 2.7V$	30	40	50	MHz
$t_{su}(f_{OCO40M})$	40MHzオンチップオシレータ発振安定待ち時間				2	ms

表 5.18 125kHzオンチップオシレータ発振回路の電氣的特性

指定のない場合は、 $V_{CC1}=1.8\sim 5.5V$ 、 $T_{opr} = -20^{\circ}C\sim 85^{\circ}C/-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f_{OCO-S}	125kHzオンチップオシレータ発振周波数	10msの期間での平均周波数	100	125	150	kHz
$t_{su}(f_{OCO-S})$	125kHzオンチップオシレータ発振安定待ち時間				20	μs

5.2 電気的特性 ($V_{CC1}=V_{CC2}=5V$)

5.2.1 電気的特性

 $V_{CC1}=V_{CC2}=5V$

表 5.19 電気的特性(1) (注1)

指定のない場合は、 $V_{CC1}=V_{CC2}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=20MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH} = -5mA$	$V_{CC1} - 2.0$		V_{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OH} = -5mA$	$V_{CC2} - 2.0$		V_{CC2}	
V_{OH}	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH} = -200\mu A$	$V_{CC1} - 0.3$		V_{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OH} = -200\mu A$	$V_{CC2} - 0.3$		V_{CC2}	
V_{OH}	"H"出力電圧	XOUT	HIGH POWER	$I_{OH} = -1mA$	$V_{CC1} - 2.0$	V_{CC1}	V
			LOW POWER	$I_{OH} = -0.5mA$	$V_{CC1} - 2.0$	V_{CC1}	
	"H"出力電圧	XCOUT	無負荷時		1.5	V	
V_{OL}	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL} = 5mA$			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OL} = 5mA$			2.0	
V_{OL}	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL} = 200\mu A$			0.45	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OL} = 200\mu A$			0.45	
V_{OL}	"L"出力電圧	XOUT	HIGH POWER	$I_{OL} = 1mA$		2.0	V
			LOW POWER	$I_{OL} = 0.5mA$		2.0	
	"L"出力電圧	XCOUT	無負荷時		0	V	
$V_{T+}-V_{T-}$	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRQ, CTS0~CTS2, CTS5~CTS7, SCL0~SCL2, SCL5~SCL7, SDA0~SDA2, SDA5~SDA7, CLK0~CLK7, TA0OUT~TA4OUT, KI0~KI7, RXD0~RXD2, RXD5~RXD7, SIN3, SIN4, SD, PMC0, PMC1, SCLMM, SDAMM, CEC, ZP, IDU, IDV, IDW		0.5		2.0	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET		0.5		2.5	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	$V_i=5V$			5.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	$V_i=0V$			-5.0	μA

注1. $V_{CC1} \neq V_{CC2}$ でご使用の場合は、それぞれの電圧に応じて5V、3Vまたは1.8Vの規格を参照してください。

$$V_{CC1}=V_{CC2}=5V$$

表 5.20 電気的特性(2) (注1)

指定のない場合は、 $V_{CC1}=V_{CC2}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=20MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
R _{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	V _I =0V	30	50	170	kΩ
R _{FXIN}	帰還抵抗	XIN			0.8		MΩ
R _{FXCIN}	帰還抵抗	XCIN			8		MΩ
V _{RAM}	RAM保持電圧		ストップモード時	1.8			V

注1. $V_{CC1} \neq V_{CC2}$ でご使用の場合は、それぞれの電圧に応じて5V、3Vまたは1.8Vの規格を参照してください。

$$V_{CC1}=V_{CC2}=5V$$

表 5.21 電気的特性(3)

指定のない場合は、 $V_{CC1}=V_{CC2}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=20MHz$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流 シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	高速モード	f _(BCLK) =20MHz (分周なし) XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=1 (駆動能力High) A/Dコンバータ停止		10.7		mA
			f _(BCLK) =20MHz (分周なし) XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=1 (駆動能力High) A/Dコンバータ動作 (注2)		11.4		mA
			f _(BCLK) =20MHz XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=0 (駆動能力Low) A/Dコンバータ停止		10.1		mA
			f _(BCLK) =20MHz (分周なし) XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=1 (駆動能力High) PCLKSTP1=FF (周辺クロック停止)		9.1		mA
			f _(BCLK) =20MHz (分周なし) XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=0 (駆動能力Low) PCLKSTP1=FF (周辺クロック停止)		8.5		mA
		40MHzオンチップオシレータモード	メインクロック停止 40MHzオンチップオシレータ発振、 2分周 (f _(BCLK) =20MHz) 125kHzオンチップオシレータ停止		9.0		mA
		125kHzオンチップオシレータモード	メインクロック停止 40MHzオンチップオシレータ停止 125kHzオンチップオシレータ発振、分周なし FMR22=1 (スローリードモード)		450.0		μA
		低消費電力モード	f _(BCLK) =32kHz FMR22=FMR23=1 (低消費電力リードモード) フラッシュメモリ上 (注1)		80.0		μA
		ウェイトモード	f _(BCLK) =32kHz メインクロック停止 40MHzオンチップオシレータ停止 125kHzオンチップオシレータ発振 PM25=1 (周辺機能クロックfC動作) T _{opr} =25°C リアルタイムクロック動作		5.6		μA
			f _(BCLK) =32kHz メインクロック停止 40MHzオンチップオシレータ停止 125kHzオンチップオシレータ停止 PM25=0 (周辺機能クロックfC停止) T _{opr} =25°C		5.3		μA
		ストップモード	T _{opr} =25°C		2.4		μA
		フラッシュメモリプログラム中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =5.0V		20.0		mA
フラッシュメモリエイーズ中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =5.0V		30.0		mA		

注1. 実行するプログラムが存在するメモリを示す。

注2. 繰り返しモードでA/D変換実施。

$$V_{CC1}=V_{CC2}=5V$$

5.2.2 タイミング必要条件(周辺機能、他)

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$)

5.2.2.1 リセット入力

表 5.22 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

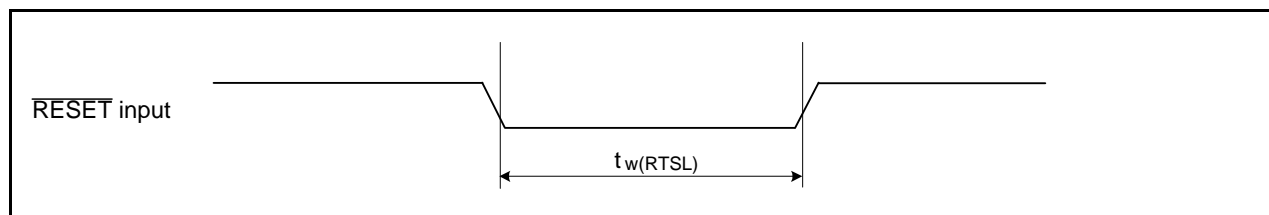


図 5.6 リセット入力 (\overline{RESET} 入力)

5.2.2.2 外部クロック入力

表 5.23 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

注1. 条件は $V_{CC1}=V_{CC2}=3.0\sim 5.0V$ です。

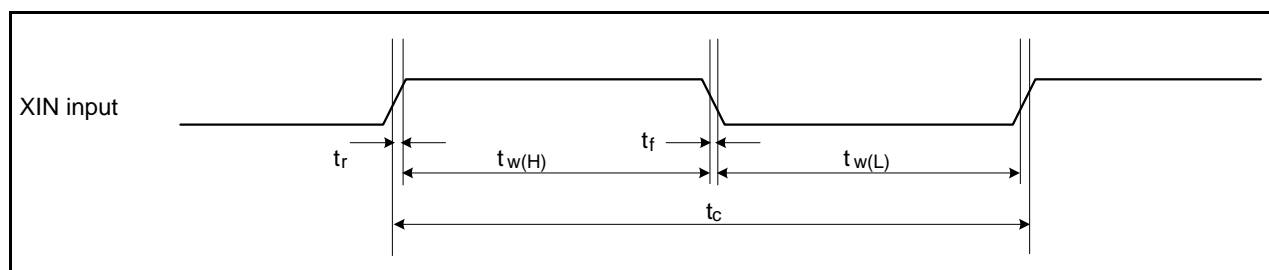


図 5.7 外部クロック入力 (XIN入力)

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

5.2.2.3 タイマA入力

表 5.24 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	40		ns

表 5.25 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	200		ns

表 5.26 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

表 5.27 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

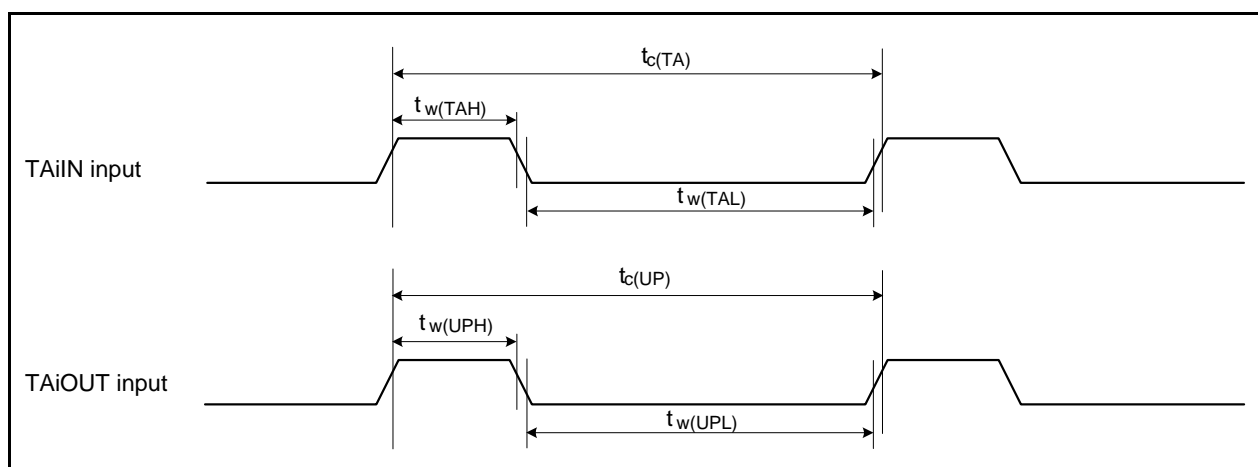


図 5.8 タイマA入力

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表 5.28 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	200		ns

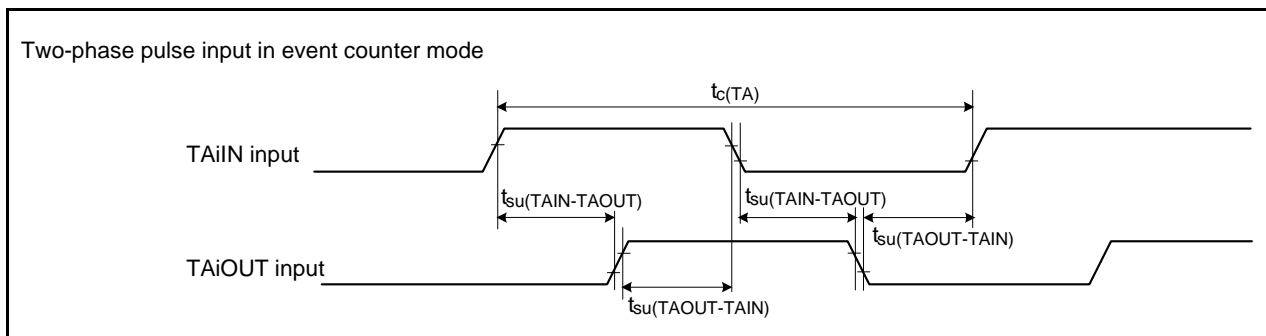


図 5.9 タイマA入力(イベントカウンタモードの二相パルス入力)

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$)

5.2.2.4 タイマB入力

表 5.29 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 5.30 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 5.31 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

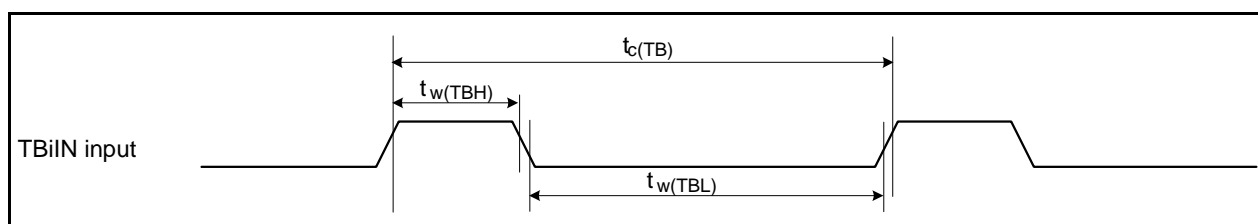


図 5.10 タイマB入力

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

5.2.2.5 シリアルインタフェース

表 5.32 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	100		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

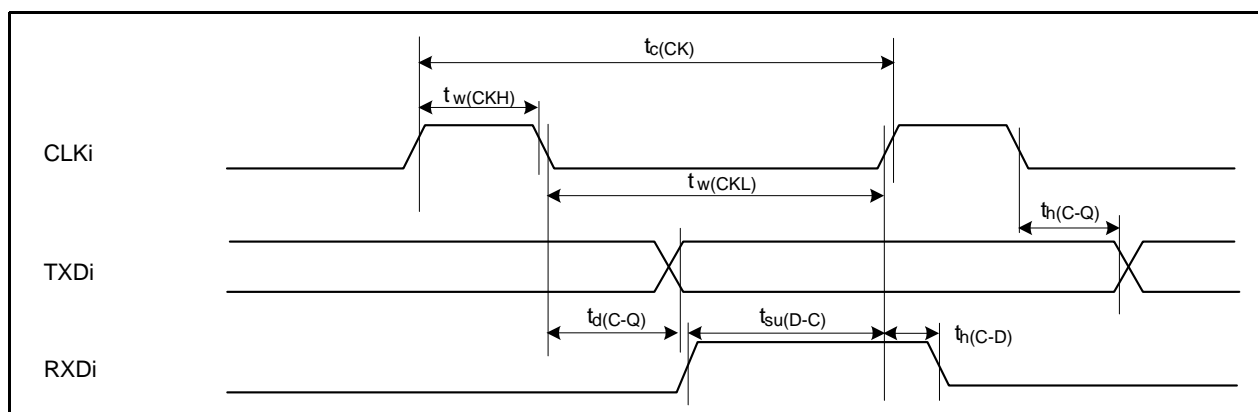


図 5.11 シリアルインタフェース

5.2.2.6 外部割り込み \overline{INTi} 入力

表 5.33 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	250		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	250		ns

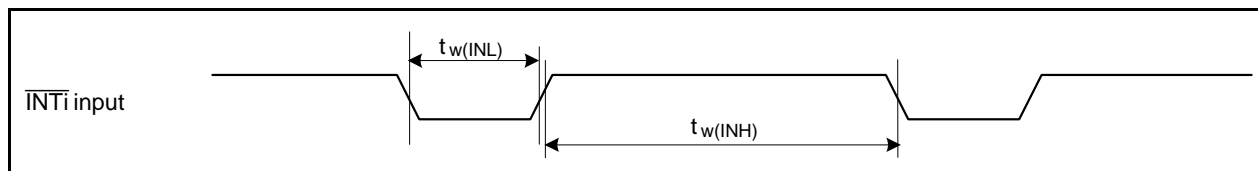


図 5.12 外部割り込み \overline{INTi} 入力

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

5.2.2.7 マルチマスタ I²C-bus

表 5.34 マルチマスタ I²C-bus

記号	項目	標準クロックモード		Fast-mode		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

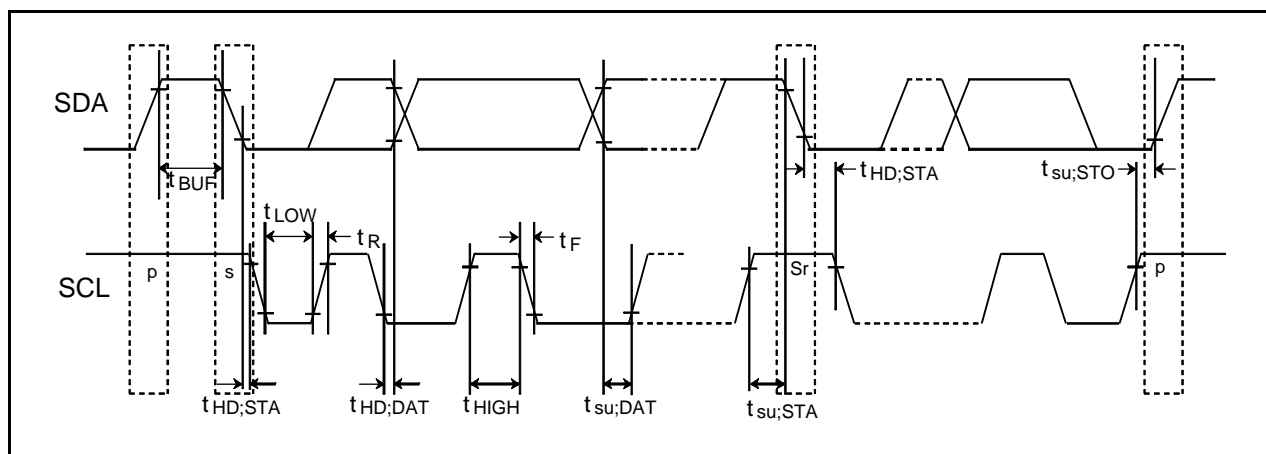


図 5.13 マルチマスタ I²C-bus

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$)

5.2.3 タイミング必要条件 (メモリ拡張モード、マイクロプロセッサモード)

表 5.35 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (1~3ウェイト設定)		(注2)	ns
$t_{ac3}(RD-DB)$	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
$t_{ac4}(RD-DB)$	データ入力アクセス時間 (2 ϕ + 3 ϕ 以上のウェイト設定)		(注4)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	40		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	80		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 45[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n+0.5) \times 10^9}{f_{(BCLK)}} - 45[\text{ns}] \quad n \text{は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 45[\text{ns}] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{n \times 10^9}{f_{(BCLK)}} - 45[\text{ns}] \quad n \text{は} 2\phi + 3\phi \text{の場合“3”、} 2\phi + 4\phi \text{の場合“4”、} 3\phi + 4\phi \text{の場合“4”、} 4\phi + 5\phi \text{の場合“5”}$$

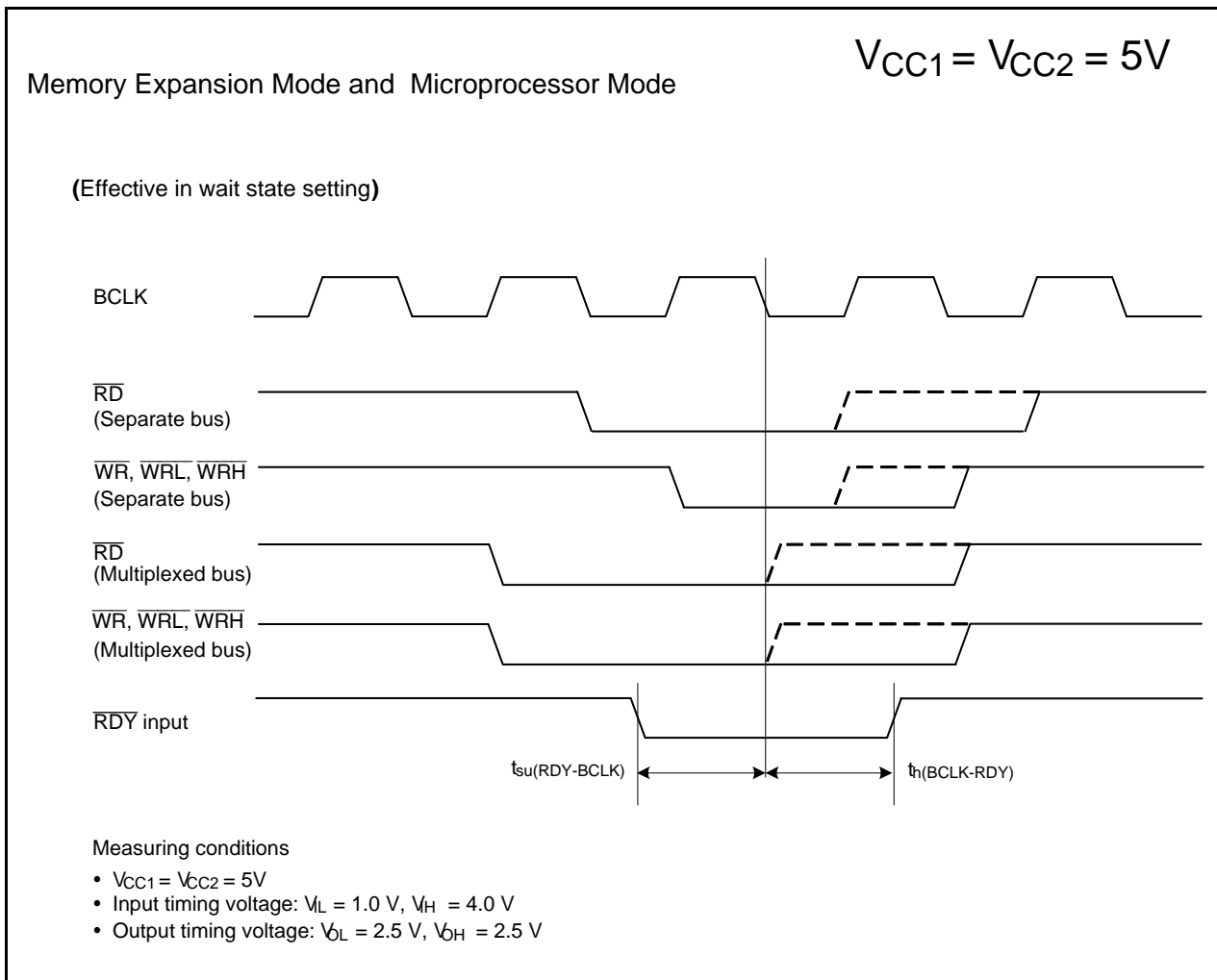


図 5.14 タイミング図

$$V_{CC1}=V_{CC2}=5V$$

5.2.4 スイッチング特性 (メモリ拡張モード、マイクロプロセッサモード)

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

5.2.4.1 ウェイトなし設定の場合

表 5.36 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 5.15		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK 基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD 基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR 基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK 基準)		0		ns
$t_d(\text{BCLK-ALE})$	ALE 信号出力遅延時間			15	ns
$t_h(\text{BCLK-ALE})$	ALE 信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD 信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD 信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR 信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR 信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK 基準) (注3)		0		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR 基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR 基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 40[\text{ns}] \quad f_{(\text{BCLK})} \text{は } 12.5\text{MHz 以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。

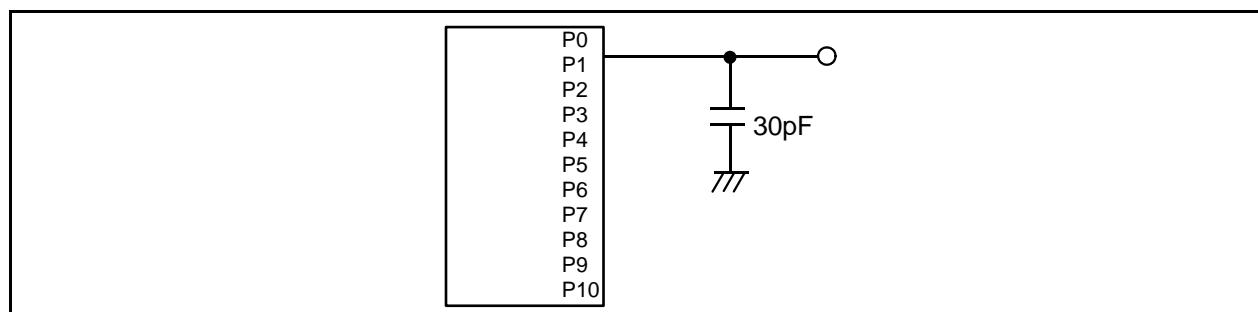
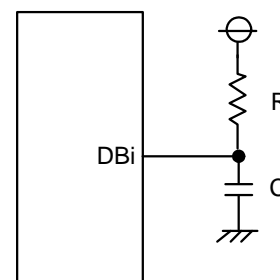


図 5.15 ポートP0~P10の測定回路

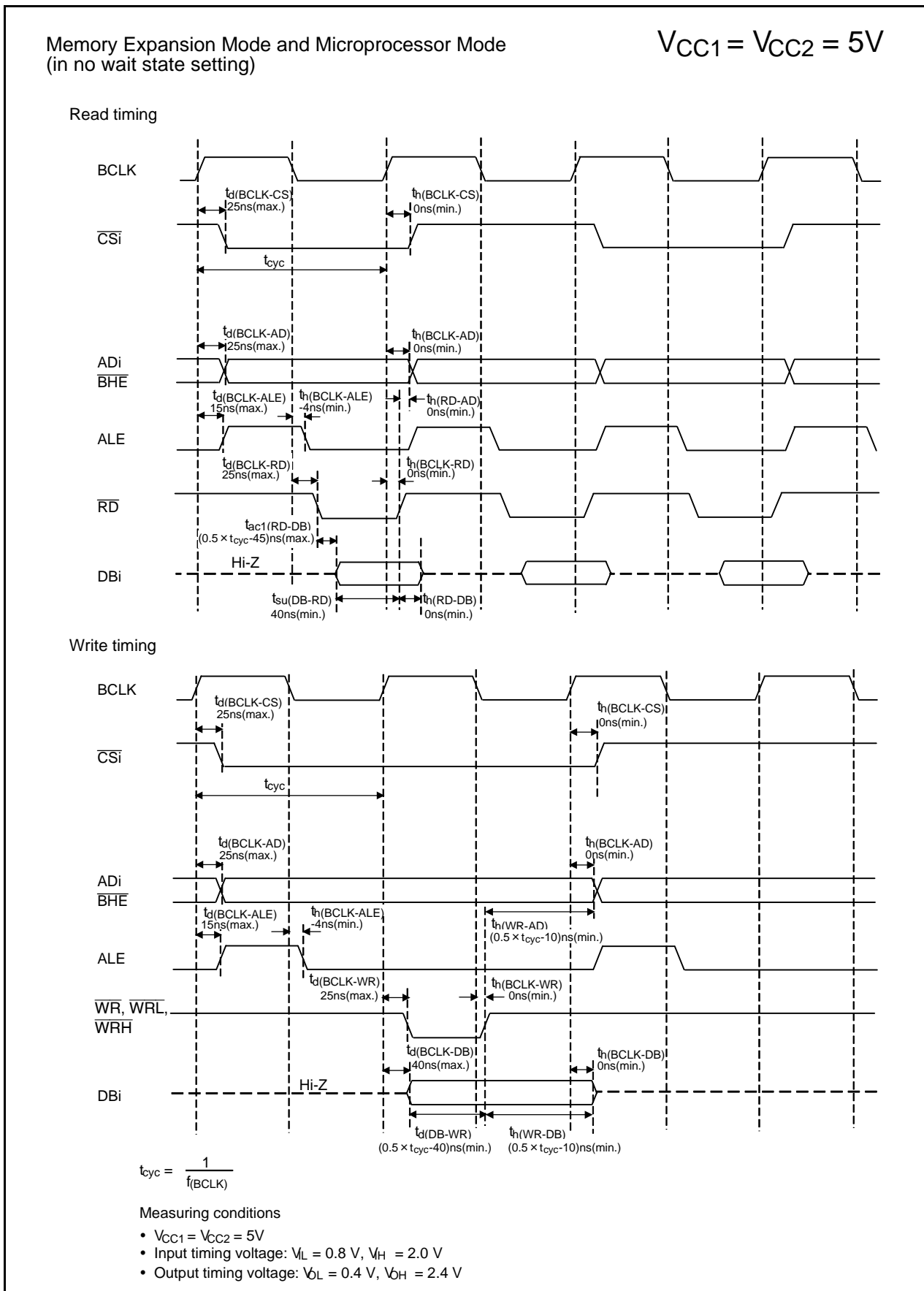


図 5.16 タイミング図

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$)

5.2.4.2 1~3ウェイト設定、外部領域をアクセスした場合

表 5.37 メモリ拡張モード、マイクロプロセッサモード
(1~3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 5.15		25	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD基準)		0		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			25	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_{d(BCLK-ALE)}$	ALE信号出力遅延時間			15	ns
$t_{h(BCLK-ALE)}$	ALE信号出力保持時間		-4		ns
$t_{d(BCLK-RD)}$	RD信号出力遅延時間			25	ns
$t_{h(BCLK-RD)}$	RD信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR信号出力遅延時間			25	ns
$t_{h(BCLK-WR)}$	WR信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK基準)			40	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK基準) (注3)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 40[\text{ns}]$$

n は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、
3ウェイト設定の場合“3”
 $n=1$ の場合は、 $f_{(BCLK)}$ は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。 $\frac{0.5 \times 10^9}{f_{(BCLK)}} - 10[\text{ns}]$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

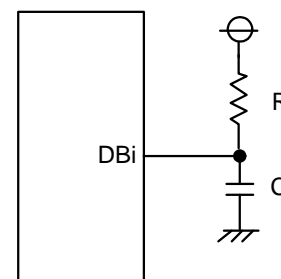
たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。



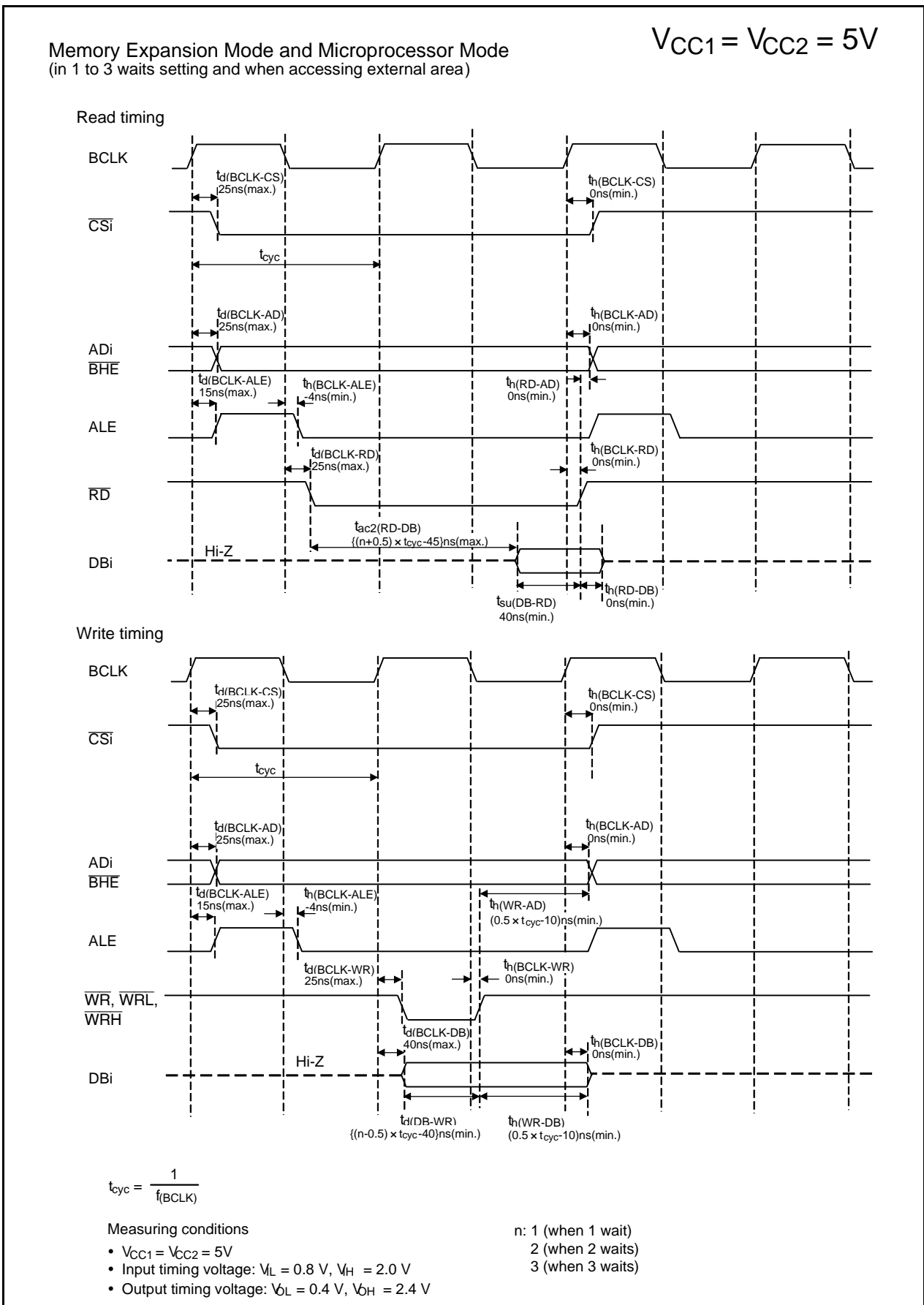


図 5.17 タイミング図

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

5.2.4.3 2~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合

表 5.38 メモリ拡張モード、マイクロプロセッサモード

(2~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合) (注5)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 5.15		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_h(\text{RD-CS})$	チップセレクト出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-CS})$	チップセレクト出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準)		0		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注2)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-ALE})$	ALE出力遅延時間 (BCLK基準)			15	ns
$t_h(\text{BCLK-ALE})$	ALE出力保持時間 (BCLK基準)		-4		ns
$t_d(\text{AD-ALE})$	ALE出力遅延時間 (アドレス基準)		(注3)		ns
$t_h(\text{ALE-AD})$	ALE出力保持時間 (アドレス基準)		(注4)		ns
$t_d(\text{AD-RD})$	アドレス後RD信号出力遅延時間	0		ns	
$t_d(\text{AD-WR})$	アドレス後WR信号出力遅延時間	0		ns	
$t_{dZ}(\text{RD-AD})$	アドレス出力フローティング開始時間		8	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 10[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(\text{BCLK})}} - 40[\text{ns}] \quad n \text{は} 2 \text{ウェイト設定の場合} "2" \text{、} 3 \text{ウェイト設定の場合} "3"$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 25[\text{ns}]$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 15[\text{ns}]$$

注5. マルチプレクスバスを使用する場合、 $f_{(\text{BCLK})}$ は12.5MHz以下にしてください。

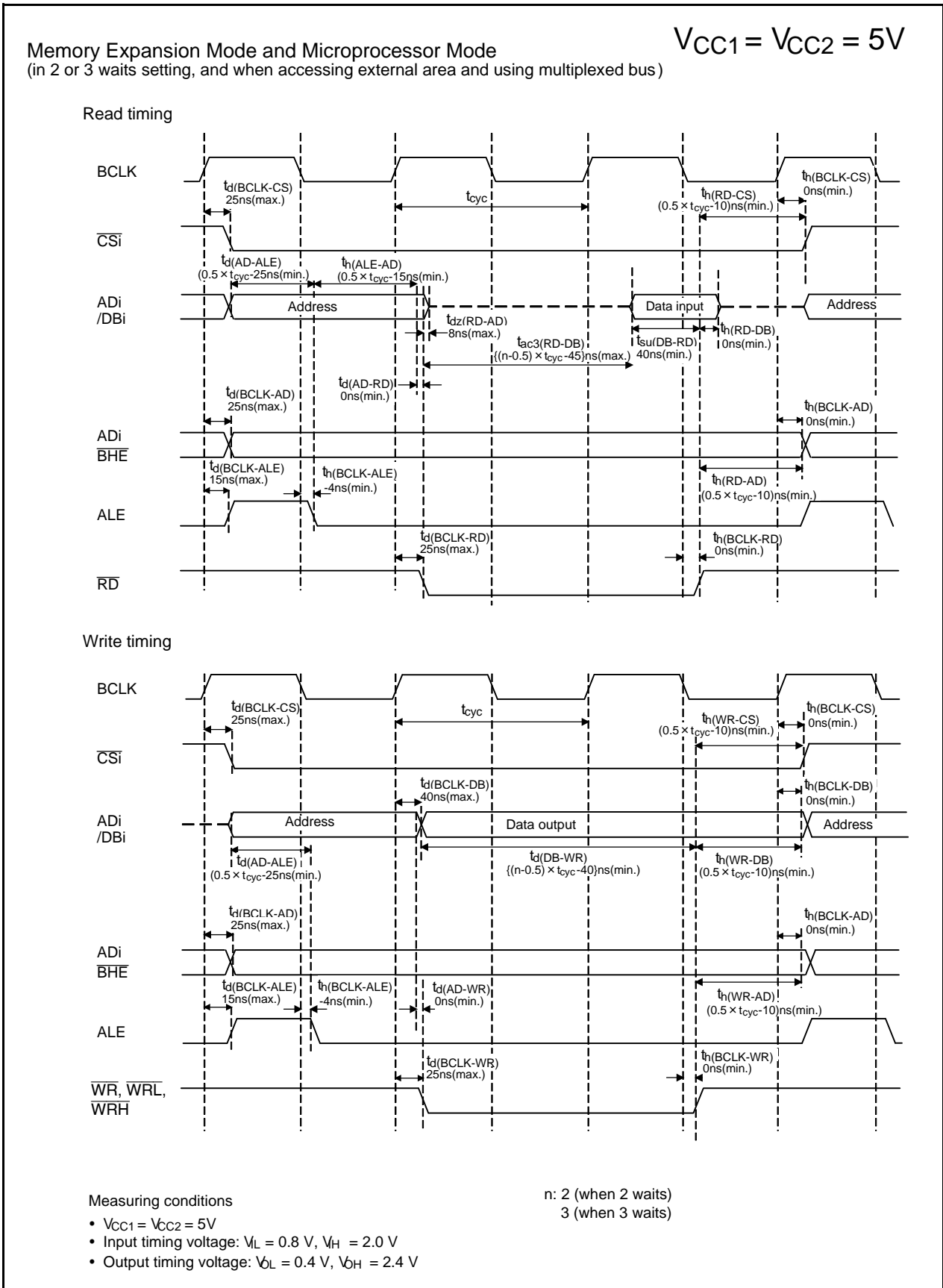


図 5.18 タイミング図

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

5.2.4.4 ウェイトあり 2φ + 3φ、2φ + 4φ、3φ + 4φ、4φ + 5φ設定、外部領域をアクセスした場合

表 5.39 メモリ拡張モード、マイクロプロセッサモード
(ウェイトあり 2φ + 3φ、2φ + 4φ、3φ + 4φ、4φ + 5φ設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 5.15		25	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD基準)		0		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			25	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_{d(BCLK-ALE)}$	ALE信号出力遅延時間			15	ns
$t_{h(BCLK-ALE)}$	ALE信号出力保持時間		-4		ns
$t_{d(BCLK-RD)}$	RD信号出力遅延時間			25	ns
$t_{h(BCLK-RD)}$	RD信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR信号出力遅延時間			25	ns
$t_{h(BCLK-WR)}$	WR信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK基準)			40	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK基準) (注3)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 40[\text{ns}] \quad n \text{は } 2\phi + 3\phi \text{ の場合 "3"、} 2\phi + 4\phi \text{ の場合 "4"、} 3\phi + 4\phi \text{ の場合 "4"、} 4\phi + 5\phi \text{ の場合 "5"}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

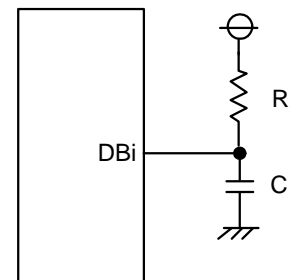
で表されます。

たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) \\ = 6.7\text{ns}$$

となります。



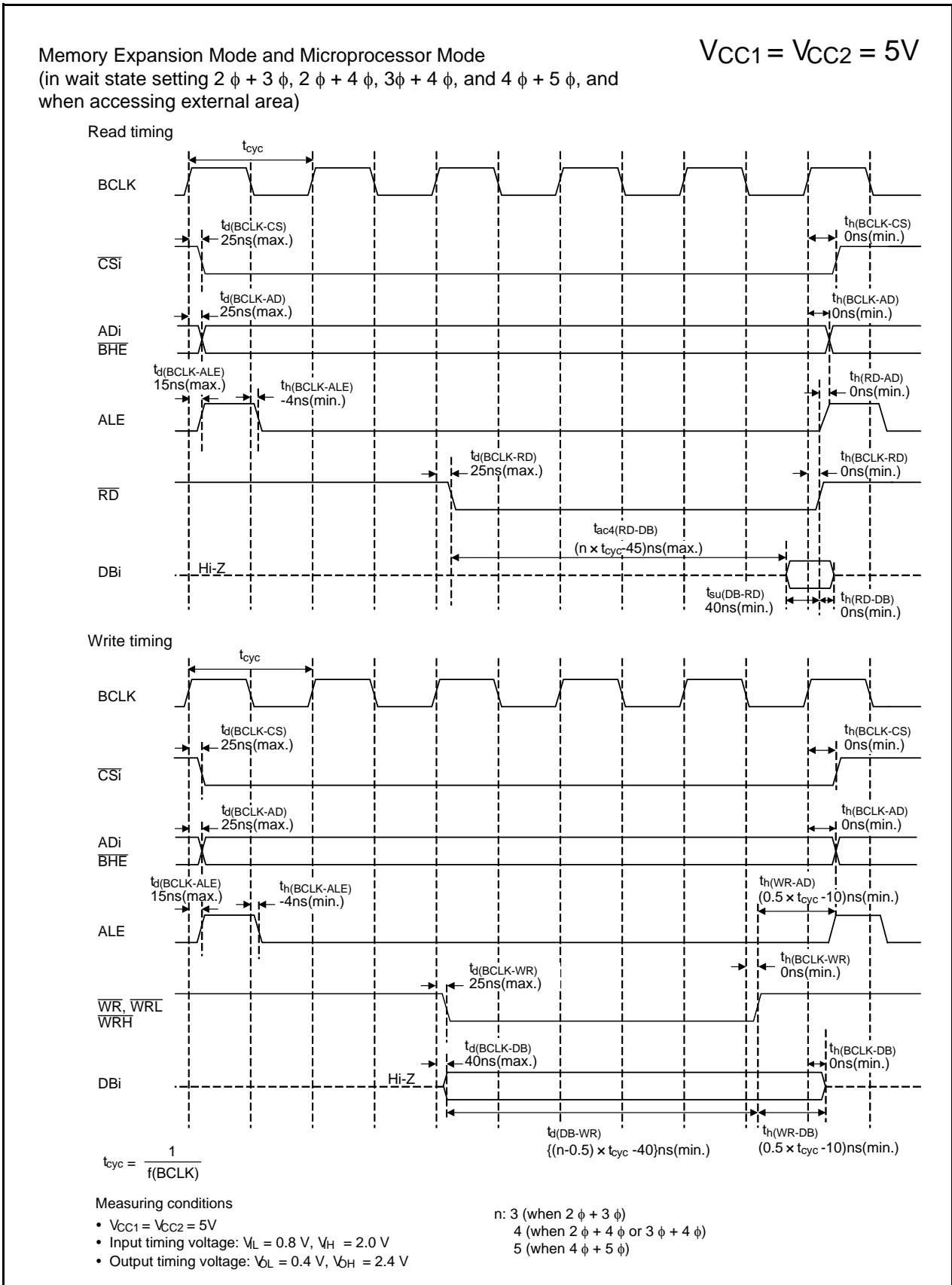


図 5.19 タイミング図

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$)

5.2.4.5 ウェイトあり 2φ + 3φ、2φ + 4φ、3φ + 4φ、4φ + 5φ設定、 リカバリサイクル1~3サイクル挿入、外部領域をアクセスした場合

表 5.40 メモリ拡張モード、マイクロプロセッサモード
(ウェイトあり 2φ + 3φ、2φ + 4φ、3φ + 4φ、4φ + 5φ設定、
リカバリサイクル1~3サイクル挿入、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 5.15		25	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK 基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD 基準)		(注4)		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR 基準)		(注2)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			25	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK 基準)		0		ns
$t_{d(BCLK-ALE)}$	ALE 信号出力遅延時間			15	ns
$t_{h(BCLK-ALE)}$	ALE 信号出力保持時間		-4		ns
$t_{d(BCLK-RD)}$	RD 信号出力遅延時間			25	ns
$t_{h(BCLK-RD)}$	RD 信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR 信号出力遅延時間			25	ns
$t_{h(BCLK-WR)}$	WR 信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK 基準) (注3)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR 基準)		(注1)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR 基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{n \times 10^9}{f_{(BCLK)}} - 40[\text{ns}] \quad n \text{は } 2\phi + 3\phi \text{ の場合 "3"、} 2\phi + 4\phi \text{ の場合 "4"、} 3\phi + 4\phi \text{ の場合 "4"、} 4\phi + 5\phi \text{ の場合 "5"}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{m \times 10^9}{f_{(BCLK)}} - 10[\text{ns}] \quad m \text{はリカバリサイクル1サイクル挿入の場合 "1"、2サイクル挿入の場合 "2"、3サイクル挿入の場合 "3"}$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。右図の回路でデータバスの保持時間は、下の式で表されます。

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

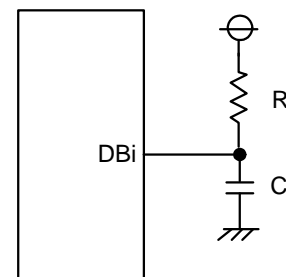
たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、下のようになります。

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) \\ = 6.7\text{ns}$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{m \times 10^9}{f_{(BCLK)}} + 0[\text{ns}] \quad m \text{はリカバリサイクル1サイクル挿入の場合 "1"、2サイクル挿入の場合 "2"、3サイクル挿入の場合 "3"}$$



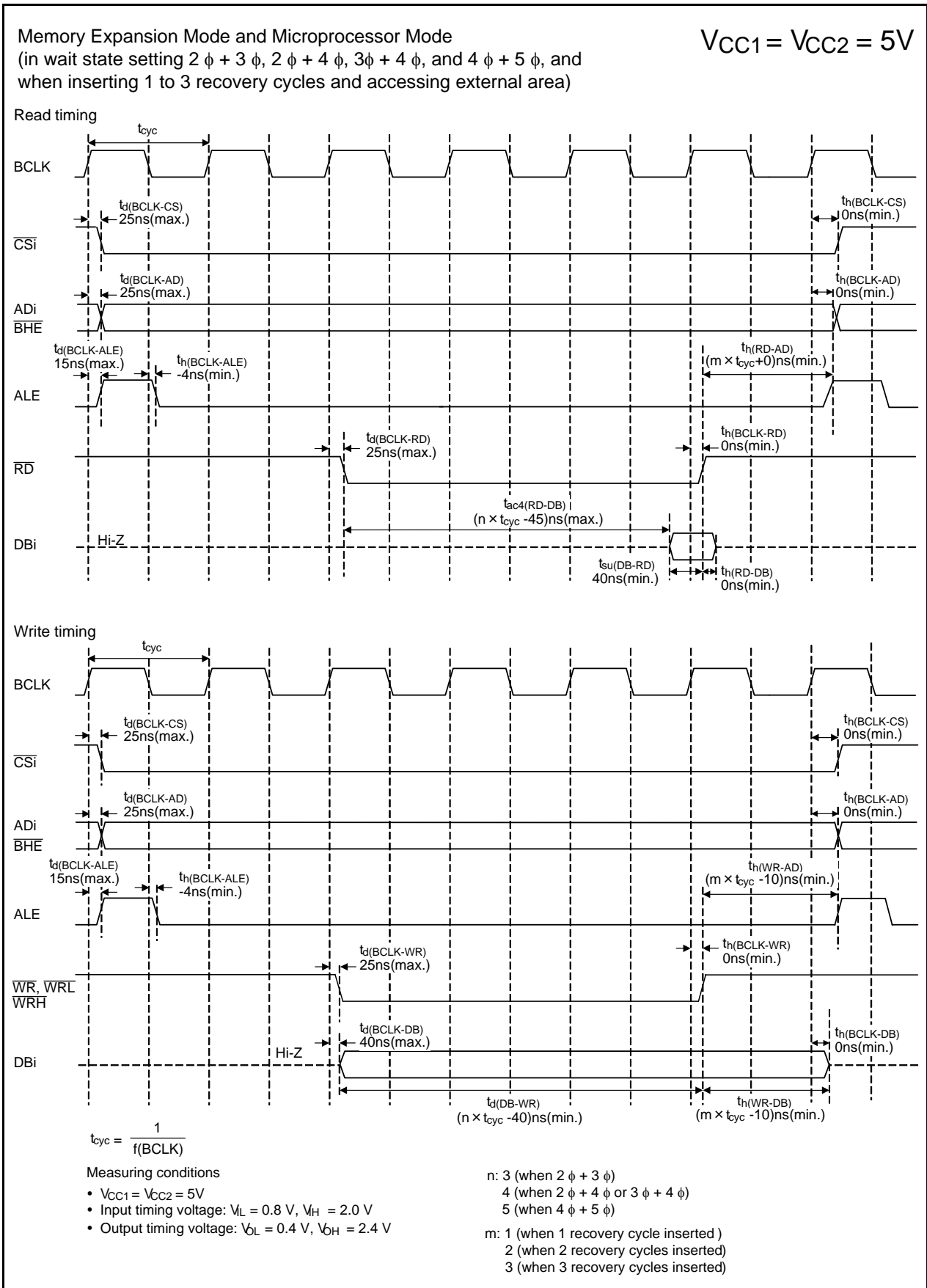


図 5.20 タイミング図

5.3 電気的特性($V_{CC1}=V_{CC2}=3V$)

5.3.1 電気的特性

 $V_{CC1}=V_{CC2}=3V$

表 5.41 電気的特性(1) (注1)

指定のない場合は、 $V_{CC1}=V_{CC2}=2.7\sim 3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=20MHz$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V_{OH}	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH}=-1mA$	$V_{CC1}-0.5$		V_{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OH}=-1mA$	$V_{CC2}-0.5$		V_{CC2}	
V_{OH}	"H"出力電圧	XOUT	HIGH POWER	$I_{OH}=-0.1mA$	$V_{CC1}-0.5$	V_{CC1}	V
			LOW POWER	$I_{OH}=-50\mu A$	$V_{CC1}-0.5$	V_{CC1}	
	XCOU		無負荷時		1.5		V
V_{OL}	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL}=1mA$			0.5	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OL}=1mA$			0.5	
		CEC	$I_{OL}=1mA$		0	0.5	V
V_{OL}	"L"出力電圧	XOUT	HIGH POWER	$I_{OL}=0.1mA$		0.5	V
			LOW POWER	$I_{OL}=50\mu A$		0.5	
	XCOU		無負荷時		0		V
$V_{T+}-V_{T-}$	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRG, CTS0~CTS2, CTS5~CTS7, SCL0~SCL2, SCL5~SCL7, SDA0~SDA2, SDA5~SDA7, CLK0~CLK7, TA0OUT~TA4OUT, KI0~KI7, RXD0~RXD2, RXD5~RXD7, SIN3, SIN4, SD, PMC0, PMC1, SCLMM, SDAMM, ZP, IDU, IDV, IDW		0.2		1.0	V
		CEC		0.2	0.5	1.0	V
		RESET		0.2		1.8	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	$V_I=3V$			4.0	μA
—	Power OFF時の端子電流	CEC	$V_{CC1}=0V$			1.8	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	$V_I=0V$			-4.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$V_I=0V$	50	100	500	k Ω
R_{FXIN}	帰還抵抗	XIN			0.8		M Ω
R_{FXCIN}	帰還抵抗	XCIN			8		M Ω
V_{RAM}	RAM保持電圧		ストップモード時	1.8			V

注1. $V_{CC1} \neq V_{CC2}$ でご使用の場合は、それぞれの電圧に応じて5V、3Vまたは1.8Vの規格を参照してください。

$$V_{CC1}=V_{CC2}=3V$$

表 5.42 電気的特性(2)

指定のない場合は、 $V_{CC1}=V_{CC2}=2.7\sim 3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=20MHz$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流 シングルチップモード で、出力端子は開放、そ 他の端子はV _{SS}	高速モード	f _(BCLK) =20MHz (分周なし) XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=1(駆動能力High) A/Dコンバータ停止		9.5		mA
			f _(BCLK) =20MHz (分周なし) XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=1(駆動能力High) A/Dコンバータ動作(注2)		10.2		mA
			f _(BCLK) =20MHz XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=0(駆動能力Low) A/Dコンバータ停止		9.2		mA
			f _(BCLK) =20MHz (分周なし) XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=1(駆動能力High) PCLKSTP1=FF(周辺クロック停止)		7.9		mA
			f _(BCLK) =20MHz (分周なし) XIN=20MHz (方形波) 125kHzオンチップオシレータ停止 CM15=0(駆動能力Low) PCLKSTP1=FF(周辺クロック停止)		7.6		mA
		40MHzオンチップ オシレータモード	メインクロック停止 40MHzオンチップオシレータ発振、 2分周(f _(BCLK) =20MHz) 125kHzオンチップオシレータ停止		9.0		mA
		125kHzオンチップ オシレータモード	メインクロック停止 40MHzオンチップオシレータ停止 125kHzオンチップオシレータ発振、分周なし FMR22=1(スローリードモード)		450.0		μA
		低消費電力モード	f _(BCLK) =32kHz FMR22=FMR23=1(低消費電力リードモード) フラッシュメモリ上(注1)		80.0		μA
		ウェイトモード	f _(BCLK) =32kHz メインクロック停止 40MHzオンチップオシレータ停止 125kHzオンチップオシレータ発振 PM25=1(周辺機能クロックfC動作) T _{opr} =25°C リアルタイムクロック動作		5.3		μA
			f _(BCLK) =32kHz メインクロック停止 40MHzオンチップオシレータ停止 125kHzオンチップオシレータ停止 PM25=0(周辺機能クロックfC停止) T _{opr} =25°C		5.0		μA
		ストップモード	T _{opr} =25°C		2.2		μA
		フラッシュメモリ プログラム中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =3.0V		20.0		mA
フラッシュメモリ イレーズ中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =3.0V		30.0		mA		

注1. 実行するプログラムが存在するメモリを示す。

注2. 繰り返しモードでA/D変換実施。

$$V_{CC1}=V_{CC2}=3V$$

5.3.2 タイミング必要条件 (周辺機能、他)

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

5.3.2.1 リセット入力

表 5.43 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

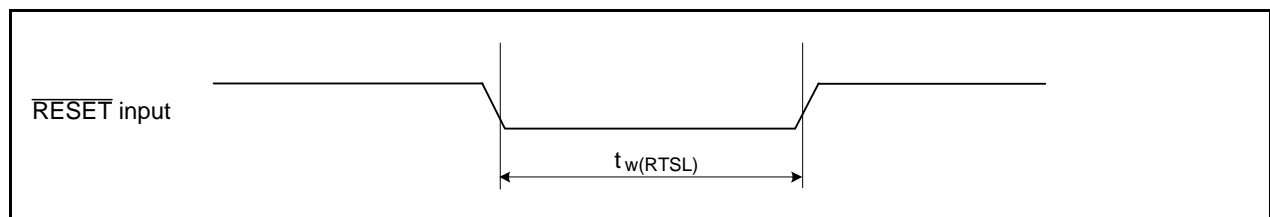


図 5.21 リセット入力 (\overline{RESET} 入力)

5.3.2.2 外部クロック入力

表 5.44 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

注1. 条件は $V_{CC1}=V_{CC2}=2.7\sim 3.0V$ です。

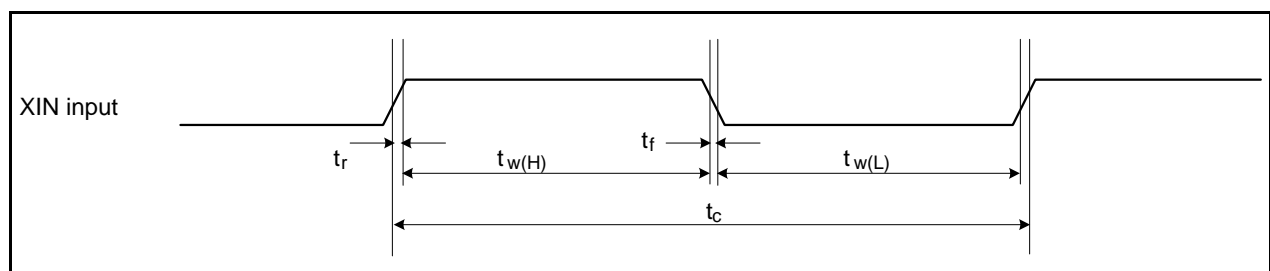


図 5.22 外部クロック入力 (XIN入力)

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.2.3 タイマA入力

表 5.45 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	60		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	60		ns

表 5.46 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	300		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	300		ns

表 5.47 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	150		ns

表 5.48 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	150		ns

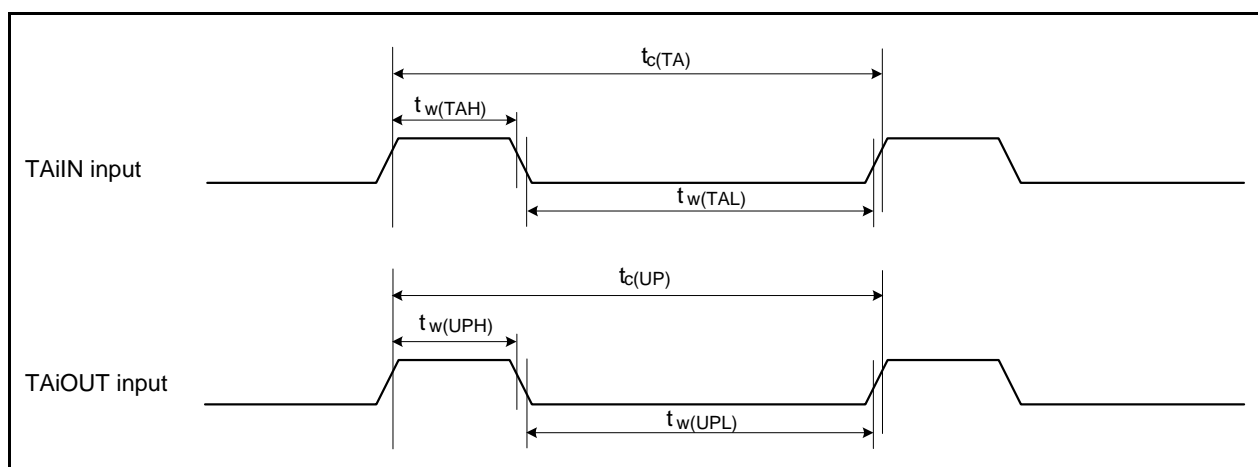


図 5.23 タイマA入力

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 5.49 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	2		μs
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	500		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	500		ns

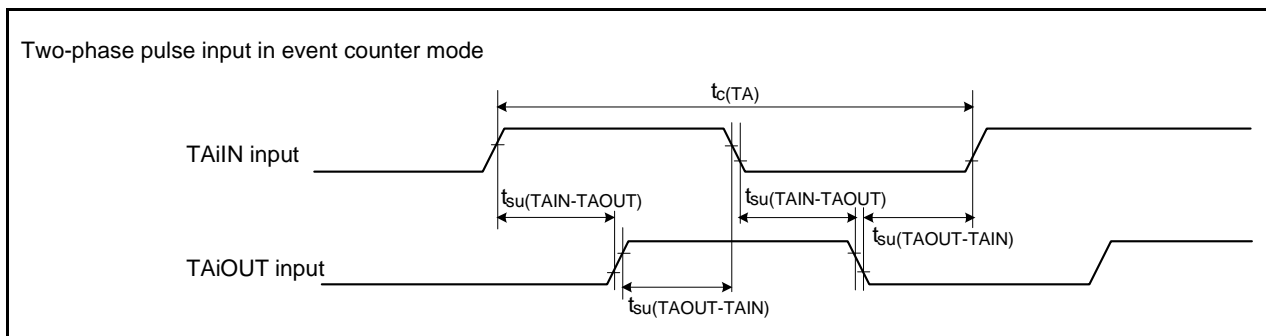


図 5.24 タイマA入力(イベントカウンタモードの二相パルス入力)

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.2.4 タイマB入力

表 5.50 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表 5.51 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	300		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	300		ns

表 5.52 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	300		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	300		ns

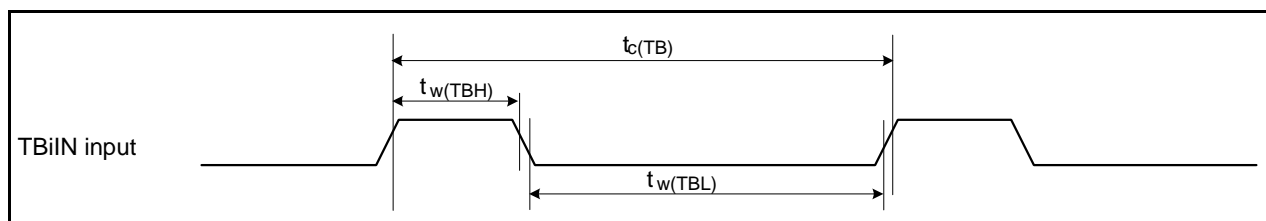


図 5.25 タイマB入力

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.2.5 シリアルインタフェース

表 5.53 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	300		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	150		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	150		ns
$t_d(C-Q)$	TXDi出力遅延時間		160	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	100		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

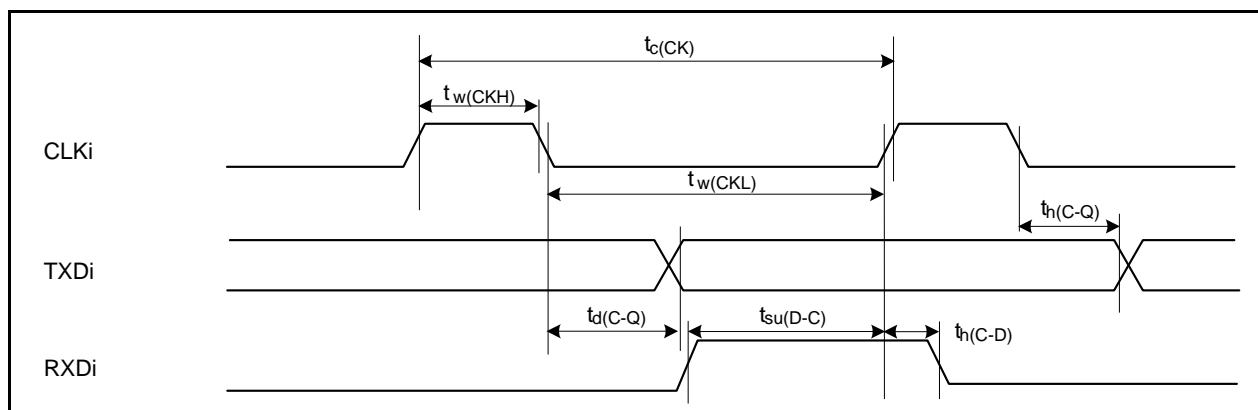


図 5.26 シリアルインタフェース

5.3.2.6 外部割り込み \overline{INTi} 入力

表 5.54 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	380		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	380		ns

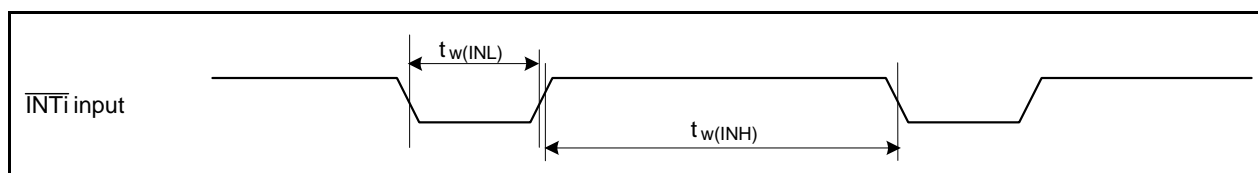


図 5.27 外部割り込み \overline{INTi} 入力

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.2.7 マルチマスタ I²C-bus

表 5.55 マルチマスタ I²C-bus

記号	項目	標準クロックモード		Fast-mode		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

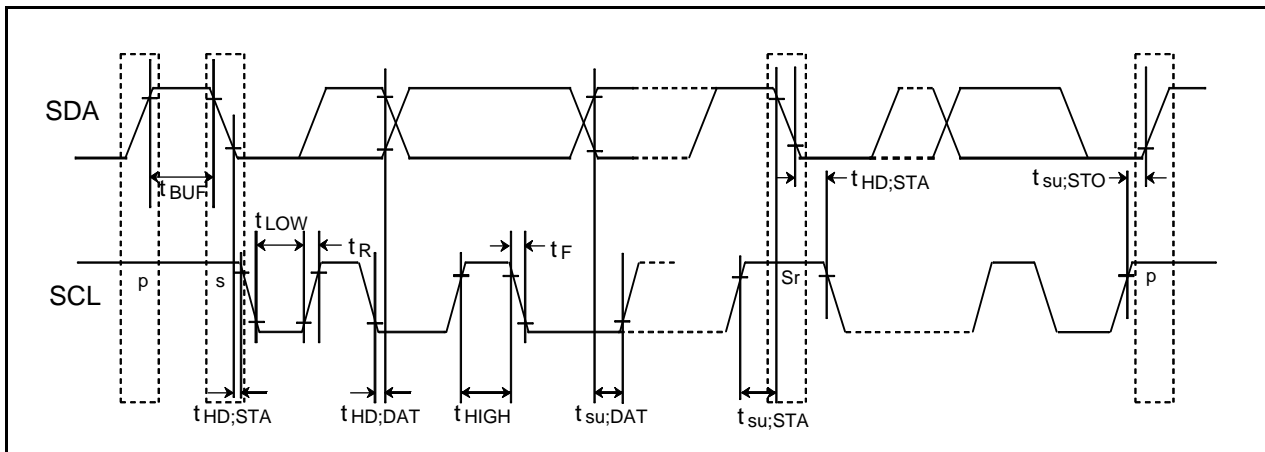


図 5.28 マルチマスタ I²C-bus

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.3 タイミング必要条件 (メモリ拡張モード、マイクロプロセッサモード)

表 5.56 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (1~3ウェイト設定)		(注2)	ns
$t_{ac3}(RD-DB)$	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
$t_{ac4}(RD-DB)$	データ入力アクセス時間 (2φ+3φ以上のウェイト設定)		(注4)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	50		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	85		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 60[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n+0.5) \times 10^9}{f_{(BCLK)}} - 60[\text{ns}] \quad n \text{は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 60[\text{ns}] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{n \times 10^9}{f_{(BCLK)}} - 60[\text{ns}] \quad n \text{は} 2\phi+3\phi \text{の場合“3”、} 2\phi+4\phi \text{の場合“4”、} 3\phi+4\phi \text{の場合“4”、} 4\phi+5\phi \text{の場合“5”}$$

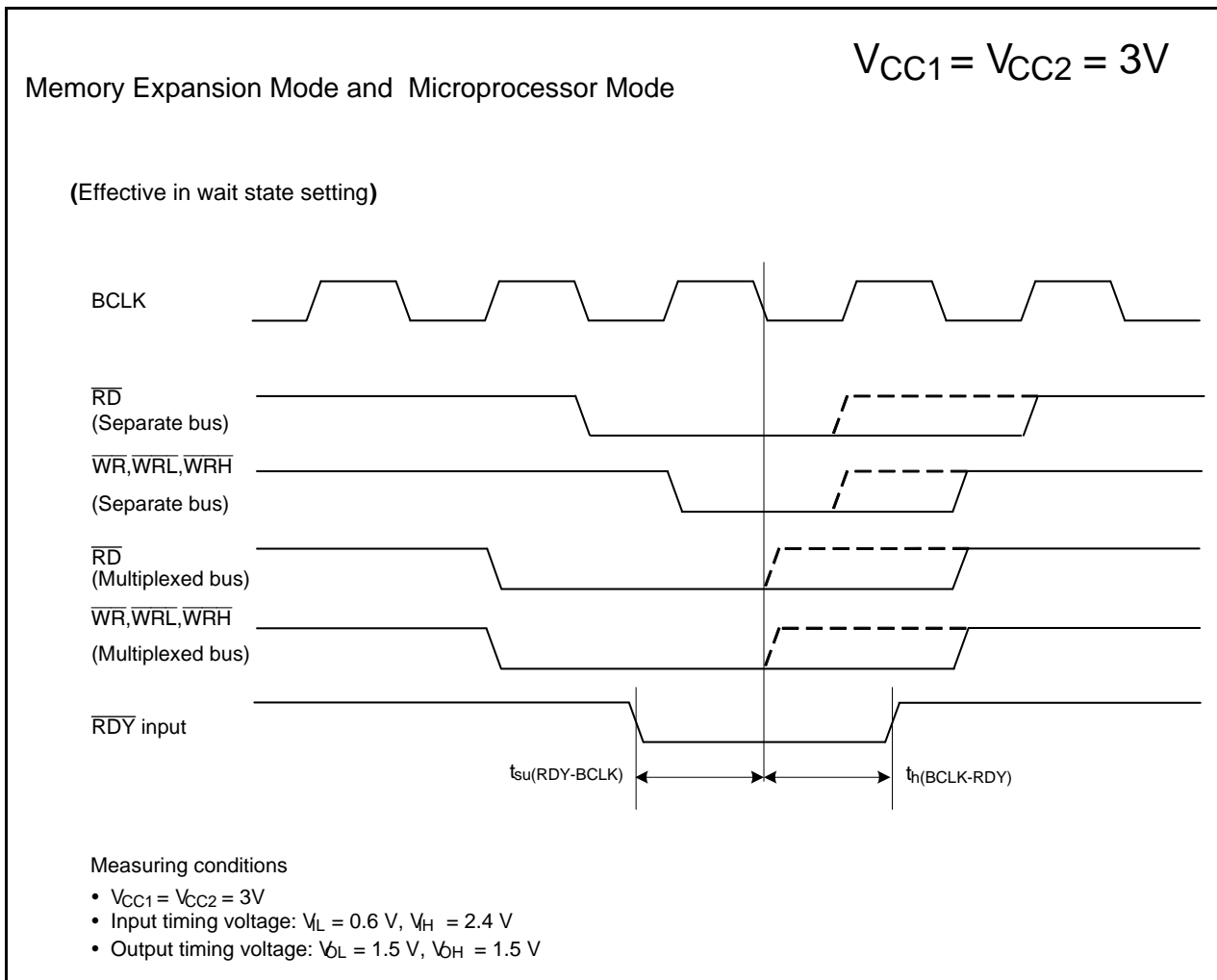


図 5.29 タイミング図

$$V_{CC1}=V_{CC2}=3V$$

5.3.4 スイッチング特性 (メモリ拡張モード、マイクロプロセッサモード)

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.4.1 ウェイトなし設定の場合

表 5.57 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 5.30		30	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD基準)		0		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			30	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_{d(BCLK-ALE)}$	ALE信号出力遅延時間			25	ns
$t_{h(BCLK-ALE)}$	ALE信号出力保持時間		-4		ns
$t_{d(BCLK-RD)}$	RD信号出力遅延時間			30	ns
$t_{h(BCLK-RD)}$	RD信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR信号出力遅延時間			30	ns
$t_{h(BCLK-WR)}$	WR信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK基準)			40	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK基準) (注3)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 40[\text{ns}] \quad f_{(BCLK)} \text{は } 12.5\text{MHz以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。

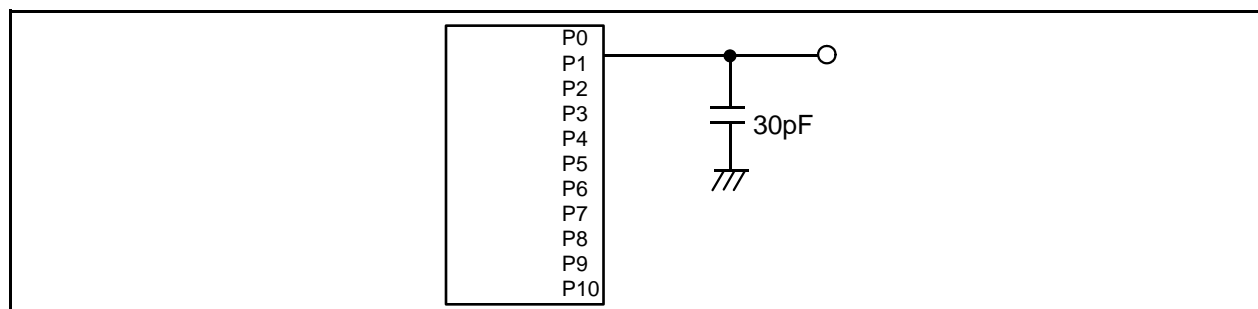
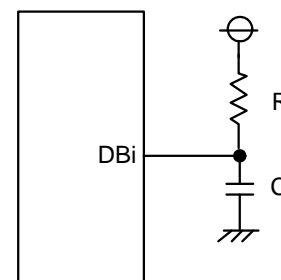


図 5.30 ポートP0~P10の測定回路

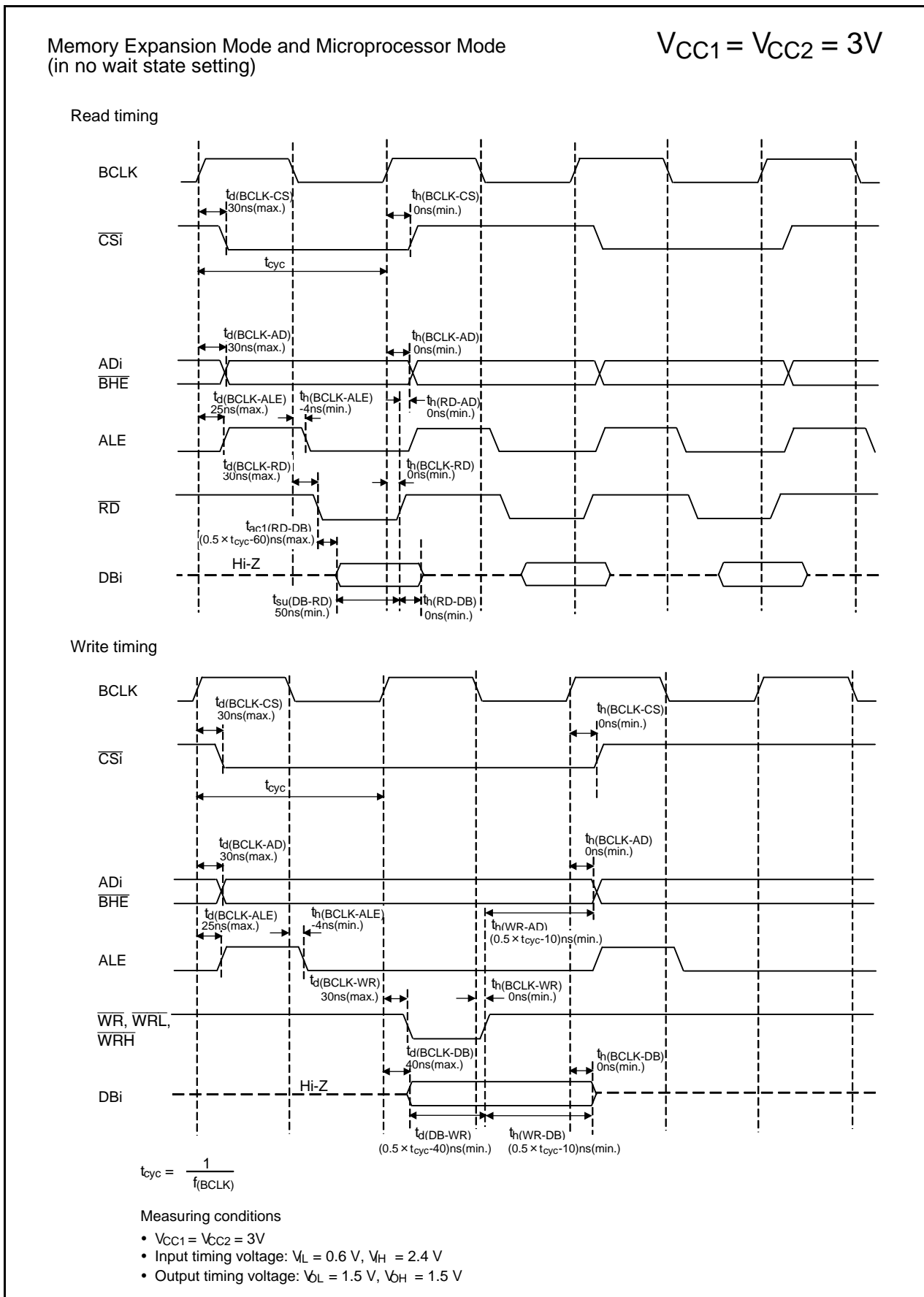


図 5.31 タイミング図

$$V_{CC1}=V_{CC2}=3V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.4.2 1~3ウェイト設定、外部領域をアクセスした場合

表 5.58 メモリ拡張モード、マイクロプロセッサモード
(1~3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 5.30		30	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD基準)		0		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			30	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_{d(BCLK-ALE)}$	ALE 信号出力遅延時間			25	ns
$t_{h(BCLK-ALE)}$	ALE 信号出力保持時間		-4		ns
$t_{d(BCLK-RD)}$	RD信号出力遅延時間			30	ns
$t_{h(BCLK-RD)}$	RD信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR信号出力遅延時間			30	ns
$t_{h(BCLK-WR)}$	WR信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK基準)			40	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK基準) (注3)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 40[\text{ns}]$$

n は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、
3ウェイト設定の場合“3”
 $n=1$ の場合は、 $f_{(BCLK)}$ は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

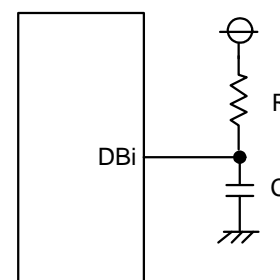
たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。



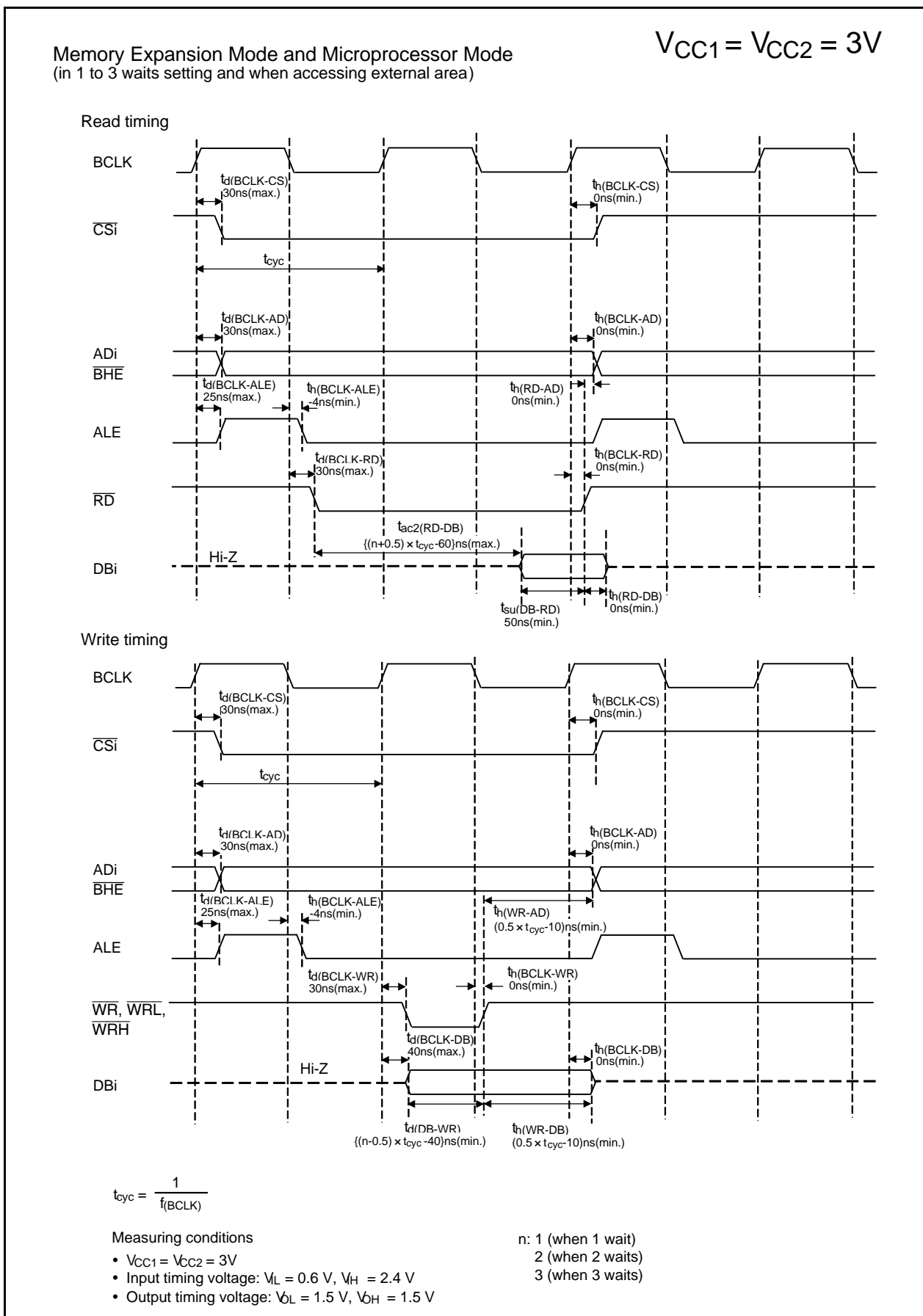


図 5.32 タイミング図

$$V_{CC1}=V_{CC2}=3V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.4.3 2~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合

表 5.59 メモリ拡張モード、マイクロプロセッサモード

(2~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合) (注5)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 5.30		50	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD基準)		(注1)		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR基準)		(注1)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			50	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_{h(RD-CS)}$	チップセレクト出力保持時間 (RD基準)		(注1)		ns
$t_{h(WR-CS)}$	チップセレクト出力保持時間 (WR基準)		(注1)		ns
$t_{d(BCLK-RD)}$	RD信号出力遅延時間			40	ns
$t_{h(BCLK-RD)}$	RD信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR信号出力遅延時間			40	ns
$t_{h(BCLK-WR)}$	WR信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK基準)			50	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK基準)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR基準)		(注2)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR基準)		(注1)		ns
$t_{d(BCLK-ALE)}$	ALE出力遅延時間 (BCLK基準)			25	ns
$t_{h(BCLK-ALE)}$	ALE出力保持時間 (BCLK基準)		-4		ns
$t_{d(AD-ALE)}$	ALE出力遅延時間 (アドレス基準)		(注3)		ns
$t_{h(ALE-AD)}$	ALE出力保持時間 (アドレス基準)		(注4)		ns
$t_{d(AD-RD)}$	アドレス後RD信号出力遅延時間	0		ns	
$t_{d(AD-WR)}$	アドレス後WR信号出力遅延時間	0		ns	
$t_{dZ(RD-AD)}$	アドレス出力フローティング開始時間		8	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。 $\frac{0.5 \times 10^9}{f_{(BCLK)}} - 10$ [ns]

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 50$$
 [ns] nは2ウェイト設定の場合“2”、3ウェイト設定の場合“3”

注3. BCLKの周波数に応じて次の計算式で算出されます。 $\frac{0.5 \times 10^9}{f_{(BCLK)}} - 40$ [ns]

注4. BCLKの周波数に応じて次の計算式で算出されます。 $\frac{0.5 \times 10^9}{f_{(BCLK)}} - 15$ [ns]

注5. マルチプレクスバスを使用する場合、 $f_{(BCLK)}$ は12.5MHz以下にしてください。

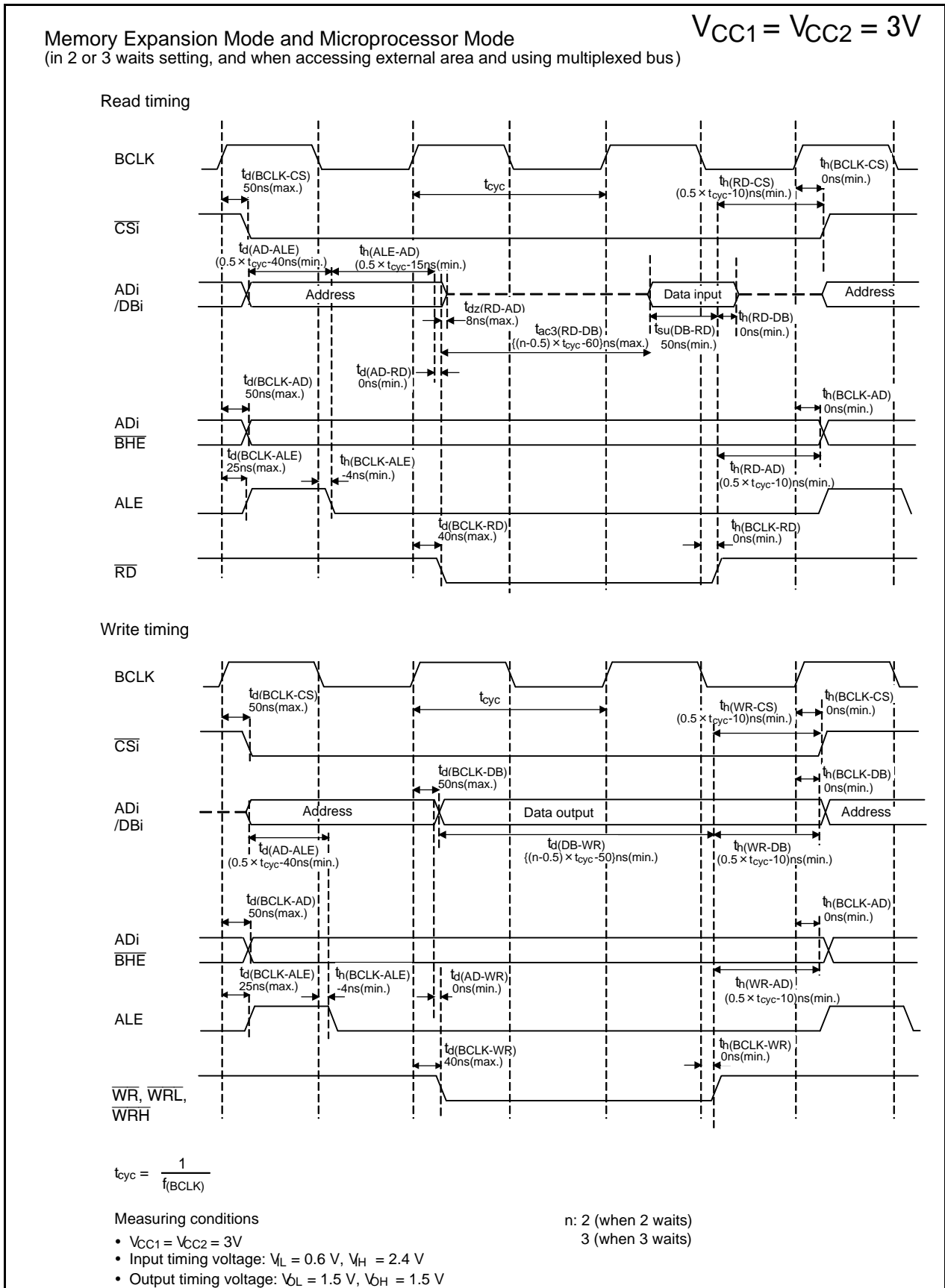


図 5.33 タイミング図

$$V_{CC1}=V_{CC2}=3V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.4.4 ウェイトあり 2φ + 3φ、2φ + 4φ、3φ + 4φ、4φ + 5φ 設定、外部領域をアクセスした場合

表 5.60 メモリ拡張モード、マイクロプロセッサモード
(ウェイトあり 2φ + 3φ、2φ + 4φ、3φ + 4φ、4φ + 5φ 設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 5.30		30	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK 基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD 基準)		0		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR 基準)		(注2)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			30	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK 基準)		0		ns
$t_{d(BCLK-ALE)}$	ALE 信号出力遅延時間			25	ns
$t_{h(BCLK-ALE)}$	ALE 信号出力保持時間		-4		ns
$t_{d(BCLK-RD)}$	RD 信号出力遅延時間			30	ns
$t_{h(BCLK-RD)}$	RD 信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR 信号出力遅延時間			30	ns
$t_{h(BCLK-WR)}$	WR 信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK 基準) (注3)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR 基準)		(注1)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR 基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 40[\text{ns}] \quad n \text{ は } 2\phi + 3\phi \text{ の場合 "3"、} 2\phi + 4\phi \text{ の場合 "4"、} 3\phi + 4\phi \text{ の場合 "4"、} 4\phi + 5\phi \text{ の場合 "5"}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

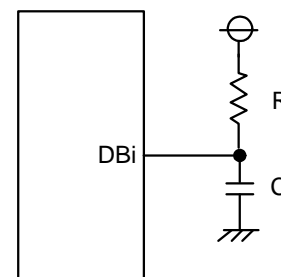
で表されます。

たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) \\ = 6.7\text{ns}$$

となります。



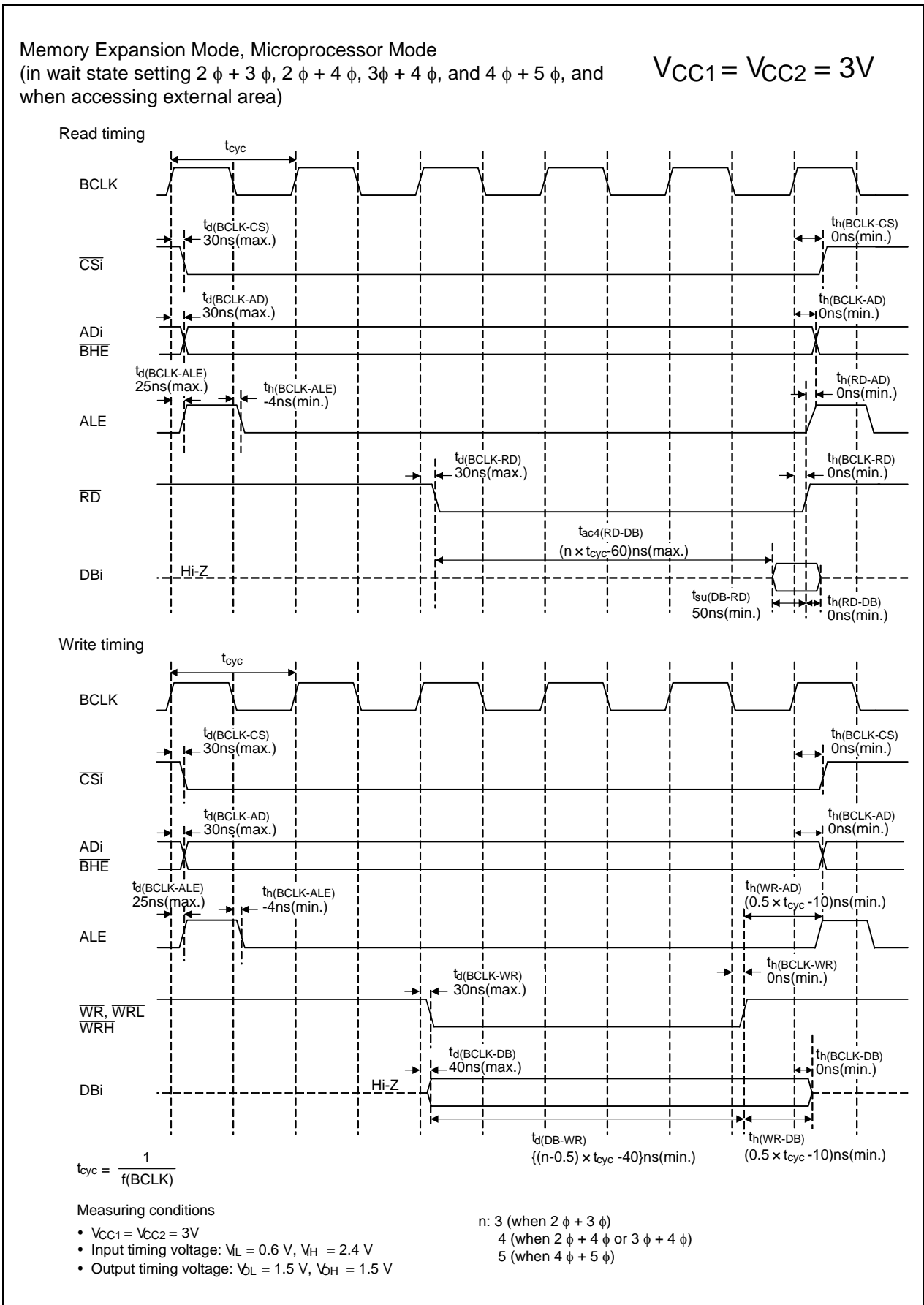


図 5.34 タイミング図

$$V_{CC1}=V_{CC2}=3V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.3.4.5 ウェイトあり $2\phi + 3\phi$ 、 $2\phi + 4\phi$ 、 $3\phi + 4\phi$ 、 $4\phi + 5\phi$ 設定、 リカバリサイクル1~3サイクル挿入、外部領域をアクセスした場合

表 5.61 メモリ拡張モード、マイクロプロセッサモード
(ウェイトあり $2\phi + 3\phi$ 、 $2\phi + 4\phi$ 、 $3\phi + 4\phi$ 、 $4\phi + 5\phi$ 設定、
リカバリサイクル1~3サイクル挿入、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 5.30		30	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD基準)		(注4)		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			30	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_{d(BCLK-ALE)}$	ALE信号出力遅延時間			25	ns
$t_{h(BCLK-ALE)}$	ALE信号出力保持時間		-4		ns
$t_{d(BCLK-RD)}$	RD信号出力遅延時間			30	ns
$t_{h(BCLK-RD)}$	RD信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR信号出力遅延時間			30	ns
$t_{h(BCLK-WR)}$	WR信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK基準)			40	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK基準) (注3)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{n \times 10^9}{f_{(BCLK)}} - 40[\text{ns}] \quad n \text{は} 2\phi + 3\phi \text{の場合} "3"、2\phi + 4\phi \text{の場合} "4"、3\phi + 4\phi \text{の場合} "4"、4\phi + 5\phi \text{の場合} "5"$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{m \times 10^9}{f_{(BCLK)}} - 10[\text{ns}] \quad m \text{はリカバリサイクル1サイクル挿入の場合} "1"、2 \text{サイクル挿入の場合} "2"、3 \text{サイクル挿入の場合} "3"$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。右図の回路でデータバスの保持時間は、下の式で表されます。

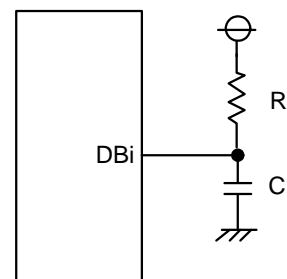
$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、出力"L"レベルの保持時間は、下のようになります。

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) \\ = 6.7\text{ns}$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{m \times 10^9}{f_{(BCLK)}} + 0[\text{ns}] \quad m \text{はリカバリサイクル1サイクル挿入の場合} "1"、2 \text{サイクル挿入の場合} "2"、3 \text{サイクル挿入の場合} "3"$$



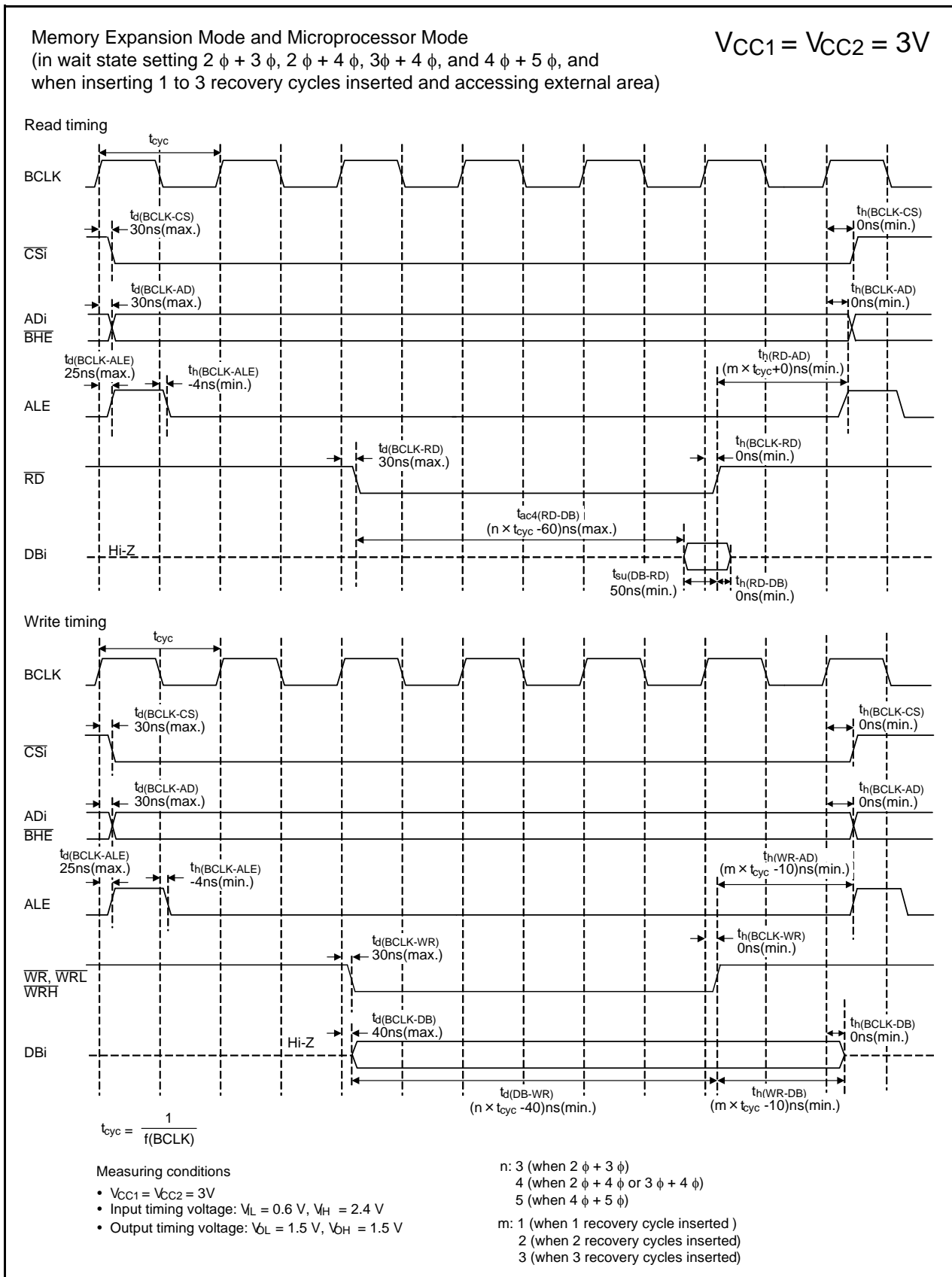


図 5.35 タイミング図

5.4 電気的特性 ($V_{CC1}=V_{CC2}=1.8V$)

5.4.1 電気的特性

 $V_{CC1}=V_{CC2}=1.8V$

表 5.62 電気的特性(1) (注1)

指定のない場合は、 $1.8V \leq V_{CC1}=V_{CC2} < 2.7V$ 、 $V_{SS}=0V$ 、 $Topr = -20 \sim 85^{\circ}C / -40 \sim 85^{\circ}C$ 、 $f_{(CLK)}=5MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH} = -1mA$	$V_{CC1} - 0.5$		V_{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OH} = -1mA$	$V_{CC2} - 0.5$		V_{CC2}	
V_{OH}	"H"出力電圧	XOUT	HIGH POWER	$I_{OH} = -0.1mA$	$V_{CC1} - 0.5$	V_{CC1}	V
			LOW POWER	$I_{OH} = -50\mu A$	$V_{CC1} - 0.5$	V_{CC1}	
	"H"出力電圧	XCOU		無負荷時		1.5	V
V_{OL}	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL} = 1mA$			0.5	V
			P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OL} = 1mA$			
V_{OL}	"L"出力電圧	XOUT	HIGH POWER	$I_{OL} = 0.1mA$		0.5	V
			LOW POWER	$I_{OL} = 50\mu A$		0.5	
	"L"出力電圧	XCOU		無負荷時		0	V
$V_{T+}-V_{T-}$	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRG, CTS0~CTS2, CTS5~CTS7, SCL0~SCL2, SCL5~SCL7, SDA0~SDA2, SDA5~SDA7, CLK0~CLK7, TA0OUT~TA4OUT, KI0~KI7, RXD0~RXD2, RXD5~RXD7, SIN3, SIN4, SD, PMC0, PMC1, SCLMM, SDAMM, CEC, ZP, IDU, IDV, IDW	$V_{CC1}=V_{CC2}=1.8V$	0.02		0.1	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET	$V_{CC1}=V_{CC2}=1.8V$	0.05		0.15	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	$V_i = 1.8V$			2.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	$V_i = 0V$			-2.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$V_i = 0V$	70	140	700	k Ω
R_{fXIN}	帰還抵抗	XIN			0.8		M Ω
R_{fXCIN}	帰還抵抗	XCIN			8		M Ω
V_{RAM}	RAM保持電圧			1.8			V

注1. $V_{CC1} \neq V_{CC2}$ でご使用の場合は、それぞれの電圧に応じて5V、3Vまたは1.8Vの規格を参照してください。

$$V_{CC1}=V_{CC2}=1.8V$$

表 5.63 電気的特性(2)

指定のない場合は、 $1.8V \leq V_{CC1}=V_{CC2} < 2.7V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20 \sim 85^{\circ}C / -40 \sim 85^{\circ}C$ 、 $f_{(BCLK)}=5MHz$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	高速モード	f _(BCLK) =5MHz (分周なし) XIN=5MHz (方形波) 125kHzオンチップオシレータ停止 CM15=1 (駆動能力High) A/Dコンバータ停止		2.6	mA
			f _(BCLK) =5MHz (分周なし) XIN=5MHz (方形波) 125kHzオンチップオシレータ停止 CM15=1 (駆動能力High) A/Dコンバータ動作 (注2)		3.3	mA
			f _(BCLK) =5MHz XIN=5MHz (方形波) 125kHzオンチップオシレータ停止 CM15=0 (駆動能力Low) A/Dコンバータ停止		2.6	mA
			f _(BCLK) =5MHz (分周なし) XIN=5MHz (方形波) 125kHzオンチップオシレータ停止 CM15=1 (駆動能力High) PCLKSTP1=FF (周辺クロック停止)		2.2	mA
			f _(BCLK) =5MHz (分周なし) XIN=5MHz (方形波) 125kHzオンチップオシレータ停止 CM15=0 (駆動能力Low) PCLKSTP1=FF (周辺クロック停止)		2.2	mA
		40MHzオンチップオシレータモード	メインクロック停止 40MHzオンチップオシレータ発振、8分周 (f _(BCLK) =5MHz) 125kHzオンチップオシレータ停止		2.8	mA
		125kHzオンチップオシレータモード	メインクロック停止 40MHzオンチップオシレータ停止 125kHzオンチップオシレータ発振、分周なし FMR22=1 (スローリードモード)		450.0	μA
		低消費電力モード	f _(BCLK) =32kHz FMR22=FMR23=1 (低消費電流リードモード) フラッシュメモリ上 (注1)		80.0	μA
		ウェイトモード	f _(BCLK) =32kHz メインクロック停止 40MHzオンチップオシレータ停止 125kHzオンチップオシレータ発振 PM25=1 (周辺機能クロックfC動作) T _{opr} =25°C リアルタイムクロック動作		5.3	μA
			f _(BCLK) =32kHz メインクロック停止 40MHzオンチップオシレータ停止 125kHzオンチップオシレータ停止 PM25=0 (周辺機能クロックfC停止) T _{opr} =25°C		5.0	μA
ストップモード	T _{opr} =25°C		2.2	μA		

注1. 実行するプログラムが存在するメモリを示す。

注2. 繰り返しモードでA/D変換実施。

$$V_{CC1}=V_{CC2}=1.8V$$

5.4.2 タイミング必要条件 (周辺機能、他)

(指定のない場合は、 $V_{CC1}=V_{CC2}=1.8V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$)

5.4.2.1 リセット入力

表 5.64 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(RSTL)$	\overline{RESET} 入力“L”パルス幅	10		μs

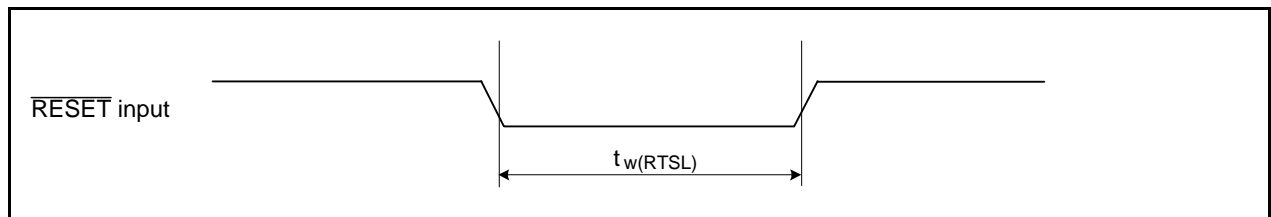


図 5.36 リセット入力 (\overline{RESET} 入力)

5.4.2.2 外部クロック入力

表 5.65 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	100		ns
$t_w(H)$	外部クロック入力“H”パルス幅	40		ns
$t_w(L)$	外部クロック入力“L”パルス幅	40		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

注1. 条件は $1.8V \leq V_{CC1} = V_{CC2} < 2.7V$ です。

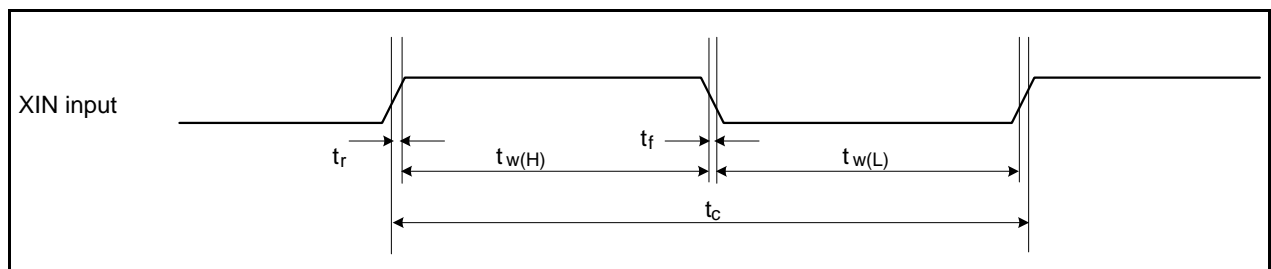


図 5.37 外部クロック入力 (XIN入力)

$$V_{CC1}=V_{CC2}=1.8V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=1.8V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.4.2.3 タイマA入力

表 5.66 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	500		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	200		ns

表 5.67 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	1000		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	500		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	500		ns

表 5.68 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	800		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	400		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	400		ns

表 5.69 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	400		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	400		ns

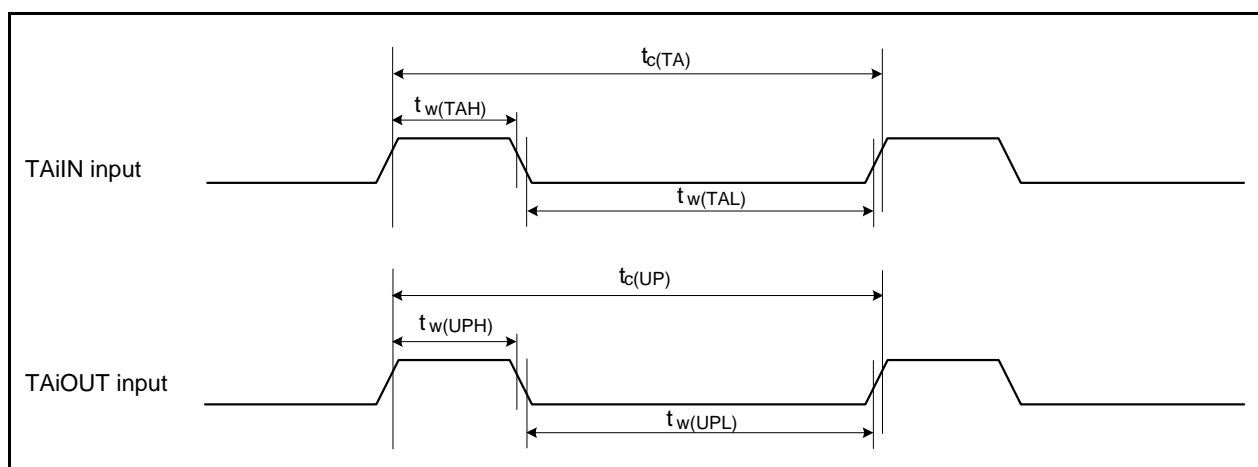


図 5.38 タイマA入力

$$V_{CC1}=V_{CC2}=1.8V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=1.8V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 5.70 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	3		μs
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	800		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	800		ns

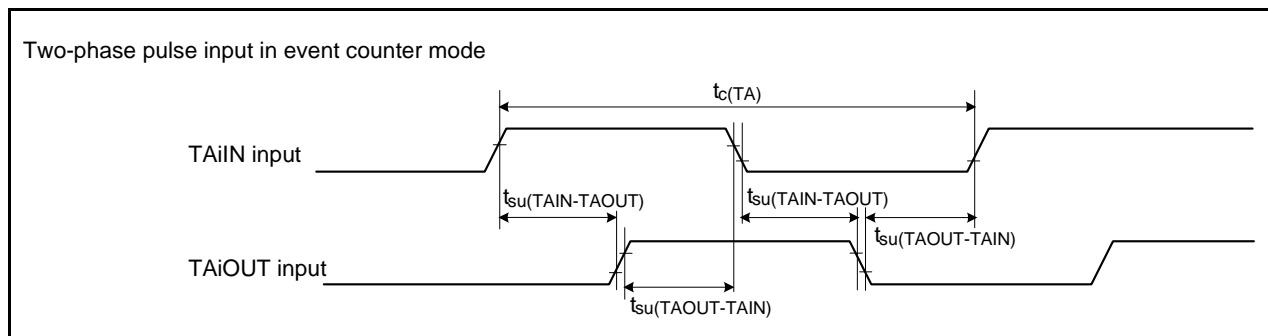


図 5.39 タイマA入力(イベントカウンタモードの二相パルス入力)

$$V_{CC1}=V_{CC2}=1.8V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=1.8V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.4.2.4 タイマB入力

表 5.71 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間(片エッジカウント)	300		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(片エッジカウント)	120		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(片エッジカウント)	120		ns
$t_c(TB)$	TBiIN入力サイクル時間(両エッジカウント)	600		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(両エッジカウント)	240		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(両エッジカウント)	240		ns

表 5.72 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	1000		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	500		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	500		ns

表 5.73 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	1000		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	500		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	500		ns

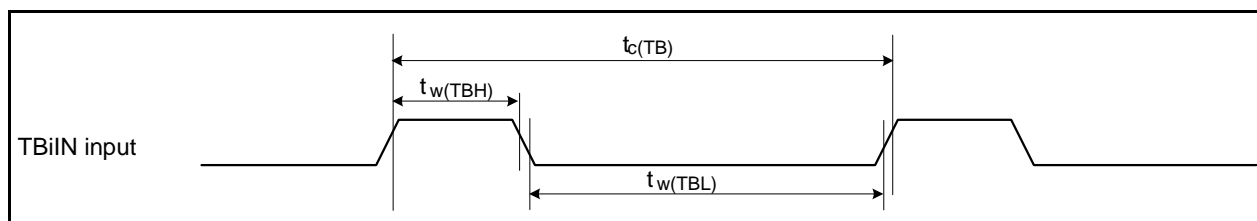


図 5.40 タイマB入力

$$V_{CC1}=V_{CC2}=1.8V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=1.8V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.4.2.5 シリアルインタフェース

表 5.74 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	400		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	400		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		240	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	200		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

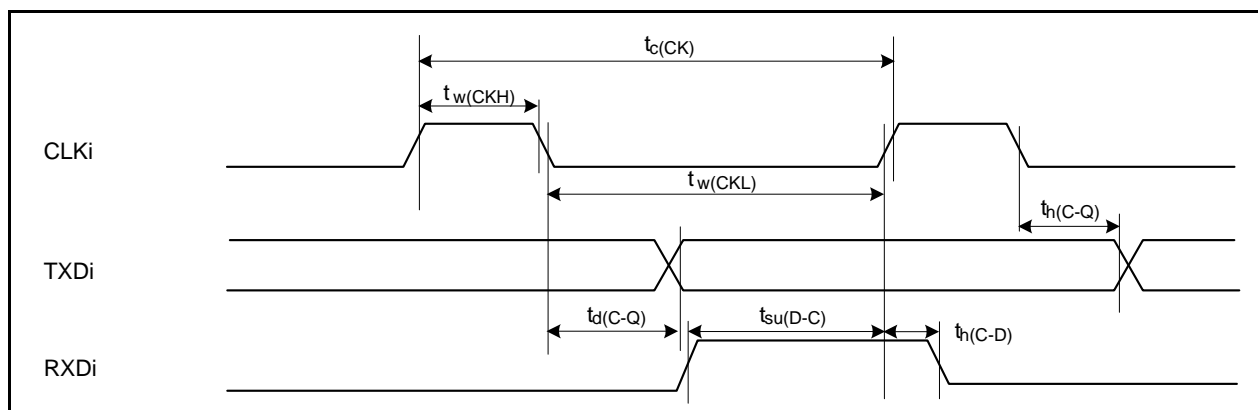


図 5.41 シリアルインタフェース

5.4.2.6 外部割り込み \overline{INTi} 入力

表 5.75 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	1000		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	1000		ns
$t_r(INT)$	\overline{INTi} 入力立上り時間		100	μs
$t_f(INT)$	\overline{INTi} 入力立ち下がり時間		100	μs

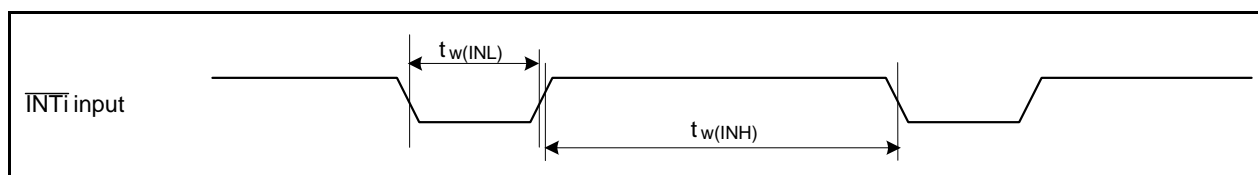


図 5.42 外部割り込み \overline{INTi} 入力

$$V_{CC1}=V_{CC2}=1.8V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=1.8V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

5.4.2.7 マルチマスタ I²C-bus

表 5.76 マルチマスタ I²C-bus

記号	項目	標準クロックモード		Fast-mode		単位
		最小	最大	最小	最大	
t _{BUF}	バスフリー時間	4.7		1.3		μs
t _{HD;STA}	スタートコンディションホールド時間	4.0		0.6		μs
t _{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t _R	SCL、SDA信号立ち上がり時間		1000	20+0.1Cb	300	ns
t _{HD;DAT}	データホールド時間	0		0	0.9	μs
t _{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t _F	SCL、SDA信号立ち下がり時間		300	20+0.1Cb	300	ns
t _{su;DAT}	データセットアップ時間	250		100		ns
t _{su;STA}	リスタートコンディションセットアップ時間	4.7		0.6		μs
t _{su;STO}	ストップコンディションセットアップ時間	4.0		0.6		μs

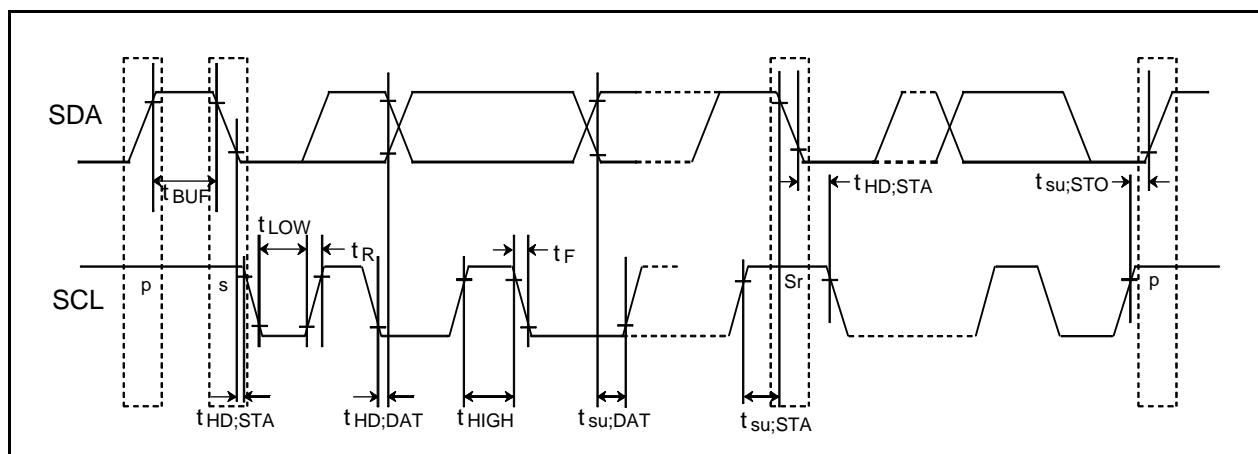
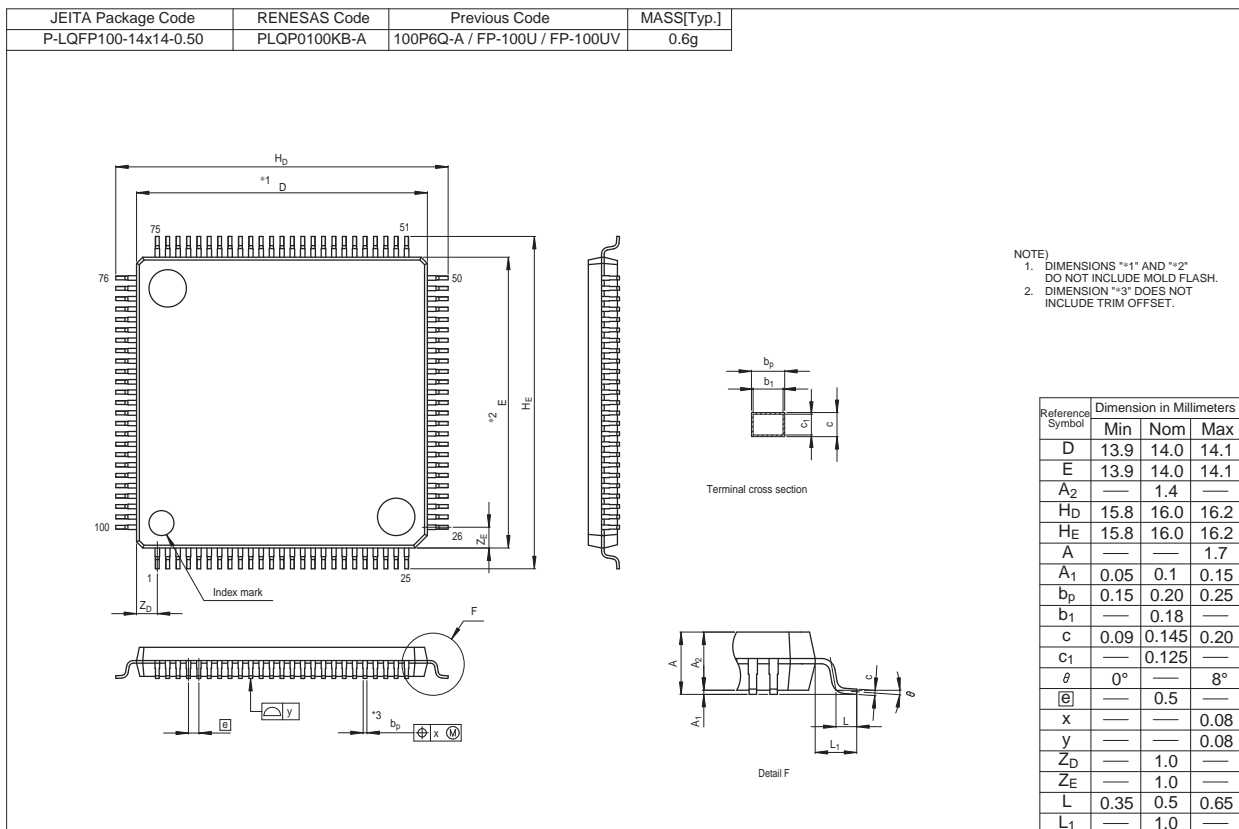
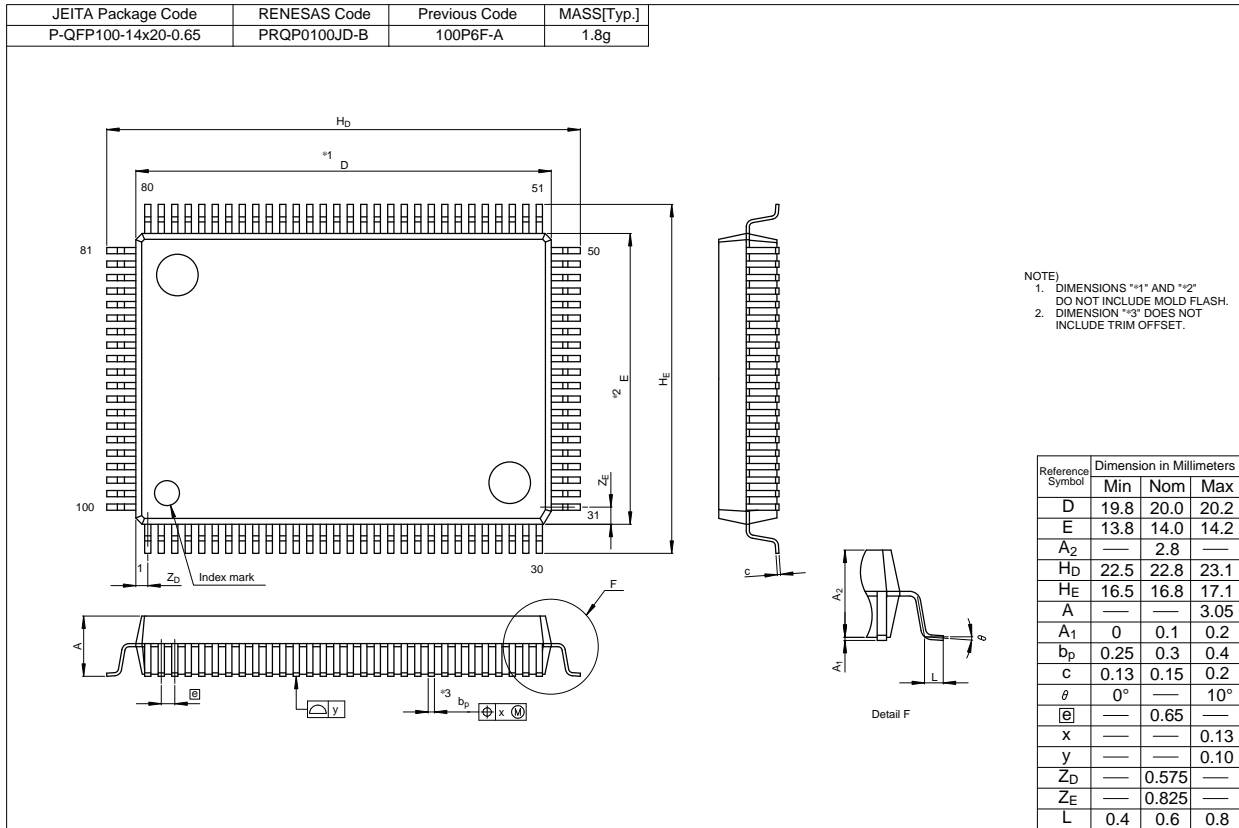
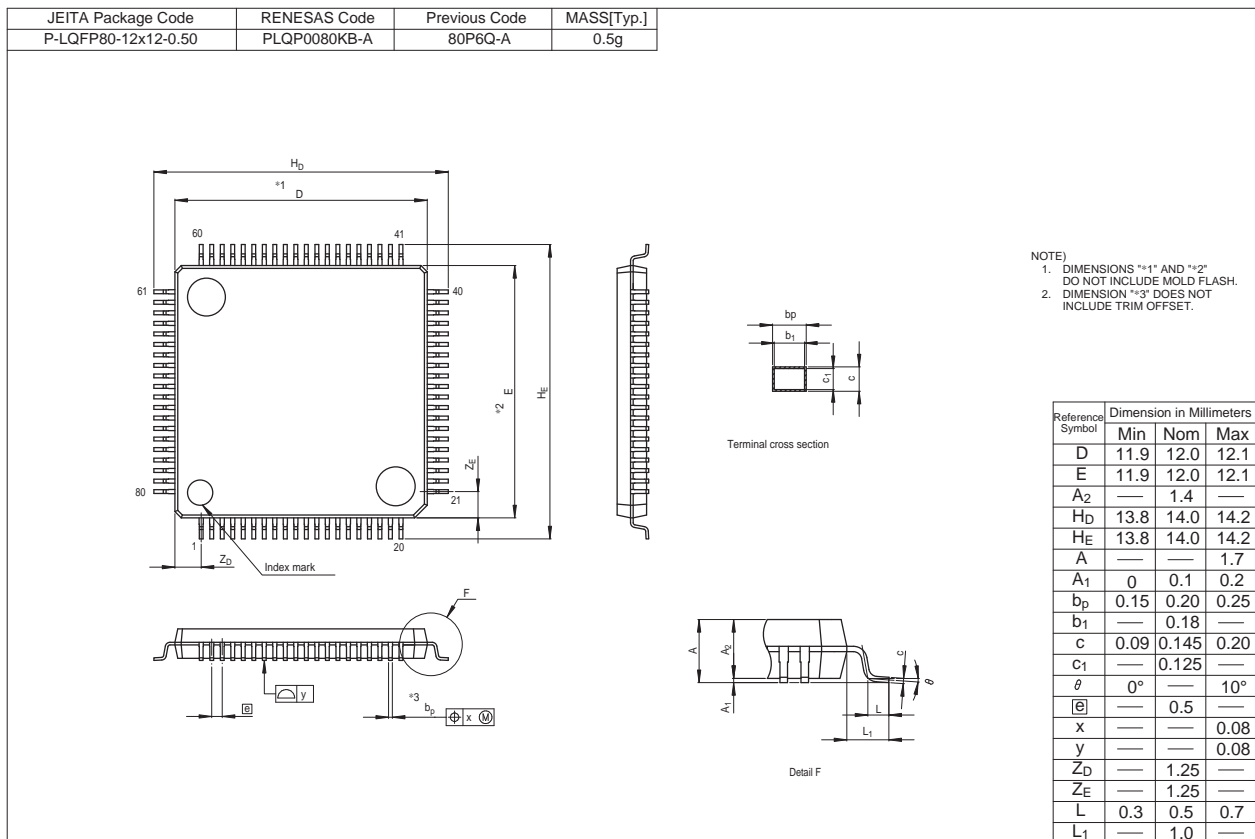
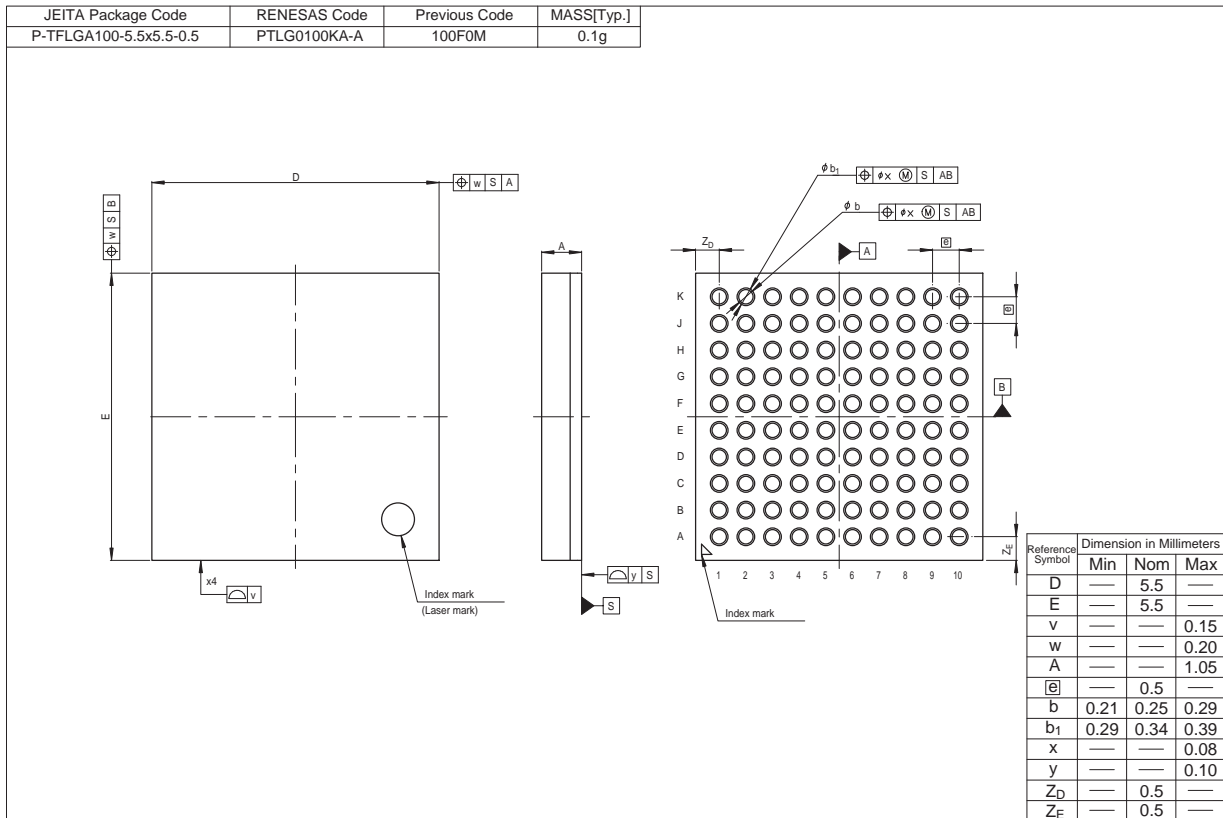


図 5.43 マルチマスタ I²C-bus

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。





改訂記録	M16C/63グループ データシート
------	--------------------

Rev.	発行日	ページ	改訂内容	
0.30	2009.07.15	—	初版発行	
0.40	2009.08.18	3	「表 1.2 仕様概要(100ピン版) (2/2)」 一部変更	
		6	「表 1.5 製品一覧表」 一部変更	
		7	「図 1.1 型名とメモリサイズ・パッケージ」 一部変更	
		12	「図 1.7 100ピン版ピン配置図(上面透視図)」 追加	
		13	「表 1.6 100ピン版端子名一覧表(1/2)」 一部変更	
		14	「表 1.7 100ピン版端子名一覧表(2/2)」 一部変更	
		100	「表 5.63 外部クロック入力(XIN入力)」 一部変更	
		107	「付録1. 外形寸法図」 PTLG0100KA-A新規追加	
0.41	2009.08.25	6	「表 1.5 製品一覧表」 型名一部変更	
		7	「図 1.3 マーキング図(上面図) (2/2)」 新規追加	
1.00	2009.09.15	51	「表 31.6 A/D変換特性(1/2)」 注3追加	
2.00	2011.02.07	全体	001Ah 電圧検出回路動作許可レジスタ:リセット後の値を「000X 0000b」より変更	
		全体	002Ah 電圧監視0回路制御レジスタ:リセット後の値を「1100 XX10b」より変更	
		全体	002Bh 電圧監視1回路制御レジスタ:リセット後の値を「1000 1X10b」より変更	
		全体	03DCh D/A制御レジスタ:リセット後の値を「XXXX XX00b」より変更	
		全体	D08Ah~D08Bh PMC0カウンタ値レジスタ、D09Eh~D09Fh PMC1カウンタ値レジスタを削除	
		概要		
		3、5	表 1.2 仕様概要(100ピン版) (2/2)、表 1.4 仕様概要(80ピン版) (2/2):注1を削除	
		6	表 1.5 製品一覧表:開発ステータスを変更	
		18	表 1.10 端子機能の説明(100ピン版) (1/3): HOLD機能の説明を変更	
		アドレス空間		
		27	図 3.2 メモリ配置:各予約領域に注1と注3を追加	
		SFR		
		29	表 4.1 SFR 一覧(1): • 001Ahのリセット値を変更 • 注2から「VCR1レジスタ、VCR2レジスタ」を削除 • 注5-注6を削除し、新たに注5を追加	
		30	表 4.2 SFR 一覧(2): • 002Ah、002Bhのリセット値を変更 • 注2-注7を削除し、新たに注2を追加	
		48	4.2.1 レジスタ設定時の注意事項: • リードモディファイライト命令に関する記述を追加 • 表 4.20 リードモディファイライト命令を追加	
		電気的特性		
		49	表 5.1 絶対最大定格: Toprのフラッシュ書き込み消去時の値を領域別に記載	
		50	表 5.2 推奨動作条件 (1/4): • VCC1、VCC2の値をCEC使用/未使用別に記載 • VIHとVILにCECの値を追加	
		56	表 5.9 フラッシュメモリ動作時のCPUクロック (f _{BCLK}): 注3を追加	
		56	表 5.10 フラッシュメモリ(プログラムROM1、2)の電気的特性: 「読み出し電圧」の測定条件を追加	
		59	表 5.15 パワーオンリセット回路: • V _{por1} の最大値を「0.1」から変更 • t _{w(por)} を追加 • 注1を一部追加	
		59	図5.4 パワーオンリセット回路の電気的特性:注2を削除	
		62、83	表 5.19 電気的特性(1): VT+-VT-のヒステリシス行に「ZP, IDU, IDV, IDW」を追加	
70、90、110	5.2.2.7、5.3.2.7、5.4.2.7 マルチマスタ I ² C-bus: 追加			

改訂記録	M16C/63グループ データシート
------	--------------------

Rev.	発行日	ページ	改訂内容
2.00	2011.02.07	71~81, 91~101	表 5.35~表 5.40、表 5.56~表 5.61 メモリ拡張モード、マイクロプロセッサモード: <ul style="list-style-type: none"> • HOLD入力セットアップ時削除 • HOLD入力ホールド時削除 • HLDA出力遅延時間削除
		71	表 5.35 メモリ拡張モード、マイクロプロセッサモード: RDY入力セットアップ時間「30」から変更
		72、92	図 5.14 タイミング図、図 5.29 タイミング図: 下部の(Common to wait state and no wait state settings)を削除
		82、102	図 5.20 タイミング図、図 5.35 タイミング図: th(RD-AD)の定義範囲を変更
		83	表 5.41 電気的特性(1): <ul style="list-style-type: none"> • VOL、VT+VT-にCECの値を追加 • VT+VT-のヒステリシス行に「ZP, IDU, IDV, IDW」を追加 • IIHの下行にPower OFF時の端子電流を追加
		84	表 5.42 電気的特性(2): フラッシュメモリプログラム中、フラッシュメモリエーズ中の測定条件「VCC1=5.0V」より変更
		91	表 5.56 メモリ拡張モード、マイクロプロセッサモード: RDY入力セットアップ時間「40」から変更
		103	表 5.62 電気的特性(1): VT+VT-のヒステリシス行に「ZP, IDU, IDV, IDW」を追加
		103	表 5.62 電気的特性(1): <ul style="list-style-type: none"> • 指定のない場合の測定条件を変更 • VT+VT-のヒステリシス行に「ZP, IDU, IDV, IDW」を追加し、測定条件を変更 • IIHの“H”入力電流の測定条件を変更
		104	表 5.63 電気的特性(2): 指定のない場合の測定条件を変更
		105	表 5.65 外部クロック入力 (XIN入力): 注1の条件を変更
		2.20	2012.11.01
2	表 1.1 仕様概要(100ピン版)(1/2): 「CPU」の「説明」で、「最小命令実行時間」に100.0nsを追加し、200.0nsを変更		
3	表 1.2 仕様概要(100ピン版)(2/2): 「動作周波数/電源電圧」の「説明」に「10MHz/VCC1=2.1~5.5V、VCC2=2.1V~VCC1」を追加		
4	表 1.3 仕様概要(80ピン版)(1/2): 「CPU」の「説明」で、「最小命令実行時間」に100.0nsを追加し、200.0nsを変更		
5	表 1.4 仕様概要(80ピン版)(2/2): 「動作周波数/電源電圧」の「説明」に「10MHz/VCC1=2.1~5.5V」を追加		
電気的特性			
52	表 5.4 推奨動作条件(3/4): <ul style="list-style-type: none"> • $f_{(BCLK)}$: 項目「$2.7V \leq V_{CC1} \leq 5.5V$」を「$2.7V \leq V_{CC1} \leq 5.5V, 1MHz \leq f(XIN) \leq 20MHz$」に変更 • $f_{(BCLK)}$: 「$2.1V \leq V_{CC1} < 2.7V, 1MHz \leq f(XIN) \leq 10MHz$」の行を追加 • $f_{(BCLK)}$: 項目「$1.8V \leq V_{CC1} < 2.7V$」を「$1.8V \leq V_{CC1} < 2.1V, 1MHz \leq f(XIN) \leq 10MHz$」に変更 		
53	図 5.1 $f_{(BCLK)}$ と V_{CC1} の関係: $2.1V \leq V_{CC1} < 2.7V$ の区間を修正		

すべての商標および登録商標は、それぞれの所有者に帰属します。

HDMI及びHigh-Definition Multimedia Interfaceは、HDMI Licensing, LLCの商標または登録商標です。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>