

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

本製品は、高性能シリコンゲートCMOSプロセスを採用しM16C/62シリーズCPUコアを登載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、データスライサを内蔵しており、全世界の放送サービスに対応しています。

1.1 特長

- メモリ容量ROM マスク版：256K/128Kバイト
フラッシュ版：256Kバイト
.....RAM マスク版：8K/5Kバイト
フラッシュ版：8Kバイト
- 最短命令実行時間62.5ns($f(XIN)=16MHz$ 時)
- 電源電圧 $VCC1=3.00V \sim VCC2, VCC2=4.5V \sim 5.5V$ ($f(XIN)=16MHz$ 時)
 $VCC1=2.00V \sim VCC2, VCC2=2.00V \sim 5.5V$ ($f(XCIN)=32KHz$ 時)
* $VCC2=2.0V \sim 2.9V$ は低消費電力モードのみ動作
- 割り込み内部25要因、外部8要因、ソフトウェア4要因、7レベル
- 多機能16ビットタイマ出力系5本+入力系6本
- シリアルI/O6本(UART/クロック同期 3本、クロック同期 2本、マルチマスタI²C 1本)
- DMAC2チャンネル(スタート条件:24要因)
- A/Dコンバータ8ビット×8チャンネル(最大10チャンネルまで拡張可)
- CRC演算回路1回路
- ウォッチドッグタイマ1本
- プログラマブル入出力79本(P6~P7, P80~P84: 3.3Vインターフェース対応可)
- 入力ポート1本(P85、 \overline{NMI} 端子と兼用)
- クロック発生回路2回路内蔵
(帰還抵抗内蔵、水晶発振子外付け)
- データスライサPDC, VPS, WSS, EPG-J, CC, CC2X, ID-1対応

1.2 応用

DVDレコーダ、HDDレコーダ

目次	
1. 概要	1
1.1 特長	1
1.2 応用	1
1.3 ピン接続図	3
1.4 性能概要	4
1.5 ブロック図	6
1.6 メモリ	10
2. 中央演算処理装置	11
3. リセット	13
3.1 ハードウェアリセット	13
3.2 ソフトウェアリセット	14
3.3 ウォッチドッグタイマリセット	14
3.4 SFR	17
4. クロック発生回路	25
4.1 発振回路	30
4.2 CPUクロックと周辺機能クロック	33
4.3 クロック出力機能	33
4.4 パワーコントロール	34
4.5 システムクロック保護機能	40
5. プロテクト	41
6. 割り込み	42
6.1 割り込みの分類	42
6.2 ソフトウェア割り込み	43
6.3 ハードウェア割り込み	44
6.4 割り込みと割り込みベクタ	45
6.5 割り込み制御	47
6.6 Iフラグ	49
6.7 IRビット	49
6.8 ILVL2～ILVL0ビット、IPL	49
6.9 割り込みシーケンス	50
6.10 割り込み応答時間	51
6.11 割り込み要求受付時のIPLの変化	51
6.12 レジスタ退避	52
6.13 割り込みルーチンからの復帰	53
6.14 割り込み優先順位	53
6.15 割り込み優先レベル判定回路	53
6.16 INT割り込み	55
6.17 NMI割り込み	56
6.18 アドレス一致割り込み	56
7. ウォッチドッグタイマ	58
8. DMAC	60
8.1 転送サイクル	65
8.2 DMA転送サイクル数	67
8.3 DMA許可	68
8.4 DMA要求	68
8.5 チャンネルの優先順位とDMA転送タイミング	69
9. タイマ	70
9.1 タイマA	72
9.2 タイマB	82
10. シリアルI/O	88
10.1 UARTi(i=0～2)	88
10.2 クロック同期形シリアルI/Oモード	97
10.3 クロック非同期形シリアルI/O(UART)モード	104
10.4 特殊モード1(I2Cモード)	111
10.5 特殊モード2	121
10.6 特殊モード3(IEモード)	125
10.7 特殊モード4(SIMモード)(UART2)	127
10.8 SI/O3、SI/O4	132
11. マルチマスタI²C-BUSインタフェース	137
12. A/Dコンバータ	157
12.1 単発モード	161
12.2 繰り返しモード	163
12.3 単掃引モード	165
12.4 繰り返し掃引モード0	167
12.5 繰り返し掃引モード1	169
12.6 サンプル&ホールド	171
12.7 拡張アナログ入力端子	171
12.8 外部オペアンプ接続モード	171
12.9 消費電流低減機能	172
12.10 アナログ入力端子と外部センサーの等価回路例	172
12.11 A/Dコンバータ使用時の注意事項	173
13. CRC演算	174
14. 拡張機能	176
14.1 拡張機能概要	176
14.2 拡張メモリ	177
14.3 スライスRAM	178
14.4 CRC演算回路(EPG-J)	181
14.5 拡張レジスタ	194
14.6 拡張レジスタ構成の補足	235
14.7 8/4ハミングデコーダ	242
14.8 24/18ハミングデコーダ	243
14.9 拡張機能用端子の入出力構成	245
15. プログラマブル入出力ポート	247
16. 電気的特性	259
17. フラッシュメモリ	275
17.1 性能概要(フラッシュメモリ版)	275
17.2 メモリ配置	276
17.3 ブートモード	277
17.4 フラッシュメモリ書き換え禁止機能	277
17.5 CPU書き換えモード	279
17.6 データ保護機能	292
17.7 ステータスレジスタ	292
17.8 フルステータスチェック	294
17.9 標準シリアル入出力モード	296
17.10パラレル入出力モード	301
18. パッケージ寸法	302
19. 注意事項	303

1.3 ピン接続図

図1.1にピン接続図(上面図)を示します。

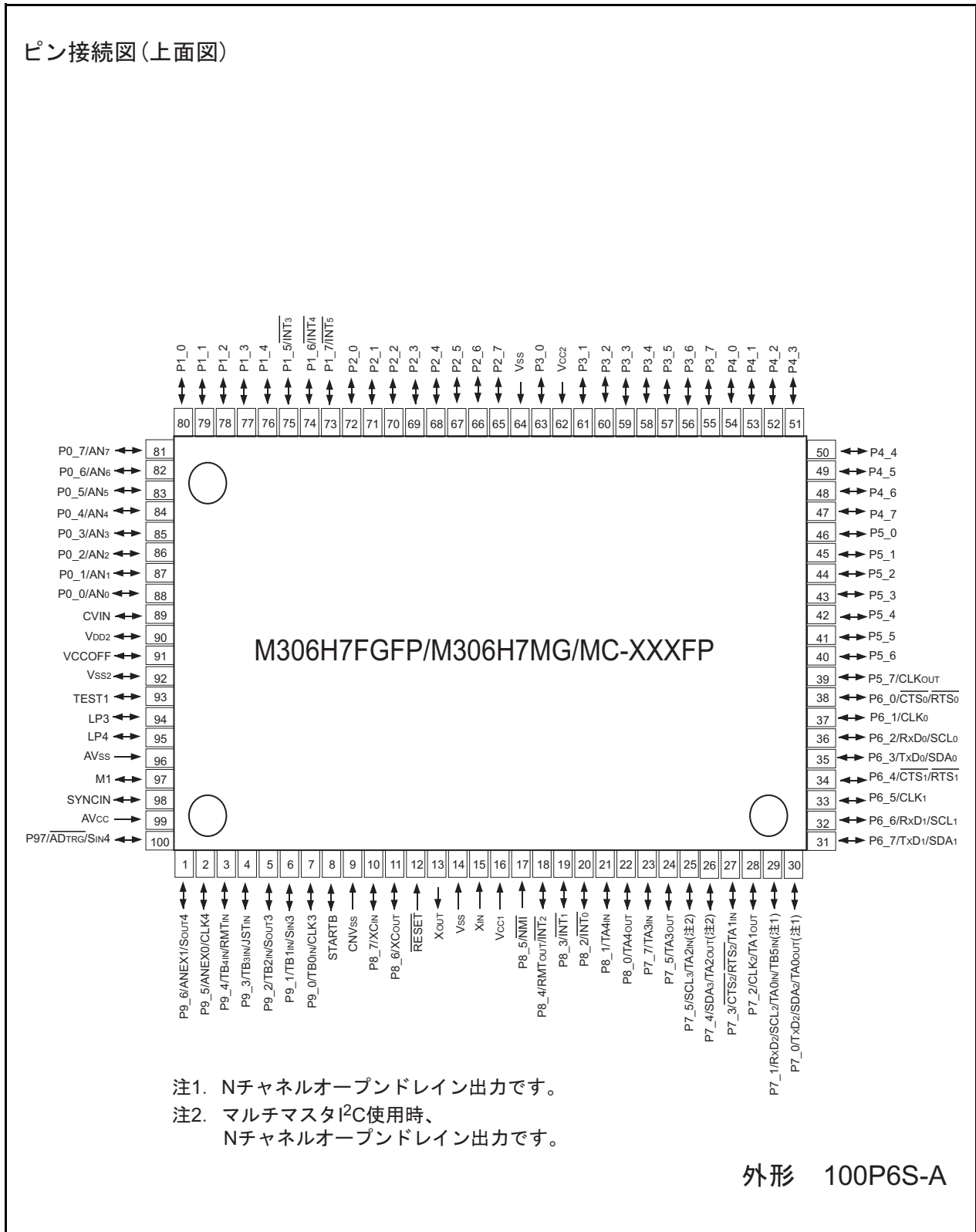


図1.1 ピン接続図(上面図)

1.4 性能概要

表1.1に性能概要を示します。

表1.1 性能概要

項 目		性 能
基本命令数		91命令
最短命令実行時間		62.5ns(f(XIN)=16MHz、Vcc=4.5~5.5V)
メモリ容量	ROM	製品一覧表を参照してください。
	RAM	製品一覧表を参照してください。
入出力ポート	P0~P5, P86~P87, P9 P6~P7, P80~P84	8ビット×7、2ビット×1: Vcc2系 8ビット×2、5ビット×1: Vcc1系
入力ポート	P85	1ビット×1(NMI端子のVcc2系レベル判定): Vcc2系
多機能タイマ	TA0,TA1,TA2,TA3,TA4	16ビット×5
	TB0,TB1,TB2,TB3,TB4,TB5	16ビット×6
シリアルI/O		3チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I ² C Bus(注1)、IE Bus(注2)
		2チャンネル クロック同期形シリアルI/O
	マルチマスタI ² C	I ² Cバス×1
A/Dコンバータ		8ビット×(8+2)チャンネル
DMAC		2チャンネル(スタート条件:24要因)
CRC演算回路		CRC-CCITT方式
ウォッチドックタイマ		15ビット×1(プリスケアラ付)
割り込み		内部25要因、外部8要因、ソフトウェア4要因、7レベル
クロック発生回路		2回路内蔵 ・メインクロック発振回路 ・サブクロック発振回路 上記2回路には、帰還抵抗内蔵、 水晶発振子外付け
電源電圧		Vcc1=3.00V~Vcc2,Vcc2=4.5V~5.5V(f(XIN)=16MHz時) Vcc1=3.00V~Vcc2,Vcc2=4.00V~5.5V(f(XIN)=16MHz時)(注3) Vcc1=2.90V~Vcc2,Vcc2=2.90V~5.5V(f(XIN)=16MHz時、8/16分周時)(注3) Vcc1=2.0V~Vcc2,Vcc2=2.0V~5.5V(f(XIN)=32kHz、低消費電力モード時)(注3)(注4)
フラッシュメモリ版	プログラム、イレーズ電圧	5.0±0.25V
	プログラム、イレーズ回数	100回
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP
データスライサ	スライスRAM	864バイト(48×18×8bit)
	データスライサ	PDC,VPS,WSS,EPG-J,CC,CC2X,ID-1対応

注1. I²C BusはオランダPHILIPS社の登録商標です。

オプション機能をご使用になる場合には、その旨ご指定下さい。

注2. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注3. Vcc2電源電圧を4.50V未満でご使用になる時は、A/Dコンバータ、データスライサは使用できません。

注4. Vcc2電源電圧が2.60V未満の場合、CPU、RAM、時計タイマ、割り込み、入出力ポートのみ使用できます。その他の制御回路(タイマA、タイマB、シリアルI/O、UART等)は使用できません。

表 1.2 製品一覧表

型名	ROM容量	RAM容量	パッケージ	備考
M306H7MG-XXXFP	256Kバイト	8Kバイト	100P6S-A	マスクROM版
M306H7MC-XXXFP	128Kバイト	5Kバイト		マスクROM版
M306H7FGFP	256Kバイト	8Kバイト		フラッシュメモリ版

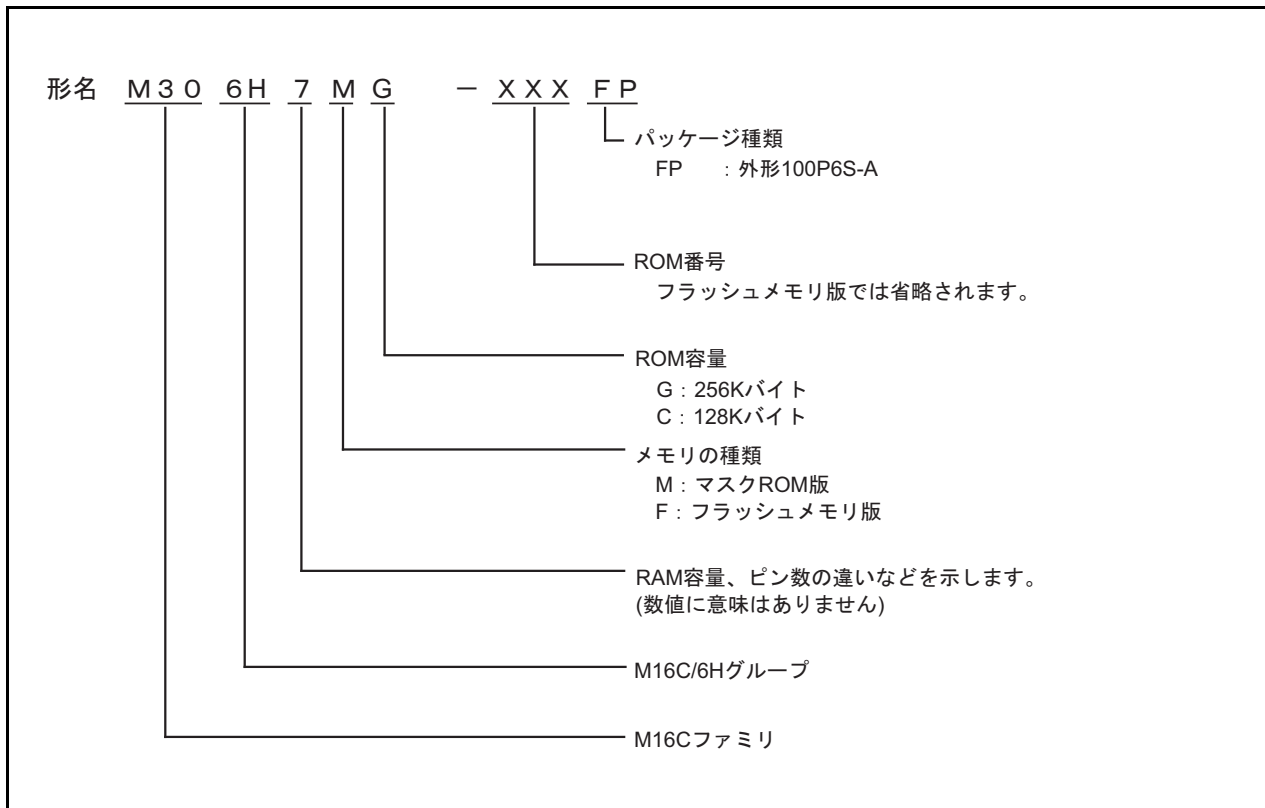


図 1.2 型名とメモリサイズ・パッケージ

1.5 ブロック図

図1.3にブロック図を示します。

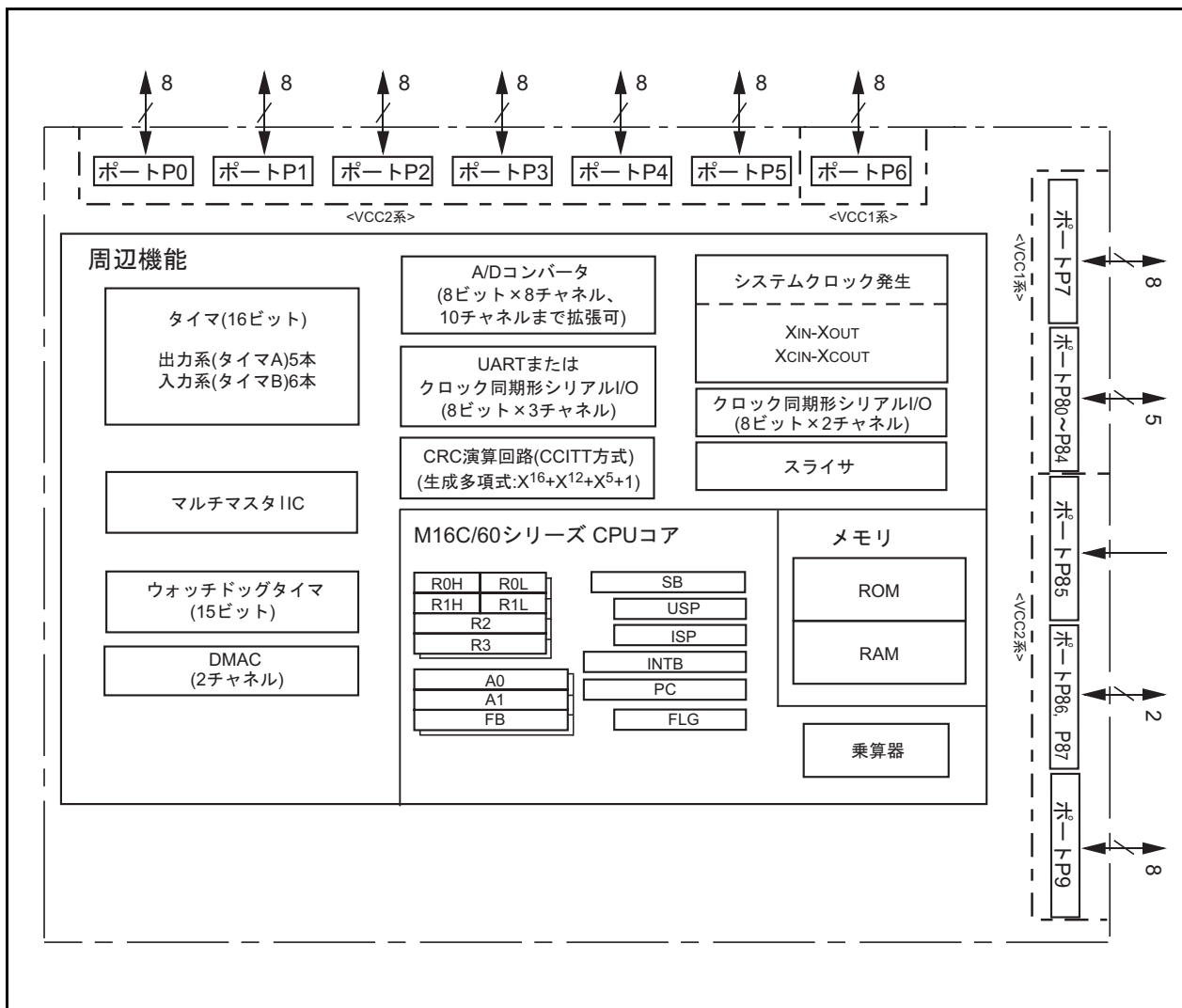


図1.3 ブロック図

表 1.3 端子の機能説明 (1)

端子名	名称	入出力	電源系統	機能
Vcc1, Vcc2, Vss	電源入力			Vcc1、Vcc2端子には、2.00V~5.5Vを入力して下さい。Vss端子には、0Vを入力して下さい。Vcc1、Vccの入力条件はVcc1≤Vcc2です。(注1)
CNVss	CNVss	入力	Vcc2	Vssに接続してください。
RESET	リセット入力	入力	Vcc2	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	Vcc2	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
AVcc	アナログ電源入力			A/Dコンバータの電源入力端子です。Vcc端子に接続してください。
AVss	アナログ電源入力			A/Dコンバータの電源入力端子です。Vss端子に接続してください。
P00~P07	入出力ポートP0	入出力	Vcc2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで4ビット単位でプルアップ抵抗の有無を選択できます。また、プログラムで選択することによってA/Dコンバータの入力端子として機能します。
P10~P17	入出力ポートP1	入出力	Vcc2	P0と同等の機能を持つ8ビット入出力ポートです。P15~P17はソフトウェアで選択することによって、INT割り込み入力端子として機能します。
P20~P27	入出力ポートP2	入出力	Vcc2	P0と同等の機能を持つ8ビット入出力ポートです。

注1. この説明以降、特に指定のない限り、文中にVccと記述されている場合は、Vcc2を示します。

表 1.4 端子の機能説明 (2)

端子名	名称	入出力	電源系統	機能
P30~P37	入出力ポートP3	入出力	VCC2	P0と同等の機能を持つ8ビット入出力ポートです。
P40~P47	入出力ポートP4	出力	VCC2	P0と同等の機能を持つ8ビット入出力ポートです。
P50~P57	入出力ポートP5	入出力	VCC2	P0と同等の機能を持つ8ビット入出力ポートです。プログラムで選択することによって、P57からXINの8分周、32分周または、XCINと同じ周期をもつクロックを出力します。
P60~P67	入出力ポートP6	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです。プログラムで選択することによって、UART0、UART1の入出力端子として機能します。
P70~P77	入出力ポートP7	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです(ただし、P70、P71はNチャンネルオープンドレイン出力)。プログラムで選択することによって、タイマA0~A3、の入出力端子として機能します。また、P70~P73はUART2の入出力端子、P71はタイマB5の入力端子、P74、P75は、マルチマスタICバスの入出力端子として機能します。
P80~P84	入出力ポートP80~P84	入出力	VCC1 (P80~P84)	P80~P84、P86、P87はP0と同等の機能を持つ入出力ポートです。プログラムで選択することによって、P80~P81はタイマA4の入出力端子として、P82~P84は、INT割り込みの入力端子として機能します。また、P84は、リモコン用出力端子としても機能します。

表 1.5 端子の機能説明 (3)

端子名	名称	入出力	電源系統	機能
P86、 P87、 P85	入力ポートP86 入力ポートP87 入力ポートP85	入出力 入出力 入力	VCC2 (P85 ~P87)	P86、P87はプログラムで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、P86(XCOUT端子)とP87(XCIN端子)の間には水晶発振子を接続してください。P85はNMIと共用の入力専用のポートです。この端子の入力が“H”から“L”に変化したときNMI割り込み要求が発生します。NMIの機能はプログラムで解除できません。この端子は、プルアップ抵抗は設定できません。
P90~P97	入出力ポートP9	入出力	VCC2	P0と同等の機能を持つ8ビット入出力ポートです。プログラムで選択することによって、SI/O3、SI/O4の入出力端子、タイマB0~B4の入力端子、A/Dコンバータの入力端子、A/Dトリガ入力端子、リモコン用の入力端子として機能します。
VDD2, VSS2	アナログ電源入力			アナログ系の電源入力端子です。VDD2端子には、VCC2と同電位を入力してください。VSS2端子には、0Vを入力してください。
CVIN	複合ビデオ入力1	入力	VCC2	外部の複合ビデオ信号の入力端子です。この信号を内部でデータスライスします。
SYNCIN	複合ビデオ入力2	入力	VCC2	外部の複合ビデオ信号の入力端子です。 この信号を内部で同期分離します。
STARTB	発振選択入力	入力	VCC2	RESET時の発振回路を選択します。この端子に“L”を入力するとXIN-XOUT、“H”を入力するとXCIN-XCOUTが選択されます。
LP3	フィルタ出力2	出力	VDD2	フィルタ出力2 (VPS用) です。
LP4	フィルタ出力3	出力	VDD2	フィルタ出力3 (PDC用) です。
Vcc OFF	Vcc1 系電源入力切替	入力	VCC2	通常“L”レベルを入力下さい。Vcc1電源をオフにする場合は“H”レベルを入力下さい。
M1	モード選択入力 (M1入力)	入力	VCC2	VSS端子に接続してください。マスクROM版では、VSS端子又はVCC2端子に接続してください。
TEST1	テスト入力	入力	VCC2	テスト用端子です。コンデンサを接続してください。

1.6 メモリ

図1.4にメモリ配置を示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。内部ROMはFFFFFF₁₆番地から下位方向に配置されます。例えばM306H7MC-XXXXFPでは、E0000₁₆番地からFFFFFF₁₆番地に配置されます。

固定割り込みベクタテーブルはFFFDC₁₆番地からFFFFFF₁₆番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400₁₆番地から上位方向に配置されます。例えばM306H7MC-XXXXFPでは、00400₁₆番地から017FF₁₆番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000₁₆番地から003FF₁₆番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00₁₆番地からFFFDB₁₆番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20シリーズソフトウェアマニュアル」を参照してください。

本製品には、シングルチップモードのみ存在し、メモリ拡張モードおよびマイクロプロセッサモードは存在しません。

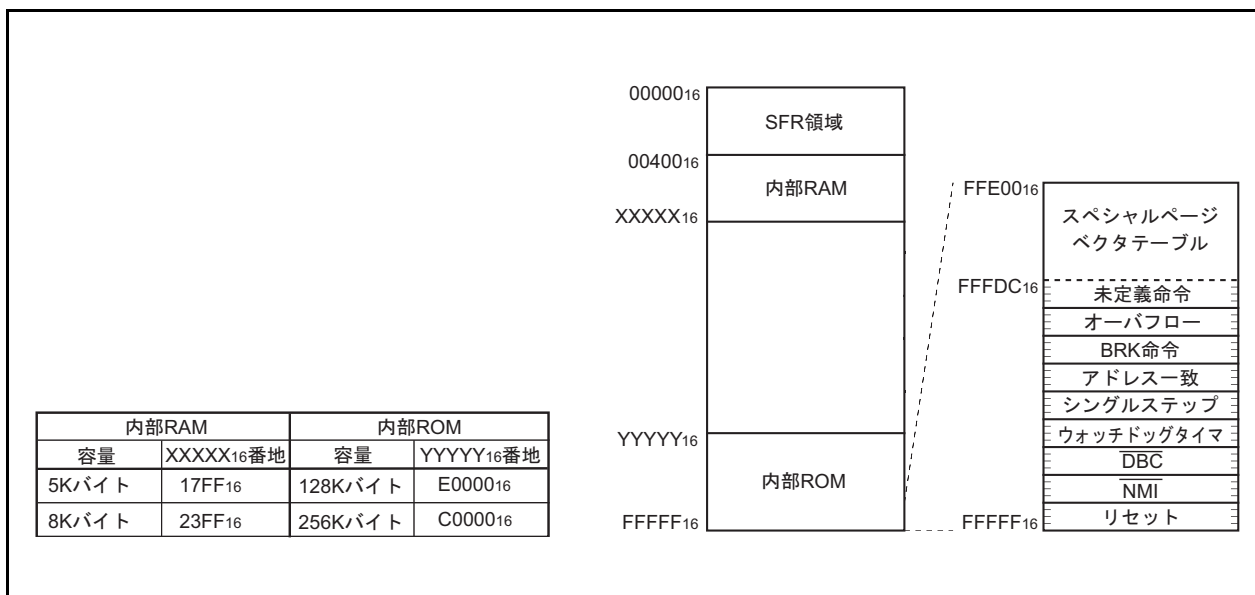


図1.4 メモリ配置図

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

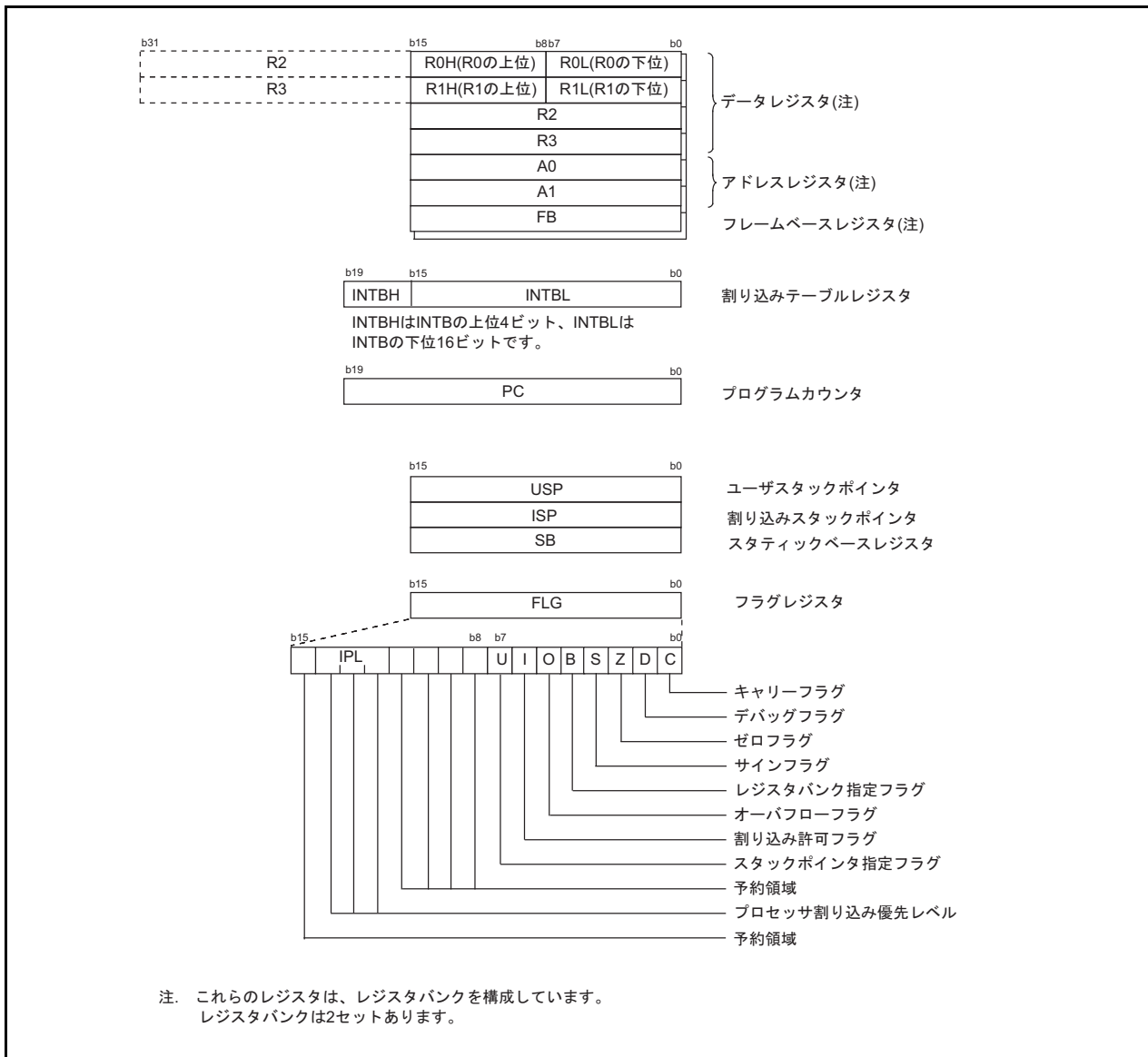


図2.1 CPUのレジスタ

(1) データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

(2) アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

- (3) フレームベースレジスタ (FB)
FBは16ビットで構成されており、FB相対アドレッシングに使用します。
- (4) 割り込みテーブルレジスタ (INTB)
INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。
- (5) プログラムカウンタ (PC)
PCは20ビットで構成されており、次に実行する命令の番地を示します。
- (6) ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)
スタックポインタ (SP)は、USPとISPの2種類あり、共に16ビットで構成されています。
USPとISPはFLGのUフラグで切り替えられます。
- (7) スタティックベースレジスタ (SB)
SBは16ビットで構成されており、SB相対アドレッシングに使用します。
- (8) フラグレジスタ (FLG)
FLGは11ビットで構成されており、CPUの状態を示します。
 - キャリーフラグ (Cフラグ)
算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。
 - デバッグフラグ (Dフラグ)
Dフラグはデバッグ専用です。“0”にしてください。
 - ゼロフラグ (Zフラグ)
演算の結果が0のとき“1”になり、それ以外のとき“0”になります。
 - サインフラグ (Sフラグ)
演算の結果が負のとき“1”になり、それ以外のとき“0”になります。
 - レジスタバンク指定フラグ (Bフラグ)
Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。
 - オーバフローフラグ (Oフラグ)
演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。
 - 割り込み許可フラグ (Iフラグ)
マスクブル割り込みを許可するフラグです。
Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。
割り込み要求を受け付けると、Iフラグは“0”になります。
 - スタックポインタ指定フラグ (Uフラグ)
Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。
ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。
 - プロセッサ割り込み優先レベル (IPL)
IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。
要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。
 - 予約領域
書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

3.1 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子は初期化されます(表3.1を参照)。 $\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部RAMは不定となります。

図3.1にリセット回路の一例を、図3.2にリセットシーケンスを、表3.1に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を、図3.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「SFR」を参照してください。

1. 電源が安定している場合

- $\overline{\text{STARTB}}$ 端子“L”の場合
 - (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
 - (2) XIN 端子に20サイクル以上のクロックを入力する
 - (3) $\overline{\text{RESET}}$ 端子に“H”を入力する
- $\overline{\text{STARTB}}$ 端子“H”の場合
 - (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
 - (2) XCIN 端子に20サイクル以上のクロックを入力する
 - (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

2. 電源投入時

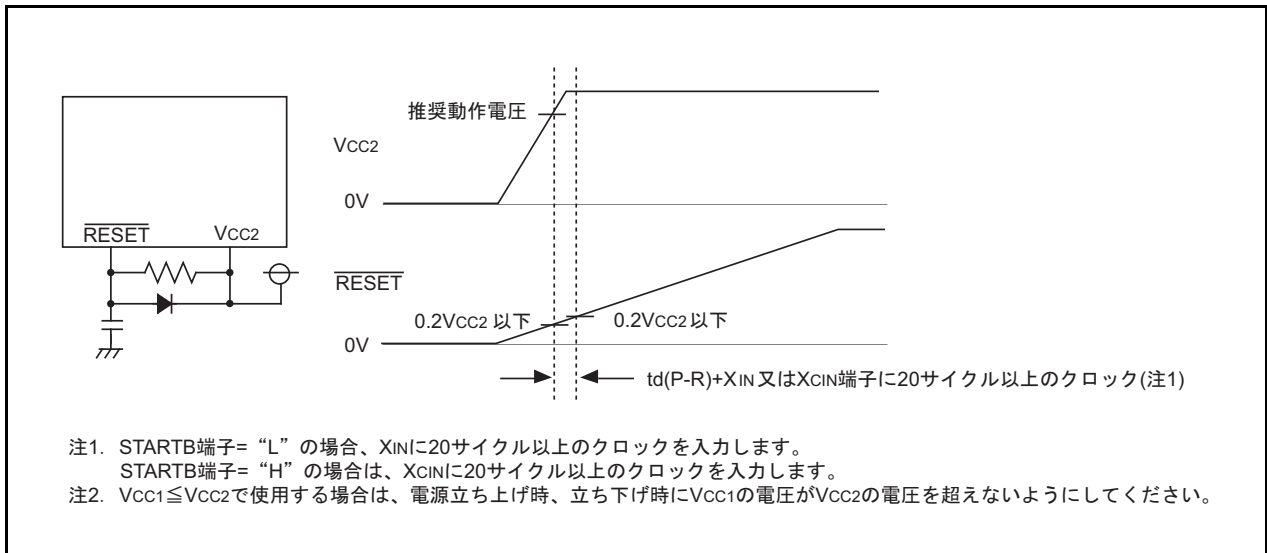
- $\overline{\text{STARTB}}$ 端子“L”の場合
 - (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
 - (2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
 - (3)内部電源が安定するまで td(P-R) 待つ
 - (4) XIN 端子に20サイクル以上のクロックを入力する
 - (5) $\overline{\text{RESET}}$ 端子に“H”を入力する
- $\overline{\text{STARTB}}$ 端子“H”の場合
 - (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
 - (2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
 - (3)内部電源が安定するまで td(P-R) 待つ
 - (4) XCIN 端子に20サイクル以上のクロックを入力する
 - (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

3.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。



3.3 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

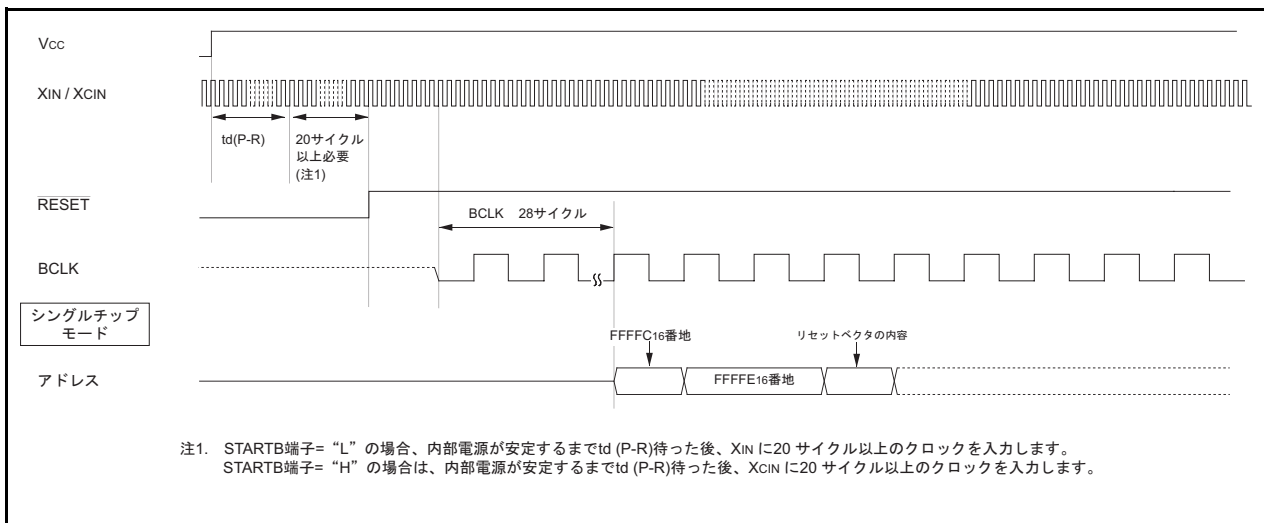


図3.2 リセットシーケンス

表 3.1 $\overline{\text{RESET}}$ 端子のレベルが “L” の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc (注1)	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート	データ入力	データ入力
P1	入力ポート	データ入力	入力ポート
P2, P3, P40~P43	入力ポート	アドレス出力(不定)	アドレス出力(不定)
P44	入力ポート	$\overline{\text{CS0}}$ 出力(“H” を出力)	$\overline{\text{CS0}}$ 出力(“H” を出力)
P45~P47	入力ポート	入力ポート(プルアップあり)	入力ポート(プルアップあり)
P50	入力ポート	$\overline{\text{WR}}$ 出力(“H” を出力)	$\overline{\text{WR}}$ 出力(“H” を出力)
P51	入力ポート	$\overline{\text{BHE}}$ 出力(不定)	$\overline{\text{BHE}}$ 出力(不定)
P52	入力ポート	$\overline{\text{RD}}$ 出力(“H” を出力)	$\overline{\text{RD}}$ 出力(“H” を出力)
P53	入力ポート	BCLK出力	BCLK出力
P54	入力ポート	HLDA出力(出力値はHOLD端子の入力に依存)	HLDA出力(出力値はHOLD端子の入力に依存)
P55	入力ポート	HOLD入力	HOLD入力
P56	入力ポート	ALE出力(“L” を出力)	ALE出力(“L” を出力)
P57	入力ポート	$\overline{\text{RDY}}$ 入力	$\overline{\text{RDY}}$ 入力
P6, P7, P80~P84, P86, P87, P9	入力ポート	入力ポート	入力ポート

注1. 本製品では、CNVss=Vccには設定しないでください。

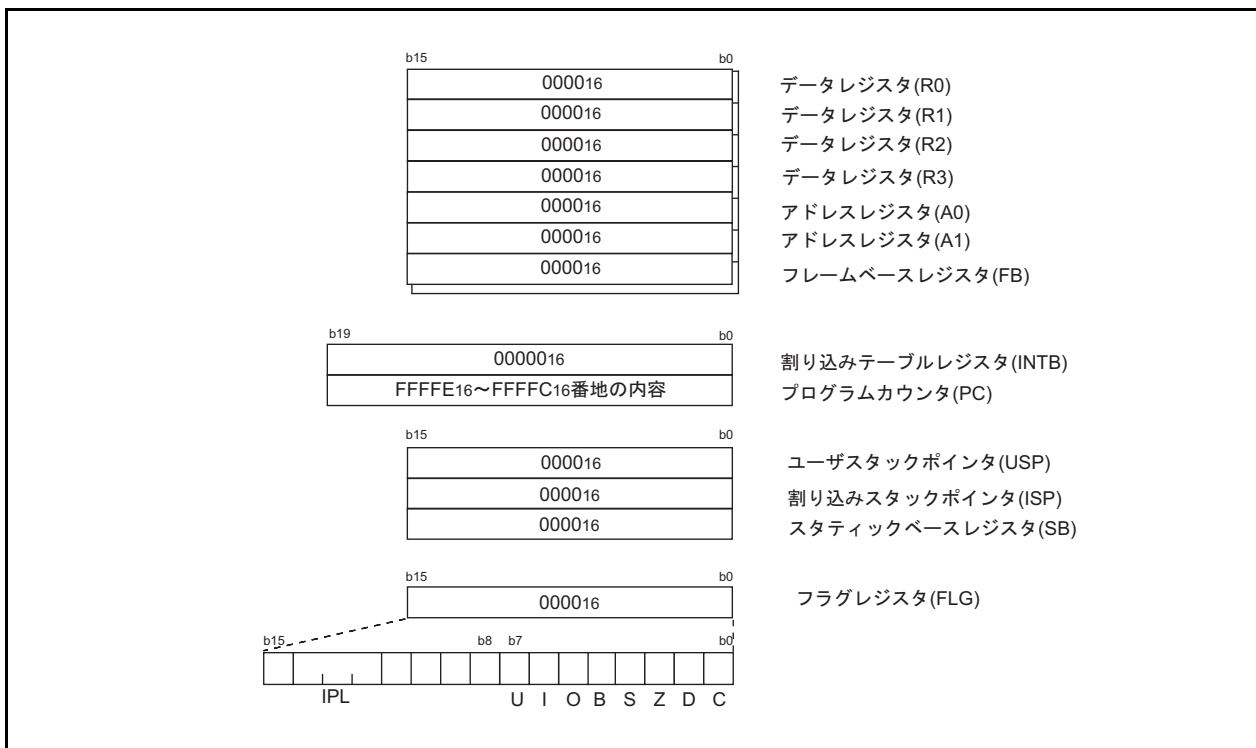


図 3.3 リセット後のCPUレジスタの状態

3.4 SFR

番地	レジスタ(注1)	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0 (注2)	PM0	00000002
0005 ₁₆	プロセッサモードレジスタ1	PM1	00001002
0006 ₁₆	システムクロック制御レジスタ0	CM0	01001000 ₂ (STARTB端子が“L”の場合) 01111000 ₂ (STARTB端子が“H”の場合)
0007 ₁₆	システムクロック制御レジスタ1	CM1	00100002
0008 ₁₆			
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	XXXXXX002
000A ₁₆	プロテクトレジスタ	PRCR	XX0000002
000B ₁₆			
000C ₁₆			
000D ₁₆			
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	XX16
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXX ₂ (注3)
0010 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	0016 0016 X016
0011 ₁₆			
0012 ₁₆			
0013 ₁₆			
0014 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	0016 0016 X016
0015 ₁₆			
0016 ₁₆			
0017 ₁₆			
0018 ₁₆			
0019 ₁₆			
001A ₁₆			
001B ₁₆			
001C ₁₆			
001D ₁₆			
001E ₁₆	プロセッサモードレジスタ2	PM2	XXX000002
001F ₁₆			
0020 ₁₆	DMA0ソースポインタ	SAR0	XX16 XX16 XX16
0021 ₁₆			
0022 ₁₆			
0023 ₁₆			
0024 ₁₆	DMA0ディスティネーションポインタ	DAR0	XX16 XX16 XX16
0025 ₁₆			
0026 ₁₆			
0027 ₁₆			
0028 ₁₆	DMA0転送カウンタ	TCR0	XX16 XX16
0029 ₁₆			
002A ₁₆			
002B ₁₆			
002C ₁₆	DMA0制御レジスタ	DM0CON	00000X002
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆	DMA1ソースポインタ	SAR1	XX16 XX16 XX16
0031 ₁₆			
0032 ₁₆			
0033 ₁₆			
0034 ₁₆	DMA1ディスティネーションポインタ	DAR1	XX16 XX16 XX16
0035 ₁₆			
0036 ₁₆			
0037 ₁₆			
0038 ₁₆	DMA1転送カウンタ	TCR1	XX16 XX16
0039 ₁₆			
003A ₁₆			
003B ₁₆			
003C ₁₆	DMA1制御レジスタ	DM1CON	00000X002
003D ₁₆			
003E ₁₆			
003F ₁₆			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PM0、PM1ビットはソフトウェアリセット、ウォッチドッグタイマリセット時は変化しません。

注3. WDC5ビットは電源投入後“0”(コールドスタート)です。プログラムでのみ“1”にできます。

X: 不定です。

番地	レジスタ	シンボル	リセット後の値
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆	INT3割り込み制御レジスタ	INT3IC	XX00X0002
0045 ₁₆	タイマB5/SLICE ON割り込み制御レジスタ	TB5IC	XXXXX0002
0046 ₁₆	タイマB4/リモコン割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	XXXXX0002
0047 ₁₆	タイマB3/HINT割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	XXXXX0002
0048 ₁₆	SI/O4割り込み制御レジスタ、INT5割り込み制御レジスタ	S4IC、INT5IC	XX00X0002
0049 ₁₆	SI/O3割り込み制御レジスタ、INT4割り込み制御レジスタ	S3IC、INT4IC	XX00X0002
004A ₁₆	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX0002
004B ₁₆	DMA0割り込み制御レジスタ	DM0IC	XXXXX0002
004C ₁₆	DMA1割り込み制御レジスタ	DM1IC	XXXXX0002
004D ₁₆			
004E ₁₆	A/D[変換割り込み制御レジスタ	ADIC	XXXXX0002
004F ₁₆	UART2送信割り込み制御レジスタ	S2TIC	XXXXX0002
0050 ₁₆	UART2受信割り込み制御レジスタ	S2RIC	XXXXX0002
0051 ₁₆	UART0送信割り込み制御レジスタ	S0TIC	XXXXX0002
0052 ₁₆	UART0受信割り込み制御レジスタ	S0RIC	XXXXX0002
0053 ₁₆	UART1送信割り込み制御レジスタ	S1TIC	XXXXX0002
0054 ₁₆	UART1受信割り込み制御レジスタ	S1RIC	XXXXX0002
0055 ₁₆	タイマA0割り込み制御レジスタ	TA0IC	XXXXX0002
0056 ₁₆	タイマA1割り込み制御レジスタ	TA1IC	XXXXX0002
0057 ₁₆	タイマA2割り込み制御レジスタ	TA2IC	XXXXX0002
0058 ₁₆	タイマA3割り込み制御レジスタ	TA3IC	XXXXX0002
0059 ₁₆	タイマA4割り込み制御レジスタ	TA4IC	XXXXX0002
005A ₁₆	タイマB0割り込み制御レジスタ	TB0IC	XXXXX0002
005B ₁₆	タイマB1割り込み制御レジスタ	TB1IC	XXXXX0002
005C ₁₆	タイマB2/時計タイマ割り込み制御レジスタ	TB2IC	XXXXX0002
005D ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00X0002
005E ₁₆	INT1割り込み制御レジスタ	INT1IC	XX00X0002
005F ₁₆	INT2割り込み制御レジスタ	INT2IC	XX00X0002
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆			
0069 ₁₆			
006A ₁₆			
006B ₁₆			
006C ₁₆			
006D ₁₆			
006E ₁₆			
006F ₁₆			
0070 ₁₆			
0071 ₁₆			
0072 ₁₆			
0073 ₁₆			
0074 ₁₆			
0075 ₁₆			
0076 ₁₆			
0077 ₁₆			
0078 ₁₆			
0079 ₁₆			
007A ₁₆			
007B ₁₆			
007C ₁₆			
007D ₁₆			
007E ₁₆			
007F ₁₆			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

番地	レジスタ	シンボル	リセット後の値
0080 ₁₆			
0081 ₁₆			
0082 ₁₆			
0083 ₁₆			
0084 ₁₆			
0085 ₁₆			
0086 ₁₆			
≈			≈
01B0 ₁₆			
01B1 ₁₆			
01B2 ₁₆			
01B3 ₁₆			
01B4 ₁₆			
01B5 ₁₆	フラッシュメモリ制御レジスタ1(注2)	FMR1	0X00XX0X2
01B6 ₁₆			
01B7 ₁₆	フラッシュメモリ制御レジスタ0(注2)	FMR0	XX0000012
01B8 ₁₆	アドレス一致割り込みレジスタ2	RMAD2	0016
01B9 ₁₆			0016
01BA ₁₆			X016
01BB ₁₆	アドレス一致割り込み許可レジスタ2	AIER2	XXXXXX002
01BC ₁₆	アドレス一致割り込みレジスタ3	RMAD3	0016
01BD ₁₆			0016
01BE ₁₆			X016
01BF ₁₆			
≈			≈
0200 ₁₆	リモコン送信バッファレジスタ	RMT_TMHL	0016
0201 ₁₆			0016
≈			≈
020E ₁₆	スライスRAMアドレス制御レジスタ	SA	0016
020F ₁₆			
0210 ₁₆	スライスRAMデータ制御レジスタ	SD	0016
0211 ₁₆			
0212 ₁₆	CRCレジスタ用アドレス制御レジスタ	CA	0016
0213 ₁₆			
0214 ₁₆	CRCレジスタ用データ制御レジスタ	CD	0016
0215 ₁₆			
0216 ₁₆	拡張レジスタ用アドレス制御レジスタ	DA	0016
0217 ₁₆			
0218 ₁₆	拡張レジスタ用データ制御レジスタ	DD	0016
0219 ₁₆			
021A ₁₆	ハミング8/4レジスタ	HM8	0016
021B ₁₆			
021C ₁₆	ハミング24/18レジスタ0	HM0	0016
021D ₁₆			
021E ₁₆	ハミング24/18レジスタ1	HM1	0016
021F ₁₆			
0250 ₁₆			
≈			≈
0259 ₁₆			
025A ₁₆			
025B ₁₆			
025C ₁₆			
025D ₁₆			
025E ₁₆	周辺クロック選択レジスタ	PCLKR	000000112
025F ₁₆			
≈			≈
02D6 ₁₆	I ² C0割り込み制御レジスタ	EXTIICINT	0016
02D7 ₁₆	予約レジスタ	EXTREG02D7	0016
≈			≈
02E0 ₁₆	I ² Cデータシフトレジスタ	IIC0S0	不定
02E1 ₁₆	I ² Cアドレスレジスタ	IIC0S0D	0016
02E2 ₁₆	I ² Cステータスレジスタ	IIC0S1	0001000?2
02E3 ₁₆	I ² Cコントロールレジスタ	IIC0S1D	0016
02E4 ₁₆	I ² Cクロックコントロールレジスタ	IIC0S2	0016
02E5 ₁₆	予約レジスタ	RSVREG02E5	00?000002
02E6 ₁₆	I ² C送信バッファレジスタ	IIC0S0S	不定
≈			≈
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			

注1. 空欄は予約領域です。アクセスしないでください。

注2. このレジスタはフラッシュメモリ版にあります。

X: 不定です。

番地	レジスタ	シンボル	リセット後の値
0334 ₁₆			
0335 ₁₆			
0336 ₁₆			
0337 ₁₆			
0338 ₁₆			
0339 ₁₆			
033A ₁₆			
033B ₁₆			
033C ₁₆			
033D ₁₆			
033E ₁₆			
033F ₁₆			
0340 ₁₆	タイマB3,4,5カウンタ開始フラグ	TBSR	000XXXXX2
0341 ₁₆			
0342 ₁₆			
≈			≈
034B ₁₆			
034C ₁₆			
034D ₁₆			
034E ₁₆			
034F ₁₆			
0350 ₁₆	タイマB3レジスタ	TB3	XX16
0351 ₁₆			XX16
0352 ₁₆	タイマB4レジスタ	TB4	XX16
0353 ₁₆			XX16
0354 ₁₆	タイマB5レジスタ	TB5	XX16
0355 ₁₆			XX16
0356 ₁₆			
0357 ₁₆			
0358 ₁₆			
0359 ₁₆			
035A ₁₆			
035B ₁₆	タイマB3モードレジスタ	TB3MR	00XX00002
035C ₁₆	タイマB4モードレジスタ	TB4MR	00XX00002
035D ₁₆	タイマB5モードレジスタ	TB5MR	00XX00002
035E ₁₆	割り込み要因選択レジスタ2	IFSR2A	00XXXXXX2
035F ₁₆	割り込み要因選択レジスタ	IFSR	0016
0360 ₁₆	SI/O3送受信レジスタ	S3TRR	XX16
0361 ₁₆			
0362 ₁₆	SI/O3制御レジスタ	S3C	010000002
0363 ₁₆	SI/O3転送速度レジスタ	S3BRG	XX16
0364 ₁₆	SI/O4送受信レジスタ	S4TRR	XX16
0365 ₁₆			
0366 ₁₆	SI/O4制御レジスタ	S4C	010000002
0367 ₁₆	SI/O4転送速度レジスタ	S4BRG	XX16
0368 ₁₆			
0369 ₁₆			
036A ₁₆			
036B ₁₆			
036C ₁₆	UART0特殊モードレジスタ4	U0SMR4	0016
036D ₁₆	UART0特殊モードレジスタ3	U0SMR3	000X0X0X2
036E ₁₆	UART0特殊モードレジスタ2	U0SMR2	X00000002
036F ₁₆	UART0特殊モードレジスタ	U0SMR	X00000002
0370 ₁₆	UART1特殊モードレジスタ4	U1SMR4	0016
0371 ₁₆	UART1特殊モードレジスタ3	U1SMR3	000X0X0X2
0372 ₁₆	UART1特殊モードレジスタ2	U1SMR2	X00000002
0373 ₁₆	UART1特殊モードレジスタ	U1SMR	X00000002
0374 ₁₆	UART2特殊モードレジスタ4	U2SMR4	0016
0375 ₁₆	UART2特殊モードレジスタ3	U2SMR3	000X0X0X2
0376 ₁₆	UART2特殊モードレジスタ2	U2SMR2	X00000002
0377 ₁₆	UART2特殊モードレジスタ	U2SMR	X00000002
0378 ₁₆	UART2送受信モードレジスタ	U2MR	0016
0379 ₁₆	UART2転送速度レジスタ	U2BRG	XX16
037A ₁₆	UART2送信バッファレジスタ	U2TB	XXXXXXXXX2
037B ₁₆			XXXXXXXXX2
037C ₁₆	UART2送受信制御レジスタ0	U2C0	000010002
037D ₁₆	UART2送受信制御レジスタ1	U2C1	000000102
037E ₁₆	UART2受信バッファレジスタ	U2RB	XXXXXXXXX2
037F ₁₆			XXXXXXXXX2

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

番地	レジスタ	シンボル	リセット後の値
0380 ₁₆	カウント開始フラグ	TABSR	0016
0381 ₁₆	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXXXX2
0382 ₁₆	ワンショット開始フラグ	ONSF	0016
0383 ₁₆	トリガ選択レジスタ	TRGSR	0016
0384 ₁₆	アップダウンフラグ	UDF	0016
0385 ₁₆			
0386 ₁₆	タイマA0レジスタ	TA0	XX16
0387 ₁₆			XX16
0388 ₁₆	タイマA1レジスタ	TA1	XX16
0389 ₁₆			XX16
038A ₁₆	タイマA2レジスタ	TA2	XX16
038B ₁₆			XX16
038C ₁₆	タイマA3レジスタ	TA3	XX16
038D ₁₆			XX16
038E ₁₆	タイマA4レジスタ	TA4	XX16
038F ₁₆			XX16
0390 ₁₆	タイマB0レジスタ	TB0	XX16
0391 ₁₆			XX16
0392 ₁₆	タイマB1レジスタ	TB1	XX16
0393 ₁₆			XX16
0394 ₁₆	タイマB2レジスタ	TB2	XX16
0395 ₁₆			XX16
0396 ₁₆	タイマA0モードレジスタ	TA0MR	0016
0397 ₁₆	タイマA1モードレジスタ	TA1MR	0016
0398 ₁₆	タイマA2モードレジスタ	TA2MR	0016
0399 ₁₆	タイマA3モードレジスタ	TA3MR	0016
039A ₁₆	タイマA4モードレジスタ	TA4MR	0016
039B ₁₆	タイマB0モードレジスタ	TB0MR	00XX00002
039C ₁₆	タイマB1モードレジスタ	TB1MR	00XX00002
039D ₁₆	タイマB2モードレジスタ	TB2MR	00XX00002
039E ₁₆			
039F ₁₆			
03A0 ₁₆	UART0送受信モードレジスタ	U0MR	0016
03A1 ₁₆	UART0転送速度レジスタ	U0BRG	XX16
03A2 ₁₆	UART0送信バッファレジスタ	U0TB	XXXXXXXXX2
03A3 ₁₆			XXXXXXXXX2
03A4 ₁₆	UART0送受信制御レジスタ0	U0C0	000010002
03A5 ₁₆	UART0送受信制御レジスタ1	U0C1	000000102
03A6 ₁₆	UART0受信バッファレジスタ	U0RB	XXXXXXXXX2
03A7 ₁₆			XXXXXXXXX2
03A8 ₁₆	UART1送受信モードレジスタ	U1MR	0016
03A9 ₁₆	UART1転送速度レジスタ	U1BRG	XX16
03AA ₁₆	UART1送信バッファレジスタ	U1TB	XXXXXXXXX2
03AB ₁₆			XXXXXXXXX2
03AC ₁₆	UART1送受信制御レジスタ0	U1C0	000010002
03AD ₁₆	UART1送受信制御レジスタ1	U1C1	000000102
03AE ₁₆	UART1受信バッファレジスタ	U1RB	XXXXXXXXX2
03AF ₁₆			XXXXXXXXX2
03B0 ₁₆	UART送受信制御レジスタ2	UCON	X00000002
03B1 ₁₆			
03B2 ₁₆			
03B3 ₁₆			
03B4 ₁₆			
03B5 ₁₆			
03B6 ₁₆			
03B7 ₁₆			
03B8 ₁₆	DMA0要因選択レジスタ	DM0SL	0016
03B9 ₁₆			
03BA ₁₆	DMA1要因選択レジスタ	DM1SL	0016
03BB ₁₆			
03BC ₁₆	CRCデータレジスタ	CRCD	XX16
03BD ₁₆			XX16
03BE ₁₆	CRCインプットレジスタ	CRCIN	XX16
03BF ₁₆			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

番地	レジスタ	シンボル	リセット後の値
03C0 ₁₆	A/Dレジスタ0	AD0	XXXXXXXXX2
03C1 ₁₆			
03C2 ₁₆	A/Dレジスタ1	AD1	XXXXXXXXX2
03C3 ₁₆			
03C4 ₁₆	A/Dレジスタ2	AD2	XXXXXXXXX2
03C5 ₁₆			
03C6 ₁₆	A/Dレジスタ3	AD3	XXXXXXXXX2
03C7 ₁₆			
03C8 ₁₆	A/Dレジスタ4	AD4	XXXXXXXXX2
03C9 ₁₆			
03CA ₁₆	A/Dレジスタ5	AD5	XXXXXXXXX2
03CB ₁₆			
03CC ₁₆	A/Dレジスタ6	AD6	XXXXXXXXX2
03CD ₁₆			
03CE ₁₆	A/Dレジスタ7	AD7	XXXXXXXXX2
03CF ₁₆			
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆			
03D3 ₁₆			
03D4 ₁₆	A/D制御レジスタ2	ADCON2	0016
03D5 ₁₆			
03D6 ₁₆	A/D制御レジスタ0	ADCON0	00000XXX2
03D7 ₁₆	A/D制御レジスタ1	ADCON1	0016
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0レジスタ	P0	XX16
03E1 ₁₆	ポートP1レジスタ	P1	XX16
03E2 ₁₆	ポートP0方向レジスタ	PD0	0016
03E3 ₁₆	ポートP1方向レジスタ	PD1	0016
03E4 ₁₆	ポートP2レジスタ	P2	XX16
03E5 ₁₆	ポートP3レジスタ	P3	XX16
03E6 ₁₆	ポートP2方向レジスタ	PD2	0016
03E7 ₁₆	ポートP3方向レジスタ	PD3	0016
03E8 ₁₆	ポートP4レジスタ	P4	XX16
03E9 ₁₆	ポートP5レジスタ	P5	XX16
03EA ₁₆	ポートP4方向レジスタ	PD4	0016
03EB ₁₆	ポートP5方向レジスタ	PD5	0016
03EC ₁₆	ポートP6レジスタ	P6	XX16
03ED ₁₆	ポートP7レジスタ	P7	XX16
03EE ₁₆	ポートP6方向レジスタ	PD6	0016
03EF ₁₆	ポートP7方向レジスタ	PD7	0016
03F0 ₁₆	ポートP8レジスタ	P8	XX16
03F1 ₁₆	ポートP9レジスタ	P9	XX16
03F2 ₁₆	ポートP8方向レジスタ	PD8	00X000002
03F3 ₁₆	ポートP9方向レジスタ	PD9	0016
03F4 ₁₆			
03F5 ₁₆			
03F6 ₁₆			
03F7 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆	プルアップ制御レジスタ0	PUR0	0016
03FD ₁₆	プルアップ制御レジスタ1	PUR1	000000002
03FE ₁₆	プルアップ制御レジスタ2	PUR2	0016
03FF ₁₆	ポート制御レジスタ	PCR	0016

注1. 空欄は予約領域です。アクセスしないでください。

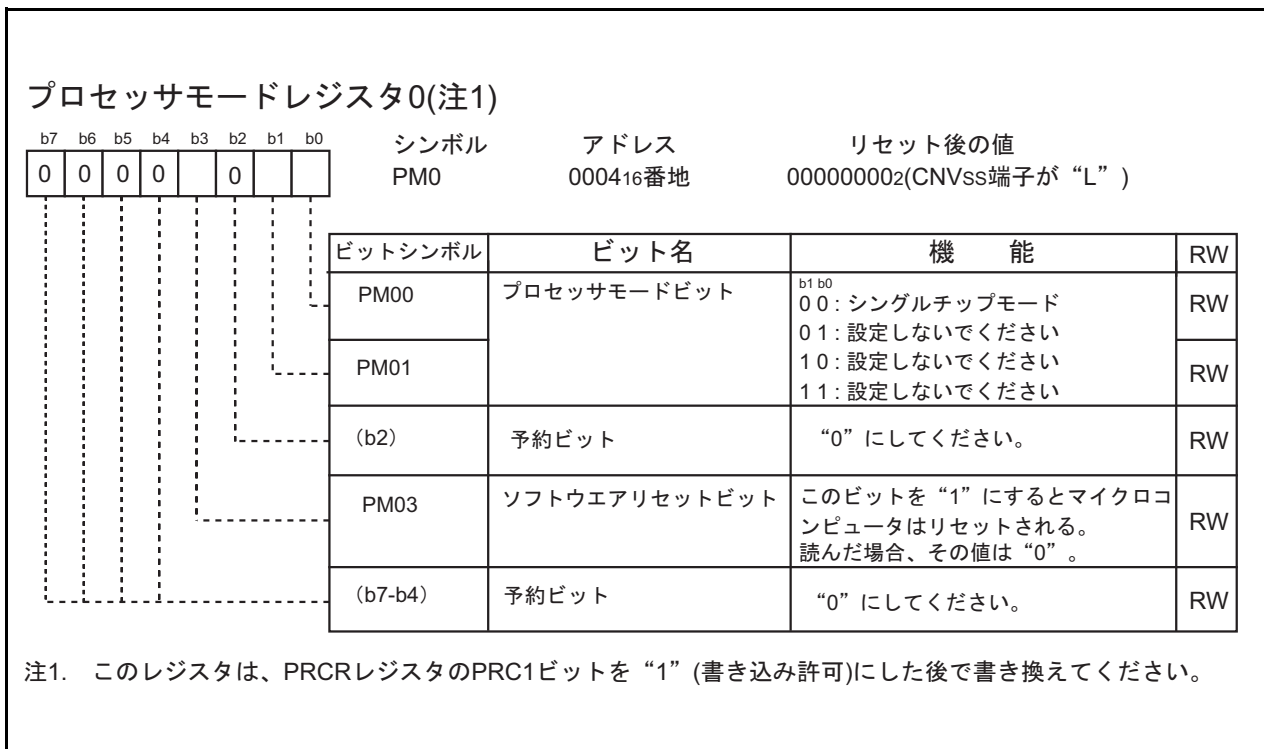


図3.4 PM0レジスタ

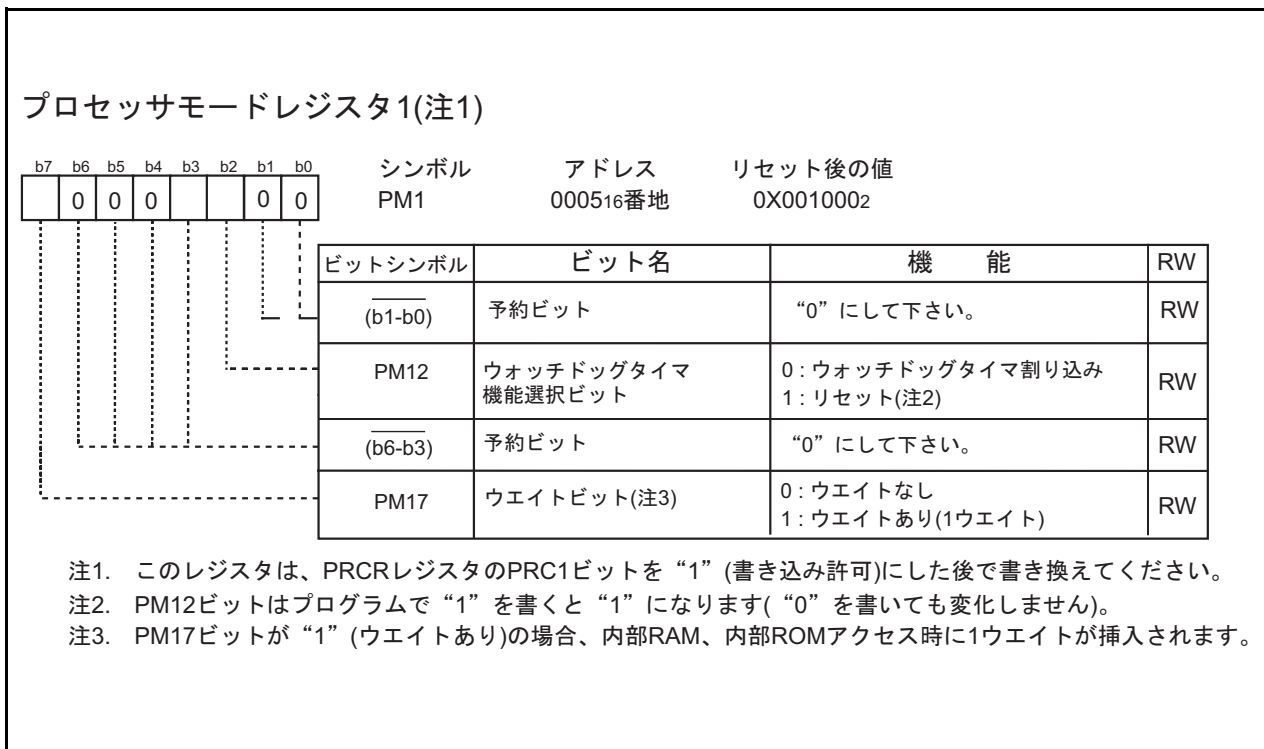


図3.5 PM1レジスタ

4. クロック発生回路

クロック発生回路として、2つの回路を内蔵します。

- メインクロック発振回路
- サブクロック発振回路

表4.1にクロック発生回路の概略仕様を示します。また、図4.1にシステムクロック発生回路のブロック図、図4.2～図4.4にクロック関連レジスタを示します。

表4.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路
用途	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源 	<ul style="list-style-type: none"> •CPUのクロック源 •タイマA、Bのクロック源
クロック周波数	0～16MHz(注3)	32.768kHz
接続できる発振子	<ul style="list-style-type: none"> •セラミック共振子 •水晶発振子(注2) 	<ul style="list-style-type: none"> •水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振停止、再開機能	あり	あり
リセット後の状態(注1)	発振	停止
その他	外部で生成されたクロックを入力可能	

注1. STARTB端子="L"設定時のリセット後の状態を示します。
STARTB端子="H"設定時では、以下のようになります。

メインクロック発振回路：停止、サブクロック発振回路：発振

注2. 「14 拡張機能(スライサ)」を使用する場合は、XIN-XOUT端子間に水晶発振子を必ず接続してください。

注3. 「14 拡張機能(スライサ)」を使用する場合は、10MHz、12MHz、14MHz、または16MHzの水晶発振子を使用してください。

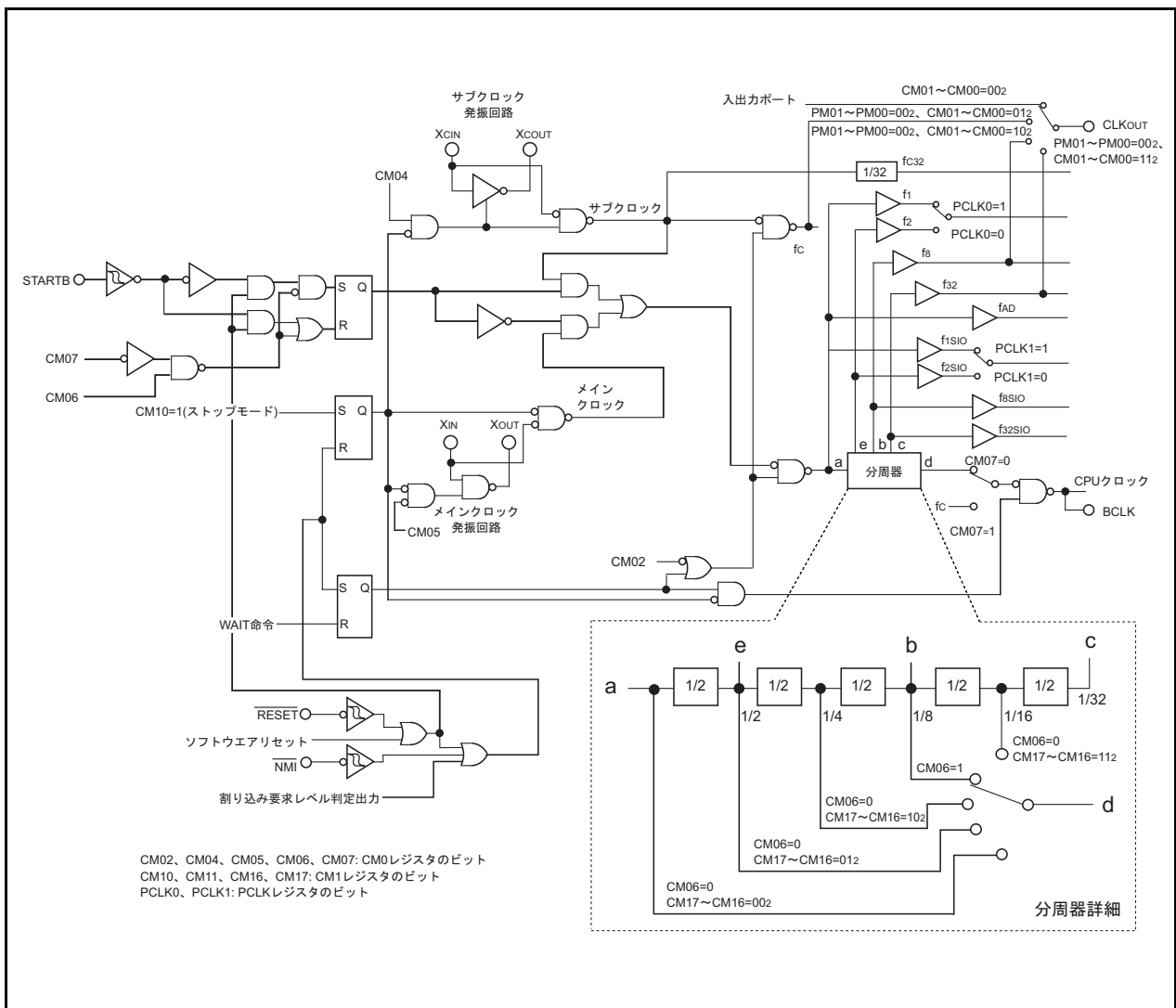


図4.1 システムクロック発生回路

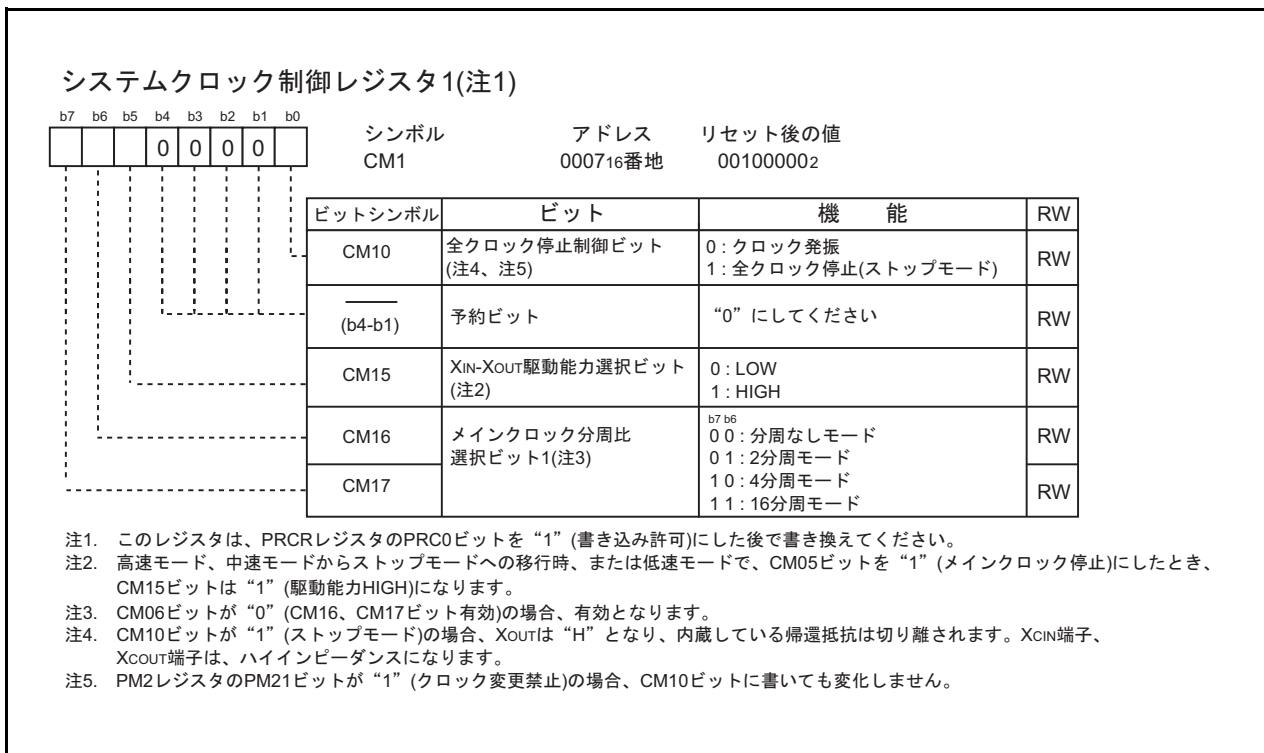


図4.3 CM1レジスタ

周辺クロック選択レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0		

シンボル
PCLKRアドレス リセット後の値
025E₁₆番地 00000011₂

ビットシンボル	ビット名	機能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマBのクロック源)	0 : f ₂ 1 : f ₁	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、SI/O3、SI/O4 のクロック源)	0 : f ₂ SI/O 1 : f ₁ SI/O	RW
(b7-b2)	予約ビット	“0” にしてください	RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

プロセッサモードレジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0
×	×	×	0	0	0		0

シンボル
PM2アドレス リセット後の値
001E₁₆番地 XXX00000₂

ビットシンボル	ビット名	機能	RW
(b0)	予約ビット	“0” にしてください	RW
PM21	システムクロック保護ビット (注2、注3)	0 : PRCRレジスタでクロックを保護 1 : クロックの変更禁止	RW
(b4-b2)	予約ビット	“0” にしてください	RW
(b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 一度“1”にすると、プログラムでは“0”にできません。

注3. PM21ビットを“1”にすると次のビットに書き込んでも変化しません。

CM0レジスタのCM02ビット

CM0レジスタのCM05ビット(メインクロックは停止しない)

CM0レジスタのCM07ビット(CPUクロックのクロック源は変化しない)

CM1レジスタのCM10ビット(ストップモードに移行しない)

図4.4 PCLKR、PM2レジスタ

4.1 発振回路

クロック発生回路で生成するクロックを説明します。

クロック発生回路には、2つの発振回路が内蔵されており、リセット後 STARTB 端子の設定により、CPUクロックとしてメインクロックまたはサブクロックを選択することができます。

(1) メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路は XIN-XOUT 端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックを XIN 端子へ入力することもできます。図 4.5 にメインクロックの接続回路例を示します。

STARTB 端子が“L”の場合、リセット後は、メインクロックの8分周がCPUクロックになります(サブクロックは停止)。

CPUクロックのクロック源をサブクロックに切り替えた後、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままです。XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を“1”にしてもサブクロックをCPUクロックに選択していない限り、メインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「パワーコントロール」を参照してください。

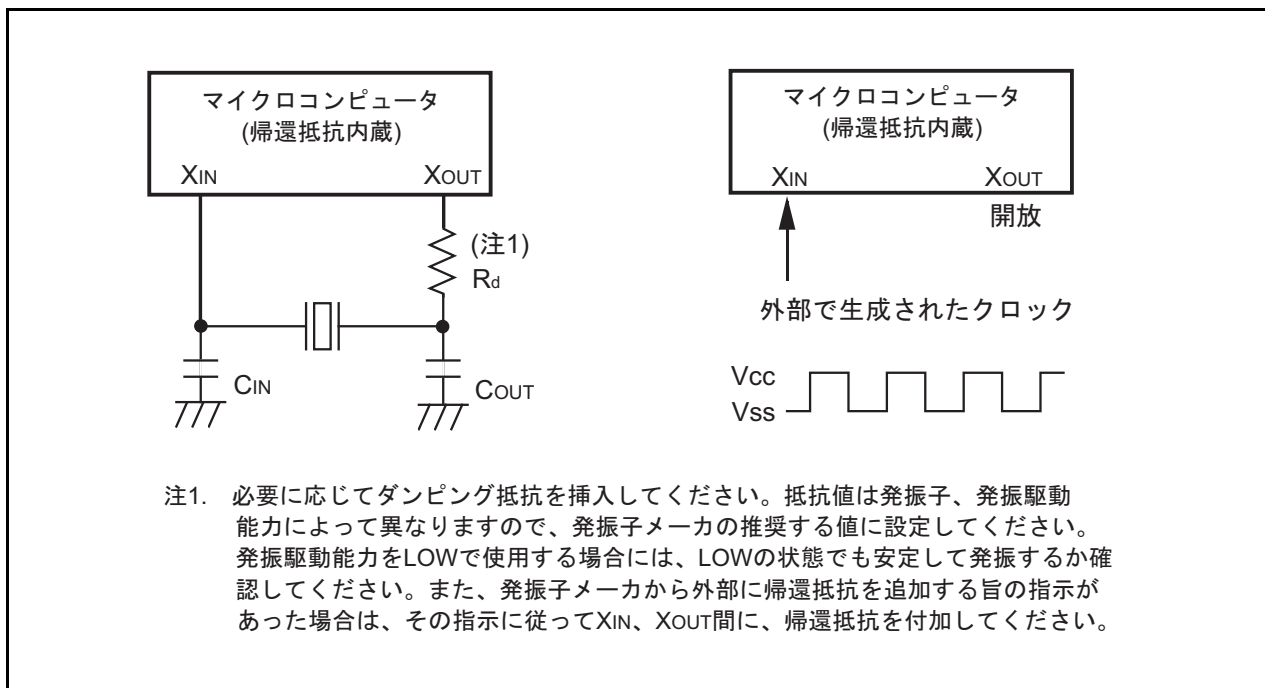


図4.5 メインクロックの接続回路例

(2) サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。また、サブクロックと同一周波数のfcをCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図4.6にサブクロックの接続回路例を示します。

STARTB端子が“L”の場合、リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

STARTB端子が“H”の場合、リセット後は、サブクロック発振(XCIN)の8分周がCPUクロックになります(メインクロックは停止)。

この後、メインクロックを使用する場合は、図4.7に示す手順に従って移行してください。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「パワーコントロール」を参照してください。

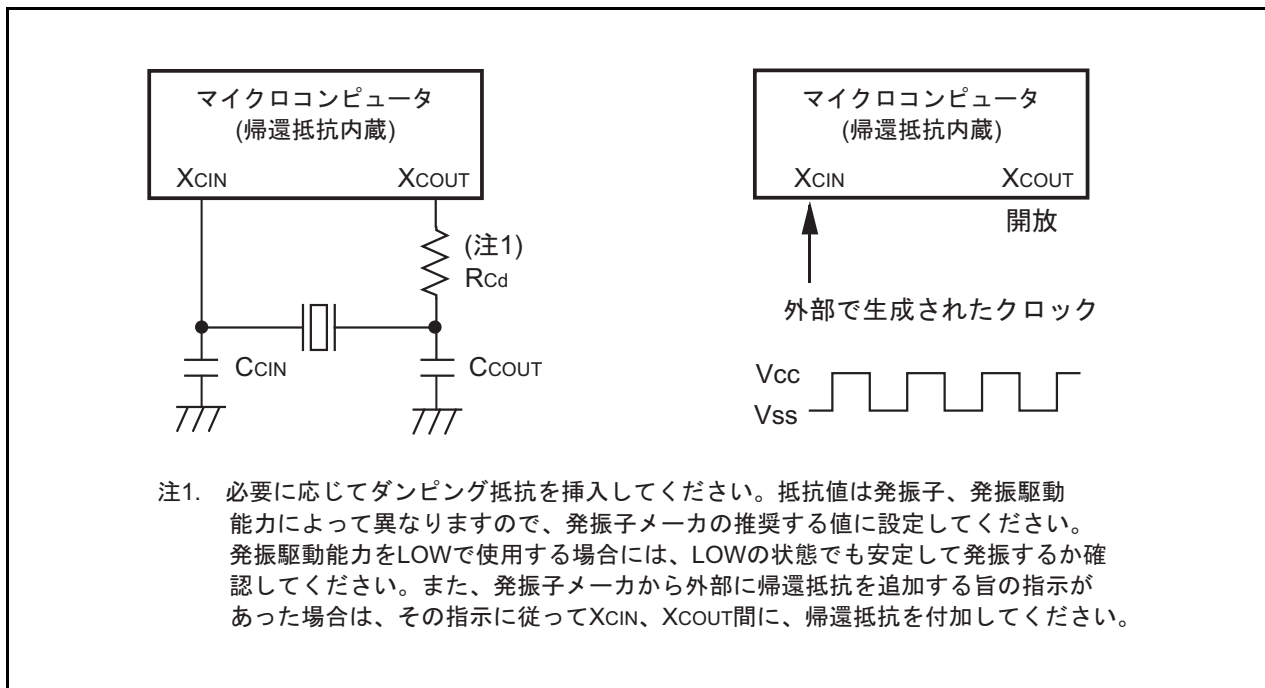


図4.6 サブクロックの接続回路例

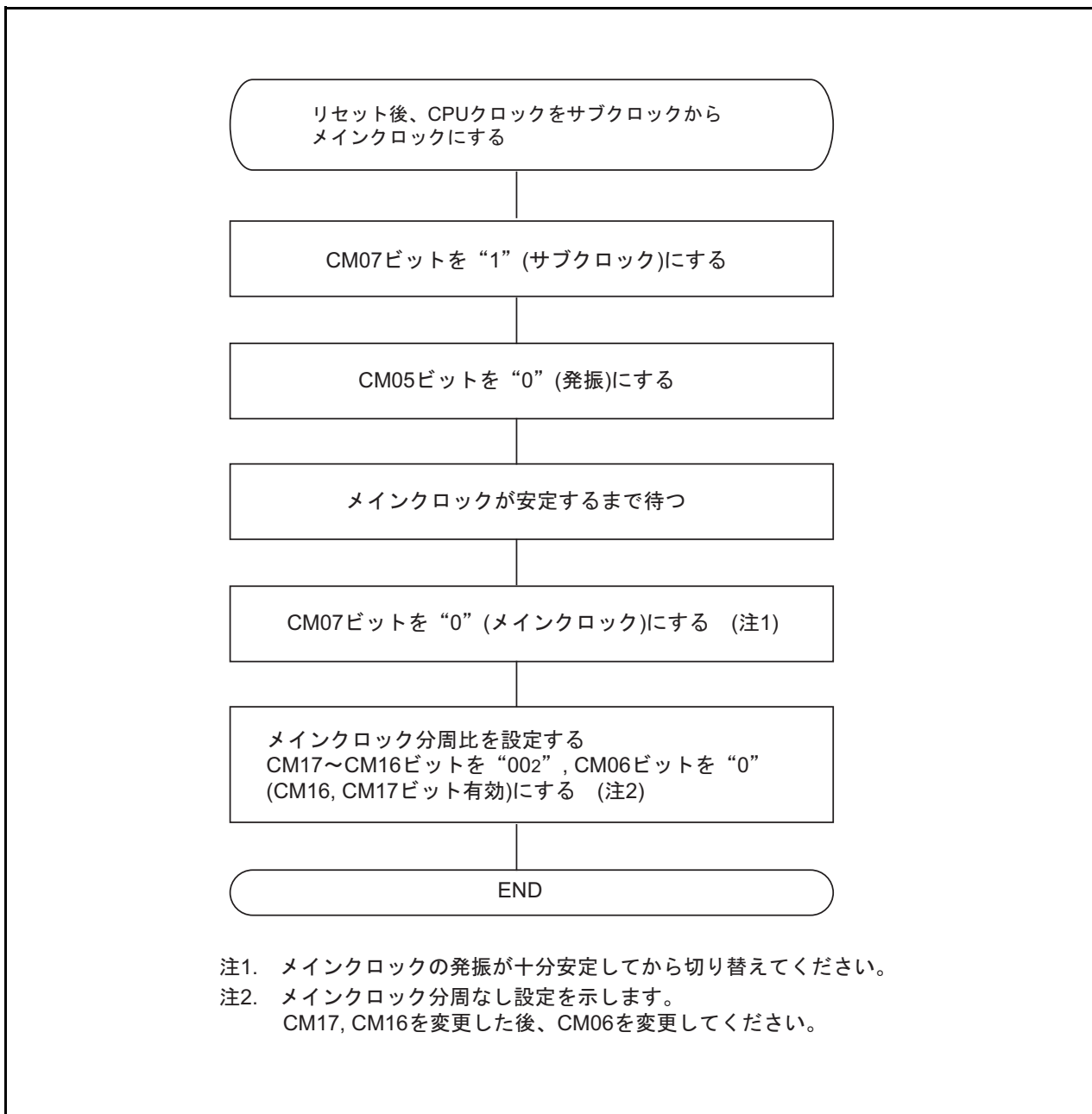


図4.7 リセット後、CPUクロック源をサブクロックからメインクロックにする手順

4.2 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

(1) CPUクロックとBCLK

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、または、サブクロックが選択できます。

CPUクロックのクロック源としてメインクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17~CM16ビットで選択できます。

STARTB端子を“L”にしてリセット解除すると、メインクロックの8分周がCPUクロックになります。

STARTB端子を“H”にしてリセット解除すると、サブクロックの8分周がCPUクロックになります。このとき、CM0レジスタのCM04ビット、CM05ビットは“1”になります。

なお、高速モード、中速モードからストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1”(停止)にしたとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

(2) 周辺機能クロック(f₁、f₂、f₈、f₃₂、f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}、f_{AD}、f_{C32})

周辺機能の動作クロックです。

f_i(i=1、2、8、32)とf_{iSIO}はメインクロックをi分周したクロックです。f_iはタイマA、タイマBで、f_{iSIO}はシリアルI/Oで使用します。f₈とf₃₂はCLKOUT端子から出力できます。

f_{AD}は、メインクロックをクロック源とし、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウエイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、または低消費電力モード時、f_i、f_{iSIO}、f_{AD}は停止します。

f_{C32}はサブクロックをクロック源とし、タイマA、タイマBで使用します。f_{C32}はサブクロックが供給されているときに使用できます。

4.3 クロック出力機能

CLKOUT端子からf₈、f₃₂、またはf_Cを出力できます。CM0レジスタのCM01~CM00ビットで選択してください。

4.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

(1) 通常動作モード

通常動作モードには、さらに4つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、サブクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

■ 高速モード

メインクロックの1分周がCPUクロックとなります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

■ 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

■ 低速モード

サブクロックがCPUクロックとなります。周辺機能クロックのクロック源は、メインクロックです。fc32がタイマA、タイマBのカウントソースに使用できます。

■ 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックとなります。fc32がタイマA、タイマBのカウントソースに使用できます。

このモードにすると同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。低消費電力モードでは、CM06ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速(8分周)モードになります。

(2) ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。メインクロック、サブクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

● 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fADが停止しますので、消費電力が低減できます。fc32は停止しません。

● ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

● ウェイトモード時の端子の状態

表4.2にウェイトモード時の端子の状態を示します。

● ウェイトモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットまたは $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“0002”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できます。

表4.2 ウェイトモード時の端子の状態

端 子		シングルチップモード
A0~A19、D0~D15、CS0~CS3、 BHE		/
RD、WR、WRL、WRH		
HLDA、BCLK		
ALE		
入出力ポート		
CLKOUT	fc選択時	停止しません
	f8、f32選択時	CM02ビットが“0”のとき 停止しません CM02ビットが“1”のとき ウェイトモードに入る直前の状態を保持

表4.3 ウェイトモードからの復帰に使用できる割り込み

割り込み	CM02=0の場合	CM02=1の場合
NMI割り込み	使用可	使用可
シリアルI/O割り込み	内部クロック、外部クロック で使用可	外部クロックで使用可
A/D変換割り込み	単発モードまたは単掃引モード で使用可	— (使用しないでください)
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモードまたは カウントソースがfc32のとき 使用可
INT割り込み	使用可	使用可

表4.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタの ILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットをすべて“0002”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

(3) ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。ストップモードからの復帰に使用できる割り込みは次のとおりです。

- ・ $\overline{\text{NMI}}$ 割り込み
- ・ $\overline{\text{INT}}$ 割り込み
- ・ タイマA、タイマBの割り込み(イベントカウンタモードで外部パルスをカウント時)
- ・ シリアルI/Oの割り込み(外部クロック選択時)

拡張機能(データスライス機能/ハミング機能)の内部発振回路は拡張レジスタ XTAL_VCO, PDC_VCO_ON, VPS_VCO_ONに“0”を書き込むと発振停止を行います。

● ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

● ストップモード時の端子の状態

表4.4にストップモード時の端子の状態を示します。

● ストップモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットまたは $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットをすべて“0002”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“0002”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込み、または $\overline{\text{NMI}}$ 割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード移行前のCPUクロックにしたがって、次のようになります。

- | | | |
|-------------------------------|---|-------------|
| ストップモード移行前のCPUクロックがサブクロックの場合 | : | サブクロック |
| ストップモード移行前のCPUクロックがメインクロックの場合 | : | メインクロックの8分周 |

表4.4 ストップモード時の端子の状態

端 子		シングルチップモード
A0~A19、D0~D15、CS0~CS3、 BHE		/
RD、WR、WRL、WRH		
HLDA、BCLK		
ALE		
入出力ポート		ストップモードに入る直前の状態を保持
CLKOUT	fC選択時	“H”
	f8、f32選択時	ストップモードに入る直前の状態を保持

図4.8に通常動作モードからのストップモード、ウェイトモードへの状態遷移を示します。
 図4.9に通常動作モードの状態遷移を示します。

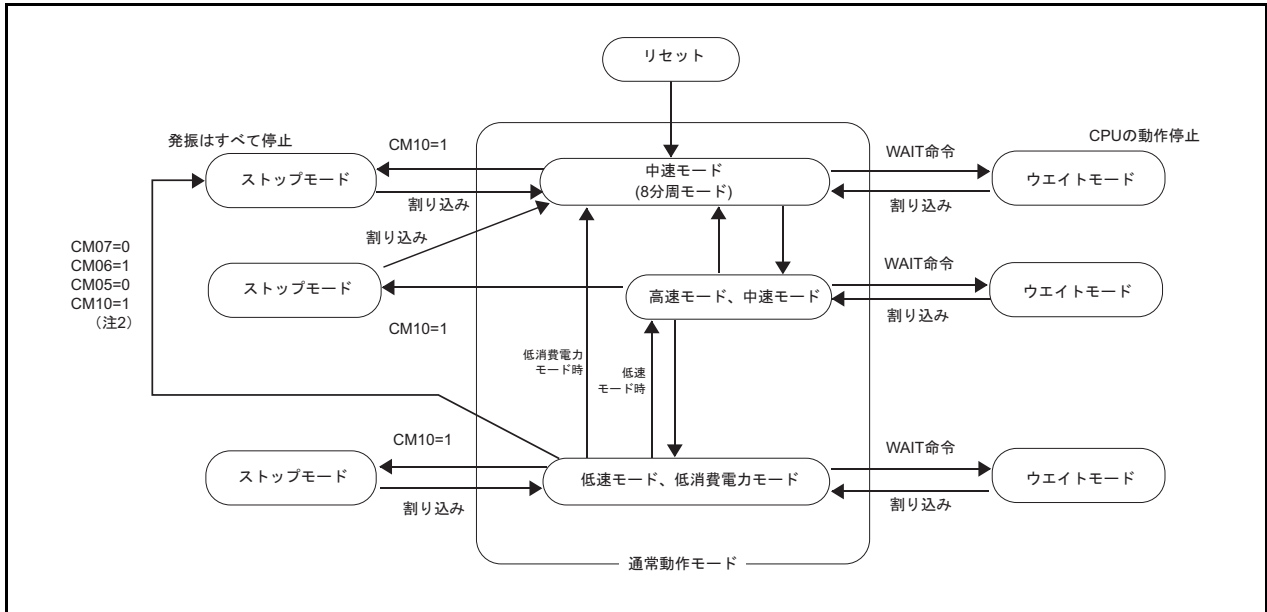


図4.8 ストップモード、ウェイトモード状態遷移

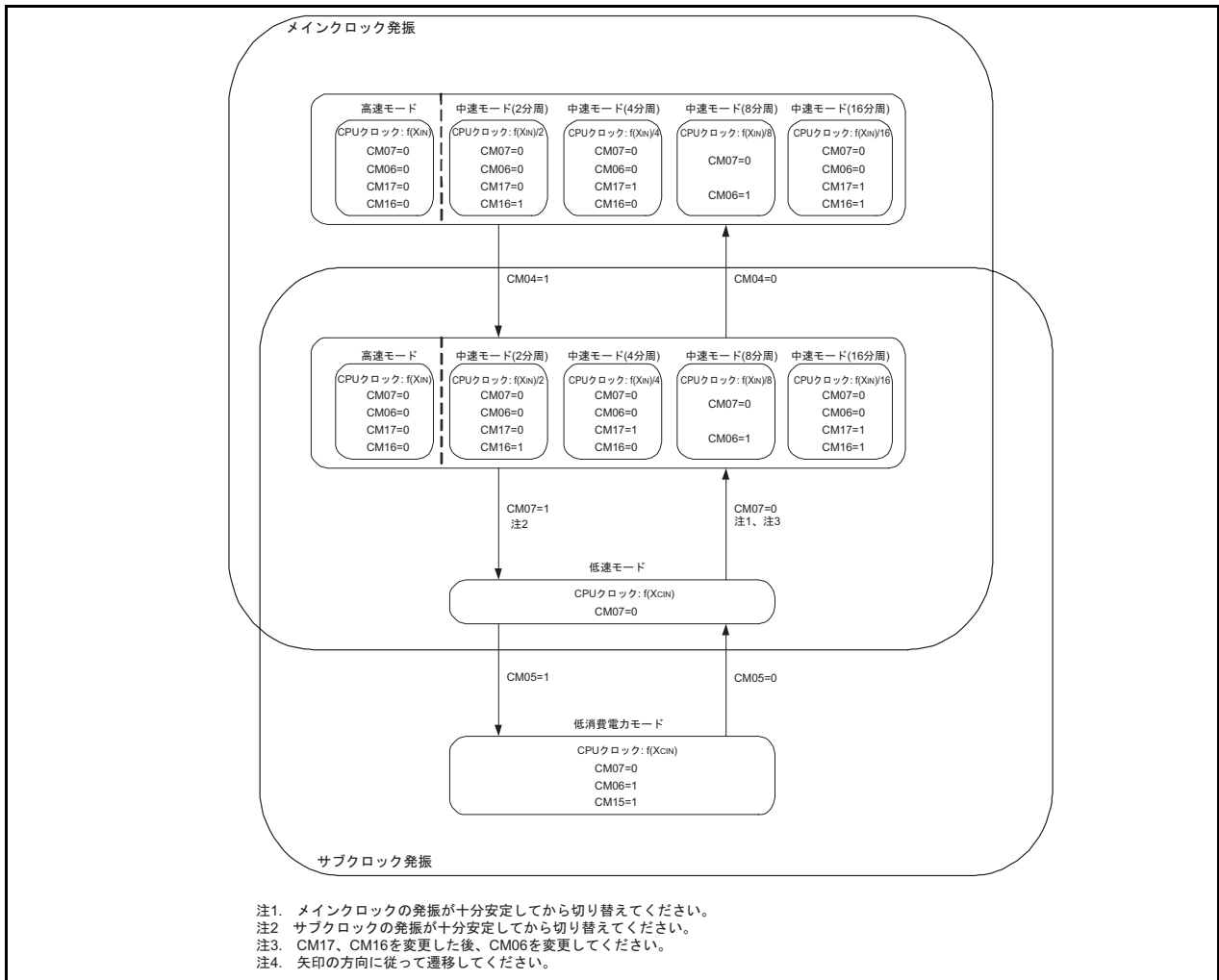


図4.9 通常動作モード状態遷移

4.5 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット、CM11ビット

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態です。次の処理をしてください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
 - (2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
 - (3) PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする
- PM21ビットが“1”のとき、WAIT命令を実行しないでください。

5. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図5.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- ・ PRC0ビットで保護されるレジスタ：CM0、CM1、PCLKRレジスタ
- ・ PRC1ビットで保護されるレジスタ：PM0、PM1、PM2レジスタ
- ・ PRC2ビットで保護されるレジスタ：PD9、S3C、S4Cレジスタ

PRC2ビットを“1”（書き込み許可状態）にした後、任意の番地に行書き込みを実行すると“0”（書き込み禁止状態）になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1ビットは任意の番地に行書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

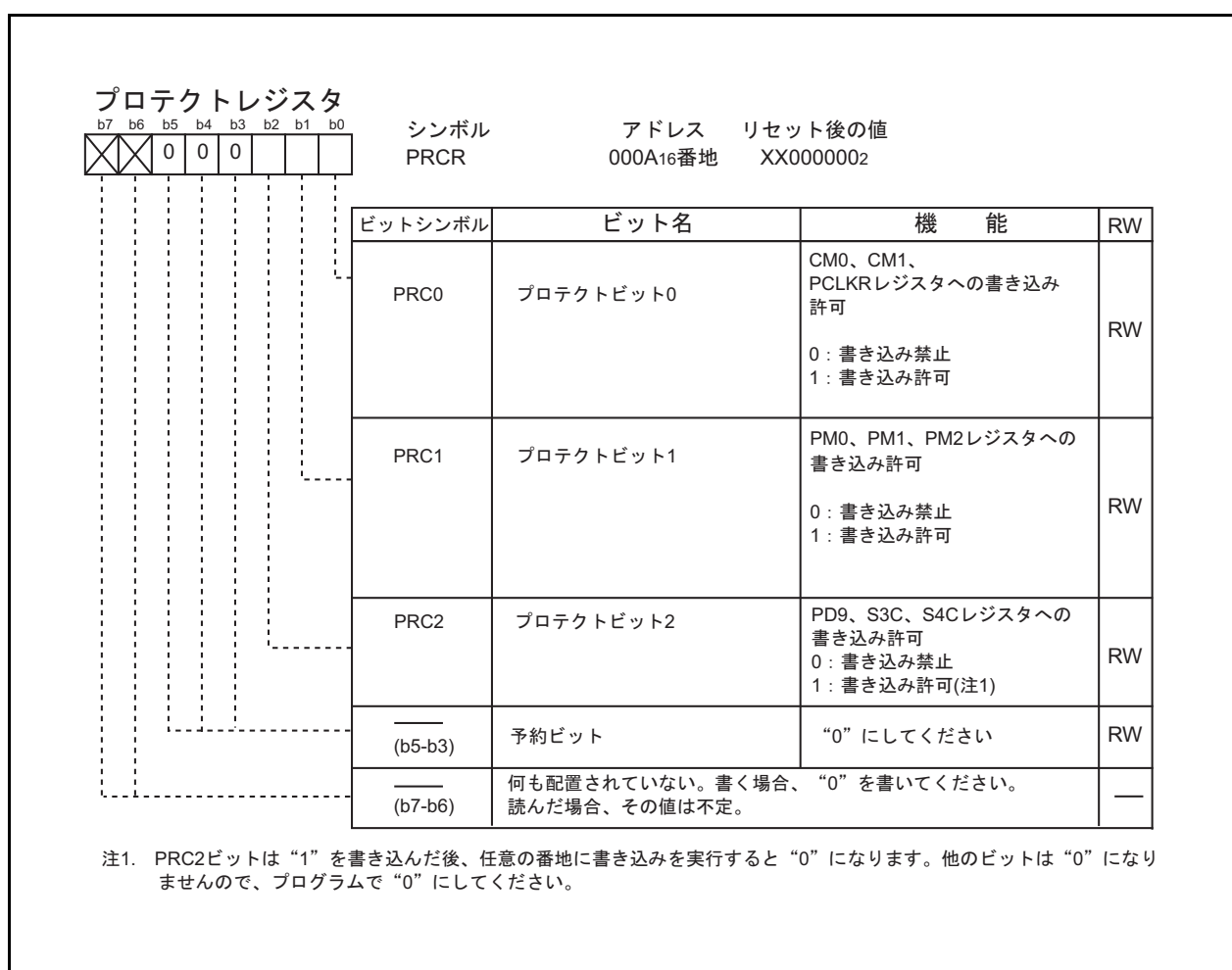


図5.1 PRCRレジスタ

6. 割り込み

6.1 割り込みの分類

図6.1に割り込みの分類を示します

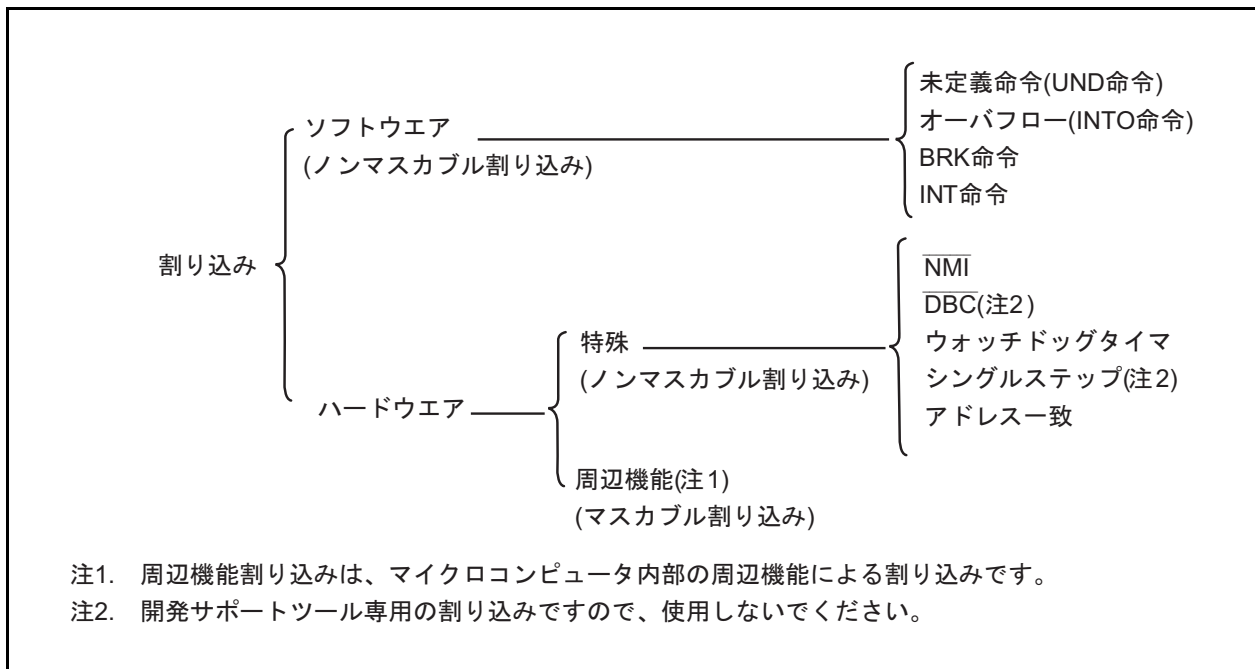


図6.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

6.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

- **未定義命令割り込み**

未定義命令割り込みは、UND命令を実行すると発生します。

- **オーバフロー割り込み**

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

- **BRK割り込み**

BRK割り込みは、BRK命令を実行すると発生します。

- **INT命令割り込み**

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

6.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

●特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

(1) NMI割り込み

NMI割り込みは、NMI端子の入力が“H”から“L”に変化すると発生します。NMI割り込みの詳細は「NMI割り込み」を参照してください。

(2) DBC割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

(3) ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は「ウォッチドッグタイマ」を参照してください。

(4) シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

(5) アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「アドレス一致割り込み」を参照してください。

●周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表 6.2 可変ベクタテーブル」を参照してください。

また、周辺機能の詳細は各周辺機能の説明を参照してください。

6.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図6.2に割り込みベクタを示します。

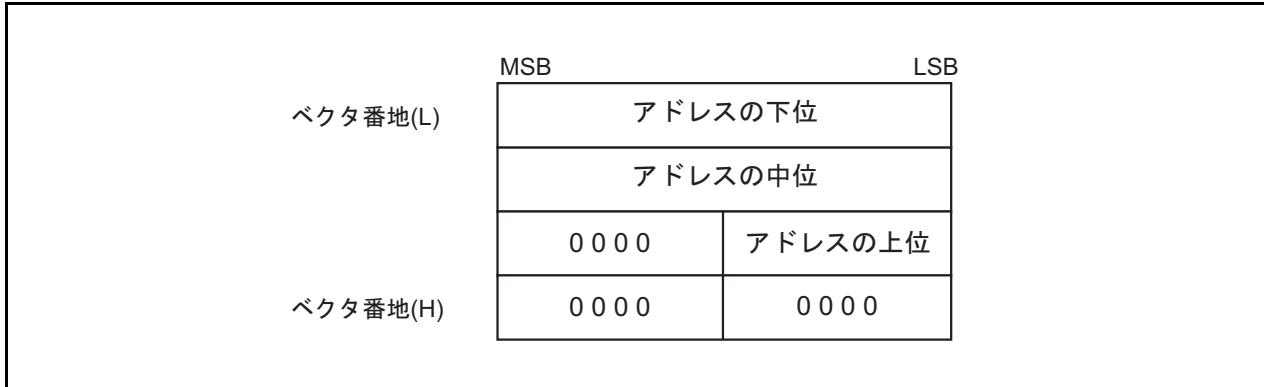


図6.2 割り込みベクタ

● 固定ベクタテーブル

固定ベクタテーブルは、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。表6.1に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能で使用します。詳細は「内蔵フラッシュメモリ書き換え禁止機能」を参照してください。

表6.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	FFFDC ₁₆ ～FFFDF ₁₆	UND命令で割り込み	M16C/6Q M16C/20 シリーズ ソフトウェア マニュアル
オーバフロー	FFFE0 ₁₆ ～FFFE3 ₁₆	INTO命令で割り込み	
BRK命令	FFFE4 ₁₆ ～FFFE7 ₁₆	FFFE7 ₁₆ 番地の内容がFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	FFFE8 ₁₆ ～FFFEB ₁₆		アドレス一致割り込み
シングルステップ(注1)	FFFE0 ₁₆ ～FFFEF ₁₆		
ウォッチドッグタイマ	FFFF0 ₁₆ ～FFFF3 ₁₆		ウォッチドッグタイマ
DBC(注1)	FFFF4 ₁₆ ～FFFF7 ₁₆		
NMI	FFFF8 ₁₆ ～FFFFB ₁₆		NMI割り込み
リセット	FFFFC ₁₆ ～FFFFF ₁₆		リセット

注1. 開発サポートツール専用の割り込みですので、使用しないでください。

● 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表6.2に可変ベクタテーブルを示します。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表6.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)~番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注5)	+0~+3(0000 ₁₆ ~0003 ₁₆)	0	M16C/60、M16C/20シリーズ ソフトウェアマニュアル
—— (予約)		1~3	
INT3	+16~+19(0010 ₁₆ ~0013 ₁₆)	4	INT割り込み
タイマB5/SLICE ON (注7)	+20~+23(0014 ₁₆ ~0017 ₁₆)	5	タイマ
タイマB4/リモコン、UART1バス衝突検出(注4、注6、注7)	+24~+27(0018 ₁₆ ~001B ₁₆)	6	タイマ シリアルI/O
タイマB3/HINT、UART0バス衝突検出(注4、注6、注7)	+28~+31(001C ₁₆ ~001F ₁₆)	7	
SI/O4、INT5 (注2)	+32~+35(0020 ₁₆ ~0023 ₁₆)	8	INT割り込み シリアルI/O
SI/O3、INT4 (注2)	+36~+39(0024 ₁₆ ~0027 ₁₆)	9	
UART2/バス衝突検出	+40~+43(0028 ₁₆ ~002B ₁₆)	10	シリアルI/O
DMA0	+44~+47(002C ₁₆ ~002F ₁₆)	11	DMAC
DMA1	+48~+51(0030 ₁₆ ~0033 ₁₆)	12	
A/D	+56~+59(0038 ₁₆ ~003B ₁₆)	14	A/Dコンバータ
UART2送信、NACK2 (注3)	+60~+63(003C ₁₆ ~003F ₁₆)	15	シリアルI/O
UART2受信、ACK2 (注3)	+64~+67(0040 ₁₆ ~0043 ₁₆)	16	
UART0送信、NACK0 (注3)	+68~+71(0044 ₁₆ ~0047 ₁₆)	17	
UART0受信、ACK0 (注3)	+72~+75(0048 ₁₆ ~004B ₁₆)	18	
UART1送信、NACK1 (注3)	+76~+79(004C ₁₆ ~004F ₁₆)	19	
UART1受信、ACK1 (注3)	+80~+83(0050 ₁₆ ~0053 ₁₆)	20	
タイマA0	+84~+87(0054 ₁₆ ~0057 ₁₆)	21	タイマ
タイマA1	+88~+91(0058 ₁₆ ~005B ₁₆)	22	
タイマA2	+92~+95(005C ₁₆ ~005F ₁₆)	23	
タイマA3	+96~+99(0060 ₁₆ ~0063 ₁₆)	24	
タイマA4/マルチマスタI ² C (注9)	+100~+103(0064 ₁₆ ~0067 ₁₆)	25	
タイマB0	+104~+107(0068 ₁₆ ~006B ₁₆)	26	
タイマB1	+108~+111(006C ₁₆ ~006F ₁₆)	27	
タイマB2/時計タイマ (注7)	+112~+115(0070 ₁₆ ~0073 ₁₆)	28	
INT0	+116~+119(0074 ₁₆ ~0077 ₁₆)	29	
INT1	+120~+123(0078 ₁₆ ~007B ₁₆)	30	INT割り込み
INT2/リモコン送信 (注8)	+124~+127(007C ₁₆ ~007F ₁₆)	31	
ソフトウェア割り込み(注5)	+128~+131(0080 ₁₆ ~0083 ₁₆) ⋮ +252~+255(00FC ₁₆ ~00FF ₁₆)	32 ⋮ 63	M16C/60、M16C/20シリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. IFSRレジスタのIFSR6、7ビットで選択してください。

注3. I²Cモード時にNACK、ACKが割り込み要因になります。

注4. IFSR2AレジスタのIFSR26、27ビットで選択してください。

注5. Iフラグによる禁止はできません。

注6. バス衝突検出：IEモード時はバス衝突検出が割り込み要因になります。

I²Cモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

注7. SLICEON、リモコン、HINT、時計タイマ割り込みを使用する場合は、「14 拡張機能」の拡張レジスタの36₁₆番地を参照してください。

注8. リモコン送信割り込みを使用する場合は、「14 拡張機能」の拡張レジスタの3E₁₆番地を参照してください。

注9. マルチマスタI²C割り込みを使用する場合は、「11 マルチマスタI²C-BUSインタフェース」のI²C0割り込み制御レジスタ(02D6₁₆番地)を参照してください。

6.5 割り込み制御

マスクabl割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクabl割り込みには該当しません。

マスクabl割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図6.3に割り込み制御レジスタを示します。

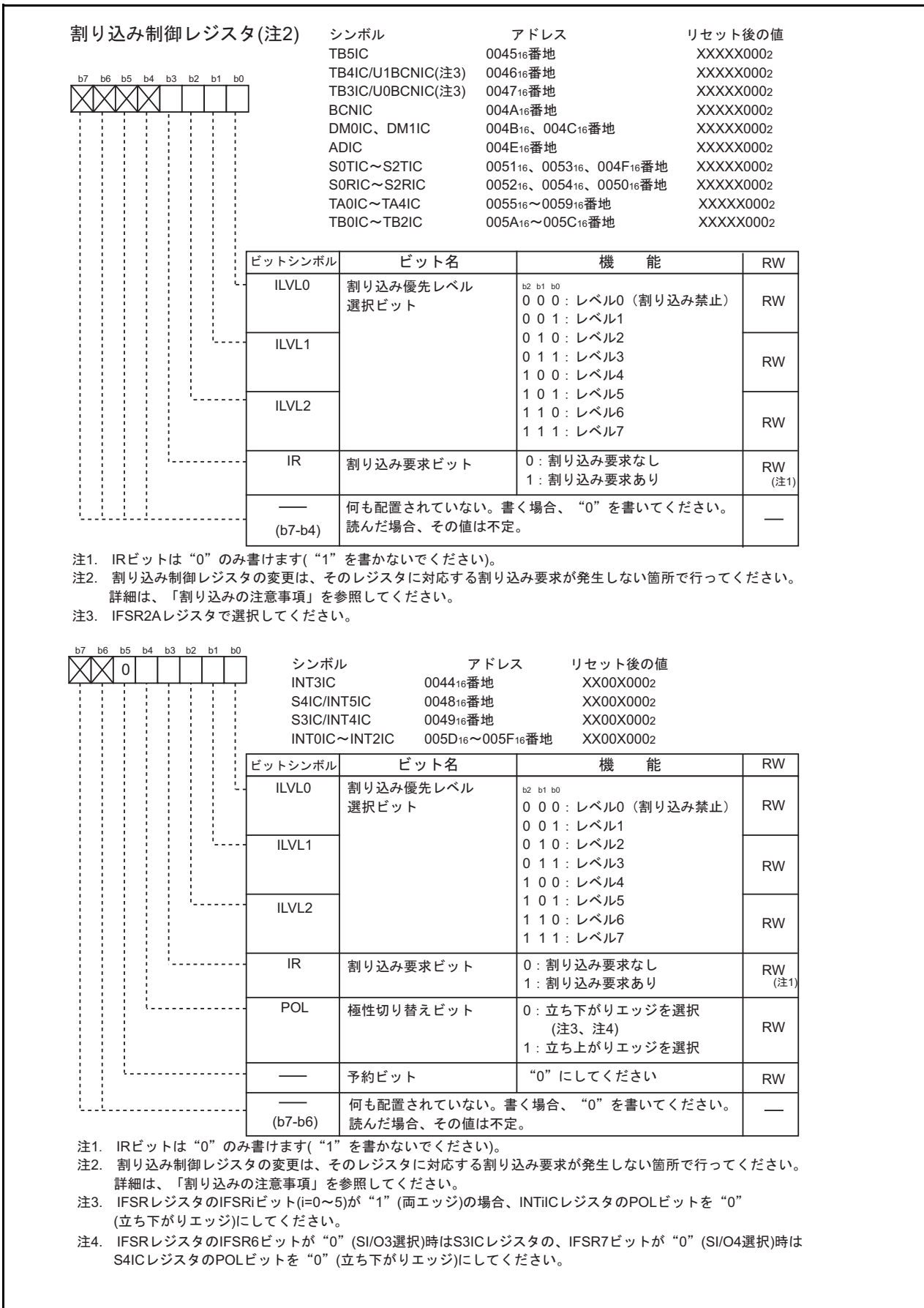


図6.3 割り込み制御レジスタ

6.6 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”（許可）にすると、マスカブル割り込みは許可され、“0”（禁止）にするとすべてのマスカブル割り込みは禁止されます。

6.7 IRビット

IRビットは割り込み要求が発生すると、“1”（割り込み要求あり）になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”（割り込み要求なし）になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

6.8 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表6.3に割り込み優先レベルの設定、表6.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- ・ Iフラグ = 1
- ・ IRビット = 1
- ・ 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表6.3 割り込み優先レベルの設定

ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
0002	レベル0 (割り込み禁止)	——
0012	レベル1	低い ↓ 高い
0102	レベル2	
0112	レベル3	
1002	レベル4	
1012	レベル5	
1102	レベル6	
1112	レベル7	

表6.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
0002	レベル1以上を許可
0012	レベル2以上を許可
0102	レベル3以上を許可
0112	レベル4以上を許可
1002	レベル5以上を許可
1012	レベル6以上を許可
1102	レベル7以上を許可
1112	すべてのマスカブル割り込みを禁止

6.9 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図6.4に割り込みシーケンスの実行時間を示します。

- (1) 0000016番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただしUフラグは、ソフトウェア割り込み番号32~63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

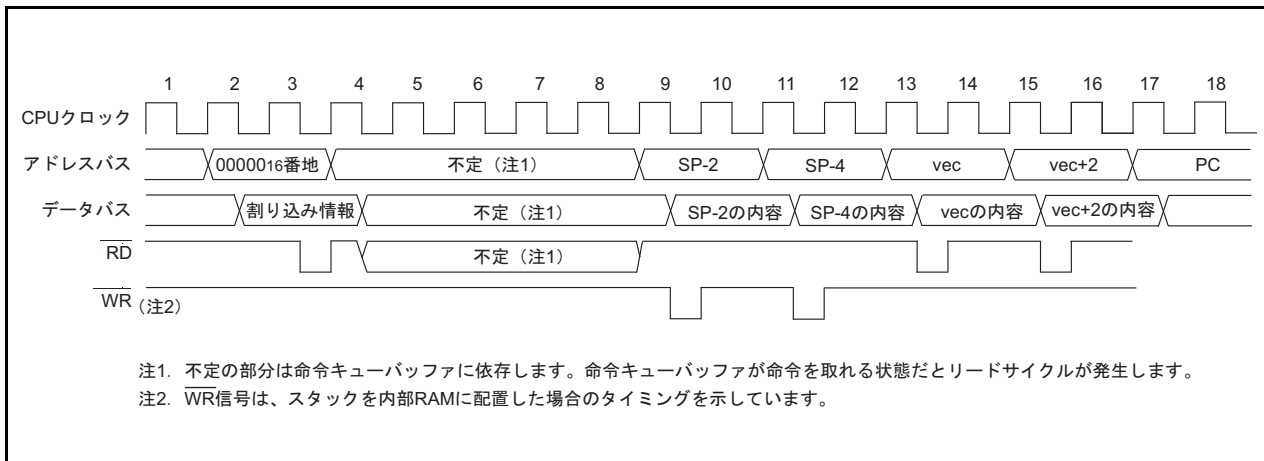


図6.4 割り込みシーケンスの実行時間

6.10 割り込み応答時間

図 6.5 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図 6.5 の (a))と割り込みシーケンスを実行する時間(図 6.5 の (b))で構成されます。

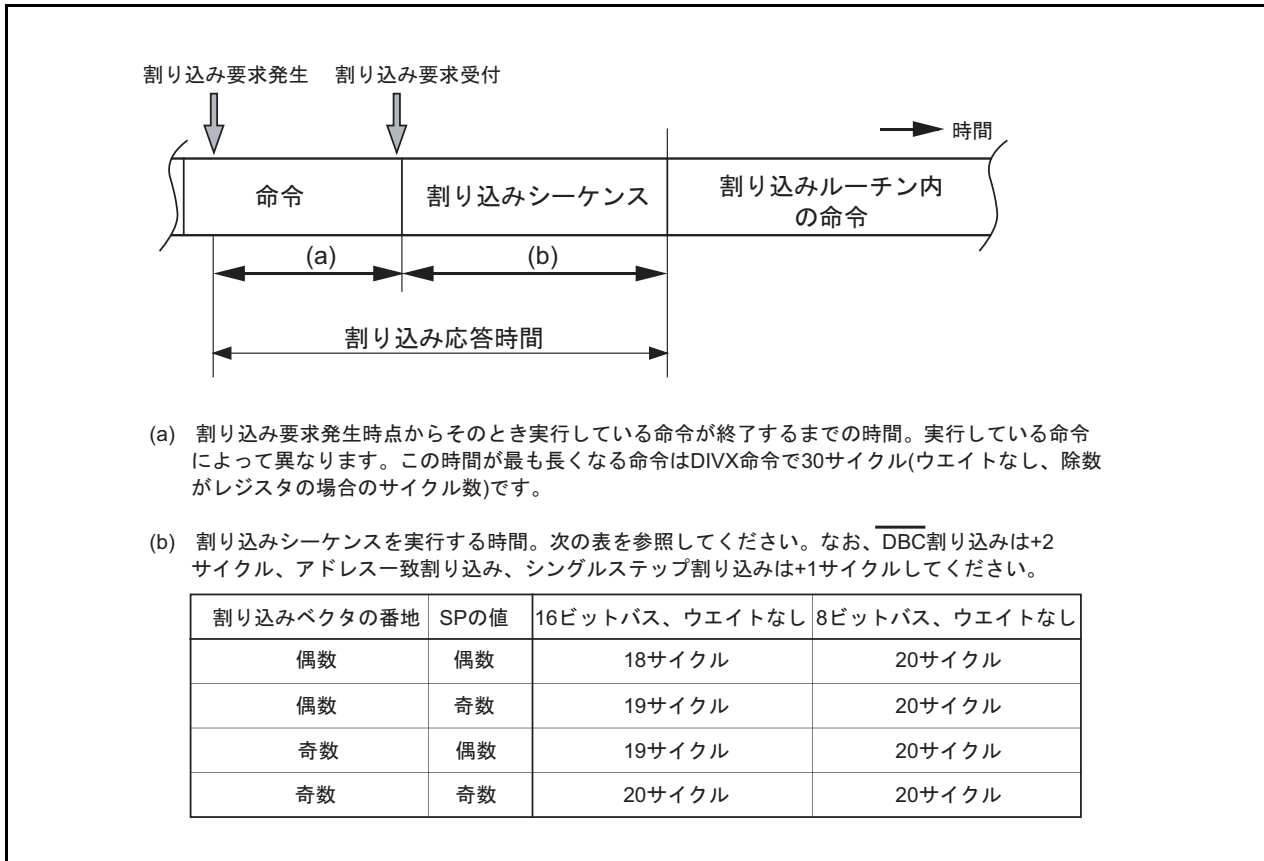


図 6.5 割り込み応答時間

6.11 割り込み要求受付時のIPLの変化

マスクابل割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 6.5 に示す値が IPL に設定されます。表 6.5 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 6.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

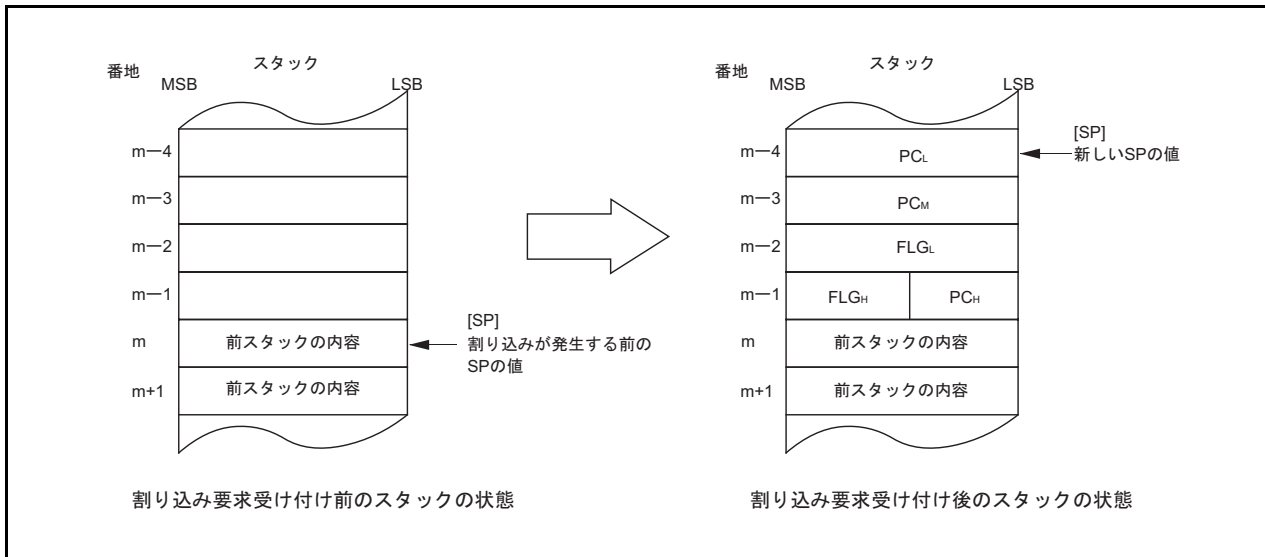
割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、NMI	7
ソフトウェア、アドレス一致、 \overline{DBC} 、シングルステップ	変化しない

6.12 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

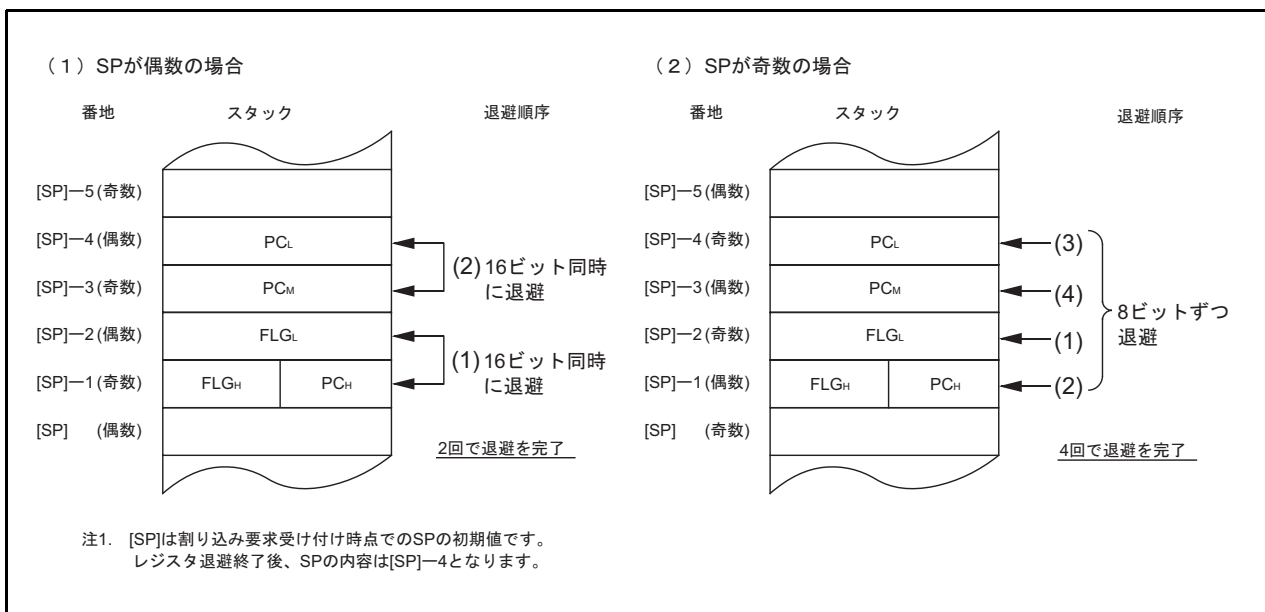
スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図6.6に割り込み要求受付前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。



割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図6.7にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。



注1. [SP]は割り込み要求受け付け時点でのSPの初期値です。レジスタ退避終了後、SPの内容は[SP]-4となります。

6.13 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

6.14 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスクابل割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図6.8にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

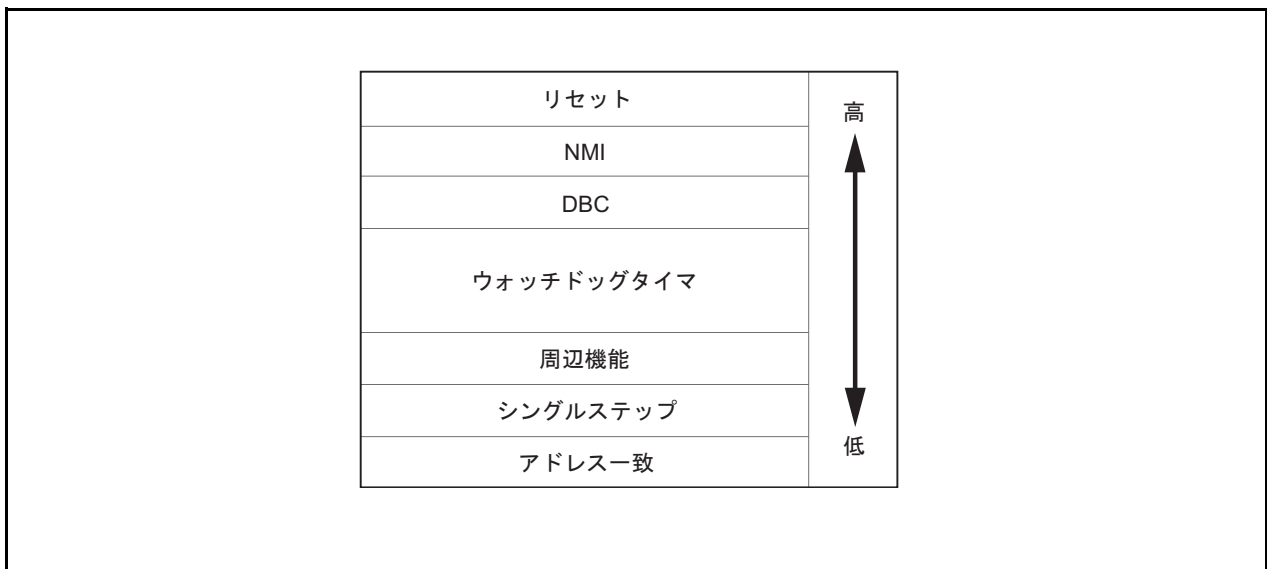


図6.8 ハードウェア割り込みの割り込み優先順位

6.15 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。

図6.9に割り込み優先レベルの判定回路を示します。

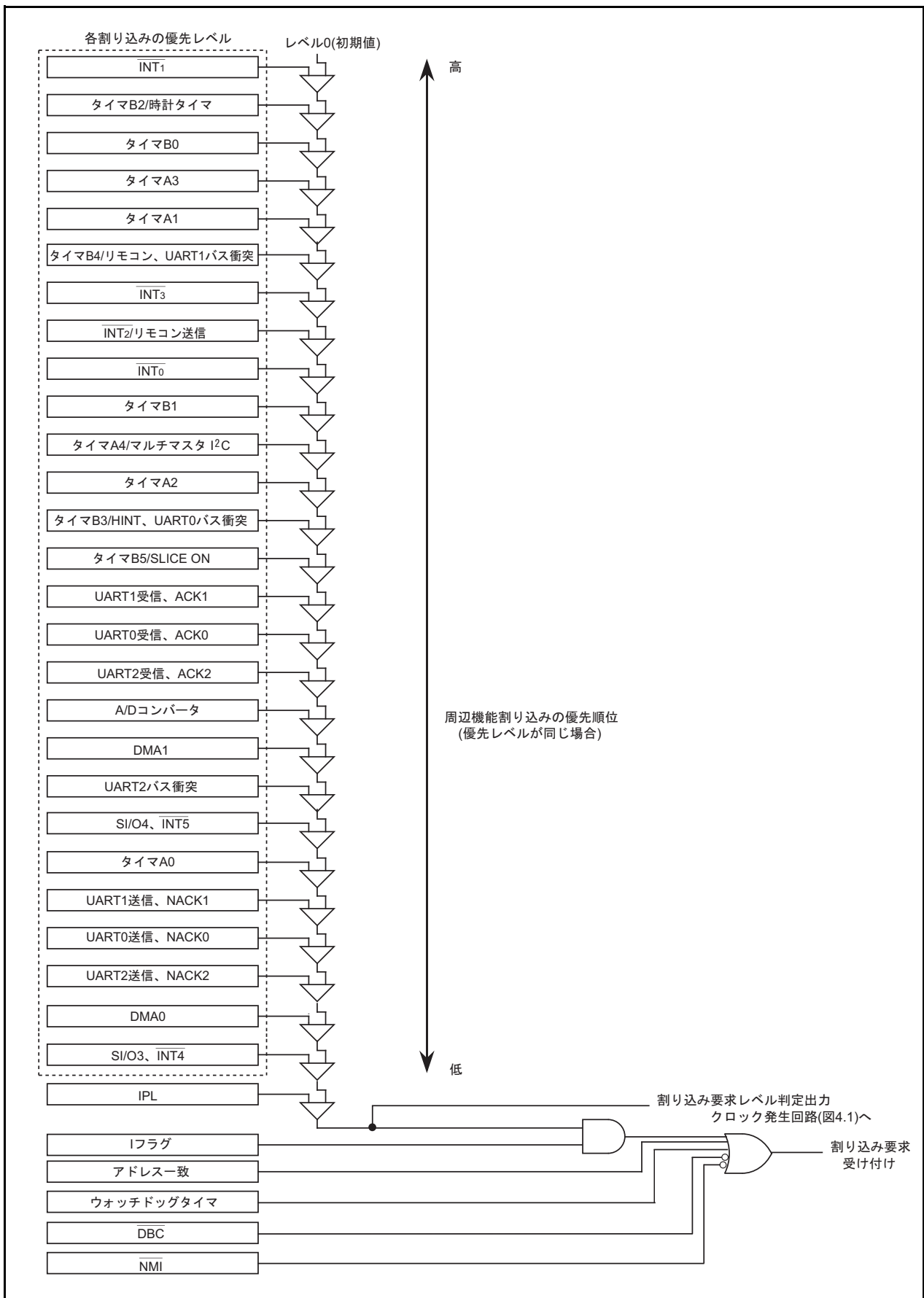


図6.9 割り込み優先レベル判定回路

6.16 INT 割り込み

INT_i 割り込み (i=0~5) は外部入力による割り込みです。極性を IFSR レジスタの IFSR_i ビットで選択できます。

INT4 と SI/O3、INT5 と SI/O4 は、ベクタや割り込み制御レジスタを共用しています。INT4 割り込みを使用するときは、IFSR レジスタの IFSR6 ビットを “1” (INT4) に、INT5 割り込みを使用するときは、IFSR レジスタの IFSR7 ビットを “1” (INT5) にしてください。

IFSR6、IFSR7 ビットを変更した後、対応する IR ビットを “0” (割り込み要求なし) にしてから、割り込みを許可してください。

INT2 とリモコン送信は、ベクタや割り込み制御レジスタを共用しています。

(詳細は、「14 拡張機能」を参照してください。)

図 6.10 に IFSR、IFSR2A レジスタを示します。

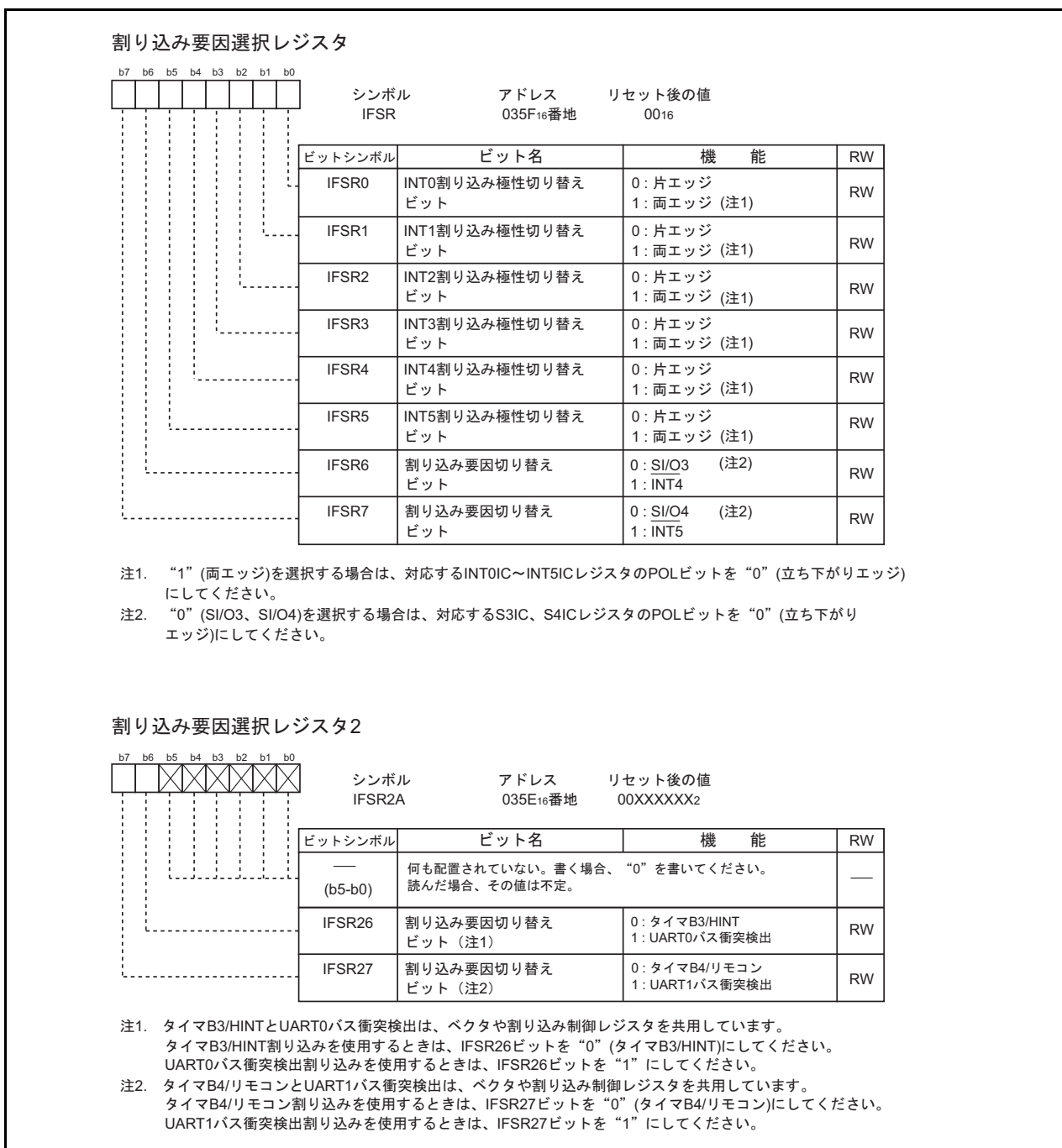


図 6.10 IFSR、IFSR2A レジスタ

6.17 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスカブル割り込みです。また、この端子は $\overline{\text{NMI}}$ 割り込み入力端子ですが、端子の入力レベルをP8レジスタのP8_5ビットで読めます。

この端子は入力ポートとして使用できません。

6.18 アドレス一致割り込み

RMADiレジスタ(i=0~3)で示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。RMADiレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビット、AIER2レジスタのAIER20、AIER21ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表6.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

なお、外部データバスを8ビットで使用している場合、外部領域に対してアドレス一致割り込みは使用できません。

図6.11にAIER、AIER2、RMAD0~RMAD3レジスタを示します。

表6.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

PMADiレジスタで示される番地の命令	退避されるPCの値
・16ビットオペコード命令 ・8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

退避されるPCの値:「レジスタ退避」参照

表6.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

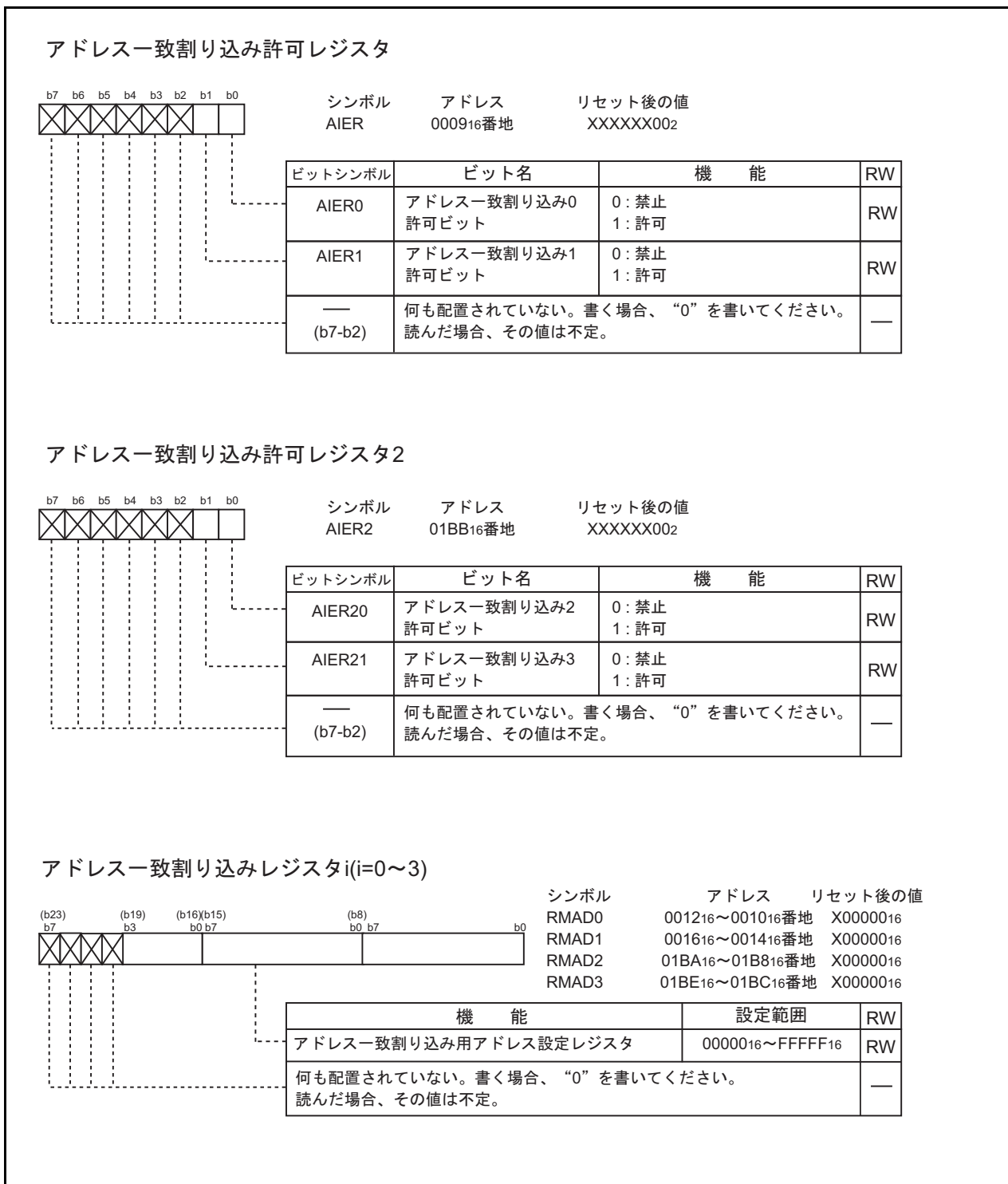


図6.11 AIER、AIER2、RMAD0~RMAD3レジスタ

7. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケアラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、ウォッチドッグタイマリセットをかけるかをPM1レジスタのPM12ビットで選択できます。PM12ビットには“1”(ウォッチドッグタイマリセット)のみ書けます。一度、PM12ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にはできません。ウォッチドッグタイマリセットの詳細は「ウォッチドッグタイマリセット」を参照してください。

CPUクロックにメインクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケアラが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケアラは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

CPUクロックにメインクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周(16または128)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周(2)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

例えば、CPUクロックが10MHzで、プリスケアラが16分周する場合、ウォッチドッグタイマの周期は、約52.4msとなります。

ウォッチドッグタイマは、WDTSレジスタに書いたとき、初期化されます。プリスケアラは、リセット後に初期化されています。なお、リセット後はウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード時、ウェイトモード時、またはホールド状態時、ウォッチドッグタイマとプリスケアラは停止し、解除すると保持された値からカウントします。

図7.1にウォッチドッグタイマのブロック図、図7.2にウォッチドッグタイマ関連レジスタを示します。

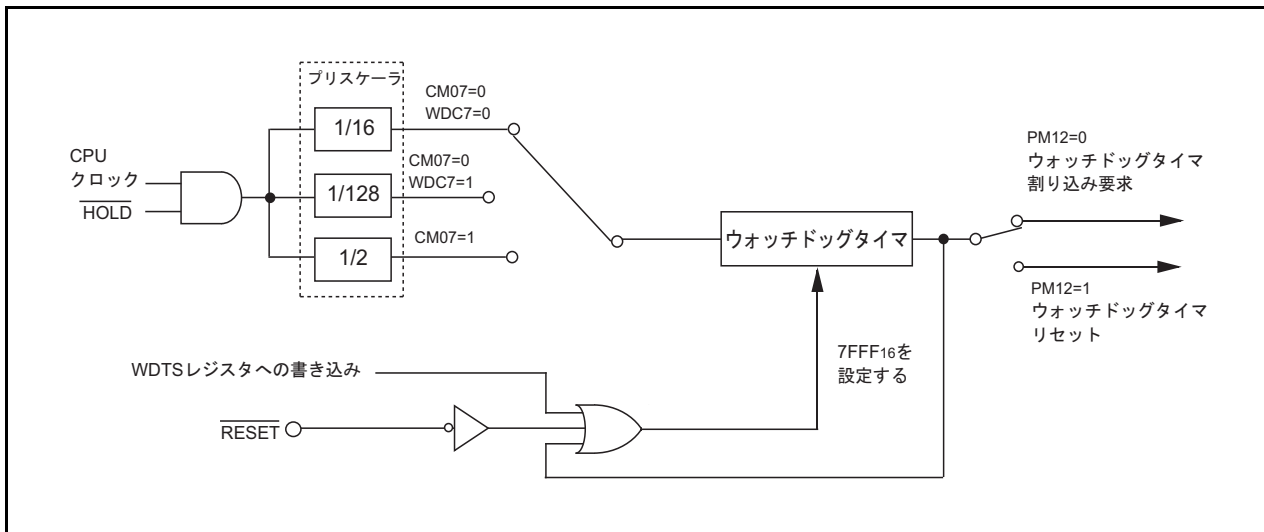


図7.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0								WDC	000F ₁₆ 番地	00XXXXXX ₂ (注2)

ビットシンボル	ビット名	機能	RW
(b4-b0)	ウォッチドッグタイマの上位ビット		RO
WDC5	コールドスタート/ウォームスタート判定フラグ(注1)	0: コールドスタート 1: ウォームスタート	RW
(b6)	予約ビット	“0” にしてください	RW
WDC7	プリスケラ選択ビット	0: 16分周 1: 128分周	RW

注1. WDCレジスタに書くと、WDC5ビットは、“1” (ウォームスタート)になります。
 注2. WDC5ビットは電源投入後 “0” (コールドスタート)です。プログラムでのみ “1” にできます。

ウォッチドッグタイマスタートレジスタ(注1)

b7	b0	シンボル	アドレス	リセット後の値
		WDTS	000E ₁₆ 番地	不定

機能	RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートします。ウォッチドッグタイマの初期値は、書き込む値にかかわらず “7FFF ₁₆ ” が設定されます。	WO

注1. ウォッチドッグタイマ割り込み発生後は、WDTSレジスタに書き込みを行ってください。

図7.2 WDC、WDTS レジスタ

8. DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、2チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード(16ビット)または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図8.1にDMACブロック図、表8.1にDMACの仕様、図8.2～図8.4にDMAC関連レジスタを示します。

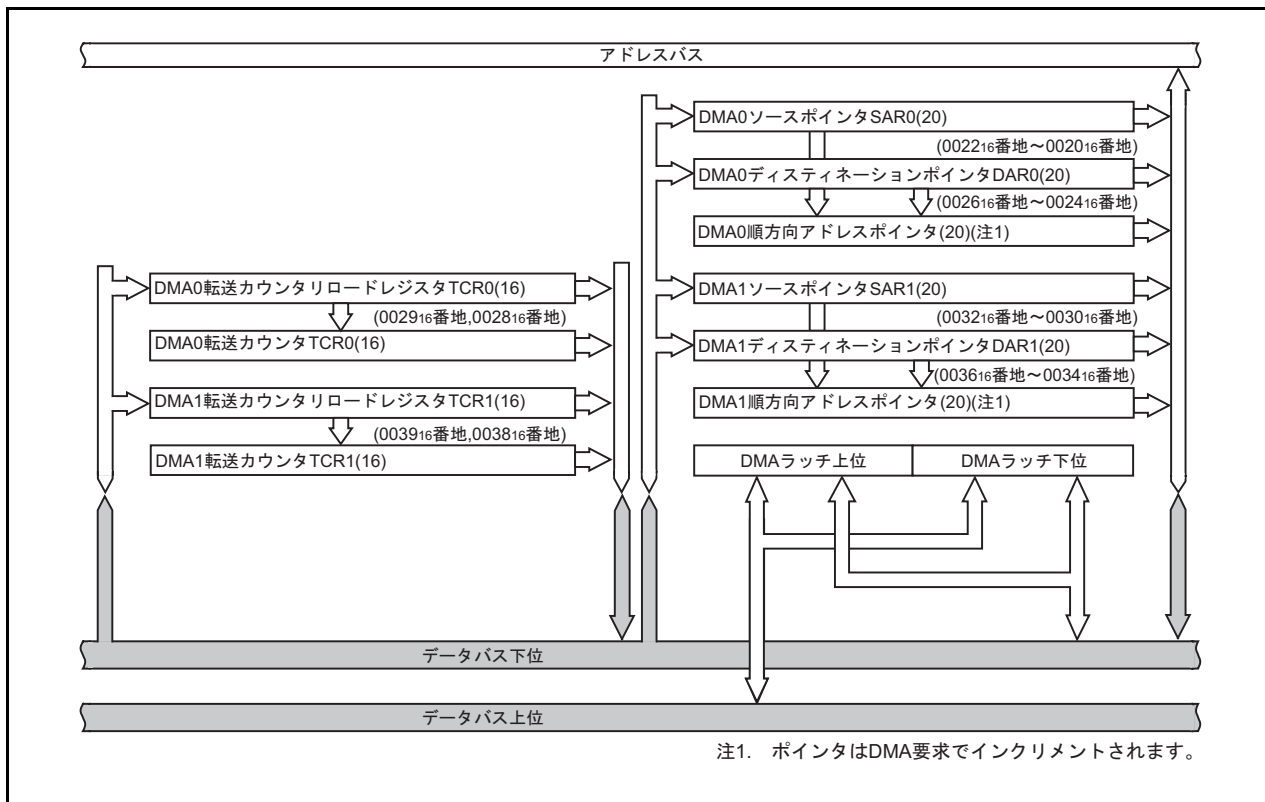


図8.1 DMACブロック図

DMA要求は、DMiSLレジスタ($i=0\sim 1$)のDSRビットへの書き込みの他、DMiSLレジスタのDMSビット、DSEL3～DSEL0ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA転送は、割り込み要求動作と異なり、Iフラグ、割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。また、DMACは割り込みに影響を与えませんので、DMA転送では割り込み制御レジスタのIRビットは変化しません。

DMiCONレジスタのDMAEビットが“1”(DMA許可)であれば、DMA要求が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細については「DMA要求」を参照してください。

表 8.1 DMACの仕様

項 目		仕 様
チャンネル数		2チャンネル(サイクルスチール方式)
転送空間		<ul style="list-style-type: none"> ●1Mバイトの任意の空間から固定番地 ●固定番地から1Mバイトの任意の空間 ●固定番地から固定番地
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1、注2)		INTOまたはINT1端子の立ち下がりエッジ INTOまたはINT1端子の両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0送信、UART0受信割り込み要求 UART1送信、UART1受信割り込み要求 UART2送信、UART2受信割り込み要求 SI/O3、SI/O4割り込み要求 A/D変換割り込み要求 ソフトウェアトリガ
チャンネル優先順位		DMA0>DMA1(DMA0が優先)
転送単位		8ビットまたは16ビット
転送番地方向		順方向または固定(転送元と転送先の両方を順方向にしないでください)
転送モード	単転送	DMAi転送カウンタ(i=0～1)がアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング		DMAi転送カウンタがアンダフローしたとき
DMA転送開始		DMAiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される
DMA転送停止	単転送	<ul style="list-style-type: none"> ●DMAEビットを“0”(禁止)にする ●DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング		DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiポインタまたはDARiポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送はIFLAG、割り込み制御レジスタの影響を受けません。

注2. 選択できる要因はチャンネルによって異なります。

注3. DMAC関連レジスタ(0020₁₆～003F₁₆番地)をDMACでアクセスしないでください。

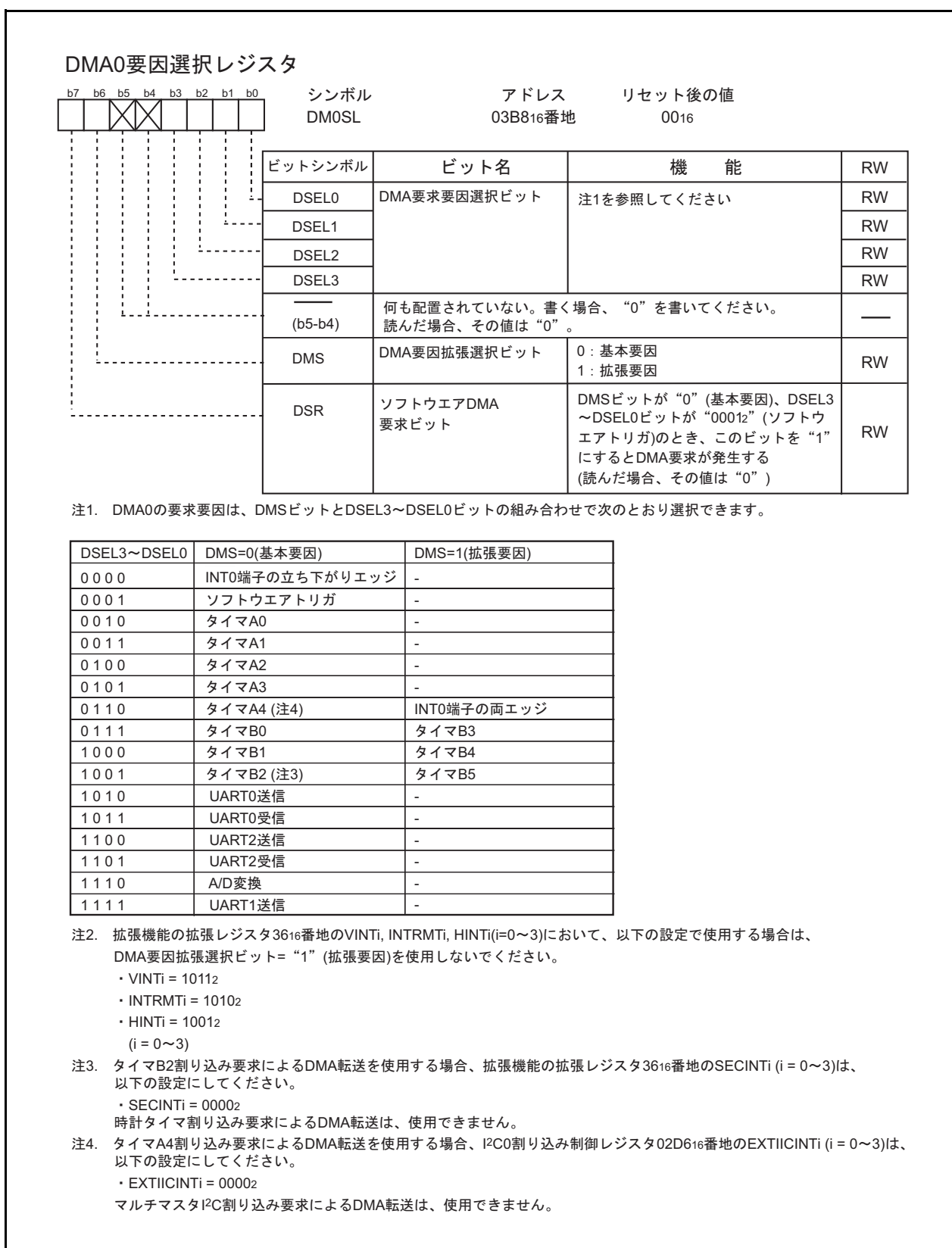


図8.2 DM0SLレジスタ

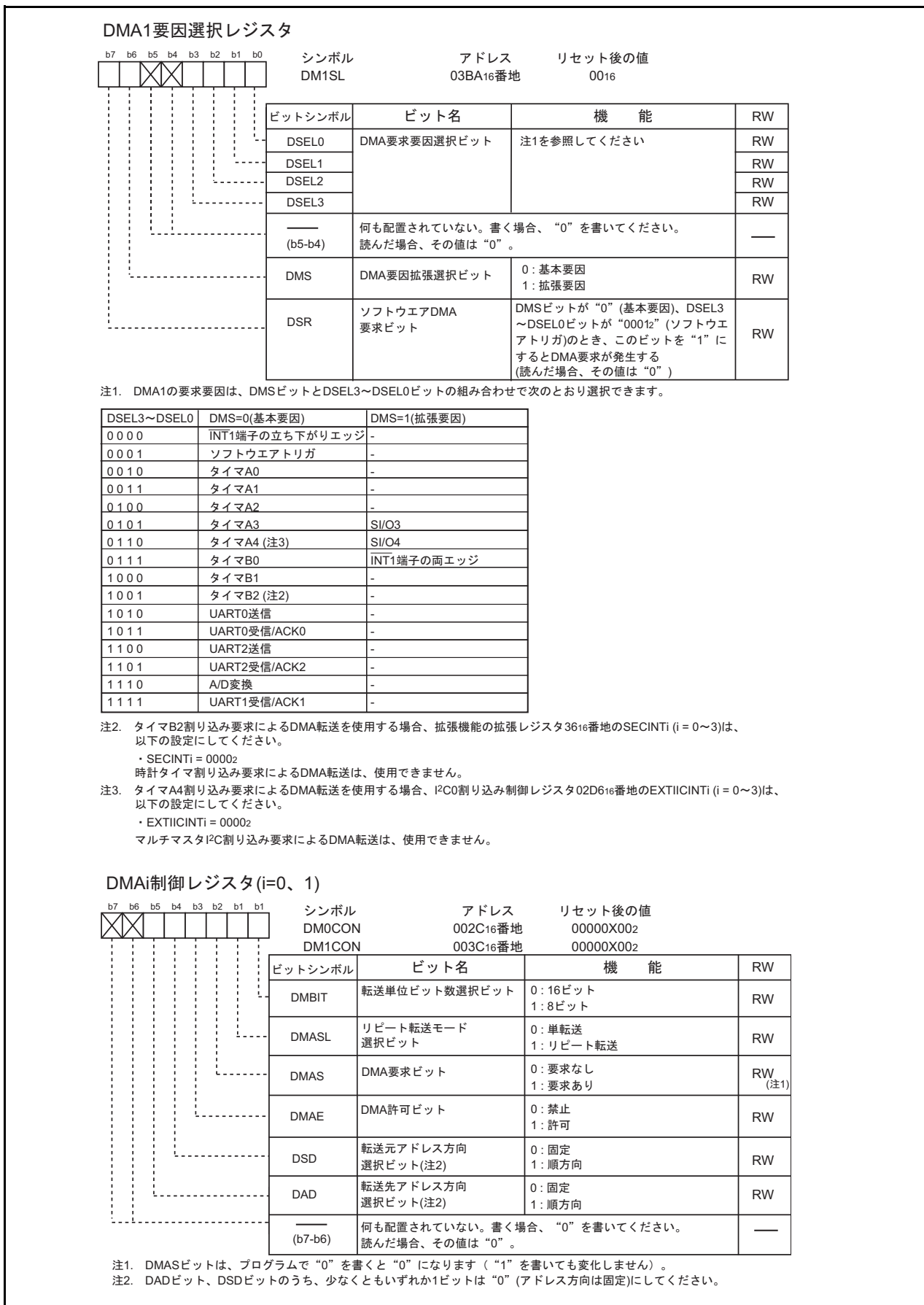


図 8.3 DM1SL、DM0CON、DM1CON レジスタ

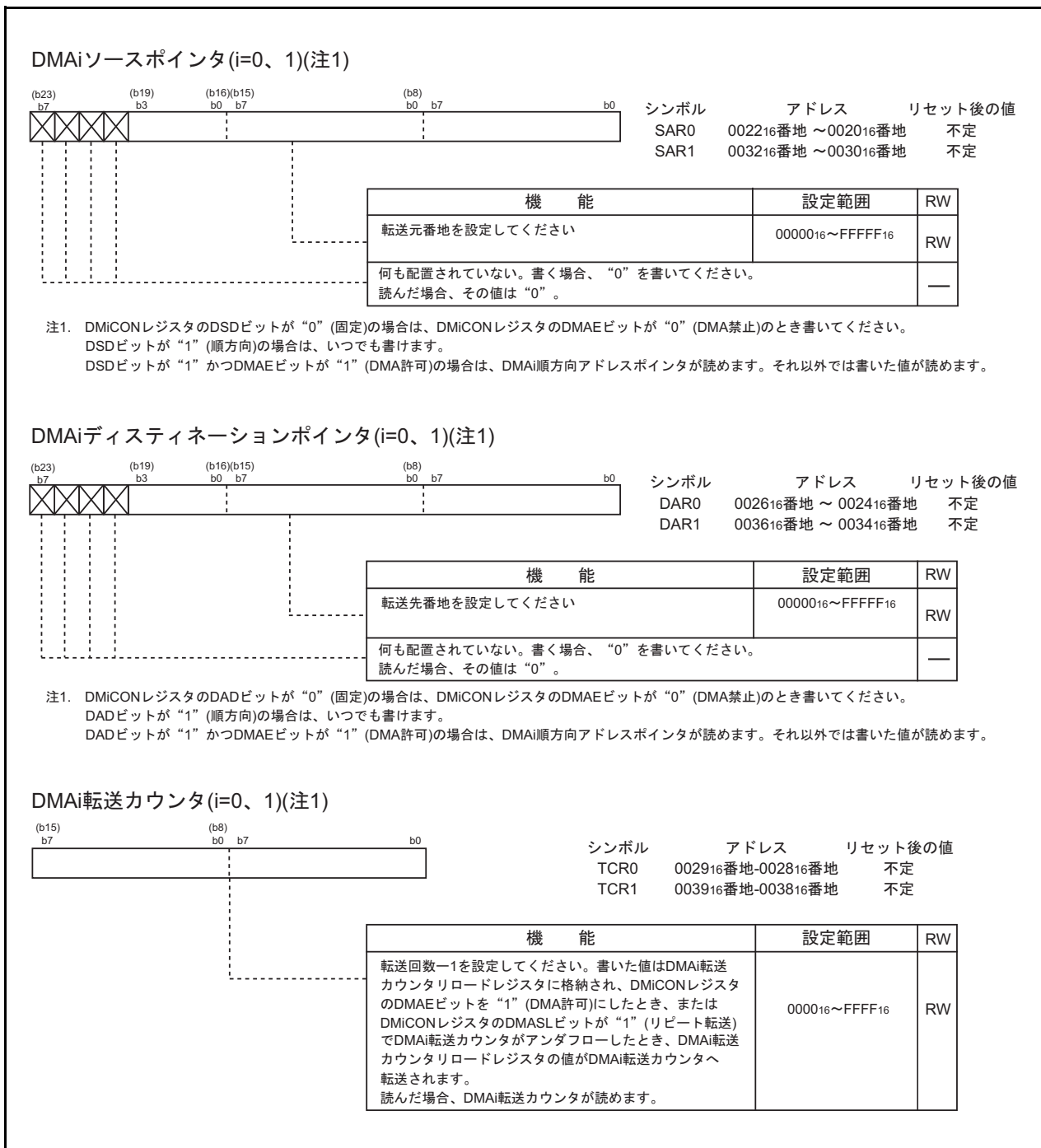


図8.4 SAR0、SAR1、DAR0、DAR1、TCR0、TCR1 レジスタ

8.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。

■転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

■ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するサイクル数が増えます。

図8.5にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、8ビットバスを使用している場合(図8.5の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

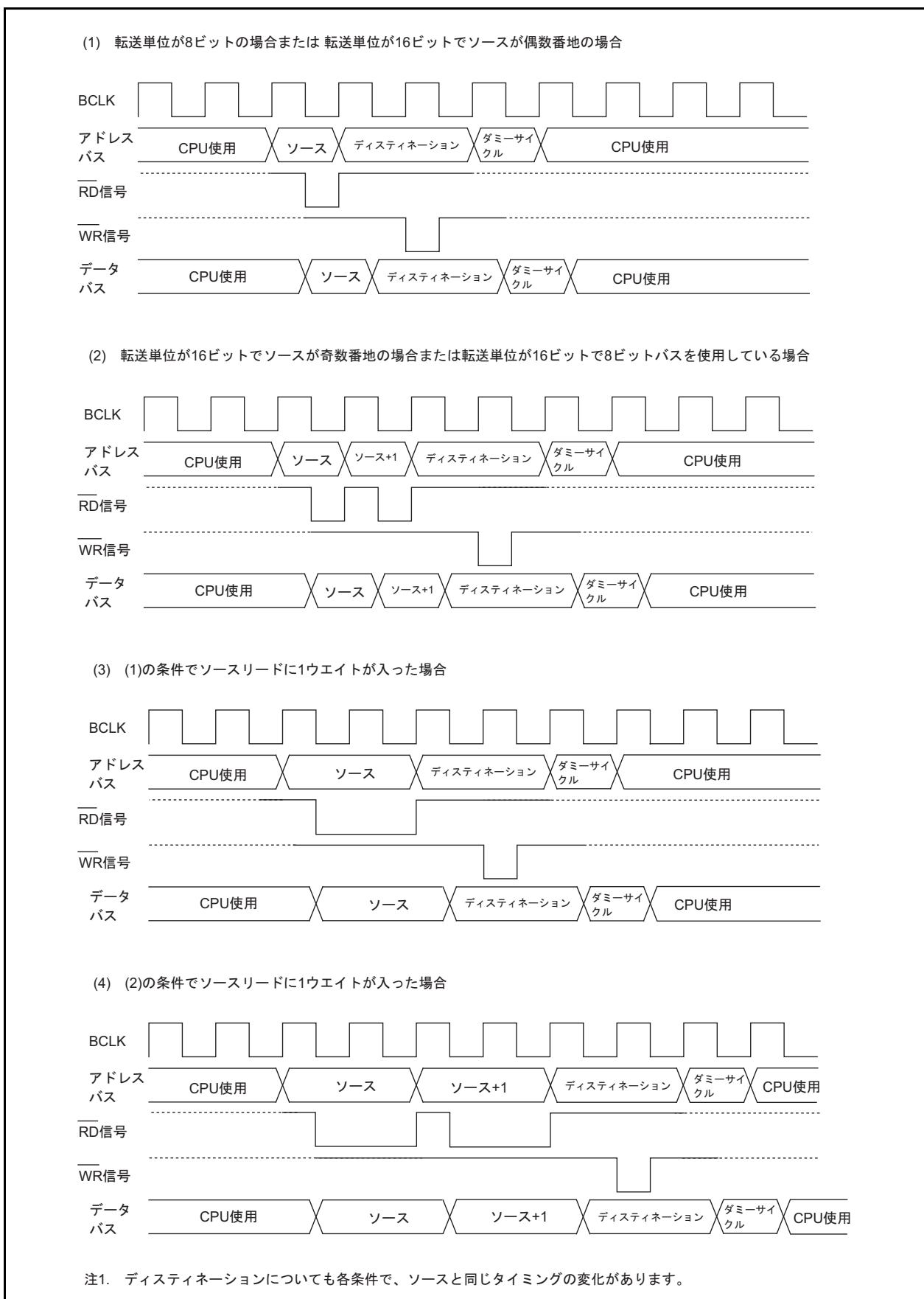


図 8.5 ソースリードサイクル例

8.2 DMA 転送サイクル数

DMA 転送サイクル数は次のとおり計算できます。

表 8.2 に DMAC 転送サイクル数、表 8.3 に計数 j、k を示します。

1 転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k

表 8.2 DMA 転送サイクル数

転送単位	バス	アクセス 番地	シングルチップモード	
			読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT=“1”)	16ビット (BYTE=“L”)	偶 数	1	1
		奇 数	1	1
16ビット転送 (DMBIT=“0”)	16ビット (BYTE=“L”)	偶 数	1	1
		奇 数	2	2

表 8.3 係数 j、k

	内部領域		
	内部ROM、RAM		SFR
	ウエイトなし	ウエイトあり	
j	1	2	2
k	1	2	2

8.3 DMA許可

DMiCONレジスタ(i=0, 1)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMACは次のように動作します。

- (a) DMiCONレジスタのDSDビットが“1”(順方向)の場合はSARiレジスタの、DMiCONレジスタのDADビットが“1”(順方向)の場合はDARiレジスタの値を順方向アドレスポインタへリロードする
- (b) DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする

DMAEビットが“1”の場合、再度“1”を書くと、上記動作を行います。

ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く。
- (2) DMAiが初期状態(上記(a)(b)の状態)になっていることをプログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

8.4 DMA要求

DMACは、チャンネルごとにDMiSLレジスタ(i=0, 1)のDMSビット、DESL3～DESL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表8.4にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL3～DSEL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL3～DSEL0ビットを変更した後は、DMASビットを“0”にしてください。DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表8.4 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	<ul style="list-style-type: none"> ・ データ転送開始直前 ・ プログラムで“0”を書いたとき
周辺機能	DMiSLレジスタのDSEL3～DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

8.5 チャンネルの優先順位とDMA転送タイミング

DMA0とDMA1の両方が許可されている場合、DMA0とDMA1のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0 > DMA1です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図8.6に外部要因によるDMA転送例を示します。

図8.6ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用权をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用权を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図8.6のDMA1のようにバス使用权を得るまでに複数回DMA要求が発生した場合も、バス使用权を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用权を返します。

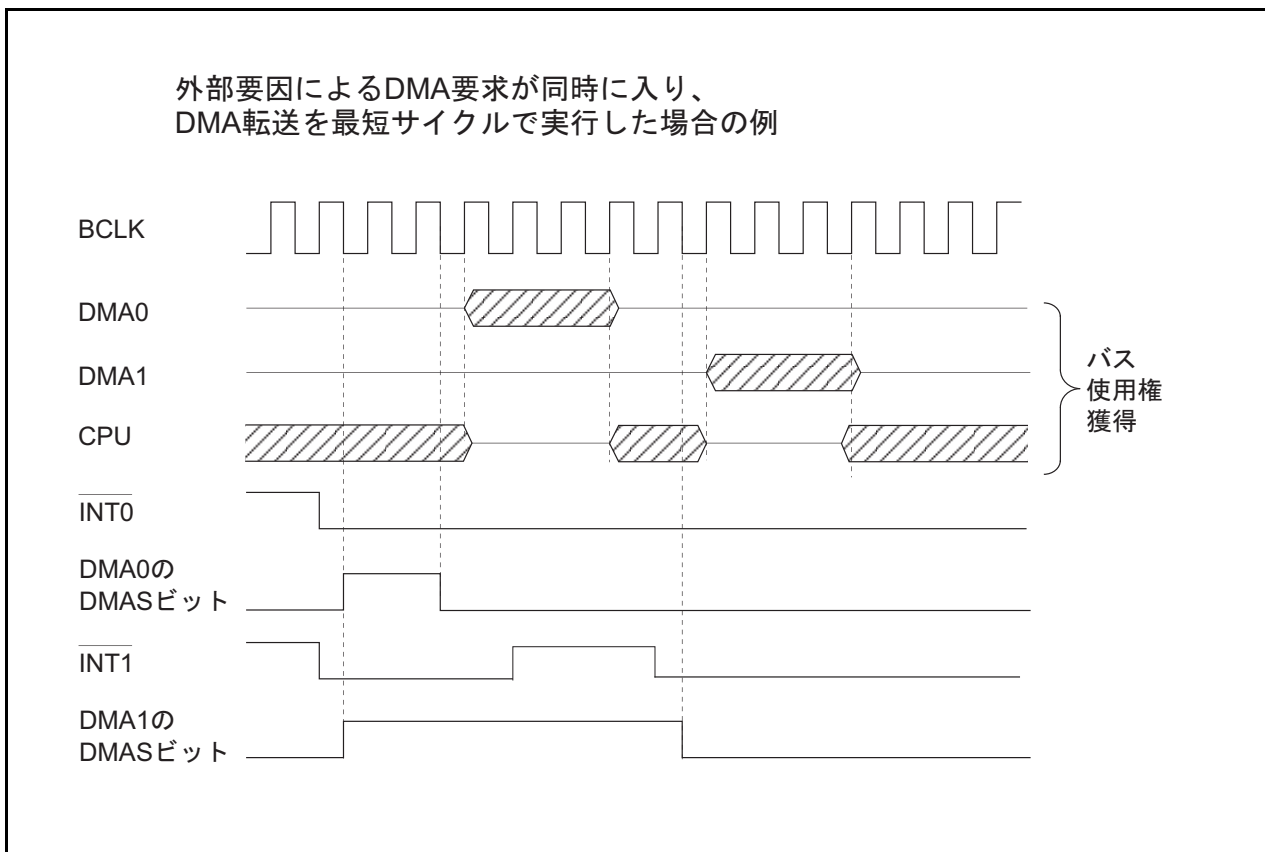
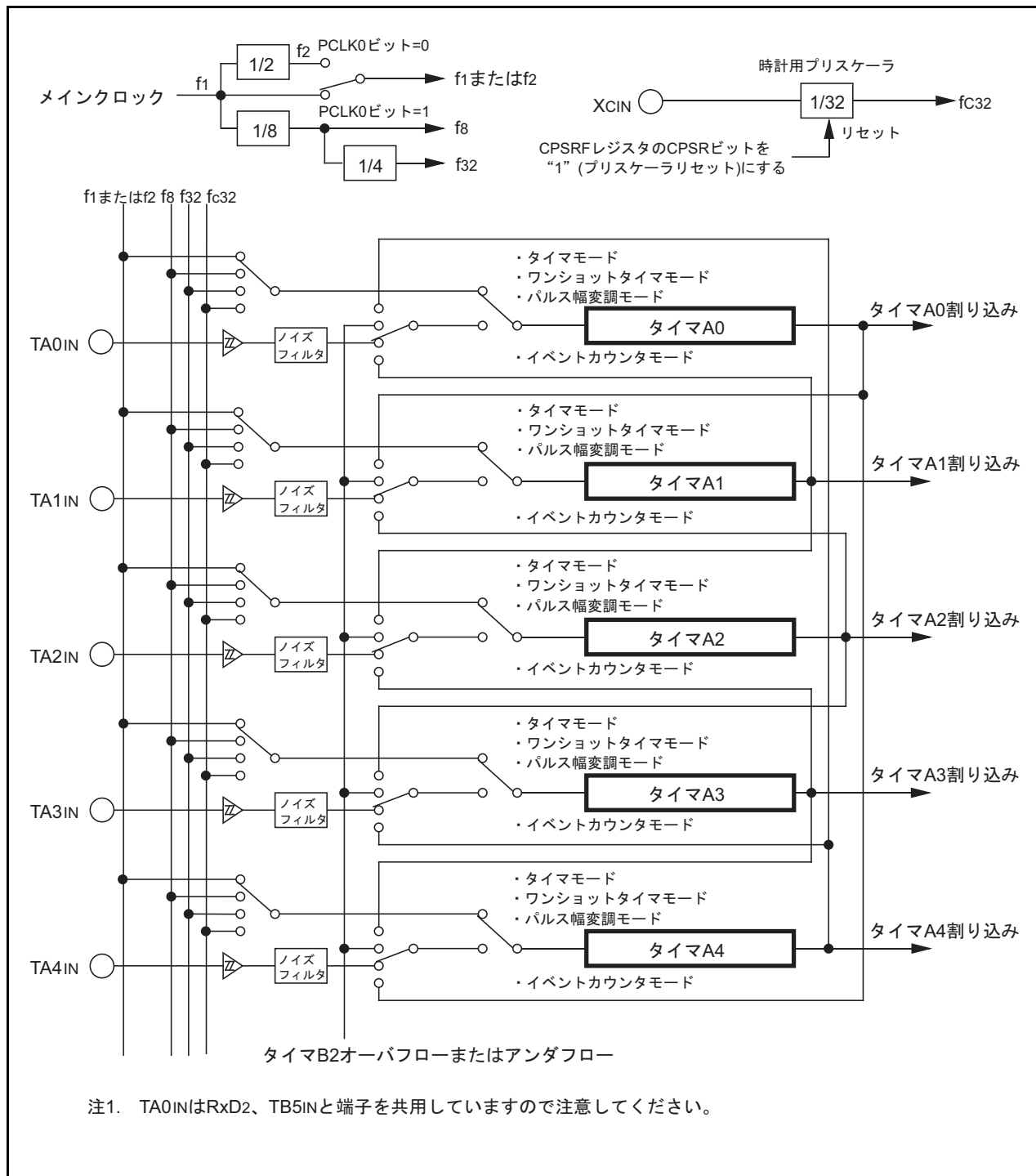


図8.6 外部要因によるDMA転送例

9. タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図9.1にタイマA構成、図9.2にタイマB構成を示します。



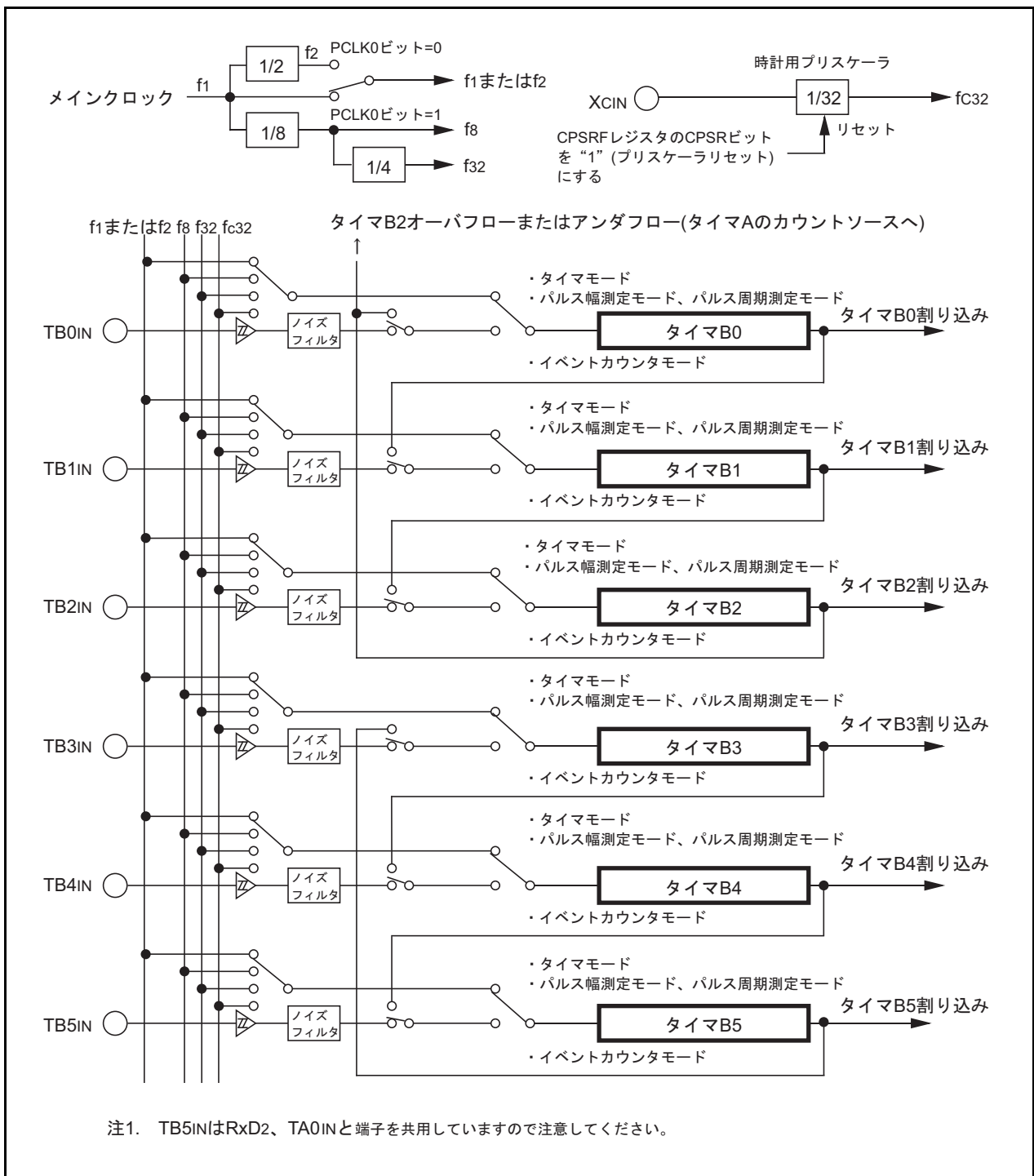


図9.2 タイマB構成

9.1 タイマA

図9.3にタイマAのブロック図を、図9.4～図9.6にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、TAiMRレジスタ(i=0～4)のTMOD1～TMOD0で選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- ・ワンショットタイマモード カウント値が“000016”になるまでの間、1度だけパルスを出力するモード
- ・パルス幅変調モード 任意のパルス幅を連続して出力するモード

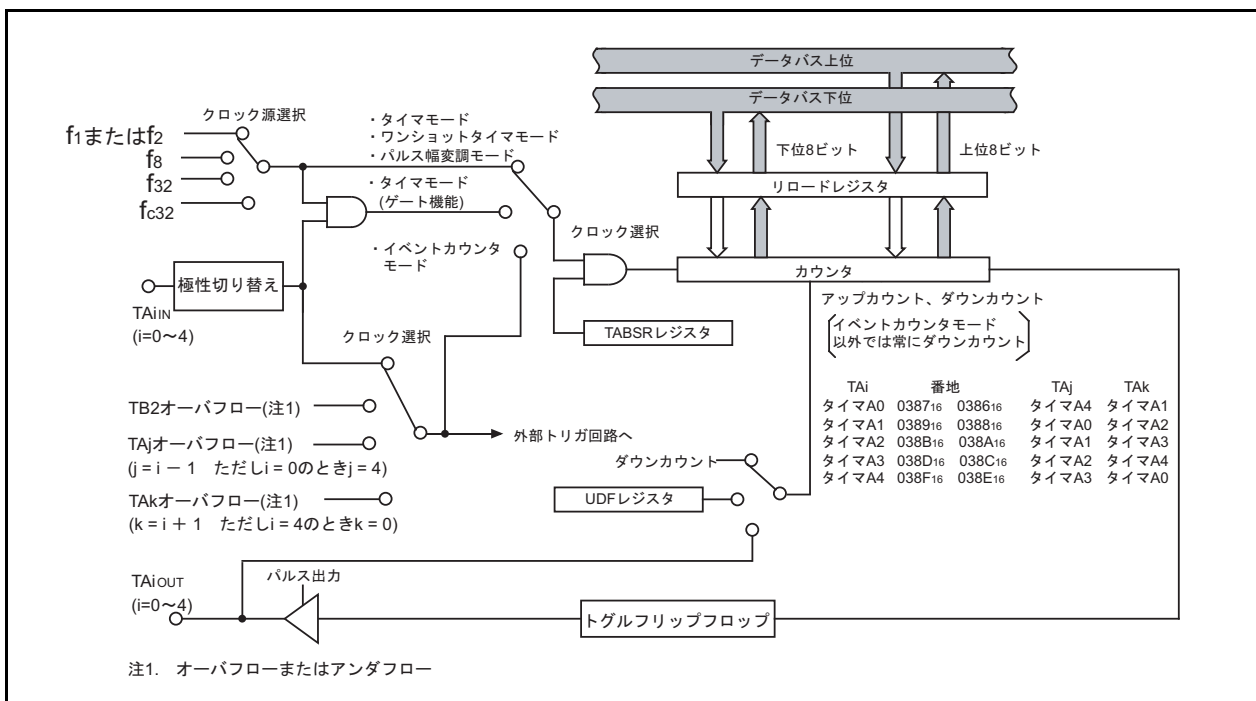


図9.3 タイマAブロック図

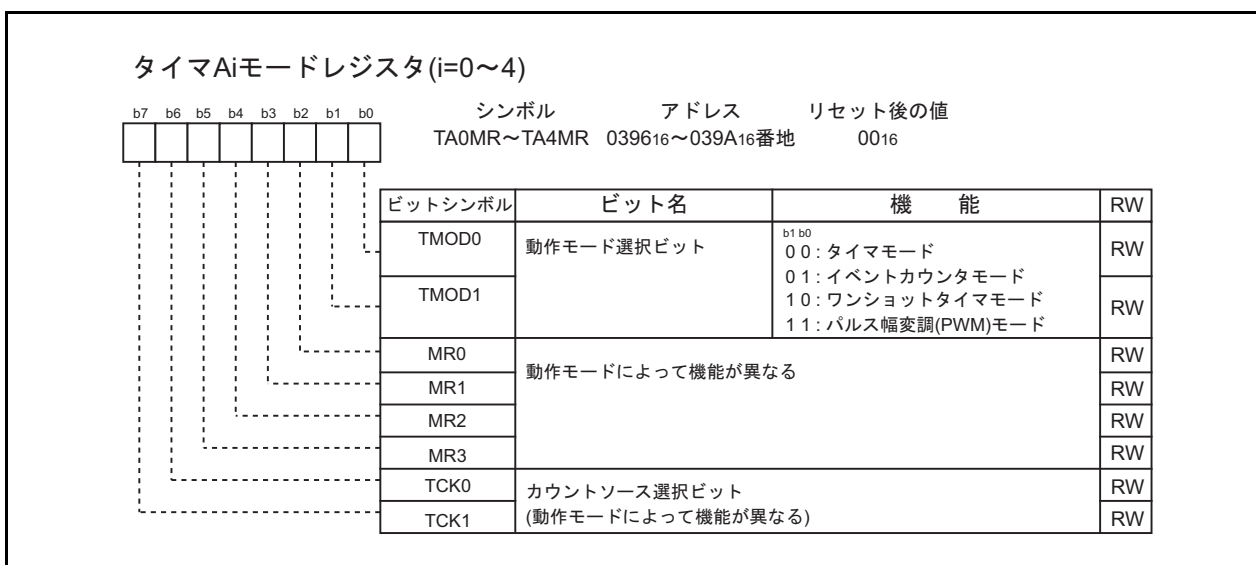


図9.4 TA0MR～TA4MRレジスタ

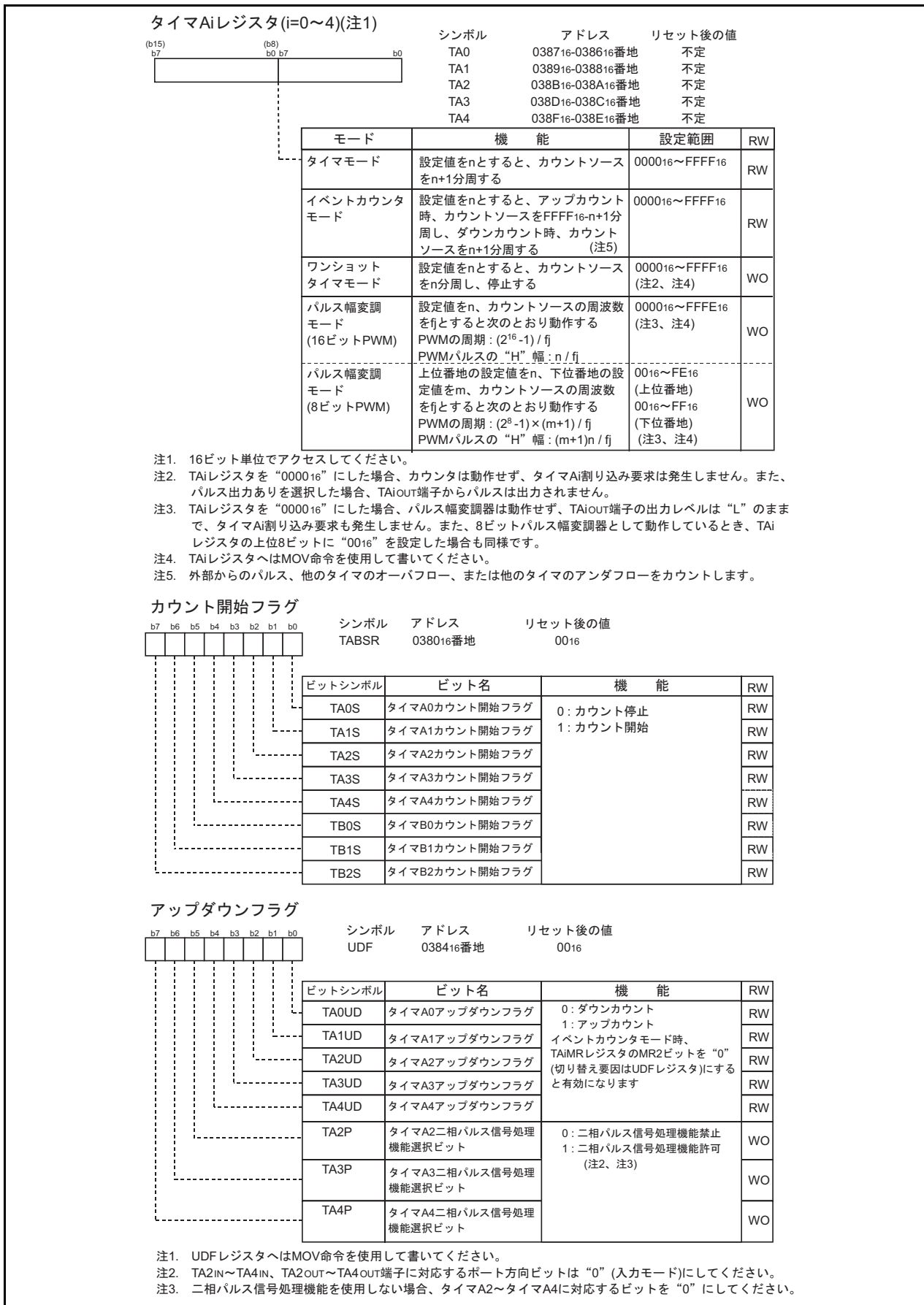


図9.5 TA0~TA4、TABSR、UDF レジスタ

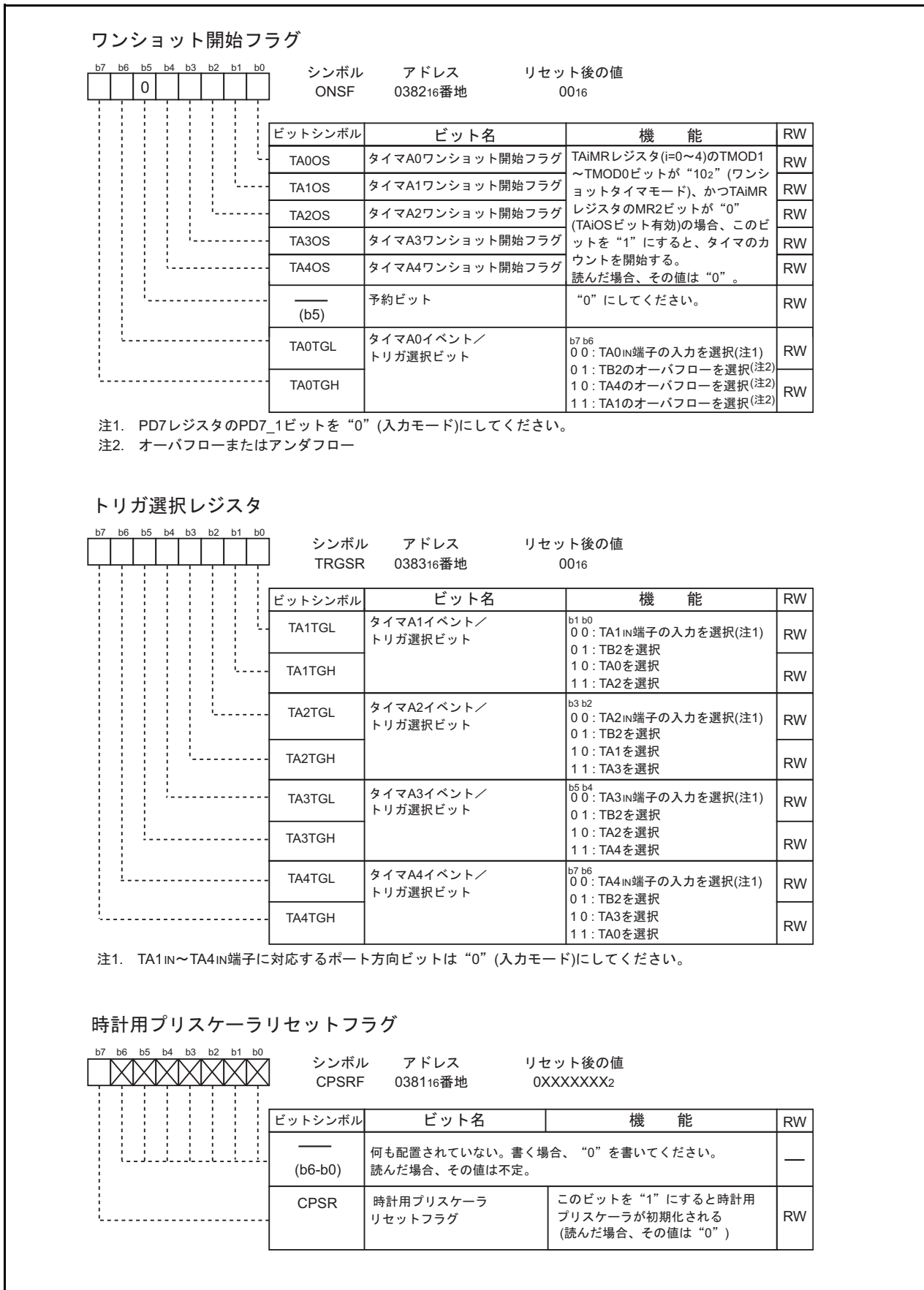


図9.6 ONSF、TRGSR、CPSRFレジスタ

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表9.1)。図9.7にタイマモード時のTAiMRレジスタを示します。

表9.1 タイマモードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TAiレジスタ(i=0~4)の設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	●ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ●パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。カウント停止中は“L”を出力

タイマAiモードレジスタ(i=0~4)

シンボル	アドレス	リセット後の値
TA0MR~TA4MR	0396 ₁₆ ~039A ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0: タイマモード	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW
MR1	ゲート機能選択ビット	b4 b3 0 0: ゲート機能なし 0 1: (TAiIN端子は入出力ポート) 1 0: TAiIN端子に“L”が入力されて いる期間カウントする(注2) 1 1: TAiIN端子に“H”が入力されて いる期間カウントする(注2)	RW
MR2			RW
MR3	タイマモードでは“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0: f1またはf2 0 1: f8 1 0: f32 1 1: fc32	RW
TCK1			RW

注1. TA0OUT端子はNチャンネルオープンドレイン出力。

注2. TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図9.7 タイマモード時のTAiMRレジスタ

(2) イベントカウンタモード

外部信号、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモードです。タイマA2、A3、A4は二相の外部信号をカウントできます。表9.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、図9.8にイベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)を示します。

表9.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> ●TAiIn端子(i=0~4)に入力された外部信号(プログラムで有効エッジを選択可能) ●タイマB2のオーバーフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバーフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバーフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> ●アップカウントまたはダウンカウントを外部信号またはプログラムで選択可能 ●オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	<ul style="list-style-type: none"> ●アップカウント時 $1/(FFFF16-n+1)$ ●ダウンカウント時 $1/(n+1)$ n:TAiレジスタの設定値 000016~FFFF16
カウント開始条件	TABSRLレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時またはアンダフロー時
TAiIn端子機能	入出力ポートまたはカウントソース入力
TAiOut端子機能	入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> ●カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> ●フリーランカウント機能 オーバーフローまたはアンダフローが発生してもリロードレジスタからリロードしない ●パルス出力機能 オーバーフローまたはアンダフローするごとにTAiOut端子の出力極性が反転。カウント停止中は“L”を出力

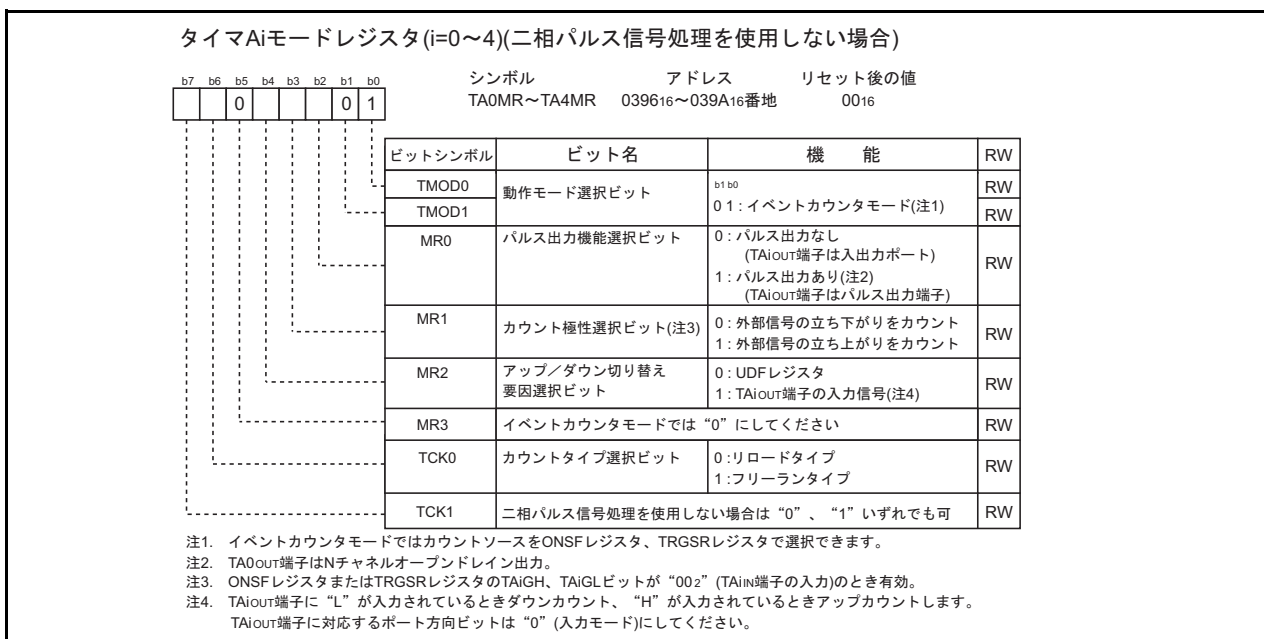


図9.8 イベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)

表9.3にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)、図9.9にイベントカウンタモード時のTA2MR～TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。

表9.3 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	●TAiIN、TAiOUT端子(i=2～4)に入力された二相パルス信号
カウント動作	●アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	●アップカウント時 $1/(FFFF_{16}-n+1)$ ●ダウンカウント時 $1/(n+1)$ n:TAiレジスタの設定値 0000 ₁₆ ～FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読むと、カウント値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能(注1)	<p>●通常処理動作(タイマA2、タイマA3) TAjOUT端子(j=2、3)の入力信号が“H”の期間、TAjIN端子の立ち上がりをアップカウントし、立ち下がりをダウンカウントします。</p>  <p>●4通倍処理動作(タイマA3、タイマA4) TAKOUT端子(k=3、4)の入力信号が“H”の期間にTAKIN端子が立ち上がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりをアップカウントします。TAKOUT端子の入力信号が“H”の期間にTAKIN端子が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりをダウンカウントします。</p> 

注1. タイマA3は選択できます。タイマA2は通常処理動作、タイマA4は4通倍処理動作です。

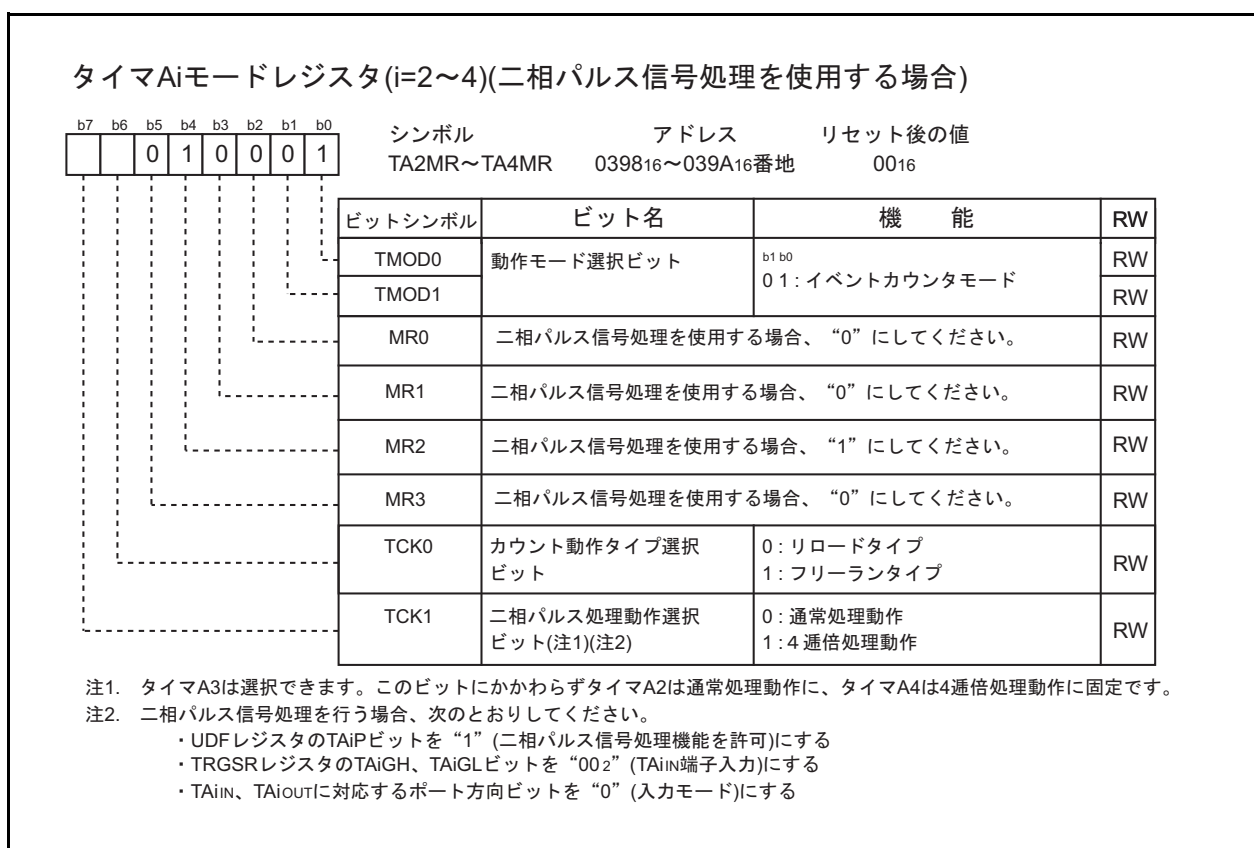


図9.9 イベントカウンタモード時のTA2MRレジスタ~TA4MRレジスタ
(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

(3) ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表9.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図9.10にワンショットタイマモード時のTAiMRレジスタを示します。

表9.4 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	<ul style="list-style-type: none"> ●ダウンカウント ●カウンタが0000₁₆になるタイミングでリロードしてカウントを停止 ●カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ(i=0~4)の設定値 0000 ₁₆ ~FFFF ₁₆ ただし、0000 ₁₆ を設定した場合、カウンタは動作しない
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 <ul style="list-style-type: none"> ●TAiin端子からの外部トリガ入力 ●タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー ●ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	<ul style="list-style-type: none"> ●カウント値が0000₁₆になりリロードした後 ●TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が0000 ₁₆ になるタイミング
TAiin端子機能	入出力ポートまたはトリガ入力
TAiout端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> ●カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> ●パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

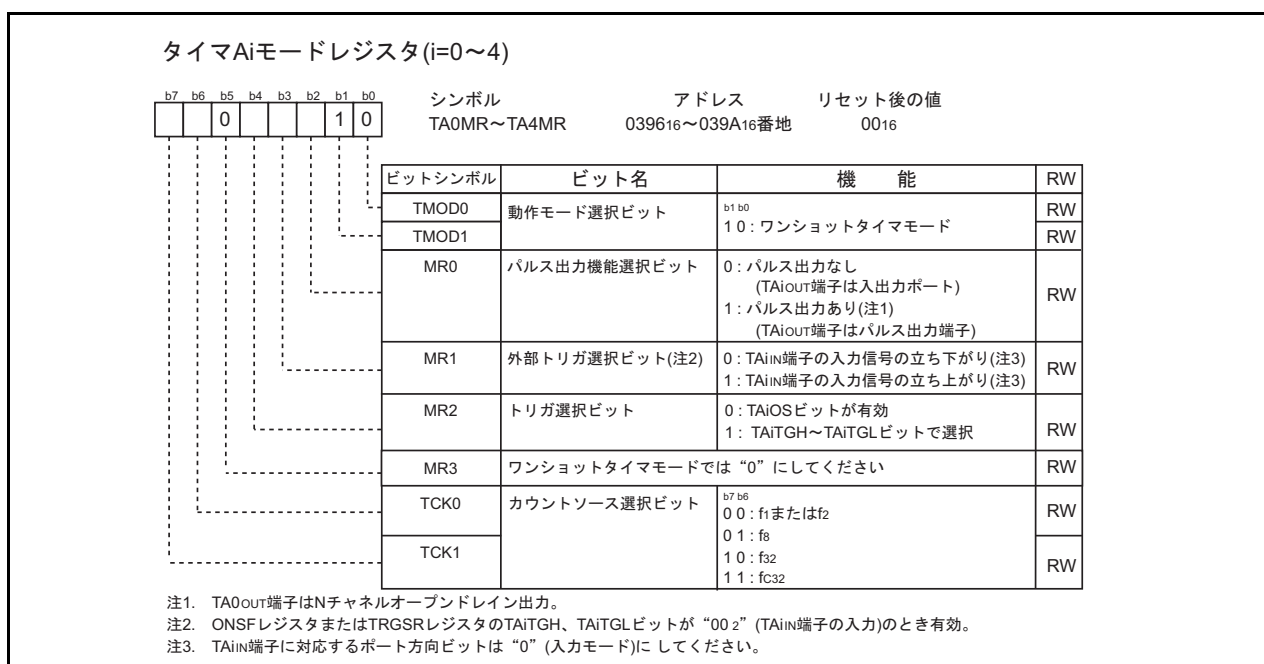


図9.10 ワンショットタイマモード時のTAiMRレジスタ

(4) パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです(表9.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図9.11にパルス幅変調モード時のTAiMRレジスタ、図9.12に16ビットパルス幅変調器の動作例、図9.13に8ビットパルス幅変調器の動作例を示します。

表9.5 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	<ul style="list-style-type: none"> ●ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ●PWMパルスの立ち上がりでリロードしてカウントを継続 ●カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> ●“H”幅 n/fj n:TAiレジスタの設定値($i=0\sim4$) ●周期 $(2^{16}-1)/fj$ 固定 fj: カウントソースの周波数($f1、f2、f8、f32、fc32$)
8ビットPWM	<ul style="list-style-type: none"> ●“H”幅 $n \times (m+1)/fj$ n:TAiレジスタの上位番地の設定値 ●周期 $(2^8-1) \times (m+1)/fj$ m:TAiレジスタの下位番地の設定値
カウント開始条件	<ul style="list-style-type: none"> ●TABSRRレジスタのTAiSビットを“1”(カウント開始)にする ●TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力 ●TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、タイマAj($j=i-1$、ただし$i=0$のとき$j=4$)のオーバフローまたはアンダフロー、タイマAk($k=i+1$、ただし$i=4$のとき$k=0$)のオーバフローまたはアンダフロー
カウント停止条件	●TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> ●カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

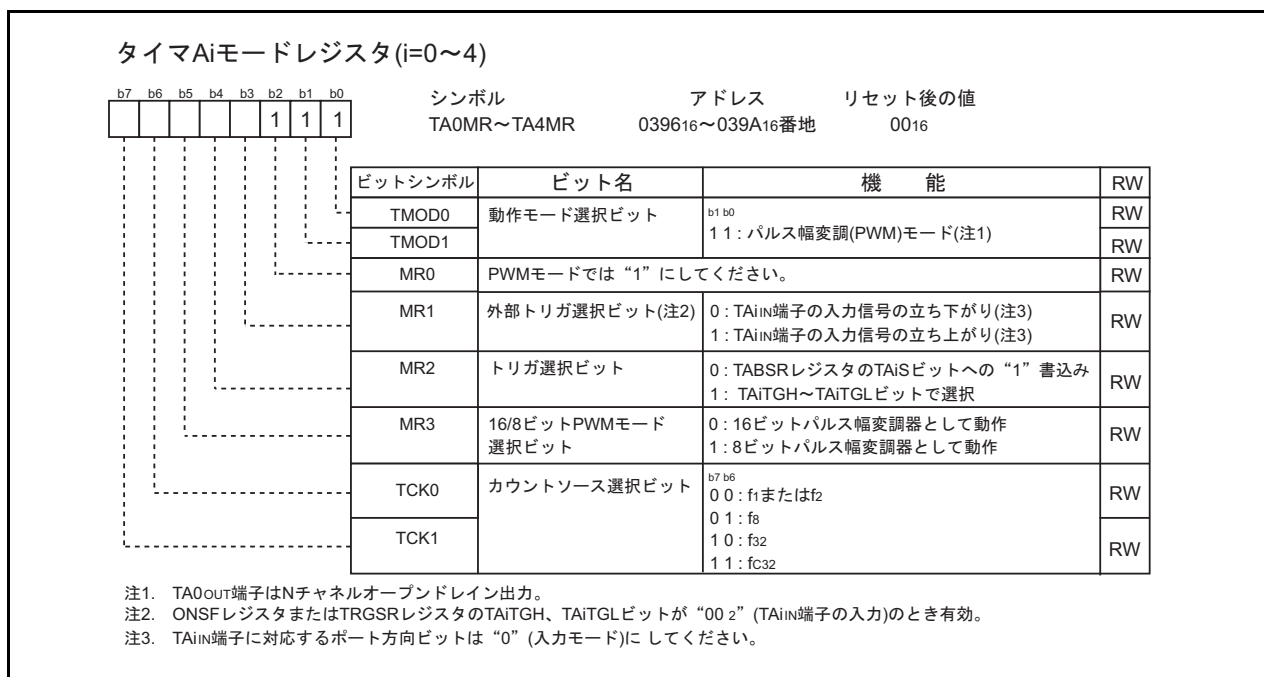


図9.11 パルス幅変調モード時のTAiMRレジスタ

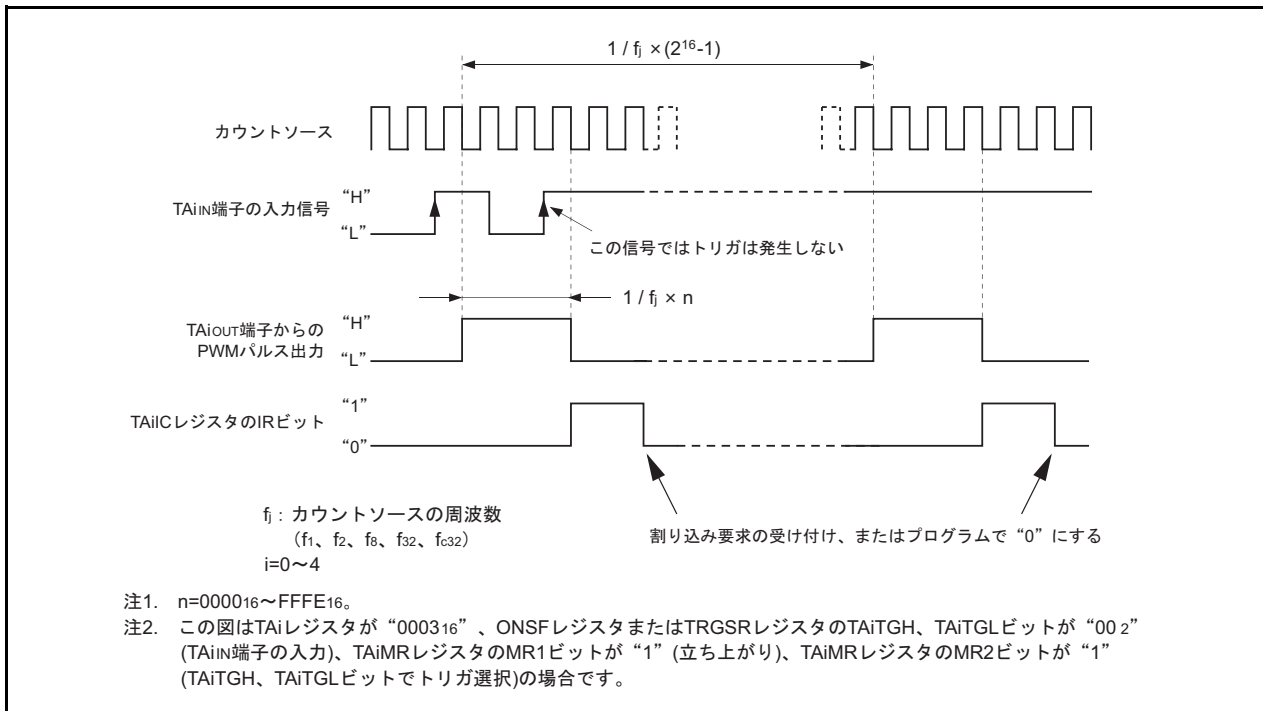


図9.12 16ビットパルス幅変調器の動作例

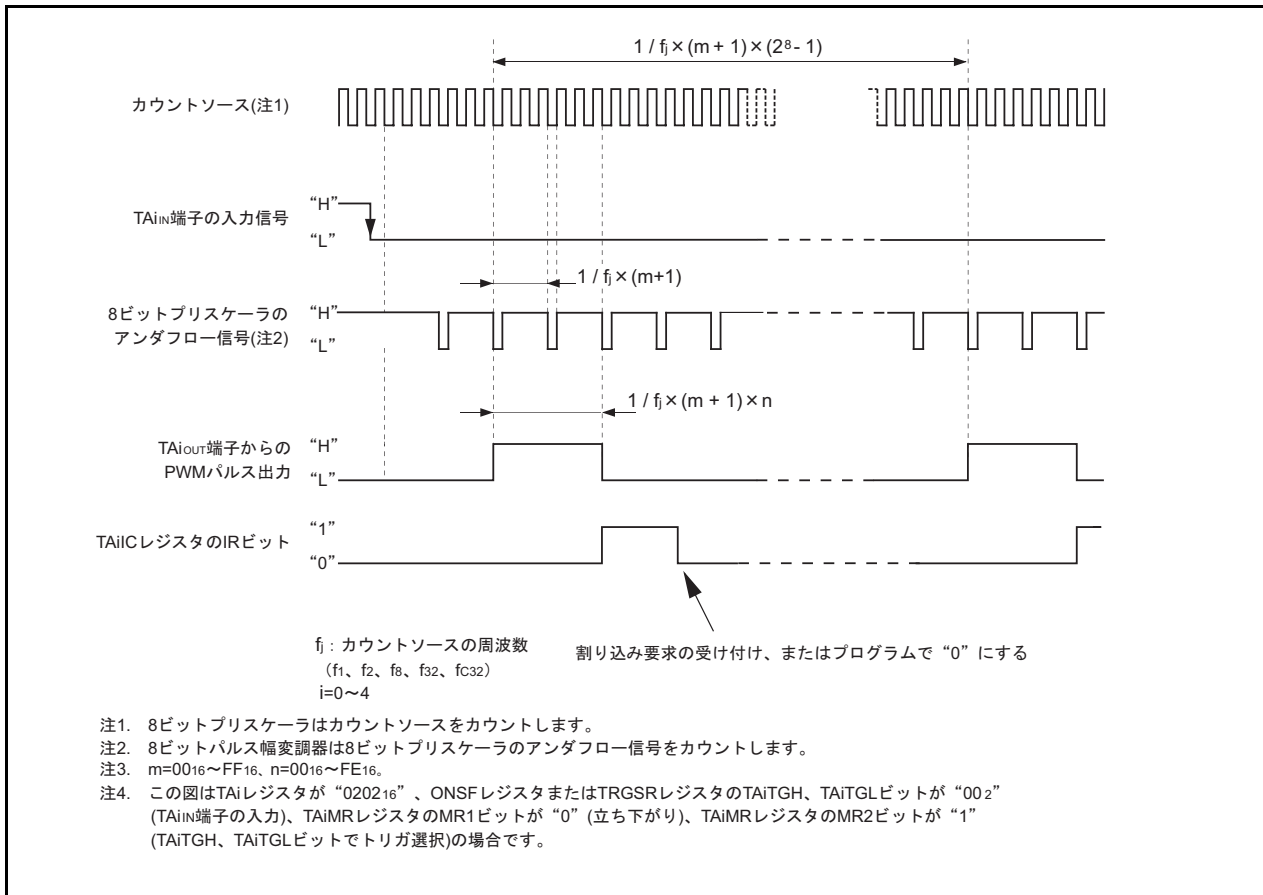


図9.13 8ビットパルス幅変調器の動作例

9.2 タイマB

図9.14にタイマBブロック図、図9.15、図9.16にタイマB関連レジスタを示します。

タイマBは次の3種類のモードがあり、モードは、TBiMRレジスタ(i=0~5)のTMOD1~TMOD0ビットで選択できます。

- ・タイマモード
内部カウントソースをカウントするモード
- ・イベントカウンタモード
外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- ・パルス周期測定モード、パルス幅測定モード
外部パルスの周期またはパルス幅を測定するモード

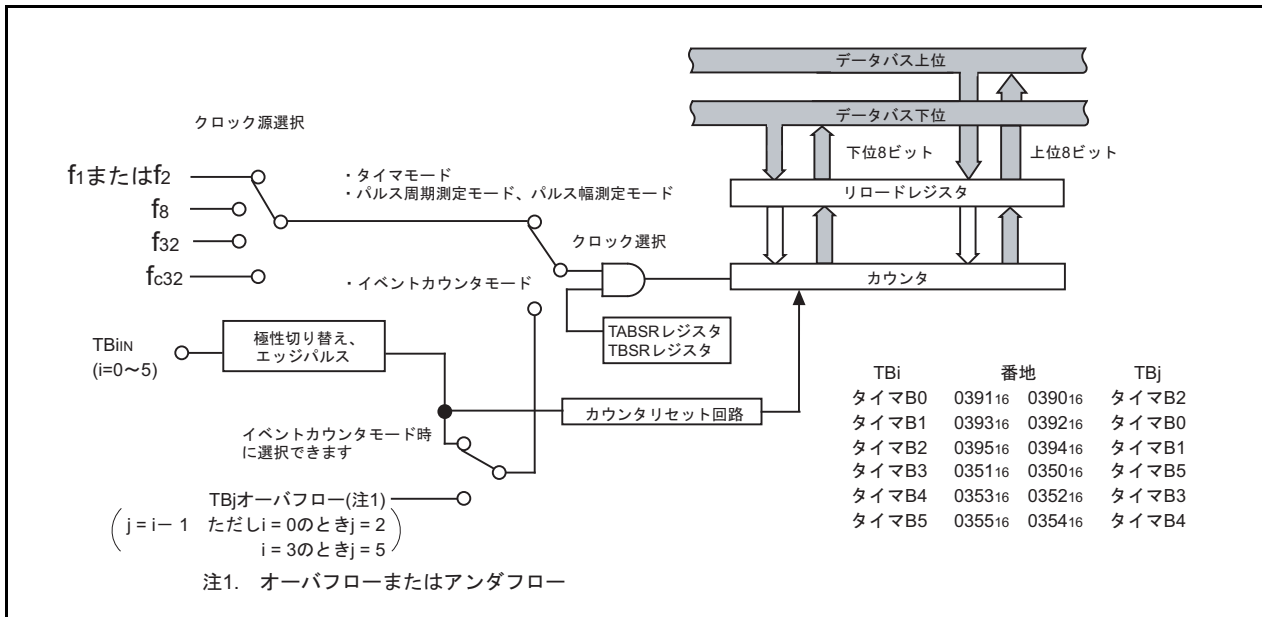


図9.14 タイマBブロック図

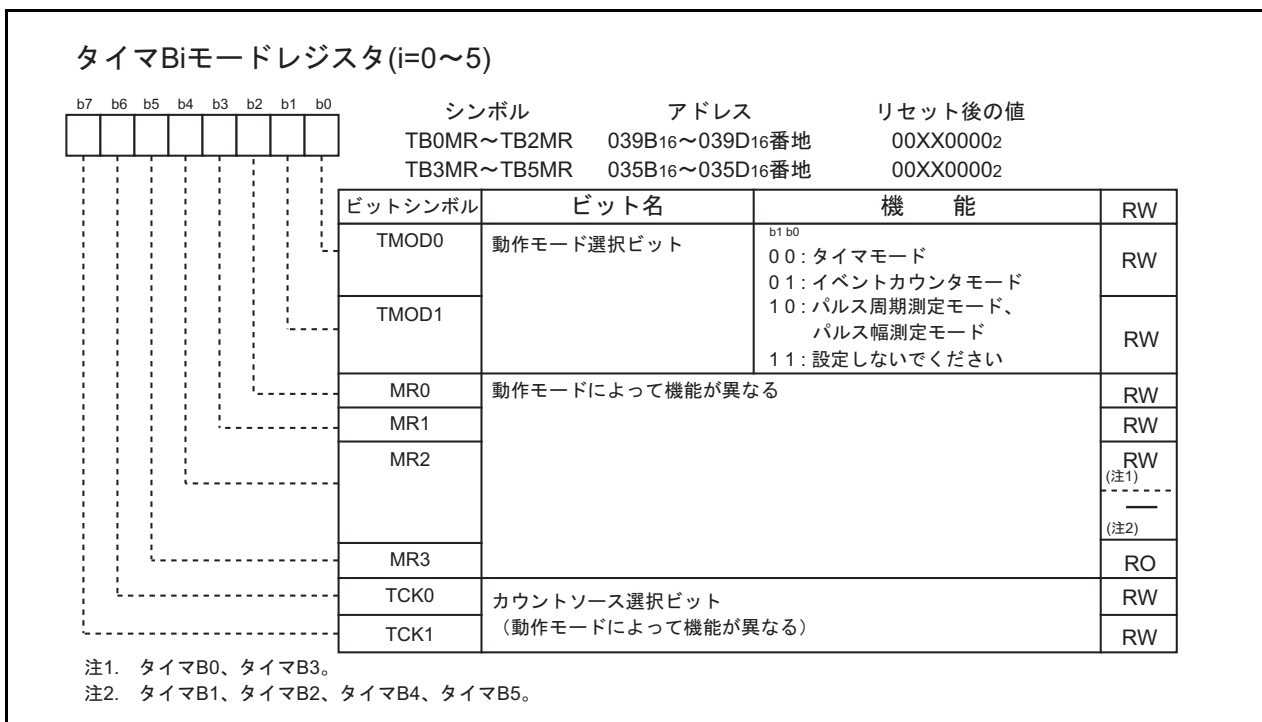


図9.15 TB0MR~TB5MRレジスタ

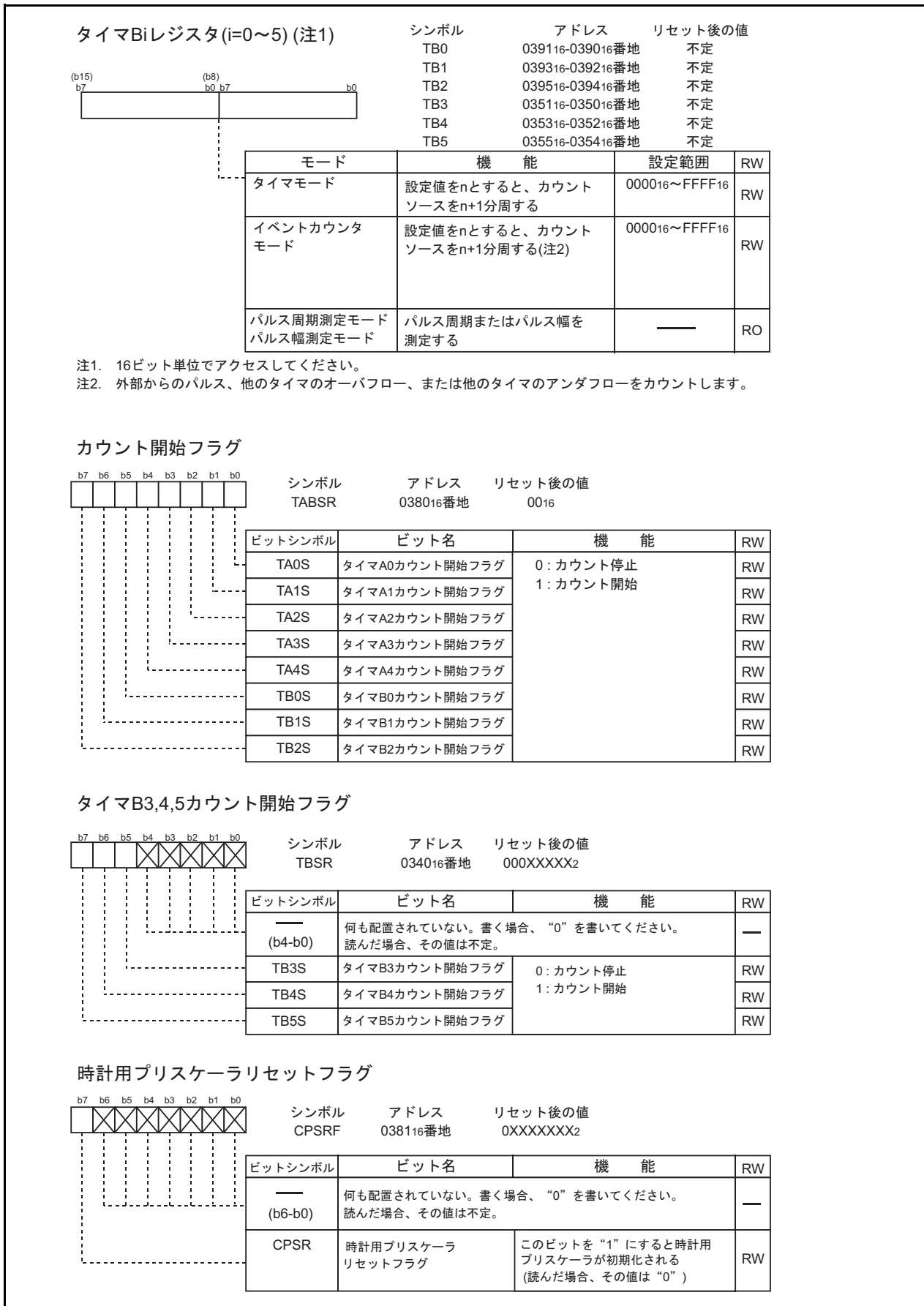


図9.16 TB0~TB5、TABSR、TBSR、CPSRF レジスタ

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表9.6)。図9.17にタイマモード時のTBiMRレジスタを示します。

表9.6 タイマモードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBiレジスタの設定値(i=0~5) 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TB0S~TB2SビットはTABSRLレジスタのビット5~7、TB3S~TB5SビットはTBSRLレジスタのビット5~7です。

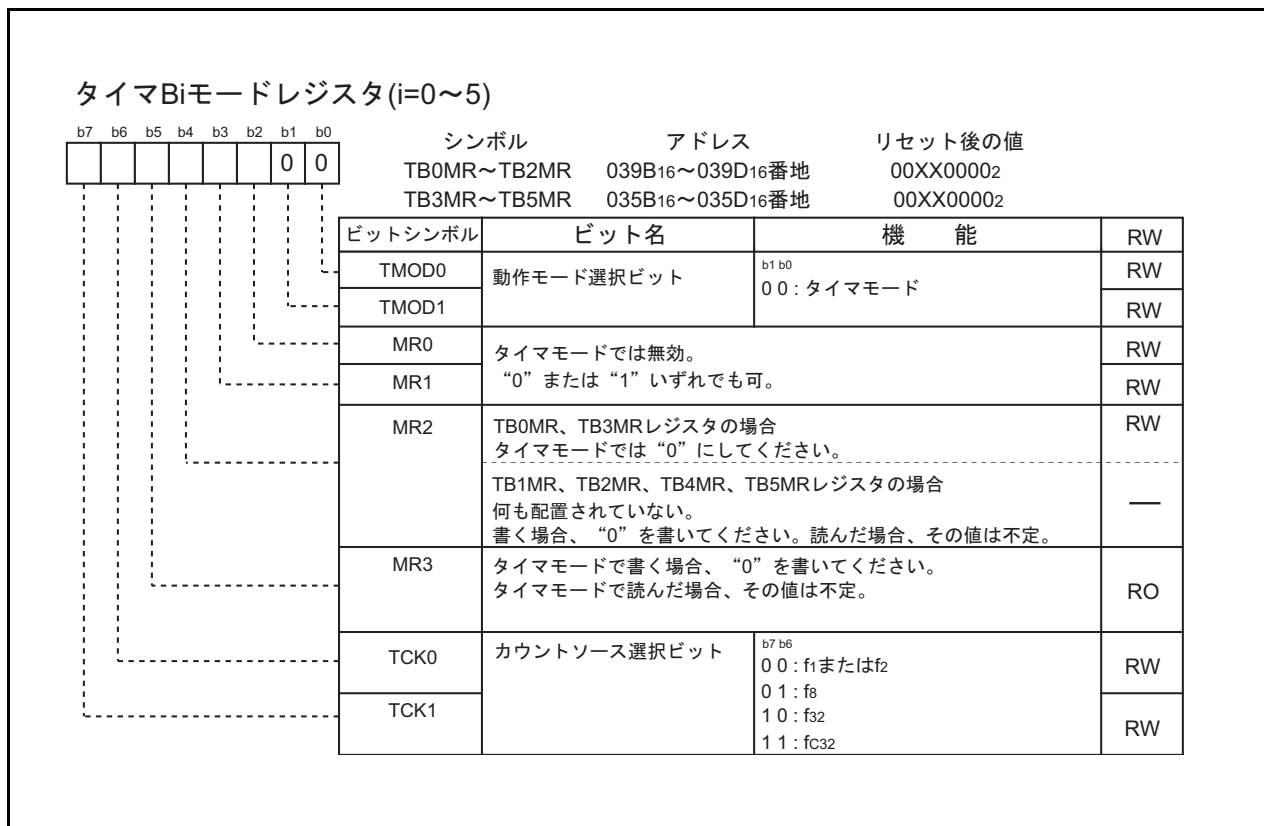


図9.17 タイマモード時のTBiMRレジスタ

(2) イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです(表9.7)。図9.18にイベントカウンタモード時のTBiMRレジスタを示します。

表9.7 イベントカウンタモードの仕様

項目	仕様
カウントソース	●TBin端子(i=0~5)に入力された外部信号(プログラムで有効エッジを選択可能) ●タイマBjのオーバフローまたはアンダフロー(j=i-1、ただしi=0のときj=2、i=3のときj=5)
カウント動作	●ダウンカウント ●アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	●1/(n+1) n:TBiレジスタの設定値 000016~FFFF16
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBin端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TB0S~TB2SビットはTABSRLレジスタのビット5~7、TB3S~TB5SビットはTBSRLレジスタのビット5~7です。

タイマBiモードレジスタ(i=0~5)		シンボル	アドレス	リセット後の値						
b7	b6	b5	b4	b3	b2	b1	b0			
						0	1	TB0MR~TB2MR	039B16~039D16番地	00XX00002
								TB3MR~TB5MR	035B16~035D16番地	00XX00002
ビットシンボル	ビット名	機能		RW						
TMOD0	動作モード選択ビット	b1 b0	0 1: イベントカウンタモード	RW						
TMOD1				RW						
MR0	カウント極性選択ビット(注1)	b3 b2	0 0: 外部信号の立ち下がりを実カウント 0 1: 外部信号の立ち上がりを実カウント 1 0: 外部信号の立ち下がりとし、立ち上がりをカウント 1 1: 設定しないでください	RW						
MR1				RW						
MR2	TB0MR、TB3MRレジスタの場合 イベントカウンタモードでは“0”にしてください。 TB1MR、TB2MR、TB4MR、TB5MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。			RW						
MR3	イベントカウンタモードで書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。			RO						
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。			RW						
TCK1	イベントクロック選択		0: TBin端子からの入力(注2) 1: TBjのオーバフローまたはアンダフロー (j=i-1 ただしi=0のときj=2、 i=3のときj=5)	RW						

注1. TCK1ビットが“0”(TBin端子からの入力)の場合に有効です。TCK1ビットが“1”(TBjのオーバフローまたはアンダフロー)の場合は、“0”でも“1”でも可。

注2. TBin端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図9.18 イベントカウンタモード時のTBiMRレジスタ

(3) パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表9.8)。図9.19にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタを示します。図9.20にパルス周期測定時の動作図、図9.21にパルス幅測定時の動作図を示します。

表9.8 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	<ul style="list-style-type: none"> ●アップカウント ●測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“000016”にしてカウントを継続
カウント開始条件	●TBiSビット(i=0~5)(注3)を“1”(カウント開始)にする
カウント停止条件	●TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> ●測定パルスの有効エッジ入力時(注1) ●オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になります。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。

注3. TB0S~TB2SビットはTABSRSレジスタのビット5~7、TB3S~TB5SビットはTBSRSレジスタのビット5~7です。

タイマBiモードレジスタ(i=0~5)		シンボル	アドレス	リセット後の値
		TB0MR~TB2MR	039B16~039D16番地	00XX00002
		TB3MR~TB5MR	035B16~035D16番地	00XX00002
ビットシンボル	ビット名	機能		RW
TMOD0	動作モード選択ビット	b1 b0		RW
		1 0 : パルス周期測定モード、パルス幅測定モード		RW
MR0	測定モード選択ビット	b3 b2		RW
		0 0 : パルス周期測定 (測定パルスの立ち下がりから次の立ち下がり間の測定) 0 1 : パルス周期測定 (測定パルスの立ち上がりから次の立ち上がり間の測定)		RW
MR1		1 0 : パルス幅測定 (測定パルスの立ち下がりから次の立ち上がり間の測定と立ち上がりから次の立ち下がり間の測定)		RW
		1 1 : 設定しないでください		RW
MR2	TB0MR、TB3MRレジスタの場合 パルス周期測定モード、パルス幅測定モードでは“0”にしてください。 TB1MR、TB2MR、TB4MR、TB5MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。			RW
				—
MR3	タイマBiオーバフローフラグ(注1)	0 : オーバフローなし 1 : オーバフローあり		RO
TCK0	カウントソース選択ビット	b7 b6		RW
		0 0 : f1またはf2 0 1 : f8 1 0 : f32 1 1 : fc32		RW
TCK1				RW

注1. リセット後は不定です。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバフローあり)になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。MR3ビットをプログラムで“1”にできません。TB0S~TB2SビットはTABSRSレジスタのビット5~7、TB3S~TB5SビットはTBSRSレジスタのビット5~7です。

図9.19 パルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ

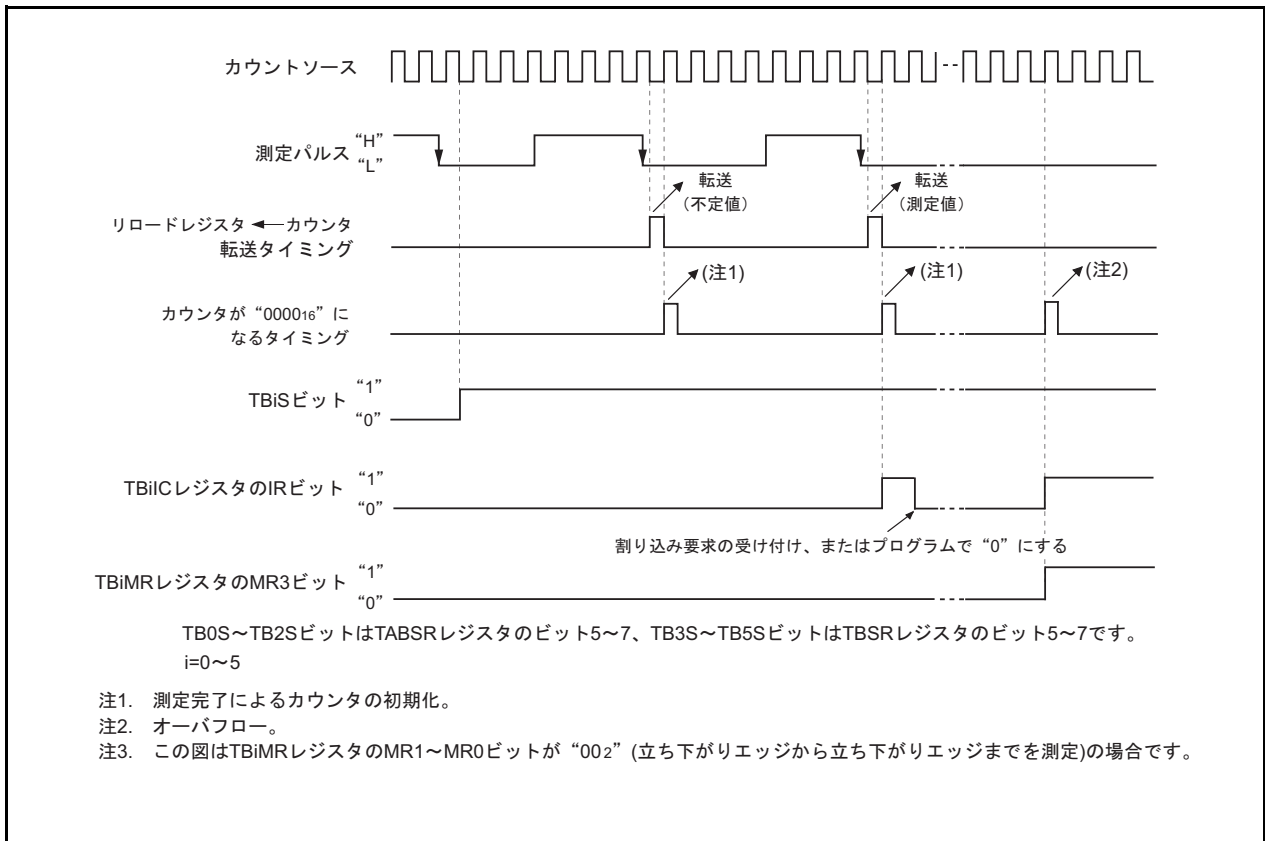


図9.20 パルス周期測定時の動作図

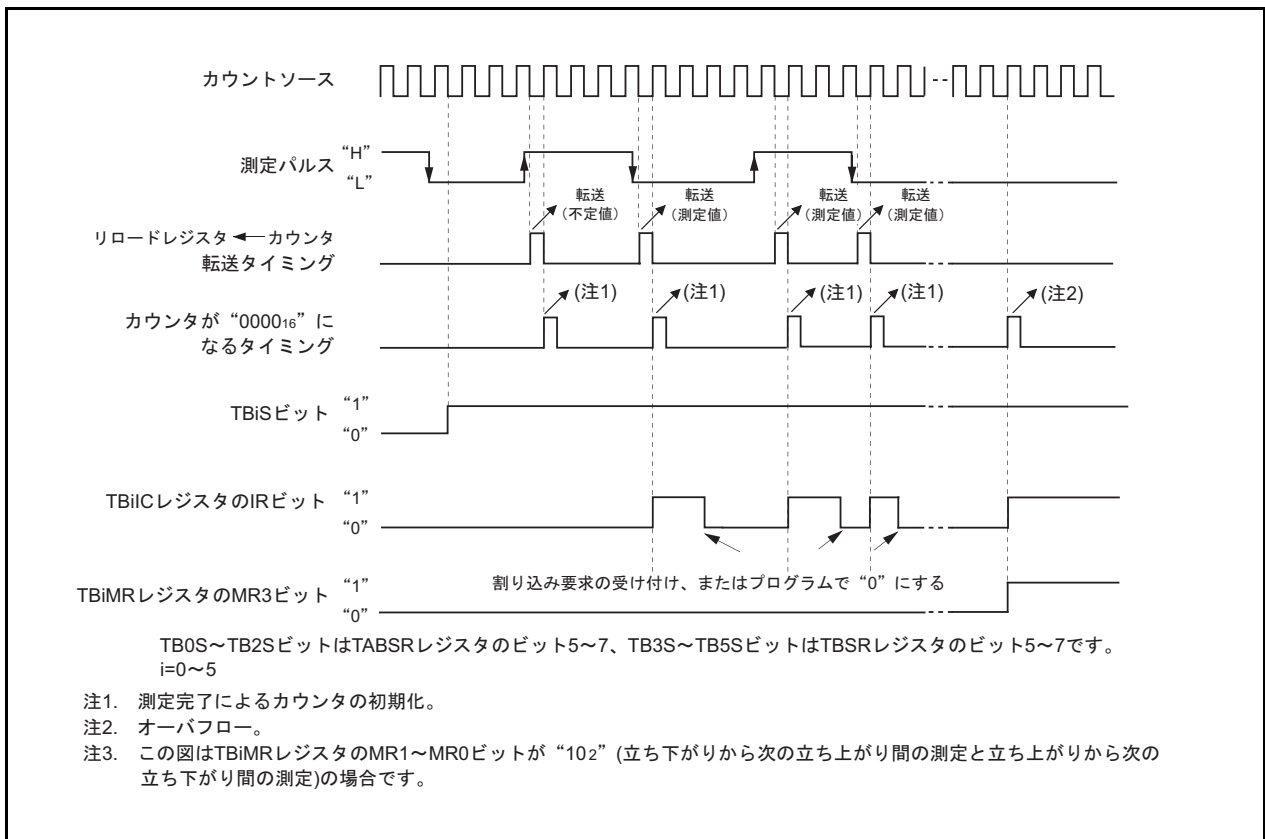


図9.21 パルス幅測定時の動作図

10. シリアルI/O

シリアルI/Oは、UART0～UART2、SI/O3、SI/O4の5チャンネルで構成しています。
次にそれぞれについて説明します。

10.1 UART_i($i=0\sim 2$)

UART_iはそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図10.1にUART_iブロック図、図10.2にUART_i送受信ブロック図を示します。

UART_iには、次のモードがあります。

- ・クロック同期形シリアルI/Oモード
- ・クロック非同期形シリアルI/Oモード(UARTモード)
- ・特殊モード1(I²Cモード)
- ・特殊モード2
- ・特殊モード3(バス衝突検出機能、IEモード) : UART0、UART1
- ・特殊モード4(SIMモード) : UART2

図10.3～図10.8に、UART_i関連のレジスタを示します。

レジスタの設定はモードごとの表を参照してください。

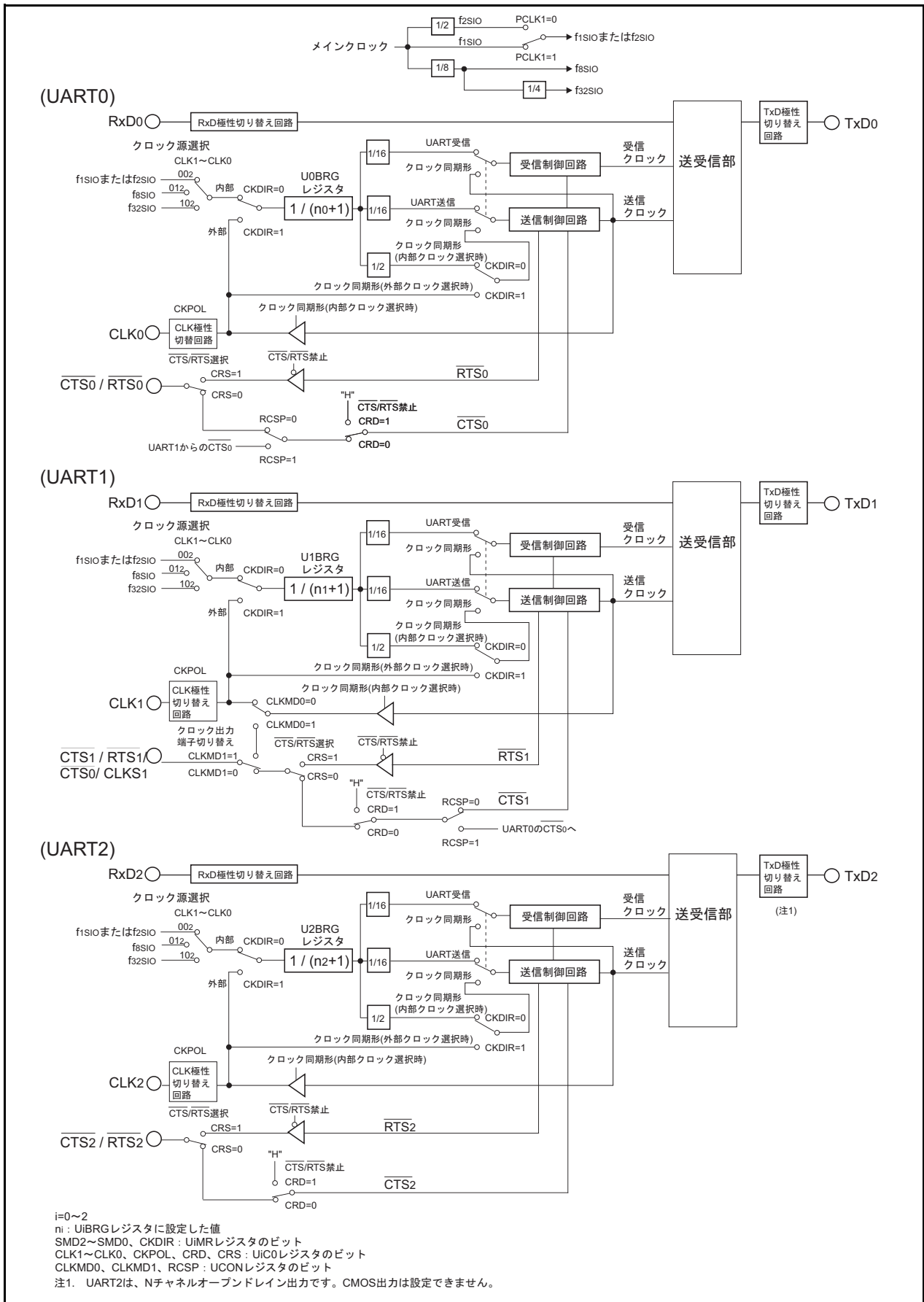


図 10.1 UARTiブロック図

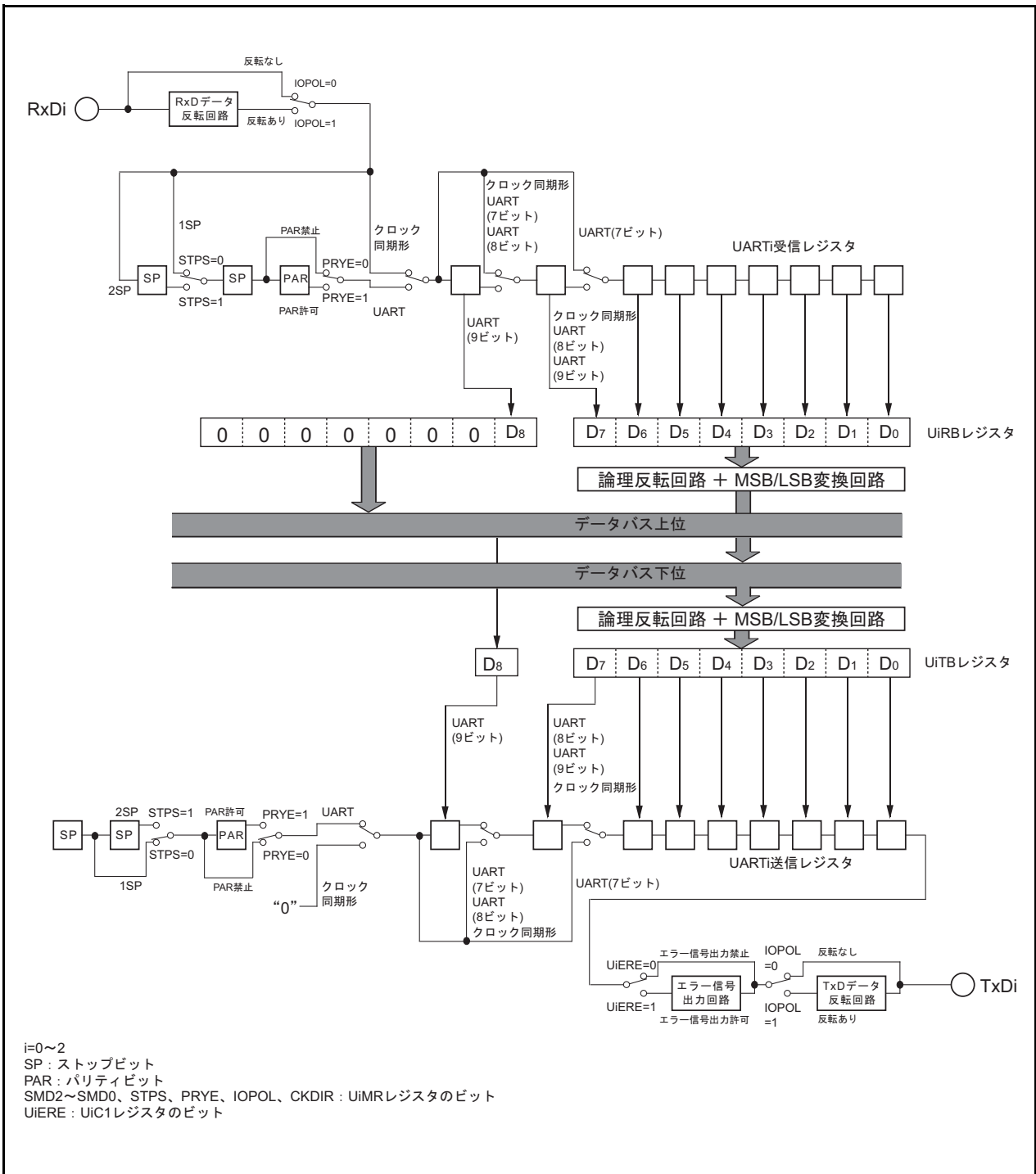


図 10.2 UARTi送受信部ブロック図

UART_i送信バッファレジスタ (i=0~2)(注1)

シンボル	アドレス	リセット後の値
U0TB	03A3 ₁₆ -03A2 ₁₆ 番地	不定
U1TB	03AB ₁₆ -03AA ₁₆ 番地	不定
U2TB	037B ₁₆ -037A ₁₆ 番地	不定

機 能		RW
送信データ		WO
何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. このレジスタはMOV命令を使用して書いてください。

UART_i受信バッファレジスタ (i=0~2)

シンボル	アドレス	リセット後の値
U0RB	03A7 ₁₆ -03A6 ₁₆ 番地	不定
U1RB	03AF ₁₆ -03AE ₁₆ 番地	不定
U2RB	037F ₁₆ -037E ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
—	—	受信データ (D7~D0)	RO
(b8)	—	受信データ (D8)	RO
—	(b10-b9)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—
ABT	アービトレーションロスト検出フラグ(注2)	0: 未検出 (勝) 1: 検出 (負)	RW
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注1)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注1)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注1)	0: エラーなし 1: エラー発生	RO

注1. UiMRレジスタのSMD2~SMD0ビットを“000₂”(シリアルI/Oは無効)にしたとき、またはUIC1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、UIRBレジスタの下位バイトを読んだとき、“0”になります。

注2. ABTビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

UART_i転送速度レジスタ (i=0~2)(注1、注2)

シンボル	アドレス	リセット後の値
U0BRG	03A1 ₁₆ 番地	不定
U1BRG	03A9 ₁₆ 番地	不定
U2BRG	0379 ₁₆ 番地	不定

機 能		設定範囲	RW
設定値を n とすると、UIBRGはカウントソースをn+1分周する		00 ₁₆ ~FF ₁₆	WO

注1. 送受信停止中に書いてください。

注2. このレジスタはMOV命令を使用して書いてください。

図 10.3 U0TB~U2TB、U0RB~U2RB、U0BRG~U2BRG レジスタ

UARTi送受信モードレジスタ(i=0~2)

ビットシンボル	ビット名	機能	RW
SMD0	シリアルI/Oモード 選択ビット (注2)	b2 b1 b0 0 0 0 シリアルI/Oは無効 0 0 1: クロック同期形シリアルI/Oモード 0 1 0: I ² Cモード (注3) 1 0 0: UARTモード転送データ長7ビット 1 0 1: UARTモード転送データ長8ビット 1 1 0: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック 選択ビット	0: 内部クロック 1: 外部クロック(注1)	RW
STPS	ストップビット長 選択ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶 選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
IOPOL	TxD、RxD入出力極性 切り替えビット	0: 反転なし 1: 反転あり	RW

- 注1. CLKi端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注2. 受信する場合、RxDi端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注3. SDA、SCL端子に対応するポート方向ビットは“0”(入力モード)にしてください。

UARTi送受信制御レジスタ0(i=0~2)

ビットシンボル	ビット名	機能	RW
CLK0	BRGカウントソース 選択ビット	b1 b0 0 0: f _{SIO} または f _{2SIO} を選択 0 1: f _{SIO} を選択 1 0: f _{2SIO} を選択 1 1: 設定しないでください	RW
CLK1			RW
CRS	CTS/RTS機能選択ビット (注4)	CRD=0のとき有効 0: CTS機能を選択(注1) 1: RTS機能を選択	RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止 (P60、P64、P73は入出力ポートとして使用できる)	RW
NCH	データ出力選択ビット (注2)	0: TxDi/SDAi、SCLi端子はCMOS出力 1: TxDi/SDAi、SCLi端子はNチャネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォーマット選択 ビット(注3)	0: LSBファースト 1: MSBファースト	RW

- 注1. CTSi端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注2. TxD2/SDA2、SCL2は、Nチャネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは“0”にしてください。
 注3. クロック同期形シリアルI/Oモード、UARTモード転送データ長8ビット時に有効です。
 注4. CTSi/RTSiはUCONレジスタのCLKMD1ビットが“0”(CLK出力はCLKiのみ)、かつUCONレジスタのRCSPビットが“0”(CTS₀/RTS₀分離しない)のとき使用できます。

図 10.4 U0MR~U2MR、U0C0~U2C0 レジスタ

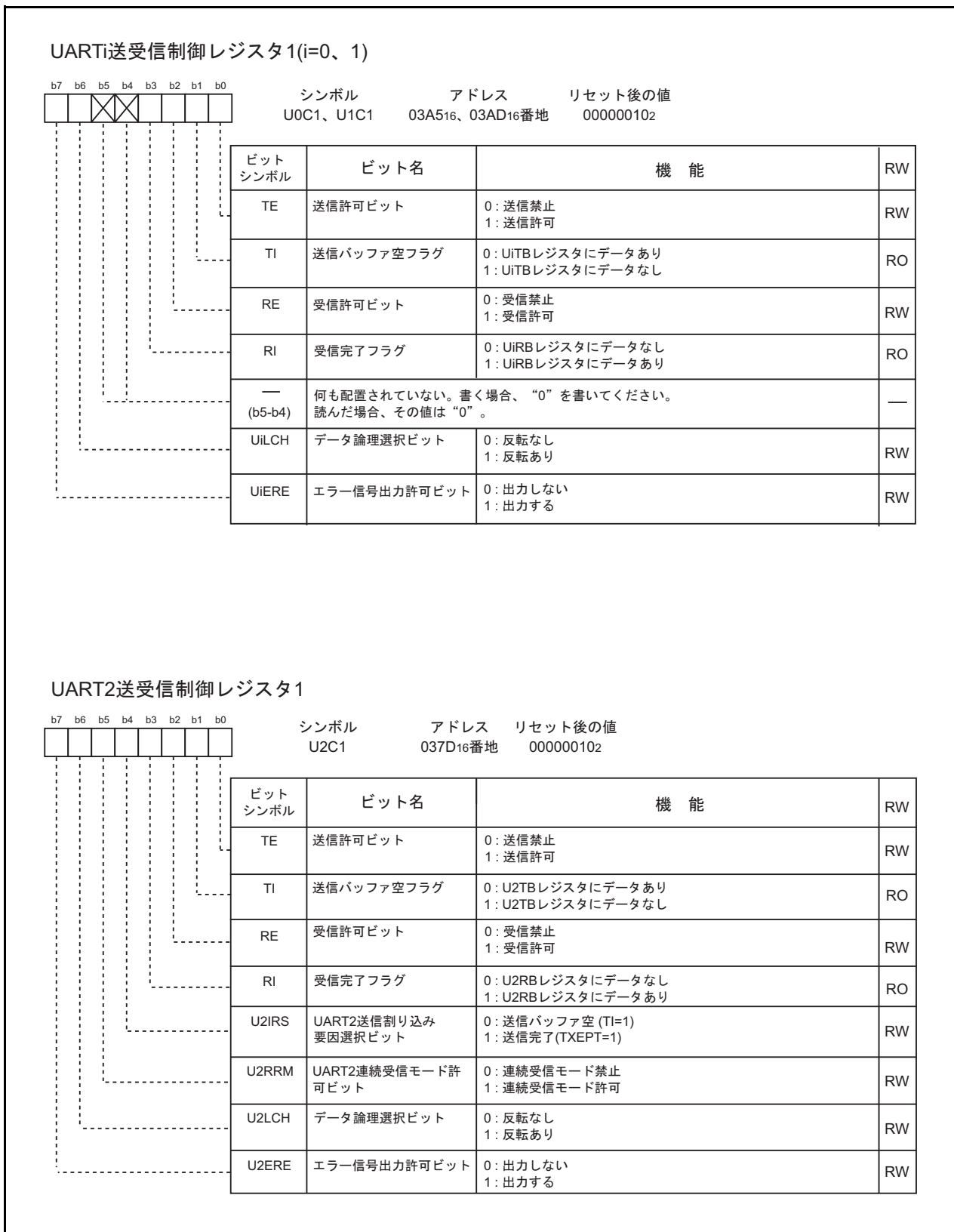
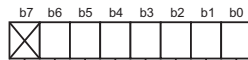


図 10.5 U0C1～U2C1レジスタ

UART送受信制御レジスタ2

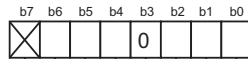


シンボル アドレス リセット後の値
UCON 03B0₁₆番地 X0000000₂

ビットシンボル	ビット名	機能	RW
U0IRS	UART0送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	RW
U1IRS	UART1送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	RW
U0RRM	UART0連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
U1RRM	UART1連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
CLKMD0	UART1CLK、CLKS選択ビット0	CLKMD1=1のとき有効 0: CLK1からクロックを出力 1: CLKS1からクロックを出力	RW
CLKMD1	UART1CLK、CLKS選択ビット1(注1)	0: CLK出力はCLK1のみ 1: 転送クロック複数端子 出力機能選択	RW
RCSP	UART0CTS/RTS分離ビット	0: CTS/RTS共通端子 1: CTS/RTS分離(CTS ₀ をP64端子から入力)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. 複数の転送クロック出力端子を使用する場合、次の条件を満たしてください。
U1MRレジスタのCKDIRビット=0(内部クロック)

UARTi特殊モードレジスタ(i=0~2)



シンボル アドレス リセット後の値
UOSMR~U2SMR 036F₁₆、0373₁₆、0377₁₆番地 X0000000₂

ビットシンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット	0: I ² Cモード以外 1: I ² Cモード	RW
ABC	アービトレーションロスト検出フラグ制御ビット	0: ビットごとに更新 1: バイトごとに更新	RW
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	RW (注1)
— (b3)	予約ビット	“0” にしてください	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット	0: 転送クロックの立ち上がり 1: タイマAjのアンダフロー信号 (注2)	RW
ACSE	送信許可ビット自動クリア機能選択ビット	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0: RxDiに同期しない 1: RxDiに同期する (注3)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. BBSビットはプログラムで“0”を書くとも“0”になります(“1”を書いても変化しません)。
注2. UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、UART2ではタイマA0のアンダフロー信号。
注3. 転送が始まると、SSSビットは“0”(RxDiに同期しない)になります。

図 10.6 UCON、UOSMR~U2SMR レジスタ

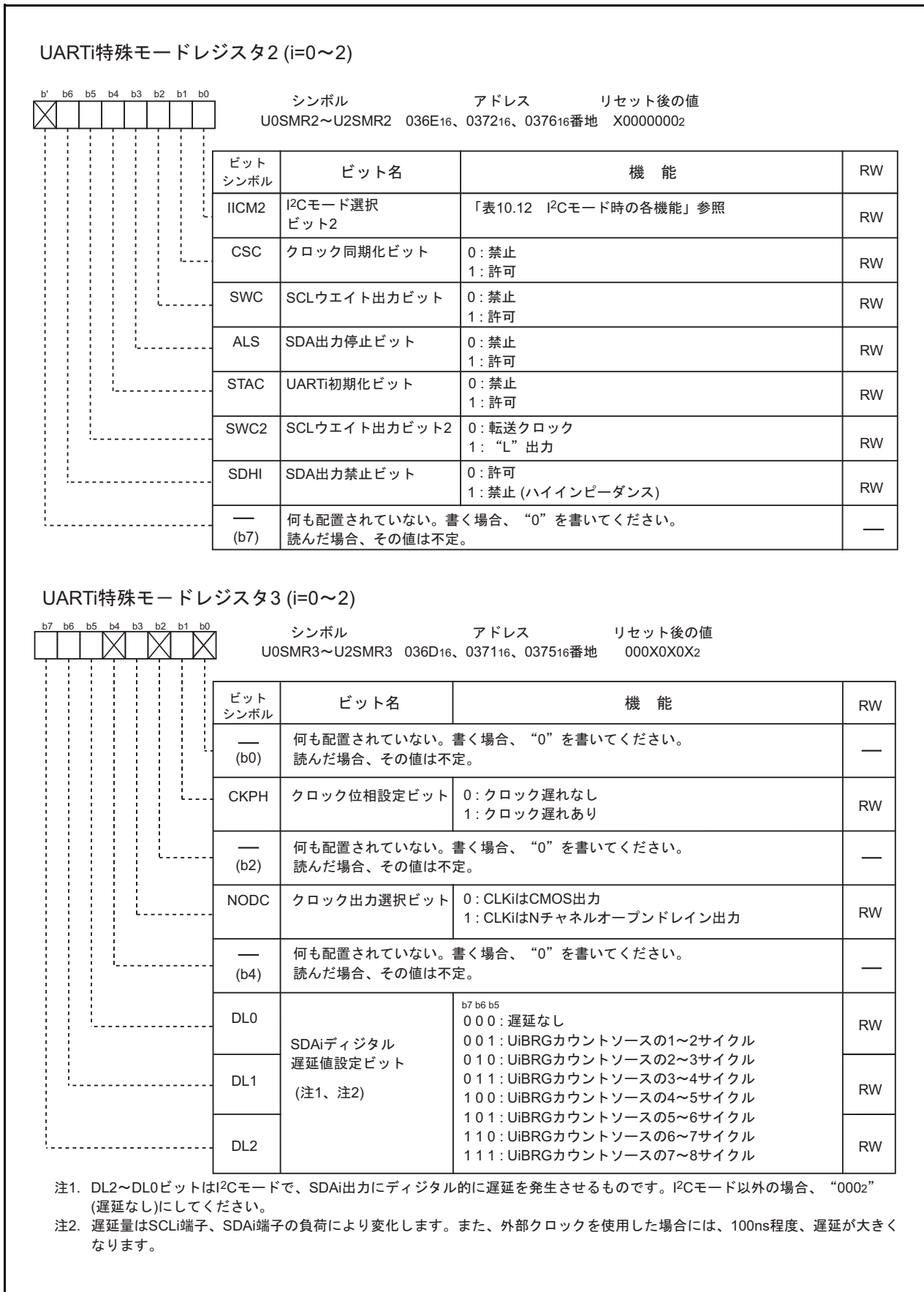


図 10.7 U0SMR2~U2SMR2、U0SMR3~U2SMR3 レジスタ

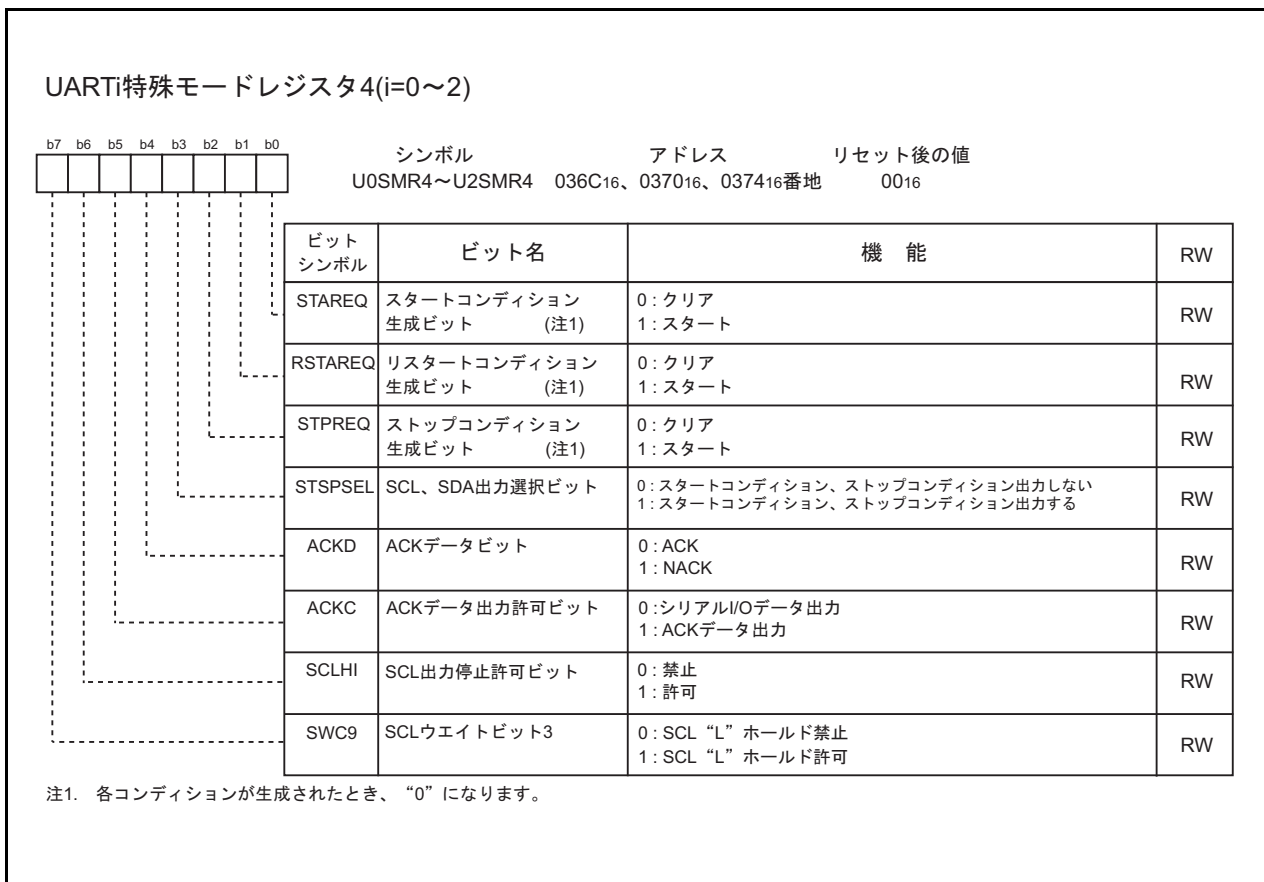


図 10.8 U0SMR4 ~ U2SMR4 レジスタ

10.2 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表10.1にクロック同期形シリアルI/Oモードの仕様、表10.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表10.1 クロック同期形シリアルI/O仕様

項目	仕様
転送データフォーマット	●転送データ長 8ビット
転送クロック	●UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック): $f_j/2(n+1)$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ n=UiBRGレジスタの設定値 0016~FF16 ●CKDIRビットが“1”(外部クロック): CLKi端子からの入力
送信制御、受信制御	●CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	●送信開始には、次の条件が必要です(注1)。 ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) ・CTS機能を選択している場合、CTS端子の入力が“L”
受信開始条件	●受信開始には、次の条件が必要です(注1)。 ・UiC1レジスタのREビットが“1”(受信許可) ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	●送信する場合、次の条件のいずれかを選択できます。 ・UiIRSビット(注3)が“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 ●受信する場合 ・UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	●オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	●CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 ●連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる ●シリアルデータ論理切り替え 送受信データの論理値を反転する機能 ●転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可 ●CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

注3. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

表 10.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR(注3)	SMD2~SMD0	“0012” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
UiC0	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください(注2)
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~2	“0” にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、“1” にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、“1” にしてください
	RCSP	UART0のCTS0信号をP64端子から入力する場合、“1” にしてください
	7	“0” にしてください

注1. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TxD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは“0” にしてください。

注3. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。
i=0~2

表 10.3 にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。表 10.3 は、転送クロック複数端子出力選択機能を非選択の場合です。また、表 10.4 にクロック同期形シリアルI/Oモード時のP64端子の機能を示します。

なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャンネルオーブドレイン出力選択時はハイインピーダンス状態)。

表 10.3 クロック同期形シリアルI/Oモード時の入出力端子の機能
(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TxDi(i=0~2) (P63, P67, P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62, P66, P71)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65, P72)	転送クロック出力	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
CTS _i /RTS _i (P60, P64, P73)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表 10.4 クロック同期形シリアルI/Oモード時のP64端子の機能

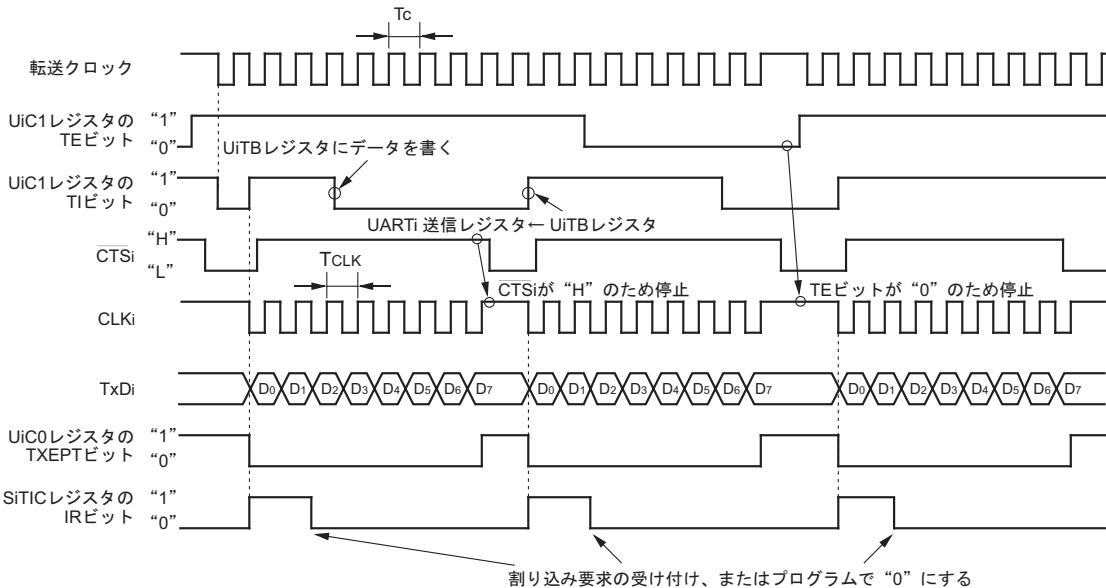
端子の機能	ビットの設定値					
	U1C0レジスタ		UCONレジスタ			PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P64	1	—	0	0	—	入力 : 0、出力 : 1
CTS ₁	0	0	0	0	—	0
RTS ₁	0	1	0	0	—	—
CTS ₀ (注1)	0	0	1	0	—	0
CLKS ₁	—	—	—	1(注2)	1	—

注1. この他にU0C0レジスタのCRDビットを“0”(CTS₀/RTS₀許可)、U0C0レジスタのCRSビットを“1”(RTS₀選択)にしてください。

注2. CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。

- ・ U1C0レジスタのCKPOLビットが“0” : H
- ・ U1C0レジスタのCKPOLビットが“1” : L

(1) 送信タイミング例(内部クロック選択時)



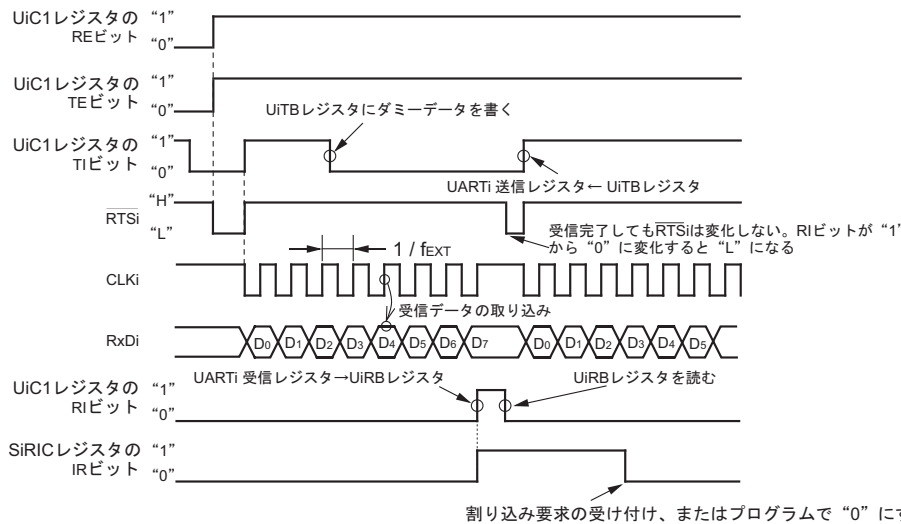
$$Tc = TCLK = 2(n+1) / f_j$$

f_j : UiBRGのカウンタソースの周波数($f1SIO$, $f2SIO$, $f8SIO$, $f32SIO$)
 n : UiBRGレジスタに設定した値
 $i=0\sim 2$

上記タイミング図は次の設定条件の場合です。

- UiIMRレジスタのCKDIRビット=0(内部クロック)
- UIC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=0(CTS選択)
- UIC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- UiIRSビット=0(送信バッファが空になると割り込み要求発生): U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

(2) 受信タイミング例(外部クロック選択時)



上記タイミング図は次の設定条件の場合です。

- UiIMRレジスタのCKDIRビット=1(外部クロック)
- UIC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=1(RTS選択)
- UIC0レジスタのCKPOLビット=0(転送クロックの立ち下がりです送信データ出力、立ち上がりで受信データ入力)

f_{EXT} : 外部クロックの周波数

データ受信前のCLKi端子への入力が“H”のときに、次の条件が揃うようにしてください。

- UIC1レジスタのTEビット=1(送信許可)
- UIC1レジスタのREビット=1(受信許可)
- UiTBレジスタにダミーデータを書く

図 10.9 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

■ CLK極性選択

UIC0レジスタ(i=0~2)のCKPOLビットで転送クロックの極性を選択できます。図10.10に転送クロックの極性を示します。

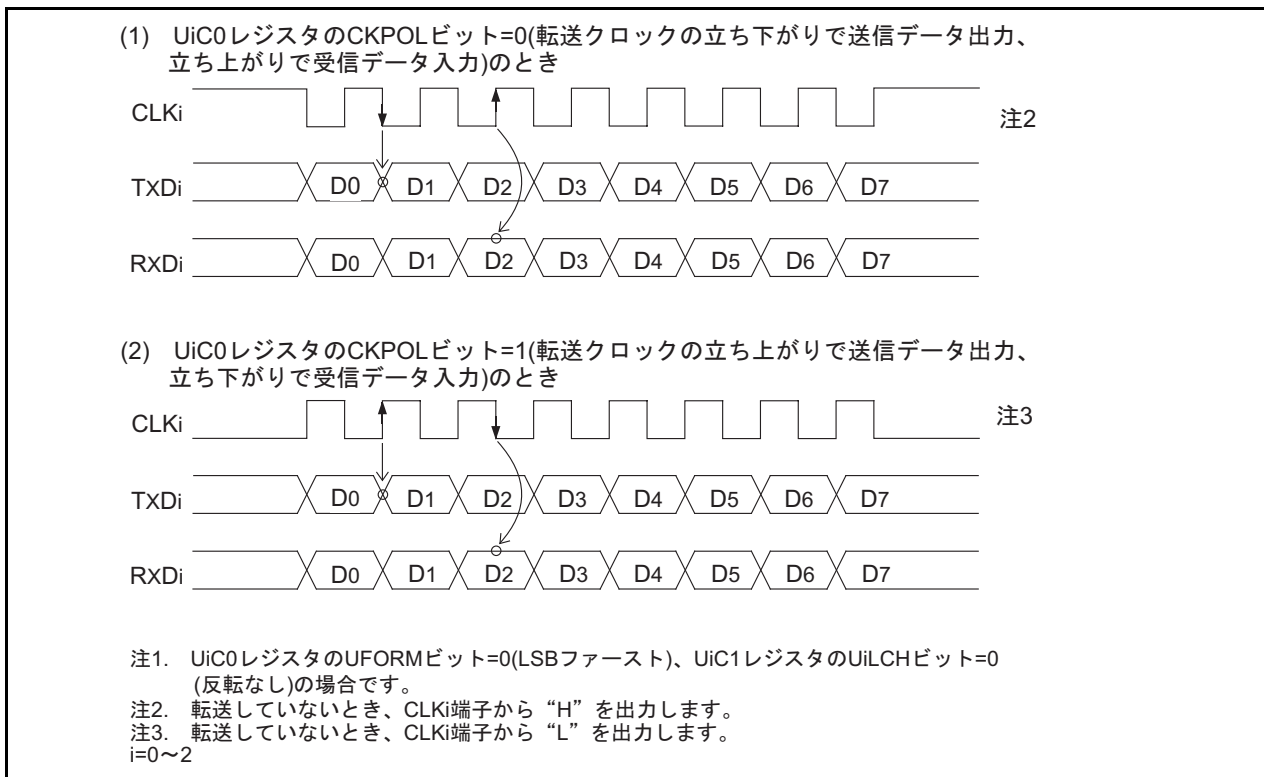


図10.10 転送クロックの極性

■ LSBファースト、MSBファースト選択

UIC0レジスタ(i=0~2)のUFORMビットで転送フォーマットを選択できます。図10.11に転送フォーマットを示します。

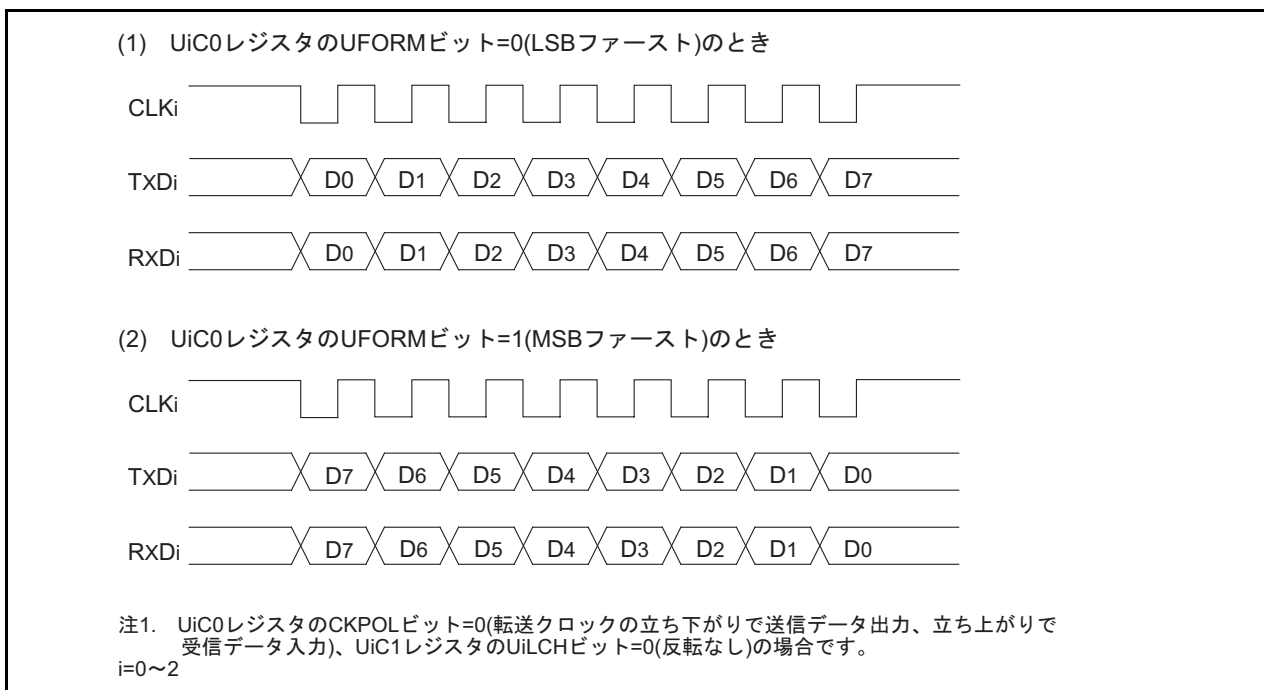


図10.11 転送フォーマット

■連続受信モード

UiRRMビット($i=0\sim 2$)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。UORRM、UIRRMビットはUCONレジスタのビット2、3で、U2RRMビットはU2C1レジスタのビット5です。

■シリアルデータ論理切り替え

UiC1レジスタ($i=0\sim 2$)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図10.12にシリアルデータ論理を示します。

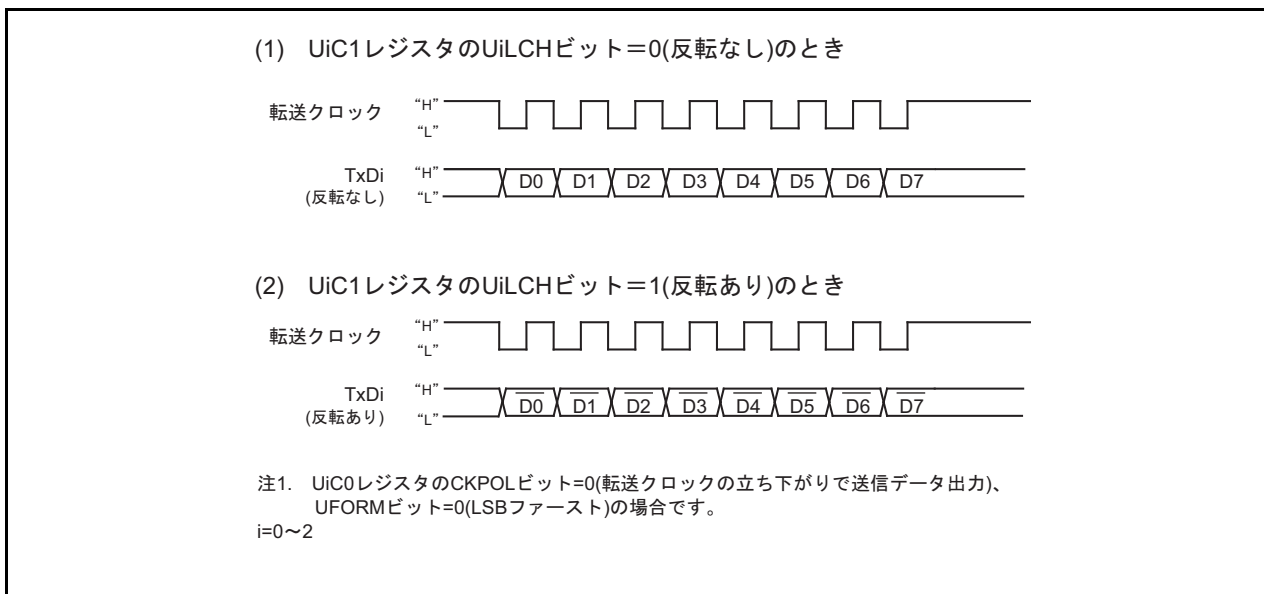


図10.12 シリアルデータ論理

■転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1～CLKMD0ビットで2本の転送クロック出力端子から1本を選択できます(図10.13)。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。

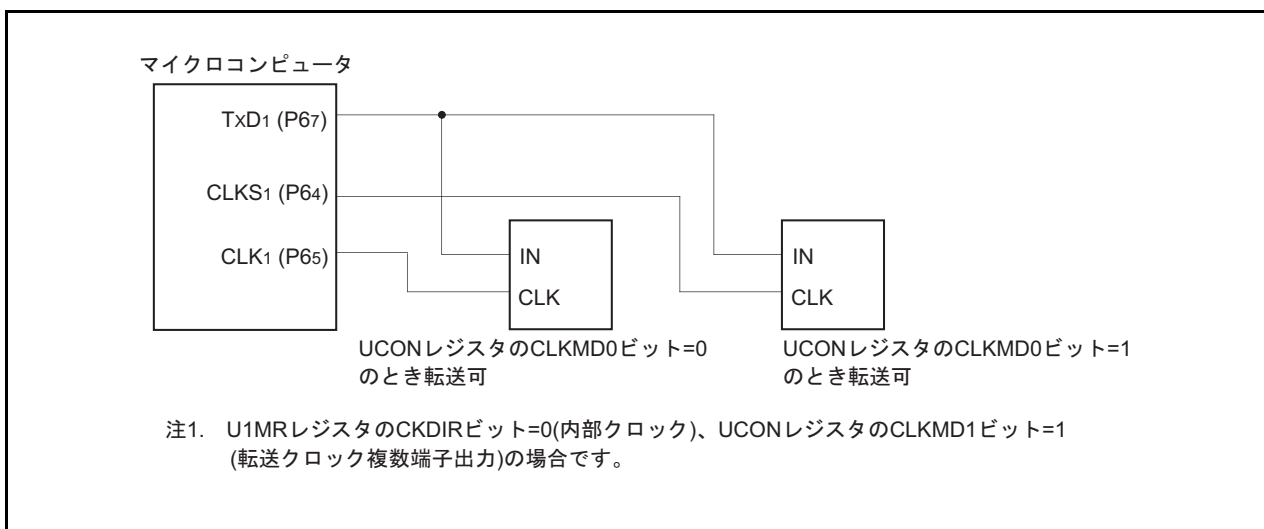


図10.13 転送クロック複数端子出力機能の使用例

■ $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP60端子から出力、 $\overline{\text{CTS}}_0$ をP64端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U0C0レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}$ 出力)
- U1C0レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U1C0レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
- UCONレジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP64端子から入力)
- UCONレジスタのCLKMD1ビット=0(CLKS₁を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

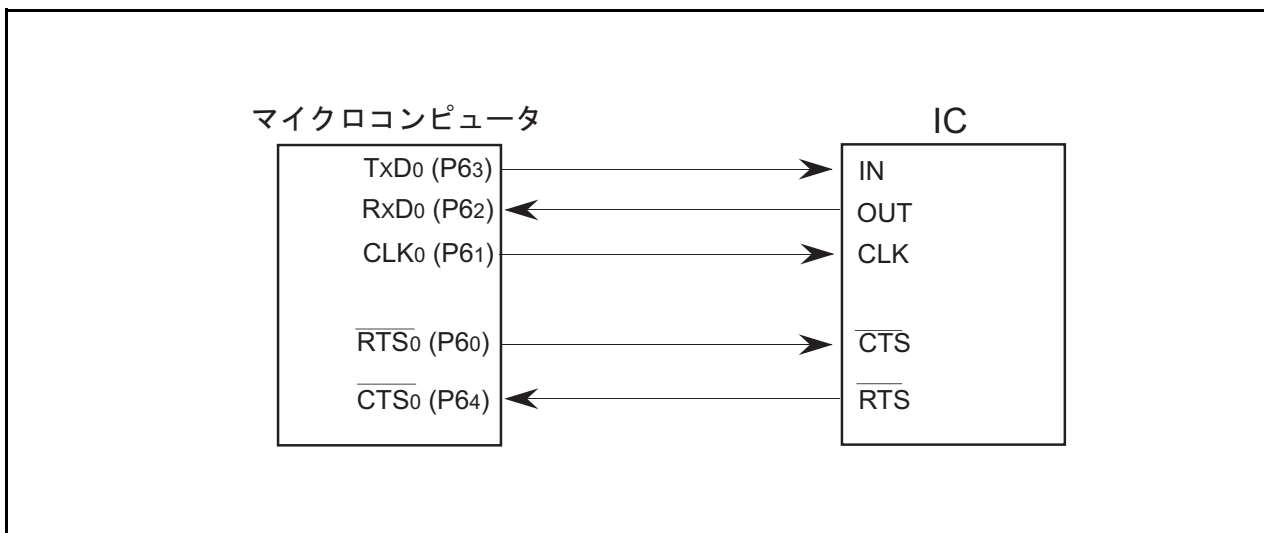


図 10.14 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

10.3 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表10.5にUARTモードの仕様を示します。

表10.5 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ●キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可 ●スタートビット 1ビット ●パリティビット 奇数、偶数、なしを選択可 ●ストップビット 1ビット、2ビットを選択可
転送クロック	<ul style="list-style-type: none"> ●UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック): $f_j/16(n+1)$ $f_j=f_{1SIO}, f_{2SIO}, f_{8SIO}, f_{32SIO}$. $n=UiBRG$レジスタの設定値 0016~FF16 ●CKDIRビットが“1”(外部クロック): $f_{EXT}/16(n+1)$ f_{EXT}はCLKi端子からの入力。 $n=UiBRG$レジスタの設定値 0016~FF16
送信制御、受信制御	<ul style="list-style-type: none"> ●CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	<ul style="list-style-type: none"> ●送信開始には、次の条件が必要です。 <ul style="list-style-type: none"> ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) ・CTS機能を選択している場合、CTSi端子の入力が“L”
受信開始条件	<ul style="list-style-type: none"> ●受信開始には、次の条件が必要です。 <ul style="list-style-type: none"> ・UiC1レジスタのREビットが“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング	<ul style="list-style-type: none"> ●送信する場合、次の条件のいずれかを選択できます <ul style="list-style-type: none"> ・UiIRSビット(注2)が“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 ●受信する場合 <ul style="list-style-type: none"> ・UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ●オーバーランエラー (注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	<ul style="list-style-type: none"> ●LSBファースト、MSBファースト選択 ビットから送受信するか、またはビット7から送受信するかを選択可 ●シリアルデータ論理切り替え 送受信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 ●TxD、RxD入出力極性切り替え TxD端子出力とRxD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 ●CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

注2. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

表 10.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください(注1)
UiRB	0~8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください
UIMR	SMD2~SMD0	転送データが7ビットの場合、“1002”を設定してください。 転送データが8ビットの場合、“1012”を設定してください。 転送データが9ビットの場合、“1102”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TxD / RxD入出力極性を選択してください
Uic0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS / RTS機能の許可または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください(注3)
	CKPOL	“0” にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0” にしてください。
Uic1	TE	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2送信割り込み要因を選択してください
	U2RRM(注2)	“0” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0” にしてください
	RCSP	UART0のCTS ₀ 信号をP64端子から入力する場合、“1” にしてください
	7	“0” にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0~6、転送データ長8ビット：ビット0~7、
転送データ長9ビット：ビット0~8

注2. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCON
レジスタにあります。

注3. TxD₂端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは“0” にしてください。

i=0~2

表 10.7 に UART モード時の入出力端子の機能を示します。表 10.8 に UART モード時の P64 端子の機能を示します。なお、UART_i の動作モード選択後、転送開始までは、TxDi 端子は “H” を出力します (N チャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 10.7 UART モード時の入出力端子の機能

端子名	機能	選択方法
TxDi(i=0~2) (P63, P67, P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62, P66, P71)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65, P72)	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
CTS _i /RTS _i (P60, P64, P73)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表 10.8 UART モード時の P64 端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P64	1	—	0	0	入力 : 0、出力 : 1
CTS ₁	0	0	0	0	0
RTS ₁	0	1	0	0	—
CTS ₀ (注1)	0	0	1	0	0

注1. この他にU0C0レジスタのCRDビットを “0” (CTS₀/RTS₀許可)、U0C0レジスタのCRSビットを “1” (RTS₀選択)にしてください。

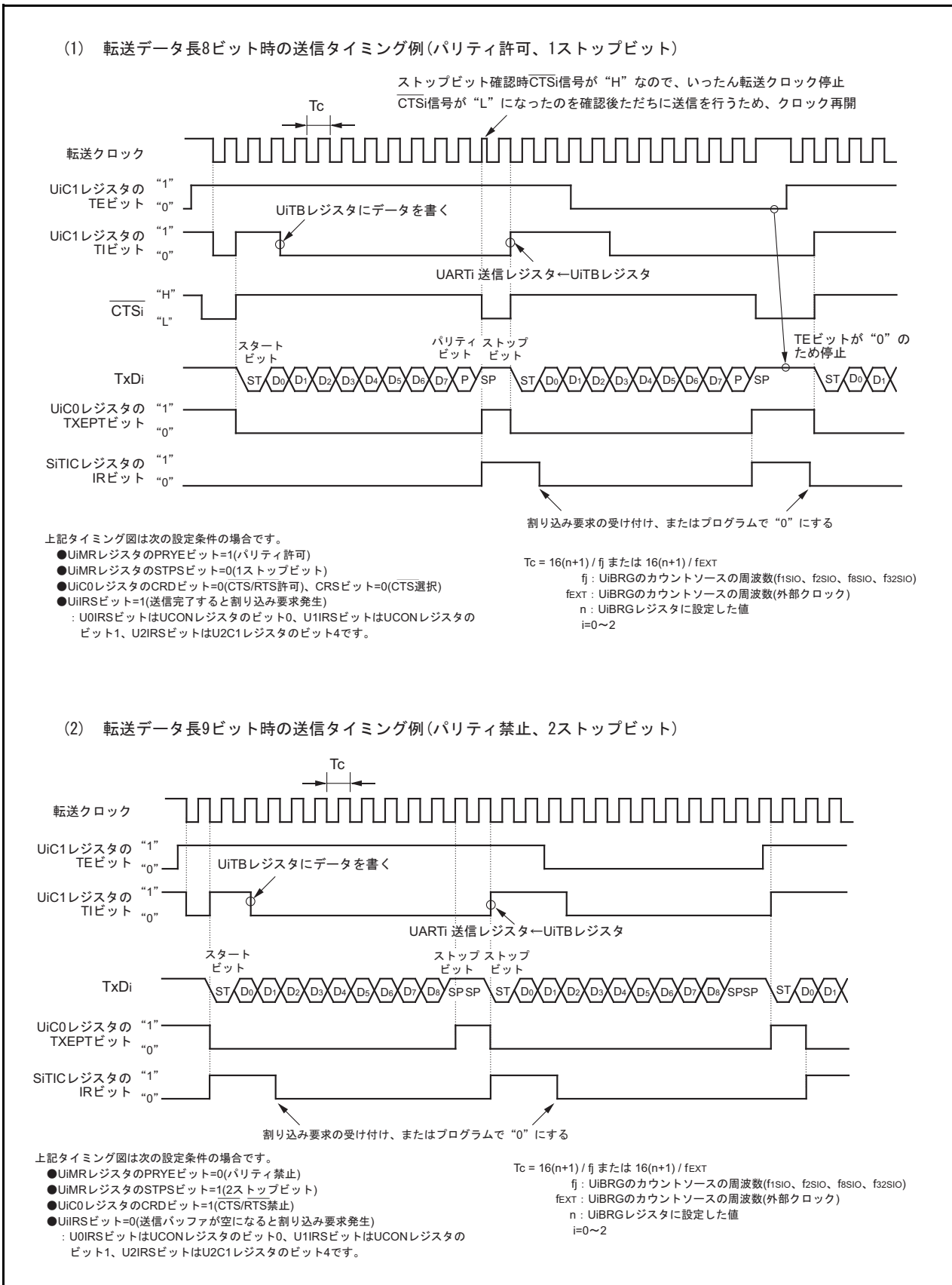


図10.15 UARTモード時の送信タイミング例

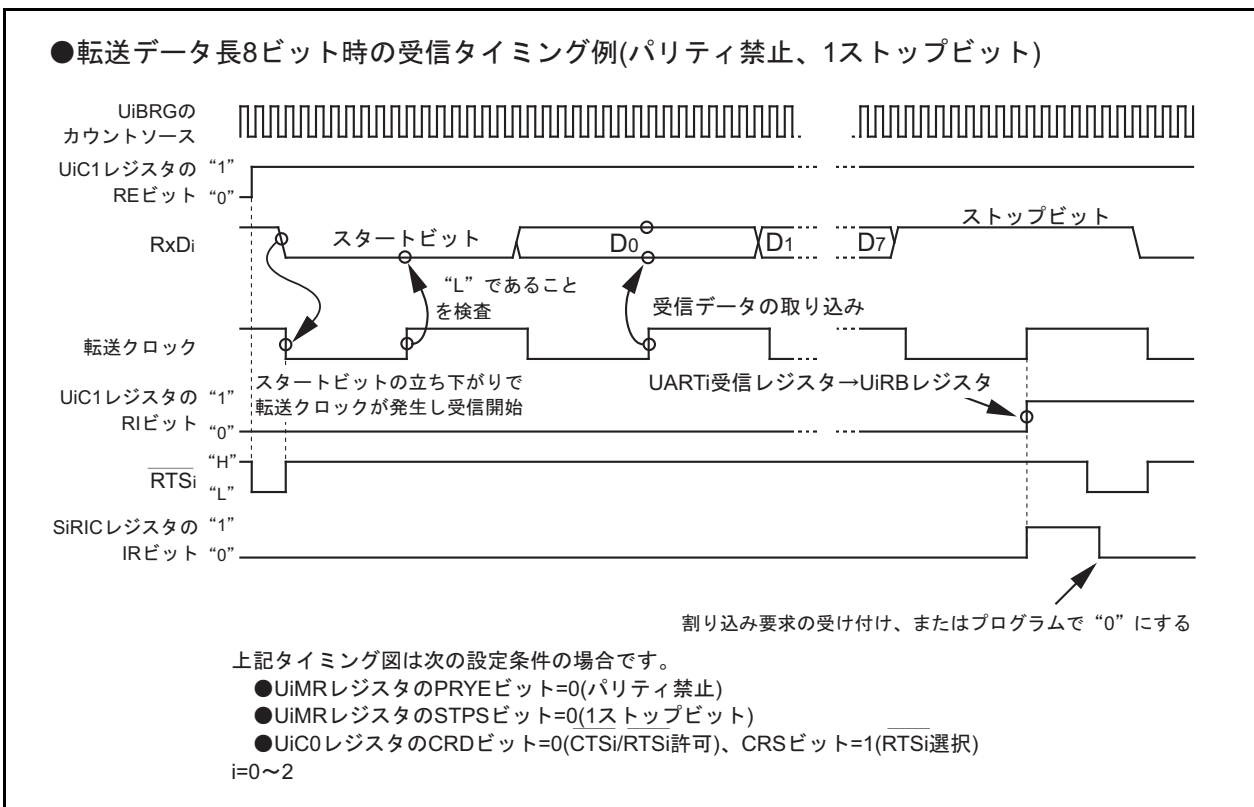


図 10.16 UARTモード時の受信タイミング例

■ LSBファースト、MSBファースト選択

図 10.17に示すように、UIC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

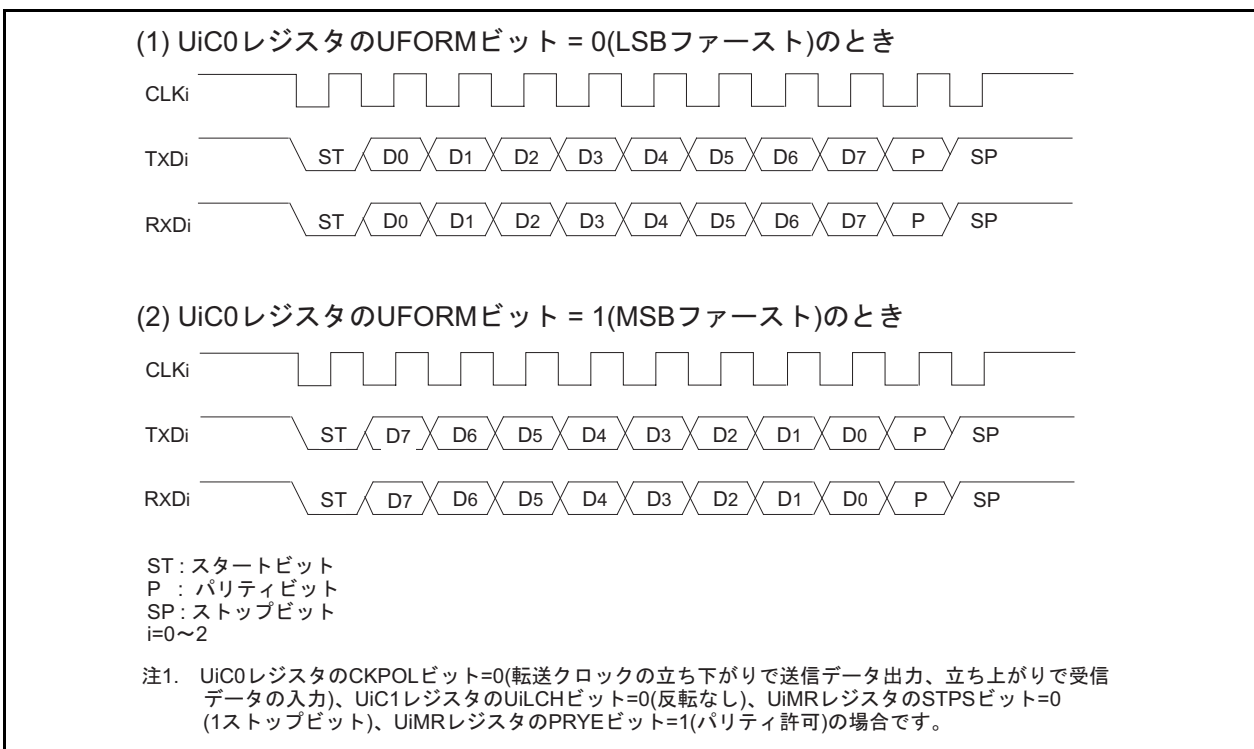


図 10.17 転送フォーマット

■ シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図10.18にシリアルデータ論理を示します。

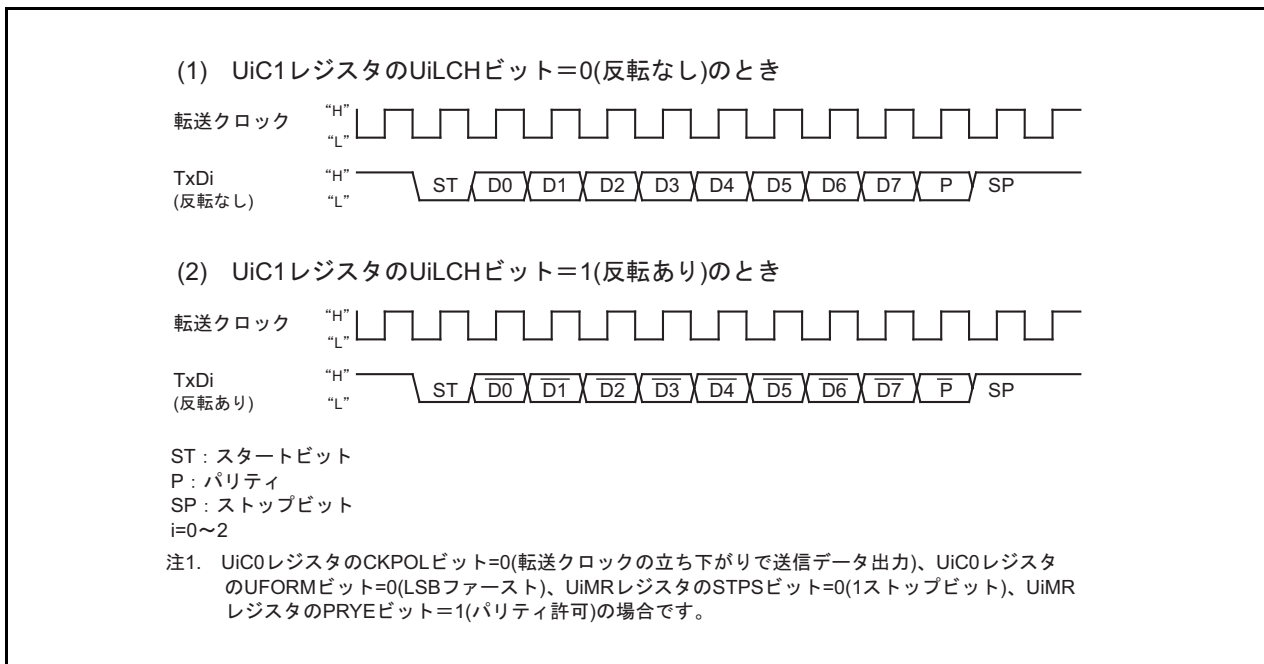


図10.18 シリアルデータ論理

■ TxD、RxD入出力極性切り替え機能

TxDi端子出力とRxDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図10.19にTxD、RxD入出力極性切り替えを示します。

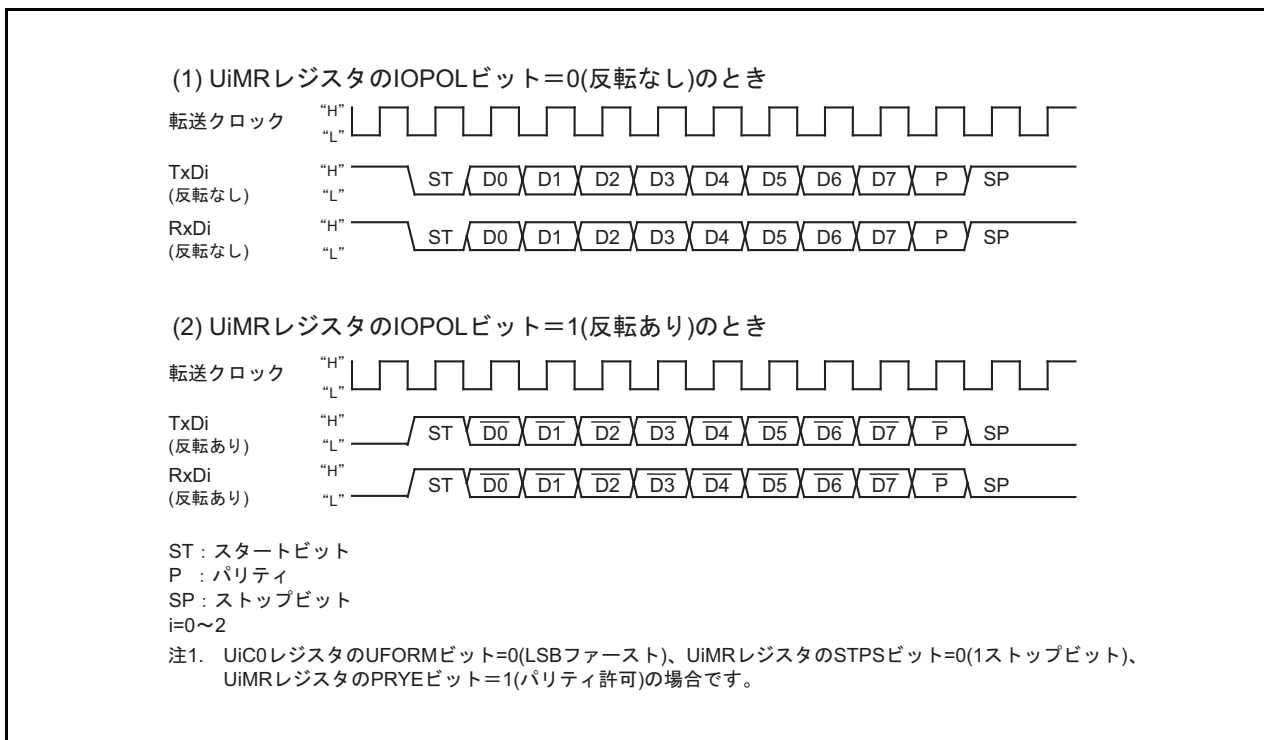


図10.19 TxD、RxD入出力極性切り替え

■ $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP60端子から出力、 $\overline{\text{CTS}}_0$ をP64端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U0C0レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}$ 出力)
- U1C0レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U1C0レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
- UCONレジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP64端子から入力)
- UCONレジスタのCLKMD1ビット=0(CLKS₁を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

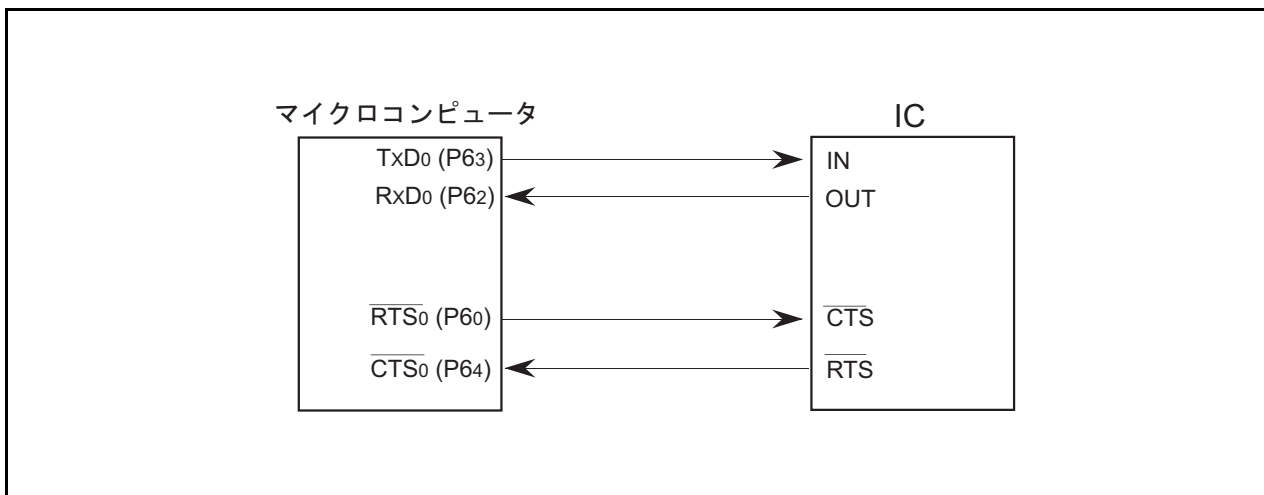


図 10.20 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

10.4 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表10.9にI²Cモードの仕様を、表10.10～表10.11にI²Cモード時の使用レジスタと設定値を、表10.12にI²Cモード時の各機能を、図10.21にI²Cモード時のブロック図を、図10.22にSCLiタイミングを示します。

表10.12に示すように、SMD2～SMD0ビットを“0102”に、IICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表 10.9 I²Cモードの仕様

項 目	仕 様
転送データフォーマット	●転送データ長 8ビット
転送クロック	●マスタ時 UiMRレジスタ(i=0～2)のCKDIRビットが“0”(内部クロック): $f_j/2(n+1)$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ $n=UiBRG$ レジスタの設定値 0016～FF16 ●スレーブ時 CKDIRビットが“1”(外部クロック): SCLi端子からの入力
送信開始条件	●送信開始には、次の条件が必要です(注1)。 ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	●受信開始には、次の条件が必要です(注1)。 ・UiC1レジスタのREビットが“1”(受信許可) ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	●オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	●アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可 ●SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を選択可 ●クロック位相設定 クロック遅れあり、なしを選択可

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

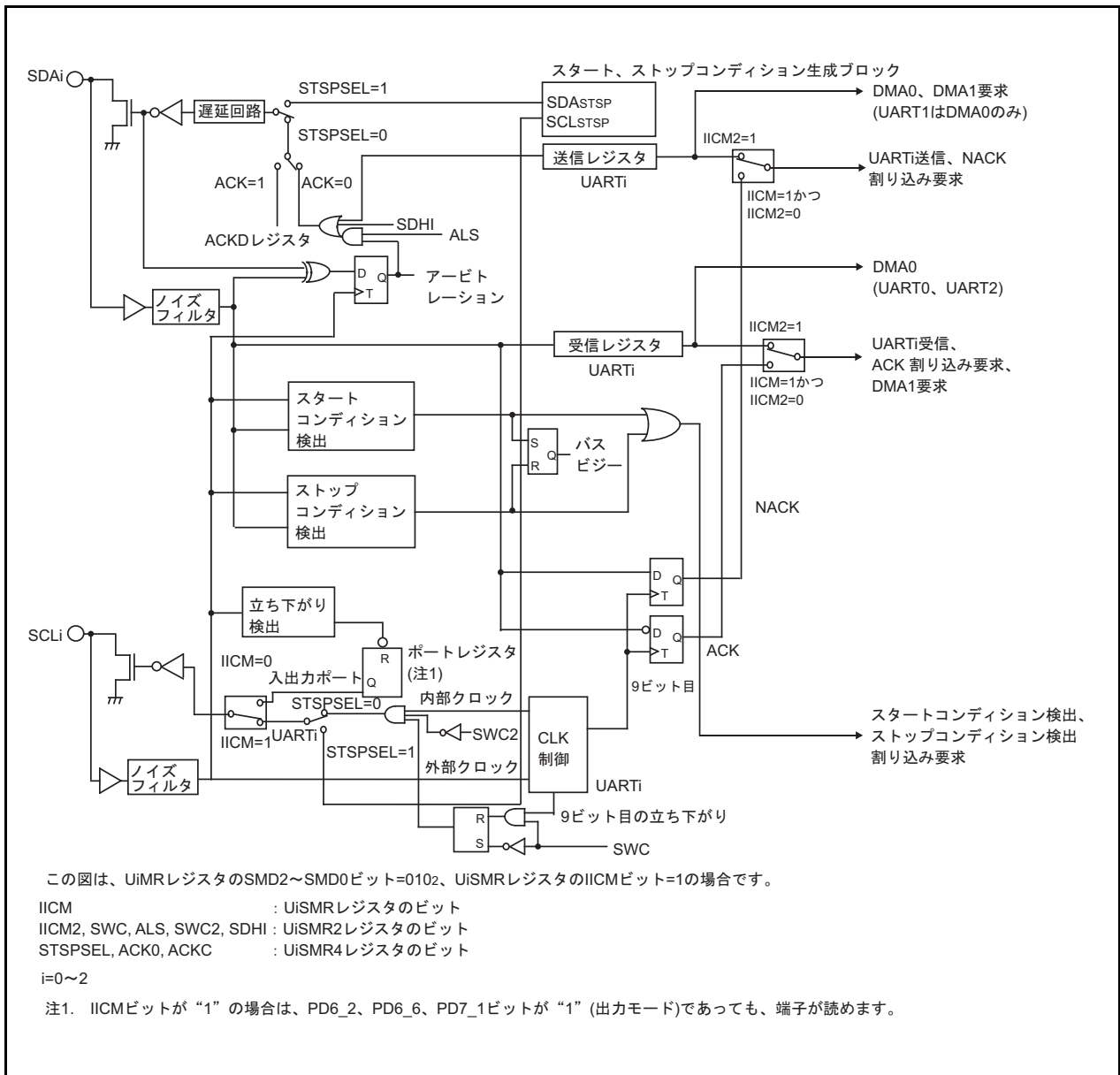


図 10.21 I²Cモードのブロック図

表 10.10 I²Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機 能	
		マスタ時	スレーブ時
UiTB(注3)	0~7	送信データを設定してください	送信データを設定してください
UiRB(注3)	0~7	受信データが読めず	受信データが読めず
	8	ACK、NACKが入りません	ACK、NACKが入りません
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください	無効
UiMR(注3)	SMD2~SMD0	"0102" にしてください	"0102" にしてください
	CKDIR	"0" にしてください	"1" にしてください
	IOPOL	"0" にしてください	"0" にしてください
UiC0	CLK1~CLK0	UiBRGのカウンツソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	"1" にしてください	"1" にしてください
	NCH	"1" にしてください(注2)	"1" にしてください (注2)
	CKPOL	"0" にしてください	"0" にしてください
	UFORM	"1" にしてください	"1" にしてください
UiC1	TE	送信を許可する場合、"1" にしてください	送信を許可する場合、"1" にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、"1" にしてください	受信を許可する場合、"1" にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS(注1)	無効	無効
	U2RRM(注1) UiLCH、UiERE	"0" にしてください	"0" にしてください
UiSMR	IICM	"1" にしてください	"1" にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	"0" にしてください	"0" にしてください
UiSMR2	IICM2	「表11.12 I ² Cモード時の各機能」参照	「表11.12 I ² Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、 "1" にしてください	"0" にしてください
	SWC	クロックの9ビット目の立ち下がり SCLi出力を"L"出力固定にする場合、 "1" にしてください	クロックの9ビット目の立ち下がり SCLi出力を"L"出力固定にする場合、 "1" にしてください
	ALS	アービトレーションロスト検出時にSDAiの 出力を停止する場合 "1" にしてください	"0" にしてください
	STAC	"0" にしてください	スタートコンディション検出でUARTiを 初期化する場合、"1" にしてください
	SWC2	SCLiの出力を強制的に"L"にする場合、 "1" にしてください	SCLiの出力を強制的に"L"にする場合、 "1" にしてください
	SDHI	SDAi出力を禁止をする場合、"1"に してください	SDAi出力を禁止をする場合、"1"に してください
	7 "	"0" にしてください	"0" にしてください
UiSMR3	0、2、4、NODC	"0" にしてください	"0" にしてください
	CKPH	「表11.12 I ² Cモード時の各機能」参照	「表11.12 I ² Cモード時の各機能」参照
	DL2~DL0	SDAiのデジタル遅延値を設定してください	SDAiのデジタル遅延値を設定してください

注1. U0C1、U1C1レジスタのビット4、5は"0" にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TxD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは"0" にしてください。

注3. この表に記載していないビットはI²Cモード時に書く場合、"0" を書いてください。

i=0~2

表 10.11 I²Cモード時の使用レジスタと設定値 (2)

レジスタ	ビット	機 能	
		マスタ時	スレーブ時
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STSPSEL	各コンディション出力時に“1”に“ してください	“0”にしてください。
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”に してください	ACKデータを出力する場合、“1”に してください
	SCLHI	ストップコンディション検出時にSCLi出力 を停止する場合、“1”にしてください	“0”にしてください。
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がりでSCLiを“L”ホールドにする場合、“1”にしてください
IFSR2A	IFSR26、IFSR27	“1”にしてください	“1”にしてください
UCON	U0IRS、U1IRS	無効	無効
	2~7	“0”にしてください	“0”にしてください

i=0~2

表 10.12 I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=1002,SMD0 IICM=0)	I ² Cモード (SMD2~SMD0=0102,IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1 (UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れあり)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号 6, 7, 10の要因 (注1、注5、注7)	—	スタートコンディション検出、ストップコンディション検出 (「表10.13. STSPSELビットの機能」参照)			
割り込み番号 15, 17, 19の要因 (注1、注6)	UARTi送信 送信開始、または送信完 了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり		UARTi送信 9ビット目のSCLiの 立ち上がり	UARTi送信 9ビット目の次の SCLiの立ち下がり
割り込み番号 16, 18, 20の要因 (注1、注6)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり		UARTi受信 9ビット目のSCLiの立ち下がり	
UART受信シフトレ ジスタからUiRBレジ スタへのデータ転送 タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり		9ビット目のSCLiの 立ち下がり	9ビット目のSCLiの 立ち下がり、立 ち上がり
UARTi送信出力遅延	遅延なし	遅延あり			
P63,P67,P70端子の 機能	TxDi出力	SDAi入出力			
P62,P66,P71端子の 機能	RxDi入力	SLi入出力C			
P61,P65,P72端子の 機能	CLKi入力または出力選 択	—(I ² Cモードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RxDi, SCLi端子レベ ルの読み込み	対応するポート方向ビッ トが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TxDi, SiDA出力の初 期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注2)			
SCLiの初期値、終了 値	—	H	L	H	L
DMA1要因 (注6)	UARTi受信	アクノリッジ検出(ACK)		UARTi受信 9ビット目のSCLiの立ち下がり	
受信データ格納	1~8ビット目をUiRBレ ジスタのビット0~7に 格納	1~8ビット目をUiRBレジスタのビット7~0 に格納		1~7ビット目をUiRBレジスタのビット6 ~0に、8ビット目をUiRBレジスタのビッ ト8に格納	
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す	1~8ビット目 をUiRBレジスタの ビット7~0に格納 (注3)			
		UiRBレジスタのビ ット6~0はビット7 ~1として、ビッ ト8はビット0とし て読み出す(注4)			

i=0~2

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「注意事項集の「割り込み注意事項」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

注2. SDAi出力の初期値は、SMD2~SMD0ビットが“0002”(シリアルI/Oが無効)の状態を設定してください。

注3. UiRBレジスタへのデータ転送2回目(9ビット目SCLi立ち上がり時)

注4. UiRBレジスタへのデータ転送1回目(9ビット目SCLi立ち下がり時)

注5. 「図10.13. STSPSELビットの機能」参照。

注6. 「図10.22. UiRBレジスタへの転送、割り込みのタイミング」参照。

注7. UART0使用時はIFSR2AレジスタのIFSR26ビットを“1”(割り込み要因はUART0バス衝突)にしてください。

UART1使用時はIFSR2AレジスタのIFSR27ビットを“1”(割り込み要因はUART1バス衝突)にしてください。

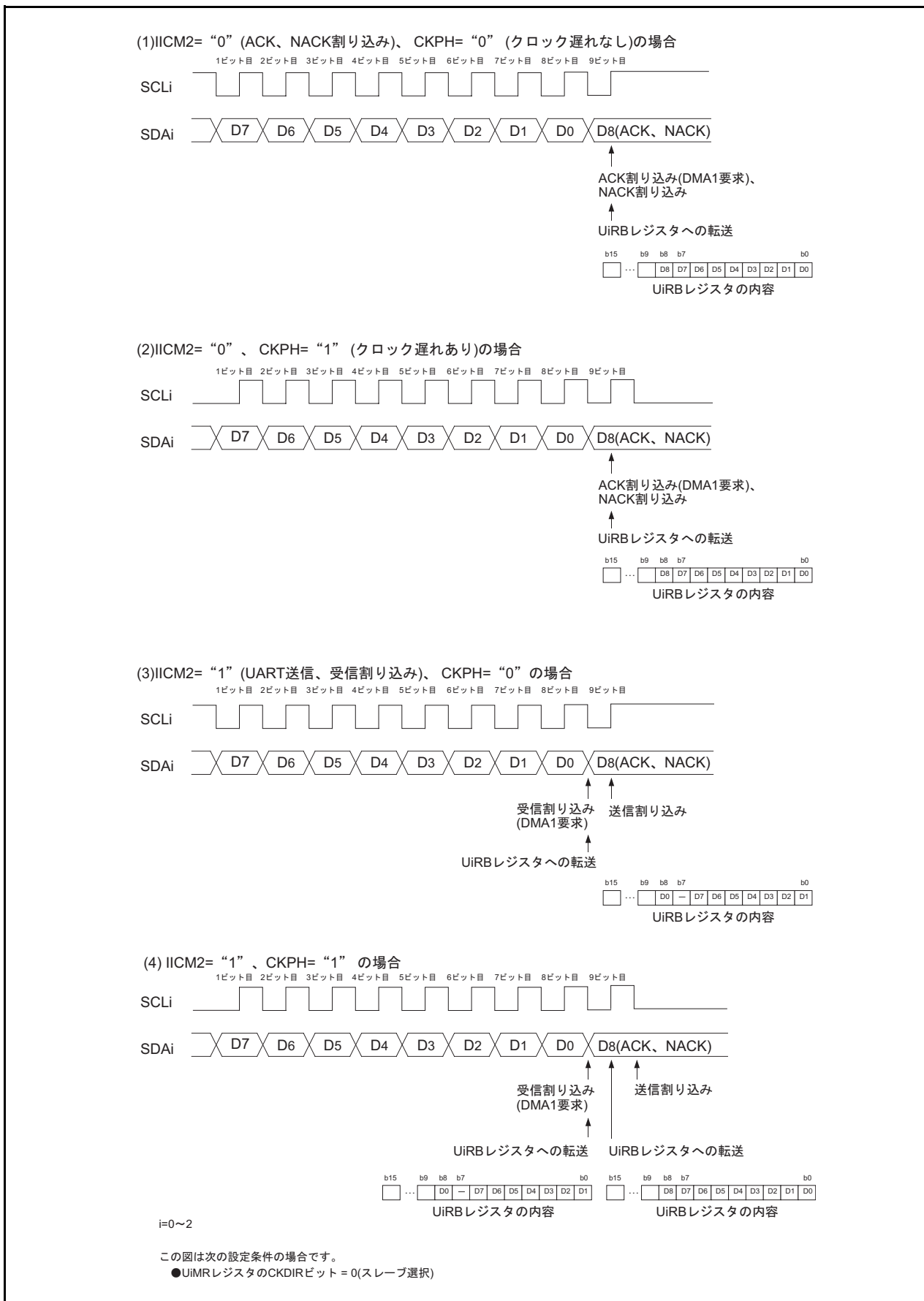


図 10.22 UiRBレジスタへの転送、割り込みのタイミング

●スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

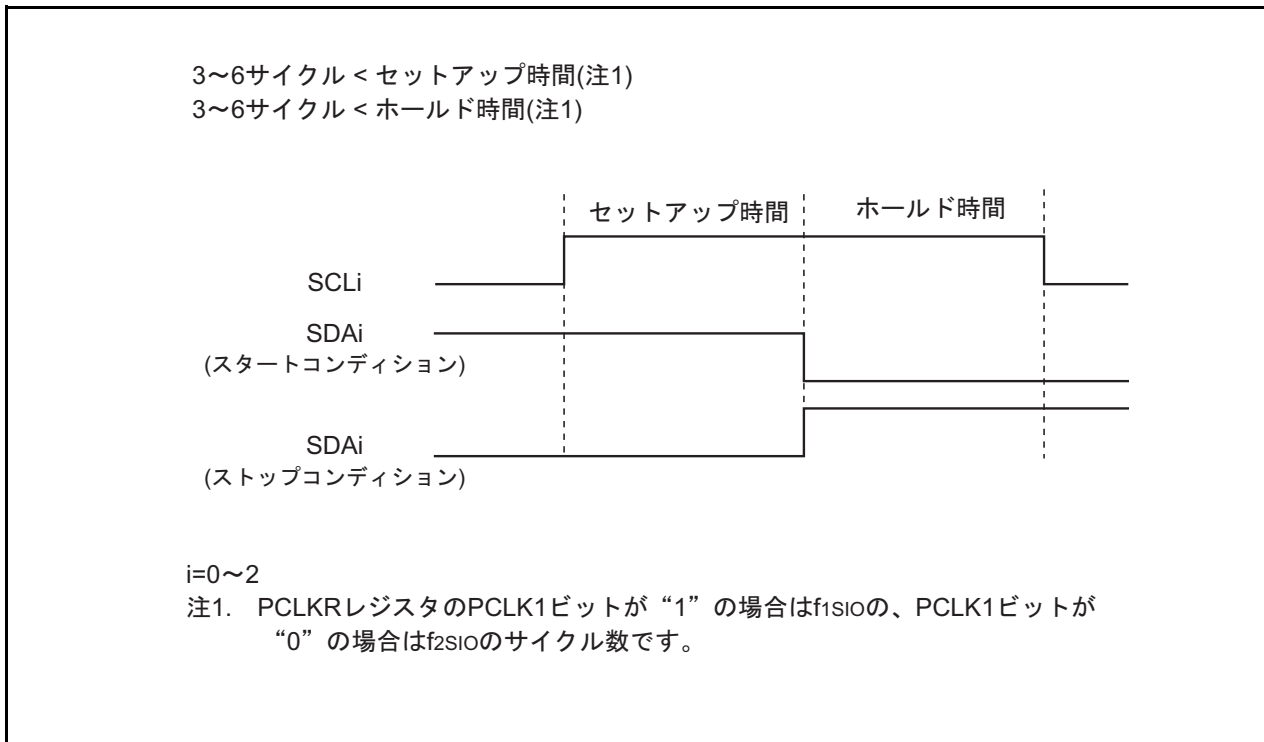


図 10.23 スタートコンディション、ストップコンディションの検出

●スタートコンディション、ストップコンディションの出力

UiSMR4レジスタ(i=0~2)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

出力の手順は次の通りです。

(1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする

(2) UiSMR4レジスタのSTSPSELビット“1”(出力)にする

表 10.13 と図 10.24 に STSPSEL ビットの機能を示します。

表 10.13 STSPSEL ビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、 STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

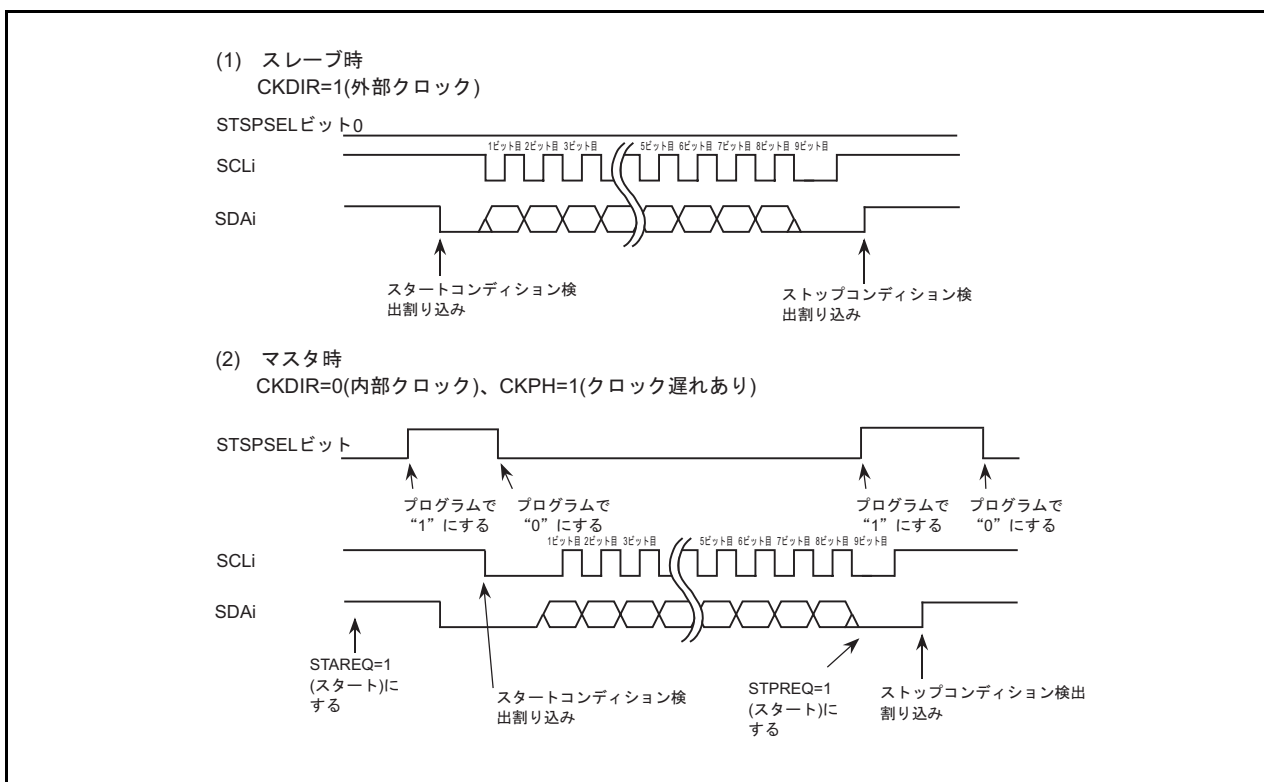


図 10.24 STSPSEL ビットの機能

●アービトレーション

SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。UiSMRレジスタのABCビットで、UiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、9ビット目のクロックの立ち下がりまでABTビットが“1”(不一致検出)になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”(未検出)にしてから、次の1バイトを転送してください。

UiSMR2レジスタのALSビットを“1”(SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1”(不一致検出)になったとき、同時にSDAi端子がハイインピーダンス状態になります。

● 転送クロック

図10.24に示すような転送クロックで送受信を行います。

UiSMR2レジスタのCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。

したがって、UARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。なお、転送クロックは内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCLi端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

● SDA出力

UiTBレジスタのビット7~0(D7~D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICM=1(I²Cモード)で、UiMRレジスタのSMD2~SMD0ビットが“0002”(シリアルI/Oは無効)の状態を設定してください。

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。ABTビットが“1”(検出)になる場合があります。

● SDA入力

IICM2ビットが“0”のとき、受信したデータの1~8ビット目(D7~D0)をUiRBレジスタのビット7~0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

● ACK、NACK

UiSMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA1要求要因にACKiを選択すると、アクノリッジ検出によってDMA転送を起動できます。

● 送受信初期化

STACビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

10.5 特殊モード2

1つのマスタから、複数のスレーブへシリアル通信できます。また、転送クロックの極性と位相を選択できます。表10.14に特殊モード2の仕様を、表10.15に特殊モード2時の使用レジスタと設定値を、図10.25に特殊モード2の通信制御例を示します。

表10.14 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> ●マスタモード UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック選択) : $f_j/2(n+1)$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$: UiBRGレジスタ設定値。0016~FF16。 ●スレーブモード CKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要です。(注1) <ul style="list-style-type: none"> ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です。(注1) <ul style="list-style-type: none"> ・UiC1レジスタのREビットが“1”(受信許可) ・TEビットが“1”(送信許可) ・TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> ・UiC1レジスタのUiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信時 ・UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> ●クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

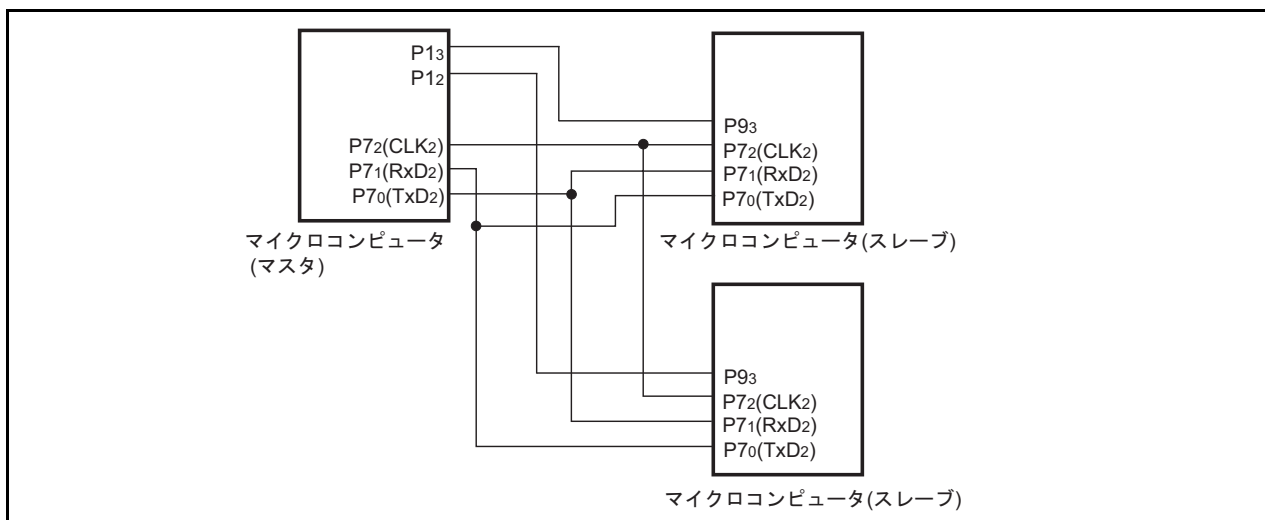


図10.25 特殊モード2の通信制御例(UART2)

表 10.15 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めず
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR(注3)	SMD2~SMD0	“0012” にしてください
	CKDIR	マスタモードの場合 “0” に、スレーブモードの場合 “1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD= “1” なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください(注2)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	“0” にしてください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)、U2LCH、UIERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0” にしてください
	0、2、4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

注1. U0C0、U1C1レジスタのビット4、5は “0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TxD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは “0” にしてください。

注3. この表に記載していないビットは特殊モード2時に書く場合、“0” を書いてください。

i=0~2

■ クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

● マスタ（内部クロック）の場合

図10.26にマスタ(内部クロック)の場合の送受信のタイミングを示します。

● スレーブ（外部クロック）の場合

図10.27にスレーブ（外部クロック）の場合の送受信のタイミング（CKPH=0）、図10.28にスレーブ（外部クロック）の場合の送受信のタイミング（CKPH=1）を示します。

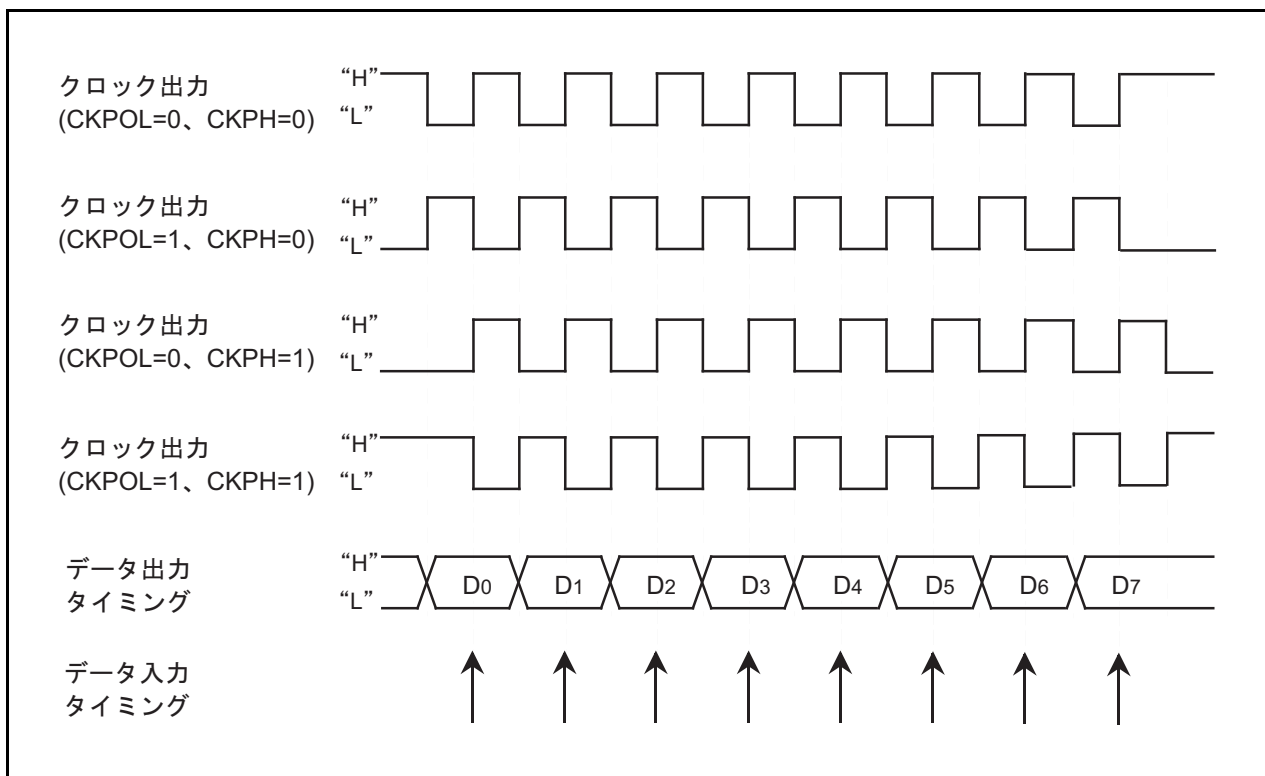


図10.26 マスタ(内部クロック)の場合の送受信のタイミング

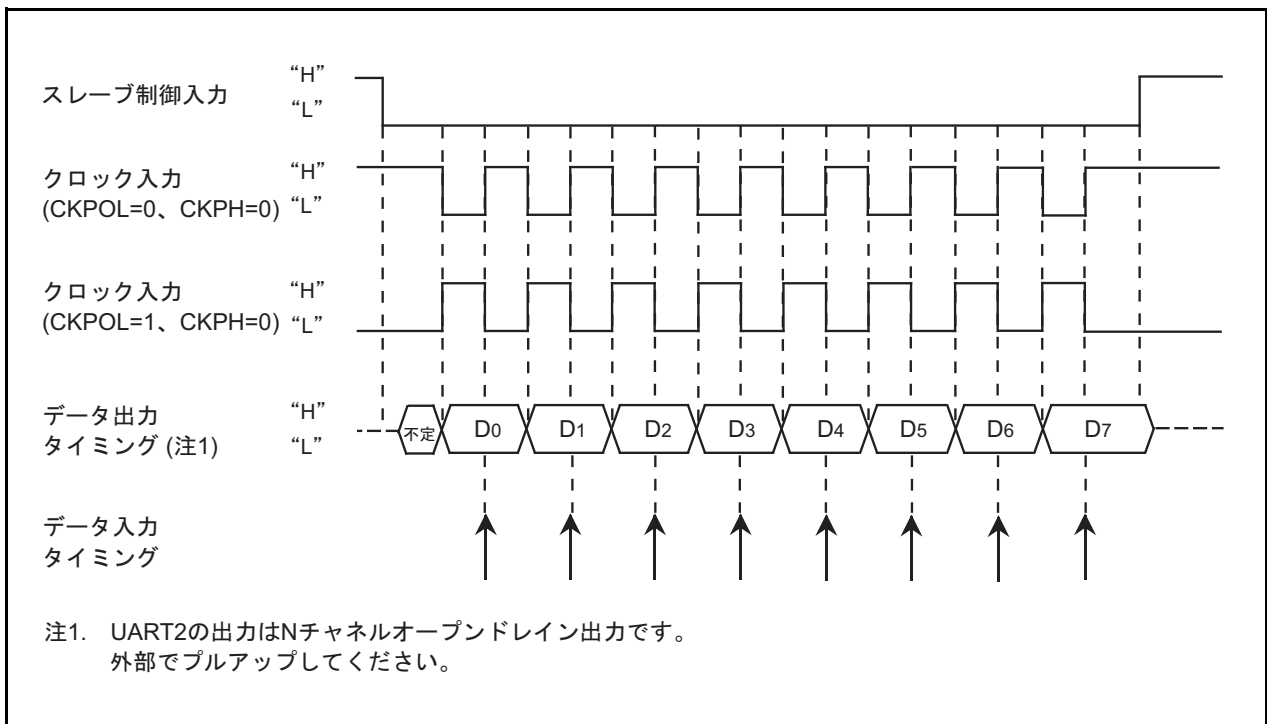


図 10.27 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

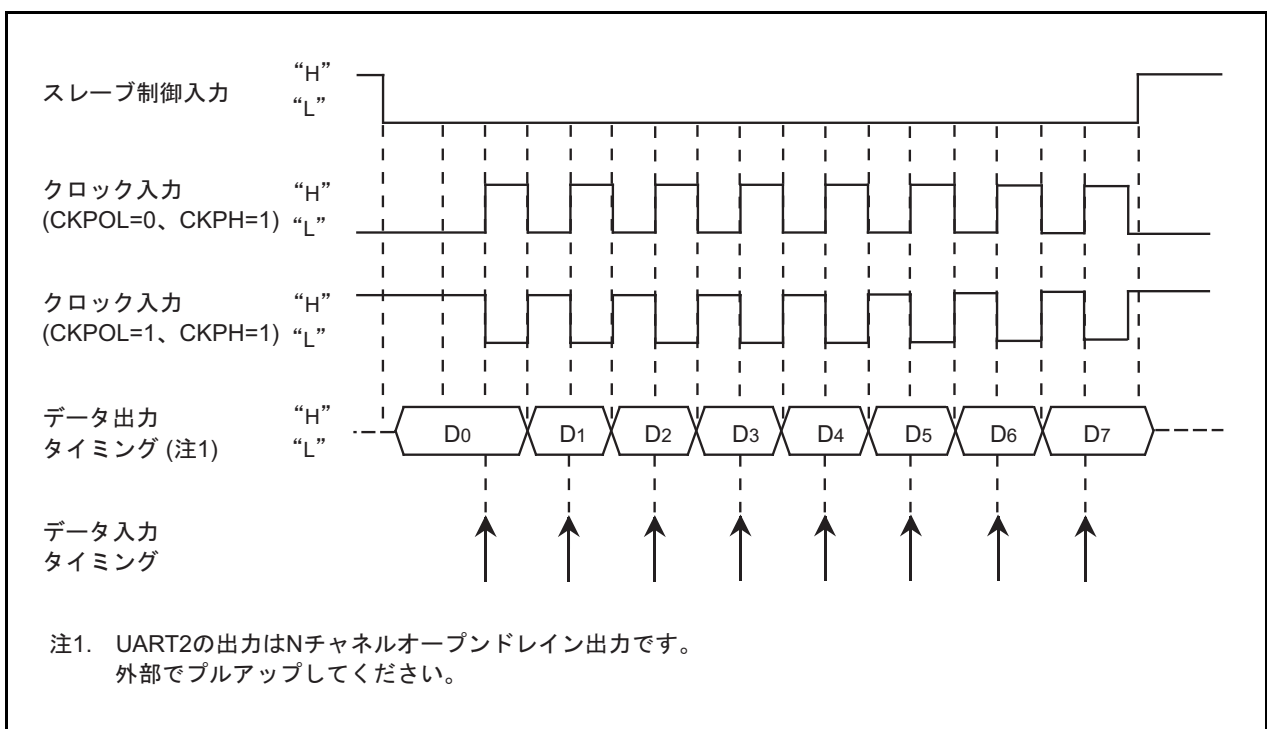


図 10.28 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

10.6 特殊モード3(IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表10.16にIEモード時の使用レジスタと設定値を、図10.29にバス衝突検出機能関連ビットの機能を示します。

TxDi端子(i=0~2)の出力レベルとRxDi端子の入力レベルが異なる場合、UARTiバス衝突検出割り込み要求が発生します。

UART0、UART1のバス衝突検出機能を使用する場合は、IFSR2AレジスタのIFSR26ビットとIFSR27ビットで選択してください。

表10.16 IEモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください
UiRB(注3)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“1102”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	PRYE=0なので無効
	PRYE	“0”にしてください
	IOPOL	TxD、RxD入出力極性を選択してください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TxDi端子の出力形式を選択してください(注2)
	CKPOL	“0”にしてください
	UFORM	“0”にしてください
UiC1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	UiRRM(注1)、 UiLCH、UiERE	“0”にしてください
UiSMR	0~3、7	“0”にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1”にしてください
	SSS	送信開始条件を選択してください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
IFSR2A	IFSR26、IFSR27	“1”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0”にしてください

注1. U0C0、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TxD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは“0”にしてください。

注3. この表に記載していないビットはIEモード時に書く場合、“0”を書いてください。

i=0~2

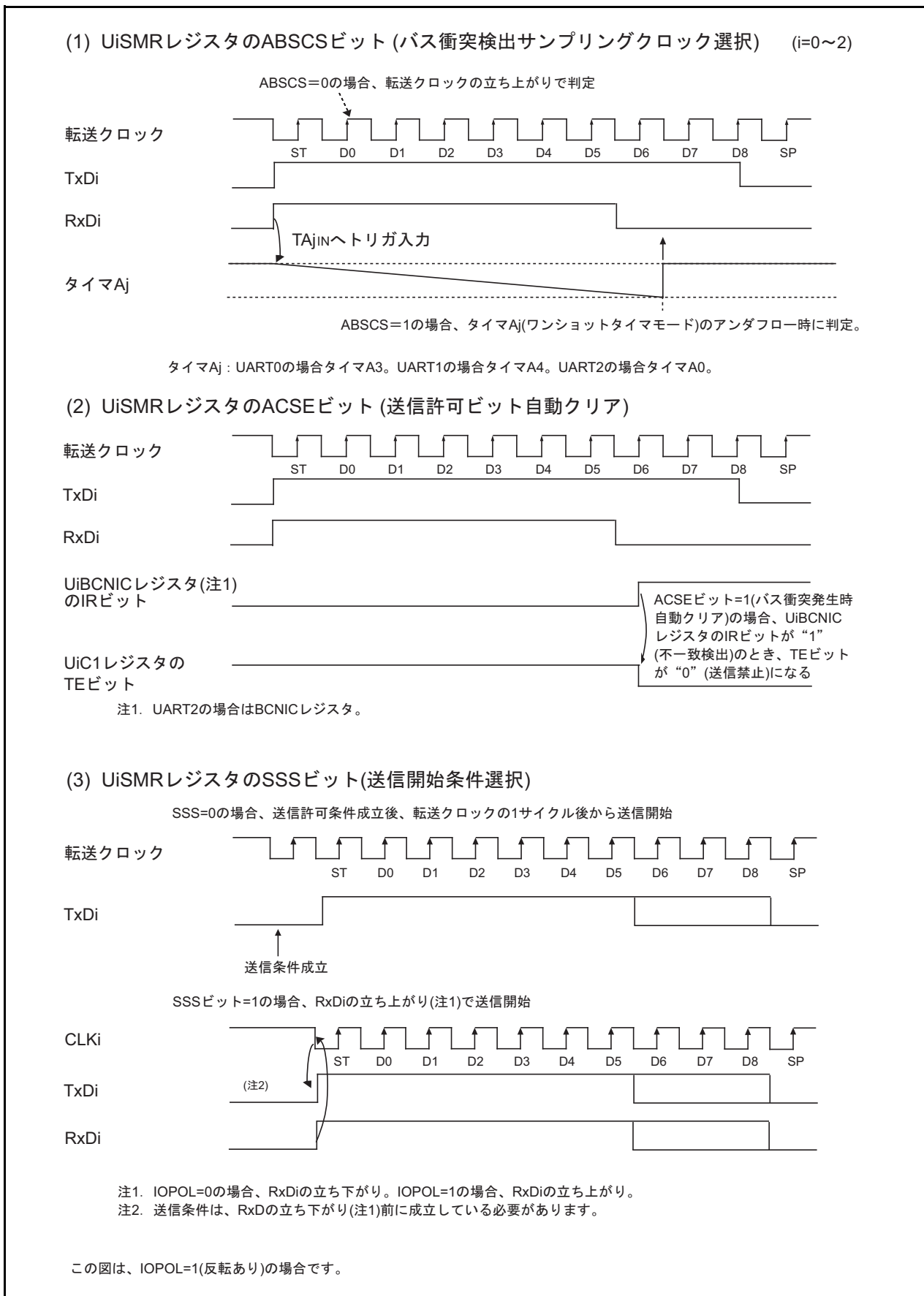


図 10.29 バス衝突検出機能関連ビットの機能

10.7 特殊モード4(SIMモード)(UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTxD2端子から“L”を出力できます。

表10.17にSIMモードの仕様を、表10.18にSIMモード時の使用レジスタと設定値を示します。

表10.17 SIMモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ●ダイレクトフォーマット ●インバースフォーマット
転送クロック	<ul style="list-style-type: none"> ●U2MRレジスタのCKDIRビットが“0”(内部クロック) : $f_i/16(n+1)$ $f_i=f1SIO、f2SIO、f8SIO、f32SIO$。n=U2BRGレジスタの設定値 0016~FF16 ●CKDIRビットが“1”(外部クロック) : $f_{EXT}/16(n+1)$ f_{EXT}はCLK2端子からの入力。n=U2BRGレジスタの設定値 0016~FF16
送信開始条件	<ul style="list-style-type: none"> ●送信開始には、次の条件が必要です。 <ul style="list-style-type: none"> ・U2C1レジスタのTEビットが“1”(送信許可) ・U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	<ul style="list-style-type: none"> ●受信開始には、次の条件が必要です。 <ul style="list-style-type: none"> ・U2C1レジスタのREビットが“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング (注2)	<ul style="list-style-type: none"> ●送信時 UART2送信レジスタからデータ転送完了時(U2IRSビット=“1”) ●受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	<ul style="list-style-type: none"> ●オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー 受信時、パリティエラーを検出すると、パリティエラー信号をTxD2端子から出力 送信時、送信割り込み発生時、RxD2端子の入力レベルによりパリティエラーを検知 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

表 10.18 SIMモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	0~7	送信データを設定してください
U2RB(注1)	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	転送速度を設定してください
U2MR	SMD2~SMD0	“1012” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	ダイレクトフォーマットの場合 “1” に、インパースフォーマットの場合 “0” にしてください
	PRYE	“1” にしてください
	IOPOL	“0” にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	“0” にしてください
	CKPOL	“0” にしてください
	UFORM	ダイレクトフォーマットの場合 “0” に、インパースフォーマットの場合 “1” にしてください
U2C1	TE	送信を許可する場合 “1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合 “1” にしてください
	RI	受信完了フラグ
	U2IRS	“1” にしてください
	U2RRM	“0” にしてください
	U2LCH	ダイレクトフォーマットの場合 “0” に、インパースフォーマットの場合 “1” にしてください
	U2ERE	“1” にしてください
U2SMR(注1)	0~3	“0” にしてください
U2SMR2	0~7	“0” にしてください
U2SMR3	0~7	“0” にしてください
U2SMR4	0~7	“0” にしてください

注1. この表に記載していないビットはSIMモード時に書く場合、“0”を書いてください。

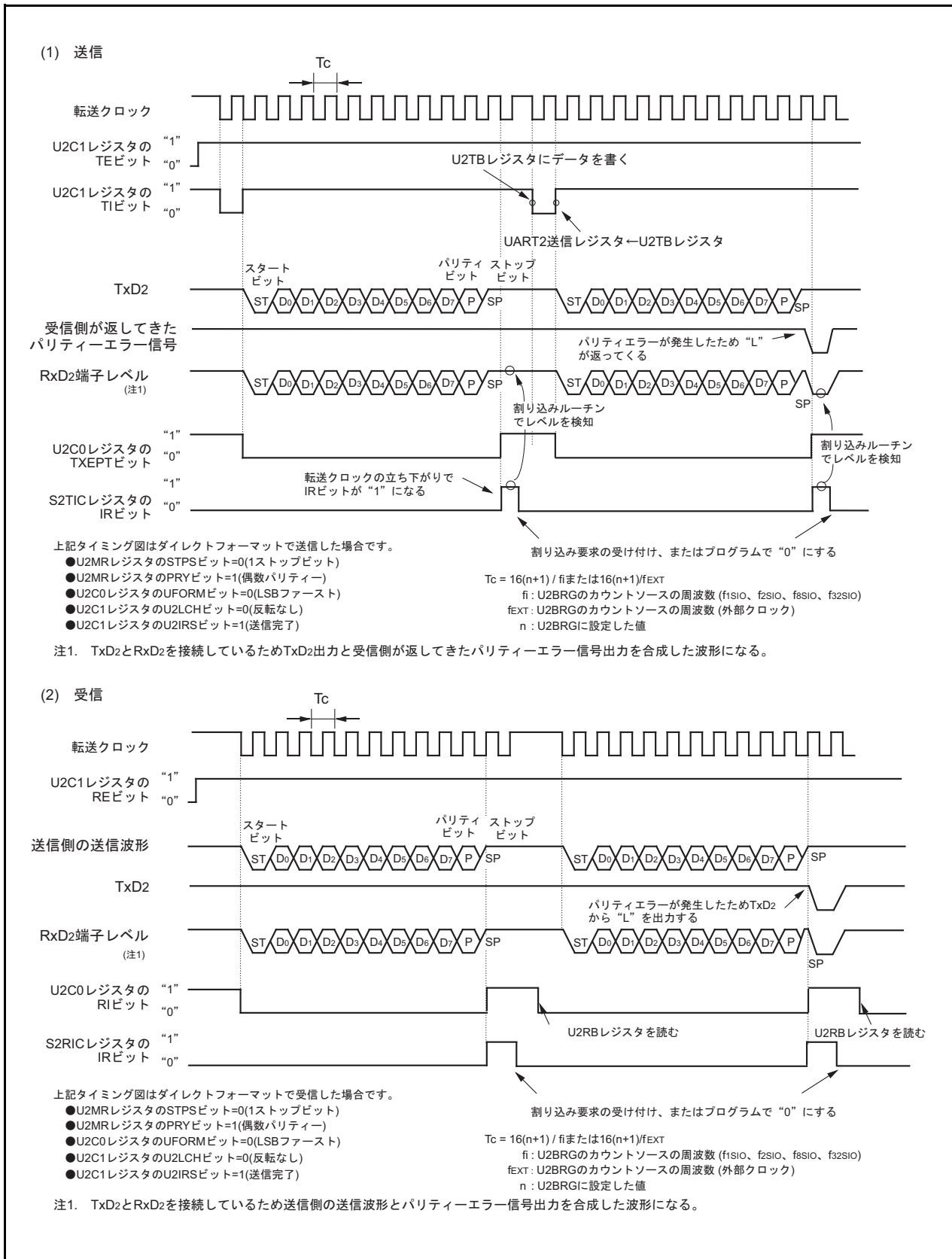


図 10.30 SIMモードの送受信タイミング例

図10.31にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

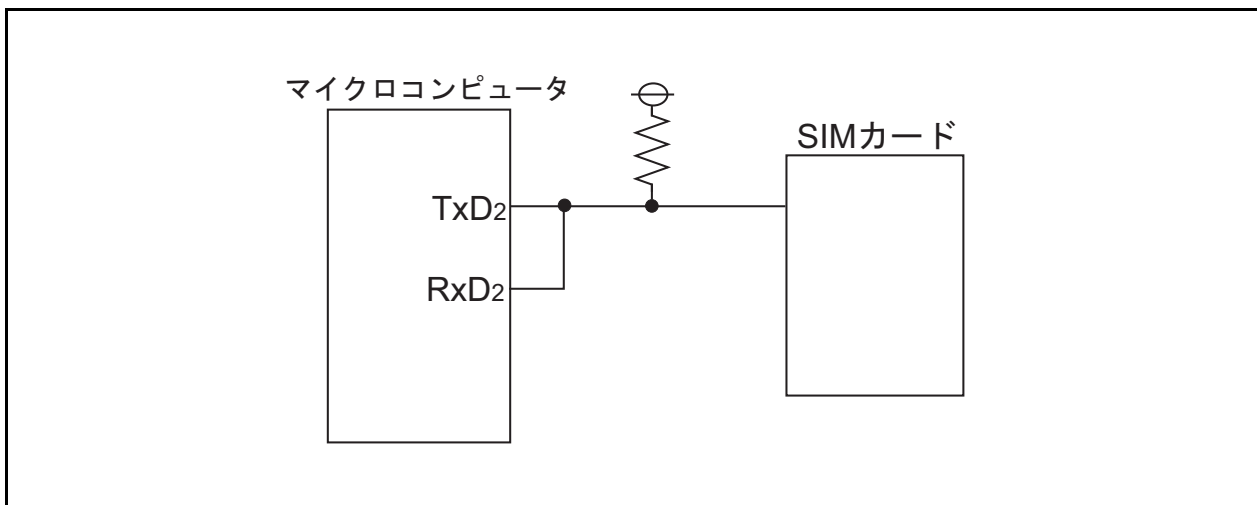


図 10.31 SIMインタフェース接続例

■パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”にすると、パリティエラー信号を使用できます。

•受信時

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図 10.32 に示すタイミングでTxD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、PERビットが“0”になり、同時にTxD2出力も“H”に戻ります。

•送信時

送信時、送信完了割り込み要求がストップビットを出力した次の転送クロックの立ち下がりで発生します。したがって、送信完了割り込みルーチンで、RxD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

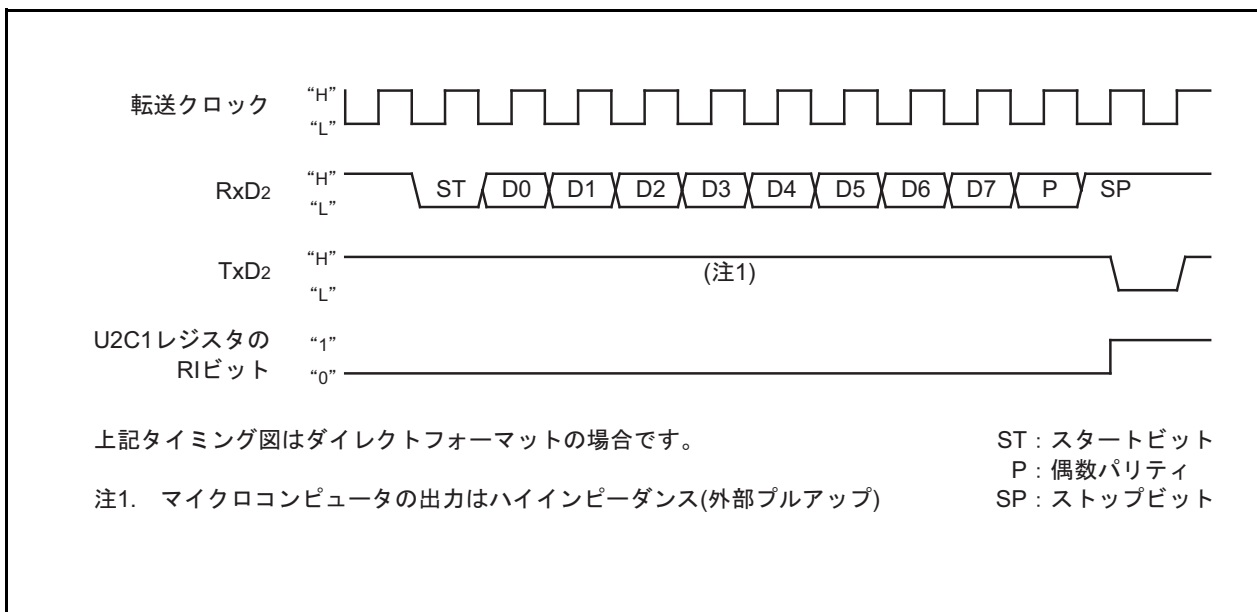


図 10.32 パリティエラー信号出力タイミング

■フォーマット

•ダイレクトフォーマット

U2MRレジスタのPRYビットを“1”、U2C0レジスタのUFORMビットを“0”、U2C1レジスタのU2LCHビットを“0”にしてください。

•インバースフォーマット

PRYビットを“0”、UFORMビットを“1”、U2LCHビットを“1”にしてください。

図10.33にSIMインタフェースフォーマットを示します。

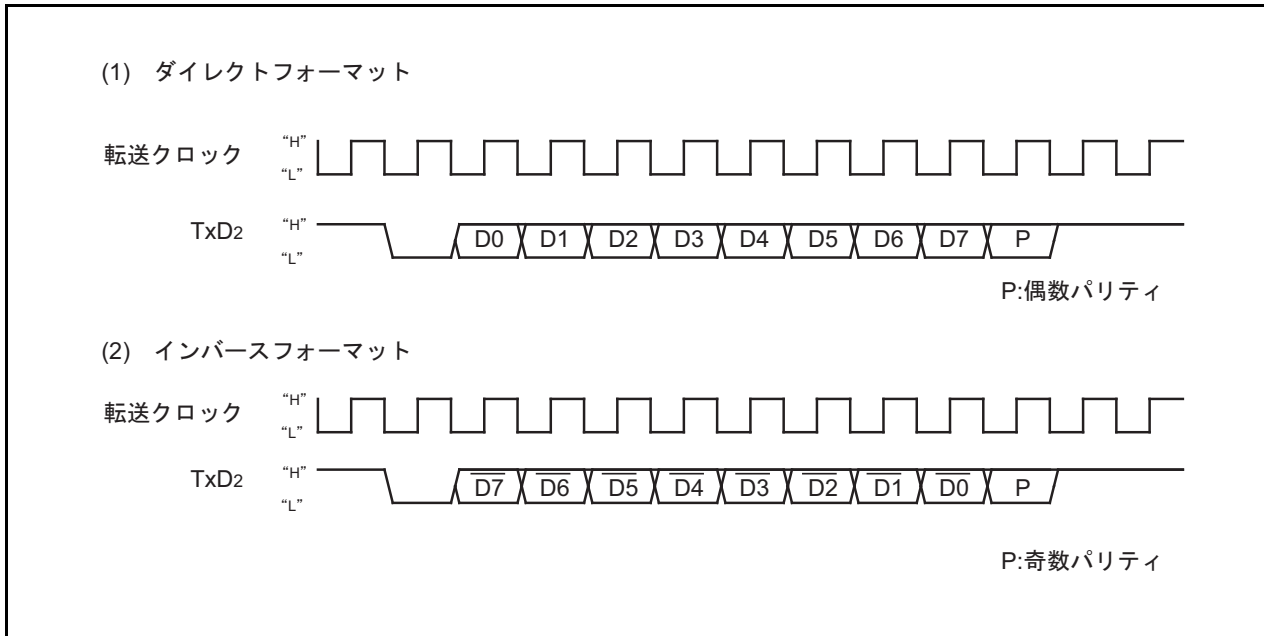


図10.33 SIMインタフェースフォーマット

10.8 SI/O3、SI/O4

SI/O3、SI/O4は、クロック同期形専用シリアルI/Oです。
 図10.34にSI/O3、SI/O4ブロック図、図10.35にSI/O3、SI/O4関連レジスタを示します。
 表10.19にSI/O3、SI/O4の仕様を示します。

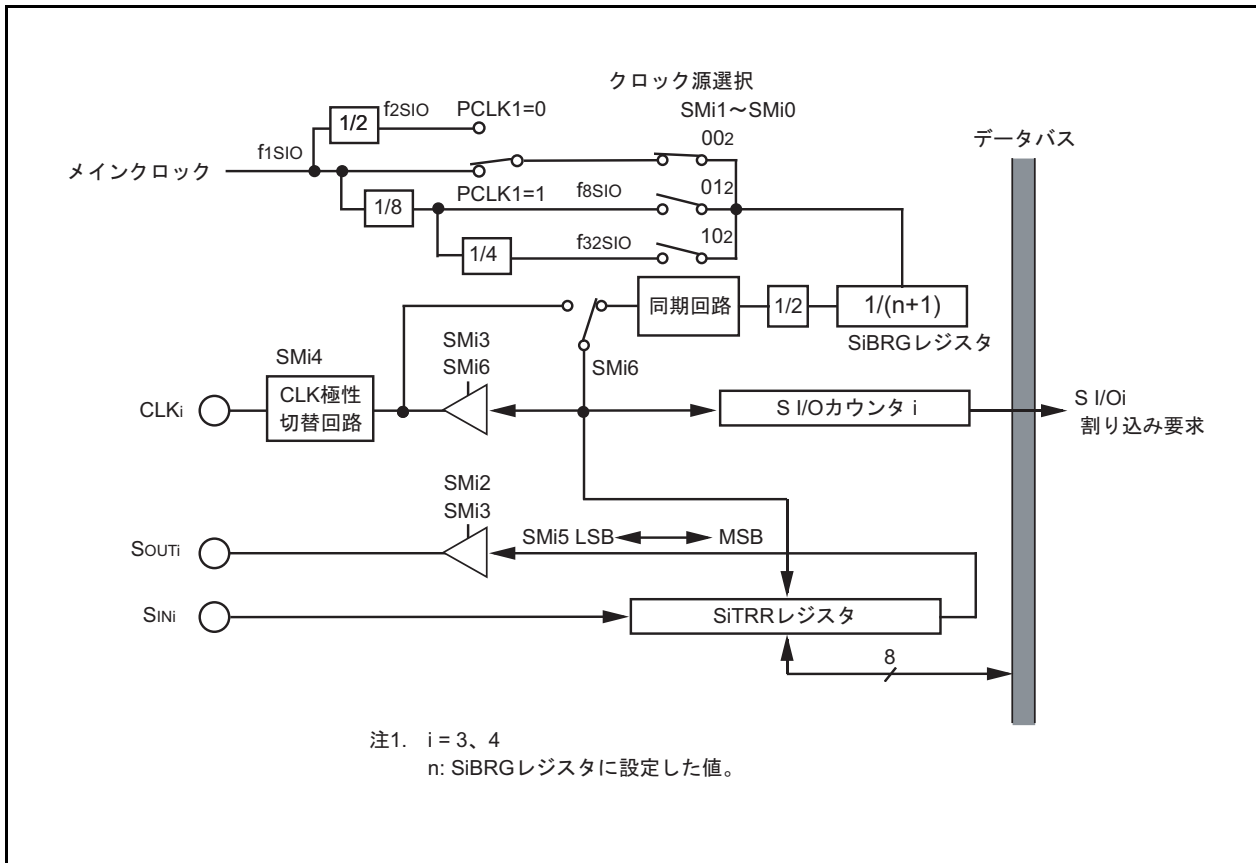


図10.34 SI/O3、SI/O4ブロック図

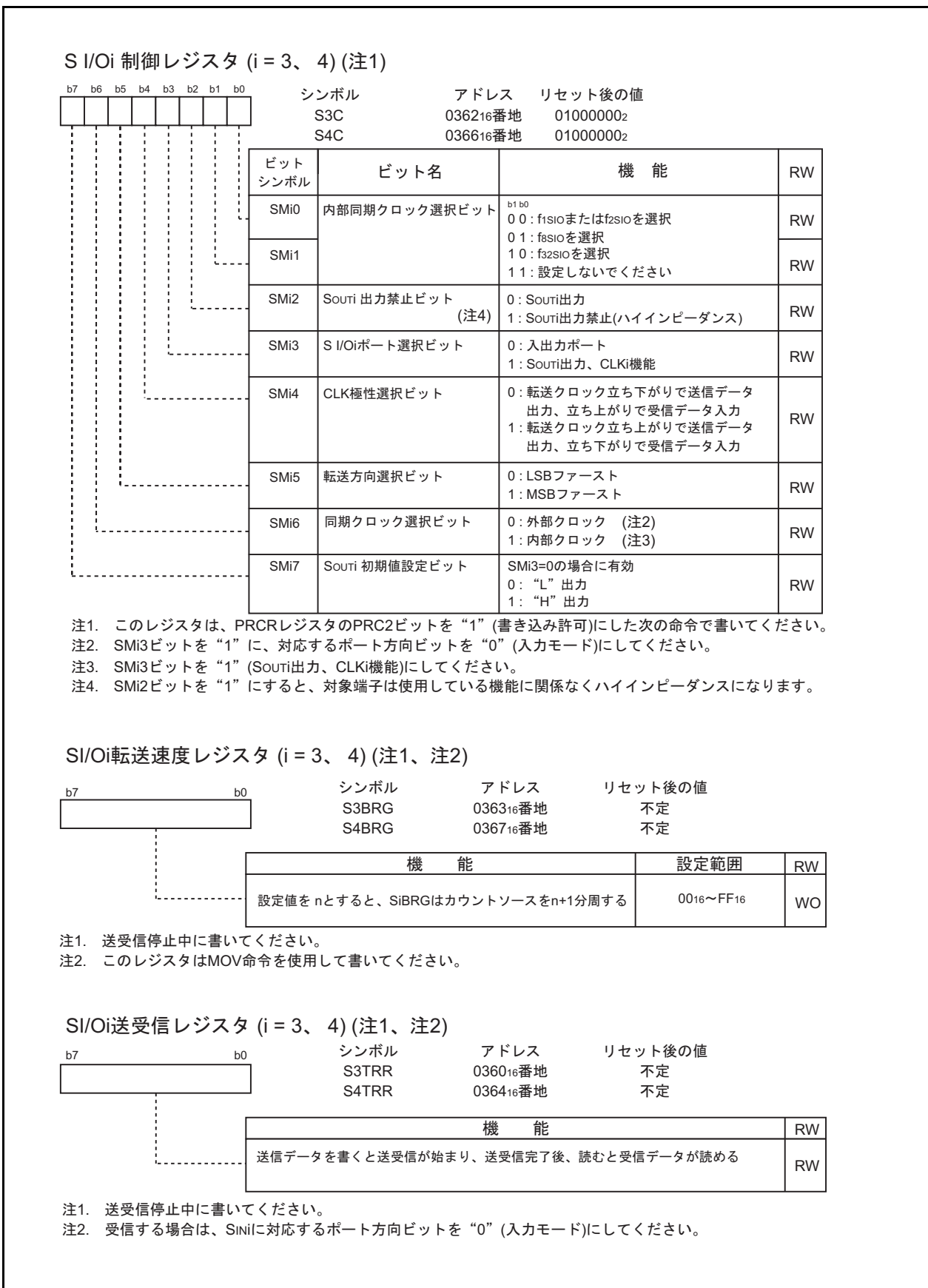


図 10.35 S3C、S4C、S3BRG、S4BRG、S3TRR、S4TRR レジスタ

表 10.19 SI/O3、SI/O4の仕様

項目	仕様
転送データフォーマット	●転送データ長 8ビット
転送クロック	●SiCレジスタ(i=3、4)のSMi6ビットが“1”(内部クロック): $f_j/2(n+1)$ $f_j=f_{1SIO}$ 、 f_{8SIO} 、 f_{32SIO} 。n=SiBRGレジスタの設定値 0016~FF16 ●SMi6ビットが“0”(外部クロック): CLKi端子から入力(注1)
送受信開始条件	●送受信開始には、次の条件が必要です SiTRRレジスタに送信データを書く(注2、注3)
割り込み要求発生タイミング	●SiCレジスタのSMi4ビットが“0”の場合 最後の転送クロックの立ち上がり(注4) ●SMi4ビットが“1”の場合 最後の転送クロックの立ち下がり(注4)
CLKi端子機能	入出力ポート、転送クロック入力、転送クロック出力
SOUTi端子機能	入出力ポート、送信データ出力、ハイインピーダンス
SINI端子機能	入出力ポート、受信データ入力
選択機能	●LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 ●SOUTi初期値設定機能 SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、送信していないときのSOUTi端子出力レベルを選択可 ●CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可

注1. SiCレジスタのSMi6ビットを“0”(外部クロック)にする場合は、次のようにしてください。

- ・ SiCレジスタのSMi4ビットが“0”の場合、CLKi端子に“H”が入力されている状態でSiTRRレジスタに送信データを書いてください。SiCレジスタのSMi7ビットを書き換える場合も同様です。
- ・ SMi4ビットが“1”の場合、CLKi端子に“L”が入力されている状態でSiTRRレジスタに送信データを書いてください。SMi7ビットを書き換える場合も同様です。
- ・ 転送クロックがS I/Oi回路に入力されている間はシフト動作をし続けますので、転送クロックは8回で止めてください。SMi6ビットが“1”(内部クロック)の場合、転送クロックは自動的に停止します。

注2. SI/Oi(i=3~4)は、UART0~UART2と違い、転送のためのレジスタとバッファに分かれていません。したがって、送信中に次の送信データをSiTRRレジスタに書かないでください。

注3. SiCレジスタのSMi6ビットが“1”(内部クロック)のとき、転送終了後SOUTiは、1/2転送クロック間、最終データを保持し、ハイインピーダンス状態になります。しかし、この間に送信データをSiTRRレジスタに書いた場合、書いたときからハイインピーダンス状態になり、データのホールド時間が短くなります。

注4. SiCレジスタのSMi6ビットが“1”(内部クロック)のとき、転送クロックは、SMi4ビットが“0”の場合は“H”の状態では停止し、SMi4ビットが“1”の場合は“L”で停止します。

■ SI/Oi動作タイミング

図 10.36 に SI/Oi 動作タイミング図を示します。

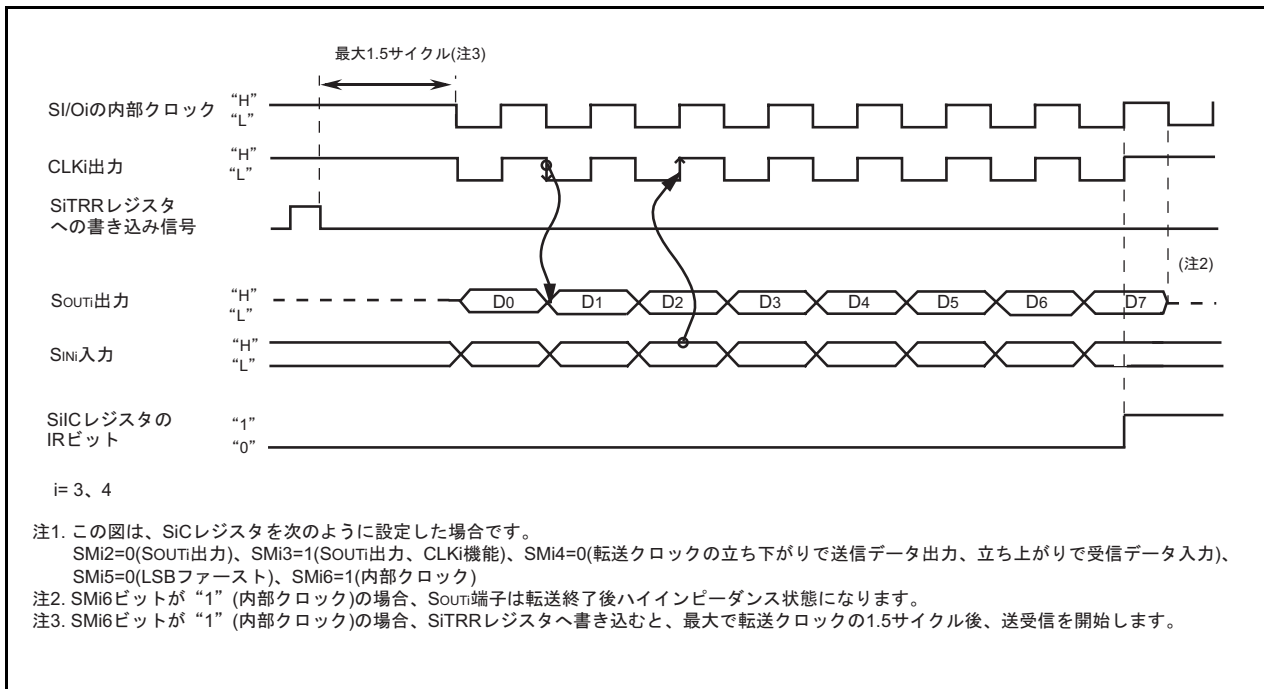


図 10.36 SI/Oi動作タイミング図

■ CLK極性選択

SiCレジスタのSMi4ビットで転送クロックの極性を選択できます。図 10.37 に転送クロックの極性を示します。

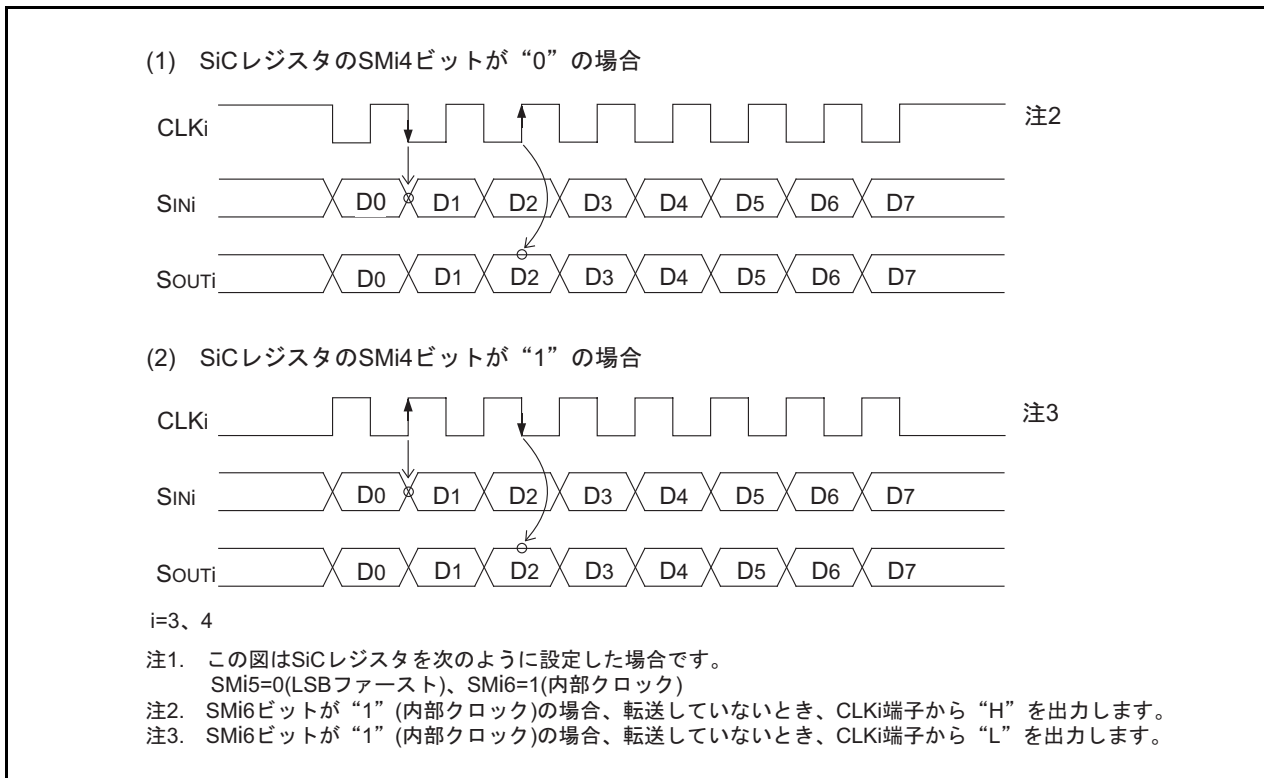


図 10.37 転送クロックの極性

■ Sout_i初期値設定機能

SiCレジスタのSM_i6ビットが“0”(外部クロック)の場合、転送していないときのSout_i端子の出力を“H”または“L”のどちらかに設定できます。図10.38にSout_i初期値設定時のタイミング図、設定方法を示します。

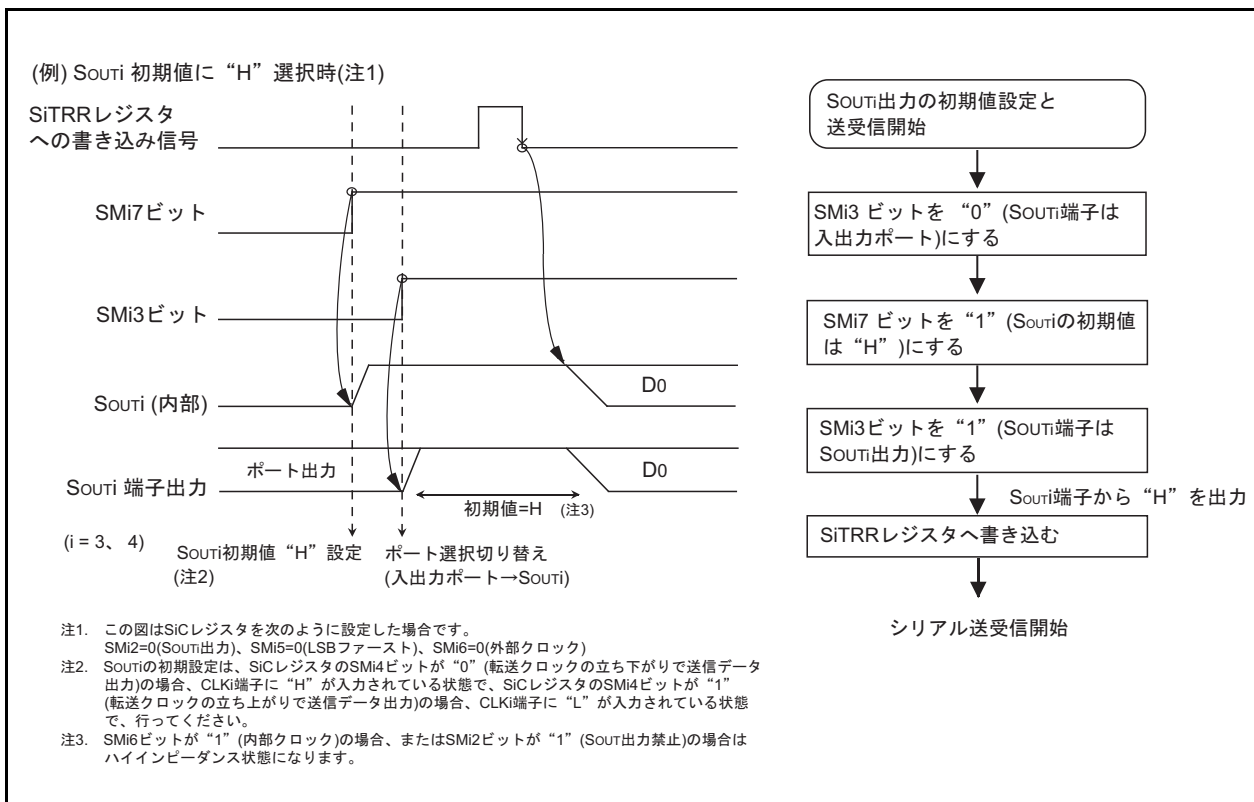


図10.38 Sout_i初期値設定時のタイミング図、設定方法

11. マルチマスタ I²C-BUS インタフェース

マルチマスタ I²C-BUS インタフェースは、それぞれ専用回路を持っており、独立して動作します。

マルチマスタ I²C-BUS インタフェースは、フィリップス社 I²C-BUS のデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーションロストの検出機能、シンクロニアス機能を有しており、マルチマスタのシリアル通信に対応できます。

表 11.1 にマルチマスタ I²C-BUS インタフェース機能を示します。

このマルチマスタ I²C-BUS インタフェースは、I²C アドレスレジスタ、I²C データシフトレジスタ、I²C クロックコントロールレジスタ、I²C コントロールレジスタ、I²C ステータスレジスタ、I²C 送信バッファレジスタとその他の制御回路により構成されています。

表 11.1 マルチマスタ I²C-BUS インタフェース機能

項 目	機 能
フォーマット	フィリップス社 I ² C-BUS 規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社 I ² C-BUS 規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCL クロック周波数	16.1kHz~400kHz (BCLK=16 MHz)
バスライン電源電圧	(SCL3/SDA3) : Vcc1

注. I²C-BUS インタフェースとポート (SCL3, SDA3) の接続を制御する機能の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任は負いません。

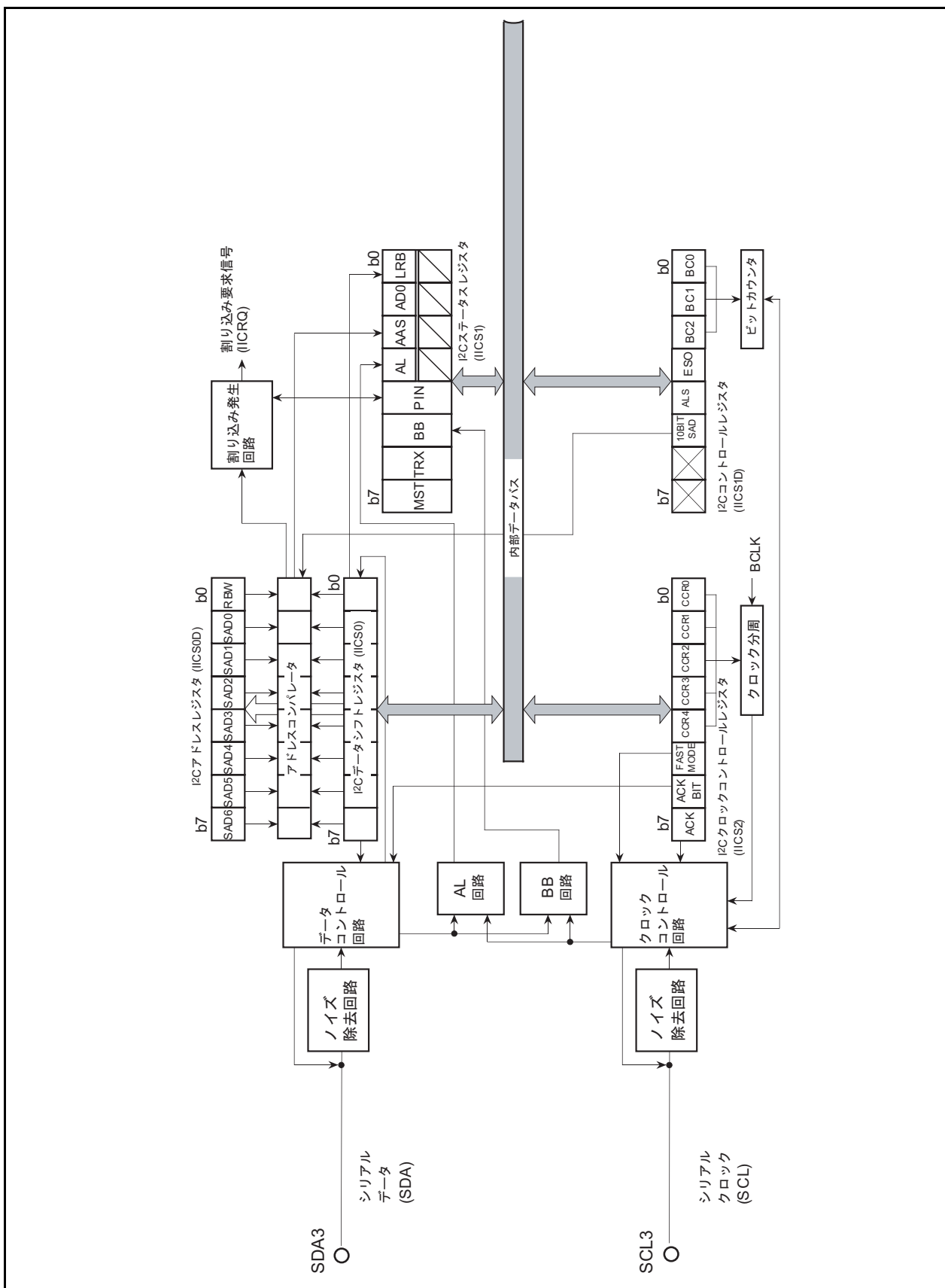


図 11.1 マルチマスタ I2C-BUS インタフェースのブロック図

(1) 予約レジスタ

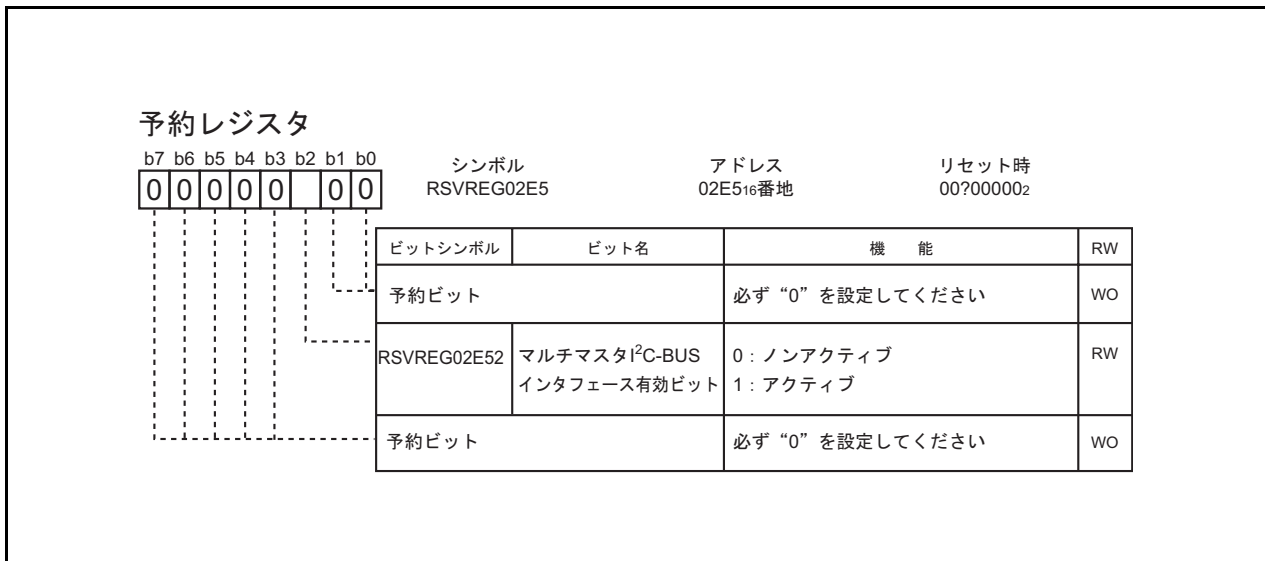


図 11.2 予約レジスタ

(2) I²C データシフトレジスタ、I²C 送信バッファレジスタ

I²C データシフトレジスタは、受信データの格納、又は送信データを書き込むための 8 ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCL クロックに同期してビット 7 から外部へ転送されます。そして、1 ビットのデータが出力されるたびに、このレジスタの内容は左へ 1 ビットシフトされます。データ受信時は、SCL クロックに同期してこのレジスタのビット 0 からデータが入力されます。

そして、1 ビットのデータが入力されるたびに、このレジスタの内容は左へ 1 ビットシフトされます。

I²C データシフトレジスタは、I²C コントロールレジスタの ESO ビットが “1” のときのみ書き込みが可能です。I²C データシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ESO ビットが “1”、I²C ステータスレジスタの MST ビットが “1” のとき、I²C データシフトレジスタの書き込み命令により、SCL が出力されます。I²C データシフトレジスタの読み出しは、ESO ビットの値にかかわらずいつでも可能です。

I²C 送信バッファレジスタはリスタートコンディション発生前に I²C データシフトレジスタへ送信データ (スレーブアドレス) を格納するためのレジスタです。つまり、マスタ時、I²C 送信バッファレジスタに書き込んだデータは同時に I²C データシフトレジスタに書き込まれますが、SCL の出力は行われません。また、I²C 送信バッファレジスタは、ESO ビットが “1” のときのみ書き込み可能で、ESO ビットの値にかかわらず読み出しはできません。

- 注 1. MST ビットが “1” → “0” に変化した後に I²C データシフトレジスタ、又は I²C 送信バッファレジスタにデータを書き込む場合、20BCLK 以上の間隔を確保してください。
2. I²C データシフトレジスタ、又は I²C 送信バッファレジスタに書き込みを実行した後、スタートまたはリスタートコンディションが発生する場合は、4BCLK 以上の間隔を確保してください。

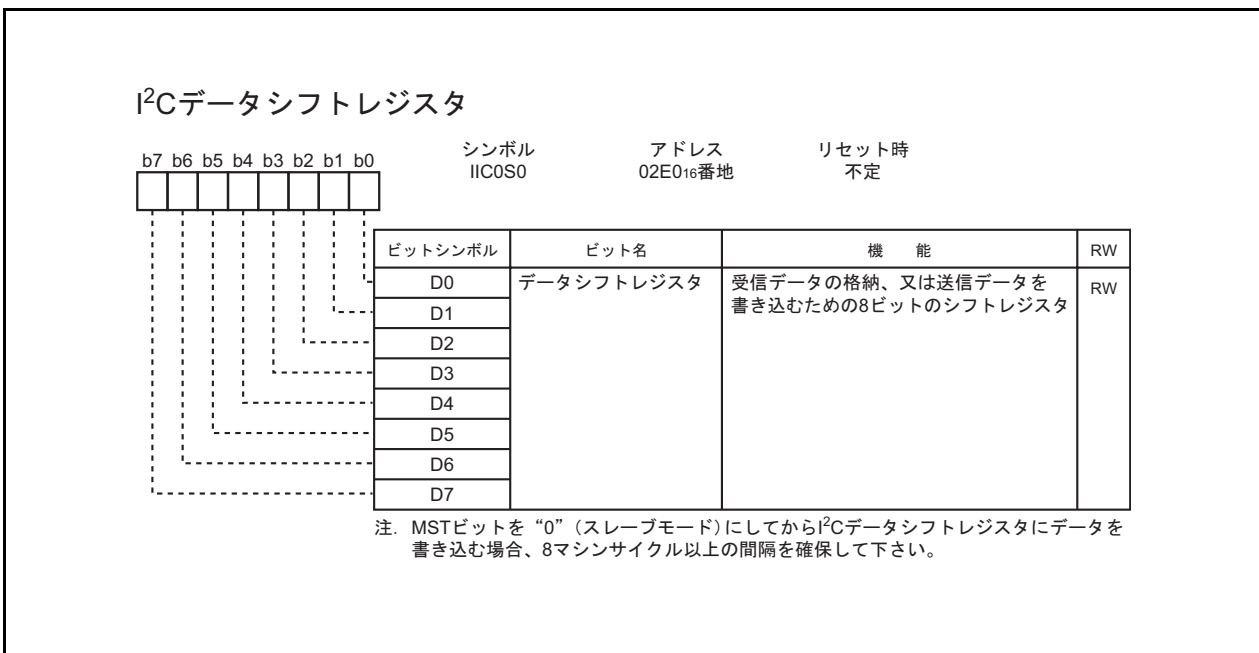


図 11.3 I²C データシフトレジスタ

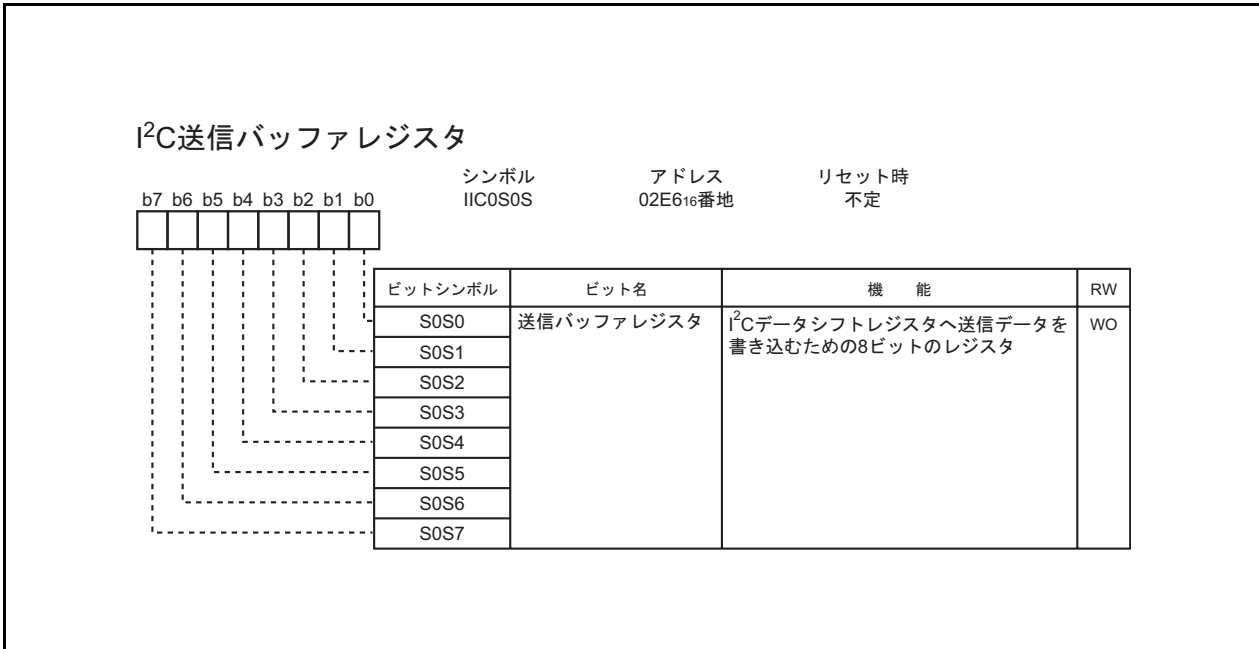


図 11.4 I²C 送信バッファレジスタ

(3) I2C アドレスレジスタ

I2C アドレスレジスタは7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されています。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

■ビット0：リード/ライトビット (RBW)

7ビットアドレッシングモード時には、アドレス比較の際に使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI2Cアドレスレジスタの内容 (SAD6～SAD0+RBW) が比較されます。

RBWビットはストップコンディションを検出すると、自動的に“0”になります。

■ビット1～ビット7：スレーブアドレス (SAD0～SAD6)

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

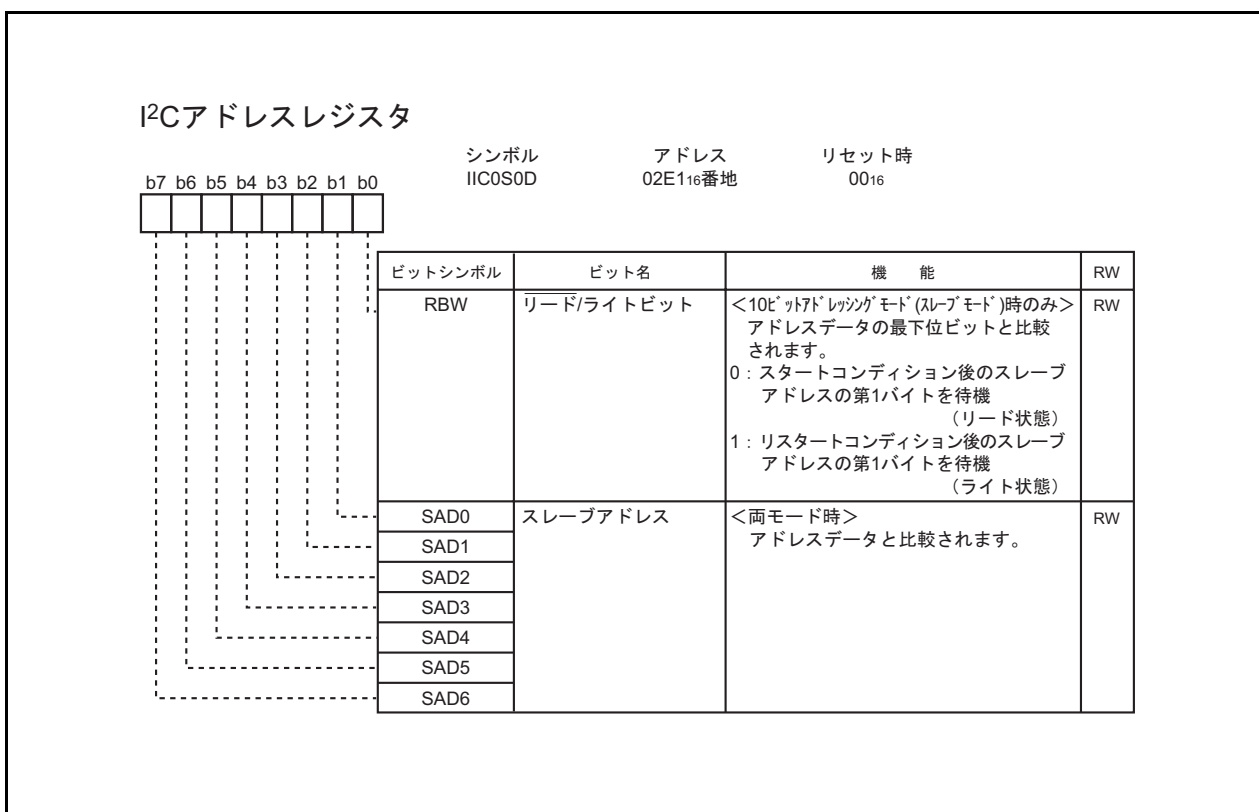


図 11.5 I2C アドレスレジスタ

(4) I²C クロックコントロールレジスタ

I²C クロックコントロールレジスタはアックの制御、SCL モード、SCL の周波数を設定するレジスタです。

■ビット0～ビット4：SCL 周波数制御ビット（CCR0～CCR4）

SCL 周波数を制御するビットです。

■ビット5：SCL モード指定ビット（FAST MODE）

SCL モードを指定するビットです。“0” の場合、標準クロックモードになります。“1” の場合、高速クロックモードになります。

■ビット6：アックビット（ACK BIT）

アッククロック * 発生時の SDA の状態を設定します。“0” の場合はアックを返すモードとなり、アッククロック発生時に SDA を “L” にします。“1” の場合はアックを返さないモードとなり、アッククロック発生時に SDA を “H” の状態に保持します。

ただし、ACK BIT = “0” の状態で、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的に SDA を “L” にします（アックを返します）。

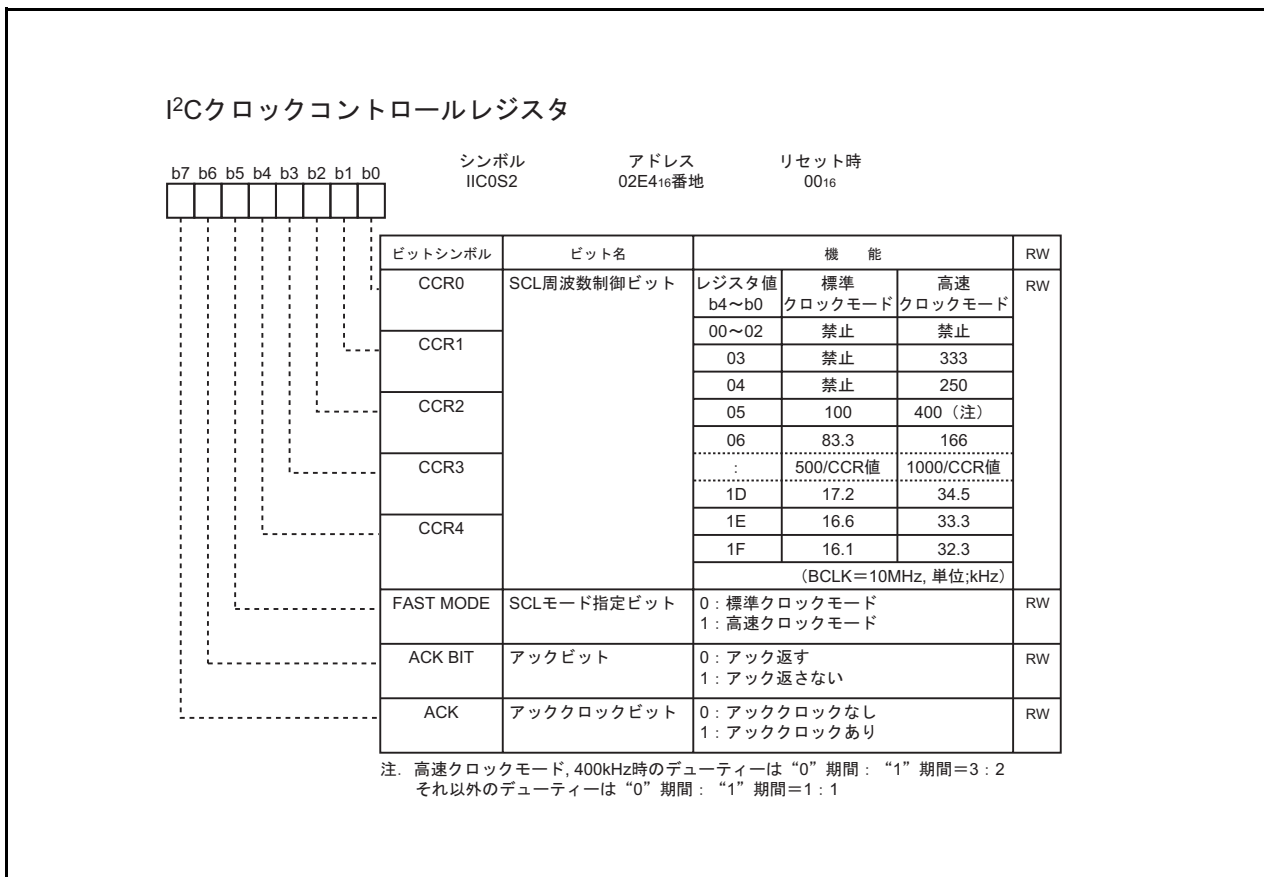
スレーブアドレスとアドレスデータが一致しなかった場合は自動的に SDA を “H” にします（アックを返しません）。

*アッククロック：確認応答用のクロック

■ビット7：アッククロックビット（ACK）

データ転送の確認応答であるアックノリッジメントのモードを指定するビットです。“0” の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1” の場合はアッククロックありのモードになり、1 バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時に SDA を解放し（“H” の状態にする）、データを受信するデバイスが発生させるアックビットを受信します。

注. I²C クロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うと I²C クロックジェネレータがリセットされ、データが正常に転送できません。

図 11.6 I²C クロックコントロールレジスタ

(5) I²C コントロールレジスタ

I²C コントロールレジスタはデータ通信フォーマットの制御を行うレジスタです。

■ビット0～ビット2：ビットカウンタ（BC0～BC2）

次に転送されるデータ1バイト分のビット数を決定するビットです。割り込み要求信号は、これらのビットで指定されたビット数の転送完了直後に発生します。

スタートコンディションを受信すると、これらのビットは“0002”になり、アドレスデータは必ず8ビットで送受信されます。

注．ビットカウンタ値＝“1112”の状態、ストップコンディション、スタートコンディションの待機はできません。

■ビット3：I²C-BUS インタフェース使用許可ビット（ESO）

マルチマスタ I²C-BUS インタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA 及び SCL はハイインピーダンスになります。“1”の場合、使用許可となります。

ESO＝“0”のとき、次のように処理されます。

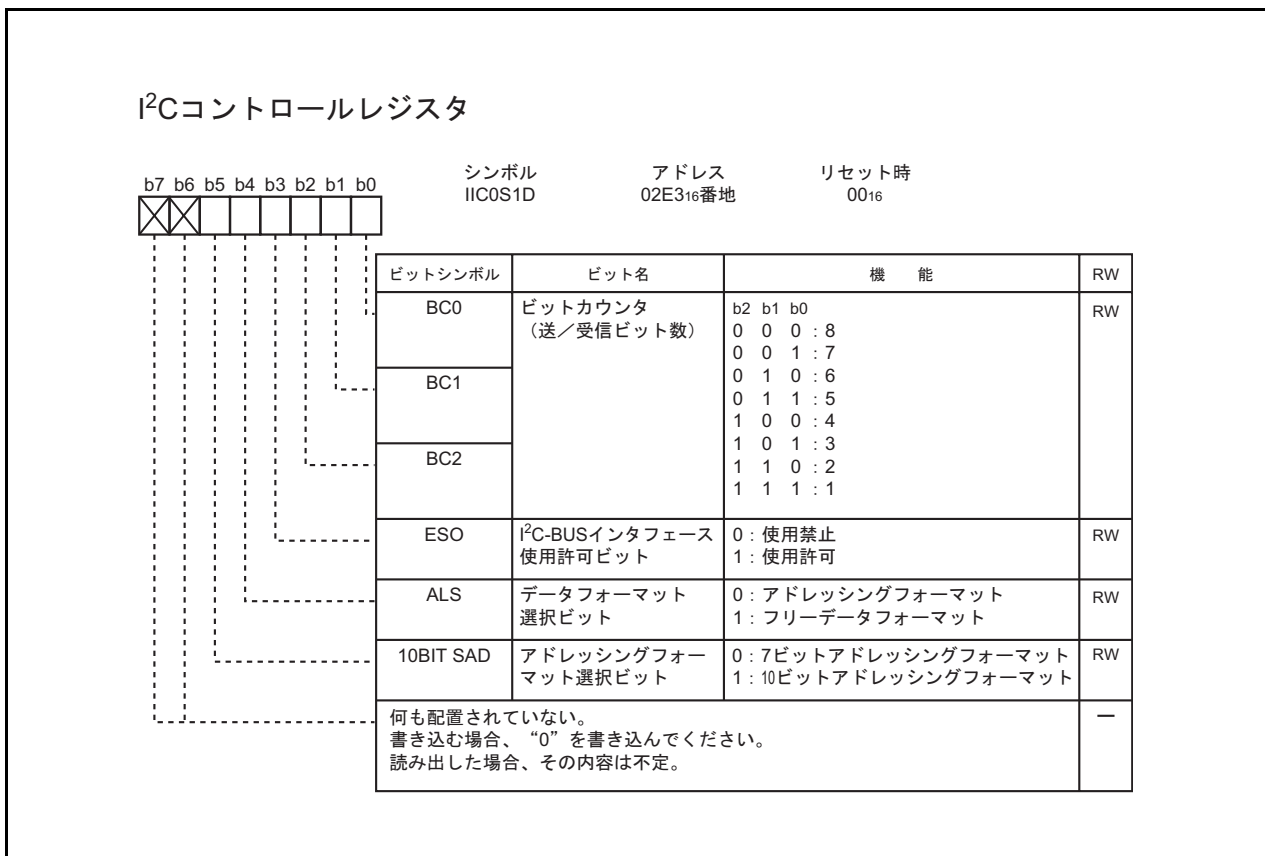
- ・ I²C ステータスレジスタの PIN＝“1”，BB＝“0”，AL＝“0” に設定される。
- ・ I²C データシフトレジスタおよび I²C 送信バッファレジスタへの書き込みは禁止される。

■ビット4：データフォーマット選択ビット（ALS）

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール（「(6) I²C ステータスレジスタ」のビット1参照）を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

■ビット5：アドレッシングフォーマット選択ビット（10BIT SAD）

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²C アドレスレジスタの上位7ビット（スレーブアドレス）のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²C アドレスレジスタの全ビットがアドレスデータと比較されます。

図 11.7 I²Cコントロールレジスタ

(6) I2C ステータスレジスタ

I2C ステータスレジスタは I2C -BUS インタフェースの状態を制御するレジスタです。ビット0～ビット3とビット5は読み出し専用で、ビット4、ビット6、ビット7は読み出し/書き込み可能です。

■ビット0：最終受信ビット (LRB)

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アックロック発生時に、アックが返ってきた場合、LRB ビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。

このビットは、I2C データシフトレジスタ、又は I2C 送信バッファレジスタに書き込み命令を実行すると“1”から“0”になります。

■ビット1：ジェネラルコール検出フラグ (AD0)

アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0 ビットはストップコンディション、スタートコンディションの検出により“0”になります。

*ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“0016”を送信すること。

■ビット2：スレーブアドレス比較フラグ (AAS)

アドレスデータの比較結果を示すフラグです。

《スレーブ受信モード時、7ビットアドレッシングフォーマットでは、以下のいずれかの条件で、“1”になります。》

- スタートコンディション発生直後のアドレスデータが I2C アドレスレジスタに格納されている上位7ビットのスレーブアドレスと一致した場合
- ジェネラルコールを受信した場合

《スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。》

- アドレスデータと I2C アドレスレジスタ（スレーブアドレス、及び RBW ビットで構成される8ビット）とを比較し、1バイト目が一致した場合

《このビットは I2C データシフトレジスタ、又は I2C 送信バッファレジスタに書き込み命令を行うことにより“1”から“0”になります。》

■ビット3：アービトレーションロスト*検出フラグ (AL)

マスタ送信モード時、SDA がマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になります。同時に TRX ビットは“0”になるため、アービトレーションを失ったバイトの送信が完了した直後に、MST ビットが“0”になります。スレーブアドレス送信中にアービトレーションを失った場合、TRX ビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスにより送信される自分自身のスレーブアドレスを受信し、認識することが可能になります。

《このビットは I2C データシフトレジスタ、又は I2C 送信バッファレジスタに書き込み命令を行うことにより“1”から“0”になります。》

*アービトレーションロスト：マスタとしての通信が不許可となった状態。

■ビット4：I2C-BUSインタフェース割り込み要求ビット（PIN）

割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへ割り込み要求信号が発生します。PINビットは内部クロックの最終クロック（アッククロックを含む）の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。スレープ時は、ストップコンディションを検出すると、PINビットの立ち下がりに関係なくマルチマスタI2C-BUSインタフェース割り込み要求ビット（IR）は“0”から“1”（要求あり）になります。PINビットが“0”のときはSCLは“0”に保たれクロックの発生は禁止されます。図11.9に割り込み要求信号の発生タイミングを示します。

以下のいずれかの条件でPINビットが“1”になります。

- PINビットへの“1”書き込み
- I2Cデータシフトレジスタ、又はI2C送信バッファレジスタへの書き込み命令の実行（注）
- ESOビットが“0”のとき
- リセット時

注. これらのレジスタへの書き込み命令後、PINビットが“1”になるまで12BCLKサイクル必要です。

PINビットが“0”になる条件を以下に示します。

- 1バイトのデータ送信完了直後（アービトレーションロストを検出した場合を含む）
- 1バイトのデータ受信完了直後
- スレープ受信の際、ALS = “0”で、スレープアドレス又はジェネラルコールアドレス受信完了直後
- スレープ受信の際、ALS = “1”で、アドレスデータ受信完了直後

■ビット5：バスビジーフラグ（BB）

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。“1”の場合、このバスシステムは使用されており、スタートコンディションの発生はスタートコンディション重複防止機能（注）によって禁止されます。

このフラグはソフトウェアによる書き込みはできません。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。また、I2CコントロールレジスタのESOビットが“0”の場合、及びリセット時にはBBフラグは“0”に保持されます。

■ビット6：通信モード指定ビット（転送方向指定ビット：TRX）

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

I2CコントロールレジスタのALSビットが“0”でスレープの場合、マスタから送信されたアドレスデータの最下位ビット（R/Wビット）が“1”のときはTRXビットは“1”（送信）になります。ALSビットが“0”でR/Wビットが“0”のときはTRXビットは“0”（受信）になります。

以下のいずれかの条件でTRXビットが“0”になります。

- アービトレーションロストを検出した場合
- ストップコンディションを検出した場合
- スタートコンディション重複防止機能（注）によりスタートコンディション発生を禁止された場合
- MST = “0”で、スタートコンディションを検出した場合
- MST = “0”で、アックが返ってこなかったことを検出した場合
- リセット時

■ビット7：通信モード指定ビット（マスタ/スレーブ指定ビット：MST）

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下のいずれかの条件でMSTビットが“0”になります。

- アービトラージョンロストを検出した場合、1バイトデータ送信終了直後
- ストップコンディションを検出した場合
- スタートコンディション重複防止機能（注）によりスタートコンディション発生を禁止された場合
- リセット時

注． スタートコンディション重複防止機能は、スタートコンディションの発生と、それに伴うビットカウンタのリセット、及びSCLの出力を禁止する機能です。この機能はBBフラグがセットされてから1バイトの送受信が完了（送受信割り込み要求< IICRQ >の発生）するまで有効となります。

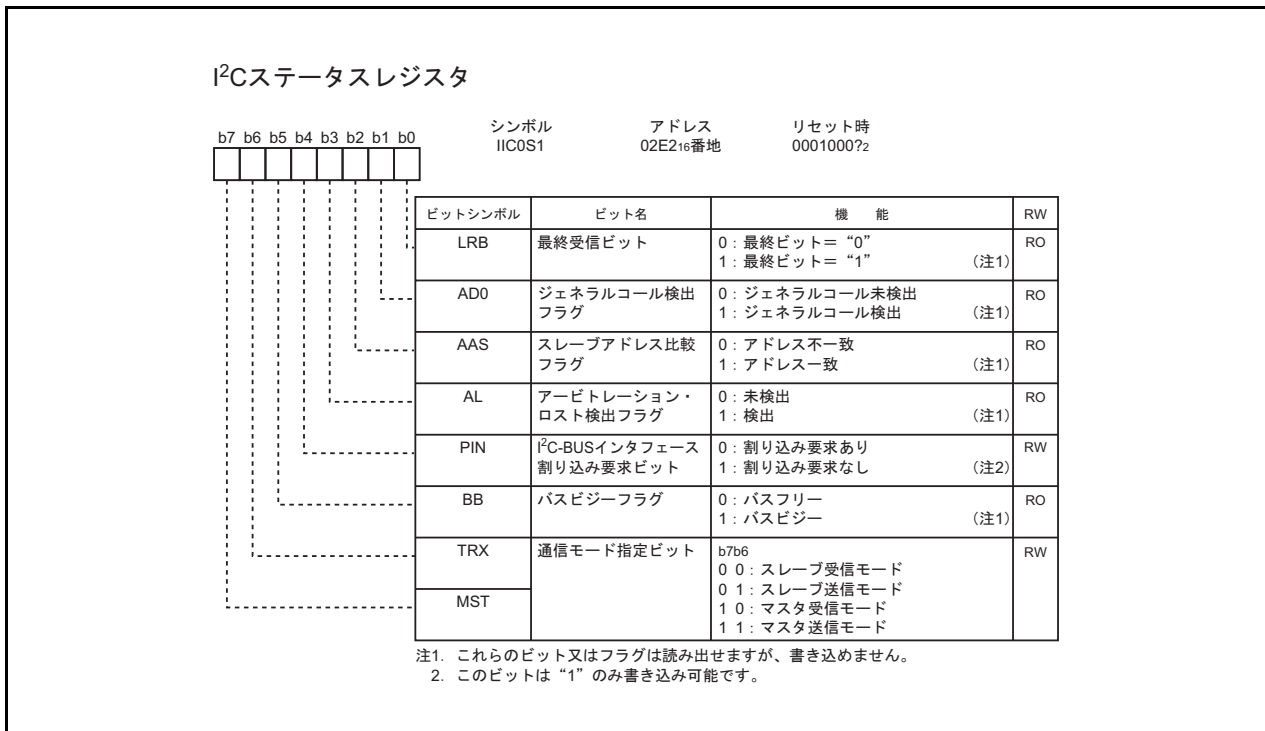


図 11.8 I²Cステータスレジスタ

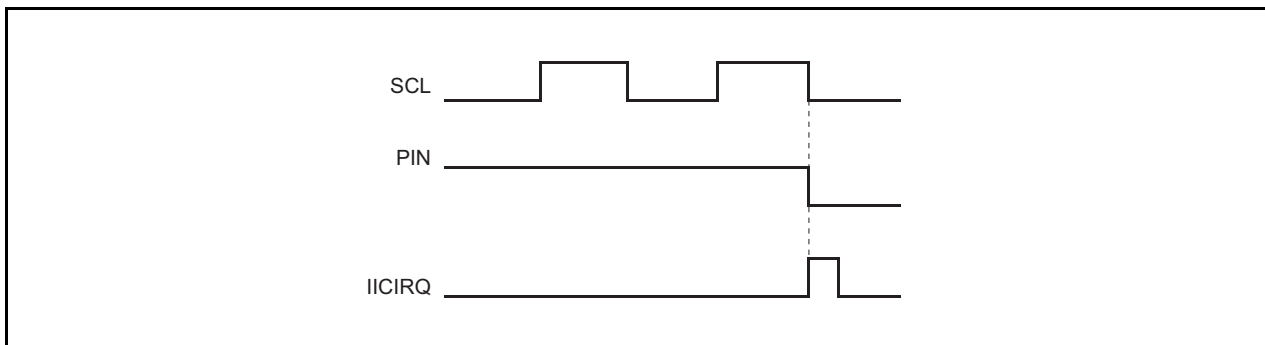


図 11.9 割り込み要求信号の発生タイミング

(7) スタートコンディション発生方法

I²CコントロールレジスタのESOビットが“1”の状態、I²Cステータスレジスタに書き込み命令を行いMST, TRX, BBビットを“1”にするとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生及びBBビットセットタイミングは、標準クロックモードと高速クロックモードで異なります。図11.10のスタートコンディション発生タイミング図と表11.2のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

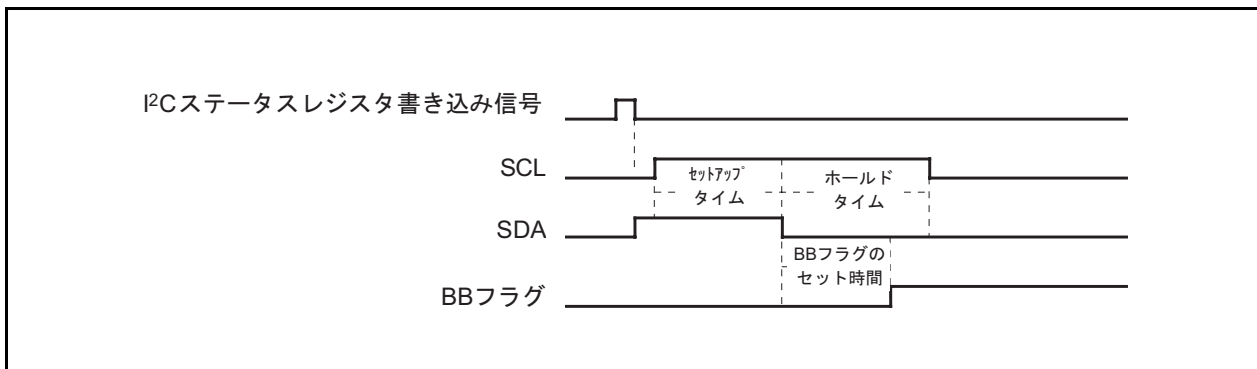


図11.10 スタートコンディション発生タイミング図

(8) ストップコンディションの発生方法

I²CコントロールレジスタのESOビットが“1”の状態、I²Cステータスレジスタへ書き込み命令を行いMST=“1”, TRX=“1”, BB=“0”にすると、ストップコンディションが発生します。ストップコンディションの発生及びBBフラグのリセットタイミングは、標準クロックモードと高速クロックモードで異なります。図11.11のストップコンディション発生タイミング図と表11.2のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

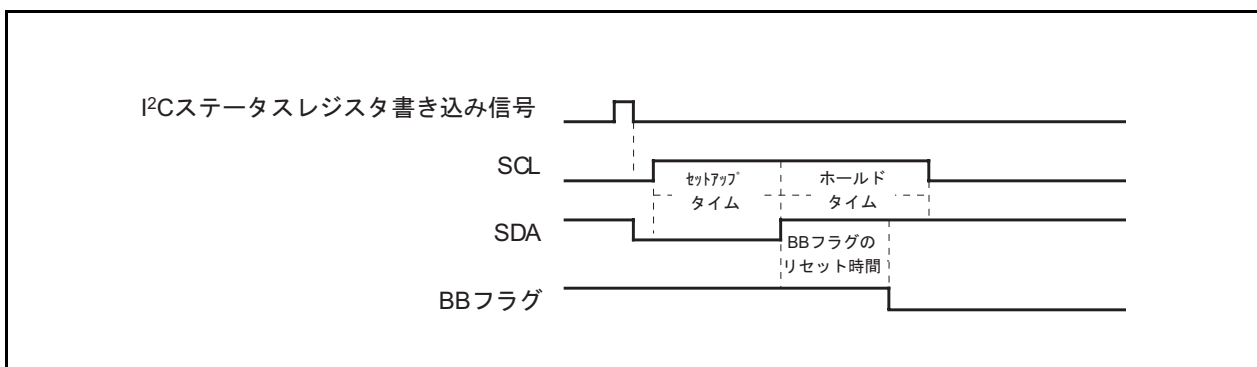


図11.11 ストップコンディション発生タイミング図

表11.2 スタートコンディション、ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間 (最小)	5.6μs	2.1μs
ホールド時間 (最小)	4.8μs	2.3μs
BBフラグセット/リセット時間	3.5μs	0.75μs

(9) スタート/ストップコンディション検出条件

スタート/ストップコンディションを検出する条件を図11.12と表11.3に示します。表11.3の3条件を満たす場合のみスタート/ストップコンディションを検出できます。

注. スレーブ (MST=0) 時にストップコンディションを検出すると、CPUに対して割り込み要求信号<IICIRQ>を発生します。

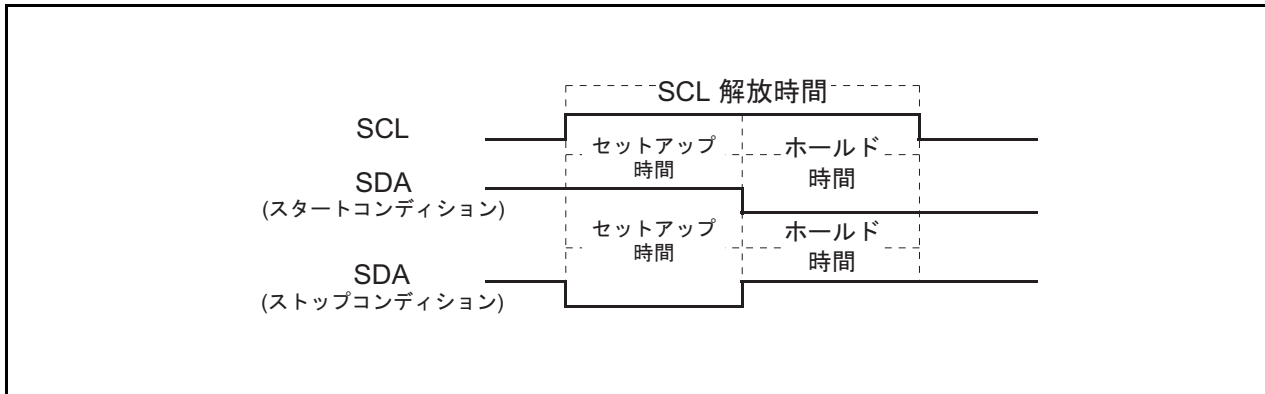


図11.12 スタートコンディション、ストップコンディション検出のタイミング図

表11.3 スタートコンディション、ストップコンディション検出条件

標準クロックモード	高速クロックモード
$6.5\mu\text{s} < \text{SCL解放時間}$	$1.0\mu\text{s} < \text{SCL解放時間}$
$3.25\mu\text{s} < \text{セットアップ時間}$	$0.5\mu\text{s} < \text{セットアップ時間}$
$3.25\mu\text{s} < \text{ホールド時間}$	$0.5\mu\text{s} < \text{ホールド時間}$

(10) アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

■ 7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I²C コントロールレジスタの10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²C アドレスレジスタに格納された上位7ビットのスレーブアドレスを比較します。この比較時には、I²C アドレスレジスタのRBWビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図11.13の(1), (2)を参照してください。

■ 10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I²C コントロールレジスタの10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²C アドレスレジスタに格納されたスレーブアドレス7ビットがアドレス比較されます。この比較時には、I²C アドレスレジスタのRBWビットと、マスタから送信されるアドレスデータの最終ビット(R/W[−]ビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるR/W[−]ビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。

1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²C ステータスレジスタのAASビットが“1”にセットされます。2バイト目のアドレスデータは、I²C データシフトレジスタに格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²C アドレスレジスタのRBWビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/W[−]のデータとI²C アドレスレジスタの値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図11.13の(3), (4)を参照してください。

(11) マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

- ① I²Cアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。
- ② I²Cクロックコントロールレジスタに“8516”を設定することによって、アックを返すモード、SCL = 100kHzにします。
- ③ I²Cステータスレジスタに“1016”を設定し、SCLを“H”レベルに保持します。
- ④ I²Cコントロールレジスタに“0816”を設定することによって、通信許可状態にします。
- ⑤ I²Cデータシフトレジスタの上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- ⑥ I²Cステータスレジスタに“F016”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- ⑦ I²Cデータシフトレジスタに送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- ⑧ 複数バイトの制御データを送信する場合、⑦を繰り返します。
- ⑨ アックが返らなかった場合又は送信が終了した場合は、I²Cステータスレジスタに“D016”を設定することによってストップコンディションを発生させます。

(12) スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- ① I²Cアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。
- ② I²Cクロックコントロールレジスタに“2516”を設定することによって、アックなしモード、SCL = 400kHzにします。
- ③ I²Cステータスレジスタに“1016”を設定しSCLを“H”レベルに保持します。
- ④ I²Cコントロールレジスタに“0816”を設定することによって、通信許可状態にします。
- ⑤ スタートコンディションを受信すると、アドレス比較されます。
- ⑥
<送信されたアドレスがすべて“0”の場合（ジュネラルコール）>
I²CステータスレジスタのAD0=“1”に設定され、割り込み要求信号が発生します。
<送信されたアドレスが、①で設定したアドレスと一致した場合>
I²CステータスレジスタのAAS=“1”に設定され、割り込み要求信号が発生します。
<上記以外の場合>
I²CステータスレジスタのAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
- ⑦ I²Cデータシフトレジスタにダミーデータを設定します。
- ⑧ 複数バイトの制御データを受信する場合、⑦を繰り返します。
- ⑨ ストップコンディションを検出すると通信が終了します。

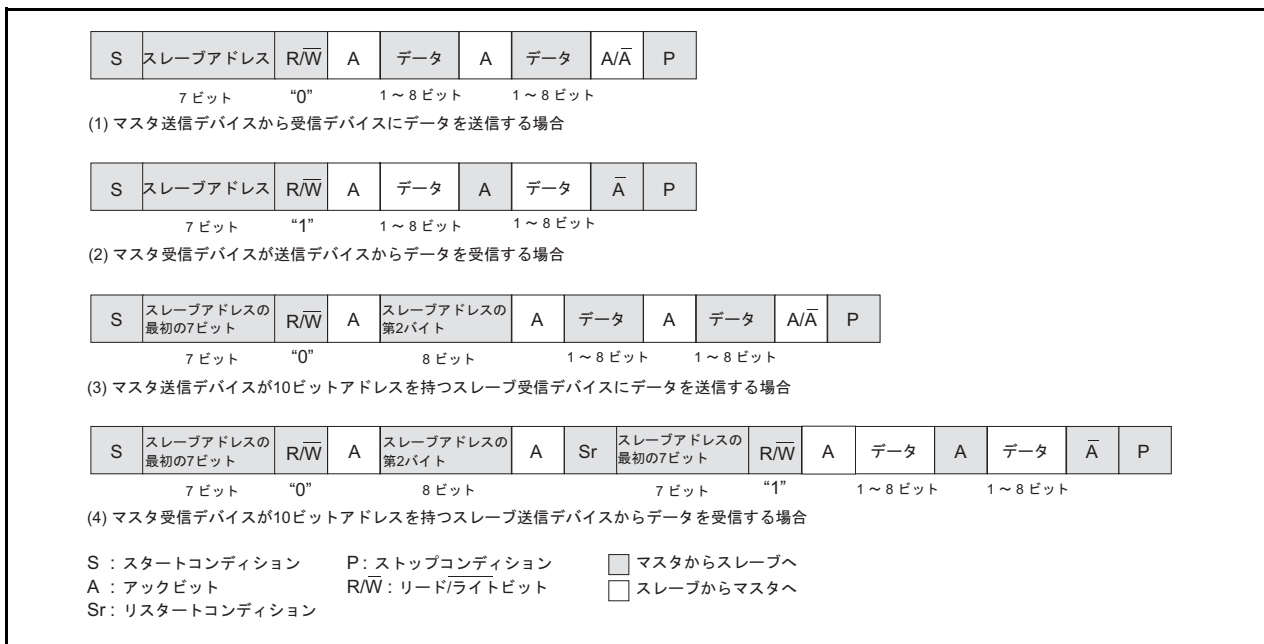


図 11.13 アドレスデータ通信フォーマット

(13) マルチマスタ I2C-BUS インタフェースの注意事項

■ BCLKの動作モードについて

分周なしモードを選択してください。

■ 使用する命令について

マルチマスタ I2C-BUS インタフェース関連レジスタをアクセスする命令のデータサイズは、バイト (.B) を指定してください。

■ リード・モディファイ・ライト命令の使用について

BSET, BCLRなどのリード・モディファイ・ライト命令をマルチマスタ I2C-BUS インタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

- **I2C データシフトレジスタ (IICS0)**
転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
- **I2C アドレスレジスタ (IICS0D)**
ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。上記のタイミングでリード/ライトビット (RBW) が、ハードウェアによって変化するためです。
- **I2C ステータスレジスタ (IICS1)**
すべてのビットはハードウェアによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。
- **I2C コントロールレジスタ (IICS1D)**
スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。上記のタイミングでビットカウンタ (BC0~BC2) が、ハードウェアによって変化するためです。
- **I2C クロックコントロールレジスタ (IICS2)**
リード・モディファイ・ライト命令は使用可能です。
- **I2C ポートセレクションレジスタ (IICS2D)**
上位4ビットが読み出し値不定のため、リード・モディファイ・ライト命令は使用できません。
- **I2C 送信バッファレジスタ (IICS0S)**
すべてのビットが読み出し値不定のため、リード・モディファイ・ライト命令は使用できません。

■ スタートコンディション発生手順について

	:		
FCLR	I		(割り込みの禁止)
BTST	5, IICS1		(BBフラグ確認及び分岐処理)
JC	BUSBUSY		
BUSFREE:			
MOV.B	SA, IICS0		(スレーブアドレス値<SA>の書き込み)
NOP			
NOP			
NOP			
NOP			
MOV.B	#F0H, IICS1		(スタートコンディション発生のトリガ)
FSET	I		(割り込みの許可)
	:		
BUSBUSY:			
FSET	I		(割り込みの許可)
	:		

- ①スレーブアドレス値の書き込みと、スタートコンディション発生のトリガの設定は、手順例のとおり必ずNOP命令×4を挿入して実行してください。
- ②マルチマスタシステムの場合は、BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生のトリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。シングルマスタシステムの場合は、上記の割り込み禁止処理は必要ありません。

■ リスタートコンディション発生手順について

	:		
MOV.B	SA, IICS0S		(スレーブアドレス値<SA>の書き込み) — ①
NOP			
NOP			
MOV.B	#F0H, IICS1		(リスタートコンディション発生のトリガ)
	:		

- ① I²Cデータシフトレジスタへのスレーブアドレス値の書き込みは、I²C送信バッファレジスタを使用してください。また、必ずNOP命令×4を挿入してください。

■ I²Cステータスレジスタへの書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令実行をしないでください。SCL端子が解放されて、約1マシンサイクル後にSDA端子が解放される状態になることがあります。PINビットが“1”の時に、MSTビット及びTRXビットを“1”から“0”にする命令実行をしても、同様の状態になることがあります。

■ ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I²Cデータシフトレジスタ及びI²Cステータスレジスタに書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

I²C0 割り込み制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル EXTIICINT	アドレス 02D6 ₁₆ 番地	リセット時 00 ₁₆
			0	0	0	0				

ビットシンボル	ビット名	機能	R	W
	予約ビット	必ず“0”にしてください。	○	○
EXTIICINT0	ACK割り込み制御ビット (注1)	0000 : 割り込み禁止 (注2) 0101 : 割り込み許可 その他 : 設定禁止 「割り込み許可」で使用する場合、 TA4IC(注3)の設定をしてください。	○	○
EXTIICINT1				
EXTIICINT2				
EXTIICINT3				

- 注1. タイマA4とマルチマスタI²C (ACK) 割り込みは、ベクタや割り込み制御レジスタを共用しています。マルチマスタI²C (ACK) 割り込みを使用するときは、(b7, b6, b5, b4) = (0, 1, 0, 1)にしてください。
- 注2. タイマA4の割り込みを使用する場合は、0000₂を設定してください。
- 注3. 「6.5 割り込み制御」の「図6.3 割り込み制御レジスタ」を参照ください。
- 注4. I²C0割り込み制御レジスタの変更は、マルチマスタI²C (ACK)およびタイマA4割り込み要求が発生しない箇所で行ってください。
- 注5. EXTIICINT_i (i = 0~3)を変更した後、タイマA4(TA4IC)のIRビットを“0” (割り込み要求なし)にしてから、割り込みを許可してください。

予約レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル RSVREG02D7	アドレス 02D7 ₁₆ 番地	リセット時 00 ₁₆
0	0	0	0	0	0	0	0			

ビットシンボル	ビット名	機能	R	W
	予約ビット	必ず“0”にしてください。	○	○
	予約ビット	マルチマスタI ² C-BUSインタフェースを使用する場合、必ず“1”にしてください。	○	○
	予約ビット	必ず“0”にしてください。	○	○
	予約ビット	マルチマスタI ² C-BUSインタフェースを使用する場合、必ず“1”にしてください。	○	○
	予約ビット	必ず“0”にしてください。	○	○

12. A/Dコンバータ

容量結合増幅器で構成された8ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P00～P07、P95、P96と端子を共用しています。また、ADTRG入力はP97と端子を共用しています。

したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”（入力モード）にしてください。

A/Dコンバータを使用しない場合、VCUTビットを“0”（Vref未接続）にすると、ラダー抵抗には電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、AN_i(i=0～7)に対応したAD_iレジスタに格納されます。

表12.1にA/Dコンバータの仕様、図12.1にA/Dコンバータのブロック図、図12.2～図12.3にA/Dコンバータ関連レジスタを示します。

表12.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC(VCC)
動作クロックφAD(注2)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周、またはfADの12分周
分解能	8ビット
積分非直線性誤差	AVCC=VREF=5Vのとき ●分解能8ビットの場合 ±3LSB ANEX0、ANEX1入力の場合(外部オペアンプ接続モード含む) ±4LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子(注3)	8本(AN0～AN7) + 2本(ANEX0、ANEX1)
A/D変換開始条件	●ソフトウェアトリガ ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする ●外部トリガ(再トリガ可能) ADSTビットを“1” (A/D変換開始)にした後、 $\overline{\text{ADTRG}}$ 端子の入力が“H”から“L”へ変化
1端子あたりの変換速度	●サンプル&ホールドなし 49φADサイクル ●サンプル&ホールドあり 28φADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. φADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしの場合、φADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありの場合、φADの周波数は1MHz以上にしてください。

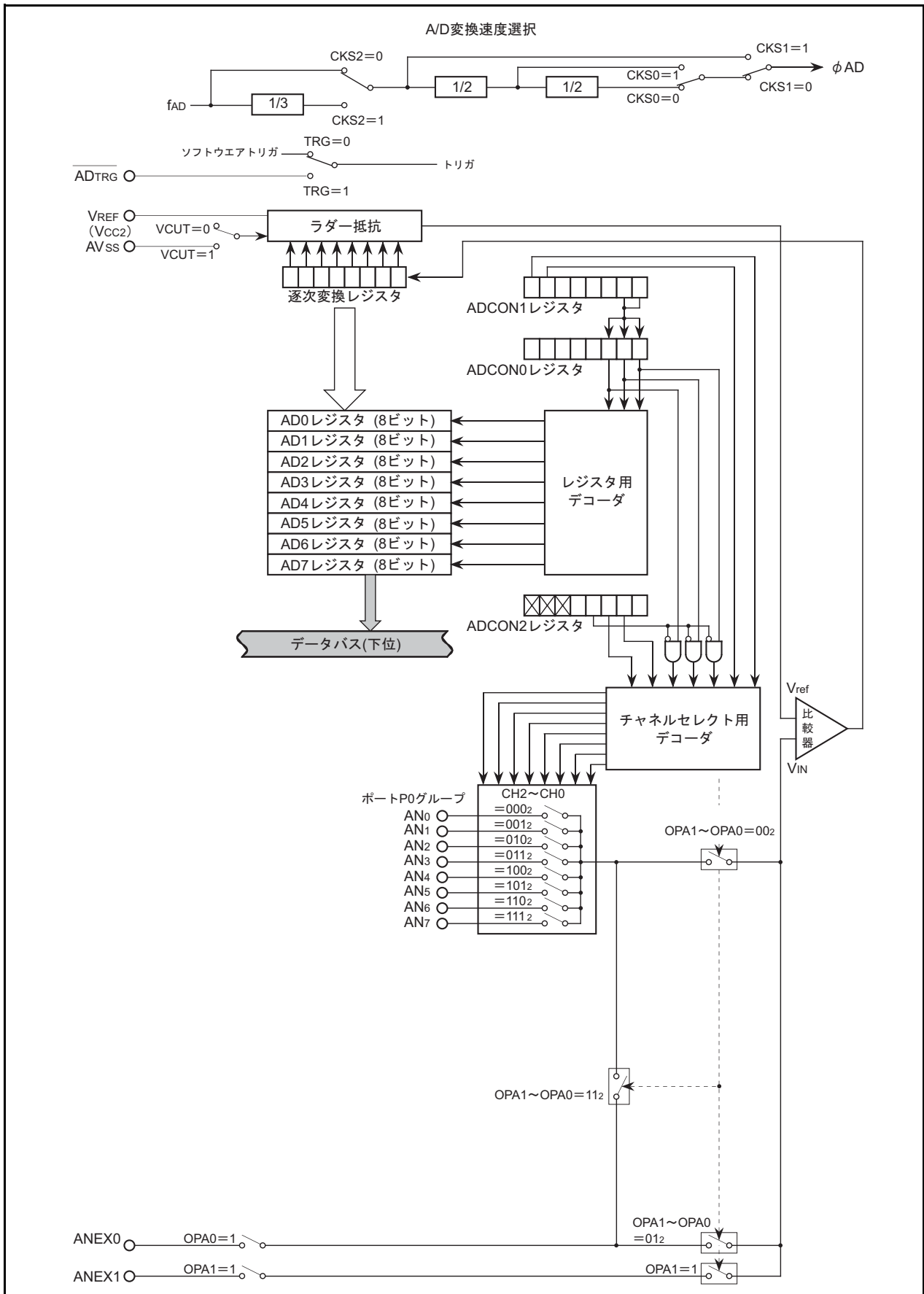


図 12.1 A/Dコンバータのブロック図

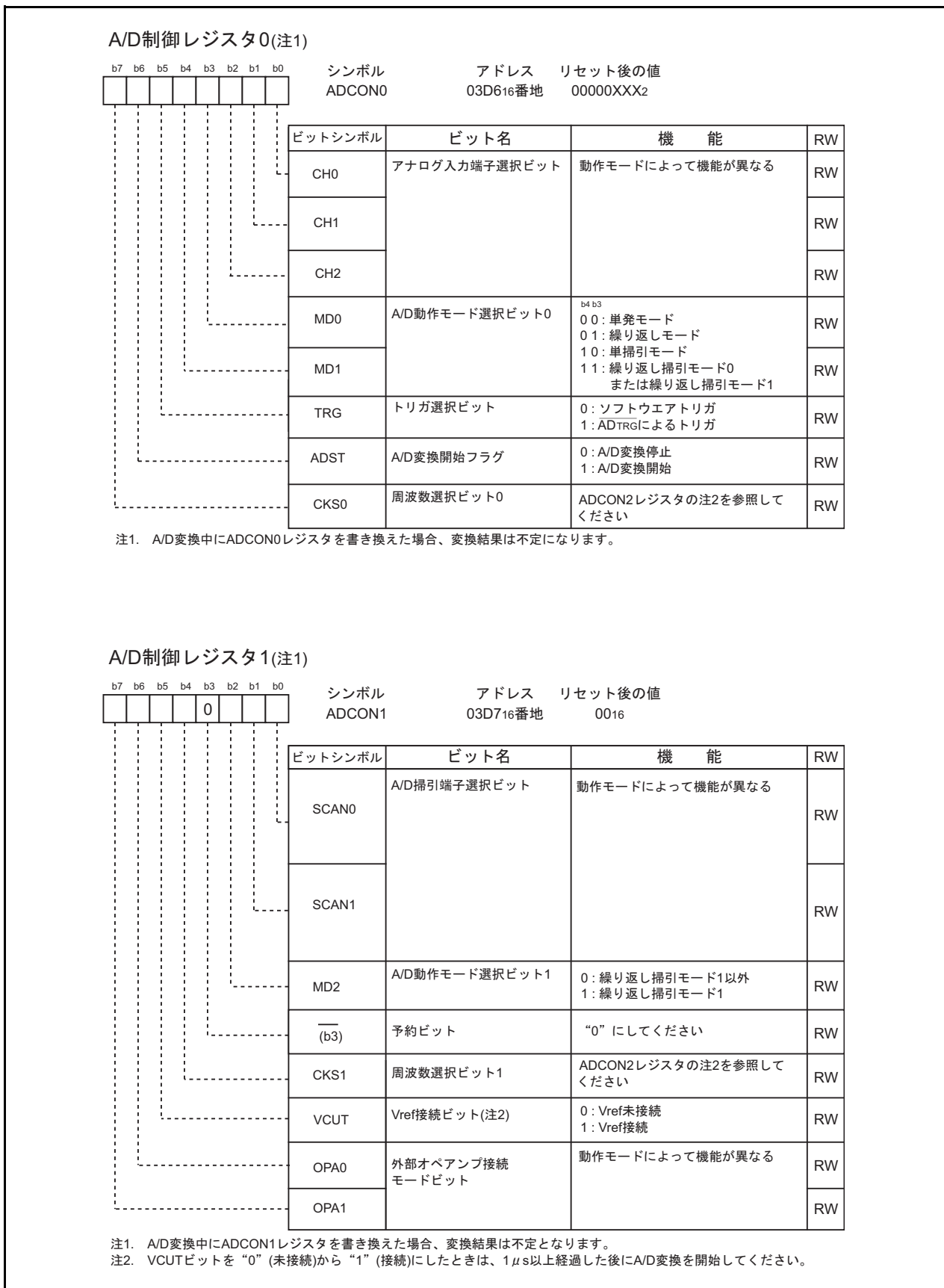


図 12.2 ADCON0～ADCON1 レジスタ

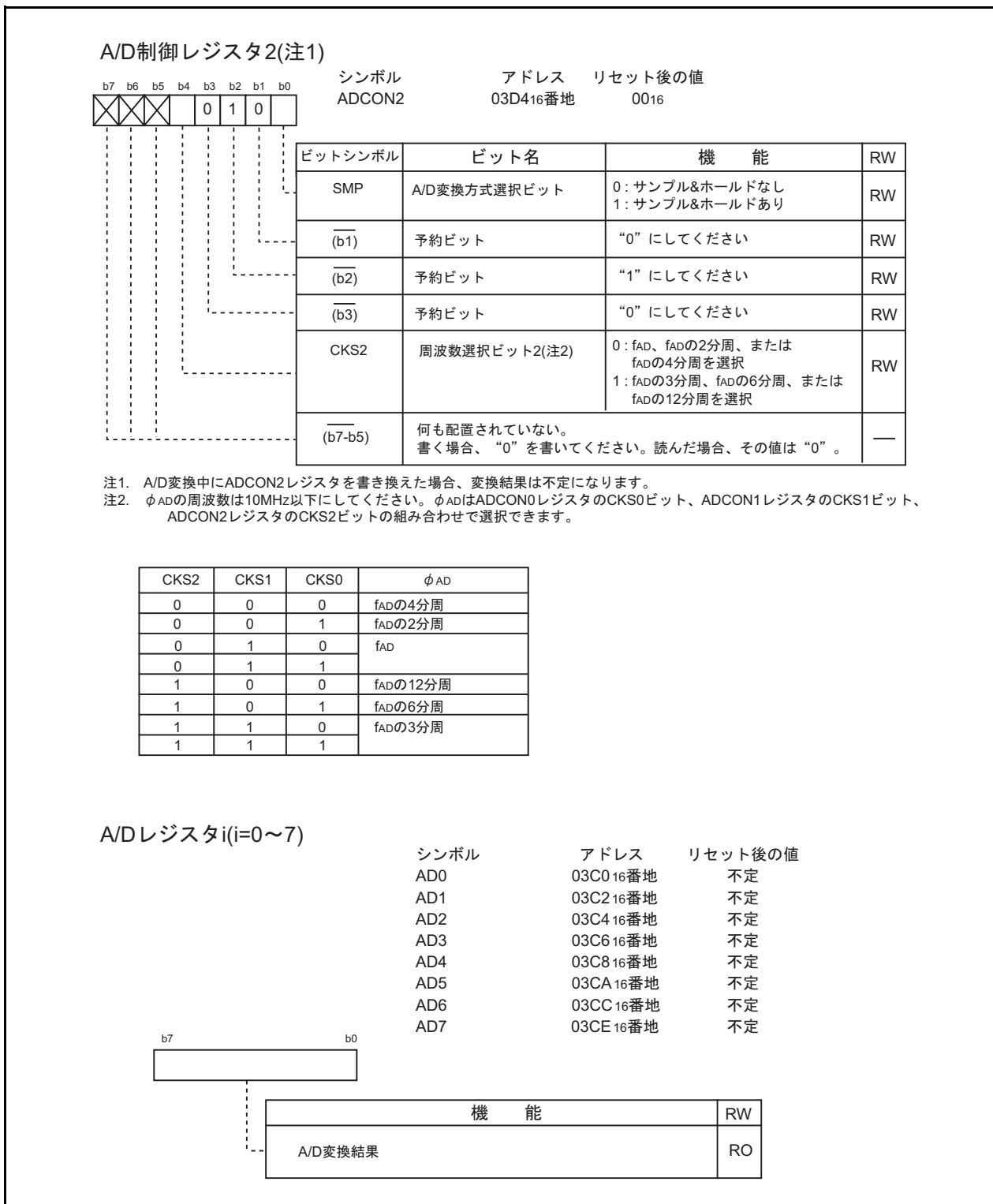


図 12.3 ADCON2、AD0~AD7レジスタ

12.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表12.2に単発モードの仕様、図12.4に単発モード時のADCON0～ADCON1レジスタを示します。

表12.2 単発モードの仕様

項 目	仕 様
機能	ADCON0レジスタのCH2～CH0ビットとADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を1回A/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ●ADCON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする ●TRGビットが“1” ($\overline{\text{ADTRG}}$によるトリガ)の場合 ADSTビットを“1” (A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> ●A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0” (A/D変換停止)になる) ●ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

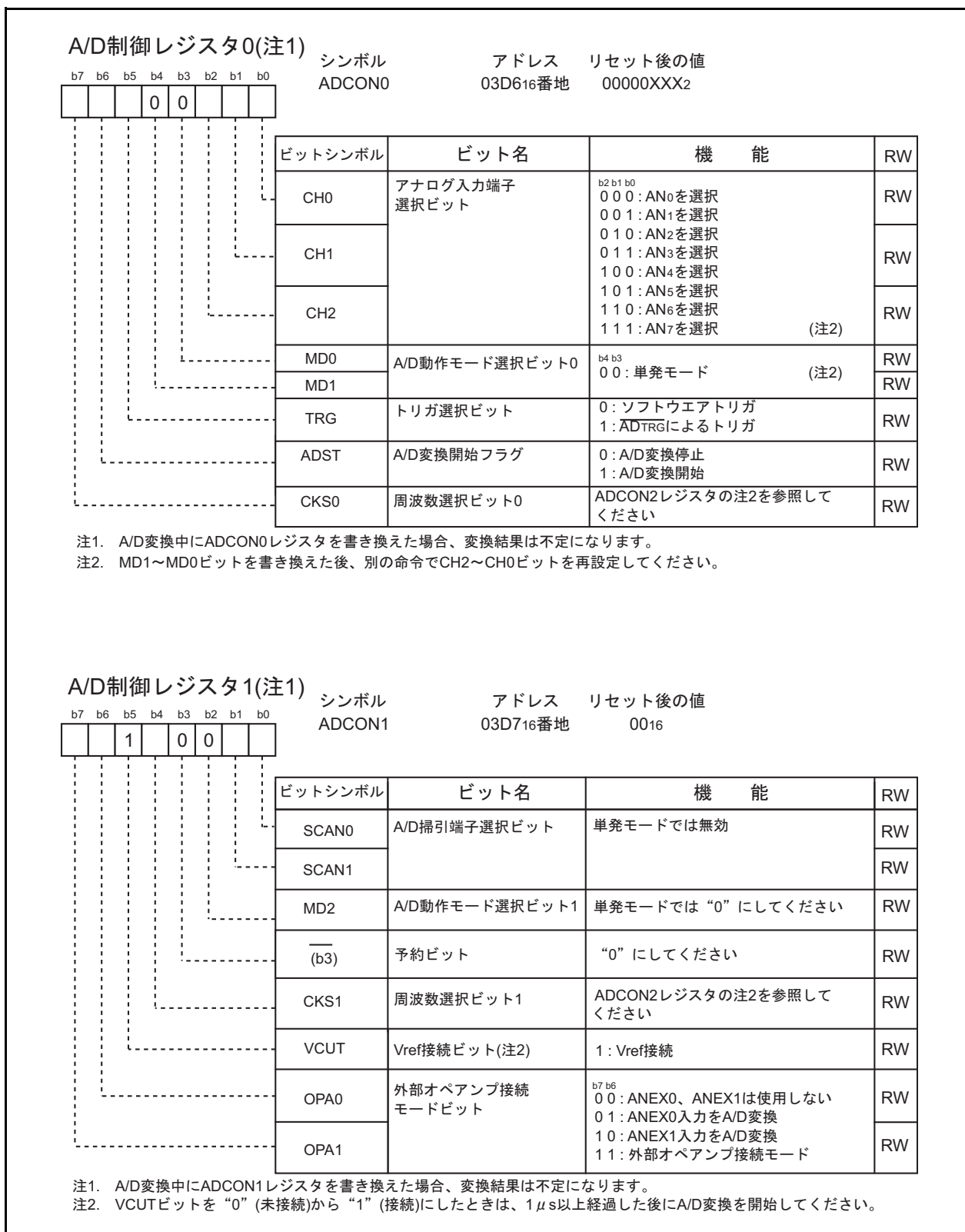


図 12.4 単発モード時のADCON0~ADCON1レジスタ

12.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表12.3に繰り返しモードの仕様、図12.5に繰り返しモード時のADCON0～ADCON1レジスタを示します。

表12.3 繰り返しモードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ●ADCON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする ●TRGビットが“1” ($\overline{\text{ADTRG}}$によるトリガ)の場合 ADSTビットを“1” (A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0” (A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

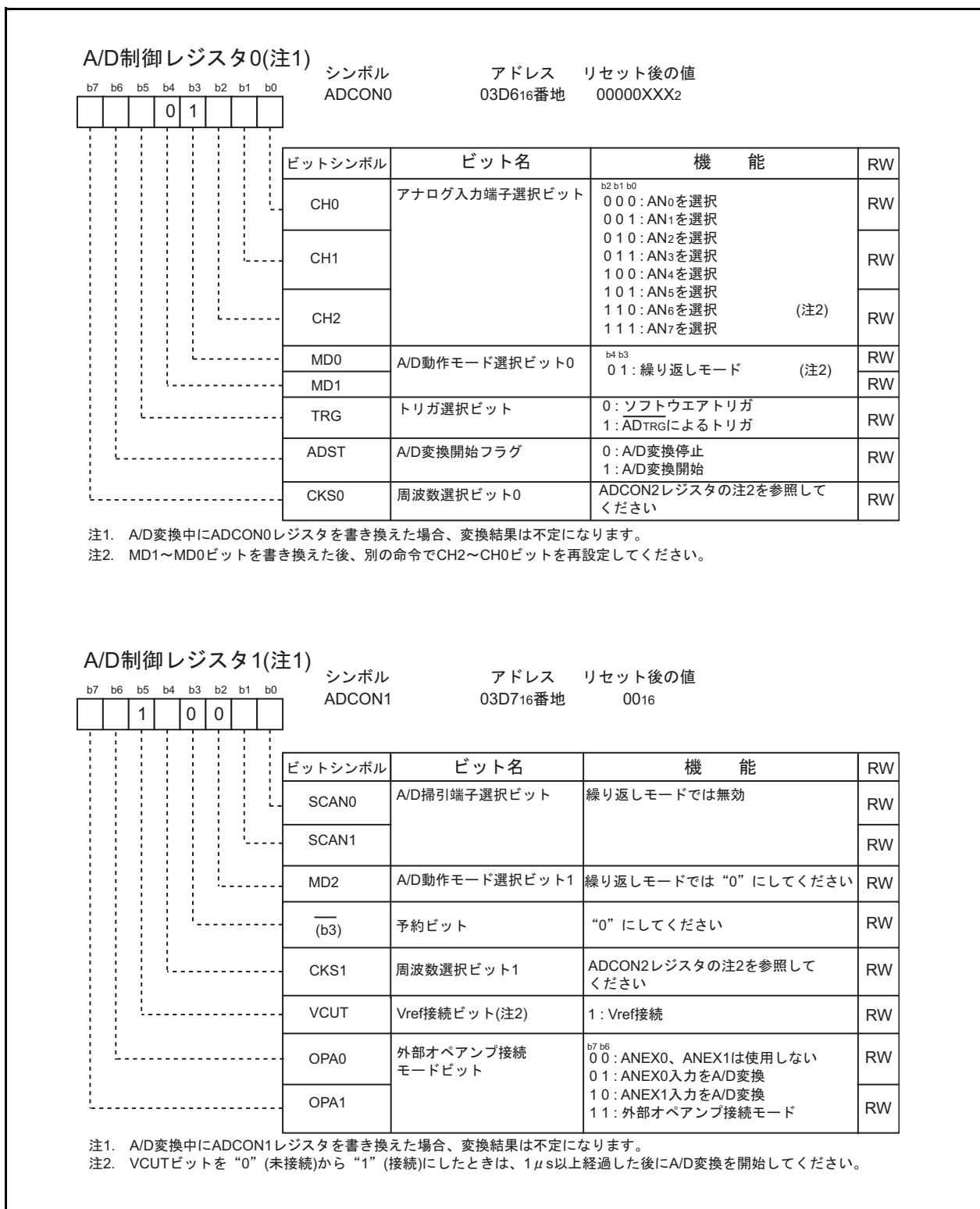


図 12.5 繰り返しモード時のADCON0～ADCON1レジスタ

12.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表12.4に単掃引モードの仕様、図12.6に単掃引モード時のADCON0～ADCON1レジスタを示します。

表12.4 単掃引モードの仕様

項 目	仕 様
機能	ADCON1レジスタのSCAN1～SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ●ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ●TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> ●A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ●ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

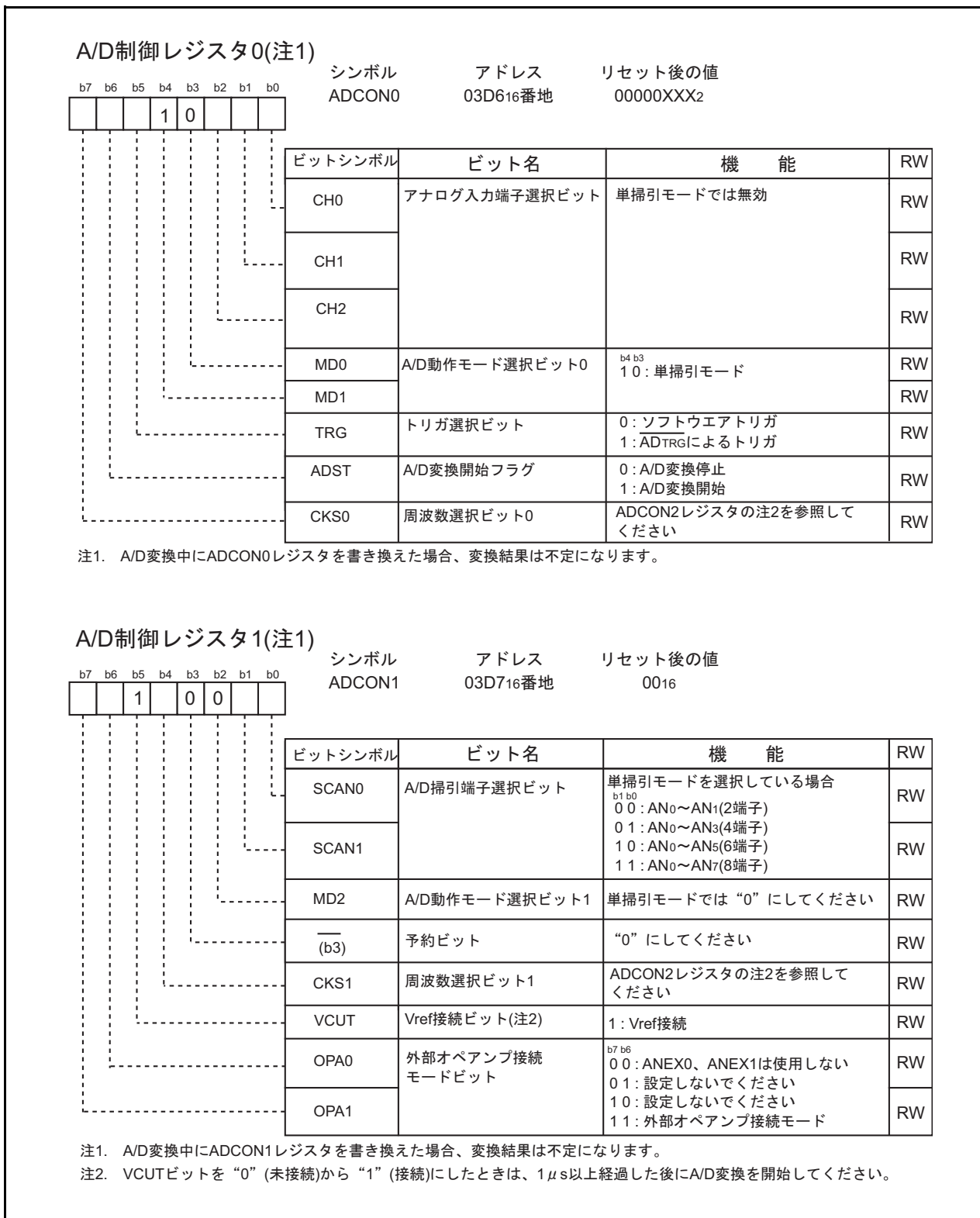


図 12.6 単掃引モード時のADCON0～ADCON1レジスタ

12.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表12.5に繰り返し掃引モード0の仕様、図12.7に繰り返し掃引モード0時のADCON0～ADCON1レジスタを示します。

表 12.5 繰り返し掃引モード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ●ADCON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする ●TRGビットが“1” (ADTRGによるトリガ)の場合 ADSTビットを“1” (A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0” (A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

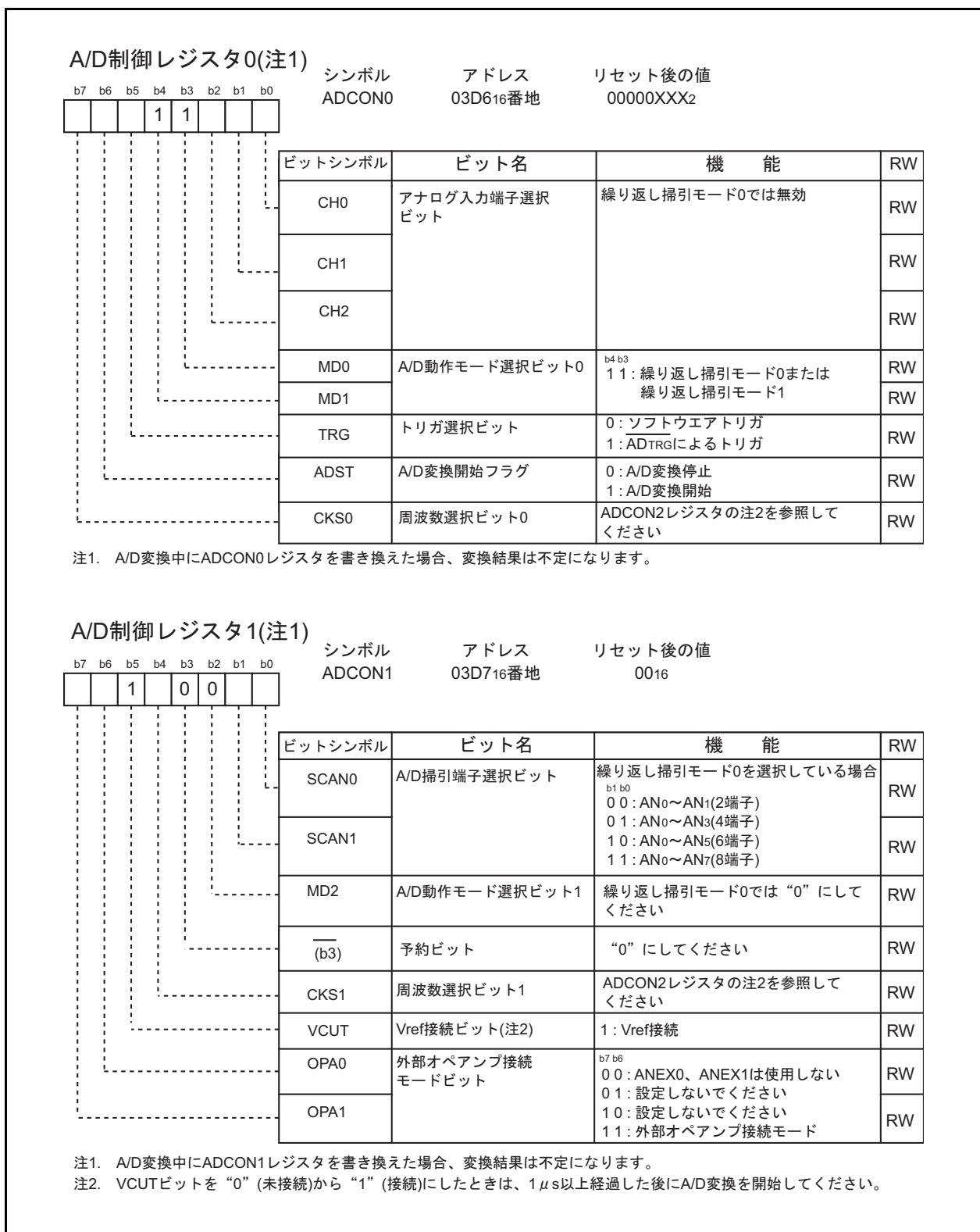


図 12.7 繰り返し掃引モード0時のADCON0～ADCON1レジスタ

12.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。表12.6に繰り返し掃引モード1の仕様、図12.8に繰り返し掃引モード1時のADCON0～ADCON1レジスタを示します。

表12.6 繰り返し掃引モード1の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットで選択した端子に重点をおいて、選択した全端子の入力電圧を繰り返しA/D変換する 例：AN0を選択した場合 AN0→AN1→AN0→AN2→AN0→AN3の順にA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ●ADCON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする ●TRGビットが“1” (ADTRGによるトリガ)の場合 ADSTビットを“1” (A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0” (A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
重点的にA/D変換するアナログ入力端子	AN0(1端子)、AN0～AN1(2端子)、AN0～AN2(3端子)、AN0～AN3(4端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

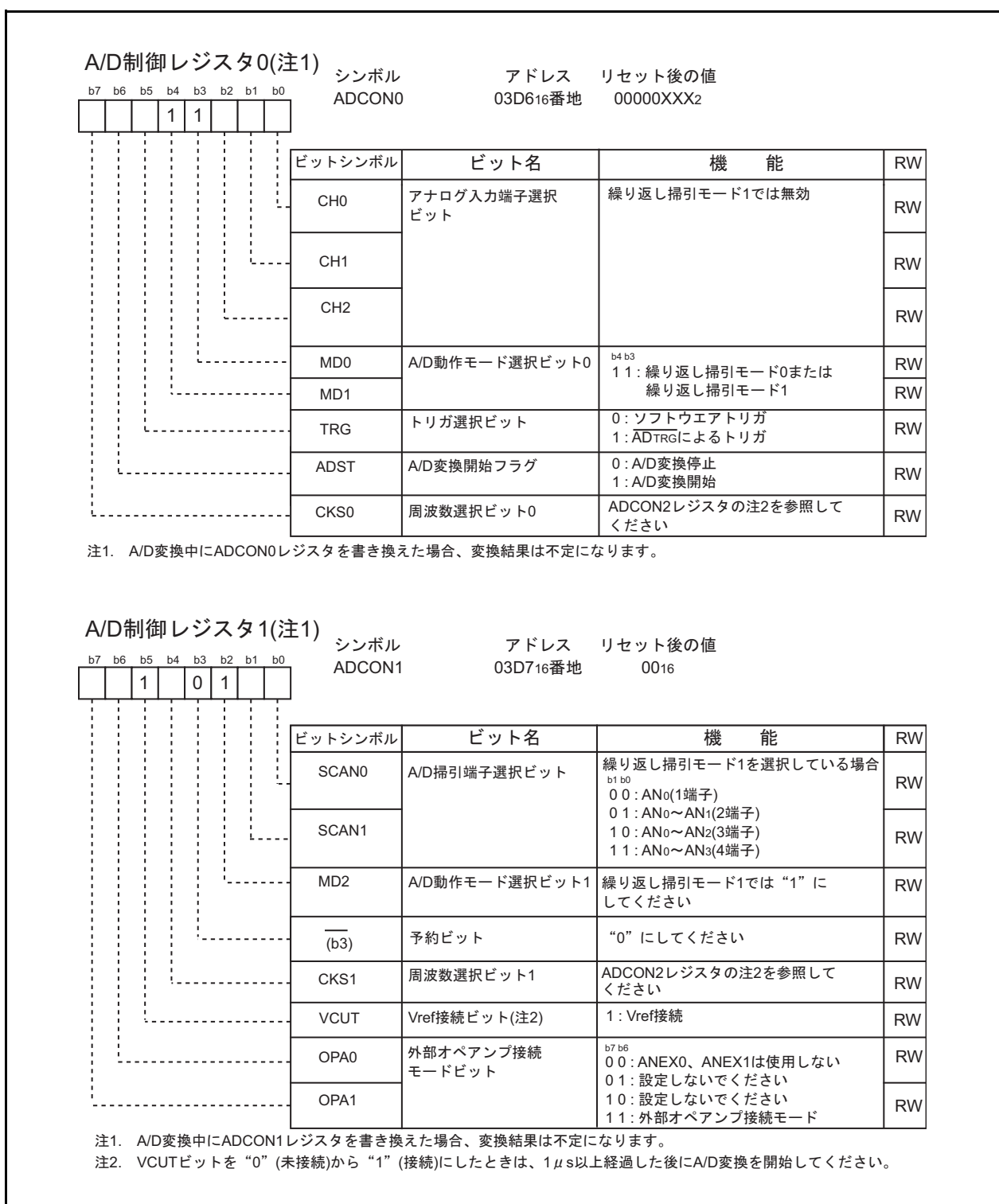


図 12.8 繰り返し掃引モード1時のADCON0～ADCON1レジスタ

12.6 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、28φADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

12.7 拡張アナログ入力端子

単発モード、繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。ADCON1レジスタのOPA1～OPA0ビットで選択してください。

ANEX0入力のA/D変換結果は、AD0レジスタに格納され、ANEX1入力のA/D変換結果は、AD1レジスタに格納されます。

12.8 外部オペアンプ接続モード

ANEX0、ANEX1端子を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

ADCON1レジスタのOPA1～OPA0ビットを“112”(外部オペアンプ接続モード)にしてください。AN_i(i=0～7)からの入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。A/D変換結果は対応するAD_iレジスタに格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結しないでください。図12.9に外部オペアンプ接続例を示します。

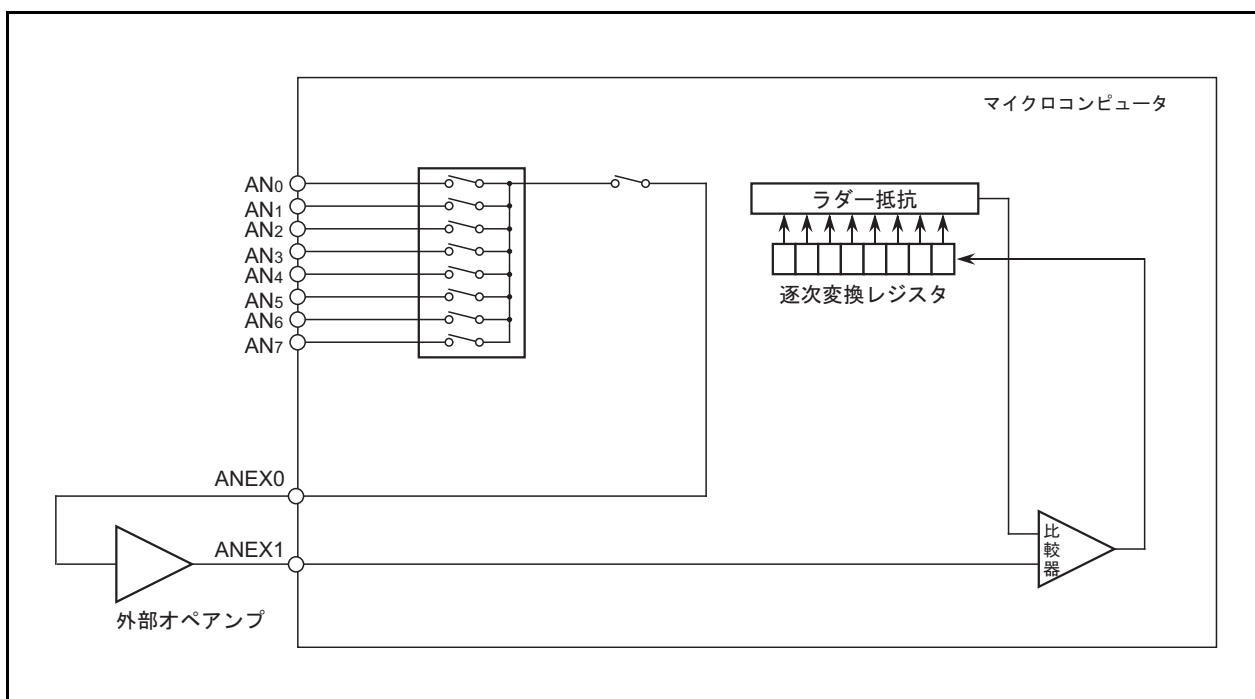


図12.9 外部オペアンプ接続例

12.9 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗を切り離すことができます。切り離すと、ラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1”(VREF接続)にした後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとVCUTビットは、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”(VREF未接続)にしないでください。

12.10 アナログ入力端子と外部センサーの等価回路例

図12.10にアナログ入力端子と外部センサーの等価回路例を示します。

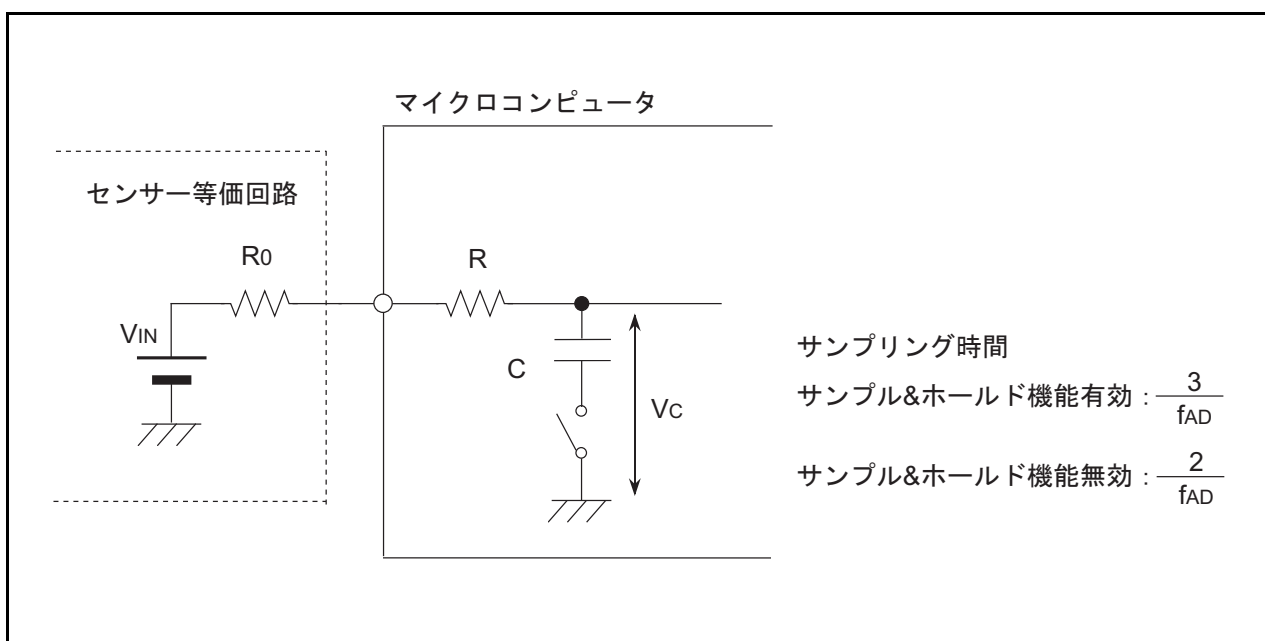


図12.10 アナログ入力端子と外部センサーの等価回路例

12.11 A/Dコンバータ使用時の注意事項

- (1) アナログ入力端子として使用する端子に対応するポート方向ビットは“0”（入力モード）にしてください。また、ADCON0レジスタのTRGビットが“1”（外部トリガ）の場合は、ADTRG端子に対応するポート方向ビットは“0”（入力モード）にしてください。
- (2) ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVcc 端子、アナログ入力端子 (AN_i(*i*=0~7)) と AVss 端子の間には、それぞれコンデンサを挿入してください。同様に Vcc 端子と Vss 端子の間にもコンデンサを挿入してください。図12.11に各端子の処理例を示します。
- (3) A/D変換が完了し、その結果を AD_iレジスタ (*i*=0~7)に格納するタイミングでCPUが AD_iレジスタを読んだ場合、誤った値が AD_iレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。
 - 単発モードまたは単掃引モードで使用する場合
A/D変換が完了したことを確認してから、対象となる AD_iレジスタを読んでください(A/D変換の完了はADICレジスタのIRビットで判定できます)。
 - 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUクロックは、メインクロックを分周せずに使用してください。
- (4) A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”（A/D変換停止）にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD_iレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのAD_iレジスタの値を使用しないでください。

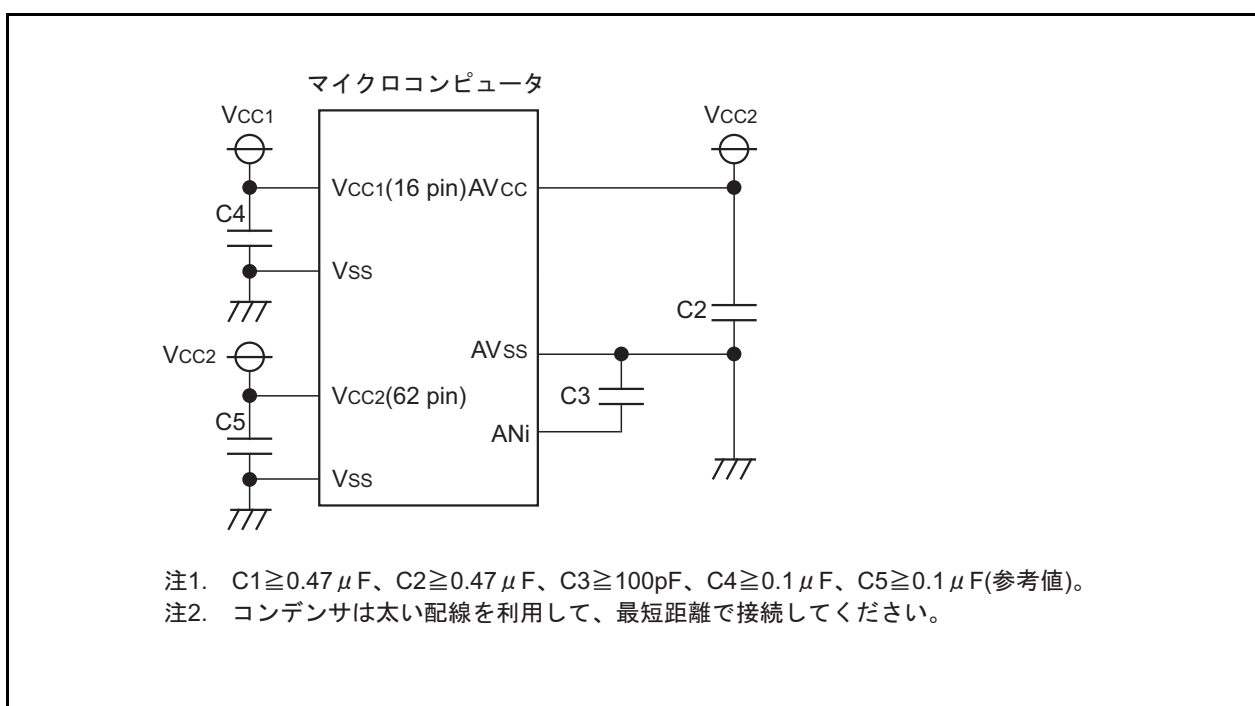


図12.11 各端子のノイズ対策処理例

13. CRC演算

CRC(Cyclic Redundancy Check) 演算は、データブロックの誤りを検出します。CRC コードの生成には $CRCCITT(X^{16}+X^{12}+X^5+1)$ の生成多項式を使用します。

CRC コードは、8ビット単位の任意のデータ長のブロックに対し生成される 16ビットのコードです。CRC コードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図13.1にCRCブロック図、図13.2にCRC関連レジスタを示します。また、図13.3にCRC演算例を示します。

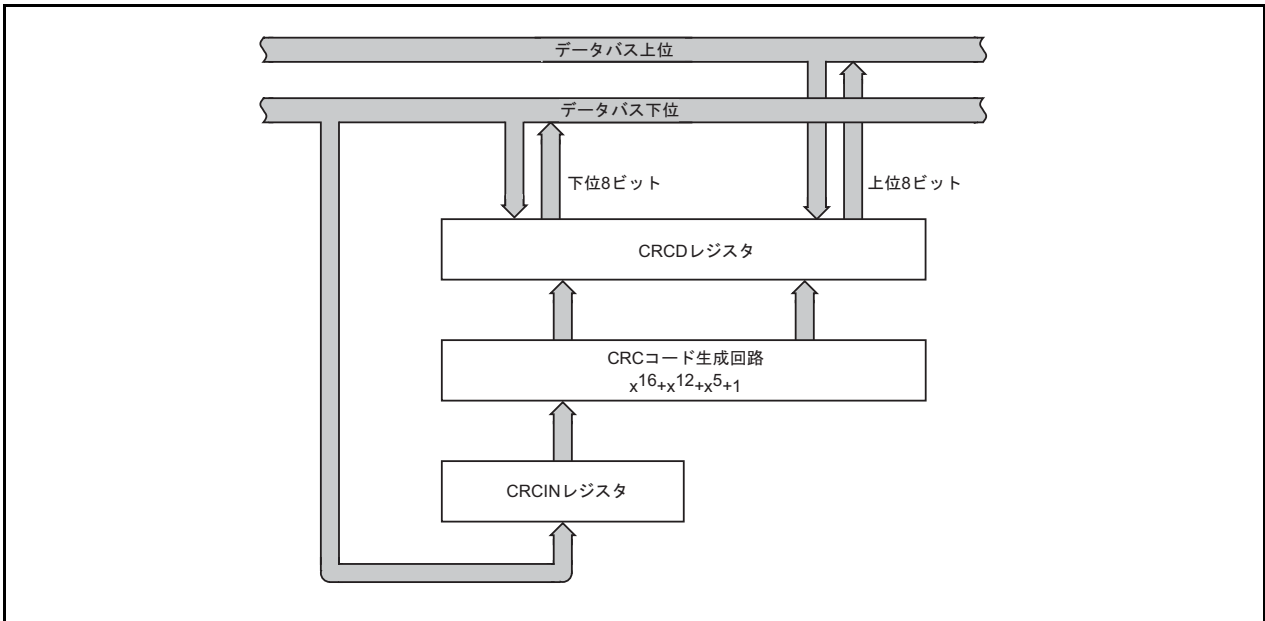


図13.1 CRCブロック図

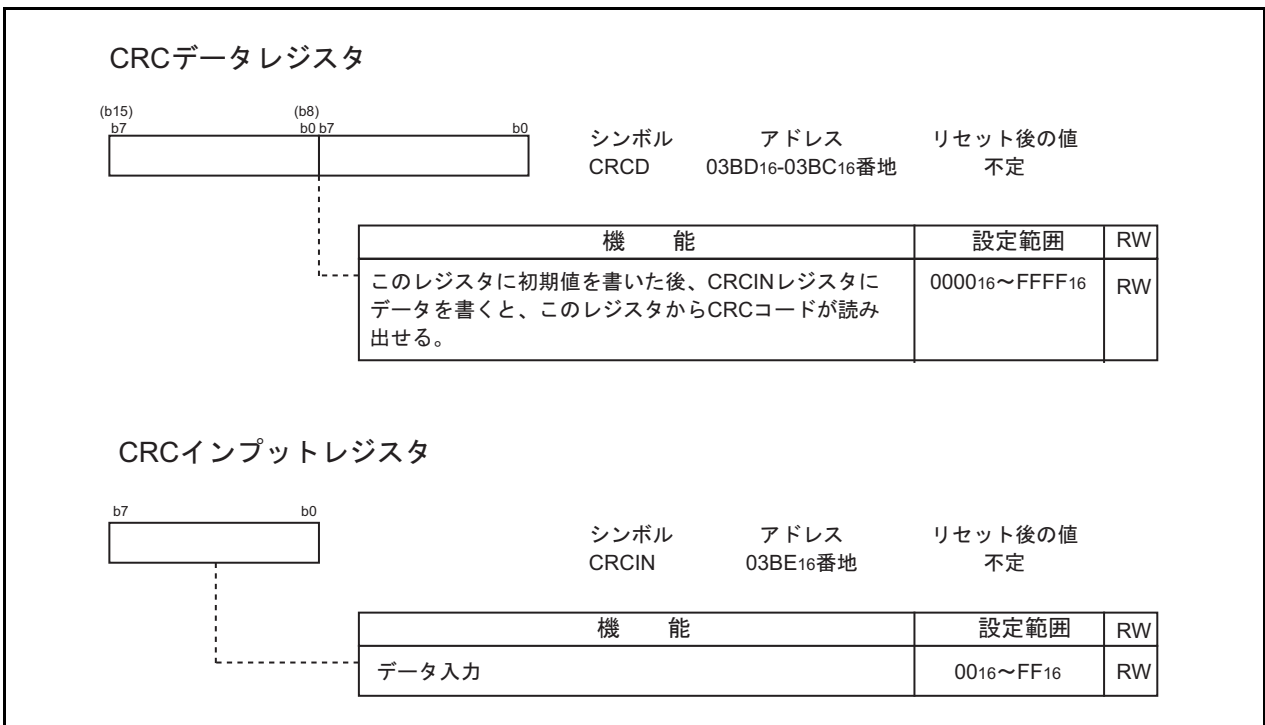


図13.2 CRCD、CRCINレジスタ

“80C416” のCRCコードを生成する場合の設定手順とCRC演算

○ M16CのCRC演算

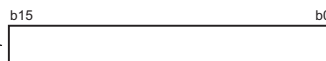
CRCコード : CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余

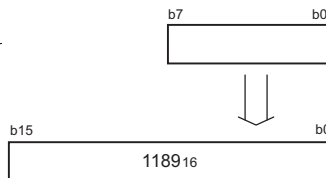
生成多項式 : $X^{16} + X^{12} + X^5 + 1(1\ 0001\ 0000\ 0010\ 0001_2)$

○ 設定手順

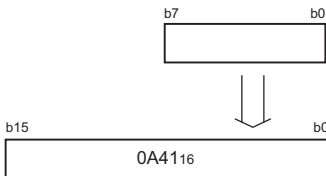
(1) プログラムで“80C416”のビット位置をバイト単位で反転させる

“8016” → “0116”、 “C416” → “2316”

(2) 000016(初期値)を書く →  CRCDレジスタ

(3) 0116を書く →  CRCDレジスタ

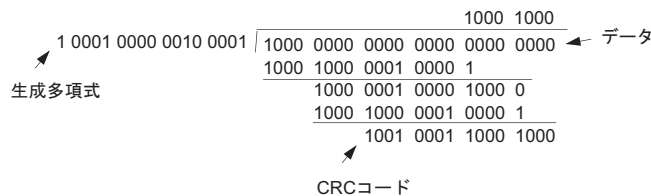
2サイクル後、“8016”のCRCコード(918816)の、ビット位置を反転した“118916”がCRCDレジスタに格納される

(4) 2316を書く →  CRCDレジスタ

2サイクル後、“80C416”のCRCコード(825016)の、ビット位置を反転した“0A4116”がCRCDレジスタに格納される

○ CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値“0116(000000012)”はビット位置を反転され“10000002”になる。これに16桁追加した“1000 0000 0000 0000 0000 00002”と、CRCDレジスタの初期値“000016”を加算した値をモジュロ2除算する。



モジュロ2の演算とは...
次の法則に基づいた演算です。

- 0 + 0 = 0
- 0 + 1 = 1
- 1 + 0 = 1
- 1 + 1 = 0
- 1 = 1

剰余“1001 0001 1000 10002(918816)”のビット位置を反転した“0001 0001 1000 10012(118916)”がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値“2316(001000112)”はビット位置を反転され“110001002”になる。これに16桁追加した“1100 0100 0000 0000 0000 00002”と、CRCDレジスタに残っている(3)の剰余“1001 0001 1000 10002”を加算した値をモジュロ2除算する。

剰余のビット位置を反転した“0000 1010 0100 00012(0A4116)”がCRCDレジスタから読める

図 13.3 CRC 演算例

14. 拡張機能

14.1 拡張機能概要

拡張機能には、CRC演算機能、データスライサ機能、ハミングデコード機能があります。また、それぞれの機能は拡張メモリにより制御します。

(1) CRC演算機能

符号の誤り検出、誤り訂正を行います。

(2) データスライサ機能

ハード対応：Teletext, PDC, VPS, VBI, EPG-J

ソフト対応：WSS, CC, CC2X, ID-1

(3) ハミングデコーダ機能

8/4ハミング, 24/18ハミングを行います。

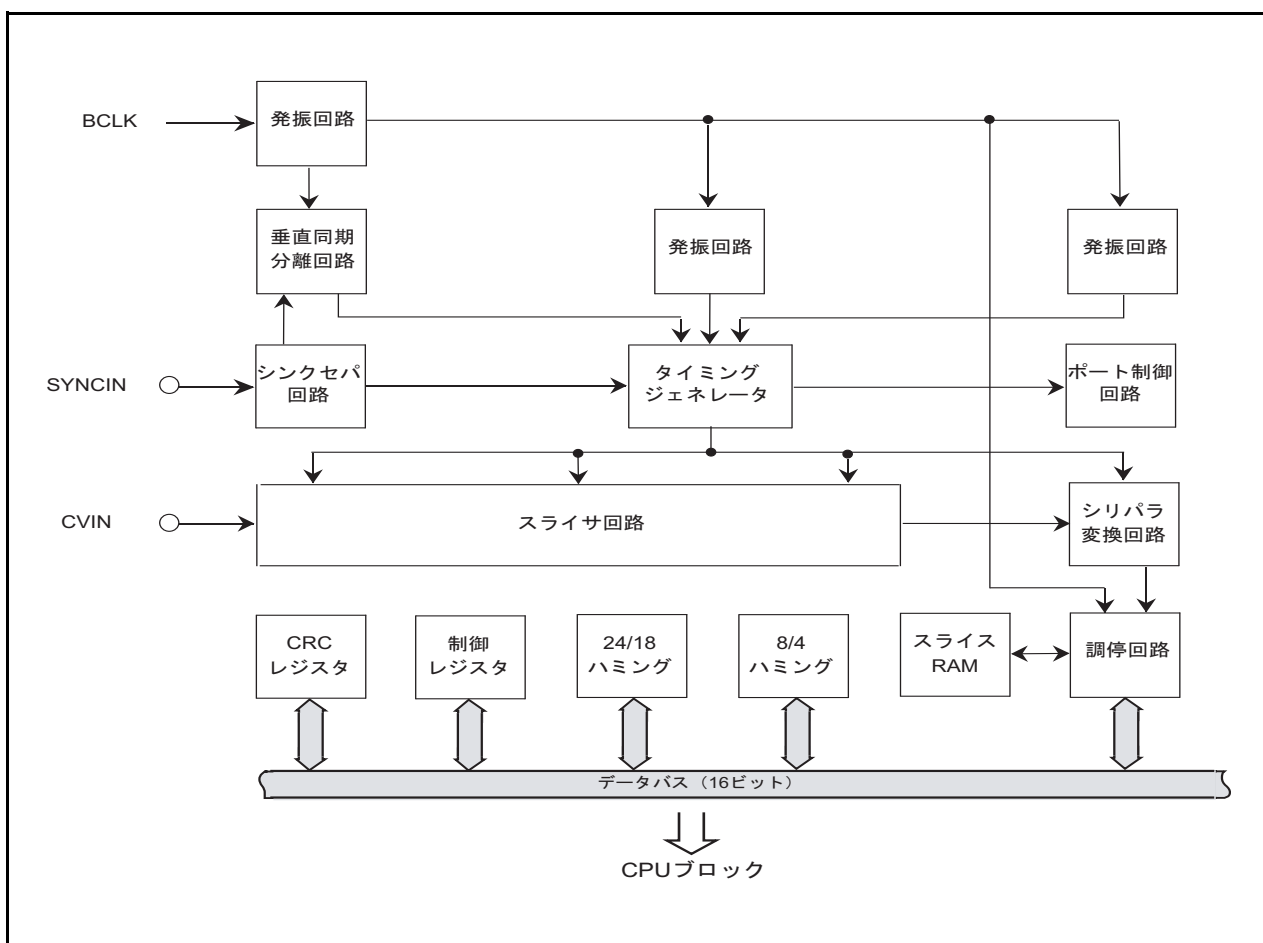


図 14.1 拡張機能ブロック図

14.2 拡張メモリ

拡張機能用メモリはスライスRAM、CRCレジスタ、拡張レジスタの3種類に分けられています。(ハミングデコーダはSFR上に配置されたレジスタで動作します。)

スライスRAM、CRCレジスタ、拡張レジスタへのデータ書き込み及び読み出しはSFR上に配置されたデータ設定用レジスタ(020E₁₆番地、0210₁₆番地、0212₁₆番地、0214₁₆番地、0216₁₆番地、および0218₁₆番地)により16ビット単位で行います。表14.1に各メモリの内容とデータ設定用レジスタを示します。

表 14.1 拡張メモリ構成

拡張メモリ	内 容	データ設定用レジスタ
スライスRAM	スライスしたデータを格納します。	スライスRAMアドレス制御レジスタ(020E ₁₆) スライスRAMデータ制御レジスタ(0210 ₁₆)
CRCレジスタ	生成多項式、符号データの設定を行うレジスタです。	CRCレジスタ用アドレス制御レジスタ(0212 ₁₆) CRCレジスタ用データ制御レジスタ(0214 ₁₆)
拡張レジスタ	データスライサ制御、 VBIエンコーダ制御を行うレジスタです。	拡張レジスタ用アドレス制御レジスタ(0216 ₁₆) 拡張レジスタ用データ制御レジスタ(0218 ₁₆)

14.3 スライスRAM

18ライン分のスライスデータを格納します。スライスデータにはPDC, VPS, WSS, EPG-J, CC, CC2X, ID-1等があります。

それぞれのデータは全てスライスするラインに対応したアドレス（例えば22ライン目のデータは20016～21716番地）に格納されます。1ラインにつきSR00x～SR17xまでの24アドレス（16ビット）が用意されており、スライスデータはLSB側から順に格納されます。なお各ラインの先頭アドレス（SR00x）にはスライスデータの種類とフィールド情報が格納されています。

スライスRAM構成を表14.2に示します。

表 14.2 スライスRAM構成

スライスRAMアドレス (SA9～SA0)	SD15	SD14	SD13	SD12	SD11	SD10	SD9	SD8	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0	備考(注1)
00016 00116 }	SR00F SR01F }	SR00E SR01E }	SR00D SR01D }	SR00C SR01C }	SR00B SR01B }	SR00A SR01A }	SR009 SR019 }	SR008 SR018 }	SR007 SR017 }	SR006 SR016 }	SR005 SR015 }	SR004 SR014 }	SR003 SR013 }	SR002 SR012 }	SR001 SR011 }	SR000 SR010 }	6ラインor 318ライン スライスデータ
01616 01716	SR16F SR17F	SR16E SR17E	SR16D SR17D	SR16C SR17C	SR16B SR17B	SR16A SR17A	SR169 SR179	SR168 SR178	SR167 SR177	SR166 SR176	SR165 SR175	SR164 SR174	SR163 SR173	SR162 SR172	SR161 SR171	SR160 SR170	
01816 }	未使用領域																
02016 }	SR00F }	SR00E }	SR00D }	SR00C }	SR00B }	SR00A }	SR009 }	SR008 }	SR007 }	SR006 }	SR005 }	SR004 }	SR003 }	SR002 }	SR001 }	SR000 }	7ラインor 319ライン スライスデータ
03716	SR17F	SR17E	SR17D	SR17C	SR17B	SR17A	SR179	SR178	SR177	SR176	SR175	SR174	SR173	SR172	SR171	SR170	
04016 }	:																
1F716																	8ライン～21ラインor 320ライン～333ライン スライスデータ
20016 }	SR00F }	SR00E }	SR00D }	SR00C }	SR00B }	SR00A }	SR009 }	SR008 }	SR007 }	SR006 }	SR005 }	SR004 }	SR003 }	SR002 }	SR001 }	SR000 }	22ラインor 334ライン スライスデータ
21716	SR17F	SR17E	SR17D	SR17C	SR17B	SR17A	SR179	SR178	SR177	SR176	SR175	SR174	SR173	SR172	SR171	SR170	
22016 }	SR00F }	SR00E }	SR00D }	SR00C }	SR00B }	SR00A }	SR009 }	SR008 }	SR007 }	SR006 }	SR005 }	SR004 }	SR003 }	SR002 }	SR001 }	SR000 }	23ラインor 335ライン スライスデータ
23716	SR17F	SR17E	SR17D	SR17C	SR17B	SR17A	SR179	SR178	SR177	SR176	SR175	SR174	SR173	SR172	SR171	SR170	

注1. PALビデオ信号スライス時、拡張レジスタVPS_VP8～VPS_VP0（2916番地ビット8～0）＝“416”設定時に対応するラインです。

データのアクセスはスライスRAMアドレス制御レジスタ（020E16番地）に表14.2の必要なアドレス（SA）を設定し、続けてスライスRAMデータ制御レジスタ（021016番地）よりデータを読み出します。

データの読み出しが終わるとスライスRAMアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを読み出すことができます。各ラインデータ間の未使用領域にはアクセスしないでください。各ラインごとに必ずアドレスを設定してください。

図14.2にスライスRAMビット構成を、図14.3にスライスRAMアクセス関連レジスタの構成を、図14.4にスライスRAMアクセスブロック図を示します。

スライスRAMビット構成

スライスするラインに対応したアドレスの各先頭アドレスは次のスライス情報を格納しています。

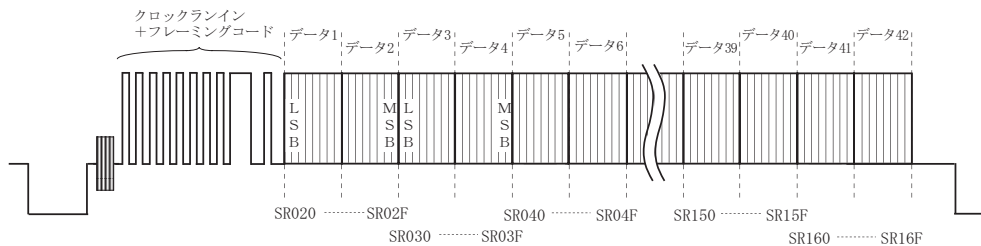
	SR00F~SR004	SR003	SR002	SR001	SR000
ラインレジスタ3	0	フェルト*	0	1	1
ラインレジスタ2	0	フェルト*	0	1	0
ラインレジスタ1	0	フェルト*	0	0	1
その他	0	フェルト*	0	0	0

*) フェルト

第1フェルト : 1
第2フェルト : 0

(1) PDC

PDCデータの場合、1アドレスに16ビット（2データ）をLSB側から格納します。



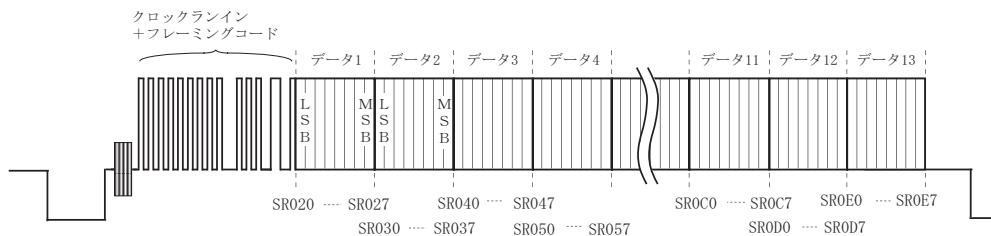
注：拡張レジスタSTART(2816番地ビット1)を“1”に設定した場合のスライスデータ格納パターンです。SR17xは未使用領域です。

(2) VPS

VPSデータ及びVBIデータの場合は1アドレスに8ビット（1データ）をLSB側から格納します。

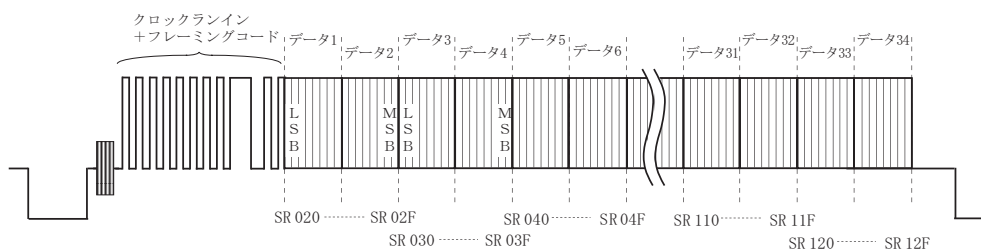
下位8ビットはスライスデータを格納し、上位8ビットは送られてきたデータがバイフェーズ形式として認識できなかった場合のワーニングビットとなっています。

このワーニングビットはバイフェーズデータ=“1.0”または“0.1”（バイフェーズ形式）の場合は“0”となり、バイフェーズデータ=“0.0”または“1.1”（バイフェーズ形式ではない）の場合は“1”となります。（例えばSR011のバイフェーズデータが“0.0”または“1.1”の場合はSR019に“1”がたちます。）



注：拡張レジスタSTART(2816番地ビット1)を“1”に設定した場合のスライスデータ格納パターンです。SR0Fx~SR17xは未使用領域です。

(3) EPG-J



注：拡張レジスタSTART(2816番地ビット1)を“1”に設定した場合のスライスデータ格納パターンです。SR13x~SR17xは未使用領域です。

図 14.2 スライスRAMビット構成

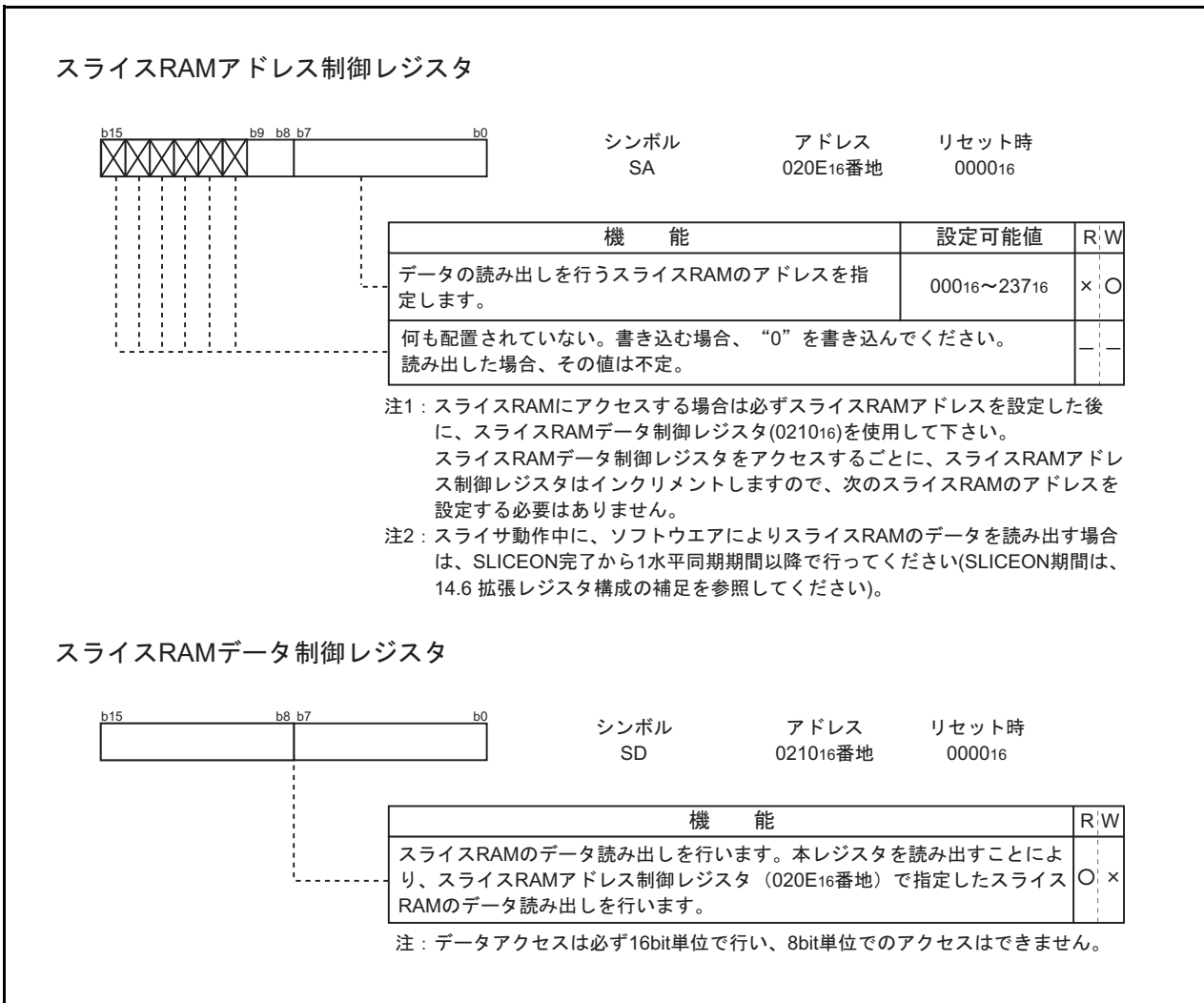


図 14.3 スライスRAMアクセス関連レジスタの構成

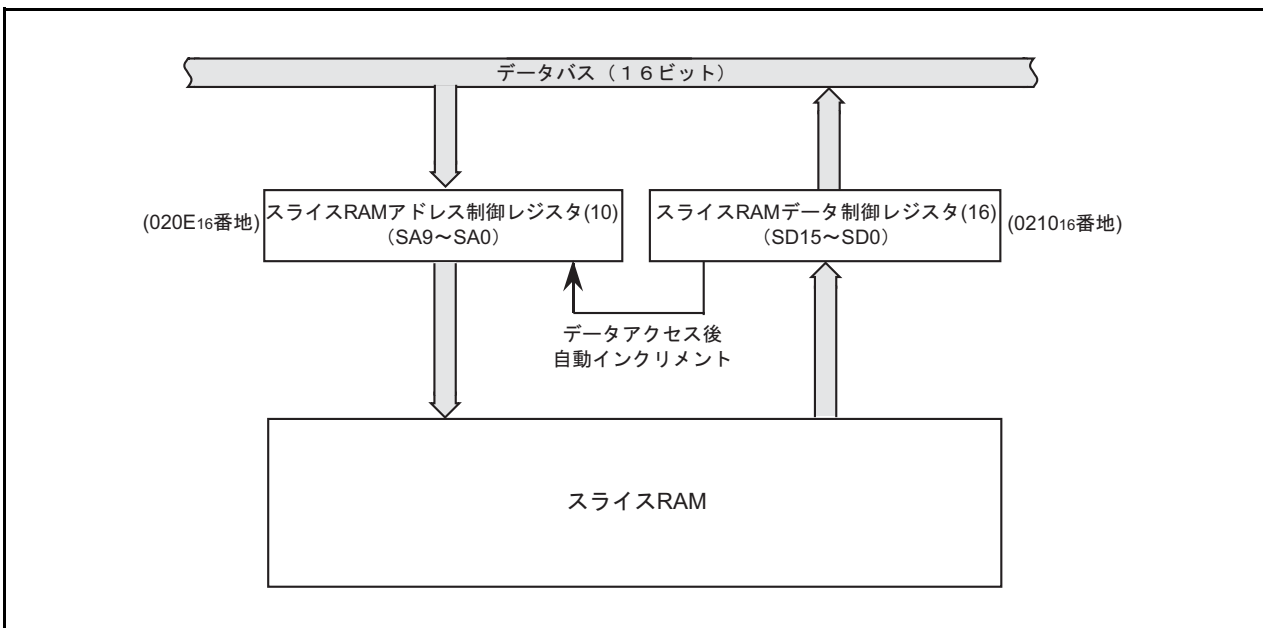


図 14.4 スライスRAMアクセスブロック図

14.4 CRC演算回路(EPG-J)

CRC演算回路(EPG-J)はデータ多重放送における符号化方式である272-190短縮化差集合巡回符号による誤り検出、誤り訂正を行うための回路です。

CRCレジスタは図14.6に示すレジスタから構成されています。CRCレジスタは生成多項式、符号データ等を設定することにより、誤り検出、多数決論理による誤り訂正が行えます。

表14.3にCRCレジスタ構成を示します。

表 14.3 CRCレジスタ構成

CA3~CA0	CD15	CD14	CD13	CD12	CD11	CD10	CD9	CD8	CD7	CD6	CD5	CD4	CD3	CD2	CD1	CD0	備考
0016	DAOUT15	DAOUT14	DAOUT13	DAOUT12	DAOUT11	DAOUT10	DAOUT9	DAOUT8	DAOUT7	DAOUT6	DAOUT5	DAOUT4	DAOUT3	DAOUT2	DAOUT1	DAOUT0	
0116						CRC_ERR10	CRC_ERR09	CRC_ERR08	CRC_ERR07	CRC_ERR06	CRC_ERR05	CRC_ERR04	CRC_ERR03	CRC_ERR02	CRC_ERR01	CRC_ERR00	
0216	CRC_66	CRC_67	CRC_68	CRC_69	CRC_70	CRC_71	CRC_72	CRC_73	CRC_74	CRC_75	CRC_76	CRC_77	CRC_78	CRC_79	CRC_80	CRC_81	
0316	CRC_50	CRC_51	CRC_52	CRC_53	CRC_54	CRC_55	CRC_56	CRC_57	CRC_58	CRC_59	CRC_60	CRC_61	CRC_62	CRC_63	CRC_64	CRC_65	
0416	CRC_34	CRC_35	CRC_36	CRC_37	CRC_38	CRC_39	CRC_40	CRC_41	CRC_42	CRC_43	CRC_44	CRC_45	CRC_46	CRC_47	CRC_48	CRC_49	
0516	CRC_18	CRC_19	CRC_20	CRC_21	CRC_22	CRC_23	CRC_24	CRC_25	CRC_26	CRC_27	CRC_28	CRC_29	CRC_30	CRC_31	CRC_32	CRC_33	
0616	CRC_02	CRC_03	CRC_04	CRC_05	CRC_06	CRC_07	CRC_08	CRC_09	CRC_10	CRC_11	CRC_12	CRC_13	CRC_14	CRC_15	CRC_16	CRC_17	
0716																CRC_00	CRC_01
0816	REG_C81	REG_C80	REG_C79	REG_C78	REG_C77	REG_C76	REG_C75	REG_C74	REG_C73	REG_C72	REG_C71	REG_C70	REG_C69	REG_C68	REG_C67	REG_C66	
0916	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
0A16	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
0B16	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
0C16	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
0D16	-	-	-	-	-	-	-	-	-	-	-	CRC16SEL	-	-	-	-	

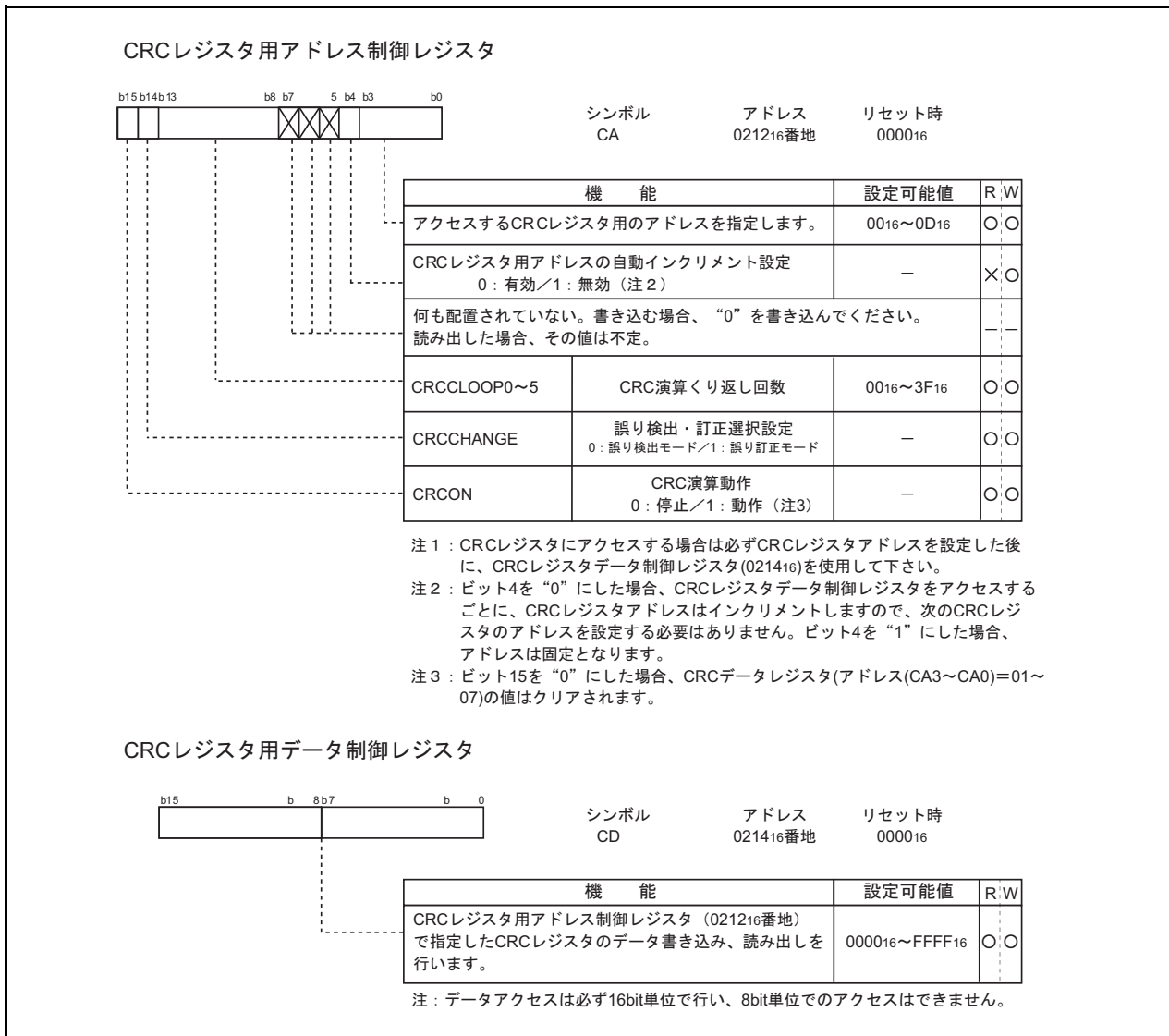


図 14.5 CRCレジスタアクセス関連レジスタの構成

CRCレジスタデータへのアクセスはCRCレジスタアドレス制御レジスタ（0212₁₆番地）に表14.3のアクセスするアドレス（CA3～CA0）を設定し、続けてCRCレジスタデータ制御レジスタ（0214₁₆番地）よりデータ（CD15～CD0）を書き込みます。データの書き込みが終わると拡張レジスタアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを書き込むことができます。図14.5にCRCレジスタアクセス関連レジスタの構成を、図14.6にCRCレジスタアクセスブロック図を示します。図14.7にCRC演算回路の演算例を、図14.8にプログラム例を示します。

また、CRCレジスタのビット構成をP185～P193に示します。

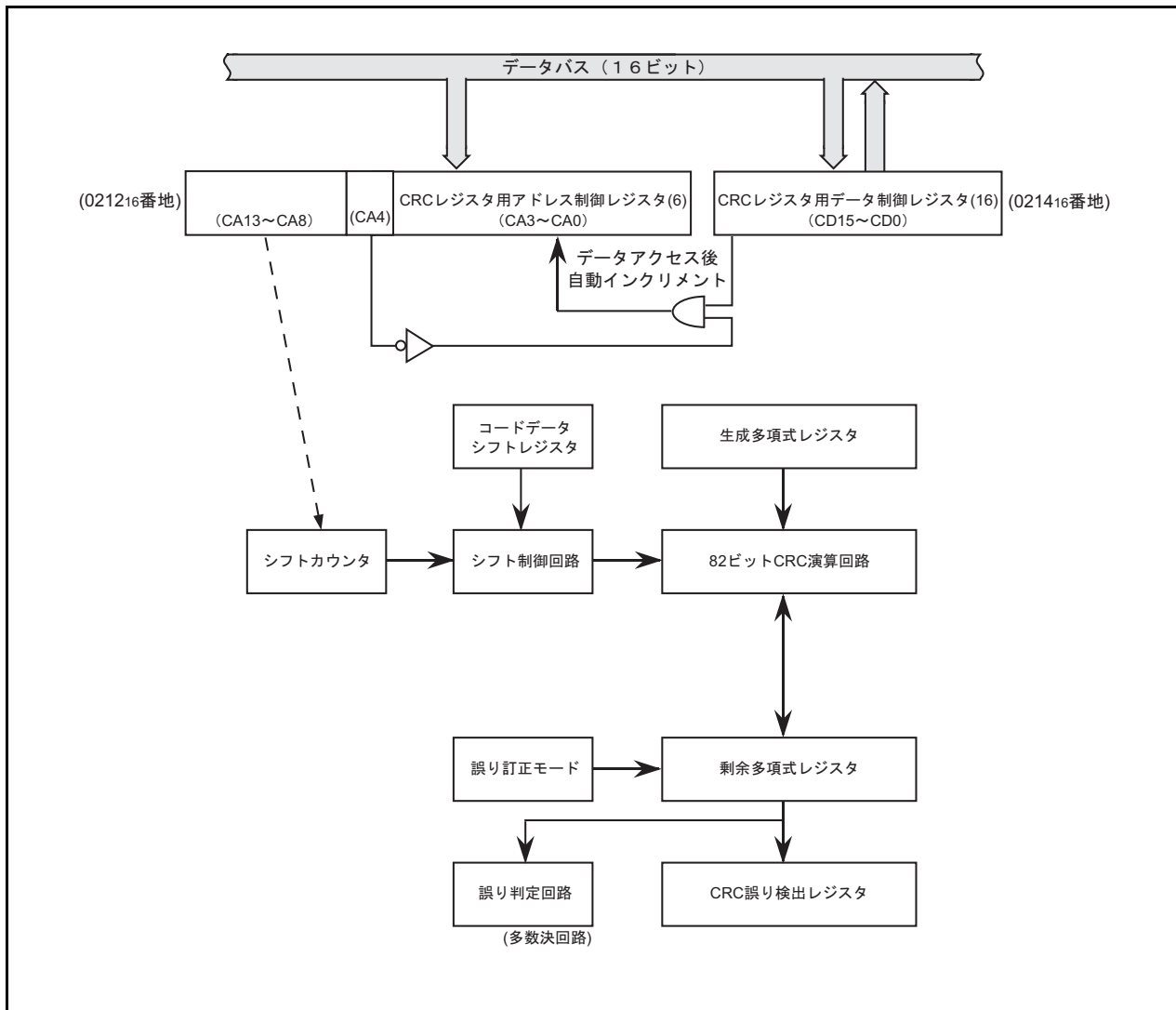


図14.6 CRCレジスタ用アクセスブロック図

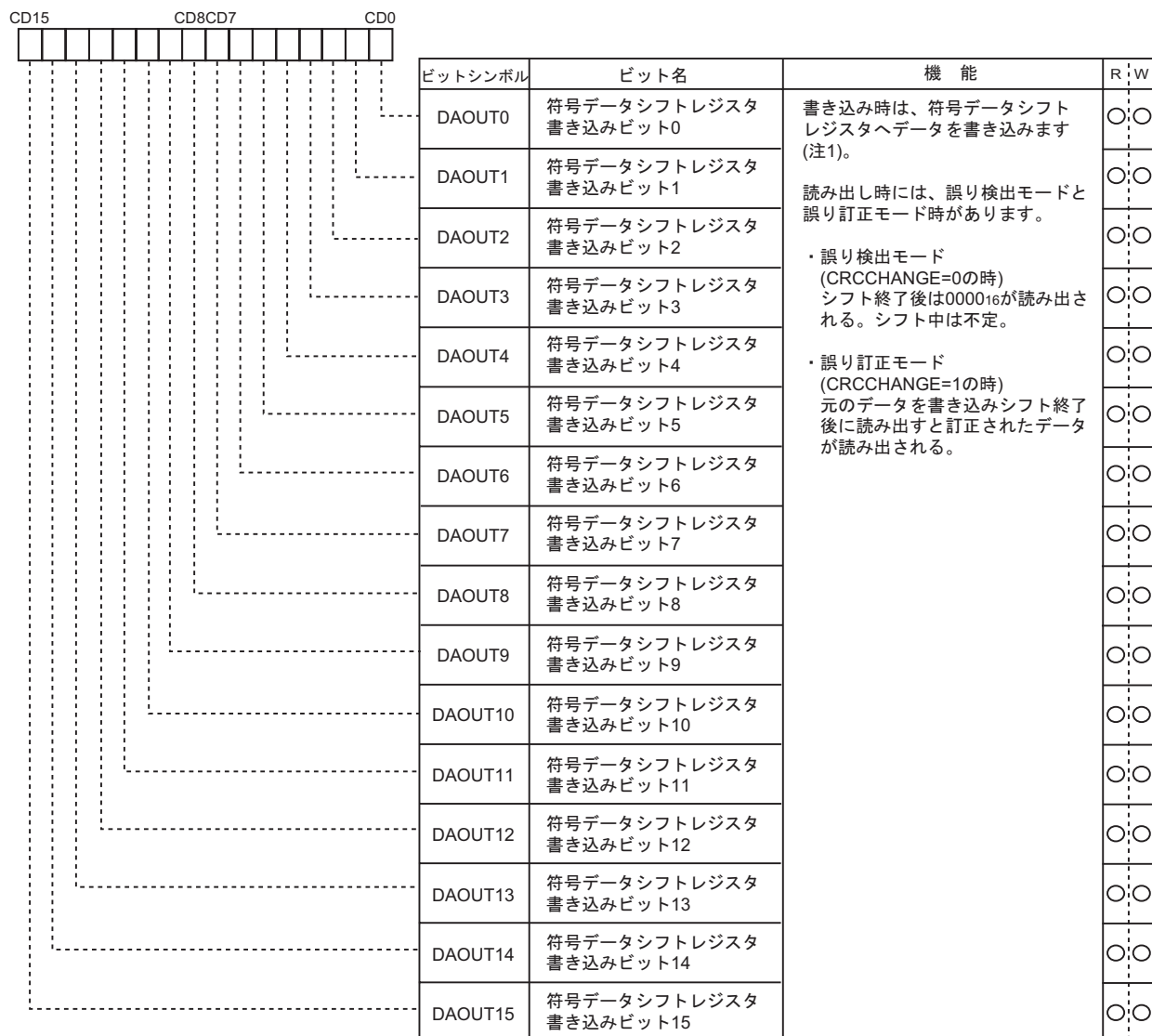

```

=====
;
;      Equations ( 定数定義 )
=====
_CRC_ADDR      .equ          00212h          ;CRCレジスタ用7ビット制御レジスタのSFR7ビット
_CRC_DATA      .equ          00214h          ;CRCレジスタ用データ制御レジスタのSFR7ビット
SLICE_WORD_NUM .equ          17              ;符号データ長 (ワード数)
=====
;
;      マクロ定義
=====
_wait          .macro
nop
nop
nop
.endm
=====
;
;      CRC演算ルーチン
=====
;----- 生成多項式の設定 -----
mov.w #0008H      , _CRC_ADDR      ;生成多項式レジスタの先頭7ビットを設定
_wait          ;ウェイト
mov.w 0000110000100011B , _CRC_DATA ;生成多項式82次～66次までの係数 ( x^77 +x-76 +x^71 +x^67 +x^66)
;----- 符号データの書き込み -----
mov.w #0000H      , _CRC_ADDR      ;CRCレジスタ (REG_C81～REG_C00の初期化)
mov.w #9010H      , _CRC_ADDR      ;CRCON=1,CRCCHANGE=0,CRCLoop=10H,インクリメント=OFF,CRC7ビット=00Hを設定
mov.w #0000H      , A0             ;ループ変数(A0)の初期化
L18:           ;分岐先ラベル
cmp.w #SLICE_WORD_NUM*2 , A0       ;ループ変数の比較
jgeu L20         ;符号データの書き込み終了の場合ラベルL20へ
lde.w _CrcCodeData[A0] , _CRC_DATA ;符号データをデータレジスタへ書き込む
add.w #0002H      , A0             ;符号データ格納7ビットのインクリメント
jmp L18          ;ループ先頭へ戻る
L20:           ;分岐先ラベル
;----- データミット -----
; 272ビットの符号データの書き込みを終了した後、誤り訂正を行う場合は必ず
; 1ビット分のデータミットを行う
; 1ビットの指定はCRCLoop=01Hで設定
mov.w #8100H      , _CRC_ADDR      ;CRCON=1,CRCCHANGE=0,CRCLoop=1H,インクリメント=ON,CRC7ビット=00Hを設定
_wait          ;ウェイト
mov.w #0000H      , _CRC_DATA      ;データミット用にデータレジスタへデータを書き込む
;----- 誤り検出 -----
; データミットの時、7ビットは自動インクリメントを設定しているため、ここでCRC7ビット=01H
; ここで他のCRCレジスタを7ビットする場合は、次の2行の処理が必要
mov.w #9001H      , _CRC_ADDR      ;CRCON=1,CRCCHANGE=0,CRCLoop=10H,インクリメント=ON,CRC7ビット=01Hを設定
_wait          ;ウェイト
mov.w _CRC_DATA   , R0              ;CRC誤り検出レジスタを読み出す
cmp.w #0000H      , R0              ;CRC誤りの判定を行う
jeq L16           ;0の場合はCRCエラーが発生していないのでL16へ分岐 (誤り訂正をスキップ)
;----- 誤り訂正 -----
mov.w #0D010H     , _CRC_ADDR      ;CRCON=1,CRCCHANGE=1,CRCLoop=10H,インクリメント=OFF,CRC7ビット=00Hを設定
_wait          ;ウェイト
mov.w #0000H      , A0             ;ループ変数(A0)の初期化
L22:           ;分岐先ラベル
cmp.w #SLICE_WORD_NUM , A0        ;ループ変数の比較
jgeu L24         ;誤りデータ終了の場合ラベルL24へ
lde.w _CrcCodeData[A0] , _CRC_DATA ;符号データをデータレジスタへ書き込む
jsr _waitlong     ;誤り訂正終了待ち用ウェイト
mov.w _CRC_DATA   , _CrcCodeData[A0] ;誤り訂正データを符号データ格納7ビットに読み出す
add.w #0002H      , A0             ;符号データ格納7ビットのインクリメント
jmp L22          ;ループ先頭へ戻る
L24:           ;分岐先ラベル
;----- 誤り訂正データの確認 -----
mov.w #8111H      , _CRC_ADDR      ;CRCON=1,CRCCHANGE=0,CRCLoop=1H,インクリメント=OFF,CRC7ビット=01H
_wait          ;ウェイト
mov.w _CRC_DATA   , R0              ;誤り訂正後の誤りチェックを行う。正しく訂正できた場合R0=000H
L16:
;-----
; 誤り訂正用ウェイト関数ラベル
;-----
.align
.glob _waitlong
_waitlong:     ;関数ラベル
rts

```

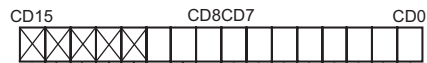
図 14.8 プログラム例

14.4.1 CRCレジスタのビット構成

(1) 00₁₆番地(=CA3~0)

注1. 図14.6 CRCレジスタ用アクセスブロック図を参照してください。

(2) 0116番地(=CA3~0)



ビットシンボル	ビット名	機能	R	W
CRC_ERR00	CRC ビット81~74誤り検出ビット	CRC剰余ビット81~74(0216番地)の論理和	○	×
CRC_ERR01	CRC ビット73~66誤り検出ビット	CRC剰余ビット73~66(0216番地)の論理和	○	×
CRC_ERR02	CRC ビット65~58誤り検出ビット	CRC剰余ビット65~58(0316番地)の論理和	○	×
CRC_ERR03	CRC ビット57~50誤り検出ビット	CRC剰余ビット57~50(0316番地)の論理和	○	×
CRC_ERR04	CRC ビット49~42誤り検出ビット	CRC剰余ビット49~42(0416番地)の論理和	○	×
CRC_ERR05	CRC ビット41~34誤り検出ビット	CRC剰余ビット41~34(0416番地)の論理和	○	×
CRC_ERR06	CRC ビット33~26誤り検出ビット	CRC剰余ビット33~26(0516番地)の論理和	○	×
CRC_ERR07	CRC ビット25~18誤り検出ビット	CRC剰余ビット25~18(0516番地)の論理和	○	×
CRC_ERR08	CRC ビット17~10誤り検出ビット	CRC剰余ビット17~10(0616番地)の論理和	○	×
CRC_ERR09	CRC ビット09~02誤り検出ビット	CRC剰余ビット09~02(0616番地)の論理和	○	×
CRC_ERR10	CRC ビット01~00誤り検出ビット	CRC剰余ビット01~00(0716番地)の論理和	○	×
何も配置されていない読み出した場合、その値は“0”。			×	×

(3) 0216番地(=CA3~0)



ビットシンボル	ビット名	機能	R	W
CRC_81	剰余多項式81次係数ビット	剰余多項式の各次数の係数を設定します。 剰余多項式をCRC_MODとすると $\text{CRC_MOD} = \sum_{n=0}^{81} \text{CRC_n} \cdot X^n$	○	×
CRC_80	剰余多項式80次係数ビット		○	×
CRC_79	剰余多項式79次係数ビット		○	×
CRC_78	剰余多項式78次係数ビット		○	×
CRC_77	剰余多項式77次係数ビット		○	×
CRC_76	剰余多項式76次係数ビット		○	×
CRC_75	剰余多項式75次係数ビット		○	×
CRC_74	剰余多項式74次係数ビット		○	×
CRC_73	剰余多項式73次係数ビット		○	×
CRC_72	剰余多項式72次係数ビット		○	×
CRC_71	剰余多項式71次係数ビット		○	×
CRC_70	剰余多項式70次係数ビット		○	×
CRC_69	剰余多項式69次係数ビット		○	×
CRC_68	剰余多項式68次係数ビット		○	×
CRC_67	剰余多項式67次係数ビット		○	×
CRC_66	剰余多項式66次係数ビット		○	×

(4) 0316番地(=CA3~0)



ビットシンボル	ビット名	機能	R	W
CRC_65	剰余多項式65次係数ビット	CRC_81~66(0216番地)を参照してください。	○	×
CRC_64	剰余多項式64次係数ビット		○	×
CRC_63	剰余多項式63次係数ビット		○	×
CRC_62	剰余多項式62次係数ビット		○	×
CRC_61	剰余多項式61次係数ビット		○	×
CRC_60	剰余多項式60次係数ビット		○	×
CRC_59	剰余多項式59次係数ビット		○	×
CRC_58	剰余多項式58次係数ビット		○	×
CRC_57	剰余多項式57次係数ビット		○	×
CRC_56	剰余多項式56次係数ビット		○	×
CRC_55	剰余多項式55次係数ビット		○	×
CRC_54	剰余多項式54次係数ビット		○	×
CRC_53	剰余多項式53次係数ビット		○	×
CRC_52	剰余多項式52次係数ビット		○	×
CRC_51	剰余多項式51次係数ビット		○	×
CRC_50	剰余多項式50次係数ビット		○	×

(5) 0416番地(=CA3~0)



ビットシンボル	ビット名	機能	R	W
CRC_49	剰余多項式49次係数ビット	CRC_81~66(0216番地)を参照してください。	○	×
CRC_48	剰余多項式48次係数ビット		○	×
CRC_47	剰余多項式47次係数ビット		○	×
CRC_46	剰余多項式46次係数ビット		○	×
CRC_45	剰余多項式45次係数ビット		○	×
CRC_44	剰余多項式44次係数ビット		○	×
CRC_43	剰余多項式43次係数ビット		○	×
CRC_42	剰余多項式42次係数ビット		○	×
CRC_41	剰余多項式41次係数ビット		○	×
CRC_40	剰余多項式40次係数ビット		○	×
CRC_39	剰余多項式39次係数ビット		○	×
CRC_38	剰余多項式38次係数ビット		○	×
CRC_37	剰余多項式37次係数ビット		○	×
CRC_36	剰余多項式36次係数ビット		○	×
CRC_35	剰余多項式35次係数ビット		○	×
CRC_34	剰余多項式34次係数ビット		○	×

(6) 0516番地(=CA3~0)



ビットシンボル	ビット名	機能	R	W
CRC_33	剰余多項式33次係数ビット	CRC_81~66(0216番地)を参照してください。	○	×
CRC_32	剰余多項式32次係数ビット		○	×
CRC_31	剰余多項式31次係数ビット		○	×
CRC_30	剰余多項式30次係数ビット		○	×
CRC_29	剰余多項式29次係数ビット		○	×
CRC_28	剰余多項式28次係数ビット		○	×
CRC_27	剰余多項式27次係数ビット		○	×
CRC_26	剰余多項式26次係数ビット		○	×
CRC_25	剰余多項式25次係数ビット		○	×
CRC_24	剰余多項式24次係数ビット		○	×
CRC_23	剰余多項式23次係数ビット		○	×
CRC_22	剰余多項式22次係数ビット		○	×
CRC_21	剰余多項式21次係数ビット		○	×
CRC_20	剰余多項式20次係数ビット		○	×
CRC_19	剰余多項式19次係数ビット		○	×
CRC_18	剰余多項式18次係数ビット		○	×

(7) 0616番地(=CA3~0)



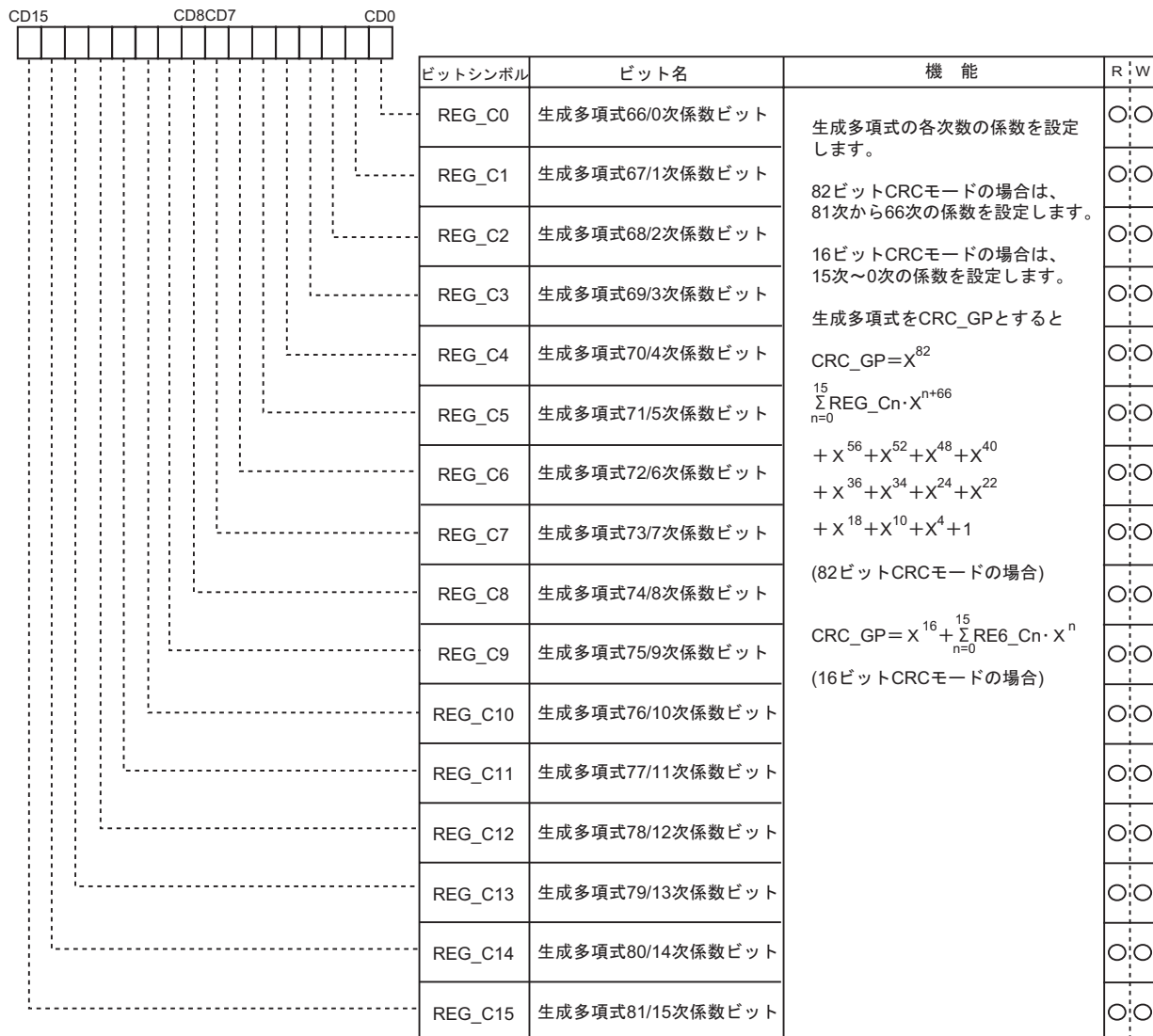
ビットシンボル	ビット名	機能	R	W
CRC_17	剰余多項式17次係数ビット	CRC_81~66(0216番地)を参照してください。	○	×
CRC_16	剰余多項式16次係数ビット		○	×
CRC_15	剰余多項式15次係数ビット		○	×
CRC_14	剰余多項式14次係数ビット		○	×
CRC_13	剰余多項式13次係数ビット		○	×
CRC_12	剰余多項式12次係数ビット		○	×
CRC_11	剰余多項式11次係数ビット		○	×
CRC_10	剰余多項式10次係数ビット		○	×
CRC_09	剰余多項式09次係数ビット		○	×
CRC_08	剰余多項式08次係数ビット		○	×
CRC_07	剰余多項式07次係数ビット		○	×
CRC_06	剰余多項式06次係数ビット		○	×
CRC_05	剰余多項式05次係数ビット		○	×
CRC_04	剰余多項式04次係数ビット		○	×
CRC_03	剰余多項式03次係数ビット		○	×
CRC_02	剰余多項式02次係数ビット	○	×	

(8) 0716番地(=CA3~0)

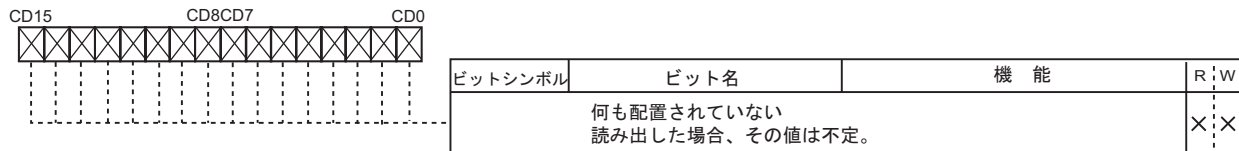


ビットシンボル	ビット名	機能	R	W
CRC_01	剰余多項式01次係数ビット	CRC_81~66(0216番地)を参照してください。	○	×
CRC_00	剰余多項式00次係数ビット		○	×
何も配置されていない読み出した場合、その値は“0”。			×	×

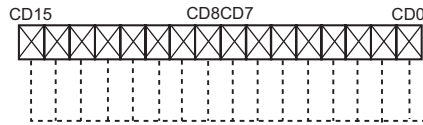
(9) 0816番地(=CA3~0)



(10) 0916番地(=CA3~0)

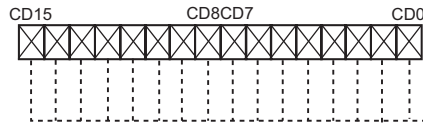


(11) 0A16番地(= CA3~0)



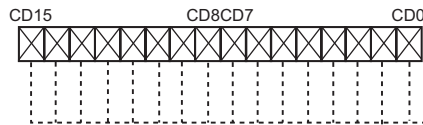
ビットシンボル	ビット名	機能	R	W
		何も配置されていない 読み出した場合、その値は不定。	X	X

(12) 0B16番地(= CA3~0)



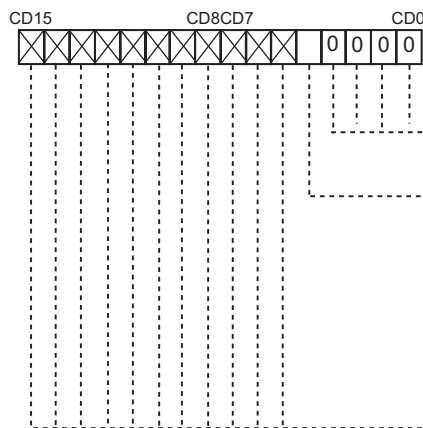
ビットシンボル	ビット名	機能	R	W
		何も配置されていない 読み出した場合、その値は不定。	X	X

(13) 0C16番地(= CA3~0)



ビットシンボル	ビット名	機能	R	W
		何も配置されていない 読み出した場合、その値は不定。	X	X

(14) 0D16番地(= CA3~0)



ビットシンボル	ビット名	機能	R	W						
	予約ビット	必ず“0”にしてください。	○	○						
CRC16SEL	CRCモード選択ビット	82ビットCRC/16ビットCRCモード を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CRC16SEL</th> <th>CRCモード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>82ビットCRC</td> </tr> <tr> <td>1</td> <td>16ビットCRC</td> </tr> </tbody> </table>	CRC16SEL	CRCモード	0	82ビットCRC	1	16ビットCRC	○	○
CRC16SEL	CRCモード									
0	82ビットCRC									
1	16ビットCRC									
		何も配置されていない 読み出した場合、その値は不定。	X	X						

14.5 拡張レジスタ

データスライサ機能の制御を行います。
表14.4に拡張レジスタの構成を示します。

表 14.4 拡張レジスタ構成

レジスタ名	DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8	DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0	備考
00h	LN15_EV0	LN14_EV0	LN13_EV0	LN12_EV0	LN11_EV0	LN10_EV0	LN9_EV0	LN8_EV0	LN7_EV0	LN6_EV0	LN5_EV0	LN4_EV0	LN3_EV0	LN2_EV0	LN1_EV0	LN0_EV0	ラインレジスタ
01h	LN15_EV1	LN14_EV1	LN13_EV1	LN12_EV1	LN11_EV1	LN10_EV1	LN9_EV1	LN8_EV1	LN7_EV1	LN6_EV1	LN5_EV1	LN4_EV1	LN3_EV1	LN2_EV1	LN1_EV1	LN0_EV1	
02h	LN17_EV0	LN16_EV0	LN15_EV0	LN14_EV0	LN13_EV0	LN12_EV0	LN11_EV0	LN10_EV0	LN7_ODO	LN6_ODO	LN5_ODO	LN4_ODO	LN3_ODO	LN2_ODO	LN1_ODO	LN0_ODO	
03h	LN17_EV1	LN16_EV1	LN15_EV1	LN14_EV1	LN13_EV1	LN12_EV1	LN11_EV1	LN10_EV1	LN7_OD1	LN6_OD1	LN5_OD1	LN4_OD1	LN3_OD1	LN2_OD1	LN1_OD1	LN0_OD1	
04h	LN15_ODO	LN14_ODO	LN13_ODO	LN12_ODO	LN11_ODO	LN10_ODO	LN9_ODO	LN8_ODO	LN7_ODO	LN6_ODO	LN5_ODO	LN4_ODO	LN3_ODO	LN2_ODO	LN1_ODO	LN0_ODO	状態レジスタ 1
05h	LN15_OD1	LN14_OD1	LN13_OD1	LN12_OD1	LN11_OD1	LN10_OD1	LN9_OD1	LN8_OD1	LN7_OD1	LN6_OD1	LN5_OD1	LN4_OD1	LN3_OD1	LN2_OD1	LN1_OD1	LN0_OD1	
06h	DIVS1	DIVS0	SELVCO	FLC13	FLC12	FLC10	FLC9	FLC8	FLC7	FLC6	FLC5	FLC4	FLC3	FLC2	FLC1	FLC0	
07h	CHK_FLC15	CHK_FLC14	CHK_FLC13	CHK_FLC12	CHK_FLC11	CHK_FLC10	CHK_FLC9	CHK_FLC8	CHK_FLC7	CHK_FLC6	CHK_FLC5	CHK_FLC4	CHK_FLC3	CHK_FLC2	CHK_FLC1	CHK_FLC0	
08h	GETPEEK3	GETPEEK2	GETPEEK1	GETPEEK0	---	SLSVL1	SLSVL0	GET_HP0	SEL_HP1	SLS_HP6	SLS_HP5	SLS_HP4	SLS_HP3	SLS_HP2	SLS_HP1	SLS_HP0	状態レジスタ 2
09h	FRAM	FRAM	SELSTART	SELVCO	---	---	---	---	---	SLS6	SLS5	SLS4	SLS3	SLS2	SLS1	SLS0	
0Ah	GSTIM	GSTIM	OC1G	DIVS1	FLC14	FLC13	FLC12	FLC11	FLC10	FLC9	FLC8	FLC7	FLC6	FLC5	FLC4	FLC3	
0Bh	DIVS1	DIVS0	SELVCO	FLC13	FLC12	FLC10	FLC9	FLC8	FLC7	FLC6	FLC5	FLC4	FLC3	FLC2	FLC1	FLC0	
0Ch	CHK_FLC15	CHK_FLC14	CHK_FLC13	CHK_FLC12	CHK_FLC11	CHK_FLC10	CHK_FLC9	CHK_FLC8	CHK_FLC7	CHK_FLC6	CHK_FLC5	CHK_FLC4	CHK_FLC3	CHK_FLC2	CHK_FLC1	CHK_FLC0	状態レジスタ 3
0Dh	GETPEEK3	GETPEEK2	GETPEEK1	GETPEEK0	---	SLSVL1	SLSVL0	GET_HP1	SLS_HP7	SLS_HP6	SLS_HP5	SLS_HP4	SLS_HP3	SLS_HP2	SLS_HP1	SLS_HP0	
0Eh	FRAM	FRAM	SELSTART	SELVCO	---	---	---	---	---	SLS6	SLS5	SLS4	SLS3	SLS2	SLS1	SLS0	
0Fh	GSTIM	GSTIM	OC1G	DIVS1	FLC14	FLC13	FLC12	FLC11	FLC10	FLC9	FLC8	FLC7	FLC6	FLC5	FLC4	FLC3	
10h	ADSTART	EXT_PDC2	---	---	---	VPS_VCO_ON	PDC_VCO_R1	---	---	---	---	---	---	---	---	---	リード用 リード用
11h	MPAL	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
12h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
13h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
14h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
15h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
16h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
17h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
18h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
19h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
20h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
21h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
22h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
23h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
24h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
25h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
26h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
27h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
28h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
29h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
2Ah	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
2Bh	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
2Ch	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
2Dh	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
2Eh	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
2Fh	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
30h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
31h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
32h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
33h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
34h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
35h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
36h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
37h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
38h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
39h	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
3Ah	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
3Bh	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
3Ch	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
3Dh	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
3Eh	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	リード用 リード用
3Fh	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	

拡張レジスタデータへのアクセスは拡張レジスタアドレス制御レジスタ（0216₁₆番地）に表14.4のアクセスするアドレス（DA5～DA0）を設定し、続けて拡張レジスタデータ制御レジスタ（0218₁₆番地）よりデータ（DD15～DD0）を書き込みます。データの書き込みが終わると拡張レジスタアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを書き込むことができます。リセット時、時計タイマを除き、拡張レジスタの値は全て“0”になります。図14.9に拡張レジスタアクセス関連レジスタの構成を、図14.10に拡張レジスタアクセスブロック図を示します。また、拡張レジスタのビット構成をP196～P234に示します。

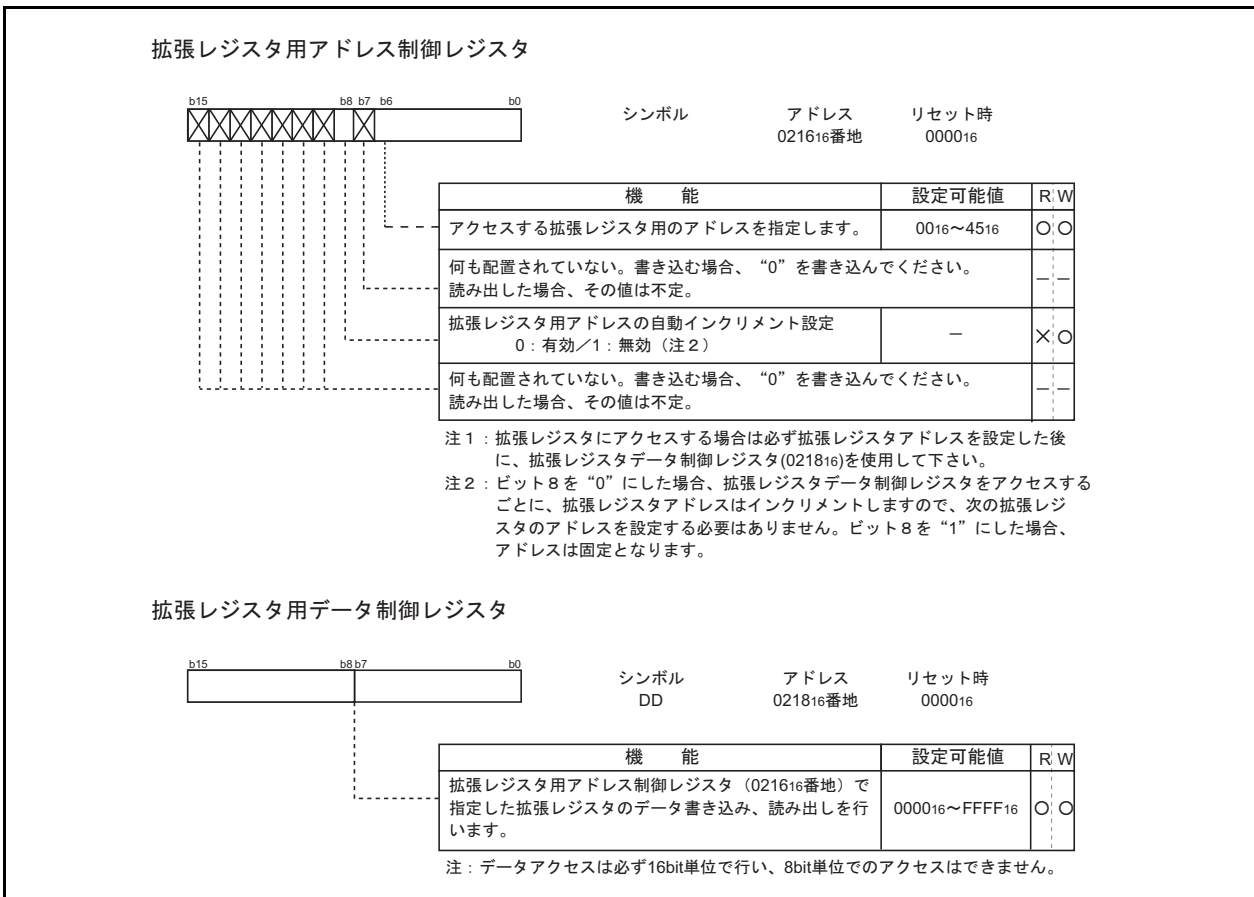


図14.9 拡張レジスタ用関連レジスタの構成

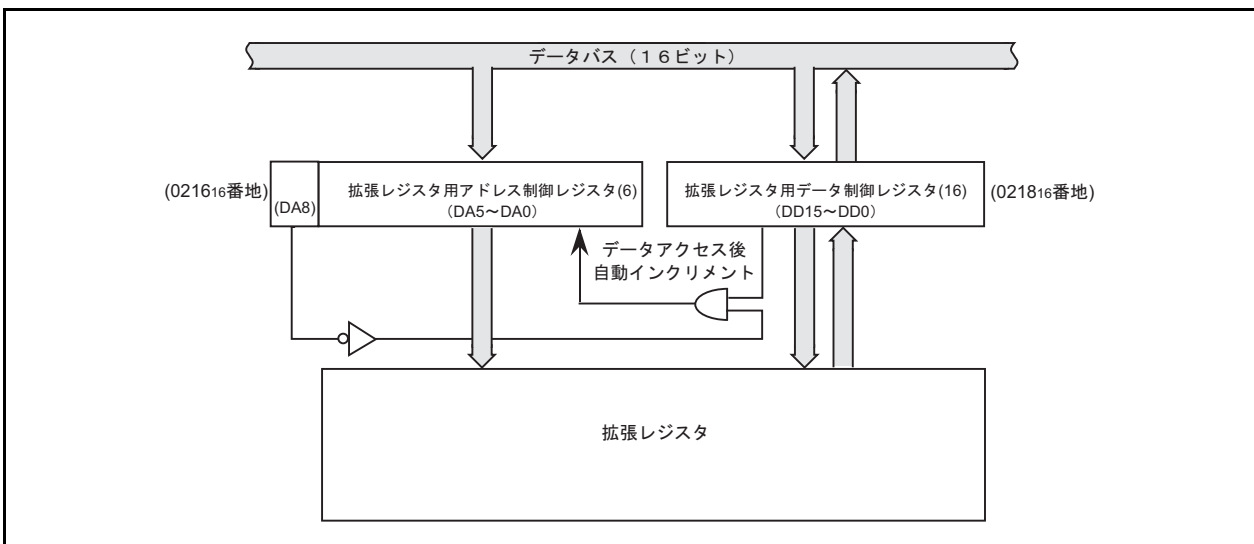
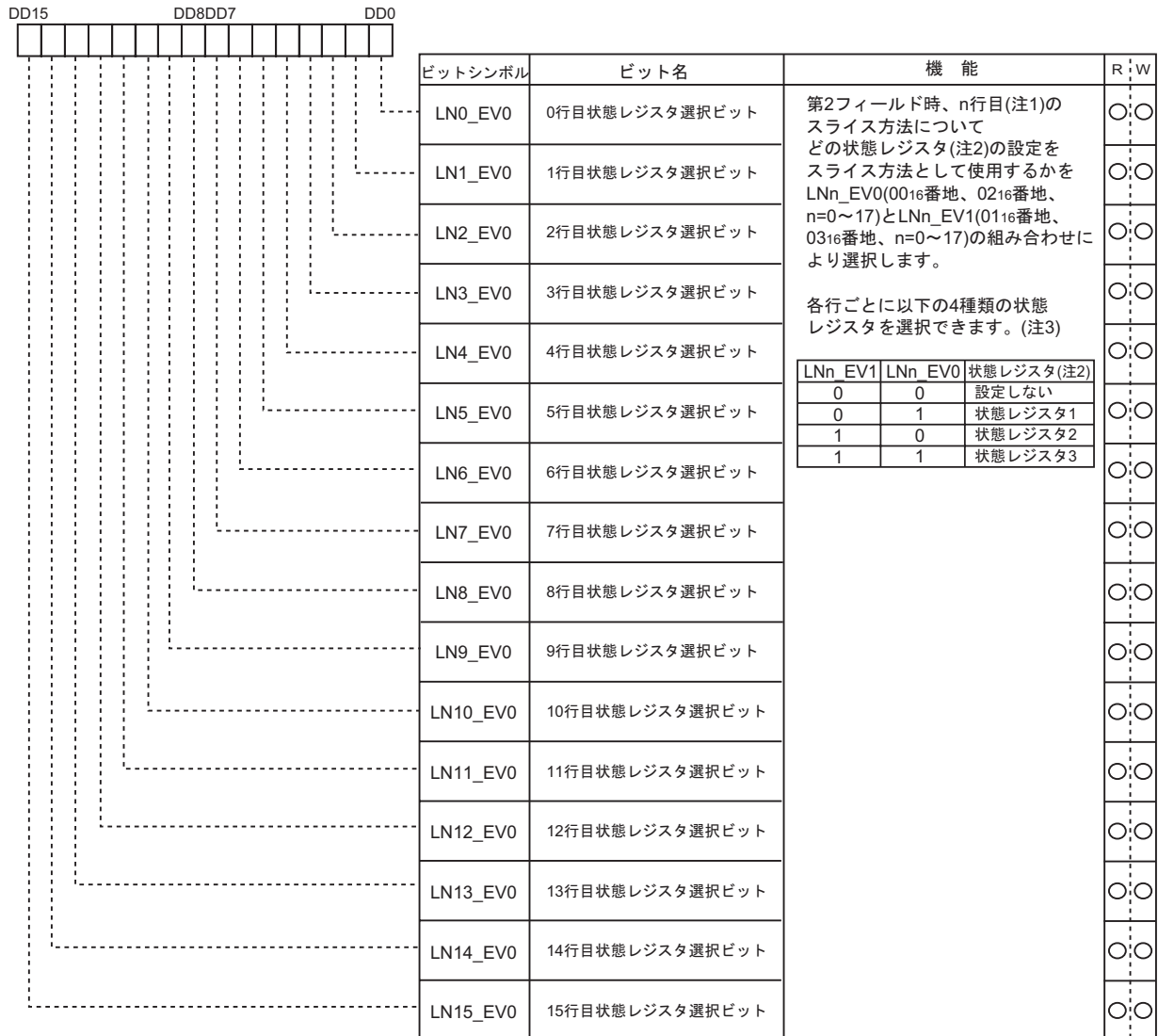


図14.10 拡張レジスタ用アクセスブロック図

14.5.1 拡張レジスタのビット構成

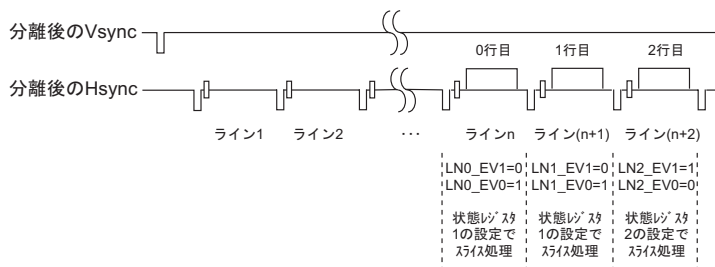
(1) 0016番地 (= DA5 ~ 0)



注1. n行目…スライス開始後のライン数。
 詳細は15.6拡張レジスタ構成の補足(3)(P245)を参照してください。

注2. 06h~0Ch 番地 : 状態レジスタ1
 0Dh~13h 番地 : 状態レジスタ2
 14h~1Ah 番地 : 状態レジスタ3

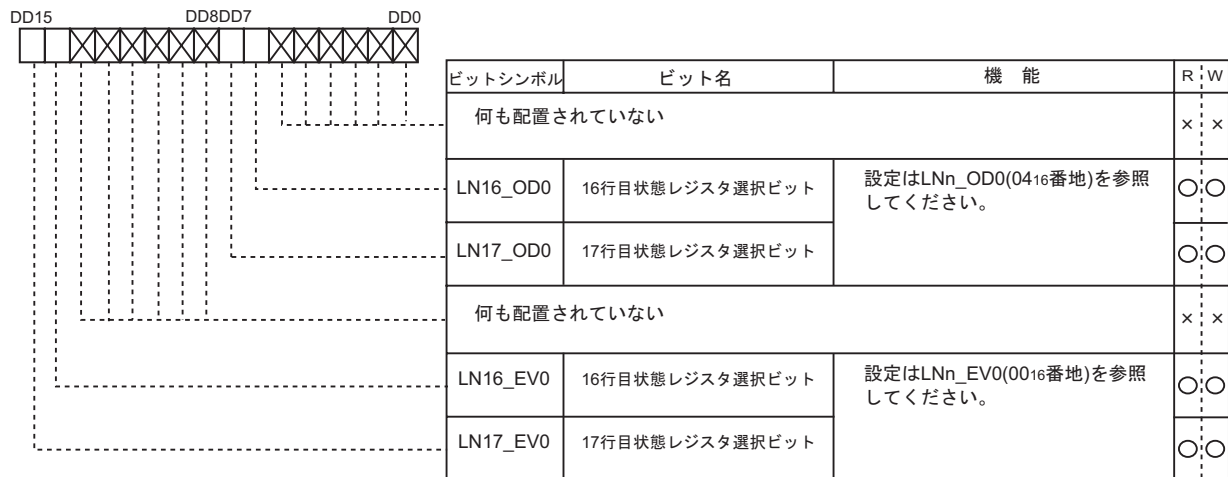
注3. 設定例



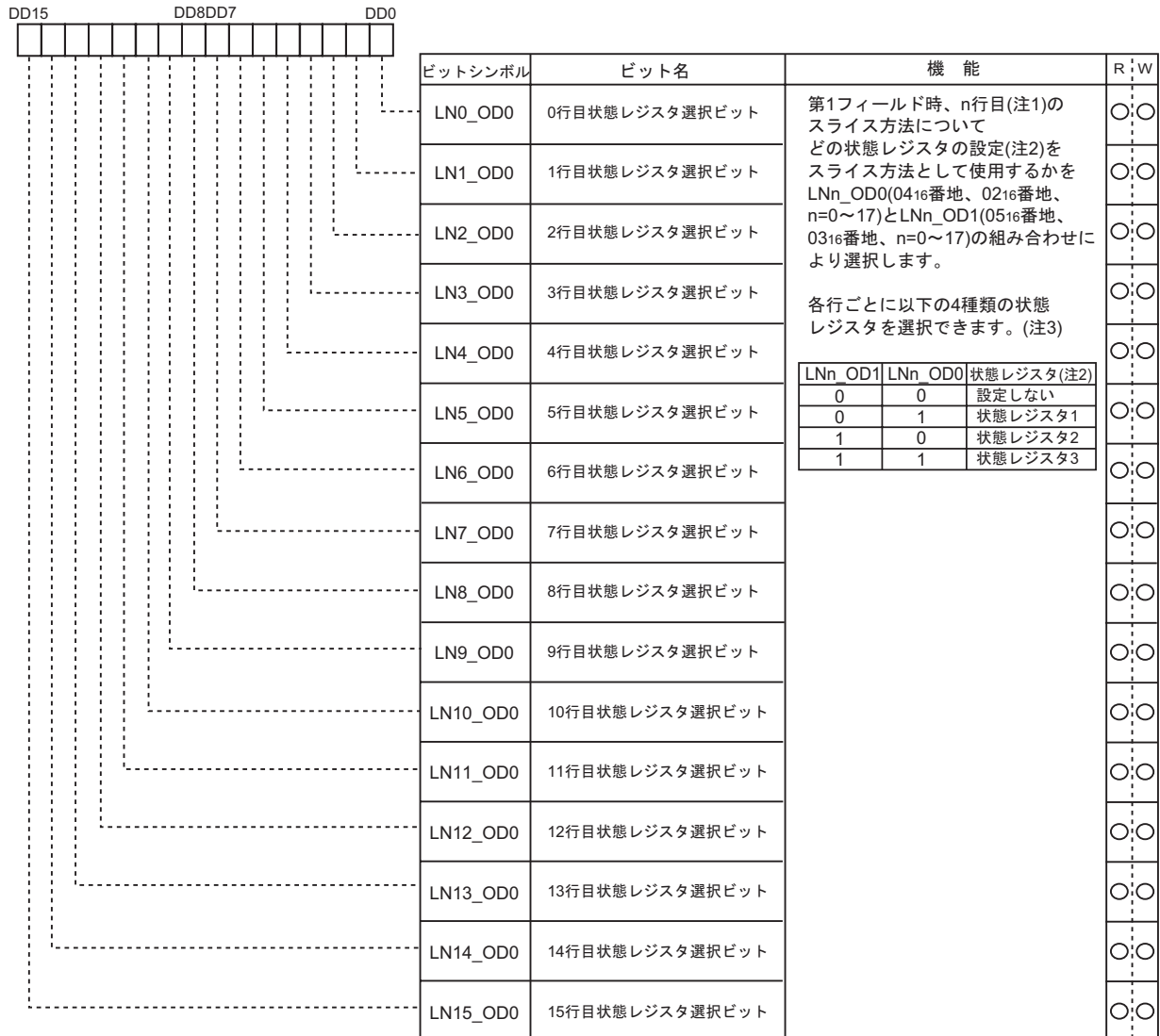
(2) 0116番地(=DA5~0)

ビットシンボル	ビット名	機能	R	W
	LN0_EV1	0行目状態レジスタ選択ビット	○	○
	LN1_EV1	1行目状態レジスタ選択ビット	○	○
	LN2_EV1	2行目状態レジスタ選択ビット	○	○
	LN3_EV1	3行目状態レジスタ選択ビット	○	○
	LN4_EV1	4行目状態レジスタ選択ビット	○	○
	LN5_EV1	5行目状態レジスタ選択ビット	○	○
	LN6_EV1	6行目状態レジスタ選択ビット	○	○
	LN7_EV1	7行目状態レジスタ選択ビット	○	○
	LN8_EV1	8行目状態レジスタ選択ビット	○	○
	LN9_EV1	9行目状態レジスタ選択ビット	○	○
	LN10_EV1	10行目状態レジスタ選択ビット	○	○
	LN11_EV1	11行目状態レジスタ選択ビット	○	○
	LN12_EV1	12行目状態レジスタ選択ビット	○	○
	LN13_EV1	13行目状態レジスタ選択ビット	○	○
	LN14_EV1	14行目状態レジスタ選択ビット	○	○
	LN15_EV1	15行目状態レジスタ選択ビット	○	○

設定はLNn_EV0(0016番地)を参照してください。

(3) 02₁₆番地 (= DA5 ~ 0)(4) 03₁₆番地 (= DA5 ~ 0)

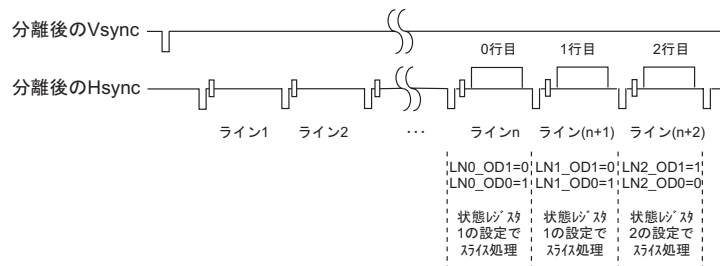
(5) 0416番地 (= DA5 ~ 0)



注1. n行目…スライス開始後のライン数。
 詳細は14.6拡張レジスタ構成の補足(3)を参照してください。

注2. 06h~0Ch 番地: 状態レジスタ1
 0Dh~13h 番地: 状態レジスタ2
 14h~1Ah 番地: 状態レジスタ3

注3. 設定例

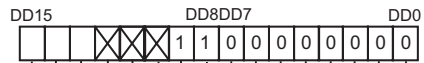


(6) 0516番地(=DA5~0)

ビットシンボル	ビット名	機能	R	W
	LN0_OD1	0行目状態レジスタ選択ビット	○	○
	LN1_OD1	1行目状態レジスタ選択ビット	○	○
	LN2_OD1	2行目状態レジスタ選択ビット	○	○
	LN3_OD1	3行目状態レジスタ選択ビット	○	○
	LN4_OD1	4行目状態レジスタ選択ビット	○	○
	LN5_OD1	5行目状態レジスタ選択ビット	○	○
	LN6_OD1	6行目状態レジスタ選択ビット	○	○
	LN7_OD1	7行目状態レジスタ選択ビット	○	○
	LN8_OD1	8行目状態レジスタ選択ビット	○	○
	LN9_OD1	9行目状態レジスタ選択ビット	○	○
	LN10_OD1	10行目状態レジスタ選択ビット	○	○
	LN11_OD1	11行目状態レジスタ選択ビット	○	○
	LN12_OD1	12行目状態レジスタ選択ビット	○	○
	LN13_OD1	13行目状態レジスタ選択ビット	○	○
	LN14_OD1	14行目状態レジスタ選択ビット	○	○
	LN15_OD1	15行目状態レジスタ選択ビット	○	○

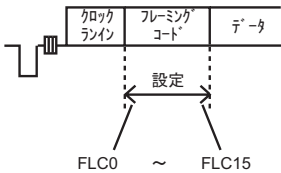
設定はLNn_OD0(0416番地)を参照してください。

(7) 0616, 0D16, 1416番地(= DA5~0)

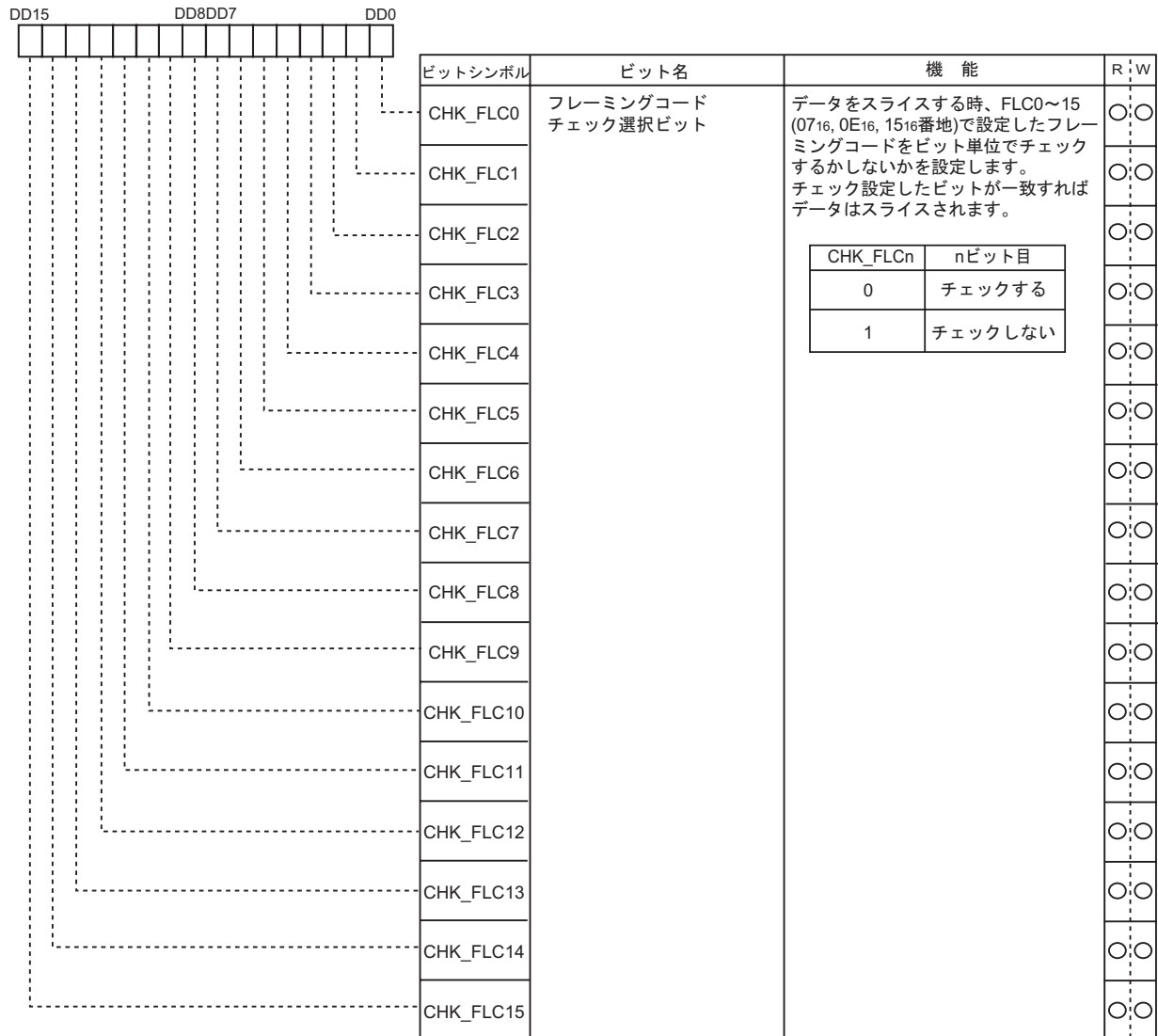


ビットシンボル	ビット名	機能	R	W	
	予約ビット	必ず“0”にしてください。	x	○	
	予約ビット	必ず“1”にしてください。	x	○	
	何も配置されていない		x	x	
SELVCO	スライス用PLL選択ビット	0 PDC	○	○	
		1 VPS			
DIVS0	スライス用クロック分周ビット	DIVS1	DIVS0	分周値	○
		0	0	1分周	
		0	1	2分周	
		1	0	3分周	
DIVS1		1	1	5分周	○

(8) 0716, 0E16, 1516番地 (= DA5 ~ 0)

ビットシンボル	ビット名	機能	R	W	
DD15	フレミングコード選択ビット	フレミングコードを設定する  最大16ビットまでチェック。 ただし、CHK_FLcN(0816, 0F16, 1616番地) = "1" のビットは チェックしない。	○	○	
			FLC0	○	○
			FLC1	○	○
			FLC2	○	○
			FLC3	○	○
			FLC4	○	○
			FLC5	○	○
			FLC6	○	○
			FLC7	○	○
			FLC8	○	○
			FLC9	○	○
			FLC10	○	○
			FLC11	○	○
			FLC12	○	○
			FLC13	○	○
			FLC14	○	○
	FLC15	○	○		

(9) 0816, 0F16, 1616 番地 (= DA5 ~ 0)



(10) 09₁₆, 10₁₆, 17₁₆番地(=DA5~0)



ビットシンボル	ビット名	機能	R	W
SEK10	データスライサ制御ビット1	SEK11 SEK10 N	○	○
		0 0 5 (注1)		
		0 1 4 (注2)		
		1 0 6 (注3)		
SEK11		1 1 8 (注4)	○	○
		SEK17, 6後のデジタル値をN倍します。		
SEK12	データスライサ制御ビット2	SEK13 SEK12 N	○	○
		0 0 4		
		0 1 3		
		1 0 1		
SEK13		1 1 微分しない	○	○
		SEK10, 1後のデジタル値に対して N/8 周期 (クロックライン周期) 前の デジタルデータで微分します。		
SEK14	データスライサ制御ビット3	SEK15 SEK14 N	○	○
		0 0 4		
		0 1 3		
		1 0 1		
SEK15		1 1 微分しない	○	○
		SEK13, 2後のデジタル値に対して N/8 周期 (クロックライン周期) 後の デジタルデータで微分します。		
SEK16	データスライサ制御ビット4	SEK16 AD変換後の値の平均化有無	○	○
		0 4クロック分の平均		
		1 平均化しない		
SEK17	データスライサ制御ビット5	0 SEK12, 3およびSEK14, 5による 微分は、1倍の値で微分。	○	○
		1 SEK12, 3およびSEK14, 5による 微分は、2倍の値で微分。		
何も配置されていない			x	x
SISLVL0	スライスレベル制御ビット	0 クロックライン平均レベルを使用	○	○
		1 スライスレベル選択ビット (0C ₁₆ , 13 ₁₆ , 1A ₁₆ 番地SLS7~0)を使用		
SISLVL1	スライスレベル計測期間 選択ビット	0 クロックライン2周期分	○	○
		1 クロックライン4周期分		
BIFON	データ形式選択ビット	0 NRZ	○	○
		1 パイフェーズ形式		
予約ビット		必ず“0”にしてください。	x	○
予約ビット		必ず“1”にしてください。	x	○
予約ビット		必ず“0”にしてください。	x	○

- 注1. SEK10, 1で5倍、SEK17で2倍を選択した場合、SEK12, 3とSEK14, 5のうちいずれか一方は“無し”を選択してください。
- 注2. SEK10, 1で8倍を選択した場合、SEK12, 3とSEK14, 5はいずれも“無し”を選択してください。
- 注3. SEK10, 1で6倍、SEK17で2倍を選択した場合、SEK12, 3とSEK14, 5のうちいずれか一方は“無し”を選択してください。
- 注4. SEK12, 3とSEK14, 5のいずれも“無し”を選択する場合は、SEK10, 1で4倍を選択せず、8倍を選択してください。

(11) 0A16,1116, 1816番地(=DA5~0)



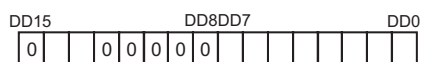
ビットシンボル	ビット名	機能	R	W															
SLS_HP0	スライスチェック開始位置 選択ビット	スライス開始位置をSLS_HSとすると $SLS_HS = T2 \times \sum_{n=0}^7 SLS_HPn$ T2: クロックランイン周期÷2 フレーミングコードをチェックし始 める位置を設定 1ビット単位で設定可	○	○															
SLS_HP1			○	○															
SLS_HP2			○	○															
SLS_HP3			○	○															
SLS_HP4			○	○															
SLS_HP5			○	○															
SLS_HP6			○	○															
SLS_HP7			○	○															
GET_HP0	位相微調整ビット	スライスデータ0/1判定クロックの 微調整を行います。	○	○															
GET_HP1			○	○															
予約ビット		必ず“1”にしてください。	×	○															
予約ビット		必ず“0”にしてください。	×	○															
GETPEEK0	ピーク検出期間選択ビット0	<table border="1"> <tr> <td>GETPEEK1</td> <td>GETPEEK0</td> <td>クロックランイン周期</td> </tr> <tr> <td>0</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>4</td> </tr> <tr> <td>1</td> <td>0</td> <td>5</td> </tr> <tr> <td>1</td> <td>1</td> <td>6</td> </tr> </table>	GETPEEK1	GETPEEK0	クロックランイン周期	0	0	2	0	1	4	1	0	5	1	1	6	○	○
GETPEEK1	GETPEEK0		クロックランイン周期																
0	0		2																
0	1		4																
1	0	5																	
1	1	6																	
GETPEEK1	ピーク検出期間選択ビット1																		
GETPEEK2	ピーク検出期間選択ビット2	0 クロック補正あり 1 クロック補正なし																	
GETPEEK3	ピーク検出期間選択ビット3	0 山のみ検出 1 山と谷を検出																	

(12) 0B16, 1216, 1916番地(=DA5~0)



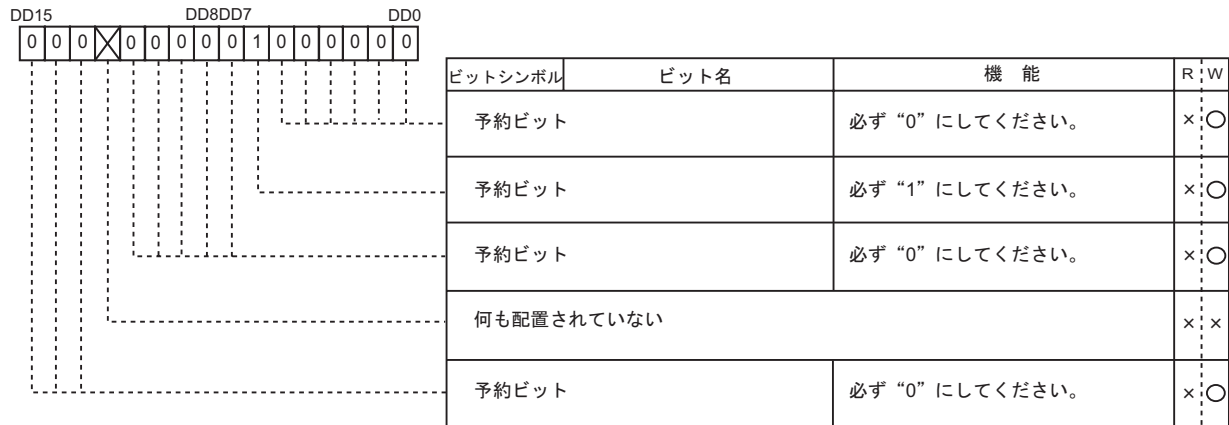
ビットシンボル	ビット名	機能	R	W
		何も配置されていない	x	x
	予約ビット	必ず“0”にしてください。	x	○
FRAM	フレーミングコードチェック ビット数選択ビット	0 15ビットチェック	○	○
		1 16ビットチェック		
		何も配置されていない	x	x

(13) 0C16, 1316, 1A16番地(=DA5~0)

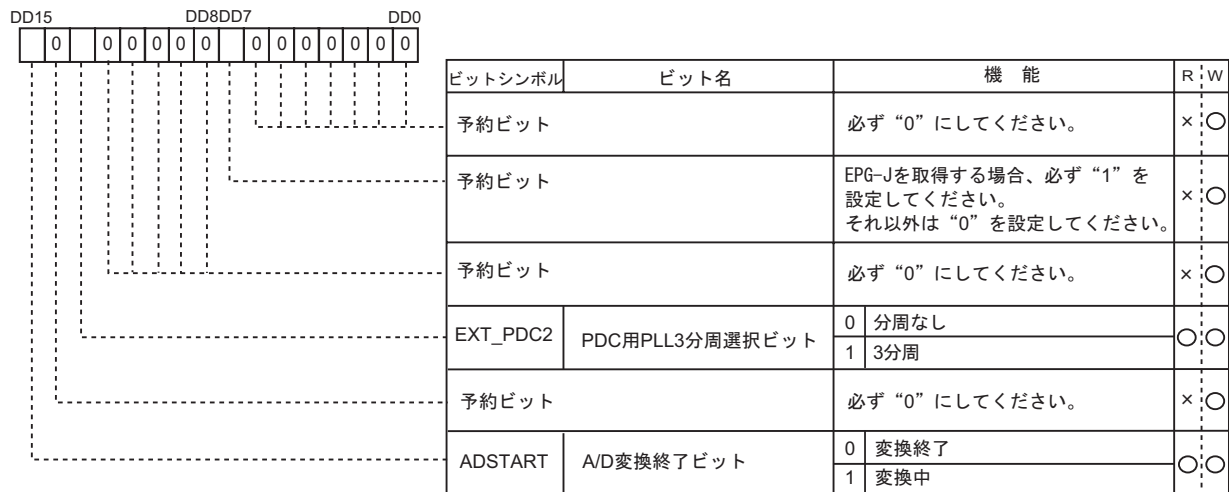


ビットシンボル	ビット名	機能	R	W
SLS0	スライスレベル選択ビット	スライスレベルをSLS_LVLとすると SLS7 = "H"のとき $SLS_LVL = \sum_{n=0}^6 2^n SLSn - 128$ SLS7 = "L"のとき $SLS_LVL = \sum_{n=0}^6 2^n SLSn$	○	○
SLS1			○	○
SLS2			○	○
SLS3			○	○
SLS4			○	○
SLS5			○	○
SLS6			○	○
SLS7			○	○
	予約ビット	必ず“0”にしてください。	x	○
SELSTART	スライス開始条件選択ビット	0 スライスチェック期間(0A,11,18番地SLS_HP7~0)経過後スライス開始	○	○
		1 スライスチェック期間(0A,11,18番地SLS_HP7~0)経過後のクロックランインの立ち上がり後スライス開始		
GSTTIM	ゴースト補正制御ビット	0 ゴースト補正OFF	○	○
		1 ゴースト補正ON		
	予約ビット	必ず“0”にしてください。	x	○

(14) 1B₁₆番地 (= DA5 ~ 0)



(15) 1C₁₆番地 (= DA5 ~ 0)



(16) 1D16番地 (= DA5 ~ 0)



ビットシンボル	ビット名	機能	R	W															
		何も配置されていない	X	X															
	予約ビット	必ず“0”にしてください。	X	○															
PDC_VCO_ON	PDCクロック発振選択ビット	0 PDC用クロック停止 1 PDC用クロック発振	○	○															
PDC_VCO_R0	PDCクロック発振切替ビット	<table border="1"> <thead> <tr> <th>PDC_VCO_R1</th> <th>PDC_VCO_R0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PDC用クロックを選択</td> </tr> <tr> <td>1</td> <td>0</td> <td>EPG-J用クロックを選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定しないでください</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定しないでください</td> </tr> </tbody> </table>	PDC_VCO_R1	PDC_VCO_R0		0	0	PDC用クロックを選択	1	0	EPG-J用クロックを選択	0	1	設定しないでください	1	1	設定しないでください	X	○
PDC_VCO_R1			PDC_VCO_R0																
0			0	PDC用クロックを選択															
1	0	EPG-J用クロックを選択																	
0	1	設定しないでください																	
1	1	設定しないでください																	
PDC_VCO_R1																			
VPS_VCO_ON	VPSクロック発振選択ビット	0 VPS用クロック停止 1 VPS用クロック発振	○	○															
	予約ビット	必ず“0”にしてください。	X	○															
		何も配置されていない	X	X															

(17) 1E16番地 (= DA5 ~ 0)



ビットシンボル	ビット名	機能	R	W
	予約ビット	必ず“0”にしてください。	X	○
		何も配置されていない	X	X

(18) 1F16番地 (= DA5 ~ 0)



ビットシンボル	ビット名	機能	R	W
		何も配置されていない	X	X
FLD1V	フィールド状態フラグ	0 偶数フィールド 1 奇数フィールド	○	X
	予約ビット	必ず“0”にしてください	X	○
MACRO_ON	同期信号検索フラグ	0 正常 1 異常	○	X
		何も配置されていない	X	X

(19) 2016番地(=DA5~0)

DD15	DD8DD7	DD0
0	0 0 0	X X X 0 0 0

ビットシンボル	ビット名	機能	R	W
	予約ビット	必ず“0”にしてください。	x	○
	何も配置されていない		x	x
SEPV0	垂直同期分離基準選択ビット	0 15ms/22msのL期間で検出 1 22msのL期間で検出	○	○
	予約ビット	必ず“0”にしてください。	x	○
NORMAL	フレーミングコードチェック制御ビット	0 フェックする(フレーミングコードが一致したらスライスする) 1 フェックしない(全てスライスする)	○	○
LEVELA	同期信号スライス電位発生制御ビット	0 同期信号スライス電位発生回路OFF 1 同期信号スライス電位発生回路ON	○	○
	予約ビット	必ず“0”にしてください。	x	○
NXP	放送形式選択ビット	NXP MPAL 放送形式	○	○
		0 0 NTSC		
		0 1 M-PAL		
MPAL		1 0 PAL		
		1 1 設定禁止		
	予約ビット	必ず“0”にしてください。	x	○

(20) 2116番地(=DA5~0)

DD15	DD8DD7	DD0
0 1	X X X X X X X X	X X X X X X X X

ビットシンボル	ビット名	機能	R	W
	何も配置されていない		x	x
	予約ビット	必ず“1”にしてください。	x	○
	予約ビット	必ず“0”にしてください。	x	○

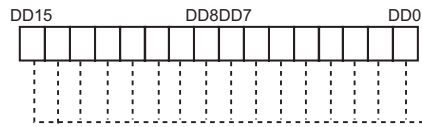
(21) 2216番地(= DA5~0)

DD15		DD8DD7		DD0	
ビットシンボル	ビット名	機能	R	W	
DIV_PDCS0	PDC用PLL微調整ビット	PDC用スライスクロック周波数 f_{PDC} の調整をします。 $f_{PDC} = f_{DIVP} \times \left(\sum_{n=0}^8 2^n \text{DIV_PDCn} + \sum_{m=0}^2 2^{m-3} \text{DIV_PDCSm} + 2 \right)$	○	○	
DIV_PDCS1			○	○	
DIV_PDCS2			○	○	
DIV_PDC0	PDC用PLLの分周値選択ビット	f_{DIVP} : 水平同期信号周波数 ・ テレテキスト(PDC)データを取得する場合 (DIV_PDC4~0、DIV_PDCS2~0) (= (00100011) ₂) ・ EPG-Jを取得する場合 (DIV_PDC4~0、DIV_PDCS2~0) (= (00010011) ₂)	○	○	
DIV_PDC1			○	○	
DIV_PDC2			○	○	
DIV_PDC3			○	○	
DIV_PDC4			○	○	
何も配置されていない			x	x	
HM84SEL	8/4ハミング反転選択ビット	0	ノーマル		
		1	8/4ハミングの4bitデータを反転出力		

(22) 2316番地(= DA5~0)

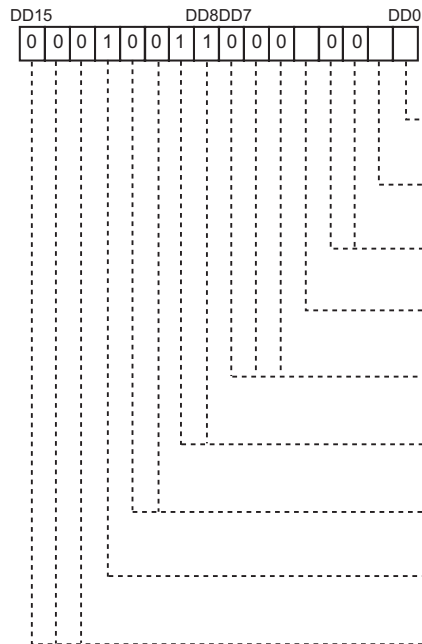
DD15		DD8DD7		DD0	
ビットシンボル	ビット名	機能	R	W	
DIV_VPSS0	VPS用PLL微調整ビット	VPS用スライスクロック周波数 f_{VPS} の調整をします。 $f_{VPS} = f_{DIVV} \times \left(\sum_{n=0}^8 2^n \text{DIV_VPSn} + \sum_{m=0}^2 2^{m-3} \text{DIV_VPSSm} + 2 \right)$	○	○	
DIV_VPSS1			○	○	
DIV_VPSS2			○	○	
DIV_VPS0	VPS用PLLの分周値選択ビット	f_{DIVV} : 位相比較周波数 ・ VPSを取得する場合 (DIV_VPS4~0、DIV_VPSS2~0) (= (00100110) ₂) ・ CC、CC2X、ID-1を取得する場合 (DIV_VPS4~0、DIV_VPSS2~0) (= (11010100) ₂)	○	○	
DIV_VPS1			○	○	
DIV_VPS2			○	○	
DIV_VPS3			○	○	
DIV_VPS4			○	○	
予約ビット			○	○	
HORAX_ON	水平同期信号選択ビット	0	アナログ入力		
		1	HORのデジタル入力		
予約ビット			x	○	

(23) 24₁₆番地(= DA5~0)



ビットシンボル	ビット名	機能	R	W
	予約ビット	EPG-Jを取得する場合、必ず“8808 ₁₆ ”を設定してください。 それ以外は“0000 ₁₆ ”を設定してください。	x	○

(24) 25₁₆番地(= DA5~0)

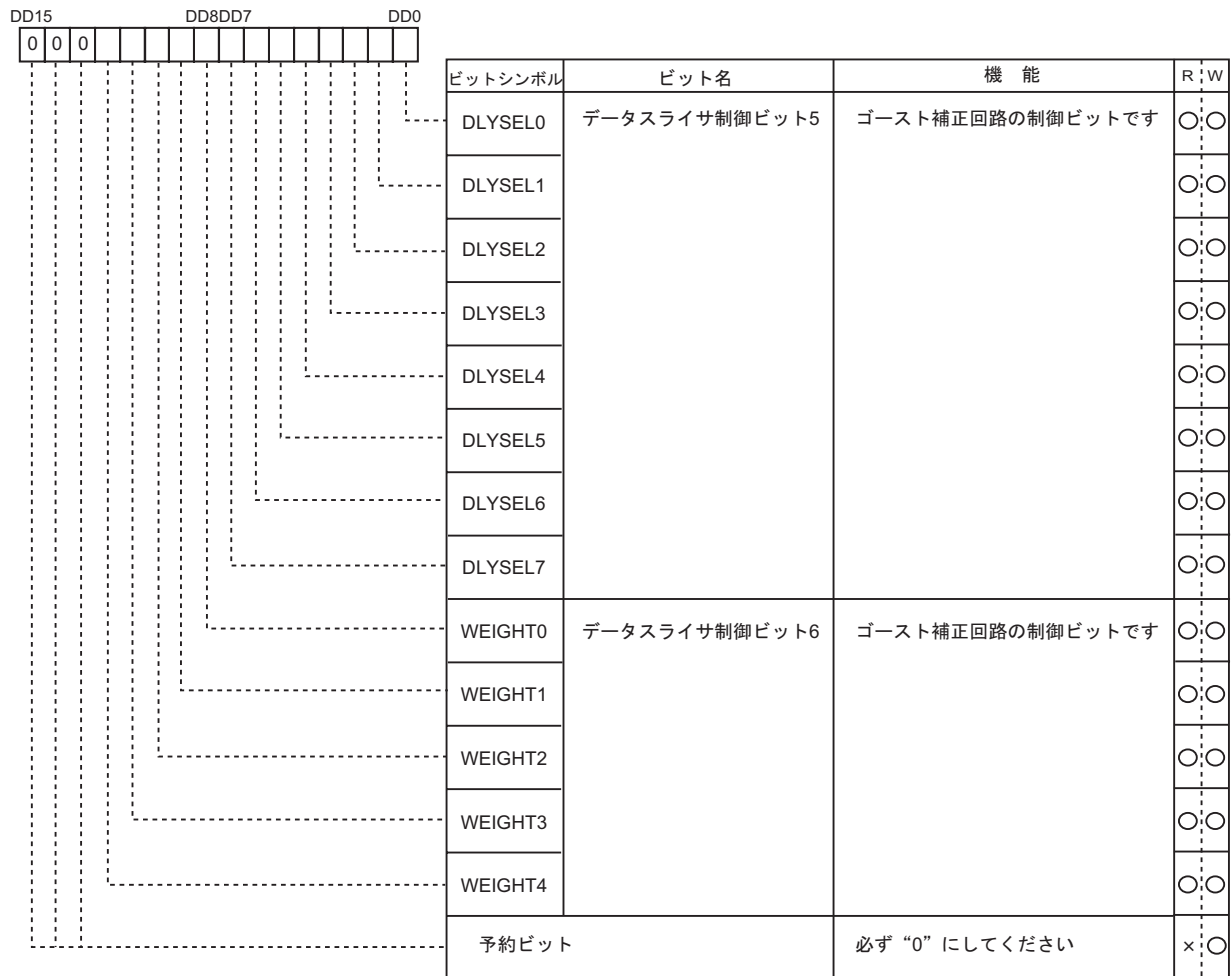


ビットシンボル	ビット名	機能	R	W
ADSEL	A/D変換スライスビット	0 ノーマル	○	○
		1 A/D変換後のデジタル値を外から(レジスタで)与える		
ADON_TIM	A/D動作制御ビット	0 プログラマブル	○	○
		1 スライス期間		
	予約ビット	必ず“0”にしてください。	○	○
SLICEON_TIM	スライス選択ビット	0 ライン毎(CHECK_START)	○	○
		1 プログラマブル(PRE_START)		
	予約ビット	必ず“0”にしてください。	x	○
	予約ビット	必ず“1”にしてください。	x	○
	予約ビット	必ず“0”にしてください。	x	○
	予約ビット	必ず“1”にしてください。	x	○
	予約ビット	必ず“0”にしてください。	x	○

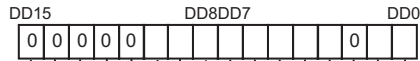
(25) 2616番地 (= DA5 ~ 0)

ビットシンボル	ビット名	機能	R	W	
DD15	PDCクロックとの位相比较用 クロック分周値選択ビット	PDCクロックとの位相比较に 用いる分周クロックを設定します。 $f_{SC} = f_{DIVP} \times \left(\sum_{n=0}^7 2^n \text{DIVS_CKn} + 2 \right)$ fDIVP : PDC用位相比较周波数 (DIV_PDCS0~2、 DIV_PDC0~4(2216番地)を 参照して下さい。) テレテキスト(PDC)データを取得 する場合 DIVP_CK7~0 = (00001110) ₂ EPG-Jを取得する場合 DIVP_CK7~0 = (00001001) ₂	○	○	
DD14			DIVP_CK0	○	○
DD13			DIVP_CK1	○	○
DD12			DIVP_CK2	○	○
DD11			DIVP_CK3	○	○
DD10			DIVP_CK4	○	○
DD9			DIVP_CK5	○	○
DD8			DIVP_CK6	○	○
DD7	DIVP_CK7	○	○		
DD6	VPSクロックとの位相比较用 クロック分周値選択ビット	VPSクロックとの位相比较に 用いる分周クロックを設定します。 $f_{SC} = f_{DIVV} \times \left(\sum_{n=0}^7 2^n \text{DIVV_CKn} + 2 \right)$ fDIVV : VPS用位相比较周波数 (DIV_VPSS0~2、 DIV_VPS0~4(2316番地)を 参照して下さい。) ・ VPSを取得する場合 (DIVV_CK7~0 = (00001110) ₂) ・ CC, CC2X, ID-1を取得する場合 (DIVV_CK7~0 = (01010011) ₂)	○	○	
DD5			DIVV_CK0	○	○
DD4			DIVV_CK1	○	○
DD3			DIVV_CK2	○	○
DD2			DIVV_CK3	○	○
DD1			DIVV_CK4	○	○
DD0			DIVV_CK5	○	○
			DIVV_CK6	○	○
	DIVV_CK7	○	○		

(26) 2716番地 (= DA5 ~ 0)

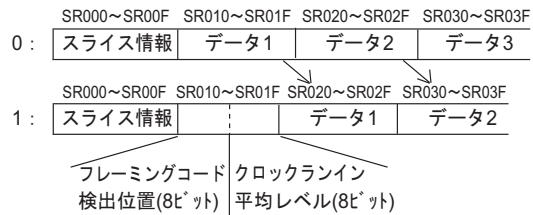


(27) 2816番地(= DA5~0)



ビットシンボル	ビット名	機能	R	W			
ADLAT	データ取得選択ビット	0	スライスデータの取得				
		1	A/Dデータの取得				
START	スライスデータ選択ビット	フレーミングコード検出位置(8ビット)及びクロックランイン平均レベル(8ビット)のスライスRAM上への出力ON, OFFを設定します。(注)	○	○			
予約ビット		必ず“0”にしてください。	×	○			
6BITOFF	A/D下位ビット選択ビット	0	ノーマル				
		1	A/D6bit目の停止				
予約ビット		EPG-Jを取得する場合、必ず“1”を設定してください。それ以外は“0”を設定してください。	×	○			
SYNLVL0	同期信号スライスレベル制御ビット	SYNLVL2	SYNLVL1	SYNLVL0	スライスレベル	○	○
		0	0	0	約1.10V±0.10V		
		0	0	1	約1.15V±0.10V		
		0	1	0	約1.20V±0.10V		
	0	1	1	約1.25V±0.10V			
	1	0	0	約1.30V±0.10V			
	1	0	1	約1.35V±0.10V			
	1	1	0	約1.40V±0.10V			
	1	1	1	約1.45V±0.10V			
ADON	データスライサ制御ビット	0 データスライサOFF(スライサ用アンプもOFF) 1 データスライサON(スライサ用アンプについてはINTAD,INTDAを参照)	○	○			
INTAD	データスライサ用アンプ制御ビット	0	データスライサ用アンプ 常時ON				
		1	3~23ライン及び315~335ラインアンプON その他のラインアンプOFF				
INTDA	データスライサ用ラダー抵抗制御ビット	0	データスライサ用ラダー抵抗 常時ON				
		1	3~23ライン及び315~335ラインラダー抵抗ON その他のラインラダー抵抗OFF				
予約ビット		必ず“0”にしてください。	×	○			

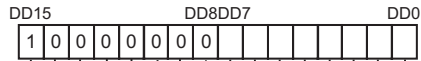
注: スライスRAM
「図15.2 スライスRAMビット構成」を参照してください。



(28) 2916番地(=DA5~0)

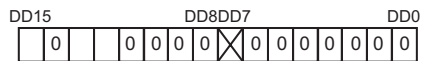
ビットシンボル	ビット名	機能	R	W
DD15 0 0 0 0 DD8DD7 DD0	VPS_VP0	スライス開始ラインの設定 (第一フィールド、第二 フィールド共通)s	スライス開始ラインをSLI_VSと すると	
	VPS_VP1		PALの場合 <第一フィールド> $SLI_VS = \sum_{n=0}^8 2^n VPS_VPn + 2$	
	VPS_VP2		<第二フィールド> $SLI_VS = \sum_{n=0}^8 2^n VPS_VPn + 315$	
	VPS_VP3		NTSCの場合 <第一フィールド> $SLI_VS = \sum_{n=0}^8 2^n VPS_VPn + 5$	
	VPS_VP4		<第二フィールド> $SLI_VS = \sum_{n=0}^8 2^n VPS_VPn + 268$	
	VPS_VP5		本レジスタで設定したラインから 18ライン分のデータをスライス RAMに格納します。	
	VPS_VP6			
	VPS_VP7			
	VPS_VP8			
SLI_GO	スライスON/OFF制御ビット	0 スライスOFF 1 スライスON	○	○
SYNCSEP_ON0	シンクセバ選択ビット	0 シンクセバ回路OFF 1 シンクセバ回路ON	○	○
STBSYNCSEP	シンクセバ入力制御ビット	0 SYNCINアナログ入力 1 SYNCINデジタル入力	○	○
予約ビット		必ず“0”にして下さい。	x	○

(29) 2A₁₆番地 (= DA5 ~ 0)



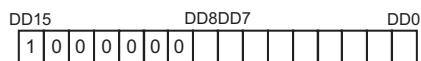
ビットシンボル	ビット名	機能	R	W
MASK0	タイムベース用マスク幅 選択ビット	<p>マスク解除の位置を設定 1Hの間の後ろの1/4の期間の中で256段階の 設定ができる。</p> <p>PALの場合 18H ~ 256H 0H~17Hの順</p> <p>設定できない NTSCの場合 0H ~ 256H</p> <p>通常は80Hにしてください。</p>	○	○
MASK1			○	○
MASK2			○	○
MASK3			○	○
MASK4			○	○
MASK5			○	○
MASK6			○	○
MASK7			○	○
予約ビット		必ず“0”にしてください。	x	○
予約ビット		必ず“1”にしてください。	x	○

(30) 2B₁₆番地 (= DA5 ~ 0)



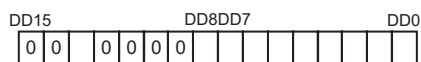
ビットシンボル	ビット名	機能	R	W															
予約ビット		必ず“0”にしてください。	x	○															
	何も配置されていない		x	x															
予約ビット		必ず“0”にしてください。	x	○															
SEL_PDCH	データスライサ用内部H 選択ビット	<table border="1"> <thead> <tr> <th>SEL_PDCH</th> <th>SEL_VPSH</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部Hsync</td> </tr> <tr> <td>0</td> <td>1</td> <td>VPS用PLLより</td> </tr> <tr> <td>1</td> <td>0</td> <td>PDC用PLLより</td> </tr> <tr> <td>1</td> <td>1</td> <td>VPS or PDC</td> </tr> </tbody> </table>	SEL_PDCH	SEL_VPSH	機能	0	0	外部Hsync	0	1	VPS用PLLより	1	0	PDC用PLLより	1	1	VPS or PDC	○	○
SEL_PDCH			SEL_VPSH	機能															
0	0	外部Hsync																	
0	1	VPS用PLLより																	
1	0	PDC用PLLより																	
1	1	VPS or PDC																	
SEL_VPSH	○	○																	
予約ビット		必ず“0”にしてください。	x	○															
SEL_PDEC	PLLロック用クロック選択ビット	<table border="1"> <tbody> <tr> <td>0</td> <td>HsyncよりVPS,PLLロック</td> </tr> <tr> <td>1</td> <td>X'tal系よりVPS,PLLロック</td> </tr> </tbody> </table>	0	HsyncよりVPS,PLLロック	1	X'tal系よりVPS,PLLロック	○	○											
0	HsyncよりVPS,PLLロック																		
1	X'tal系よりVPS,PLLロック																		

(31) 2C16番地 (= DA5 ~ 0)



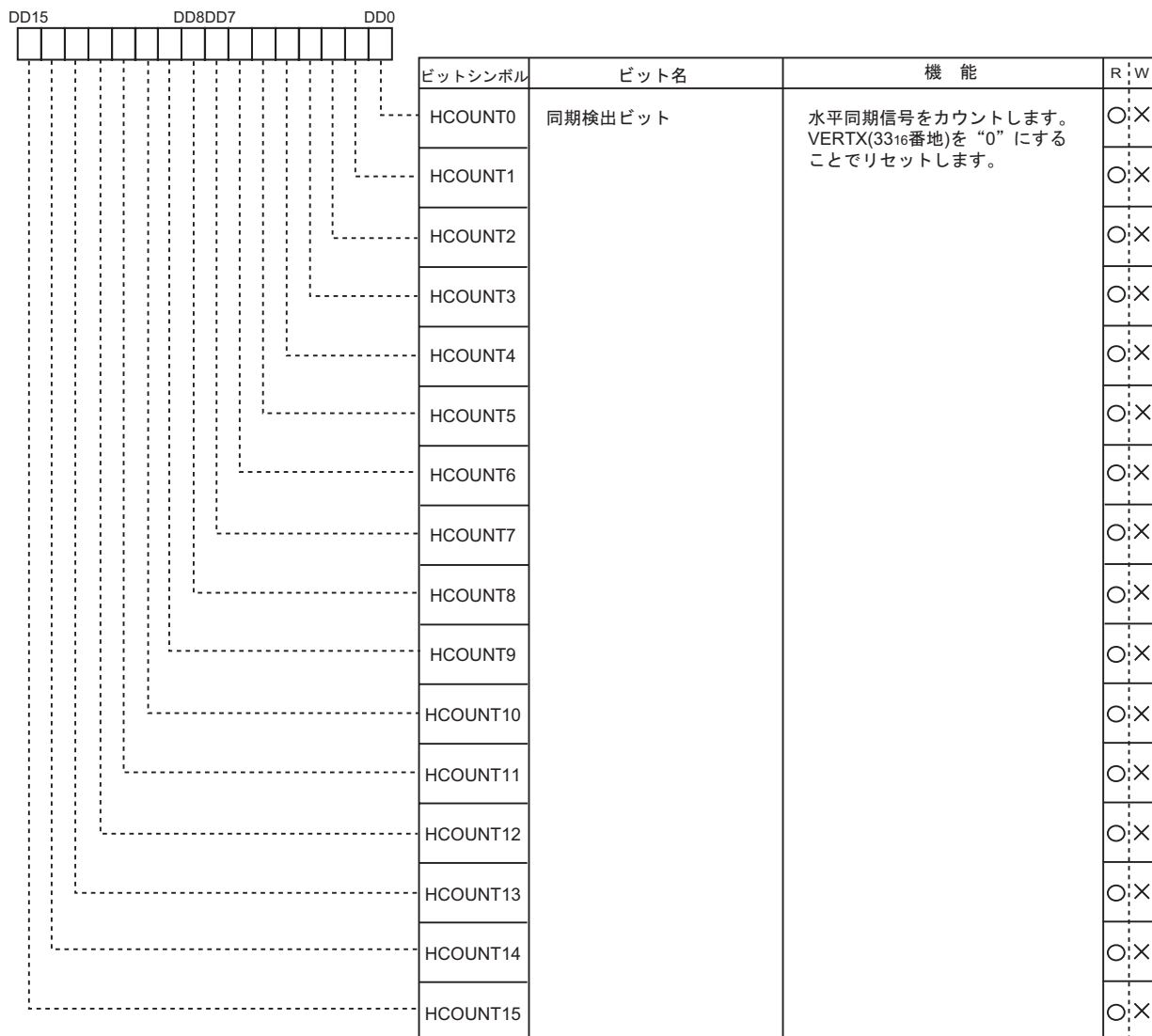
ビットシンボル	ビット名	機能	R	W
PLSPOS0	スライスA/D ON期間選択ビット	スライスA/D ON期間をカウント $\sum_{n=0}^8 2^n \text{ PLSPOS}_n \text{ 発目のH}$ $\sum_{n=0}^8 2^n \text{ PLSNEG}_n \text{ 発目のH}$	○	○
PLSPOS1			○	○
PLSPOS2			○	○
PLSPOS3			○	○
PLSPOS4			○	○
PLSPOS5			○	○
PLSPOS6			○	○
PLSPOS7			○	○
PLSPOS8			○	○
予約ビット		必ず“0”にしてください。	×	○
予約ビット		必ず“1”にしてください。	×	○

(32) 2D16番地 (= DA5 ~ 0)

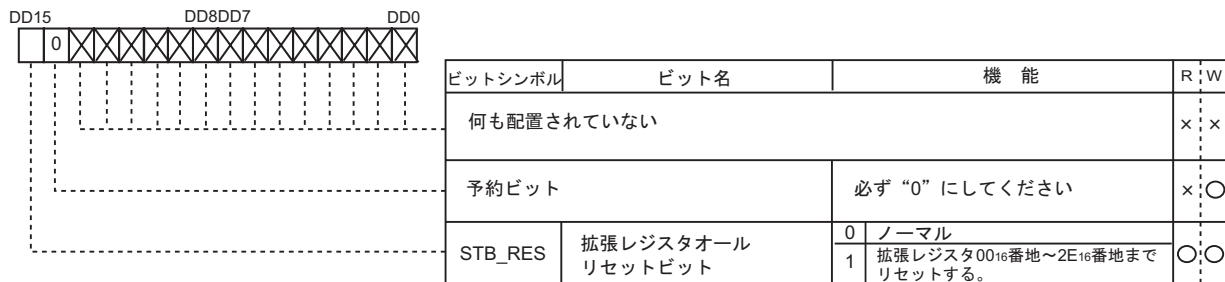


ビットシンボル	ビット名	機能	R	W
PLSNEG0	スライスON期間選択ビット	PLSPOS0~8(2C16番地)を参照して下さい。	○	○
PLSNEG1			○	○
PLSNEG2			○	○
PLSNEG3			○	○
PLSNEG4			○	○
PLSNEG5			○	○
PLSNEG6			○	○
PLSNEG7			○	○
PLSNEG8			○	○
予約ビット		必ず“0”にしてください。	×	○
予約ビット		テレテキスト (PDC) を取得する場合、必ず“1”にしてください。	×	○
予約ビット		必ず“0”にしてください。	×	○

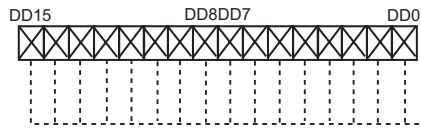
(33) 2E16番地 (= DA5 ~ 0)



(34) 2F16番地 (= DA5 ~ 0)

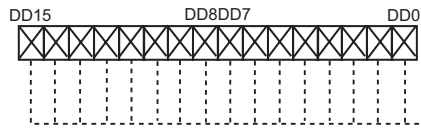


(35) 3016番地(= DA5~0)



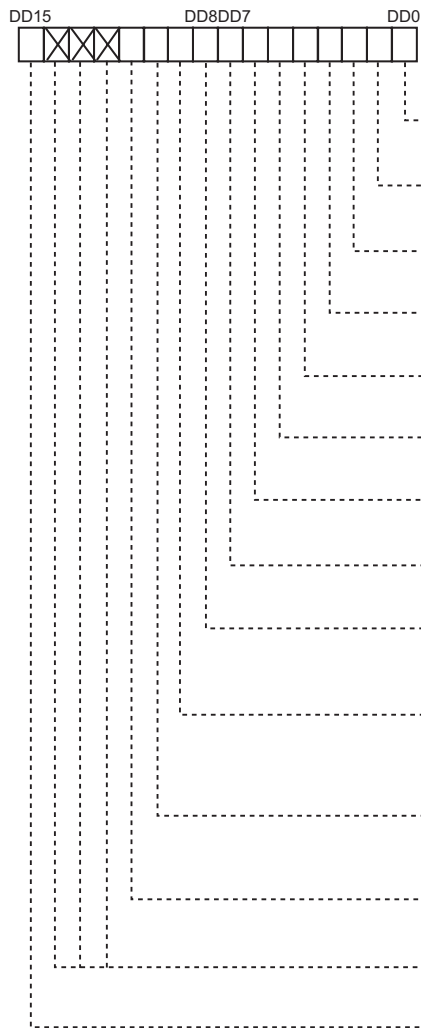
ビットシンボル	ビット名	機能	R	W
		何も配置されていない	x	x

(36) 3116番地(= DA5~0)



ビットシンボル	ビット名	機能	R	W
		何も配置されていない	x	x

(37) 3216番地(= DA5~0)



ビットシンボル	ビット名	機能	R	W															
RMHTD0(0)	リモコンヘッダー長選択ビット	スタンバイモード時リモコンパルスを検出する為、ヘッダー長を選択する。	○	○															
RMHTD0(1)		<p>リモコンパルス</p> <p>A: ヘッダー部</p> <p>B: リモコンパルス間の空白</p> <p>C: 有効パルス幅</p> <p>D: リモコンパルス間の空白</p> <p>有効パルス幅</p>	○	○															
RMHTD0(2)			○	○															
RMHTD0(3)			○	○															
RMHTD0(4)			○	○															
RMHTD0(5)			○	○															
RMHTD0(6)			○	○															
RMHTD0(7)			○	○															
RMHTD0(8)			○	○															
JSTCKDIV0	ジャストクロック用フィルタクロック分周値選択ビット		ジャストクロック用フィルタクロックのメインクロックに対する分周値を選択します	○	○														
JSTCKDIV1		<table border="1"> <thead> <tr> <th>JSTCKDIV1</th> <th>JSTCKDIV0</th> <th>メインクロック周期</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>32分周</td> </tr> <tr> <td>0</td> <td>1</td> <td>64分周</td> </tr> <tr> <td>1</td> <td>0</td> <td>128分周</td> </tr> <tr> <td>1</td> <td>1</td> <td>256分周</td> </tr> </tbody> </table>	JSTCKDIV1	JSTCKDIV0	メインクロック周期	0	0	32分周	0	1	64分周	1	0	128分周	1	1	256分周	○	○
JSTCKDIV1	JSTCKDIV0	メインクロック周期																	
0	0	32分周																	
0	1	64分周																	
1	0	128分周																	
1	1	256分周																	
JSTCKON	ジャストクロック用フィルタON/OFF選択ビット	0 フィルタOFF 1 フィルタON	○	○															
		何も配置されていない	x	x															
RMTSEL	リモコンヘッダー極性選択ビット	0 正転 1 反転	○	○															

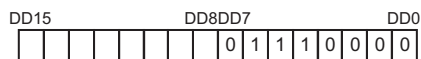
(38) 3316番地 (= DA5 ~ 0)



ビットシンボル	ビット名	機能	R	W															
RMHTD1(0)	リモコンヘッダー長選択ビット	RMHTD0(0)~(8)(3216番地)を参照してください。	○	○															
RMHTD1(1)			○	○															
RMHTD1(2)			○	○															
RMHTD1(3)			○	○															
RMHTD1(4)			○	○															
RMHTD1(5)			○	○															
RMHTD1(6)			○	○															
RMHTD1(7)			○	○															
RMHTD1(8)			○	○															
FILDIV0	リモコンパルス用クロック分周値選択ビット	リモコン許容期間計測用クロック分周値を選択します。(注1) <table border="1"> <tr> <td>FILDIV0</td> <td>サブクロック周期</td> </tr> <tr> <td>0</td> <td>分周なし</td> </tr> <tr> <td>1</td> <td>2分周</td> </tr> </table>	FILDIV0	サブクロック周期	0	分周なし	1	2分周	○	○									
FILDIV0	サブクロック周期																		
0	分周なし																		
1	2分周																		
予約ビット		必ず“0”にしてください。	○	○															
FILON	リモコンパルス用フィルタON/OFF選択ビット (注2, 注3)	0 OFF 1 ON	○	○															
VERTX	同期検出リセットビット	0 リセット 1 水平同期信号カウンタ	○	○															
予約ビット		必ず“0”にしてください。	○	○															
FILDIV1(0)	リモコンパルス用フィルタクロック分周値選択ビット	<table border="1"> <tr> <td>FILDIV1(1)</td> <td>FILDIV1(0)</td> <td>サブクロック周期</td> </tr> <tr> <td>0</td> <td>0</td> <td>2分周</td> </tr> <tr> <td>0</td> <td>1</td> <td>4分周</td> </tr> <tr> <td>1</td> <td>0</td> <td>8分周</td> </tr> <tr> <td>1</td> <td>1</td> <td>16分周</td> </tr> </table>	FILDIV1(1)	FILDIV1(0)	サブクロック周期	0	0	2分周	0	1	4分周	1	0	8分周	1	1	16分周	○	○
FILDIV1(1)			FILDIV1(0)	サブクロック周期															
0	0	2分周																	
0	1	4分周																	
1	0	8分周																	
1	1	16分周																	
FILDIV1(1)	○	○																	

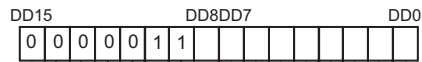
注1. RMHTD0(0)~(8)(3216番地)を参照してください。
 注2. これらのビットは初期設定時に変更し、リモコン受信中には書き換えしないでください。
 注3. リモコンパルス用フィルタはサブクロック専用です。サブクロック未実装時はOFFにしてください。

(39) 3416番地 (= DA5 ~ 0)



ビットシンボル	ビット名	機能	R	W
予約ビット		必ず“7016”にしてください。	x	○
予約ビット		EPG-Jを取得する場合、必ず“DD16”を設定してください。それ以外は“0016”を設定してください。	x	○

(40) 3516番地(= DA5~0)



ビットシンボル	ビット名	機能	R	W
HINT_LINE0	H_INT割り込み位置 選択ビット	Vが入力されてからH_INTが立ち 上がるまでの期間をカウントします。 	○	○
HINT_LINE1			○	○
HINT_LINE2			○	○
HINT_LINE3			○	○
HINT_LINE4			○	○
HINT_LINE5			○	○
HINT_LINE6			○	○
HINT_LINE7			○	○
HINT_LINE8			○	○
予約ビット		必ず“1”にしてください。	○	○
予約ビット		必ず“0”にしてください。	×	○
予約ビット		必ず“0”にしてください。	○	○

(41) 3616番地 (= DA5~0)

ビットシンボル	ビット名	機能	R	W	
DD15 DD8DD7 DD0	VINT0	SLICEON割り込み制御ビット	0000 : 割り込み禁止(注3) 1011 : 割り込み許可 その他 : 設定禁止	○	○
	VINT1				
	VINT2				
	VINT3				
INTRMT0	リモコン割り込み制御ビット (注1)	0000 : 割り込み禁止(注3) 1010 : 割り込み許可 その他 : 設定禁止	○	○	
					INTRMT1
					INTRMT2
					INTRMT3
HINT0	HINT割り込み制御ビット (注2)	0000 : 割り込み禁止(注3) 1001 : 割り込み許可 その他 : 設定禁止	○	○	
					HINT1
					HINT2
					HINT3
SECINT0	時計タイマ割り込み 制御ビット	0000 : 割り込み禁止(注3) 1000 : 割り込み許可(注5) その他 : 設定禁止	○	○	
					SECINT1
					SECINT2
					SECINT3

注1. 「15.6 拡張レジスタ構成の補足」を参照ください。

注2. HINT_LINE0~HINT_LINE8(3516番地)の説明を参照ください。

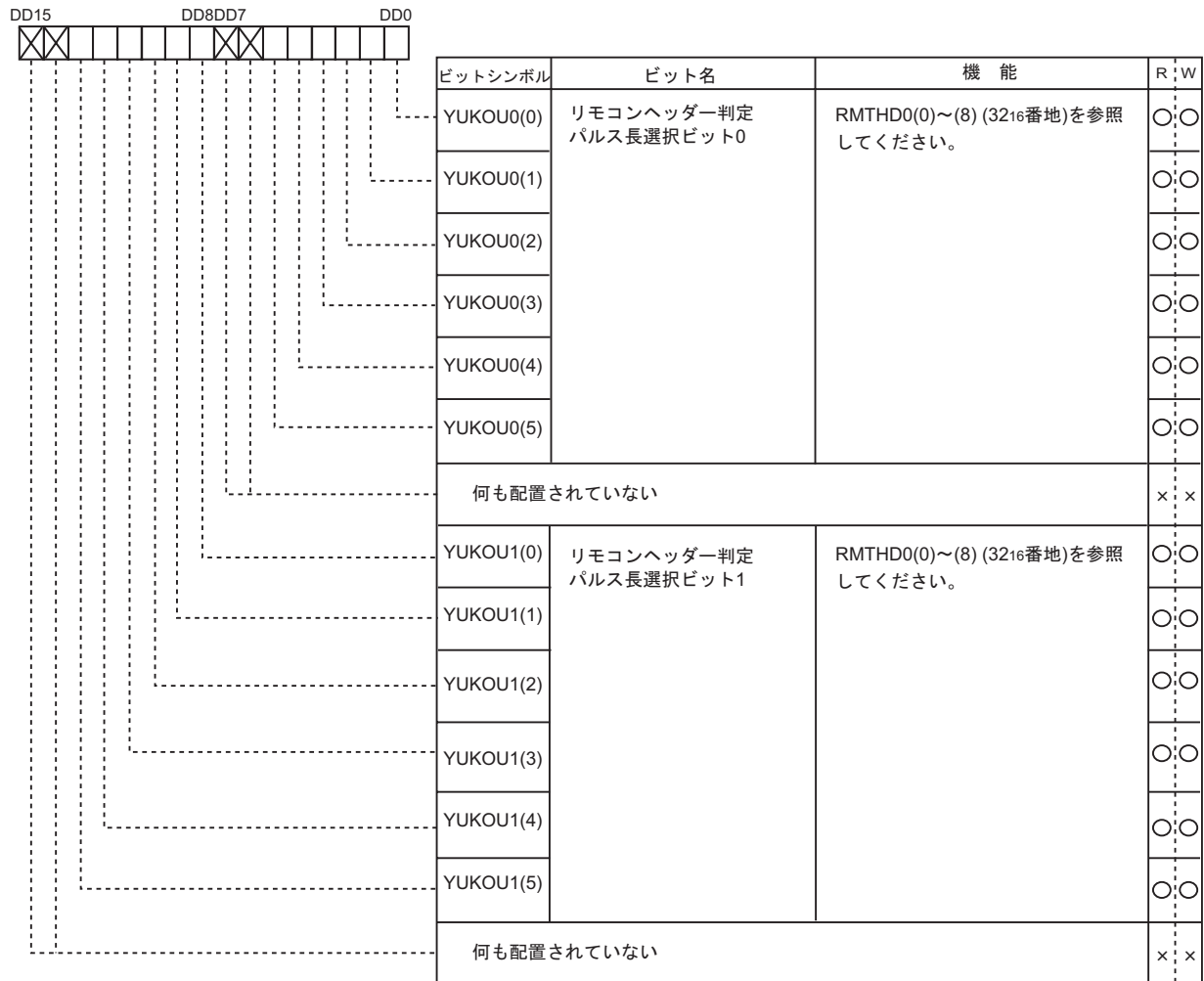
注3. タイマB2, タイマB3, タイマB4, タイマB5の割り込みを使用する場合は、0000₂を設定してください。

注4. 「6.5 割り込み制御」の「図6.3 割り込み制御レジスタ」を参照ください。

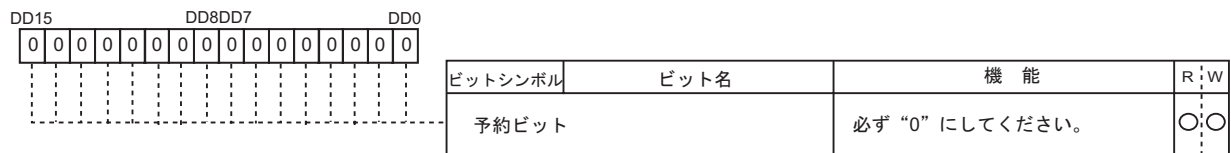
注5. 秒カウンタ(3916番地)の変化時、(1秒毎)割り込みが発生します。

注6. SLICEON, リモコン, HINT, 時計タイマ割り込みを使用する場合、3616番地の対応する割り込み制御ビットVINT_i, INTRMT_i, HINT_i, SECINT_i (i = 0~3)に初期データを設定した後は、データ変更しないでください。

(42) 3716番地(= DA5~0)



(43) 3816番地(= DA5~0)



(44) 3916番地(= DA5~0)



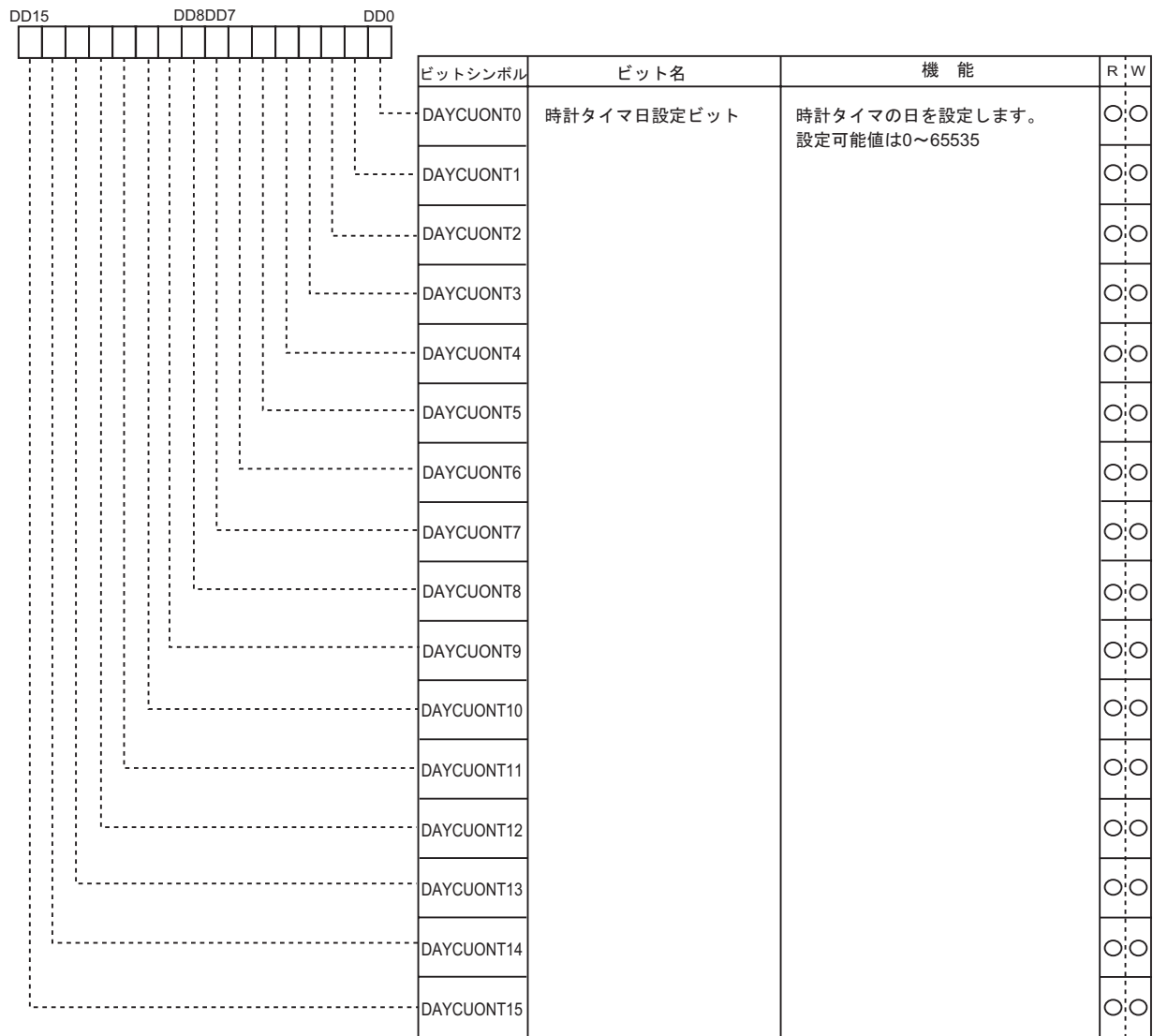
ビットシンボル	ビット名	機能	R	W
SECOUT0	時計タイマ秒設定ビット	時計タイマの秒(0~59秒)を設定します。 設定可能値は0~59	○	○
SECOUT1				
SECOUT2				
SECOUT3				
SECOUT4				
SECOUT5				
何も配置されていない			x	x
RTCON	時計タイマ動作設定ビット	0	○	○
		1	○	○
何も配置されていない			x	x
SECJUST	秒ジャスト設定ビット	“1”を書き込むと時計タイマーの秒未満をリセットします。 読み出した場合、値は“0”	x	○

(45) 3A16番地(= DA5~0)



ビットシンボル	ビット名	機能	R	W
MINOUT0	時計タイマ分設定ビット	時計タイマの時間、分を分単位で設定します。 設定可能値は0~1439 (0時0分~23時59分)	○	○
MINOUT1				
MINOUT2				
MINOUT3				
MINOUT4				
MINOUT5				
MINOUT6				
MINOUT7				
MINOUT8				
MINOUT9				
MINOUT10				
何も配置されていない			x	x

(46) 3B16番地 (= DA5 ~ 0)

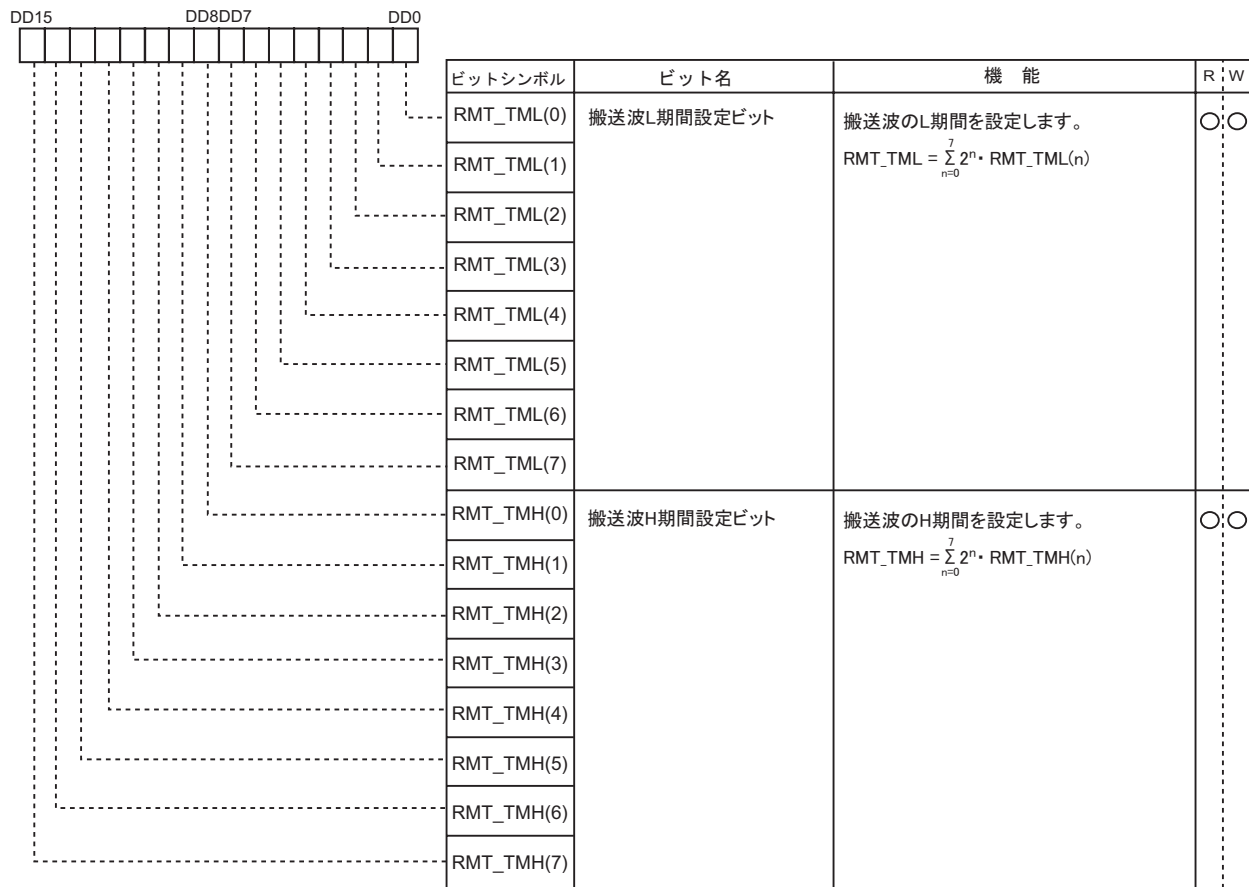


(47) 3C₁₆番地 (= DA5 ~ 0)

ビットシンボル	ビット名	機能	R	W
	RMTSTART	リモコン送信開始ビット	○	○
	IRPOL(0)	搬送波選択ビット リモコン送信波形の出力モードを選択する。 000: 外形波と搬送波とAND出力 010: 外形波と搬送波とOR出力 101: 外形波のみ出力(搬送波なし) その他: 設定禁止	○	○
	IRPOL(1)			
	IRPOL(2)			
	RMCDIV(0)	搬送波のクロックソースを選択します。 00: メインクロック(分周なし) 01: メインクロックの2.5分周 10: メインクロックの8分周 11: 設定禁止	○	○
	RMCDIV(1)			
	RMTDIV(0)	外形波のクロックソースを選択します。 00: メインクロック(分周なし) 01: メインクロックの8分周 10: メインクロックの64分周 11: メインクロックの256分周	○	○
	RMTDIV(1)			
	RMT_TM(0)	外形波クロック分周値設定ビット RMTDIV(1,0)で選択された分周値 RMT_TMを設定します。 $RMT_TM = \sum_{n=0}^7 2^n \cdot RMT_TM0(n)$	○	○
	RMT_TM(1)			
	RMT_TM(2)			
	RMT_TM(3)			
	RMT_TM(4)			
	RMT_TM(5)			
	RMT_TM(6)			
	RMT_TM(7)			

注1. 14.6「(6) リモコン送信機能」を参照ください。

(48) 3D16番地 (= DA5 ~ 0)



注1. 14.6 「(6) リモコン送信機能」を参照ください。

(49) 3E16番地 (= DA5 ~ 0)



ビットシンボル	ビット名	機能	R	W
RMTTXINT(0)	リモコン送信割り込み制御ビット (注1, 注4)	0000: 割り込み禁止 (注2) 0001: 割り込み許可 その他: 設定禁止 「割り込み許可」で使用する場合はINT2ICレジスタの設定をしてください。	○	○
RMTTXINT(1)				
RMTTXINT(2)				
RMTTXINT(3)				
予約ビット		必ず“0”にしてください。	×	○
何も配置されていない			×	×
IROUT_SLICEON	P84出力信号選択ビット2 (注3)	0: 通常設定(P84入出力ポート、またはINT2割り込み使用時) 1: リモコン送信パルス出力	○	○
予約ビット		必ず“0”にしてください。	×	○

- 注1. 14.6「(6) リモコン送信機能」を参照ください。
- 注2. INT2割り込みを使用する場合は、0000₂を設定し使用してください。
- 注3. リモコン送信機能を使用する場合、ポートP8方向レジスタのビットb4に“1”を設定してください。
- 注4. リモコン送信割り込みを使用する場合、リモコン送信割り込み制御ビット RMTTXINT(i) (i = 0~3)に初期データを設定した後は、データ変更しないでください。

(50) 3F16番地 (= DA5 ~ 0)



ビットシンボル	ビット名	機能	R	W
何も配置されていない			×	×
予約ビット		必ず“0”にしてください。	×	○

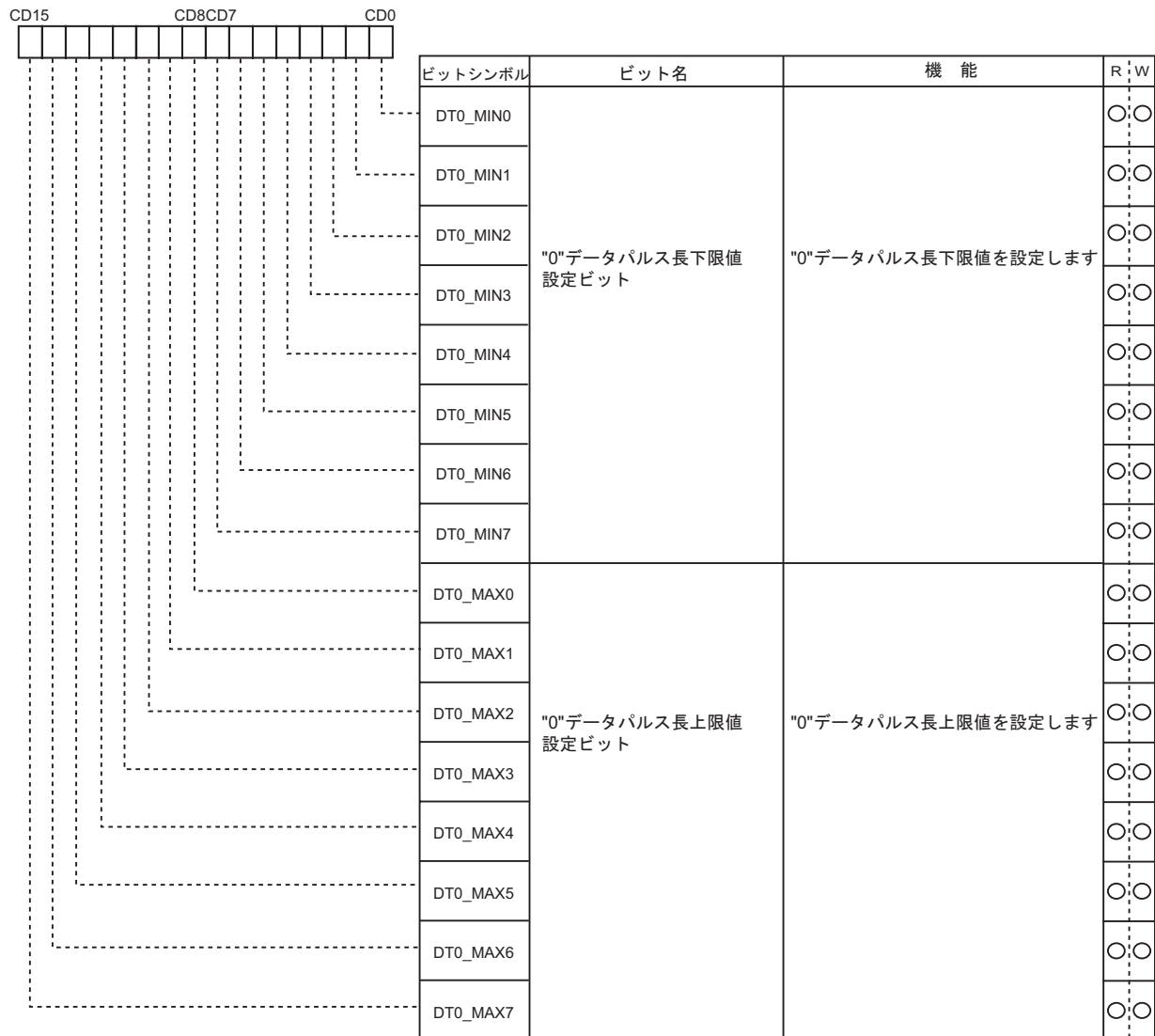
- 注1. 14.6「(6) リモコン送信機能」を参照ください。

(51) 40₁₆番地 (= DA5 ~ 0)

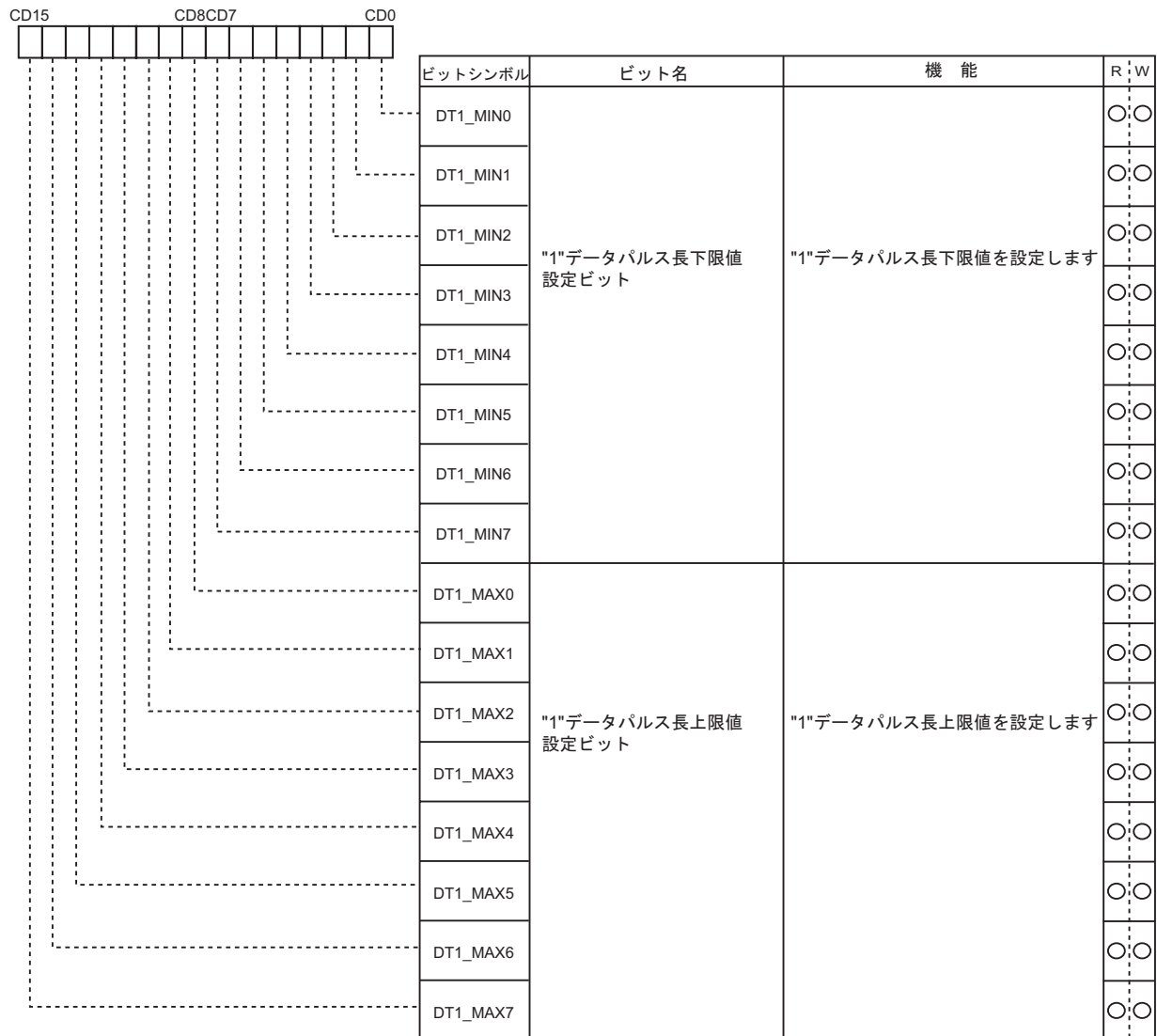
ビットシンボル	ビット名	機能	R	W
	FPLS_MIN0	固定長パルス下限値 設定ビット	○	○
	FPLS_MIN1			
	FPLS_MIN2			
	FPLS_MIN3			
	FPLS_MIN4			
	FPLS_MIN5			
	FPLS_MIN6			
	FPLS_MIN7			
	FPLS_MAX0	固定長パルス上限値 設定ビット	○	○
	FPLS_MAX1			
	FPLS_MAX2			
	FPLS_MAX3			
	FPLS_MAX4			
	FPLS_MAX5			
	FPLS_MAX6			
	FPLS_MAX7			

*注1：固定値パルスは、「0」/「1」の判定をしない方のパルス（「H」または、「L」の部分）です。
 拡張レジスタVBITPOL(アドレス43₁₆番地、ビット13)により、0/1判定を「H」期間で行うか、「L」期間で行うか選択します。

(52) 4116番地(= DA5~0)



(53) 4216番地 (= DA5 ~ 0)



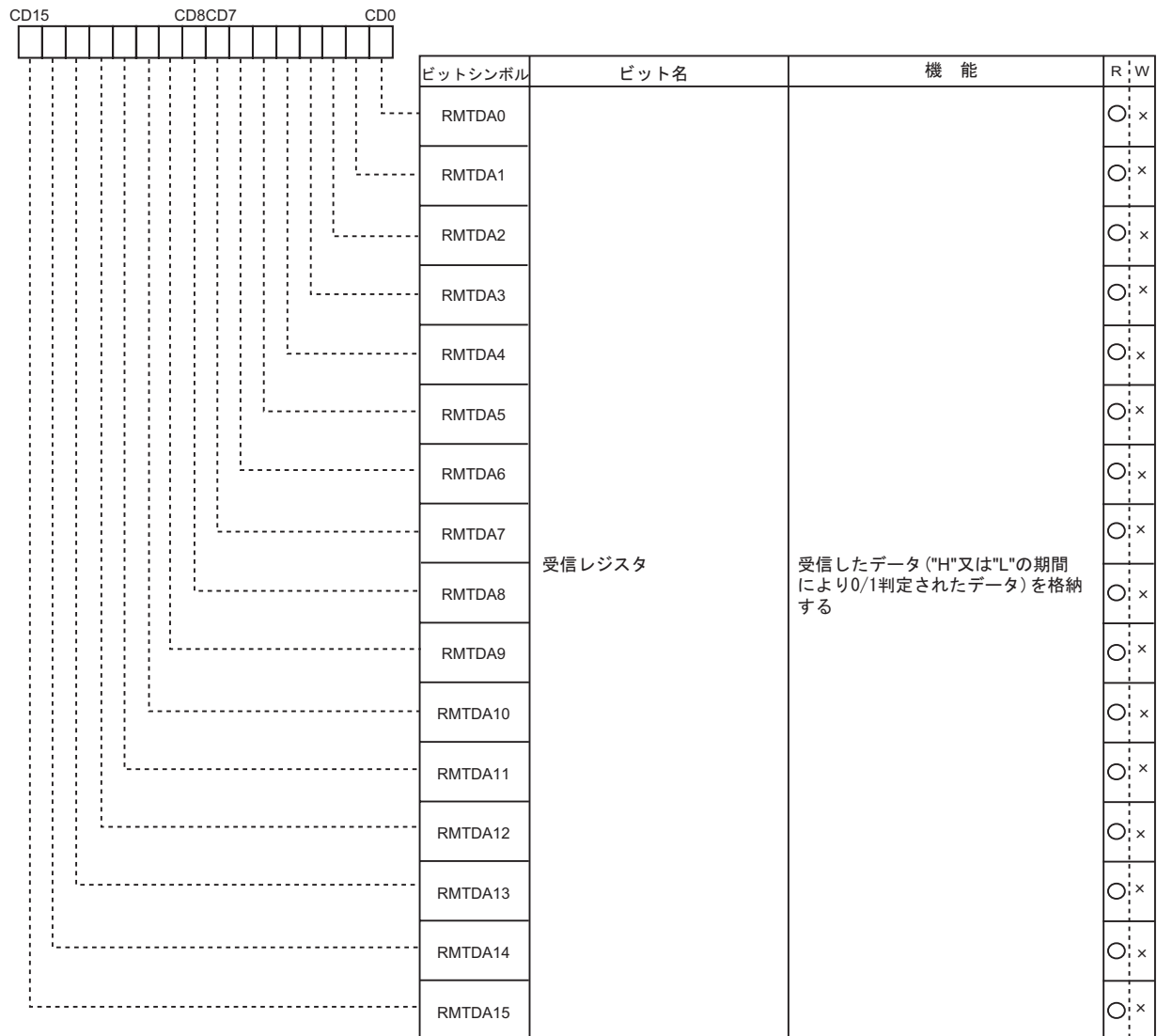
(54) 4316番地(= DA5~0)

ビットシンボル	ビット名	機能	R	W
MAXBIT0	最大受信ビット数設定ビット	最大受信ビット数を設定します	○	○
MAXBIT1			○	○
MAXBIT2			○	○
MAXBIT3			○	○
MAXBIT4			○	○
MAXBIT5			○	○
MINBIT0	最小受信ビット数設定ビット	最小受信ビット数を設定します	○	○
MINBIT1			○	○
MINBIT2			○	○
MINBIT3			○	○
MINBIT4			○	○
MINBIT5			○	○
RMTLSB	LSB/MSB受信選択ビット	0:MSBで受信する 1:LSBで受信する	○	○
VBITPOL	"0"/"1"判定レベル選択ビット	0:"0"/"1"の判定を"L"期間で行う 1:"0"/"1"の判定を"H"期間で行う	○	○
INTSEL	割り込み選択ビット	0:マッチした後、割り込みが発生する 1:第16ビット目のデータを受信した時及び最大データを受信したときに割り込みが発生する	○	○
GET_DATA	データを取るビット	1:受信バッファから受信レジスタに"1"を書き込むと受信バッファのデータを受信レジスタに書き込みます(読み出した場合値は0)	×	○

(55) 4416番地(=DA5~0)

ビットシンボル	ビット名	機能	R	W
DATAOL0	受信データビット数	受信したデータのビット数を表示する	○	×
DATAOL1				
DATAOL2				
DATAOL3				
DATAOL4				
DATAOL5				
NU0	受信データワード数	第n個16ビットデータを受信した (n=0,1,2)	○	×
NU1				
INTRMTFL0	1ワード受信完了フラグ	1ワード(16ビット)分の0/1データの受信完了を示します 0:第16ビット目のデータを受信していない 1:第16ビット目のデータを受信した	○	×
INTRMTFL1	最大ビット数のデータを受信したフラグ	0:最大ビット数のデータを受信しなかった 1:最大ビット数のデータを受信した	○	×
INTRMTFL2	全部データを受信したフラグ	0:全部データを受信しなかった 1:全部データを受信した	○	×
NG	受信のNGフラグビット	1:受信中NGがあった	○	×
何も配置されていない			×	×

(56) 4516番地 (= DA5 ~ 0)



14.6 拡張レジスタ構成の補足

(1) スライスタイミング

SLICEON信号はスライス可能期間に出力します。

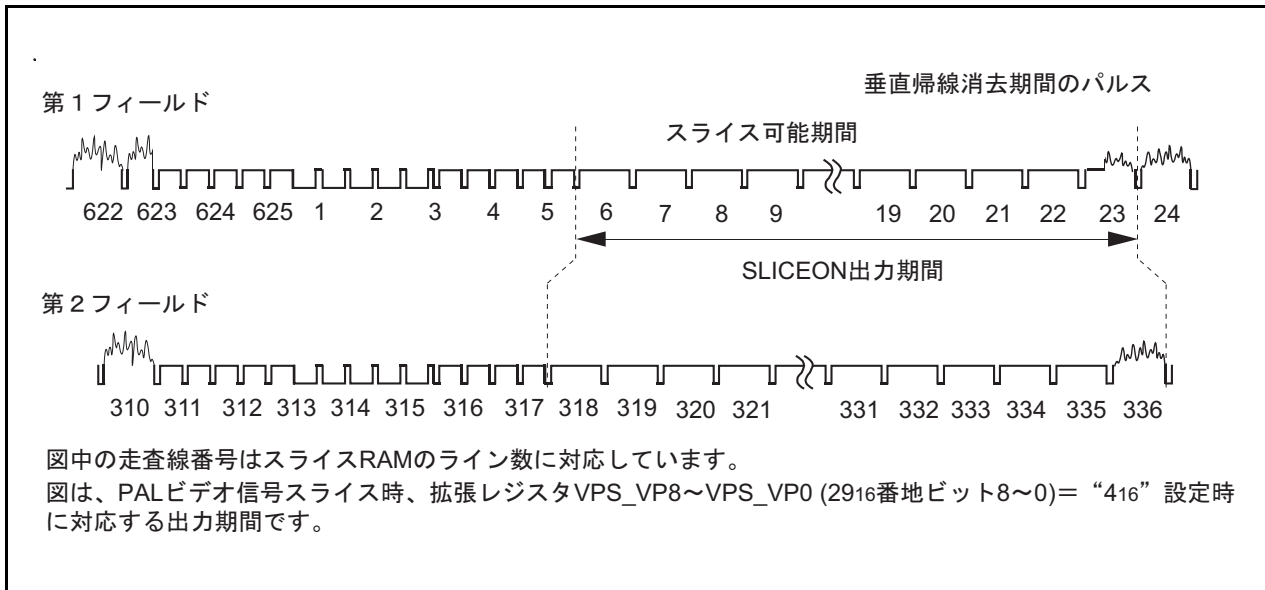


図14.11 スライスタイミング

(2) 同期信号検出回路

複合ビデオ信号の水平同期信号のパルス数を一定期間垂直同期期間カウントします。水平同期のパルス数は常に拡張レジスタより読み出すことができます。

図14.12にブロック図を示します。

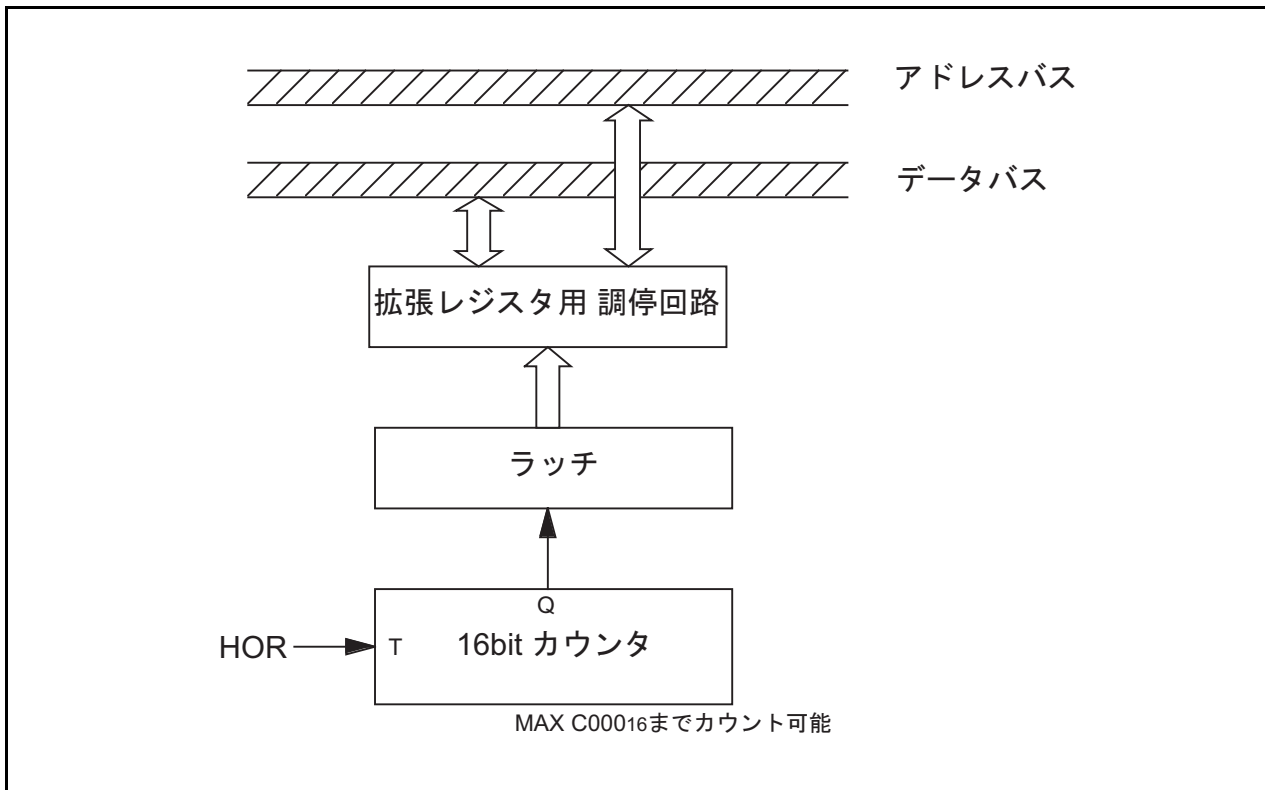


図14.12 同期検出回路のブロック図

(3) スライサ関連レジスタ

Vsync, Hsync信号とスライサ関連レジスタの関係を図14.13、図14.14に示します。

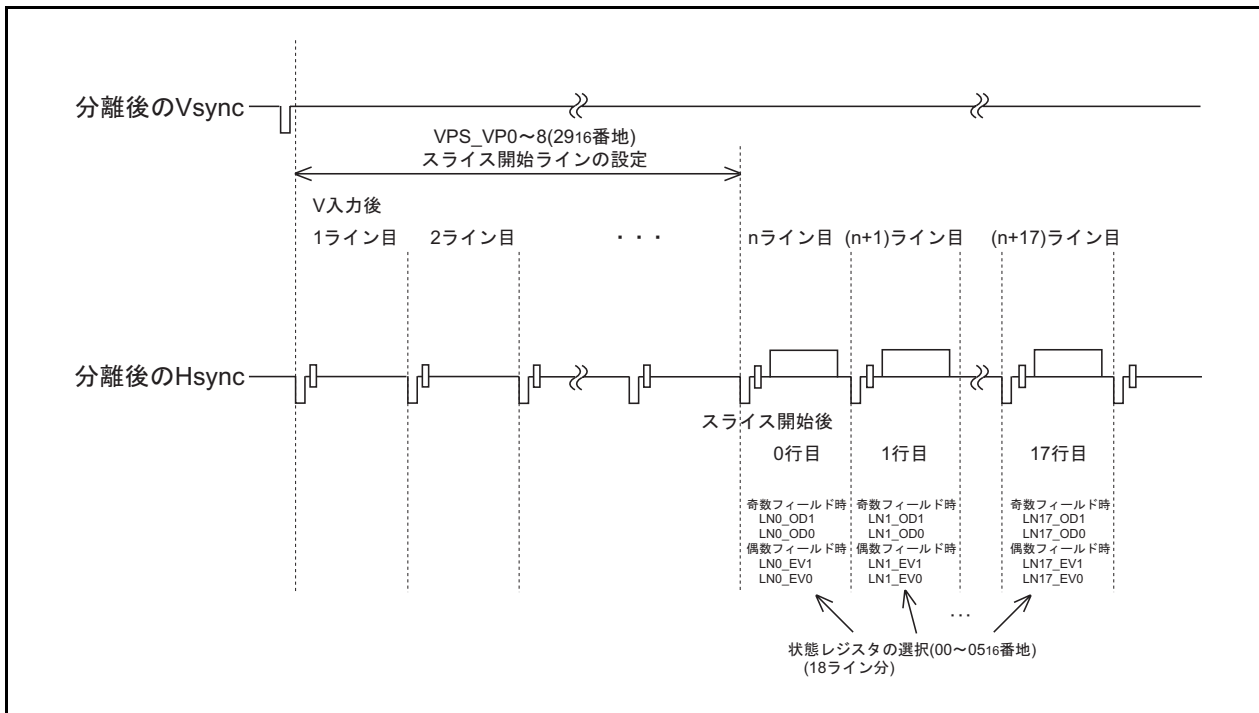


図 14.13 スライサ関連レジスタ (1)

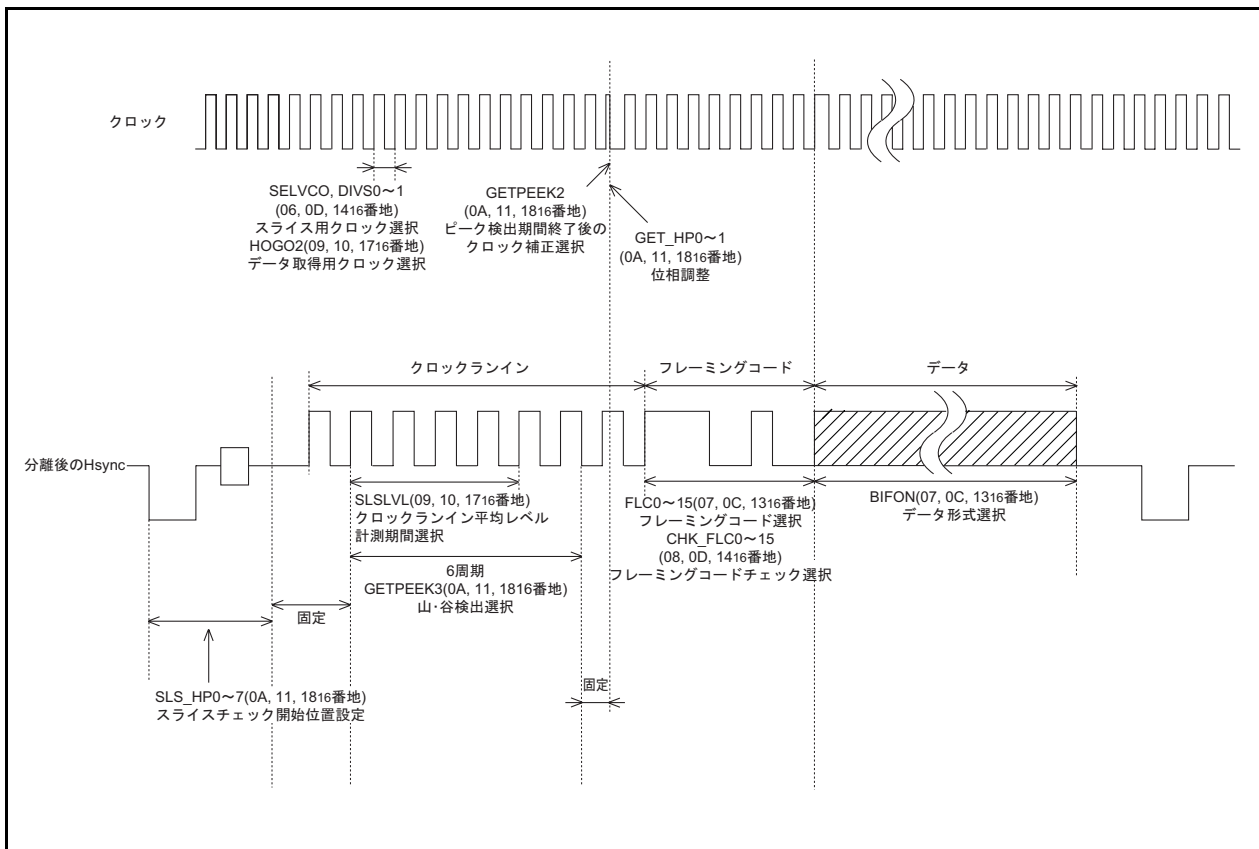


図 14.14 スライサ関連レジスタ (2)

(4) リモコンパターン認識

サブクロック発振を利用してリモコンのパターンマッチングを行います。リモコン入力RMTIN端子より入力します。パターンマッチングが一致している場合には割り込みを発生します。

パターンマッチング回路の前段に4回一致のノイズフィルタを内蔵しています。

図14.15にリモコン入力回路のブロック図を、図14.16にパターンマッチングの波形例を、また図14.17にパターンマッチングのフローを示します。

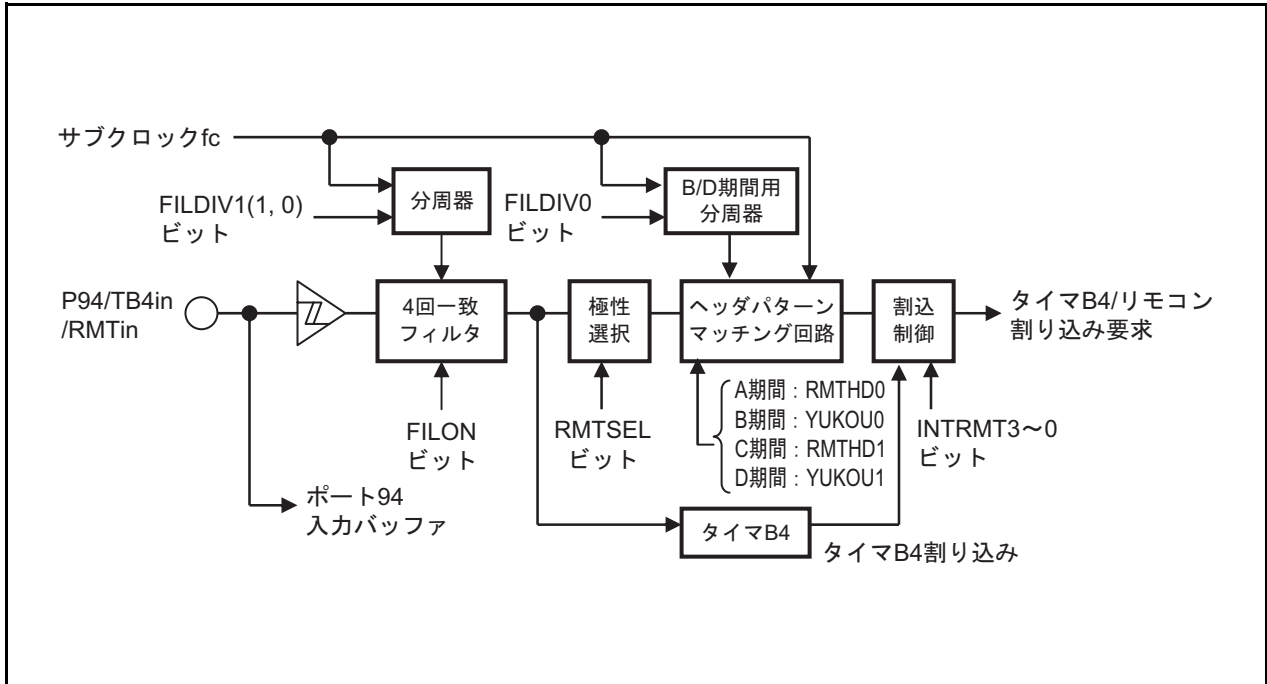


図 14.15 リモコンパターン認識ブロック図

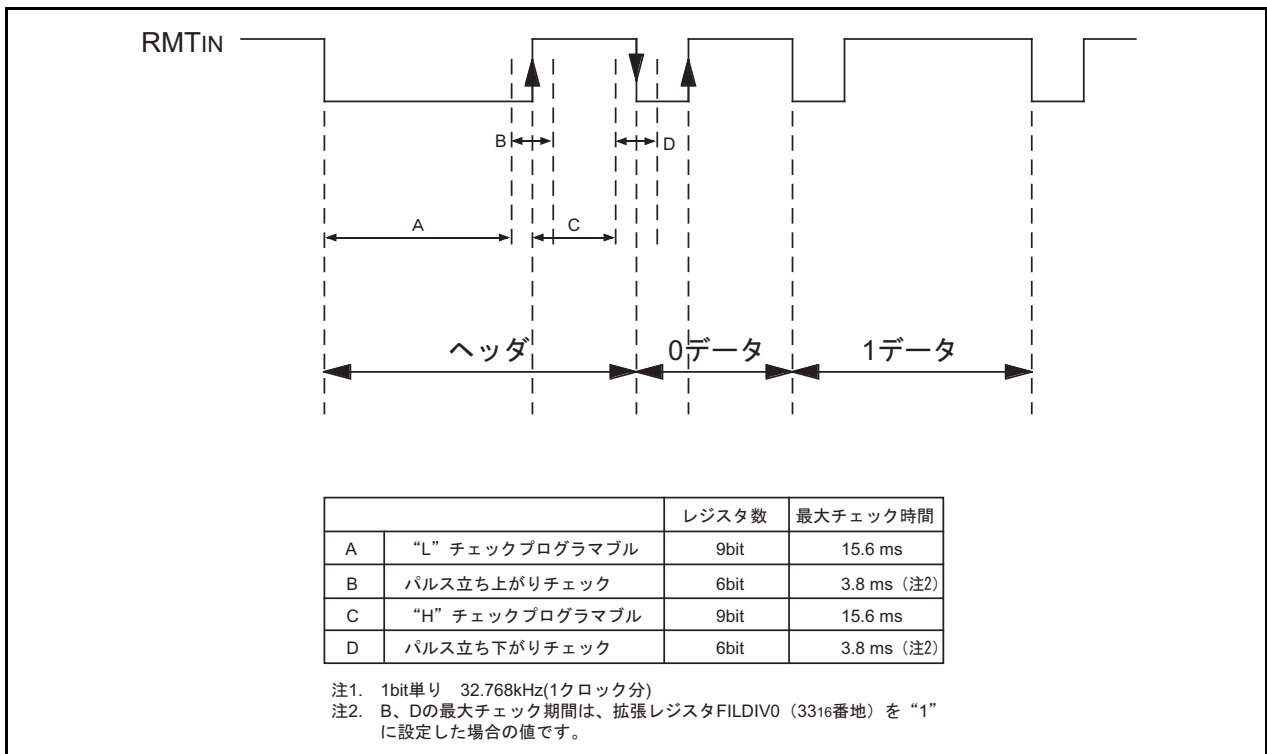


図 14.16 パターンマッチングの波形例

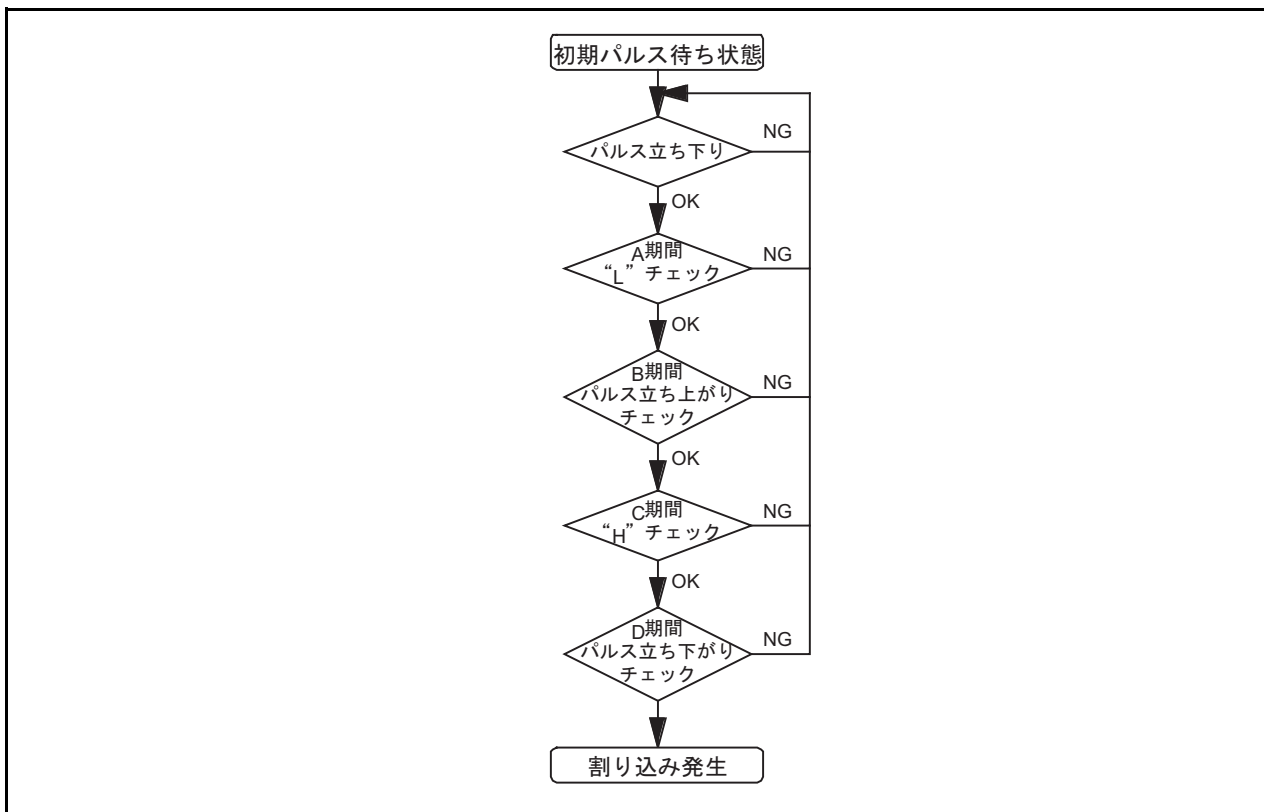


図 14.17 パターンマッチングのフロー

4 回一致フィルタ処理動作

サブクロック発振を用いた4回一致のデジタルフィルタです。RMTin端子の入力信号を4回サンプリングを行い、4回ともレベルが一致した場合のみ、出力レベルが変化します。

このフィルタを使用する場合は、拡張レジスタ33HのFILONビット (bit11) を“1”にして下さい。

フィルタON時は4回一致フィルタ通過後の信号がヘッダパターンマッチング回路及びタイマB4に入力されます。

サンプリングレートは、拡張レジスタ33HのFILDIV1 (1, 0) ビットにより変更可能です。詳細は拡張レジスタ33H機能説明のFILDIV1ビットを参照下さい。

フィルタOFF時は入力信号がスルーで後段の回路に供給されます。(クロック遅延なし) このフィルタはサブクロックでのみ動作し、メインクロックでは使用できませんので、サブクロック未実装時はフィルタをOFF (FILONビット= “0”) にして下さい。

(5) 時計タイマ機能

サブクロックをカウントソースとし、日、分、秒ごとにカウント値の設定、読み出しが可能なタイマです。以下の特徴があります。

時計機能

- ・タイマA、タイマBとは独立した時計機能専用のタイマです。
- ・日、分、秒の設定可能範囲は、それぞれ0～65535日、0～1439分 (23時59分)、0～59秒です。
- ・秒ジャスト設定 (秒未満のカウント値をリセット) が可能です。

1秒割り込み

- ・時計タイマの秒インクリメントのタイミングで割り込み要求が発生します。
(秒ジャスト設定時は、割り込み要求は発生しません。)

(6) リモコン送信機能

リモコン送信回路は、キャリアと外形波の2種類のパルスを合成し、マイコン端子より出力します。リモコン送信機能の仕様を表14.5に、リモコン送信回路出力波形を図14.18に、リモコン送信回路ブロック図を図14.19に示します。

以下の特徴があります。

- ・キャリアはメインクロックを分周して得られる任意の幅の連続パルスです。(図14.18 波形②、③)
- ・外形波は送信データバッファから、端子出力値(“H” / “L”)とパルス幅を順次読み出すことにより生成される波形です。(図14.18、波形④)
- ・キャリアと外形波を合成し得られる波形を端子から出力します。(図14.18、波形⑤)

表 14.5 リモコン送信機能の仕様

項目	仕様
カウントソース	搬送波: f1(XIN分周なし)、f2.5(XIN2.5分周)、f8(XIN8分周)から選択 外形波: f1(XIN分周なし)、f8(XIN8分周)、f64(XIN64分周)、f256(XIN256分周)から選択
カウント動作 (搬送波)	●ダウンカウント ●パルスの立上りで“H”幅設定用レジスタを読み出しカウント継続 ●パルスの立下りで“L”幅設定用レジスタを読み出しカウント継続
分周比(搬送波)	●“H”期間、“L”期間とも1~256
カウント動作 (外形波)	●ダウンカウント ●パルスの立上り/立下りでリモコン送信データバッファから波形出力値(“H”/“L”)、カウント値を読み出し、ポート出力およびカウント継続
分周比(外形波)	1~16384(14bit)
カウント開始条件	リモコン送信開始ビットを“1”にする
カウント停止条件	●リモコン送信開始ビットを“0”にする。 ●未送信データ数参照ビットが空の状態のカウント値がアンダーフローした後
割込み発生タイミング	●外形波の立上り/立下り時(リモコン送信データバッファから読み出された割込み設定ビットの値が“1”の時のみ)
リモコン送信モード	●キャリアと外形波の論理積または論理和出力 ●外形波のみ出力(搬送波なし)

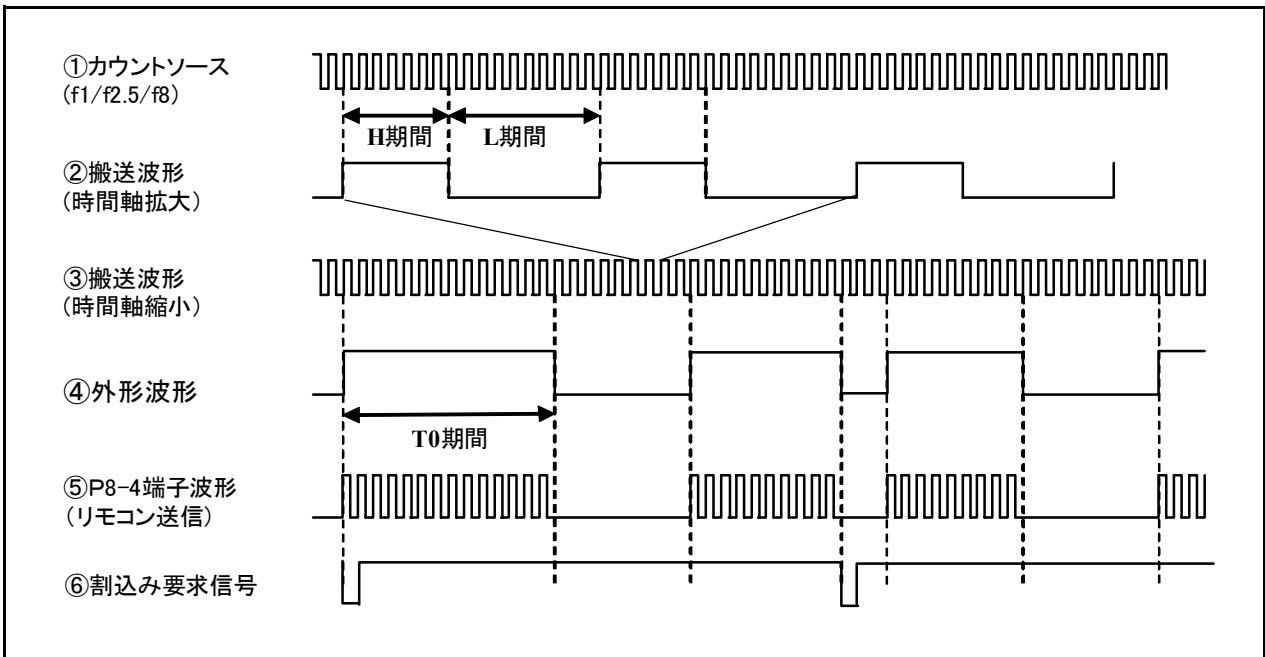


図 14.18 リモコン送信回路出力波形

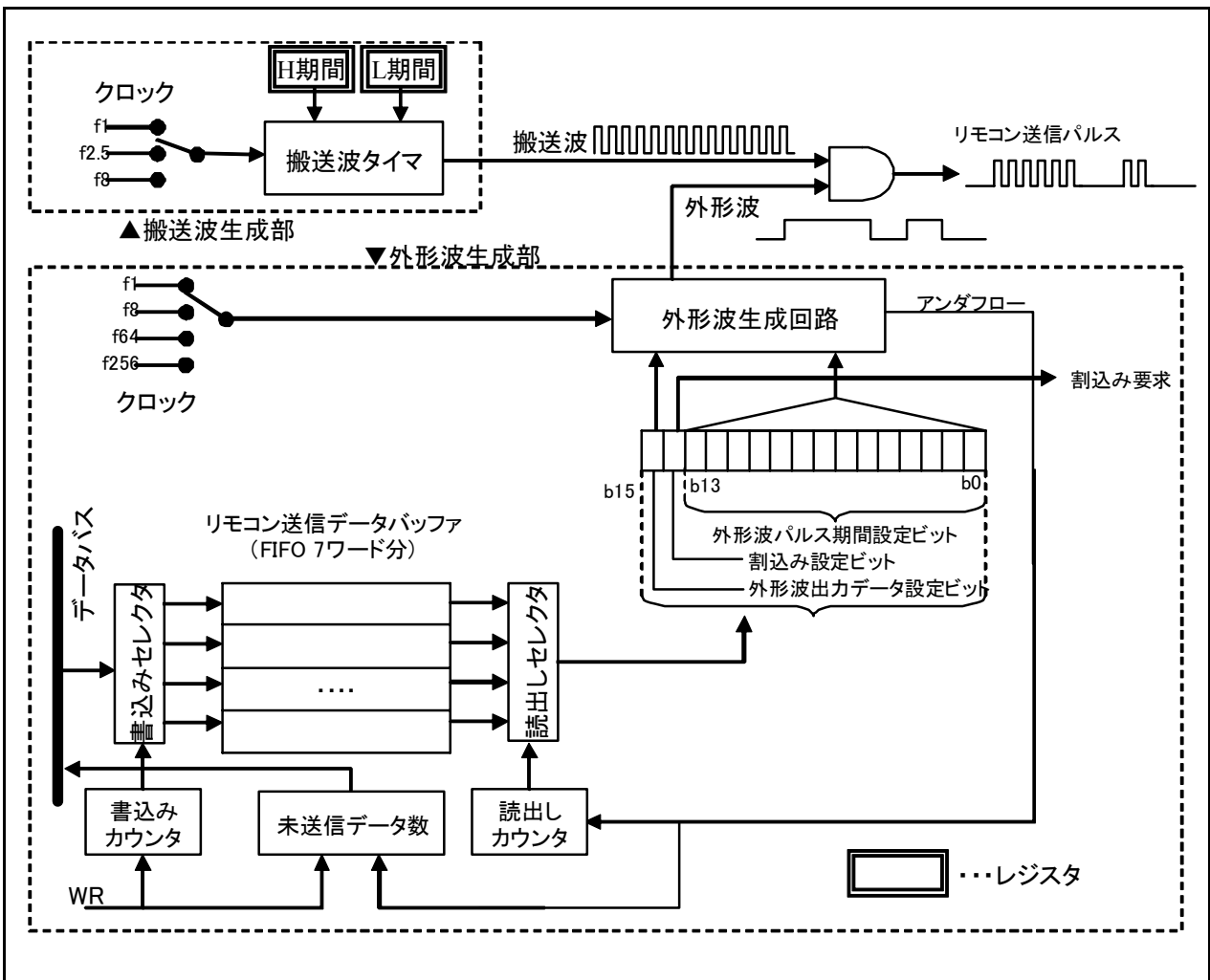


図 14.19 リモコン送信回路ブロック図

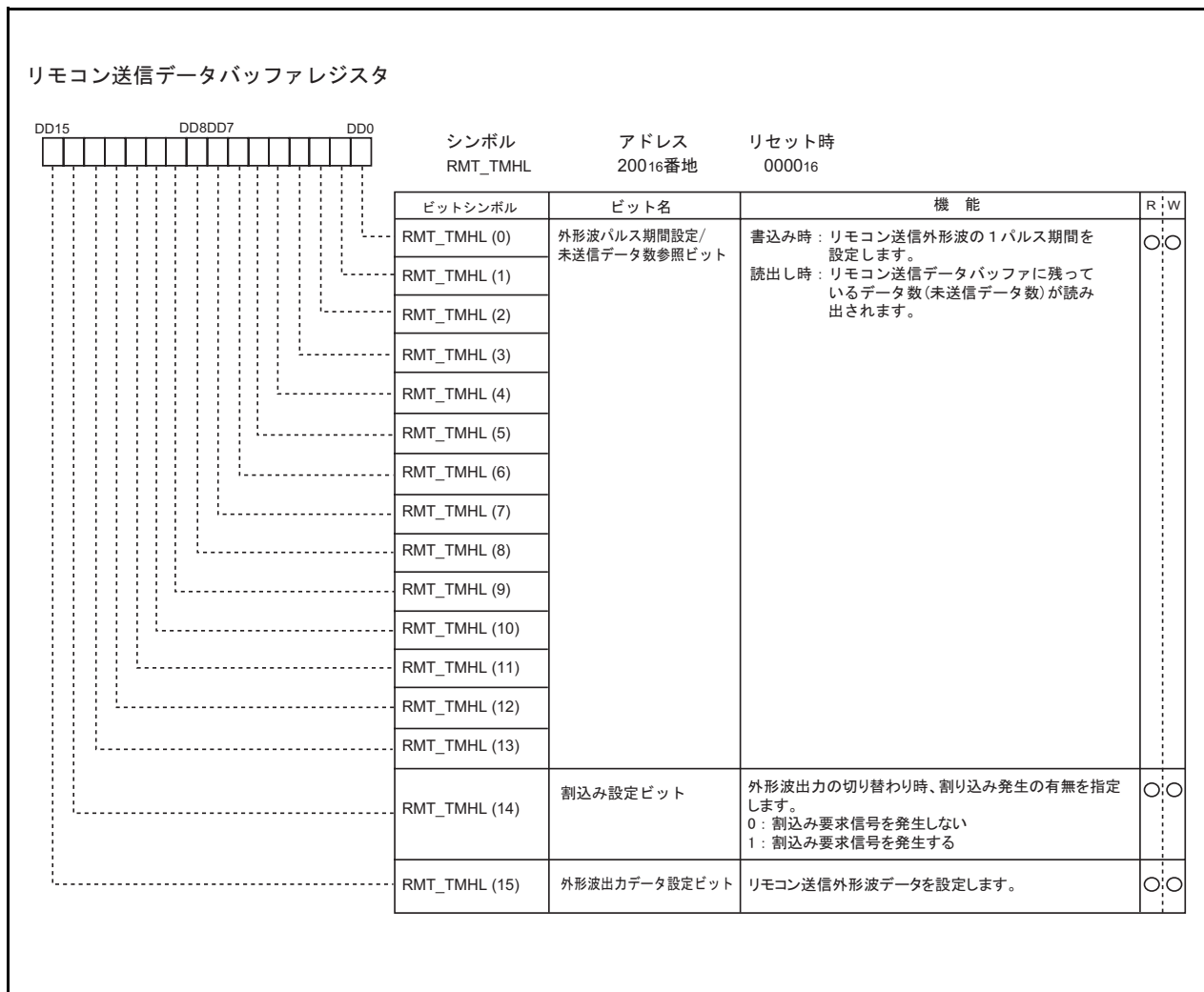


図 14.20 拡張レジスタの設定（リモコン送信関連部分のみ）

14.7 8/4ハミングデコーダ

8/4ハミングデコーダは8/4ハミングレジスタ（021A₁₆番地）に8/4ハミングエンコードされたデータを書き込むだけで動作します。また、8/4ハミングレジスタは16ビットの構成になっており、一度に2組のデータをデコードすることができます。

デコード結果は8/4ハミングレジスタを読み出すことで得られ、デコード値とエラー情報が出力されます。

また、1重誤りの場合はデコード値を訂正して出力し、2重誤りの場合はエラー情報のみを出力します。図14.18にデコード結果を、図14.19にハミング8/4レジスタの構成を示します。

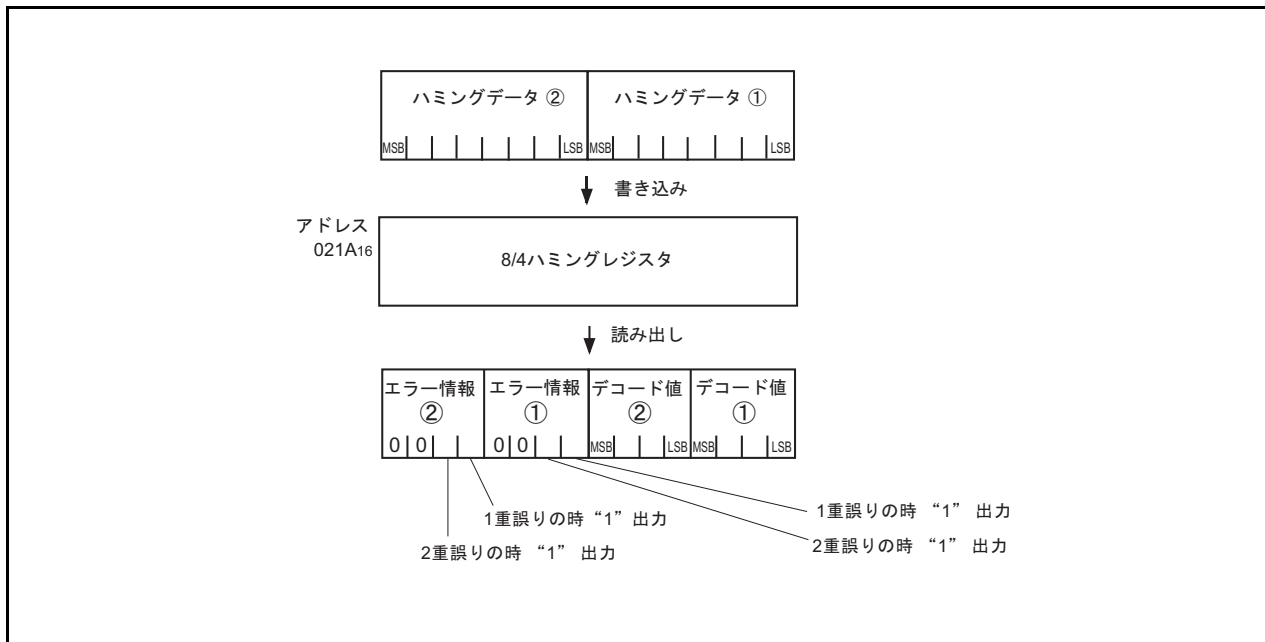


図14.21 デコード結果

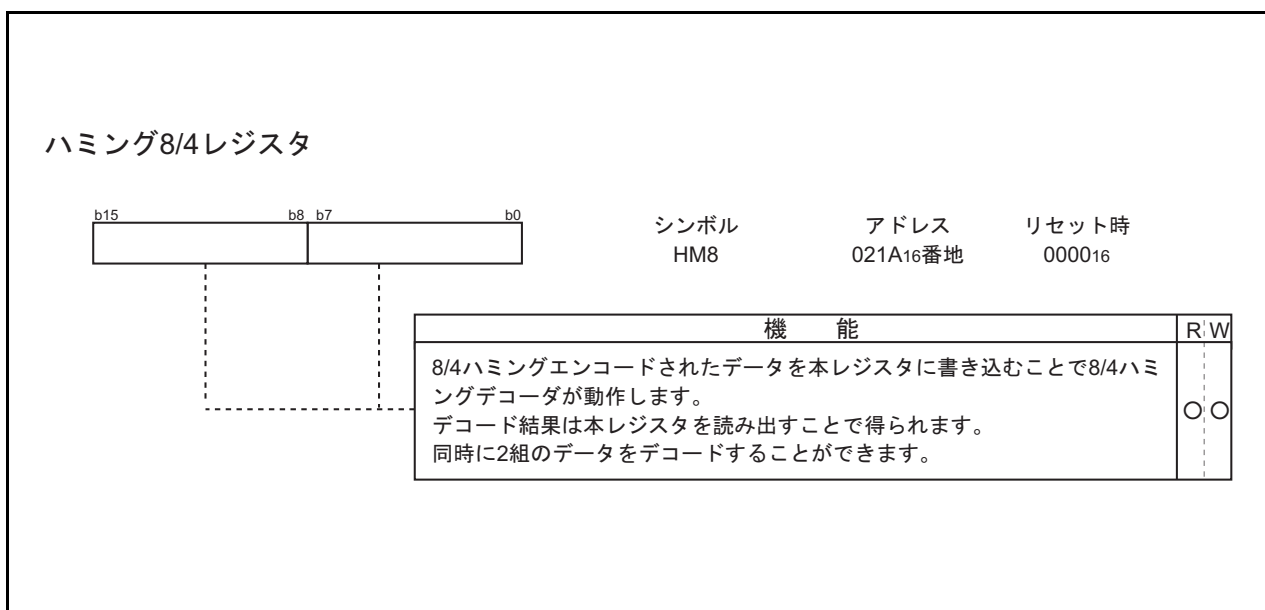


図14.22 ハミング8/4レジスタの構成

14.8 24/18ハミングデコーダ

24/18ハミングデコーダは、24/18ハミングレジスタ0 (021C16番地) と24/18ハミングレジスタ1 (021E16番地) に24/18ハミングエンコードされたデータを書き込むだけで動作します。

デコード結果は同じ24/18ハミングレジスタを読み出すことで得られ、デコード値とエラー情報が出力されます。

図14.20にデコード結果を、図14.21にハミング24/18レジスタの構成を示します。

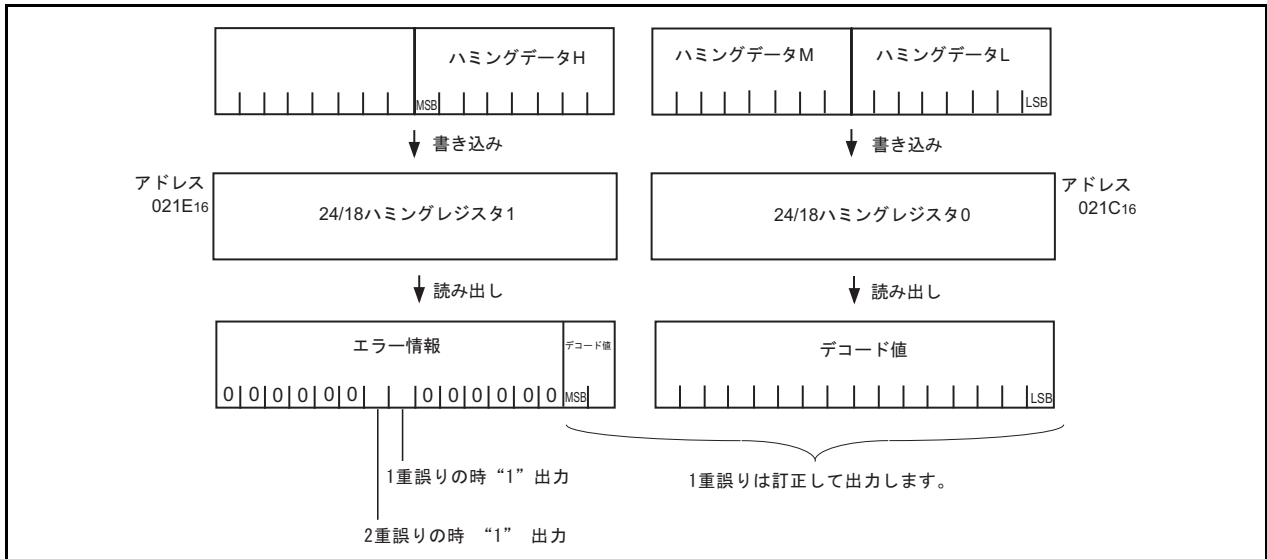


図14.23 デコード結果

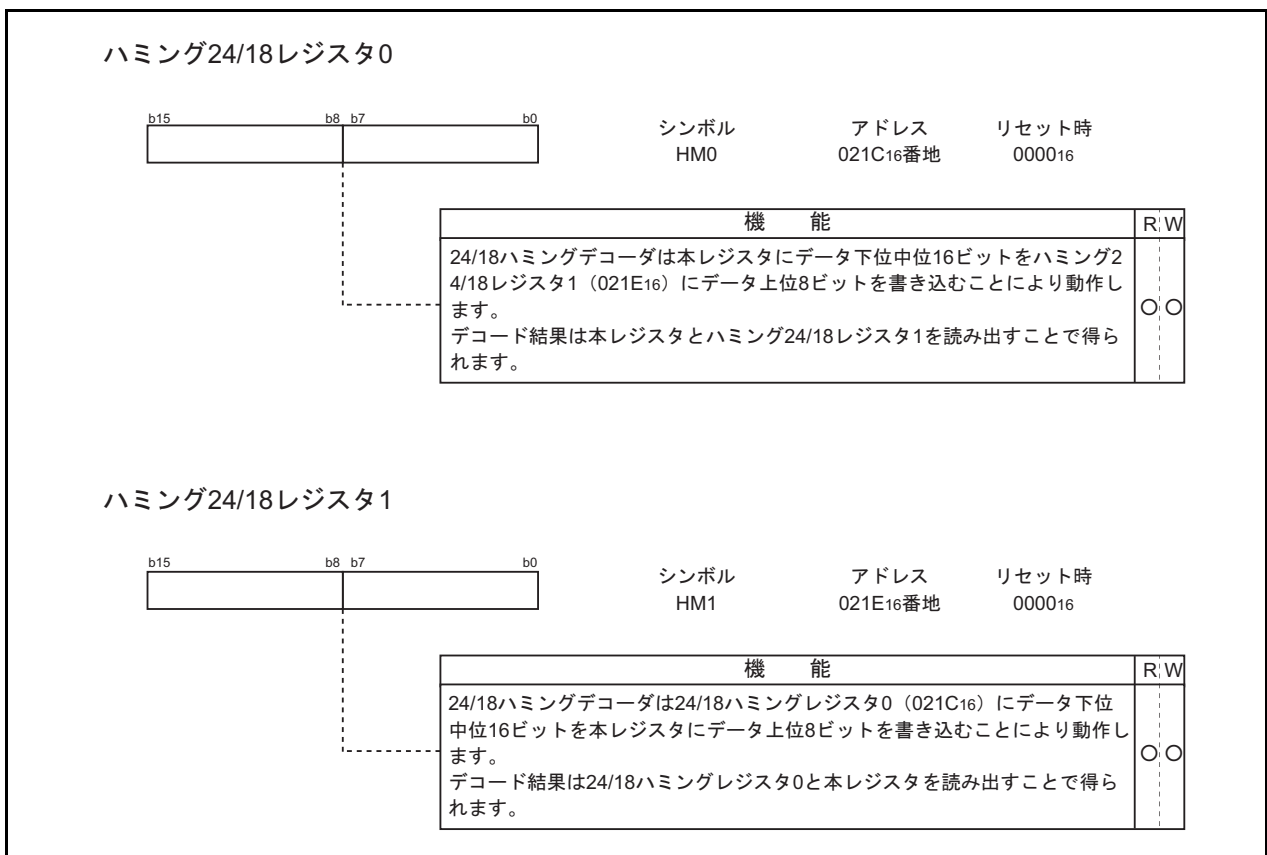


図14.24 ハミング24/18レジスタの構成

連続誤り訂正

ハミング 24 / 18 レジスタと同時に、8/4 ハミングレジスタ（021A16 番地）を使用することにより 24/18 ハミングの連続誤り訂正を行うことができます。

図 14.22 に連続誤り訂正シーケンスを示します。

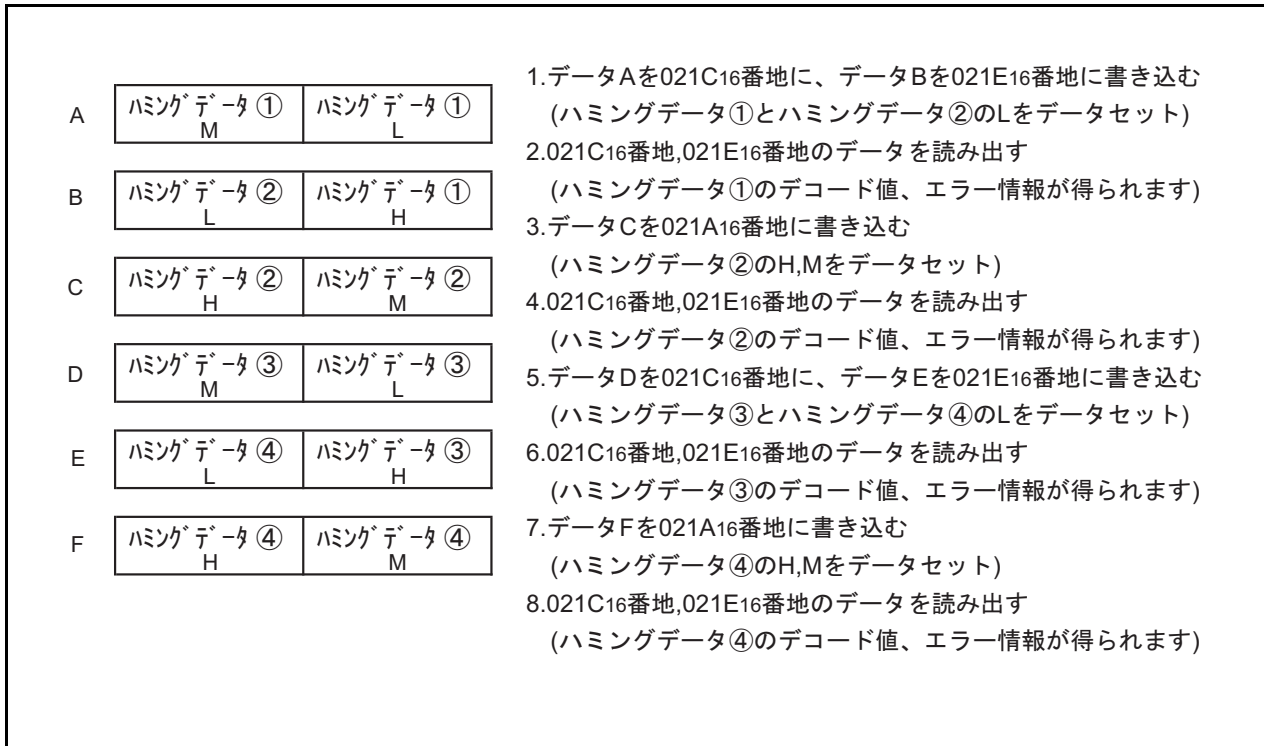


図 14.25 連続誤り訂正シーケンス

なお、本動作については、ハミング 8 / 4 の回路を一部使用しておりますので、本動作を同時に使用できません。

ハミング回路を使用する場合はハミングデータセット後に、デコード結果読み出し動作をすぐに行い、デコード結果読み出し前に他のメモリ（ハミング回路を含む）へのアクセスを行わないで下さい。

14.9 拡張機能用端子の入出力構成

拡張機能用端子の構成を、図14.23、図14.24に示します。

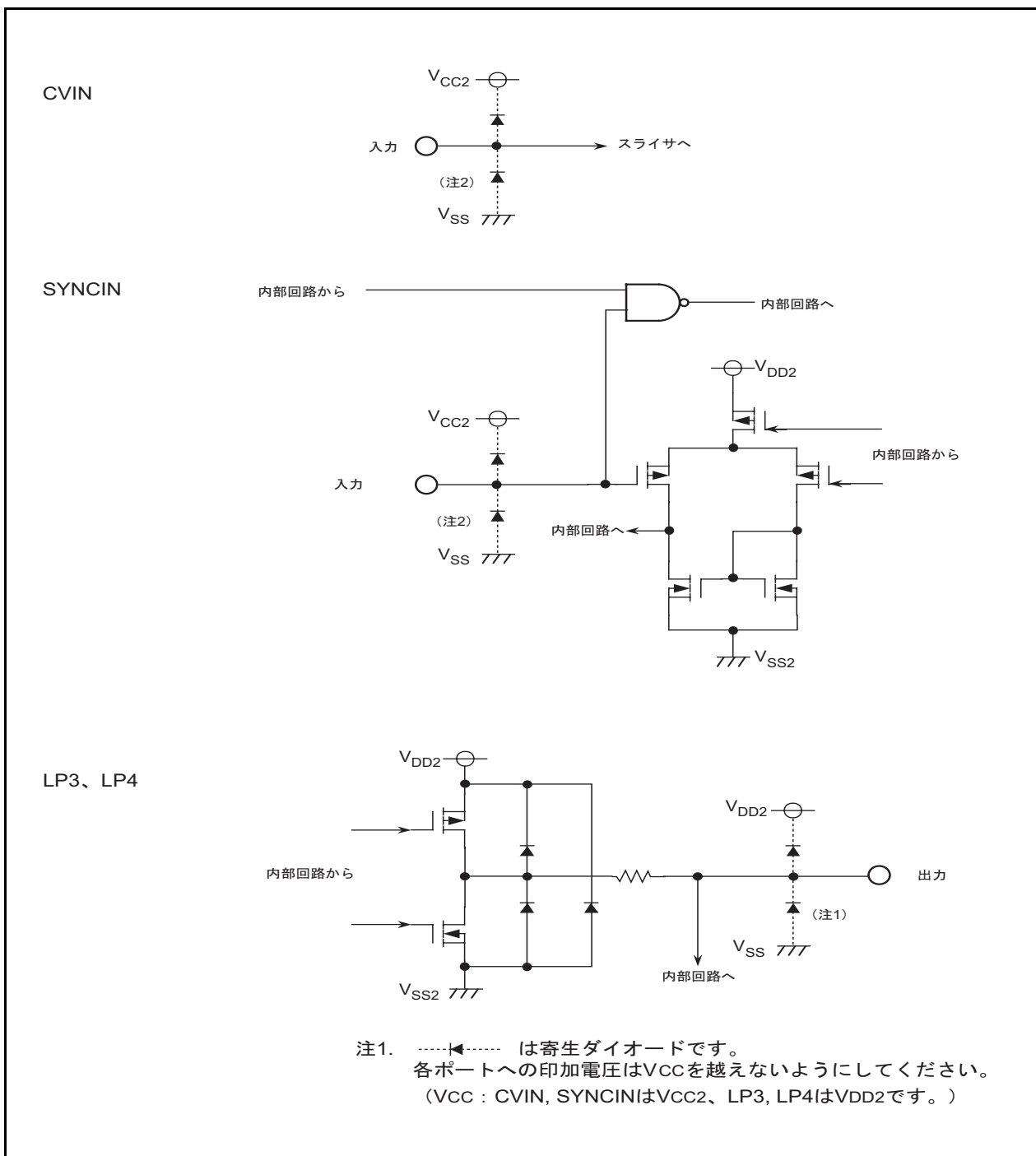


図14.26 拡張機能用端子の構成 (1)

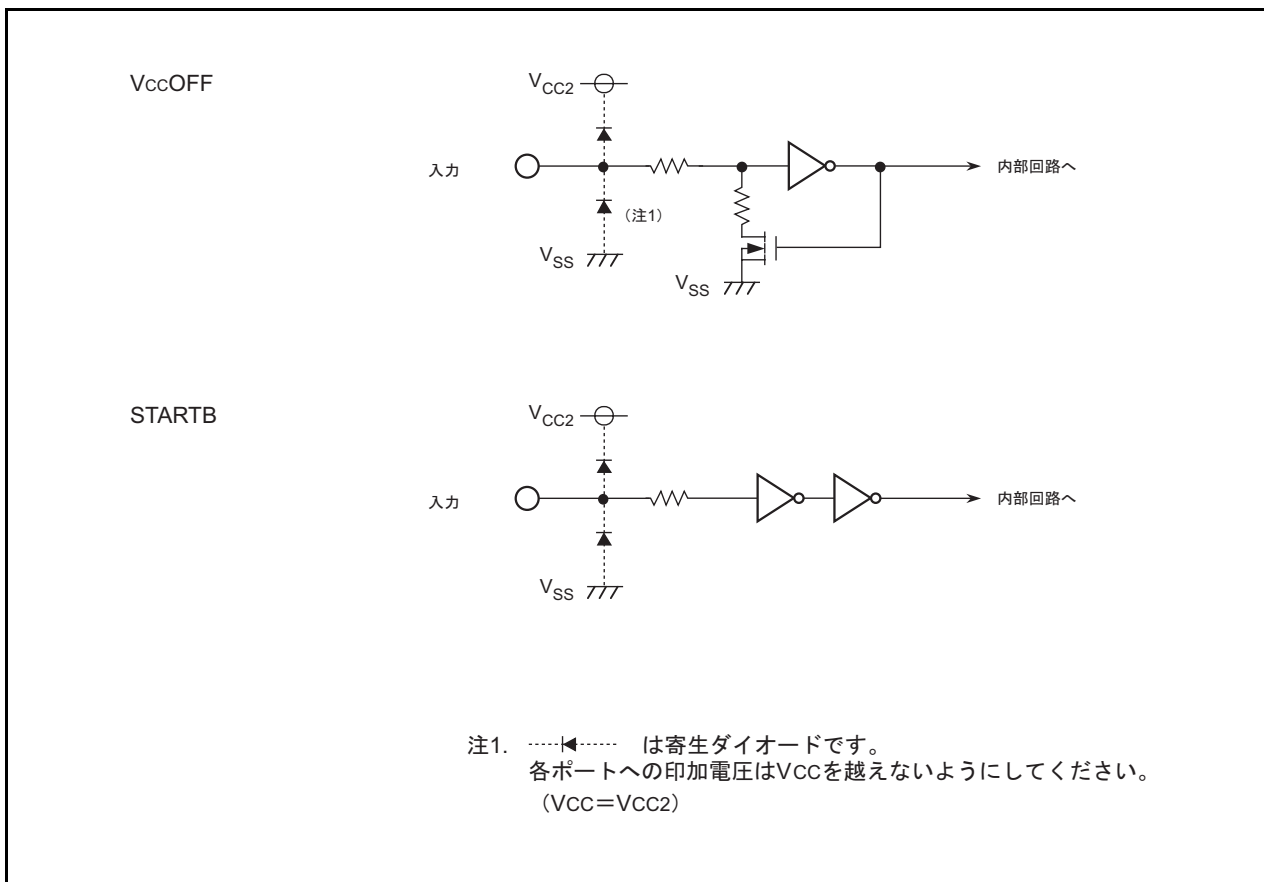


図 14.27 拡張機能用端子の構成 (2)

15. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P0～P9(P85は除く)の79本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。P85は入力専用でプルアップ抵抗はありません。ポートP85はNMIと端子を共用していますので、NMI入力レベルをP8レジスタのP8_5ビットから読めます。

図15.1～図15.5に入出力ポートの構成、図15.6に端子の構成を示します。

各端子は、入出力ポート、周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

(1) ポートPi方向レジスタ(PDiレジスタ i=0～9)

図15.7にPDiレジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

なお、P85に対応する方向レジスタのビットはありません。

(2) ポートPiレジスタ(Piレジスタ i=0～9)

図15.8にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポータラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポータラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポータラッチを読み、書くとポータラッチに書きます。ポータラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

(3) プルアップ制御レジスタ0～プルアップ制御レジスタ2(PUR0～PUR2レジスタ)

図15.9にPUR0～PUR2レジスタを示します。

PUR0～PUR2レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。

プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。

(4) ポート制御レジスタ(PCRレジスタ)

図15.10にPCRレジスタを示します。

PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポータラッチを読みます。

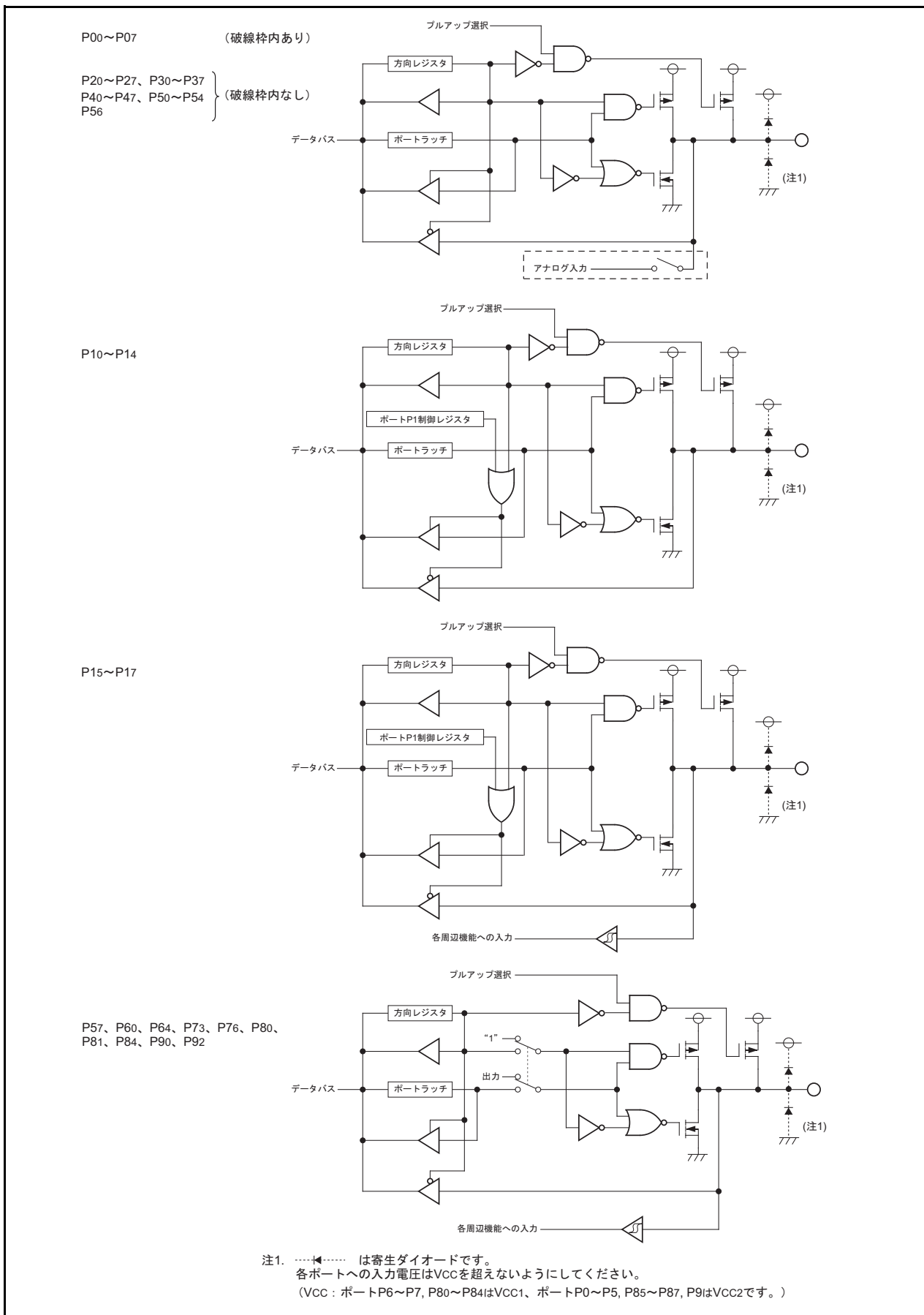


図 15.1 入出力ポートの構成(1)

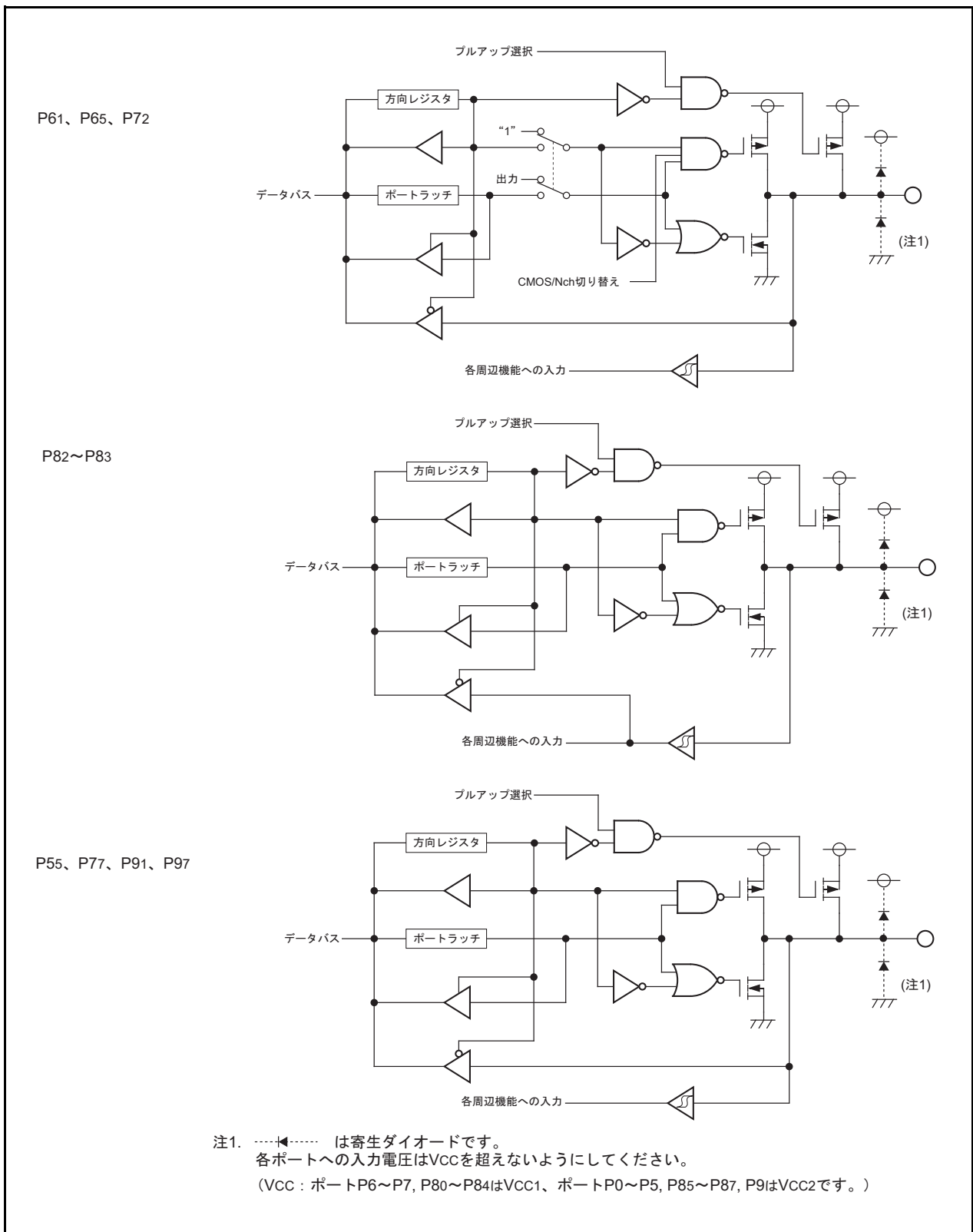


図 15.2 入出力ポートの構成 (2)

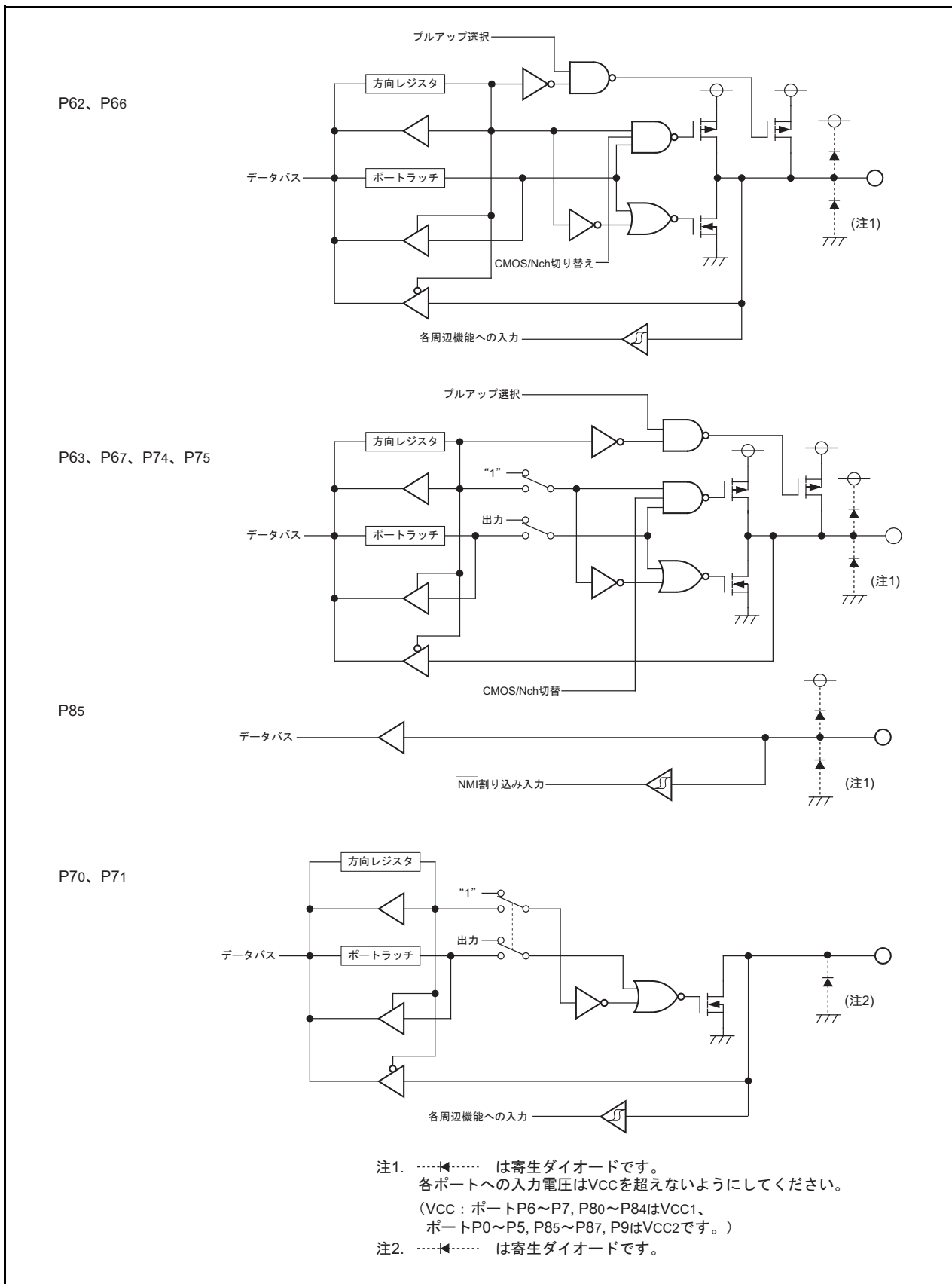


図 15.3 入出力ポートの構成(3)

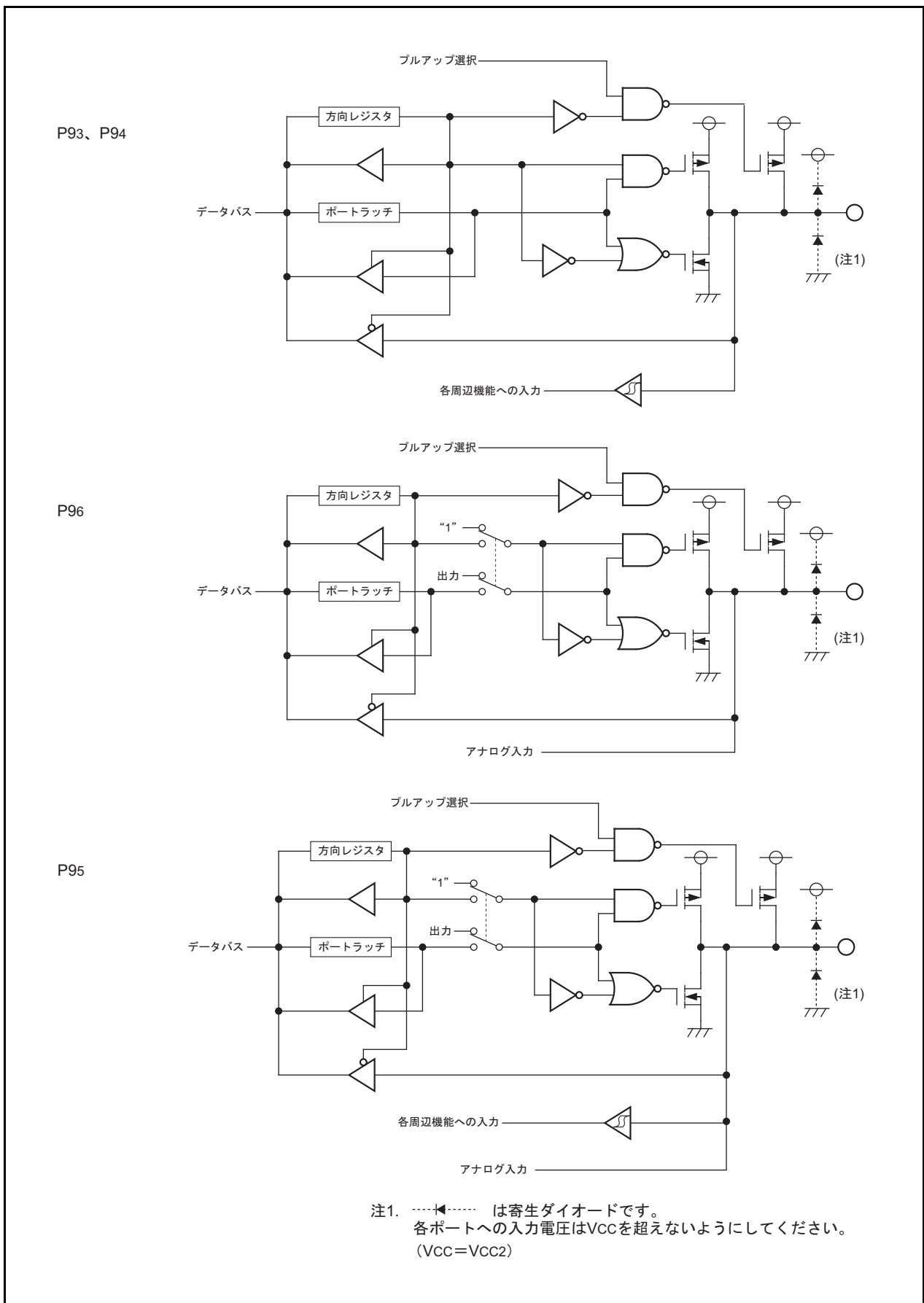


図 15.4 入出力ポートの構成(4)

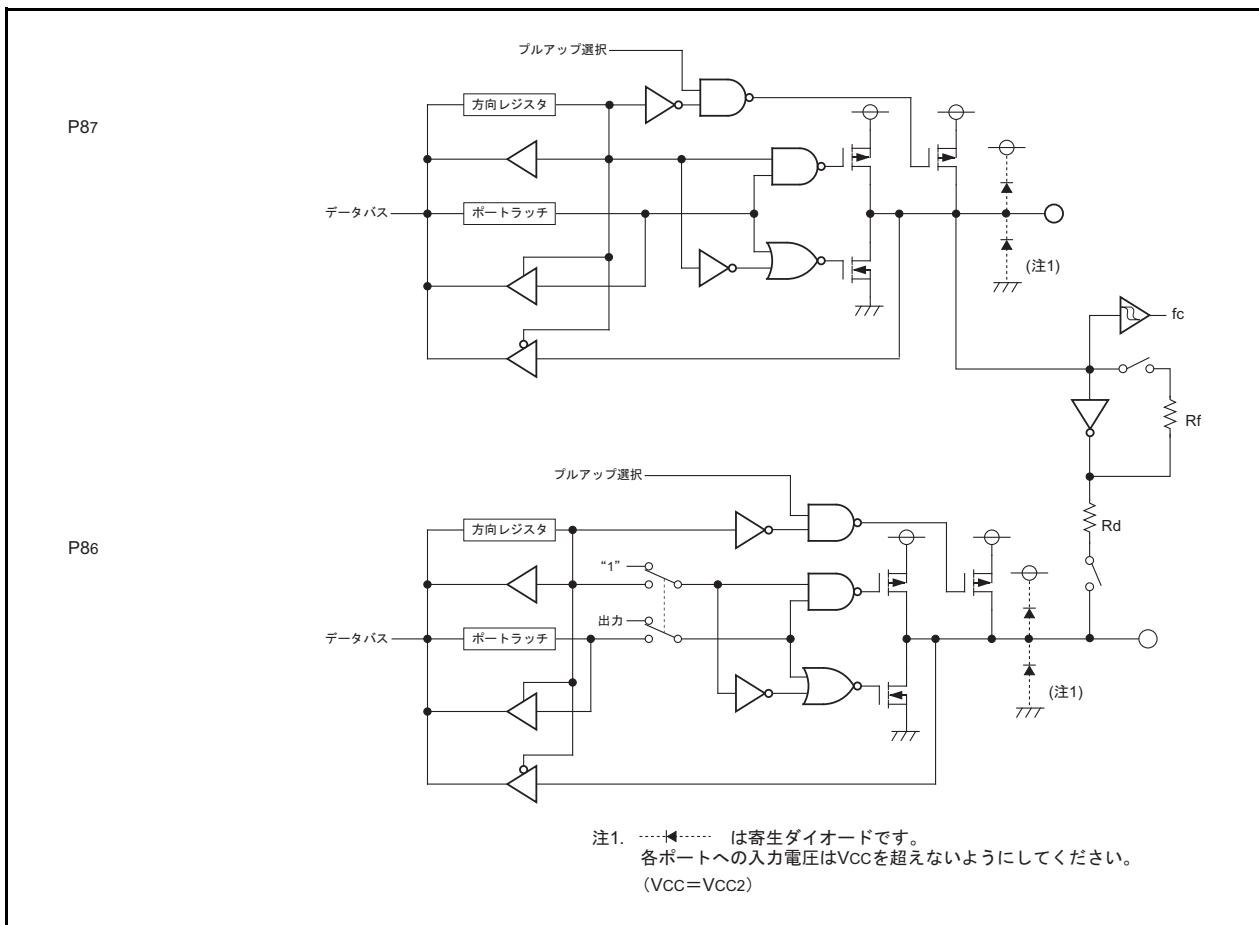


図 15.5 入出力ポートの構成 (5)

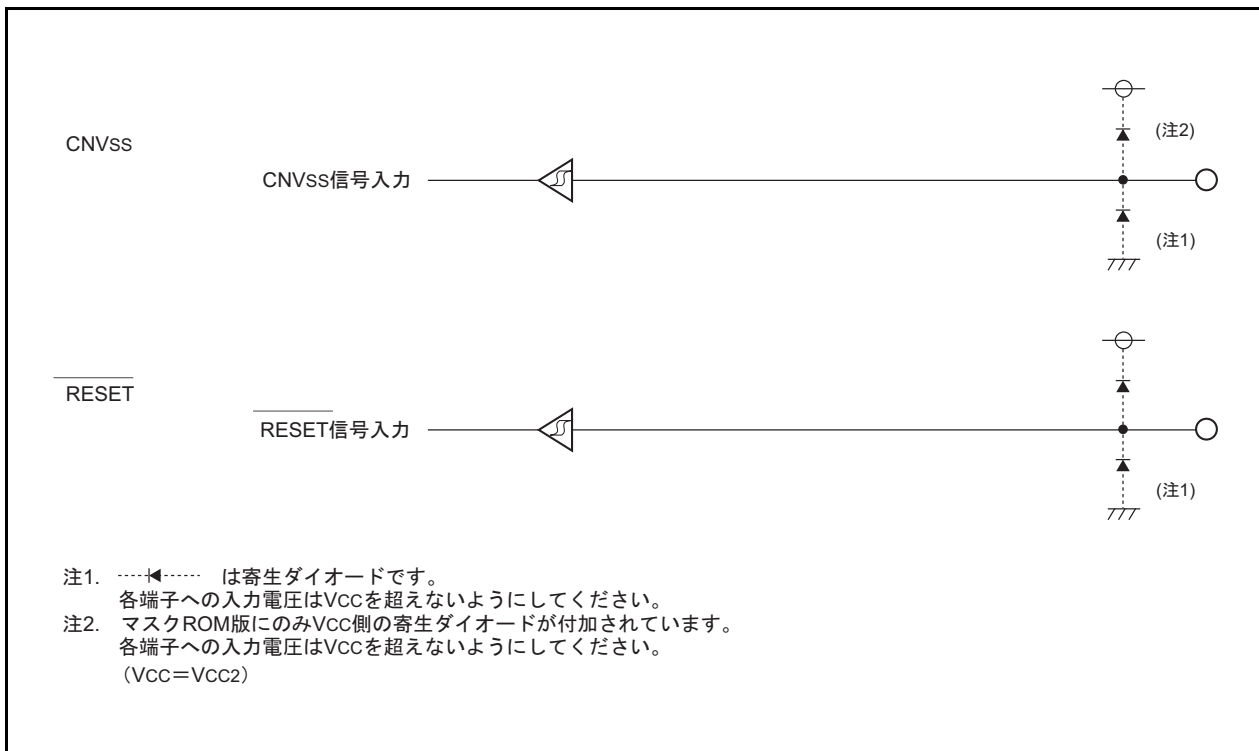


図 15.6 端子の構成

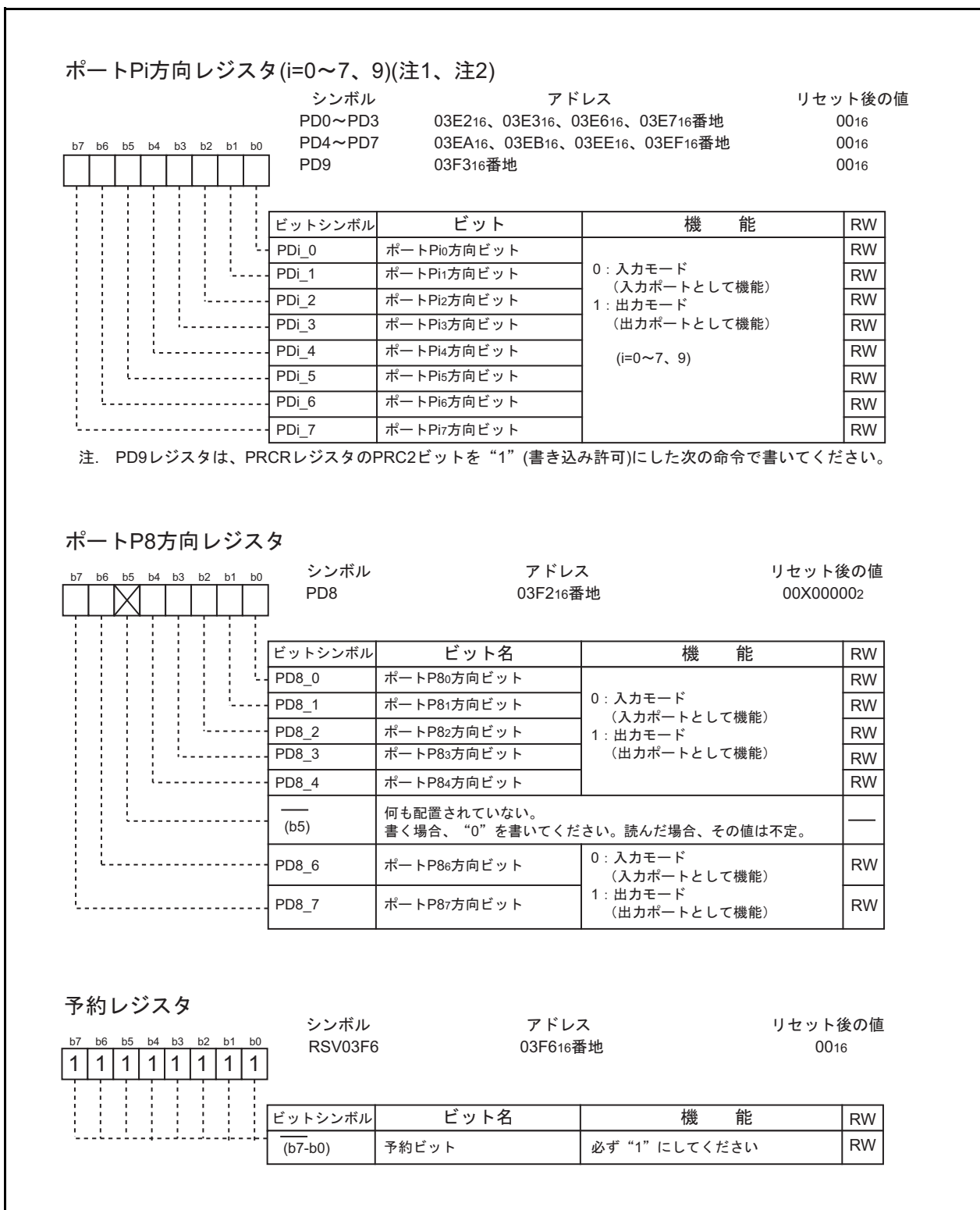
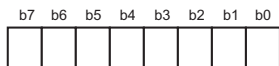


図 15.7 PD0~PD9レジスタ

ポートPiレジスタ(i=0~7、9)(注1)

シンボル	アドレス	リセット後の値
P0~P3	03E016、03E116、03E416、03E516番地	不定
P4~P7	03E816、03E916、03EC16、03ED16番地	不定
P9	03F116番地	不定

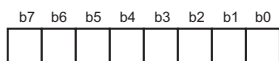


ビットシンボル	ビット名	機能	RW
Pi_0	ポートPioビット		RW
Pi_1	ポートP _i 1ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。	RW
Pi_2	ポートP _i 2ビット		RW
Pi_3	ポートP _i 3ビット	出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる	RW
Pi_4	ポートP _i 4ビット		RW
Pi_5	ポートP _i 5ビット	0: “L” レベル 1: “H” レベル(注1) (i=0~7、9)	RW
Pi_6	ポートP _i 6ビット		RW
Pi_7	ポートP _i 7ビット		RW

注1. P7₀、P7₁はNチャンネルオープンドレインポートのため、ハイインピーダンスとなります。

ポートP8レジスタ

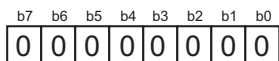
シンボル	アドレス	リセット後の値
P8	03F016番地	不定



ビットシンボル	ビット名	機能	RW
P8_0	ポートP8 ₀ ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。	RW
P8_1	ポートP8 ₁ ビット		RW
P8_2	ポートP8 ₂ ビット	出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる(P8 ₅ は除く)	RW
P8_3	ポートP8 ₃ ビット		RW
P8_4	ポートP8 ₄ ビット	0: “L” レベル 1: “H” レベル	RW
P8_5	ポートP8 ₅ ビット		RO
P8_6	ポートP8 ₆ ビット		RW
P8_7	ポートP8 ₇ ビット		RW

予約レジスタ

シンボル	アドレス	リセット後の値
RSV03F4	03F416番地	不定



ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	必ず“0”にしてください	RW

図 15.8 P0~P9レジスタ

プルアップ制御レジスタ0(注1)

シンボル
PUR0

アドレス
03FC₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
PU00	P00~P03のプルアップ	0: プルアップなし 1: プルアップあり(注1)	RW
PU01	P04~P07のプルアップ		RW
PU02	P10~P13のプルアップ		RW
PU03	P14~P17のプルアップ		RW
PU04	P20~P23のプルアップ		RW
PU05	P24~P27のプルアップ		RW
PU06	P30~P33のプルアップ		RW
PU07	P34~P37のプルアップ		RW

注1. このビットが“1” (プルアップあり)でかつ方向ビットが“0” (入力モード)の端子がプルアップされます。

プルアップ制御レジスタ1

シンボル
PUR1

アドレス
03FD₁₆番地

リセット後の値(注3)
00000000₂

ビットシンボル	ビット名	機能	RW
PU10	P40~P43のプルアップ	0: プルアップなし 1: プルアップあり(注2)	RW
PU11	P44~P47のプルアップ		RW
PU12	P50~P53のプルアップ		RW
PU13	P54~P57のプルアップ		RW
PU14	P60~P63のプルアップ		RW
PU15	P64~P67のプルアップ		RW
PU16	P72~P73のプルアップ (注1)		RW
PU17	P74~P77のプルアップ		RW

注1. P70、P71端子は、プルアップはありません。
 注2. このビットが“1” (プルアップあり)でかつ方向ビットが“0” (入力モード)の端子がプルアップされます。
 注3. ハードウェアリセットでは次のようになります。
 ・ CNVss端子に“L”を入力している場合、“00000000₂”
 ソフトウェアリセット、またはウォッチドッグタイマリセットでは次のようになります。
 ・ PM0レジスタのPM01~PM00ビットが“00₂” (シングルチップモード)の場合、“00000000₂”

プルアップ制御レジスタ2

シンボル
PUR2

アドレス
03FE₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
PU20	P80~P83のプルアップ	0: プルアップなし 1: プルアップあり(注1)	RW
PU21	P84~P87のプルアップ (注2)		RW
PU22	P90~P93のプルアップ		RW
PU23	P94~P97のプルアップ		RW
(b5-b4)		必ず“0”にしてください	RW
— (b7-b6)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—

注1. このビットが“1” (プルアップあり)でかつ方向ビットが“0” (入力モード)の端子がプルアップされます。
 注2. P85端子は、プルアップはありません。

図 15.9 PUR0~PUR2レジスタ

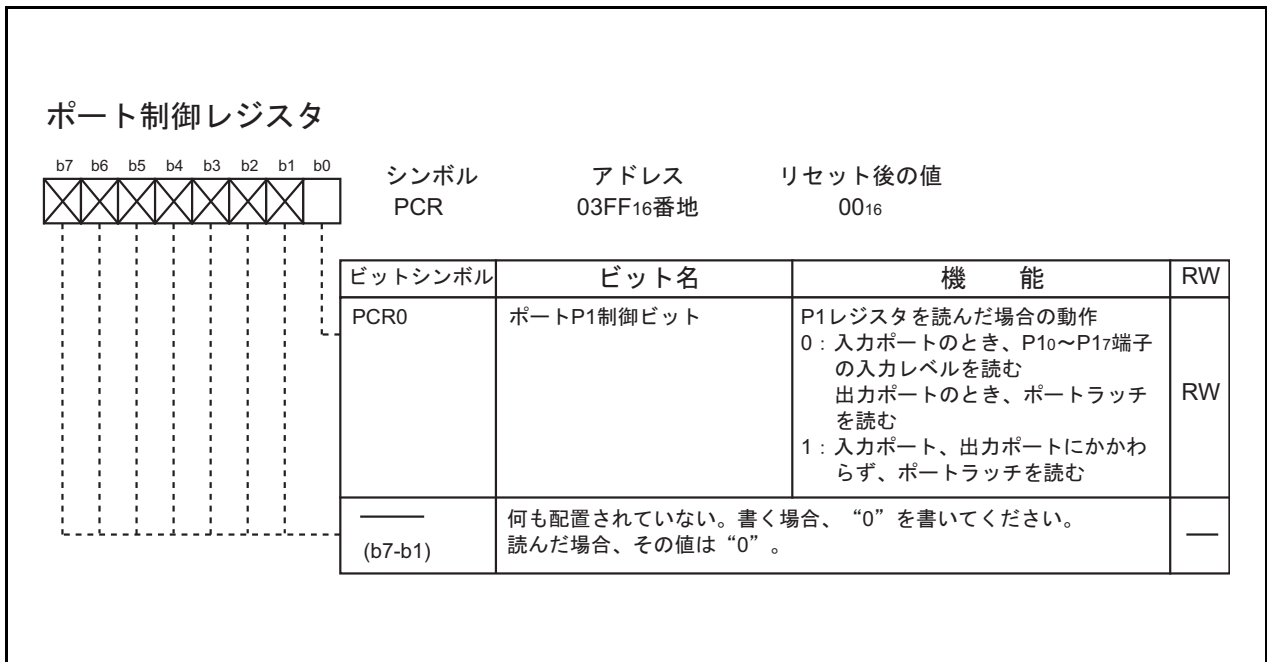


図 15.10 PCRレジスタ

表 15.1 シングルチップモード時の未使用端子の処理例

端 子 名	処 理 内 容
ポートP0～P7、P80～P84、 P86～P87、P9	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注1、注2、注3)
XOUT(注4)	開放
NMI (P85)	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss	Vssに接続

- 注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm 以内)で処理してください。
- 注3. ポートP70、P71 を出力モードに設定する場合は“L” を出力してください。
ポートP70、P71 はN チャネルオープンドレイン出力です。
- 注4. XIN 端子に外部クロックを入力している場合。

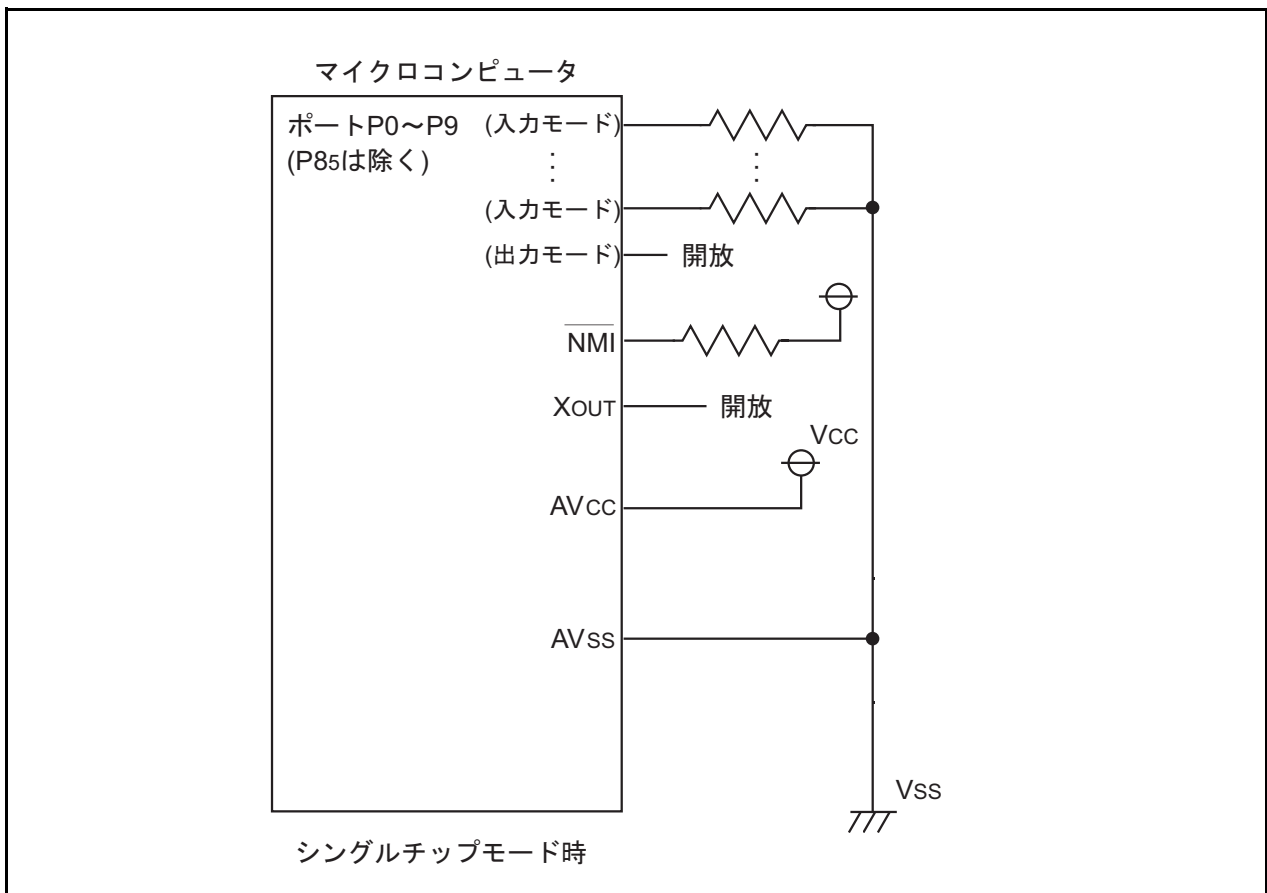


図 15.11 未使用端子の処理例

16. 電気的特性

表 16.1 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC1} , V _{CC2}	電源電圧	V _{CC2} =AV _{CC}	-0.3~6.0	V
V _{CC1}	電源電圧	V _{CC1}	-0.3~V _{CC2}	V
AV _{CC}	アナログ電源電圧	V _{CC2} =AV _{CC}	-0.3~6.0	V
V _{DD2}	アナログ電源電圧	V _{CC2} =V _{DD2}	-0.3~6.0	V
V _I	入力電圧	RESET _̄ , CNV _{SS} , P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P85~P87, P90~P97, X _{IN} , M1, STARTB	-0.3~V _{CC2} +0.3	V
		P60~P67, P70~P77, P80~P84	-0.3~V _{CC1} +0.3	V
		P70, P71	-0.3~6.0	V
V _O	出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P86, P87, P90~P97, X _{OUT}	-0.3~V _{CC2} +0.3	V
		P60~P67, P70~P77, P80~P84	-0.3~V _{CC1} +0.3	V
		P70, P71	-0.3~6.0	V
P _d	消費電力	T _{opr} =25 °C	550	mW
T _{opr}	動作周囲温度		-20~70	°C
T _{stg}	保存温度		-20~125	°C

注. V_{CC1} ≤ V_{CC2}となるようにしてください。

表 16.2 推奨動作条件 (注1)

記号	項目	規格値			単位
		最小	標準	最大	
VCC1, VCC2	電源電圧(VCC1≦VCC2)	2.0	5.0	5.5	V
AVCC	アナログ電源電圧		VCC2		V
VDD2	アナログ電源電圧		VCC2		V
VSS	電源電圧		0		V
AVSS	アナログ電源電圧		0		V
VIH	"H"入力電圧	P31~P37, P40~P47, P50~P57	0.8VCC2	VCC2	V
		P00~P07, P10~P17, P20~P27, P30	0.8VCC2	VCC2	V
		P60~P67, P72~P77, P80~P84	0.8VCC1	VCC1	V
		P85~P87, P90~P97 XIN, RESET, CNVSS, M1, STARTB	0.8VCC2	VCC2	V
		P70, P71	0.8VCC1	5.75	V
VIL	"L"入力電圧	P31~P37, P40~P47, P50~P57	0	0.2VCC2	V
		P00~P07, P10~P17, P20~P27, P30	0	0.2VCC2	V
		P60~P67, P70~P77, P80~P84	0	0.2VCC1	V
		P85~P87, P90~P97, XIN, RESET, CNVSS, M1, STARTB	0	0.2VCC2	V
VcVIN	複合ビデオ入力電圧	CVIN, SYNCIN	2Vp-p		V
IOH (peak)	"H"尖頭出力電流 (注2、3)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97		-10.0	mA
IOH (avg)	"H"平均出力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97		-5.0	mA
IOL (peak)	"L"尖頭出力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97		10.0	mA
IOL (avg)	"L"平均出力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97		5.0	mA
f (XIN)	メインクロック入力発振周波数 (注4)	VCC2=2.9~5.5V	0	16	MHz
f (XCIN)	サブクロック発振周波数	VCC2=2.0~5.5V(注5)	32.768	50	kHz
f (BCLK)	CPU動作周波数		0	16	MHz

注1. 指定のない場合は、VCC=VCC1=VCC2=2.0~5.5V、Topr=-20~70°Cです。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0, P1, P2, P3, P4, P5, P86, P87, P90のIOI(peak)の合計は80mA以下、ポートP6, P7, P80~P84のIOI(peak)の合計は80mA以下、ポートP0, P1, P2のIOH(peak)の合計は-40mA以下、ポートP3, P4, P5のIOH(peak)の合計は-40mA以下、ポートP6, P7, P80~P84のIOH(peak)の合計は-40mA以下、ポートP86, P87, P90のIOH(peak)の合計は-40mA以下にしてください。

注4. VCC1, VCC2電源電圧は、以下の条件で使用してください。

- ・VCC1=3.00~VCC2, VCC2=4.00~5.5V (f(XIN)=16MHz時)
- ・VCC1=2.90~VCC2, VCC2=2.90~5.5V (f(XIN)=16MHz時、8/16分周時のみ)

注5. 低消費電力モードで使用してください。低電圧(VCC=3.0V)で動作を行う場合、シングルチップモードのみ使用できます。

VCC2電源電圧が2.60V未満の場合、CPU、RAM、時計タイマ、割り込み、入出力ポートのみ使用できます。

その他の制御回路(タイマA、タイマB、シリアルI/O、UART等)は使用できません。

表 16.3 A/D 変換特性(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC}$			8	Bits
-	絶対精度	$V_{REF}=V_{CC}=5V$ AN0~AN7入力 ANEX0、ANEX1入力 外部オペアンプ接続モード			± 3	LSB
t _{CONV}	変換時間(8bit)、サンプル&ホールド機能あり	$V_{REF}=V_{CC}=5V$ 、 $\phi_{AD}=10MHz$	2.8			μs
t _{SAMP}	サンプリング時間		0.3			μs
V _{REF}	基準電圧		4.5		V_{CC}	V
V _{IA}	アナログ入力電圧		0		V_{REF}	V

注1. 指定のない場合は、 $V_{CC2}=AV_{CC}=V_{REF}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 70^{\circ}C$ です。

注2. AD動作クロックの周波数(ϕ_{AD} の周波数)は10MHz以下にしてください。

注3. サンプル&ホールド機能なしのときは、 ϕ_{AD} の周波数は250kHz以上にしてください。
サンプル&ホールド機能ありのときは、 ϕ_{AD} の周波数は1MHz以上にしてください。

表 16.4 フラッシュメモリの電気的特性(注1)

記号	項目	規格値			単位
		最小	標準	最大	
-	ワードプログラム時間		30	200	μs
-	ブロックイレズ時間		1	4	s
-	ロックビットプログラム時間		30	200	μs
tps	フラッシュメモリ回路安定待ち時間			15	μs

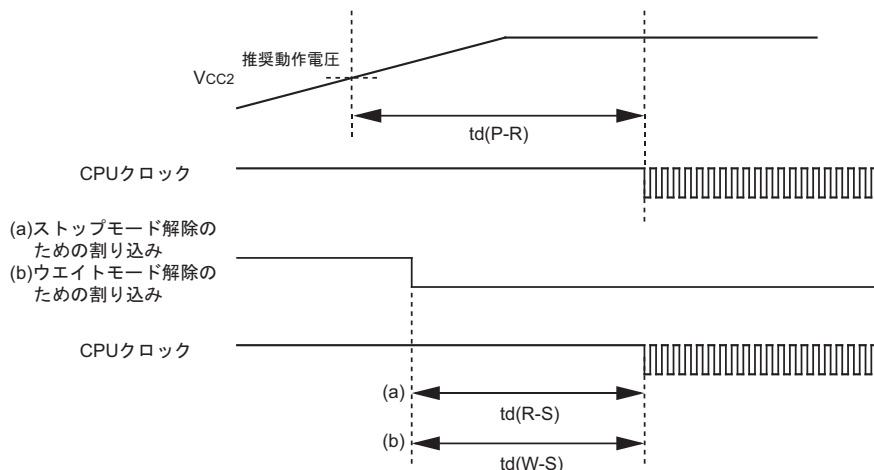
注1. 指定のない場合は、 $V_{CC2}=4.75\sim 5.25V$ 、 $T_{opr}=0\sim 60^{\circ}C$ です。

表 16.5 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性($T_{opr}=0\sim 60^{\circ}C$)

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
$V_{CC2}=5.0\pm 0.25$	$V_{CC2}=2.0\sim 5.5$

表 16.6 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	$V_{CC}=5.0V$			2	ms
td(R-S)	STOP解除時間				150	μs
td(W-S)	低消費電力モードウエイトモード解除時間				150	μs



$$V_{CC1} = V_{CC2} = 5V$$

表 16.7 電気的特性(1)(注1)

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
V _{OH}	"H"出力電圧	P00~P07,P10~P17,P20~P27,P30~P37, P40~P47,P50~P57, P86,P87,P90~P97	I _{OH} =-5mA	V _{CC2} -2.0		V _{CC2}	V	
		P60~P67,P72~P77,P80~P84	I _{OH} =-5mA	V _{CC1} -2.0		V _{CC1}	V	
V _{OH}	"H"出力電圧	P00~P07,P10~P17,P20~P27,P30~P37, P40~P47,P50~P57, P86,P87,P90~P97	I _{OH} =-200 μA	V _{CC2} -0.3		V _{CC2}	V	
		P60~P67,P72~P77,P80~P84	I _{OH} =-200 μA	V _{CC1} -0.3		V _{CC1}	V	
V _{OH}	"H"出力電圧	LP3~LP4	V _{CC} =4.5V, I _{OH} =-0.05mA	3.75			V	
V _{OH}	"H"出力電圧	X _{OUT}	HIGHPOWER	I _{OH} =-1mA	V _{CC2} -2.0		V _{CC2}	V
			LOWPOWER	I _{OH} =-0.5mA	V _{CC2} -2.0		V _{CC2}	V
	"H"出力電圧	X _{COU} T	HIGHPOWER	無負荷時		2.5		V
			LOWPOWER	無負荷時		1.6		V
V _{OL}	"L"出力電圧	P00~P07,P10~P17,P20~P27,P30~P37, P40~P47,P50~P57, P86,P87,P90~P97	I _{OL} =5mA			2.0	V	
		P60~P67,P70~P77,P80~P84	I _{OL} =5mA			2.0	V	
V _{OL}	"L"出力電圧	P00~P07,P10~P17,P20~P27,P30~P37, P40~P47,P50~P57, P86,P87,P90~P97	I _{OL} =200 μA			0.45	V	
		P60~P67,P70~P77,P80~P84	I _{OL} =200 μA			0.45	V	
V _{OL}	"L"出力電圧	LP3~LP4	V _{CC} =4.5V, I _{OL} =0.05mA			0.4	V	
V _{OL}	"L"出力電圧	X _{OUT}	HIGHPOWER	I _{OL} =1mA			2.0	V
			LOWPOWER	I _{OL} =0.5mA			2.0	V
	"L"出力電圧	X _{COU} T	HIGHPOWER	無負荷時		0		V
			LOWPOWER	無負荷時		0		V
V _{T+} -V _{T-}	ヒステリシス	TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, NMI, ADTRG, CTS0~CTS2, SCL, SDA, CLK0~CLK4,TA2OUT~TA4OUT, RxD0~RxD2, SIN3, SIN4		0.2		1.0	V	
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2		2.2	V	
I _{IH}	"H"入力電流	P00~P07,P10~P17,P20~P27,P30~P37, P40~P47,P50~P57,P60~P67,P70~P77, P80~P87,P90~P97, X _{IN} , RESET, CNVss, M1, STARTB	V _I =5V			5.0	μA	
I _{IL}	"L"入力電流	P00~P07,P10~P17,P20~P27,P30~P37, P40~P47,P50~P57,P60~P67,P70~P77, P80~P87,P90~P97, X _{IN} , RESET, CNVss, M1, STARTB	V _I =0V			-5.0	μA	
R _{PULLUP}	プルアップ抵抗	P00~P07,P10~P17,P20~P27,P30~P37, P40~P47,P50~P57,P60~P67,P72~P77, P80~P84,P86,P87,P90~P97	V _I =0V	30	50	170	kΩ	
R _{XIN}	掃選抵抗	X _{IN}			1.5		MΩ	
R _{X_{CIN}}	掃選抵抗	X _{CIN}			15		MΩ	
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V	
V _{SYNCIN}	垂直同期信号振幅			0.3	0.6	1.2	V	
V _{dat(text)}	テレテキスト信号振幅			0.6	0.9	1.4	V	
f _H	水平同期信号周波数			14.6	15.625	17.0	KHz	

注1. 指定のない場合は、V_{CC}=V_{CC1}=V_{CC2}=4.50~5.50V、V_{SS}=0V、T_{opr}=-20~70°C、f(BCLK)=16MHzです。

$$V_{CC1}=V_{CC2}=3V$$

表 16.8 電気的特性(2)(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V _{OH}	"H"出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P86, P87, P90~P97	I _{OH} = -1 mA	V _{CC2} -0.5		V _{CC}	V
		P60~P67, P72~P77, P80~P84	I _{OH} = -1 mA	V _{CC1} -0.5		V _{CC}	V
V _{OH}	"H"出力電圧	X _{OUT}	HIGHPOWER	I _{OH} = -0.1 mA	V _{CC2} -0.5	V _{CC2}	V
			LOWPOWER	I _{OH} = -50 μA	V _{CC2} -0.5	V _{CC2}	V
	"H"出力電圧	X _{COU} T	HIGHPOWER	無負荷時		2.5	V
			LOWPOWER	無負荷時		1.6	V
V _{OL}	"L"出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97	I _{OL} = 1 mA			0.5	V
V _{OL}	"L"出力電圧	X _{OUT}	HIGHPOWER	I _{OL} = 0.1 mA		0.5	V
			LOWPOWER	I _{OL} = 50 μA		0.5	V
	"L"出力電圧	X _{COU} T	HIGHPOWER	無負荷時		0	V
			LOWPOWER	無負荷時		0	V
V _{T+} -V _{T-}	ヒステリシス	TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5 TA2OUT~TA4OUT		0.2		0.8	V
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2	(0.7)	1.8	V
I _{IH}	"H"入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97 X _{IN} , RESET, CNV _{SS} , M1, STARTB	V _I = 3 V			4.0	μA
I _{IL}	"L"入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97 X _{IN} , RESET, CNV _{SS} , M1, STARTB	V _I = 0 V			-4.0	μA
R _{PULLUP}	プルアップ抵抗	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97	V _I = 0 V	50	100	500	kΩ
R _{FXCIN}	帰還抵抗	X _{IN}			3.0		MΩ
	帰還抵抗	X _{CIN}			25		MΩ

注1. 指定のない場合は、V_{CC} = V_{CC1} = V_{CC2} = 3.0 V、V_{SS} = 0 V、T_{opr} = -20~70 °C、f(X_{CIN}) = 32KHzです。
シングルチップモード、低消費電力モードで使用してください。

表 16.9 電気的特性(3)(注1)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流	シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	マスクROM	f(BCLK)=16MHz V _{CC} =5.0V	50	100	mA
		フラッシュメモリ	f(BCLK)=16MHz V _{CC} =5.0V	50	100	mA	
		フラッシュメモリプログラム	f(BCLK)=16MHz V _{CC} =5.0V	15		mA	
		フラッシュメモリイレーズ	f(BCLK)=16MHz V _{CC} =5.0V	25		mA	
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3), (注4) V _{CC} =5.0V	25		μA	
		フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3), (注4) V _{CC} =5.0V	25		μA	
			f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3), (注4) V _{CC} =5.0V	420		μA	
		マスクROM、 フラッシュメモリ	f(BCLK)=32kHz ウエイトモード時(注2), (注4) 発振能力High, V _{CC} =5.0V	7.5		μA	
			f(BCLK)=32kHz ウエイトモード時(注2), (注4) 発振能力Low, V _{CC} =5.0V	5.0	10.0	μA	
			f(BCLK)=32kHz ウエイトモード時(注2), (注4) 発振能力High, V _{CC} =3.0V	6.0		μA	
			f(BCLK)=32kHz ウエイトモード時(注2), (注4) 発振能力Low, V _{CC} =3.0V	2.0	8.0	μA	
			ストップモード時(注4) T _{opr} =25°C V _{CC} =5.0V	0.8	5.0	μA	

注1. 指定のない場合は、V_{CC1}=V_{CC2}=5V、V_{SS}=0V、T_{opr}=25°C、f(BCLK)=16MHzです。

注2. fc32にてタイマ1本を動作させている状態です。(スライサ動作OFF)

注3. 実行するプログラムが存在するメモリを示す。

注4. VDD2は全てV_{CC2}と同電位。

・拡張レジスタ(アドレス0016~3F16)は初期状態に設定。

・SYNCIN端子、CVIN端子への入力は停止。

・消費電流低減のため、ポート端子を入力モードで使用する場合は、V_{SS}またはV_{CC}電位を印加してください。

表 16.10 ビデオ信号入力条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{IN-CU}	複合ビデオ信号入力クランプ電圧	シンクチップ電圧		1.0		V

注1. 指定のない場合は、V_{CC2}=5.0V、T_{opr}=-20~70°Cです。

$$V_{CC1} = V_{CC2} = 5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 70^{\circ}C$)

表 16.11 外部クロック入力(XIN入力)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	62.5		ns
$t_w(H)$	外部クロック入力 "H" パルス幅	30		ns
$t_w(L)$	外部クロック入力 "L" パルス幅	30		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

表 16.12 リモコン入力

記号	項目	規格値		単位
		最小	最大	
$t_w(RMTH)$	RMTIN入力 "H" パルス幅	61		μs
$t_w(RMTL)$	RMTIN入力 "L" パルス幅	61		μs

表 16.13 ジャストクロック入力

記号	項目	規格値		単位
		最小	最大	
$t_w(JSTH)$	JSTIN入力 "H" パルス幅	61		μs
$t_w(JSTL)$	JSTIN入力 "L" パルス幅	61		μs

$$V_{CC1} = V_{CC2} = 5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 70^{\circ}C$)

表 16.14 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	100		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	40		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	40		ns

表 16.15 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	200		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	200		ns

表 16.16 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	200		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	100		ns

表 16.17 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	100		ns

表 16.18 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力 "H" パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力 "L" パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

$$V_{CC1} = V_{CC2} = 5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 70^{\circ}C$)

表 16.19 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅(片エッジカウント)	40		ns
$t_c(TB)$	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅(両エッジカウント)	80		ns

表 16.20 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	400		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	200		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	200		ns

表 16.21 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	400		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	200		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	200		ns

表 16.22 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_c(AD)$	\overline{ADTRG} 入力サイクル時間(トリガ可能最小)	1000		ns
$t_w(ADL)$	\overline{ADTRG} 入力 "L" パルス幅	125		ns

表 16.23 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力 "H" パルス幅	100		ns
$t_w(CKL)$	CLKi入力 "L" パルス幅	100		ns
$t_d(C-Q)$	TxDi出力遅延時間		80	ns
$t_h(C-Q)$	TxDiホールド時間	0		ns
$t_{su}(D-C)$	RxDi入力セットアップ時間	30		ns
$t_h(C-D)$	RxDi入力ホールド時間	90		ns

表 16.24 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	INTi入力 "H" パルス幅	250		ns
$t_w(INL)$	INTi入力 "L" パルス幅	250		ns

$$V_{CC1} = V_{CC2} = 3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 70^{\circ}C$)

表 16.25 外部クロック入力(XIN入力)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	100		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	40		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	40		ns
t_r	外部クロック立ち上がり時間		18	ns
t_f	外部クロック立ち下がり時間		18	ns

$$V_{CC1} = V_{CC2} = 3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 70^{\circ}C$)

表 16.26 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	150		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	60		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	60		ns

表 16.27 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	600		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	300		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	300		ns

表 16.28 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	150		ns

表 16.29 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	150		ns

表 16.30 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT入力サイクル時間	3000		ns
$t_w(UPH)$	TAiOUT入力 "H" パルス幅	1500		ns
$t_w(UPL)$	TAiOUT入力 "L" パルス幅	1500		ns
$t_{su}(UP-TiN)$	TAiOUT入力セットアップ時間	600		ns
$t_h(TiN-UP)$	TAiOUT入力ホールド時間	600		ns

$$V_{CC1} = V_{CC2} = 3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 70^{\circ}C$)

表 16.31 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅(片エッジカウント)	60		ns
$t_c(TB)$	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅(両エッジカウント)	120		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅(両エッジカウント)	120		ns

表 16.32 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	300		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	300		ns

表 16.33 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	300		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	300		ns

表 16.34 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	300		ns
$t_w(CKH)$	CLKi入力 "H" パルス幅	150		ns
$t_w(CKL)$	CLKi入力 "L" パルス幅	150		ns
$t_d(C-Q)$	TxDi出力遅延時間		160	ns
$t_h(C-Q)$	TxDiホールド時間	0		ns
$t_{su}(D-C)$	RxDi入力セットアップ時間	70		ns
$t_h(C-D)$	RxDi入力ホールド時間	90		ns

表 16.35 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力 "H" パルス幅	380		ns
$t_w(INL)$	\overline{INTi} 入力 "L" パルス幅	380		ns

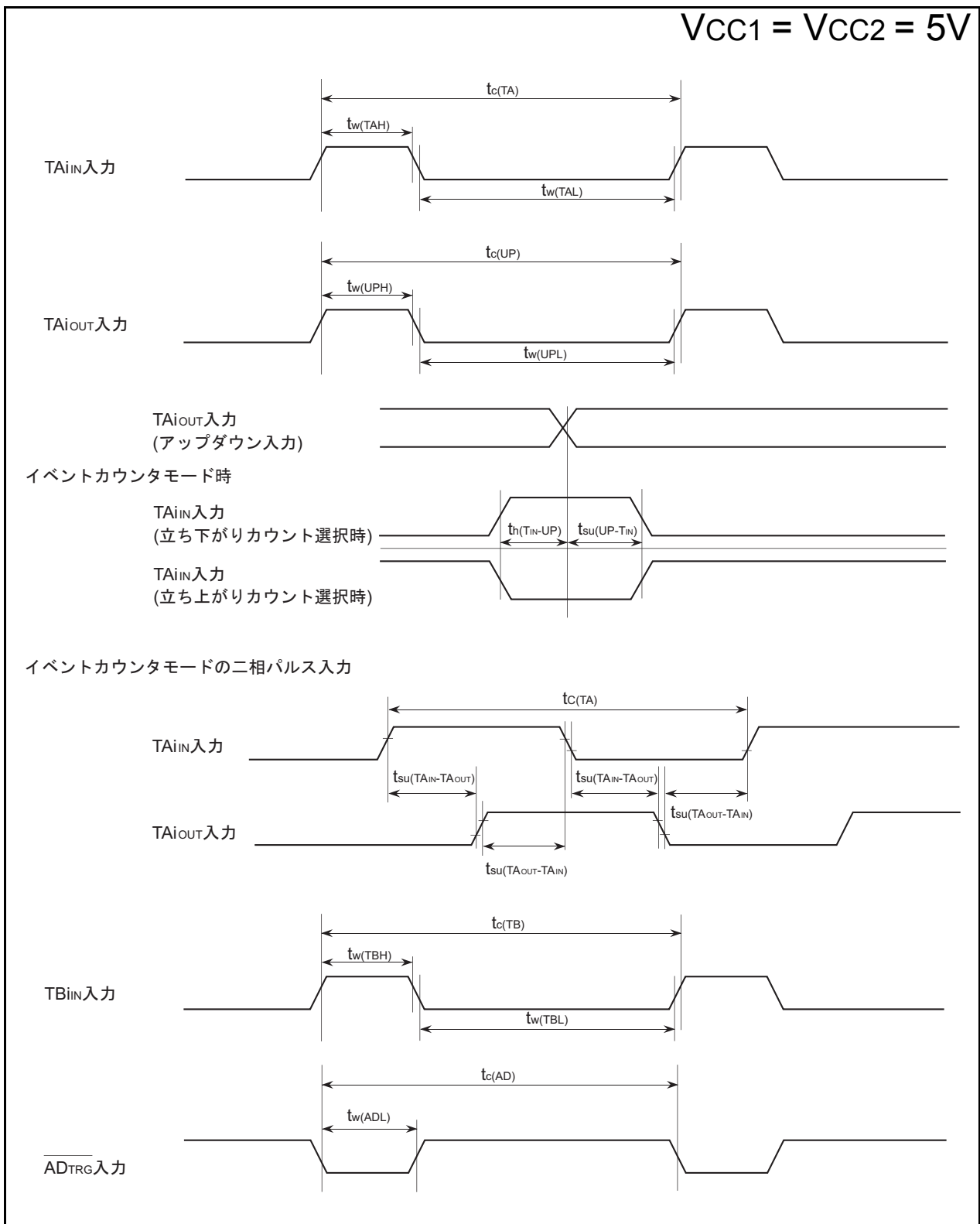


図 16.1 タイミング図(1)

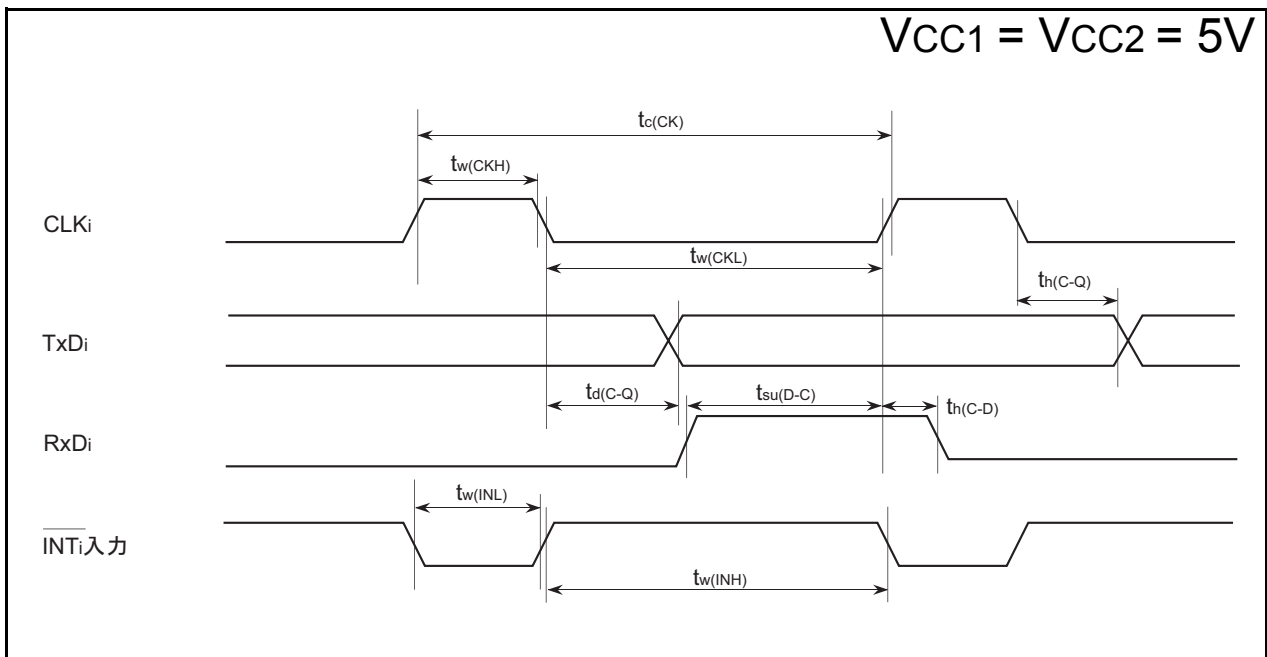


図 16.2 タイミング図(2)

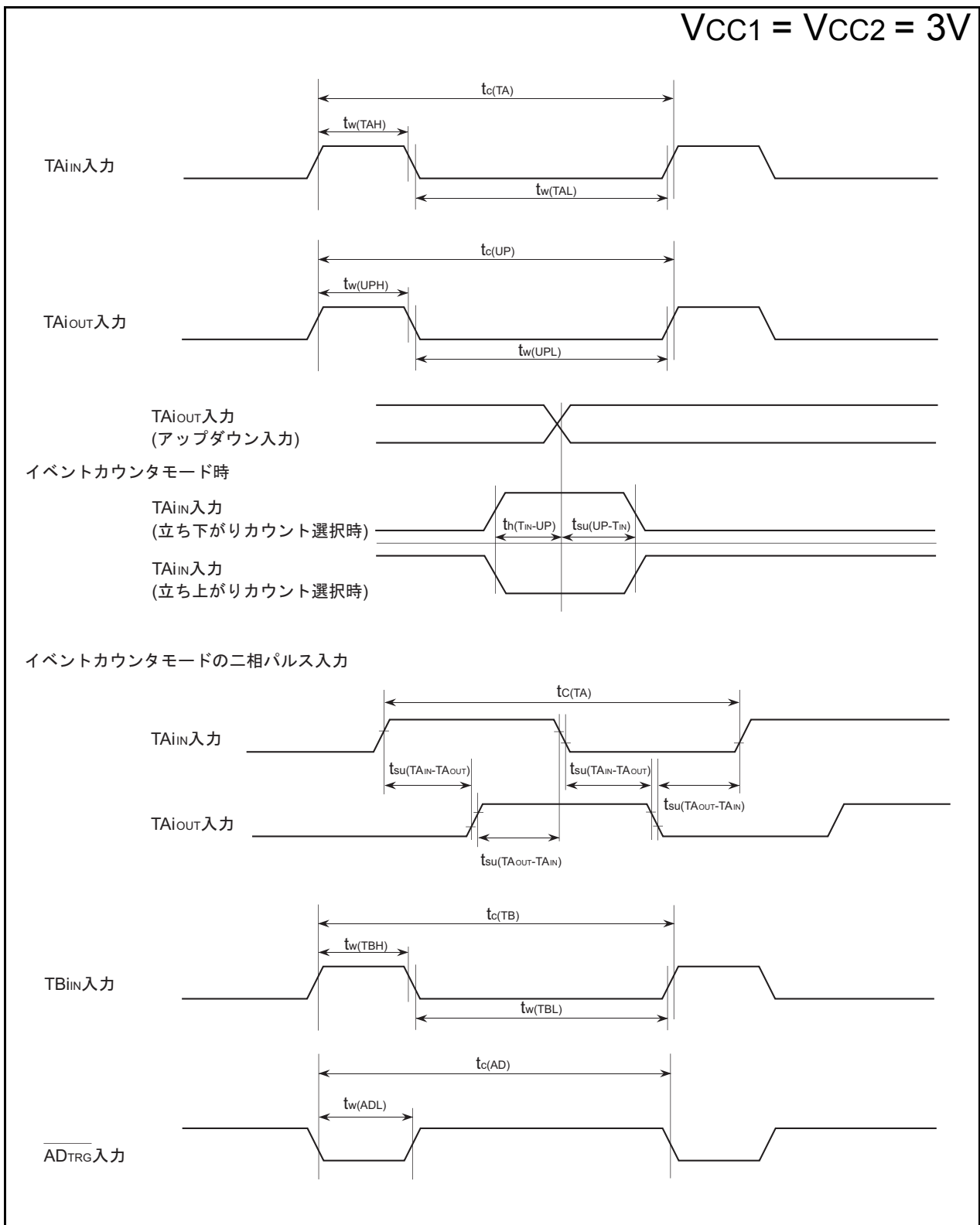


図 16.3 タイミング図(3)

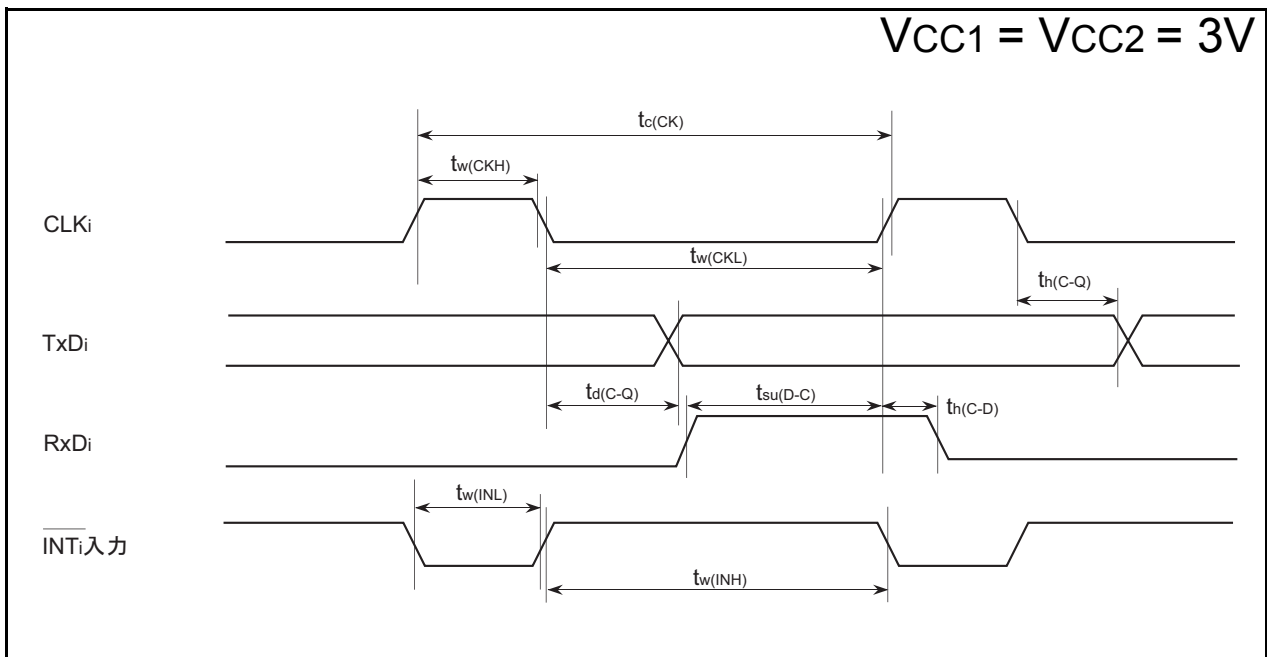


図 16.4 タイミング図(4)

17. フラッシュメモリ

17.1 性能概要（フラッシュメモリ版）

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスク ROM 版と同じ機能を持ちます。

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表17.1にフラッシュメモリ版の性能概要を示します(表17.1に示す以外の項目は「表1.1 性能概要」を参照してください)。

表17.1 フラッシュメモリ版の性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割	ユーザROM領域	「図17.1 フラッシュメモリのブロック図」を参照してください。
	ブートROM領域	1分割(4Kバイト)(注1)
プログラム方式		ワード単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		7コマンド
プログラム、イレーズ回数		100回
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード、標準シリアル入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ書き換えられます。

表17.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード(注1)	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード： フラッシュメモリ以外の領域で書き換え可能(注2) EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O	専用パラレルライタを使用して、ブートROM領域、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域 ブートROM領域
動作モード	シングルチップモード ブートモード(EW0モード)	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ

注1.FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)の期間、プロセッサモードレジスタ1のビット3が“1”になります。

FMR01ビットを“0”(CPU書き換えモード無効)にすると、プロセッサモードレジスタ1のビット3は元の値に戻ります。ただし、CPU書き換えモード中にプロセッサモードレジスタ1のビット3を変更すると、変更した値がFMR01ビットを“0”にした後、反映されます。

注2.CPU書き換えモードでは、PM1レジスタのビット0、ビット3が“1”になります。書き換え制御プログラムを実行する領域は内部RAMで実行してください。

17.2 メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域に分けられます。図17.1にフラッシュメモリのブロック図を示します。

ユーザROM領域はいくつかのブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されており、パラレル入出力モードでだけ書き換えられます。また、CNVss端子とP50端子に“H”を、M1端子に“L”を入力してハードウェアリセットすると、リセット後、ブートROM領域のプログラムが実行されます。CNVss端子に“L”を入力してハードウェアリセットするとリセット後、ユーザROM領域のプログラムが実行され、ブートROM領域は読めません。

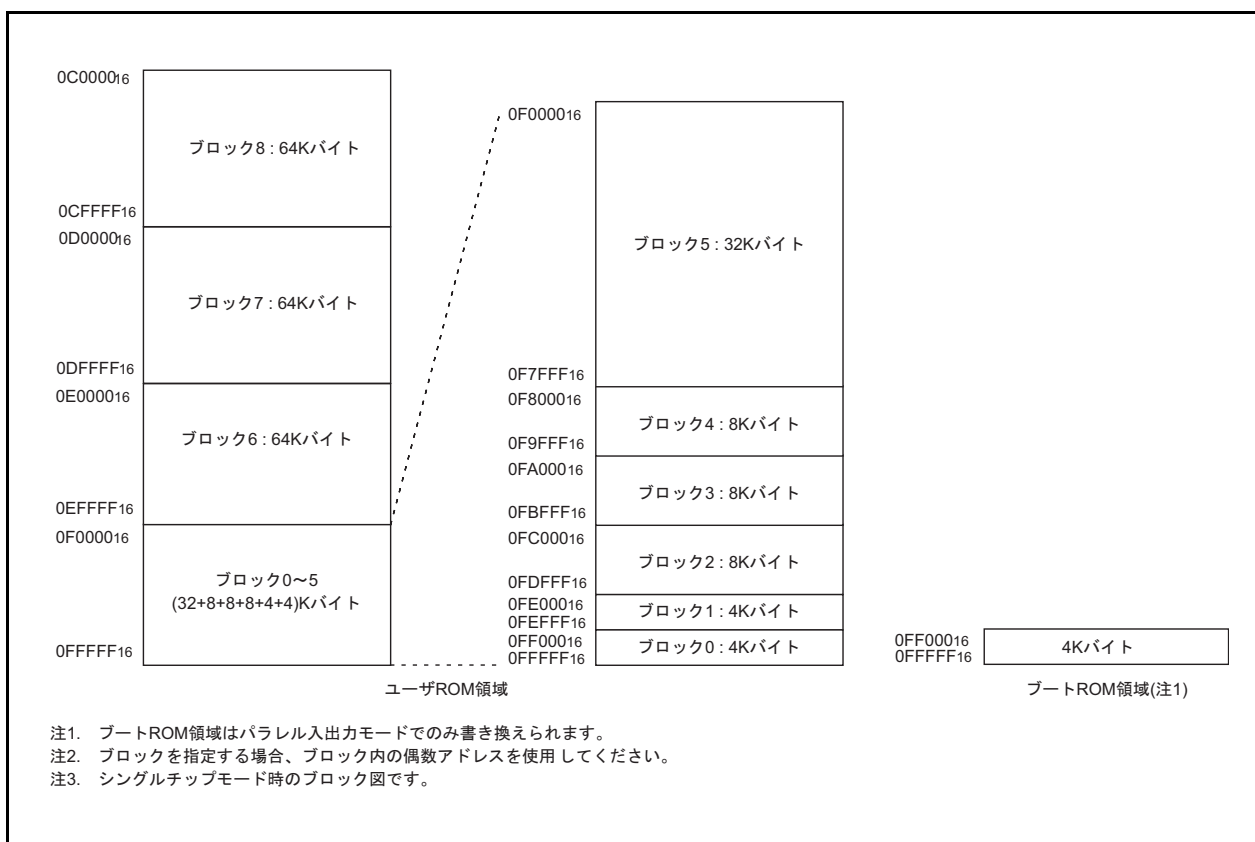


図17.1 フラッシュメモリのブロック図

17.3 ブートモード

MI 端子に “L”、CNVss 端子に “H”、P50 端子に “H” を入力してハードウェアリセットすると、ブートモードになり、ブートROM領域のプログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、FMR0レジスタのFMR05ビットで切り替えられます。

ブートROM領域には、出荷時、標準シリアル入出力モードの書き換え制御プログラムが格納されています。

また、ブートROM領域はパラレル入出力モードで書き換えられます。EW0モードを使用した任意の書き換え制御プログラムをブートROM領域に書いておくと、システムに合わせた書き換えができます。

17.4 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり、書き換えたりできないように、パラレル入出力モードにはROMコードプロテクト、標準シリアル入出力モードにはIDコードチェック機能があります。

17.4.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、フラッシュメモリの読み出しや書き換えを禁止する機能です。図17.2にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCP1ビットは2ビットで構成されています。ROMCRビットが“002”以外の場合、ROMCP1ビットの2ビットのうちどちらか一方または両方を“0”にすると、ROMコードプロテクトが有効になり、フラッシュメモリの読み出しや書き換えが禁止されます。ただし、ROMCRビットを“002”(ROMコードプロテクト解除)にすると、フラッシュメモリを読んだり書き換えたりできます。一度ROMコードプロテクトを有効にすると、パラレル入出力モードでは、ROMCRビットを変更できませんので、標準シリアル入出力モードなど、他のモードで書き換えてください。

17.4.2 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、ライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF16、0FFFE316、0FFFEB16、0FFFEF16、0FFFF316、0FFFF716、0FFFFB16番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

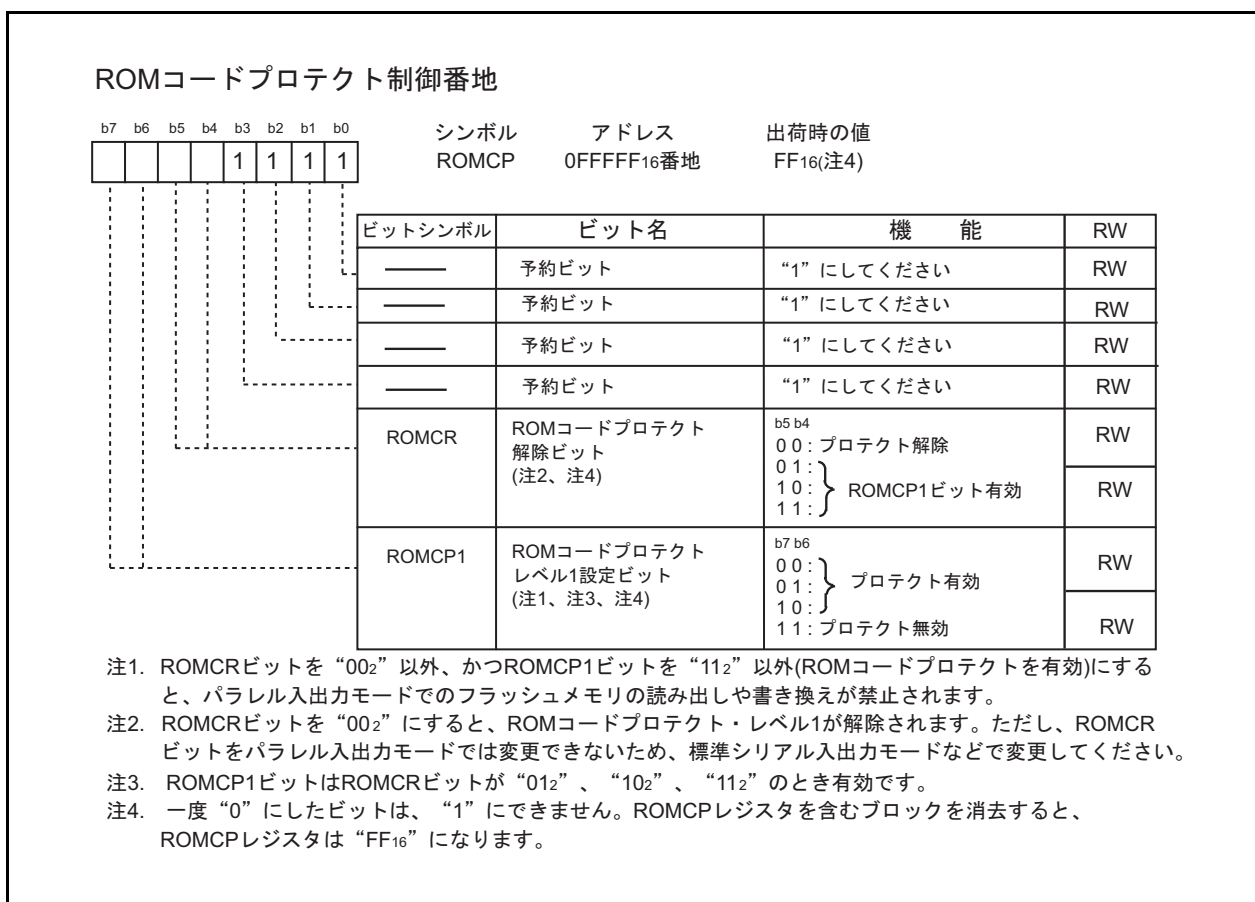


図 17.2 ROMCPレジスタ

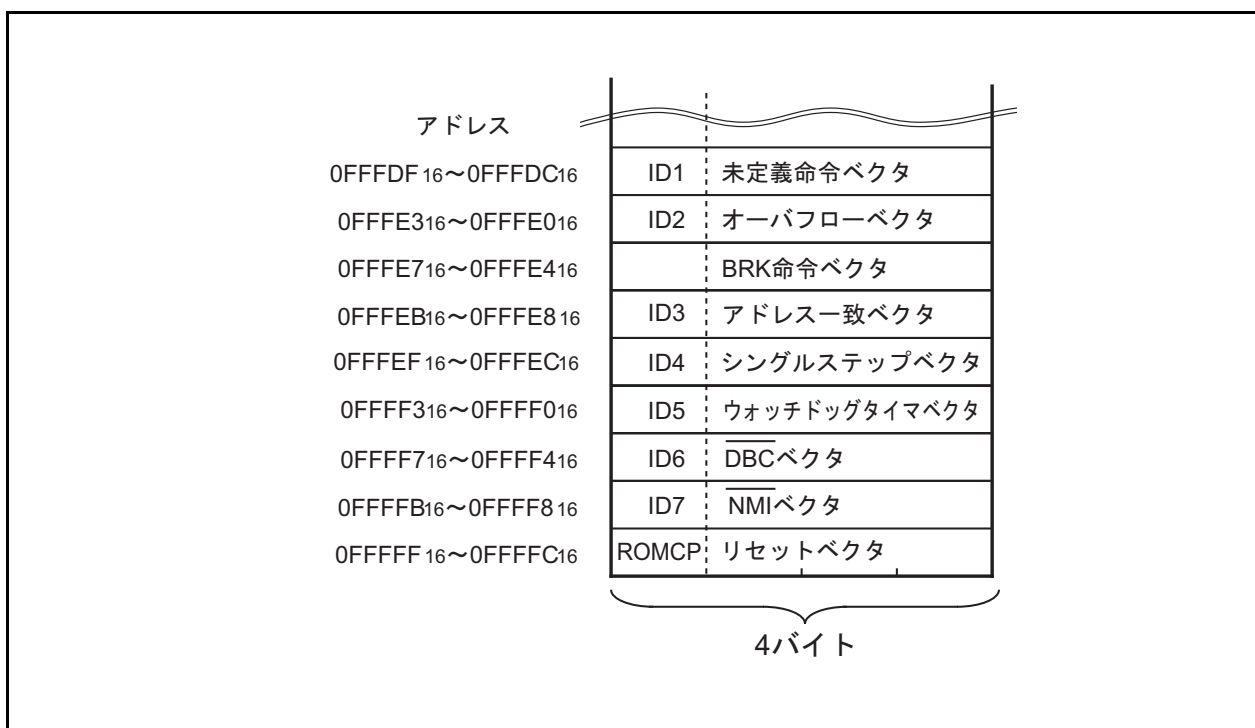


図 17.3 IDコードの格納番地

17.5 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。

CPU書き換えモードでは、図17.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0モード (EW0モード) とイレーズライト1モード (EW1モード) があります。表17.3にEW0モードとEW1モードの違いを示します。

表 17.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	<ul style="list-style-type: none"> ・シングルチップモード ・ブートモード 	シングルチップモード
書き換え制御プログラムを配置できる領域	<ul style="list-style-type: none"> ・ユーザROM領域 ・ブートROM領域 	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAM)へ転送してから実行する必要あり(注2)	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	<ul style="list-style-type: none"> ・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持(注1))
フラッシュメモリのステータス検知	<ul style="list-style-type: none"> ・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む 	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. 割り込み(NMI、ウォッチドッグタイマを除く)、DMA転送が起こらないようにしてください。

注2. CPU書き換えモードではPM1レジスタのビット0、ビット3が“1”になります。書き換え制御プログラムを実行する領域は、内部RAMで実行してください。

17.5.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なのでEW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

17.5.2 EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”する(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、ステータスレジスタを読めません。

図17.4にFMR0、FMR1レジスタを示します。

FMR00 ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ、ロックビットプログラム動作中には“0”、それ以外のときには“1”になります。

FMR01 ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。なお、ブートモード時はFMR05ビットも“1”(ユーザROM領域アクセス)にしてください。

FMR02 ビット

FMR02ビットを“1”(ロックビット無効)にすると、ブロックごとに設定したロックビットを無効にできます(「データ保護機能」参照)。“0”にすると、設定したロックビットが有効になります。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。

ただし、FMR02ビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

FMSTP ビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、内蔵フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域で変更してください。

次の場合、FMSTPビットを“1”にしてください。

- ・ EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- ・ 低消費電力モードにする場合

図17.7に低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。

なお、ストップモードまたはウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

FMR05 ビット

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス(読み出し、書き込み、消去)するときは“1”(ユーザROMアクセス)にしてください。

FMR06 ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

FMR07 ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

図17.5にEW0モードの設定と解除方法、図17.6にEW1モードの設定と解除方法を示します。

FMR11 ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

FMR16 ビット

リードロックビットステータス実行結果を示す読み出し専用ビットです。

フラッシュメモリ制御レジスタ0							
b7	b6	b5	b4	b3	b2	b1	b0
			0				
シンボル FMR0							
アドレス 01B7 ₁₆ 番地							
リセット後の値 XX000001 ₂							
ビットシンボル	ビット名		機能		RW		
FMR00	RY/BYステータスフラグ		0: ビジー (書き込み、消去実行中)(注6) 1: レディ		RO		
FMR01	CPU書き換えモード選択ビット(注1)		0: CPU書き換えモード無効 1: CPU書き換えモード有効		RW		
FMR02	ロックビット無効選択ビット(注2)		0: ロックビット有効 1: ロックビット無効		RW		
FMSTP	フラッシュメモリ停止ビット(注3、注5)		0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)		RW		
— (b4)	予約ビット		"0" にしてください		RW		
FMR05	ユーザROM領域選択ビット(注3) (ブートモード時のみ有効)		0: ブートROM領域アクセス 1: ユーザROM領域アクセス		RW		
FMR06	プログラムステータスフラグ(注4)		0: 正常終了 1: エラー終了		RO		
FMR07	イレーズステータスフラグ(注4)		0: 正常終了 1: エラー終了		RO		

注1. "1" にするときは、"0" を書いた後、続けて "1" を書いてください。"0" を書いた後、"1" を書くまでに割り込み、DMA転送が入らないようにしてください。
このビットは、NMI端子が "H" の状態で書いてください。また、EW0モード時はフラッシュメモリ以外の領域で変更してください。
このビットはリードアレイモードにしてから "0" にしてください。

注2. "1" にするときは、FMR01ビットが "1" の状態で、このビットに "0" を書いた後、続けて "1" を書いてください。
"0" を書いた後、"1" を書くまでに割り込み、DMA転送が入らないようにしてください。

注3. このビットは、フラッシュメモリ以外の領域で変更してください。

注4. クリアステータスコマンドを実行すると "0" になります。

注5. FMR01ビットが "1" (CPU書き換えモード)のとき有効です。FMR01ビットが "0" のとき、FMSTPビットに "1" を書くとFMSTPビットは "1" になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

注6. ロックビットプログラム、リードロックビットステータスコマンドでの書き込み、読み出し中を含みます。

フラッシュメモリ制御レジスタ1							
b7	b6	b5	b4	b3	b2	b1	b0
0		0	0				0
シンボル FMR1							
アドレス 01B5 ₁₆ 番地							
リセット後の値 0X00XX0X ₂							
ビットシンボル	ビット名		機能		RW		
— (b0)	予約ビット		読んだ場合、不定		RO		
FMR11	EW1モード選択ビット(注1)		0: EW0モード 1: EW1モード		RW		
— (b3-b2)	予約ビット		読んだ場合、不定		RO		
— (b5-b4)	予約ビット		"0" にしてください		RW		
FMR16	ロックビットステータスフラグ		0: ロック 1: 非ロック		RO		
— (b7)	予約ビット		"0" にしてください		RW		

注1. "1" にするときは、FMR01ビットが "1" の状態で、このビットに "0" を書いた後、続けて "1" を書いてください。"0" を書いた後、"1" を書くまでに割り込み、DMA転送が入らないようにしてください。
このビットは、NMI端子が "H" の状態で書いてください。
FMR01ビットを "0" にすると、FMR01ビットとFMR11ビットは、いずれも "0" になります。

図 17.4 FMR0、FMR1 レジスタ

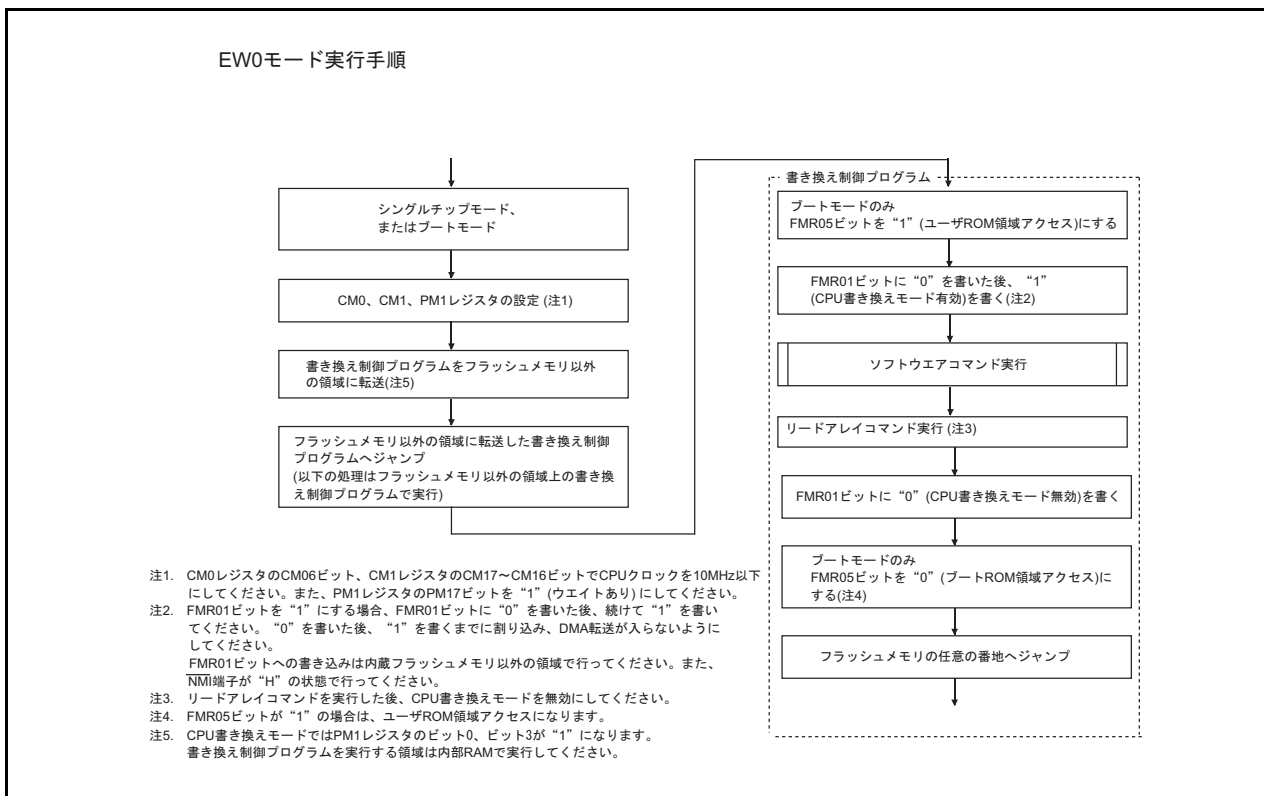


図 17.5 EW0モードの設定と解除方法

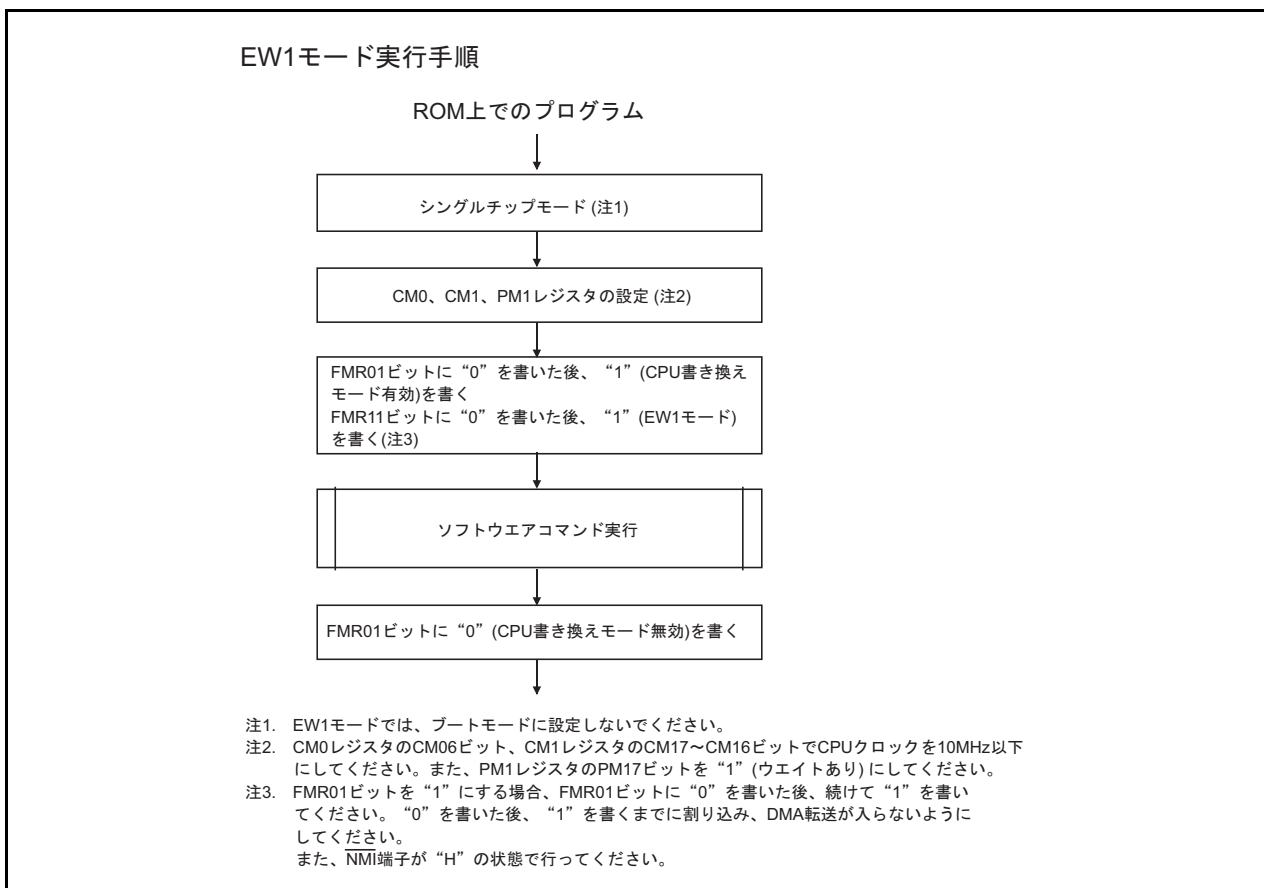


図 17.6 EW1モードの設定と解除方法

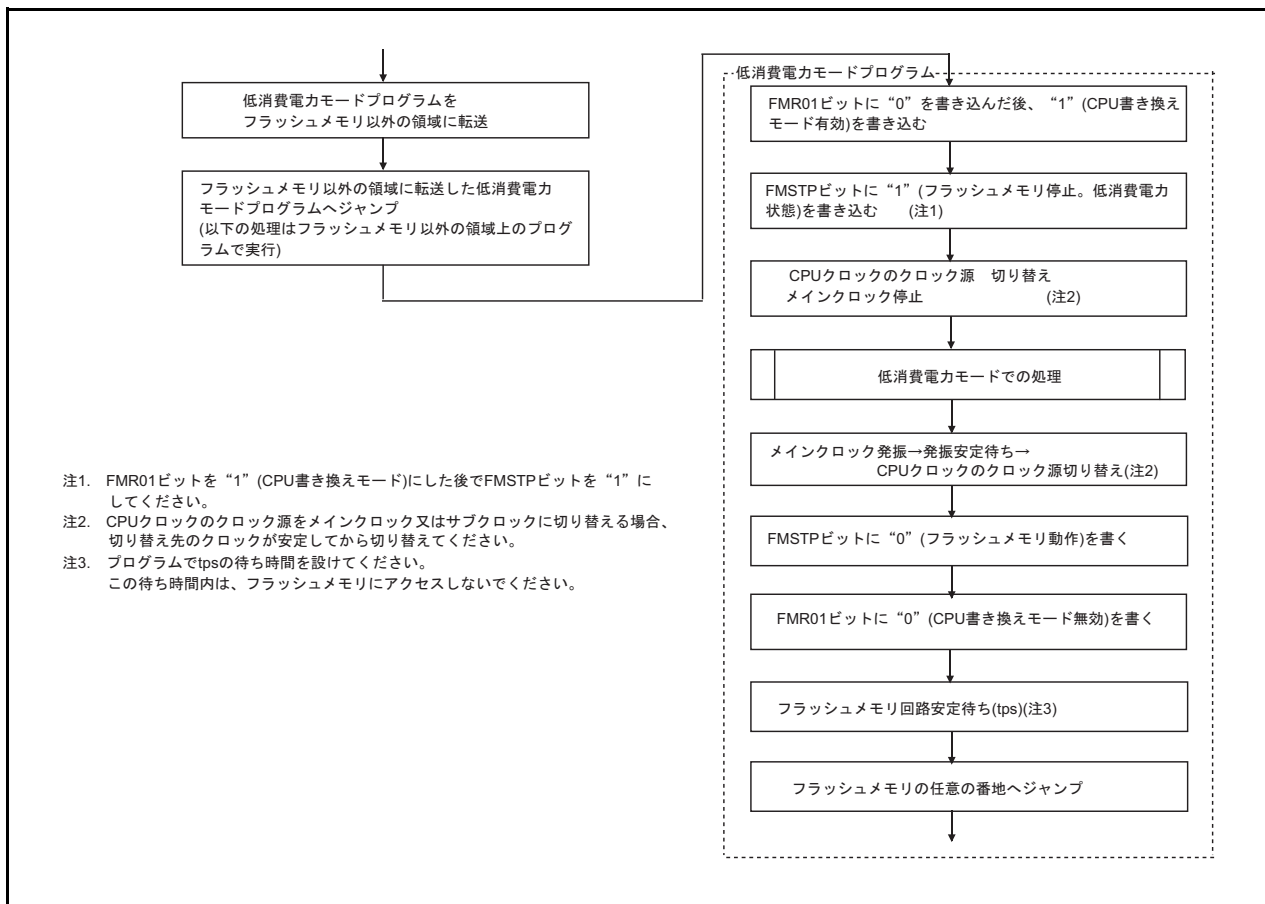


図 17.7 低消費電力モード前後の処理

17.5.3 CPU書き換えモードの注意事項

(1) 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

(2) 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3) 割り込み

EW0モード

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ウォッチドッグタイマ割り込みは使用しないでください。
- NMI割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。

(4) アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、NMI端子に“H”を入力した状態で行ってください。

(5) ユーザROM領域の書き換え

EW0モード

- 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

EW1モード

- 書き換え制御プログラムが格納されているブロックを書き換えしないでください。

(6) DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

(7) コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

(8) ウェイトモード

ウェイトモードに移行する場合は、FMR01 ビットを“0” (CPU 書き換えモード無効) にした後、WAIT 命令を実行してください。

(9) ストップモード

ストップモードに移行する場合は、次のようにしてください。

- ・ FMR01 ビットを“0” (CPU 書き換えモード無効) にし、DMA 転送を禁止した後で、CM10 ビットを“1” (ストップモード) にする

- ・ CM10 ビットを“1” にする命令の次に JMP.B 命令を実行する

プログラム例 BSET 0, CM1 ; ストップモード
 JMP.B L1

L1 :

ストップモード復帰後のプログラム

(10) 低消費電力モード

CM05 ビットが“1” (メインクロック停止) のときは、次のコマンドを実行しないでください。

- ・ プログラム
- ・ ブロックイレイズ
- ・ ロックビットプログラム

17.5.4 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表 17.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	×	xxFF ₁₆			
リードステータスレジスタ	ライト	×	xx70 ₁₆	リード	×	SRD
クリアステータスレジスタ	ライト	×	xx50 ₁₆			
プログラム	ライト	WA	xx40 ₁₆	ライト	WA	WD
ブロックイレース	ライト	×	xx20 ₁₆	ライト	BA	xxD0 ₁₆
ロックビットプログラム	ライト	BA	xx77 ₁₆	ライト	BA	xxD0 ₁₆
リードロックビットステータス	ライト	×	xx71 ₁₆	ライト	BA	xxD0 ₁₆

SRD : ステータスレジスタデータ(D7～D0)。

WA : 書き込み番地(第1バスサイクルアドレスは、第2バスサイクルアドレスと同一偶数番地にしてください。)

WD : 書き込みデータ(16ビット)

BA : ブロックの最上位番地(ただし、偶数番地)

× : ユーザROM領域内の任意の偶数番地

xx : コマンドコード上位8ビット(無視されます)

リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFF₁₆”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70₁₆”を書くと、第2バスサイクルでステータスレジスタが読めます(「ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“xx5016”を書くと、FMR0レジスタのFMR06～FMR07ビットとステータスレジスタのSR4～SR5が“0”になります。

プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx4016”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「フルステータスチェック」参照)。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「データ保護機能」参照)。既にプログラムされた番地には追加書き込みをしないでください。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

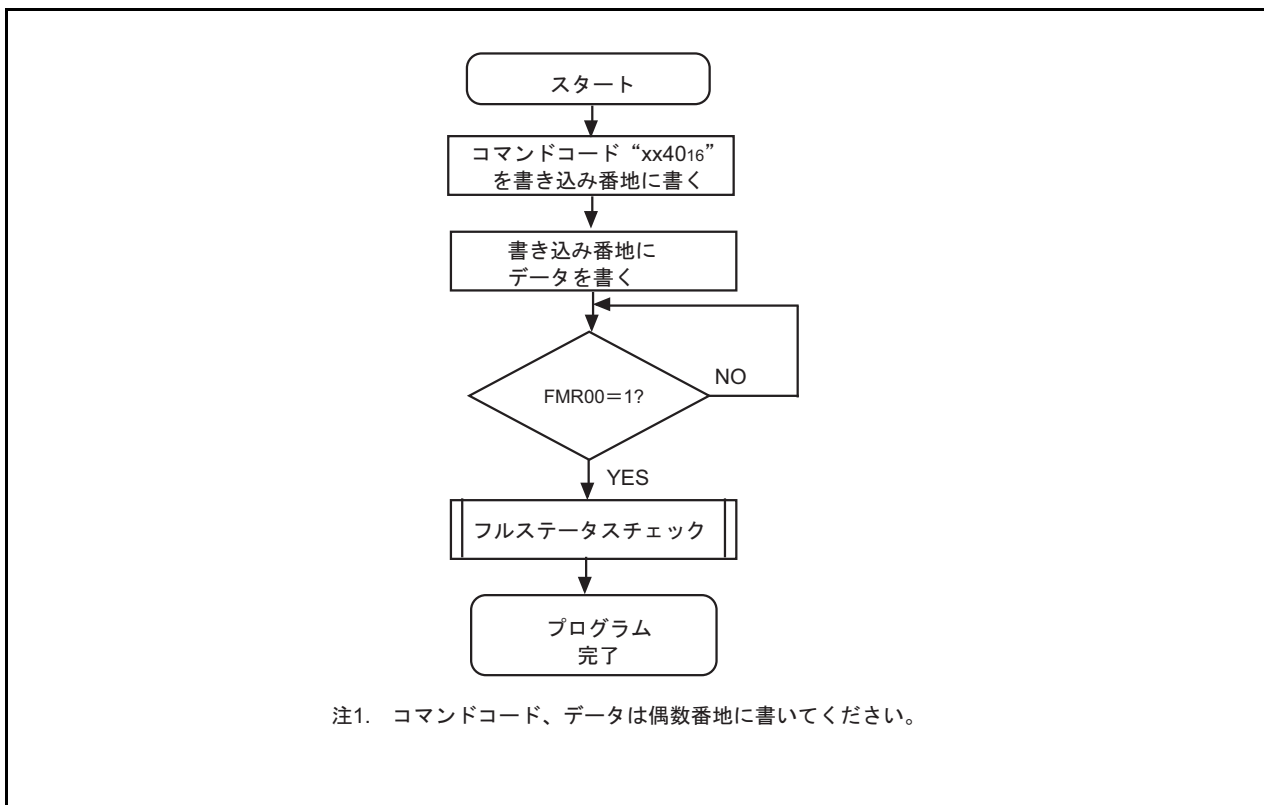


図 17.8 プログラムフローチャート

ブロックイレース

第1バスサイクルで“xx2016”、第2バスサイクルで“xxD016”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレースとイレースベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「フルステータスチェック」参照)。

図17.9にブロックイレースのフローチャート例を示します。

なお、各ブロックはロックビットにより、イレースを禁止できます(「データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。

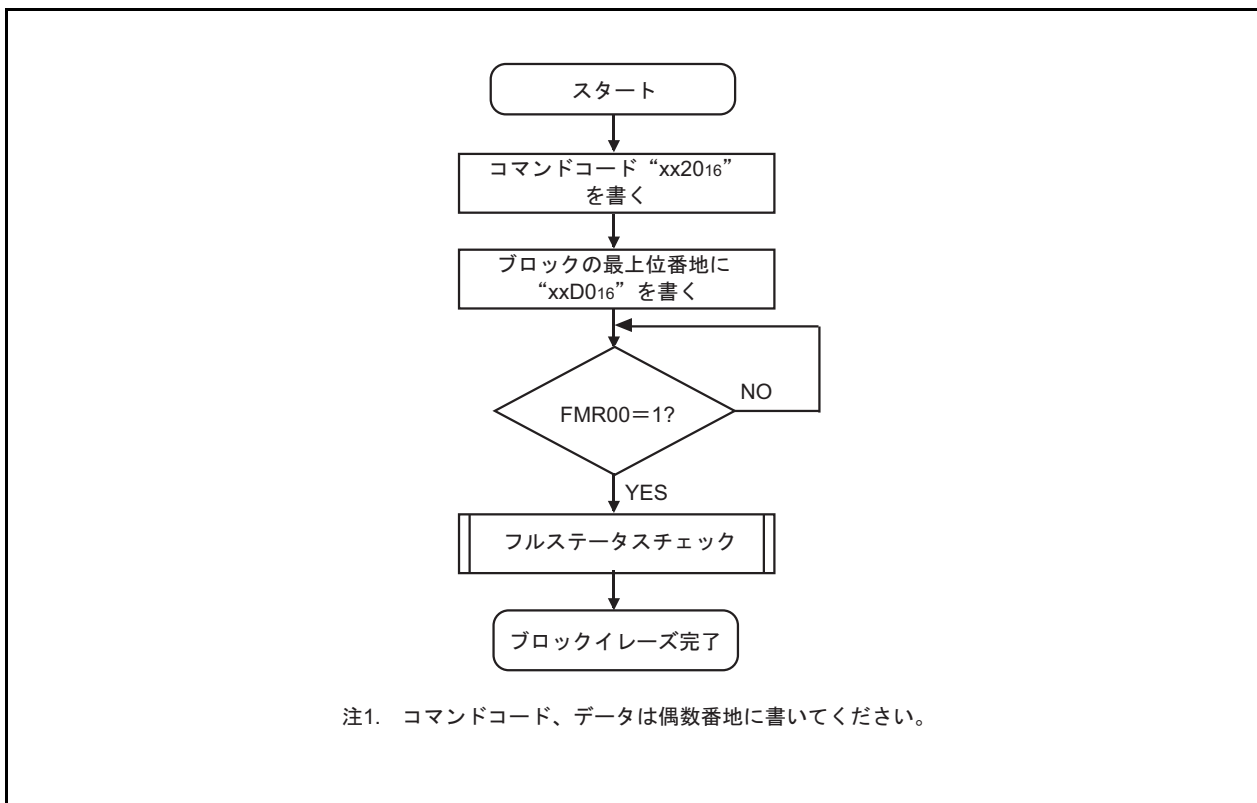


図17.9 ブロックイレースフローチャート

ロックビットプログラム

任意のブロックのロックビットを“0”（ロック状態）にするコマンドです。

第1バスサイクルで“xx7716”、第2バスサイクルで“xxD016”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図 17.10 にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0 レジスタの FMR00 ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”にする方法については、「データ保護機能」を参照してください。

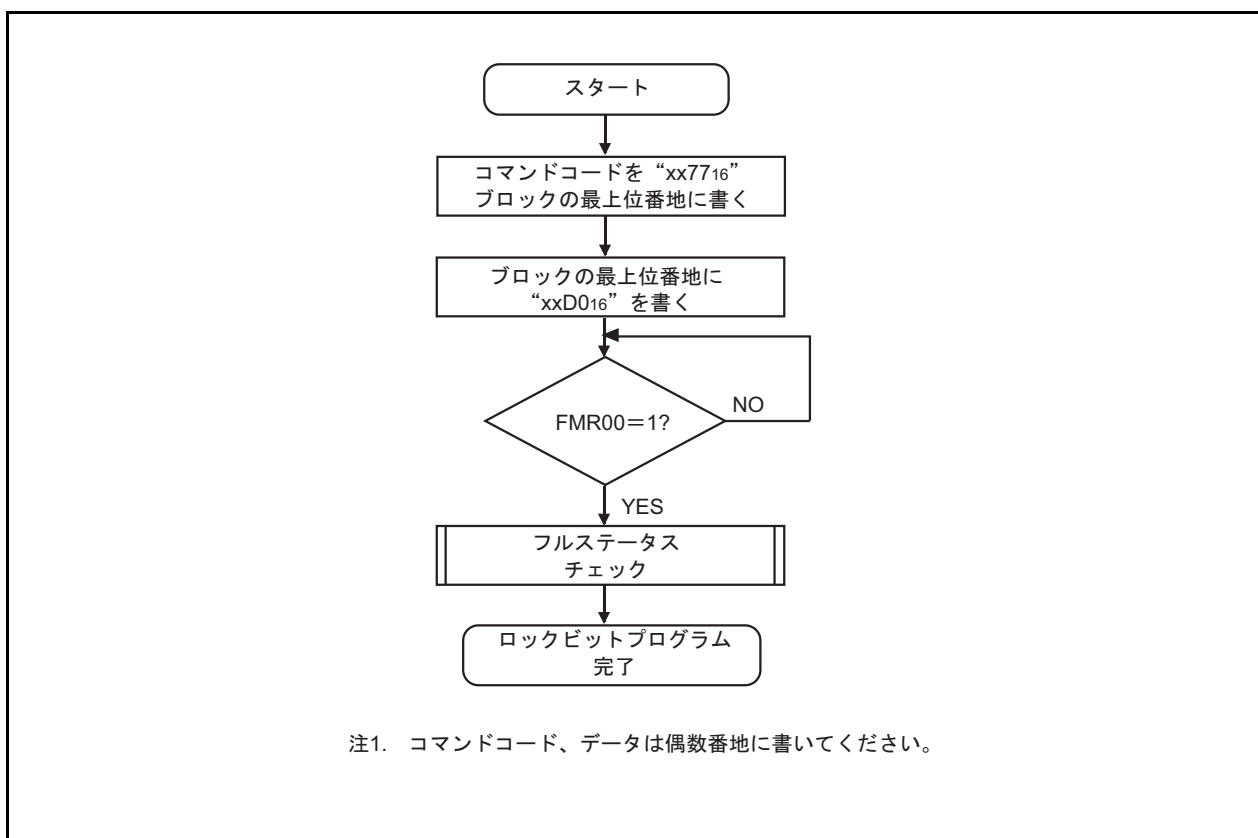


図 17.10 ロックビットプログラムフローチャート

リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx7116”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD016”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。

図17.11にリードロックビットプログラムのフローチャート例を示します。

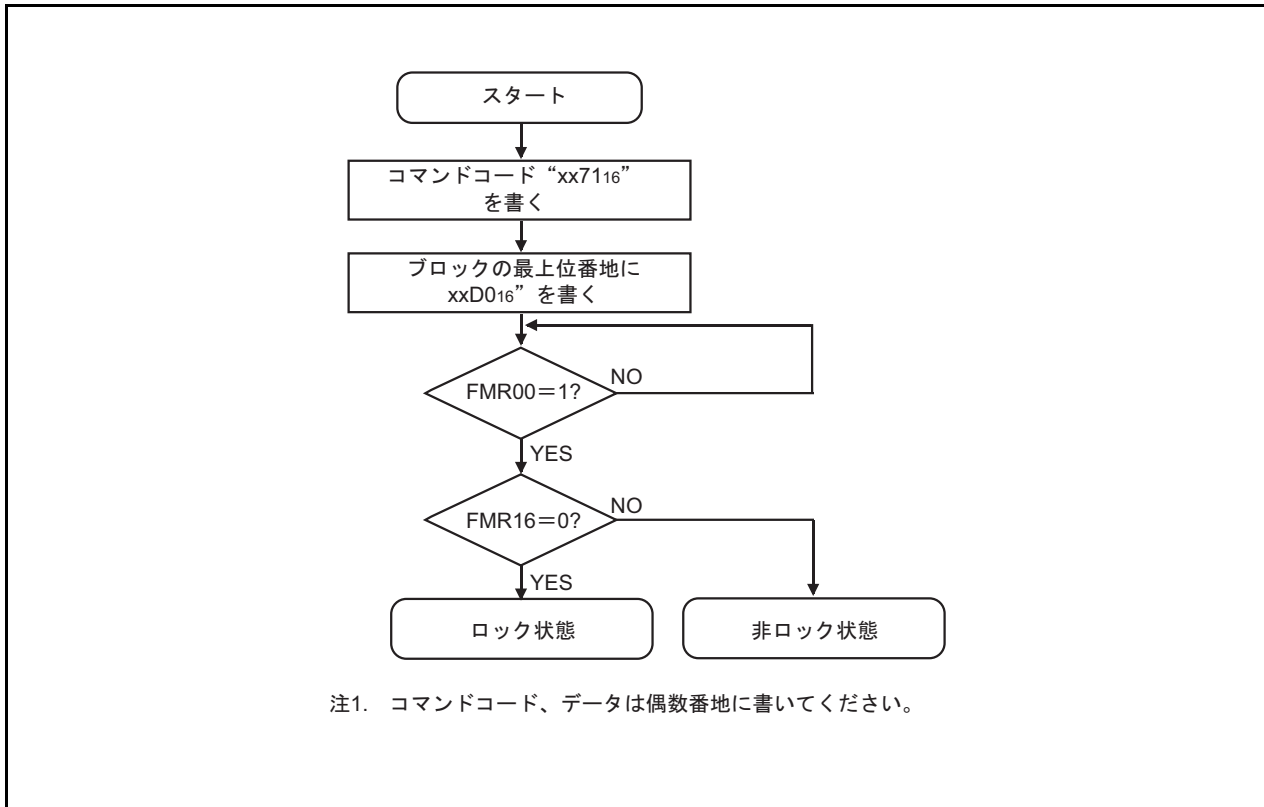


図17.11 リードロックビットステータスフローチャート

17.6 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”（ロックビット有効）のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止（ロック）できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ・ロックビットが“0”のとき：ロック状態（そのブロックはプログラム、イレーズできない）
- ・ロックビットが“1”のとき：非ロック状態（そのブロックはプログラム、イレーズできる）

ロックビットは、ロックビットプログラムコマンドを実行すると、“0”（ロック状態）に、ブロックを消去すると“1”（非ロック状態）になります。ロックビットをコマンドで“1”にできません。

また、ロックビットの状態は、リードロックビットステータスコマンドで読めます。

FMR02ビットを“1”にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります（各ロックビットは変化しません）。FMR02ビットを“0”にすると、ロックビットの機能が有効になります（ロックビットは保持されています）。

FMR02ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックまたは全ブロックが消去されます。消去終了後、各ブロックのロックビットは“1”になります。

各コマンドの詳細は、「ソフトウェアコマンド」を参照してください。

17.7 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表17.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- (1) リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき
- (2) プログラムコマンド、ブロックイレーズコマンド、またはロックビットコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

シーケンサステータス (SR7、FMR00 ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去、ロックビット書き込み中は“0”（ビジー）になり、これらの動作終了とともに“1”（レディ）になります。

イレーズステータス (SR5、FMR07 ビット)

「フルステータスチェック」を参照してください。

プログラムステータス (SR4、FMR06 ビット)

「フルステータスチェック」を参照してください。

表 17.5 ステータスレジスタ

ステータス レジスタの ビット	FMR0 レジスタの ビット	ステータス名	内容		リセット後 の値
			“0”	“1”	
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1
SR6 (D6)	—	リザーブ	—	—	—
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR3 (D3)	—	リザーブ	—	—	—
SR2 (D2)	—	リザーブ	—	—	—
SR1 (D1)	—	リザーブ	—	—	—
SR0 (D0)	—	リザーブ	—	—	—

D₀~D₇: リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)、FMR06ビット(SR4)は、クリアステータスレジスタコマンドを実行すると“0”になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズ、ロックビットプログラムコマンドは受け付けられません。

17.8 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表17.6にエラーとFMR0レジスタの状態を、図17.12にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表 17.6 エラーとFMR0レジスタの状態

FMR0レジスタ(ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンド シーケンス エラー	<ul style="list-style-type: none"> ・ コマンドを正しく書かなかったとき ・ ロックビットプログラム、またはブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値 (“xxD016” または “xxFF16”) 以外のデータを書いたとき (注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) ・ ロックされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかつたとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・ ロックされたブロックにプログラムコマンドを実行したとき(注2) ・ ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかつたとき ・ ロックビットプログラムコマンドを実行し、正しく書き込まれなかつたとき

注1. これらのコマンドの第2バスサイクルで“xxFF16”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

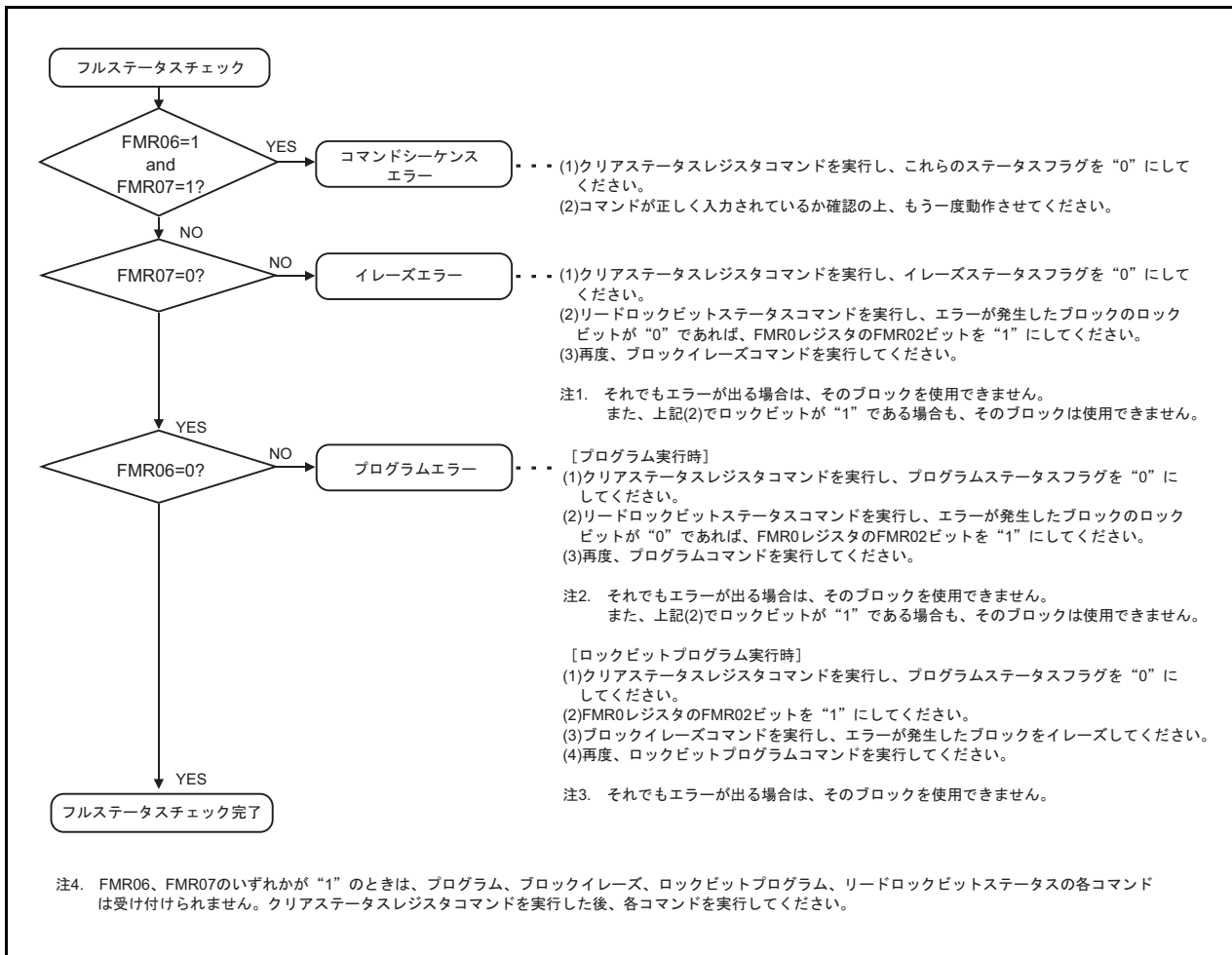


図 17.12 フルステータスチェックフロチャート、各エラー発生時の対処方法

17.9 標準シリアル入出力モード

標準シリアル入出力モードでは、本製品に対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

表 17.7 に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図 17.13 に標準シリアル入出力モード時の端子結線図を示します。

17.9.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「フラッシュメモリ書き換え禁止機能」参照)。

表 17.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc1, Vcc2, Vss	電源入力		Vcc1端子にはVcc1を入力してください。Vcc2端子には、4.75~5.25Vを入力してください。入力条件は、Vcc1 ≤ Vcc2です。
CNVss	CNVss	入力	Vcc2に接続してください。
RESET	リセット入力	入力	リセット入力端子です。RESET端子が"L"の間、XIN端子には20サイクル以上のクロックを入力してください。
M1	モード選択	入力	Vssに接続してください。
STARTB	発振選択入力	入力	Vssに接続してください。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
AVcc, AVss	アナログ電源入力		AVcc端子にはVcc2を、AVss端子には0Vを入力してください。
P00~P07	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P10~P17	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P20~P27	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
P30~P37	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P40~P47	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
P50	CE入力	入力	"H"を入力してください。
P51~P57	入力ポートP5	入力	"H"を入力、"L"を入力、または開放してください。
P60~P63	入力ポートP6	入力	"H"を入力、"L"を入力、または開放してください。
P64/RTS1	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P65/CLK1	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: "L"を入力してください。
P66/RxD1	RXD入力	入力	シリアルデータの入力端子です。
P67/TxD1	TXD出力	出力	シリアルデータの出力端子です。(注1)
P70~P77	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
P80~P84, P86, P87	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
P85/NMI	NMI入力	入力	Vcc2に接続してください。
P90~P97	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
VDD2, Vss2	電源入力		VDD2端子にはVcc2を、Vss2端子には0Vを入力してください。
LP3~LP4	フィルタ出力	出力	開放してください。
CVIN, SYNCIN	複合ビデオ入力	入力	"H"を入力、"L"を入力、または開放してください。
VCCOFF	Vcc1系電源入力切替	入力	"L"を入力してください。

注1. 標準シリアル入出力モード1を使用する場合、RESET端子が"L"の期間中TxD端子に"H"を入力する必要があります。そのため、この端子を抵抗を介してVcc1に接続してください。リセット後この端子はデータ出力端子になりますので、データ転送に影響を与えないようプルアップ抵抗値をシステム上で調整してください。

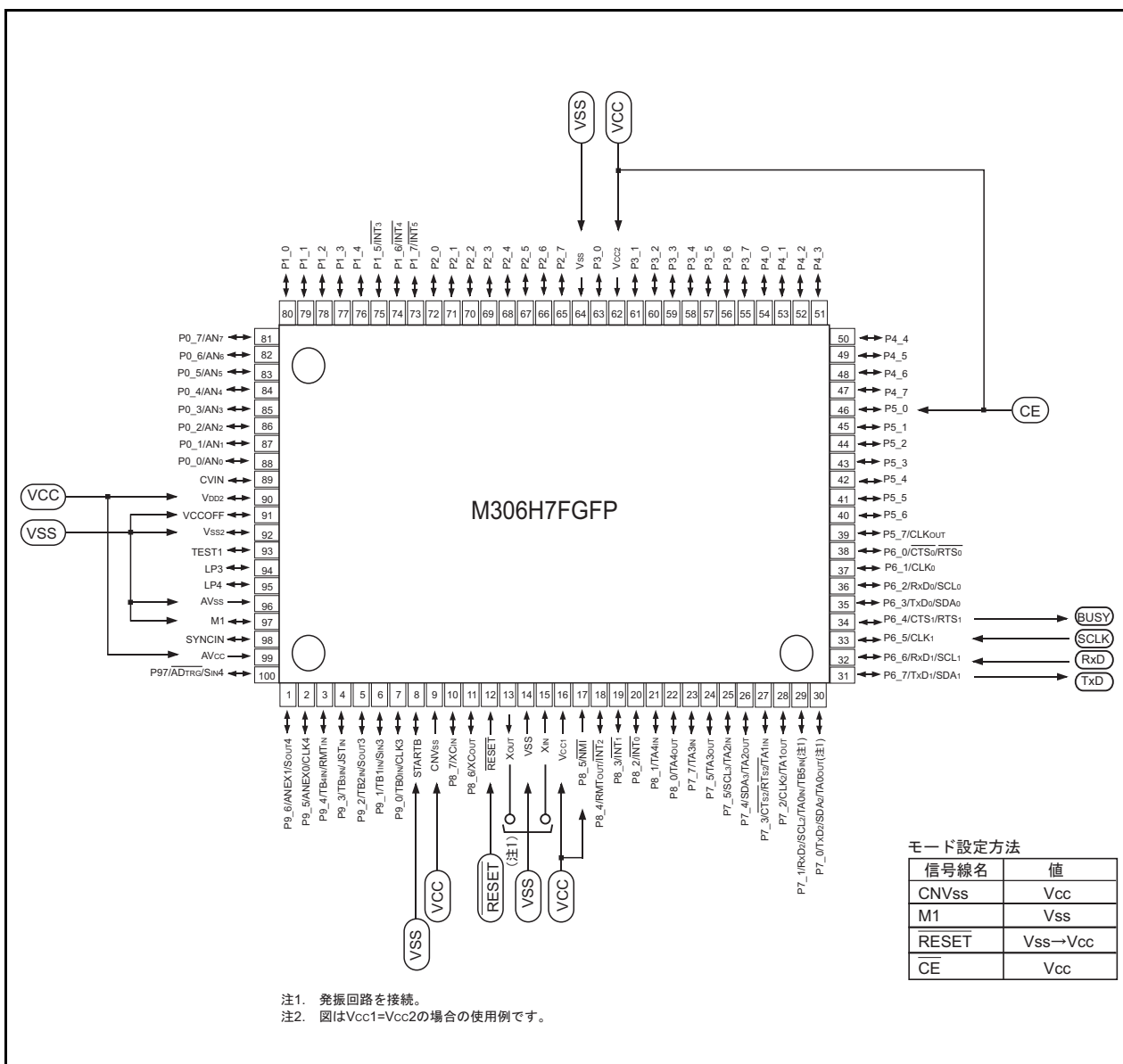


図 17.13 標準シリアル入出力モード時の端子結線図

17.9.2 標準シリアル入出力モード1時の端子処理例

図17.14に標準シリアル入出力モード1を使用する場合の端子処理例、図17.15に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが異なりますので、詳細はライターのマニュアルを参照してください。

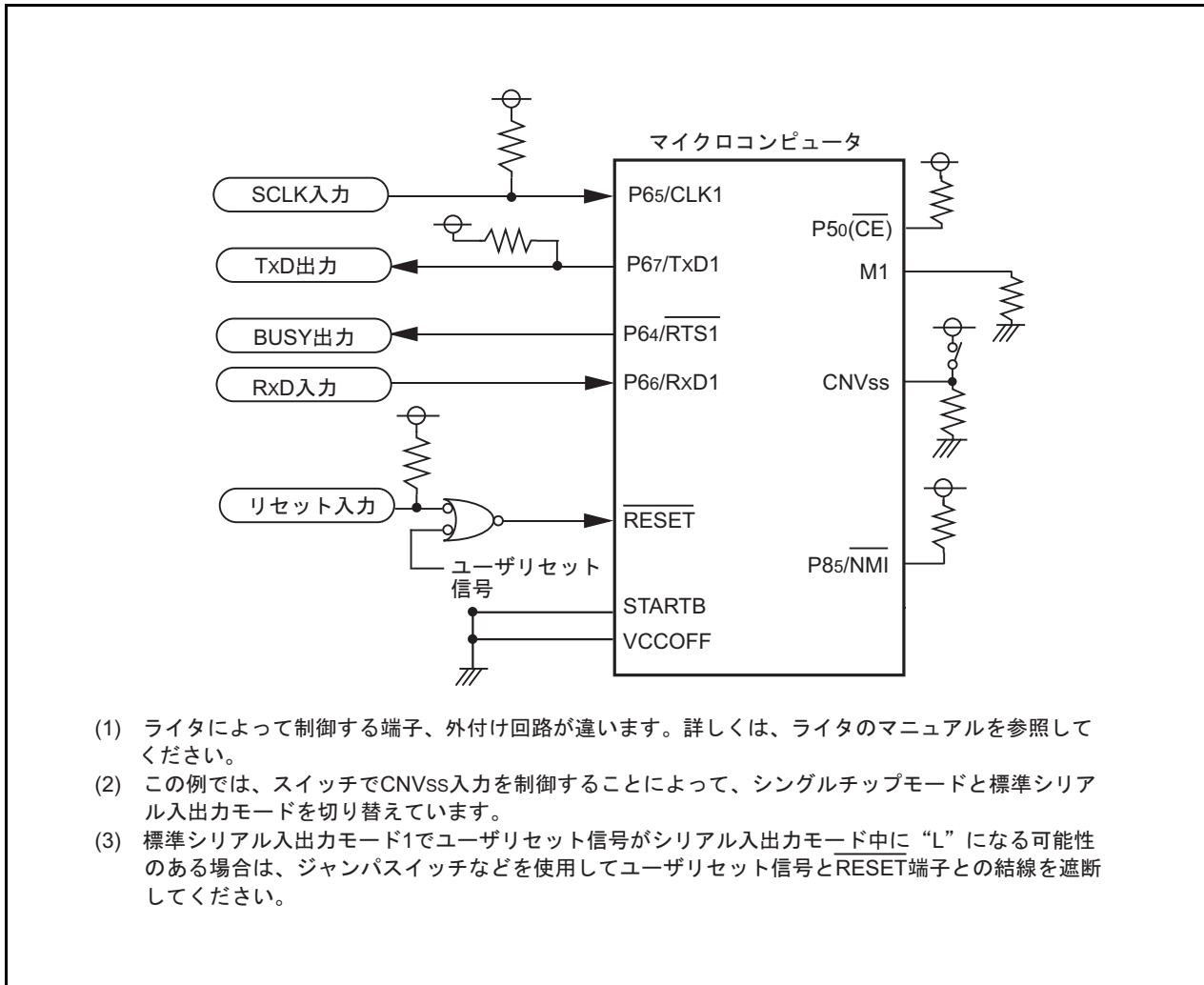


図17.14 標準シリアル入出力モード1を使用する場合の端子処理例

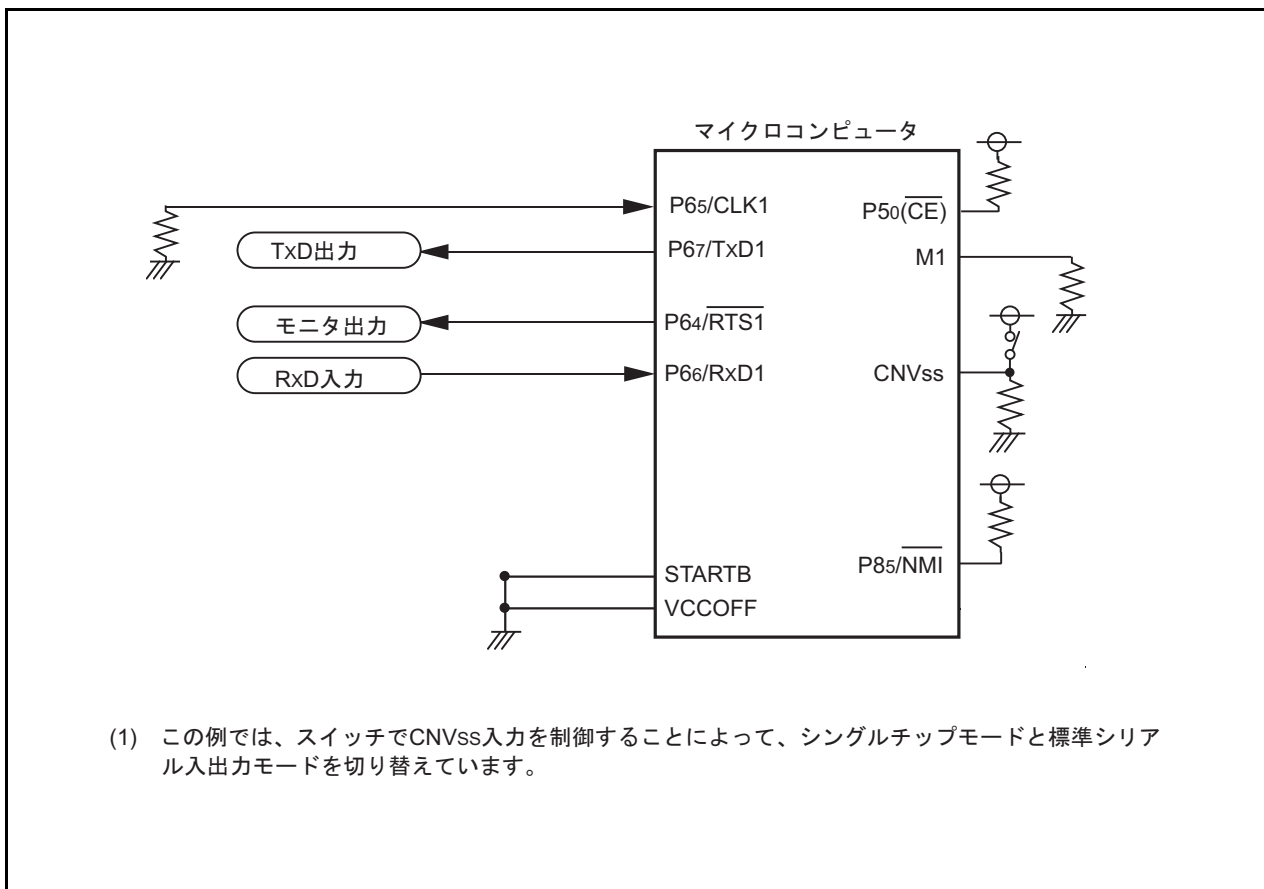


図 17.15 標準シリアル入出力モード2時の端子処理例

17.10 パラレル入出力モード

パラレル入出力モードでは、本製品に対応したパラレルライターを使用して、ユーザROM領域とブートROM領域を書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

17.10.1 ユーザROM領域とブートROM領域

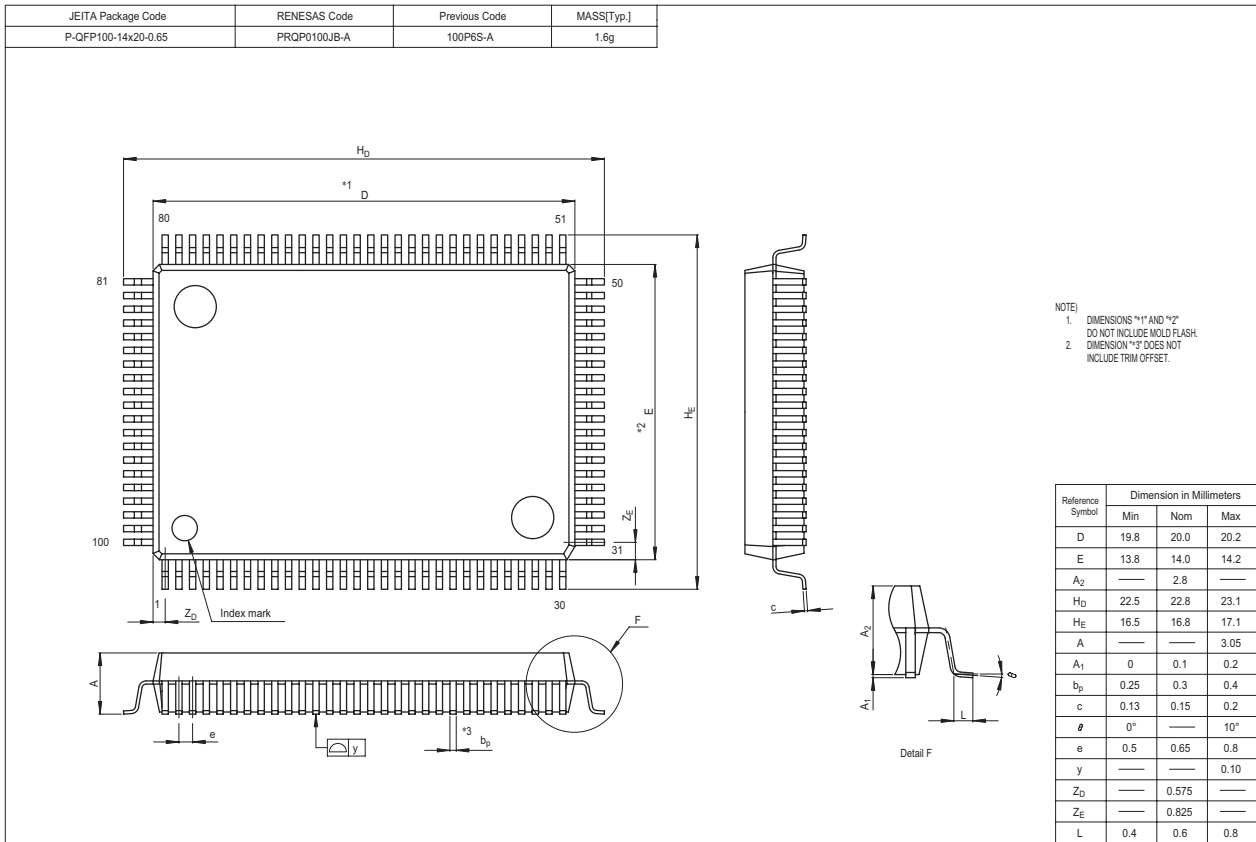
ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、出荷時に標準シリアル入出力モードの書き換え制御プログラムが書かれます。したがって、シリアルライターを使用される場合には、ブートROM領域を書き換えしないでください。

ブートROM領域は、パラレル入出力モードでは、0FF00016～0FFFFFF16番地に配置されています。ブートROM領域を書き換える必要がある場合、この範囲のみ書き換えてください(0FF00016～0FFFFFF16番地以外へはアクセスしないでください)。

17.10.2 ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「フラッシュメモリ書き換え禁止機能」参照)。

18. パッケージ寸法



19. 注意事項

パワーコントロール注意事項

1. ストップモードからリセットによって復帰する場合、メインクロックまたはサブクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。
2. WAIT命令またはCM1レジスタのCM10ビットを“1”にする命令の後には、NOP命令を4つ以上入れてください。ウェイトモードまたはストップモードに移行する場合、命令キューはWAIT命令やCM10ビットを“1”(全クロック停止)にする命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードやストップモードに入る前に次の命令を実行する場合があります。
3. CPUクロックのクロック源をメインクロックに切り替えるときは、メインクロック発振安定時間を待ってから切り替えてください。
CPUクロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。
4. 消費電力を小さくするためのポイント
消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。
 - ポート
ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。
 - A/Dコンバータ
A/D変換を行わない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にしてください。なお、A/D変換を行う場合、VCUTビットを“1”(Vref接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。
 - 周辺機能の停止
ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードまたは低消費電力モードから、ウェイトモードに移行する場合はCM02ビットを“0”(ウェイトモード時、周辺機能クロック停止しない)にしてウェイトモードに移行してください。
 - 発振駆動能力の切り替え
発振が安定している場合、駆動能力を“LOW”にしてください。
 - 外部クロック
CPUのクロックに外部クロック入力を使用している場合、CM0レジスタのCM05ビットを“1”(停止)にしてください。CM05ビットを“1”にすることでXOUT端子が動作しなくなり、消費電流が小さくなります(外部クロック入力を使用している場合、CM05ビットにかかわらず、クロックは入力されます)。

プロテクト注意事項

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

割り込み注意事項

00000₁₆番地の読み出し

プログラムで00000₁₆番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000₁₆番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生することがあります。

SPの設定

割り込みを受け付ける前に、SP(USP、ISP)に値を設定してください。リセット後、SP(USP、ISP)は“000016”です。そのため、SP(USP、ISP)に値を設定する前に割り込みを受け付けると、暴走の原因となります。特に、NMI割り込みを使用する場合は、プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、NMI割り込みを含むすべての割り込みが禁止されています。

NMI割り込み

1. NMI割り込みは、禁止できません。使用しない場合は、NMI端子に抵抗を介してVccに接続(プルアップ)してください。
2. NMI端子は、P8レジスタのP8_5ビットを読むことで端子の値を読めます。P8_5ビットは、NMI割り込みルーチンで、端子のレベルを判定する場合のみ読んでください。
3. NMI端子に“L”を入力している場合、ストップモードに移行できません。NMI端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
4. NMI端子に“L”を入力している場合、ウエイトモードに移行しないでください。NMI端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
5. NMI端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

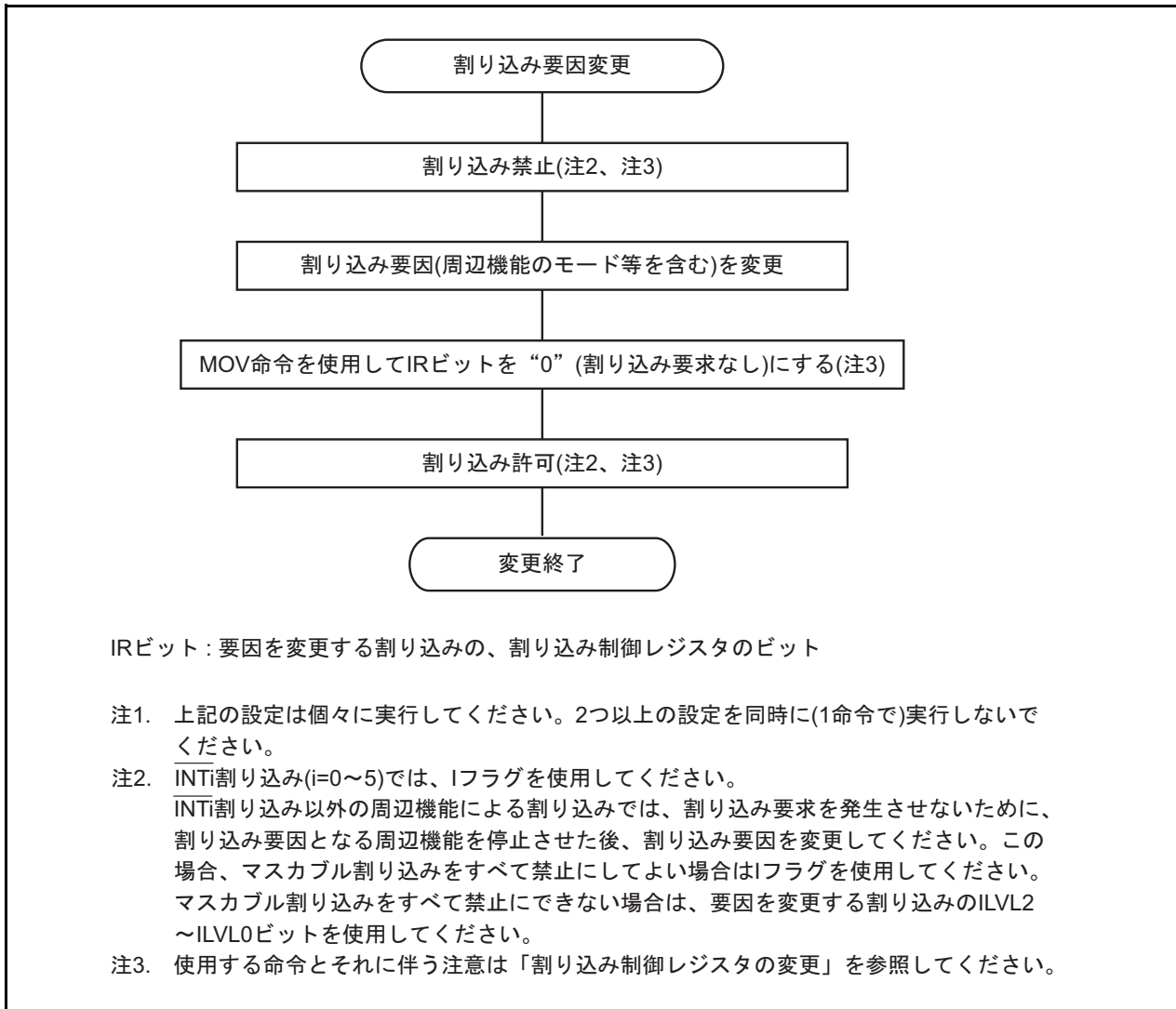


図19.1 割り込み要因の変更手順例

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図19.1に割り込み要因の変更手順例を示します。

INT 割り込み

1. $\overline{\text{INT}}_0 \sim \overline{\text{INT}}_5$ 端子に入力する信号には、CPUクロックに関係なく $t_{w(\text{INL})}$ 以上の“L”幅または $t_{w(\text{INH})}$ 以上の“H”幅が必要です。
2. INT0IC～INT5ICレジスタのPOLビット、IFSRレジスタのIFSR7～IFSR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

割り込み制御レジスタの変更

- (1) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所を変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (2) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令…AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (3) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(2)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
    FCLR    I                ; 割り込み禁止
    AND.B   #00H, 0055H     ; TA0ICレジスタを“0016”にする
    NOP
    NOP
    FSET    I                ; 割り込み許可
```

NOP命令の数は、次の通り

PM20=1(1ウェイト)時、2個。PM20=0(2ウェイト)時、3個。HOLD使用時、4個。

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2 :
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“0016”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“0016”にする
  POPC    FLG             ; 割り込み許可
```

ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

DMACの注意事項

DMAiCONレジスタのDMAEビットへの書き込み(i=0~1)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- ・DMAEビットが“1”(DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- ・DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

- (1) DMAiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。
- (2) DMAiが初期状態(注2)になっていることを、プログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMAiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCRiレジスタの値で確認してください。

TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

タイマ注意事項

タイマA注意事項

(1) タイマA注意事項(タイマモード)

- リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。
なお、TAiMRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。
- カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF16”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

(2) タイマA注意事項(イベントカウンタモード)

- リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。
なお、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。
- カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFF16”が、オーバフロー時は“000016”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

(3) タイマA注意事項(ワンショットタイマモード)

- リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。
なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。
- カウント中にTAiSビットを“0”(カウント停止)にすると次のようになります。
 - カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - TAiOUT端子は“L”を出力します。
 - CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

4. 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
 - ・リセット後、ワンショットタイマモードを選択したとき
 - ・動作モードをタイマモードからワンショットタイマモードに変更したとき
 - ・動作モードをイベントカウンタモードからワンショットタイマモードに変更したときしたがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。
5. カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

(4) タイマA注意事項(パルス幅変調モード)

1. リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。
なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。
2. 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
 - ・リセット後、PWMモードを選択したとき
 - ・動作モードをタイマモードからPWMモードに変更したとき
 - ・動作モードをイベントカウンタモードからPWMモードに変更したときしたがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。
3. PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。
 - ・カウンタはカウントを停止します。
 - ・TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
 - ・TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

タイマB注意事項

(1) タイマB注意事項(タイマモード)

- リセット後、タイマは停止しています。TBiMR(i=0~5)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。
なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。
- カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF16”が読めます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

(2) タイマB注意事項(イベントカウンタモード)

- リセット後、タイマは停止しています。TBiMR(i=0~5)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。
なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。
- カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF16”が読めます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

(3) タイマB注意事項(パルス周期測定/パルス幅測定モード)

- リセット後、タイマは停止しています。TBiMR(i=0~5)レジスタによって、モードやカウントソース等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。
なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。MR3ビットを“0”にするために、TBiSビットが“1”(カウント開始)の状態、TBiMRレジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、MR2へは“0”を書いてください。
- TBiICレジスタ(i=0~5)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバーフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。
- 測定パルス入力があるタイマのオーバーフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバーフローの回数を別のタイマでカウントしてください。
- MR3ビットを“0”(オーバーフローなし)にするには、TBiSビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバーフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書いてください。

5. オーバフローだけの検出には TBiC レジスタの IR ビットを使用してください。MR3 ビットは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。
6. カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマ Bi 割り込み要求は発生しません。
7. カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3 ビットが“1”になり、タイマ Bi 割り込み要求が発生する可能性があります。
8. パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

シリアル I/O 注意事項 (クロック同期形シリアル I/O モード)

送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTSi}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の $\overline{\text{CTS}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は RTS 機能は無効です。

送信

外部クロックを選択している場合、UiC0 レジスタの CKPOL ビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOL ビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・ UiC1 レジスタの TE ビットが“1”(送信許可)
- ・ UiC1 レジスタの TI ビットが“0”(UiTB レジスタにデータあり)
- ・ $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS}}$ 端子の入力が“L”

受信

1. クロック同期形シリアル I/O では送信器を動作させることにより、シフトクロックが発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TxDi 端子からはダミーデータが外部に出力されます。
2. 内部クロック選択時は UiC1 レジスタ (i=0~2) の TE ビットを“1”(送信許可)にし、ダミーデータを UiTB レジスタに設定するとシフトクロックが発生します。外部クロック選択時は TE ビットを“1”にし、ダミーデータを UiTB レジスタに設定し、外部クロックが CLKi 端子に入力されたときシフトクロックが発生します。
3. 連続してデータを受信する場合、UiC1 レジスタ (i=0~2) の RE ビットが“1”(UiRB レジスタにデータあり)で UARTi 受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRB レジスタの OER ビットが“1”(オーバランエラー発生)になります。この場合、UiRB レジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときは SiRIC レジスタの IR ビットは変化しません。

4. 連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトヘダミーデータを設定してください。
5. 外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態で次の条件を満たしてください。
 - ・UiC1レジスタのREビットが“1” (受信許可)
 - ・UiC1レジスタのTEビットが“1” (送信許可)
 - ・UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)

シリアルI/O 注意事項 (UART モード)

特殊モード4(SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし)にしてください。

A/D コンバータの注意事項

1. ADCON0レジスタ(ビット6を除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。
2. ADCON1レジスタのVCUTビットを“0” (Vref未接続)から“1” (Vref接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
3. ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVcc 端子、アナログ入力端子(ANi(i=0~7))とAVss端子の間には、それぞれコンデンサを挿入してください。同様にVcc端子とVss端子の間にもコンデンサを挿入してください。図19.2に各端子の処理例を示します。
4. アナログ入力端子として使用する端子に対応するポート方向ビットは“0” (入力モード)にしてください。また、ADCON0レジスタのTRGビットが“1” (外部トリガ)の場合は、ADTRG端子に対応するポート方向ビットは“0” (入力モード)にしてください。

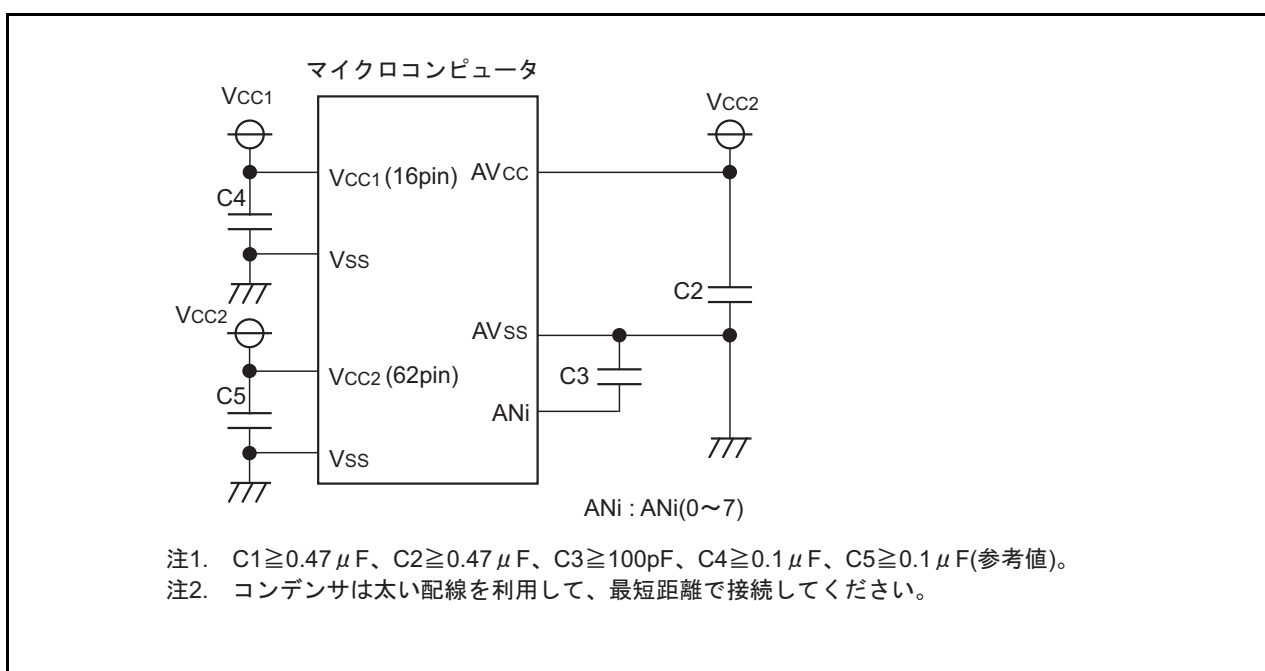


図19.2 各端子の処理例

5. ϕ ADの周波数を10MHz以下にしてください。サンプル&ホールド機能なしの場合、 ϕ ADの周波数は250kHz以上にしてください。サンプル&ホールド機能ありの場合、 ϕ ADの周波数は1MHz以上にしてください。
6. A/D動作モードを変更した場合は、ADCON0レジスタのCH2～CH0ビットまたはADCON1レジスタのSCAN1～SCAN0ビットでアナログ入力端子を再選択してください。
7. A/D変換が完了し、その結果をADiレジスタ(i=0～7)に格納するタイミングでCPUがADiレジスタを読んだ場合、誤った値がADiレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。
 - 単発モードまたは単掃引モードで使用する場合
A/D変換が完了したことを確認してから、対象となるADiレジスタを読んでください(A/D変換の完了はADICレジスタのIRビットで判定できます)。
 - 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUクロックは、メインクロックを分周せずに使用してください。
8. A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

プログラマブル入出力ポート注意事項

1. S3CレジスタのSM32ビットを“1”にすると、P92端子はハイインピーダンスになります。S4CレジスタのSM42ビットを“1”にすると、P96端子はハイインピーダンスになります。
2. プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。
したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件の V_{IH} 、 V_{IL} の範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

フラッシュメモリ版とマスクROM版の相違点に関する注意事項

フラッシュメモリ版とマスクROM版は、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

フラッシュメモリ版の注意事項

フラッシュメモリ書き換え禁止機能の注意事項

0FFFDF16、0FFFE316、0FFFEB16、0FFFEF16、0FFFF316、0FFFF716、0FFFFB16 番地は、ID コードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFFF16番地はROMCPレジスタです。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

ストップモードに関する注意事項

ストップモードに移行する場合は、次のようにしてください。

- ・ FMR01 ビットを “0” (CPU 書き換えモード無効) にし、DMA 転送を禁止した後で、CM10 ビットを “1” (ストップモード) にする
- ・ CM10 ビットを “1” にする命令の次に JMP.B 命令を実行する

```
プログラム例      BSET      0, CM1      ; ストップモード
                   JMP.B      L1
```

L1 :

ストップモード復帰後のプログラム

ウェイトモードに関する注意事項

ウェイトモードに移行する場合は、FMR01 ビットを “0” (CPU 書き換えモード無効) にした後、WAIT 命令を実行してください。

低消費電力モードの注意事項

CM05 ビットが “1” (メインクロック停止) のときは、次のコマンドを実行しないでください。

- ・ プログラム、ブロックイレーズ、ロックビットプログラム

コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

プログラムコマンドの注意事項

第1バスサイクルで “xx4016” を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

ロックビットプログラムコマンドの注意事項

第1バスサイクルで “xx7716”、第2バスサイクルで “xxD016” をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに “0” が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM6ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

割り込み

EW0モード

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できません。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ウォッチドッグタイマ割り込みは使用しないでください。
- NMI割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できません。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。

アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、NMI端子に“H”を入力した状態で行ってください。

ユーザROM領域の書き換え

EW0モード

- 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

EW1モード

- 書き換え制御プログラムが格納されているブロックを書き換えしないでください。

DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

プログラム、イレーズ回数と実行時間について

ソフトウェアコマンド(プログラムコマンド、ブロックイレーズコマンド、ロックビットプログラムコマンド)の実行時間はプログラム、イレーズ回数とともに長くなります。特にプログラム、イレーズ回数が100回を超えるとソフトウェアコマンドの実行時間は顕著に長くなるため、ソフトウェアコマンドの待ち時間の設定は、電気的特性の最大値以上に設定してください。

ソフトウェアコマンドはハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込みで中断されます。
ソフトウェアコマンドを中断した場合、そのブロックをイレーズした後に再度実行してください。

その他の注意事項

電源立ち上げ時又は電源立ち下げ時の注意事項

Vcc1、Vcc2、VDD2、AVccは同時に電源を投入してください。動作中は必ず同一電位に設定してください。

また、電源をOFFする場合、Vcc1、Vcc2、VDD2、AVccは同時に電源を立ち下げてください。

Vcc1 < Vcc2で使用する場合は、電源立ち上げ時、立ち下げ時にVcc1の電圧が、Vcc2の電圧を超えないようにしてください。

Vcc1電源のみOFFにする場合（Vcc2電圧印加状態）は、以下の手順で処理を行ってください。

電源立ち上げ時、立ち下げ時を含め、電源電圧が変化する場合等の過渡的状态では、Vcc1、VDD2、いずれの電源電圧もVcc2の電圧を超えないようにしてください。

Vcc1電源OFFの手順(*1)

- ① Vcc1系端子を使用する割り込みを禁止する
- ② Vcc1系周辺機能を停止する(*2)
- ③ Vcc1系ポートを入力モードに設定する
- ④ VCCOFF端子を“L”から“H”にする
- ⑤ Vcc1電源を立ち下げる]

(*1) 手順①～④の詳細は以下の「補足」を参照してください。

(*2) Vcc1系の端子からの入力を使用する場合に限られます。詳細は以下の「補足」を参照ください。

Vcc1電源ONの手順

- ① Vcc1電源を立ち上げる
- ② VCCOFF端子(91pin)を“H”から“L”にする
- ③ Vcc1系のポート、周辺機能、割り込みを設定する

<補足>

- ① Vcc1系端子の影響を受ける割り込みの禁止について

Vcc1系端子の影響を受ける割り込みの禁止は、次の割り込み制御レジスタの割り込み優先度レベル選択ビットと割り込み要求ビットを0に設定することにより行います。

TA0IC～TA4IC（タイマA割り込み制御レジスタ）

INT0～INT2IC（外部割り込み制御レジスタ）

S0RIC～S2RICの（UART受信割り込み制御レジスタ）

他の割り込みを禁止にしてもソフトウェア上問題ない場合は、Iフラグのクリアのみ行い、手順④の後に上記割り込み禁止処理をすることも可能です。

② Vcc1系周辺機能の停止

Vcc1系端子入力の影響する場合は機能を停止してください。

Vcc1系端子入力の影響する場合は下記のもので。

- ・タイマA(TA0～TA4)、イベントカウントモードで動作させている場合
- ・イベントカウントモード、ワンショットタイマ、PWMモードでゲート入力機能を使用している場合。(タイマAモードレジスタ TA0MR～TA4MRのMR2ビットを“1”に設定している場合があてはまります)
- ・UART0～UART2の受信設定を行っている場合

これらの場合は、次の設定を行ってください。

- ・タイマA
タイマA0～A4のタイマカウント開始フラグ (TABSレジスタのTA0S～TA4Sビット)を“0”に設定します。
- ・UART受信
U0C1～U2C1レジスタのREビット、TEビットを“0”に設定してください。

サブクロック起動時の注意点

STARTB端子=“H”でリセット解除した場合、サブクロックの8分周がCPUクロックになります。

この条件で使用する場合はCM0レジスタのCM07ビットを“1”に設定し、CPUクロックをサブクロック(分周なし)に切替えてください。

電源ノイズ及びラッチアップ対策に関する注意点

電源ノイズ及びラッチアップ対策として、Vcc1端子、Vcc2端子とVss端子間、VDD2端子とVss2端子間、及びAVcc端子とAVss端子間にバイパスコンデンサ(0.1μF以上)を最短距離で、かつ比較的太い配線を使って接続してください。

また、TEST1(93pin)端子には、コンデンサ(0.1μF以上)を介してVss(GND)に接続してください。

データスライサ用発振回路停止の注意点

データスライサを使用しない場合は、拡張レジスタ XTAL_VCO、PDC_VCO_ON、VPS_VCO_ONを“L”に設定し発振を停止ください。

再度発振開始する場合は以下の順で立ち上げてください。

- (a)拡張レジスタ XTAL_VCO=“H”
- (b)拡張レジスタ PDC_VCO_ON、VPS_VCO_ON=“H”
- (c)60ms以上待ち状態(内部発振回路の安定期間+データスライス準備)

※スライスRAMが動作する為には拡張レジスタ XTAL_VCO=“H”に設定してください。同期用発振停止より発振開始する場合は、必ず20msを待ってメモリにアクセスしてください。

スタンバイモード(クロック停止)時の注意点

スタンバイモード時は、次の通りに拡張レジスタを設定してください。

- (a)拡張レジスタ XTAL_VCO、PDC_VCO_ON、VPS_VCO_ONを“L”に設定。

クロック発振停止から発振状態に戻す場合は、データスライサ用発振回路停止の注意点の通り設定してください。

拡張レジスタ 3616番地、3E16番地のデータ設定に関する注意点

拡張機能の割り込み(SLICEON, リモコン, HINT, 時計タイマ, リモコン送信割り込み)を使用する場合、3616番地および3E16番地の対応する割り込み制御ビットに初期データを設定した後は、データ変更しないでください。

低電圧動作時 ($V_{CC}=2.0V \sim 5.5V$, $f(X_{CIN})=32KHz$ 時)の注意点

本製品はシングルチップモード時の低消費電力モードにおいて低電圧動作を行うことができます。低電圧動作を行う場合、必ず低消費電力モード(BCLK:f(XCIN)選択、メインクロック XIN:停止、サブクロック XCIN:発振)に設定した後、電源電圧を $V_{CC}=3.0V$ に降圧してください。

また、通常動作に復帰する場合、低消費電力モードのまま電源電圧を $5V$ まで昇圧した後、通常動作モードに移行してください。

各種の動作モードの移行時には、4.4 パワーコントロールに示す状態遷移に従って状態遷移してください。

図 19.3に、動作モード移行時の V_{CC} 電源電圧の状態を示します。

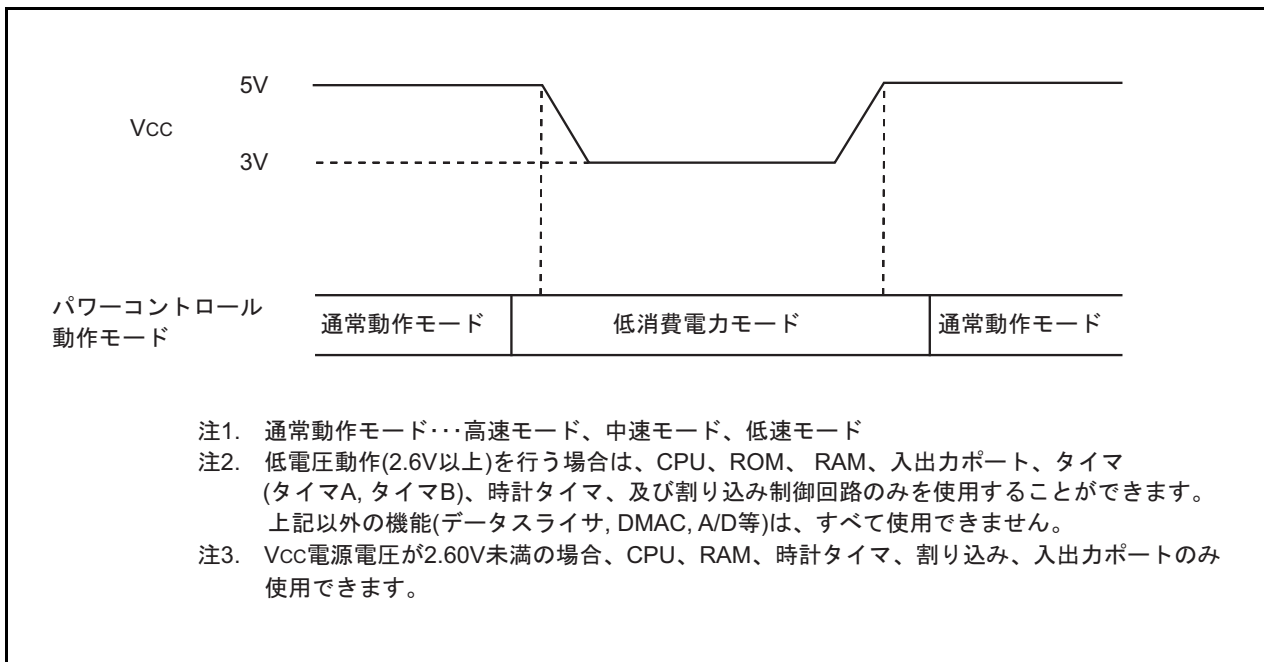


図 19.3 動作モード移行時の V_{CC} 電源電圧状態

シリアルI/O(注意事項 RxDi 入力セットアップ時間)

RxDi 入力セットアップ時間につき、「17. 電気的特性 表 17.23 シリアル I/O」共に下記規格値をご使用ください。

表 19.1 シリアルI/O ($V_{CC}=5V$)

記号	項目	規格値		単位
		最小	最大	
$t_{su}(D-C)$	RxDi入力セットアップ時間	70		ns

注1. 「17. 電気的特性 表17.23 シリアルI/O」を参照してください。

LP3及びLP4端子に関する注意点

LP3及びLP4には、図19.4のようにフィルタを接続してください。

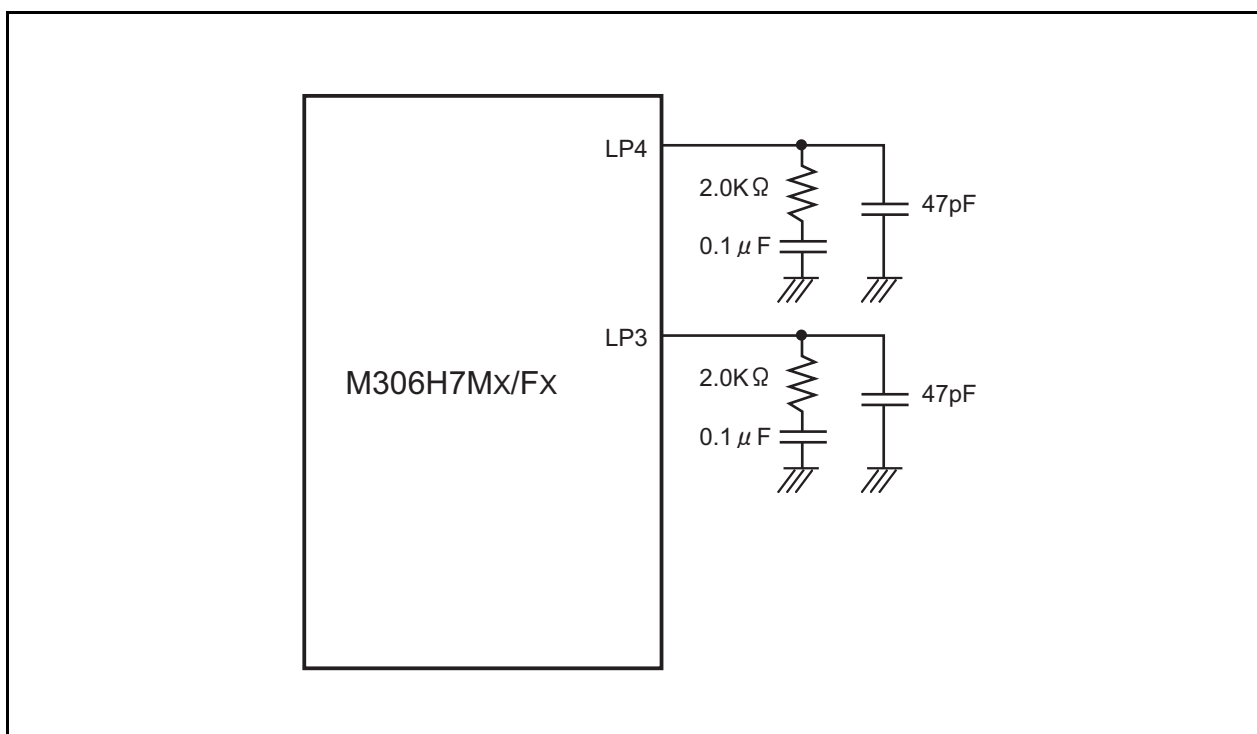


図19.4 各端子の処理例

CVIN、SYNCIN及びSVREF端子に関する注意点

データスライサを使用しない場合、CVIN、SYNCIN及びSVREF端子は、GNDに接続してください。

改訂記録

M306H7MG-XXXFP/MC-XXXFP/FGFP データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.02	-	初版発行
1.01	2005.09.15	7 160	表 1.3 入出力ポート P1 の項目を追加。 図 12.3 注 2 を削除。
1.02	2005.10.27	156	レジスタ図追加。
2.00	2006.03.27	206 207 210 211 212 214 217 219 220 221 226 ~ 228 236 239 ~ 241 272 276 285 292 294 295	(13) 0C ₁₆ , 13 ₁₆ , 1A ₁₆ 番地のレジスタ図変更。 (15) 1C ₁₆ 番地のレジスタ図変更。 (21) 22 ₁₆ 番地, (22) 23 ₁₆ 番地のレジスタ図変更。 (23) 24 ₁₆ 番地のレジスタ図変更。 (25) 26 ₁₆ 番地のレジスタ図変更。 (27) 28 ₁₆ 番地のレジスタ図変更。 (32) 2D ₁₆ 番地のレジスタ図変更。 (35) 30 ₁₆ 番地, (36) 31 ₁₆ 番地のレジスタ図変更。 (39) 34 ₁₆ 番地のレジスタ図変更。 (40) 35 ₁₆ 番地のレジスタ図変更。 (47) 3C ₁₆ 番地 ~ (50) 3F ₁₆ 番地のレジスタ図変更。 図 14.14 変更。 14.6 (6) リモコン送信機能の項目追加。 表 17.1 ユーザROM 領域の性能項目変更。 表 17.2 注 1、2 変更。 表 17.3 注 2 変更。 図 17.5 注 5 変更。 図 17.12 イレーズエラー (3) 変更。 表 17.7 STARTB の機能項目変更。 図 17.13 変更。
2.10	2006.10.25	19 23 36 46 54 55 62 63 137 156 194	レジスタ番地の表変更。 図 3.4 変更。 表 4.2 変更。 表 6.2 変更。 図 6.9 変更。 L8~9 追加。 図 8.2 注釈変更。 図 8.3 注釈変更。 表 11.1 変更。 I ² C0 割り込み制御レジスタ図 変更。 表 14.4 変更。

改訂記録

M306H7MG-XXXFP/MC-XXXFP/FGFP データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2006.10.25	206	(13) 0C ₁₆ , 13 ₁₆ , 1A ₁₆ 番地のレジスタ図 変更。
		212	(25) 26 ₁₆ 番地のレジスタ図 変更。
		220	(38) 33 ₁₆ 番地のレジスタ図 変更。
		222	(41) 36 ₁₆ 番地のレジスタ図 注釈変更。
		228	(49) 3E ₁₆ 番地のレジスタ図 変更。
		248	図 15.1 変更。
		255	図 15.9 変更。
		258	図 15.11 注釈削除。
		263	表 16.8 変更。
		297	表 17.7 変更。
		298	図 17.13 変更。
		299	図 17.14 変更。
		300	図 17.15 変更。
		317	拡張レジスタ 36 ₁₆ 番地, 3E ₁₆ 番地のデータ設定に関する注意点 追加。

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com