

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

M32C/80グループは高性能シリコンゲートCMOSプロセスを採用し、M32C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドLQFP/QFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

M32C/80グループはROMレス版です。

リセット後、マイクロプロセッサモードで使用してください。

1.1 応用

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

1.2 性能概要

表1.1にM32C/80グループの性能概要を示します。

表1.1 M32C/80グループの性能概要

項目		性能
CPU	基本命令数	108命令
	最小命令実行時間	31.3ns (f(BCLK)=32MHz時、V _{CC1} =4.2~5.5V) 41.7ns (f(BCLK)=24MHz時、V _{CC1} =3.0~5.5V)
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ
	アドレス空間	16Mバイト
	メモリ容量	表1.2を参照してください
周辺機能	入出力ポート	入出力：47本(16ビットバス使用時)、入力：1本
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路
	インテリジェントI/O通信機能	2チャンネル
	シリアルI/O	5チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I ² C bus ^(注1) 、IEBus ^(注2)
	A/Dコンバータ	10ビット A/Dコンバータ：1回路、10チャンネル
	D/Aコンバータ	8ビット×2チャンネル
	DMAC	4チャンネル
	DMAC II	すべての周辺機能割り込み要因で起動 即値転送機能、演算転送機能、チェーン転送機能
	CRC演算回路	CRC-CCITT方式
	X/Y変換回路	16ビット×16ビット
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)
	割り込み	内部：34要因、外部：8要因、ソフトウェア：5要因 割り込み優先レベル：7レベル
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵)
	発振停止検出機能	メインクロック発振停止検出機能
電気的特性	電源電圧	V _{CC1} =4.2V~5.5V、V _{CC2} =3.0V~V _{CC1} (f(BCLK)=32MHz) V _{CC1} =3.0V~5.5V、V _{CC2} =3.0V~V _{CC1} (f(BCLK)=24MHz)
	消費電流	22mA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32MHz) 17mA (V _{CC1} =V _{CC2} =3.3V、f(BCLK)=24MHz) 10μA (V _{CC1} =V _{CC2} =3.3V、f(BCLK)=32kHz、ウエイトモード)
動作周囲温度		-20 ~ 85、-40 ~ 85 (オプション)
パッケージ		100ピンプラスチックモールドLQFP/QFP

注1. I²C busはオランダPHILIPS社の登録商標です。

注2. IEBusはNECエレクトロニクス株式会社の商標です。

オプション機能をご使用になる場合は、その旨ご指定ください。

1.3 ブロック図

図1.1にM32C/80グループのブロック図を示します。

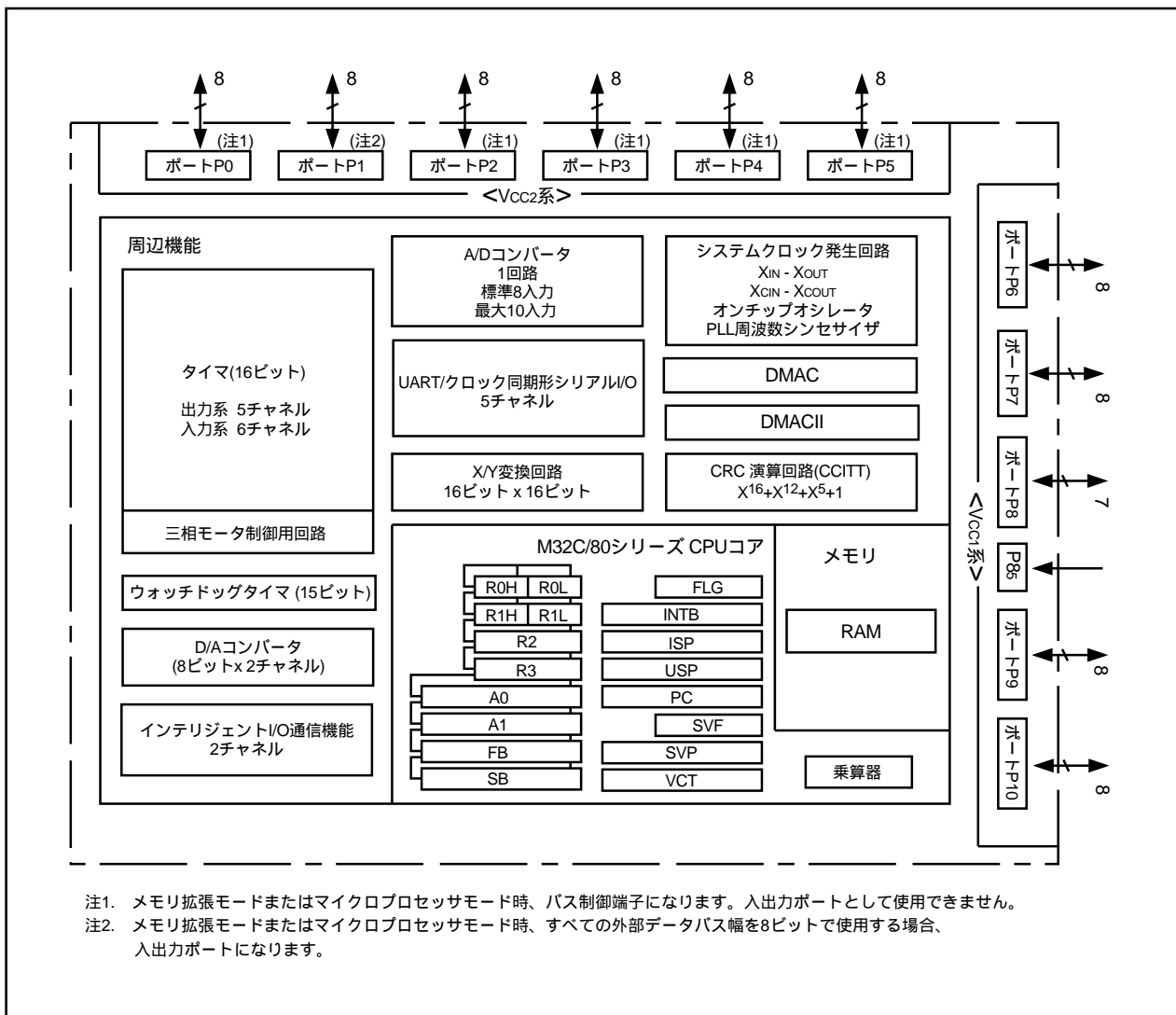


図1.1 M32C/80グループのブロック図

1.4 製品一覧

表1.2に製品一覧表、図1.2に型名とメモリサイズ・パッケージを示します。

表1.2 製品一覧表

2005年9月現在

型名	パッケージ	ROM容量	RAM容量	備考
M30800SAGP	PLQP0100KB-A (100P6Q-A)	---	8K	ROMレス版
M30800SAFP	PRQP0100JB-A (100P6S-A)			
M30800SAGP-BL	PLQP0100KB-A (100P6Q-A)			ブートローダ内蔵
M30800SAFP-BL	PRQP0100JB-A (100P6S-A)			ROMレス版

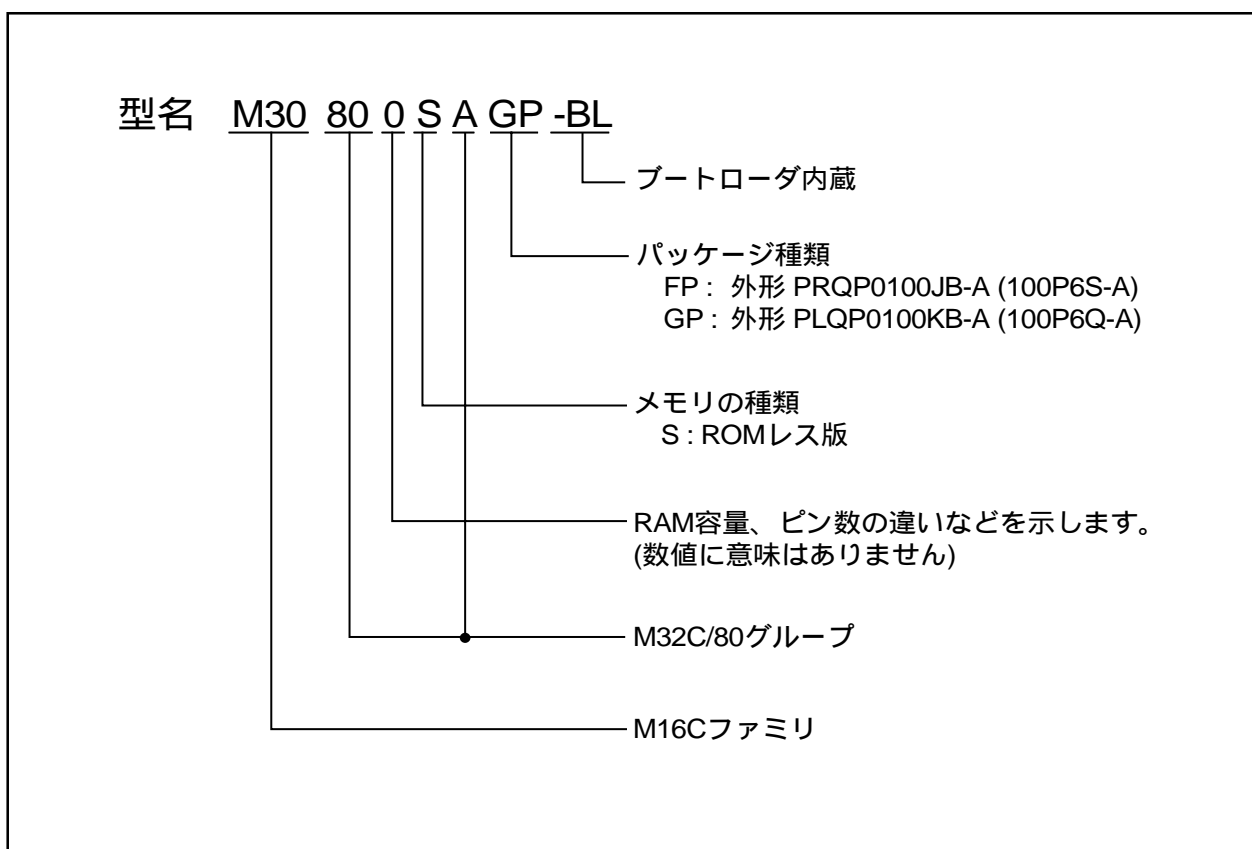


図1.2 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3、図1.4にピン接続図(上面図)を表1.3、表1.4にピン端子名一覧を示します。

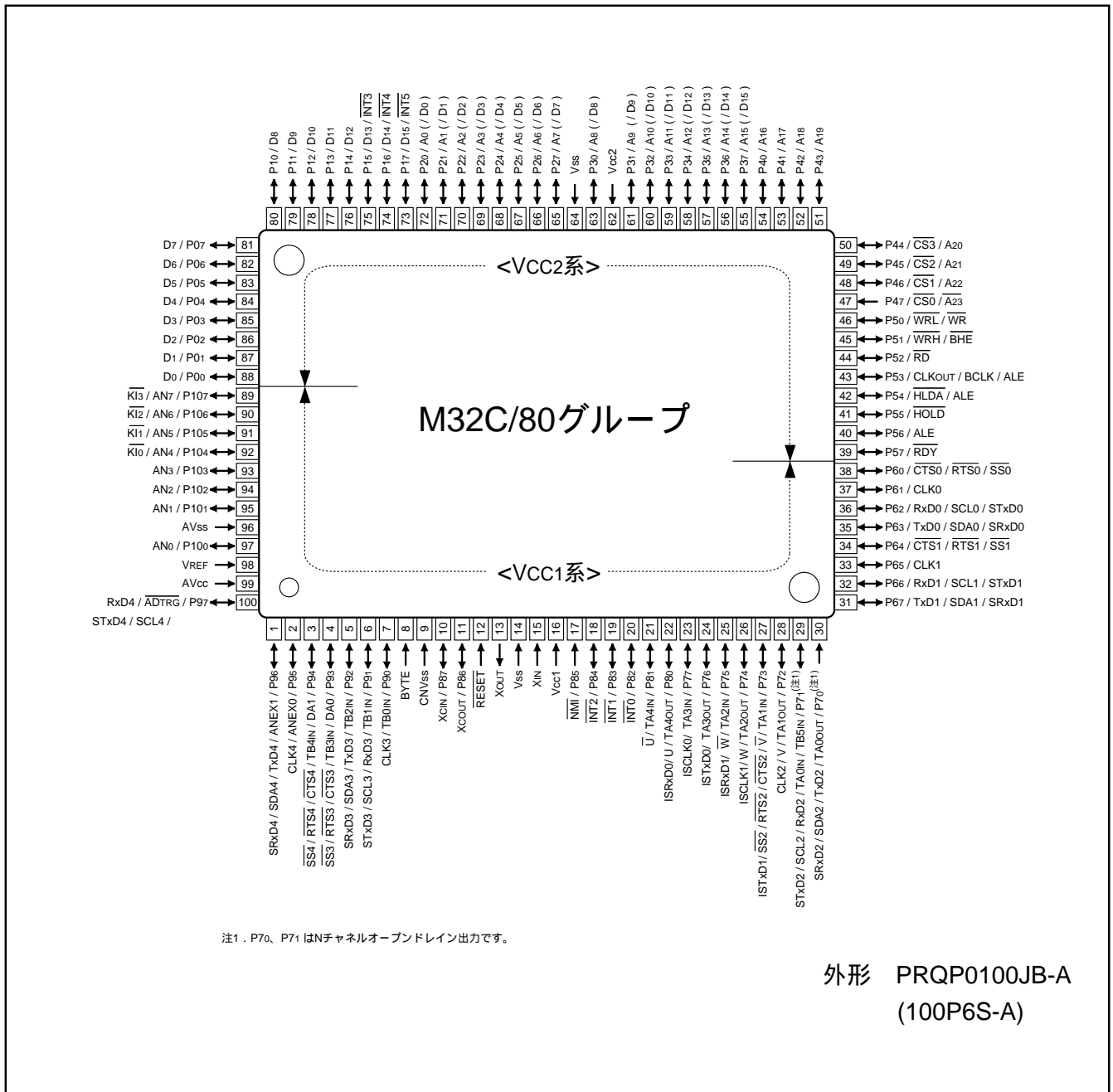


図1.3 100ピン版ピン接続図(上面図)

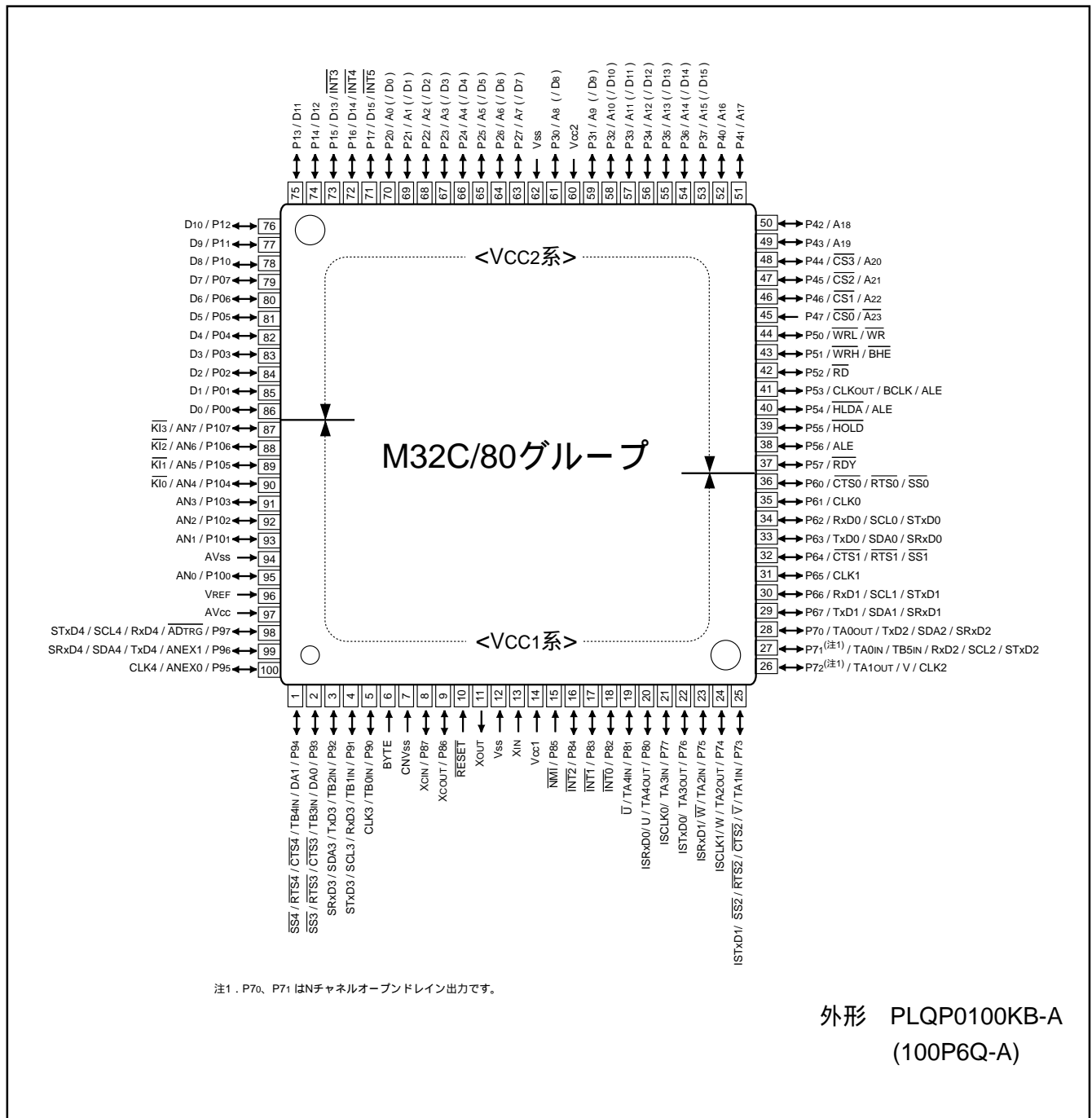


図1.4 100ピン版ピン接続図(上面図)

表1.3 100ピン版ピン端子名一覧表(1)

パッケージ ピン番号		制御端子	ポート	割り込み 端子	タイマ端子	UART端子	アナログ 端子	バス制御端子	インテリジェント I/O端子
FP	GP								
1	99		P96			TxD4/SDA4/SRxD4	ANEX1		
2	100		P95			CLK4	ANEX0		
3	1		P94		TB4IN	CTS4/RTS4/SS4	DA1		
4	2		P93		TB3IN	CTS3/RTS3/SS3	DA0		
5	3		P92		TB2IN	TxD3/SDA3/SRxD3			
6	4		P91		TB1IN	RxD3/SCL3/STxD3			
7	5		P90		TB0IN	CLK3			
8	6	BYTE							
9	7	CNVss							
10	8	XCIN	P87						
11	9	XCOUT	P86						
12	10	RESET							
13	11	XOUT							
14	12	Vss							
15	13	XIN							
16	14	Vcc1							
17	15		P85	NMI					
18	16		P84	INT2					
19	17		P83	INT1					
20	18		P82	INT0					
21	19		P81	TA4IN \bar{U}					
22	20		P80	TA4OUT/U					ISRxD0
23	21		P77	TA3IN					ISCLK0
24	22		P76	TA3OUT					ISTxD0
25	23		P75	TA2IN \bar{W}					ISRxD1
26	24		P74	TA2OUT/W					ISCLK1
27	25		P73	TA1IN \bar{V}		CTS2/RTS2/SS2			ISTxD1
28	26		P72	TA1OUT/V		CLK2			
29	27		P71	TB5IN/TA0IN		RxD2/SCL2/STxD2			
30	28		P70	TA0OUT		TxD2/SDA2/SRxD2			
31	29		P67			TxD1/SDA1/SRxD1			
32	30		P66			RxD1/SCL1/STxD1			
33	31		P65			CLK1			
34	32		P64			CTS1/RTS1/SS1			
35	33		P63			TxD0/SDA0/SRxD0			
36	34		P62			RxD0/SCL0/STxD0			
37	35		P61			CLK0			
38	36		P60			CTS0/RTS0/SS0			
39	37		P57					RDY	
40	38		P56					ALE	
41	39		P55					HOLD	
42	40		P54					HLDA/ALE	
43	41		P53					CLKout/BCLK/ALE	
44	42		P52					\bar{RD}	
45	43		P51					WRH/BHE	
46	44		P50					WRL/WR	
47	45		P47					CS0/A23	
48	46		P46					CS1/A22	
49	47		P45					CS2/A21	
50	48		P44					CS3/A20	

表1.4 100ピン版ピン端子名一覧表(2)

パッケージ ピン番号		制御端子	ポート	割り込み 端子	タイマ端子	UART端子	アナログ 端子	バス制御端子	インテリジェント I/O端子
FP	GP								
51	49		P43					A19	
52	50		P42					A18	
53	51		P41					A17	
54	52		P40					A16	
55	53		P37					A15(/D15)	
56	54		P36					A14(/D14)	
57	55		P35					A13(/D13)	
58	56		P34					A12(/D12)	
59	57		P33					A11(/D11)	
60	58		P32					A10(/D10)	
61	59		P31					A9(/D9)	
62	60	VCC2							
63	61		P30					A8(/D8)	
64	62	Vss							
65	63		P27					A7(/D7)	
66	64		P26					A6(/D6)	
67	65		P25					A5(/D5)	
68	66		P24					A4(/D4)	
69	67		P23					A3(/D3)	
70	68		P22					A2(/D2)	
71	69		P21					A1(/D1)	
72	70		P20					A0(/D0)	
73	71		P17	$\overline{\text{INT5}}$				D15	
74	72		P16	$\overline{\text{INT4}}$				D14	
75	73		P15	$\overline{\text{INT3}}$				D13	
76	74		P14					D12	
77	75		P13					D11	
78	76		P12					D10	
79	77		P11					D9	
80	78		P10					D8	
81	79		P07					D7	
82	80		P06					D6	
83	81		P05					D5	
84	82		P04					D4	
85	83		P03					D3	
86	84		P02					D2	
87	85		P01					D1	
88	86		P00					D0	
89	87		P107	$\overline{\text{KI3}}$			AN7		
90	88		P106	$\overline{\text{KI2}}$			AN6		
91	89		P105	$\overline{\text{KI1}}$			AN5		
92	90		P104	$\overline{\text{KI0}}$			AN4		
93	91		P103				AN3		
94	92		P102				AN2		
95	93		P101				AN1		
96	94	AVss							
97	95		P100				AN0		
98	96						VREF		
99	97	AVcc							
100	98		P97			RxD4/SCL4/STxD4	$\overline{\text{ADTRG}}$		

1.6 端子機能の説明

表1.5 端子の機能説明(1)

分類	端子名	入出力	電源系統	機能
電源入力	Vcc1、Vcc2 Vss	入力	-	Vcc1、Vcc2端子には、3.0V～5.5Vを入力してください。Vccの入力条件はVcc2 Vcc1です。Vssには、0Vを入力してください。(注1)
アナログ電源入力	AVcc AVss	入力	-	A/Dコンバータの電源入力です。AVccはVcc1に接続してください。 AVssはVssに接続してください。
リセット入力	RESET	入力	Vcc1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態にな ります。
CNVss	CNVss	入力	Vcc1	Vcc1に接続してください。
外部データバス幅 切り替え入力	BYTE	入力	Vcc1	外部領域3のデータバスを切り替えるための端子です。この端子が“L”の場合16 ビット、“H”の場合8ビットになります。どちらかに固定してください。
バス制御端子	D0～D7	入出力	Vcc2	セバレートバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力 を行います。
	D8～D15	入出力	Vcc2	外部データバスが16ビットでセバレートバスを選択している領域をアクセスした ときデータ(D8～D15)の入出力を行います。
	A0～A22	出力	Vcc2	アドレスA0～A22を出力します。
	A23	出力	Vcc2	アドレスA23を反転して出力します。
	A0/D0～ A7/D7	入出力	Vcc2	マルチプレクスバスを選択している領域をアクセスしたときデータ(D0～D7)の入 出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
	A8/D8～ A15/D15	入出力	Vcc2	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセス したときデータ(D8～D15)の入出力と、アドレス(A8～A15)の出力を時分割で行い ます。
	CS0～CS3	出力	Vcc2	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	Vcc2	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHま たは、BHE、WRを切り替えられます。 WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、 WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出 します。 WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。 BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビット のときはこのモードを使用してください。
	ALE	出力	Vcc2	アドレスをラッチするための信号です。
	HOLD	入力	Vcc2	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
HLDA	出力	Vcc2	ホールド状態の期間、“L”を出力します。	
RDY	入力	Vcc2	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。	

注1. この説明以降、特に指定のない限り、文中にVccと記述されている場合はVcc1を示します。

表1.5 端子の機能説明(2)

分類	端子名	入出力	電源系統	機能
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
BCLK出力	BCLK	出力	VCC2	BCLK信号を出力します。
クロック出力	CLKOUT	出力	VCC2	fc、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0 ~ INT2	入力	VCC1	INT割り込みの入力です。
	INT3 ~ INT5	入力	VCC2	
NMI割り込み入力	NMI	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み	KI0 ~ KI3	入力	VCC1	キー入力割り込みです。
タイマA	TA0OUT ~ TA4OUT	入出力	VCC1	タイマA0 ~ A4の入出力です。 (ただし、TA0OUTの出力はNチャンネルオープンドレイン)
	TA0IN ~ TA4IN	入力	VCC1	タイマA0 ~ A4の入力です。
タイマB	TB0IN ~ TB5IN	入力	VCC1	タイマB0 ~ B5の入力です。
三相モータ制御用タイマ出力	U, U, V, V, W, W	出力	VCC1	三相モータ制御用タイマの出力です。
シリアルI/O	CTS0 ~ CTS4	入力	VCC1	送信制御用入力です。
	RTS0 ~ RTS4	出力	VCC1	受信制御用出力です。
	CLK0 ~ CLK4	入出力	VCC1	転送クロック入出力です。
	RxD0 ~ RxD4	入力	VCC1	シリアルデータ入力です。
	TxD0 ~ TxD4	出力	VCC1	シリアルデータ出力です(ただし、TxD2の出力はNチャンネルオープンドレイン)。
I ² Cモード	SDA0 ~ SDA4	入出力	VCC1	シリアルデータ入出力です(ただし、SDA2の出力はNチャンネルオープンドレイン)。
	SCL0 ~ SCL4	入出力	VCC1	転送クロック入出力です(ただし、SCL2の出力はNチャンネルオープンドレイン)。
シリアルインターフェース	STxD0 ~ STxD4	出力	VCC1	スリープモードを選択したときのシリアルデータ出力です(ただし、STxD2の出力はNチャンネルオープンドレイン)。
特殊機能	SRxD0 ~ SRxD4	入力	VCC1	スリープモードを選択したときのシリアルデータ入力です。
	SS0 ~ SS4	入力	VCC1	シリアルインターフェース特殊機能の制御用入力です。

表1.5 端子の機能説明(3)

分類	端子名	入出力	電源系統	機能
基準電圧入力	VREF	入力	-	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN7	入力	VCC1	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/D外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0, DA1	出力	VCC1	D/Aコンバータの出力です。
インテリジェント	ISCLK0, ISCLK1	入出力	VCC1	インテリジェントI/O通信機能の転送クロック入出力です。
I/O通信機能	ISTxD0, ISTxD1	出力	VCC1	インテリジェントI/O通信機能のデータ出力です。
	ISRxD0, ISRxD1	入力	VCC1	インテリジェントI/O通信機能のデータ入力です。
入出力ポート	P00 ~ P07 ^(注1) P10 ~ P17 ^(注2) P20 ~ P27 ^(注1) P30 ~ P37 ^(注1) P40 ~ P47 ^(注1) P50 ~ P57 ^(注1)	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで4ビット単位でプルアップ抵抗の有無を選択できます。
	P60 ~ P67 P70 ~ P77 P90 ~ P97 P100 ~ P107	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです(ただし、P70とP71はNチャネルオープンドレイン出力)。
	P80 ~ P84, P86, P87	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
	P85	入力	VCC1	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。

注1. メモリ拡張モードまたはマイクロプロセッサモード時、バス制御端子になります。入出力ポートとして使用できません。

注2. メモリ拡張モードまたはマイクロプロセッサモード時、すべての外部データバス幅を8ビットで使用する場合、入出力ポートになります。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには28個のレジスタがあります。

これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個はレジスタバンクを構成しています。レジスタバンクは2セットあります。

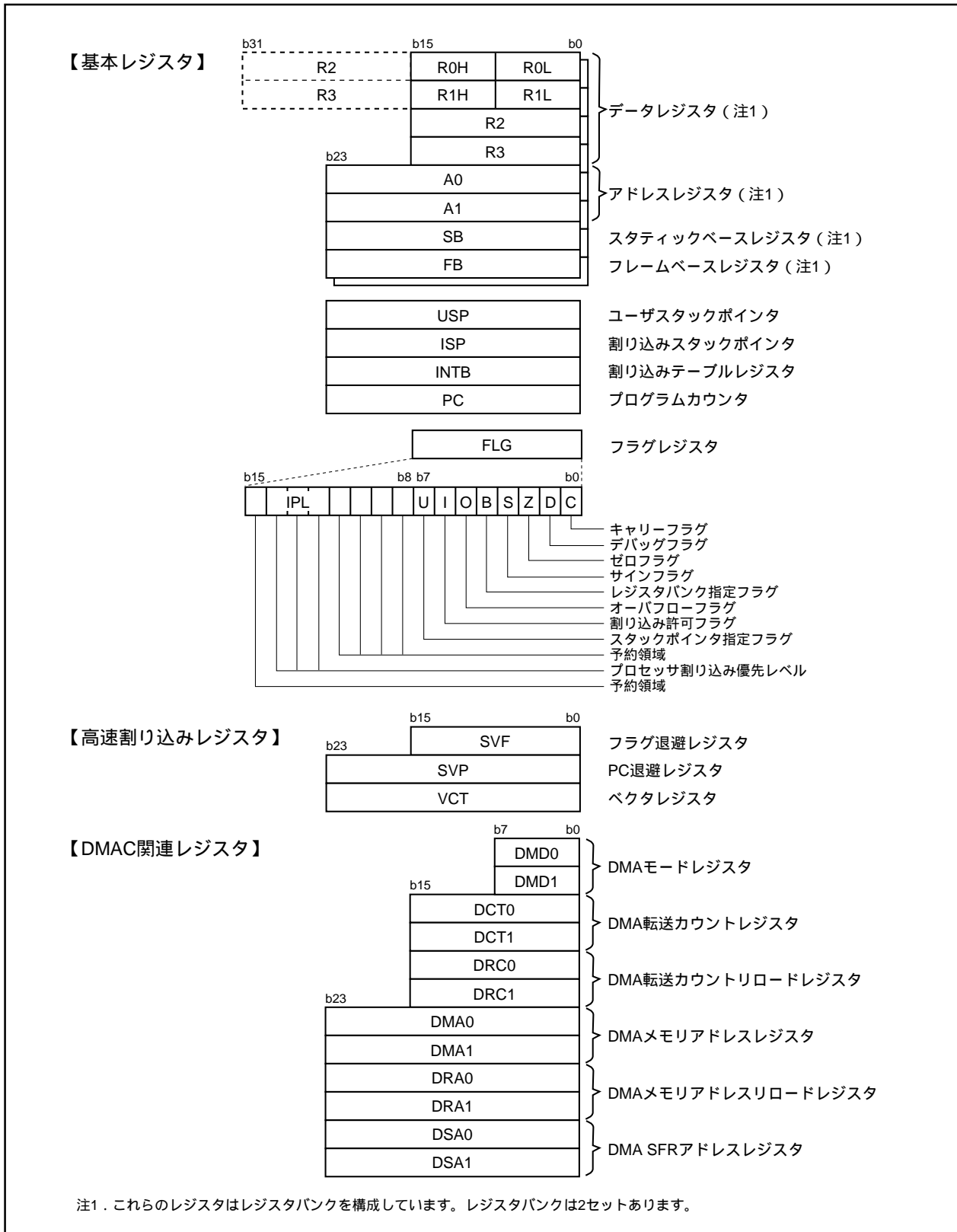


図2.1 CPUのレジスタ

2.1 基本レジスタ

2.1.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用します。R1はR0と同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用します。R3R1はR2R0と同様です。

2.1.2 アドレスレジスタ(A0、A1)

A0は24ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。

A1はA0と同様です。

2.1.3 スタティックベースレジスタ(SB)

SBは24ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ(FB)

FBは24ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ(PC)

PCは24ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みテーブルレジスタ(INTB)

INTBは24ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)はUSPとISPの2種類あり、共に24ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグは「2.1.8 フラグレジスタ(FLG)」を参照してください。

USPとISPは偶数番地に設定してください。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ(FLG)

FLGは16ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリーフラグ(C)

命令実行後のキャリーやボローの有無を示します。

2.1.8.2 デバッグフラグ(D)

Dフラグはデバッグ専用です。“0”にしてください。

2.1.8.3 ゼロフラグ(Z)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

2.1.8.4 サインフラグ(S)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ(B)

Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ(O)

演算の結果がオーバフローしたとき“1”になります。それ以外では“0”になります。

2.1.8.7 割り込み許可フラグ(I)

マスクابل割り込みを許可するビットです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このビットは“0”になります。

2.1.8.8 スタックポインタ指定フラグ(U)

Uフラグが“0”のときISPが指定され、“1”のときUSPが指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7まで8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きいとき、その割り込みは許可されます。

2.1.8.10 予約領域

書くときは“0”を書いてください。読んだとき、その値は不定です。

2.2 高速割り込みレジスタ

高速割り込みに関するレジスタは次のとおりです。

- ・フラグ退避レジスタ(SVF)
- ・PC退避レジスタ(SVP)
- ・ベクタレジスタ(VCT)

2.3 DMAC関連レジスタ

DMACに関するレジスタは次のとおりです。

- ・DMAモードレジスタ(DMD0、DMD1)
- ・DMA転送カウンタレジスタ(DCT0、DCT1)
- ・DMA転送カウンタリロードレジスタ(DRC0、DRC1)
- ・DMAメモリアドレスレジスタ(DMA0、DMA1)
- ・DMA SFRアドレスレジスタ(DSA0、DSA1)
- ・DMAメモリアドレスリロードレジスタ(DRA0、DRA1)

3. メモリ

図3.1にメモリ配置図を示します。

アドレス空間は000000₁₆番地からFFFFFF₁₆番地までの16Mバイトあります。

固定割り込みベクタはFFFFDC₁₆番地からFFFFFF₁₆番地に配置されています。ここに各割り込みルーチンの先頭番地を格納します。

内部RAMは000400₁₆番地から上位方向に配置されています。例えば8Kバイトの内部RAMは、000400₁₆番地から0023FF₁₆番地に配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFRは000000₁₆番地から0003FF₁₆番地に配置されています。ここには入出力ポート、A/Dコンバータ、シリアルI/O、タイマなどの周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない番地はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタはFFFE00₁₆番地からFFFFDB₁₆番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M32C/80シリーズ ソフトウェアマニュアル」を参照してください。

マイクロプロセッサモード時、一部の領域は予約領域となり使用できません。

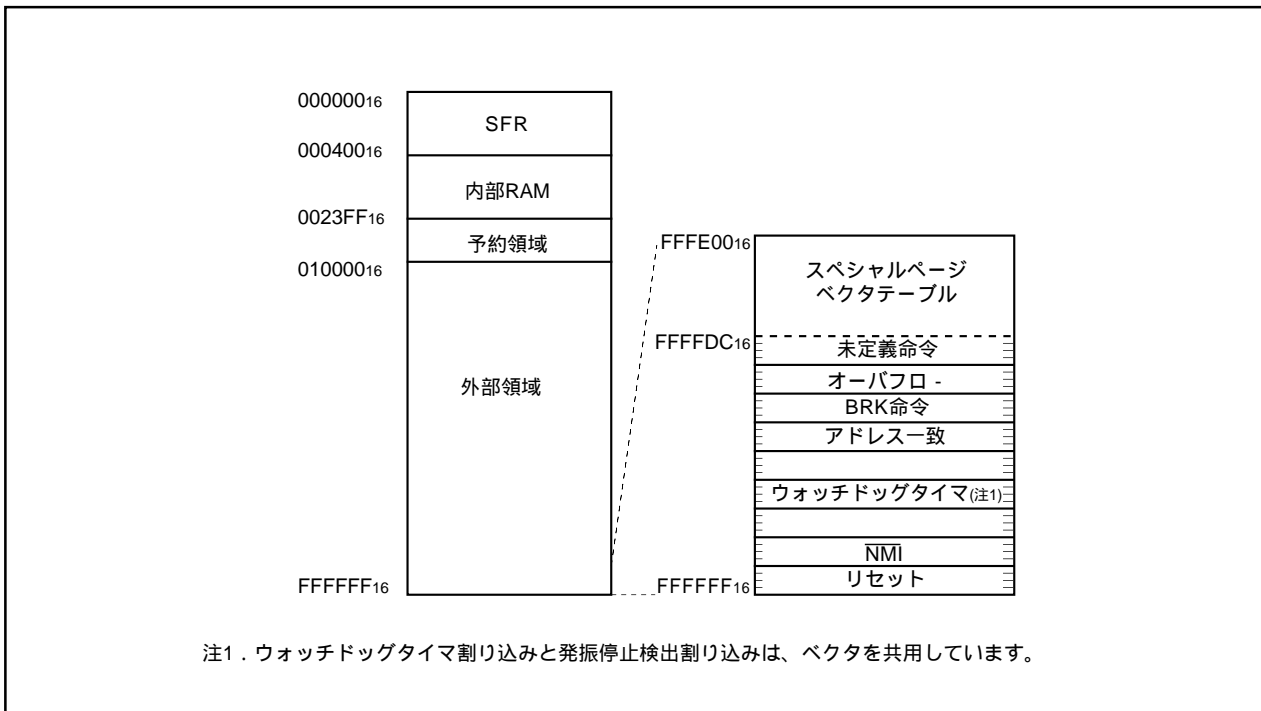


図3.1 メモリ配置図

4. SFR

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0 ^(注1)	PM0	0000 0011 ₂ (CNVss端子が"H")
0005 ₁₆	プロセッサモードレジスタ1	PM1	00 ₁₆
0006 ₁₆	システムクロック制御レジスタ0	CM0	0000 1000 ₂
0007 ₁₆	システムクロック制御レジスタ1	CM1	0010 0000 ₂
0008 ₁₆			
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	00 ₁₆
000A ₁₆	プロテクトレジスタ	PRCR	XXXX 0000 ₂
000B ₁₆	外部データバス幅制御レジスタ	DS	XXXX 1000 ₂ (BYTE端子が"L") XXXX 0000 ₂ (BYTE端子が"H")
000C ₁₆	メインクロック分周レジスタ	MCD	XXX0 1000 ₂
000D ₁₆	発振停止検出レジスタ	CM2	00 ₁₆
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	XX ₁₆
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXX ₂
0010 ₁₆			
0011 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	000000 ₁₆
0012 ₁₆			
0013 ₁₆	プロセッサモードレジスタ2	PM2	00 ₁₆
0014 ₁₆			
0015 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	000000 ₁₆
0016 ₁₆			
0017 ₁₆			
0018 ₁₆			
0019 ₁₆	アドレス一致割り込みレジスタ2	RMAD2	000000 ₁₆
001A ₁₆			
001B ₁₆			
001C ₁₆			
001D ₁₆	アドレス一致割り込みレジスタ3	RMAD3	000000 ₁₆
001E ₁₆			
001F ₁₆			
0020 ₁₆			
0021 ₁₆			
0022 ₁₆			
0023 ₁₆			
0024 ₁₆			
0025 ₁₆			
0026 ₁₆	PLL制御レジスタ0	PLC0	0001 X010 ₂
0027 ₁₆	PLL制御レジスタ1	PLC1	000X 0000 ₂
0028 ₁₆			
0029 ₁₆	アドレス一致割り込みレジスタ4	RMAD4	000000 ₁₆
002A ₁₆			
002B ₁₆			
002C ₁₆			
002D ₁₆	アドレス一致割り込みレジスタ5	RMAD5	000000 ₁₆
002E ₁₆			
002F ₁₆			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1. PM0レジスタのPM00、PM01ビットはソフトウェアリセット、ウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

番地	レジスタ	シンボル	リセット後の値
0030 ₁₆			
0031 ₁₆			
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆			
0036 ₁₆			
0037 ₁₆			
0038 ₁₆	アドレス一致割り込みレジスタ6	RMAD6	000000 ₁₆
0039 ₁₆			
003A ₁₆			
003B ₁₆			
003C ₁₆	アドレス一致割り込みレジスタ7	RMAD7	000000 ₁₆
003D ₁₆			
003E ₁₆			
003F ₁₆			
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆			
0045 ₁₆			
0046 ₁₆			
0047 ₁₆			
0048 ₁₆	外部領域ウェイト制御レジスタ0	EWCR0	X0X0 0011 ₂
0049 ₁₆	外部領域ウェイト制御レジスタ1	EWCR1	X0X0 0011 ₂
004A ₁₆	外部領域ウェイト制御レジスタ2	EWCR2	X0X0 0011 ₂
004B ₁₆	外部領域ウェイト制御レジスタ3	EWCR3	X0X0 0011 ₂
004C ₁₆			
004D ₁₆			
004E ₁₆			
004F ₁₆			
0050 ₁₆			
0051 ₁₆			
0052 ₁₆			
0053 ₁₆			
0054 ₁₆			
0055 ₁₆			
0056 ₁₆			
0057 ₁₆			
0058 ₁₆			
0059 ₁₆			
005A ₁₆			
005B ₁₆			
005C ₁₆			
005D ₁₆			
005E ₁₆			
005F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
006016			
006116			
006216			
006316			
006416			
006516			
006616			
006716			
006816	DMA0割り込み制御レジスタ	DM0IC	XXXX X0002
006916	タイマB5割り込み制御レジスタ	TB5IC	XXXX X0002
006A16	DMA2割り込み制御レジスタ	DM2IC	XXXX X0002
006B16	UART2受信/ACK割り込み制御レジスタ	S2RIC	XXXX X0002
006C16	タイマA0割り込み制御レジスタ	TA0IC	XXXX X0002
006D16	UART3受信/ACK割り込み制御レジスタ	S3RIC	XXXX X0002
006E16	タイマA2割り込み制御レジスタ	TA2IC	XXXX X0002
006F16	UART4受信/ACK割り込み制御レジスタ	S4RIC	XXXX X0002
007016	タイマA4割り込み制御レジスタ	TA4IC	XXXX X0002
007116	UART0/UART3/バス衝突検出割り込み制御レジスタ	BCN0IC/BCN3IC	XXXX X0002
007216	UART0受信/ACK割り込み制御レジスタ	S0RIC	XXXX X0002
007316	A/D0変換割り込み制御レジスタ	AD0IC	XXXX X0002
007416	UART1受信/ACK割り込み制御レジスタ	S1RIC	XXXX X0002
007516	インテリジェントI/O割り込み制御レジスタ0	IIO0IC	XXXX X0002
007616	タイマB1割り込み制御レジスタ	TB1IC	XXXX X0002
007716	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X0002
007816	タイマB3割り込み制御レジスタ	TB3IC	XXXX X0002
007916	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X0002
007A16	INT5割り込み制御レジスタ	INT5IC	XX00 X0002
007B16			
007C16	INT3割り込み制御レジスタ	INT3IC	XX00 X0002
007D16			
007E16	INT1割り込み制御レジスタ	INT1IC	XX00 X0002
007F16			
008016			
008116			
008216			
008316			
008416			
008516			
008616			
008716			
008816	DMA1割り込み制御レジスタ	DM1IC	XXXX X0002
008916	UART2送信/NACK割り込み制御レジスタ	S2TIC	XXXX X0002
008A16	DMA3割り込み制御レジスタ	DM3IC	XXXX X0002
008B16	UART3送信/NACK割り込み制御レジスタ	S3TIC	XXXX X0002
008C16	タイマA1割り込み制御レジスタ	TA1IC	XXXX X0002
008D16	UART4送信/NACK割り込み制御レジスタ	S4TIC	XXXX X0002
008E16	タイマA3割り込み制御レジスタ	TA3IC	XXXX X0002
008F16	UART2バス衝突検出割り込み制御レジスタ	BCN2IC	XXXX X0002

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0090 ₁₆	UART0送信/NACK割り込み制御レジスタ	S0TIC	XXXX X000 ₂
0091 ₁₆	UART1/UART4バス衝突検出割り込み制御レジスタ	BCN1IC/BCN4IC	XXXX X000 ₂
0092 ₁₆	UART1送信/NACK割り込み制御レジスタ	S1TIC	XXXX X000 ₂
0093 ₁₆	キー入力割り込み制御レジスタ	KUPIC	XXXX X000 ₂
0094 ₁₆	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000 ₂
0095 ₁₆	インテリジェントI/O割り込み制御レジスタ1	IIO1IC	XXXX X000 ₂
0096 ₁₆	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000 ₂
0097 ₁₆	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000 ₂
0098 ₁₆	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000 ₂
0099 ₁₆			
009A ₁₆	INT4割り込み制御レジスタ	INT4IC	XX00 X000 ₂
009B ₁₆			
009C ₁₆	INT2割り込み制御レジスタ	INT2IC	XX00 X000 ₂
009D ₁₆			
009E ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00 X000 ₂
009F ₁₆	復帰用優先順位レジスタ	RLVL	XXXX 0000 ₂
00A0 ₁₆	割り込み要求レジスタ0	IIO0IR	0000 000X ₂
00A1 ₁₆	割り込み要求レジスタ1	IIO1IR	0000 000X ₂
00A2 ₁₆	割り込み要求レジスタ2	IIO2IR	0000 000X ₂
00A3 ₁₆	割り込み要求レジスタ3	IIO3IR	0000 000X ₂
00A4 ₁₆	割り込み要求レジスタ4	IIO4IR	0000 000X ₂
00A5 ₁₆			
00A6 ₁₆			
00A7 ₁₆			
00A8 ₁₆			
00A9 ₁₆			
00AA ₁₆			
00AB ₁₆			
00AC ₁₆			
00AD ₁₆			
00AE ₁₆			
00AF ₁₆			
00B0 ₁₆	割り込み許可レジスタ0	IIO0IE	00 ₁₆
00B1 ₁₆	割り込み許可レジスタ1	IIO1IE	00 ₁₆
00B2 ₁₆	割り込み許可レジスタ2	IIO2IE	00 ₁₆
00B3 ₁₆	割り込み許可レジスタ3	IIO3IE	00 ₁₆
00B4 ₁₆	割り込み許可レジスタ4	IIO4IE	00 ₁₆
00B5 ₁₆			
00B6 ₁₆			
00B7 ₁₆			
00B8 ₁₆			
00B9 ₁₆			
00BA ₁₆			
00BB ₁₆			
00BC ₁₆			
00BD ₁₆			
00BE ₁₆			
00BF ₁₆			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00C0 ₁₆			
00C1 ₁₆			
00C2 ₁₆			
00C3 ₁₆			
00C4 ₁₆			
00C5 ₁₆			
00C6 ₁₆			
00C7 ₁₆			
00C8 ₁₆			
00C9 ₁₆			
00CA ₁₆			
00CB ₁₆			
00CC ₁₆			
00CD ₁₆			
00CE ₁₆			
00CF ₁₆			
00D0 ₁₆			
00D1 ₁₆			
00D2 ₁₆			
00D3 ₁₆			
00D4 ₁₆			
00D5 ₁₆			
00D6 ₁₆			
00D7 ₁₆			
00D8 ₁₆			
00D9 ₁₆			
00DA ₁₆			
00DB ₁₆			
00DC ₁₆			
00DD ₁₆			
00DE ₁₆			
00DF ₁₆			
00E0 ₁₆			
00E1 ₁₆			
00E2 ₁₆			
00E3 ₁₆			
00E4 ₁₆			
00E5 ₁₆			
00E6 ₁₆			
00E7 ₁₆			
00E8 ₁₆ 00E9 ₁₆	SI/O受信バッファレジスタ0	G0RB	XXXX XXXX ₂ XXX0 XXXX ₂
00EA ₁₆	送信バッファ/受信データレジスタ0	G0TB/G0DR	XX ₁₆
00EB ₁₆			
00EC ₁₆	受信入力レジスタ0	G0RI	XX ₁₆
00ED ₁₆	SI/O通信モードレジスタ0	G0MR	00 ₁₆
00EE ₁₆	送信出力レジスタ0	G0TO	XX ₁₆
00EF ₁₆	SI/O通信制御レジスタ0	G0CR	0000 X01 ₁₂

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00F0 ₁₆	データ比較レジスタ00	G0CMP0	XX ₁₆
00F1 ₁₆	データ比較レジスタ01	G0CMP1	XX ₁₆
00F2 ₁₆	データ比較レジスタ02	G0CMP2	XX ₁₆
00F3 ₁₆	データ比較レジスタ03	G0CMP3	XX ₁₆
00F4 ₁₆	データマスクレジスタ00	G0MSK0	XX ₁₆
00F5 ₁₆	データマスクレジスタ01	G0MSK1	XX ₁₆
00F6 ₁₆	通信クロック選択レジスタ	CCS	XXXX 0000 ₂
00F7 ₁₆			
00F8 ₁₆	受信CRCコードレジスタ0	G0RCRC	XX ₁₆
00F9 ₁₆			XX ₁₆
00FA ₁₆	送信CRCコードレジスタ0	G0TCRC	00 ₁₆
00FB ₁₆			00 ₁₆
00FC ₁₆	SI/O拡張モードレジスタ0	G0EMR	00 ₁₆
00FD ₁₆	SI/O拡張受信制御レジスタ0	G0ERC	00 ₁₆
00FE ₁₆	SI/O特殊通信割り込み判別レジスタ0	G0IRF	00 ₁₆
00FF ₁₆	SI/O拡張送信制御レジスタ0	G0ETC	0000 0XXX ₂
0100 ₁₆			
0101 ₁₆			
0102 ₁₆			
0103 ₁₆			
0104 ₁₆			
0105 ₁₆			
0106 ₁₆			
0107 ₁₆			
0108 ₁₆			
0109 ₁₆			
010A ₁₆			
010B ₁₆			
010C ₁₆			
010D ₁₆			
010E ₁₆			
010F ₁₆			
0110 ₁₆			
0111 ₁₆			
0112 ₁₆			
0113 ₁₆			
0114 ₁₆			
0115 ₁₆			
0116 ₁₆			
0117 ₁₆			
0118 ₁₆			
0119 ₁₆			
011A ₁₆			
011B ₁₆			
011C ₁₆			
011D ₁₆			
011E ₁₆			
011F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0120 ₁₆			
0121 ₁₆			
0122 ₁₆			
0123 ₁₆			
0124 ₁₆			
0125 ₁₆			
0126 ₁₆			
0127 ₁₆			
0128 ₁₆ 0129 ₁₆	SI/O受信バッファレジスタ1	G1RB	XXXX XXXX ₂ XXX0 XXXX ₂
012A ₁₆ 012B ₁₆	送信バッファ/受信データレジスタ1	G1TB/G1DR	XX ₁₆
012C ₁₆	受信入力レジスタ1	G1RI	XX ₁₆
012D ₁₆	SI/O通信モードレジスタ1	G1MR	00 ₁₆
012E ₁₆	送信出力レジスタ1	G1TO	XX ₁₆
012F ₁₆	SI/O通信制御レジスタ1	G1CR	0000 X01 ₁₂
0130 ₁₆	データ比較レジスタ10	G1CMP0	XX ₁₆
0131 ₁₆	データ比較レジスタ11	G1CMP1	XX ₁₆
0132 ₁₆	データ比較レジスタ12	G1CMP2	XX ₁₆
0133 ₁₆	データ比較レジスタ13	G1CMP3	XX ₁₆
0134 ₁₆	データマスクレジスタ10	G1MSK0	XX ₁₆
0135 ₁₆	データマスクレジスタ11	G1MSK1	XX ₁₆
0136 ₁₆			
0137 ₁₆			
0138 ₁₆ 0139 ₁₆	受信CRCコードレジスタ1	G1RCRC	XX ₁₆ XX ₁₆
013A ₁₆ 013B ₁₆	送信CRCコードレジスタ1	G1TCRC	00 ₁₆ 00 ₁₆
013C ₁₆	SI/O拡張モードレジスタ1	G1EMR	00 ₁₆
013D ₁₆	SI/O拡張受信制御レジスタ1	G1ERC	00 ₁₆
013E ₁₆	SI/O特殊通信割り込み判別レジスタ1	G1IRF	00 ₁₆
013F ₁₆ 0140 ₁₆ 0141 ₁₆ 0142 ₁₆ 0143 ₁₆ 0144 ₁₆ 0145 ₁₆ 0146 ₁₆ 0147 ₁₆ 0148 ₁₆ 0149 ₁₆ 014A ₁₆ 014B ₁₆ 014C ₁₆ 014D ₁₆ }	SI/O拡張送信制御レジスタ1	G1ETC	0000 0XXX ₂
02B8 ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
02B9 ₁₆			
02BA ₁₆			
02BB ₁₆			
02BC ₁₆			
02BD ₁₆			
02BE ₁₆			
02BF ₁₆			
02C0 ₁₆ 02C1 ₁₆	X0レジスタ Y0レジスタ	X0R,Y0R	XX ₁₆ XX ₁₆
02C2 ₁₆ 02C3 ₁₆	X1レジスタ Y1レジスタ	X1R,Y1R	XX ₁₆ XX ₁₆
02C4 ₁₆ 02C5 ₁₆	X2レジスタ Y2レジスタ	X2R,Y2R	XX ₁₆ XX ₁₆
02C6 ₁₆ 02C7 ₁₆	X3レジスタ Y3レジスタ	X3R,Y3R	XX ₁₆ XX ₁₆
02C8 ₁₆ 02C9 ₁₆	X4レジスタ Y4レジスタ	X4R,Y4R	XX ₁₆ XX ₁₆
02CA ₁₆ 02CB ₁₆	X5レジスタ Y5レジスタ	X5R,Y5R	XX ₁₆ XX ₁₆
02CC ₁₆ 02CD ₁₆	X6レジスタ Y6レジスタ	X6R,Y6R	XX ₁₆ XX ₁₆
02CE ₁₆ 02CF ₁₆	X7レジスタ Y7レジスタ	X7R,Y7R	XX ₁₆ XX ₁₆
02D0 ₁₆ 02D1 ₁₆	X8レジスタ Y8レジスタ	X8R,Y8R	XX ₁₆ XX ₁₆
02D2 ₁₆ 02D3 ₁₆	X9レジスタ Y9レジスタ	X9R,Y9R	XX ₁₆ XX ₁₆
02D4 ₁₆ 02D5 ₁₆	X10レジスタ Y10レジスタ	X10R,Y10R	XX ₁₆ XX ₁₆
02D6 ₁₆ 02D7 ₁₆	X11レジスタ Y11レジスタ	X11R,Y11R	XX ₁₆ XX ₁₆
02D8 ₁₆ 02D9 ₁₆	X12レジスタ Y12レジスタ	X12R,Y12R	XX ₁₆ XX ₁₆
02DA ₁₆ 02DB ₁₆	X13レジスタ Y13レジスタ	X13R,Y13R	XX ₁₆ XX ₁₆
02DC ₁₆ 02DD ₁₆	X14レジスタ Y14レジスタ	X14R,Y14R	XX ₁₆ XX ₁₆
02DE ₁₆ 02DF ₁₆	X15レジスタ Y15レジスタ	X15R,Y15R	XX ₁₆ XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
02E0 ₁₆	X/Y制御レジスタ	XYC	XXXX XX00 ₂
02E1 ₁₆			
02E2 ₁₆			
02E3 ₁₆			
02E4 ₁₆	UART1特殊モードレジスタ4	U1SMR4	00 ₁₆
02E5 ₁₆	UART1特殊モードレジスタ3	U1SMR3	00 ₁₆
02E6 ₁₆	UART1特殊モードレジスタ2	U1SMR2	00 ₁₆
02E7 ₁₆	UART1特殊モードレジスタ	U1SMR	00 ₁₆
02E8 ₁₆	UART1送受信モードレジスタ	U1MR	00 ₁₆
02E9 ₁₆	UART1転送速度レジスタ	U1BRG	XX ₁₆
02EA ₁₆	UART1送信バッファレジスタ	U1TB	XX ₁₆
02EB ₁₆			XX ₁₆
02EC ₁₆	UART1送受信制御レジスタ0	U1C0	0000 1000 ₂
02ED ₁₆	UART1送受信制御レジスタ1	U1C1	0000 0010 ₂
02EE ₁₆	UART1受信バッファレジスタ	U1RB	XX ₁₆
02EF ₁₆			XX ₁₆
02F0 ₁₆			
02F1 ₁₆			
02F2 ₁₆			
02F3 ₁₆			
02F4 ₁₆	UART4特殊モードレジスタ4	U4SMR4	00 ₁₆
02F5 ₁₆	UART4特殊モードレジスタ3	U4SMR3	00 ₁₆
02F6 ₁₆	UART4特殊モードレジスタ2	U4SMR2	00 ₁₆
02F7 ₁₆	UART4特殊モードレジスタ	U4SMR	00 ₁₆
02F8 ₁₆	UART4送受信モードレジスタ	U4MR	00 ₁₆
02F9 ₁₆	UART4転送速度レジスタ	U4BRG	XX ₁₆
02FA ₁₆	UART4送信バッファレジスタ	U4TB	XX ₁₆
02FB ₁₆			XX ₁₆
02FC ₁₆	UART4送受信制御レジスタ0	U4C0	0000 1000 ₂
02FD ₁₆	UART4送受信制御レジスタ1	U4C1	0000 0010 ₂
02FE ₁₆	UART4受信バッファレジスタ	U4RB	XX ₁₆
02FF ₁₆			XX ₁₆
0300 ₁₆	タイマB3,B4,B5カウント開始フラグ	TBSR	000X XXXX ₂
0301 ₁₆			
0302 ₁₆	タイマA1-1レジスタ	TA11	XX ₁₆
0303 ₁₆			XX ₁₆
0304 ₁₆	タイマA2-1レジスタ	TA21	XX ₁₆
0305 ₁₆			XX ₁₆
0306 ₁₆	タイマA4-1レジスタ	TA41	XX ₁₆
0307 ₁₆			XX ₁₆
0308 ₁₆	三相PWM制御レジスタ0	INVC0	00 ₁₆
0309 ₁₆	三相PWM制御レジスタ1	INVC1	00 ₁₆
030A ₁₆	三相出力バッファレジスタ0	IDB0	XX ₁₁ 1111 ₂
030B ₁₆	三相出力バッファレジスタ1	IDB1	XX ₁₁ 1111 ₂
030C ₁₆	短絡防止タイマ	DTT	XX ₁₆
030D ₁₆	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XX ₁₆
030E ₁₆			
030F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0310 ₁₆ 0311 ₁₆	タイマB3レジスタ	TB3	XX ₁₆ XX ₁₆
0312 ₁₆ 0313 ₁₆	タイマB4レジスタ	TB4	XX ₁₆ XX ₁₆
0314 ₁₆ 0315 ₁₆	タイマB5レジスタ	TB5	XX ₁₆ XX ₁₆
0316 ₁₆			
0317 ₁₆			
0318 ₁₆			
0319 ₁₆			
031A ₁₆			
031B ₁₆	タイマB3モードレジスタ	TB3MR	00XX 0000 ₂
031C ₁₆	タイマB4モードレジスタ	TB4MR	00XX 0000 ₂
031D ₁₆	タイマB5モードレジスタ	TB5MR	00XX 0000 ₂
031E ₁₆			
031F ₁₆	外部割り込み要因選択レジスタ	IFSR	00 ₁₆
0320 ₁₆			
0321 ₁₆			
0322 ₁₆			
0323 ₁₆			
0324 ₁₆	UART3特殊モードレジスタ4	U3SMR4	00 ₁₆
0325 ₁₆	UART3特殊モードレジスタ3	U3SMR3	00 ₁₆
0326 ₁₆	UART3特殊モードレジスタ2	U3SMR2	00 ₁₆
0327 ₁₆	UART3特殊モードレジスタ	U3SMR	00 ₁₆
0328 ₁₆	UART3送受信モードレジスタ	U3MR	00 ₁₆
0329 ₁₆	UART3転送速度レジスタ	U3BRG	XX ₁₆
032A ₁₆ 032B ₁₆	UART3送信バッファレジスタ	U3TB	XX ₁₆ XX ₁₆
032C ₁₆	UART3送受信制御レジスタ0	U3C0	0000 1000 ₂
032D ₁₆	UART3送受信制御レジスタ1	U3C1	0000 0010 ₂
032E ₁₆ 032F ₁₆	UART3受信バッファレジスタ	U3RB	XX ₁₆ XX ₁₆
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			
0334 ₁₆	UART2特殊モードレジスタ4	U2SMR4	00 ₁₆
0335 ₁₆	UART2特殊モードレジスタ3	U2SMR3	00 ₁₆
0336 ₁₆	UART2特殊モードレジスタ2	U2SMR2	00 ₁₆
0337 ₁₆	UART2特殊モードレジスタ	U2SMR	00 ₁₆
0338 ₁₆	UART2送受信モードレジスタ	U2MR	00 ₁₆
0339 ₁₆	UART2転送速度レジスタ	U2BRG	XX ₁₆
033A ₁₆ 033B ₁₆	UART2送信バッファレジスタ	U2TB	XX ₁₆ XX ₁₆
033C ₁₆	UART2送受信制御レジスタ0	U2C0	0000 1000 ₂
033D ₁₆	UART2送受信制御レジスタ1	U2C1	0000 0010 ₂
033E ₁₆ 033F ₁₆	UART2受信バッファレジスタ	U2RB	XX ₁₆ XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0340 ₁₆	カウント開始フラグ	TABSR	00 ₁₆
0341 ₁₆	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXX ₂
0342 ₁₆	ワンショット開始フラグ	ONSF	00 ₁₆
0343 ₁₆	トリガ選択レジスタ	TRGSR	00 ₁₆
0344 ₁₆	アップダウンフラグ	UDF	00 ₁₆
0345 ₁₆			
0346 ₁₆ 0347 ₁₆	タイマA0レジスタ	TA0	XX ₁₆ XX ₁₆
0348 ₁₆ 0349 ₁₆	タイマA1レジスタ	TA1	XX ₁₆ XX ₁₆
034A ₁₆ 034B ₁₆	タイマA2レジスタ	TA2	XX ₁₆ XX ₁₆
034C ₁₆ 034D ₁₆	タイマA3レジスタ	TA3	XX ₁₆ XX ₁₆
034E ₁₆ 034F ₁₆	タイマA4レジスタ	TA4	XX ₁₆ XX ₁₆
0350 ₁₆ 0351 ₁₆	タイマB0レジスタ	TB0	XX ₁₆ XX ₁₆
0352 ₁₆ 0353 ₁₆	タイマB1レジスタ	TB1	XX ₁₆ XX ₁₆
0354 ₁₆ 0355 ₁₆	タイマB2レジスタ	TB2	XX ₁₆ XX ₁₆
0356 ₁₆	タイマA0モードレジスタ	TA0MR	00 ₁₆
0357 ₁₆	タイマA1モードレジスタ	TA1MR	00 ₁₆
0358 ₁₆	タイマA2モードレジスタ	TA2MR	00 ₁₆
0359 ₁₆	タイマA3モードレジスタ	TA3MR	00 ₁₆
035A ₁₆	タイマA4モードレジスタ	TA4MR	00 ₁₆
035B ₁₆	タイマB0モードレジスタ	TB0MR	00XX 0000 ₂
035C ₁₆	タイマB1モードレジスタ	TB1MR	00XX 0000 ₂
035D ₁₆	タイマB2モードレジスタ	TB2MR	00XX 0000 ₂
035E ₁₆	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0 ₂
035F ₁₆	カウントソースプリスケアラレジスタ(注1)	TCSPR	0XXX 0000 ₂
0360 ₁₆			
0361 ₁₆			
0362 ₁₆			
0363 ₁₆			
0364 ₁₆	UART0特殊モードレジスタ4	U0SMR4	00 ₁₆
0365 ₁₆	UART0特殊モードレジスタ3	U0SMR3	00 ₁₆
0366 ₁₆	UART0特殊モードレジスタ2	U0SMR2	00 ₁₆
0367 ₁₆	UART0特殊モードレジスタ	U0SMR	00 ₁₆
0368 ₁₆	UART0送受信モードレジスタ	U0MR	00 ₁₆
0369 ₁₆	UART0転送速度レジスタ	U0BRG	XX ₁₆
036A ₁₆ 036B ₁₆	UART0送信バッファレジスタ	U0TB	XX ₁₆ XX ₁₆
036C ₁₆	UART0送受信制御レジスタ0	U0C0	0000 1000 ₂
036D ₁₆	UART0送受信制御レジスタ1	U0C1	0000 0010 ₂
036E ₁₆ 036F ₁₆	UART0受信バッファレジスタ	U0RB	XX ₁₆ XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. TCSPRレジスタはソフトウェアリセット、ウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

番地	レジスタ	シンボル	リセット後の値
0370 ₁₆			
0371 ₁₆			
0372 ₁₆			
0373 ₁₆			
0374 ₁₆			
0375 ₁₆			
0376 ₁₆			
0377 ₁₆			
0378 ₁₆	DMA0要因選択レジスタ	DM0SL	0X00 0000 ₂
0379 ₁₆	DMA1要因選択レジスタ	DM1SL	0X00 0000 ₂
037A ₁₆	DMA2要因選択レジスタ	DM2SL	0X00 0000 ₂
037B ₁₆	DMA3要因選択レジスタ	DM3SL	0X00 0000 ₂
037C ₁₆	CRCデータレジスタ	CRCD	XX ₁₆
037D ₁₆			XX ₁₆
037E ₁₆	CRCインプットレジスタ	CRCIN	XX ₁₆
037F ₁₆			
0380 ₁₆	A/D0レジスタ0	AD00	XXXX XXXX ₂
0381 ₁₆			0000 0000 ₂
0382 ₁₆	A/D0レジスタ1	AD01	XX ₁₆
0383 ₁₆			XX ₁₆
0384 ₁₆	A/D0レジスタ2	AD02	XX ₁₆
0385 ₁₆			XX ₁₆
0386 ₁₆	A/D0レジスタ3	AD03	XX ₁₆
0387 ₁₆			XX ₁₆
0388 ₁₆	A/D0レジスタ4	AD04	XX ₁₆
0389 ₁₆			XX ₁₆
038A ₁₆	A/D0レジスタ5	AD05	XX ₁₆
038B ₁₆			XX ₁₆
038C ₁₆	A/D0レジスタ6	AD06	XX ₁₆
038D ₁₆			XX ₁₆
038E ₁₆	A/D0レジスタ7	AD07	XX ₁₆
038F ₁₆			XX ₁₆
0390 ₁₆			
0391 ₁₆			
0392 ₁₆			
0393 ₁₆			
0394 ₁₆	A/D0制御レジスタ2	AD0CON2	XX0X XXX0 ₂
0395 ₁₆	A/D0制御レジスタ3	AD0CON3	XXXX X000 ₂
0396 ₁₆	A/D0制御レジスタ0	AD0CON0	00 ₁₆
0397 ₁₆	A/D0制御レジスタ1	AD0CON1	00 ₁₆
0398 ₁₆	D/Aレジスタ0	DA0	XX ₁₆
0399 ₁₆			
039A ₁₆	D/Aレジスタ1	DA1	XX ₁₆
039B ₁₆			
039C ₁₆	D/A制御レジスタ	DACON	XXXX XX00 ₂
039D ₁₆			
039E ₁₆			
039F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
03A0 ₁₆			
03A1 ₁₆			
03A2 ₁₆			
03A3 ₁₆			
03A4 ₁₆			
03A5 ₁₆			
03A6 ₁₆			
03A7 ₁₆	機能選択レジスタD1	PSD1	X0XX XX00 ₂
03A8 ₁₆			
03A9 ₁₆			
03AA ₁₆			
03AB ₁₆			
03AC ₁₆			
03AD ₁₆	機能選択レジスタC3	PSC3	X0XX XXXX ₂
03AE ₁₆			
03AF ₁₆	機能選択レジスタC	PSC	00X0 0000 ₂
03B0 ₁₆	機能選択レジスタA0	PS0	00 ₁₆
03B1 ₁₆	機能選択レジスタA1	PS1	00 ₁₆
03B2 ₁₆	機能選択レジスタB0	PSL0	00 ₁₆
03B3 ₁₆	機能選択レジスタB1	PSL1	00 ₁₆
03B4 ₁₆	機能選択レジスタA2	PS2	00X0 0000 ₂
03B5 ₁₆	機能選択レジスタA3	PS3	00 ₁₆
03B6 ₁₆	機能選択レジスタB2	PSL2	00X0 0000 ₂
03B7 ₁₆	機能選択レジスタB3	PSL3	00 ₁₆
03B8 ₁₆			
03B9 ₁₆			
03BA ₁₆			
03BB ₁₆			
03BC ₁₆			
03BD ₁₆			
03BE ₁₆			
03BF ₁₆			
03C0 ₁₆	ポートP6レジスタ	P6	XX ₁₆
03C1 ₁₆	ポートP7レジスタ	P7	XX ₁₆
03C2 ₁₆	ポートP6方向レジスタ	PD6	00 ₁₆
03C3 ₁₆	ポートP7方向レジスタ	PD7	00 ₁₆
03C4 ₁₆	ポートP8レジスタ	P8	XX ₁₆
03C5 ₁₆	ポートP9レジスタ	P9	XX ₁₆
03C6 ₁₆	ポートP8方向レジスタ	PD8	00X0 0000 ₂
03C7 ₁₆	ポートP9方向レジスタ	PD9	00 ₁₆
03C8 ₁₆	ポートP10レジスタ	P10	XX ₁₆
03C9 ₁₆			
03CA ₁₆	ポートP10方向レジスタ	PD10	00 ₁₆
03CB ₁₆			
03CC ₁₆			
03CD ₁₆			
03CE ₁₆			
03CF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆			
03D3 ₁₆			
03D4 ₁₆			
03D5 ₁₆			
03D6 ₁₆			
03D7 ₁₆			
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆	プルアップ制御レジスタ2	PUR2	00 ₁₆
03DB ₁₆	プルアップ制御レジスタ3	PUR3	00 ₁₆
03DC ₁₆			
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0レジスタ ^(注1)	P0	XX ₁₆
03E1 ₁₆	ポートP1レジスタ ^(注1)	P1	XX ₁₆
03E2 ₁₆	ポートP0方向レジスタ ^(注1)	PD0	00 ₁₆
03E3 ₁₆	ポートP1方向レジスタ ^(注1)	PD1	00 ₁₆
03E4 ₁₆	ポートP2レジスタ ^(注1)	P2	XX ₁₆
03E5 ₁₆	ポートP3レジスタ ^(注1)	P3	XX ₁₆
03E6 ₁₆	ポートP2方向レジスタ ^(注1)	PD2	00 ₁₆
03E7 ₁₆	ポートP3方向レジスタ ^(注1)	PD3	00 ₁₆
03E8 ₁₆	ポートP4レジスタ ^(注1)	P4	XX ₁₆
03E9 ₁₆	ポートP5レジスタ ^(注1)	P5	XX ₁₆
03EA ₁₆	ポートP4方向レジスタ ^(注1)	PD4	00 ₁₆
03EB ₁₆	ポートP5方向レジスタ ^(注1)	PD5	00 ₁₆
03EC ₁₆			
03ED ₁₆			
03EE ₁₆			
03EF ₁₆			
03F0 ₁₆	プルアップ制御レジスタ0	PUR0	00 ₁₆
03F1 ₁₆	プルアップ制御レジスタ1	PUR1	XXXX 0000 ₂
03F2 ₁₆			
03F3 ₁₆			
03F4 ₁₆			
03F5 ₁₆			
03F6 ₁₆			
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆			
03FD ₁₆			
03FE ₁₆			
03FF ₁₆	ポート制御レジスタ	PCR	XXXX XXX0 ₂

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. バス制御端子として使用する端子は、入出力ポートとして使用できません。

5. 電気的特性

表5.1 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC1} , V _{CC2}	電源電圧	V _{CC1} =AV _{CC}	-0.3 ~ 6.0	V
V _{CC2}	電源電圧	-	-0.3 ~ V _{CC1}	V
AV _{CC}	アナログ電源電圧	V _{CC1} =AV _{CC}	-0.3 ~ 6.0	V
V _I	入力電圧	RESET, CNV _{SS} , BYTE, P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , V _{REF} , X _{IN}	-0.3 ~ V _{CC1} +0.3	V
		P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇	-0.3 ~ V _{CC2} +0.3	V
		P7 ₀ , P7 ₁	-0.3 ~ 6.0	V
V _O	出力電圧	P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , X _{OUT}	-0.3 ~ V _{CC1} +0.3	V
		P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇	-0.3 ~ V _{CC2} +0.3	V
		P7 ₀ , P7 ₁	-0.3 ~ 6.0	V
P _d	消費電力	Topr=25	500	mW
Topr	動作周囲温度		-20 ~ 85/ -40 ~ 85 ^(注1)	
Tstg	保存温度		-65 ~ 150	

注1 . -40 ~ 85 をご使用になる場合は、その旨をご指定ください。

表5.2 推奨動作条件 (1) (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0V \sim 5.5V$, $T_{opr} = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
V_{CC1}, V_{CC2}	電源電圧(V_{CC1} V_{CC2})	3.0	5.0	5.5	V
AV_{CC}	アナログ電源電圧		V_{CC1}		V
V_{SS}	電源電圧		0		V
AV_{SS}	アナログ電源電圧		0		V
V_{IH}	“H” 入力電圧	$P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57$	$0.8V_{CC2}$	V_{CC2}	V
		$P60 \sim P67, P72 \sim P77, P80 \sim P87^{(注3)}, P90 \sim P97, P100 \sim P107, X_{IN}, RESET, CNV_{SS}, BYTE$	$0.8V_{CC1}$	V_{CC1}	
		$P70, P71$	$0.8V_{CC1}$	6.0	
		$P00 \sim P07, P10 \sim P17$ (シングルチップモード時)	$0.8V_{CC2}$	V_{CC2}	V
		$P00 \sim P07, P10 \sim P17$ (メモリ拡張、マイクロプロセッサモード時)	$0.5V_{CC2}$	V_{CC2}	V
V_{IL}	“L” 入力電圧	$P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57$	0	$0.2V_{CC2}$	V
		$P60 \sim P67, P70 \sim P77, P80 \sim P87^{(注3)}, P90 \sim P97, P100 \sim P107, X_{IN}, RESET, CNV_{SS}, BYTE$	0	$0.2V_{CC1}$	
		$P00 \sim P07, P10 \sim P17$ (シングルチップモード時)	0	$0.2V_{CC2}$	V
		$P00 \sim P07, P10 \sim P17$ (メモリ拡張、マイクロプロセッサモード時)	0	$0.16V_{CC2}$	V
$I_{OH(peak)}$	“H” 尖頭出力電流 ^(注2)	$P00 \sim P07, P10 \sim P17, P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57, P60 \sim P67, P72 \sim P77, P80 \sim P84, P86, P87, P90 \sim P97, P100 \sim P107$		-10.0	mA
$I_{OH(avg)}$	“H” 平均出力電流 ^(注1)	$P00 \sim P07, P10 \sim P17, P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57, P60 \sim P67, P72 \sim P77, P80 \sim P84, P86, P87, P90 \sim P97, P100 \sim P107$		-5.0	mA
$I_{OL(peak)}$	“L” 尖頭出力電流 ^(注2)	$P00 \sim P07, P10 \sim P17, P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57, P60 \sim P67, P70 \sim P77, P80 \sim P84, P86, P87, P90 \sim P97, P100 \sim P107$		10.0	mA
$I_{OL(avg)}$	“L” 平均出力電流 ^(注1)	$P00 \sim P07, P10 \sim P17, P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57, P60 \sim P67, P70 \sim P77, P80 \sim P84, P86, P87, P90 \sim P97, P100 \sim P107$		5.0	mA

注1．平均出力電流は100msの期間内の平均値です。

注2．ポートP0, P1, P2, P86, P87, P9, P10の $I_{OL(peak)}$ の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80~ P84の $I_{OL(peak)}$ の合計は80mA以下、ポートP0, P1, P2の $I_{OH(peak)}$ の合計は-40mA以下、ポートP86~P87, P9, P10の $I_{OH(peak)}$ の合計は-40mA以下、ポートP3, P4, P5の $I_{OH(peak)}$ の合計は-40mA以下、ポートP6, P7, P80~P84の $I_{OH(peak)}$ の合計は-40mA以下にして下さい。

注3．P87の V_{IH} 、 V_{IL} はP87をプログラマブル入力ポートとして使用する場合の規格であり、 X_{CIN} として使用する場合の規格ではありません。

表5.2 推奨動作条件 (2) (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0V \sim 5.5V$, $T_{opr} = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
f(BCLK)	CPU動作周波数	$V_{CC1}=4.2 \sim 5.5V$	0	32	MHz
		$V_{CC1}=3.0 \sim 5.5V$	0	24	
f(XIN)	メインクロック入力発振周波数	$V_{CC1}=4.2 \sim 5.5V$	0	32	MHz
		$V_{CC1}=3.0 \sim 5.5V$	0	24	
f(XCIN)	サブクロック発振周波数		32.768	50	KHz
f(Ring)	オンチップオシレータ発振周波数 ($T_{opr}=25$)	0.5	1	2	MHz
f(PLL)	PLLクロック発振周波数	$V_{CC1}=4.2 \sim 5.5V$	10	32	MHz
		$V_{CC1}=3.0 \sim 5.5V$	10	24	
tsu(PLL)	PLL周波数シンセサイザ安定待ち時間	$V_{CC1}=5.0V$		5	ms
		$V_{CC1}=3.3V$		10	ms

$$V_{CC1}=V_{CC2}=5V$$

表5.3 電気的特性(指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$, $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V _{OH}	“H”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57	I _{OH} =-5mA	V _{CC2} -2.0		V _{CC2}	V
		P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OH} =-5mA	V _{CC1} -2.0		V _{CC1}	
	“H”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57	I _{OH} =-200μA	V _{CC2} -0.3		V _{CC2}	V
		P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OH} =-200μA	V _{CC1} -0.3		V _{CC1}	
	X _{OUT}	I _{OH} =-1mA	3.0		V _{CC1}	V	
	X _{COUT}	HIGHPOWER	無負荷時		2.5		V
	LOWPOWER	無負荷時		1.6		V	
V _{OL}	“L”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OL} =5mA			2.0	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OL} =200μA			0.45	V
	X _{OUT}	I _{OL} =1mA			2.0	V	
	X _{COUT}	HIGHPOWER	無負荷時		0		V
	LOWPOWER	無負荷時		0		V	
V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, ADTRG, CTS0 ~ CTS4, CLK0 ~ CLK4, TA0OUT ~ TA4OUT, NMI, K10 ~ K13, RxD0 ~ RxD4, SCL0 ~ SCL4, SDA0 ~ SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
I _{IH}	“H”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X _{IN} , RESET, CNV _{SS} , BYTE	V _I =5V			5.0	μA
I _{IL}	“L”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X _{IN} , RESET, CNV _{SS} , BYTE	V _I =0V			-5.0	μA
R _{PULLUP}	プルアップ抵抗	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	V _I =0V	20	40	167	kΩ
R _{fXIN}	帰還抵抗	X _{IN}			1.5		MΩ
R _{fXCIN}	帰還抵抗	X _{CIN}			15		MΩ
V _{RAM}	RAM保持電圧	ストップモード時		2.0			V
I _{CC}	電源電流	測定条件 シングルチップモードで 出力端子は開放、その他 の端子はV _{SS} に接続	f(BCLK)=32MHz、方形波、分周なし		22	60	mA
			f(BCLK)=32kHz、ウェイトモード時、 Topr=25		10		μA
			クロック停止時、Topr=25		0.8	5	μA
			クロック停止時、Topr=85			20	μA

$$V_{CC1}=V_{CC2}=5V$$

表5.4 A/D変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=AV_{CC}=V_{REF}=4.2 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$,
 $T_{opr} = -20 \sim 85$, $f(BCLK)=32MHz$)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
-	分解能	$V_{REF}=V_{CC1}$				10	Bits
INL	積分非直線性誤差	$V_{REF}=V_{CC1}=V_{CC2}=5V$	$AN_0 - AN_7$ $ANEX_0, ANEX_1$			± 3	LSB
			外部オペアンプ 接続モード			± 7	LSB
DNL	微分非直線性誤差					± 1	LSB
-	オフセット誤差					± 3	LSB
-	ゲイン誤差					± 3	LSB
RLADDER	ラダー抵抗	$V_{REF}=V_{CC1}$		8		40	k Ω
tCONV	変換時間(10bit) ^(注1, 2)			2.06			μs
tCONV	変換時間(8bit) ^(注1, 2)			1.75			μs
tsAMP	サンプリング時間 ^(注1)			0.188			μs
VREF	基準電圧			2		V_{CC1}	V
VIA	アナログ入力電圧			0		V_{REF}	V

注1 . ADが16MHzのときの値です。f(XIN)が16MHzを超える時は分周し、ADを16MHz以下にしてください。

注2 . サンプル&ホールド機能あり。

表5.5 D/A変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=V_{REF}=4.2 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_{opr} = -20 \sim 85$,
 $f(BCLK)=32MHz$)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
-	分解能					8	Bits
-	絶対精度					1.0	%
tsu	設定時間					3	μs
Ro	出力抵抗			4	10	20	k Ω
IvREF	基準電源入力電流	(注1)				1.5	mA

注1 . D/Aコンバータを1本使用し、使用していないD/AコンバータのDAiレジスタ(i=0,1)の値が“00₁₆”の場合です。A/Dコンバータのラダー抵抗分は除きます。

AD0CON1レジスタのVCUTビットを“0”(V_{REF} 未接続)にした場合でも、IvREFは流れます。

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表5.6 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t _c	外部クロック入力サイクル時間	31.25		ns
t _{w(H)}	外部クロック入力“H”パルス時間	13.75		ns
t _{w(L)}	外部クロック入力“L”パルス時間	13.75		ns
t _r	外部クロック立ち上がり時間		5	ns
t _f	外部クロック立ち下がり時間		5	ns

表5.7 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1(RD-DB)}	データ入力アクセス時間 (RD基準)		(注1)	ns
t _{ac1(AD-DB)}	データ入力アクセス時間 (AD基準、CS基準)		(注1)	ns
t _{ac2(RD-DB)}	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{ac2(AD-DB)}	データ入力アクセス時間 (AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{SU(DB-BCLK)}	データ入力セットアップ時間	26		ns
t _{SU(RDY-BCLK)}	\overline{RDY} 入力セットアップ時間	26		ns
t _{SU(HOLD-BCLK)}	HOLD入力セットアップ時間	30		ns
t _{h(RD-DB)}	データ入力ホールド時間	0		ns
t _{h(BCLK-RDY)}	\overline{RDY} 入力ホールド時間	0		ns
t _{h(BCLK-HOLD)}	HOLD入力ホールド時間	0		ns
t _{d(BCLK-HLDA)}	HLDA出力遅延時間		25	ns

注1 . BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウエイトを入れるか、動作周波数 $f_{(BCLK)}$ をさらに低くしてください。

$$t_{ac1(RD-DB)} = \frac{10^9 \times m}{f_{(BCLK)} \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、 } m = (bx2)+1)$$

$$t_{ac1(AD-DB)} = \frac{10^9 \times n}{f_{(BCLK)}} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、 } n = a+b)$$

$$t_{ac2(RD-DB)} = \frac{10^9 \times m}{f_{(BCLK)} \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、 } m = (bx2)-1)$$

$$t_{ac2(AD-DB)} = \frac{10^9 \times p}{f_{(BCLK)} \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、 } p = \{(a+b-1) \times 2\} + 1)$$

$$VCC1=VCC2=5V$$

タイミング必要条件 (指定のない場合は、 $VCC1=VCC2=4.2 \sim 5.5V$, $VSS=0V$, $T_{opr} = -20 \sim 85$)

表5.8 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiN入力サイクル時間	100		ns
tw(TAH)	TAiN入力“H”パルス幅	40		ns
tw(TAL)	TAiN入力“L”パルス幅	40		ns

表5.9 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiN入力サイクル時間	400		ns
tw(TAH)	TAiN入力“H”パルス幅	200		ns
tw(TAL)	TAiN入力“L”パルス幅	200		ns

表5.10 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiN入力サイクル時間	200		ns
tw(TAH)	TAiN入力“H”パルス幅	100		ns
tw(TAL)	TAiN入力“L”パルス幅	100		ns

表5.11 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiN入力“H”パルス幅	100		ns
tw(TAL)	TAiN入力“L”パルス幅	100		ns

表5.12 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOUT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT 入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$)

表5.13 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBin入力サイクル時間 (片エッジカウント)	100		ns
$t_{w(TBH)}$	TBin入力 “H” パルス幅 (片エッジカウント)	40		ns
$t_{w(TBL)}$	TBin入力 “L” パルス幅 (片エッジカウント)	40		ns
$t_{c(TB)}$	TBin入力サイクル時間 (両エッジカウント)	200		ns
$t_{w(TBH)}$	TBin入力 “H” パルス幅 (両エッジカウント)	80		ns
$t_{w(TBL)}$	TBin入力 “L” パルス幅 (両エッジカウント)	80		ns

表5.14 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBin入力サイクル時間	400		ns
$t_{w(TBH)}$	TBin入力 “H” パルス幅	200		ns
$t_{w(TBL)}$	TBin入力 “L” パルス幅	200		ns

表5.15 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBin入力サイクル時間	400		ns
$t_{w(TBH)}$	TBin入力 “H” パルス幅	200		ns
$t_{w(TBL)}$	TBin入力 “L” パルス幅	200		ns

表5.16 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間 (トリガ可能最小)	1000		ns
$t_{w(ADL)}$	ADTRG入力 “L” パルス幅	125		ns

表5.17 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 “H” パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 “L” パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-Q)}$	RxDi入力ホールド時間	90		ns

表5.18 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力 “H” パルス幅	250		ns
$t_{w(INL)}$	INTi入力 “L” パルス幅	250		ns

$$VCC1=VCC2=5V$$

スイッチング特性(指定のない場合は、 $VCC1=VCC2=4.2 \sim 5.5V$, $VSS=0V$, $Topr= -20 \sim 85$)

表5.19 メモリ拡張およびマイクロプロセッサモード (外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } n = (bx2)-1)$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } m = b)$$

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性(指定のない場合は、 $V_{CC}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}= -20 \sim 85$)

表5.20 メモリ拡張およびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			18	ns
th(BCLK-RD)	RD信号出力保持時間		-5		ns
td(BCLK-WR)	WR信号出力遅延時間			18	ns
th(BCLK-WR)	WR信号出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間 (BCLK基準)		-5		ns
td(AD-ALE)	ALE信号出力遅延時間 (アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間 (アドレス基準)		(注4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算で算出されます。

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } m=(bx2)-1 \text{)}$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算で算出されます。

$$td(AD - ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n=a \text{)}$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算で算出されます。

$$th(ALE - AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n=a \text{)}$$

VCC1=VCC2=5V

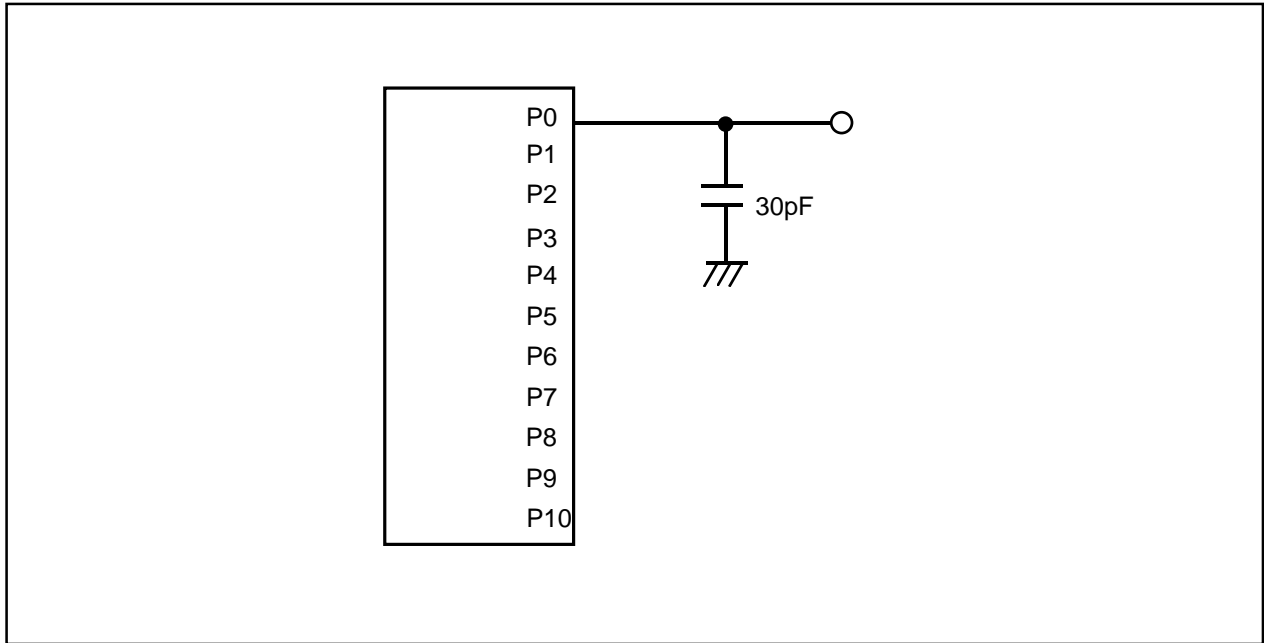


図5.1 ポートP0～P10の測定回路

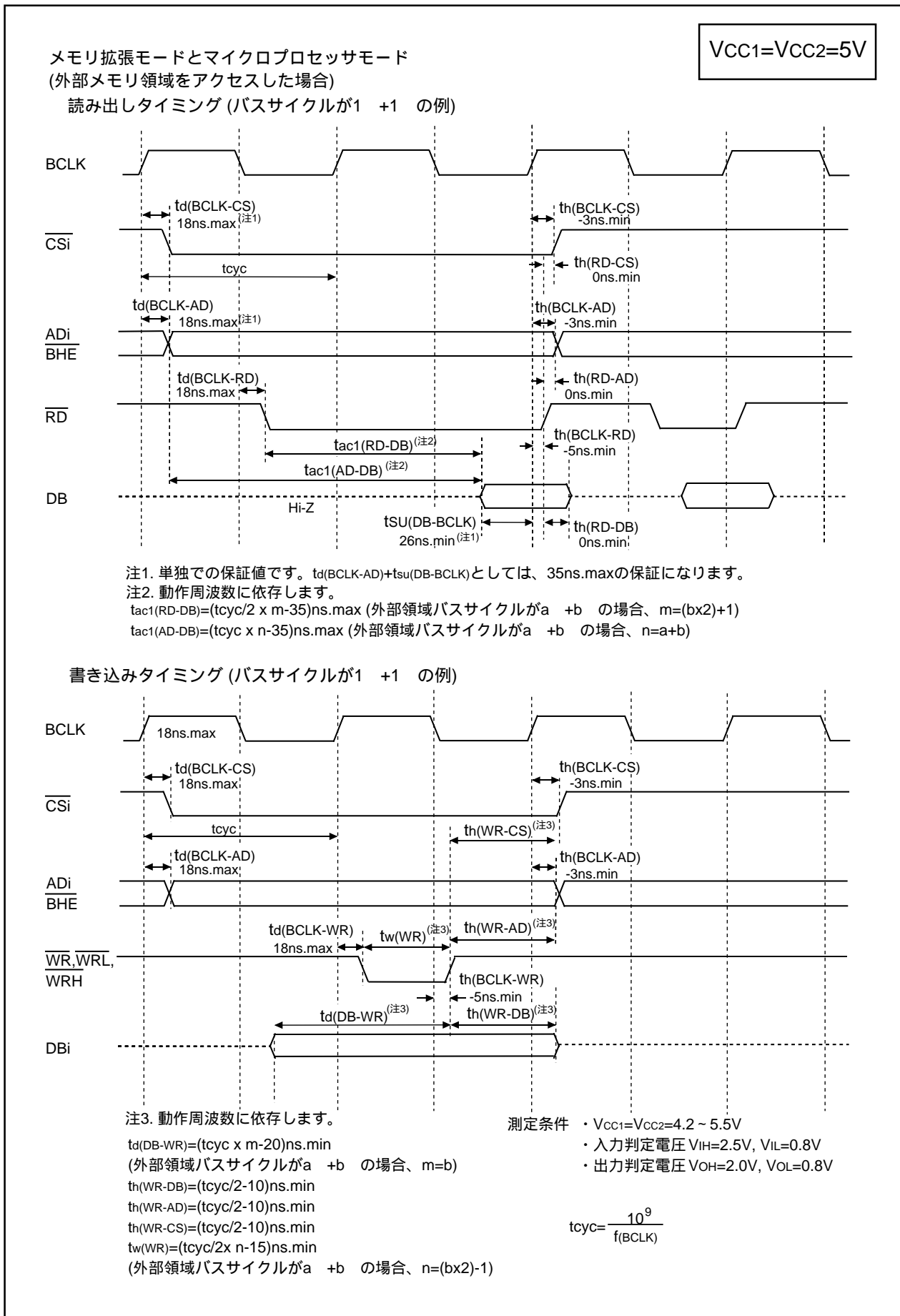


図5.2 Vcc1=Vcc2=5V時のタイミング図(1)

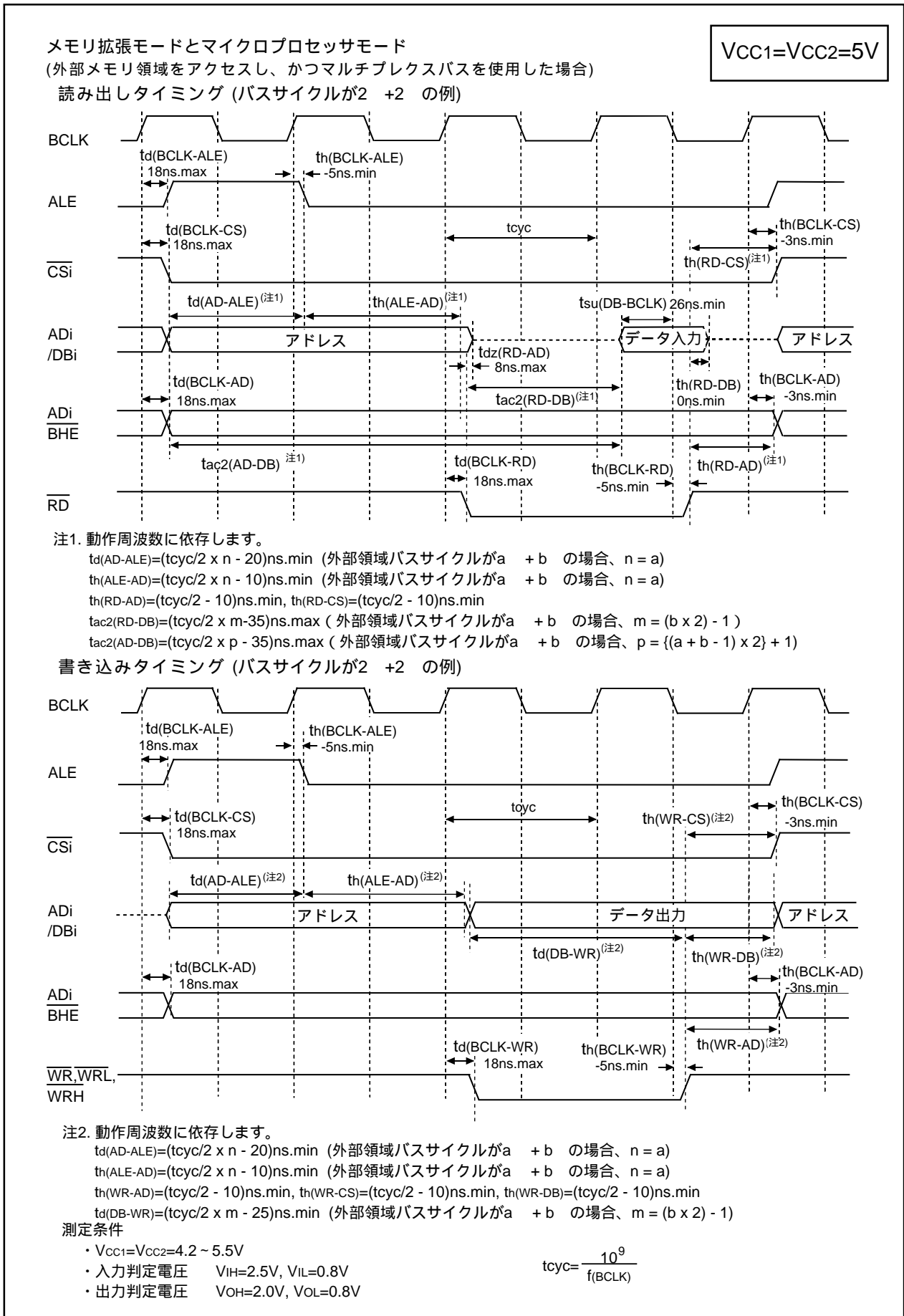


図5.3 Vcc1=Vcc2=5V時のタイミング図(2)

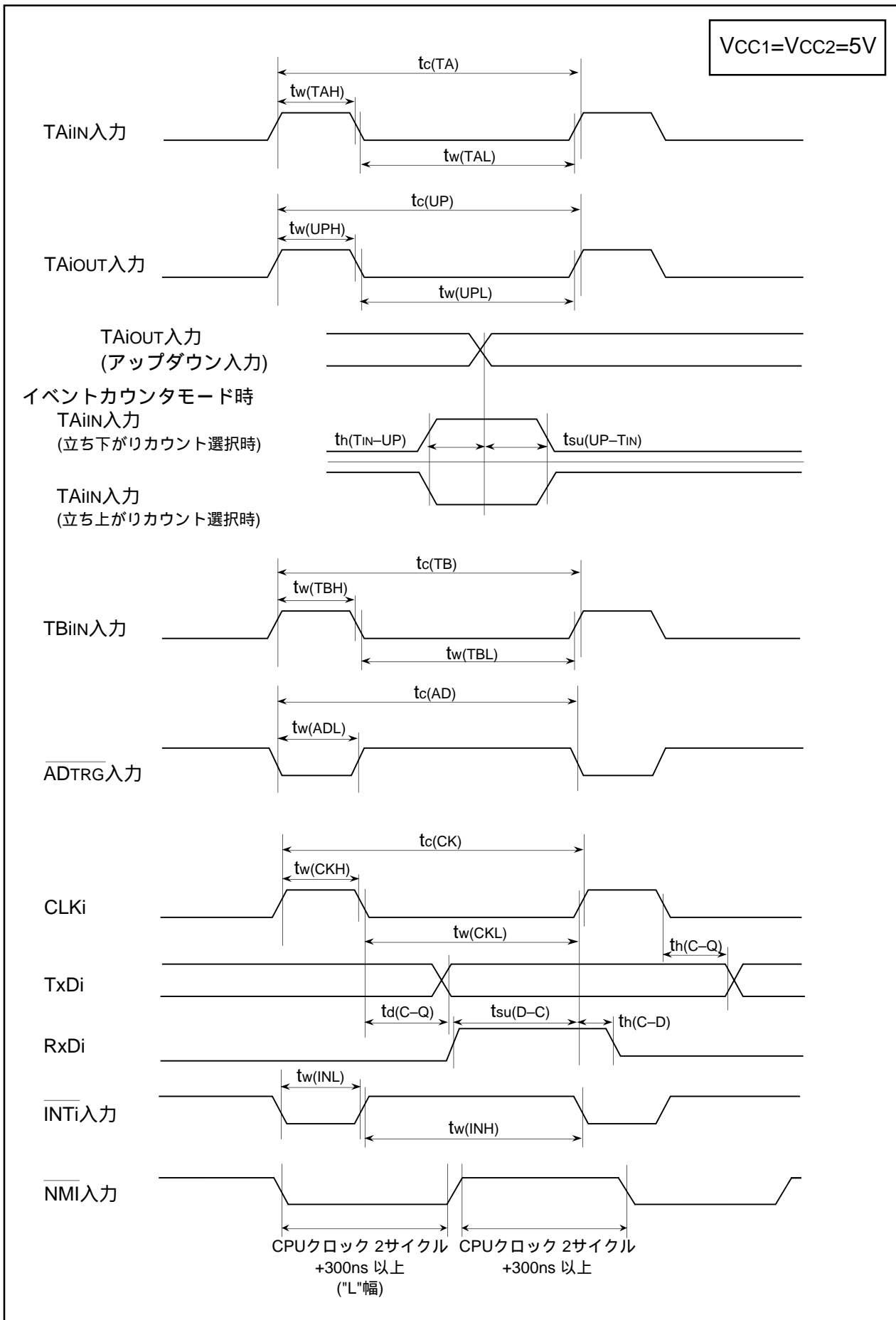
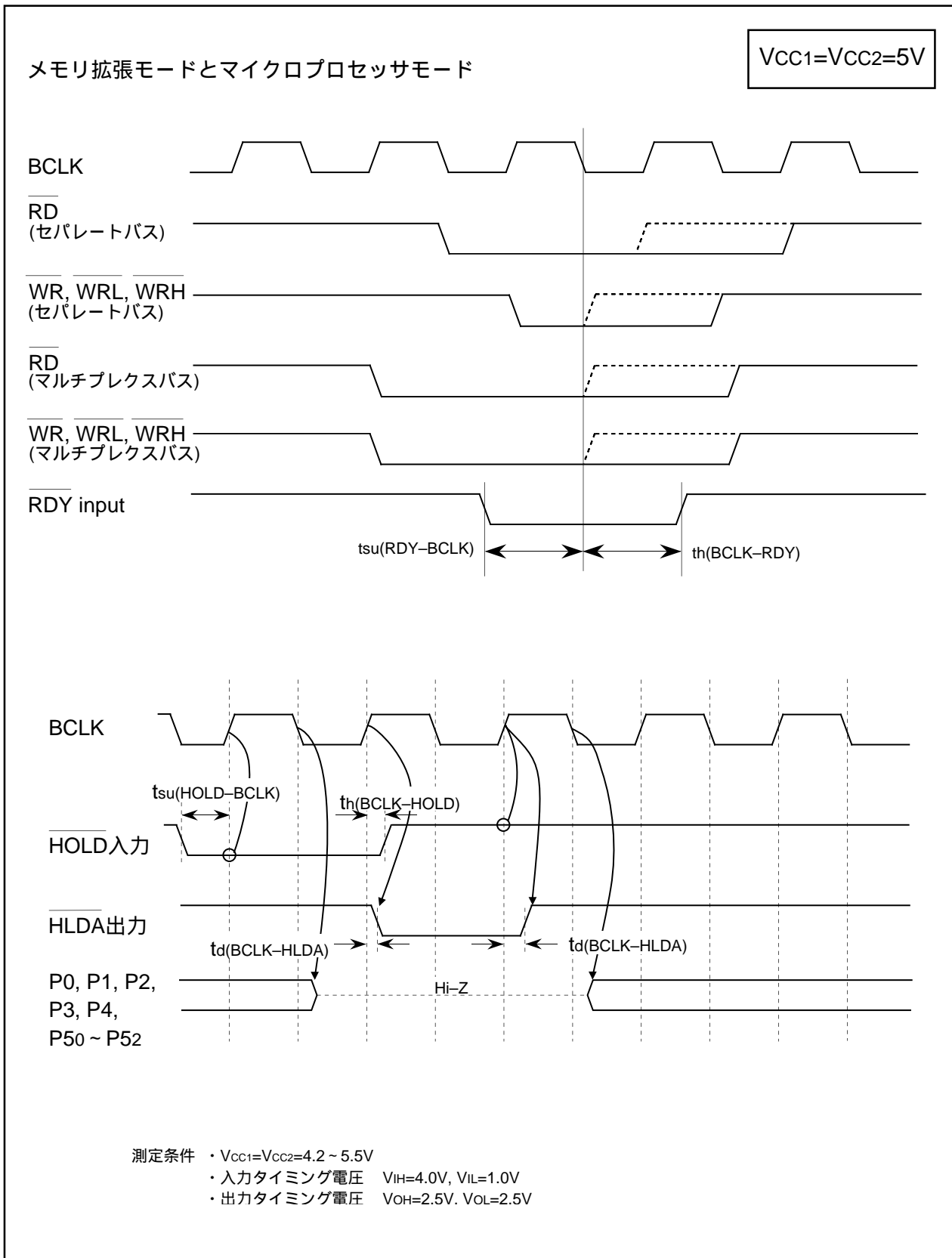


図5.4 Vcc1=Vcc2=5V時のタイミング図(3)

図5.5 $V_{CC1}=V_{CC2}=5V$ 時のタイミング図(4)

$$V_{CC1}=V_{CC2}=3.3V$$

表5.21 電気的特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$,
 $f(BCLK)=24MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57	IOH=-1mA	VCC2-0.6		VCC2	V
		P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	IOH=-1mA	VCC1-0.6		VCC1	V
	XOUT	IOH=-0.1mA	2.7		VCC1	V	
	XCOUT	HIGHPOWER	無負荷時		2.5		V
LOWPOWER		無負荷時		1.6		V	
VOL	“L”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	IOL=1mA			0.5	V
		XOUT	IOL=0.1mA			0.5	V
	XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		V
VT+-VT-	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, ADTRG, CTS0 ~ CTS4, CLK0 ~ CLK4, TA0OUT ~ TA4OUT, NMI, KI0 ~ KI3, RxD0 ~ RxD4, SCL0 ~ SCL4, SDA0 ~ SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
IiH	“H”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE	Vi=3V			4.0	μA
IiL	“L”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE	Vi=0V			-4.0	μA
RPULLUP	プルアップ抵抗	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	Vi=0V	40	70	500	kΩ
RfXIN	帰還抵抗	XIN			3.0		MΩ
RfXCIN	帰還抵抗	XCIN			30.0		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V
ICC	電源電流	測定条件 シングルチップモードで 出力端子は開放、その他 の端子はVSSに接続	f(BCLK)=24MHz、方形波、分周なし		17	35	mA
			f(BCLK)=32kHz、ウェイトモード時、Topr=25		10		μA
			クロック停止時、Topr=25		0.8	5	μA
			クロック停止時、Topr=85			50	μA

$$V_{CC1}=V_{CC2}=3.3V$$

表5.22 A/D変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=AV_{CC}=V_{REF}=3.3 \sim 3.6V$, $V_{SS}=AV_{SS}=0V$,
 $Topr = -20 \sim 85$, $f(BCLK)=24MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC1}$			10	Bits
INL	積分非直線性誤差	S & H機能なし (8bit) $V_{CC1}=V_{CC2}=V_{REF}=3.3V$			± 2	LSB
DNL	微分非直線性誤差	S & H機能なし (8bit)			± 1	LSB
-	オフセット誤差	S & H機能なし (8bit)			± 2	LSB
-	ゲイン誤差	S & H機能なし (8bit)			± 2	LSB
RLADDER	ラダー抵抗	$V_{REF}=V_{CC1}$	8.0		40	k Ω
tCONV	変換時間(8bit) ^(注1, 2)		6.1			μs
VREF	基準電圧		3.3		V_{CC1}	V
VIA	アナログ入力電圧		0.0		V_{REF}	V

S&H: サンプル&ホールド

注1 . ADが10MHzのときの値です。f(XIN)が10MHzを超える時は分周し、ADを10MHz以下としてください。

注2 . S & H機能なし。

表5.23 D/A変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=V_{REF}=3.0 \sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $Topr = -20 \sim 85$,
 $f(BCLK)=24MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	k Ω
IvREF	基準電源入力電流	(注1)			1.0	mA

注1 . D/Aコンバータを1本使用し、使用していないD/AコンバータのDAiレジスタ(i=0,1)の値が“00₁₆”の場合です。A/Dコンバータのラダー抵抗分は除きます。

AD0CON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IvREFは流れます。

$$VCC1=VCC2=3.3V$$

タイミング必要条件 (指定のない場合は、 $VCC1=VCC2=3.0 \sim 3.6V$, $VSS=0V$, $Topr= -20 \sim 85$)

表5.24 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	41		ns
tw(H)	外部クロック入力“H”パルス時間	18		ns
tw(L)	外部クロック入力“L”パルス時間	18		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表5.25 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間 (AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間 (AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	30		ns
tsu(RDY-BCLK)	RDY入力セットアップ時間	40		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	60		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	RDY入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウエイト入れるか、動作周波数 $f(BCLK)$ をさらに低くしてください。

$$t_{ac1}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル} a + b \text{ の場合、} m=(b \times 2)+1)$$

$$t_{ac1}(AD - DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル} a + b \text{ の場合、} n= a+b)$$

$$t_{ac2}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル} a + b \text{ の場合、} m=(b \times 2)-1)$$

$$t_{ac2}(AD - DB) = \frac{10^9 \times p}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル} a + b \text{ の場合、} p= \{(a+b-1) \times 2\}+1)$$

$$V_{CC1}=V_{CC2}=3.3V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表5.26 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAin入力サイクル時間	100		ns
tw(TAH)	TAin入力“H”パルス幅	40		ns
tw(TAL)	TAin入力“L”パルス幅	40		ns

表5.27 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAin入力サイクル時間	400		ns
tw(TAH)	TAin入力“H”パルス幅	200		ns
tw(TAL)	TAin入力“L”パルス幅	200		ns

表5.28 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAin入力サイクル時間	200		ns
tw(TAH)	TAin入力“H”パルス幅	100		ns
tw(TAL)	TAin入力“L”パルス幅	100		ns

表5.29 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAin入力“H”パルス幅	100		ns
tw(TAL)	TAin入力“L”パルス幅	100		ns

表5.30 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiout入力サイクル時間	2000		ns
tw(UPH)	TAiout入力“H”パルス幅	1000		ns
tw(UPL)	TAiout入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiout入力セットアップ時間	400		ns
th(TIN-UP)	TAiout入力ホールド時間	400		ns

$$V_{CC1}=V_{CC2}=3.3V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表5.31 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TB _{in} 入力サイクル時間 (片エッジカウント)	100		ns
t _{w(TBH)}	TB _{in} 入力 “H” パルス幅 (片エッジカウント)	40		ns
t _{w(TBL)}	TB _{in} 入力 “L” パルス幅 (片エッジカウント)	40		ns
t _{C(TB)}	TB _{in} 入力サイクル時間 (両エッジカウント)	200		ns
t _{w(TBH)}	TB _{in} 入力 “H” パルス幅 (両エッジカウント)	80		ns
t _{w(TBL)}	TB _{in} 入力 “L” パルス幅 (両エッジカウント)	80		ns

表5.32 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TB _{in} 入力サイクル時間	400		ns
t _{w(TBH)}	TB _{in} 入力 “H” パルス幅	200		ns
t _{w(TBL)}	TB _{in} 入力 “L” パルス幅	200		ns

表5.33 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TB _{in} 入力サイクル時間	400		ns
t _{w(TBH)}	TB _{in} 入力 “H” パルス幅	200		ns
t _{w(TBL)}	TB _{in} 入力 “L” パルス幅	200		ns

表5.34 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
t _{C(AD)}	AD _{TRG} 入力サイクル時間 (トリガ可能最小)	1000		ns
t _{w(ADL)}	AD _{TRG} 入力 “L” パルス幅	125		ns

表5.35 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
t _{C(CLK)}	CLK _i 入力サイクル時間	200		ns
t _{w(CLKH)}	CLK _i 入力 “H” パルス幅	100		ns
t _{w(CLKL)}	CLK _i 入力 “L” パルス幅	100		ns
t _{d(C-Q)}	TxD _i 出力遅延時間		80	ns
t _{h(C-Q)}	TxD _i ホールド時間	0		ns
t _{su(D-C)}	RxD _i 入力セットアップ時間	30		ns
t _{h(C-Q)}	RxD _i 入力ホールド時間	90		ns

表5.36 外部割り込みINT_i入力

記号	項目	規格値		単位
		最小	最大	
t _{w(INH)}	INT _i 入力 “H” パルス幅	250		ns
t _{w(INL)}	INT _i 入力 “L” パルス幅	250		ns

$$V_{CC1}=V_{CC2}=3.3V$$

スイッチング特性(指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}= -20 \sim 85$)

表5.37 メモリ拡張およびマイクロプロセッサモード (外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } n = (b \times 2) - 1)$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } m = b)$$

$$V_{CC1}=V_{CC2}=3.3V$$

スイッチング特性(指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表5.38 メモリ拡張およびマイクロプロセッサモード

(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			18	ns
th(BCLK-AD)	RD信号出力保持時間		-3		ns
td(BCLK-WR)	WR信号出力遅延時間			18	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間 (BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間 (アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間 (アドレス基準)		(注4)		ns
tdZ(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } m=(b+2)-1 \text{)}$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD - ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n= a \text{)}$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE - AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n= a \text{)}$$

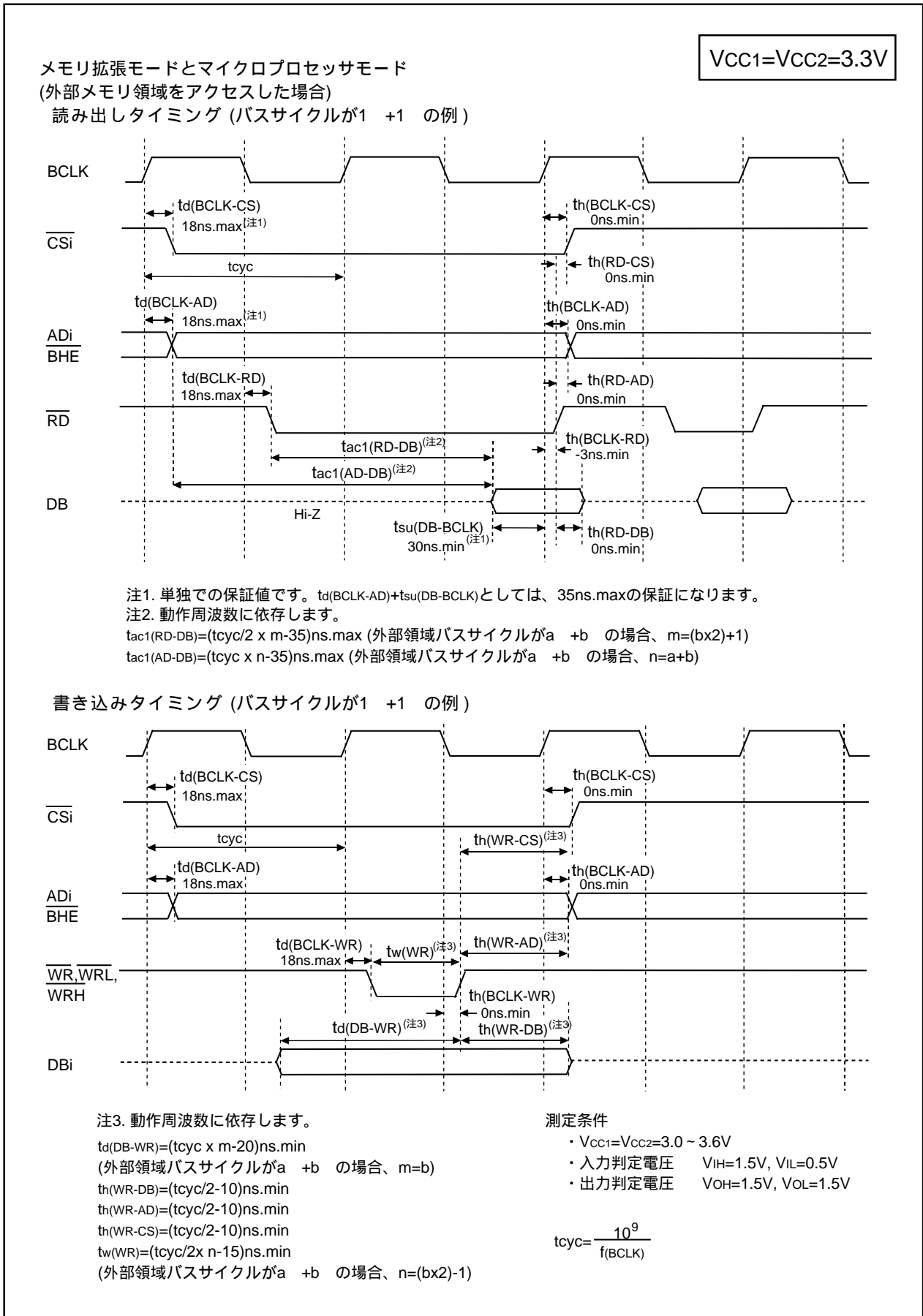


図5.6 VCC1=VCC2=3.3V時のタイミング図(1)

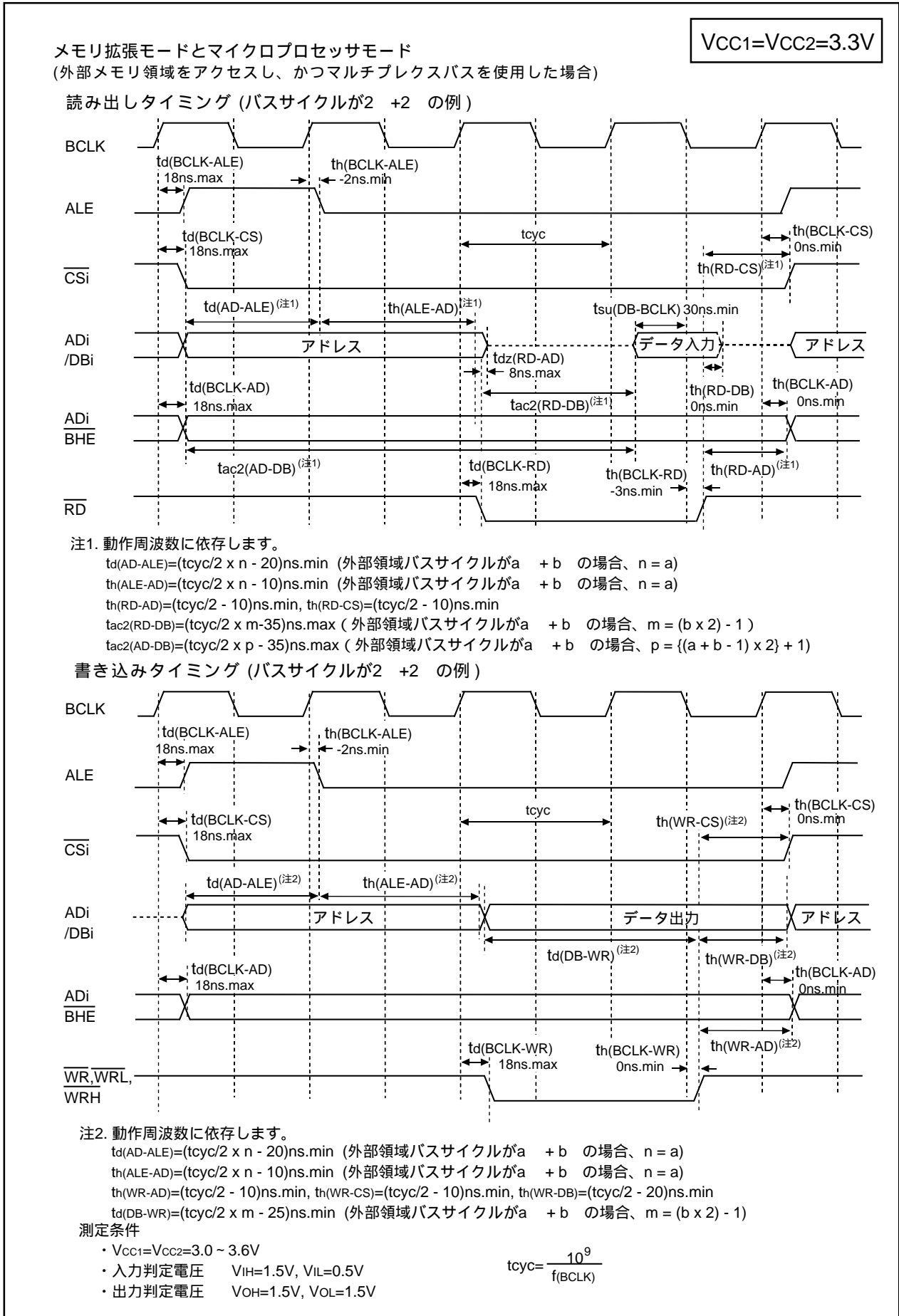
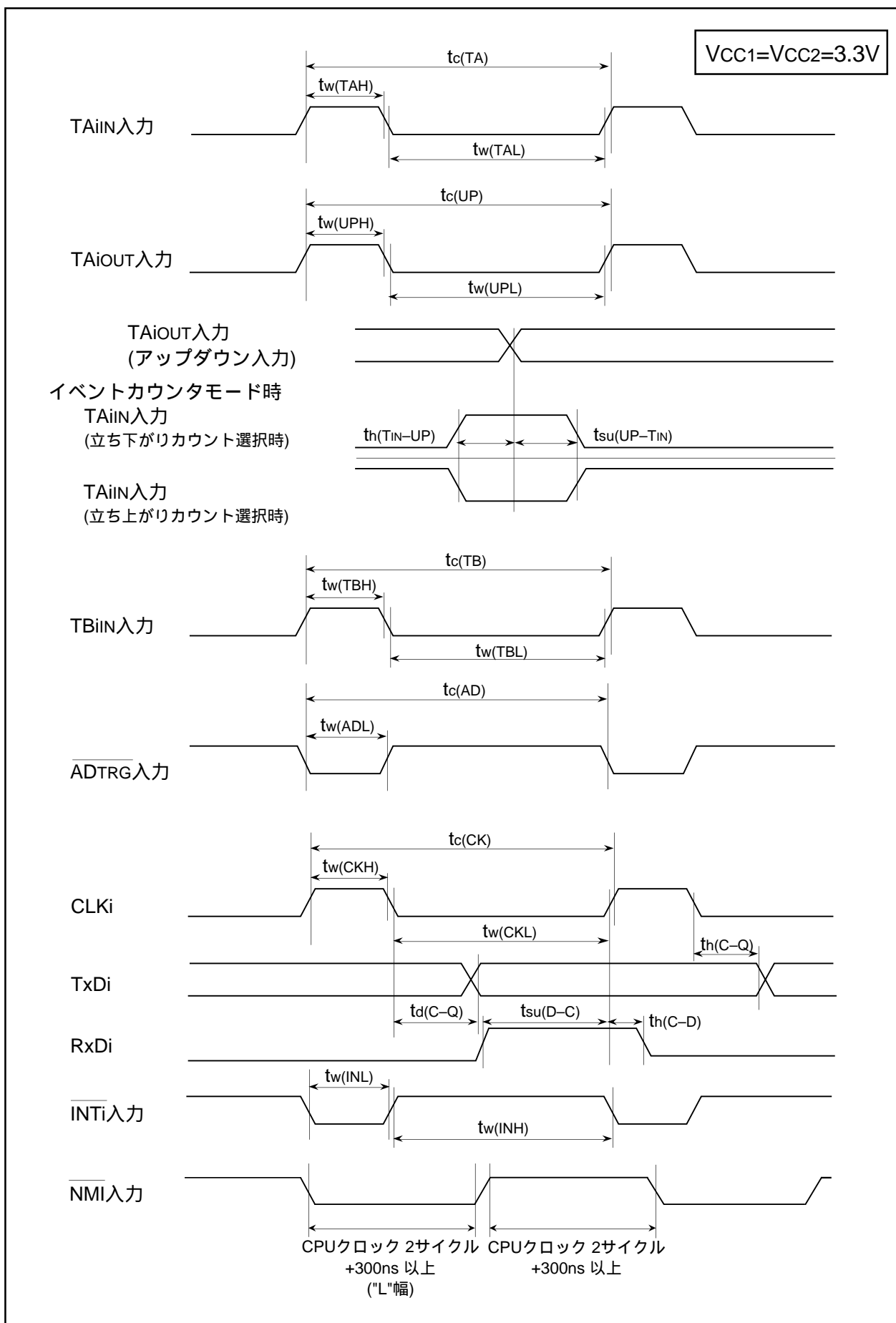


図5.7 VCC1=VCC2=3.3V時のタイミング図(2)

図5.8 $V_{CC1}=V_{CC2}=3.3V$ 時のタイミング図(3)

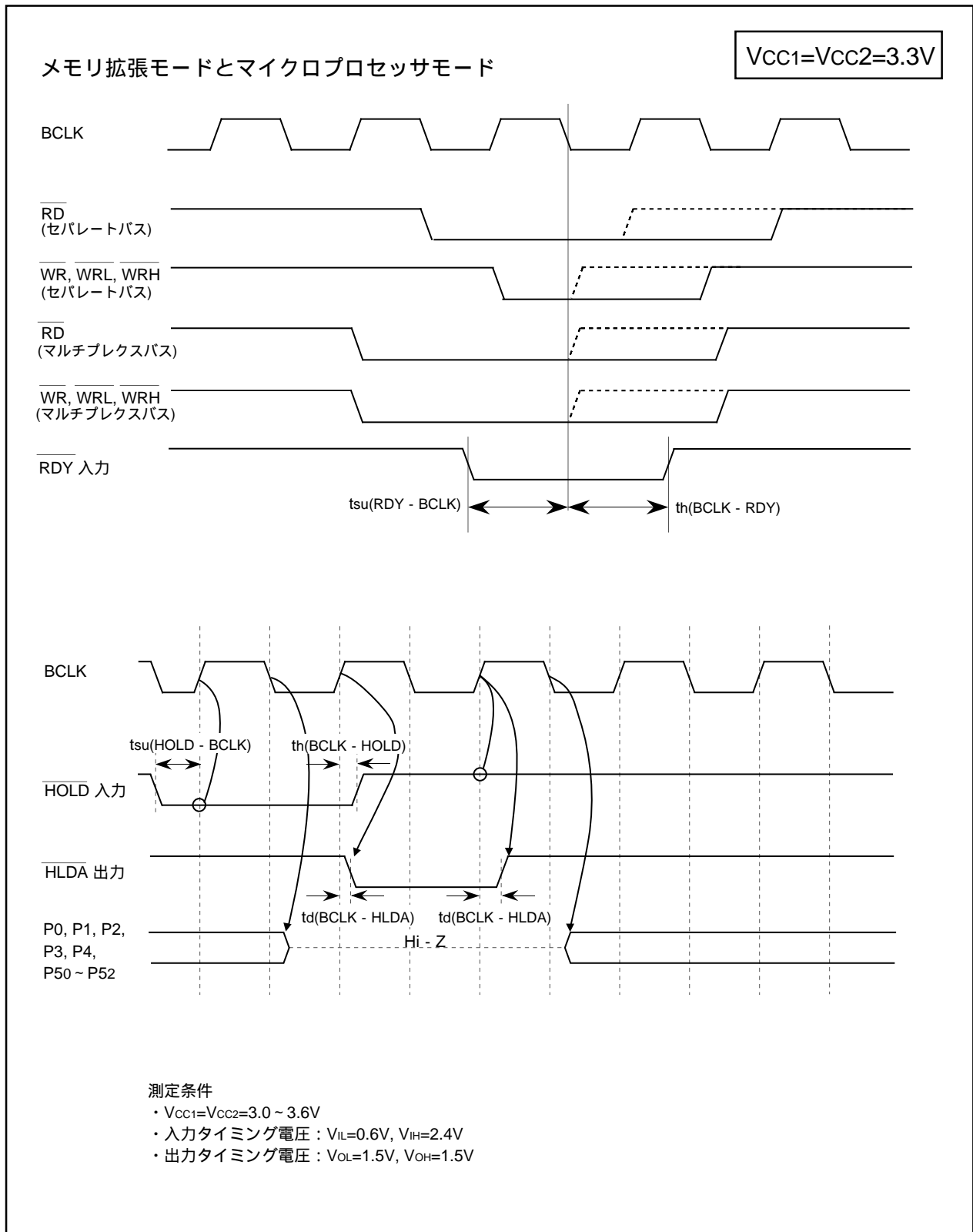
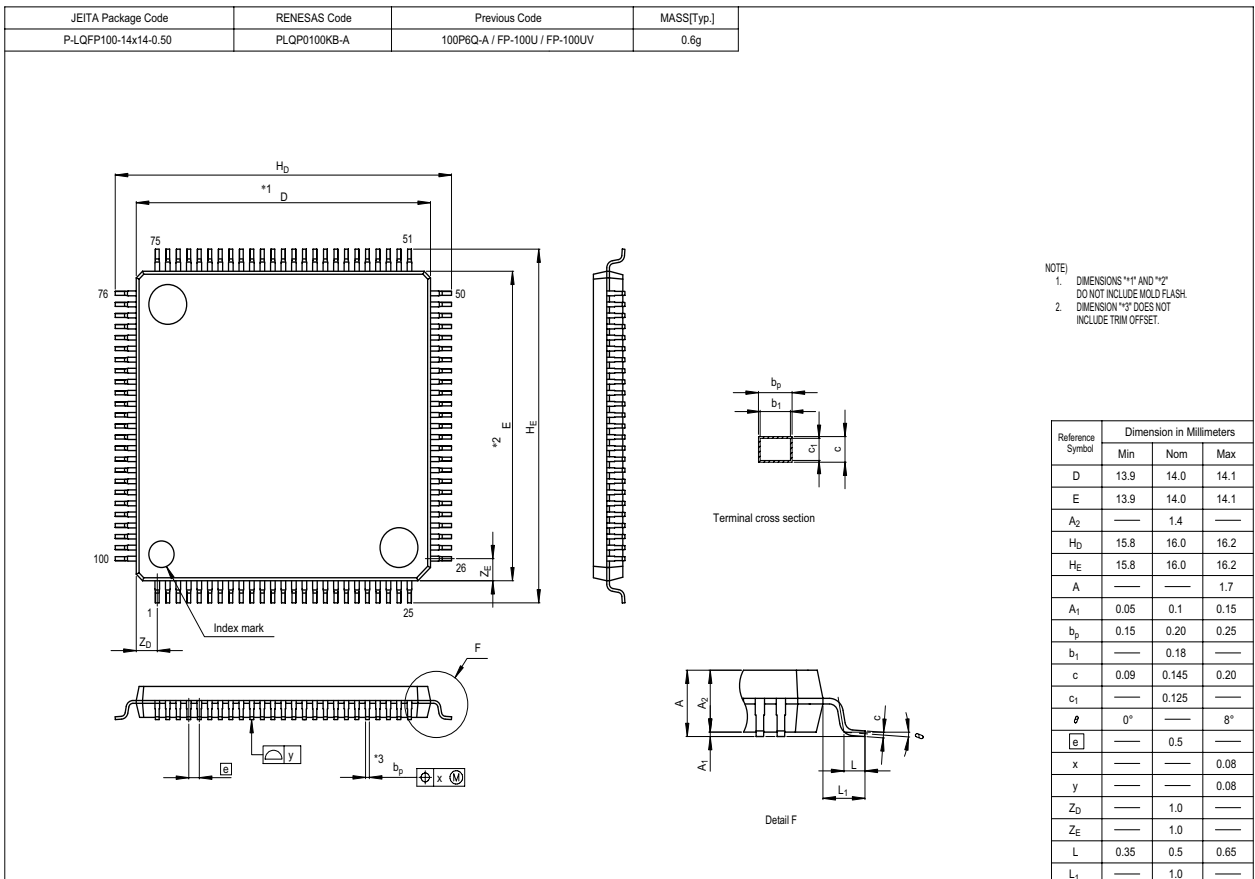
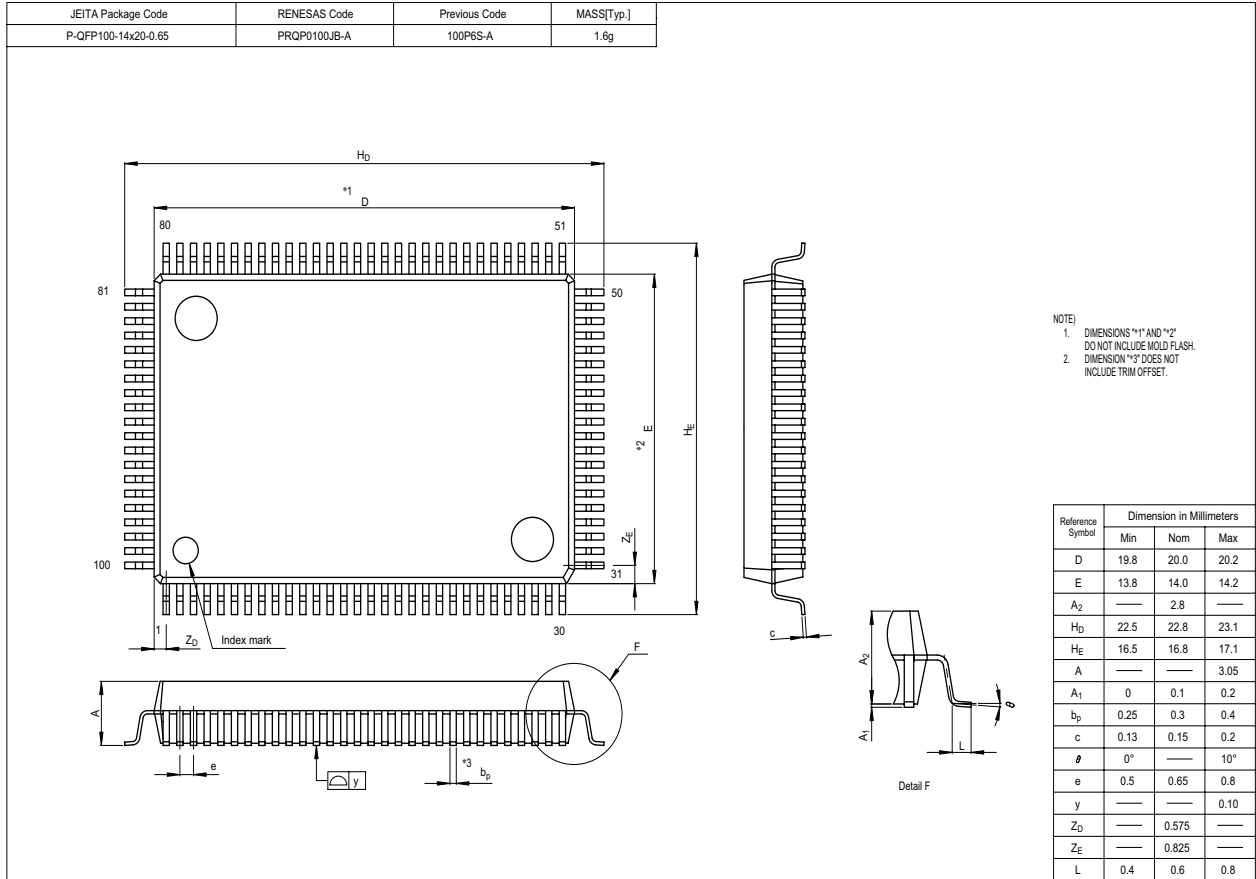


図5.9 VCC1=VCC2=3.3V時のタイミング図(4)

外形寸法図



Rev.	発行日	改訂内容	
		ページ	ポイント
0.12	2002/11	- -	初版発行
0.30	2003/08		1. 概要 変更 1.2 性能概要 変更 1.3 ブロック図 追加 表 1.3 100ピン版ピン端子名一覧表 変更 1.5 ピン接続図 変更 1.6 端子機能の説明 追加 2. 中央演算処理装置 追加 3. メモリ 追加 4. SFR 追加
0.40	2004/06	全ページ	用語統一 (統一用語: オンチップオシレータ、ウォッチドッグタイマ、A/Dコンバータ、D/Aコンバータ)
1.00	04/11/25	2,3	概要 ・表 1.1, 表 1.2 M32C/80 グループの性能概要 入出力ポート 16ビットバス使用時を追加 シリアル I/O I ² C bus、IEBus からオプションを削除 電圧検出回路 を削除 消費電流 実測値を追加 フラッシュメモリ版 を追加 4 ・1.3 ブロック図 記述を削除 5 ・図 1.2 ROM/RAM 展開を削除 11 ・表 1.5 端子の機能説明(3) 入出力ポートに注 1 を追加
		15	メモリ ・記述の変更 ・図 3.1 メモリ配置図 図を変更
		16 ~	SFR ・「X:何も配置されていない」を「X:不定」に変更 ・「?:不定」を「X:不定」に変更 ・「*はユーザは使用できません。アクセスしないでください。」を削除 ・0017 ₁₆ 、001B ₁₆ 、001F ₁₆ 、002B ₁₆ 、002F ₁₆ 、004C ₁₆ 、004D ₁₆ のレジスタ名、シンボル、リセット後の値を削除 ・PM0 レジスタのリセット後の値を修正 16 ・注 3 を削除 29 ・03E0 ₁₆ ~ 03EB ₁₆ に注 1 を追加 30 ~
			電気的特性 ・新規追加
1.01	05/09/29	-	外形図番号の変更(144P6Q-A PLQP0144KA-A、100P6Q-A PLQP0100KB-A、100P6S-A PRQP0100JB-A)
		1	概要
		2	・1. 概要 注記を変更
		3	・表 1.1 M32C/80 グループの性能概要 動作モードを変更、周辺機能のHDLCデータ処理をインテリジェント I/O 通信機能に変更
		10	・図 1.1 M32C/80 グループのブロック図 ポート P0, P2 ~ P5 に注 1 を追加、ポート P1 に注 2 を追加
		11	・表 1.5 端子の機能説明(2) 分類のHDLCをインテリジェント I/O に変更 ・表 1.5 端子の機能説明(3) P10 ~ P17の注 1 を注 2 に変更、注 1 を変更、注 2 を追加
		15	メモリ ・図 3.1 メモリ配置図 注 1 を追加
		19	SFR
		20	・RLVL レジスタのリセット後の値を変更
		22	・G0RB レジスタのリセット後の値を変更
		26	・G1RB レジスタのリセット後の値を変更
		27	・TCSPR レジスタのリセット後の値を変更 ・AD00 レジスタのリセット後の値を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
		27	・ AD0CON4 レジスタを削除
		29	・ PUR3 レジスタのリセット後の値を変更
			電気的特性
		32	・ 表 5.2 推奨動作条件(2) f(BCLK)の項目と値を追加
		35	・ 表 5.7 メモリ拡張モードおよびマイクロプロセッサモード 注1の tac1(RD-DB)の式を修正、tac2(RD-DB)の式を追加
		39	・ 表 5.20 メモリ拡張モードおよびマイクロプロセッサモード 注4の th(ALE-AD)の式を修正
		41	・ 図 5.2 VCC1=VCC2=5V 時のタイミング図(1) tcyc の式を追加
		42	・ 図 5.3 VCC1=VCC2=5V 時のタイミング図(2) 注1の th(ALE-AD)の式を修正、tac2(RD-DB)の式を修正、注2の th(ALE-AD)の式を修正、tcyc の式を追加、th(BCLK-WR)の値の誤記を修正
		46	・ 表 5.22 A/D 変換特性 測定条件の 3.0V ~ 3.6V を 3.3V ~ 3.6V に変更
		47	・ 表 5.25 メモリ拡張モードおよびマイクロプロセッサモード 注1の tac1(RD-DB)の式を修正、tac2(RD-DB)の式を追加
		51	・ 表 5.38 メモリ拡張モードおよびマイクロプロセッサモード 注4の th(ALE-AD)の式を修正
		52	・ 図 5.6 VCC1=VCC2=3.3V 時のタイミング図(1) tcyc の式を追加
		53	・ 図 5.7 VCC1=VCC2=3.3V 時のタイミング図(2) 注1の th(ALE-AD)の式を修正、tac2(RD-DB)の式を修正、注2の th(ALE-AD)の式を修正、th(WR-DB)の式を修正、tcyc の式を追加

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com