

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

M32C/83グループ(M32C/83、M32C/83T)は高性能シリコンゲートCMOSプロセスを採用し、M32C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、144ピン版と100ピン版があります。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1 応用

自動車、オーディオ、カメラ、事務機器、通信機器、携帯機器、他

1.2 性能概要

表1.1、表1.2にM32C/83グループ(M32C/83、M32C/83T)の性能概要を示します。

表1.1 M32C/83グループ(M32C/83、M32C/83T)の性能概要(144ピン版)

項目		性能	
		M32C/83	M32C/83T
CPU	基本命令数	108命令	
	最小命令実行時間	31.3ns (f(BCLK)=32MHz時、V _{CC} =4.2~5.5V) ^(注3) 50ns (f(BCLK)=20MHz時、V _{CC} =3.0~5.5V)	
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ	シングルチップ
	アドレス空間	16Mバイト	
	メモリ容量	表1.3を参照してください	
周辺機能	入出力ポート	入出力：123本、入力：1本	
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路	
	インテリジェントI/O	時間計測機能：16ビット×12チャンネル 波形生成機能：16ビット×28チャンネル 通信機能(クロック同期形シリアルI/O、クロック非同期形シリアルI/O、HDLCデータ処理、クロック同期可変長シリアルI/O、IEBus ^(注2) 、8ビットまたは16ビット長クロック同期形シリアルI/O)	
	シリアルI/O	5チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、I ² C bus ^(注1) 、IEBus ^(注2)	
	CAN	1チャンネル CAN2.0B仕様準拠	
	A/Dコンバータ	10ビット A/Dコンバータ：2回路、34チャンネル	
	D/Aコンバータ	8ビット×2チャンネル	
	DMAC	4チャンネル	
	DMAC II	すべての周辺機能割り込み要因で起動 即値転送機能、演算転送機能、チェーン転送機能	
	DRAMC	CASビフォアRASリフレッシュ、セルフリフレッシュ、EDO、FP対応	
	CRC演算回路	CRC-CCITT方式	
	X/Y変換回路	16ビット×16ビット	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケラ付)	
	割り込み	内部：42要因、外部：8要因、ソフトウェア：5要因 割り込み優先レベル：7レベル	
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵、セラミック共振子または水晶発振子外付け	
	発振停止検出機能	メインクロック発振停止検出機能	
	電気的特性	電源電圧	4.2V ~ 5.5V (f(BCLK)=32MHz) 3.0V ~ 5.5V (f(BCLK)=20MHz、VDCオン) 3.0V ~ 3.6V (f(BCLK)=20MHz、VDCオフ)
消費電流		41mA (V _{CC} =5V、f(BCLK)=32MHz) 38mA (V _{CC} =5V、f(BCLK)=30MHz) 26mA (V _{CC} =3.3V、f(BCLK)=20MHz) 470μA (V _{CC} =5V、f(XCIN)=32kHz、 ウェイトモード) 340μA (V _{CC} =3.3V、f(XCIN)=32kHz、 VDCオン、ウェイトモード) 5.0μA (V _{CC} =3.3V、f(XCIN)=32kHz、 VDCオフ、ウェイトモード) 0.4μA (V _{CC} =5V、ストップモード) 0.4μA (V _{CC} =3.3V、ストップモード)	41mA (V _{CC} =5V、f(BCLK)=32MHz) 38mA (V _{CC} =5V、f(BCLK)=30MHz) 470μA (V _{CC} =5V、f(XCIN)=32kHz、 ウェイトモード) 0.4μA (V _{CC} =5V、ストップモード)
フラッシュメモリ版	プログラム、イレーズ電圧	3.3V ± 0.3Vまたは5.0V ± 0.5V	
	プログラム、イレーズ回数	100回	
動作周囲温度	- 20 ~ 85、- 40 ~ 85 (オプション)		- 40 ~ 85 (Tバージョン)
パッケージ	144ピンプラスチックモールドLQFP		

注1. I²C busはオランダPHILIPS社の登録商標です。

注2. IEBusはNECエレクトロニクス株式会社の商標です。

注3. 30MHzよりも高い周波数でご使用される場合、(株)ルネサス販売までお問い合わせください。

オプション機能をご使用になる場合は、その旨ご指定ください。

表1.2 M32C/83グループ(M32C/83、M32C/83T)の性能概要(100ピン版)

項目	性能		
	M32C/83	M32C/83T	
CPU	基本命令数	108命令	
	最小命令実行時間	31.3ns (f(BCLK)=32MHz時、V _{CC} =4.2~5.5V) ^(注1) 50ns (f(BCLK)=20MHz時、V _{CC} =3.0~5.5V)	31.3ns (f(BCLK)=32MHz時、V _{CC} =4.2~5.5V) ^(注1)
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ	シングルチップ
	アドレス空間	16Mバイト	
	メモリ容量	表1.3を参照してください	
周辺機能	入出力ポート	入出力：87本、入力：1本	
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路	
	インテリジェント I/O	時間計測機能：16ビット×5チャンネル 波形生成機能：16ビット×10チャンネル 通信機能 (クロック同期形シリアルI/O、クロック非同期形シリアルI/O、HDLCデータ処理、クロック同期可変長シリアルI/O、IEBus ^(注2))	
	シリアルI/O	5チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、I ² C bus ^(注3) 、IEBus ^(注2)	
	CAN	1チャンネル CAN2.0B仕様準拠	
	A/Dコンバータ	10ビット A/Dコンバータ：2回路、26チャンネル	
	D/Aコンバータ	8ビット×2チャンネル	
	DMAC	4チャンネル	
	DMAC II	すべての周辺機能割り込み要因で起動 即値転送機能、演算転送機能、チェーン転送機能	
	DRAMC	CASピフォアRASリフレッシュ、セルフリフレッシュ、EDO、FP対応	
	CRC演算回路	CRC-CCITT方式	
	X/Y変換回路	16ビット×16ビット	
	ウォッチドッグタイマ	15ビット×1チャンネル (プリスケアラ付)	
	割り込み	内部：42要因、外部：8要因、ソフトウェア：5要因 割り込み優先レベル：7レベル	
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵、セラミック共振子または水晶発振子外付け	
	発振停止検出機能	メインクロック発振停止検出機能	
電気的特性	電源電圧	4.2V ~ 5.5V (f(BCLK)=32MHz) 3.0V ~ 5.5V (f(BCLK)=20MHz、VDCオン) 3.0V ~ 3.6V (f(BCLK)=20MHz、VDCオフ)	4.2V ~ 5.5V (f(BCLK)=32MHz)
	消費電流	41mA (V _{CC} =5V、f(BCLK)=32MHz) 38mA (V _{CC} =5V、f(BCLK)=30MHz) 26mA (V _{CC} =3.3V、f(BCLK)=20MHz) 470μA (V _{CC} =5V、f(XCIN)=32kHz、 ウェイトモード) 340μA (V _{CC} =3.3V、f(XCIN)=32kHz、 VDCオン、ウェイトモード) 5.0μA (V _{CC} =3.3V、f(XCIN)=32kHz、 VDCオフ、ウェイトモード) 0.4μA (V _{CC} =5V、ストップモード) 0.4μA (V _{CC} =3.3V、ストップモード)	41mA (V _{CC} =5V、f(BCLK)=32MHz) 38mA (V _{CC} =5V、f(BCLK)=30MHz) 470μA (V _{CC} =5V、f(XCIN)=32kHz、 ウェイトモード) 0.4μA (V _{CC} =5V、ストップモード)
フラッシュメモリ版	プログラム、イレーズ電圧	3.3V ± 0.3Vまたは5.0V ± 0.5V	5.0V ± 0.5V
	プログラム、イレーズ回数	100回	
動作周囲温度	- 20 ~ 85、- 40 ~ 85 (オプション)	- 40 ~ 85 (Tバージョン)	
パッケージ	100ピンプラスチックモールドLQFP/QFP		

注1. I²C busはオランダPHILIPS社の登録商標です。

注2. IEBusはNECエレクトロニクス株式会社の商標です。

注3. 30MHzより高い周波数でご使用される場合、(株)ルネサス販売までお問い合わせください。

オプション機能をご使用になる場合は、その旨ご指定ください。

1.3 ブロック図

図1.1にM32C/83グループ(M32C/83、 M32C/83T)のブロック図を示します。

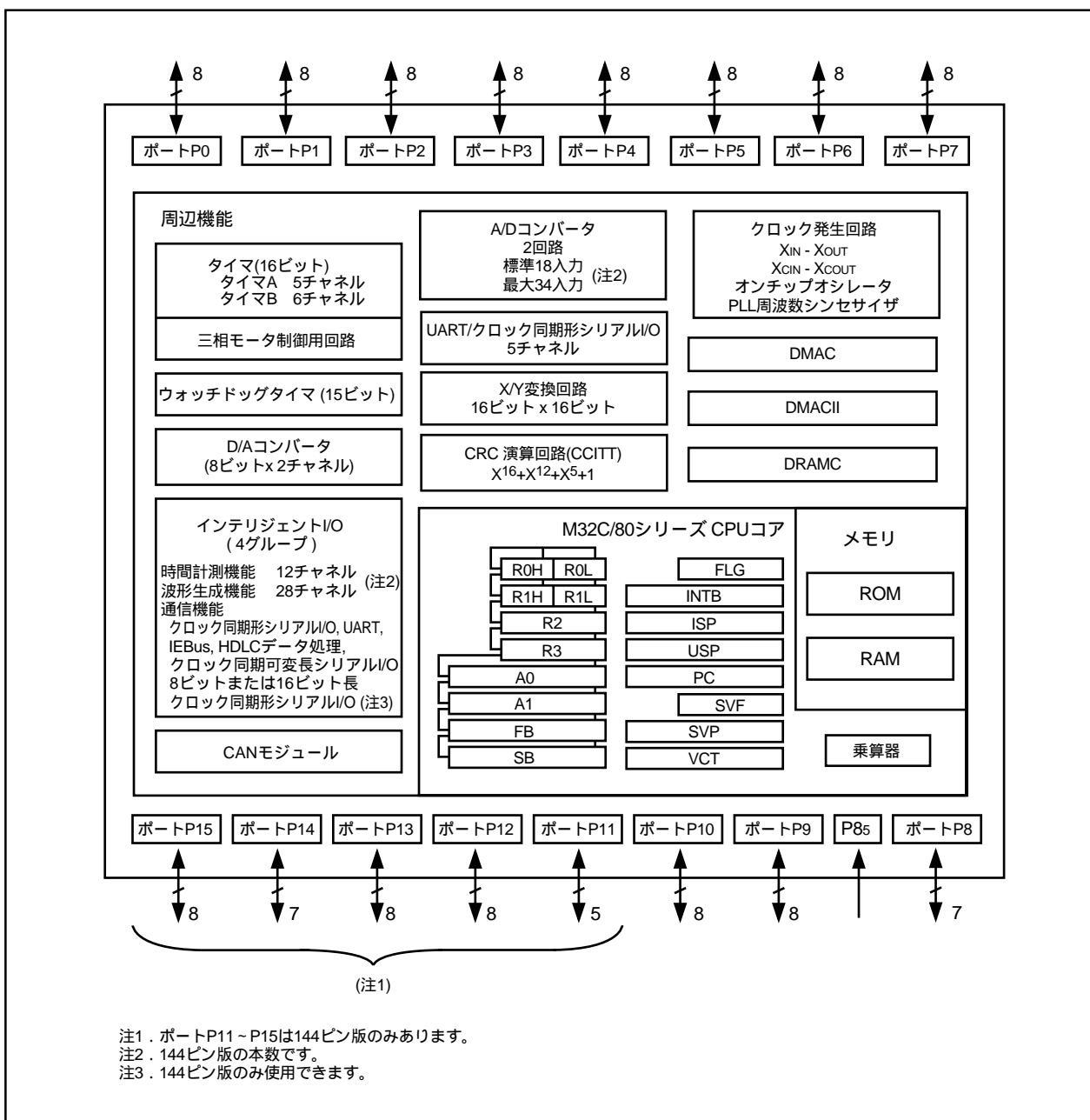


図1.1 M32C/83(M32C/83、 M32C/83T)グループのブロック図

1.4 製品一覧

表1.3に製品一覧表、図1.2に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表(1)(M32C/83)

2005年10月現在

型名	パッケージ	ROM容量	RAM容量	備考
M30835FJGP	PLQP0144KA-A (144P6Q-A)	512K	31K	フラッシュ メモリ版
M30833FJGP	PLQP0100KB-A (100P6Q-A)			
M30833FJFP	PRQP0100JB-A (100P6S-A)			

表1.3 製品一覧表(2)(Tバージョン、M32C/83T)

2005年10月現在

型名	パッケージ	ROM容量	RAM容量	備考
M30833FJTGP	PLQP0100KB-A (100P6Q-A)	512K	31K	フラッシュ メモリ版 Tバージョン (高信頼性85 版)

注 . Vバージョンについては、弊社営業を通じてお問い合わせ下さい。

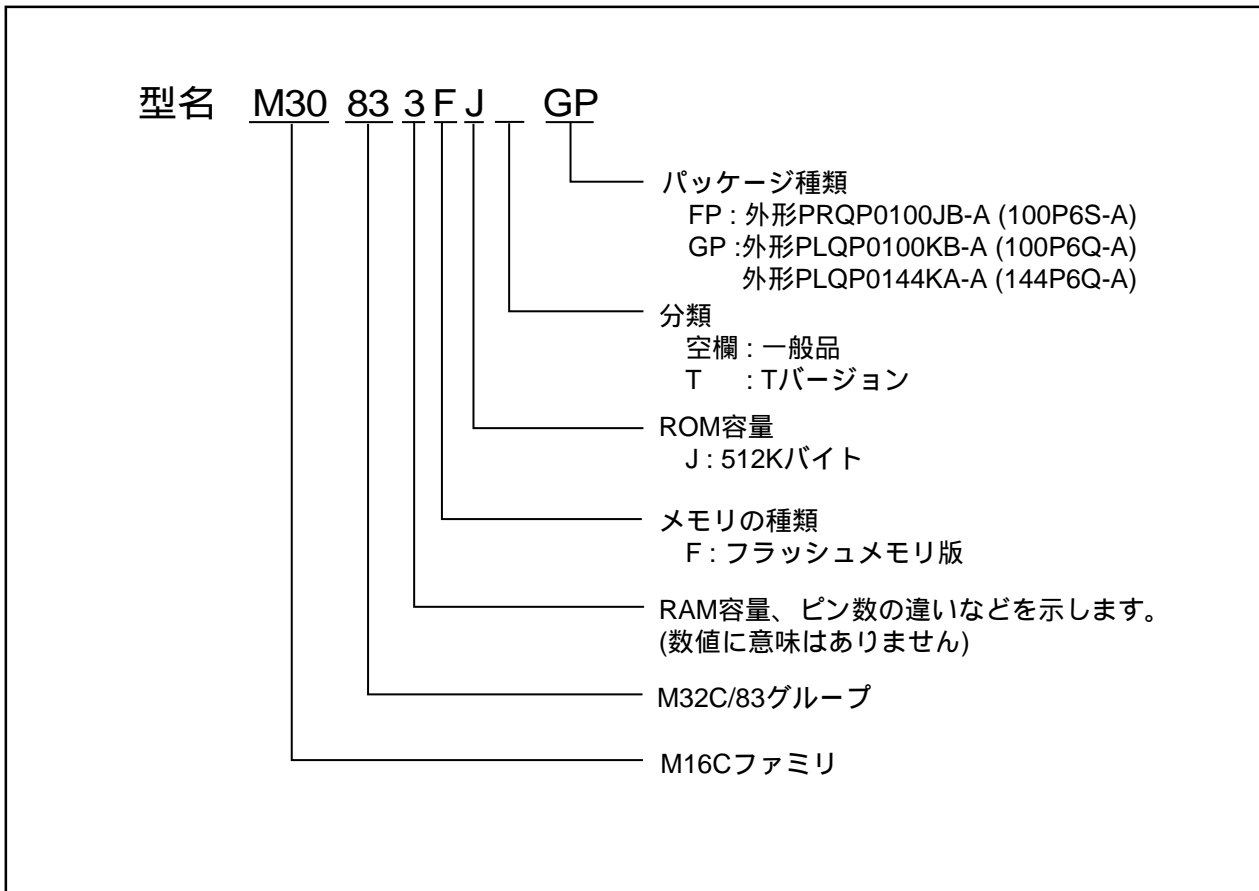


図1.2 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3～図1.5にピン接続図(上面図)を示します。

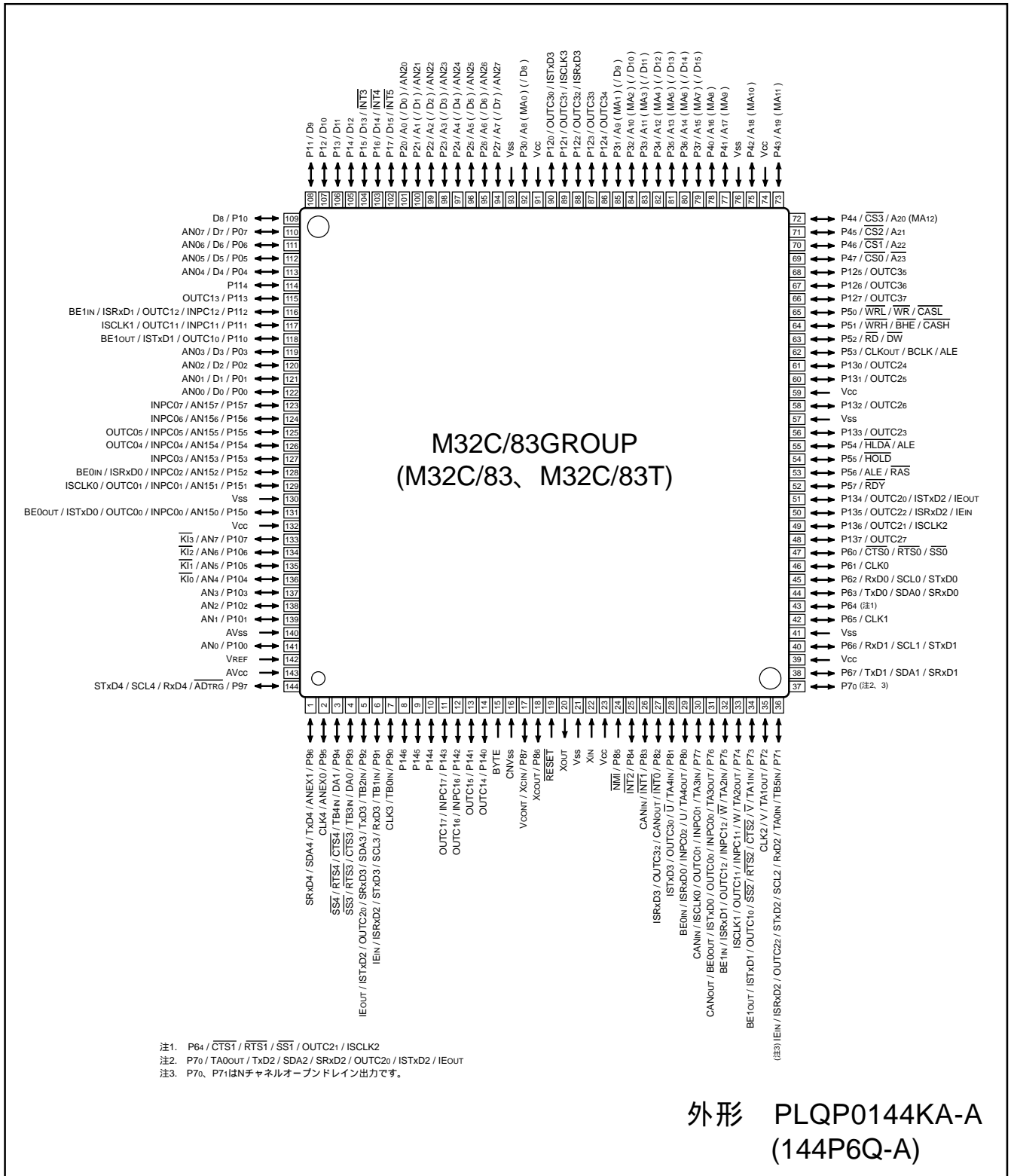


図1.3 144ピン版ピン接続図(上面図)

注1. P64 / $\overline{CTS1}$ / $\overline{RTS1}$ / $\overline{SS1}$ / OUTC21 / ISCLK2
 注2. P70 / TA0out / TxD2 / SDA2 / SRxD2 / OUTC20 / ISTXD2 / IEout
 注3. P70、P71はNチャネルオープンドレイン出力です。

表1.4 144ピン版ピン端子名一覧表(1/3)

Pin No	制御端子	ポート	割込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子 ^(注1)
1		P96			TxD4/SDA4/SRxD4		ANEX1	
2		P95			CLK4		ANEX0	
3		P94		TB4IN	$\overline{\text{CTS4}}/\text{RTS4}/\overline{\text{SS4}}$		DA1	
4		P93		TB3IN	$\overline{\text{CTS3}}/\text{RTS3}/\overline{\text{SS3}}$		DA0	
5		P92		TB2IN	TxD3/SDA3/SRxD3	OUTC20/IEout/ISTxD2		
6		P91		TB1IN	RxD3/SCL3/STxD3	IEin/ISRxD2		
7		P90		TB0IN	CLK3			
8		P146						
9		P145						
10		P144						
11		P143				INPC17/OUTC17		
12		P142				INPC16/OUTC16		
13		P141				OUTC15		
14		P140				OUTC14		
15	BYTE							
16	CNVss							
17	XcIN/VcONT	P87						
18	XcOUT	P86						
19	RESET							
20	XOUT							
21	Vss							
22	XIN							
23	Vcc							
24		P85	$\overline{\text{NMI}}$					
25		P84	$\overline{\text{INT2}}$					
26		P83	$\overline{\text{INT1}}$		CANin			
27		P82	$\overline{\text{INT0}}$		CANout	OUTC32/ISRxD3		
28		P81		TA4in/ $\overline{\text{U}}$		OUTC30/ISTxD3		
29		P80		TA4out/ $\overline{\text{U}}$		INPC02/ISRxD0/BE0in		
30		P77		TA3in	CANin	INPC01/OUTC01/ISCLK0		
31		P76		TA3out	CANout	INPC00/OUTC00/ISTxD0/BE0out		
32		P75		TA2in/ $\overline{\text{W}}$		INPC12/OUTC12/ISRxD1/BE1in		
33		P74		TA2out/ $\overline{\text{W}}$		INPC11/OUTC11/ISCLK1		
34		P73		TA1in/ $\overline{\text{V}}$	$\overline{\text{CTS2}}/\text{RTS2}/\overline{\text{SS2}}$	OUTC10/ISTxD1/BE1out		
35		P72		TA1out/ $\overline{\text{V}}$	CLK2			
36		P71		TB5in/TA0in	RxD2/SCL2/STxD2	OUTC22/ISRxD2/IEin		
37		P70		TA0out	TxD2/SDA2/SRxD2	OUTC20/ISTxD2/IEout		
38		P67			TxD1/SDA1/SRxD1			
39	Vcc							
40		P66			RxD1/SCL1/STxD1			
41	Vss							
42		P65			CLK1			
43		P64			$\overline{\text{CTS1}}/\text{RTS1}/\overline{\text{SS1}}$	OUTC21/ISCLK2		
44		P63			TxD0/SDA0/SRxD0			
45		P62			RxD0/SCL0/STxD0			
46		P61			CLK0			
47		P60			$\overline{\text{CTS0}}/\text{RTS0}/\overline{\text{SS0}}$			
48		P137				OUTC27		

注1. M32C/83Tでは、バス制御端子を使用しないでください。

表1.4 144ピン版ピン端子名一覧表(2/3)

Pin No	制御端子	ポート	割込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子 ^(注1)
49		P136				OUTC21/ISCLK2		
50		P135				OUTC22/ISRxD2/IEIN		
51		P134				OUTC20/ISTxD2/IEOUT		
52		P57						$\overline{\text{RDY}}$
53		P56						$\overline{\text{ALE/RAS}}$
54		P55						$\overline{\text{HOLD}}$
55		P54						$\overline{\text{HLDA/ALE}}$
56		P133				OUTC23		
57	Vss							
58		P132				OUTC26		
59	Vcc							
60		P131				OUTC25		
61		P130				OUTC24		
62		P53						$\overline{\text{CLKOUT/BCLK/ALE}}$
63		P52						$\overline{\text{RD/DW}}$
64		P51						$\overline{\text{WRH/BHE/CASH}}$
65		P50						$\overline{\text{WRL/WR/CASL}}$
66		P127				OUTC37		
67		P126				OUTC36		
68		P125				OUTC35		
69		P47						$\overline{\text{CS0/A23}}$
70		P46						$\overline{\text{CS1/A22}}$
71		P45						$\overline{\text{CS2/A21}}$
72		P44						$\overline{\text{CS3/A20(MA12)}}$
73		P43						A19(MA11)
74	Vcc							
75		P42						A18(MA10)
76	Vss							
77		P41						A17(MA9)
78		P40						A16(MA8)
79		P37						A15(MA7)/(D15)
80		P36						A14(MA6)/(D14)
81		P35						A13(MA5)/(D13)
82		P34						A12(MA4)/(D12)
83		P33						A11(MA3)/(D11)
84		P32						A10(MA2)/(D10)
85		P31						A9(MA1)/(D9)
86		P124				OUTC34		
87		P123				OUTC33		
88		P122				OUTC32/ISRxD3		
89		P121				OUTC31/ISCLK3		
90		P120				OUTC30/ISTxD3		
91	Vcc							
92		P30						A8(MA0)/(D8)
93	Vss							
94		P27					AN27	A7(/D7)
95		P26					AN26	A6(/D6)
96		P25					AN25	A5(/D5)

注1. M32C/83Tでは、バス制御端子を使用しないでください。

表1.4 144ピン版ピン端子名一覧表(3/3)

Pin No	制御端子	ポート	割込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子 ^(注1)
97		P24					AN24	A4(/D4)
98		P23					AN23	A3(/D3)
99		P22					AN22	A2(/D2)
100		P21					AN21	A1(/D1)
101		P20					AN20	A0(/D0)
102		P17	INT5					D15
103		P16	INT4					D14
104		P15	INT3					D13
105		P14						D12
106		P13						D11
107		P12						D10
108		P11						D9
109		P10						D8
110		P07					AN07	D7
111		P06					AN06	D6
112		P05					AN05	D5
113		P04					AN04	D4
114		P114						
115		P113				OUTC13		
116		P112				INPC12/OUTC12/ISRxD1/BE1IN		
117		P111				INPC11/OUTC11/ISCLK1		
118		P110				OUTC10/ISTxD1/BE1OUT		
119		P03					AN03	D3
120		P02					AN02	D2
121		P01					AN01	D1
122		P00					AN00	D0
123		P157				INPC07	AN157	
124		P156				INPC06	AN156	
125		P155				INPC05/OUTC05	AN155	
126		P154				INPC04/OUTC04	AN154	
127		P153				INPC03	AN153	
128		P152				INPC02/ISRxD0/BE0IN	AN152	
129		P151				INPC01/OUTC01/ISCLK0	AN151	
130	Vss							
131		P150				INPC00/OUTC00/ISTxD0/BE0OUT	AN150	
132	Vcc							
133		P107	KI3				AN7	
134		P106	KI2				AN6	
135		P105	KI1				AN5	
136		P104	KI0				AN4	
137		P103					AN3	
138		P102					AN2	
139		P101					AN1	
140	AVss							
141		P100					AN0	
142	VREF							
143	AVCC							
144		P97			RxD4/SCL4/STxD4		ADTRG	

注1 . M32C/83Tでは、バス制御端子を使用しないでください。

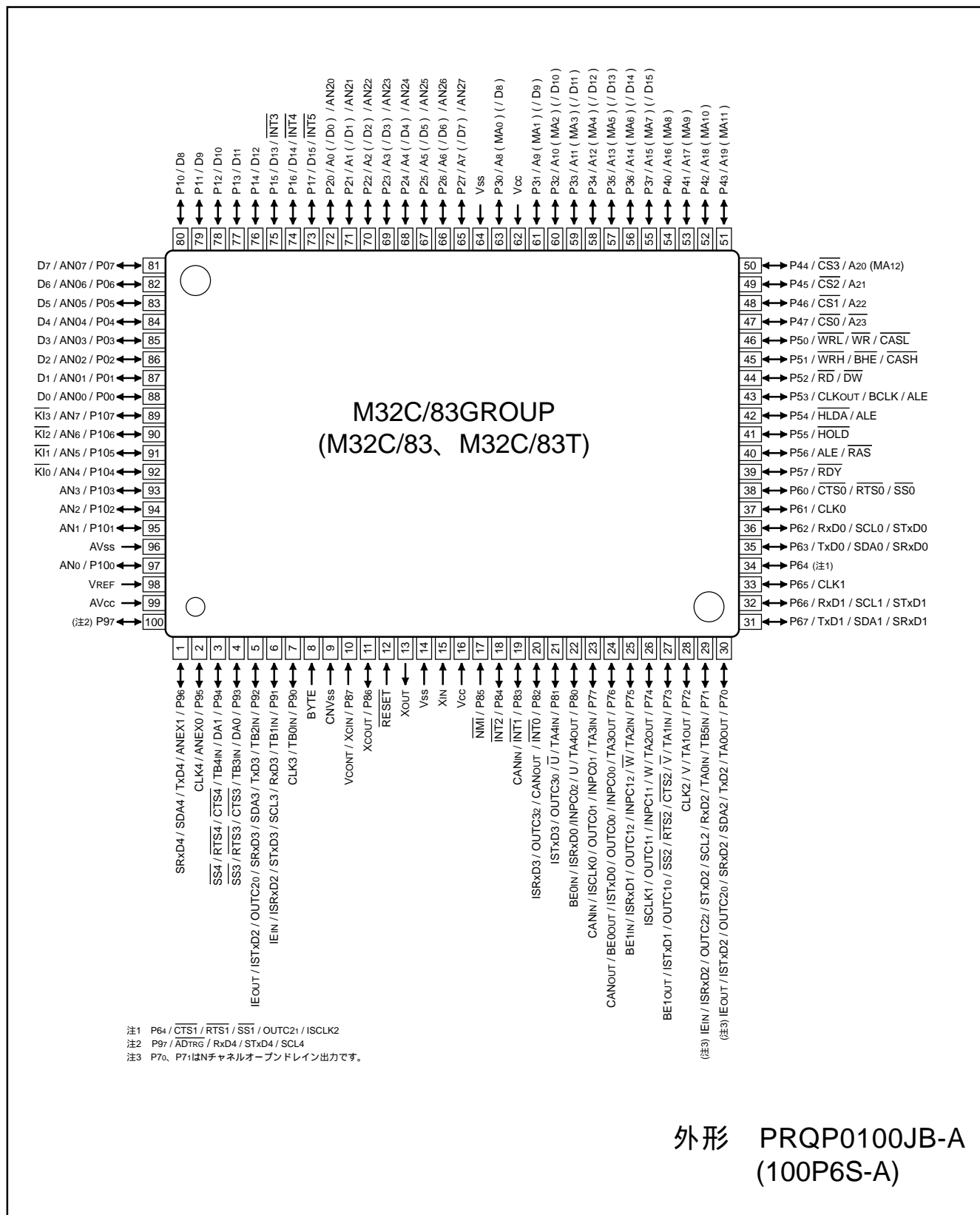


図1.4 100ピン版ピン接続図(上面図)

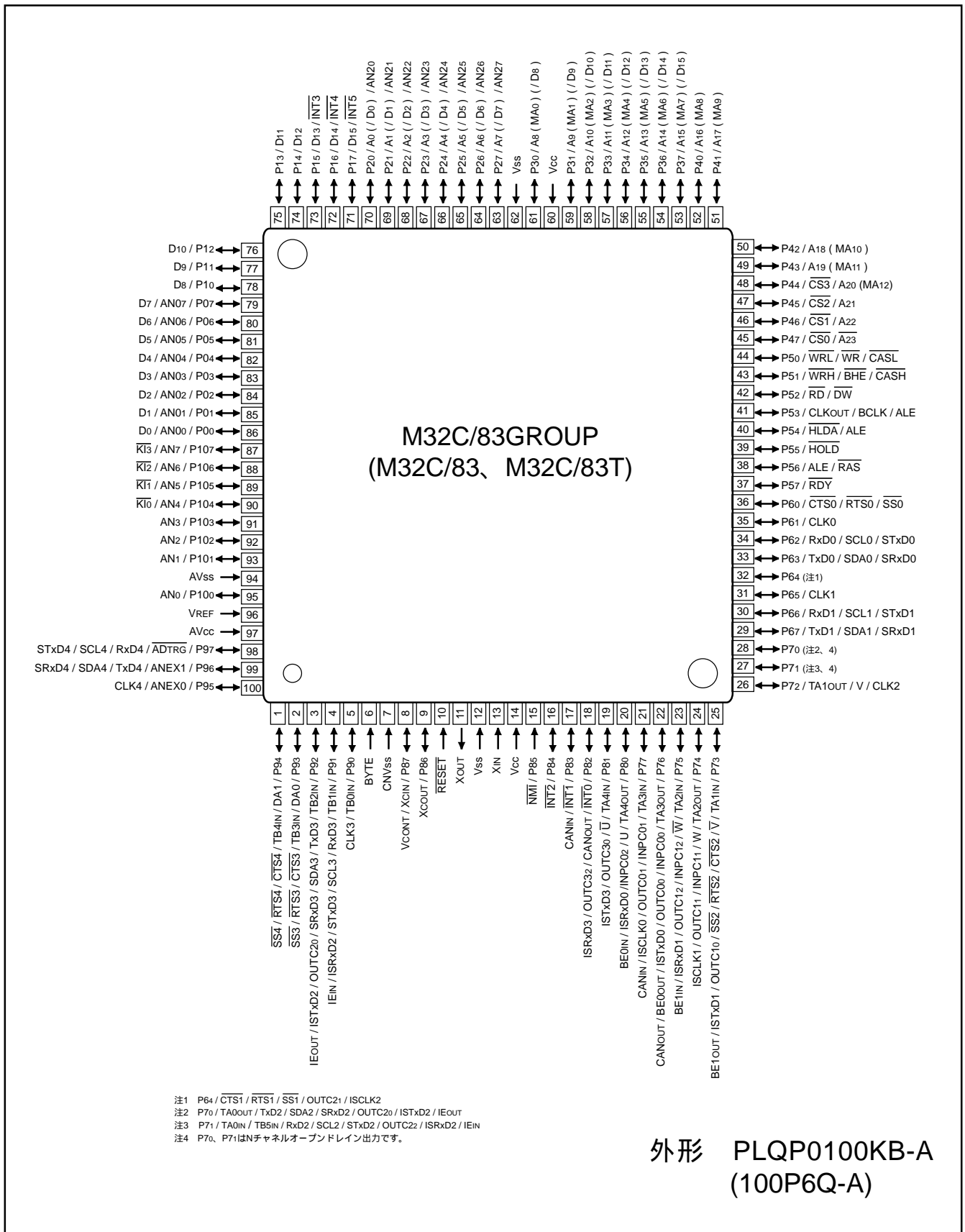


図1.5 100ピン版ピン接続図(上面図)

表1.5 100ピン版ピン端子名一覧表(1/2)

パッケージ ピン番号		制御端子	ポート	割込み 端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ 端子	バス制御端子 ^(注1)
FP	GP								
1	99		P96			TxD4/SDA4/SRx4D4		ANEX1	
2	100		P95			CLK4		ANEX0	
3	1		P94		TB4IN	CTS4/RTS4/SS4		DA1	
4	2		P93		TB3IN	CTS3/RTS3/SS3		DA0	
5	3		P92		TB2IN	TxD3/SDA3/SRx3D3	OUTC20/IEout/ISTxD2		
6	4		P91		TB1IN	RxD3/SCL3/STxD3	IEin/ISRxD2		
7	5		P90		TB0IN	CLK3			
8	6	BYTE							
9	7	CNVss							
10	8	Xcin/Vcont	P87						
11	9	Xcout	P86						
12	10	RESET							
13	11	Xout							
14	12	Vss							
15	13	Xin							
16	14	Vcc							
17	15		P85	NMI					
18	16		P84	INT2					
19	17		P83	INT1		CANin			
20	18		P82	INT0		CANout	OUTC32/ISRxD3		
21	19		P81	TA4in/U			OUTC30/ISTxD3		
22	20		P80	TA4out/U			INPC02/ISRxD0/BE0in		
23	21		P77	TA3in	CANin		INPC01/OUTC01/ISCLK0		
24	22		P76	TA3out	CANout		INPC00/OUTC00/ISTxD0/BE0out		
25	23		P75	TA2in/W			INPC12/OUTC12/ISRxD1/BE1in		
26	24		P74	TA2out/W			INPC11/OUTC11/ISCLK1		
27	25		P73	TA1in/V		CTS2/RTS2/SS2	OUTC10/ISTxD1/BE1out		
28	26		P72	TA1out/V		CLK2			
29	27		P71	TB5in/TA0in	RxD2/SCL2/STxD2		OUTC22/ISRxD2/IEin		
30	28		P70	TA0out	TxD2/SDA2/SRx2D2		OUTC20/ISTxD2/IEout		
31	29		P67		TxD1/SDA1/SRx1D1				
32	30		P66		RxD1/SCL1/STxD1				
33	31		P65		CLK1				
34	32		P64		CTS1/RTS1/SS1		OUTC21/ISCLK2		
35	33		P63		TxD0/SDA0/SRx0D0				
36	34		P62		RxD0/SCL0/STxD0				
37	35		P61		CLK0				
38	36		P60		CTS0/RTS0/SS0				
39	37		P57						RDY
40	38		P56						ALE/RAS
41	39		P55						HOLD
42	40		P54						HLD/ALE
43	41		P53						CLKout/BCLK/ALE
44	42		P52						RD/DW
45	43		P51						WRH/BHE/CASH
46	44		P50						WRL/WR/CASL
47	45		P47						CS0/A23
48	46		P46						CS1/A22
49	47		P45						CS2/A21
50	48		P44						CS3/A20(MA12)

注1. M32C/83Tでは、バス制御端子を使用しないでください。

表1.5 100ピン版ピン端子名一覧表(2/2)

パッケージ ピン番号		制御端子	ポート	割込み 端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ 端子	バス制御端子(注1)
FP	GP								
51	49		P43						A19(MA11)
52	50		P42						A18(MA10)
53	51		P41						A17(MA9)
54	52		P40						A16(MA8)
55	53		P37						A15(MA7)/(D15)
56	54		P36						A14(MA6)/(D14)
57	55		P35						A13(MA5)/(D13)
58	56		P34						A12(MA4)/(D12)
59	57		P33						A11(MA3)/(D11)
60	58		P32						A10(MA2)/(D10)
61	59		P31						A9(MA1)/(D9)
62	60	Vcc							
63	61		P30						A8(MA0)/(D8)
64	62	Vss							
65	63		P27					AN27	A7(/D7)
66	64		P26					AN26	A6(/D6)
67	65		P25					AN25	A5(/D5)
68	66		P24					AN24	A4(/D4)
69	67		P23					AN23	A3(/D3)
70	68		P22					AN22	A2(/D2)
71	69		P21					AN21	A1(/D1)
72	70		P20					AN20	A0(/D0)
73	71		P17	INT5					D15
74	72		P16	INT4					D14
75	73		P15	INT3					D13
76	74		P14						D12
77	75		P13						D11
78	76		P12						D10
79	77		P11						D9
80	78		P10						D8
81	79		P07					AN07	D7
82	80		P06					AN06	D6
83	81		P05					AN05	D5
84	82		P04					AN04	D4
85	83		P03					AN03	D3
86	84		P02					AN02	D2
87	85		P01					AN01	D1
88	86		P00					AN00	D0
89	87		P107	KI3				AN7	
90	88		P106	KI2				AN6	
91	89		P105	KI1				AN5	
92	90		P104	KI0				AN4	
93	91		P103					AN3	
94	92		P102					AN2	
95	93		P101					AN1	
96	94	AVss							
97	95		P100					AN0	
98	96	VREF							
99	97	AVcc							
100	98		P97			RxD4/SCL4/STxD4		ADTRG	

注1 . M32C/83Tでは、バス制御端子を使用しないでください。

1.6 端子機能の説明

表1.6 端子の機能説明 (1/4)

分類	端子名	入出力	機能
電源入力	Vcc Vss	入力	Vcc端子には、3.0V～5.5Vを入力してください。 Vssには、0Vを入力してください。(注1)
アナログ電源入力	AVcc AVss	入力	A/Dコンバータの電源入力です。AVccはVccに接続してください。 AVssはVssに接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVss	CNVss	入力	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合Vssに、マイクロプロセッサモードで動作を開始する場合Vccに接続してください。
外部データバス幅切り替え入力(注2)	BYTE	入力	外部領域3のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、Vssに接続してください。
バス制御端子(注2)	D0～D7	入出力	セパレートバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力を行います。
	D8～D15	入出力	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力を行います。
	A0～A22	出力	アドレスA0～A22を出力します。
	A23	出力	アドレスA23を反転して出力します。
	A0/D0～ A7/D7	入出力	マルチプレクスバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
	A8/D8～ A15/D15	入出力	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力と、アドレス(A8～A15)の出力を時分割で行います。
	CS0～CS3	出力	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、BHE、WRを切り替えられます。 WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。 WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。 BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのときはこのモードを使用してください。
	ALE	出力	アドレスをラッチするための信号です。
	HOLD	入力	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
HLDA	出力	ホールド状態の期間、“L”を出力します。	
RDY	入力	入力が“L”の期間、マイクロコンピュータのバスはウエイト状態になります。	
DRAM用バス制御端子(注2)	MA0～MA12	出力	DRAM領域へのアクセス時、行アドレスと列アドレスの出力を時分割で行います。
	DW	出力	DRAM領域にデータを書くと、DW信号が“L”になります。CASL、CASH信号は列アドレスをラッチするタイミングを示す出力です。
	CASL		CASLは偶数番地、CASHは奇数番地アクセス時に“L”になります。RAS信号は、行アドレスをラッチするタイミングを示す出力です。
	CASH		
	RAS		

注1．M32C/83Tは、Vcc端子に4.2～5.5Vを入力してください。

注2．M32C/83Tでは、バス制御端子を使用しないでください。

表1.6 端子の機能説明 (2/4)

分類	端子名	入出力	機能
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	
PLL周波数シンセサイザ用ローパスフィルタ接続端子	VCONT		PLL周波数シンセサイザを使用する場合は、VCONT端子にローパスフィルタを接続してください。また、PLL発振を安定させるためP86はVSSに接続してください。
BCLK出力 ^(注1)	BCLK	出力	BCLK信号を出力します。
クロック出力	CLKOUT	出力	f _c 、f ₈ 、またはf ₃₂ と同じ周期のクロックを出力します。
INT割り込み入力	INT0 ~ INT5	入力	INT割り込みの入力です。
NMI割り込み入力	NMI	入力	NMI割り込みの入力です。
キー入力割り込み	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマA	TA0OUT ~ TA4OUT	入出力	タイマA0 ~ A4の入出力です。 (ただし、TA0OUTの出力はNチャンネルオープンドレインです。)
	TA0IN ~ TA4IN	入力	タイマA0 ~ A4の入力です。
タイマB	TB0IN ~ TB5IN	入力	タイマB0 ~ B5の入力です。
三相モータ制御用タイマ出力	U,U,V,V,W,W	出力	三相モータ制御用タイマの出力です。
シリアルI/O	CTS0 ~ CTS4	入力	送信制御用入力です。
	RTS0 ~ RTS4	出力	受信制御用出力です。
	CLK0 ~ CLK4	入出力	転送クロック入出力です。
	RxD0 ~ RxD4	入力	シリアルデータ入力です。
	TxD0 ~ TxD4	出力	シリアルデータ出力です。 (ただし、TxD2の出力はNチャンネルオープンドレインです。)
I ² Cモード	SDA0 ~ SDA4	入出力	シリアルデータ入出力です。 (ただし、SDA2の出力はNチャンネルオープンドレインです。)
	SCL0 ~ SCL4	入出力	転送クロック入出力です。 (ただし、SCL2の出力はNチャンネルオープンドレインです。)
シリアルインタフェース 特殊機能	STxD0 ~ STxD4	出力	スレーブモードを選択したときのシリアルデータ出力です。 (ただし、STxD2の出力はNチャンネルオープンドレインです。)
	SRxD0 ~ SRxD4	入力	スレーブモードを選択したときのシリアルデータ入力です。
	SS0 ~ SS4	入力	シリアルインタフェース特殊機能の制御用入力です。

注1. M32C/83Tでは、バス制御端子を使用しないでください。

表1.6 端子の機能説明 (3/4)

分類	端子名	入出力	機能	
基準電圧入力	VREF	入力	A/DコンバータとD/Aコンバータの基準電圧入力です。	
A/Dコンバータ	AN0 ~ AN7 AN00 ~ AN07 AN20 ~ AN27 AN150 ~ AN157(注1)	入力	A/Dコンバータのアナログ入力です。	
	ADTRG	入力	A/D外部トリガ入力です。	
	ANEX0	入出力	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。	
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です。	
	D/Aコンバータ	DA0, DA1	出力	D/Aコンバータの出力です。
インテリジェント I/O	INPC00 ~ INPC02 INPC03 ~ INPC07(注1) INPC11、INPC12 INPC16、 INPC17(注1)	入力	時間計測機能の入力です。	
	OUTC00、OUTC01 OUTC04、 OUTC05(注1) OUTC10 ~ OUTC12 OUTC13 ~ OUTC17(注1) OUTC20 ~ OUTC22 OUTC23 ~ OUTC27(注1) OUTC30、OUTC32 OUTC31、OUTC33 ~OUTC37(注1)	出力	波形生成機能の出力です(ただし、P70、P71に配置されているOUTC20、OUTC22はNチャネルオープンドレイン出力)。	
	ISCLK0 ~ ISCLK2 ISCLK3(注1)	入出力	インテリジェントI/O通信機能のクロック入出力です。	
	ISRXD0 ~ ISRXD3	入力	インテリジェントI/O通信機能のデータ入力です。	
	ISTXD0 ~ ISTXD3	出力	インテリジェントI/O通信機能のデータ出力です。	
	BE0IN、BE1IN	入力	インテリジェントI/O通信機能のデータ入力です。	
	BE0OUT、BE1OUT	出力	インテリジェントI/O通信機能のデータ出力です。	
	IEIN	入力	インテリジェントI/O通信機能のデータ入力です。	
	IEOUT	出力	インテリジェントI/O通信機能のデータ出力です。	
	CAN	CANIN	入力	CAN通信機能の入力です。
		CANOUT	出力	CAN通信機能の出力です。

注1 . 144ピン版のみ存在します。

表1.6 端子の機能説明 (4/4)

分類	端子名	入出力	機能		
入出力ポート	P00 ~ P07 P10 ~ P17 P20 ~ P27 P30 ~ P37 P40 ~ P47 P50 ~ P57 P60 ~ P67 P70 ~ P77 P90 ~ P97 P100 ~ P107	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。(ただし、P70とP71はNチャネルオープンドレイン出力)。		
	P110 ~ P114 P120 ~ P127 P130 ~ P137 P140 ~ P146 P150 ~ P157 (注1)			入出力	P0と同等の機能を持つ入出力ポートです。
	P80 ~ P84, P86, P87				
入力ポート	P85	入力	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。		

注1．144ピン版のみ存在します。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには28個のレジスタがあります。

これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個はレジスタバンクを構成しています。レジスタバンクは2セットあります。

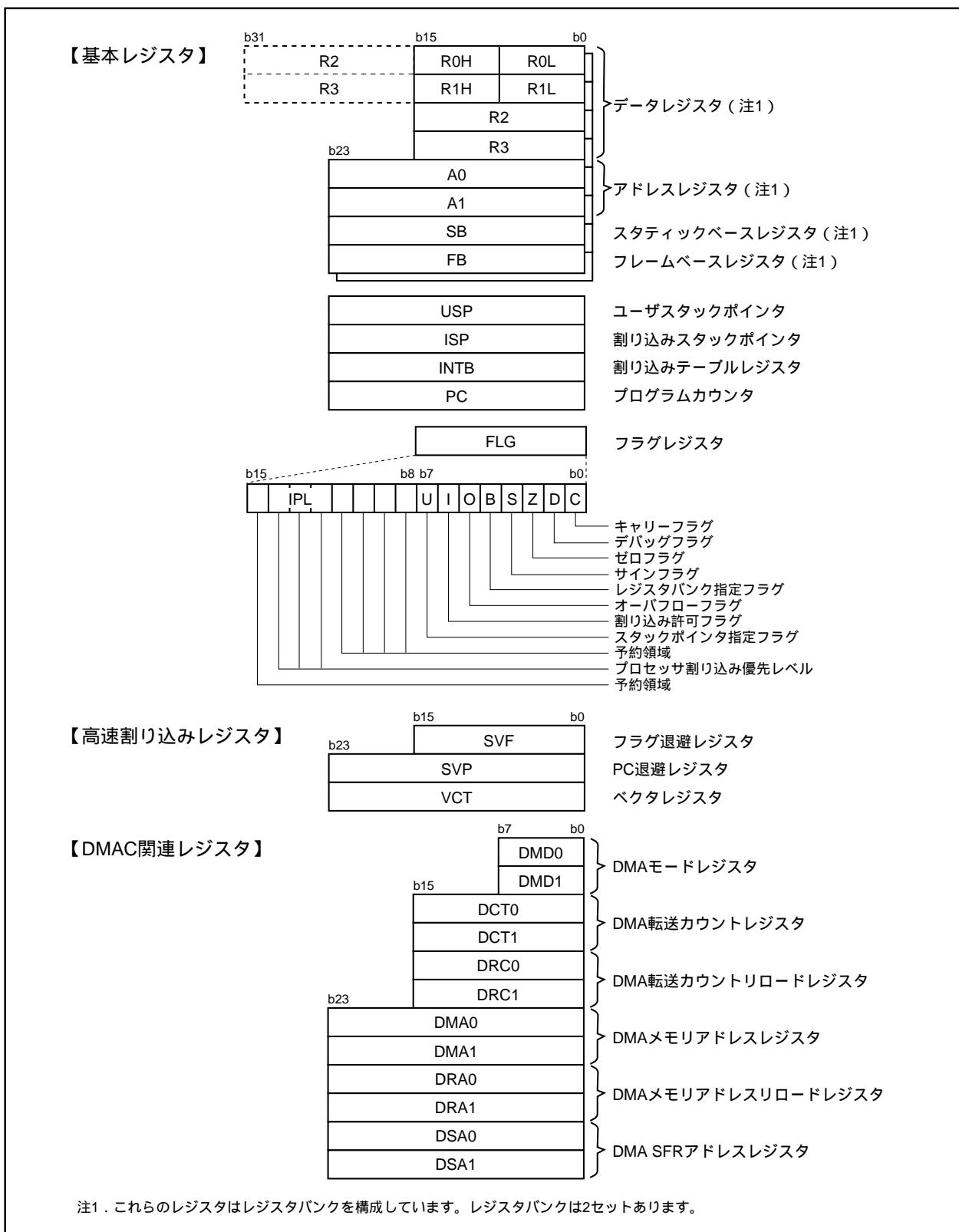


図2.1 CPUのレジスタ

2.1 基本レジスタ

2.1.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用します。R1はR0と同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用します。R3R1はR2R0と同様です。

2.1.2 アドレスレジスタ(A0、A1)

A0は24ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。

A1はA0と同様です。

2.1.3 スタティックベースレジスタ(SB)

SBは24ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ(FB)

FBは24ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ(PC)

PCは24ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みテーブルレジスタ(INTB)

INTBは24ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)はUSPとISPの2種類あり、共に24ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグは「2.1.8 フラグレジスタ(FLG)」を参照してください。

USPとISPには偶数番地を設定して下さい。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ(FLG)

FLGは16ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリーフラグ(C)

命令実行後のキャリーやボローの有無を示します。

2.1.8.2 デバッグフラグ(D)

Dフラグはデバッグ専用です。“0”にしてください。

2.1.8.3 ゼロフラグ(Z)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.1.8.4 サインフラグ(S)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ(B)

Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ(O)

演算の結果がオーバフローしたとき“1”になります。それ以外では“0”になります。

2.1.8.7 割り込み許可フラグ(I)

マスクブル割り込みを許可するビットです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このビットは“0”になります。

2.1.8.8 スタックポインタ指定フラグ(U)

Uフラグが“0”のときISPが指定され、“1”のときUSPが指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7まで8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きいとき、その割り込みは許可されます。

2.1.8.10 予約領域

書くときは“0”を書いてください。読んだとき、その値は不定です。

2.2 高速割り込みレジスタ

高速割り込みに関するレジスタは次のとおりです。

- ・フラグ退避レジスタ(SVF)
- ・PC退避レジスタ(SVP)
- ・ベクタレジスタ(VCT)

2.3 DMAC関連レジスタ

DMACに関するレジスタは次のとおりです。

- ・DMAモードレジスタ(DMD0、DMD1)
- ・DMA転送カウンタレジスタ(DCT0、DCT1)
- ・DMA転送カウントリロードレジスタ(DRC0、DRC1)
- ・DMAメモリアドレスレジスタ(DMA0、DMA1)
- ・DMA SFRアドレスレジスタ(DSA0、DSA1)
- ・DMAメモリアドレスリロードレジスタ(DRA0、DRA1)

3. メモリ

図3.1にメモリ配置図を示します。

アドレス空間は000000₁₆番地からFFFFFF₁₆番地までの16Mバイトあります。

内部ROMはFFFFFF₁₆番地から下位方向に配置されています。例えば64Kバイトの内部ROMは、FF0000₁₆番地からFFFFFF₁₆番地に配置されています。

固定割り込みベクタはFFFDC₁₆番地からFFFF₁₆番地に配置されています。ここに各割り込みルーチンの先頭番地を格納します。

内部RAMは000400₁₆番地から上位方向に配置されています。例えば10Kバイトの内部RAMは、000400₁₆番地から002BFF₁₆番地に配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFRは000000₁₆番地から0003FF₁₆番地に配置されています。ここには入出力ポート、A/Dコンバータ、シリアルI/O、タイマなどの周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない番地はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタはFFFE00₁₆番地からFFFDB₁₆番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「ソフトウェアマニュアル」を参照してください。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は予約領域となり使用できません。

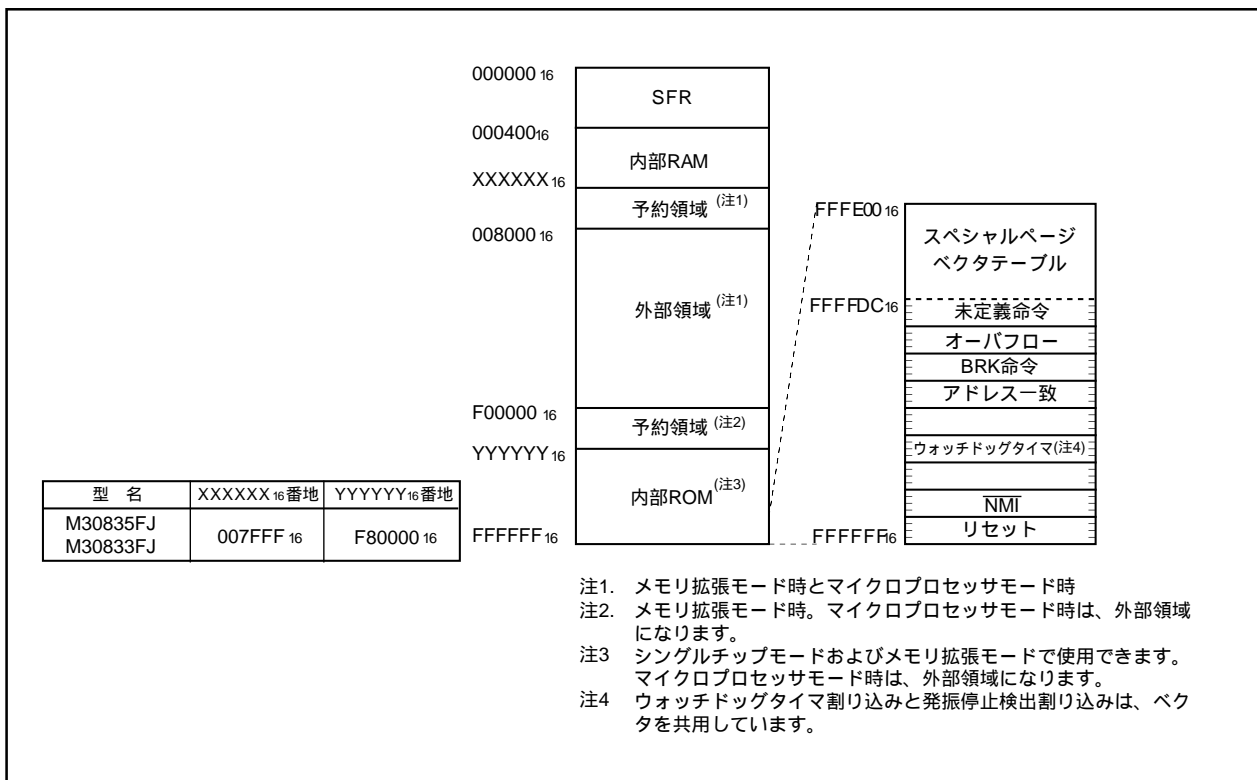


図3.1 メモリ配置図

4. SFR

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0 ^(注1)	PM0	1000 0000 ₂ (CNV _{SS} 端子が"L") 0000 0011 ₂ (CNV _{SS} 端子が"H")
0005 ₁₆	プロセッサモードレジスタ1	PM1	0X00 0000 ₂
0006 ₁₆	システムクロック制御レジスタ0	CM0	0000 X000 ₂
0007 ₁₆	システムクロック制御レジスタ1	CM1	0010 0000 ₂
0008 ₁₆	ウェイト制御レジスタ ^(注2)	WCR	1111 1111 ₂
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	XXXX 0000 ₂
000A ₁₆	プロテクトレジスタ	PRCR	XXXX 0000 ₂
000B ₁₆	外部データバス幅制御レジスタ ^(注2)	DS	XXXX 1000 ₂ (BYTE端子が"L") XXXX 0000 ₂ (BYTE端子が"H")
000C ₁₆	メインクロック分周レジスタ	MCD	XXX0 1000 ₂
000D ₁₆	発振停止検出レジスタ	CM2	00 ₁₆
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	XX ₁₆
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXX ₂
0010 ₁₆			
0011 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	000000 ₁₆
0012 ₁₆			
0013 ₁₆			
0014 ₁₆			
0015 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	000000 ₁₆
0016 ₁₆			
0017 ₁₆	PLL用VDC制御レジスタ	PLV	XXXX XX01 ₂
0018 ₁₆			
0019 ₁₆	アドレス一致割り込みレジスタ2	RMAD2	000000 ₁₆
001A ₁₆			
001B ₁₆	VDC制御レジスタ0	VDC0	00 ₁₆
001C ₁₆			
001D ₁₆	アドレス一致割り込みレジスタ3	RMAD3	000000 ₁₆
001E ₁₆			
001F ₁₆			
0020 ₁₆			
0021 ₁₆			
0022 ₁₆			
0023 ₁₆			
0024 ₁₆			
0025 ₁₆			
0026 ₁₆			
0027 ₁₆			
0028 ₁₆			
0029 ₁₆			
002A ₁₆			
002B ₁₆			
002C ₁₆			
002D ₁₆			
002E ₁₆			
002F ₁₆			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．PM0レジスタのPM00、PM01ビットは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

注2．M32C/83Tでは、これらのレジスタを使用しないでください。

番地	レジスタ	シンボル	リセット後の値
0030 ₁₆			
0031 ₁₆			
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆			
0036 ₁₆			
0037 ₁₆			
0038 ₁₆			
0039 ₁₆			
003A ₁₆			
003B ₁₆			
003C ₁₆			
003D ₁₆			
003E ₁₆			
003F ₁₆			
0040 ₁₆	DRAM制御レジスタ ^(注1)	DRAMCONT	XX ₁₆
0041 ₁₆	DRAMリフレッシュ間隔設定レジスタ ^(注1)	REFCNT	XX ₁₆
0042 ₁₆			
0043 ₁₆			
0044 ₁₆			
0045 ₁₆			
0046 ₁₆			
0047 ₁₆			
0048 ₁₆			
0049 ₁₆			
004A ₁₆			
004B ₁₆			
004C ₁₆			
004D ₁₆			
004E ₁₆			
004F ₁₆			
0050 ₁₆			
0051 ₁₆			
0052 ₁₆			
0053 ₁₆			
0054 ₁₆			
0055 ₁₆			
0056 ₁₆			
0057 ₁₆	フラッシュメモリ制御レジスタ0	FMR0	XX00 0001 ₂
0058 ₁₆			
0059 ₁₆			
005A ₁₆			
005B ₁₆			
005C ₁₆			
005D ₁₆			
005E ₁₆			
005F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. M32C/83Tでは、これらのレジスタを使用しないでください。

番地	レジスタ	シンボル	リセット後の値
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆	DMA0割り込み制御レジスタ	DM0IC	XXXX X0002
0069 ₁₆	タイマB5割り込み制御レジスタ	TB5IC	XXXX X0002
006A ₁₆	DMA2割り込み制御レジスタ	DM2IC	XXXX X0002
006B ₁₆	UART2受信/ACK割り込み制御レジスタ	S2RIC	XXXX X0002
006C ₁₆	タイマA0割り込み制御レジスタ	TA0IC	XXXX X0002
006D ₁₆	UART3受信/ACK割り込み制御レジスタ	S3RIC	XXXX X0002
006E ₁₆	タイマA2割り込み制御レジスタ	TA2IC	XXXX X0002
006F ₁₆	UART4受信/ACK割り込み制御レジスタ	S4RIC	XXXX X0002
0070 ₁₆	タイマA4割り込み制御レジスタ	TA4IC	XXXX X0002
0071 ₁₆	UART0/UART3バス衝突検出割り込み制御レジスタ	BCN0IC/BCN3IC	XXXX X0002
0072 ₁₆	UART0受信/ACK割り込み制御レジスタ	S0RIC	XXXX X0002
0073 ₁₆	A/D0変換割り込み制御レジスタ	AD0IC	XXXX X0002
0074 ₁₆	UART1受信/ACK割り込み制御レジスタ	S1RIC	XXXX X0002
0075 ₁₆	インテリジェントI/O割り込み制御レジスタ0	IIO0IC	XXXX X0002
0076 ₁₆	タイマB1割り込み制御レジスタ	TB1IC	XXXX X0002
0077 ₁₆	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X0002
0078 ₁₆	タイマB3割り込み制御レジスタ	TB3IC	XXXX X0002
0079 ₁₆	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X0002
007A ₁₆	INT5割り込み制御レジスタ	INT5IC	XX00 X0002
007B ₁₆	インテリジェントI/O割り込み制御レジスタ6	IIO6IC	XXXX X0002
007C ₁₆	INT3割り込み制御レジスタ	INT3IC	XX00 X0002
007D ₁₆	インテリジェントI/O割り込み制御レジスタ8	IIO8IC	XXXX X0002
007E ₁₆	INT1割り込み制御レジスタ	INT1IC	XX00 X0002
007F ₁₆	インテリジェントI/O割り込み制御レジスタ10/ CAN割り込み1制御レジスタ	IIO10IC/ CAN1IC	XXXX X0002
0080 ₁₆			
0081 ₁₆	インテリジェントI/O割り込み制御レジスタ11/ CAN割り込み2制御レジスタ	IIO11IC/ CAN2IC	XXXX X0002
0082 ₁₆			
0083 ₁₆			
0084 ₁₆			
0085 ₁₆			
0086 ₁₆	A/D1変換割り込み制御レジスタ	AD1IC	XXXX X0002
0087 ₁₆			
0088 ₁₆	DMA1割り込み制御レジスタ	DM1IC	XXXX X0002
0089 ₁₆	UART2送信/NACK割り込み制御レジスタ	S2TIC	XXXX X0002
008A ₁₆	DMA3割り込み制御レジスタ	DM3IC	XXXX X0002
008B ₁₆	UART3送信/NACK割り込み制御レジスタ	S3TIC	XXXX X0002
008C ₁₆	タイマA1割り込み制御レジスタ	TA1IC	XXXX X0002
008D ₁₆	UART4送信/NACK割り込み制御レジスタ	S4TIC	XXXX X0002
008E ₁₆	タイマA3割り込み制御レジスタ	TA3IC	XXXX X0002
008F ₁₆	UART2バス衝突検出割り込み制御レジスタ	BCN2IC	XXXX X0002

X：不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0090 ₁₆	UART0送信/NACK割り込み制御レジスタ	S0TIC	XXXX X000 ₂
0091 ₁₆	UART1/UART4バス衝突検出割り込み制御レジスタ	BCN1IC/BCN4IC	XXXX X000 ₂
0092 ₁₆	UART1送信/NACK割り込み制御レジスタ	S1TIC	XXXX X000 ₂
0093 ₁₆	キー入力割り込み制御レジスタ	KUPIC	XXXX X000 ₂
0094 ₁₆	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000 ₂
0095 ₁₆	インテリジェントI/O割り込み制御レジスタ1	IIO1IC	XXXX X000 ₂
0096 ₁₆	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000 ₂
0097 ₁₆	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000 ₂
0098 ₁₆	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000 ₂
0099 ₁₆	インテリジェントI/O割り込み制御レジスタ5	IIO5IC	XXXX X000 ₂
009A ₁₆	INT4割り込み制御レジスタ	INT4IC	XX00 X000 ₂
009B ₁₆	インテリジェントI/O割り込み制御レジスタ7	IIO7IC	XXXX X000 ₂
009C ₁₆	INT2割り込み制御レジスタ	INT2IC	XX00 X000 ₂
009D ₁₆	インテリジェントI/O割り込み制御レジスタ9/ CAN割り込み0制御レジスタ	IIO9IC/ CAN0IC	XXXX X000 ₂
009E ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00 X000 ₂
009F ₁₆	復帰用優先順位レジスタ	RLVL	XXXX 0000 ₂
00A0 ₁₆	割り込み要求レジスタ0	IIO0IR	0000 000X ₂
00A1 ₁₆	割り込み要求レジスタ1	IIO1IR	0000 000X ₂
00A2 ₁₆	割り込み要求レジスタ2	IIO2IR	0000 000X ₂
00A3 ₁₆	割り込み要求レジスタ3	IIO3IR	0000 000X ₂
00A4 ₁₆	割り込み要求レジスタ4	IIO4IR	0000 000X ₂
00A5 ₁₆	割り込み要求レジスタ5	IIO5IR	0000 000X ₂
00A6 ₁₆	割り込み要求レジスタ6	IIO6IR	0000 000X ₂
00A7 ₁₆	割り込み要求レジスタ7	IIO7IR	0000 000X ₂
00A8 ₁₆	割り込み要求レジスタ8	IIO8IR	0000 000X ₂
00A9 ₁₆	割り込み要求レジスタ9	IIO9IR	0000 000X ₂
00AA ₁₆	割り込み要求レジスタ10	IIO10IR	0000 000X ₂
00AB ₁₆	割り込み要求レジスタ11	IIO11IR	0000 000X ₂
00AC ₁₆			
00AD ₁₆			
00AE ₁₆			
00AF ₁₆			
00B0 ₁₆	割り込み許可レジスタ0	IIO0IE	00 ₁₆
00B1 ₁₆	割り込み許可レジスタ1	IIO1IE	00 ₁₆
00B2 ₁₆	割り込み許可レジスタ2	IIO2IE	00 ₁₆
00B3 ₁₆	割り込み許可レジスタ3	IIO3IE	00 ₁₆
00B4 ₁₆	割り込み許可レジスタ4	IIO4IE	00 ₁₆
00B5 ₁₆	割り込み許可レジスタ5	IIO5IE	00 ₁₆
00B6 ₁₆	割り込み許可レジスタ6	IIO6IE	00 ₁₆
00B7 ₁₆	割り込み許可レジスタ7	IIO7IE	00 ₁₆
00B8 ₁₆	割り込み許可レジスタ8	IIO8IE	00 ₁₆
00B9 ₁₆	割り込み許可レジスタ9	IIO9IE	00 ₁₆
00BA ₁₆	割り込み許可レジスタ10	IIO10IE	00 ₁₆
00BB ₁₆	割り込み許可レジスタ11	IIO11IE	00 ₁₆
00BC ₁₆			
00BD ₁₆			
00BE ₁₆			
00BF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00C0 ₁₆ 00C1 ₁₆	グループ0時間計測 / 波形生成レジスタ0	G0TM0/G0PO0	XX ₁₆ XX ₁₆
00C2 ₁₆ 00C3 ₁₆	グループ0時間計測 / 波形生成レジスタ1	G0TM1/G0PO1	XX ₁₆ XX ₁₆
00C4 ₁₆ 00C5 ₁₆	グループ0時間計測 / 波形生成レジスタ2	G0TM2/G0PO2	XX ₁₆ XX ₁₆
00C6 ₁₆ 00C7 ₁₆	グループ0時間計測 / 波形生成レジスタ3	G0TM3/G0PO3	XX ₁₆ XX ₁₆
00C8 ₁₆ 00C9 ₁₆	グループ0時間計測 / 波形生成レジスタ4	G0TM4/G0PO4	XX ₁₆ XX ₁₆
00CA ₁₆ 00CB ₁₆	グループ0時間計測 / 波形生成レジスタ5	G0TM5/G0PO5	XX ₁₆ XX ₁₆
00CC ₁₆ 00CD ₁₆	グループ0時間計測 / 波形生成レジスタ6	G0TM6/G0PO6	XX ₁₆ XX ₁₆
00CE ₁₆ 00CF ₁₆	グループ0時間計測 / 波形生成レジスタ7	G0TM7/G0PO7	XX ₁₆ XX ₁₆
00D0 ₁₆	グループ0波形生成制御レジスタ0	G0POCR0	0X00 X000 ₂
00D1 ₁₆	グループ0波形生成制御レジスタ1	G0POCR1	0X00 X000 ₂
00D2 ₁₆	グループ0波形生成制御レジスタ2	G0POCR2	0X00 X000 ₂
00D3 ₁₆	グループ0波形生成制御レジスタ3	G0POCR3	0X00 X000 ₂
00D4 ₁₆	グループ0波形生成制御レジスタ4	G0POCR4	0X00 X000 ₂
00D5 ₁₆	グループ0波形生成制御レジスタ5	G0POCR5	0X00 X000 ₂
00D6 ₁₆	グループ0波形生成制御レジスタ6	G0POCR6	0X00 X000 ₂
00D7 ₁₆	グループ0波形生成制御レジスタ7	G0POCR7	0X00 X000 ₂
00D8 ₁₆	グループ0時間計測制御レジスタ0	G0TMCR0	00 ₁₆
00D9 ₁₆	グループ0時間計測制御レジスタ1	G0TMCR1	00 ₁₆
00DA ₁₆	グループ0時間計測制御レジスタ2	G0TMCR2	00 ₁₆
00DB ₁₆	グループ0時間計測制御レジスタ3	G0TMCR3	00 ₁₆
00DC ₁₆	グループ0時間計測制御レジスタ4	G0TMCR4	00 ₁₆
00DD ₁₆	グループ0時間計測制御レジスタ5	G0TMCR5	00 ₁₆
00DE ₁₆	グループ0時間計測制御レジスタ6	G0TMCR6	00 ₁₆
00DF ₁₆	グループ0時間計測制御レジスタ7	G0TMCR7	00 ₁₆
00E0 ₁₆ 00E1 ₁₆	グループ0ベースタイマレジスタ	G0BT	XX ₁₆ XX ₁₆
00E2 ₁₆	グループ0ベースタイマ制御レジスタ0	G0BCR0	00 ₁₆
00E3 ₁₆	グループ0ベースタイマ制御レジスタ1	G0BCR1	00 ₁₆
00E4 ₁₆	グループ0時間計測プリスケアラレジスタ6	G0TPR6	00 ₁₆
00E5 ₁₆	グループ0時間計測プリスケアラレジスタ7	G0TPR7	00 ₁₆
00E6 ₁₆	グループ0機能許可レジスタ	G0FE	00 ₁₆
00E7 ₁₆	グループ0機能選択レジスタ	G0FS	00 ₁₆
00E8 ₁₆ 00E9 ₁₆	グループ0SI/O受信バッファレジスタ	G0RB	XXXX XXXX ₂ XX00 XXXX ₂
00EA ₁₆ 00EB ₁₆	グループ0送信バッファ/受信データレジスタ	G0TB/G0DR	XX ₁₆
00EC ₁₆	グループ0受信入力レジスタ	G0RI	XX ₁₆
00ED ₁₆	グループ0SI/O通信モードレジスタ	G0MR	00 ₁₆
00EE ₁₆	グループ0送信出力レジスタ	G0TO	XX ₁₆
00EF ₁₆	グループ0SI/O通信制御レジスタ	G0CR	0000 X000 ₂

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00F0 ₁₆	グループ0データ比較レジスタ0	G0CMP0	XX ₁₆
00F1 ₁₆	グループ0データ比較レジスタ1	G0CMP1	XX ₁₆
00F2 ₁₆	グループ0データ比較レジスタ2	G0CMP2	XX ₁₆
00F3 ₁₆	グループ0データ比較レジスタ3	G0CMP3	XX ₁₆
00F4 ₁₆	グループ0データマスクレジスタ0	G0MSK0	XX ₁₆
00F5 ₁₆	グループ0データマスクレジスタ1	G0MSK1	XX ₁₆
00F6 ₁₆			
00F7 ₁₆			
00F8 ₁₆	グループ0受信CRCコードレジスタ	G0RCRC	XX ₁₆
00F9 ₁₆			XX ₁₆
00FA ₁₆	グループ0送信CRCコードレジスタ	G0TCRC	00 ₁₆
00FB ₁₆			00 ₁₆
00FC ₁₆	グループ0SI/O拡張モードレジスタ	G0EMR	00 ₁₆
00FD ₁₆	グループ0SI/O拡張受信制御レジスタ	G0ERC	00 ₁₆
00FE ₁₆	グループ0SI/O特殊通信割り込み判別レジスタ	G0IRF	0000 00XX ₂
00FF ₁₆	グループ0SI/O拡張送信制御レジスタ	G0ETC	0000 0XXX ₂
0100 ₁₆	グループ1時間計測 / 波形生成レジスタ0	G1TM0/G1PO0	XX ₁₆
0101 ₁₆			XX ₁₆
0102 ₁₆	グループ1時間計測 / 波形生成レジスタ1	G1TM1/G1PO1	XX ₁₆
0103 ₁₆			XX ₁₆
0104 ₁₆	グループ1時間計測 / 波形生成レジスタ2	G1TM2/G1PO2	XX ₁₆
0105 ₁₆			XX ₁₆
0106 ₁₆	グループ1時間計測 / 波形生成レジスタ3	G1TM3/G1PO3	XX ₁₆
0107 ₁₆			XX ₁₆
0108 ₁₆	グループ1時間計測 / 波形生成レジスタ4	G1TM4/G1PO4	XX ₁₆
0109 ₁₆			XX ₁₆
010A ₁₆	グループ1時間計測 / 波形生成レジスタ5	G1TM5/G1PO5	XX ₁₆
010B ₁₆			XX ₁₆
010C ₁₆	グループ1時間計測 / 波形生成レジスタ6	G1TM6/G1PO6	XX ₁₆
010D ₁₆			XX ₁₆
010E ₁₆	グループ1時間計測 / 波形生成レジスタ7	G1TM7/G1PO7	XX ₁₆
010F ₁₆			XX ₁₆
0110 ₁₆	グループ1波形生成制御レジスタ0	G1POCR0	0X00 X000 ₂
0111 ₁₆	グループ1波形生成制御レジスタ1	G1POCR1	0X00 X000 ₂
0112 ₁₆	グループ1波形生成制御レジスタ2	G1POCR2	0X00 X000 ₂
0113 ₁₆	グループ1波形生成制御レジスタ3	G1POCR3	0X00 X000 ₂
0114 ₁₆	グループ1波形生成制御レジスタ4	G1POCR4	0X00 X000 ₂
0115 ₁₆	グループ1波形生成制御レジスタ5	G1POCR5	0X00 X000 ₂
0116 ₁₆	グループ1波形生成制御レジスタ6	G1POCR6	0X00 X000 ₂
0117 ₁₆	グループ1波形生成制御レジスタ7	G1POCR7	0X00 X000 ₂
0118 ₁₆	グループ1時間計測制御レジスタ0	G1TMCR0	00 ₁₆
0119 ₁₆	グループ1時間計測制御レジスタ1	G1TMCR1	00 ₁₆
011A ₁₆	グループ1時間計測制御レジスタ2	G1TMCR2	00 ₁₆
011B ₁₆	グループ1時間計測制御レジスタ3	G1TMCR3	00 ₁₆
011C ₁₆	グループ1時間計測制御レジスタ4	G1TMCR4	00 ₁₆
011D ₁₆	グループ1時間計測制御レジスタ5	G1TMCR5	00 ₁₆
011E ₁₆	グループ1時間計測制御レジスタ6	G1TMCR6	00 ₁₆
011F ₁₆	グループ1時間計測制御レジスタ7	G1TMCR7	00 ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0120 ₁₆ 0121 ₁₆	グループ1ベースタイマレジスタ	G1BT	XX ₁₆ XX ₁₆
0122 ₁₆	グループ1ベースタイマ制御レジスタ0	G1BCR0	00 ₁₆
0123 ₁₆	グループ1ベースタイマ制御レジスタ1	G1BCR1	00 ₁₆
0124 ₁₆	グループ1時間計測プリスケアラレジスタ6	G1TPR6	00 ₁₆
0125 ₁₆	グループ1時間計測プリスケアラレジスタ7	G1TPR7	00 ₁₆
0126 ₁₆	グループ1機能許可レジスタ	G1FE	00 ₁₆
0127 ₁₆	グループ1機能選択レジスタ	G1FS	00 ₁₆
0128 ₁₆ 0129 ₁₆	グループ1SI/O受信バッファレジスタ	G1RB	XXXX XXXX ₂ XX00 XXXX ₂
012A ₁₆ 012B ₁₆	グループ1送信バッファ/受信データレジスタ	G1TB/G1DR	XX ₁₆
012C ₁₆	グループ1受信入力レジスタ	G1RI	XX ₁₆
012D ₁₆	グループ1SI/O通信モードレジスタ	G1MR	00 ₁₆
012E ₁₆	グループ1送信出力レジスタ	G1TO	XX ₁₆
012F ₁₆	グループ1SI/O通信制御レジスタ	G1CR	0000 X000 ₂
0130 ₁₆	グループ1データ比較レジスタ0	G1CMP0	XX ₁₆
0131 ₁₆	グループ1データ比較レジスタ1	G1CMP1	XX ₁₆
0132 ₁₆	グループ1データ比較レジスタ2	G1CMP2	XX ₁₆
0133 ₁₆	グループ1データ比較レジスタ3	G1CMP3	XX ₁₆
0134 ₁₆	グループ1データマスクレジスタ0	G1MSK0	XX ₁₆
0135 ₁₆	グループ1データマスクレジスタ1	G1MSK1	XX ₁₆
0136 ₁₆			
0137 ₁₆			
0138 ₁₆ 0139 ₁₆	グループ1受信CRCコードレジスタ	G1RCRC	XX ₁₆ XX ₁₆
013A ₁₆ 013B ₁₆	グループ1送信CRCコードレジスタ	G1TCRC	00 ₁₆ 00 ₁₆
013C ₁₆	グループ1SI/O拡張モードレジスタ	G1EMR	00 ₁₆
013D ₁₆	グループ1SI/O拡張受信制御レジスタ	G1ERC	00 ₁₆
013E ₁₆	グループ1SI/O特殊通信割り込み判別レジスタ	G1IRF	0000 00XX ₂
013F ₁₆	グループ1SI/O拡張送信制御レジスタ	G1ETC	0000 0XXX ₂
0140 ₁₆ 0141 ₁₆	グループ2波形生成レジスタ0	G2PO0	XX ₁₆ XX ₁₆
0142 ₁₆ 0143 ₁₆	グループ2波形生成レジスタ1	G2PO1	XX ₁₆ XX ₁₆
0144 ₁₆ 0145 ₁₆	グループ2波形生成レジスタ2	G2PO2	XX ₁₆ XX ₁₆
0146 ₁₆ 0147 ₁₆	グループ2波形生成レジスタ3	G2PO3	XX ₁₆ XX ₁₆
0148 ₁₆ 0149 ₁₆	グループ2波形生成レジスタ4	G2PO4	XX ₁₆ XX ₁₆
014A ₁₆ 014B ₁₆	グループ2波形生成レジスタ5	G2PO5	XX ₁₆ XX ₁₆
014C ₁₆ 014D ₁₆	グループ2波形生成レジスタ6	G2PO6	XX ₁₆ XX ₁₆
014E ₁₆ 014F ₁₆	グループ2波形生成レジスタ7	G2PO7	XX ₁₆ XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0150 ₁₆	グループ2波形生成制御レジスタ0	G2POCR0	00 ₁₆
0151 ₁₆	グループ2波形生成制御レジスタ1	G2POCR1	00 ₁₆
0152 ₁₆	グループ2波形生成制御レジスタ2	G2POCR2	00 ₁₆
0153 ₁₆	グループ2波形生成制御レジスタ3	G2POCR3	00 ₁₆
0154 ₁₆	グループ2波形生成制御レジスタ4	G2POCR4	00 ₁₆
0155 ₁₆	グループ2波形生成制御レジスタ5	G2POCR5	00 ₁₆
0156 ₁₆	グループ2波形生成制御レジスタ6	G2POCR6	00 ₁₆
0157 ₁₆	グループ2波形生成制御レジスタ7	G2POCR7	00 ₁₆
0158 ₁₆			
0159 ₁₆			
015A ₁₆			
015B ₁₆			
015C ₁₆			
015D ₁₆			
015E ₁₆			
015F ₁₆			
0160 ₁₆	グループ2ベースタイマレジスタ	G2BT	XX ₁₆
0161 ₁₆			XX ₁₆
0162 ₁₆	グループ2ベースタイマ制御レジスタ0	G2BCR0	00 ₁₆
0163 ₁₆	グループ2ベースタイマ制御レジスタ1	G2BCR1	00 ₁₆
0164 ₁₆	ベースタイマスタートレジスタ	BTSR	XXXX 0000 ₂
0165 ₁₆			
0166 ₁₆	グループ2機能許可レジスタ	G2FE	00 ₁₆
0167 ₁₆	グループ2RTP出力バッファレジスタ	G2RTP	00 ₁₆
0168 ₁₆			
0169 ₁₆			
016A ₁₆	グループ2SI/O通信モードレジスタ	G2MR	00XX X000 ₂
016B ₁₆	グループ2SI/O通信制御レジスタ	G2CR	0000 X000 ₂
016C ₁₆	グループ2SI/O送信バッファレジスタ	G2TB	XX ₁₆
016D ₁₆			XX ₁₆
016E ₁₆	グループ2SI/O受信バッファレジスタ	G2RB	XX ₁₆
016F ₁₆			XX ₁₆
0170 ₁₆	グループ2IEBusアドレスレジスタ	IEAR	XX ₁₆
0171 ₁₆			XX ₁₆
0172 ₁₆	グループ2IEBus制御レジスタ	IECR	00XX X000 ₂
0173 ₁₆	グループ2IEBus送信割り込み要因判別レジスタ	IETIF	XXX0 0000 ₂
0174 ₁₆	グループ2IEBus受信割り込み要因判別レジスタ	IERIF	XXX0 0000 ₂
0175 ₁₆			
0176 ₁₆			
0177 ₁₆			
0178 ₁₆	入力機能選択レジスタ	IPS	00 ₁₆
0179 ₁₆			
017A ₁₆	グループ3SI/O通信モードレジスタ	G3MR	00XX 0000 ₂
017B ₁₆	グループ3SI/O通信制御レジスタ	G3CR	0000 X000 ₂
017C ₁₆	グループ3SI/O送信バッファレジスタ	G3TB	XX ₁₆
017D ₁₆			XX ₁₆
017E ₁₆	グループ3SI/O受信バッファレジスタ	G3RB	XX ₁₆
017F ₁₆			XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0180 ₁₆ 0181 ₁₆	グループ3波形生成レジスタ0	G3PO0	XX ₁₆ XX ₁₆
0182 ₁₆ 0183 ₁₆	グループ3波形生成レジスタ1	G3PO1	XX ₁₆ XX ₁₆
0184 ₁₆ 0185 ₁₆	グループ3波形生成レジスタ2	G3PO2	XX ₁₆ XX ₁₆
0186 ₁₆ 0187 ₁₆	グループ3波形生成レジスタ3	G3PO3	XX ₁₆ XX ₁₆
0188 ₁₆ 0189 ₁₆	グループ3波形生成レジスタ4	G3PO4	XX ₁₆ XX ₁₆
018A ₁₆ 018B ₁₆	グループ3波形生成レジスタ5	G3PO5	XX ₁₆ XX ₁₆
018C ₁₆ 018D ₁₆	グループ3波形生成レジスタ6	G3PO6	XX ₁₆ XX ₁₆
018E ₁₆ 018F ₁₆	グループ3波形生成レジスタ7	G3PO7	XX ₁₆ XX ₁₆
0190 ₁₆	グループ3波形生成制御レジスタ0	G3POCR0	00 ₁₆
0191 ₁₆	グループ3波形生成制御レジスタ1	G3POCR1	00 ₁₆
0192 ₁₆	グループ3波形生成制御レジスタ2	G3POCR2	00 ₁₆
0193 ₁₆	グループ3波形生成制御レジスタ3	G3POCR3	00 ₁₆
0194 ₁₆	グループ3波形生成制御レジスタ4	G3POCR4	00 ₁₆
0195 ₁₆	グループ3波形生成制御レジスタ5	G3POCR5	00 ₁₆
0196 ₁₆	グループ3波形生成制御レジスタ6	G3POCR6	00 ₁₆
0197 ₁₆	グループ3波形生成制御レジスタ7	G3POCR7	00 ₁₆
0198 ₁₆ 0199 ₁₆	グループ3波形生成マスクレジスタ4	G3MK4	XX ₁₆ XX ₁₆
019A ₁₆ 019B ₁₆	グループ3波形生成マスクレジスタ5	G3MK5	XX ₁₆ XX ₁₆
019C ₁₆ 019D ₁₆	グループ3波形生成マスクレジスタ6	G3MK6	XX ₁₆ XX ₁₆
019E ₁₆ 019F ₁₆	グループ3波形生成マスクレジスタ7	G3MK7	XX ₁₆ XX ₁₆
01A0 ₁₆ 01A1 ₁₆	グループ3ベースタイマレジスタ	G3BT	XX ₁₆ XX ₁₆
01A2 ₁₆	グループ3ベースタイマ制御レジスタ0	G3BCR0	00 ₁₆
01A3 ₁₆	グループ3ベースタイマ制御レジスタ1	G3BCR1	00 ₁₆
01A4 ₁₆			
01A5 ₁₆			
01A6 ₁₆	グループ3機能許可レジスタ	G3FE	00 ₁₆
01A7 ₁₆	グループ3RTP出力バッファレジスタ	G3RTP	00 ₁₆
01A8 ₁₆			
01A9 ₁₆			
01AA ₁₆			
01AB ₁₆			
01AC ₁₆			
01AD ₁₆	グループ3SI/O通信フラグレジスタ	G3FLG	XXXX XXX ₀₂
01AE ₁₆			
01AF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
01B0 ₁₆			
01B1 ₁₆			
01B2 ₁₆			
01B3 ₁₆			
01B4 ₁₆			
01B5 ₁₆			
01B6 ₁₆			
01B7 ₁₆			
01B8 ₁₆			
01B9 ₁₆			
01BA ₁₆			
01BB ₁₆			
01BC ₁₆			
01BD ₁₆			
01BE ₁₆			
01BF ₁₆			
01C0 ₁₆ 01C1 ₁₆	A/D1レジスタ0	AD10	XX ₁₆ XX ₁₆
01C2 ₁₆ 01C3 ₁₆	A/D1レジスタ1	AD11	XX ₁₆ XX ₁₆
01C4 ₁₆ 01C5 ₁₆	A/D1レジスタ2	AD12	XX ₁₆ XX ₁₆
01C6 ₁₆ 01C7 ₁₆	A/D1レジスタ3	AD13	XX ₁₆ XX ₁₆
01C8 ₁₆ 01C9 ₁₆	A/D1レジスタ4	AD14	XX ₁₆ XX ₁₆
01CA ₁₆ 01CB ₁₆	A/D1レジスタ5	AD15	XX ₁₆ XX ₁₆
01CC ₁₆ 01CD ₁₆	A/D1レジスタ6	AD16	XX ₁₆ XX ₁₆
01CE ₁₆ 01CF ₁₆	A/D1レジスタ7	AD17	XX ₁₆ XX ₁₆
01D0 ₁₆			
01D1 ₁₆			
01D2 ₁₆			
01D3 ₁₆			
01D4 ₁₆ 01D5 ₁₆	A/D1制御レジスタ2	AD1CON2	X00X X000 ₂
01D6 ₁₆	A/D1制御レジスタ0	AD1CON0	00 ₁₆
01D7 ₁₆	A/D1制御レジスタ1	AD1CON1	XX00 0000 ₂
01D8 ₁₆			
01D9 ₁₆			
01DA ₁₆			
01DB ₁₆			
01DC ₁₆			
01DD ₁₆			
01DE ₁₆			
01DF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
01E0 ₁₆	CAN0メッセージスロットバッファ0標準ID0	C0SLOT0_0	XX ₁₆
01E1 ₁₆	CAN0メッセージスロットバッファ0標準ID1	C0SLOT0_1	XX ₁₆
01E2 ₁₆	CAN0メッセージスロットバッファ0拡張ID0	C0SLOT0_2	XX ₁₆
01E3 ₁₆	CAN0メッセージスロットバッファ0拡張ID1	C0SLOT0_3	XX ₁₆
01E4 ₁₆	CAN0メッセージスロットバッファ0拡張ID2	C0SLOT0_4	XX ₁₆
01E5 ₁₆	CAN0メッセージスロットバッファ0データ長コード	C0SLOT0_5	XX ₁₆
01E6 ₁₆	CAN0メッセージスロットバッファ0データ0	C0SLOT0_6	XX ₁₆
01E7 ₁₆	CAN0メッセージスロットバッファ0データ1	C0SLOT0_7	XX ₁₆
01E8 ₁₆	CAN0メッセージスロットバッファ0データ2	C0SLOT0_8	XX ₁₆
01E9 ₁₆	CAN0メッセージスロットバッファ0データ3	C0SLOT0_9	XX ₁₆
01EA ₁₆	CAN0メッセージスロットバッファ0データ4	C0SLOT0_10	XX ₁₆
01EB ₁₆	CAN0メッセージスロットバッファ0データ5	C0SLOT0_11	XX ₁₆
01EC ₁₆	CAN0メッセージスロットバッファ0データ6	C0SLOT0_12	XX ₁₆
01ED ₁₆	CAN0メッセージスロットバッファ0データ7	C0SLOT0_13	XX ₁₆
01EE ₁₆	CAN0メッセージスロットバッファ0タイムスタンプ上位	C0SLOT0_14	XX ₁₆
01EF ₁₆	CAN0メッセージスロットバッファ0タイムスタンプ下位	C0SLOT0_15	XX ₁₆
01F0 ₁₆	CAN0メッセージスロットバッファ1標準ID0	C0SLOT1_0	XX ₁₆
01F1 ₁₆	CAN0メッセージスロットバッファ1標準ID1	C0SLOT1_1	XX ₁₆
01F2 ₁₆	CAN0メッセージスロットバッファ1拡張ID0	C0SLOT1_2	XX ₁₆
01F3 ₁₆	CAN0メッセージスロットバッファ1拡張ID1	C0SLOT1_3	XX ₁₆
01F4 ₁₆	CAN0メッセージスロットバッファ1拡張ID2	C0SLOT1_4	XX ₁₆
01F5 ₁₆	CAN0メッセージスロットバッファ1データ長コード	C0SLOT1_5	XX ₁₆
01F6 ₁₆	CAN0メッセージスロットバッファ1データ0	C0SLOT1_6	XX ₁₆
01F7 ₁₆	CAN0メッセージスロットバッファ1データ1	C0SLOT1_7	XX ₁₆
01F8 ₁₆	CAN0メッセージスロットバッファ1データ2	C0SLOT1_8	XX ₁₆
01F9 ₁₆	CAN0メッセージスロットバッファ1データ3	C0SLOT1_9	XX ₁₆
01FA ₁₆	CAN0メッセージスロットバッファ1データ4	C0SLOT1_10	XX ₁₆
01FB ₁₆	CAN0メッセージスロットバッファ1データ5	C0SLOT1_11	XX ₁₆
01FC ₁₆	CAN0メッセージスロットバッファ1データ6	C0SLOT1_12	XX ₁₆
01FD ₁₆	CAN0メッセージスロットバッファ1データ7	C0SLOT1_13	XX ₁₆
01FE ₁₆	CAN0メッセージスロットバッファ1タイムスタンプ上位	C0SLOT1_14	XX ₁₆
01FF ₁₆	CAN0メッセージスロットバッファ1タイムスタンプ下位	C0SLOT1_15	XX ₁₆
0200 ₁₆ 0201 ₁₆	CAN0制御レジスタ0	C0CTRL0	XX01 0X01 ₂ (注1) XXXX 0000 ₂ (注1)
0202 ₁₆ 0203 ₁₆	CAN0ステータスレジスタ	C0STR	0000 0000 ₂ (注1) X000 0X01 ₂ (注1)
0204 ₁₆ 0205 ₁₆	CAN0拡張IDレジスタ	C0IDR	00 ₁₆ (注1) 00 ₁₆ (注1)
0206 ₁₆ 0207 ₁₆	CAN0コンフィグレーションレジスタ	C0CONR	0000 XXXX ₂ (注1) 0000 0000 ₂ (注1)
0208 ₁₆ 0209 ₁₆	CAN0タイムスタンプレジスタ	C0TSR	00 ₁₆ (注1) 00 ₁₆ (注1)
020A ₁₆	CAN0送信エラーカウントレジスタ	C0TEC	00 ₁₆ (注1)
020B ₁₆	CAN0受信エラーカウントレジスタ	C0REC	00 ₁₆ (注1)
020C ₁₆ 020D ₁₆	CAN0スロット割り込みステータスレジスタ	C0SISTR	00 ₁₆ (注1) 00 ₁₆ (注1)
020E ₁₆			
020F ₁₆			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．リセット後C0SLPRレジスタのSLEEPビットを"1"(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

番地	レジスタ	シンボル	リセット後の値
0210 ₁₆	CAN0スロット割り込みマスクレジスタ	C0SIMKR	00 ₁₆ (注2)
0211 ₁₆			00 ₁₆ (注2)
0212 ₁₆			
0213 ₁₆			
0214 ₁₆	CAN0エラー割り込みマスクレジスタ	C0EIMKR	XXXX X000 ₂ (注2)
0215 ₁₆	CAN0エラー割り込みステータスレジスタ	C0EISTR	XXXX X000 ₂ (注2)
0216 ₁₆			
0217 ₁₆	CAN0ポーレートプリスケアラ	C0BRP	0000 0001 ₂ (注2)
0218 ₁₆			
0219 ₁₆			
021A ₁₆			
021B ₁₆			
021C ₁₆			
021D ₁₆			
021E ₁₆			
021F ₁₆			
0220 ₁₆			
0221 ₁₆			
0222 ₁₆			
0223 ₁₆			
0224 ₁₆			
0225 ₁₆			
0226 ₁₆			
0227 ₁₆			
0228 ₁₆	CAN0グローバルマスクレジスタ標準ID0	C0GMR0	XXX0 0000 ₂ (注2)
0229 ₁₆	CAN0グローバルマスクレジスタ標準ID1	C0GMR1	XX00 0000 ₂ (注2)
022A ₁₆	CAN0グローバルマスクレジスタ拡張ID0	C0GMR2	XXXX 0000 ₂ (注2)
022B ₁₆	CAN0グローバルマスクレジスタ拡張ID1	C0GMR3	00 ₁₆ (注2)
022C ₁₆	CAN0グローバルマスクレジスタ拡張ID2	C0GMR4	XX00 0000 ₂ (注2)
022D ₁₆			
022E ₁₆			
022F ₁₆			
0230 ₁₆	CAN0メッセージスロット0制御レジスタ/ CAN0ローカルマスクレジスタA標準ID0	C0MCTL0/ C0LMAR0	0000 0000 ₂ (注2) XXX0 0000 ₂ (注2)
	0231 ₁₆	CAN0メッセージスロット1制御レジスタ/ CAN0ローカルマスクレジスタA標準ID1	C0MCTL1/ C0LMAR1
0232 ₁₆		CAN0メッセージスロット2制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID0	C0MCTL2/ C0LMAR2
	0233 ₁₆	CAN0メッセージスロット3制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID1	C0MCTL3/ C0LMAR3
0234 ₁₆		CAN0メッセージスロット4制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID2	C0MCTL4/ C0LMAR4
	0235 ₁₆	CAN0メッセージスロット5制御レジスタ	C0MCTL5
0236 ₁₆	CAN0メッセージスロット6制御レジスタ	C0MCTL6	00 ₁₆ (注2)
0237 ₁₆	CAN0メッセージスロット7制御レジスタ	C0MCTL7	00 ₁₆ (注2)
0238 ₁₆	CAN0メッセージスロット8制御レジスタ/ CAN0ローカルマスクレジスタB標準ID0	C0MCTL8/ C0LMBR0	0000 0000 ₂ (注2) XXX0 0000 ₂ (注2)

(注1)

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 0220₁₆ ~ 023F₁₆番地は、C0CTLR1レジスタのBANKSELビットで機能を切り替えられます。

注2. リセット後C0SLPRレジスタのSLEEPビットを"1"(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

番地	レジスタ	シンボル	リセット後の値
0239 ₁₆	CAN0メッセージスロット9制御レジスタ	C0MCTL9/	0000 0000 ₂ (注2)
	CAN0ローカルマスクレジスタB標準ID1	C0LMBR1	XX00 0000 ₂ (注2)
023A ₁₆	CAN0メッセージスロット10制御レジスタ/	C0MCTL10/	0000 0000 ₂ (注2)
	CAN0ローカルマスクレジスタB拡張ID0	C0LMBR2	XXXX 0000 ₂ (注2)
023B ₁₆	CAN0メッセージスロット11制御レジスタ/	C0MCTL11/	00 ₁₆ (注2)
	CAN0ローカルマスクレジスタB拡張ID1	C0LMBR3	00 ₁₆ (注2)
023C ₁₆	CAN0メッセージスロット12制御レジスタ/	C0MCTL12/	0000 0000 ₂ (注2)
	CAN0ローカルマスクレジスタB拡張ID2	C0LMBR4	XX00 0000 ₂ (注2)
023D ₁₆	CAN0メッセージスロット13制御レジスタ	C0MCTL13	00 ₁₆ (注2)
023E ₁₆	CAN0メッセージスロット14制御レジスタ	C0MCTL14	00 ₁₆ (注2)
023F ₁₆	CAN0メッセージスロット15制御レジスタ	C0MCTL15	00 ₁₆ (注2)
0240 ₁₆	CAN0スロットバッファ選択レジスタ	C0SBS	00 ₁₆ (注2)
0241 ₁₆	CAN0制御レジスタ1	C0CTLR1	XX00 00XX ₂ (注2)
0242 ₁₆	CAN0スリープ制御レジスタ	C0SLPR	XXXX XXX0 ₂
0243 ₁₆			
0244 ₁₆	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	00 ₁₆ (注2)
0245 ₁₆			01 ₁₆ (注2)
0246 ₁₆			
0247 ₁₆			
0248 ₁₆			
0249 ₁₆			
024A ₁₆			
024B ₁₆			
024C ₁₆			
024D ₁₆			
024E ₁₆			
024F ₁₆			
0250 ₁₆			
0251 ₁₆			
0252 ₁₆			
0253 ₁₆			
0254 ₁₆			
0255 ₁₆			
0256 ₁₆			
0257 ₁₆			
0258 ₁₆			
0259 ₁₆			
025A ₁₆			
025B ₁₆			
025C ₁₆			
025D ₁₆			
025E ₁₆			
025F ₁₆			
0260 ₁₆			
0261 ₁₆			
0262 ₁₆	}		
02BF ₁₆			

(注1)

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．0220₁₆～023F₁₆番地は、C0CTLR1レジスタのBANKSELビットで機能を切り替えられます。

注2．リセット後C0SLPRレジスタのSLEEPビットを"1"(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

番地	レジスタ	シンボル	リセット後の値
02C0 ₁₆ 02C1 ₁₆	X0レジスタ Y0レジスタ	X0R,Y0R	XX ₁₆ XX ₁₆
02C2 ₁₆ 02C3 ₁₆	X1レジスタ Y1レジスタ	X1R,Y1R	XX ₁₆ XX ₁₆
02C4 ₁₆ 02C5 ₁₆	X2レジスタ Y2レジスタ	X2R,Y2R	XX ₁₆ XX ₁₆
02C6 ₁₆ 02C7 ₁₆	X3レジスタ Y3レジスタ	X3R,Y3R	XX ₁₆ XX ₁₆
02C8 ₁₆ 02C9 ₁₆	X4レジスタ Y4レジスタ	X4R,Y4R	XX ₁₆ XX ₁₆
02CA ₁₆ 02CB ₁₆	X5レジスタ Y5レジスタ	X5R,Y5R	XX ₁₆ XX ₁₆
02CC ₁₆ 02CD ₁₆	X6レジスタ Y6レジスタ	X6R,Y6R	XX ₁₆ XX ₁₆
02CE ₁₆ 02CF ₁₆	X7レジスタ Y7レジスタ	X7R,Y7R	XX ₁₆ XX ₁₆
02D0 ₁₆ 02D1 ₁₆	X8レジスタ Y8レジスタ	X8R,Y8R	XX ₁₆ XX ₁₆
02D2 ₁₆ 02D3 ₁₆	X9レジスタ Y9レジスタ	X9R,Y9R	XX ₁₆ XX ₁₆
02D4 ₁₆ 02D5 ₁₆	X10レジスタ Y10レジスタ	X10R,Y10R	XX ₁₆ XX ₁₆
02D6 ₁₆ 02D7 ₁₆	X11レジスタ Y11レジスタ	X11R,Y11R	XX ₁₆ XX ₁₆
02D8 ₁₆ 02D9 ₁₆	X12レジスタ Y12レジスタ	X12R,Y12R	XX ₁₆ XX ₁₆
02DA ₁₆ 02DB ₁₆	X13レジスタ Y13レジスタ	X13R,Y13R	XX ₁₆ XX ₁₆
02DC ₁₆ 02DD ₁₆	X14レジスタ Y14レジスタ	X14R,Y14R	XX ₁₆ XX ₁₆
02DE ₁₆ 02DF ₁₆	X15レジスタ Y15レジスタ	X15R,Y15R	XX ₁₆ XX ₁₆
02E0 ₁₆	X/Y制御レジスタ	XYC	XXXX XX00 ₂
02E1 ₁₆			
02E2 ₁₆			
02E3 ₁₆			
02E4 ₁₆	UART1特殊モードレジスタ4	U1SMR4	00 ₁₆
02E5 ₁₆	UART1特殊モードレジスタ3	U1SMR3	00 ₁₆
02E6 ₁₆	UART1特殊モードレジスタ2	U1SMR2	00 ₁₆
02E7 ₁₆	UART1特殊モードレジスタ	U1SMR	00 ₁₆
02E8 ₁₆	UART1送受信モードレジスタ	U1MR	00 ₁₆
02E9 ₁₆	UART1転送速度レジスタ	U1BRG	XX ₁₆
02EA ₁₆ 02EB ₁₆	UART1送信バッファレジスタ	U1TB	XX ₁₆ XX ₁₆
02EC ₁₆	UART1送受信制御レジスタ0	U1C0	0000 1000 ₂
02ED ₁₆	UART1送受信制御レジスタ1	U1C1	0000 0010 ₂
02EE ₁₆ 02EF ₁₆	UART1受信バッファレジスタ	U1RB	XX ₁₆ XX ₁₆

X：不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
02F0 ₁₆			
02F1 ₁₆			
02F2 ₁₆			
02F3 ₁₆			
02F4 ₁₆	UART4特殊モードレジスタ4	U4SMR4	00 ₁₆
02F5 ₁₆	UART4特殊モードレジスタ3	U4SMR3	00 ₁₆
02F6 ₁₆	UART4特殊モードレジスタ2	U4SMR2	00 ₁₆
02F7 ₁₆	UART4特殊モードレジスタ	U4SMR	00 ₁₆
02F8 ₁₆	UART4送受信モードレジスタ	U4MR	00 ₁₆
02F9 ₁₆	UART4転送速度レジスタ	U4BRG	XX ₁₆
02FA ₁₆	UART4送信バッファレジスタ	U4TB	XX ₁₆
02FB ₁₆			XX ₁₆
02FC ₁₆	UART4送受信制御レジスタ0	U4C0	0000 1000 ₂
02FD ₁₆	UART4送受信制御レジスタ1	U4C1	0000 0010 ₂
02FE ₁₆	UART4受信バッファレジスタ	U4RB	XX ₁₆
02FF ₁₆			XX ₁₆
0300 ₁₆	タイマB3,4,5カウント開始フラグ	TBSR	000X XXXX ₂
0301 ₁₆			
0302 ₁₆	タイマA1-1レジスタ	TA11	XX ₁₆
0303 ₁₆			XX ₁₆
0304 ₁₆	タイマA2-1レジスタ	TA21	XX ₁₆
0305 ₁₆			XX ₁₆
0306 ₁₆	タイマA4-1レジスタ	TA41	XX ₁₆
0307 ₁₆			XX ₁₆
0308 ₁₆	三相PWM制御レジスタ0	INVC0	00 ₁₆
0309 ₁₆	三相PWM制御レジスタ1	INVC1	00 ₁₆
030A ₁₆	三相出力バッファレジスタ0	IDB0	XX ₁₁ 1111 ₂
030B ₁₆	三相出力バッファレジスタ1	IDB1	XX ₁₁ 1111 ₂
030C ₁₆	短絡防止タイマ	DTT	XX ₁₆
030D ₁₆	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XX ₁₆
030E ₁₆			
030F ₁₆			
0310 ₁₆	タイマB3レジスタ	TB3	XX ₁₆
0311 ₁₆			XX ₁₆
0312 ₁₆	タイマB4レジスタ	TB4	XX ₁₆
0313 ₁₆			XX ₁₆
0314 ₁₆	タイマB5レジスタ	TB5	XX ₁₆
0315 ₁₆			XX ₁₆
0316 ₁₆			
0317 ₁₆			
0318 ₁₆			
0319 ₁₆			
031A ₁₆			
031B ₁₆	タイマB3モードレジスタ	TB3MR	00XX 0000 ₂
031C ₁₆	タイマB4モードレジスタ	TB4MR	00XX 0000 ₂
031D ₁₆	タイマB5モードレジスタ	TB5MR	00XX 0000 ₂
031E ₁₆			
031F ₁₆	外部割り込み要因選択レジスタ	IFSR	00 ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0320 ₁₆			
0321 ₁₆			
0322 ₁₆			
0323 ₁₆			
0324 ₁₆	UART3特殊モードレジスタ4	U3SMR4	00 ₁₆
0325 ₁₆	UART3特殊モードレジスタ3	U3SMR3	00 ₁₆
0326 ₁₆	UART3特殊モードレジスタ2	U3SMR2	00 ₁₆
0327 ₁₆	UART3特殊モードレジスタ	U3SMR	00 ₁₆
0328 ₁₆	UART3送受信モードレジスタ	U3MR	00 ₁₆
0329 ₁₆	UART3転送速度レジスタ	U3BRG	XX ₁₆
032A ₁₆	UART3送信バッファレジスタ	U3TB	XX ₁₆
032B ₁₆			XX ₁₆
032C ₁₆	UART3送受信制御レジスタ0	U3C0	0000 1000 ₂
032D ₁₆	UART3送受信制御レジスタ1	U3C1	0000 0010 ₂
032E ₁₆	UART3受信バッファレジスタ	U3RB	XX ₁₆
032F ₁₆			XX ₁₆
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			
0334 ₁₆	UART2特殊モードレジスタ4	U2SMR4	00 ₁₆
0335 ₁₆	UART2特殊モードレジスタ3	U2SMR3	00 ₁₆
0336 ₁₆	UART2特殊モードレジスタ2	U2SMR2	00 ₁₆
0337 ₁₆	UART2特殊モードレジスタ	U2SMR	00 ₁₆
0338 ₁₆	UART2送受信モードレジスタ	U2MR	00 ₁₆
0339 ₁₆	UART2転送速度レジスタ	U2BRG	XX ₁₆
033A ₁₆	UART2送信バッファレジスタ	U2TB	XX ₁₆
033B ₁₆			XX ₁₆
033C ₁₆	UART2送受信制御レジスタ0	U2C0	0000 1000 ₂
033D ₁₆	UART2送受信制御レジスタ1	U2C1	0000 0010 ₂
033E ₁₆	UART2受信バッファレジスタ	U2RB	XX ₁₆
033F ₁₆			XX ₁₆
0340 ₁₆	カウント開始フラグ	TABSR	00 ₁₆
0341 ₁₆	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXX ₂
0342 ₁₆	ワンショット開始フラグ	ONSF	00 ₁₆
0343 ₁₆	トリガ選択レジスタ	TRGSR	00 ₁₆
0344 ₁₆	アップダウンフラグ	UDF	00 ₁₆
0345 ₁₆			
0346 ₁₆	タイマA0レジスタ	TA0	XX ₁₆
0347 ₁₆			XX ₁₆
0348 ₁₆	タイマA1レジスタ	TA1	XX ₁₆
0349 ₁₆			XX ₁₆
034A ₁₆	タイマA2レジスタ	TA2	XX ₁₆
034B ₁₆			XX ₁₆
034C ₁₆	タイマA3レジスタ	TA3	XX ₁₆
034D ₁₆			XX ₁₆
034E ₁₆	タイマA4レジスタ	TA4	XX ₁₆
034F ₁₆			XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0350 ₁₆ 0351 ₁₆	タイマB0レジスタ	TB0	XX ₁₆ XX ₁₆
0352 ₁₆ 0353 ₁₆	タイマB1レジスタ	TB1	XX ₁₆ XX ₁₆
0354 ₁₆ 0355 ₁₆	タイマB2レジスタ	TB2	XX ₁₆ XX ₁₆
0356 ₁₆	タイマA0モードレジスタ	TA0MR	0000 0X00 ₂
0357 ₁₆	タイマA1モードレジスタ	TA1MR	0000 0X00 ₂
0358 ₁₆	タイマA2モードレジスタ	TA2MR	0000 0X00 ₂
0359 ₁₆	タイマA3モードレジスタ	TA3MR	0000 0X00 ₂
035A ₁₆	タイマA4モードレジスタ	TA4MR	0000 0X00 ₂
035B ₁₆	タイマB0モードレジスタ	TB0MR	00XX 0000 ₂
035C ₁₆	タイマB1モードレジスタ	TB1MR	00XX 0000 ₂
035D ₁₆	タイマB2モードレジスタ	TB2MR	00XX 0000 ₂
035E ₁₆	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0 ₂
035F ₁₆	カウントソースプリスケアラレジスタ(注1)	TCSPR	0XXX 0000 ₂
0360 ₁₆			
0361 ₁₆			
0362 ₁₆			
0363 ₁₆			
0364 ₁₆	UART0特殊モードレジスタ4	U0SMR4	00 ₁₆
0365 ₁₆	UART0特殊モードレジスタ3	U0SMR3	00 ₁₆
0366 ₁₆	UART0特殊モードレジスタ2	U0SMR2	00 ₁₆
0367 ₁₆	UART0特殊モードレジスタ	U0SMR	00 ₁₆
0368 ₁₆	UART0送受信モードレジスタ	U0MR	00 ₁₆
0369 ₁₆	UART0転送速度レジスタ	U0BRG	XX ₁₆
036A ₁₆ 036B ₁₆	UART0送信バッファレジスタ	U0TB	XX ₁₆ XX ₁₆
036C ₁₆	UART0送受信制御レジスタ0	U0C0	0000 1000 ₂
036D ₁₆	UART0送受信制御レジスタ1	U0C1	0000 0010 ₂
036E ₁₆ 036F ₁₆	UART0受信バッファレジスタ	U0RB	XX ₁₆ XX ₁₆
0370 ₁₆			
0371 ₁₆			
0372 ₁₆			
0373 ₁₆			
0374 ₁₆			
0375 ₁₆			
0376 ₁₆	PLL制御レジスタ0	PLC0	0011 X100 ₂
0377 ₁₆	PLL制御レジスタ1	PLC1	XXXX 0000 ₂
0378 ₁₆	DMA0要因選択レジスタ	DM0SL	0X00 0000 ₂
0379 ₁₆	DMA1要因選択レジスタ	DM1SL	0X00 0000 ₂
037A ₁₆	DMA2要因選択レジスタ	DM2SL	0X00 0000 ₂
037B ₁₆	DMA3要因選択レジスタ	DM3SL	0X00 0000 ₂
037C ₁₆ 037D ₁₆	CRCデータレジスタ	CRCD	XX ₁₆ XX ₁₆
037E ₁₆ 037F ₁₆	CRCインプットレジスタ	CRCIN	XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. TCSPRレジスタは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

番地	レジスタ	シンボル	リセット後の値
0380 ₁₆ 0381 ₁₆	A/D0レジスタ0	AD00	XX ₁₆ XX ₁₆
0382 ₁₆ 0383 ₁₆	A/D0レジスタ1	AD01	XX ₁₆ XX ₁₆
0384 ₁₆ 0385 ₁₆	A/D0レジスタ2	AD02	XX ₁₆ XX ₁₆
0386 ₁₆ 0387 ₁₆	A/D0レジスタ3	AD03	XX ₁₆ XX ₁₆
0388 ₁₆ 0389 ₁₆	A/D0レジスタ4	AD04	XX ₁₆ XX ₁₆
038A ₁₆ 038B ₁₆	A/D0レジスタ5	AD05	XX ₁₆ XX ₁₆
038C ₁₆ 038D ₁₆	A/D0レジスタ6	AD06	XX ₁₆ XX ₁₆
038E ₁₆ 038F ₁₆	A/D0レジスタ7	AD07	XX ₁₆ XX ₁₆
0390 ₁₆			
0391 ₁₆			
0392 ₁₆			
0393 ₁₆			
0394 ₁₆ 0395 ₁₆	A/D0制御レジスタ2	AD0CON2	X000 0000 ₂
0396 ₁₆	A/D0制御レジスタ0	AD0CON0	00 ₁₆
0397 ₁₆	A/D0制御レジスタ1	AD0CON1	00 ₁₆
0398 ₁₆ 0399 ₁₆	D/Aレジスタ0	DA0	XX ₁₆
039A ₁₆ 039B ₁₆	D/Aレジスタ1	DA1	XX ₁₆
039C ₁₆ 039D ₁₆	D/A制御レジスタ	DACON	XXXX XX00 ₂
039E ₁₆			
039F ₁₆			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

< 144ピン版 >

番地	レジスタ	シンボル	リセット後の値
03A016	機能選択レジスタA8	PS8	X000 0000 ₂
03A116	機能選択レジスタA9	PS9	0016
03A216			
03A316			
03A416			
03A516			
03A616			
03A716			
03A816			
03A916			
03AA16			
03AB16			
03AC16			
03AD16			
03AE16			
03AF16	機能選択レジスタC	PSC	00X0 0000 ₂
03B016	機能選択レジスタA0	PS0	0016
03B116	機能選択レジスタA1	PS1	0016
03B216	機能選択レジスタB0	PSL0	0016
03B316	機能選択レジスタB1	PSL1	0016
03B416	機能選択レジスタA2	PS2	00X0 0000 ₂
03B516	機能選択レジスタA3	PS3	0016
03B616	機能選択レジスタB2	PSL2	00X0 0000 ₂
03B716	機能選択レジスタB3	PSL3	0016
03B816			
03B916	機能選択レジスタA5	PS5	XXX0 0000 ₂
03BA16			
03BB16			
03BC16	機能選択レジスタA6	PS6	0016
03BD16	機能選択レジスタA7	PS7	0016
03BE16			
03BF16			
03C016	ポートP6レジスタ	P6	XX16
03C116	ポートP7レジスタ	P7	XX16
03C216	ポートP6方向レジスタ	PD6	0016
03C316	ポートP7方向レジスタ	PD7	0016
03C416	ポートP8レジスタ	P8	XX16
03C516	ポートP9レジスタ	P9	XX16
03C616	ポートP8方向レジスタ	PD8	00X0 0000 ₂
03C716	ポートP9方向レジスタ	PD9	0016
03C816	ポートP10レジスタ	P10	XX16
03C916	ポートP11レジスタ	P11	XX16
03CA16	ポートP10方向レジスタ	PD10	0016
03CB16	ポートP11方向レジスタ	PD11	XXX0 0000 ₂
03CC16	ポートP12レジスタ	P12	XX16
03CD16	ポートP13レジスタ	P13	XX16
03CE16	ポートP12方向レジスタ	PD12	0016
03CF16	ポートP13方向レジスタ	PD13	0016

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

< 144ピン版 >

番地	レジスタ	シンボル	リセット後の値
03D0 ₁₆	ポートP14レジスタ	P14	XX ₁₆
03D1 ₁₆	ポートP15レジスタ	P15	XX ₁₆
03D2 ₁₆	ポートP14方向レジスタ	PD14	X000 0000 ₂
03D3 ₁₆	ポートP15方向レジスタ	PD15	00 ₁₆
03D4 ₁₆			
03D5 ₁₆			
03D6 ₁₆			
03D7 ₁₆			
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆	ブルアップ制御レジスタ2	PUR2	00 ₁₆
03DB ₁₆	ブルアップ制御レジスタ3	PUR3	00 ₁₆
03DC ₁₆	ブルアップ制御レジスタ4	PUR4	XXXX 0000 ₂
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0レジスタ	P0	XX ₁₆
03E1 ₁₆	ポートP1レジスタ	P1	XX ₁₆
03E2 ₁₆	ポートP0方向レジスタ	PD0	00 ₁₆
03E3 ₁₆	ポートP1方向レジスタ	PD1	00 ₁₆
03E4 ₁₆	ポートP2レジスタ	P2	XX ₁₆
03E5 ₁₆	ポートP3レジスタ	P3	XX ₁₆
03E6 ₁₆	ポートP2方向レジスタ	PD2	00 ₁₆
03E7 ₁₆	ポートP3方向レジスタ	PD3	00 ₁₆
03E8 ₁₆	ポートP4レジスタ	P4	XX ₁₆
03E9 ₁₆	ポートP5レジスタ	P5	XX ₁₆
03EA ₁₆	ポートP4方向レジスタ	PD4	00 ₁₆
03EB ₁₆	ポートP5方向レジスタ	PD5	00 ₁₆
03EC ₁₆			
03ED ₁₆			
03EE ₁₆			
03EF ₁₆			
03F0 ₁₆	ブルアップ制御レジスタ0	PUR0	00 ₁₆
03F1 ₁₆	ブルアップ制御レジスタ1	PUR1	XXXX 0000 ₂
03F2 ₁₆			
03F3 ₁₆			
03F4 ₁₆			
03F5 ₁₆			
03F6 ₁₆			
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆			
03FD ₁₆			
03FE ₁₆			
03FF ₁₆	ポート制御レジスタ	PCR	XXXX XXX0 ₂

X : 不定



空欄はすべて予約領域です。アクセスしないでください。

< 100ピン版 >

番地	レジスタ	シンボル	リセット後の値	
03A0 ₁₆				(注2)
03A1 ₁₆				
03A2 ₁₆				
03A3 ₁₆				
03A4 ₁₆				
03A5 ₁₆				
03A6 ₁₆				
03A7 ₁₆				
03A8 ₁₆				
03A9 ₁₆				
03AA ₁₆				
03AB ₁₆				
03AC ₁₆				
03AD ₁₆				
03AE ₁₆				
03AF ₁₆	機能選択レジスタC	PSC	0X00 0000 ₂	
03B0 ₁₆	機能選択レジスタA0	PS0	00 ₁₆	
03B1 ₁₆	機能選択レジスタA1	PS1	00 ₁₆	
03B2 ₁₆	機能選択レジスタB0	PSL0	00 ₁₆	
03B3 ₁₆	機能選択レジスタB1	PSL1	00 ₁₆	
03B4 ₁₆	機能選択レジスタA2	PS2	00X0 0000 ₂	
03B5 ₁₆	機能選択レジスタA3	PS3	00 ₁₆	
03B6 ₁₆	機能選択レジスタB2	PSL2	00X0 0000 ₂	
03B7 ₁₆	機能選択レジスタB3	PSL3	00 ₁₆	
03B8 ₁₆				(注2)
03B9 ₁₆				
03BA ₁₆				
03BB ₁₆				(注2)
03BC ₁₆				
03BD ₁₆				
03BE ₁₆				
03BF ₁₆				(注2)
03C0 ₁₆	ポートP6レジスタ	P6	XX ₁₆	
03C1 ₁₆	ポートP7レジスタ	P7	XX ₁₆	
03C2 ₁₆	ポートP6方向レジスタ	PD6	00 ₁₆	
03C3 ₁₆	ポートP7方向レジスタ	PD7	00 ₁₆	
03C4 ₁₆	ポートP8レジスタ	P8	XX ₁₆	
03C5 ₁₆	ポートP9レジスタ	P9	XX ₁₆	
03C6 ₁₆	ポートP8方向レジスタ	PD8	00X0 0000 ₂	
03C7 ₁₆	ポートP9方向レジスタ	PD9	00 ₁₆	
03C8 ₁₆	ポートP10レジスタ	P10	XX ₁₆	
03C9 ₁₆				(注2)
03CA ₁₆	ポートP10方向レジスタ	PD10	00 ₁₆	
03CB ₁₆				(注1)
03CC ₁₆				(注2)
03CD ₁₆				(注2)
03CE ₁₆				(注1)
03CF ₁₆				

X：不定

空欄はすべて予約領域です。アクセスしないでください。


注1.  100ピン版ではリセット後03CB₁₆、03CE₁₆、03CF₁₆番地の領域を“FF₁₆”にしてください。注2.  100ピン版では03A0₁₆、03A1₁₆、03B9₁₆、03BC₁₆、03BD₁₆、03C9₁₆、03CC₁₆、03CD₁₆番地の領域は存在しません。

< 100ピン版 >


番地	レジスタ	シンボル	リセット後の値	
03D0 ₁₆				(注3)
03D1 ₁₆				
03D2 ₁₆				(注1)
03D3 ₁₆				
03D4 ₁₆				
03D5 ₁₆				
03D6 ₁₆				
03D7 ₁₆				
03D8 ₁₆				
03D9 ₁₆				
03DA ₁₆	ブルアップ制御レジスタ2	PUR2	00 ₁₆	
03DB ₁₆	ブルアップ制御レジスタ3	PUR3	00 ₁₆	
03DC ₁₆				(注2)
03DD ₁₆				
03DE ₁₆				
03DF ₁₆				
03E0 ₁₆	ポートP0レジスタ	P0	XX ₁₆	
03E1 ₁₆	ポートP1レジスタ	P1	XX ₁₆	
03E2 ₁₆	ポートP0方向レジスタ	PD0	00 ₁₆	
03E3 ₁₆	ポートP1方向レジスタ	PD1	00 ₁₆	
03E4 ₁₆	ポートP2レジスタ	P2	XX ₁₆	
03E5 ₁₆	ポートP3レジスタ	P3	XX ₁₆	
03E6 ₁₆	ポートP2方向レジスタ	PD2	00 ₁₆	
03E7 ₁₆	ポートP3方向レジスタ	PD3	00 ₁₆	
03E8 ₁₆	ポートP4レジスタ	P4	XX ₁₆	
03E9 ₁₆	ポートP5レジスタ	P5	XX ₁₆	
03EA ₁₆	ポートP4方向レジスタ	PD4	00 ₁₆	
03EB ₁₆	ポートP5方向レジスタ	PD5	00 ₁₆	
03EC ₁₆				
03ED ₁₆				
03EE ₁₆				
03EF ₁₆				
03F0 ₁₆	ブルアップ制御レジスタ0	PUR0	00 ₁₆	
03F1 ₁₆	ブルアップ制御レジスタ1	PUR1	XXXX 0000 ₂	
03F2 ₁₆				
03F3 ₁₆				
03F4 ₁₆				
03F5 ₁₆				
03F6 ₁₆				
03F7 ₁₆				
03F8 ₁₆				
03F9 ₁₆				
03FA ₁₆				
03FB ₁₆				
03FC ₁₆				
03FD ₁₆				
03FE ₁₆				
03FF ₁₆	ポート制御レジスタ	PCR	XXXX XXX0 ₂	

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1.  100ピン版ではリセット後03D2₁₆、03D3₁₆番地の領域を“FF₁₆”にしてください。

注2.  100ピン版ではリセット後03DC₁₆番地の領域を“00₁₆”にしてください。

注3.  100ピン版では03D0₁₆、03D1₁₆番地の領域は存在しません。

5. 電気的特性

5.1 電気的特性(M32C/83)

表5.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC}	電源電圧		V _{CC} =AV _{CC}	-0.3 ~ 6.0	V
AV _{CC}	アナログ電源電圧		V _{CC} =AV _{CC}	-0.3 ~ 6.0	V
V _I	入力電圧	RESET, CNV _{SS} , BYTE, P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注1), V _{REF} , X _{IN}		-0.3 ~ V _{CC} +0.3	V
		P7 ₀ , P7 ₁		-0.3 ~ 6.0	V
V _O	出力電圧	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注1), X _{OUT}		-0.3 ~ V _{CC} +0.3	V
P _d	消費電力		T _{opr} =25	500	mW
T _{opr}	動作周囲温度			-20 ~ 85	
T _{stg}	保存温度			-65 ~ 150	

注1. ポートP11 ~ P15は144ピン版のみ存在します。

表5.2 推奨動作条件(指定のない場合は、 $V_{CC}=3.0V \sim 5.5V$, $T_{opr} = -20 \sim 85$)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧(VDCオン時)	3.0	5.0	5.5	V	
	電源電圧(VDCオフ時)	3.0	3.3	3.6	V	
AV _{CC}	アナログ電源電圧		V _{CC}		V	
V _{SS}	電源電圧		0		V	
AV _{SS}	アナログ電源電圧		0		V	
V _{IH}	“H”入力電圧 P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P87(注3), P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4), X _{IN} , RESET, CNV _{SS} , BYTE P70, P71 P00~P07, P10~P17 (シングルチップモード時) P00~P07, P10~P17 (メモリ拡張、マイクロプロセッサモード時)	0.8V _{CC}		V _{CC}	V	
		0.8V _{CC}		6.0		
		0.8V _{CC}		V _{CC}	V	
		0.5V _{CC}		V _{CC}	V	
V _{IL}	“L”入力電圧 P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87(注3), P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4), X _{IN} , RESET, CNV _{SS} , BYTE P00~P07, P10~P17 (シングルチップモード時) P00~P07, P10~P17 (メモリ拡張、マイクロプロセッサモード時)	0		0.2V _{CC}	V	
		0		0.2V _{CC}	V	
		0		0.16V _{CC}	V	
I _{OH(peak)}	“H”尖頭出力電流(注2)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			-10.0	mA
I _{OH(avg)}	“H”平均出力電流(注1)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			-5.0	mA
I _{OL(peak)}	“L”尖頭出力電流(注2)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			10.0	mA
I _{OL(avg)}	“L”平均出力電流(注1)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			5.0	mA
f(X _{IN})	メインクロック入力周波数	VDCオン	V _{CC} =4.2~5.5V	0	32	MHz
		VDCオン	V _{CC} =3.0~4.2V	0	20	MHz
		VDCオフ	V _{CC} =3.0~3.6	0	20	MHz
f(X _{CIN})	サブクロック発振周波数		32.768	50	kHz	

注1．平均出力電流は100msの期間内の平均値です。

注2．ポートP0, P1, P2, P86, P87, P9, P10, P11, P14, P15のI_{OL(peak)}の合計は80mA以下、ポートP0, P1, P2, P86, P87, P9, P10, P11, P14, P15のI_{OH(peak)}の合計は-80mA以下、ポートP3, P4, P5, P6, P7, P80~P84, P12, P13のI_{OL(peak)}の合計は80mA以下、ポートP3, P4, P5, P6, P72~P77, P80~P84, P12, P13のI_{OH(peak)}の合計は-80mA以下にしてください。

注3．P87のV_{IH}、V_{IL}はP87をプログラマブル入力ポートとして使用する場合の規格であり、X_{CIN}として使用する場合の規格ではありません。

注4．ポートP11~P15は144ピン版のみ存在します。

VCC=5V

表5.3 電気的特性(指定のない場合は、VCC=4.2~5.5V,VSS=0V,Topr= -20~85℃,f(XIN)=32MHz)

記号	項目	測定条件	標準			単位	
			最小	標準	最大		
VOH	“H”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	IOH=-5mA	VCC-2.0			V
		P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	IOH=-200μA	VCC-0.3			
	XOUT	IOH=-1mA	3.0			V	
	XOOUT	無負荷時		3.3		V	
VOL	“L”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	IOL=5mA			2.0	V
		P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	IOL=200μA			0.45	V
	XOUT	IOL=1mA			2.0	V	
	XOOUT	無負荷時		0		V	
VT+~VT-	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, ADTRG, CTS0~CTS4, CLK0~CLK4, TA0OUT~TA4OUT, NMI, KI0~KI3, RxD0~RxD4, SCL0~SCL4, SDA0~SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
IiH	“H”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), XIN, RESET, CNVSS, BYTE	Vi=5V			5.0	μA
IiL	“L”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), XIN, RESET, CNVSS, BYTE	Vi=0V			-5.0	μA
Rpullup	プルアップ抵抗	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	Vi=0V	30	50	167	kΩ
RfXIN	帰還抵抗	XIN			1.5		MΩ
RfXCIN	帰還抵抗	XCIN			10		MΩ
VRAM	RAM保持電圧	VDCオン		2.5			V
Icc	電源電流	測定条件 シングルチップモードで出力 端子は開放、その他の端子 はVSSに接続	f(XIN)=32MHz、方形波、分周なし		40	54	mA
			f(XCIN)=32kHz、ウェイト時、Topr=25		470		μA
			クロック停止時、Topr=25		0.4	20	μA

注1. ポートP11~P15は144ピン版のみ存在します。

VCC=5V

表5.4 A/D変換特性 (指定のない場合は、VCC=AVCC=VREF=4.2 ~ 5.5V, VSS=AVSS=0V, Topr= - 20 ~ 85 , f(XIN)=32MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	VREF=VCC			10	Bits	
INL	積分非直線性誤差	VREF=VCC=5V	AN0-AN7 ANEX0, ANEX1			±3	LSB
							LSB
			外部オペアンプ 接続モード			±7	LSB
						LSB	
DNL	微分非直線性誤差				±1	LSB	
-	オフセット誤差				±3	LSB	
-	ゲイン誤差				±3	LSB	
RLADDER	ラダー抵抗	VREF=VCC	8		40	kΩ	
tCONV	変換時間(10bit)		2.1			μs	
tCONV	変換時間(8bit)		1.8			μs	
tsAMP	サンプリング時間		0.2			μs	
VREF	基準電圧		2		VCC	V	
VIA	アナログ入力電圧		0		VREF	V	

注1. f(XIN)が16MHzを超える時は分周し、φADを16MHz以下としてください。

表5.5 D/A変換特性 (指定のない場合は、VCC=VREF=4.2 ~ 5.5V, VSS=AVSS=0V, Topr= - 20 ~ 85 , f(XIN)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsU	設定時間				3	μs
Ro	出力抵抗		4	10	20	kΩ
IvREF	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本使用し、使用していないDAコンバータのDAiレジスタ(i=0,1)の値が“0016”の場合です。A/Dコンバータのラダー抵抗分は除きます。

ADiCON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IvREFは流れます。

表5.6 フラッシュメモリの電気的特性

項目	規格値			単位
	最小	標準	最大	
プログラム時間 (1 Page)		8	120	ms
ブロック消去時間 (1 Block)		50	600	ms

注1. 指定のない場合は、VCC=4.2 ~ 5.5V(VDCオン)、3.0 ~ 3.6V(VDCオフ)、Topr=0 ~ 60 です。

VCC=5V

タイミング必要条件 (指定のない場合は、Vcc=4.2 ~ 5.5V, Vss=0V, Topr= - 20 ~ 85)

表5.7 外部クロック入力

記号	項目	標準		単位
		最小	最大	
tc	外部クロック入力サイクル時間	33		ns
tw(H)	外部クロック入力“H”パルス時間	13		ns
tw(L)	外部クロック入力“L”パルス時間	13		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表5.8 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (RD基準、ウエイトなし)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトなし)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (RD基準、ウエイトあり)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトあり)		(注1)	ns
tac3(RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac3(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac4(RAS-DB)	データ入力アクセス時間 (RAS基準、DRAMアクセス)		(注1)	ns
tac4(CAS-DB)	データ入力アクセス時間 (CAS基準、DRAMアクセス)		(注1)	ns
tac4(CAD-DB)	データ入力アクセス時間 (CAD基準、DRAMアクセス)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	26		ns
tsu(RDY-BCLK)	RDY入力セットアップ時間	26		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	30		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(CAS-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	RDY入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数に応じて対の計算式で算出されます。ただし、計算値が負になる場合は、ウエイト入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$t_{ac1}(RD - DB) = \frac{10^9 \times 1}{f(BCLK) \times 2} - 35 \text{ [ns]}$$

$$t_{ac1}(AD - DB) = \frac{10^9}{f(BCLK)} - 35 \text{ [ns]}$$

$$t_{ac2}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは1ウエイト時"3", 2ウエイト時"5", 3ウエイト時"7")}$$

$$t_{ac2}(AD - DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \text{ (nは1ウエイト時"2", 2ウエイト時"3", 3ウエイト時"4")}$$

$$t_{ac3}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは2ウエイト時"3", 3ウエイト時"5")}$$

$$t_{ac3}(AD - DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (nは2ウエイト時"5", 3ウエイト時"7")}$$

$$t_{ac4}(RAS - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは1ウエイト時"3", 2ウエイト時"5")}$$

$$t_{ac4}(CAS - DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (nは1ウエイト時"1", 2ウエイト時"3")}$$

$$t_{ac4}(CAD - DB) = \frac{10^9 \times l}{f(BCLK)} - 35 \text{ [ns]} \text{ (lは1ウエイト時"1", 2ウエイト時"2")}$$

VCC=5V

タイミング必要条件 (指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr= -20~85)

表5.9 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	100		ns
tw(TAH)	TAiIn入力“H”パルス幅	40		ns
tw(TAL)	TAiIn入力“L”パルス幅	40		ns

表5.10 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	400		ns
tw(TAH)	TAiIn入力“H”パルス幅	200		ns
tw(TAL)	TAiIn入力“L”パルス幅	200		ns

表5.11 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	200		ns
tw(TAH)	TAiIn入力“H”パルス幅	100		ns
tw(TAL)	TAiIn入力“L”パルス幅	100		ns

表5.12 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIn入力“H”パルス幅	100		ns
tw(TAL)	TAiIn入力“L”パルス幅	100		ns

表5.13 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOuT入力サイクル時間	2000		ns
tw(UPH)	TAiOuT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOuT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOuT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOuT入力ホールド時間	400		ns

VCC=5V

タイミング必要条件 (指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr= -20~85)

表5.14 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間(片エッジカウント)	100		ns
tW(TBH)	TBin入力“H”パルス幅(片エッジカウント)	40		ns
tW(TBL)	TBin入力“L”パルス幅(片エッジカウント)	40		ns
tC(TB)	TBin入力サイクル時間(両エッジカウント)	200		ns
tW(TBH)	TBin入力“H”パルス幅(両エッジカウント)	80		ns
tW(TBL)	TBin入力“L”パルス幅(両エッジカウント)	80		ns

表5.15 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力“H”パルス幅	200		ns
tW(TBL)	TBin入力“L”パルス幅	200		ns

表5.16 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力“H”パルス幅	200		ns
tW(TBL)	TBin入力“L”パルス幅	200		ns

表5.17 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tC(AD)	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
tW(ADL)	ADTRG入力“L”パルス幅	125		ns

表5.18 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
tC(CX)	CLKi入力サイクル時間	200		ns
tW(CXH)	CLKi入力“H”パルス幅	100		ns
tW(CXL)	CLKi入力“L”パルス幅	100		ns
td(C-Q)	TxDi出力遅延時間		80	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-Q)	RxDi入力セットアップ時間	30		ns
th(C-Q)	RxDi入力ホールド時間	90		ns

表5.19 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
tW(INH)	INTi入力“H”パルス幅	250		ns
tW(INL)	INTi入力“L”パルス幅	250		ns

VCC=5V

スイッチング特性(指定のない場合は、VCC=4.2 ~ 5.5V, VSS=0V, Topr= - 20 ~ 85)

表5.20 メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間			18	ns
th(BCLK-ALE)	ALE出力保持時間		-2		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-3		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9}{f(BCLK)} - 20 \quad [ns]$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$tw(WR) = \frac{10^9}{f(BCLK) \times 2} - 15 \quad [ns]$$

VCC=5V

スイッチング特性(指定のない場合は、VCC=4.2 ~ 5.5V, VSS=0V, Topr= - 20 ~ 85)

表5.21 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間			18	ns
th(BCLK-ALE)	ALE出力保持時間		-2		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-3		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9 \times n}{f(BCLK)} - 20 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"2"、3ウエイト時"3")$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"3"、3ウエイト時"5")$$

VCC=5V

スイッチング特性(指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr= -20~85)

表5.22 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-AD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-3		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		-2		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)		(注1)		ns
tdz(RD-AD)	アドレス出力ハイインピーダンス開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (m \text{は} 2 \text{ウエイト時} "3" \text{、} 3 \text{ウエイト時} "5")$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$td(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

$$th(ALE - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

VCC=5V

スイッチング特性(指定のない場合は、VCC=4.2 ~ 5.5V, VSS=0V, Topr= - 20 ~ 85)

表5.23 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつDRAM領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-RAD)	行アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-RAD)	行アドレス出力保持時間 (BCLK基準)		-3		ns
td(BCLK-CAD)	列アドレス出力遅延時間			18	ns
th(BCLK-CAD)	列アドレス出力保持時間 (BCLK基準)		-3		ns
th(RAS-RAD)	RAS出力後行アドレス出力保持時間		(注1)		ns
td(BCLK-RAS)	RAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-RAS)	RAS出力保持時間 (BCLK基準)		-3		ns
trp	RAS " H " 保持時間		(注1)		ns
td(BCLK-CAS)	CAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-CAS)	CAS出力保持時間 (BCLK基準)		-3		ns
td(BCLK-DW)	DW出力遅延時間 (BCLK基準)			18	ns
th(BCLK-DW)	DW出力保持時間 (BCLK基準)		-5		ns
tsu(DB-CAS)	DB出力後CAS出力セットアップ時間		(注1)		ns
th(BCLK-DB)	DB出力保持時間 (BCLK standard)		-7		ns
tsu(CAS-RAS)	RAS出力前CAS出力セットアップ時間 (リフレッシュ)		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$th(RAS - RAD) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

$$trp = \frac{10^9}{f(BCLK) \times 2} \times 3 - 20 \quad [ns]$$

$$tsu(DB - CAS) = \frac{10^9}{f(BCLK)} - 20 \quad [ns]$$

$$tsu(CAS - RAS) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

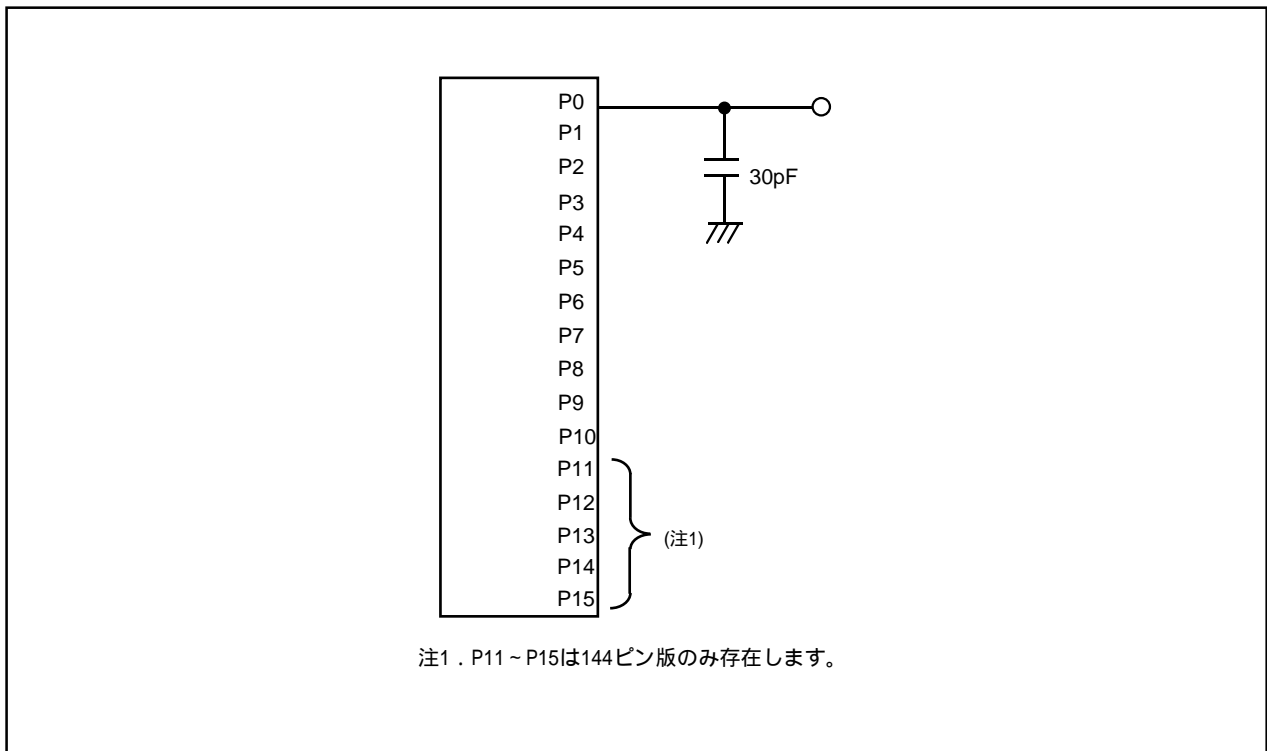


図5.1 ポートP0 ~ P15の測定回路

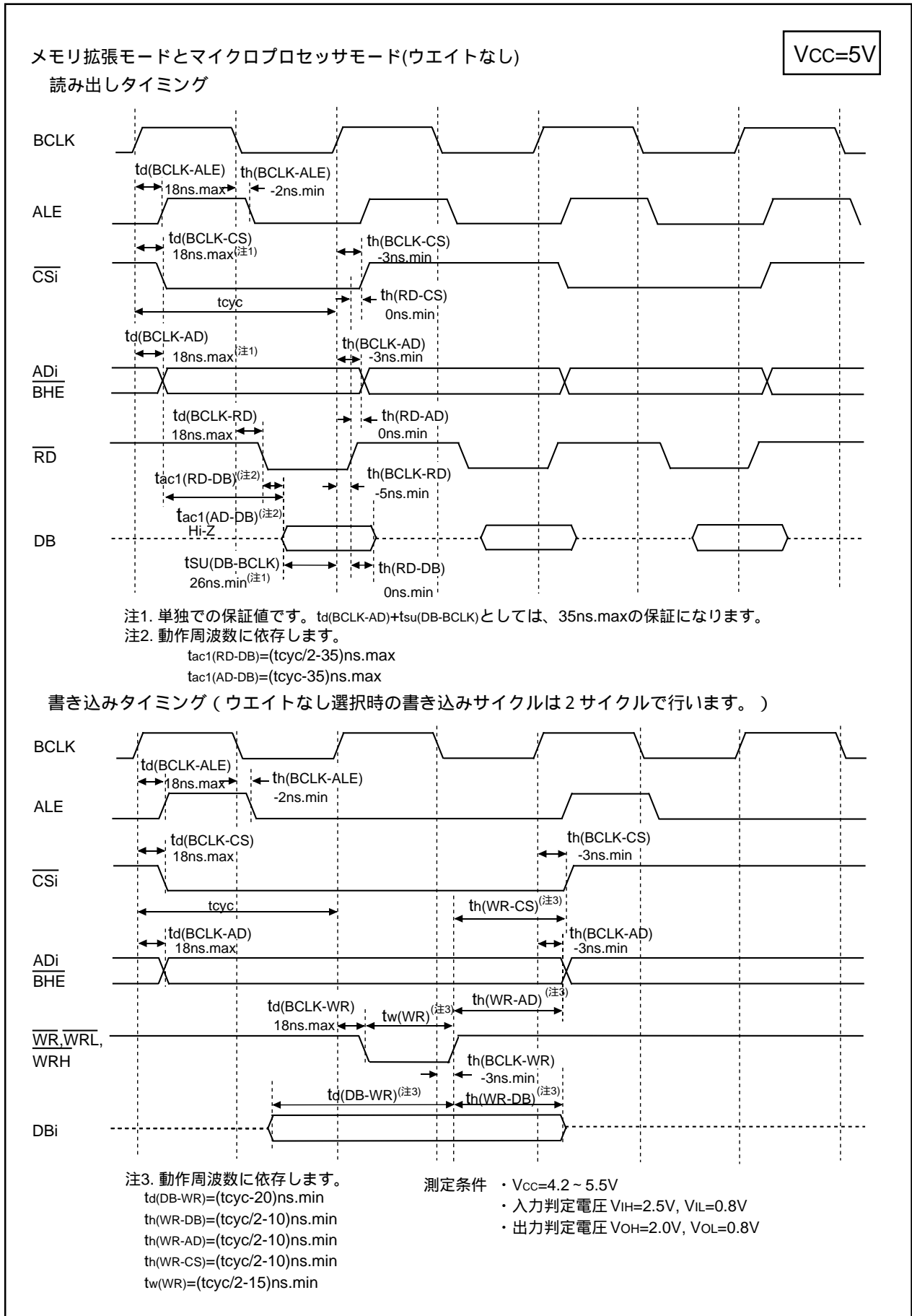


図5.2 Vcc=5V時のタイミング図(1)

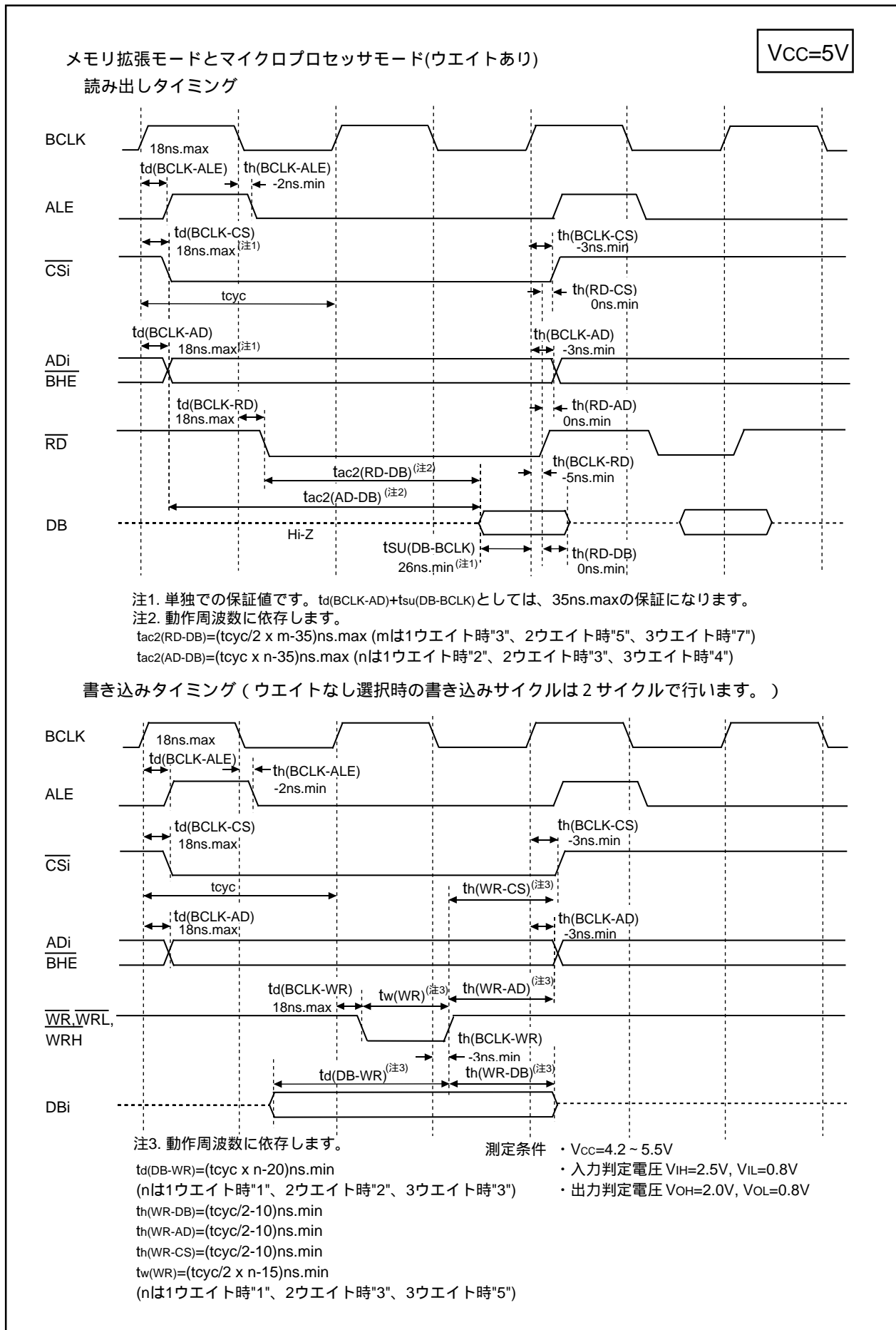


図5.3 Vcc=5V時のタイミング図(2)

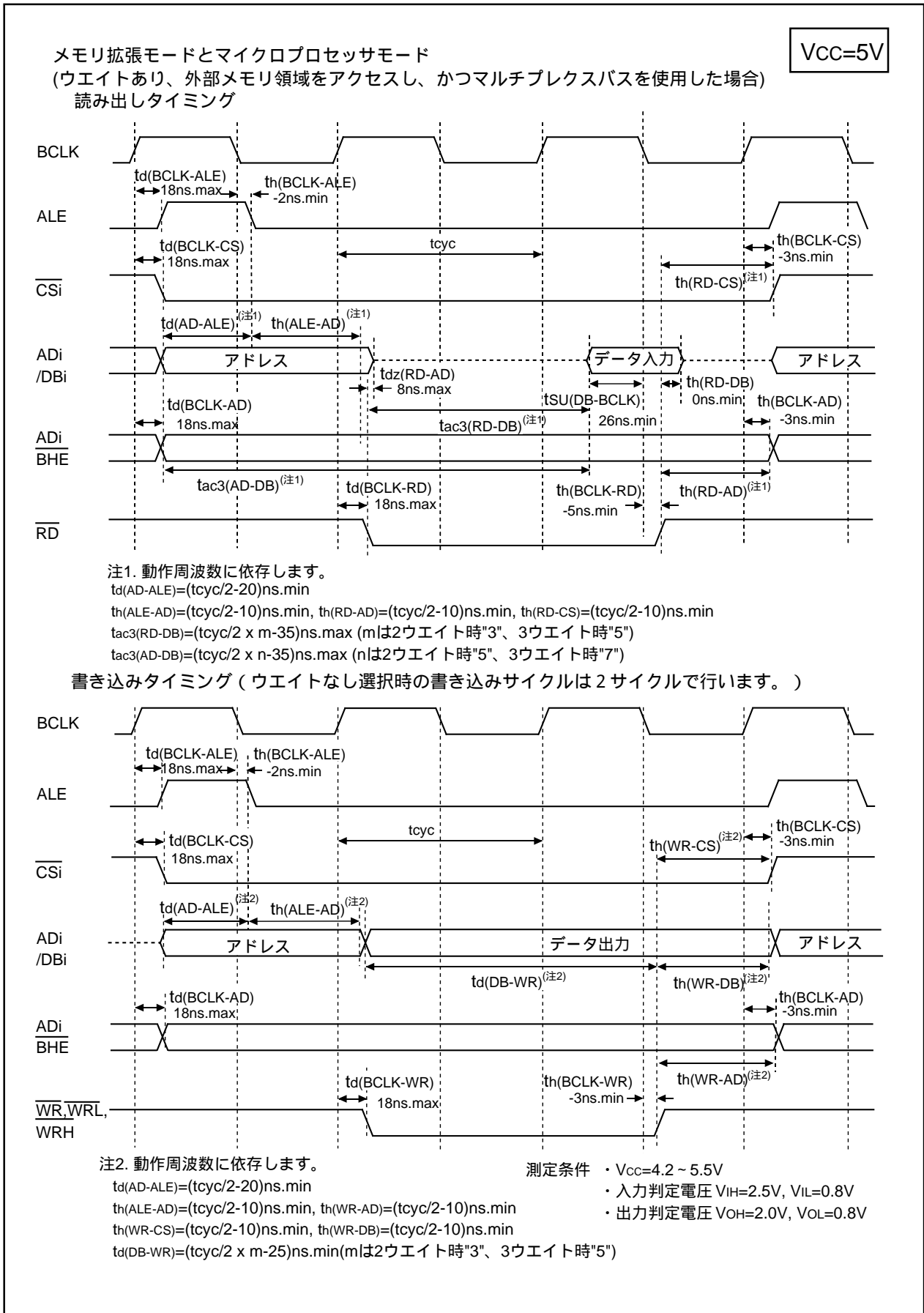


図5.4 V_{CC}=5V時のタイミング図(3)

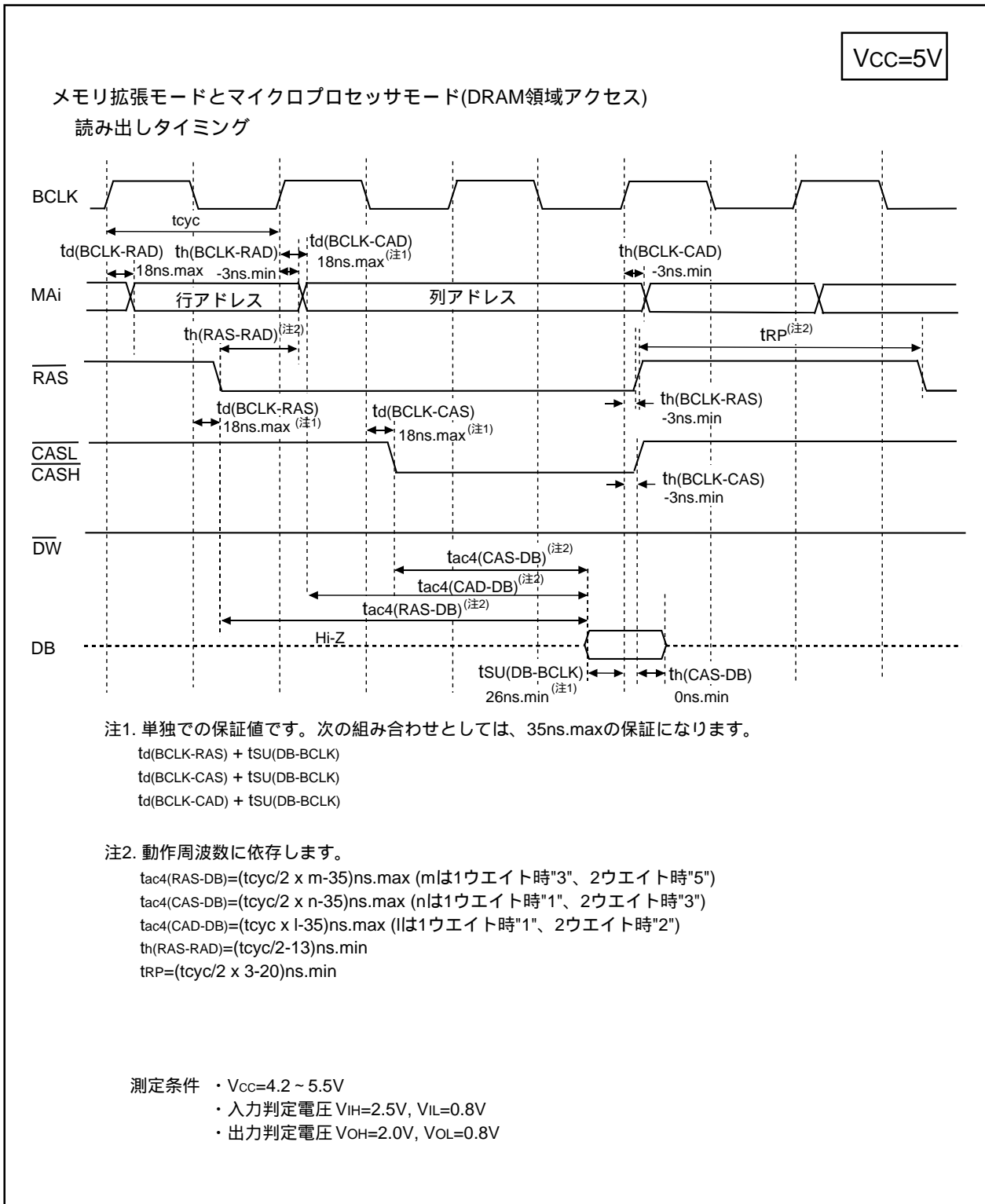
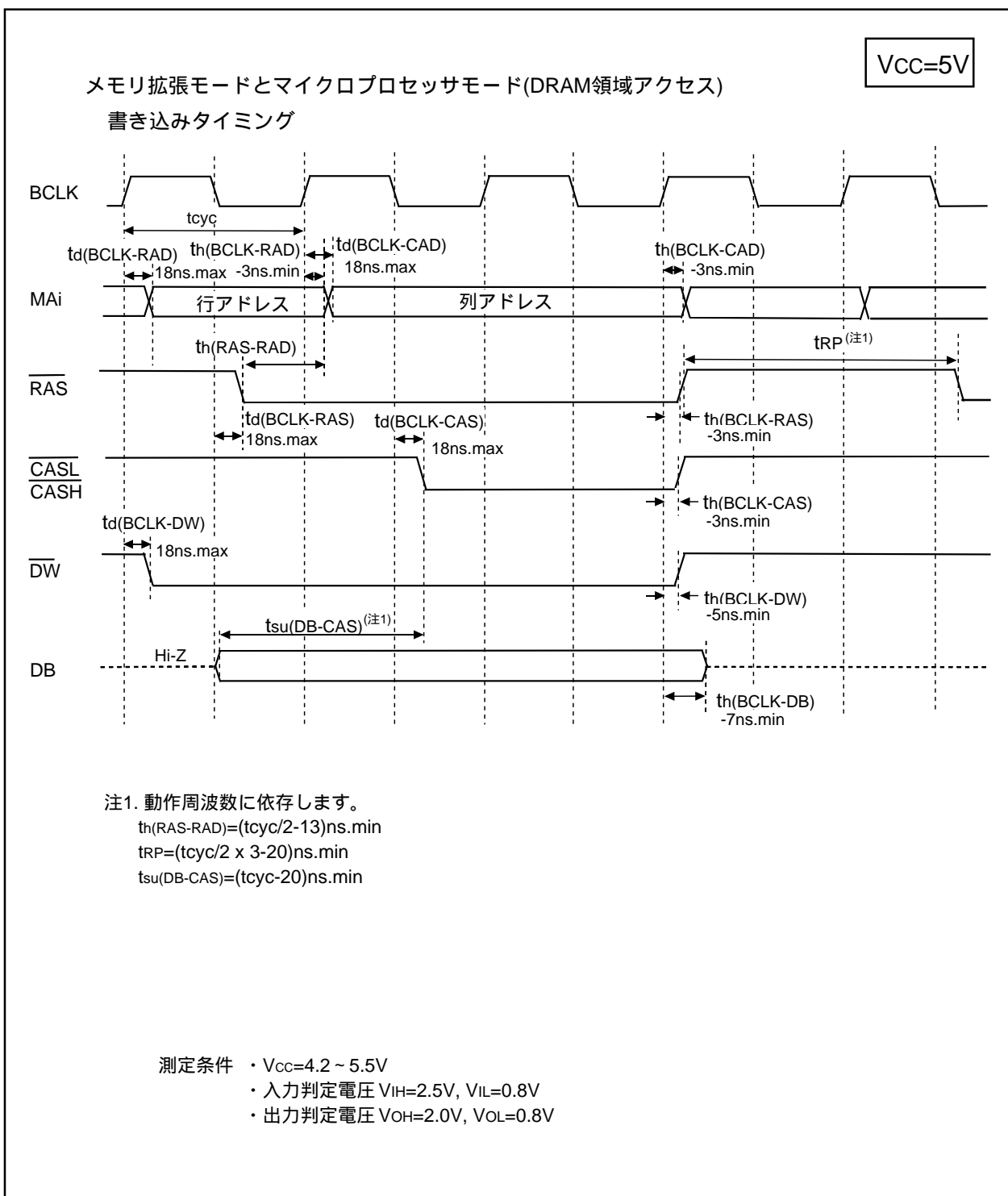


図5.5 Vcc=5V時のタイミング図(4)

図5.6 V_{CC}=5V時のタイミング図(5)

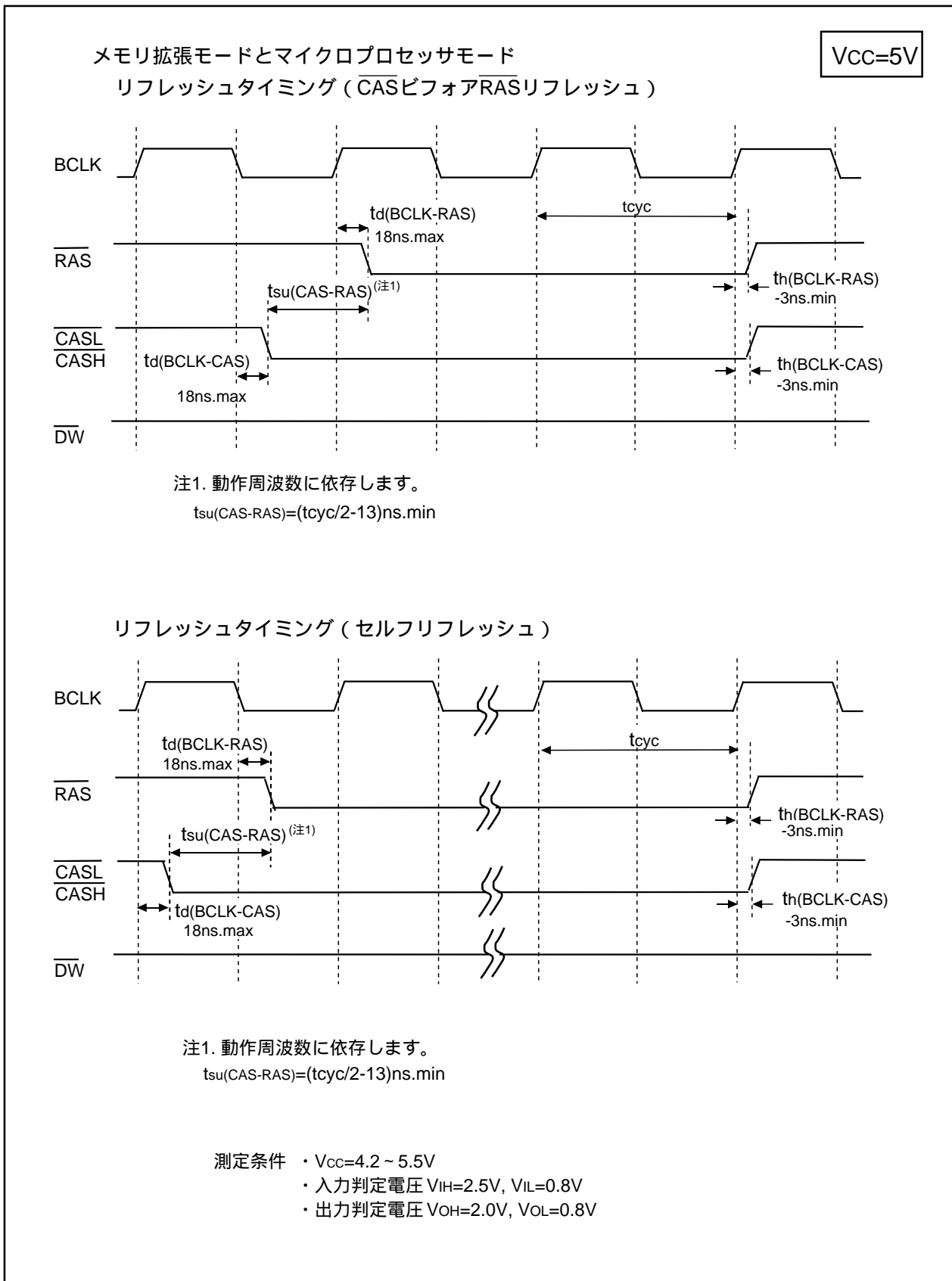


図5.7 VCC=5V時のタイミング図(6)

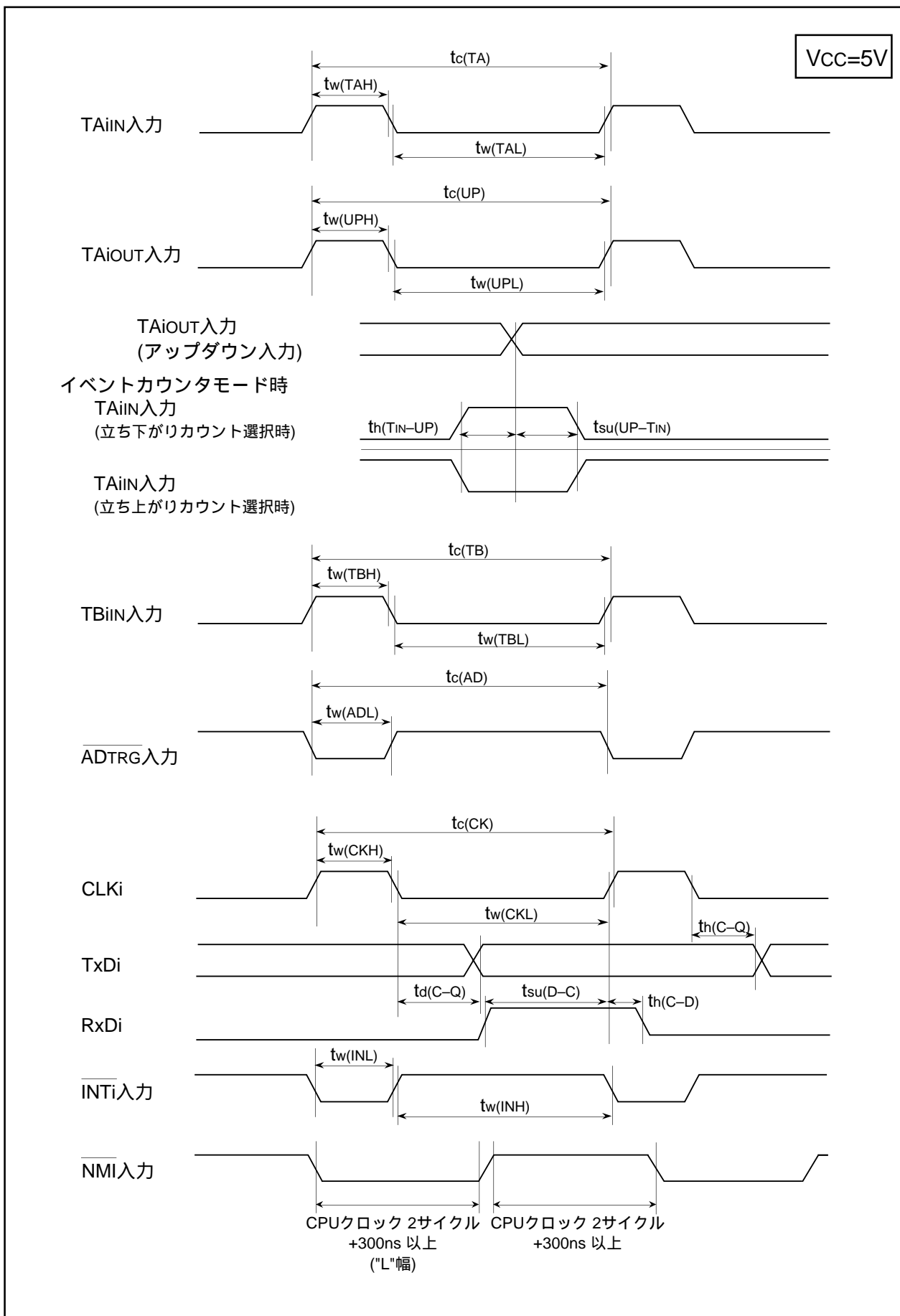


図5.8 Vcc=5V時のタイミング図(7)

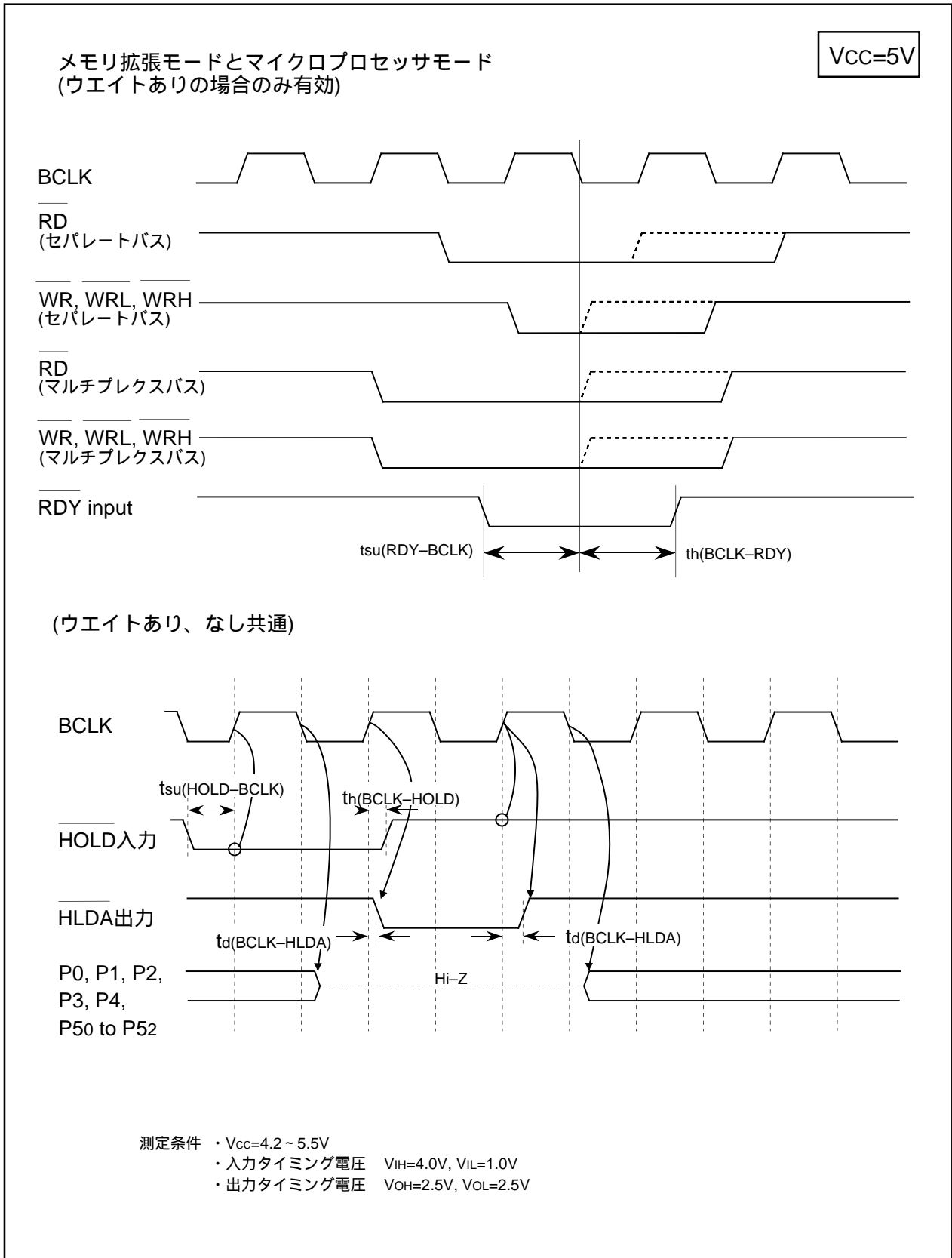


図5.9 VCC=5V時のタイミング図(8)

VCC=3.3V

表5.24 電気的特性(指定のない場合は、VCC=3.0~3.6V,VSS=0V,Topr= -20~85℃,f(XIN)=20MHz)

記号	項目	測定条件	標準			単位	
			最小	標準	最大		
VOH	“H”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	IOH=-1mA	VCC-0.6			V
		XOUT	IOH=-0.1mA	2.7			V
		XOOUT	無負荷時		3.3		V
VOL	“L”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	IOL=1mA			0.5	V
		XOUT	IOL=0.1mA			0.5	V
		XOOUT	無負荷時		0		V
VT+~VT-	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INTO~INT5, ADTRG, CTS0~CTS4, CLK0~CLK4, TA0OUT~TA4OUT, NMI, KI0~KI3, RxD0~RxD4, SCL0~SCL4, SDA0~SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
IiH	“H”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), XIN, RESET, CNVSS, BYTE	VI=3V			4.0	μA
IiL	“L”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), XIN, RESET, CNVSS, BYTE	VI=0V			-4.0	μA
Rpullup	プルアップ抵抗	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	VI=0V	66	120	500	kΩ
RfXIN	帰還抵抗	XIN			3.0		MΩ
RfXCIN	帰還抵抗	XCIN			20.0		MΩ
Vram	RAM保持電圧	VDCオン		2.5			V
		VDCオフ		2.0			V
Icc	電源電流	測定条件 シングルチップモードで出力端子は開放、その他の端子はVSSに接続	f(XIN)=20MHz、方形波、分周なし		26	38	mA
			f(XCIN)=32kHz、ウェイト時 VDCオフ、Topr=25		5.0		μA
			f(XCIN)=32kHz、ウェイト時 VDCオン、Topr=25		340		μA
			クロック停止時、Topr=25		0.4	20	μA

注1. ポートP11~P15は144ピン版のみ存在します。

V_{CC}=3.3V表5.25 A/D変換特性 (指定のない場合は、V_{CC}=AV_{CC}=V_{REF}=3.0~3.6V, V_{SS}=AV_{SS}=0V, T_{opr}= -20~85, f(X_{IN})=20MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能		V _{REF} =V _{CC}			10	Bits
INL	積分非直線性誤差	S & H機能なし (8bit)	V _{CC} =V _{REF} =3.3V			±2	LSB
DNL	微分非直線性誤差	S & H機能なし (8bit)				±1	LSB
-	オフセット誤差					±2	LSB
-	ゲイン誤差					±2	LSB
R _{LADDER}	ラダー抵抗		V _{REF} =V _{CC}	8		40	kΩ
t _{CONV}	変換時間(8bit)			4.9			μs
V _{REF}	基準電圧			3.0		V _{CC}	V
V _{IA}	アナログ入力電圧			0		V _{REF}	V

S&H: サンプル&ホールド

注1. f(X_{IN})が10MHzを超える時は分周し、φ_{AD}を10MHz以下としてください。表5.26 D/A変換特性 (指定のない場合は、V_{CC}=V_{REF}=3.0~3.6V, V_{SS}=AV_{SS}=0V, T_{opr}= -20~85, f(X_{IN})=20MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
t _{SU}	設定時間				3	μs
R _O	出力抵抗		4	10	20	kΩ
I _{VREF}	基準電源入力電流	(注1)			1.0	mA

注1. D/Aコンバータを1本使用し、使用していないD/AコンバータのDA_iレジスタ(i=0,1)の値が“00₁₆”の場合です。A/Dコンバータのラダー抵抗分は除きます。AD_iCON1レジスタのVCUTビットを“0”(V_{REF}未接続)にした場合でも、I_{VREF}は流れます。

表5.27 フラッシュメモリの電気的特性

項目	規格値			単位
	最小	標準	最大	
プログラム時間 (1 Page)		8	120	ms
ブロック消去時間 (1 Block)		50	600	ms

注1. 指定のない場合は、V_{CC}=4.2~5.5V(VDCオン)、3.0~3.6V(VDCオフ)、T_{opr}=0~60 です。

Vcc=3.3V

タイミング必要条件 (指定のない場合は、Vcc=3.0 ~ 3.6V, Vss=0V, Topr= - 20 ~ 85)

表5.28 外部クロック入力

記号	項目	標準		単位
		最小	最大	
tc	外部クロック入力サイクル時間	50		ns
tw(H)	外部クロック入力“H”パルス時間	22		ns
tw(L)	外部クロック入力“L”パルス時間	22		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表5.29 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (RD基準、ウエイトなし)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトなし)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (RD基準、ウエイトあり)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトあり)		(注1)	ns
tac3(RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac3(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac4(RAS-DB)	データ入力アクセス時間 (RAS基準、DRAMアクセス)		(注1)	ns
tac4(CAS-DB)	データ入力アクセス時間 (CAS基準、DRAMアクセス)		(注1)	ns
tac4(CAD-DB)	データ入力アクセス時間 (CAD基準、DRAMアクセス)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	30		ns
tsu(RDY-BCLK)	RDY入力セットアップ時間	40		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	60		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(CAS-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	RDY入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数に応じて対の計算式で算出されます。ただし、計算値が負になる場合は、ウエイト入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$t_{ac1}(RD - DB) = \frac{10^9}{f(BCLK) \times 2} - 35 \text{ [ns]}$$

$$t_{ac1}(AD - DB) = \frac{10^9}{f(BCLK)} - 35 \text{ [ns]}$$

$$t_{ac2}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは1ウエイト時"3", 2ウエイト時"5", 3ウエイト時"7")}$$

$$t_{ac2}(AD - DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \text{ (nは1ウエイト時"2", 2ウエイト時"3", 3ウエイト時"4")}$$

$$t_{ac3}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは2ウエイト時"3", 3ウエイト時"5")}$$

$$t_{ac3}(AD - DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (nは2ウエイト時"5", 3ウエイト時"7")}$$

$$t_{ac4}(RAS - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは1ウエイト時"3", 2ウエイト時"5")}$$

$$t_{ac4}(CAS - DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (nは1ウエイト時"1", 2ウエイト時"3")}$$

$$t_{ac4}(CAD - DB) = \frac{10^9 \times l}{f(BCLK)} - 35 \text{ [ns]} \text{ (lは1ウエイト時"1", 2ウエイト時"2")}$$

V_{CC}=3.3Vタイミング必要条件 (指定のない場合は、V_{CC}=3.0~3.6V, V_{SS}=0V, Topr= -20~85)

表5.30 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TA)}	TA _{in} 入力サイクル時間	100		ns
t _{w(TAH)}	TA _{in} 入力“H”パルス幅	40		ns
t _{w(TAL)}	TA _{in} 入力“L”パルス幅	40		ns

表5.31 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TA)}	TA _{in} 入力サイクル時間	400		ns
t _{w(TAH)}	TA _{in} 入力“H”パルス幅	200		ns
t _{w(TAL)}	TA _{in} 入力“L”パルス幅	200		ns

表5.32 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TA)}	TA _{in} 入力サイクル時間	200		ns
t _{w(TAH)}	TA _{in} 入力“H”パルス幅	100		ns
t _{w(TAL)}	TA _{in} 入力“L”パルス幅	100		ns

表5.33 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _{w(TAH)}	TA _{in} 入力“H”パルス幅	100		ns
t _{w(TAL)}	TA _{in} 入力“L”パルス幅	100		ns

表5.34 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(UP)}	TA _{iout} 入力サイクル時間	2000		ns
t _{w(UPH)}	TA _{iout} 入力“H”パルス幅	1000		ns
t _{w(UPL)}	TA _{iout} 入力“L”パルス幅	1000		ns
t _{SU(UP-TIN)}	TA _{iout} 入力セットアップ時間	400		ns
t _{H(TIN-UP)}	TA _{iout} 入力ホールド時間	400		ns

VCC=3.3V

タイミング必要条件 (指定のない場合は、VCC=3.0~3.6V, VSS=0V, Topr= -20~85)

表5.35 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間 (片エッジカウント)	100		ns
tW(TBH)	TBin入力 “H” パルス幅 (片エッジカウント)	40		ns
tW(TBL)	TBin入力 “L” パルス幅 (片エッジカウント)	40		ns
tC(TB)	TBin入力サイクル時間 (両エッジカウント)	200		ns
tW(TBH)	TBin入力 “H” パルス幅 (両エッジカウント)	80		ns
tW(TBL)	TBin入力 “L” パルス幅 (両エッジカウント)	80		ns

表5.36 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力 “H” パルス幅	200		ns
tW(TBL)	TBin入力 “L” パルス幅	200		ns

表5.37 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力 “H” パルス幅	200		ns
tW(TBL)	TBin入力 “L” パルス幅	200		ns

表5.38 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tC(AD)	ADTRG入力サイクル時間 (トリガ可能最小)	1000		ns
tW(ADL)	ADTRG入力 “L” パルス幅	125		ns

表5.39 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
tC(CX)	CLKi入力サイクル時間	200		ns
tW(CXH)	CLKi入力 “H” パルス幅	100		ns
tW(CXL)	CLKi入力 “L” パルス幅	100		ns
td(C-Q)	TxDi出力遅延時間		80	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-Q)	RxDi入力セットアップ時間	30		ns
th(C-Q)	RxDi入力ホールド時間	90		ns

表5.40 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
tW(INH)	INTi入力 “H” パルス幅	250		ns
tW(INL)	INTi入力 “L” パルス幅	250		ns

V_{CC}=3.3Vスイッチング特性(指定のない場合は、V_{CC}=3.0 ~ 3.6V, V_{SS}=0V, T_{opr}= - 20 ~ 85)

表5.41 メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間			18	ns
th(BCLK-ALE)	ALE出力保持時間		-2		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9}{f(BCLK)} - 20 \quad [ns]$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$tw(WR) = \frac{10^9}{f(BCLK) \times 2} - 15 \quad [ns]$$

VCC=3.3V

スイッチング特性(指定のない場合は、VCC=3.0 ~ 3.6V, VSS=0V, Topr= - 20 ~ 85)

表5.42 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間			18	ns
th(BCLK-ALE)	ALE出力保持時間		-2		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9 \times n}{f(BCLK)} - 20 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"2"、3ウエイト時"3")$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"3"、3ウエイト時"5")$$

V_{CC}=3.3Vスイッチング特性(指定のない場合は、V_{CC}=3.0~3.6V, V_{SS}=0V, Topr= -20~85)

表5.43 メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-AD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		-2		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)		(注1)		ns
tdz(RD-AD)	アドレス出力ハイインピーダンス開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (m \text{は} 2 \text{ウエイト時} "3" \text{、} 3 \text{ウエイト時} "5")$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$td(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

$$th(ALE - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

VCC=3.3V

スイッチング特性(指定のない場合は、VCC=3.0 ~ 3.6V, VSS=0V, Topr= - 20 ~ 85)

表5.44 メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつDRAM領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-RAD)	行アドレス出力遅延時間	図5.1参照		18	ns
th(BCLK-RAD)	行アドレス出力保持時間 (BCLK基準)		0		ns
td(BCLK-CAD)	列アドレス出力遅延時間			18	ns
th(BCLK-CAD)	列アドレス出力保持時間 (BCLK基準)		0		ns
th(RAS-RAD)	RAS出力後行アドレス出力保持時間		(注1)		ns
td(BCLK-RAS)	RAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-RAS)	RAS出力保持時間 (BCLK基準)		0		ns
trp	RAS "H" 保持時間		(注1)		ns
td(BCLK-CAS)	CAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-CAS)	CAS出力保持時間 (BCLK基準)		0		ns
td(BCLK-DW)	DW出力遅延時間 (BCLK基準)			18	ns
th(BCLK-DW)	DW出力保持時間 (BCLK基準)		-3		ns
tsu(DB-CAS)	DB出力後CAS出力セットアップ時間		(注1)		ns
th(BCLK-DB)	DB出力保持時間 (BCLK standard)		-7		ns
tsu(CAS-RAS)	RAS出力前CAS出力セットアップ時間 (リフレッシュ)		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$th(RAS - RAD) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

$$trp = \frac{10^9}{f(BCLK) \times 2} \times 3 - 20 \quad [ns]$$

$$tsu(DB - CAS) = \frac{10^9}{f(BCLK)} - 20 \quad [ns]$$

$$tsu(CAS - RAS) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

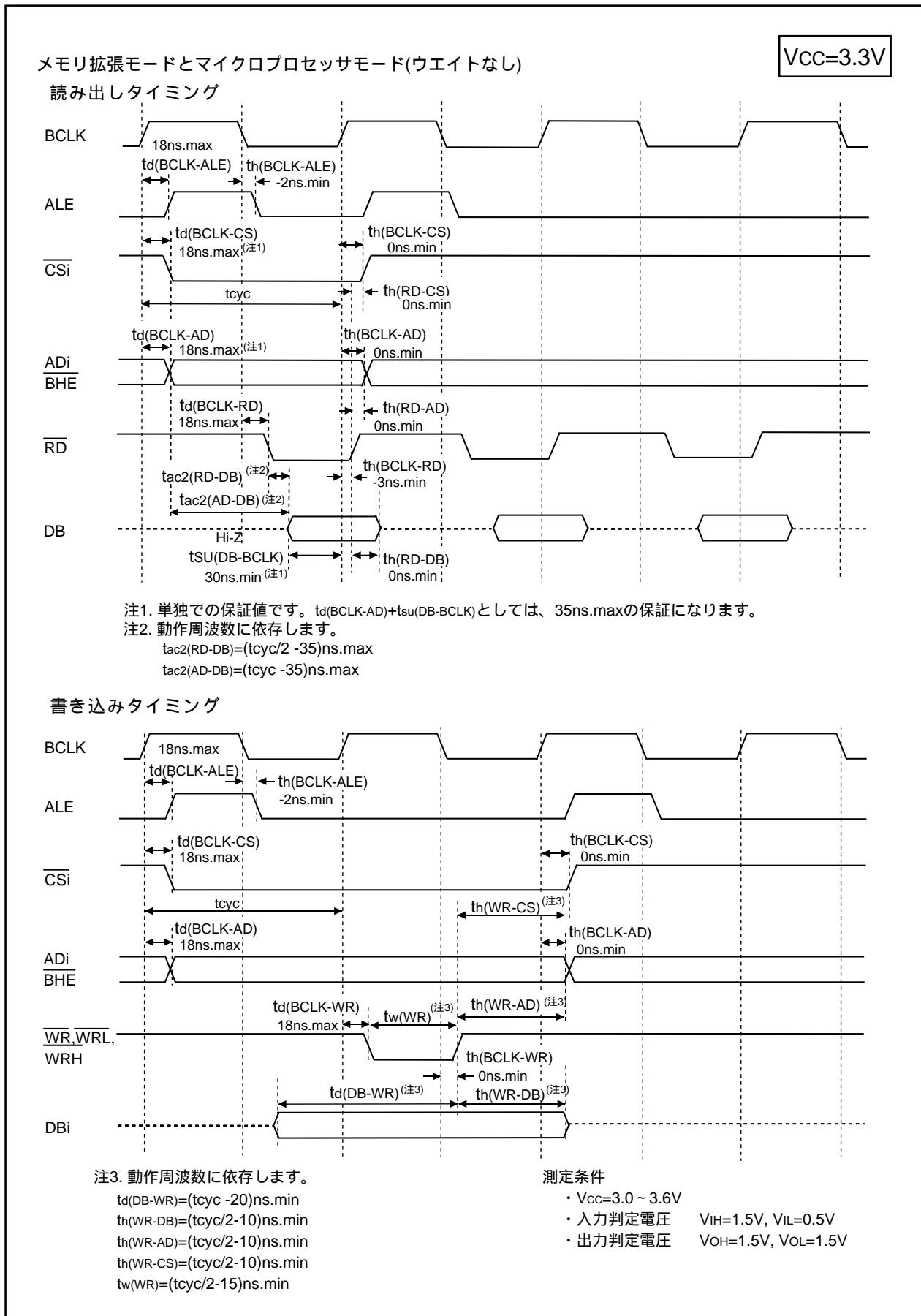


図5.10 Vcc=3.3V時のタイミング図(1)

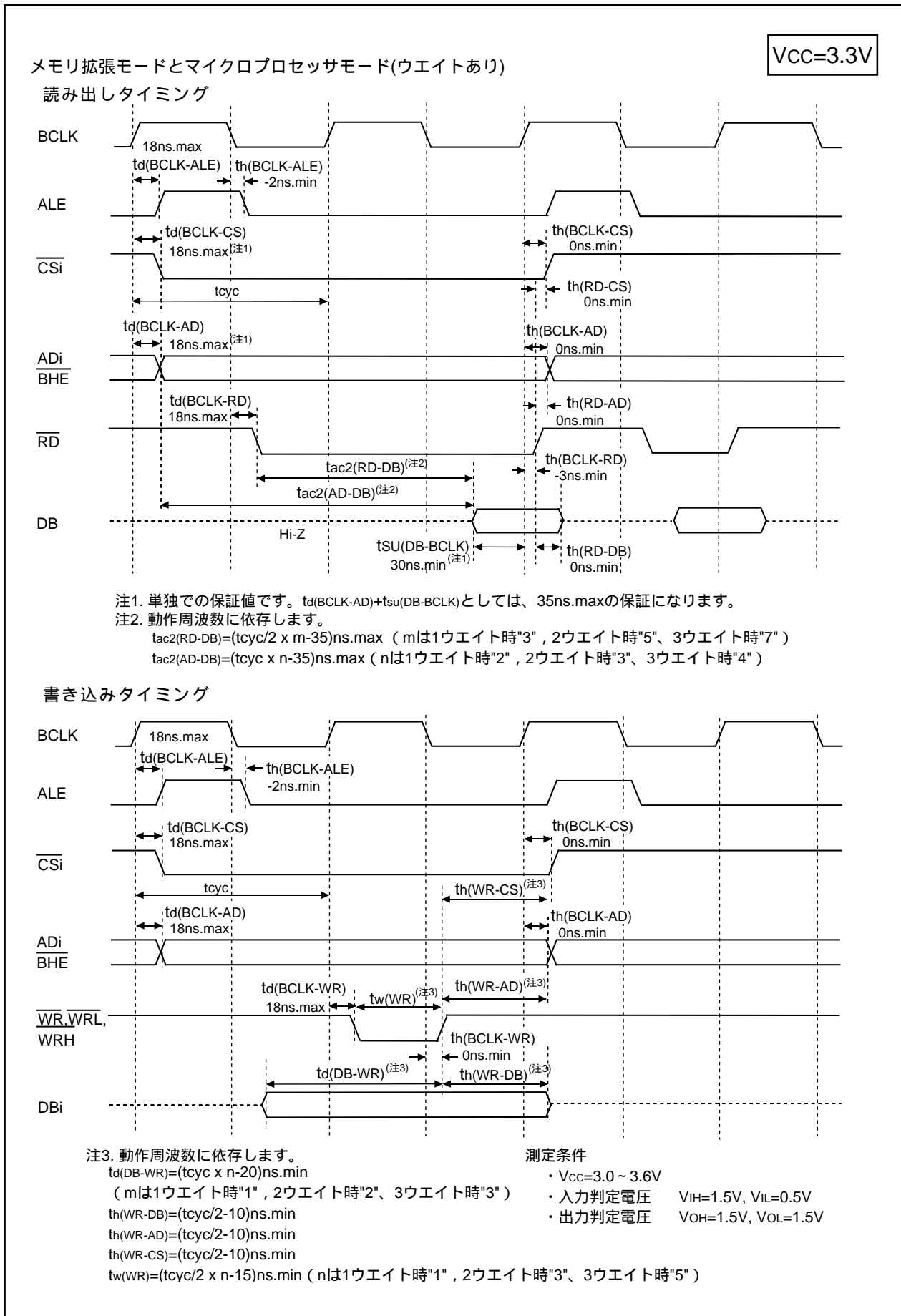


図5.11 Vcc=3.3V時のタイミング図(2)

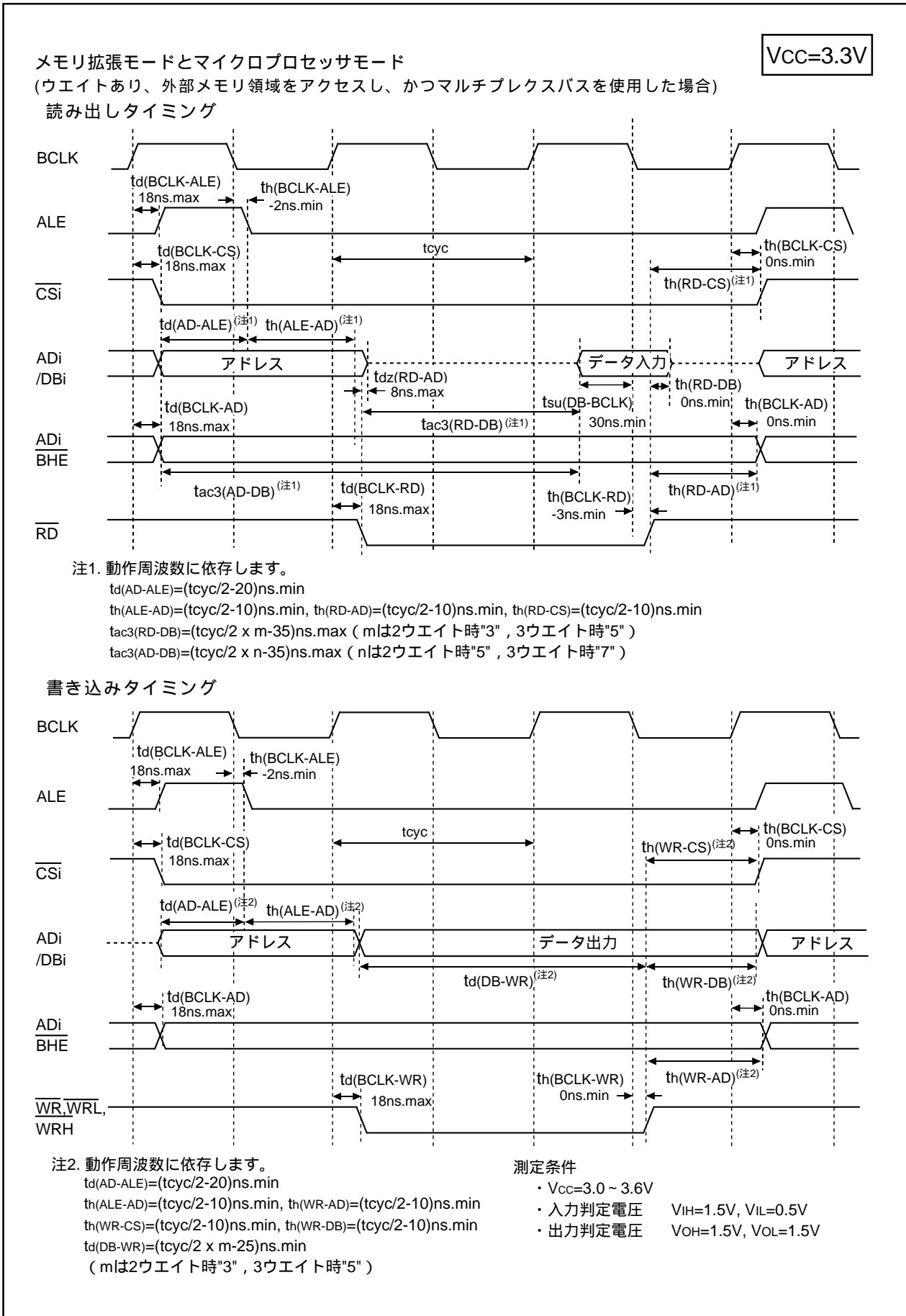


図5.12 Vcc=3.3V時のタイミング図(3)

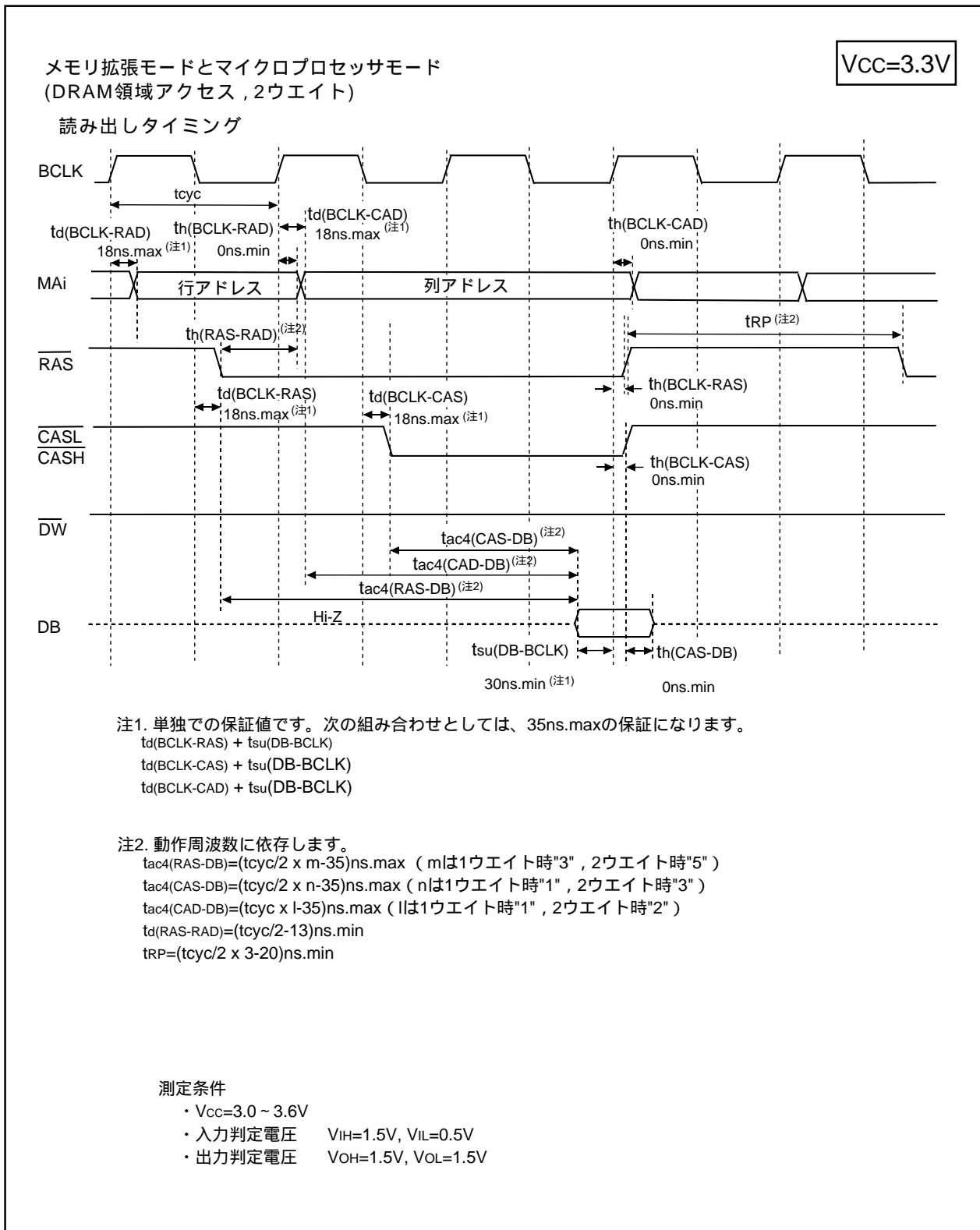
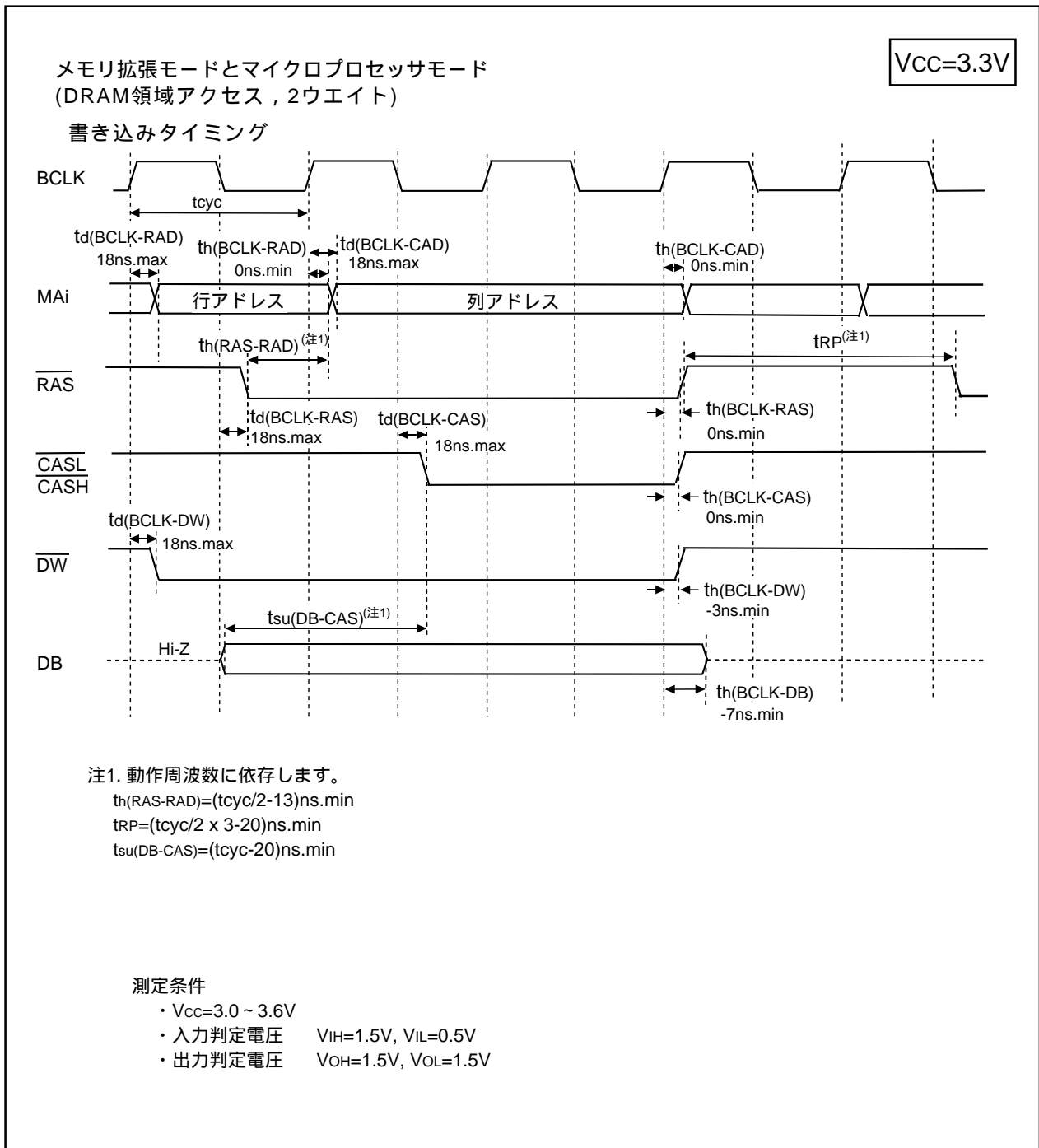


図5.13 Vcc=3.3V時のタイミング図(4)

図5.14 V_{CC}=3.3V時のタイミング図(5)

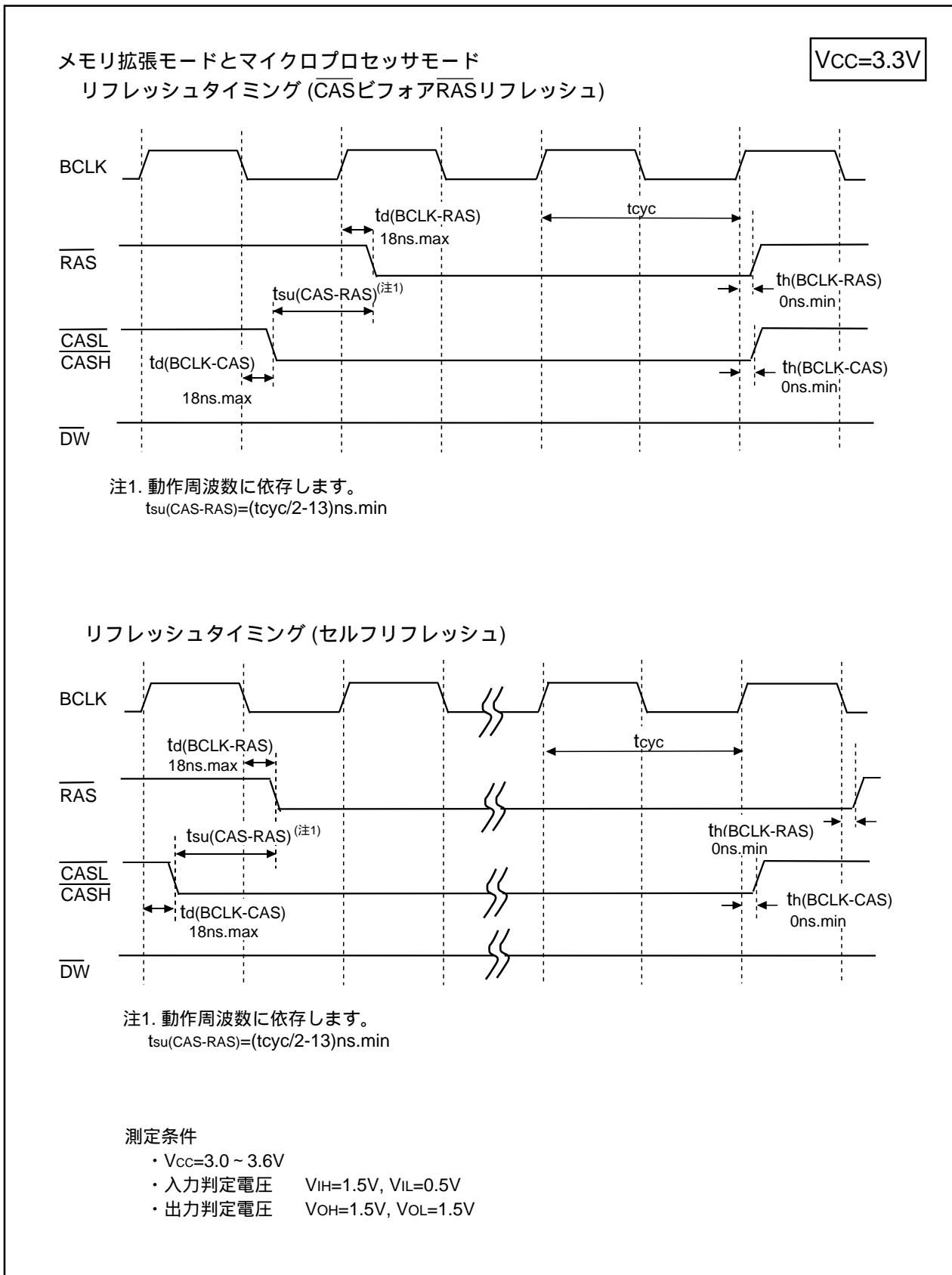


図5.15 Vcc=3.3V時のタイミング図(6)

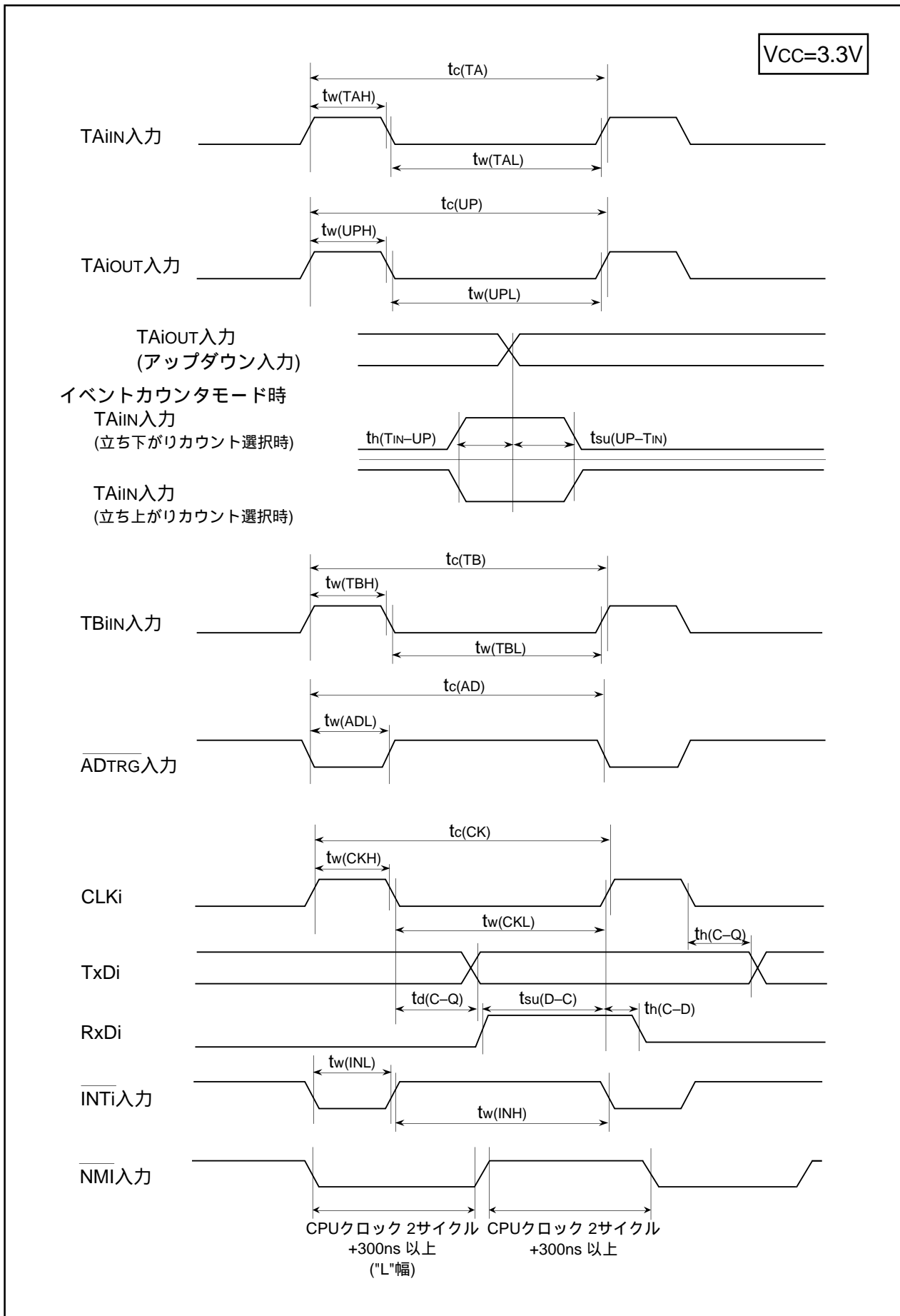


図5.16 Vcc=3.3V時のタイミング図(7)

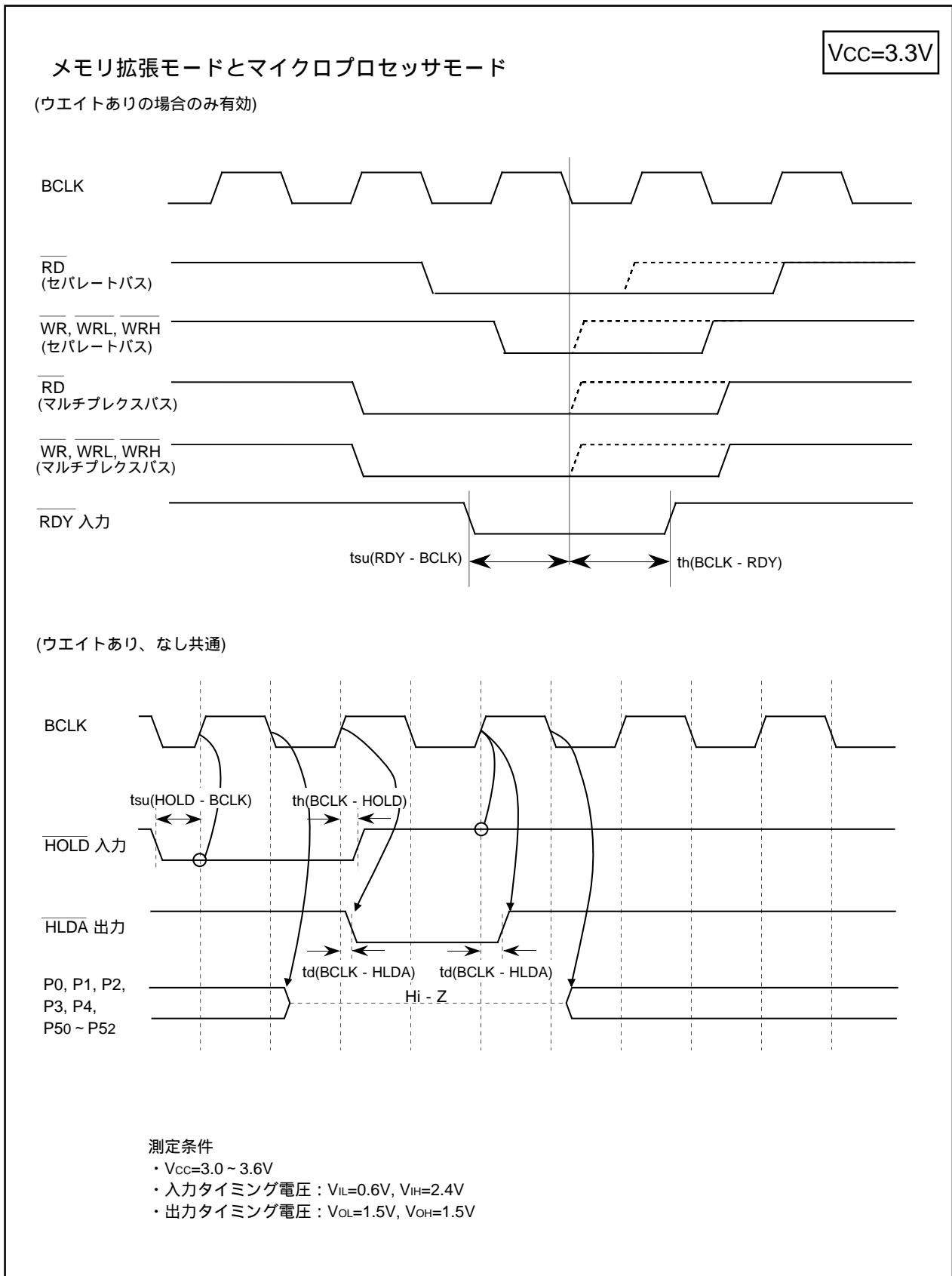


図5.17 Vcc=3.3V時のタイミング図(8)

5.2 電気的特性(M32C/83T)

表5.45 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC}	電源電圧		V _{CC} =AV _{CC}	-0.3 ~ 6.0	V
AV _{CC}	アナログ電源電圧		V _{CC} =AV _{CC}	-0.3 ~ 6.0	V
V _I	入力電圧	RESET, CNV _{SS} , BYTE, P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 ^(注1) , V _{REF} , X _{IN}		-0.3 ~ V _{CC} +0.3	V
		P70, P71		-0.3 ~ 6.0	V
V _O	出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 ^(注1) , X _{OUT}		-0.3 ~ V _{CC} +0.3	V
P _d	消費電力		T _{opr} =25	400	mW
T _{opr}	動作周囲温度		Tバージョン	-40 ~ 85	
T _{stg}	保存温度			-65 ~ 150	

注1. ポートP11 ~ P15は144ピン版のみ存在します。

表5.46 推奨動作条件(指定のない場合は、 $V_{CC}=4.2V \sim 5.5V$, $V_{SS}=0V$, $T_{opr} = -40 \sim 85$ (Tバージョン))

記号	項目	規格値			単位	
		最小	標準	最大		
V_{CC}	電源電圧	4.2	5.0	5.5	V	
AV_{CC}	アナログ電源電圧		V_{CC}		V	
V_{SS}	電源電圧		0		V	
AV_{SS}	アナログ電源電圧		0		V	
V_{IH}	“H”入力電圧	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₇ (注3), P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注4), X _{IN} , \overline{RESET} , CNV _{SS} , BYTE P7 ₀ , P7 ₁	0.8V _{CC}		V_{CC}	V
V_{IL}	“L”入力電圧	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ (注3), P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注4), X _{IN} , \overline{RESET} , CNV _{SS} , BYTE	0		0.2V _{CC}	V
$I_{OH(peak)}$	“H”尖頭出力電流(注2)	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注4)			-10.0	mA
$I_{OH(avg)}$	“H”平均出力電流(注1)	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注4)			-5.0	mA
$I_{OL(peak)}$	“L”尖頭出力電流(注2)	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注4)			10.0	mA
$I_{OL(avg)}$	“L”平均出力電流(注1)	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注4)			5.0	mA
$f(X_{IN})$	メインクロック入力周波数	$V_{CC}=4.2 \sim 5.5V$	0		32	MHz
$f(X_{CIN})$	サブクロック発振周波数			32.768	50	kHz

注1．平均出力電流は100msの期間内の平均値です。

注2．ポートP0, P1, P2, P8₆, P8₇, P9, P10, P11, P14, P15の $I_{OL(peak)}$ の合計は80mA以下、ポートP0, P1, P2, P8₆, P8₇, P9, P10, P11, P14, P15の $I_{OH(peak)}$ の合計は-80mA以下、ポートP3, P4, P5, P6, P7, P8₀ ~ P8₄, P12, P13の $I_{OL(peak)}$ の合計は80mA以下、ポートP3, P4, P5, P6, P7₂ ~ P7₇, P8₀ ~ P8₄, P12, P13の $I_{OH(peak)}$ の合計は-80mA以下にしてください。

注3．P8₇の V_{IH} 、 V_{IL} はP8₇をプログラマブル入力ポートとして使用する場合の規格であり、 X_{CIN} として使用する場合の規格ではありません。

注4．ポートP11 ~ P15は144ピン版のみ存在します。

VCC=5V

表5.47 電気的特性(指定のない場合は、VCC=4.2~5.5V,VSS=0V,Topr= -40~85 (Tバージョン), f(XIN)=32MHz)

記号	項目	測定条件	標準			単位	
			最小	標準	最大		
V _{OH}	“H”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	I _{OH} =-5mA	V _{CC} -2.0			V
		P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	I _{OH} =-200μA	V _{CC} -0.3			
	X _{OUT}	I _{OH} =-1mA	3.0			V	
	X _{COUT}	無負荷時		3.3		V	
V _{OL}	“L”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	I _{OL} =5mA			2.0	V
		P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	I _{OL} =200μA			0.45	V
	X _{OUT}	I _{OL} =1mA			2.0	V	
	X _{COUT}	無負荷時		0		V	
V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, ADTRG, CTS0~CTS4, CLK0~CLK4, TA0OUT~TA4OUT, NMI, KI0~KI3, RxD0~RxD4, SCL0~SCL4, SDA0~SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
I _{IH}	“H”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1) , X _{IN} , RESET, CNVSS, BYTE	V _I =5V			5.0	μA
I _{IL}	“L”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1) , X _{IN} , RESET, CNVSS, BYTE	V _I =0V			-5.0	μA
R _{PULLUP}	プルアップ抵抗	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	V _I =0V	30	50	167	kΩ
R _{fXIN}	帰還抵抗	X _{IN}			1.5		MΩ
R _{fXCIN}	帰還抵抗	X _{CIN}			10		MΩ
V _{RAM}	RAM保持電圧			2.5			V
I _{CC}	電源電流	測定条件 シングルチップモードで出力端子は開放、その他の端子はV _{SS} に接続	f(X _{IN})=32MHz、方形波、分周なし		40	54	mA
			f(X _{CIN})=32kHz、ウェイト時、Topr=25		470		μA
			クロック停止時、Topr=25		0.4	20	μA

注1. ポートP11~P15は144ピン版のみ存在します。

VCC=5V

表5.48 A/D変換特性 (指定のない場合は、VCC=AVCC=VREF=4.2~5.5V, VSS=AVSS=0V, Topr= -40~85 (Tバージョン), f(XIN)=32MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	VREF=VCC			10	Bits	
INL	積分非直線性誤差	VREF=VCC=5V	AN0-AN7 ANEX0, ANEX1			±3	LSB
							LSB
			外部オペアンプ 接続モード			±7	LSB
						LSB	
DNL	微分非直線性誤差				±1	LSB	
-	オフセット誤差				±3	LSB	
-	ゲイン誤差				±3	LSB	
RLADDER	ラダー抵抗	VREF=VCC	8		40	kΩ	
tCONV	変換時間(10bit)		2.1			μs	
tCONV	変換時間(8bit)		1.8			μs	
tsAMP	サンプリング時間		0.2			μs	
VREF	基準電圧		2		VCC	V	
VIA	アナログ入力電圧		0		VREF	V	

注1. f(XIN)が16MHzを超える時は分周し、φADを16MHz以下としてください。

表5.49 D/A変換特性 (指定のない場合は、VCC=VREF=4.2~5.5V, VSS=AVSS=0V, Topr= -40~85 (Tバージョン), f(XIN)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	kΩ
IvREF	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本使用し、使用していないDAコンバータのDAiレジスタ(i=0,1)の値が“0016”の場合です。A/Dコンバータのラダー抵抗分は除きます。

ADiCON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IvREFは流れます。

表5.50 フラッシュメモリの電気的特性

項目	規格値			単位
	最小	標準	最大	
プログラム時間 (1 Page)		8	120	ms
ブロック消去時間 (1 Block)		50	600	ms

注1. 指定のない場合は、Vcc=4.2~5.5V、Topr=0~60 です。

VCC=5V

タイミング必要条件

(指定のない場合は、VCC=4.2 ~ 5.5V, VSS=0V, Topr= - 40 ~ 85 (Tバージョン))

表5.51 外部クロック入力

記号	項目	標準		単位
		最小	最大	
tc	外部クロック入力サイクル時間	33		ns
tw(H)	外部クロック入力“H”パルス時間	13		ns
tw(L)	外部クロック入力“L”パルス時間	13		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

VCC=5V

タイミング必要条件 (指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr= -40~85 (Tバージョン))

表5.52 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	100		ns
tw(TAH)	TAiIn入力“H”パルス幅	40		ns
tw(TAL)	TAiIn入力“L”パルス幅	40		ns

表5.53 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	400		ns
tw(TAH)	TAiIn入力“H”パルス幅	200		ns
tw(TAL)	TAiIn入力“L”パルス幅	200		ns

表5.54 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	200		ns
tw(TAH)	TAiIn入力“H”パルス幅	100		ns
tw(TAL)	TAiIn入力“L”パルス幅	100		ns

表5.55 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIn入力“H”パルス幅	100		ns
tw(TAL)	TAiIn入力“L”パルス幅	100		ns

表5.56 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOuT入力サイクル時間	2000		ns
tw(UPH)	TAiOuT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOuT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOuT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOuT入力ホールド時間	400		ns

VCC=5V

タイミング必要条件 (指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr= -40~85 (Tバージョン))

表5.57 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間(片エッジカウント)	100		ns
tW(TBH)	TBin入力“H”パルス幅(片エッジカウント)	40		ns
tW(TBL)	TBin入力“L”パルス幅(片エッジカウント)	40		ns
tC(TB)	TBin入力サイクル時間(両エッジカウント)	200		ns
tW(TBH)	TBin入力“H”パルス幅(両エッジカウント)	80		ns
tW(TBL)	TBin入力“L”パルス幅(両エッジカウント)	80		ns

表5.58 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力“H”パルス幅	200		ns
tW(TBL)	TBin入力“L”パルス幅	200		ns

表5.59 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力“H”パルス幅	200		ns
tW(TBL)	TBin入力“L”パルス幅	200		ns

表5.60 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tC(AD)	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
tW(ADL)	ADTRG入力“L”パルス幅	125		ns

表5.61 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
tC(CX)	CLKi入力サイクル時間	200		ns
tW(CXH)	CLKi入力“H”パルス幅	100		ns
tW(CXL)	CLKi入力“L”パルス幅	100		ns
td(C-Q)	TxDi出力遅延時間		80	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-Q)	RxDi入力セットアップ時間	30		ns
th(C-Q)	RxDi入力ホールド時間	90		ns

表5.62 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
tW(INH)	INTi入力“H”パルス幅	250		ns
tW(INL)	INTi入力“L”パルス幅	250		ns

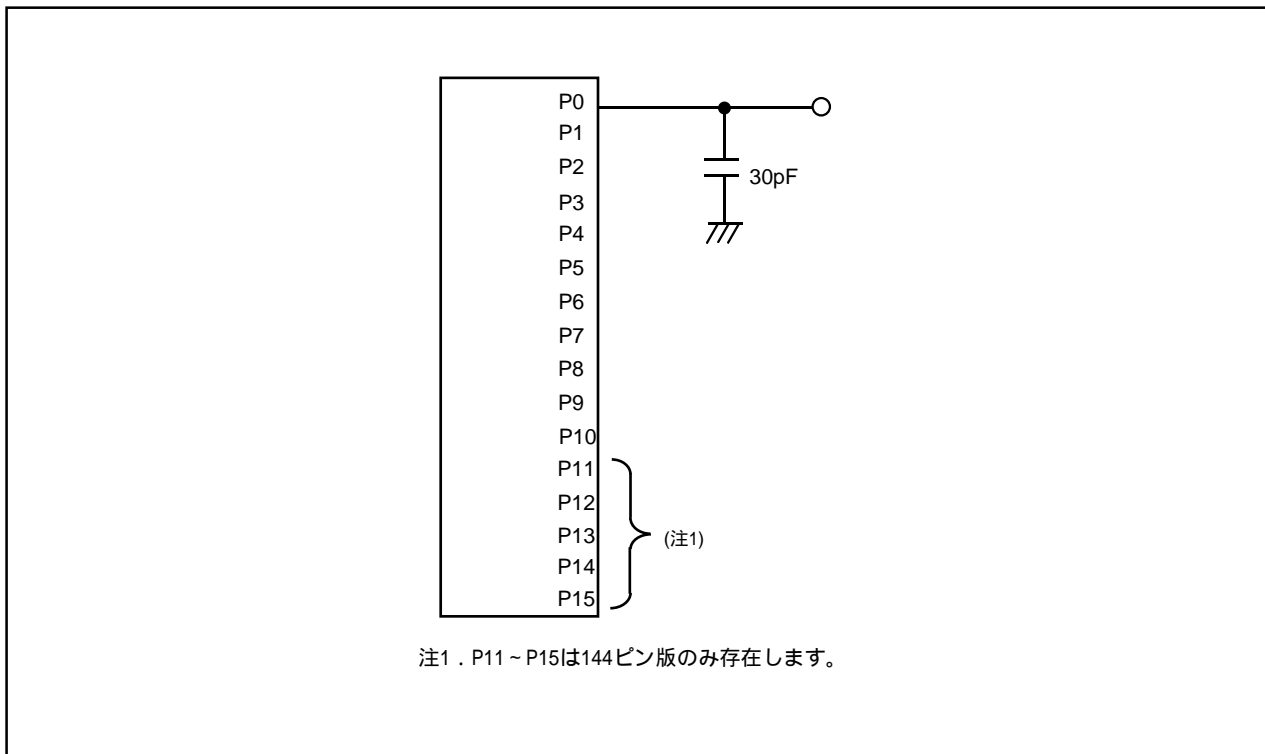


図5.18 ポートP0 ~ P15の測定回路

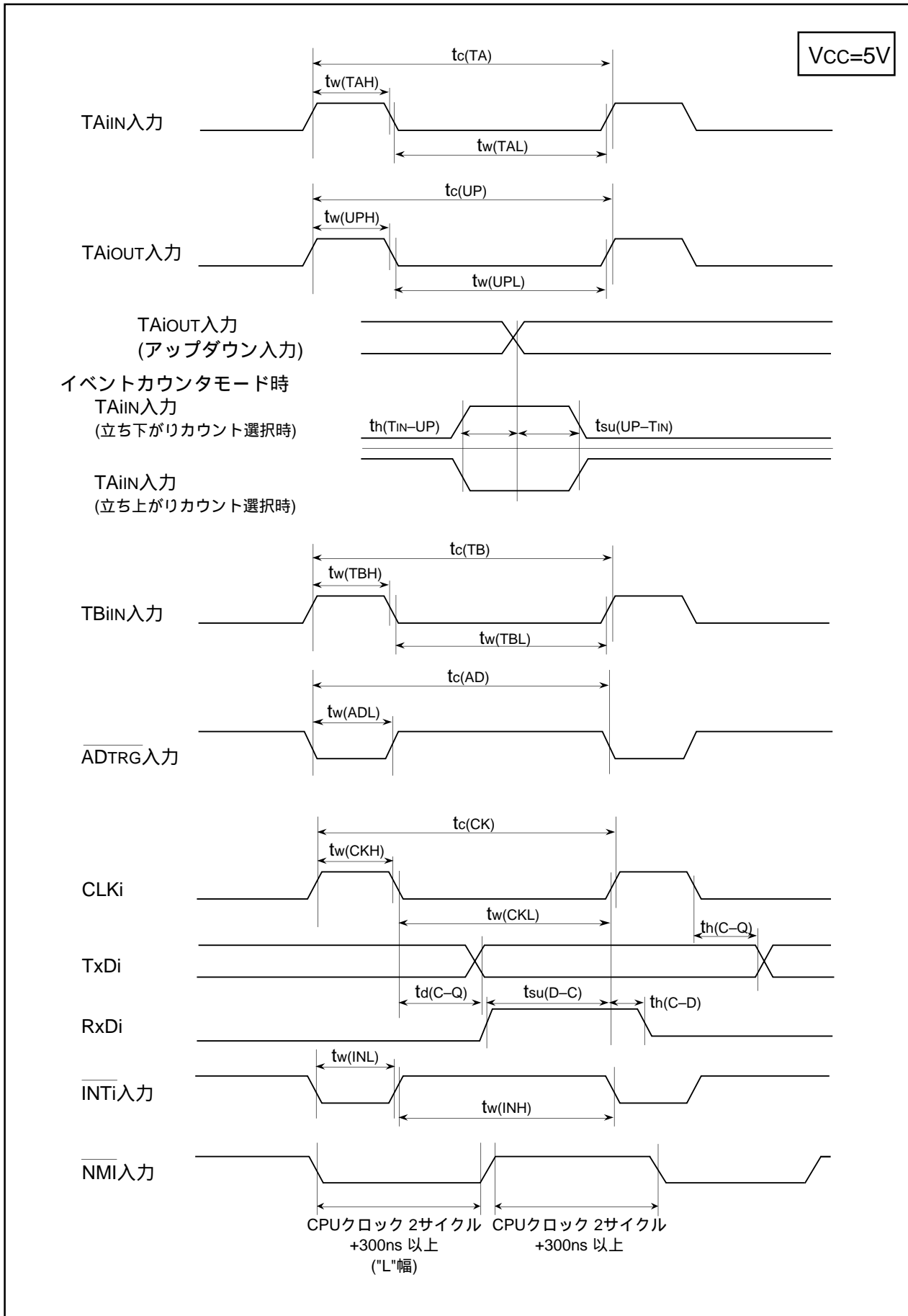
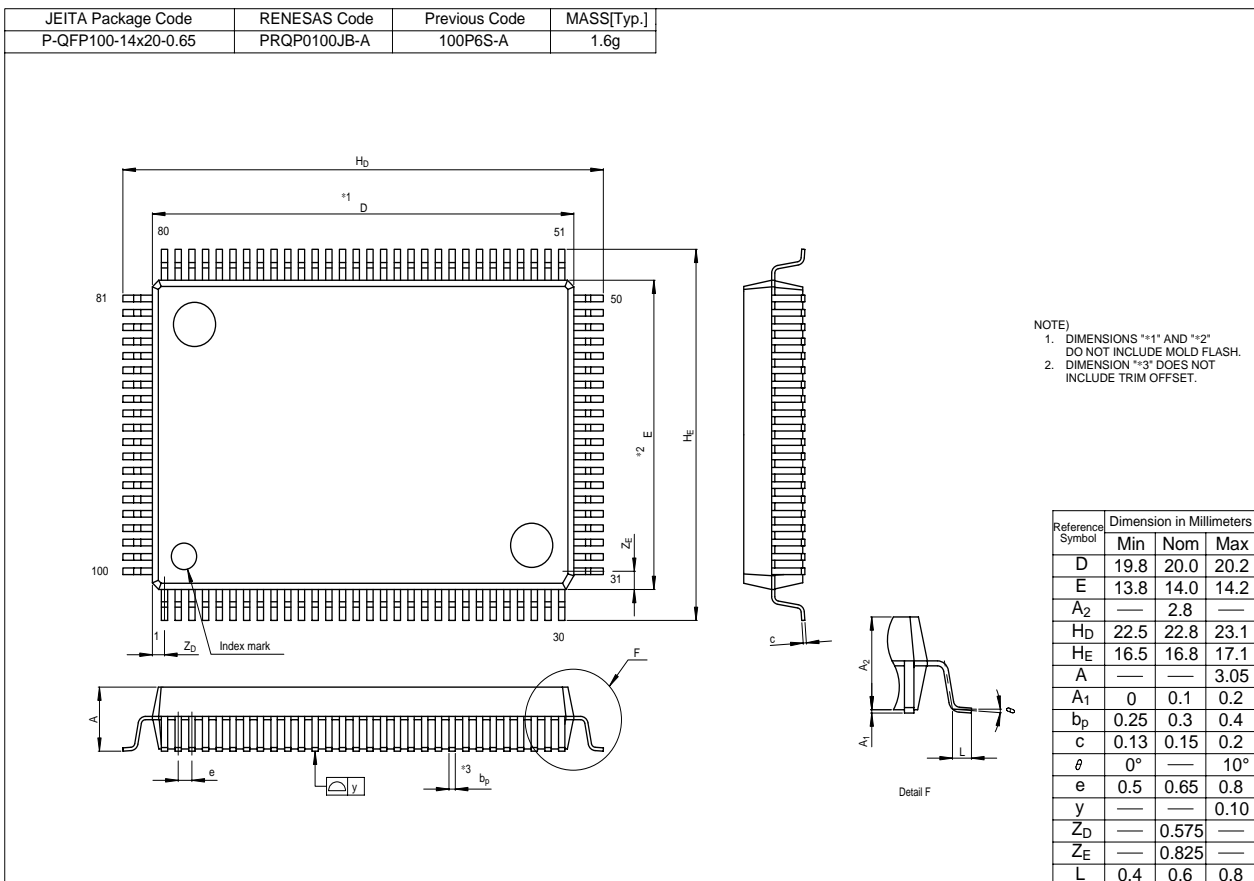
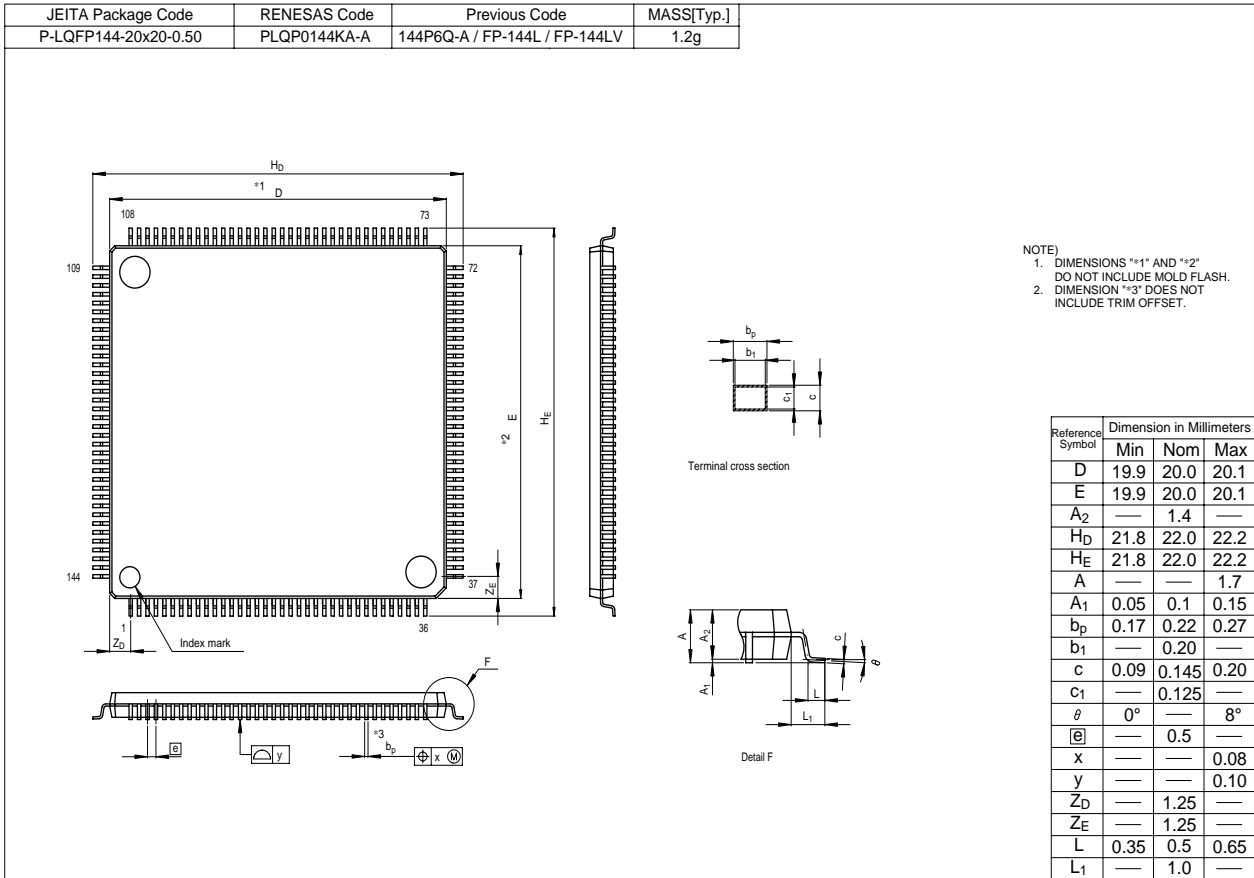
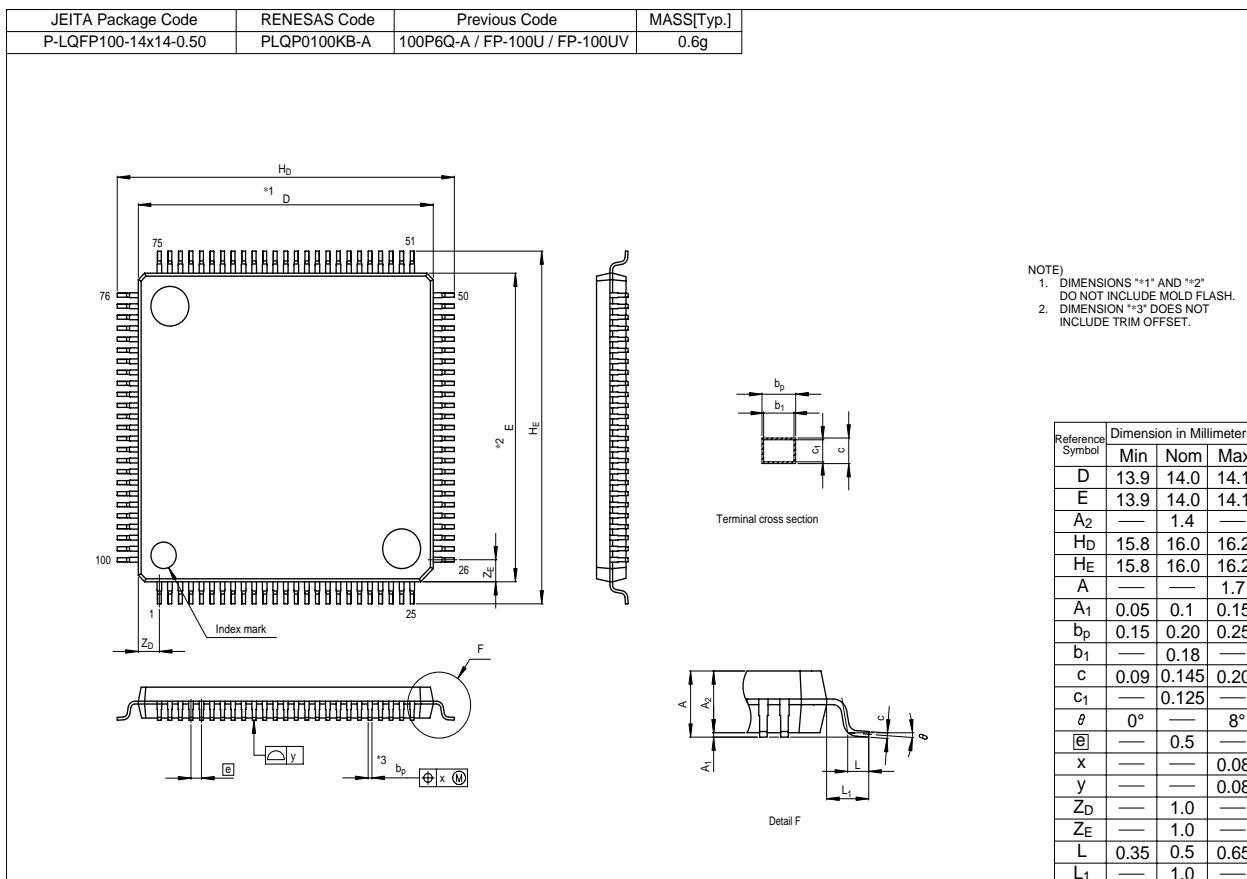


図5.19 Vcc=5V時のタイミング図(1)

外形寸法図





改訂記録	M32C/83グループ(M32C/83、M32C/83T)ショートシート/データシート
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	03/09/30	--	初版発行
1.11	03/10/27	66	電気的特性 表 5.24 電気的特性 電源電流の測定条件を修正 (VDC オフ、VDC オンが逆)
1.20	04/03/12	2, 3 47 48	概要 ・表 1.1、1.2 M32C/83 グループの性能概要 最大動作周波数を 30MHz から 32MHz に変更、電源電圧、消費電流に 32MHz 時の値を追加 電気的特性 ・表 5.2 推奨動作条件 メインクロック入力周波数に 32MHz を追加 ・表 5.3 電気的特性
1.30	04/06/01	全ページ	・用語統一 (統一用語: オンチップオシレータ、ウォッチドッグタイマ、A/D コンバータ、D/A コンバータ) ・誤記修正
1.40	05/10/28	全ページ 1 5 7, 12 14 21 22 46 54 64 72 81	・Tバージョン追加、パッケージ型名の変更 概要 ・1.1 応用 自動車を追加 ・表 1.3 製品一覧表 更新、注記追加 ・表 1.4、1.5 ピン端子名一覧表 注1を追加 ・表 1.6 端子の機能説明 構成を変更、注記を追加 メモリ ・図 3.1 メモリ配置図 注2変更、注3、4追加、予約領域(XXXXXX ₁₆ 008000 ₁₆)に注1を追加 SFR ・WCR、DS レジスタに注2を追加 電気的特性 ・表 5.3 電気的特性 V_{OH} $I_{OH}=-5mA$ 時、最小標準値を 3.0V $V_{CC}=2.0V$ に変更 $I_{OH}=-200mA$ 時、最小標準値を 4.7V $V_{CC}=0.3V$ に変更 電源電流 測定条件 $f(X_{IN})=32MHz$ 、方形波、分周なし 標準値を 41mA 40mA に変更、最大値を 58mA 54mA に変更 測定条件 $f(X_{IN})=30MHz$ 、方形波、分周なしを削除 ・表 5.23 メモリ拡張モードおよびマクロプロセッサモード 行アドレス出力遅延時間を $t_{d(BCLK-RAD)}$ に修正 行アドレス出力保持時間(BCLK 基準)を $t_{h(BCLK-RAD)}$ に修正 ・表 5.24 電気的特性 V_{OH} $I_{OH}=-1mA$ 時、最小標準値を 2.7V $V_{CC}=0.6V$ に変更 ・表 5.44 メモリ拡張モードおよびマクロプロセッサモード 行アドレス出力遅延時間を $t_{d(BCLK-RAD)}$ に修正 行アドレス出力保持時間(BCLK 基準)を $t_{h(BCLK-RAD)}$ に修正 ・5.2 電気的特性(M32C/83T)を追加

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com