

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

1.1 特長

M32C/8A グループは高性能シリコンゲート CMOS プロセスを採用し、M32C/80 シリーズ CPU コアを搭載したシングルチップマイクロコンピュータで、144 ピン版と 100 ピン版があります。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16M バイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器や DMAC があるため、高速な演算処理が必要な OA、通信機器、産業機器の制御に適したマイクロコンピュータです。

M32C/8A グループは ROM レス版です。
リセット後、マイクロプロセッサモードで使用してください。

1.1.1 用途

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

1.1.2 仕様概要

表1.1～表1.4に仕様概要を示します。

表1.1 仕様概要(144ピン版)(1)

分類	機能	説明
CPU	中央演算処理装置	M32C/80コア(乗算器:16ビット×16ビット→32ビット、 積和演算命令:16ビット×16ビット+48ビット→48ビット) <ul style="list-style-type: none"> 基本命令数:108 最小命令実行時間:31.3ns (f(CPU)=32MHz/VCC1=4.2~5.5V) 41.7ns (f(CPU)=24MHz/VCC1=3.0~5.5V) 動作モード:マイクロプロセッサモード
メモリ	ROM、RAM	「表1.5製品一覧表」を参照してください。
電圧検出機能		Vdet3検出機能、Vdet4検出機能、コールドスタート/ウォームスタート判定機能
外部バス 拡張	バス メモリ拡張機能	<ul style="list-style-type: none"> アドレス空間:16Mバイト 外部バスインタフェース:1~7ウェイト挿入可、チップセレクト4出力、3V、5Vインタフェース バス形式:セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、オンチップオシレータ、PLL周波数シンセサイザ 発振停止検出:メインクロック発振停止 周波数分周回路:1,2,3,4,6,8,10,12,14,16分周選択 低消費電力機構:ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数:70 外部割り込み入力: NMI×1 INT×3(外部バス幅16ビット) INT×6(外部バス幅8ビット) キー入力×4 割り込み優先レベル:7レベル
ウォッチドッグタイマ		15ビット×1(プリスケール付)
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因:31 転送モード:2(単転送、リピート転送)
	DMACII	<ul style="list-style-type: none"> すべての周辺機能割り込み要因で起動 転送方式:2(単転送、バースト転送) 即値転送機能、演算転送機能、チェーン転送機能
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード、イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアル インタ フェース	UART0~UART4	クロック同期/非同期兼用×5チャンネル I ² C bus、特殊モード2、GCIモード、SIMモード、IEBus(オプション)(注1、2)
A/Dコンバータ		分解能10ビット×18チャンネル サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT(X ¹⁶ +X ¹² +X ⁵ +1)に準拠
X/Y変換回路		16ビット×16ビット

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.2 仕様概要(144ピン版)(2)

分類	機能	説明
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> •入力専用 : 1 •CMOS入出力 : 81 (外部バス幅8ビット) 73 (外部バス幅16ビット) プルアップ抵抗選択可能 •Nchオープンドレインポート : 2
動作周波数 / 電源電圧		32MHz / VCC1=4.2~5.5V、VCC2=3.0V~VCC1 24MHz / VCC1=3.0~5.5V、VCC2=3.0V~VCC1
消費電流		28mA (32MHz / VCC1=VCC2=5V) 22mA (24MHz / VCC1=VCC2=3.3V) 45 μ A (約1MHz / VCC1=VCC2=3.3V、オンチップオシレータ低消費電力モード→ ウェイトモード) 0.8 μ A (VCC1=VCC2=3.3V、ストップモード)
動作周囲温度(°C)		-20~85°C
パッケージ		144ピンLQFP(PLQP0144KA-A)

表 1.3 仕様概要(100ピン版)(1)

分類	機能	説明
CPU	中央演算処理装置	M32C/80コア(乗算器: 16ビット×16ビット→32ビット、 積和演算命令: 16ビット×16ビット+48ビット→48ビット) <ul style="list-style-type: none"> 基本命令数: 108 最小命令実行時間: 31.3ns (f(CPU)=32MHz / VCC1=4.2~5.5V) 41.7ns (f(CPU)=24MHz / VCC1=3.0~5.5V) 動作モード: マイクロプロセッサモード
メモリ	ROM、RAM	「表 1.5 製品一覧表」を参照してください。
電圧検出機能		Vdet3検出機能、Vdet4検出機能、コールドスタート/ウォームスタート判定機能
外部バス 拡張	バス メモリ拡張機能	<ul style="list-style-type: none"> アドレス空間: 16Mバイト 外部バスインタフェース: 1~7ウェイト挿入可、チップセレクト4出力、3V、5Vインタフェース バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、オンチップオシレータ、PLL周波数シンセサイザ 発振停止検出: メインクロック発振停止 周波数分周回路: 1,2,3,4,6,8,10,12,14,16分周選択 低消費電力機構: ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数: 70 外部割り込み入力: NMI × 1 INT × 3 (外部バス幅16ビット) INT × 6 (外部バス幅8ビット) キー入力 × 4 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因: 31 転送モード: 2(単転送、リピート転送)
	DMACII	<ul style="list-style-type: none"> すべての周辺機能割り込み要因で起動 転送方式: 2(単転送、バースト転送) 即値転送機能、演算転送機能、チェーン転送機能
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード、イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアル インタ フェース	UART0~UART4	クロック同期/非同期兼用×5チャンネル I ² C bus、特殊モード2、GCIモード、SIMモード、IEBus(オプション)(注1、2)
A/Dコンバータ		分解能10ビット×10チャンネル サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT(X ¹⁶ +X ¹² +X ⁵ +1)に準拠
X/Y変換回路		16ビット×16ビット

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.4 仕様概要(100ピン版)(2)

分類	機能	説明
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> •入力専用 : 1 •CMOS入出力 : 45 (外部バス幅8ビット) 37 (外部バス幅16ビット) プルアップ抵抗選択可能 •Nchオープンドレインポート : 2
動作周波数 / 電源電圧		32MHz / VCC1=4.2~5.5V、VCC2=3.0V~VCC1 24MHz / VCC1=3.0~5.5V、VCC2=3.0V~VCC1
消費電流		28mA (32MHz / VCC1=VCC2=5V) 22mA (24MHz / VCC1=VCC2=3.3V) 45 μ A (約1MHz / VCC1=VCC2=3.3V、オンチップオシレータ低消費電力モード→ ウェイトモード) 0.8 μ A(VCC1=VCC2=3.3V、ストップモード)
動作周囲温度(°C)		-20~85°C
パッケージ		100ピンLQFP(PLQP0100KB-A)

1.2 製品一覧

表1.5に製品一覧表、図1.1に型名とメモリサイズ・パッケージを示します。

表1.5 製品一覧表

2009年3月現在

型名	パッケージ	ROM容量	RAM容量	備考
M308A0SGP	PLQP0100KB-A (100P6Q-A)	-	12Kバイト	ROMレス版
M308A3SGP	PLQP0100KB-A (100P6Q-A)		24Kバイト	
M308A5SGP	PLQP0144KA-A (144P6Q-A)			

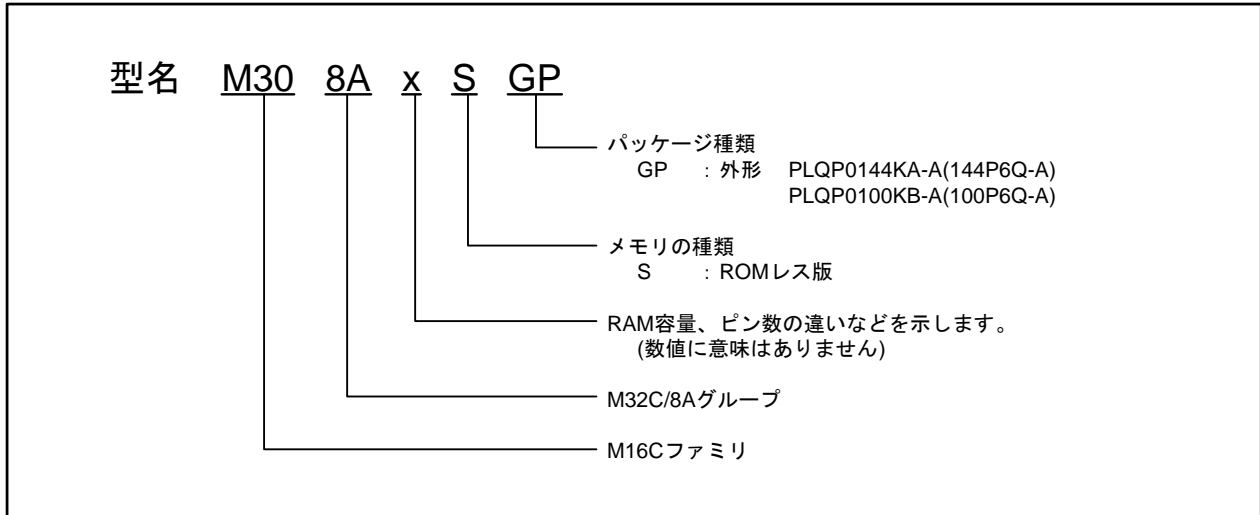
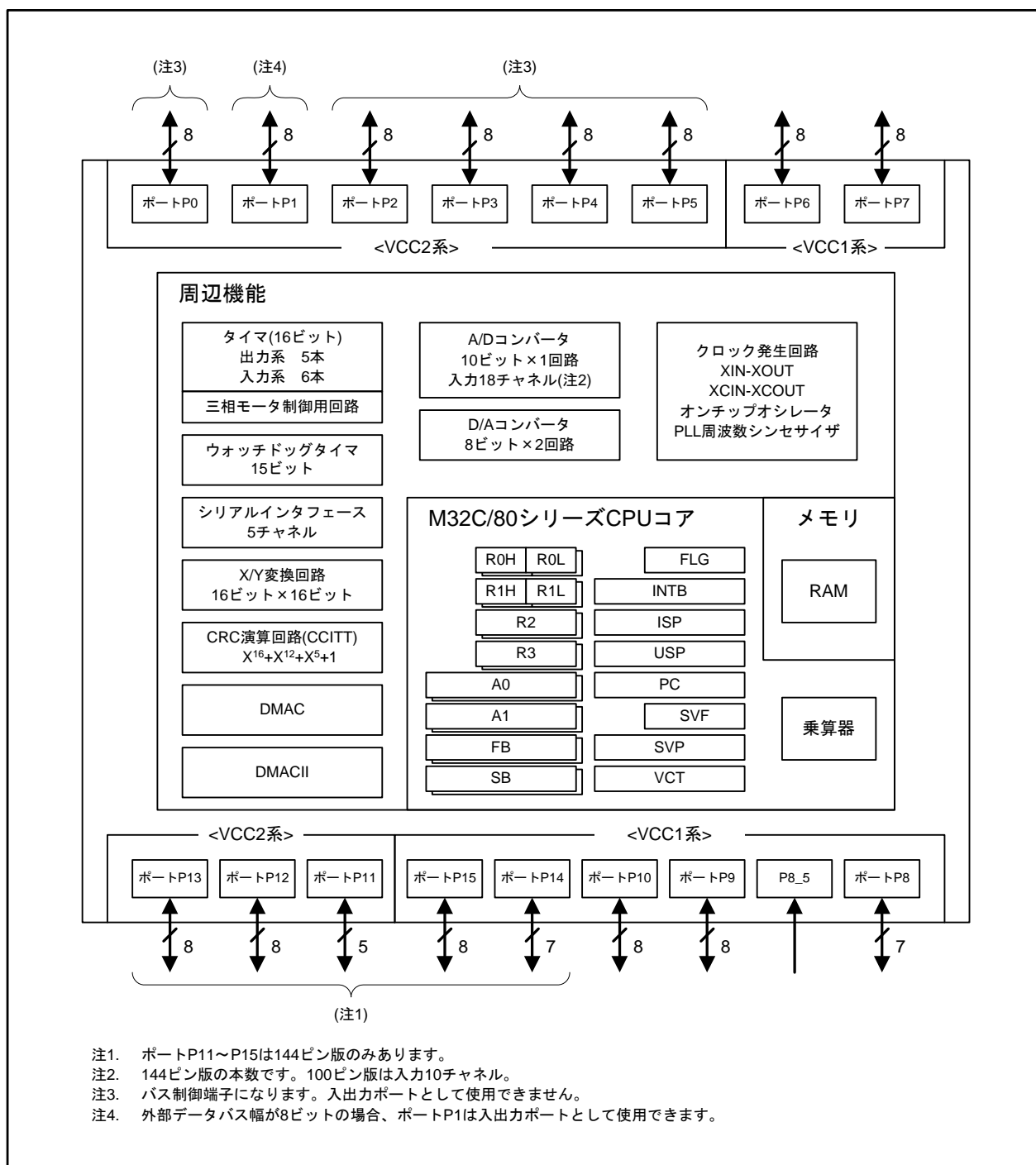


図1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にM32C/8Aグループのブロック図を示します。



- 注1. ポートP11～P15は144ピン版のみあります。
- 注2. 144ピン版の本数です。100ピン版は入力10チャンネル。
- 注3. バス制御端子になります。入出力ポートとして使用できません。
- 注4. 外部データバス幅が8ビットの場合、ポートP1は入出力ポートとして使用できます。

1.4 ピン配置図

図1.3～図1.4にピン配置図(上面図)を示します。

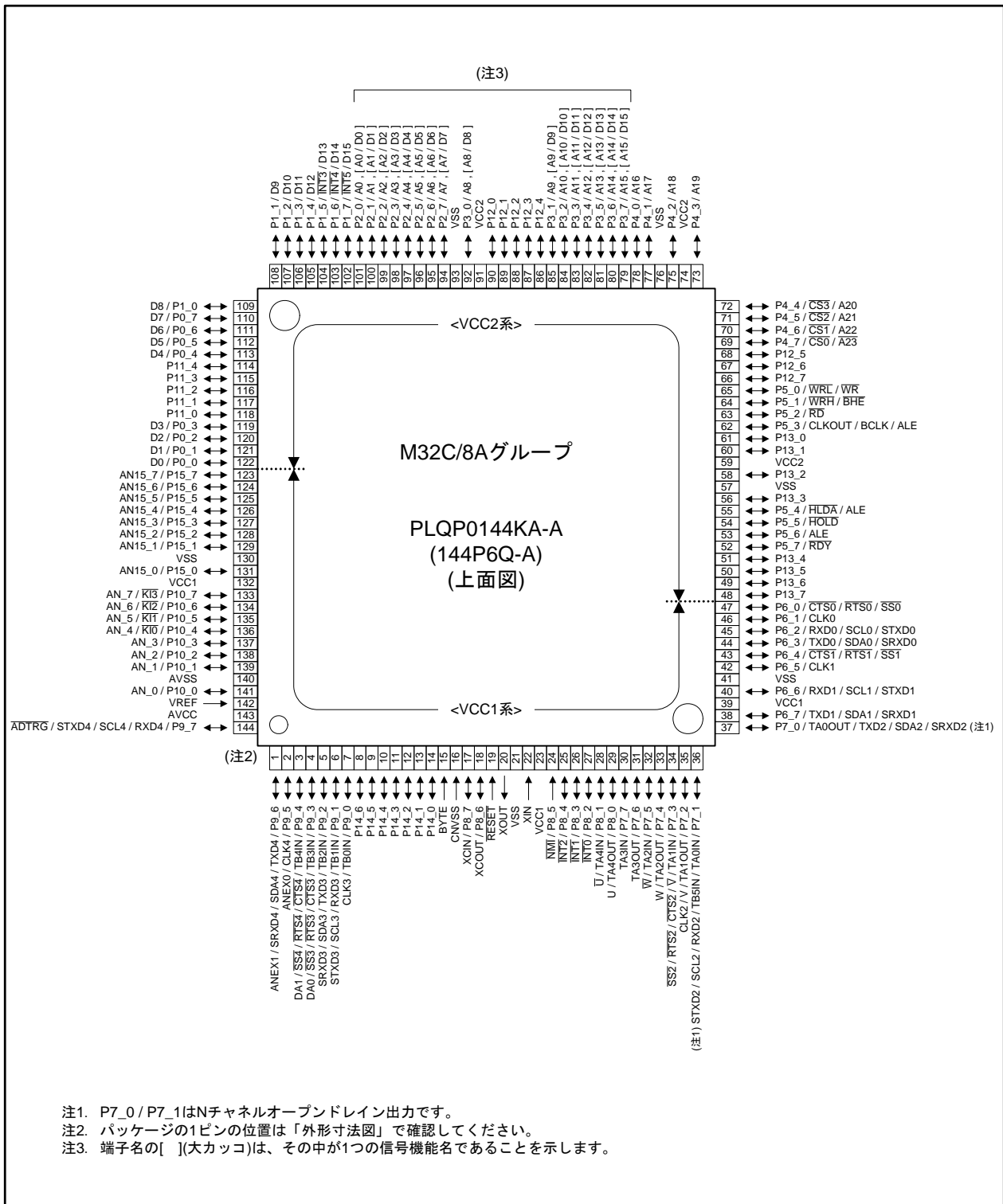


図1.3 144ピン版ピン配置図(上面図)

注1. P7_0/P7_1はNチャンネルオープンドレイン出力です。
 注2. パッケージの1ピンの位置は「外形寸法図」で確認してください。
 注3. 端子名の [] (大カッコ)は、その中が1つの信号機能名であることを示します。

表 1.6 144ピン版端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
1		P9_6			TXD4 / SDA4 / SRXD4	ANEX1	
2		P9_5			CLK4	ANEX0	
3		P9_4		TB4IN	$\overline{\text{CTS4}} / \overline{\text{RTS4}} / \overline{\text{SS4}}$	DA1	
4		P9_3		TB3IN	$\overline{\text{CTS3}} / \overline{\text{RTS3}} / \overline{\text{SS3}}$	DA0	
5		P9_2		TB2IN	TXD3 / SDA3 / SRXD3		
6		P9_1		TB1IN	RXD3 / SCL3 / STXD3		
7		P9_0		TB0IN	CLK3		
8		P14_6					
9		P14_5					
10		P14_4					
11		P14_3					
12		P14_2					
13		P14_1					
14		P14_0					
15	BYTE						
16	CNVSS						
17	XCIN	P8_7					
18	XCOU	P8_6					
19	$\overline{\text{RESET}}$						
20	XOUT						
21	VSS						
22	XIN						
23	VCC1						
24		P8_5	$\overline{\text{NMI}}$				
25		P8_4	$\overline{\text{INT2}}$				
26		P8_3	$\overline{\text{INT1}}$				
27		P8_2	$\overline{\text{INT0}}$				
28		P8_1		TA4IN / $\overline{\text{U}}$			
29		P8_0		TA4OUT / U			
30		P7_7		TA3IN			
31		P7_6		TA3OUT			
32		P7_5		TA2IN / $\overline{\text{W}}$			
33		P7_4		TA2OUT / W			
34		P7_3		TA1IN / $\overline{\text{V}}$	$\overline{\text{CTS2}} / \overline{\text{RTS2}} / \overline{\text{SS2}}$		
35		P7_2		TA1OUT / V	CLK2		
36		P7_1		TA0IN / TB5IN	RXD2 / SCL2 / STXD2		
37		P7_0		TA0OUT	TXD2 / SDA2 / SRXD2		
38		P6_7			TXD1 / SDA1 / SRXD1		
39	VCC1						
40		P6_6			RXD1 / SCL1 / STXD1		
41	VSS						
42		P6_5			CLK1		
43		P6_4			$\overline{\text{CTS1}} / \overline{\text{RTS1}} / \overline{\text{SS1}}$		
44		P6_3			TXD0 / SDA0 / SRXD0		
45		P6_2			RXD0 / SCL0 / STXD0		
46		P6_1			CLK0		
47		P6_0			$\overline{\text{CTS0}} / \overline{\text{RTS0}} / \overline{\text{SS0}}$		
48		P13_7					

表 1.7 144ピン版端子名一覧表(2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
49		P13_6					
50		P13_5					
51		P13_4					
52		P5_7					$\overline{\text{RDY}}$
53		P5_6					ALE
54		P5_5					$\overline{\text{HOLD}}$
55		P5_4					$\overline{\text{HLDA}} / \text{ALE}$
56		P13_3					
57	VSS						
58		P13_2					
59	VCC2						
60		P13_1					
61		P13_0					
62	CLKOUT	P5_3					BCLK / ALE
63		P5_2					$\overline{\text{RD}}$
64		P5_1					$\overline{\text{WRH}} / \overline{\text{BHE}}$
65		P5_0					$\overline{\text{WRL}} / \overline{\text{WR}}$
66		P12_7					
67		P12_6					
68		P12_5					
69		P4_7					$\overline{\text{CS0}} / \overline{\text{A23}}$
70		P4_6					$\overline{\text{CS1}} / \overline{\text{A22}}$
71		P4_5					$\overline{\text{CS2}} / \overline{\text{A21}}$
72		P4_4					$\overline{\text{CS3}} / \overline{\text{A20}}$
73		P4_3					A19
74	VCC2						
75		P4_2					A18
76	VSS						
77		P4_1					A17
78		P4_0					A16
79		P3_7					A15, [A15 / D15]
80		P3_6					A14, [A14 / D14]
81		P3_5					A13, [A13 / D13]
82		P3_4					A12, [A12 / D12]
83		P3_3					A11, [A11 / D11]
84		P3_2					A10, [A10 / D10]
85		P3_1					A9, [A9 / D9]
86		P12_4					
87		P12_3					
88		P12_2					
89		P12_1					
90		P12_0					
91	VCC2						
92		P3_0					A8, [A8 / D8]
93	VSS						
94		P2_7					A7, [A7 / D7]
95		P2_6					A6, [A6 / D6]
96		P2_5					A5, [A5 / D5]

表 1.8 144ピン版端子名一覧表(3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
97		P2_4					A4, [A4 / D4]
98		P2_3					A3, [A3 / D3]
99		P2_2					A2, [A2 / D2]
100		P2_1					A1, [A1 / D1]
101		P2_0					A0, [A0 / D0]
102		P1_7	$\overline{\text{INT5}}$				D15
103		P1_6	$\overline{\text{INT4}}$				D14
104		P1_5	$\overline{\text{INT3}}$				D13
105		P1_4					D12
106		P1_3					D11
107		P1_2					D10
108		P1_1					D9
109		P1_0					D8
110		P0_7					D7
111		P0_6					D6
112		P0_5					D5
113		P0_4					D4
114		P11_4					
115		P11_3					
116		P11_2					
117		P11_1					
118		P11_0					
119		P0_3					D3
120		P0_2					D2
121		P0_1					D1
122		P0_0					D0
123		P15_7				AN15_7	
124		P15_6				AN15_6	
125		P15_5				AN15_5	
126		P15_4				AN15_4	
127		P15_3				AN15_3	
128		P15_2				AN15_2	
129		P15_1				AN15_1	
130	VSS						
131		P15_0				AN15_0	
132	VCC1						
133		P10_7	$\overline{\text{KI3}}$			AN_7	
134		P10_6	$\overline{\text{KI2}}$			AN_6	
135		P10_5	$\overline{\text{KI1}}$			AN_5	
136		P10_4	$\overline{\text{KI0}}$			AN_4	
137		P10_3				AN_3	
138		P10_2				AN_2	
139		P10_1				AN_1	
140	AVSS						
141		P10_0				AN_0	
142	VREF						
143	AVCC						
144		P9_7			RXD4 / SCL4 / STXD4	$\overline{\text{ADTRG}}$	

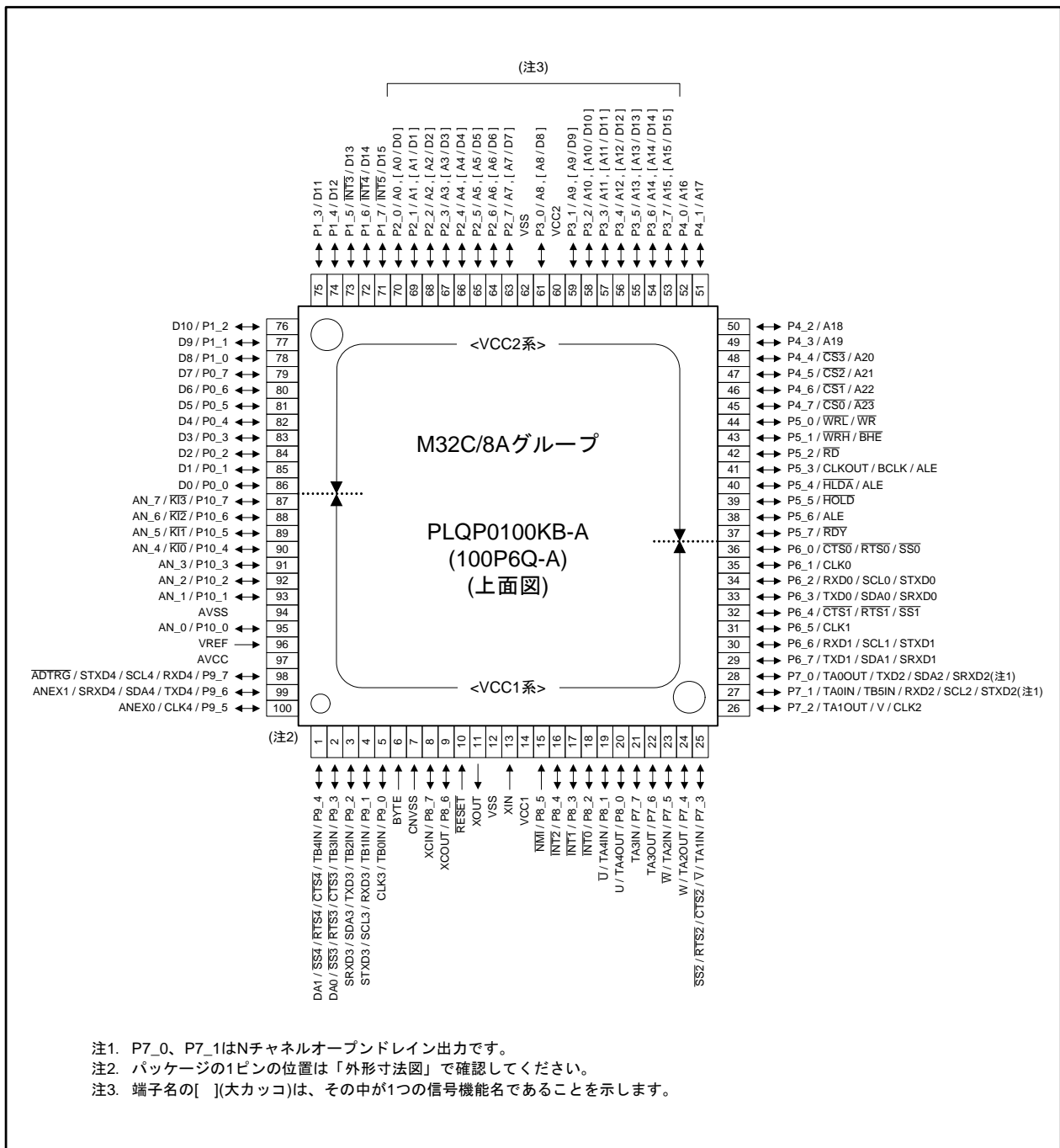


図1.4 100ピン版ピン配置図(上面図)

表 1.9 100ピン版端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
1		P9_4		TB4IN	CTS4 / RTS4 / SS4	DA1	
2		P9_3		TB3IN	CTS3 / RTS3 / SS3	DA0	
3		P9_2		TB2IN	TXD3 / SDA3 / SRXD3		
4		P9_1		TB1IN	RXD3 / SCL3 / STXD3		
5		P9_0		TB0IN	CLK3		
6	BYTE						
7	CNVSS						
8	XCIN	P8_7					
9	XCOU	P8_6					
10	RESET						
11	XOUT						
12	VSS						
13	XIN						
14	VCC1						
15		P8_5	NMI				
16		P8_4	INT2				
17		P8_3	INT1				
18		P8_2	INT0				
19		P8_1		TA4IN / \bar{U}			
20		P8_0		TA4OUT / U			
21		P7_7		TA3IN			
22		P7_6		TA3OUT			
23		P7_5		TA2IN / \bar{W}			
24		P7_4		TA2OUT / W			
25		P7_3		TA1IN / \bar{V}	CTS2 / RTS2 / SS2		
26		P7_2		TA1OUT / V	CLK2		
27		P7_1		TA0IN / TB5IN	RXD2 / SCL2 / STXD2		
28		P7_0		TA0OUT	TXD2 / SDA2 / SRXD2		
29		P6_7			TXD1 / SDA1 / SRXD1		
30		P6_6			RXD1 / SCL1 / STXD1		
31		P6_5			CLK1		
32		P6_4			CTS1 / RTS1 / SS1		
33		P6_3			TXD0 / SDA0 / SRXD0		
34		P6_2			RXD0 / SCL0 / STXD0		
35		P6_1			CLK0		
36		P6_0			CTS0 / RTS0 / SS0		
37		P5_7					\bar{RDY}
38		P5_6					ALE
39		P5_5					HOLD
40		P5_4					HLD \bar{A} / ALE
41	CLKOUT	P5_3					BCLK / ALE
42		P5_2					\bar{RD}
43		P5_1					\bar{WRH} / \bar{BHE}
44		P5_0					\bar{WRL} / \bar{WR}
45		P4_7					$\bar{CS0}$ / A23
46		P4_6					$\bar{CS1}$ / A22
47		P4_5					$\bar{CS2}$ / A21
48		P4_4					$\bar{CS3}$ / A20
49		P4_3					A19
50		P4_2					A18

表 1.10 100ピン版端子名一覧表(2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
51		P4_1					A17
52		P4_0					A16
53		P3_7					A15, [A15 / D15]
54		P3_6					A14, [A14 / D14]
55		P3_5					A13, [A13 / D13]
56		P3_4					A12, [A12 / D12]
57		P3_3					A11, [A11 / D11]
58		P3_2					A10, [A10 / D10]
59		P3_1					A9, [A9 / D9]
60	VCC2						
61		P3_0					A8, [A8 / D8]
62	VSS						
63		P2_7					A7, [A7 / D7]
64		P2_6					A6, [A6 / D6]
65		P2_5					A5, [A5 / D5]
66		P2_4					A4, [A4 / D4]
67		P2_3					A3, [A3 / D3]
68		P2_2					A2, [A2 / D2]
69		P2_1					A1, [A1 / D1]
70		P2_0					A0, [A0 / D0]
71		P1_7	INT5				D15
72		P1_6	INT4				D14
73		P1_5	INT3				D13
74		P1_4					D12
75		P1_3					D11
76		P1_2					D10
77		P1_1					D9
78		P1_0					D8
79		P0_7					D7
80		P0_6					D6
81		P0_5					D5
82		P0_4					D4
83		P0_3					D3
84		P0_2					D2
85		P0_1					D1
86		P0_0					D0
87		P10_7	KI3			AN_7	
88		P10_6	KI2			AN_6	
89		P10_5	KI1			AN_5	
90		P10_4	KI0			AN_4	
91		P10_3				AN_3	
92		P10_2				AN_2	
93		P10_1				AN_1	
94	AVSS						
95		P10_0				AN_0	
96	VREF						
97	AVCC						
98		P9_7			RXD4 / SCL4 / STXD4	ADTRG	
99		P9_6			TXD4 / SDA4 / SRXD4	ANEX1	
100		P9_5			CLK4	ANEX0	

1.5 端子機能の説明

表 1.11 端子機能の説明(1)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
電源入力	VCC1, VCC2 VSS	—	—	VCC1、VCC2端子には、3.0～5.5Vを入力してください。 VCCの入力条件はVCC1≥VCC2です。 VSSには、0Vを入力してください。
アナログ 電源入力	AVCC AVSS	—	VCC1	A/DコンバータとD/Aコンバータの電源入力です。AVCCは VCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	$\overline{\text{RESET}}$	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータは リセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。 マイクロプロセッサモードでは、リセット後、“H”を入力して ください。
外部 データバス幅 切り替え入力	BYTE	入力	VCC1	外部領域3のデータバスを切り替えるための端子です。 この端子が“L”の場合16ビット、“H”の場合8ビットになり ます。どちらかに固定してください。
バス制御端子	D0～D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたとき、データ (D0～D7)の入出力を行います。
	D8～D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領 域をアクセスしたとき、データ(D8～D15)の入出力を行います。
	A0～A22	出力	VCC2	アドレスA0～A22を出力します。
	$\overline{\text{A23}}$	出力	VCC2	アドレスA23を反転して出力します。
	A0 / D0～A7 / D7	入出力	VCC2	マルチプレクスバスを選択している領域をアクセスしたとき、 アドレス(A0～A7)の出力とデータ(D0～D7)の入出力を時分割 で行います。
	A8 / D8～A15 / D15	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択してい る領域をアクセスしたとき、アドレス(A8～A15)の出力と データ(D8～D15)の入出力を時分割で行います。
	$\overline{\text{CS0}}\sim\overline{\text{CS3}}$	出力	VCC2	チップセレクト出力です。外部デバイスの指定に使用します。
	$\overline{\text{WRL}}/\overline{\text{WR}}$ $\overline{\text{WRH}}/\overline{\text{BHE}}$ $\overline{\text{RD}}$	出力	VCC2	$\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 信号を出力します。 プログラムで $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ または、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ を 切り替えられます。 ■ $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{RD}}$ 選択時 外部データバスが16ビットの場合、 $\overline{\text{WRL}}$ 信号が“L”のとき は偶数番地に、 $\overline{\text{WRH}}$ 信号が“L”のときは奇数番地に書きま す。 $\overline{\text{RD}}$ 信号が“L”のとき読みます。 ■ $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 選択時 $\overline{\text{WR}}$ 信号が“L”のとき書きます。 $\overline{\text{RD}}$ 信号が“L”のとき読み ます。 $\overline{\text{BHE}}$ 信号が“L”のとき奇数番地をアクセスします。 外部データバスが8ビットのとき、このモードを使用し てください。
	ALE	出力	VCC2	マルチプレクスバス選択時、アドレス信号をラッチするための 信号です。
	$\overline{\text{HOLD}}$	入力	VCC2	入力が“L”の期間、マイクロコンピュータはホールド状態に なります。
	$\overline{\text{HLDA}}$	出力	VCC2	マイクロコンピュータがホールド状態の期間、“L”を出力 します。
$\overline{\text{RDY}}$	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスは ウェイト状態になります。	

表 1.12 端子機能の説明(2)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
メイン クロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。 XINとXOUTの間にはセラミック共振子、または水晶発振子を 接続してください。外部で生成したクロックを入力する場合は、 XINからクロックを入力し、XOUTは開放にしてください。
メインクロック 出力	XOUT	出力	VCC1	
サブクロック 入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。 XCINとXCOUTの間には水晶発振子を接続してください。外部 で生成したクロックを入力する場合は、XCINからクロックを 入力し、XCOUTは開放にしてください。
サブクロック 出力	XCOUT	出力	VCC1	
BCLK出力	BCLK	出力	VCC2	バスクロックを出力します。
クロック出力	CLKOUT	出力	VCC2	fC、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み 入力	$\overline{\text{INT0}} \sim \overline{\text{INT2}}$	入力	VCC1	INT割り込みの入力です。
	$\overline{\text{INT3}} \sim \overline{\text{INT5}}$	入力	VCC2	
NMI割り込み 入力	$\overline{\text{NMI}}$	入力	VCC1	NMI割り込みの入力です。 $\overline{\text{NMI}}$ 割り込みを使用しない場合は、 抵抗を介してVCC1に接続してください。
タイマA	TA0OUT ~ TA4OUT	入出力	VCC1	タイマA0 ~ A4の入出力です (ただし、TA0OUT出力はNチャンネルオープンドレイン出力)。
	TA0IN ~ TA4IN	入力	VCC1	タイマA0 ~ A4の入力です。
タイマB	TB0IN ~ TB5IN	入力	VCC1	タイマB0 ~ B5の入力です。
三相モータ 制御用 タイマ出力	U, $\overline{\text{U}}$, V, $\overline{\text{V}}$, W, $\overline{\text{W}}$	出力	VCC1	三相モータ制御用タイマの出力です。
シリアル インタ フェース	$\overline{\text{CTS0}} \sim \overline{\text{CTS4}}$	入力	VCC1	送信制御用入力です。
	$\overline{\text{RTS0}} \sim \overline{\text{RTS4}}$	出力	VCC1	受信制御用出力です。
	CLK0 ~ CLK4	入出力	VCC1	送受信クロック入出力です。
	RXD0 ~ RXD4	入力	VCC1	シリアルデータ入力です。
	TXD0 ~ TXD4	出力	VCC1	シリアルデータ出力です (ただし、TXD2の出力はNチャンネルオープンドレイン出力)。
I ² Cモード	SDA0 ~ SDA4	入出力	VCC1	シリアルデータ入出力です (ただし、SDA2の出力はNチャンネルオープンドレイン出力)。
	SCL0 ~ SCL4	入出力	VCC1	送受信クロック入出力です (ただし、SCL2の出力はNチャンネルオープンドレイン出力)。
シリアル インタ フェース 特殊機能	STXD0 ~ STXD4	出力	VCC1	スレーブモードを選択したときのシリアルデータ出力です (ただし、STXD2の出力はNチャンネルオープンドレイン出力)。
	SRXD0 ~ SRXD4	入力	VCC1	スレーブモードを選択したときのシリアルデータ入力です。
	$\overline{\text{SS0}} \sim \overline{\text{SS4}}$	入力	VCC1	シリアルインタフェース特殊機能の制御用入力です。

表 1.13 端子機能の説明(3)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
基準電圧入力	VREF	入力	—	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN_0~AN_7	入力	VCC1	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/Dコンバータの外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0, DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート	P0_0~P0_7 P1_0~P1_7 P2_0~P2_7 P3_0~P3_7 P4_0~P4_7 P5_0~P5_7	入出力 (注1)	VCC2	CMOSの8ビット入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムで4端子ごとにプルアップするかしないかを設定できます。
	P6_0~P6_7 P7_0~P7_7 P9_0~P9_7 P10_0~P10_7	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです (ただし、P7_0、P7_1はNチャネルオープンドレイン出力)。
	P8_0~P8_4 P8_6, P8_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
入力ポート	P8_5	入力	VCC1	$\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入力レベルを確認するための入力専用ポートです。
キー入力 割り込み	$\overline{\text{KI0}} \sim \overline{\text{KI3}}$	入力	VCC1	キー入力割り込みの入力です。

注1. P0~P5はバス制御端子になり、入出力ポートとして使用できません。ただし、外部データバス幅が8ビットのとき、P1_0~P1_7は入出力ポートとして使用できます。

表 1.14 端子機能の説明(4)(144ピン版のみ)

分類	端子名	入出力	電源系統	機能および説明
A/Dコンバータ	AN15_0~AN15_7	入力	VCC1	A/Dコンバータのアナログ入力です。
入出力ポート	P11_0~P11_4 P12_0~P12_7 P13_0~P13_7	入出力	VCC2	P0と同等の機能を持つ入出力ポートです。
	P14_0~P14_6 P15_0~P15_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには28個のレジスタがあります。

これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個はレジスタバンクを構成しています。レジスタバンクは2セットあります。

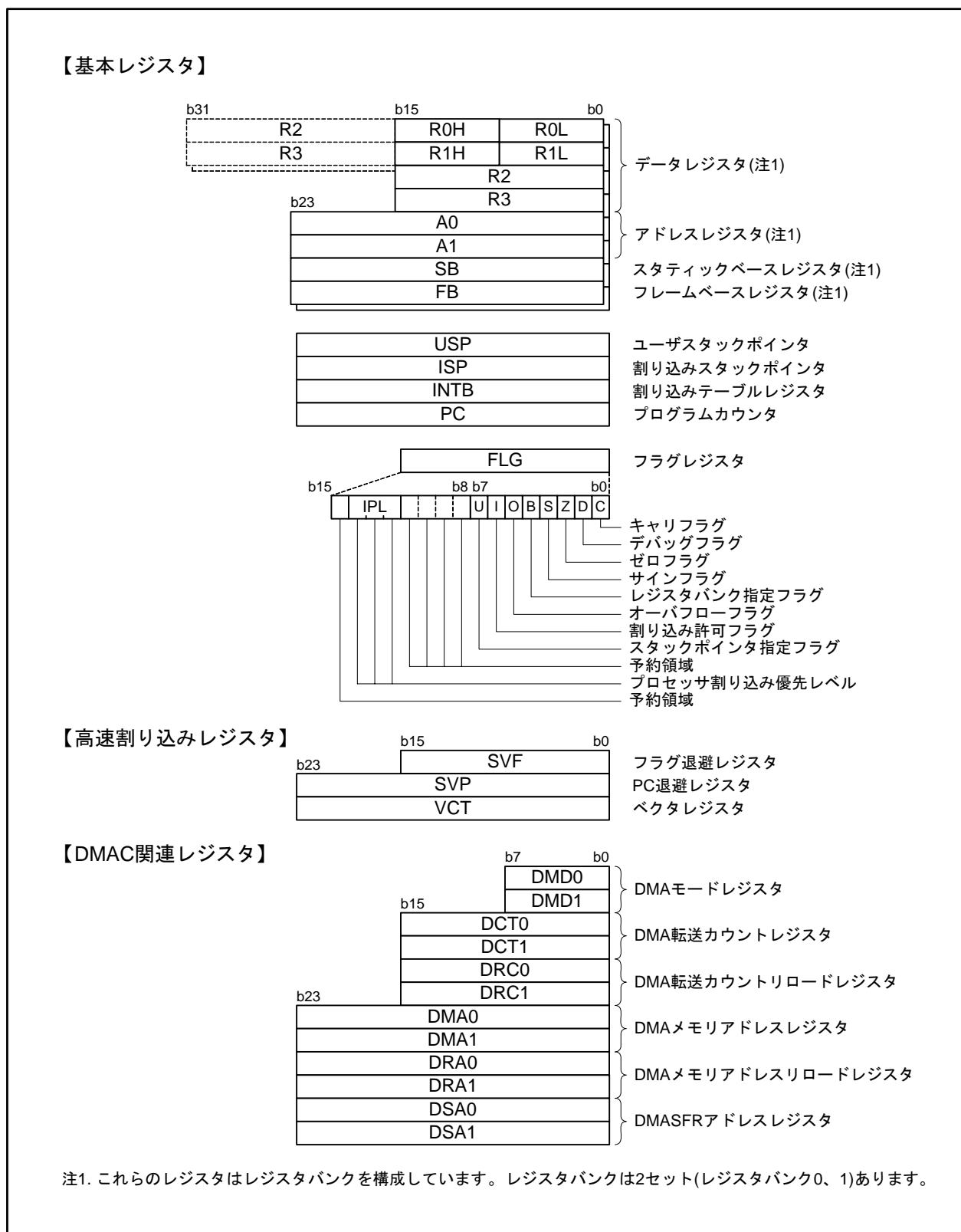


図2.1 中央演算処理装置のレジスタ構成

2.1 基本レジスタ

2.1.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は上位 (R0H) と下位 (R0L) を別々に8ビットのデータレジスタとして使用できます。R1はR0と同様です。

また、R2とR0を組み合わせて32ビットのデータレジスタ (R2R0) として使用できます。R3R1はR2R0と同様です。

2.1.2 アドレスレジスタ (A0、A1)

A0は24ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。

A1はA0と同様です。

2.1.3 スタティックベースレジスタ (SB)

SBは24ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ (FB)

FBは24ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ (PC)

PCは24ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みテーブルレジスタ (INTB)

INTBは24ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP) は USP と ISP の2種類あり、共に24ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグは「2.1.8 フラグレジスタ (FLG)」を参照してください。

USPとISPは偶数番地に設定してください。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ (FLG)

FLGは16ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリフラグ (C)

命令実行後のキャリやボローの有無を示します。

2.1.8.2 デバッグフラグ (D)

Dフラグはデバッグ専用です。“0”にしてください。

2.1.8.3 ゼロフラグ (Z)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.1.8.4 サインフラグ (S)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ (B)

Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ (O)

演算の結果がオーバーフローしたとき“1”になります。それ以外のとき“0”になります。

2.1.8.7 割り込み許可フラグ (I)

マスカブル割り込みを許可するビットです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このビットは“0”になります。

2.1.8.8 スタックポインタ指定フラグ (U)

Uフラグが“0”のときISPが指定され、“1”のときUSPが指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0～7まで8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きいとき、その割り込みは許可されます。

2.1.8.10 予約領域

書くときは“0”を書いてください。読んだとき、その値は不定です。

2.2 高速割り込みレジスタ

高速割り込みに関するレジスタは次のとおりです。

- ・フラグ退避レジスタ (SVF)
- ・PC退避レジスタ (SVP)
- ・ベクタレジスタ (VCT)

2.3 DMAC 関連レジスタ

DMACに関するレジスタは次のとおりです。

- ・DMA モードレジスタ (DMD0、DMD1)
- ・DMA 転送カウンタレジスタ (DCT0、DCT1)
- ・DMA 転送カウントリロードレジスタ (DRC0、DRC1)
- ・DMA メモリアドレスレジスタ (DMA0、DMA1)
- ・DMA メモリアドレスリロードレジスタ (DRA0、DRA1)
- ・DMA SFR アドレスレジスタ (DSA0、DSA1)

3. メモリ

図3.1にメモリ配置図を示します。

アドレス空間は000000h番地からFFFFFFh番地までの16Mバイトあります。

固定割り込みベクタはFFFFDCh番地からFFFFFFh番地に配置されています。ここに各割り込みルーチンの先頭番地を格納します。

内部RAMは000400h番地から上位方向に配置されています。例えば12Kバイトの内部RAMは、000400h番地から0033FFh番地に配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFRは000000h番地から0003FFh番地に配置されています。ここには入出力ポート、A/Dコンバータ、シリアルインタフェース、タイマなどの周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない番地はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタはFFFE00h番地からFFFDBh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M32C/80シリーズソフトウェアマニュアル」を参照してください。

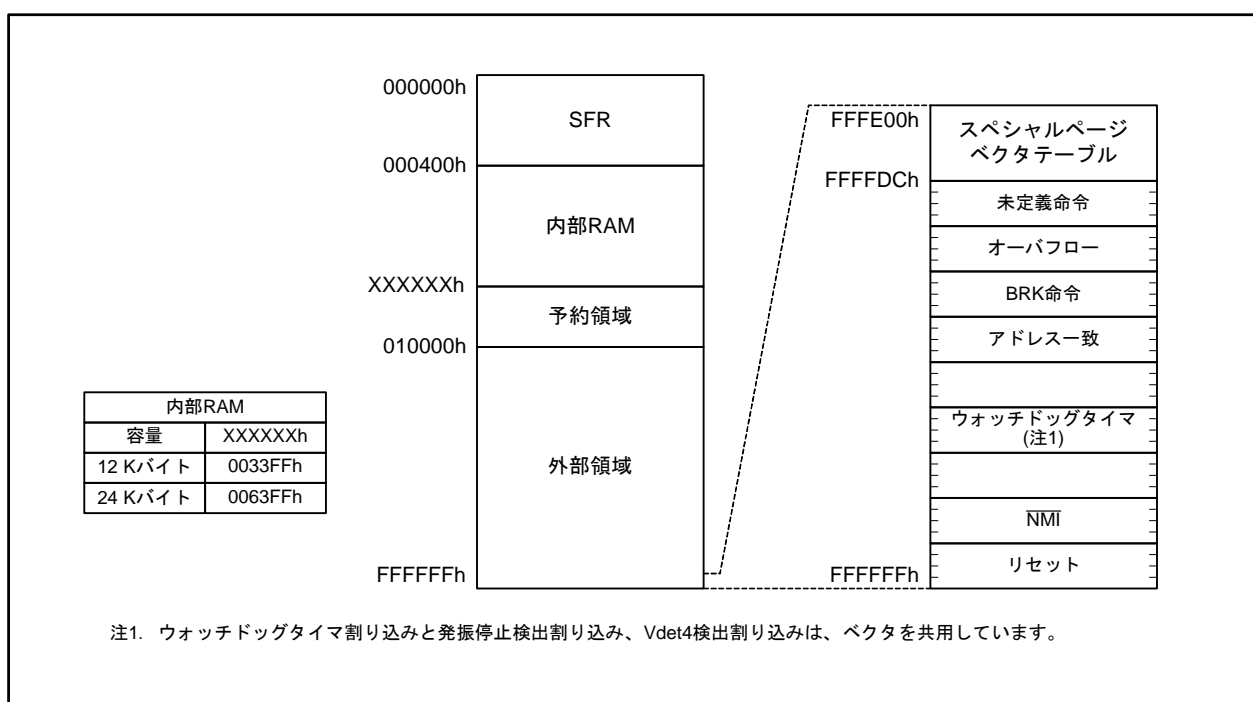


図3.1 メモリ配置図

4. SFR

SFR(Special Function Registers)は、周辺機能の制御レジスタです。表4.1～表4.9にSFR一覧を示します。

表4.1 SFR一覧(1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0(注1)	PM0	0000 0011b(CNVSS端子が“H”)
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	0000 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	00h
000Ah	プロテクトレジスタ	PRCR	XXXX 0000b
000Bh	外部データバス幅制御レジスタ	DS	XXXX 1000b(BYTE端子が“L”) XXXX 0000b(BYTE端子が“H”)
000Ch	メインクロック分周レジスタ	MCD	XXX0 1000b
000Dh	発振停止検出レジスタ	CM2	00h
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb
0010h			
0011h	アドレス一致割り込みレジスタ0	RMAD0	000000h
0012h			
0013h	プロセッサモードレジスタ2	PM2	00h
0014h			
0015h	アドレス一致割り込みレジスタ1	RMAD1	000000h
0016h			
0017h	電圧検出レジスタ2	VCR2	00h
0018h			
0019h	アドレス一致割り込みレジスタ2	RMAD2	000000h
001Ah			
001Bh	電圧検出レジスタ1	VCR1	0000 1000b
001Ch			
001Dh	アドレス一致割り込みレジスタ3	RMAD3	000000h
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	PLL制御レジスタ0	PLC0	0001 X010b
0027h	PLL制御レジスタ1	PLC1	000X 0000b
0028h			
0029h	アドレス一致割り込みレジスタ4	RMAD4	000000h
002Ah			
002Bh			
002Ch			
002Dh	アドレス一致割り込みレジスタ5	RMAD5	000000h
002Eh			
002Fh	Vdet4検出割り込みレジスタ	D4INT	XX00 0000b

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1. PM0レジスタのPM01～PM00ビットは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

表 4.2 SFR 一覧 (2)

番地	レジスタ	シンボル	リセット後の値
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h	アドレス一致割り込みレジスタ 6	RMAD6	000000h
003Ah			
003Bh			
003Ch			
003Dh	アドレス一致割り込みレジスタ 7	RMAD7	000000h
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	外部領域ウェイト制御レジスタ 0	EWCR0	X0X0 0011b
0049h	外部領域ウェイト制御レジスタ 1	EWCR1	X0X0 0011b
004Ah	外部領域ウェイト制御レジスタ 2	EWCR2	X0X0 0011b
004Bh	外部領域ウェイト制御レジスタ 3	EWCR3	X0X0 0011b
004Ch	ページモードウェイト制御レジスタ 0	PWCR0	0001 0001b
004Dh	ページモードウェイト制御レジスタ 1	PWCR1	0001 0001b
004Eh			
004Fh			
0050h			
0051h			
0052h			
0053h			
0054h			
0055h			
0056h			
0057h			
0058h			
0059h			
005Ah			
005Bh			
005Ch			
005Dh			
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h	DMA0 割り込み制御レジスタ	DM0IC	XXXX X000b
0069h	タイマ B5 割り込み制御レジスタ	TB5IC	XXXX X000b

X : 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.3 SFR 一覧 (3)

番地	レジスタ	シンボル	リセット後の値
006Ah	DMA2 割り込み制御レジスタ	DM2IC	XXXX X000b
006Bh	UART2 受信 / ACK 割り込み制御レジスタ	S2RIC	XXXX X000b
006Ch	タイマ A0 割り込み制御レジスタ	TA0IC	XXXX X000b
006Dh	UART3 受信 / ACK 割り込み制御レジスタ	S3RIC	XXXX X000b
006Eh	タイマ A2 割り込み制御レジスタ	TA2IC	XXXX X000b
006Fh	UART4 受信 / ACK 割り込み制御レジスタ	S4RIC	XXXX X000b
0070h	タイマ A4 割り込み制御レジスタ	TA4IC	XXXX X000b
0071h	UART0 / UART3 バス衝突検出割り込み制御レジスタ	BCN0IC / BCN3IC	XXXX X000b
0072h	UART0 受信 / ACK 割り込み制御レジスタ	S0RIC	XXXX X000b
0073h	A/D0 変換割り込み制御レジスタ	AD0IC	XXXX X000b
0074h	UART1 受信 / ACK 割り込み制御レジスタ	S1RIC	XXXX X000b
0075h			
0076h	タイマ B1 割り込み制御レジスタ	TB1IC	XXXX X000b
0077h			
0078h	タイマ B3 割り込み制御レジスタ	TB3IC	XXXX X000b
0079h			
007Ah	$\overline{\text{INT5}}$ 割り込み制御レジスタ	INT5IC	XX00 X000b
007Bh			
007Ch	$\overline{\text{INT3}}$ 割り込み制御レジスタ	INT3IC	XX00 X000b
007Dh			
007Eh	$\overline{\text{INT1}}$ 割り込み制御レジスタ	INT1IC	XX00 X000b
007Fh			
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DMA1 割り込み制御レジスタ	DM1IC	XXXX X000b
0089h	UART2 送信 / NACK 割り込み制御レジスタ	S2TIC	XXXX X000b
008Ah	DMA3 割り込み制御レジスタ	DM3IC	XXXX X000b
008Bh	UART3 送信 / NACK 割り込み制御レジスタ	S3TIC	XXXX X000b
008Ch	タイマ A1 割り込み制御レジスタ	TA1IC	XXXX X000b
008Dh	UART4 送信 / NACK 割り込み制御レジスタ	S4TIC	XXXX X000b
008Eh	タイマ A3 割り込み制御レジスタ	TA3IC	XXXX X000b
008Fh	UART2 バス衝突検出割り込み制御レジスタ	BCN2IC	XXXX X000b
0090h	UART0 送信 / NACK 割り込み制御レジスタ	S0TIC	XXXX X000b
0091h	UART1 / UART4 バス衝突検出割り込み制御レジスタ	BCN1IC / BCN4IC	XXXX X000b
0092h	UART1 送信 / NACK 割り込み制御レジスタ	S1TIC	XXXX X000b
0093h	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
0094h	タイマ B0 割り込み制御レジスタ	TB0IC	XXXX X000b
0095h			
0096h	タイマ B2 割り込み制御レジスタ	TB2IC	XXXX X000b
0097h			
0098h	タイマ B4 割り込み制御レジスタ	TB4IC	XXXX X000b
0099h			
009Ah	$\overline{\text{INT4}}$ 割り込み制御レジスタ	INT4IC	XX00 X000b
009Bh			
009Ch	$\overline{\text{INT2}}$ 割り込み制御レジスタ	INT2IC	XX00 X000b
009Dh			
009Eh	$\overline{\text{INT0}}$ 割り込み制御レジスタ	INT0IC	XX00 X000b
009Fh	復帰用優先順位レジスタ	RLVL	XXXX 0000b
00A0h ~ 02BFh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.4 SFR 一覧 (4)

番地	レジスタ	シンボル	リセット後の値
02C0h 02C1h	X0 レジスタ、Y0 レジスタ	X0R、Y0R	XXXXh
02C2h 02C3h	X1 レジスタ、Y1 レジスタ	X1R、Y1R	XXXXh
02C4h 02C5h	X2 レジスタ、Y2 レジスタ	X2R、Y2R	XXXXh
02C6h 02C7h	X3 レジスタ、Y3 レジスタ	X3R、Y3R	XXXXh
02C8h 02C9h	X4 レジスタ、Y4 レジスタ	X4R、Y4R	XXXXh
02CAh 02CBh	X5 レジスタ、Y5 レジスタ	X5R、Y5R	XXXXh
02CCh 02CDh	X6 レジスタ、Y6 レジスタ	X6R、Y6R	XXXXh
02CEh 02CFh	X7 レジスタ、Y7 レジスタ	X7R、Y7R	XXXXh
02D0h 02D1h	X8 レジスタ、Y8 レジスタ	X8R、Y8R	XXXXh
02D2h 02D3h	X9 レジスタ、Y9 レジスタ	X9R、Y9R	XXXXh
02D4h 02D5h	X10 レジスタ、Y10 レジスタ	X10R、Y10R	XXXXh
02D6h 02D7h	X11 レジスタ、Y11 レジスタ	X11R、Y11R	XXXXh
02D8h 02D9h	X12 レジスタ、Y12 レジスタ	X12R、Y12R	XXXXh
02DAh 02DBh	X13 レジスタ、Y13 レジスタ	X13R、Y13R	XXXXh
02DCh 02DDh	X14 レジスタ、Y14 レジスタ	X14R、Y14R	XXXXh
02DEh 02DFh	X15 レジスタ、Y15 レジスタ	X15R、Y15R	XXXXh
02E0h	X/Y 制御レジスタ	XYC	XXXX XX00b
02E1h			
02E2h			
02E3h			
02E4h	UART1 特殊モードレジスタ 4	U1SMR4	00h
02E5h	UART1 特殊モードレジスタ 3	U1SMR3	00h
02E6h	UART1 特殊モードレジスタ 2	U1SMR2	00h
02E7h	UART1 特殊モードレジスタ	U1SMR	00h
02E8h	UART1 送受信モードレジスタ	U1MR	00h
02E9h	UART1 通信速度レジスタ	U1BRG	XXh
02EAh 02EBh	UART1 送信バッファレジスタ	U1TB	XXXXh
02ECh	UART1 送受信制御レジスタ 0	U1C0	0000 1000b
02EDh	UART1 送受信制御レジスタ 1	U1C1	0000 0010b
02EEh 02EFh	UART1 受信バッファレジスタ	U1RB	XXXXh
02F0h			
02F1h			
02F2h			
02F3h			
02F4h	UART4 特殊モードレジスタ 4	U4SMR4	00h
02F5h	UART4 特殊モードレジスタ 3	U4SMR3	00h
02F6h	UART4 特殊モードレジスタ 2	U4SMR2	00h
02F7h	UART4 特殊モードレジスタ	U4SMR	00h
02F8h	UART4 送受信モードレジスタ	U4MR	00h
02F9h	UART4 通信速度レジスタ	U4BRG	XXh
02FAh 02FBh	UART4 送信バッファレジスタ	U4TB	XXXXh
02FCh	UART4 送受信制御レジスタ 0	U4C0	0000 1000b
02FDh	UART4 送受信制御レジスタ 1	U4C1	0000 0010b
02FEh 02FFh	UART4 受信バッファレジスタ	U4RB	XXXXh

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

表 4.5 SFR 一覧 (5)

番地	レジスタ	シンボル	リセット後の値
0300h	タイマB3,B4,B5カウント開始レジスタ	TBSR	000X XXXXb
0301h			
0302h	タイマA11レジスタ	TA11	XXXXh
0303h			
0304h	タイマA21レジスタ	TA21	XXXXh
0305h			
0306h	タイマA41レジスタ	TA41	XXXXh
0307h			
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh			
030Fh			
0310h	タイマB3レジスタ	TB3	XXXXh
0311h			
0312h	タイマB4レジスタ	TB4	XXXXh
0313h			
0314h	タイマB5レジスタ	TB5	XXXXh
0315h			
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
031Eh			
031Fh	外部割り込み要因選択レジスタ	IFSR	00h
0320h			
0321h			
0322h			
0323h			
0324h	UART3特殊モードレジスタ4	U3SMR4	00h
0325h	UART3特殊モードレジスタ3	U3SMR3	00h
0326h	UART3特殊モードレジスタ2	U3SMR2	00h
0327h	UART3特殊モードレジスタ	U3SMR	00h
0328h	UART3送受信モードレジスタ	U3MR	00h
0329h	UART3通信速度レジスタ	U3BRG	XXh
032Ah	UART3送信バッファレジスタ	U3TB	XXXXh
032Bh			
032Ch	UART3送受信制御レジスタ0	U3C0	0000 1000b
032Dh	UART3送受信制御レジスタ1	U3C1	0000 0010b
032Eh	UART3受信バッファレジスタ	U3RB	XXXXh
032Fh			
0330h			
0331h			
0332h			
0333h			
0334h	UART2特殊モードレジスタ4	U2SMR4	00h
0335h	UART2特殊モードレジスタ3	U2SMR3	00h
0336h	UART2特殊モードレジスタ2	U2SMR2	00h
0337h	UART2特殊モードレジスタ	U2SMR	00h
0338h	UART2送受信モードレジスタ	U2MR	00h
0339h	UART2通信速度レジスタ	U2BRG	XXh
033Ah	UART2送信バッファレジスタ	U2TB	XXXXh
033Bh			
033Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
033Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
033Eh	UART2受信バッファレジスタ	U2RB	XXXXh
033Fh			

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

表 4.6 SFR 一覧 (6)

番地	レジスタ	シンボル	リセット後の値
0340h	カウント開始レジスタ	TABSR	00h
0341h	時計用プリスケアラリセットレジスタ	CPSRF	0XXX XXXXb
0342h	ワンショット開始レジスタ	ONSF	00h
0343h	トリガ選択レジスタ	TRGSR	00h
0344h	アップダウン選択レジスタ	UDF	00h
0345h			
0346h	タイマA0レジスタ	TA0	XXXXh
0347h			
0348h	タイマA1レジスタ	TA1	XXXXh
0349h			
034Ah	タイマA2レジスタ	TA2	XXXXh
034Bh			
034Ch	タイマA3レジスタ	TA3	XXXXh
034Dh			
034Eh	タイマA4レジスタ	TA4	XXXXh
034Fh			
0350h	タイマB0レジスタ	TB0	XXXXh
0351h			
0352h	タイマB1レジスタ	TB1	XXXXh
0353h			
0354h	タイマB2レジスタ	TB2	XXXXh
0355h			
0356h	タイマA0モードレジスタ	TA0MR	00h
0357h	タイマA1モードレジスタ	TA1MR	00h
0358h	タイマA2モードレジスタ	TA2MR	00h
0359h	タイマA3モードレジスタ	TA3MR	00h
035Ah	タイマA4モードレジスタ	TA4MR	00h
035Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
035Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
035Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
035Eh	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0b
035Fh	カウントソースプリスケアラレジスタ (注1)	TCSPR	0XXX 0000b
0360h			
0361h			
0362h			
0363h			
0364h	UART0特殊モードレジスタ4	U0SMR4	00h
0365h	UART0特殊モードレジスタ3	U0SMR3	00h
0366h	UART0特殊モードレジスタ2	U0SMR2	00h
0367h	UART0特殊モードレジスタ	U0SMR	00h
0368h	UART0送受信モードレジスタ	U0MR	00h
0369h	UART0通信速度レジスタ	U0BRG	XXh
036Ah			
036Bh	UART0送信バッファレジスタ	U0TB	XXXXh
036Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
036Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
036Eh			
036Fh	UART0受信バッファレジスタ	U0RB	XXXXh
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h	DMA0要因選択レジスタ	DM0SL	0X00 0000b
0379h	DMA1要因選択レジスタ	DM1SL	0X00 0000b
037Ah	DMA2要因選択レジスタ	DM2SL	0X00 0000b
037Bh	DMA3要因選択レジスタ	DM3SL	0X00 0000b
037Ch			
037Dh	CRCデータレジスタ	CRCD	XXXXh
037Eh	CRCインプットレジスタ	CRCIN	XXh
037Fh			

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

注1. TCSPRレジスタはソフトウェアリセットまたはウォッチドッグタイマリセットを行っても、リセット前の値が保持されます。

表 4.7 SFR 一覧 (7)

番地	レジスタ	シンボル	リセット後の値
0380h	A/D0 レジスタ 0	AD00	00XXh
0381h			
0382h	A/D0 レジスタ 1	AD01	00XXh
0383h			
0384h	A/D0 レジスタ 2	AD02	00XXh
0385h			
0386h	A/D0 レジスタ 3	AD03	00XXh
0387h			
0388h	A/D0 レジスタ 4	AD04	00XXh
0389h			
038Ah	A/D0 レジスタ 5	AD05	00XXh
038Bh			
038Ch	A/D0 レジスタ 6	AD06	00XXh
038Dh			
038Eh	A/D0 レジスタ 7	AD07	00XXh
038Fh			
0390h			
0391h			
0392h	A/D0 制御レジスタ 4	AD0CON4	XXXX 00XXb
0393h			
0394h	A/D0 制御レジスタ 2	AD0CON2	XX0X X000b
0395h	A/D0 制御レジスタ 3	AD0CON3	XXXX X000b
0396h	A/D0 制御レジスタ 0	AD0CON0	00h
0397h	A/D0 制御レジスタ 1	AD0CON1	00h
0398h	D/A レジスタ 0	DA0	XXh
0399h			
039Ah	D/A レジスタ 1	DA1	XXh
039Bh			
039Ch	D/A 制御レジスタ	DACON	XXXX XX00b
039Dh			
039Eh			
039Fh			

X : 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.8 SFR 一覧 (8)

番地	レジスタ	シンボル	リセット後の値
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh	機能選択レジスタ C	PSC	00X0 0000b
03B0h	機能選択レジスタ A0	PS0	00h
03B1h	機能選択レジスタ A1	PS1	00h
03B2h	機能選択レジスタ B0	PSL0	00h
03B3h	機能選択レジスタ B1	PSL1	00h
03B4h	機能選択レジスタ A2	PS2	00X0 0000b
03B5h	機能選択レジスタ A3	PS3	00h
03B6h	機能選択レジスタ B2	PSL2	00X0 0000b
03B7h	機能選択レジスタ B3	PSL3	00h
03B8h			
03B9h			
03BAh			
03BBh			
03BCh			
03BDh			
03BEh			
03BFh			
03C0h	ポート P6 レジスタ	P6	XXh
03C1h	ポート P7 レジスタ	P7	XXh
03C2h	ポート P6 方向レジスタ	PD6	00h
03C3h	ポート P7 方向レジスタ	PD7	00h
03C4h	ポート P8 レジスタ	P8	XXh
03C5h	ポート P9 レジスタ	P9	XXh
03C6h	ポート P8 方向レジスタ	PD8	00X0 0000b
03C7h	ポート P9 方向レジスタ	PD9	00h
03C8h	ポート P10 レジスタ	P10	XXh
03C9h	ポート P11 レジスタ (注1)	P11	XXh
03CAh	ポート P10 方向レジスタ	PD10	00h
03CBh	ポート P11 方向レジスタ (注1、2)	PD11	XXX0 0000b
03CCh	ポート P12 レジスタ (注1)	P12	XXh
03CDh	ポート P13 レジスタ (注1)	P13	XXh
03CEh	ポート P12 方向レジスタ (注1、2)	PD12	00h
03CFh	ポート P13 方向レジスタ (注1、2)	PD13	00h

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 100ピン版では使用できません。

注2. 100ピン版では“FFh”にしてください。

表 4.9 SFR 一覧 (9)

番地	レジスタ	シンボル	リセット後の値
03D0h	ポートP14レジスタ(注1)	P14	XXh
03D1h	ポートP15レジスタ(注1)	P15	XXh
03D2h	ポートP14方向レジスタ(注1、2)	PD14	X000 0000b
03D3h	ポートP15方向レジスタ(注1、2)	PD15	00h
03D4h			
03D5h			
03D6h			
03D7h			
03D8h			
03D9h			
03DAh	プルアップ制御レジスタ2	PUR2	00h
03DBh	プルアップ制御レジスタ3	PUR3	00h
03DCh	プルアップ制御レジスタ4(注1、3)	PUR4	XXXX 0000b
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh			
03EDh			
03EEh			
03EFh			
03F0h	プルアップ制御レジスタ0	PUR0	00h
03F1h	プルアップ制御レジスタ1	PUR1	XXXX 0000b
03F2h			
03F3h			
03F4h			
03F5h			
03F6h			
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh	ポート制御レジスタ	PCR	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 100ピン版では使用できません。

注2. 100ピン版では“FFh”にしてください。

注3. 100ピン版では“00h”にしてください。

5. 電気的特性

表 5.1 絶対最大定格

記号	項目	条件	定格値	単位
VCC1, VCC2	電源電圧	VCC1=AVCC	-0.3~6.0	V
VCC2	電源電圧	—	-0.3~VCC1+0.1	V
AVCC	アナログ電源電圧	VCC1=AVCC	-0.3~6.0	V
VI	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1), VREF, XIN	-0.3~VCC1+0.3	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)	-0.3~VCC2+0.3	V
		P7_0, P7_1	-0.3~6.0	V
VO	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1), XOUT	-0.3~VCC1+0.3	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)	-0.3~VCC2+0.3	V
		P7_0, P7_1	-0.3~6.0	V
Pd	消費電力	-20°C ≤ Topr ≤ 85°C	500	mW
Topr	動作周囲温度		-20~85	°C
Tstg	保存温度		-65~150	°C

注1. ポートP11~P15は144ピン版のみあります。

表 5.2 推奨動作条件 (1) (指定のない場合は、VCC1=VCC2=3.0V~5.5V, Topr= -20~85°C)

記号	項目		規格値			単位
			最小	標準	最大	
VCC1, VCC2	電源電圧 (VCC1 ≥ VCC2)		3.0	5.0	5.5	V
AVCC	アナログ電源電圧			VCC1		V
VSS	電源電圧			0		V
AVSS	アナログ電源電圧			0		V
VIH	“H” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注4)	0.8VCC2		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_7(注3), P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注4), XIN, RESET, CNVSS, BYTE	0.8VCC1		VCC1	
		P7_0, P7_1	0.8VCC1		6.0	
		P0_0~P0_7, P1_0~P1_7 (マイクロプロセッサモード時)	0.5VCC2		VCC2	
VIL	“L” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注4)	0		0.2VCC2	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7(注3), P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注4), XIN, RESET, CNVSS, BYTE	0		0.2VCC1	
		P0_0~P0_7, P1_0~P1_7 (マイクロプロセッサモード時)	0		0.16VCC2	
IOH(peak)	“H” 尖頭出力 電流 (注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			-10.0	mA
IOH(avg)	“H” 平均出力 電流 (注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			-5.0	mA
IOL(peak)	“L” 尖頭出力 電流 (注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			10.0	mA
IOL(avg)	“L” 平均出力 電流 (注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			5.0	mA

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, P8_6, P8_7, P9, P10, P11, P14, P15のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8_0~P8_4, P12, P13のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, P11のIOH(peak)の合計は-40mA以下、ポートP8_6, P8_7, P9, P10, P14, P15のIOH(peak)の合計は-40mA以下、ポートP3, P4, P5, P12, P13のIOH(peak)の合計は-40mA以下、ポートP6, P7, P8_0~P8_4のIOH(peak)の合計は-40mA以下にしてください。

注3. P8_7のVIH、VILはP8_7をプログラマブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

注4. ポートP11~P15は144ピン版のみあります。

表 5.2 推奨動作条件 (2) (指定のない場合は、VCC1=VCC2=3.0~5.5V, Topr=-20~85°C)

記号	項目	規格値			単位
		最小	標準	最大	
f(CPU)	CPU動作周波数 バスクロック (f(BCLK)) と同一	VCC1=4.2~5.5V	0	32	MHz
		VCC1=3.0~5.5V	0	24	
f(XIN)	メインクロック入力発振周波数	VCC1=4.2~5.5V	0	32	MHz
		VCC1=3.0~5.5V	0	24	
f(XCIN)	サブクロック発振周波数		32.768	50	kHz
f(Ring)	オンチップオシレータ発振周波数	0.5	1	2	MHz
f(VCO)	VCOクロック発振周波数(PLL周波数シンセサイザ)	20		80	MHz
f(PLL)	PLLクロック発振周波数	VCC1=4.2~5.5V	10	32	MHz
		VCC1=3.0~5.5V	10	24	
tsu(PLL)	PLL周波数シンセサイザ安定待ち時間	VCC1=5.0V		5	ms
		VCC1=3.3V		10	

VCC1=VCC2=5V

表 5.3 電気的特性(1)
(指定のない場合は、VCC1=VCC2=4.2V ~ 5.5V, VSS=0V, Topr= - 20 ~ 85°C, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H” 出力電圧	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7(注1)	IOH=-5mA	VCC2-2.0		VCC2	V
		P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P14_0 ~ P14_6, P15_0 ~ P15_7(注1)	IOH=-5mA	VCC1-2.0		VCC1	
	“H” 出力電圧	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7(注1)	IOH=-200μA	VCC2-0.3		VCC2	V
		P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P14_0 ~ P14_6, P15_0 ~ P15_7(注1)	IOH=-200μA	VCC1-0.3		VCC1	
	XOUT	IOH=-1mA	3.0		VCC1	V	
	XCOU	駆動能力 High	無負荷時		2.5		V
	駆動能力 Low	無負荷時		1.6		V	
VOL	“L” 出力電圧	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0 ~ P14_6, P15_0 ~ P15_7(注1)	IOL=5mA			2.0	V
		P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0 ~ P14_6, P15_0 ~ P15_7(注1)	IOL=200μA			0.45	V
	XOUT	IOL=1mA			2.0	V	
	XCOU	駆動能力 High	無負荷時		0		V
		駆動能力 Low	無負荷時		0		V
	VT+ - VT-	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, ADTRG, CTS0 ~ CTS4, CLK0 ~ CLK4, TA0OUT ~ TA4OUT, NMI, KI0 ~ KI3, RXD0 ~ RXD4, SCL0 ~ SCL4, SDA0 ~ SDA4		0.2		1.0
RESET				0.2		1.8	V
IIH	“H” 入力電流	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0 ~ P14_6, P15_0 ~ P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=5V			5.0	μA
IIIL	“L” 入力電流	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0 ~ P14_6, P15_0 ~ P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=0V			-5.0	μA

注1. ポートP11~P15は144ピン版のみあります。

VCC1=VCC2=5V

表 5.3 電氣的特性(2)

(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C, f(CPU)=32MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1)	VI=0V	20	40	167	kΩ
RfXIN	帰還抵抗	XIN			1.5		MΩ
RfXCIN	帰還抵抗	XCIN			10		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V

注1. ポートP11~P15は144ピン版のみあります。

表 5.3 電氣的特性(3) (指定のない場合は、VCC1=VCC2=5.0V, VSS=0V, Topr=25°C)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
ICC	電源電流	ROMレス版	f(CPU)=32MHz		28	45	mA
			f(CPU)=16MHz		16		mA
			f(CPU)=8MHz		10		mA
			f(CPU)=f(Ring) オンチップオシレータ低消費電力モード		1		mA
			f(CPU)=32kHz 低消費電力モード		25		μA
			ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後		50		μA
			ストップモード(クロック停止時)		0.8	5	μA
			ストップモード(クロック停止時) Topr=85°C			50	μA

VCC1=VCC2=5V

表 5.4 A/D 変換特性 (指定のない場合は、VCC1=VCC2=AVCC=VREF=4.2V ~ 5.5V, VSS=AVSS=0V, Topr = -20 ~ 85 °C, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	VREF=VCC1			10	Bits
INL	積分非直線性誤差	VREF=VCC1=VCC2=5V AN_0 ~ AN_7、 AN15_0 ~ AN15_7、 ANEX0、ANEX1 外部オペアンプ接続モード			±3	LSB
					±7	LSB
DNL	微分非直線性誤差				±1	LSB
—	オフセット誤差				±3	LSB
—	ゲイン誤差				±3	LSB
RLADDER	ラダー抵抗	VREF=VCC1	8		40	kΩ
tCONV	変換時間(10bit)(注1、2)		2.06			μs
tCONV	変換時間(8bit)(注1、2)		1.75			μs
tSAMP	サンプリング時間(注1)		0.188			μs
VREF	基準電圧		2		VCC1	V
VIA	アナログ入力電圧		0		VREF	V

注1. φADが16MHzのときの値です。f(XIN)が16MHzを超える場合は分周し、φADを16MHz以下にしてください。

注2. サンプル&ホールド機能あり。

表 5.5 D/A 変換特性 (指定のない場合は、VCC1=VCC2=VREF=4.2V ~ 5.5V, VSS=AVSS=0V, Topr = -20 ~ 85 °C, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.5	mA

注1. D/A コンバータを1本利用し、使用していないD/A コンバータのDAiレジスタ(i=0, 1)の値が“00h”の場合です。A/D コンバータのラダー抵抗分は除きます。AD0CON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IVREFは流れます。

VCC1=VCC2=5V

表 5.6 電圧検出回路の電気的特性 (指定のない場合は VCC1=VCC2=3.0~5.5V, VSS=0V, Topr=25°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet4	Vdet4 検出電圧	VCC1=3.0V~5.5V	3.3	3.8	4.4	V
Vdet3	Vdet3 検出電圧			3.0		V
Vdet3s	ハードウェアリセット2保持電圧				2.0	V
Vdet3r	ハードウェアリセット2解除電圧			3.1		V

注1. Vdet4 > Vdet3 になります。
 注2. Vdet3r > Vdet3 は保証されません。

表 5.7 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	VCC1=3.0V~5.5V			2	ms
td(S-R)	ハードウェアリセット2解除待ち時間	VCC1=Vdet3r~5.5V		6(注1)	20	ms
td(E-A)	Vdet3、Vdet4 検出回路動作開始時間	VCC1=3.0V~5.5V			20	μs

注1. VCC1=5V 時の標準値

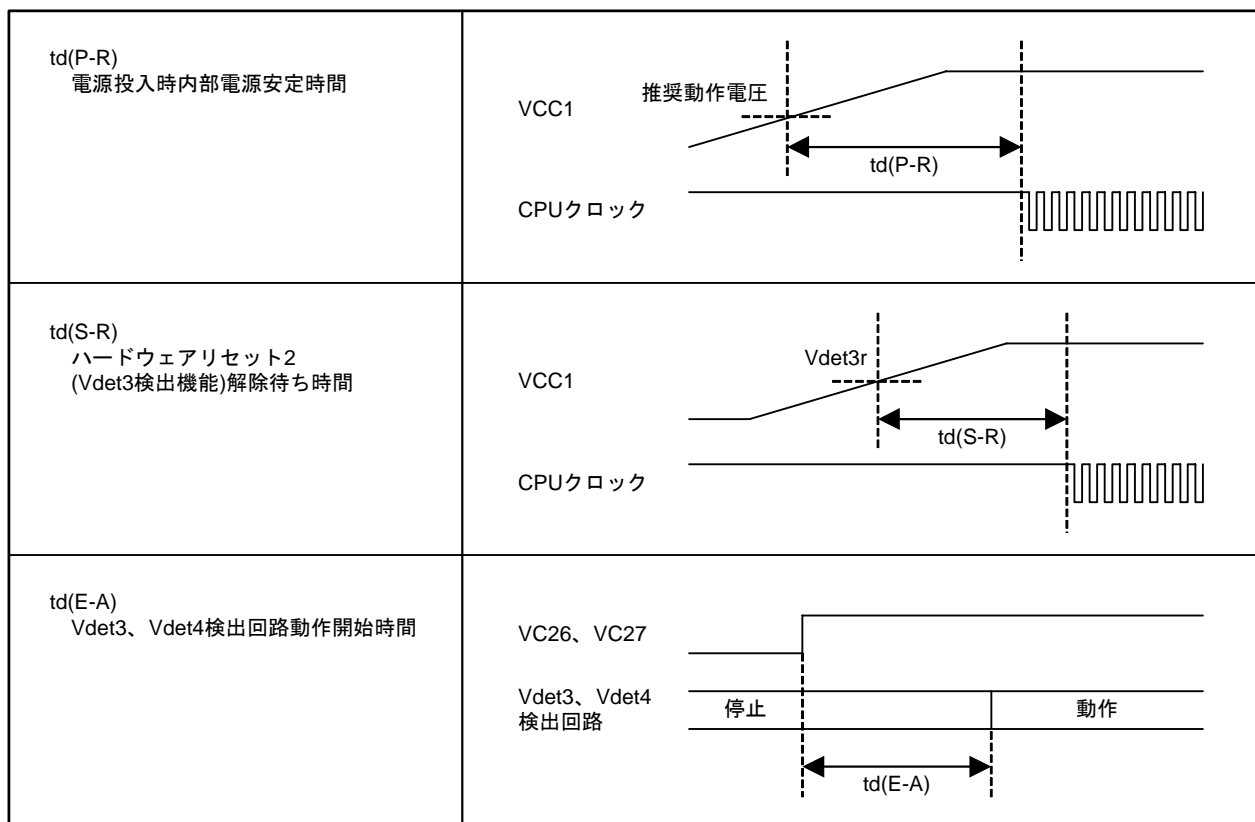


図 5.1 電源回路のタイミング

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85℃)

表5.8 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	31.25		ns
tw(H)	外部クロック入力“H”パルス幅	13.75		ns
tw(L)	外部クロック入力“L”パルス幅	13.75		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表5.9 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

i=0~4

表5.10 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

i=0~4

表5.11 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

表5.12 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

VCC1=VCC2=5V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85℃)

表 5.13 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOUT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

i=0~4

表 5.14 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	800		ns
tsu(TAIN-TAOUT)	TAiOUT入力セットアップ時間	200		ns
tsu(TAOUT-TAIN)	TAiIN入力セットアップ時間	200		ns

i=0~4

表 5.15 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間(片エッジカウント)	100		ns
tw(TBH)	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
tw(TBL)	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
tc(TB)	TBiIN入力サイクル時間(両エッジカウント)	200		ns
tw(TBH)	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
tw(TBL)	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

i=0~5

表 5.16 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

表 5.17 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

VCC1=VCC2=5V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C)

表 5.18 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	$\overline{\text{ADTRG}}$ 入力サイクル時間 (トリガ可能最小)	1000		ns
tw(ADL)	$\overline{\text{ADTRG}}$ 入力 "L" パルス幅	125		ns

表 5.19 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi 入力サイクル時間	200		ns
tw(CKH)	CLKi 入力 "H" パルス幅	100		ns
tw(CKL)	CLKi 入力 "L" パルス幅	100		ns
td(C-Q)	TXDi 出力遅延時間		80	ns
th(C-Q)	TXDi 出力ホールド時間	0		ns
tsu(D-C)	RXDi 入力セットアップ時間	30		ns
th(C-D)	RXDi 入力ホールド時間	90		ns

i=0~4

表 5.20 外部割り込み $\overline{\text{INTi}}$ 入力 (エッジセンス)

記号	項目	規格値		単位
		最小	最大	
tw(INH)	$\overline{\text{INTi}}$ 入力 "H" パルス幅	250		ns
tw(INL)	$\overline{\text{INTi}}$ 入力 "L" パルス幅	250		ns

i=0~5

VCC1=VCC2=5V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=4.2V ~ 5.5V, VSS=0V, Topr= -20 ~ 85°C)

表 5.21 マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間(RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間(AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間(RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間(AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	26		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	26		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$ 入力セットアップ時間	30		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$ 入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウェイトを入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$tac1(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) + 1)$$

$$tac1(AD-DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a + b)$$

$$tac2(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

$$tac2(AD-DB) = \frac{10^9 \times p}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} p=\{(a + b - 1) \times 2\} + 1)$$

VCC1=VCC2=5V

スイッチング特性 (指定のない場合は、VCC1=VCC2=4.2V ~ 5.5V, VSS=0V, Topr= -20 ~ 85°C)

表 5.22 マイクロプロセッサモード (外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 5.2 参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK 基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD 基準) (注 3)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR 基準) (注 3)		(注 1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK 基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD 基準) (注 3)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR 基準) (注 3)		(注 1)		ns
td(BCLK-RD)	RD 出力遅延時間			18	ns
th(BCLK-RD)	RD 出力保持時間		-5		ns
td(BCLK-WR)	WR 出力遅延時間			18	ns
th(BCLK-WR)	WR 出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR 基準)			(注 2)	ns
th(WR-DB)	データ出力保持時間 (WR 基準) (注 3)			(注 1)	ns
tw(WR)	WR 出力幅			(注 2)	ns

注 1. BCLK の周波数に応じて次の計算式で算出されます。

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注 2. BCLK の周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=b)$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=(b \times 2) - 1)$$

注 3. リカバリサイクル挿入時は tc 時間延長されます。

VCC1=VCC2=5V

スイッチング特性 (指定のない場合は、VCC1=VCC2=4.2V ~ 5.5V, VSS=0V, Topr= -20 ~ 85°C)

表 5.23 マイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 5.2 参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK 基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD 基準) (注 5)		(注 1)		ns
th(WR-AD)	アドレス出力保持時間 (WR 基準) (注 5)		(注 1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK 基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD 基準) (注 5)		(注 1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR 基準) (注 5)		(注 1)		ns
td(BCLK-RD)	RD 信号出力遅延時間			18	ns
th(BCLK-RD)	RD 信号出力保持時間		-5		ns
td(BCLK-WR)	WR 信号出力遅延時間			18	ns
th(BCLK-WR)	WR 信号出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR 基準)		(注 2)		ns
th(WR-DB)	データ出力保持時間 (WR 基準) (注 5)		(注 1)		ns
td(BCLK-ALE)	ALE 信号出力遅延時間 (BCLK 基準)			18	ns
th(BCLK-ALE)	ALE 信号出力保持時間 (BCLK 基準)		-2		ns
td(AD-ALE)	ALE 信号出力遅延時間 (アドレス基準)		(注 3)		ns
th(ALE-AD)	ALE 信号出力保持時間 (アドレス基準)		(注 4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注 1. BCLK の周波数に応じて次の計算式で算出されます。

$$th(RD-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注 2. BCLK の周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

注 3. BCLK の周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD-ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注 4. BCLK の周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE-AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注 5. リカバリサイクル挿入時は tc 時間延長されます。

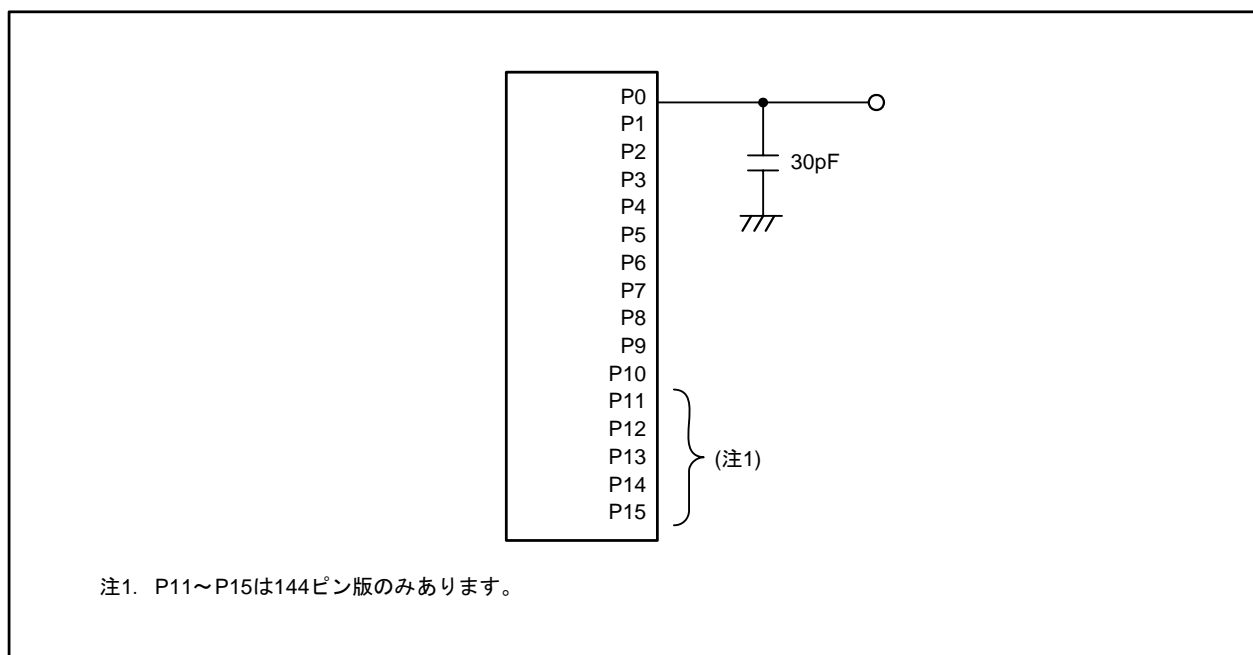


図5.2 ポートP0~P15の測定回路

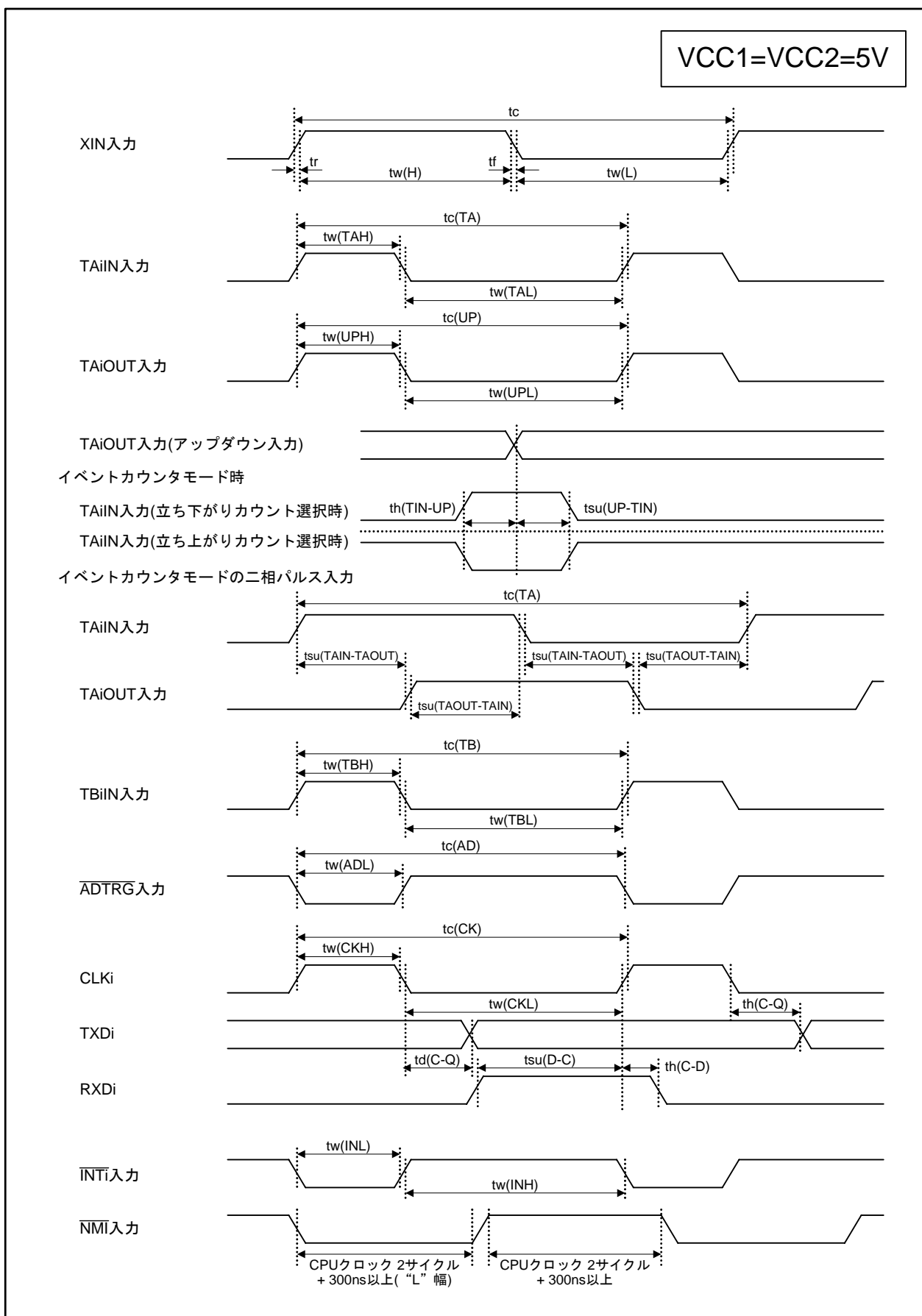


図 5.3 VCC1=VCC2=5V時のタイミング図(1)

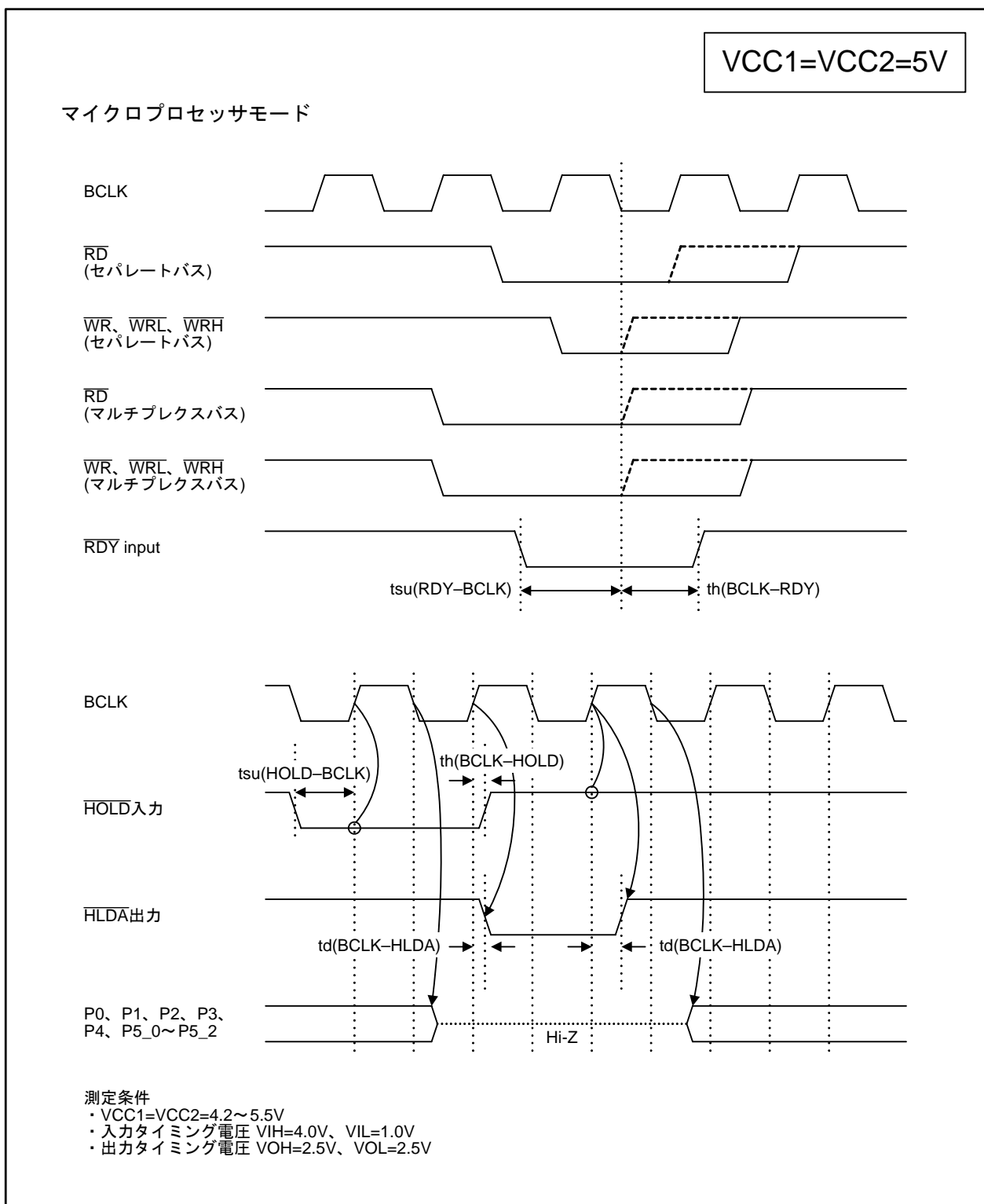


図5.4 VCC1=VCC2=5V時のタイミング図(2)

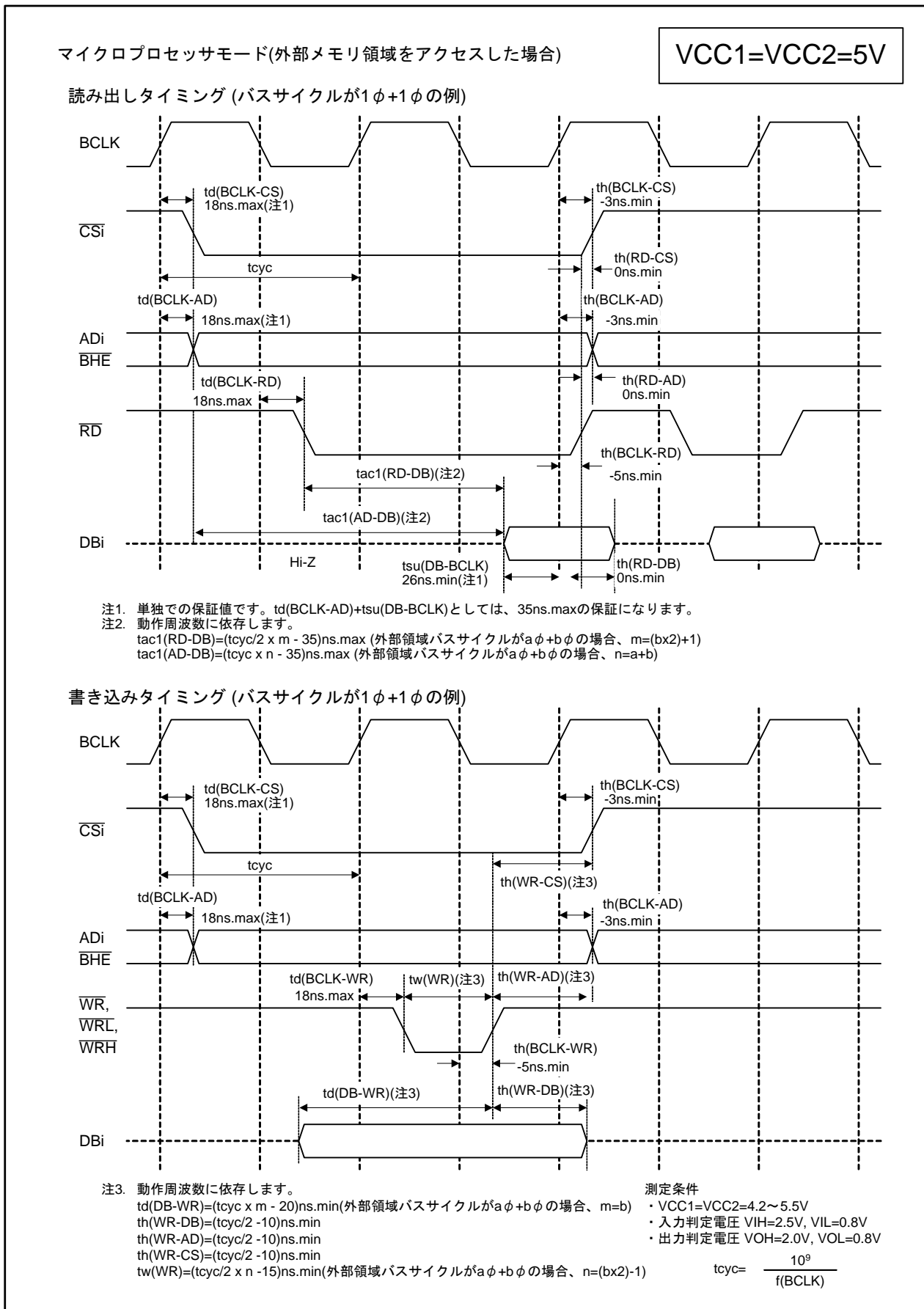


図 5.5 VCC1=VCC2=5V時のタイミング図(3)

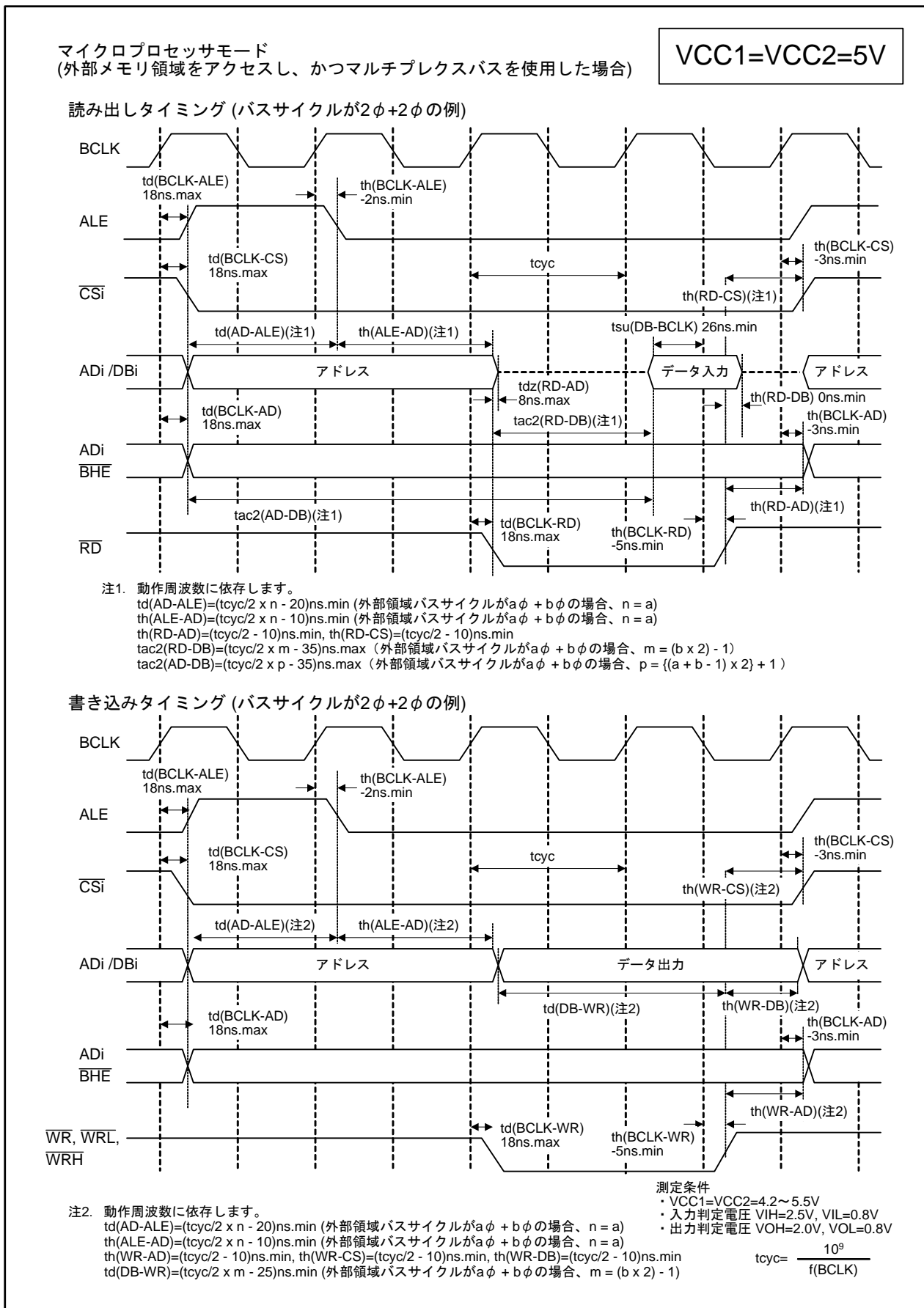


図5.6 VCC1=VCC2=5V時のタイミング図(4)

VCC1=VCC2=3.3V

表 5.24 電気的特性(1)

(指定のない場合は、VCC1=VCC2=3.0V ~ 3.6V, VSS=0V, Topr= -20 ~ 85°C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H” 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)	IOH=-1mA	VCC2-0.6		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1)	IOH=-1mA	VCC1-0.6		VCC1	
	XOUT	IOH=-0.1mA	2.7		VCC1	V	
	XCOU	駆動能力 High	無負荷時		2.5		V
		駆動能力 Low	無負荷時		1.6		V
VOL	“L” 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1)	IOL=1mA			0.5	V
		XOUT	IOL=0.1mA			0.5	V
	XCOU	駆動能力 High	無負荷時		0		V
		駆動能力 Low	無負荷時		0		V
VT+ - VT-	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, ADTRG, CTS0 ~ CTS4, CLK0 ~ CLK4, TA0OUT ~ TA4OUT, NMI, KI0 ~ KI3, RXD0 ~ RXD4, SCL0 ~ SCL4, SDA0 ~ SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
IIH	“H” 入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=3V			4.0	μA
IIL	“L” 入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=0V			-4.0	μA
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1)	VI=0V	40	70	500	kΩ
RfXIN	帰還抵抗	XIN			3.0		MΩ
RfXCIN	帰還抵抗	XCIN			20.0		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V

注1. ポートP11~P15は144ピン版のみあります。

VCC1=VCC2=3.3V

表 5.24 電気的特性(2) (指定のない場合は、VCC1=VCC2=3.3V, VSS=0V, Topr=25°C)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
ICC	電源電流	ROM レス版	f(CPU)=24MHz		22	33	mA
			f(CPU)=16MHz		15		mA
			f(CPU)=8MHz		9		mA
			f(CPU)=f(Ring) オンチップオシレータ低消費電力モード		1		mA
			f(CPU)=32kHz 低消費電力モード		25		μA
			ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後		45		μA
			ストップモード(クロック停止時)		0.8	5	μA
			ストップモード(クロック停止時) Topr=85°C			50	μA

表 5.25 A/D 変換特性 (指定のない場合は、VCC1=VCC2=AVCC=VREF=3.0V ~ 3.6V, VSS=AVSS=0V, Topr = -20 ~ 85°C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	VREF=VCC1			10	Bits
INL	積分非直線性誤差 (8bit)	VREF=VCC1=VCC2=3.3V			± 2	LSB
DNL	微分非直線性誤差 (8bit)				± 1	LSB
—	オフセット誤差 (8bit)				± 2	LSB
—	ゲイン誤差 (8bit)				± 2	LSB
RLADDER	ラダー抵抗	VREF=VCC1	8		40	kΩ
tCONV	変換時間 (8bit)(注 1、2)		4.9			μs
VREF	基準電圧		3		VCC1	V
VIA	アナログ入力電圧		0		VREF	V

注 1. φ AD が 10MHz のときの値です。φ AD を 10MHz 以下にしてください。f(CPU)=(fAD) が 24MHz の場合は 3 分周し、φ AD を 8MHz にして使用してください。このとき、AD 変換時間は 6.1 μs になります。

注 2. サンプル&ホールド機能なし。

表 5.26 D/A 変換特性 (指定のない場合は、VCC1=VCC2=VREF=3.0V ~ 3.6V, VSS=AVSS=0V, Topr = -20 ~ 85°C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注 1)			1.0	mA

注 1. D/A コンバータを 1 本利用し、使用していない D/A コンバータの DAI レジスタ (i=0, 1) の値が “00h” の場合です。A/D コンバータのラダー抵抗分は除きます。AD0CON1 レジスタの VCUT ビットを “0” (VREF 未接続) にした場合でも、IVREF は流れます。

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85℃)

表5.27 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	41		ns
tw(H)	外部クロック入力“H”パルス幅	18		ns
tw(L)	外部クロック入力“L”パルス幅	18		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表5.28 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

i=0~4

表5.29 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

i=0~4

表5.30 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

表5.31 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

VCC1=VCC2=3.3V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=3.0V ~ 3.6V, VSS=0V, Topr= -20 ~ 85 °C)

表 5.32 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT 入力サイクル時間	2000		ns
tw(UPH)	TAiOUT 入力 "H" パルス幅	1000		ns
tw(UPL)	TAiOUT 入力 "L" パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT 入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT 入力ホールド時間	400		ns

i=0~4

表 5.33 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	2		μs
tsu(TAIN-TAOUT)	TAiOUT 入力セットアップ時間	500		ns
tsu(TAOUT-TAIN)	TAiIN 入力セットアップ時間	500		ns

i=0~4

表 5.34 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
tw(TBH)	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
tw(TBL)	TBiIN 入力 "L" パルス幅(片エッジカウント)	40		ns
tc(TB)	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
tw(TBH)	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
tw(TBL)	TBiIN 入力 "L" パルス幅(両エッジカウント)	80		ns

i=0~5

表 5.35 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間	400		ns
tw(TBH)	TBiIN 入力 "H" パルス幅	200		ns
tw(TBL)	TBiIN 入力 "L" パルス幅	200		ns

i=0~5

表 5.36 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間	400		ns
tw(TBH)	TBiIN 入力 "H" パルス幅	200		ns
tw(TBL)	TBiIN 入力 "L" パルス幅	200		ns

i=0~5

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85°C)

表 5.37 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	$\overline{\text{ADTRG}}$ 入力サイクル時間(トリガ可能最小)	1000		ns
tw(ADL)	$\overline{\text{ADTRG}}$ 入力 "L" パルス幅	125		ns

表 5.38 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi 入力サイクル時間	200		ns
tw(CKH)	CLKi 入力 "H" パルス幅	100		ns
tw(CKL)	CLKi 入力 "L" パルス幅	100		ns
td(C-Q)	TXDi 出力遅延時間		80	ns
th(C-Q)	TXDi 出力ホールド時間	0		ns
tsu(D-C)	RXDi 入力セットアップ時間	30		ns
th(C-D)	RXDi 入力ホールド時間	90		ns

i=0~4

表 5.39 外部割り込み $\overline{\text{INTi}}$ 入力(エッジセンス)

記号	項目	規格値		単位
		最小	最大	
tw(INH)	$\overline{\text{INTi}}$ 入力 "H" パルス幅	250		ns
tw(INL)	$\overline{\text{INTi}}$ 入力 "L" パルス幅	250		ns

i=0~5

VCC1=VCC2=3.3V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=3.0V ~ 3.6V, VSS=0V, Topr= -20 ~ 85°C)

表 5.40 マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間(RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間(AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間(RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間(AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	30		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	40		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$ 入力セットアップ時間	60		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$ 入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウェイトを入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$tac1(\text{RD-DB}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) + 1)$$

$$tac1(\text{AD-DB}) = \frac{10^9 \times n}{f(\text{BCLK})} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a + b)$$

$$tac2(\text{RD-DB}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

$$tac2(\text{AD-DB}) = \frac{10^9 \times p}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} p=\{(a + b - 1) \times 2\} + 1)$$

VCC1=VCC2=3.3V

スイッチング特性 (指定のない場合は、VCC1=VCC2=3.0V ~ 3.6V, VSS=0V, Topr= -20 ~ 85°C)

表5.41 マイクロプロセッサモード (外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準) (注3)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準) (注3)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準) (注3)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準) (注3)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)			(注2)	ns
th(WR-DB)	データ出力保持時間 (WR基準) (注3)			(注1)	ns
tw(WR)	WR出力幅			(注2)	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=b)$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=(b \times 2) - 1)$$

注3. リカバリサイクル挿入時はtc時間延長されます。

VCC1=VCC2=3.3V

スイッチング特性(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85°C)

表 5.42 マイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 5.2 参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間(BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間(BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間(アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間(アドレス基準)		(注4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD-ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE-AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注5. リカバリサイクル挿入時はtc時間延長されます。

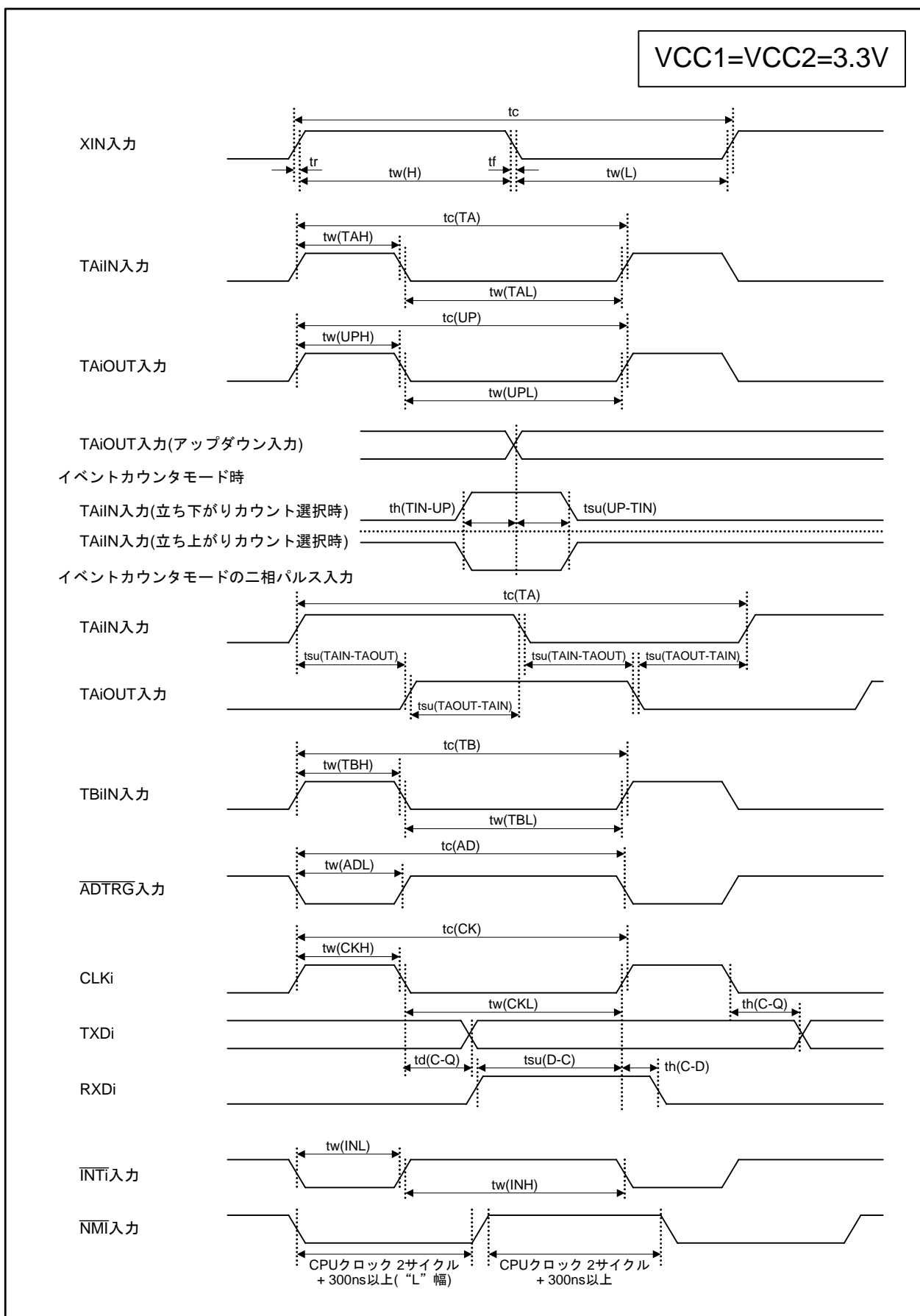


図 5.7 VCC1=VCC2=3.3V 時のタイミング図(1)

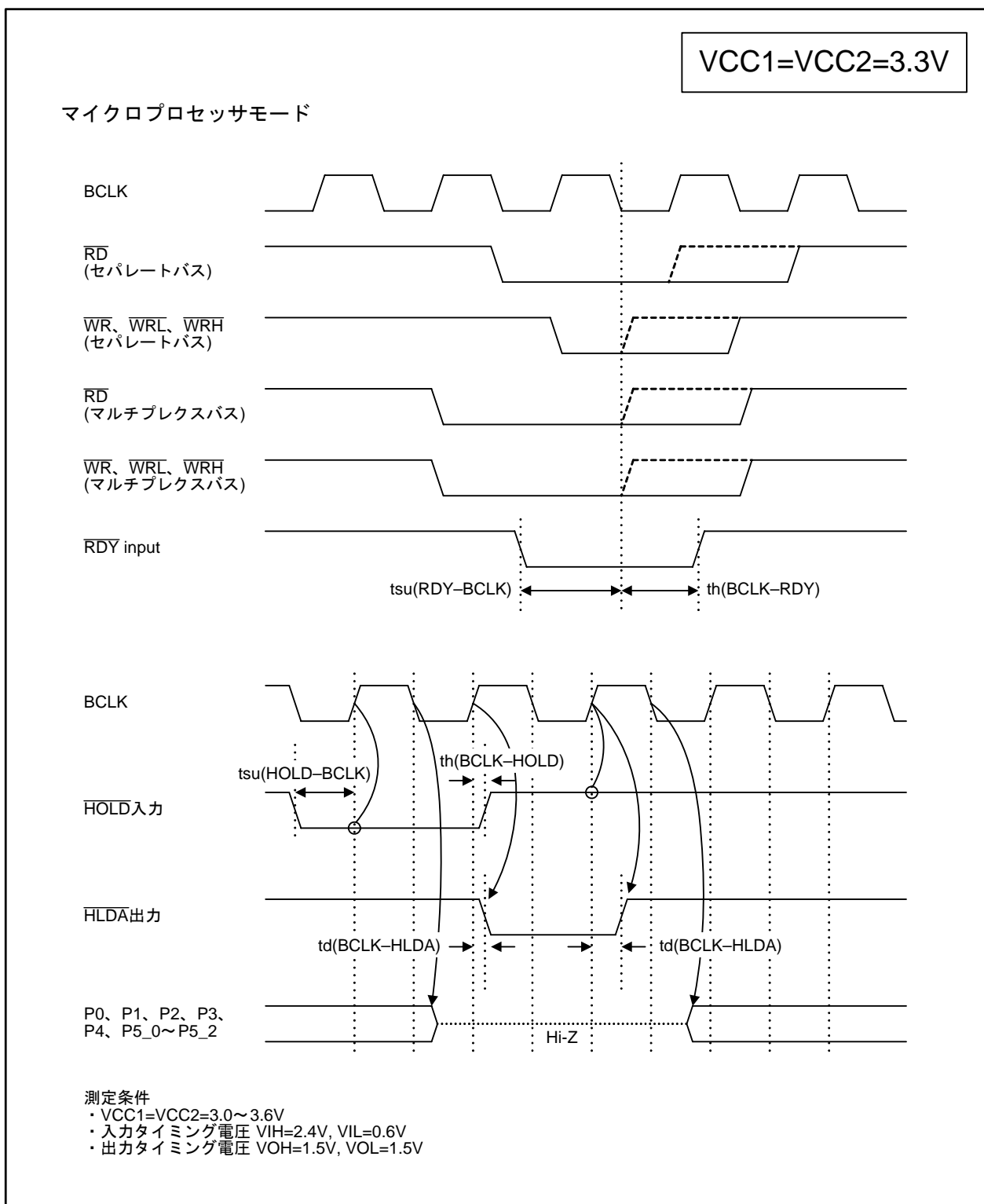


図 5.8 VCC1=VCC2=3.3V 時のタイミング図 (2)

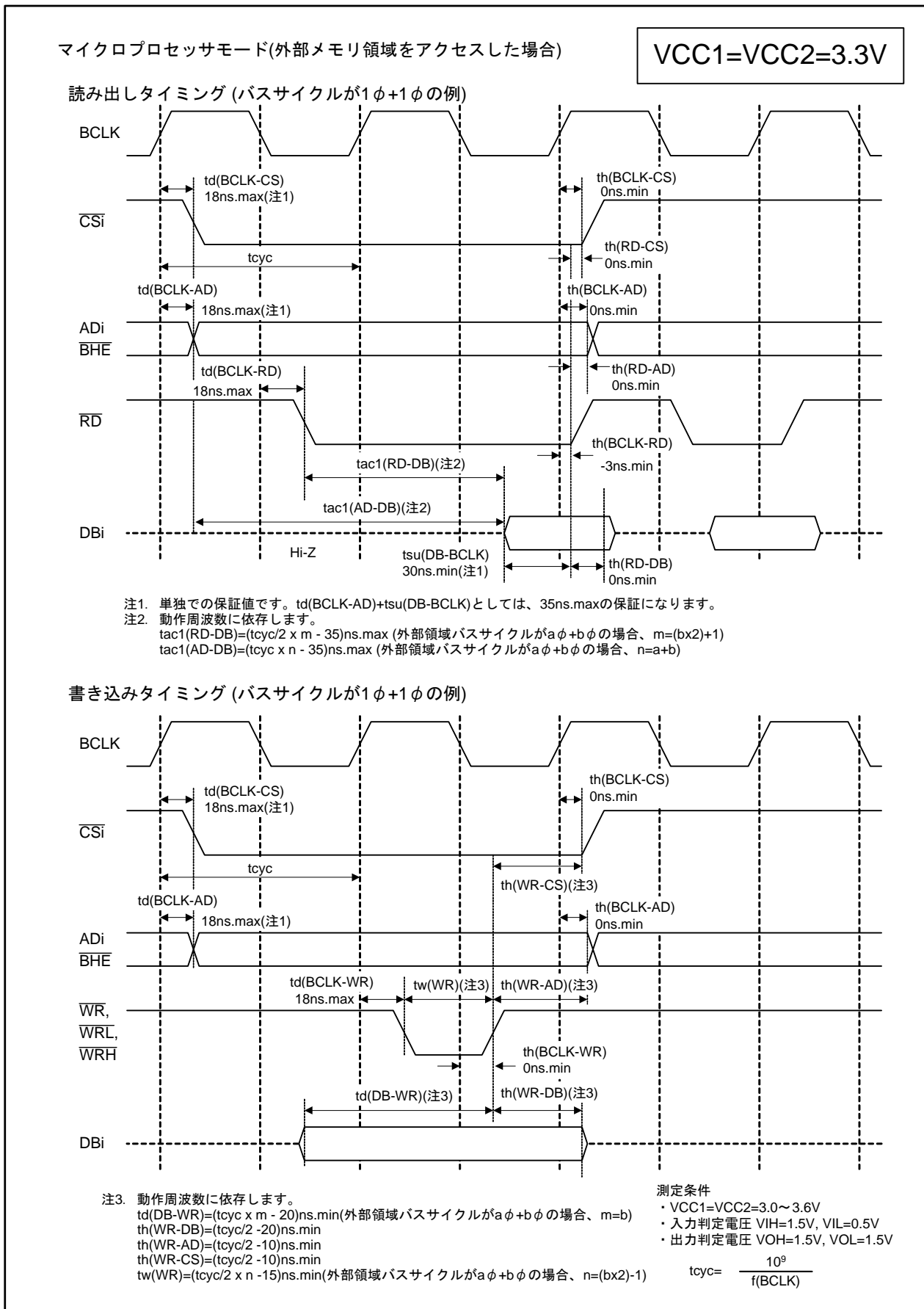


図 5.9 VCC1=VCC2=3.3V時のタイミング図(3)

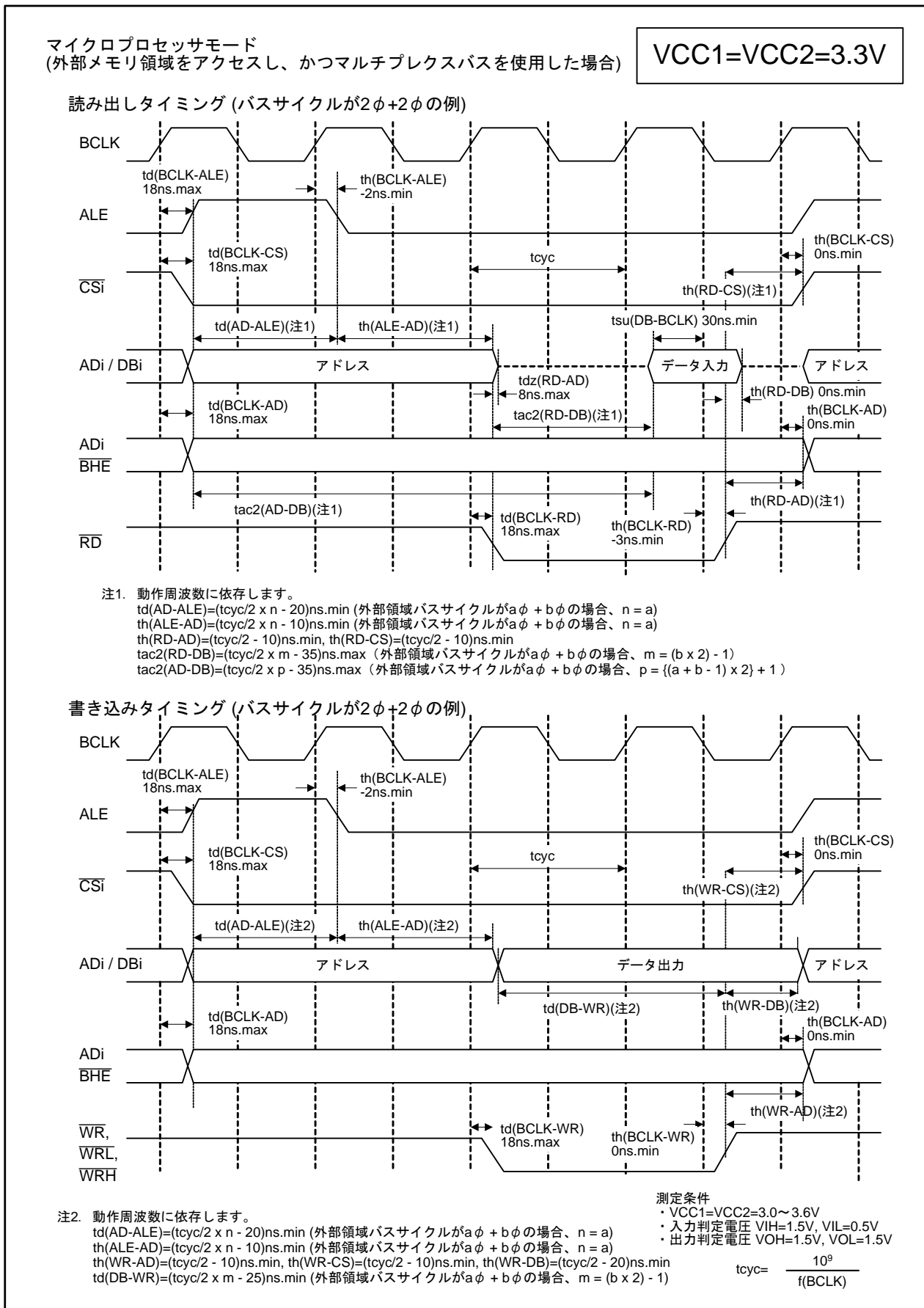
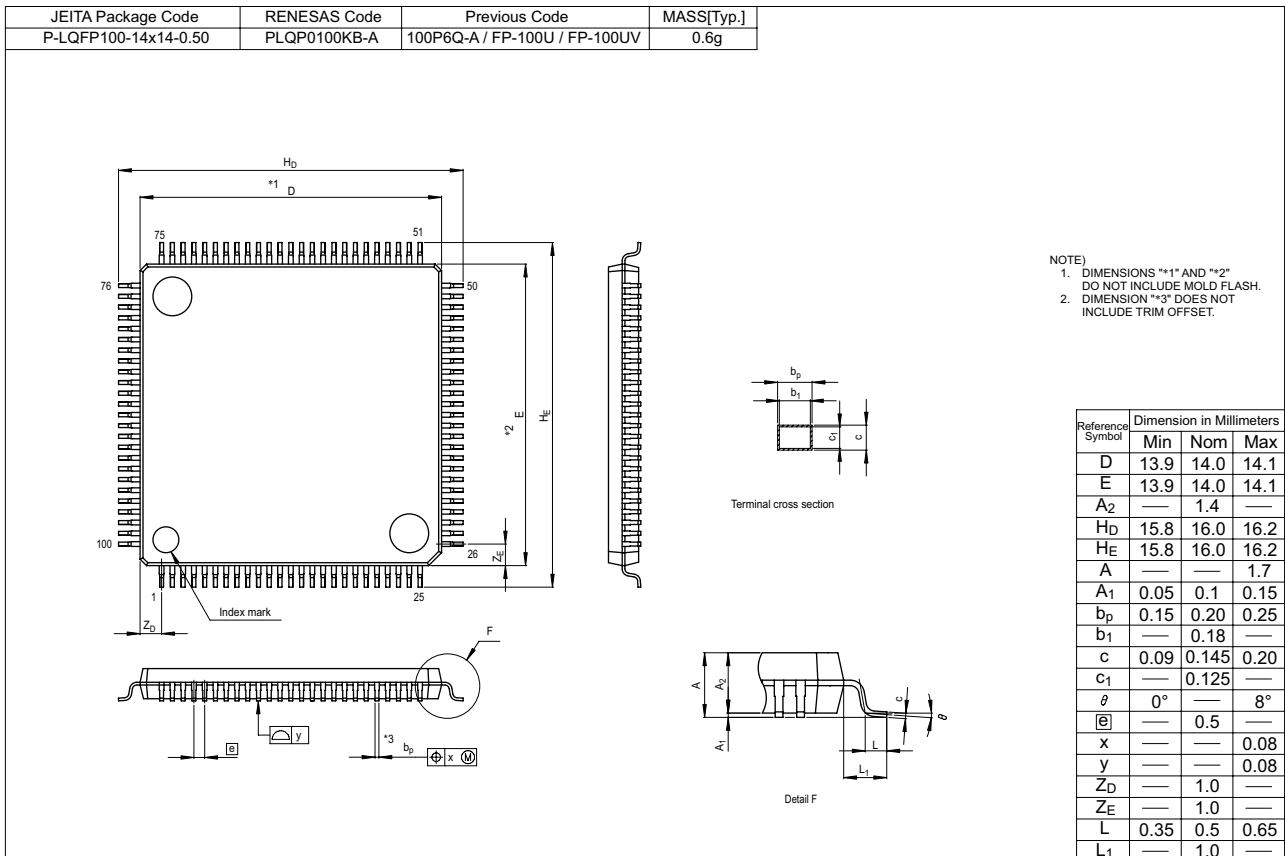
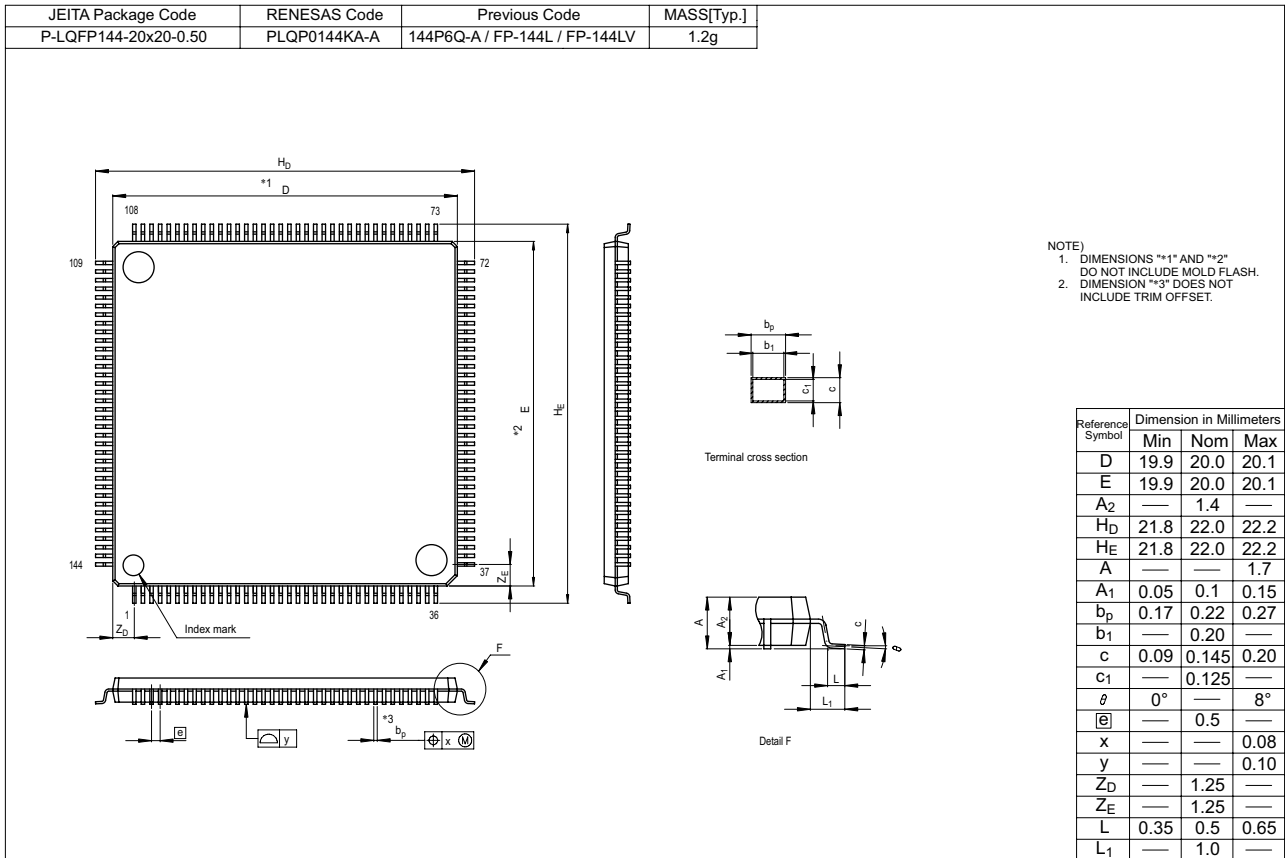


図 5.10 VCC1=VCC2=3.3V時のタイミング図(4)

外形寸法図



改訂記録	M32C/8A グループ データシート
------	---------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2007.04.01	-	初版発行
1.10	2007.07.15		全般 ・ 144ピン版を追加 ・ 製品 (M308A3SGP、M308A5SGP) を追加
1.11	2009.03.31	2、4	概要 ・ 表 1.1、表 1.3 「I ² C bus(オプション)(注2)」 → 「I ² C bus」 ・ 表 1.2、表 1.4 動作周囲温度 「-40～85℃」 削除、「注1」 削除 ・ 表 1.5 製品一覧表の更新、「(計)：計画中」 削除
		3、5	
		6	
		27	SFR ・ 表 4.6 「044Ch」 → 「034Ch」 ・ 表 4.9 「XXXX XXX0b」 → 「XXXX X000b」
		30	
		31	電気的特性 ・ 表 5.1 消費電力 「-40℃ ≤ Topr ≤ 85℃」 → 「-20℃ ≤ Topr ≤ 85℃」、 動作周囲温度 「/-40～85」、「注2.-40～85℃をご使用になる場合 は、弊社営業窓口までお問い合わせください。」 削除
		35、50	・ 表 5.3、表 5.24 「ウェイトモード」 追記

すべての商標および登録商標は、それぞれの所有者に帰属します。
 IEBusは、NECエレクトロニクス株式会社の登録商標です。

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご相談ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがないう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご相談ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
い	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
わ	支	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
茨	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
新	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
潟	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
松	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
本	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
部	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
中	支			
関	支			
西	支			
陸	支			
北	支			
広	支			
島	支			
州	支			

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com