

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. M66291概要

M66291は、USB (Universal Serial Bus) Specification Revision 2.0に準拠し、Full Speed 転送モードに対応した USB デバイスコントローラです。USB トランシーバ回路を内蔵しており、USB で定義されている全転送タイプに対応しています。データ転送用に最大 3K バイトの FIFO を内蔵し、最大 7 本のエンドポイントの設定が可能です。それぞれのエンドポイントは、データ転送条件をプログラマブルに設定可能であるため、USB の各デバイスクラスの転送システムに対応することが可能です。

1.1 特長

- USB Specification Rev. 2.0準拠
- Full Speed転送 (12Mbps) に対応
- USBトランシーバ内蔵
- 発振バッファ内蔵 (6M/12M/24MHzの発振子に対応) , 48MHzPLL内蔵
 - ・ IOVcc=2.7~3.6Vで使用する場合は6M/12M/24M/48MHzのクロック入力に対応
 - ・ IOVcc=4.5~5.5Vで使用する場合は24M/48MHzのクロック入力に対応
- Vbus直結可能 (5V耐圧入力) , D+信号プルアップ出力
- USB全転送タイプに対応 (コントロール転送, バルク転送, インタラプト転送, アイソクロナス転送)
- 低消費電力動作 (動作時平均15mA)
- オリジナルデザインのSIE/DPLL (Digital Phase Lock Loop) により, USB伝送線路上の信号歪みに強い。
- デバイスステート/コントロール転送の状態 (遷移タイミング) をハードウェアが管理するため, エミュレーションプログラム作成及びタイミング設計が容易
- 連続送受信モード (複数のトランザクションデータをFIFOにバッファリングするモード) により, CPU負荷軽減 (ハイパフォーマンス、スループット向上)
- 最大7本のエンドポイント (EP0~EP6) を持つことが可能
- エンドポイント毎 (EP1~EP6) にデータ転送条件を設定可能。各種アプリケーション (デバイスクラス) に適合させることが可能。
 - ・ データ転送タイプ (バルク転送, アイソクロナス転送, インタラプト転送)
 - ・ 転送方向 (IN, OUT)
 - ・ パケットサイズ
- 3kバイトのエンドポイントバッファ (FIFO) 内蔵
- エンドポイント毎 (EP1~EP6) にFIFOメモリのバッファリング条件を設定可能
 - ・ FIFOバッファサイズ (~1k バイト)
 - ・ ダブルバッファ構成の有無 (バッファサイズ ×2の設定)
- 4本のコンフィギュラブルFIFOポート
 - ・ エンドポイント番号の割り当て
 - ・ アクセス方法の切替え (CPU, DMAC)
 - ・ ビット幅 (8ビット, 16ビット)
 - ・ エンディアン切替え
- 煩雑な要因解析を不要にする “割込みキューイング機能”
- 各種マイコン/DMACに接続可能
 - ・ バス幅 (8ビット/16ビット)
 - ・ インタフェース電圧 (2.7V~5.5V)
 - ・ 割り込み信号, DMA制御信号の極性設定可能
 - ・ マルチワードDMA (バースト) 可能
- 最大24Mbyte/secのFIFOアクセスサイクル

用途

USB搭載のPC周辺機器

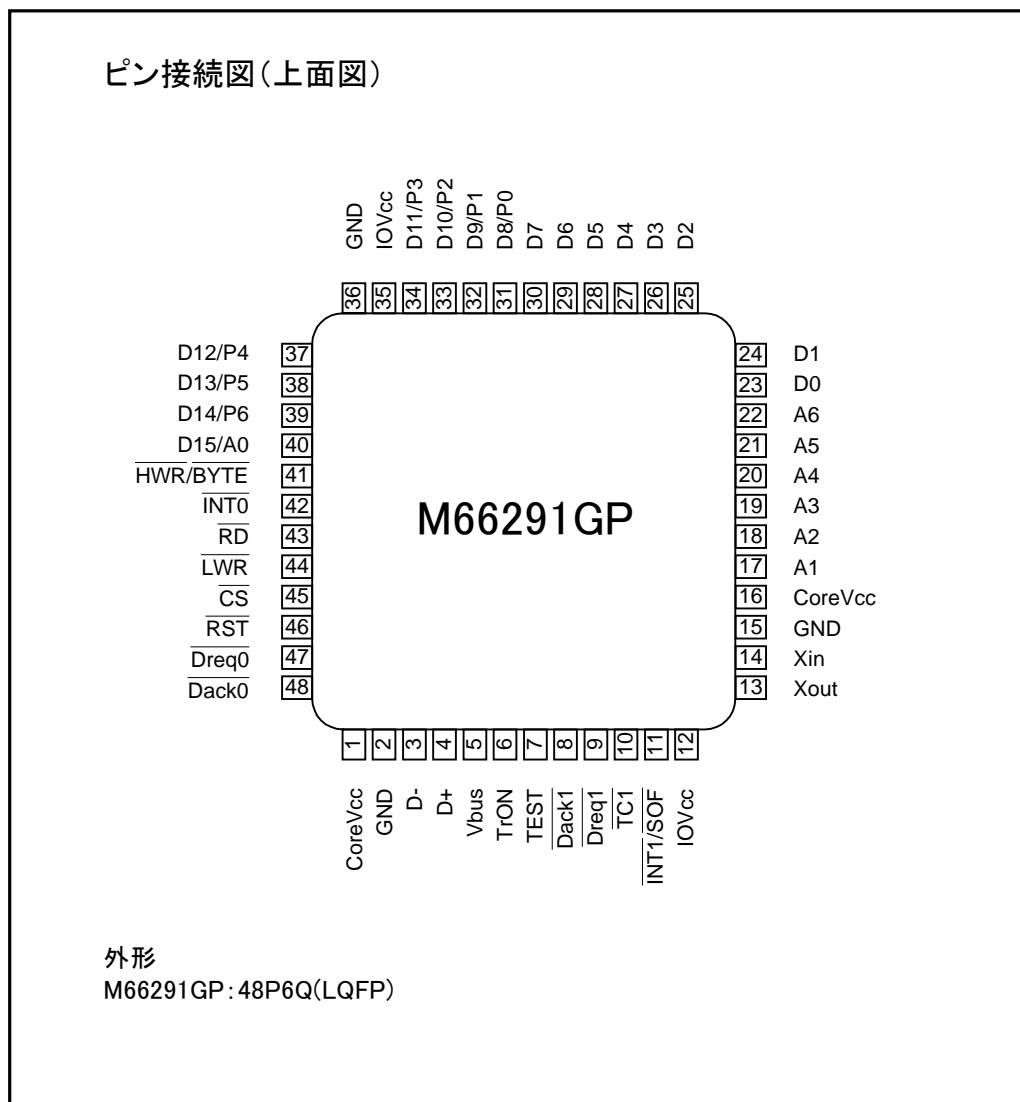


図 1.1-1 M66291GPピン接続図

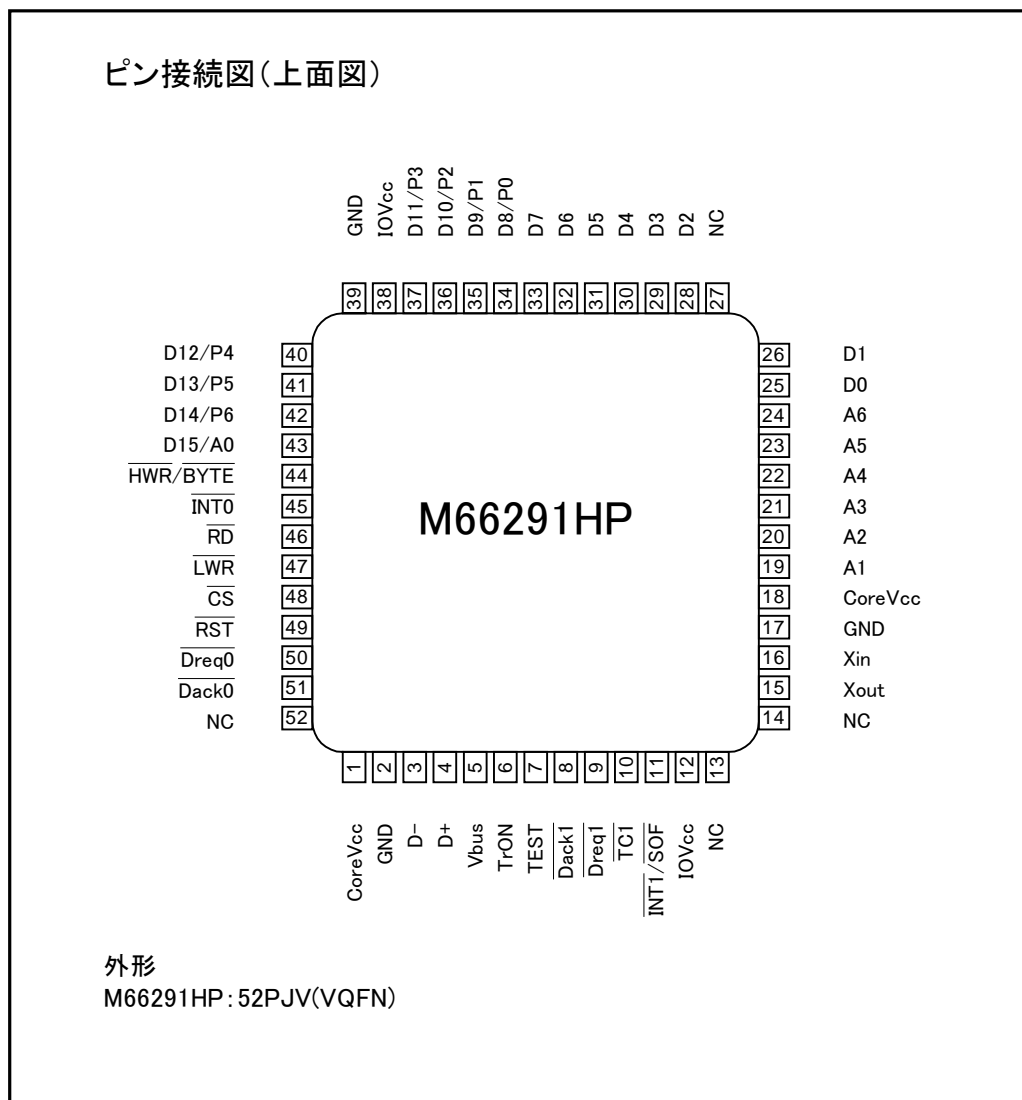


図 1.1-2 M66291HP ピン接続図

1.2 ブロック図

M66291 は、USB-IP ブロック、I/O ブロック、バスインタフェースユニット (BIU) 、FIFO メモリにより構成されます。

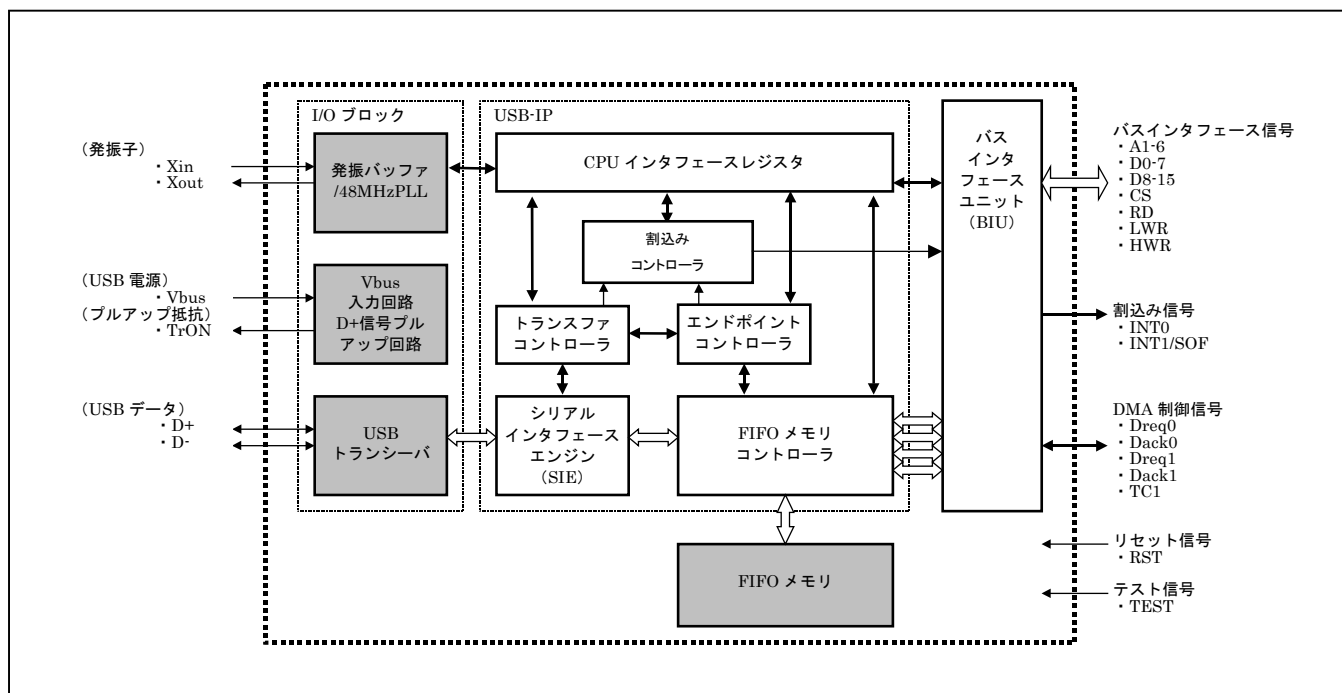


図 1.2 M66291ブロック図

1.2.1 USB-IP

USB-IP は、シリアルインタフェースエンジン、トランスファコントローラ、エンドポイントコントローラ、FIFO メモリコントローラ、割込みコントローラ、CPU インタフェースレジスタで構成されます。

(1) シリアルインタフェースエンジン (SIE)

シリアルインタフェースエンジン (SIE) は以下に示す USB の下位プロトコルの処理を行います。

- ・ 受信データ/受信クロックの抽出, 送信クロックの生成
- ・ 送受信データのシリアル/パラレル変換
- ・ NRZI (Non Return Zero Invert) エンコード/デコード
- ・ ビットスタッフィング/ビットアンスタッフィング
- ・ SYNC (Synchronization pattern) 検出, EOP (End Of Packet) 検出
- ・ USBアドレス検出, エンドポイント検出
- ・ CRC (Cyclic Redundancy Check) ジェネレータ/チェッカ

(2) トランスファコントローラ

トランスファコントローラはデバイスステータス遷移制御, コントロール転送シーケンス制御などを行います。

(3) エンドポイントコントローラ

エンドポイントごとの状態管理を行います。

(4) FIFO メモリコントローラ

エンドポイントコントローラの状態管理の元で, SIE (USB バス) 側と内部バス (CPU バス) 側の送受信データの読出し/書き込みを制御します。

(5) 割込みコントローラ

割込みコントローラは、トランスファコントローラと、エンドポイントコントローラが出力するステータス信号を、CPU インタフェースレジスタの設定にしたがって INT0、INT1/SOF 割込み端子に出力します。

(6) CPU インタフェースレジスタ

CPU とのインタフェースブロックです。モード設定, コマンド設定, ステータス読出しのレジスタで構成されます。

1.2.2 バスインタフェースユニット (BIU)

バスインタフェースユニット (BIU) は、USB-IP を LSI の外部バスに適合させるための回路です。

1.2.3 FIFOメモリ

FIFO メモリは、エンドポイントの送受信用 FIFO です。コントロール転送用の EP0 以外に EP1~6 の 6 本のエンドポイントを設定することができます。

1.2.4 I/Oブロック

I/O ブロックは、USB トランシーバ、発振バッファ、48MHzPLL、Vbus 入力回路、D+信号プルアップ制御回路から構成されます。

(1) USB トランシーバ

USB トランシーバは、USB specification 2.0 に準拠し、Full Speed 転送モードに対応した D+／D- 2 個 1 組のドライバと、2 個 1 組シングルエンドレシーバ、差動入力レシーバから構成されます。LSI 外部にインピーダンスマッチング用の直列抵抗が必要となります。

(2) 発振バッファ、48MHzPLL

USB-IP ブロックは、精度±0.25%の48MHzのクロックが必要です。M66291 は、発振バッファと48MHzPLLを内蔵しています。PLLはプログラムによって逡倍数を設定できるため、6M/12M/24MHzの外付け発振子を接続することができます。またPLL機能を使用せず外部48MHzクロックで動作することも可能です。

- ・IOVcc=2.7~3.6Vで使用する場合は6M/12M/24M/48MHzのクロック入力に対応
- ・IOVcc=4.5~5.5Vで使用する場合は24M/48MHzのクロック入力に対応

(3) Vbus 入力回路、D+信号プルアップ制御回路

M66291 は、Vbus 信号によりホスト／ハブとの接続状況を知ることができ、1.5kΩのD+信号プルアップをオン／オフすることによってホスト／ハブにデバイス側の準備状況を知らせることができます。

Vbus 入力バッファは5V耐圧を持っているため、USBバス上のVbus信号に直結することができます。

TrON 端子から流出する電流は、Vbus 入力から供給されます。USBバスのD+／D-信号は0~3.3Vで動作しますので、TrON 端子は内部的に3.3Vに降圧して出力します。

USBで電氣的につながっている状態ではホスト／ハブ側で15kΩでプルダウンされているため、D+信号にはプルアップ抵抗を介して常時0.2mAの電流が流れます。

1.3 端子機能説明

表1.1 M66291端子機能説明

区分	端子名	入出力	機能	端子数
バス インタ フェース	D7~D0	入出力	データバス システムバスからレジスタにアクセスするためのデータバスです。	8
	D14/P6~ D8/P0	入出力	データバス/ポート信号 8ビットバスインタフェース選択時は、ポート信号 P6~P0 となります。 16ビットバスインタフェース選択時には、データ信号 D14~D8 となります。	7
	D15/A0	入出力	D15 信号/A0 信号 8ビットバスインタフェース選択時は、アドレス信号 A0 (LSB) となります。 16ビットバスインタフェース選択時には、データ信号 D15 (MSB) となります。	1
	A6~A1	入力	アドレスバス システムからレジスタにアクセスするためのアドレスバスです。	6
	*CS	入力	チップセレクト "L"レベルで M66291 を選択します。	1
	*LWR	入力	ローライトストロープ "L"レベルでレジスタに下位データ (D7~D0) を書き込みます。	1
	*HWR/*BYT E	入力	ハイライトストロープ/バス幅選択信号 リセット信号が"H"レベルになった時点で、このピンが"L"レベルなら 8ビットバス インタフェース選択となります。又"H"レベルなら 16ビットバスインタフェース選 択となります。16ビットバスインタフェース選択時では、"L"レベルでレジスタに 上位データ (D15~D8) を書き込みます。 8ビットバスインタフェース選択時には"L"に固定にして下さい。	1
	*RD	入力	リードストロープ "L"レベルでレジスタからデータを読み出します。	1
割り込み インタ フェース	*INT0 (注1)	出力	割り込み 0 "L"レベルでシステムに対して割り込みをリクエストします。	1
	*INT1/*SOF (注1)	出力	割り込み 1/SOF 出力 レジスタの設定により割り込み 1 として使用するか、USB の SOF 信号を出力 する SOF 出力端子として使用します。	1
DMA インタ フェース	*Dreq0 (注1)	出力	DMA リクエスト 0 DMA チャンネル 0 において、エンドポイント FIFO に対する DMA 転送をリ クエストするための信号です。	1
	*Dack0 (注1)	入力	DMA 受付信号 0 DMA チャンネル 0 において、DMA 転送による FIFO アクセスが可能になり ます。使用しない時はインアクティブ固定として下さい。	1
	*Dreq1 (注1)	出力	DMA リクエスト 1 DMA チャンネル 1 において、エンドポイント FIFO に対する DMA 転送をリク エストするための信号です。	1

区分	端子名	入出力	機能	端子数
DMA インタ フェース	*Dack1 (注1)	入力	DMA 受付信号 1 DMA チャンネル 1 において、DMA 転送による FIFO アクセスが可能です。使用しない時はインアクティブ固定として下さい。	1
	*TC1	入力	ターミナルカウント 1 DMA チャンネル 1 において、"L"レベルで最終転送サイクルを示します。書き込みの時のみ有効です。使用しない時は"H"に固定して下さい。	1
USB インタ フェース	D+	入出力	USB データ (+) USB の D+ です。外部に抵抗を直列に接続してください。	1
	D-	入出力	USB データ (-) USB の D- です。外部に抵抗を直列に接続してください。	1
	Vbus	入力	Vbus 入力 (プルダウン抵抗内蔵) USB バスの Vbus、あるいは 5V 電源に接続してください。 Vbus の接続/切断を検出することができます。	1
	TrON	出力	TrON 出力 1.5KΩ D+プルアップ抵抗に接続します。 プルアップ抵抗の ON/OFF 制御に使用することができます。	1
その他	*RST	入力	リセット信号 "L"レベルで内部レジスタやカウンタの値を初期化します。	1
	Xin (注4)	入力	発振用入力	内部クロック発生回路の信号入出力を行います。Xin、Xout 両端間に水晶振動子を接続してください。
	Xout	出力	発振用出力	
	TEST	入力	TEST 入力 (プルダウン抵抗内蔵) テスト用入力です。"L"固定、またはオープンにしてください。	1
	CoreVcc (注2)	—	コア電源端子。内部ロジック、FIFO メモリ、PLL 回路、USB トランシーバ、発振バッファの電源となります。	2
	IOVcc (注3)	—	I/O 電源端子。	2
	GND	—	Ground 端子	3

なお端子名の先頭に”*”がある信号は、ローアクティブ信号です。(例：*CS はローアクティブで、CS を示します。)

(注1)：*Dreq 信号、*Dack 信号、*INT 信号、*SOF 信号の極性は、内部レジスタにより変更することができます。

(注2)：Xin,Xout,Vbus,D+,D-の各ピンは CoreVcc により駆動されます。

(注3)：バスインタフェース信号、割り込み信号、DMA 制御信号、リセット信号、テスト信号の各ピンは IOVcc により駆動されます。図 1. 2 を参照してください。

(注4)：IOVcc=2.7~3.6Vで使用する場合は6M/12M/24M/48MHzのクロック入力が可能。

IOVcc=4.5~5.5Vで使用する場合は24M/48MHzのクロック入力が可能。

表1.2 M66291未使用端子の処理方法

区分	端子名	空きピン処理方法
バスインタフェース	D14/P6~D8/P0	外部プルアップ/プルダウンまたは、出力ポートに設定
割込みインタフェース	*INT1/*SOF	オープン
DMA インタフェース	*Dreq1-0	オープン
	*Dack1-0	インアクティブ固定 (Dn_FIFO 選択レジスタの ACKA ビットが"0"の時、この端子は"H"固定)
	*TC1	"H"固定
その他	Xout	オープン
	TEST	"L"固定またはオープン

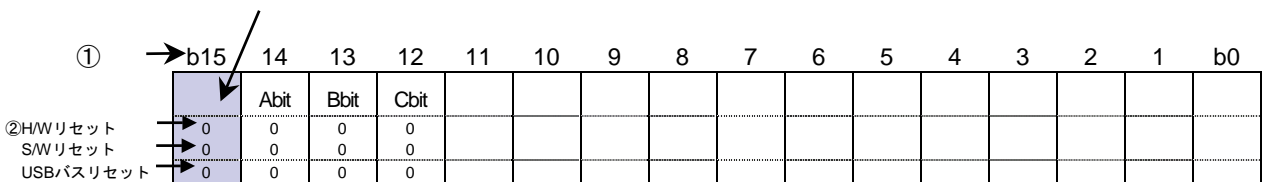
2. レジスタ一覧

レジスタ表の見方

- ① ビット番号 : 各レジスタは、16ビットの内部バスに接続されています。したがって、レジスタのビット番号は、奇数番地はb15~b8に、偶数番地はb7~b0になります。
- ② リセット時の状態 : リセット直後の初期状態を16進数で示します。
H/Wリセットは外部リセット入力によるリセット状態、S/WリセットはUSB動作許可レジスタのUSBEビットによるリセット状態を示します。"ー"はS/Wリセット前の状態を保持することを意味しています。
- ③ 読み出し時の条件 : ○・・・読み出し有効
?・・・読み出し無効（読み出し時データ不定）
○・・・常に"0"が読み出される
1・・・常に"1"が読み出される
- ④ 書き込み時の条件 : ○・・・書き込み有効
○・・・"0"書き込みデータ条件付き（書き込みに関し何らかの条件があるもの）
ー・・・書き込み無効（書き込み時は"0"でも "1"でもよい）
×・・・書き込み禁止

<表記例>

網掛け部分には何も配置されていません。



②
 <H/Wリセット時: H'0000>
 <S/Wリセット時: ー>
 <USBバスリセット時: ー>

b	ビット名	機能	R	W
15	何も配置されていない。		0	0
14	Abit (.....)	0: 1:	○	○
13	Bbit (.....)	0: 1:	○	×
12	Cbit (.....)	0: 1:	0	0

③ ④

図2.1、図2.2にレジスタマッピングを示し、以降に各レジスタについて説明します。

番地	+1番地		+0番地		リセット状態		
	b15	b8	b7	b0	H/W	S/W	USBバス
H'00	USB動作許可レジスタ				H'0000	—	—
H'02	リモートウェイクアップレジスタ				H'0000	H'0000	—
H'04	シーケンスビットクリアレジスタ				H'0000	H'0000	—
H'06							
H'08	USB_Addressレジスタ				H'0000	H'0000	H'0000
H'0A	Isochronousステータスレジスタ				H'0000	H'0000	—
H'0C	SOF制御レジスタ				H'0000	H'0000	—
H'0E	極性設定レジスタ				H'0000	H'0000	—
H'10	割り込み許可レジスタ0				H'0000	H'0000	—
H'12	割り込み許可レジスタ1				H'0000	H'0000	—
H'14	割り込み許可レジスタ2				H'0000	H'0000	—
H'16	割り込み許可レジスタ3				H'0000	H'0000	—
H'18	割り込みステータスレジスタ0				H'0000	H'0000	注
H'1A	割り込みステータスレジスタ1				H'0000	H'0000	—
H'1C	割り込みステータスレジスタ2				H'0000	H'0000	—
H'1E	割り込みステータスレジスタ3				H'0000	H'0000	—
H'20	Requestレジスタ				H'0000	H'0000	—
H'22	Valueレジスタ				H'0000	H'0000	—
H'24	Indexレジスタ				H'0000	H'0000	—
H'26	Lengthレジスタ				H'0000	H'0000	—
H'28	コントロール転送制御レジスタ				H'0000	—	—
H'2A	EP0パケットサイズレジスタ				H'0008	—	—
H'2C	自動応答制御レジスタ				H'0000	—	—
H'2E							
H'30	EP0_FIFO選択レジスタ				H'0000	—	—
H'32	EP0_FIFO制御レジスタ				H'0800	—	—
H'34	EP0_FIFOデータレジスタ				????	—	—
H'36	EP0_FIFO連続送信データ長レジスタ				H'0000	—	—

注：後述の"各レジスタ設定"を参照してください。

図2.1 レジスタマッピング (1)

番地	+1番地		+0番地		リセット状態		
	b15	b8	b7	b0	H/W	S/W	USBバス
H'38							
H'3A							
H'3C							
H'3E							
H'40					H'0000	—	—
H'42					H'0800	—	—
H'44					????	—	—
H'46					H'0000	—	—
H'48					H'0000	—	—
H'4A					H'0800	—	—
H'4C					????	—	—
H'4E					H'0000	—	—
H'50					H'0000	—	—
H'52					H'0800	—	—
H'54					????	—	—
H'56					H'0000	—	—
H'58					H'0000	H'0000	—
H'5A					H'0000	—	—
H'5C					H'0000	—	—
H'5E					H'0000	—	—
H'60					H'0000	—	—
H'62					H'0040	—	—
H'64					H'0000	—	—
H'66					H'0040	—	—
H'68					H'0000	—	—
H'6A					H'0040	—	—
H'6C					H'0000	—	—
H'6E					H'0040	—	—
H'70					H'0000	—	—
H'72					H'0040	—	—
H'74					H'0000	—	—
H'76					H'0040	—	—

図2.2 レジスタマッピング (2)

2.1 USB動作許可レジスタ

■USB動作許可レジスタ (USB_ENABLE)

<アドレス : H'00>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
XCKE	PLLC	Xtal		SCKE	USBPC	Tr_on									USBE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15	XCKE 発振バッファイネーブル	0 : 発振バッファ停止 (内部へのクロック供給停止) 1 : 発振バッファ動作 (内部へのクロック供給)	○	○
14	PLLC PLL動作許可	0 : PLL停止 (PLLスルー) 1 : PLL動作	○	○
13~12	Xtal クロック選択	00 : 入力クロック周波数 : 48MHz (PLLスルー) 10 : 入力クロック周波数 : 24MHz 01 : 入力クロック周波数 : 12MHz 11 : 入力クロック周波数 : 6MHz	○	○
11	SCKE 内部クロックイネーブル	0 : 内部クロック停止 1 : 内部クロック動作	○	○
10	USBPC USBトランシーバパワーコントロール	0 : USBトランシーバ停止 1 : USBトランシーバ動作	○	○
9~8	Tr_on Tr_on出力制御	00 : TrON出力="Hi-Z" (SIE動作停止) 01 : TrON出力="L" 10 : Reserved 11 : TrON出力="H"	○	○
7~1	何も配置されていません。"0"に固定してください。		0	0
0	USBE USBモジュール動作許可	0 : S/Wリセット状態 1 : S/Wリセット状態解除	○	○

注 : xは任意の値

(1) XCKE (発振バッファイネーブル) ビット (b15)

このビットにより、発振バッファの動作/停止を設定します。
発振バッファからのクロック出力はPLLに入力されます。
図2.3を参照してください。

(2) PLLC (PLL動作許可) ビット (b14)

このビットにより、PLLの動作/停止を設定します。
このビットに"1"を設定すると、PLLに入力されたクロックを、Xtalビットに設定した値にしたがって通倍し、コアブロックへ出力します。XCKEビットを"1"に設定した後、発振回路の発振安定時間を待って、このビットを"1"に設定してください。
このビットに"0"を設定すると、PLLの動作が停止し、PLLに入力されるクロックが、通倍されずにコアブロックへ出力されます。したがって、このビットに"0"を設定する場合は、必ず48MHzのクロックを発振バッファに供給してください。
図2.3を参照してください。

(3) Xtal (クロック選択) ビット (b13~b12)

このビットにより、PLLに入力されたクロックを何通倍するかを設定します。
 コアブロックには、48MHzを供給する必要があるため、PLLに入力するクロック周波数により本ビットの設定値を決定します。
 図2.3を参照してください。

注： IOVcc=2.7~3.6Vで使用する場合は6M/12M/24M/48MHzのクロック入力が可能。
 IOVcc=4.5~5.5Vで使用する場合は24M/48MHzのクロック入力が可能。

(4) SCKE (内部クロックイネーブル) ビット (b11)

このビットにより、コアブロック内部へのクロック供給を設定します。
 PLLCビットを"1"に設定した後、PLLの発振安定時間を待って、このビットを"1"に設定してください。
 図2.3を参照してください。

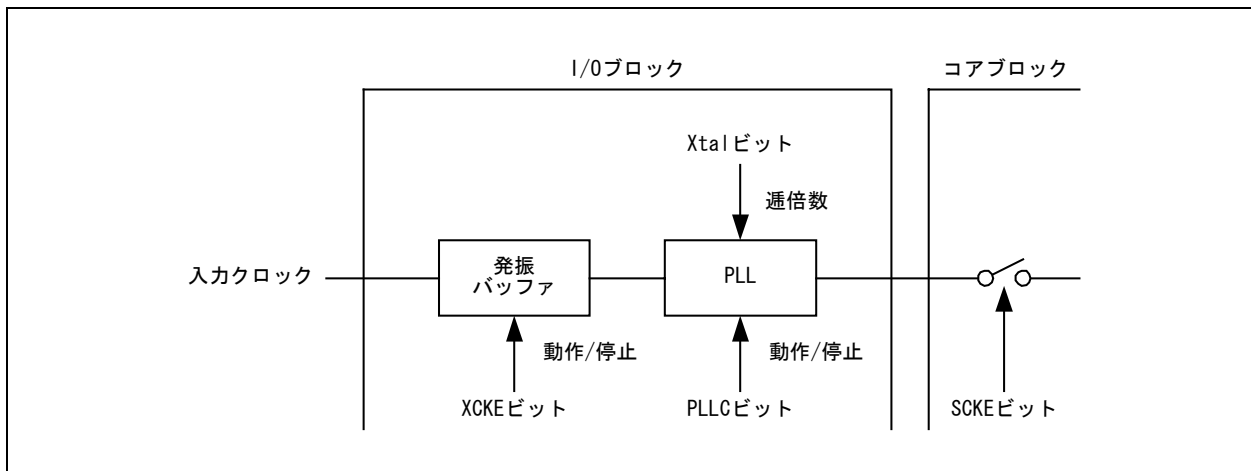


図2.3 クロック制御

(5) USBPC (USBトランシーバパワーコントロール) ビット (b10)

このビットにより、I/OブロックのUSBトランシーバ部の動作/停止を設定します。
 本ビットに"0"を設定していても、サスペンドステート (DVSQビットが1xx) でのレジューム信号を受け付けることができます。ただし、Tr_onビットが"x1" (SIE部が動作) である必要があります。

(6) Tr_on (Tr_on出力制御) ビット (b9~b8)

このビットにより、I/OブロックからのTrON信号の出力と、コアブロックのSIE部の動作/停止を設定します。

(7) USBE (USBモジュール動作許可) ビット (b0)

このビットにより、S/Wリセット状態/解除を設定します。
 このビットに"0"を設定すると、S/Wリセット状態になり、各レジスタはS/Wリセット時の設定となります。

2.2 リモートウェイクアップレジスタ

■リモートウェイクアップレジスタ (REMOTE_WAKEUP)

<アドレス : H'02>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	WKUP
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~1	何も配置されていません。"0"に固定してください。		0	0
0	WKUP リモートウェイクアップ	■リード 0: リモートウェイクアップ信号を出力中でない 1: リモートウェイクアップ信号を出力中 ■ライト 0: 無効 (書き込みは無視されます) 1: リモートウェイクアップ信号を出力	○	○

(1) WKUP (リモートウェイクアップ) ビット (b0)

このビットにより、リモートウェイクアップ信号 (Kステートの出力) の出力制御を行います。

このビットは、デバイスステートがサスペンド状態 (DVSQビットが"1xx") 時にのみ有効となるビットです。サスペンド状態で無い場合の"1"の書き込みは無視されます。

このビットに"1"を書き込んだ場合、10ms間Kステートを出力します。このビットはKステート出力後、自動的に"0"にクリアされます。

ただし、サスペンド状態を検出してから2ms間は、このビットに"1"を書き込んでも、この2ms間はバスアイドル状態をたもち (本ビットは"1")、その後、10ms間Kステートの出力を行います。

この2ms,10msの計測はクロックを使用してカウントしているため、クロックが供給されていない状態では計測が停止しますのでご注意ください。

注: XCCKEビット="1"でSCKEビット="0"の時、もしくは、XCCKEビット="0"の時

2.3 シーケンスビットクリアレジスタ

■シーケンスビットクリアレジスタ (SEQUENCE_BIT)

<アドレス : H'04>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	SQCLR			0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : —>

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	SQCLR シーケンスビットクリア	■ライト 0: 無効 (書き込みは無視されます) 1: シーケンスビットクリア b6はEP6、・・・b1はEP1、b0はEP0に対応します。	0	○

(1) SQCLR (シーケンスビットクリア) ビット (b6~b0)

このビットにより、シーケンスビット (H/Wで管理しているビット) をクリアし、データPIDをDATA0のPIDにします。"1"の書き込み後、このビットは直ちに"0"に戻ります。

シーケンスビットをクリアした以降の転送からは、H/W制御によりシーケンスビットがトグルします。

なお、S/Wリセット (USBEビットが"1")、USBバスリセットでは、各エンドポイントのシーケンスビットはクリアされません。

注: このビットに"1"を書き込む場合は、必ずシーケンスビットをクリアしたいエンドポイントの応答PIDをNAK (EP0_PIDビット="00"/EPi_PIDビット="00") に設定した後に行ってください。

2.4 USB_Addressレジスタ

■USB_Addressレジスタ (USB_ADDRESS)

<アドレス : H'08>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : H'0000>

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	USB_Addr USB_Address	■リード ホストから割り当てられたUSBのアドレス	○	×

(1) USB_Addr (USB_Address) ビット (b6~b0)

このビットは、ホストから割り当てられたUSBのアドレスが格納されます。

Defaultステート時 (DVSQビットが"001") にホストからSET_ADDRESSリクエストを受信した場合、ステータスステージでzero-lengthパケットにて応答したときに、リクエスト中のDevice Addressの値が本レジスタにセットされます。

なお、このビットは、ASADビットを"0"に設定 (自動応答無効) した場合でも、zero-lengthパケット送信時にDevice Addressの値がセットされます。

2.5 Isochronousステータスレジスタ

■ Isochronousステータスレジスタ (ISOCHRONOUS_STATUS)

<アドレス : H'0A>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	FMOD	0	0	0	0	0	FRNM	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : —>

b	ビット名	機能	R	W
15~12	何も配置されていません。"0"に固定してください。		?	0
11	FMOD フレームナンバモード	0: SOF受信 1: アイソクロナス転送終了	○	○
10~0	FRNM フレームナンバ	フレームナンバを格納	○	×

このレジスタは、アイソクロナス転送でのみ有効なレジスタです。すなわち、EPi_TYPビットを"11"に設定したエンドポイントに対しての有効なステータスとなります。

(1) FMOD (フレームナンバモード) ビット (b11)

このビットにより、FRNMビットに格納するフレームナンバの格納タイミングを設定します。

このビットを、"0"に設定した場合、SOFパケットを正常受信したときに、受信したSOFパケットのフレームナンバを格納します。

また、"1"に設定した場合は、アイソクロナスパケットの転送完了時に、正常受信したSOFパケットのフレームナンバを格納します。

(2) FRNM (フレームナンバ) ビット (b10~b0)

このビットには、本レジスタのFMODビットで設定されたタイミングで、フレームナンバが格納されます。このとき、SOFRビットが"1"にセットされます。

2.6 SOF制御レジスタ

■SOF制御レジスタ (SOF_CNT)

<アドレス : H'0C>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
SOFOE	SOFA														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15	SOFOE SOF出力許可	0: 出力禁止 1: 出力許可	○	○
14	SOFA SOF極性	0: "L"アクティブ 1: "H"アクティブ	○	○
13-0	何も配置されていません。"0"に固定してください。		0	0

(1) SOFOE (SOF出力許可) ビット (b15)

このビットにより、SOF信号出力の許可/禁止を設定します。

このビットを"1"に設定した場合、SOFパケット受信時にINT1/SOF端子からSOF信号を出力します。出力極性は、SOFAビットで設定します。

SOF信号は、PIDフィールドを受信した後、48MHzクロックの32クロック分のパルス (約0.67us) が出力されます。図2.4を参照してください。

INT1端子は、ダブルファンクションの端子となっていますので、SOF信号を使用する場合は、本端子に割り込み信号をに割り付けしないでください (極性設定レジスタで設定)。

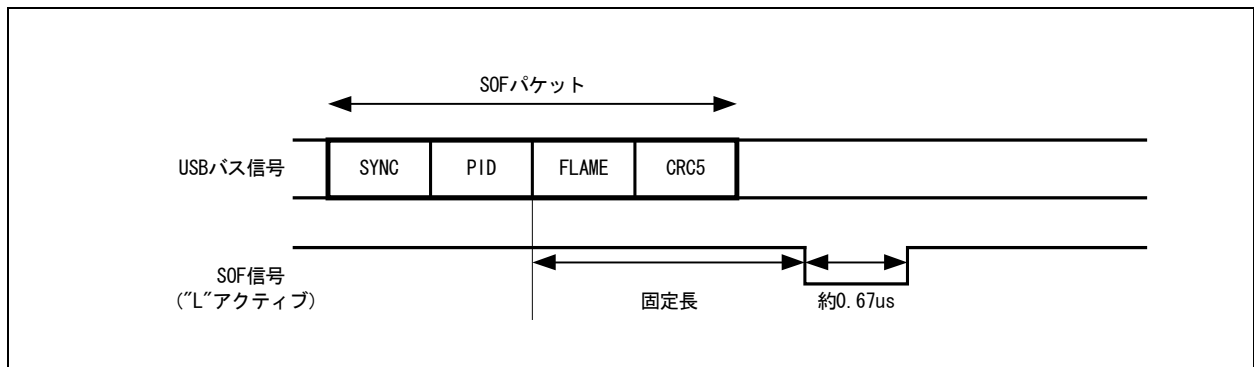


図2.4 SOF信号出力タイミング

(2) SOFA (SOF極性) ビット (b14)

このビットにより、SOF信号の出力極性を設定します。

2.7 極性設定レジスタ

■極性設定レジスタ (POLARITY_CNT)

<アドレス : H'0E>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
VB01	RM01	SF01	DS01	CT01	BE01	NR01	RD01						RDYM	INTL	INTA
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15	VB01 Vbus割り込みアサイン	0 : INT0端子に割り付け 1 : INT1端子に割り付け (注)	○	○
14	RM01 レジューム割り込みアサイン	0 : INT0端子に割り付け 1 : INT1端子に割り付け (注)	○	○
13	SF01 SOF検出割り込みアサイン	0 : INT0端子に割り付け 1 : INT1端子に割り付け (注)	○	○
12	DS01 デバイスステート遷移割り込みアサイン	0 : INT0端子に割り付け 1 : INT1端子に割り付け (注)	○	○
11	CT01 コントロール転送遷移割り込みアサイン	0 : INT0端子に割り付け 1 : INT1端子に割り付け (注)	○	○
10	BE01 バッファエンパイヤーズ オフイーア割り込みアサイン	0 : INT0端子に割り付け 1 : INT1端子に割り付け (注)	○	○
9	NR01 バッファノットレディ割り込みアサイン	0 : INT0端子に割り付け 1 : INT1端子に割り付け (注)	○	○
8	RD01 バッファレディ割り込みアサイン	0 : INT0端子に割り付け 1 : INT1端子に割り付け (注)	○	○
7~3	何も配置されていません。"0"に固定してください。		0	0
2	RDYM バッファレディモード	0 : バッファの全データ読み出し/書き込みでEPB_RDYビットクリア 1 : EPB_RDYビットへの"0"書き込みでEPB_RDYビットクリア	○	○
1	INTL 割り込み出力センス	0 : エッジ出力 1 : レベル出力	○	○
0	INTA 割り込み極性	0 : "L"アクティブ、もしくは、"H"→"L"の変化 1 : "H"アクティブ、もしくは、"L"→"H"の変化	○	○

注 : 割り込み出力信号をINT1/SOF端子に割り付ける場合、SOF信号の出力を禁止 (SOFOEビットを"0") に設定してください。

(1) VB01 (Vbus割り込みアサイン) ビット (b15)

このビットにより、Vbus割り込み信号を出力する端子を選択します。

(2) RM01 (レジューム割り込みアサイン) ビット (b14)

このビットにより、レジューム割り込み信号を出力する端子を選択します。

(3) SF01 (SOF検出割り込みアサイン) ビット (b13)

このビットにより、SOF検出割り込み信号を出力する端子を選択します。

(4) DS01 (デバイスステート遷移割り込みアサイン) ビット (b12)

このビットにより、デバイスステート遷移割り込み信号を出力する端子を選択します。

(5) CT01 (コントロール転送遷移割り込みアサイン) ビット (b11)

このビットにより、コントロール転送遷移割り込み信号を出力する端子を選択します。

(6) BE01 (バッファエンプティ/サイズオーバーエラー割り込みアサイン) ビット (b10)

このビットにより、バッファエンプティ/サイズオーバーエラー割り込み信号を出力する端子を選択します。

(7) NR01 (バッファノットレディ割り込みアサイン) ビット (b9)

このビットにより、バッファノットレディ割り込み信号を出力する端子を選択します。

(8) RD01 (バッファレディ割り込みアサイン) ビット (b8)

このビットにより、バッファレディ割り込み信号を出力する端子を選択します。

(9) RDYM (バッファレディモード) ビット (b2)

このビットにより、バッファレディ割り込みの割り込みのクリア方法を選択します。

このビットに"0"を設定すると、CPU側のバッファ上のデータを全て読み出すこと、または送信データの書き込み完了等でEPB_RDYビットが"0"にクリアされます。

このビットに"1"を設定すると、EPB_RDYビットへの"0"書き込みによりEPB_RDYビットが"0"にクリアされます。

詳しくはEPB_RDYビットを参照してください。

注: CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

(10) INTL (割り込み出力センス) ビット (b1)

このビットにより、INT0端子またはINT1端子からの割り込み出力のセンスモードを設定します。

このビットに"0"を設定すると、INT0端子またはINT1端子からは、INTAビットで設定したエッジにて、割り込みの発生が通知されます。

エッジ出力では、各割り込み要因ビットに、割り込みクリアである"0"を書き込んだ場合、出力信号は一旦ネゲートの値を出力し、その後、他の割り込み要因ビットが"1"であれば再度エッジにて割り込みの発生を通知します。なお、このネゲート期間は、48MHzクロックの32クロック分(約667ns)です。

クロックが供給されていない状態(注)では、このネゲート期間が発生しませんのでVbus割り込みおよびレジューム割り込み発生時には、割り込みの取りこぼしにご注意ください。

このビットに"1"を設定すると、INT0端子またはINT1端子からは、INTAビットで設定したレベルにて、割り込みの発生が通知されます。

レベル出力では、各割り込み要因ビットに、割り込みクリアである"0"を書き込んだ場合でも、すべての割り込み要因ビットがクリアされていなければネゲートしません。

図2.5および「3.1 割り込み機能」を参照してください。

注: XCKEビット="1"でSCKEビット="0"の時、もしくは、XCKEビット="0"の時

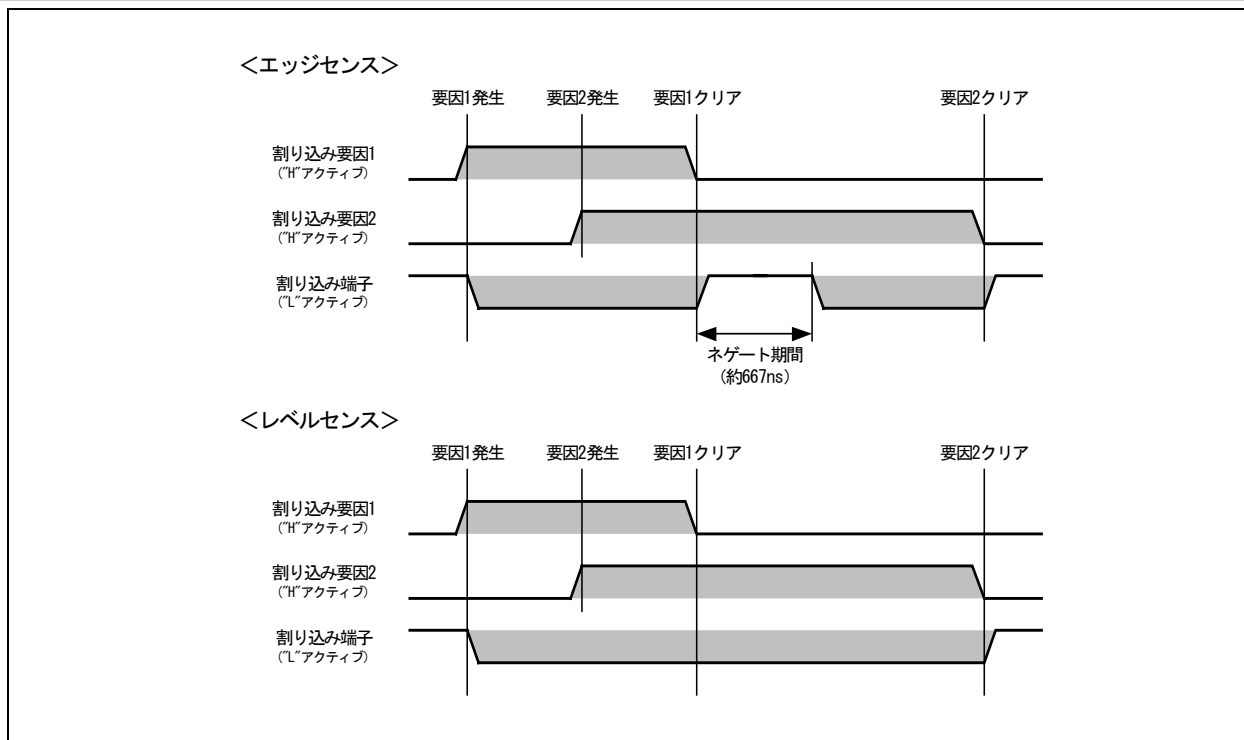


図2.5 割り込み信号出力タイミング

(11) INTA (割り込み極性) ビット (b0)

このビットにより、割り込み信号の出力極性を設定します。

このビットに"0"を設定すると、

エッジセンスの場合 (INTLビットが"0") : "H"から"L"への変化

レベルセンスの場合 (INTLビットが"1") : "L"レベル

にて、割り込みの発生を通知します。

このビットに"1"を設定すると、

エッジセンスの場合 (INTLビットが"0") : "L"から"H"への変化

レベルセンスの場合 (INTLビットが"1") : "H"レベル

にて、割り込みの発生を通知します。

2.8 割り込み許可レジスタ0

■割り込み許可レジスタ0 (INT_ENABLE0)

<アドレス : H'10>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	INTNE	INTRE	URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15	VBSE Vbus割り込み許可	0: 割り込み禁止 1: 割り込み許可 (VBUSビットが"1"で割り込み発生)	○	○
14	RSME レジューム割り込み許可	0: 割り込み禁止 1: 割り込み許可 (RESMビットが"1"で割り込み発生)	○	○
13	SOFE SOF検出割り込み許可	0: 割り込み禁止 1: 割り込み許可 (SOFRビットが"1"で割り込み発生)	○	○
12	DVSE デバイスステート遷移割り込み許可	0: 割り込み禁止 1: 割り込み許可 (DVSTビットが"1"で割り込み発生)	○	○
11	CTRE コントロール転送遷移割り込み許可	0: 割り込み禁止 1: 割り込み許可 (CTRTRビットが"1"で割り込み発生)	○	○
10	BEMPE バッファエンティティ/サイズオーバー割り込み許可	0: 割り込み禁止 1: 割り込み許可 (BEMPビットが"1"で割り込み発生)	○	○
9	INTNE バッファノットレイ割り込み許可	0: 割り込み禁止 1: 割り込み許可 (INTNビットが"1"で割り込み発生)	○	○
8	INTRE バッファレイ割り込み許可	0: 割り込み禁止 1: 割り込み許可 (INTRビットが"1"で割り込み発生)	○	○
7	URST USBリセット検出	0: DVSTビットのセット禁止 1: DVSTビットのセット許可	○	○
6	SADR SET_ADDRESS実行	0: DVSTビットのセット禁止 1: DVSTビットのセット許可	○	○
5	SCFG SET_CONFIGURATION実行	0: DVSTビットのセット禁止 1: DVSTビットのセット許可	○	○
4	SUSP サスペンド検出	0: DVSTビットのセット禁止 1: DVSTビットのセット許可	○	○
3	WDST コントロールライト転送ステータスステージ	0: CTRTRビットのセット禁止 1: CTRTRビットのセット許可	○	○
2	RDST コントロールリード転送ステータスステージ	0: CTRTRビットのセット禁止 1: CTRTRビットのセット許可	○	○
1	CMPL コントロール転送完了	0: CTRTRビットのセット禁止 1: CTRTRビットのセット許可	○	○
0	SERR コントロール転送シーケンスエラー	0: CTRTRビットのセット禁止 1: CTRTRビットのセット許可	○	○

このレジスタにより、割り込みの許可および、DVST,CTRTRビットの"1"セットの禁止/許可を設定します。
「3.1 割り込み機能」も参照してください。

(1) VBSE (Vbus割り込み許可) ビット (b15)

このビットにより、Vbus割り込みの許可/禁止を設定します。
このビットを"1"に設定したとき、VBUSビットが"1"で割り込みが発生します。
なお、このビットは、クロックが供給されていない状態 (注) でも書き込み/読み出し可能です。

注: XCKEビット="1"でSCKEビット="0"の時、もしくは、XCKEビット="0"の時

(2) RSME (レジューム割り込み許可) ビット (b14)

このビットにより、レジューム割り込みの許可/禁止を設定します。
このビットを"1"に設定している場合、RESMビットが"1"で割り込みが発生します。
なお、このビットは、クロックが供給されていない状態 (注) でも書き込み/読み出し可能です。

注: XCKEビット="1"でSCKEビット="0"の時、もしくは、XCKEビット="0"の時

(3) SOFE (SOF検出割り込み許可) ビット (b13)

このビットにより、SOF検出割り込みの許可/禁止を設定します。
このビットを"1"に設定している場合、SOFRビットが"1"で割り込みが発生します。

(4) DVSE (デバイスステート遷移割り込み許可) ビット (b12)

このビットにより、デバイスステート遷移割り込みの許可/禁止を設定します。
このビットを"1"に設定している場合、DVSTビットが"1"で割り込みが発生します。
なお、DVSTビットの"1"セットは、URST,SADR,SCFG,SUSPビットにより禁止/許可できます。

(5) CTRE (コントロール転送遷移割り込み許可) ビット (b11)

このビットにより、コントロール転送遷移割り込みの許可/禁止を設定します。
このビットを"1"に設定している場合、CTRTビットが"1"で割り込みが発生します。
なお、CTRTビットの"1"セットは、WDST,RDST,C MPL,SERRビットにより禁止/許可できます。ただし、セ
ットアップステージ完了によるCTRTビットの"1"セットは禁止/許可できません。

(6) BEMPE (バッファエンプティ/サイズオーバーエラー割り込み許可) ビット (b10)

このビットにより、バッファエンプティ/サイズオーバーエラー割り込みの許可/禁止を設定します。
このビットを"1"に設定している場合、BEMPビットが"1"で割り込みが発生します。

(7) INTNE (バッファノットレディ割り込み許可) ビット (b9)

このビットにより、バッファノットレディ割り込みの許可/禁止を設定します。
このビットを"1"に設定している場合、INTNビットが"1"で割り込みが発生します。

(8) INTRE (バッファレディ割り込み許可) ビット (b8)

このビットにより、バッファレディ割り込みの許可/禁止を設定します。
このビットを"1"に設定している場合、INTRビットが"1"で割り込みが発生します。

(9) URST (USBリセット検出) ビット (b7)

USBバスリセット検出時にDVSTビットを"1"にセットするかしないかを、このビットにより設定します。
なお、このビットの値に関わらず、USBリセット検出でレジスタの初期化は施されます。

(10) SADR (SET_ADDRESS実行) ビット (b6)

以下のSET_ADDRESS実行時にDVSTビットを"1"にセットするかしないかを、このビットにより設定します。
詳しくは、DVSTビットを参照してください。

(11) SCFG (SET_CONFIGURATION実行) ビット (b5)

SET_CONFIGURATION実行時にDVSTビットを"1"にセットするかしないかを、このビットにより設定します。詳しくは、DVSTビットを参照してください。

(12) SUSP (サスペンド検出) ビット (b4)

サスペンド検出時にDVSTビットを"1"にセットをするかしないかを、このビットにより設定します。

(13) WDST (コントロールライト転送ステータスステージ) ビット (b3)

コントロールライト転送でステータスステージに遷移した時にCTRTRTビットを"1"にセットするかしないかを、このビットにより設定します。

(14) RDST (コントロールリード転送ステータスステージ) ビット (b2)

コントロールリード転送でステータスステージに遷移した時にCTRTRTビットを"1"にセットするかしないかを、このビットにより設定します。

(15) CMPL (コントロール転送完了) ビット (b1)

コントロール転送でステータスステージが終了した時にCTRTRTビットを"1"にセットするかしないかを、このビットにより設定します。

(16) SERR (コントロール転送シーケンスエラー) ビット (b0)

コントロール転送でシーケンスエラー検出時にCTRTRTビットを"1"にセットするかしないかを、このビットにより設定します。

2.9 割り込み許可レジスタ1

■割り込み許可レジスタ1 (INT_ENABLE1)

<アドレス : H'12>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	EPB_RE			0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	EPB_RE バッファレディ割り込み許可	0 : INTRビットのセット禁止 1 : INTRビットのセット許可 b6はEP6、・・・b1はEP1、b0はEP0に対応します。	○	○

(1) EPB_RE (バッファレディ割り込み許可) ビット (b6~b0)

EPB_RDYビットに"1"がセットされたときにINTRビットを"1"にセットするかしないかを、このビットにより設定します。

「3.1 割り込み機能」も参照してください。

2.10 割り込み許可レジスタ2

■割り込み許可レジスタ2 (INT_ENABLE2)

<アドレス : H'14>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	EPB_NRE バッファノットレディ割り込み許可	0 : INTNビットのセット禁止 1 : INTNビットのセット許可 b6はEP6、・・・b1はEP1、b0はEP0に対応します。	○	○

(1) EPB_NRE (バッファノットレディ割り込み許可) ビット (b6~b0)

EPB_NRDYビットに"1"がセットされたときINTNビットを"1"にセットするかしないかを、このビットにより設定します。

「3.1 割り込み機能」も参照してください。

注. エンドポイントをアイソクロナス転送に設定 (Epi_TYPビットで設定) している場合は、本レジスタの該当するビットを"1"にセットしないでください。

2.11 割り込み許可レジスタ3

■割り込み許可レジスタ3 (INT_ENABLE3)

<アドレス : H'16>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : —>

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	EPB_EMPE バッファエンティ/サイズオーバー割り込み許可	0: BEMPビットのセット禁止 1: BEMPビットのセット許可 b6はEP6、・・・b1はEP1、b0はEP0に対応します。	○	○

(1) EPB_EMPE (バッファエンティ/サイズオーバーエラー割り込み許可) ビット (b6~b0)

EPB_EMP_OVRビットに"1"がセットされたときにBEMPビットを"1"にセットするかしないかを、このビットにより設定します。

「3.1 割り込み機能」も参照してください。

2.12 割り込みステータスレジスタ0

■割り込みステータスレジスタ0 (INT_STATUS0)

<アドレス : H'18>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
VBUS	RESM	SOFR	DVST	CTRTR	BEMP	INTN	INTR	Vbus	DVSQ		VALID	CTSQ			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	1	-	-	-	-	0	0	0	1	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USB/バスリセット時 : B'---1---0001--->

b	ビット名	機能	R	W
15	VBUS Vbus割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)	○	○
14	RESM レジューム割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)	○	○
13	SOFR SOF検出割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)	○	○
12	DVST デバイスステート遷移割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)	○	○
11	CTRTR コントロール転送ステージ遷移割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)	○	○
10	BEMP バッファエンティサイズオーバー割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 無効 (書き込みは無視されます)	○	×
9	INTN バッファ/ソトレイ割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 無効 (書き込みは無視されます)	○	×
8	INTR バッファレイ割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 無効 (書き込みは無視されます)	○	×

b	ビット名	機能	R	W
7	Vbus Vbus入力	■リード 0: "L"入力 1: "H"入力 ■ライト 無効（書き込みは無視されます）	○	×
6~4	DVSQ デバイスステート	■リード 000: Poweredステート 001: Defaultステート 010: Addressステート 011: Configuredステート 1xx: Suspendedステート ■ライト 無効（書き込みは無視されます）	○	×
3	VALID セットアップパケット検出	■リード 0: 検出なし 1: セットアップパケット受信 ■ライト 0: 本ビットのクリア 1: 無効（書き込みは無視されます）	○	○
2-0	CTSQ コントロール転送ステージ	■リード 000: アイドルまたはセットアップステージ 001: コントロールリード転送データステージ 010: コントロールリード転送ステータスステージ 011: コントロールライト転送データステージ 100: コントロールライト転送ステータスステージ 101: コントロールライトノーデータ転送ステータスステージ 110: コントロール転送シーケンスエラー 111: Reserved ■ライト 無効（書き込みは無視されます）	○	×

注: xは任意の値

このレジスタのb15~b8は、割り込みステータスビットです。これらビットに対応する割り込み許可レジスタのビットが"1"（割り込み許可）に設定している場合、これらビットの"1"で割り込みが発生します。

(1) VBUS (Vbus割り込み) ビット (b15)

このビットは、Vbus入力の変化を示します。

Vbus入力の変化した場合 ("L"→"H"、または"H"→"L")、このビットは"1"にセットされます (Vbus割り込み発生)。

このビットに"0"を書き込むことにより、このビットは"0"にクリアされます (割り込みクリア)。

このビットは、クロックが供給されていない状態 (注) でも"1"にセットされ、読み出すことが可能です。また、このビットへの"0"の書き込みにてクリアも可能です。ただし、クロックが供給されていない状態では、"0"の書き込み後、必ず"1"の書き込みを行ってください (以降の割り込みを受け付けることができません)。

注: XCKEビット="1"でSCKEビット="0"の時、もしくは、XCKEビット="0"の時

(2) RESM (レジューム割り込み) ビット (b14)

このビットは、USBバスの状態が変化したことを示します。

USBバスの状態がSuspended状態 (DVSTビットが"1xx") から"J"→"K"または"J"→"SE0"に変化した場合、このビットは"1"にセットされます (レジューム割り込み発生)。

このビットに"0"を書き込むことにより、このビットは"0"にクリアされます (割り込みクリア)。

このビットは、クロックが供給されていない状態 (注) でも"1"にセットされ、読み出すことが可能です。また、このビットへの"0"の書き込みにてクリアも可能です。ただし、クロックが供給されていない状態では、"0"の書き込み後、必ず"1"の書き込みを行ってください (以降の割り込みを受け付けることができません)。

注: XCKEビット="1"でSCKEビット="0"の時、もしくは、XCKEビット="0"の時

(3) SOFR (SOF検出割り込み) ビット (b13)

このビットは、SOFパケットを受信し、フレームナンバが更新されたことを示します。

SOFパケットを受信し、IsochronousステータスレジスタのFMODビットで設定した方法でフレームナンバを格納すると、このビットは、"1"にセットされます (SOF検出割り込み発生)。

このビットに"0"を書き込むことにより、このビットは"0"にクリアされます (割り込みクリア)。

(4) DVST (デバイスステート遷移割り込み) ビット (b12)

このビットは、デバイスステートが遷移したことを示します。

次に示すデバイスステート遷移が発生した場合、このビットは"1"にセットされます (デバイスステート遷移割り込み発生)。

- USBバスリセット検出 (任意ステート→Defaultステート)
D+,D-端子で2.5us以上のSE0状態が続くことでUSBバスリセットの検出とし、本ビットが"1"にセットされます。
- "SET_ADDRESS"実行 (Defaultステート→Addressステート)
以下のリクエストを検出し、ステータスステージにてzero-lengthパケットにて応答した時に、本ビットが"1"にセットされます。
- Defaultステートでdevice Addressの値が"0"でない"SET_ADDRESS"リクエスト
DefaultステートでwValueの値が"0"であった場合には、本ビットは"1"にセットされません。なお、本ビットのセットに関わらず、本リクエストを受信するとUSB_Addressレジスタにdevice Addressの値がセットされます。
- "SET_CONFIGURATION"実行 (Addressステート↔Configuredステート)
以下のリクエストを検出し、ステータスステージにてzero-lengthパケットにて応答した後のACK受信時に、本ビットが"1"にセットされます。
 - AddressステートConfiguration Valueの値が"0"でない"SET_CONFIGURATION"リクエスト
 - ConfiguredステートでConfiguration Valueの値が"0"の"SET_CONFIGURATION"リクエスト
- サスペンド検出 (Powered/Default/Address/Configuredステート→Suspendedステート)
D+,D-端子で3ms以上のアイドル状態が続くことでサスペンドの検出とし、本ビットが"1"にセットされます。

これら、個々の要因による本ビットの"1"セットの禁止/許可は、URST,SADR,SCFG, SUSPビットで設定できます。

このビットに"0"を書き込むことにより、このビットは"0"にクリアされます (割り込みクリア)。

なお、現在のデバイスステートは、DVSQビットにて確認できます。

(5) CTRT (コントロール転送ステージ遷移割り込み) ビット (b11)

このビットは、コントロール転送でステージが遷移したことを示します。

次に示すコントロール転送のステージ遷移が発生した場合、このビットに"1"がセットされます (コントロール転送ステージ遷移割り込み発生)。図2.7を参照してください。

- ・ セットアップステージ完了 (ACK送信時)
- ・ コントロールライト転送ステータスステージ遷移 (INトークン受信時)
- ・ コントロールリード転送ステータスステージ遷移 (OUTトークン受信時)
- ・ コントロール転送完了 (ACK送信時またはACK受信時)
- ・ コントロール転送シーケンスエラー (エラー発生時)

"セットアップステージ完了"を除き、これら、個々の要因による本ビットの"1"セットの禁止/許可は、WDST, RDST, CMPL, SERRビットで設定できます。

このビットに"0"を書き込むことにより、このビットは"0"にクリアされます (割り込みクリア)。

なお、現在のステージは、CTSQビットに反映されます。

(6) BEMP (バッファエンプティ/サイズオーバーエラー割り込み) ビット (b10)

このビットは、バッファエンプティもしくはバッファサイズオーバーエラーが発生したことを示します。

このビットは、EPB_EMP_OVRビットが"1"にセットされた時に、"1"にセットされます (バッファエンプティ/サイズオーバーエラー割り込み発生)。

本ビットのクリアは、割り込みステータスレジスタ3のすべてのビットを"0"にすることでクリアされます。

詳しくは、割り込みステータスレジスタ3を参照してください。

(7) INTN (バッファノットレディ割り込み) ビット (b9)

このビットは、バッファノットレディ状態のため、ホストに対してNAK応答をしたことを示します。

このビットは、EPB_NRDYビットが"1"にセットされた時に、"1"にセットされます (バッファノットレディ割り込み発生)。

本ビットのクリアは、割り込みステータスレジスタ2のすべてのビットを"0"にすることでクリアされます。

詳しくは、割り込みステータスレジスタ2を参照してください。

(8) INTR (バッファレディ割り込み) ビット (b8)

このビットは、バッファレディ状態 (読み出し/書き込み可能状態) であることを示します。

このビットは、EPB_RDYビットが"1"にセットされた時に、"1"にセットされます (バッファレディ割り込み発生)。

本ビットのクリアは、割り込みステータスレジスタ1のすべてのビットを"0"にすることでクリアされます。

詳しくは、割り込みステータスレジスタ1を参照してください。

(9) Vbus (Vbus入力) ビット (b7)

このビットは、Vbus端子の状態を示します。

このビットが変化したとき、VBUSビットが"1"にセットされます。

本ビットは、クロックが供給されていない状態 (注) でも、正確な値を読み出すことが可能です。

注: XCKEビット="1"でSCKEビット="0"の時、もしくは、XCKEビット="0"の時

(10) DVSQ (デバイスステート) ビット (b6-b4)

このビットは、現在のデバイスステートを示します。

000: Poweredステート	電源ON状態
001: Defaultステート	USBバスリセットが検出された状態
010: Addressステート	SET_ADDRESSリクエストが実行された状態
011: Configuredステート	SET_CONFIGURATIONリクエストが実行された状態
1xx: Suspendedステート	Suspendedが検出された状態

これらデバイスステートの変化により、DVSTビットおよびRESMビットが"1"にセットされます (URST, SADR, SCFG, SUSPビットで禁止/許可)。詳しくは、DVSTビットの項、および図2.6を参照してください。

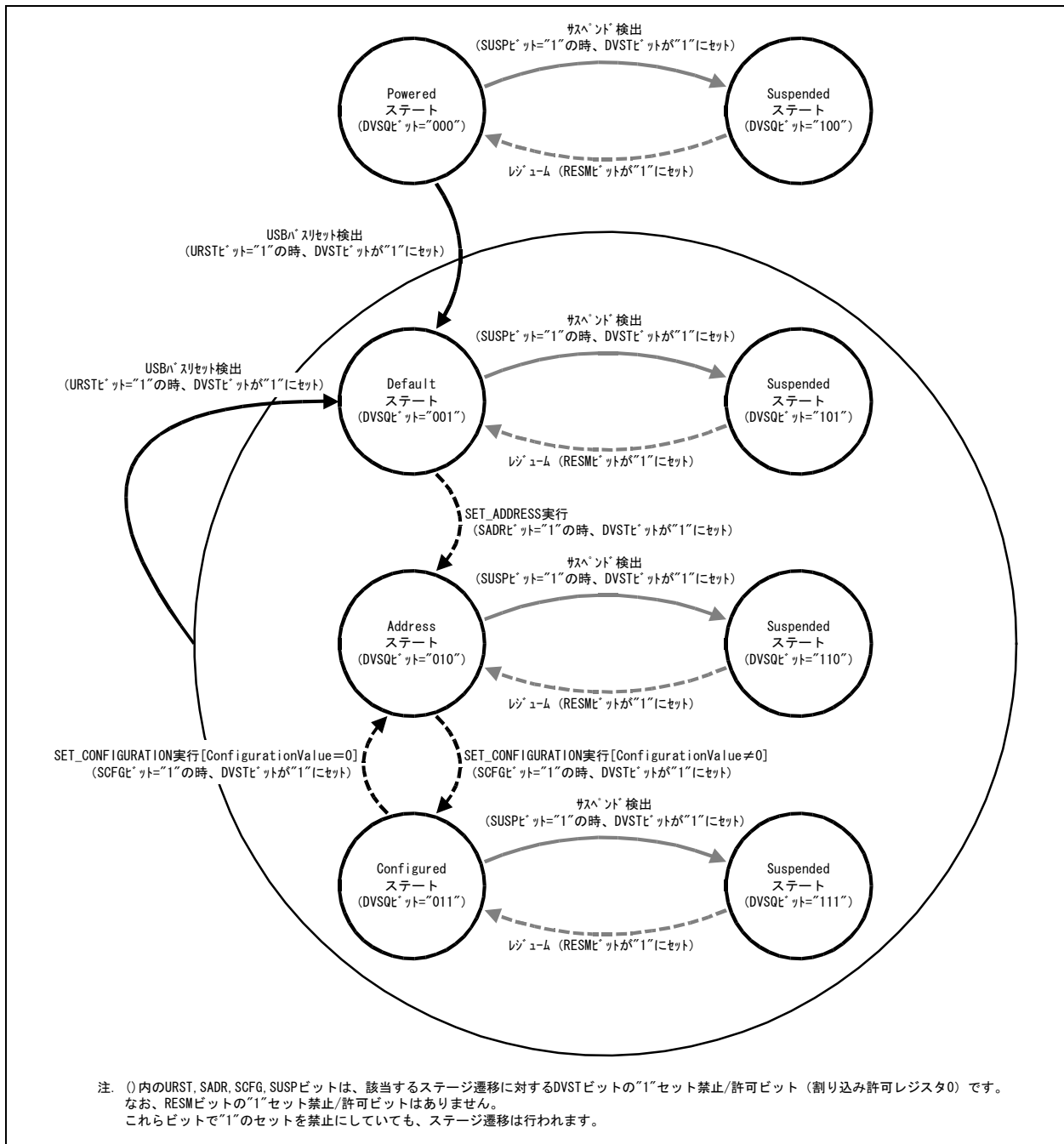


図2.6 デバイス状態遷移図

(11) VALID (セットアップパケット検出) ビット (b3)

このビットは、セットアップトークンを受信したことを示します。

セットアップトークンの受信が完了すると、このビットは"1"にセットされます。

このビットが"1"の場合は、EP0_FIFO制御レジスタのEP0_PIDビットへのNAKまたはBUFの書き込み、及びCCPLビットへの書き込みは無視されます。

なお、このセットアップトークンの受信では、割り込みは発生しません(セットアップステージ終了では割り込みは発生します)。

このビットに"0"を書き込むことにより、このビットは"0"クリアされます。

(12) CTSQ (コントロール転送ステージ) ビット (b2-b0)

このビットは、コントロール転送での現在のステージを示します。図2.7を参照してください。

- 000 : アイドルまたはセットアップステージ
- 001 : コントロールリード転送データステージ
- 010 : コントロールリード転送ステータスステージ
- 011 : コントロールライト転送データステージ
- 100 : コントロールライト転送ステータスステージ
- 101 : コントロールライトノーデータ転送ステータスステージ
- 110 : コントロール転送シーケンスエラー (以下参照)
- 111 : Reserved

コントロール転送シーケンスエラーを以下に示します。このエラーが発生したとき、EPO_PIDビットが"1x" (Stall) になります。

<コントロールリード転送時>

- ・ データステージのINトークンに対して、1度もデータ転送していない状態でOUTトークンを受信
- ・ ステータスステージでINトークン受信
- ・ ステータスステージでzero-lengthパケット以外のデータパケット受信

<コントロールライト転送時>

- ・ データステージのOUTトークンに対して、1度もACK応答していない状態でINトークンを受信
- ・ ステータスステージでOUTトークン受信

<コントロールライトノーデータ転送時>

- ・ ステータスステージでOUTトークン受信

<その他>

- ・ EPOパケットサイズレジスタで設定したサイズを超えたデータの受信 (割り込みステータスレジスタ3のEPB_EMP_OVRビットが"1"にセット)。

なお、コントロールライト転送のデータステージでの、リクエストのwLength値を越えたデータパケットを受信した場合は、コントロール転送シーケンスエラーと認識できません。

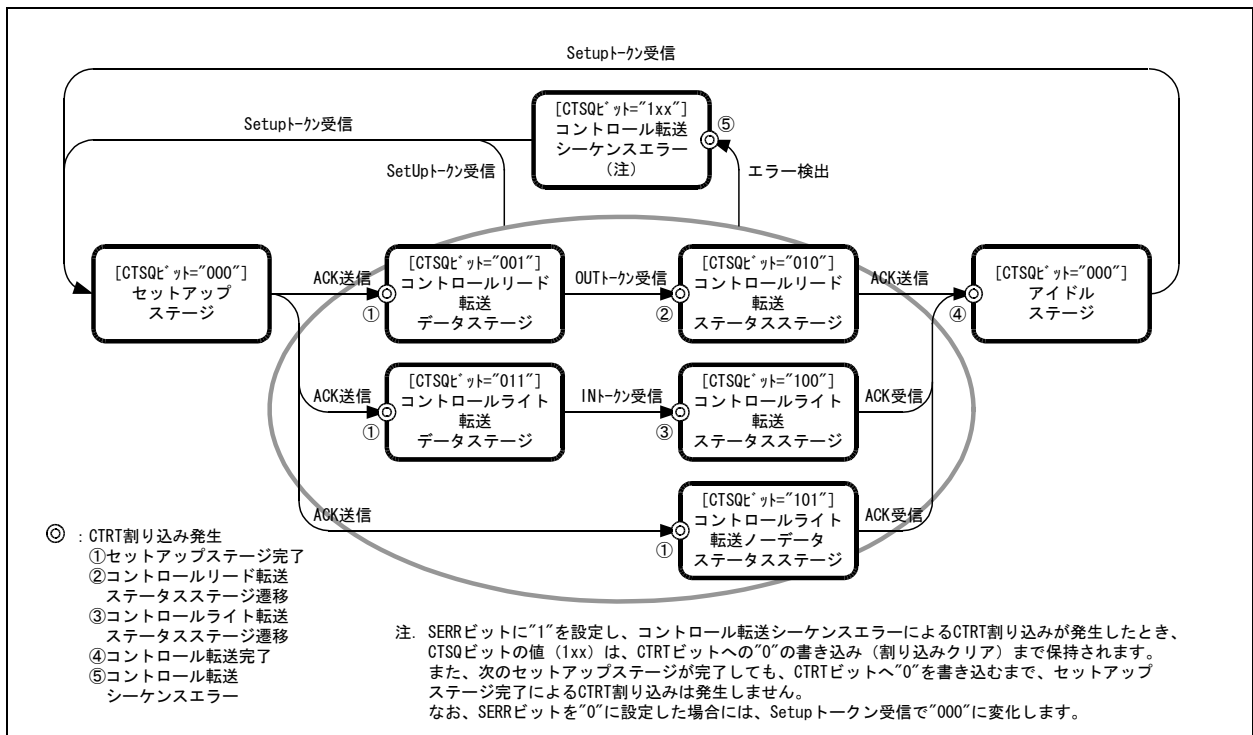


図2.7 コントロール転送遷移図

2.13 割り込みステータスレジスタ1

■割り込みステータスレジスタ1 (INT_STATUS1)

<アドレス : H'1A>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : —>

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	EPB_RDY バッファレディ割り込み	<p>■リード</p> <p>0: 割り込み発生なし 1: 割り込み発生</p> <p>■ライト</p> <p><RDYMビットが"0"の時> 無効 (書き込みは無視されます)</p> <p><RDYMビットが"1"の時> 0: 割り込みクリア 1: 無効 (書き込みは無視されます)</p> <p>b6はEP6、・・・b1はEP1、b0はEP0に対応します。</p>	○	○

(1) EPB_RDY (バッファレディ割り込み) ビット (b6~b0)

このビットは、バッファがレディ状態になった場合、エンドポイントに対応したビットが"1"になります。レディ状態とは、CPU又はDMACがCPU側のバッファを読み出せる状態又は書き込める状態のことです。EPB_REビットが"1"に設定されている場合、このビットが"1"にセットされたとき、INTRビットが"1"にセットされバッファレディ割り込みが発生します。

このビットの"1"セット/"0"クリアは、以下に示すように、エンドポイント、転送方向により異なります。

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

● エンドポイント0

○コントロールライト転送に設定している場合 (ISELビットが"0")

このビットが"1"にセットされる条件は以下の通りです。

- ・ EP0_FIFO制御レジスタのIVALビットが"0"から"1"に変化したとき

このビットが"0"にクリアされる条件はRDYMビットにより変化します。

- ・ RDYMビットが"0" : EP0_FIFO制御レジスタのIVALビットが"1"から"0"に変化したとき
- ・ RDYMビットが"1" : 本ビットへの"0"の書き込み

○コントロールリード転送に設定している場合 (ISELビットが"1")

このビットは"1"にセットされません (EPB_EMP_OVRビット参照)

● エンドポイント1~6

○OUTバッファに設定している場合 (EPi_DIRビットが"0")

このビットが"1"にセットされる条件は以下の通りです。

<DMA_EPビットで指定されていないエンドポイント>

<DMA_EPビットで指定したエンドポイントでINTMビットを"1"設定時>

- ・ エンドポイントのIVALビットが"0"から"1"に変化したとき

<DMA_EPビットで指定したエンドポイントでINTMビットを"0"設定時>

- ・ 受信したショートパケット (zero-lengthパケットを含む) が含まれるバッファ内のデータを、全て読み出したとき

このビットが"0"にクリアされる条件はRDYMビットにより変化します (注)。

- ・ RDYMビットが"0" : エンドポイントのIVALビットが"1"から"0"に変化したとき
- ・ RDYMビットが"1" : 本ビットへの"0"の書き込み

注. DMA_EPビットで指定されてエンドポイントでINTMビットを"0"に設定した場合には、IVALビットが"1"に保持されます。したがって、RDYMビットが"0"の場合、BCLRビットに"1"を書き込みIVALビットを"0"クリアする必要があります。なお、RDYMビットが"1"の場合でも、本ビットに"0"を書き込むことで本ビットはクリアされますが、BCLRビットに"1"を書き込みIVALビットをクリアする操作が必要です。

○INバッファに設定している場合 (EPi_DIRビットが"1")

このビットが"1"にセットされる条件は以下の通りです。

<DMA_EPビットで指定されていないエンドポイント>

<DMA_EPビットで指定したエンドポイントでINTMビットを"1"設定時>

- ・ エンドポイントのIVALビットが"1"から"0"に変化したとき
- ・ または、EPi_DIRビットを"0"から"1"に変更したとき

<DMA_EPビットで指定したエンドポイントでINTMビットを"0"設定時>

本ビットは"1"にセットされません。

このビットが"0"にクリアされる条件はRDYMビットにより変化します。

- ・ RDYMビットが"0" : エンドポイントのIVALビットが"0"から"1"に変化したとき
- ・ RDYMビットが"1" : 本ビットへの"0"の書き込み

注. IVALビットはエンドポイント毎に配置されてます。詳しくは「3.2.4 IVALビットとEPB_RDYビット」を参照してください。

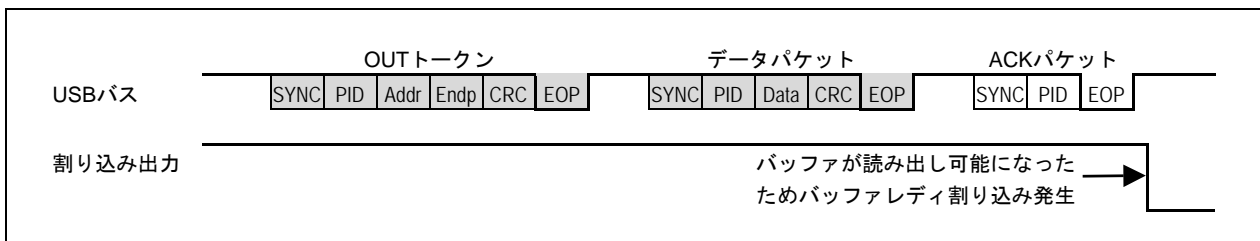


図2.8バッファレディ割り込み発生タイミング例 (OUT転送)

2.14 割り込みステータスレジスタ2

■割り込みステータスレジスタ2 (INT_STATUS2)

<アドレス : H'1C>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	EPB_NRDY バッファノットレディ割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます) b6はEP6、・・・b1はEP1、b0はEP0に対応します。	○	○

(1) EPB_NRDY (バッファノットレディ割り込み) ビット (b6~b0)

このビットは、バッファがノットレディ状態においてINトークン/OUTトークンを受信した場合、エンドポイントに対応したビットが"1"になります。

ノットレディ状態とは、EP0_PIDビット,EPi_PIDビットをBUF/STALL応答に設定し、かつ、バッファが受信不可/送信不可の状態のことです。

したがって、このビットが"1"にセットされたときの応答は、EP0_PIDビット,EPi_PIDビットをBUFに設定している場合NAK応答を行い、STALLに設定している場合はSTALL応答を行います。

EPB_NREビットが"1"に設定されている場合、このビットが"1"にセットされたとき、INTNビットが"1"にセットされバッファノットレディ割り込みが発生します。

このビットは、このビットに"0"を書き込むことによりクリアされます。

注. エンドポイントをアイソクロナス転送に設定 (EPi_TYPビットで設定) している場合は、本レジスタの該当するビットが"1"にセットされることがありますので、割り込み許可レジスタ2の対応するビットを"1"に設定しないでください。

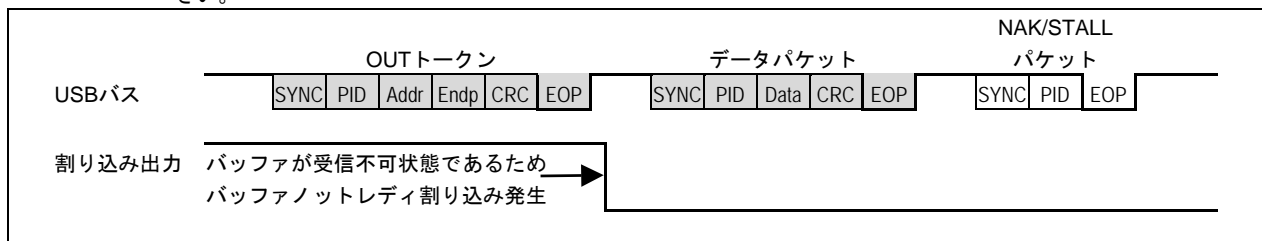


図2.9バッファノットレディ割り込み発生タイミング例 (OUT転送)

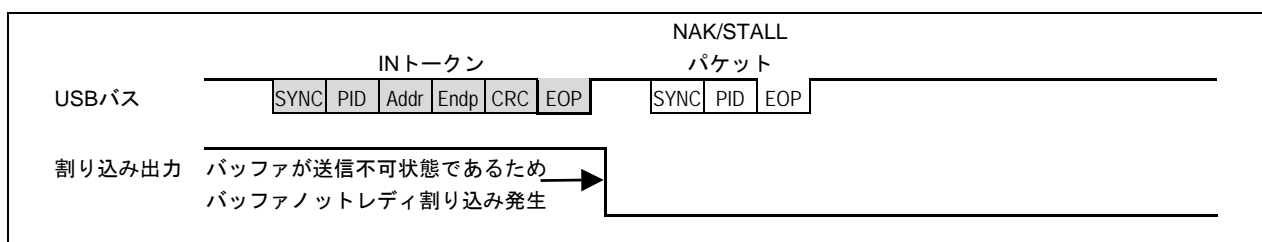


図2.10バッファノットレディ割り込み発生タイミング例 (IN転送)

2.15 割り込みステータスレジスタ3

■割り込みステータスレジスタ3 (INT_STATUS3)

<アドレス : H'1E>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : —>

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	EPB_EMP_OVR バッファエンプティ/ サイズオーバー割り込み	■リード 0: 割り込み発生なし 1: 割り込み発生 ■ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます) b6はEP6、・・・b1はEP1、b0はEP0に対応します。	○	○

(1) EPB_EMP_OVR (バッファエンプティ/サイズオーバー割り込み) ビット (b6~b0)

このビットは、受信データのサイズが最大パケットサイズをオーバーした、または、エンドポイント0~6のバッファがエンプティになったことを示します。

●エンドポイント0

○コントロールライト転送に設定している場合 (ISELビットが"0")

このビットが"1"にセットされる条件は以下の通りです。

- ・ EP0パケットサイズレジスタに設定したサイズより大きなパケットデータを受信 (サイズオーバー検出)

この時、EP0_PIDビットがSTALL応答に設定されます。

また、SERRビットが"1"に設定されている場合、CTRRTビットが"1"にセットされます。

このビットは、EP0_PIDビットの設定によらず、サイズオーバー検出により"1"にセットされます。

○コントロールリード転送に設定している場合 (ISELビットが"1")

このビットが"1"にセットされる条件は以下の通りです。

- ・ EP0_FIFO制御レジスタのIVALビットが"1"から"0"に変化したとき
- ・ EP0_FIFOデータレジスタに送信データが存在する時に、BCLR="1"を行ったとき

● エンドポイント1~6

○OUTバッファに設定している場合 (EPi_DIRビットが"0")

このビットが"1"にセットされる条件は以下の通りです。

- ・ EPi_MXPSビットに設定したサイズより大きなパケットデータを受信 (サイズオーバー検出)

この時、EPi_PIDビットがSTALL応答に設定されます。

本ビットはアイソクロナス転送時は"1"にセットされません。

このビットは、EP0_PIDビットの設定によらず、サイズオーバー検出により"1"にセットされます。

○INバッファに設定している場合 (EPi_DIRビットが"1")

このビットが"1"にセットされる条件は以下の通りです。

- ・ CPU側バッファにデータが書き込まれていない状態でSIE側バッファのデータを全て送信したとき (バッファエンプティ)

このビットが"0"にクリアされる条件は、全てのビットで以下の通りです。

- ・ 本ビットへの"0"の書き込み

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

2.16 Requestレジスタ

■Requestレジスタ (REQUEST_TYPE)

<アドレス : H'20>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BRequest								bmRequestType							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~8	bRequest リクエスト	■リード セットアップステージで受信したリクエスト ■ライト 無効 (書き込みは無視されます)	○	×
7~0	bmRequestType リクエストタイプ	■リード セットアップステージで受信したクエスotype ■ライト 無効 (書き込みは無視されます)	○	×

(1) bRequest (リクエスト) ビット (b15~b8)

このビットには、コントロール転送のセットアップステージで受信したデバイス・リクエストのbRequestが格納されます。

(2) bmRequestType (リクエストタイプ) ビット (b7~b0)

このビットには、コントロール転送のセットアップステージで受信したデバイス・リクエストのbmRequestTypeが格納されます。

2.17 Valueレジスタ

■Valueレジスタ (REQUEST_VALUE)

<アドレス : H'22>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
wValue															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15-0	wValue バリュー	■リード セットアップステージで受信したデバイスリクエストパラメータ ■ライト 無効 (書き込みは無視されます)	○	×

(1) wValue (バリュー) ビット (b15~b0)

このビットは、コントロール転送のセットアップステージで受信したデバイス・リクエストのwValueが格納されます。

2.18 Indexレジスタ

■Indexレジスタ (REQUEST_INDEX)

<アドレス : H'24>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
wIndex															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~0	wIndex インデックス	■リード セットアップステージで受信したデバイスリクエストパラメータ ■ライト 無効（書き込みは無視されます）	○	×

(1) wIndex (インデックス) ビット (b15~b0)

このビットは、コントロール転送のセットアップステージで受信したデバイス・リクエストのwIndexが格納されます。

2.19 Lengthレジスタ

■Lengthレジスタ (REQUEST_LENGTH)

<アドレス : H'26>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
wlength															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~0	wlength レンジ	■リード セットアップステージで受信したデバイスリクエストパラメータ ■ライト 無効（書き込みは無視されます）	○	×

(1) wlength (レンジ) ビット (b15~b0)

このビットは、コントロール転送のセットアップステージで受信したデバイス・リクエストのwlengthが格納されます。

2.20 コントロール転送制御レジスタ

■コントロール転送制御レジスタ (CONTROL_TRANSFER)

<アドレス : H'28>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
CTRR				Ctr_Rd_Buf_Nmb				CTRW				Ctr_Wr_Buf_Nmb			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15	CTRR コントロールリード転送連続送信モード	0: 単送信モード 1: 連続送信モード	○	○
14	何も配置されていません。"0"に固定してください。		0	0
13~8	Ctr_Rd_Buf_Nmb コントロールリードバッファ先頭番号	バッファの先頭番号を指定	○	○
7	CTRW コントロールライト転送連続受信モード	0: 単受信モード 1: 連続受信モード	○	○
6	何も配置されていません。"0"に固定してください。		0	0
5~0	Ctr_Wr_Buf_Nmb コントロールライトバッファ先頭番号	バッファの先頭番号を指定	○	○

(1) CTRR (コントロールリード転送連続送信モード) ビット (b15)

このビットにより、コントロールリード転送のデータステージにおける送信モードを設定します。

単送信モードでは、1つのパケット送信 (以下の条件) で送信完了とします。

- ・ EPOパケットサイズレジスタで設定したサイズ分のデータを送信、またはIVALビットを"1"にセットすることによるショートパケットの送信

連続送信モードでは、複数のパケット送信 (以下の条件) で送信完了とします。

- ・ EPO連続送信データ長レジスタで設定したサイズ分のデータを送信、またはIVALビットを"1"にセットすることによるショートパケットの送信

単送信モードでは、以下の条件で書き込み完了とします。

- ・ EPOパケットサイズレジスタで設定したサイズ分のデータをバッファへ書き込み (EPO_FIFO制御レジスタのIVALビットが"1"に変化)
- ・ EPO_FIFO制御レジスタのIVALビットへの"1"の書き込み

連続送信モードでは、以下の条件で書き込み完了とします。

- ・ EPO連続送信データ長レジスタで設定したサイズ分のデータをバッファへ書き込み (EPO_FIFO制御レジスタのIVALビットが"1"に変化)
- ・ EPO_FIFO制御レジスタのIVALビットへの"1"の書き込み

このビットにより、EPO_FIFO制御レジスタのIVALビットのセット条件が変化します。

(2) Ctr_Rd_Buf_Nmb (コントロールリードバッファ先頭番号) ビット (b13~b8)

このビットにより、コントロールリード転送で使用するバッファの先頭のブロック番号を設定します。

ブロック番号は、FIFOバッファを64バイト単位で分割して、管理している番号です (注1)。

単送信モードを設定した場合 (CTRRビットが"0") は、本ビットで設定したブロックのみを使用することになり、次に続くブロックから他のエンドポイントのバッファに設定することが可能です。

連続送信モードを設定した場合 (CTRRビットが"1") は、本ビットで設定したブロック番号から、EPO連続送信データ長レジスタで設定 (最大256バイト) するサイズ分のバッファを使用します (注2)。

注1: M66291Iには、FIFOバッファが3Kバイト搭載されており、H'0~H'2Fのブロックが存在します。

注2: 複数のエンドポイントが、同じバッファ領域を重複しないように設定してください。

(3) CTRW (コントロールライト転送連続受信モード) ビット (b7)

このビットにより、コントロールライト転送のデータステージにおける受信モードを設定します。単受信モードでは、1つのパケット受信 (以下の条件) で受信完了とします。

- ・ EP0パケットサイズレジスタに設定したサイズ分のデータを受信
- ・ ショートパケットを受信

連続受信モードでは、複数のパケット受信 (以下の条件) で受信完了とします。

- ・ EP0パケットサイズレジスタで設定したサイズ分のデータを自動的に複数回受信し、256バイト分のデータを受信
- ・ ショートパケットを受信

このビットにより、EP0_FIFO制御レジスタのIVALビットのセット条件が変化します。

(4) Ctr_Wr_Buf_Nmb (コントロールライトバッファ先頭番号) ビット (b5~b0)

このビットにより、コントロールライト転送で使用するバッファの先頭のブロック番号を設定します。

ブロック番号は、FIFOバッファを64バイト単位で分割して、管理している番号です (注1)。

単受信モードを設定した場合 (CTRWビットが"0") は、本ビットで設定したブロックのみを使用することになり、次に続くブロックから他のエンドポイントのバッファに設定することが可能です。

連続受信モードを設定した場合 (CTRWビットが"1") は、本ビットで設定したブロック番号から、256バイト分のバッファを使用します (注2)。

注1: M66291には、FIFOバッファが3Kバイト搭載されており、H'0~H'2Fのブロックが存在します。

注2: 複数のエンドポイントが、同じバッファ領域を重複しないように設定してください。

2.21 EP0パケットサイズレジスタ

■EP0パケットサイズレジスタ (EP0_PACKET_SIZE)

<アドレス : H'2A>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0008>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

B	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	EP0_MXPS 最大パケットサイズ	一回のパケット転送で送受信するデータの最大値 (8,16,32,64のみ設定可能)	○	○

(1) EP0_MXPS (最大パケットサイズ) ビット (b6~b0)

このビットにより、データステージでの一回のパケット転送で送受信するデータの上限値 (バイト数) を設定します。

ホストに送信した、bMaxPacketSize0の値を設定してください。

送信時は、このビットで設定したサイズ分のデータをバッファから読み出し送信します。このとき、バッファ上に、このビットで設定したサイズ分のデータが無い場合、ショートパケットとして送信します。

受信時は、このビットで設定したサイズ分の受信データをバッファ上に書き込みます。このとき、このビットで設定したサイズ分より大きいパケットデータを受信した場合、以下のビットがセットされます。

- EPB_EMP_OVRビットが"1"にセット (EPB_EMPEビットが"1"のとき、バッファエンプティ/サイズオーバーエラー割り込みが発生)。
- SERRビットを"1"に設定している場合、CTRTRビットが"1"にセット (コントロール転送ステージ遷移割り込み発生)

注 : 応答PIDをNAK (EP0_PIDビットが"00") に設定した後、このビットを設定してください。

2.22 自動応答制御レジスタ

■自動応答制御レジスタ (AUTO_RESPONSE_CONTROL)

<アドレス : H'2C>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	ASCN	ASAD
—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

<H/Wリセット時 : H'0000>

<S/Wリセット時 : —>

<USBバスリセット時 : —>

b	ビット名	機能	R	W
15~2	何も配置されていません。"0"に固定してください。		0	0
1	ASCN SET_CONFIGURATION自動応答モード	0 : SET_CONFIGURATION自動応答無効 1 : SET_CONFIGURATION自動応答有効	○	○
0	ASAD SET_ADDRESS自動応答モード	0 : SET_ADDRESS自動応答無効 1 : SET_ADDRESS自動応答有効	○	○

(1) ASCN (SET_CONFIGURATION自動応答モード) ビット (b1)

このビットにより、SET_CONFIGURATIONリクエストに対する自動応答モードの有効/無効を設定します。自動応答モードを有効にすると、以下のリクエストに対して、ステータスステージでzero-lengthパケットを自動的に送信し正常完了を通知します。このとき、CTRRTビットは"1"にセットされません (コントロール転送ステージ遷移割り込み未発生)。

- AddressステートでのConfigurationValue≠0のSET_CONFIGURATIONリクエスト
- ConfiguredステートでのConfigurationValue=0のSET_CONFIGURATIONリクエスト

上述以外のSET_CONFIGURATIONリクエストを受信した場合は、自動応答を実施しません。このときは、CTRRTビットが"1"にセットされます (コントロール転送ステージ遷移割り込み発生)。

なお、本機能の有効無効に関わらず、上述のリクエストを受信しステートが変化したとき、SCFGビットが"1"であればDVSTビットが"1"にセットされます (デバイスステート割り込み発生)。

(2) ASAD (SET_ADDRESS自動応答モード) ビット (b0)

このビットにより、SET_ADDRESSリクエストに対する自動応答モードの有効/無効を設定します。自動応答モードを有効にすると、以下リクエストに対して、ステータスステージでzero-lengthパケットを自動的に返信し正常完了を通知します。このとき、CTRRTビットは"1"にセットされません (コントロール転送ステージ遷移割り込み未発生)。

- DefaultステートでのSET_ADDRESSリクエスト

上述以外のSET_ADDRESSリクエストを受信した場合は、自動応答を実施しません。このときは、CTRRTビットが"1"にセットされます (コントロール転送ステージ遷移割り込み発生)。

なお、本機能の有効無効に関わらず、上述のリクエストを受信しステートが変化したとき、SADRビットが"1"であればDVSTビットが"1"にセットされます (デバイスステート遷移割り込み発生)。

2.23 EP0_FIFO選択レジスタ

■EP0_FIFO選択レジスタ (EP0_FIFO_SELECT)

<アドレス : H'30>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
RCNT					Octl			BSWP							ISEL
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15	RCNT リードカウントモード	0: 全受信データ読み出しでODLNビットはクリア 1: 受信データ読み出しでODLNビットをカウントダウン	○	○
14~11	何も配置されていません。"0"に固定してください。		0	0
10	Octl レジスタ8ビットモード	0: EP0_FIFOデータレジスタは16ビットモード 1: EP0_FIFOデータレジスタは8ビットモード	○	○
9~8	何も配置されていません。"0"に固定してください。		0	0
7	BSWP バイトスワップモード	0: バイトをリトルエンディアンとして扱う 1: バイトをビッグエンディアンとして扱う	○	○
6~1	何も配置されていません。"0"に固定してください。		0	0
0	ISEL バッファセレクト	0: コントロールライト転送 1: コントロールリード転送	○	○

(1) RCNT (リードカウントモード) ビット (b15)

このビットにより、EP0_FIFOデータレジスタの読み出し時の、ODLNビットのカウントダウン方法を設定します。

このビットに"0"を設定すると、EP0_FIFOデータレジスタからのデータ読み出しを行っても、ODLNビットの値は変化せず、全てのデータを読み出したときにH'0にクリアされます。

このビットに"1"を設定すると、EP0_FIFOデータレジスタからのデータ読み出し毎に、ODLNビットの値がカウントダウンします。このとき、EP0_FIFOデータレジスタが8ビットモードであるか16ビットモードであるかで、以下の様にダウンカウント値が異なります。

- ・ 8ビットモード : "−1"ずつダウンカウント
- ・ 16ビットモード : "−2"ずつダウンカウント

注. 8ビットモード,16ビットモードの設定は、*HWR/*BYTE端子および同レジスタのOctlビットにて設定してください。

(2) Octl (レジスタ8ビットモード) ビット (b10)

このビットにより、EP0_FIFOデータレジスタのアクセスモードを設定します。

このビットに"0"を設定すると、EP0_FIFOデータレジスタが16ビットモードになり、EP0_FIFOデータレジスタの全ビットが有効になります。

このビットに"1"を設定すると、EP0_FIFOデータレジスタが8ビットモードになり、EP0_FIFOデータレジスタの上位8ビット (b15~b8) が無効になります。

本ビットは、受信前に設定してください。

コントロールライト転送に設定 (ISELビットが"0") しているときは、データ受信前に、このビットを変更してください。コントロールリード転送に設定 (ISELビットが"1") しているときは、E0reqビットが"1"の時に、このビットを変更しないでください。

*HWR/*BYTE端子で8ビットモードに設定している場合は、このビットは無効となります (8ビットモード固定)。

この場合、このビットは"0"が読み出されます。

(3) BSWP (バイトスワップモード) ビット (b7)

このビットにより、EP0_FIFOデータレジスタのエンディアンを設定します。
 このビットに"0"を設定すると、EP0_FIFOデータレジスタはリトルエンディアンになります。
 このビットに"1"を設定すると、EP0_FIFOデータレジスタはビッグエンディアンとなります。

	b15~b8	b7~b0
リトルエンディアン	奇数アドレス	偶数アドレス
ビッグエンディアン	偶数アドレス	奇数アドレス

注： 8ビットモード時（Octlビット,*HWR/*BYTE端子で設定）は、このビットを"1"に設定しないでください。

(4) ISEL (バッファセレクト) (b0)

このビットにより、コントロール転送で 사용되는エンドポイント0のバッファの転送方向を選択します。
 このビットに"0"を書き込むと、コントロールライト転送用のバッファとして機能します。
 このビットに"1"を書き込むと、コントロールリード転送用のバッファとして機能します。

2.24 EP0_FIFO制御レジスタ

■EP0_FIFO制御レジスタ (EP0_FIFO_CONTROL)

<アドレス : H'32>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
EP0_PID		IVAL	BCLR	E0req	CCPL	0	ODLN								
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0800>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~14	EP0_PID 応答PID	00 : NAK 01 : BUF (バッファ等の状態により応答PID/データを送信) 1x : STALL	○	○
13	IVAL INバッファセット/OUTバッファステータス	<コントロールライト転送設定時> ■リード 0 : バッファのデータ読み出し不可 1 : バッファのデータ読み出し可 ■ライト 無効 (書き込みは無視されます) <コントロールリード転送設定時> ■リード 0 : バッファにデータ書き込み未完了 1 : バッファにデータ書き込み完了 ■ライト 0 : 無効 (書き込みは無視されます) 1 : バッファにデータ書き込み完了 (強制完了 : ショートパケット送信)	○	○
12	BCLR バッファクリア	<コントロールライト転送設定時> ■ライト 0 : 無効 (書き込みは無視されます) 1 : バッファクリア (IVALビットが"1"のとき) <コントロールリード転送設定時> ■ライト 0 : 無効 (書き込みは無視されます) 1 : バッファクリア (注 : IVALビットが"1"のときは EP0_PID="00"を確認してから行ってください。)	0	○
11	E0req EP0_FIFOレディ	0 : EP0_FIFOデータレジスタ等にアクセス可能 1 : EP0_FIFOデータレジスタ等にアクセス不可	○	×
10	CCPL コントロール転送制御	0 : ステータスステージでNAK応答 1 : ステータスステージで正常完了応答 (ACK応答/zero-lengthパケット送信)	○	○
9	何も配置されていません。"0"に固定してください。		0	0
8~0	ODLN コントロールライト受信データ長	コントロールライト転送の受信データ長を格納	○	×

(1) EP0_PID (応答PID) ビット (b15~b14)

このビットにより、コントロール転送のデータ/ステータスステージでのホストに応答するPIDを設定します。セットアップステージでは、このビットに関わらず、必ずACK応答します。なお、このビットは、VALIDビットが"1"の場合、NAKまたはBUFの書き込みは無視されます。

このビットが"00"の時、

- ・データステージ : NAK応答
- ・ステータスステージ : NAK応答

このビットが"01"の時、

<コントロールライト転送時 (ISELビットが"0") >

- ・データステージ : SIE側バッファが受信可能状態であった場合、データを受信しACK応答
: SIE側バッファが受信可能状態でなかった場合、NAK応答
SIE側バッファが受信可能状態でなかった場合はOUTトークン受信でEPB_NRDビットが"1"にセットされます。
- ・ステータスステージ : CCPLビットに依存

<コントロールリード転送時 (ISELビットが"1") >

- ・データステージ : SIE側バッファが送信可能状態であった場合、データを送信
: SIE側バッファが送信可能状態でなかった場合、NAK応答
SIE側バッファが送信可能状態でなかった場合、INトークン受信でEPB_NRDビットが"1"にセットされます。
- ・ステータスステージ : CCPLビットに依存

このビットが"1x"の時、

- ・データステージ : STALL応答
SIE側バッファが受信/送信可能状態でなかった場合はOUTトークン受信でEPB_NRDビットが"1"にセットされます。
- ・ステータスステージ : STALL応答

なお、データステージでデータ受信中に本ビットを"00"に設定してもNAK応答は行いません。次のトランザクションから本ビットの設定が反映されます。

同様に、データステージでデータ送信中に本ビットを"00"に設定しても送信は中断しません。

また、次の状態が発生した場合は、自動的にこのビットに次の値がセットされます。

- Setupトークンを受信した場合
 - ・"00" (NAK)
- 自動応答に設定されたリクエスト (SET_ADDRESS, SET_CONFIGURATION) を受信した場合
 - ・"01" (BUF)
 この時、CCPLビットも自動的に"1"にセットされ、後続するステータスステージ (INトランザクション) で、zero-lengthパケットを送信します。
- シーケンスエラーが発生した場合 (CTSQビットが"110"にセット)
 - ・"1x" (STALL)

(2) IVAL (INバッファセット/OUTバッファステータス) ビット (b13)

このビットは、本レジスタのE0reqビットが"0"のときに有効な値を示します。

- コントロールライト転送に設定している場合 (ISELビットが"0")
このビットが"1"の状態であれば、バッファはCPU側にあり読み出すことが可能な状態です。

このビットは受信完了時に"1"にセットされます。

受信完了はCTRWビットにより変化します。

このビットが"1"の状態になることにより、EPB_RDYビットが"1"にセットされます (バッファレディ割り込みが発生)。

このビットは、以下のいずれかの要因により"0"にクリアされます。

- ・ CPU側バッファの受信データを全て読み出す
- ・ BCLRビットに"1"を書き込む

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

- コントロールリード転送に設定している場合 (ISELビットが"1")
このビットが"0"の状態であれば、バッファはCPU側にあり書き込むことが可能な状態です。

このビットは、以下いずれかの要因で"0"にクリアされます。

- ・ SIE側バッファが送信完了
- ・ BCLRビットに"1"を書き込む

送信完了はCTRRビットにより変化します。

EPB_EMPEビットが"1"のとき、このビットが"0"の状態になることにより、EPB_EMP_OVRビットが"1"にセットされます (バッファエンプティ/サイズオーバーエラー割り込みが発生)。

このビットは、以下いずれかの要因で"1"にセットされます。

- ・ CPU側バッファに送信データの書き込み完了
- ・ 本ビットへの"1"の書き込み

このビットに"1"を書き込むと、強制的に書き込み完了状態になります。バッファに書き込まれたデータがあれば書き込まれたデータのみを送信しショートパケットとして送信します。このとき、バッファがクリアされた状態であれば、zero-lengthパケットを送信します。バッファのクリアはBCLRビットにて行うことが可能です。なお、zero-lengthパケットは、このビットと、BCLRビットに同時に"1"を書き込むことで送信可能です。この場合、BCLRビットの"1"セットによるバッファクリアを行い、zero-lengthパケットの送信後に本ビットは"0"にクリアされます。

書き込み完了もCTRRビットにより変化します。

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

(3) BCLR (バッファクリア) ビット (b12)

このビットにより、CPU側バッファに書き込まれたデータをクリアします。

- コントロールライト転送に設定している場合 (ISELビットが"0")
IVALビットが"1"のときに、このビットに"1"を書き込むと以下の動作が実施されます。
 - ・ CPU側バッファのクリア
 - ・ 本レジスタのIVALビットのクリア
 - ・ 本レジスタのODLNビットのクリア

- コントロールリード転送に設定している場合 (ISELビットが"1")
IVALビットが"0"のときに、このビットに"1"を書き込むと以下の動作が実施されます。
 - ・ CPU側バッファのクリア

なお、zero-lengthパケットは、このビットと、IVALビットに同時に"1"を書き込むことで送信可能です。詳しくはIVALビットを参照してください。

IVALビットが"1"のときに、このビットに"1"を書き込むと以下の動作が実施されます。

- ・ SIE側バッファのクリア (他のエンドポイントとは異なり、本ビットによりSIE側バッファもクリアすることが可能です)

- ・本レジスタのIVALビットのクリア

注. IVALビットが"1"のときはEP0_PID="00"を確認してから行ってください。
このビットは、バッファのクリア完了後自動的に"0"に戻ります。

- 注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。
注. EP0_FIFOデータレジスタに送信データが存在する時に、BCLR="1"を行った場合、当該エンドポイントにおいてバッファエンpty割り込みが発生します。

(4) E0req (EP0_FIFOレディ) ビット (b11)

このビットが"1"のとき、以下の状態を示します。

- ・ EP0_FIFOデータレジスタにアクセス不可
- ・ 本レジスタのIVALビットの値は無効
- ・ 本レジスタのODLNビットの値は無効

これらレジスタ/ビットをアクセスする場合、このビットが"0"で有ることを確認してください。

(5) CCPL (コントロール転送制御) ビット (b10)

このビットにより、コントロール転送のステータスステージの制御を行います。

このビットに"1"を設定すると、コントロール転送のステータスステージにおいて、以下の動作を行いコントロール転送の正常終了を通知をします。

- コントロールライト転送に設定している場合 (ISELビットが"0")
EP0_PIDビットが"01"であれば、INトークンの受信で、zero-lengthパケット送信
- コントロールリード転送に設定している場合 (ISELビットが"1")
EP0_PIDビットが"01"であれば、OUTトークン後のzero-lengthパケット受信で、ホストにACK応答

このビットが"0"の場合、コントロール転送のステータスステージにおいて、INトークン/OUTトークン受信後、ホストに対してNAK応答します。

このビットは、Setupトークン受信で、自動的に"0"クリアされます。

(6) ODLN (コントロールライト受信データ長) ビット (b8-b0)

このビットはコントロールライト転送で有効なビットで、CPU側バッファ上の受信データ数 (バイト数) を示します。

また、このビットは、EP0_FIFOデータレジスタを読み出してカウントダウン等の動作をします。ただし、この動作は、RCNTビットにより変化します。詳しくはRCNTビットを参照してください。

このビットは、本レジスタのE0reqビットが"0"のときに有効な値を示します。

2.25 EP0_FIFOデータレジスタ

■EP0_FIFOデータレジスタ (EP0_FIFO_DATA)

<アドレス : H'34>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
EP0_FIFO															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'????>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15-0	EP0_FIFO EP0_FIFOデータ	<コントロールライト転送設定時> ■リード 受信データの読み出し <コントロールリード転送設定時> ■ライト 送信データの書き込み	○	○

注 : 8ビットモード時 (EP0_FIFO選択レジスタのOctlビット,*HWR/*BYTE端子で設定) は、上位8ビット (b15~b8) が無効になります。

(1) EP0_FIFO (EP0_FIFOデータ) ビット (b15~b0)

このビットにより、CPU側バッファから受信データの読み出し/バッファへ送信データの書き込みを行います。コントロールライト転送に設定 (ISELビットが"0") しているときは、このビットからバッファ上の受信データを読み出せます。

コントロールリード転送に設定 (ISELビットが"1") しているときは、このビットからバッファ上へ送信データを書き込めます。

このビットの読み出し/書き込み時には、E0reqビットが、"0"になっていることを確認してください。

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

2.26 EP0連続送信データ長レジスタ

■EP0連続送信データ長レジスタ (EP0_SEND_LEN)

<アドレス : H'36>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~9	何も配置されていません。"0"に固定してください。		0	0
8~0	SDLN コントロールリード連続送信データ長	コントロールリード連続送信データ長	○	○

(1) SDLN (コントロールリード連続送信データ長) ビット (b8~b0)

このビットは、コントロールリード転送時 (ISELビットが"1") で連続送信モード時 (CTRRビットが"1") に有効なビットです。

このビットにより、コントロールリード転送のデータステージで送信するデータ (複数のトランザクションに渡って送信するデータ) の総バイト数を設定します。

このビットは最大256バイトまで設定できます。送信バイト数が256バイト以上になる場合は、256バイトと余りバイト数を複数回に分けて設定してください。

このビットにEP0パケットサイズレジスタに設定した値の整数倍が設定された場合、すべてのデータを送信した後、zero-lengthパケットが自動的に付加されます。ただし、256バイト以上のデータを送信するために、256バイトを設定した時はzero-lengthパケットが自動的に付加されません。

このビットを設定した後にバッファへの書き込みを行ってください。

2.27 CPU_FIFO選択レジスタ

■CPU_FIFO選択レジスタ (CPU_FIFO_SELECT)

<アドレス : H'40>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
RCNT			RWND					BSWP	Octl			CPU_EP			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15	RCNT リードカウントモード	0: 全受信データ読み出しでCPU_DTLNビットをクリア 1: 受信データ読み出しでCPU_DTLNビットをカウントダウン	○	○
14~13	何も配置されていません。"0"に固定してください。		0	0
12	RWND バッファリワインド	<OUTバッファに設定時> ■ライト 0: 無効 (書き込みは無視されます) 1: バッファ読み出しポインタをクリア <INバッファに設定時> ■ライト 0: 無効 (書き込みは無視されます) 1: バッファ書き込みポインタをクリア	0	○
11~8	何も配置されていません。"0"に固定してください。		0	0
7	BSWP バイトスワップモード	0: バイトをリトルエンディアンとして扱う 1: バイトをビッグエンディアンとして扱う	○	○
6	Octl (注) レジスタ8ビットモード	0: CPU_FIFOデータレジスタは16ビットモード 1: CPU_FIFOデータレジスタは8ビットモード	○	○
5~4	何も配置されていません。"0"に固定してください。		0	0
3~0	CPU_EP CPUアクセスエンドポイント指定	0001: EP1 (エンドポイント1) 指定 0010: EP2 (エンドポイント2) 指定 0011: EP3 (エンドポイント3) 指定 0100: EP4 (エンドポイント4) 指定 0101: EP5 (エンドポイント5) 指定 0110: EP6 (エンドポイント6) 指定 上記以外: 無効	○	○

注 : EPIコンフィグレーションレジスタ1のOctlビットと論理和で制御されます

(1) RCNT (リードカウントモード) ビット (b15)

このビットにより、CPU_FIFOデータレジスタの読み出し時の、CPU_DTLNビットのカウントダウン方法を設定します。

このビットに"0"を設定すると、CPU_FIFOデータレジスタからのデータ読み出しを行っても、CPU_DTLNビットの値は変化せず、全てのデータを読み出したときにH'0にクリアされます。

このビットに"1"を設定すると、CPU_FIFOデータレジスタからのデータ読み出し毎に、CPU_DTLNビットの値がカウントダウンします。このとき、CPU_FIFOデータレジスタが8ビットモードであるか16ビットモードであるかで、以下の様にダウンカウント値が異なります。

- ・ 8ビットモード : "-1"ずつダウンカウント
- ・ 16ビットモード : "-2"ずつダウンカウント

注. 8ビットモード,16ビットモードの設定は、*HWR*/BYTE端子およびOctlビットにて設定してください。

(2) RWND (バッファリwind) ビット (b12)

このビットにより、バッファのポインタをリwind (初期化) します。

●OUTバッファに設定している場合 (EPi_DIRビットが"0")

CPU_FIFO制御レジスタのIVALビットが"1"のとき、このビットに"1"を書き込むと、バッファ読み出しポインタを初期化することができます。これにより、受信データを最初から読み出すことができます。

●INバッファに設定している場合 (EPi_DIRビットが"1")

CPU_FIFO制御レジスタのIVALビットが"0"のとき、このビットに"1"を書き込むと、バッファ書き込みポインタを初期化することができます。これにより、送信データを最初から再設定することができます。なお、INバッファに設定しているときは、BCLRビットに"1"を設定することと同等の動作となります。

(3) BSWP (バイトスワップモード) ビット (b7)

このビットにより、CPU_FIFOデータレジスタのエンディアンを設定します。

このビットに"0"を設定すると、CPU_FIFOデータレジスタはリトルエンディアンになります。

このビットに"1"を設定すると、CPU_FIFOデータレジスタはビッグエンディアンとなります。

	b15~b8	b7~b0
リトルエンディアン	奇数アドレス	偶数アドレス
ビッグエンディアン	偶数アドレス	奇数アドレス

注: 8ビットモード時 (Octlビット,*HWR/*BYTE端子で設定) は、このビットを"1"に設定しないでください。

(4) Octl (レジスタ8ビットモード) ビット (b6)

このビットにより、CPU_FIFOデータレジスタのアクセスモードを設定します。

このビットに"0"を設定すると、CPU_FIFOデータレジスタが16ビットモードになり、CPU_FIFOデータレジスタの全ビットが有効になります。

このビットに"1"を設定すると、CPU_FIFOデータレジスタが8ビットモードになり、CPU_FIFOデータレジスタの上位8ビット (b15~b8) が無効になります。

OUTバッファに設定 (EPi_DIRビットが"0") しているときは、データ受信前に、このビットを変更してください。INバッファに設定 (EPi_DIRビットが"1") しているときは、Creqビットが"1"の時に、このビットを変更しないでください。

*HWR/*BYTE端子で8ビットモードに設定している場合は、このビットは無効となります (8ビットモード固定)。

この場合、このビットは"0"が読み出されます。

注: CPU_FIFOデータレジスタのアクセス幅は、本ビットとCPU_EPビットで指定したEPiコンフィグレーションレジスタ1のEPi_Octlビットとの論理和で制御されます。したがって、本ビットとEPiコンフィグレーションレジスタ1のEPi_Octlビットのいずれかに"1"が設定された場合、8ビットモードとなります。16ビットモード時に変更する場合、どちらのビットも"0"にする必要があるのでご注意ください。

(5) CPU_EP (CPUアクセスエンドポイント指定) ビット (b3~b0)

このビットにより、CPUでアクセスするエンドポイントを指定します。

エンドポイントの指定は、DMA_EPビットの指定と重複させないでください。

OUT方向のエンドポイントからOUT方向のエンドポイントに変更する場合は一旦エンドポイントの設定をクリア (CPU_EP="0000"と設定) してから変更先のエンドポイントに設定して下さい。

2.28 CPU_FIFO制御レジスタ

■CPU_FIFO制御レジスタ (CPU_FIFO_CONTROL)

<アドレス : H'42>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
	IDLY	IVAL	BCLR	Creq	CPU_DTLN										
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0800>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15	何も配置されていません。"0"に固定してください。		0	0
14	IDLY アイソクロナス送信ディレイセット	0: IDLY機能無効 1: IDLY機能有効	○	○
13	IVAL INバッファセット/OUTバッファステータス	<OUTバッファ設定時> ■リード 0: バッファのデータ読み出し不可 1: バッファのデータ読み出し可 ■ライト 無効 (書き込みは無視されます) <INバッファ設定時> ■リード 0: バッファにデータ書き込み未完了 1: バッファにデータ書き込み完了 ■ライト 0: 無効 (書き込みは無視されます) 1: バッファにデータ書き込み完了 (強制完了: ショートパケット送信)	○	○
12	BCLR バッファクリア	<OUTバッファ設定時> ■ライト 0: 無効 (書き込みは無視されます) 1: バッファクリア (IVALビットが"1"のとき) <INバッファ設定時> ■ライト 0: 無効 (書き込みは無視されます) 1: バッファクリア (IVALビットが"0"のとき)	0	○
11	Creq CPU_FIFOレディ	0: CPU_FIFOデータレジスタ等にアクセス可能 1: CPU_FIFOデータレジスタ等にアクセス不可	○	×
10~0	CPU_DTLN CPU_FIFO受信データ長レジスタ	受信データ長 (バイト数) を格納	○	×

(1) IDLY (アイソクロナス送信ディレイ) ビット (b14)

アイソクロナス転送ではバッファに送信データを書き込んだ後(注)、IVALビットもしくは本ビットに"1"を書き込むことで送信を開始させることができます。

このビットに"1"を書き込んだ場合、SOFパケットの受信を確認した後のINトークン受信でデータを送信します。データ送信開始後に本ビットは"0"にクリアされます(図2.11参照)

なお、同レジスタのIVALビットに"1"を書き込んだ場合は、次のINトークン受信でデータを送信します(図2.12参照)。

注: EPI_MXPSビットには送信するデータサイズ+1バイト以上に設定してください。送信するデータサイズを設定した場合、バッファへの書き込み完了時にIVALビットが"1"にセットされます。したがって、EPI_MXPSビットの最大値である1023バイトの場合は本機能は使用できません。

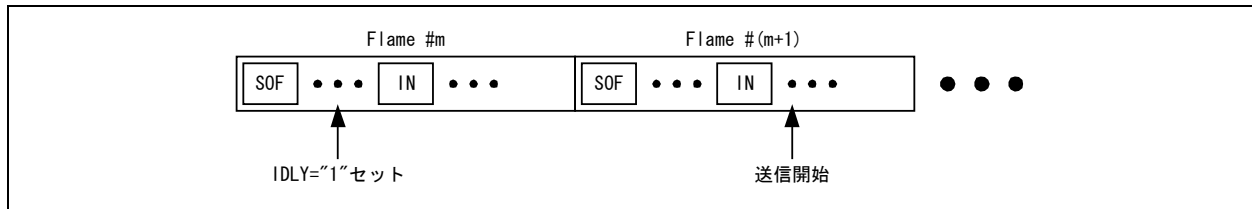


図2.11 IDLYビット="1"での送信開始タイミング

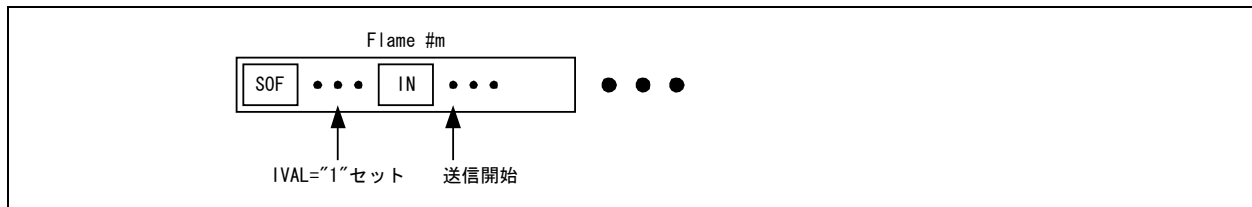


図2.12 IVALビット="1"での送信開始タイミング

(2) IVAL (INバッファセット/OUTバッファステータス) ビット (b13)

このビットは、本レジスタのCreqビットが"0"のときに有効な値を示します。

本ビットによりEPB_RDYビットが"1"にセット/クリアされます(EPB_RDYビットを参照)。

● OUTバッファに設定している場合 (EPI_DIRビットが"0")

このビットが"1"の状態であれば、CPU側バッファは受信データを読み出すことが可能な状態です。

このビットは、以下のいずれかの要因で"1"にセットされます。

- シングルバッファモード (EPI_DBLBビットが"0")
 - ・ 受信完了 (SIE側バッファ)
 - ・ TGLビットへの"1"の書き込み
- ダブルバッファモード (EPI_DBLBビットが"1")
 - ・ SIE側バッファが受信完了で、かつ、CPU側バッファが読み出し完了
 - ・ TGLビットへの"1"の書き込み

受信完了はEPI_RWMDビットにより変化します。

このビットは、以下のいずれかの要因で"0"にクリアされます。

- ・ CPU側バッファの受信データを全て読み出す
- ・ BCLRビットに"1"を書き込む
- ・ ACLRビットに"1"を書き込む

注: CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

● INバッファに設定している場合 (EPi_DIRビットが"0")

このビットが"0"の状態であれば、CPU側バッファは送信データを書き込むことが可能な状態です。

このビットは、以下いずれかの要因で"0"にクリアされます。

○シングルバッファモード (EPi_DBLBビットが"0")

- ・ SIE側バッファが送信完了
- ・ SCLRビットに"1"を書き込む
- ・ ACLRビットに"1"を書き込む

○ダブルバッファモード (EPi_DBLBビットが"1")

- ・ SIE側バッファが送信完了で、かつ、CPU側バッファが書き込み完了
- ・ SCLRビットに"1"を書き込む
- ・ ACLRビットに"1"を書き込む
- ・ BCLRビットに"1"を書き込む

送信完了はEPi_RWMDビットにより変化します。

このビットは、以下いずれかの要因で"1"にセットされます。

- ・ CPU側バッファに送信データを書き込み完了
- ・ 本ビットへの"1"の書き込み

このビットに"1"を書き込むと、強制的に書き込み完了状態になります。バッファに書き込まれたデータがあれば書き込まれたデータのみを送信しショートパケットとして送信します。このとき、バッファがクリアされた状態であれば、zero-lengthパケットを送信します。バッファのクリアはBCLRビットにて行うことが可能です。なお、zero-lengthパケットは、このビットと、BCLRビットに同時に"1"を書き込むことで送信可能です。この場合、BCLRビットの"1"セットによるバッファクリアを行い、zero-lengthパケットの送信後に本ビットは"0"にクリアされます。

書き込み完了もEPi_RWMDビットにより変化します。

(3) BCLR (バッファクリア) ビット (b12)

このビットにより、CPU側バッファに書き込まれたデータをクリアします。

● OUTバッファに設定している場合 (EPi_DIRビットが"0")

IVALビットが"1"のときに、このビットに"1"を書き込むと以下の動作が実施されます。

- ・ CPU側バッファのクリア
- ・ 本レジスタのIVALビットのクリア
- ・ 本レジスタのCPU_DTLNビットのクリア

● INバッファに設定している場合 (EPi_DIRビットが"1")

IVALビットが"0"のときに、このビットに"1"を書き込むと以下の動作が実施されます。

- ・ CPU側バッファのクリア

なお、zero-lengthパケットは、このビットと、IVALビットに同時に"1"を書き込むことで送信可能です。詳しくはIVALビットを参照してください。

このビットは、バッファのクリア完了後自動的に"0"に戻ります。

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

(4) Creq (CPU_FIFOレディ) ビット (b11)

このビットが"1"のとき、以下の状態を示します。

- ・ CPU_FIFOデータレジスタにアクセス不可
- ・ 本レジスタのIVALビットの値は無効
- ・ 本レジスタのCPU_DTLNビットの値は無効

これらレジスタ/ビットをアクセスする場合、このビットが"0"で有ることを確認してください。

(5) CPU_DTLN (CPU_FIFO受信データ長レジスタ) ビット (b10~b0)

このビットはOUTバッファに設定 (EPI_DIRビットが"0") しているエンドポイントに対して有効で、CPU側バッファ上の受信データ数 (バイト数) を示します。

また、このビットは、CPU_FIFOデータレジスタの読み出しでカウントダウン等の動作をします。ただし、この動作は、CPU_FIFO選択レジスタのRCNTビットにより変化します。詳しくはRCNTビットを参照してください。

このビットは、本レジスタのCreqビットが"0"のときに有効な値を示します。

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

2.29 CPU_FIFOデータレジスタ

■CPU_FIFOデータレジスタ (CPU_FIFO_DATA)

<アドレス : H'44>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
CPU_FIFO															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'????>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~0	CPU_FIFO CPU_FIFOデータ	<OUTバッファ設定時> ■リード 受信データの読み出し <INバッファ設定時> ■ライト 送信データの書き込み	○	○

注 : 8ビットモード時 (CPU_FIFO選択レジスタのOctlビット,*HWR/*BYTE端子で設定) は、上位8ビット (b15~b8) が無効になります。

(1) CPU_FIFO (CPU_FIFOデータ) ビット (b15~b0)

このビットにより、バッファから受信データの読み出し/バッファへ送信データの書き込みを行います。

OUTバッファに設定 (EPi_DIRビットが"0") しているときは、このビットからCPU側バッファ上の受信データを読み出せます。

INバッファに設定 (EPi_DIRビットが"1") しているときは、このビットからCPU側バッファ上へ送信データを書き込めます。

このビットの読み出し/書き込み時には、Creqビットが、"0"になっていることを確認してください。

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

注. M66291では、16ビットモード設定時にバイトデータの書き込みを認識することができるため、バイトデータ書き込み後、IVALビットを"1"に設定することで奇数バイトのデータを送信することが可能です。

2.30 SIE_FIFOステータスレジスタ

■SIE_FIFOステータスレジスタ (SIE_FIFO_STATUS)

<アドレス : H'46>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	TGL	SCLR	Sreq	SIE_DTLN										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

<H/Wリセット時 : H'0000>

<S/Wリセット時 : —>

<USBバスリセット時 : —>

b	ビット名	機能	R	W
15~14	何も配置されていません。"0"に固定してください。		0	0
13	TGL バッファトグル	<OUTバッファ設定時> ■ライト 0: 無効 (書き込みは無視されます) 1: 受信可能状態にあるバッファを読み出し可能状態に強制トグル <INバッファ設定時> ■ライト 0: 無効 (書き込みは無視されます) 1: 設定禁止	0	○
12	SCLR バッファクリア	<OUTバッファ設定時> ■ライト 0: 無効 1: 設定禁止 <INバッファ設定時> 0: 無効 (書き込みは無視されます) 1: 送信待機状態にあるバッファをクリア	0	○
11	Sreq SIE_FIFOレディ	0: TGL/SCLRビットに書き込み可能 1: TGL/SCLRビットに書き込み不可	○	×
10~0	SIE_DTLN SIE_FIFO受信データ長	SIE内部FIFOの受信データ長	○	×

本ビットは、CPU_EPビットで指定したエンドポイントに対して有効になるレジスタです。

(1) TGL (バッファトグル) ビット (b13)

このビットは、OUTバッファに設定 (EPi_DIRビット="0") しているエンドポイントに対して有効で、連続送受信モード時に設定 (EPi_RWMD="1") しているときに使用します。INバッファに設定 (EPi_DIRビット="1") しているときには"1"を書き込まないでください。

このビットに"1"を書き込むことにより、SIE側バッファを強制的に受信完了にし、CPU側バッファのデータの有無に関わらず、バッファをトグルします (SIE側バッファが受信完了となりトグルされるためIVALビットが"1"にセットされます)。CPU側にあったバッファのデータは、クリアされませんのでご注意ください。

このときEPB_RDYビットも"1"にセットされます (バッファレディ割り込み発生)。

注: CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

注: 本ビットに"1"を書き込む場合、応答PIDをNAK (EPi_PIDビットが"00") に設定した後、Sreqビットが"0"であることを確認してから設定してください。

(2) SCLR (バッファクリア) ビット (b12)

このビットは、INバッファに設定 (EPI_DIRビット="1") しているエンドポイントに対して有効です。OUTバッファに設定 (EPI_DIRビット="0") しているときには"1"を書き込まないでください。

このビットに"1"を書き込むことによりSIE側バッファをクリアします。

注: CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

注: 本ビットに"1"を書き込む場合、応答PIDをNAK (EPI_PIDビットが"00") に設定した後、Sreqビットが"0"であることを確認してから設定してください。

(3) Sreq (SIE_FIFOレディ) ビット (b11)

このビットは、TGLビットおよびSCLRビットへの書き込みの可否を示します。

このビットが"1"の場合、TGLビットおよびSCLRビットに書き込みを行わないでください。

(4) SIE_DTLN (SIE_FIFO受信データ長) ビット (b10~b0)

このビットはOUTバッファに設定 (EPI_DIRビットが"0") しているエンドポイントに対して有効で、SIE側バッファ上の受信データ数 (バイト数) を示します。(ACK送信毎に更新します)。

注: CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

2.31 Dn_FIFO選択レジスタ (n=0~1)

■D0_FIFO選択レジスタ (D0_FIFO_SELECT)

<アドレス : H'48>

■D1_FIFO選択レジスタ (D1_FIFO_SELECT)

<アドレス : H'50>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BUST	DFORM		RWND	ACKA	REQA	INTM	DMAEN	BSWP	Octl			DMA_EP			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15	BUST バーストモード	0 : サイクルスチール転送 1 : バースト転送	○	○
14~13	DFORM 転送方法	00 : *Dack信号及びリード/ライト信号で制御 01 : *Dack信号のみで制御 10 : チップセレクト/アドレス信号及びリード/ライト信号で制御 11 : Reserved	○	○
12	RWND バッファリワインド	<OUTバッファに設定時> ■ライト 0 : 無効 (書き込みは無視されます) 1 : バッファ読み出しポインタをクリア <INバッファに設定時> ■ライト 0 : 無効 (書き込みは無視されます) 1 : バッファ書き込みポインタをクリア	0	○
11	ACKA *Dack極性	0 : "L"アクティブ 1 : "H"アクティブ	○	○
10	REQA *Dreq極性	0 : "L"アクティブ 1 : "H"アクティブ	○	○
9	INTM DMA割り込みモード	0 : DMA転送終了でEPB_RDYビットに"1"セット 1 : 受信完了でEPB_RDYビットに"1"セット	○	○
8	DMAEN DMAイネーブル	0 : DMA転送禁止 1 : DMA転送許可 (*Dreq信号のアサート)	○	○
7	BSWP バイトスワップモード	0 : バイトをリトルエンディアンとして扱う 1 : バイトをビッグエンディアンとして扱う	○	○
6	Octl レジスタ8ビットモード	0 : Dn_FIFOデータレジスタを16ビットアクセス 1 : Dn_FIFOデータレジスタを8ビットアクセス	○	○
5~4	何も配置されていません。"0"に固定してください。		0	0
3~0	DMA_EP DMA転送エンドポイント指定	0001 : EP1 (エンドポイント1) 指定 0010 : EP2 (エンドポイント2) 指定 0011 : EP3 (エンドポイント3) 指定 0100 : EP4 (エンドポイント4) 指定 0101 : EP5 (エンドポイント5) 指定 0110 : EP6 (エンドポイント6) 指定 上記以外 : 無効	○	○

(1) BUST (バーストモード) ビット (b15)

サイクルスチール転送を設定した場合、CPU側バッファにアクセスが可能な状態になると、*Dreq信号をDMA転送（8ビットもしくは16ビット）毎にアサート、ネゲートを繰り返します。ネゲートはDn_FIFOデータレジスタへのアクセスで行われます。

バースト転送を設定した場合は、CPU側バッファにアクセスが可能な状態になると、CPU側バッファの読み出し/書き込み完了まで*Dreq信号をアサートし続けます。

なお、書き込み時には*TC信号をアサートすることにより、強制的に書き込み完了にすることが可能で、これによりショートパケットを送信します。

(2) DFORM (転送方法) ビット (b14-13)

このビットにより、DMA転送方法を選択します。

- "00"に設定した場合
 - リード時は、*Dack信号が"L"でリード信号が"L"の期間、Dn_FIFOデータレジスタのデータを出力します。
 - ライト時は、*Dack信号が"L"でライト信号の立ち上がりで、Dn_FIFOデータレジスタにデータを書き込みます。
- "01"に設定した場合
 - *Dack信号のみを使用し、リード/ライト信号を使用しません（リード/ライト信号は無視されます）。
 - リード時は、*Dack信号が"L"の期間、Dn_FIFOデータレジスタのデータを出力します。
 - ライト時は、*Dack信号の立ち上がりで、Dn_FIFOデータレジスタにデータを書き込みます。
- "10"に設定した場合
 - *Dack信号を使用しない代わりに（*Dack信号はインアクティブ固定として下さい）、アドレス信号等を使用してDn_FIFOデータレジスタのデータの読み出し/書き込みを行います。
 - リード時は、アクセス中のリード信号が"L"の期間、Dn_FIFOデータレジスタのデータを出力します。
 - ライト時は、アクセス中のライト信号の立ち上がりで、Dn_FIFOデータレジスタにデータを書き込みます。

なお、OUTバッファに設定（EPi_DIRビットが"0"）しているエンドポイントのDn_FIFOデータレジスタにライトを行った場合は、このライトは無視されます。

同様に、INバッファに設定（EPi_DIRビットが"1"）しているエンドポイントのDn_FIFOデータレジスタにリードを行った場合は、このリードは無視されます（不定値がリードされる）。

(3) RWND (バッファリワインド) ビット (b12)

このビットにより、バッファのポインタをリワインド（クリア）します。

- OUTバッファに設定している場合（EPi_DIRビットが"0"）
 - Dn_FIFO制御レジスタのIVALビットが"1"のとき、このビットに"1"を書き込むと、バッファ読み出しポインタをクリアすることができます。これにより、受信データを最初から読み出すことができます。
- INバッファに設定している場合（EPi_DIRビットが"1"）
 - Dn_FIFO制御レジスタのIVALビットが"0"のとき、このビットに"1"を書き込むと、バッファ書き込みポインタをクリアすることができます。これにより、送信データを最初から再設定することができます。

(4) ACKA (*Dack極性) ビット (b11)

このビットにより、*Dack信号の極性を選択します。

(5) REQA (*Dreq極性) ビット (b10)

このビットにより、*Dreq信号の極性を選択します。

(6) INTM (DMA割り込みモード) ビット (b9)

このビットで、EPB_RDYビットの"1"セットタイミングを設定します。

<OUTバッファ設定時 (EPI_DIRビットが"0") >

このビットに"0"を設定すると、受信したショートパケット (zero-lengthパケット含む) を含むバッファ内のデータを全て読み出すことにより、EPB_RDYビットが"1"にセットされます (この時、INTRE、EPB_REの値に関係無く、バッファレディの割り込みも発生します)。

このときのバッファの読み出しではバッファは状態を保持しますので、以下のビットの値も保持されます。これにより、バッファレディ割り込みを使用して、受信したデータ長等を読み出すことが可能です。

- ・ Dn_FIFO制御レジスタのIVALビット ("1"を保持)
- ・ Dn_FIFO制御レジスタのDMA_DTLNビット

次のデータを受信するためには、BCLRビットに"1"を書き込み、バッファをクリアする必要があります。

これによりIVALビットが"0"にクリアされますので、RDYMビットが"0"の場合、EPB_RDYビットもクリアされます。なお、RDYMビットが"1"の場合は、EPB_RDYビットに"0"を書き込みEPB_RDYビットを"0"にクリアします。

このビットに"1"を設定すると、DMA_EPビットで指定されていないエンドポイントと同じ条件で、EPB_RDYビットが"1"にセットされます (バッファレディ割り込み発生)。

<INバッファ設定時 (EPI_DIRビットが"1") >

[本ビットを"0"に設定する場合]

EPB_RDYビットは"1"にセットされる事はありません。

また、ダブルバッファモード (EPI_DBLBビットが"1") で使用する場合は、バッファへのデータ書き込み完了処理 (IVAL="1"の書き込みまたは*TC1端子のアサート) を行なった時にDMAENビットを"0"にセットし、DMA転送を再開する時に再度DMAENビットを"1"にセットして下さい。

[本ビットを"1"に設定する場合]

DMA_EPビットで指定されていないエンドポイントと同じ条件で、EPB_RDYビットが"1"にセットされます。

また、ダブルバッファモード (EPI_DBLBビットが"1") で使用する場合は、バッファへのデータ書き込み完了処理 (IVAL="1"の書き込み) を行なった時にDMAENビットを"0"にセットし、DMA転送を再開する時に再度DMAENビットを"1"にセットして下さい。

注： 本ビットを"0"に設定した場合、DMAEN="0"では使用しないでください。
本ビットを"1"に設定した場合、EPI_DIR="1"かつEPI_DBLB="1"のエンドポイントには*TC1端子は使用しないでください。

(7) DMAEN (DMAイネーブル) ビット (b8)

このビットにより、DMA転送に使用する*Dreq信号の出力の許可/禁止を設定します。

このビットに"1"を設定すると、DMA転送を許可になり、*Dreq信号がアサートできる状態になります。

このビットに"0"を書き込むと、DMA転送は禁止になり、*Dreq信号を出力しません。

注： 本ビットを"0"に設定した場合、INTM="0"では使用しないでください。

(8) BSWP (バイトスワップモード) ビット (b7)

このビットにより、Dn_FIFOデータレジスタのエンディアンを設定します。

このビットに"0"を設定すると、Dn_FIFOデータレジスタはリトルエンディアンになります。

このビットに"1"を設定すると、Dn_FIFOデータレジスタはビッグエンディアンとなります。

	b15~b8	b7~b0
リトルエンディアン	奇数アドレス	偶数アドレス
ビッグエンディアン	偶数アドレス	奇数アドレス

注： 8ビットモード時 (Octlビット,*HWR/*BYTE端子で設定) は、このビットを"1"に設定しないでください。

(9) Octl (レジスタ8ビットモード) ビット (b6)

このビットにより、Dn_FIFOデータレジスタのアクセスモードを設定します。

このビットに"0"を設定すると、Dn_FIFOデータレジスタが16ビットモードになり、Dn_FIFOデータレジスタの全ビットが有効になります。

このビットに"1"を設定すると、Dn_FIFOデータレジスタが8ビットモードになり、Dn_FIFOデータレジスタの上位8ビット (b15~b8) が無効になります。

OUTバッファに設定 (EPI_DIRビットが"0") しているときは、データ受信前に、このビットを変更してください。INバッファに設定 (EPI_DIRビットが"1") しているときは、Dreqビットが"1"の時に、このビットを変更しないでください。

*HWR/*BYTE端子で8ビットモードに設定している場合は、このビットは無効となります (8ビットモード固定)。

この場合、このビットは"0"が読み出されます。

注: Dn_FIFOデータレジスタのアクセス幅は、本ビットとDMA_EPビットで指定したEPIコンフィグレーションレジスタ1のOctlビットとの論理和で制御されます。したがって、本ビットとEPIコンフィグレーションレジスタ1のOctlビットのいずれかに"1"が設定された場合、8ビットモードとなります。16ビットモード時に変更する場合、どちらのビットも"0"にする必要がありますのでご注意ください。

注: DMAがDn_FIFOデータレジスタへのアクセス中は、このビットを変更しないでください。

(10) DMA_EP (DMA転送エンドポイント指定) ビット (b3~b0)

このビットにより、DMA転送エンドポイントを指定します。

エンドポイントの指定は、CPU_EPの指定と重複させないでください。

OUT方向のエンドポイントからOUT方向のエンドポイントに変更する場合は一旦エンドポイントの設定をクリア(DMA_EP="0000"と設定)してから変更先のエンドポイントに設定して下さい。

2.32 Dn_FIFO制御レジスタ (n=0~1)

■D0_FIFO制御レジスタ (D0_FIFO_CONTROL)

<アドレス : H'4A>

■D1_FIFO制御レジスタ (D1_FIFO_CONTROL)

<アドレス : H'52>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
TRCLR	TREN	IVAL	BCLR	Dreq	DMA_DTLN										
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0800>
 <S/Wリセット時 : ->
 <USBバスリセット時 : ->

b	ビット名	機能	R	W
15	TRCLR トランザクションカウントクリア	■ライト 0: 無効 (書き込みは無視されます) 1: トランザクション回数レジスタのクリア	0	○
14	TREN トランザクションカウントイネーブル	0: トランザクションカウント機能無効 1: トランザクションカウント機能有効	○	○
13	IVAL INバッファセット/OUTバッファステータス	<OUTバッファ設定時> ■リード 0: バッファのデータ読み出し不可 1: バッファのデータ読み出し可 ■ライト 無効 (書き込みは無視されます) <INバッファ設定時> ■リード 0: バッファにデータ書き込み未完了 1: バッファにデータ書き込み完了 ■ライト 0: 無効 (書き込みは無視されます) 1: バッファにデータ書き込み完了 (強制完了 : ショートパケット送信)	○	○
12	BCLR バッファクリア	<OUTバッファ設定時> ■ライト 0: 無効 (書き込みは無視されます) 1: バッファクリア (IVALビットが"1"のとき) <INバッファ設定時> ■ライト 0: 無効 (書き込みは無視されます) 1: バッファクリア	0	○
11	Dreq D_FIFOレディ	0: D_FIFOデータレジスタにアクセス可能 1: D_FIFOデータレジスタにアクセス不可	○	×
10~0	DMA_DTLN D_FIFO受信データ長レジスタ	受信データ長 (バイト数) を格納	○	×

(1) TRCLR (トランザクションカウントクリア) ビット (b15)

このビットに"1"を書き込むことで、Dnトランザクション回数レジスタの値をクリアします。
 このビットへの"1"の書き込みは保持されず、自動的に"0"にクリアされます。

(2) TREN (トランザクションカウントイネーブル) ビット (b14)

このビットにより、トランザクションカウント機能の有効/無効を設定します。
 Dnトランザクション回数カウントレジスタを参照してください。

(3) IVAL (INバッファセット/OUTバッファステータス) ビット (b13)

このビットは、本レジスタのDreqビットが"0"のときに有効な値を示します。
本ビットの動作は、CPU_FIFO制御レジスタのIVALビットと同じです。
ただし、本ビットによるEPB_RDYビットの"1"のセットは（バッファレディ割り込みの発生）、INTMビットにより変化しますのでご注意ください（EPB_RDY/INTMビットを参照）。

(4) BCLR (バッファクリア) ビット (b12)

このビットは、本レジスタのDreqビットが"0"のときに有効な値を示します。
本ビットの動作は、CPU_FIFO制御レジスタのBCLRビットと同じです。

(5) Dreq (D_FIFOレディ) ビット (b11)

このビットが"1"のとき、以下の状態を示します。

- Dn_FIFOデータレジスタにアクセス不可
- 本レジスタのIVALビットの値は無効
- 本レジスタのDMA_DTLNビットの値は無効

これらレジスタ/ビットをアクセスする場合、このビットが"0"で有ることを確認してください。

(6) DMA_DTLN (D_FIFO受信データ長レジスタ) ビット (b10~b0)

このビットはOUTバッファに設定（EPi_DIRビットが"0"）しているエンドポイントに対して有効で、CPU側バッファ上の受信データ数（バイト数）を示します。

このビットは、本レジスタのCreqビットが"0"のときに有効な値を示します。

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

2.33 Dn_FIFOデータレジスタ (n=0~1)

■D0_FIFOデータレジスタ (D0_FIFO_DATA)

<アドレス : H'4C>

■D1_FIFOデータレジスタ (D1_FIFO_DATA)

<アドレス : H'54>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
D_FIFO															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'????>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~0	D_FIFO D_FIFOデータ	<OUTバッファ設定時> ■リード 受信データの読み出し <INバッファ設定時> ■ライト 送信データの書き込み	○	○

注 : 8ビットモード時 (Dn_FIFO選択レジスタのOctlビット,*HWR/*BYTE端子で設定) は、上位8ビット (b15~b8) が無効になります。

(1) D_FIFO (D_FIFOデータ) ビット (b15~b0)

このビットにより、バッファから受信データの読み出し/バッファへ送信データの書き込みを行います。

OUTバッファに設定 (EPi_DIRビットが"0") しているときは、このビットからCPU側バッファ上の受信データを読み出せます。

INバッファに設定 (EPi_DIRビットが"1") しているときは、このビットからCPU側バッファ上へ送信データを書き込めます。

このビットの読み出し/書き込み時には、Dreqビットが、"0"になっていることを確認してください。

注. CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

注. M66291では、16ビットモード設定時にバイトデータの書き込みを認識することができるため、バイトデータ書き込み後、IVALビットを"1"に設定もしくは*TC端子をアサートすることで奇数バイトのデータを送信することが可能です。

2.34 DMA_n_トランザクション回数レジスタ (n=0~1)

- DMA0_トランザクション回数レジスタ (DMA0_TRN_COUNT) <アドレス : H'4E>
- DMA1_トランザクション回数レジスタ (DMA1_TRN_COUNT) <アドレス : H'56>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
TRNCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>
 <S/Wリセット時 : ->
 <USBバスリセット時 : ->

b	ビット名	機能	R	W
15-0	TRNCNT トランザクション回数	<TRENビットが"0"の時> 受信完了とするパケット数 (コンペアレジスタアクセス) <TRENビットが"1"の時> ■リード 受信したパケット数 (カレントレジスタアクセス) ■ライト 受信完了とするパケット数 (コンペアレジスタアクセス)	○	○

(1) TRNCNT (トランザクション回数) ビット (b15~b0)

このレジスタは、以下の条件で使用します。

- OUTバッファに設定 (EP_i_DIRビットが"0")
- 連続受信モードに設定 (EP_i_RWMDビットが"1")
- バルク転送モード (EP_i_TYPが)
- D_n_FIFOデータレジスタを使用したアクセス

トランザクションカウント機能を有効 (TRENビットが"1") にすることにより、バッファの受信完了の条件に以下の条件が追加されます。受信完了については、EP_iコンフィグレーションレジスタのEP_i_RWMDビットを参照してください。

- このレジスタに設定した値と、パケットの受信回数が一致した場合 (カレントレジスタとコンペアレジスタの一致、以下参照)

このレジスタは、次の2つのレジスタから構成されています。

- カレントレジスタ : 受信したパケット数のカウント (TRENビットが"1"のときカウントアップ)
- コンペアレジスタ : 受信完了とする値

2.35 FIFOステータスレジスタ

■FIFOステータスレジスタ (FIFO_STATUS)

<アドレス : H'58>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~4	何も配置されていません。"0"に固定してください。		0	0
6~0	EPB_STS エンドポイント0~6バッファステータス	■リード 0: バッファ読み出し不可/書き込み不可 1: バッファ読み出し可能/書き込み可能	○	×

(1) EPB_STS (エンドポイント0~6バッファステータス) ビット (b6~b0)

このビットの、"1"セット条件は、割り込みステータスレジスタ1と同じになります。
 "0"クリア条件が、以下の様に異なりますので注意してください。

本ビットのクリア条件は、常に、RDYMビットが"0"の時と同等です。したがって、割り込みステータスレジスタ1に"0"を書き込んで割り込みクリアした後でも、本ビットを読み出すことにより、バッファ上のデータ有無を確認することができます。

2.36 ポート制御レジスタ

■ポート制御レジスタ(PORT_CNTL)

<アドレス : H'5A>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
PIEN								PDIR							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : ->

<USBバスリセット時 : ->

B	ビット名	機能	R	W
15	何も配置されていません。"0"に固定してください。		0	0
14~8	PIEN ポート入力イネーブル	0 : ポート入力禁止 1 : ポート入力許可 ポート番号はビット番号に対応しています b8 : P0端子 b9 : P1端子 b10 : P2端子 b11 : P3端子 b12 : P4端子 b13 : P5端子 b14 : P6端子	○	○
7	何も配置されていません。"0"に固定してください。		0	0
6~0	PDIR ポート入出力選択	0 : 入力ポート 1 : 出力ポート ポート番号はビット番号に対応しています b0 : P0端子 b1 : P1端子 b2 : P2端子 b3 : P3端子 b4 : P4端子 b5 : P5端子 b6 : P6端子	○	○

ポート端子P0~P6は、8ビットバスインタフェースモード（HWR/BYTE端子制御）に設定することで、自動的に入出力ポートとなります。16ビットバスインタフェースモードに設定すると本レジスタ機能は、すべて無効になります。又16ビットバスインタフェースモード時の本レジスタへの書き込みは無効、読み出しはH'0000となります。

(1)PIEN(ポート入カインーブル)ビット(b14~b8)

このビットにより、ポート入力の許可/禁止を設定します。

このビットに”0”を書き込むと、本レジスタのPDIRが”0”に設定されていても、入力端子として動作しません。この場合、当該ポート端子はハイインピーダンス状態になります。なお、この状態ではポートデータは、”0”が読み出されます。

本レジスタのPDIRが”0”に設定されている場合、このビットに”1”を書き込むと、入力端子として動作します。

本レジスタのPDIRが”1”に設定されている場合、このビットは無効となります（出力ポートとして動作）。

(2)PDIR(ポート入出力選択)ビット(b6~b0)

このビットにより、ポート端子の入出力方向を選択します。

2.37 ポートデータレジスタ

■ポートデータレジスタ(PORT_DATA)

<アドレス : H'5C>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : —>

<USBバスリセット時 : —>

B	ビット名	機能	R	W
15~7		何も配置されていません。"0"に固定してください。	0	0
6~0	PDAT ポートデータ	0 : "L"レベル 1 : "H"レベル ポート番号はビット番号に対応しています b0 : P0端子 b1 : P1端子 b2 : P2端子 b3 : P3端子 b4 : P4端子 b5 : P5端子 b6 : P6端子	○	○

ポート端子P0~P6は、8ビットバスインタフェースモード（HWR/BYTE端子制御）に設定することで、自動的に入出力ポートとなります。16ビットバスインタフェースモードに設定すると本レジスタ機能は、すべて無効になります。又16ビットバスインタフェースモード時の本レジスタへの書き込みは無効、読み出しはH'0000となります。

(1)PDAT(ポートデータ)ビット(b6~b0)

このビットにより、ポート端子の状態を示します。

ポート制御レジスタのPIENビットが"0"の場合、このビットは"0"が読み出されます。

2.38 駆動電流調整レジスタ

■ 駆動電流調整レジスタ(L_ADJ)

<アドレス : H'5E>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LDRV
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : —>

<USBバスリセット時 : —>

B	ビット名	機能	R	W
15~1	何も配置されていません。"0"に固定してください。		0	0
0	LDRV 駆動電流調整	0 : IOVcc=2.7~3.6V時 1 : IOVcc=4.5~5.5V時	○	○

(1)LDRV(駆動電流調整)ビット(b0)

このビットにより、出力端子の駆動電流を調整します。

出力端子とは、D15/A0、D14/P6~D8/P0、D7~D0、*INT0、*INT1/*SOF、*Dreq0、*Dreq1を示します。

2.39 EPiコンフィギュレーションレジスタ0 (i=1~6)

■EP1コンフィギュレーションレジスタ0 (EP1_0CONFIG)	<アドレス : H'60>
■EP2コンフィギュレーションレジスタ0 (EP2_0CONFIG)	<アドレス : H'64>
■EP3コンフィギュレーションレジスタ0 (EP3_0CONFIG)	<アドレス : H'68>
■EP4コンフィギュレーションレジスタ0 (EP4_0CONFIG)	<アドレス : H'6C>
■EP5コンフィギュレーションレジスタ0 (EP5_0CONFIG)	<アドレス : H'70>
■EP6コンフィギュレーションレジスタ0 (EP6_0CONFIG)	<アドレス : H'74>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
Epi_TYP		EPI_DIR	EPI_ITMD	Epi_Buf_siz			EPI_DBLB	EPI_RWMD	Epi_Buf_Nmb						
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>
<S/Wリセット時 : ->
<USBバスリセット時 : ->

B	ビット名	機能	R	W
15~14	EPI_TYP 転送タイプ	00 : 無効 01 : バルク転送 10 : インタラプト転送 11 : アイソクロナス転送	○	○
13	EPI_DIR 転送方向	0 : OUTバッファ (ホストからのデータを受信) 1 : INバッファ (ホストへデータを送信)	○	○
12	EPI_ITMD インタラプトトグルモード	0 : データ再送機能有効 (通常トグルモード) 1 : データ再送機能無効 (強制トグルモード)	○	○
11~8	EPI_Buf_siz バッファサイズ	エンドポイントバッファサイズ	○	○
7	EPI_DBLB ダブルバッファモード	0 : シングルバッファモード 1 : ダブルバッファモード	○	○
6	EPI_RWMD 連続送受信モード	0 : 単送受信モード 1 : 連続送受信モード	○	○
5~0	EPI_Buf_Nmb バッファ先頭番号	バッファの先頭番号を指定	○	○

(1) EPI_TYP (転送タイプ) ビット (b15~b14)

このビットにより、エンドポイントの転送タイプを設定します。

(2) EPI_DIR (転送方向) ビット (b13)

このビットにより、エンドポイントの転送方向を設定します。

転送方向を切り替えた後は、CPU_FIFO制御レジスタのBCLRビットにて、バッファをクリアしてください。

(3) EPI_ITMD (インタラプトトグルモード) ビット (b12)

このビットにより、インタラプト転送時のデータ再送機能の有効/無効を設定します。

転送タイプをインタラプト転送に設定 (EPI_TYPビットが"10") したときのみ、本ビットを"1"に設定することが可能です。他の転送モードでは"0"に設定してください。

データ再送機能を無効にした場合、インターラプト転送で、データ送信後にACKが受信できなかったときでも、次の送信時にDATA PIDとバッファをトグルさせ、新たなデータを送信します。このとき、IVALビットが"0"にクリアされ、EPB_RDYビットが"1"にセットされます (バッファレディ割り込み発生)。

データ再送機能を有効にした場合、通常のトグルシーケンスを実施するため、送信が正常完了した場合にはDATA PIDおよびバッファがトグルして次のデータを送信し、データ送信後にACKが受信できなかった場合には、DATA PIDおよびバッファがトグルすることなくバッファ上の同じデータを再送します。

(4) EPi_Buf_siz (バッファサイズ) ビット (b11~b8)

このビットにより、バッファのサイズを設定します。
 バッファのサイズは、64バイト単位で設定します(注)。
 ダブルバッファモードに設定 (EPi_DBLBビットが"1") した場合は、本ビットで設定したサイズの倍のサイズが使用されます。

このビットに設定する値は、以下の様に設定してください。

- ・連続送受信モード： 本レジスタに設定する値 > EPi_MXPSビットに設定した値
- ・単送受信モード： 本レジスタに設定する値 ≥ EPi_MXPSビットに設定した値

ただし、アイソクロナス転送モード (EPi_TYPビットで設定) でIDLXビットに"1"を書き込む場合は、以下の様に設定してください (単送受信モードのみ使用)。

- ・単送受信モード： 本レジスタに設定する値 > EPi_MXPSビットに設定した値

INバッファ (EPi_DIRビット="1") に設定時、このビットにEPi_MXPSビットに設定した値の整数倍が設定された場合、すべてのデータを送信した後、zero-lengthパケットを付加することができます。詳しくは、EPi_NULMDビットに"1"を参照してください。

注： M66291には、FIFOバッファが3Kバイト搭載されており、64~1024バイトを設定可能です。

(5) EPi_DBLB (ダブルバッファモード) ビット (b7)

このビットにより、シングルバッファモード/ダブルバッファモードを設定します。
 本ビットは、バルク/アイソクロナス/インタラプト転送 (EPi_TYPビットで設定) の全ての転送で使用可能なモードです。
 ダブルバッファモードを設定した場合、EPi_Buf_sizビットで設定したサイズのバッファが2つ確保され、必ずSIE側バッファとCPU側バッファに割り当てられます。

- OUTバッファ設定時 (EPi_DIRビットが"0") のダブルバッファモード
 - SIE側バッファ：
 - SIEが受信したデータを書き込みます。
 - CPU/DMAはアクセスできません。
 - CPU側バッファ：
 - SIEはアクセスできません。
 - CPU/DMAは受信したデータを読み出すことができます。
 - バッファのトグル条件 (SIE側バッファとCPU側バッファの入れ替え)：
 - ・SIE側バッファが受信完了で、かつCPU側バッファが読み出し完了 (EMPTY)
 - なお、受信完了は単送受信/連続送受信モードで変化します。詳しくはEPi_RWMDビットおよびTGLビットを参照してください。
- INバッファ設定時 (EPi_DIRビットが"1") のダブルバッファモード
 - SIE側バッファ：
 - SIEが書き込まれたデータを送信します。
 - CPU/DMAはアクセスできません。
 - CPU側バッファ：
 - SIEはアクセスできません。
 - CPU/DMAは送信するデータを書き込むことができます。
 - バッファのトグル条件 (SIE側バッファとCPU側バッファの入れ替え)：
 - ・CPU側バッファが書き込み完了で、かつSIE側バッファが送信完了 (EMPTY)
 - なお、書き込み完了および送信完了は単送受信/連続送受信モードで変化します。詳しくはEPi_RWMDビットを参照してください。

注： CPU側/SIE側については、「3.2 FIFOバッファ」を参照してください。

(6) EPi_RWMD (連続送受信モード) ビット (b6)

このビットにより、バルク転送時の送受信モードを設定します。

転送タイプをバルク転送に設定 (EPi_TYPビットが"01") したときのみ、本ビットを"1"に設定することが可能です。他の転送モードでは"0"に設定してください。

● OUTバッファに設定 (EPi_DIRビットが"0") した場合

単送受信モードでは、1つのパケット受信 (以下の条件) で受信完了とします。

- ・ EPi_MXPSビットで設定したサイズ分のデータを受信
- ・ ショートパケット (zero-lengthパケットを含む) を受信

連続送受信モードでは、複数のパケット受信 (以下の条件) で受信完了とします。

- ・ EPi_MXPSビットで設定したサイズ分のデータを自動的に複数回受信し、EPi_Buf_sizビットで設定したバイト分のデータを受信
- ・ ショートパケット (zero-lengthパケットを含む) を受信
- ・ Dnトランザクション回数レジスタに設定した値と、パケットの受信回数が一致した場合

● INバッファに設定 (EPi_DIRビットが"1") した場合

単送受信モードでは、1つのパケット送信 (以下の条件) で送信完了とします。

- ・ EPi_MXPSビットで設定したサイズ分のデータを送信、またはzero-lengthパケットを送信

連続送受信モードでは、複数のパケット送信 (以下の条件) で送信完了とします。

- ・ EPi_MXPSビットで設定したサイズ分のデータを自動的に複数回送信し、EPi_Buf_sizビットで設定したバッファサイズ分のデータを送信

単送受信モードでは、以下の条件で書き込み完了とします。

- ・ EPi_MXPSビットで設定したサイズ分のデータをバッファへ書き込み (IVALビットが"1"に変化)
- ・ CPU_FIFO制御/Dn_FIFO制御レジスタのIVALビットへの"1"の書き込み

連続送受信モードでは、以下の条件で書き込み完了とします。

- ・ EPi_Buf_sizビットで設定したサイズ分のデータをバッファへ書き込み (IVALビットが"1"に変化)
- ・ IVALビットへの"1"の書き込み

このビットにより、IVALビットのセット/クリア条件等が変化します。

(7) EPi_Buf_Nmb (バッファ先頭番号) ビット (b5-b0)

このビットにより、バッファの先頭のブロック番号を設定します。

ブロック番号は、FIFOを64バイト単位で分割して、管理している番号です (注1)。

本ビットで設定したブロックからEPi_Buf_sizビットで設定した領域をバッファとして確保します (注2)。

注1: M66291には、FIFOバッファが3Kバイト搭載されており、H'0~H'2Fのブロックが存在します。

注2: 複数のエンドポイントが、同じバッファ領域を占有しないように設定してください。

2.40 EPiコンフィギュレーションレジスタ1 (i=1~6)

■EP1コンフィギュレーションレジスタ1 (EP1_1CONFIG)	<アドレス : H'62>
■EP2コンフィギュレーションレジスタ1 (EP2_1CONFIG)	<アドレス : H'66>
■EP3コンフィギュレーションレジスタ1 (EP3_1CONFIG)	<アドレス : H'6A>
■EP4コンフィギュレーションレジスタ1 (EP4_1CONFIG)	<アドレス : H'6E>
■EP5コンフィギュレーションレジスタ1 (EP5_1CONFIG)	<アドレス : H'72>
■EP6コンフィギュレーションレジスタ1 (EP6_1CONFIG)	<アドレス : H'76>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
EPi_PID		EPi_NULMD		EPi_ACLR	EPi_Octl	EPi_MXPS									
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0040>
<S/Wリセット時 : ->
<USBバスリセット時 : ->

b	ビット名	機能	R	W
15~14	EPi_PID 応答PID	00 : NAK 01 : BUF (バッファ等の状態により応答PID/データを送信) 1x : STALL	○	○
13	何も配置されていません。"0"に固定してください。		0	0
12	EPi_NULMD 長さ0のデータ送信自動付加モード	0 : zero-lengthパケットの自動送信不可 1 : zero-lengthパケットの自動送信可能	○	○
11	EPi_ACLR OUTバッファ自動クリアモード	0 : バッファクリアレディ 1 : バッファクリア "1"設定後は、必ず"0"設定にしてください。	○	○
10	EPi_Octl レジスタ8ビットモード	0 : CPU/Dn_FIFOデータレジスタを16ビットアクセス 1 : CPU/Dn_FIFOデータレジスタを8ビットアクセス	○	○
9~0	EPi_MXPS 最大パケットサイズ	一回のパケット転送で送受信するデータの最大値 インタラプト転送 : 0~64 バルク転送 : 8,16,32,64のみ アイソクロナス転送 : 0~1023	○	○

(1) EPi_PID (応答PID) ビット (b15-b14)

このビットにより、ホストに応答するPIDを設定します。

このビットは、転送タイプをバルク転送モードまたはインタラプト転送モード時に設定 (EPi_TYPビットが"01"または"10") したときのみ有効になります。アイソクロナス転送モード (EPi_TYPビットが"11") では"01"に設定してください。

このビットが"00"の時、バッファの状態に関わらずNAK応答を行います。

このビットが"01"の時、

<OUTバッファ設定時 (EPi_DIRビットが"0") >

- ・SIE側バッファが受信可能状態であった場合、データを受信しACK応答
- ・SIE側バッファが受信可能状態でなかった場合、NAK応答

SIE側バッファが受信可能状態でなかった場合はOUTトークン受信でEPB_NRDビットが"1"にセットされます。

<INバッファ設定時 (EPi_DIRビットが"1") >

- ・SIE側バッファが送信可能状態であった場合、データを送信
- ・SIE側バッファが送信可能状態でなかった場合、NAK応答

SIE側バッファが送信可能状態でなかった場合、INトークン受信でEPB_NRDビットが"1"にセットされます。

このビットが"1x"の時、バッファの状態に関わらずSTALL応答を行います。

OUTバッファ設定時、本ビットの値に関わらず、最大パケットサイズを越えたデータを受信した場合、自動的にこのビットは"1x" (STALL) にセットされます。

(2) EPi_NULMD (長さ0のデータ送信自動付加モード) ビット (b12)

このビットは、INバッファ設定時 (EPi_DIRビットが"1") の連続送信モード (EPi_RWMDビットが"1") で有効になります。それ以外のモードでは"0"に設定してください。

以下の条件のとき、SIE側バッファの送信完了時に、IVALビットが"0"であれば、zero-lengthパケットを最後に自動的に送信します。

- EPi_Buf_sizビットで設定したバッファサイズが、EPi_MXPSビットで設定したサイズの整数倍

なお、連続送受信モードでは、EPi_MXPSビットで設定したサイズ分のデータを自動的に複数回送信し、EPi_Buf_sizビットで設定したバッファサイズ分のデータを送信します。

(3) EPi_ACLR (OUTバッファ自動クリアモード) ビット (b11)

OUTバッファに設定しているとき (EPi_DIRビットが"0")、このビットに"1"を設定することにより、CPU側/SIE側、全てのバッファをクリアします。

このビットは、バッファのクリア完了により自動的に"0"にクリアされません。

このビットに"1"を設定した状態で、EPi_PIDビットにBUFを設定すると、受信したOUTトークンにはNAK応答を行わず、データを受信しホストにACKを返します。このときに受信したデータはバッファには書き込まれません。また、EPi_PIDビットがNAK/STALLに設定して有る場合には、NAK/STALL応答を行います。

INバッファに設定しているとき (EPi_DIRビットが"1")、このビットに"1"を設定することにより、SIE側バッファと書き込み完了したバッファのみ (IVALビットが"1"のときのバッファ) クリアします。

このビットに"1"を設定した状態で、EPi_PIDビットにBUFを設定すると、受信したINトークンに対して、NAK応答を返します。また、EPi_PIDビットがNAK/STALLに設定して有る場合には、NAK/STALL応答を行います。

注. INバッファに設定しているときは、本ビットに"1"を設定する前に、必ず応答PIDをNAK (EPi_PIDビットが"00") に設定してください。

(5) EPi_Octl (レジスタ 8 ビットモード) ビット (b10)

このビットの機能は、CPU_FIFOデータレジスタのOctlビット、またはDn_FIFOデータレジスタのOctlビットと同じです。上述のレジスタの項を参照してください。

(6) EPi_MXPS (最大パケットサイズ) ビット (b9-b0)

このビットにより、一回のパケット転送で送受信するデータの上限值 (バイト数) を設定します。

ホストに送信した、wMaxPacketSizeの値を設定してください。

送信時は、このビットで設定したサイズ分のデータをバッファから読み出し送信します。このとき、バッファ上に、このビットで設定したサイズ分のデータが無い場合、ショートパケットとして送信します。

受信時は、このビットで設定したサイズ分の受信データをバッファ上に書き込みます。このとき、このビットで設定したサイズ分より大きいデータを受信した場合、以下のビットがセットされます。

- EPB_EMP_OVRビットが"1"にセット (EPB_EMPEビットが"1"のとき、バッファエンプティサイズオーバーエラー割り込みが発生)。

注: 応答PIDをNAK (EPi_PIDビットが"00") に設定した後、このビットを設定してください。

3. USB動作説明

3.1 割り込み機能

M66291には、8種類の割り込み要因があります。

詳しくは、割り込みステータスレジスタ0~3を参照してください。

割り込みの許可/禁止は、割り込み許可レジスタ0~3で設定することができます。

なお、割り込み許可レジスタ0~3で割り込み禁止を設定した場合でも、割り込みステータスの各ビットは要因に応じて"1"にセットされます。

表3.1にM66291の割り込み一覧を、図3.1に割り込み関連図を示します

表3.1 割り込み一覧

ステータスビット (割り込み名称)	割り込み要因	関連項目
VBUS (Vbus割り込み)	Vbus入力の状態変化 ("L"→"H"、"H"→"L"の変化)	割り込みステータスレジスタ0のVbusビットにより、Vbus信号の入力状態が確認可能
RESM (レジューム割り込み)	サスペンド状態において、USBバスの状態が変化 ("J"→"K"または"SE0")	割り込みステータスレジスタ0のDVSQビットにより、現在のデバイスステートの状態を確認可能
SOFR (SOF検出割り込み)	SOFパケットの受信	—
DVST (デバイスステート遷移 割り込み)	<ul style="list-style-type: none"> ・ USBバスリセット検出 ・ サスペンド状態検出 ・ "SET_ADDRESS"実行 ・ "SET_CONFIGURATION"実行 	割り込みステータスレジスタ0のDVSQビットにより、現在のデバイスステートの状態を確認可能
CTRTR (コントロール転送ステ ージ遷移割り込み)	<ul style="list-style-type: none"> ・ コントロールライト転送ステータスステージ遷移 ・ コントロールリード転送ステータスステージ遷移 ・ コントロール転送完了 ・ コントロール転送シーケンスエラー発生 ・ セットアップステージ完了 	割り込みステータスレジスタ0のCTSQR0ビットにより、現在のコントロール転送ステージの状態を確認可能
BEMP (バッファエンプティ/ サイズオーバー割り込み)	<ul style="list-style-type: none"> ・ 各エンドポイントにおいて、バッファに格納されている全てのデータの送信完了 ・ データパケット受信において、最大パケットサイズを超えたパケットを受信 	割り込みステータスレジスタ3のEPB_EMP_OVRビットにより、割り込みが発生したエンドポイント番号が確認可能
INTN (バッファノットレディ 割り込み)	各エンドポイントのIN/OUTトークンにおいて、バッファがノットレディ状態のために、自動的にNAK応答した場合	割り込みステータスレジスタ2のEPB_NRDYビットにより、割り込みが発生したエンドポイント番号が確認可能
INTR (バッファレディ 割り込み)	各エンドポイントがバッファレディ状態 (読み出し可能/書き込み可能状態)	割り込みステータスレジスタ1のEPB_RDYビットにより、割り込みが発生したエンドポイント番号が確認可能

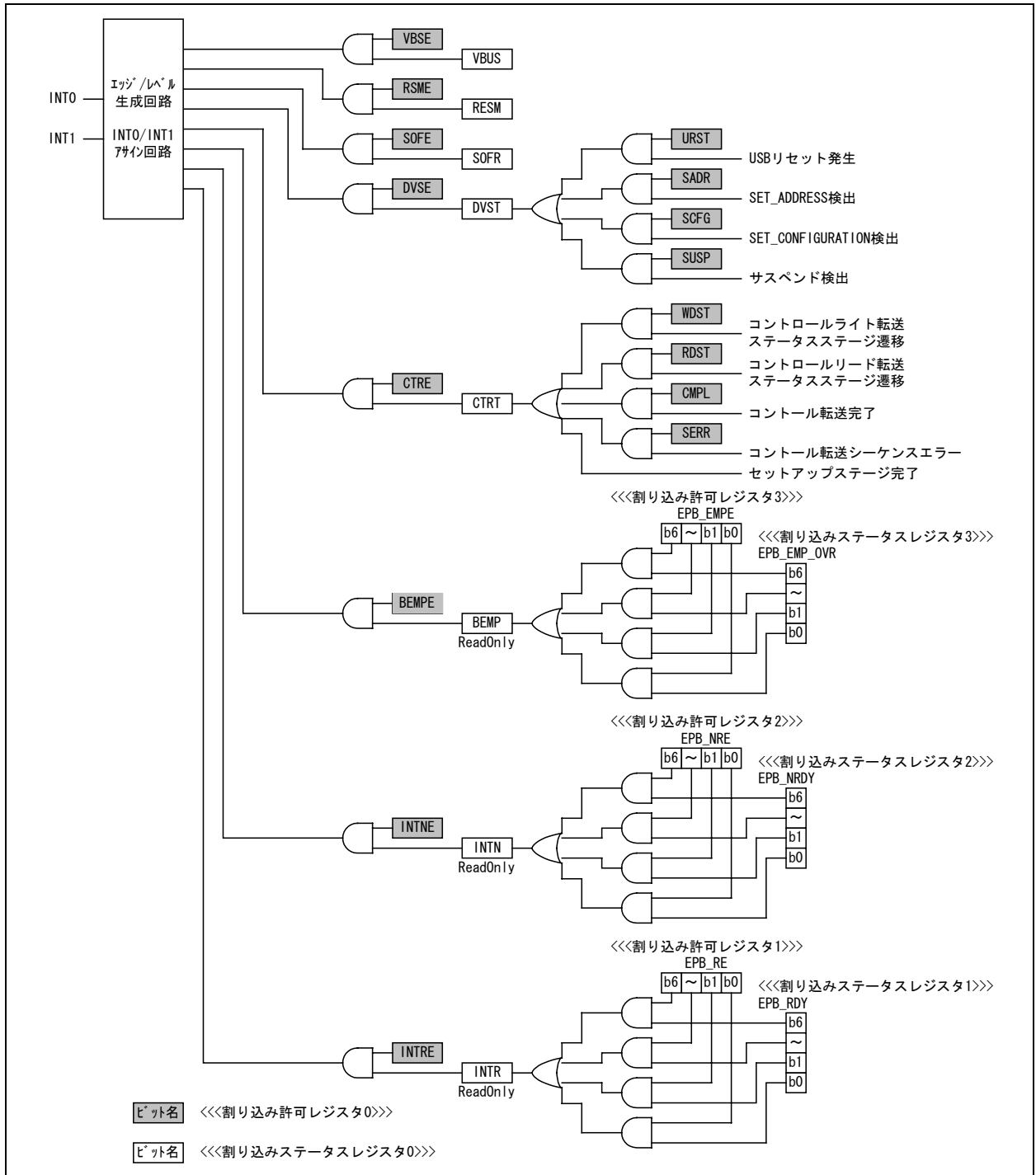


図3.1 割り込み関連図

3.2 FIFOバッファ

M66291では、コントロール転送用のエンドポイント0と、バルク/インタラプト/アイソクロナス転送に使用できるエンドポイントを6本使用することができます。

エンドポイントのバッファとして使用できるFIFOは合計3Kバイト内蔵しており、各エンドポイントに対して、64バイト単位で任意のバイト数を設定することができます。

3.2.1 FIFOバッファのコンフィグレーション

エンドポイントバッファは、ダブルバッファ構成、連続送受信機能、DMAを使用した転送に設定することが可能です。

それぞれのバッファのコンフィグレーションは、以下のレジスタにて設定します。

エンドポイント0：

- ・ コントロール転送制御レジスタ
- ・ EP0パケットサイズレジスタ
- ・ EP0連続送信データ長レジスタ

エンドポイント1~6：

- ・ EPiコンフィグレーションレジスタ0
- ・ EPiコンフィグレーションレジスタ1

3.2.2 バッファアクセス

エンドポイント0~6のバッファへのアクセスは、以下4本のデータレジスタによってアクセスできます。

<EP0_FIFOデータレジスタ>

- ・ 本数：1本
- ・ エンドポイント0専用

<CPU_FIFOデータレジスタ>

- ・ 本数：1本
- ・ エンドポイント1~6共用（CPU_EPビットにて、アクセスするエンドポイントバッファを指定）

<Dn_FIFOデータレジスタ>

- ・ 本数：2本
- ・ エンドポイント1~6共用（DMA_EPビットにて、アクセスするエンドポイントバッファを指定）
- ・ DMAにてアクセス可能（指定したエンドポイントにアクセスしたとき*Dreq信号出力）

これら、4本のデータレジスタは、Oct1ビットにて個別に8ビット/16ビットモードに設定可能です。

3.2.3 バッファの状態とIVALビット

(1) OUTバッファ/コントロールライト転送設定時のバッファの状態とIVALビット

図3.2にOUTバッファ/コントロールライト転送に設定（EPI_DIRビット/ISELビットで設定）したときのバッファの状態とIVALビットの関係を示します。

なお、シングルバッファモードとダブルバッファモードはEPI_DBLBビットで設定します。エンドポイント0ではダブルバッファモードを設定できません。

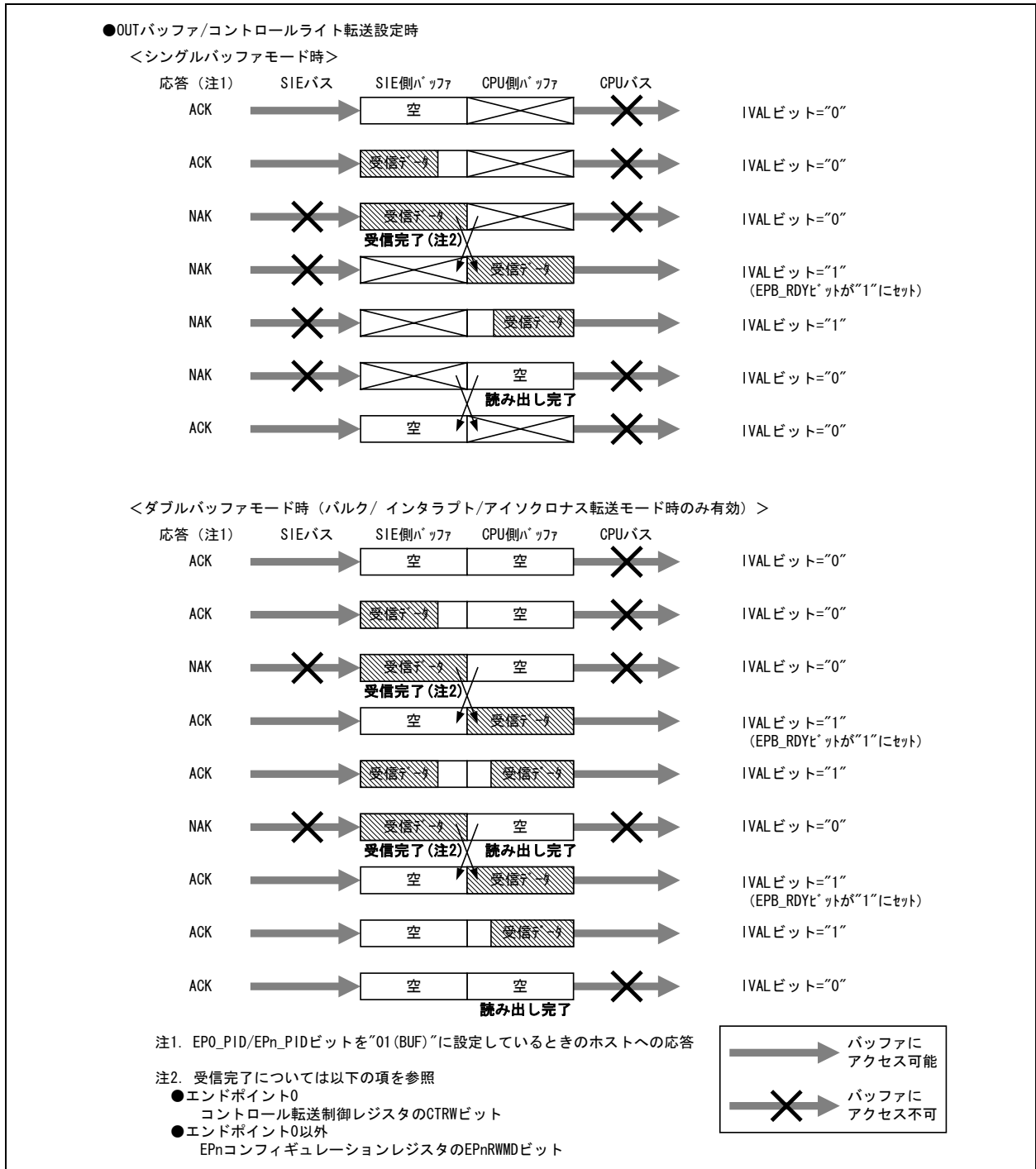


図3.2 IVALビットの関係 (OUTバッファ/コントロールライト転送設定時)

(2) INバッファ/コントロールリード転送設定時のバッファの状態とIVALビット

図3.3にINバッファ/コントロールリード転送に設定 (EPi_DIR/ISELビットで設定) したときのバッファの状態とIVALビットの関係を示します。

なお、シングルバッファモードとダブルバッファモードは、EPi_DBLBビットで設定します。エンドポイント0ではダブルバッファモードを設定できません。

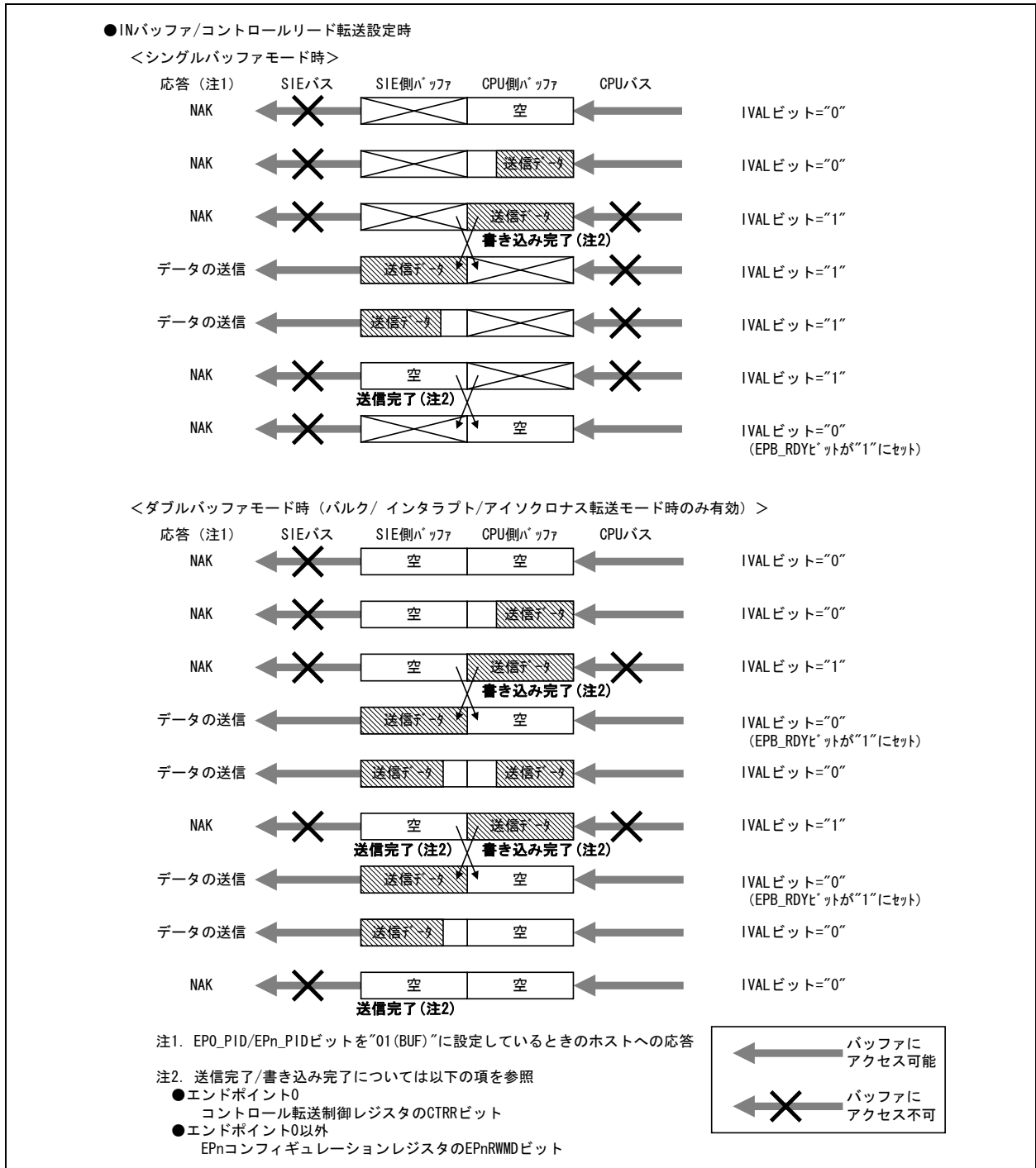


図3.3 IVALビットの関係 (INバッファ/コントロールリード転送設定時)

3.2.4 IVALビットとEPB_RDYビット

IVALビットはエンドポイント毎に備わっています。

これらIVALビットは、CPU_EPビットおよびDMA_EPビットで指定することにより、CPU_FIFO制御レジスタのIVALビット、Dn_FIFO制御レジスタのIVALビットで読み出し/書き込みすることが可能ですが、EPB_RDYビットのセット/クリアは、この指定に関係なく、エンドポイント毎に備わっているIVALビットの変化によりセット/クリアされます。

同様に、EPB_NRDYビット、EPB_EMP_OVRビットのセット/クリアも、CPU_EPビット/DMA_EPビットによる指定とは無関係です。

ただし、DMA_EPビットで指定されたエンドポイントのEPB_RDYビットの"1"セットはINTMビットの設定により変化しますのでご注意ください。

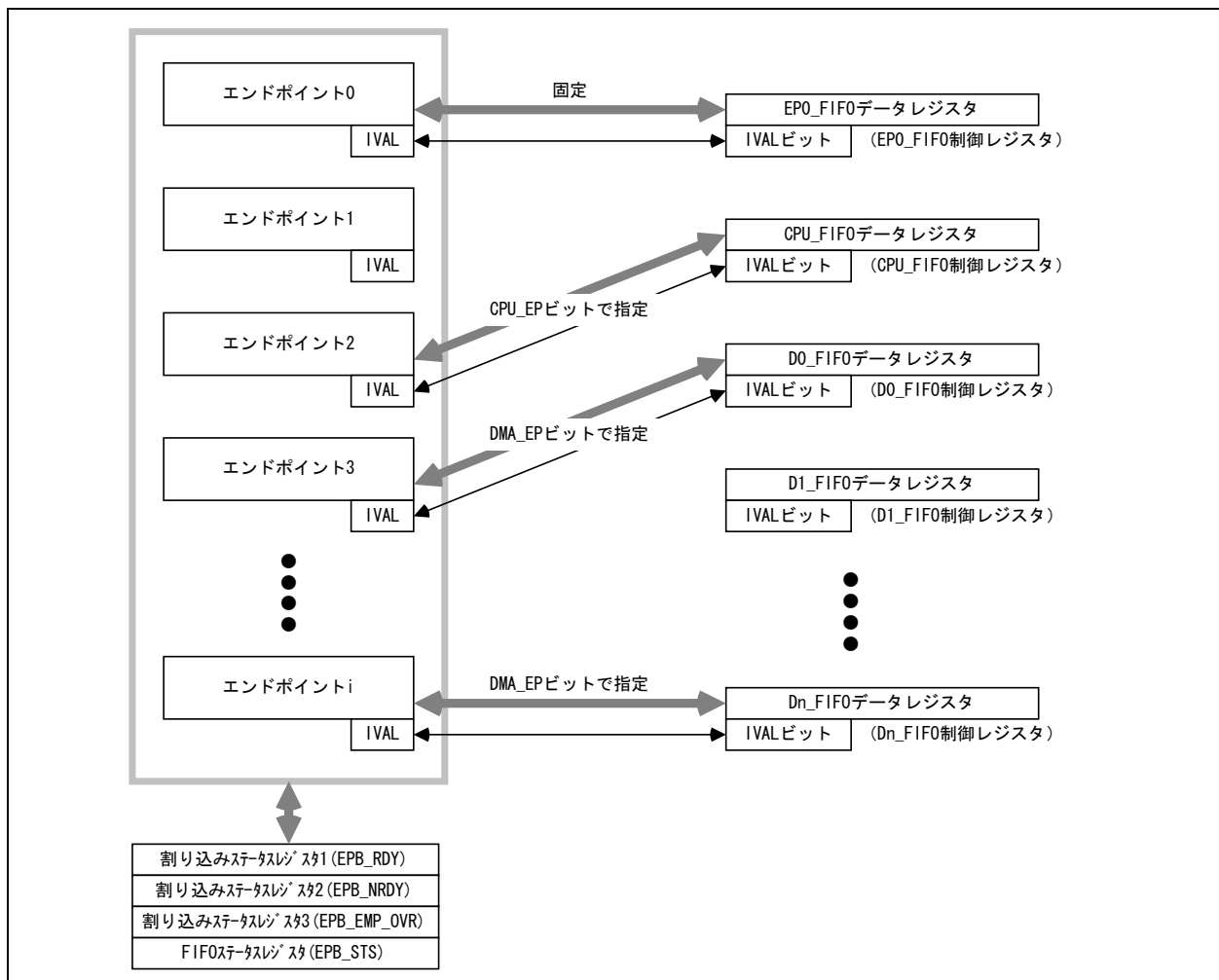


図3.4 IVALビットとEPB_RDYビット

3.3 USBデータ転送機能概要

M66291は基本的に次の動作を処理することで、USB転送を行うことができます。

- (1) コントロール転送のリクエストに対する応答
- (2) バッファへの送信データの格納、及び送信の許可
または、バッファからの受信データの読み出し、および受信許可
- (3) ストールの処理
- (4) サスペンド/レジュームの処理

3.3.1 データ受信機能

データ受信は、セットアップトランザクションとOUTトランザクションで動作が異なります。

- セットアップトランザクション（コントロール転送のセットアップステージ）
ホストから受信したデバイスリクエストのデータ（8バイト）を4つのレジスタに格納します。
このとき、ホストに対してACK応答し、コントロール転送ステージ遷移割り込みを発生します。
- OUTトランザクション
ホストからOUTトークンを受信した後のデータパケットにおいて、バッファに最大パケットサイズのパケットまたはショートパケットを受信した場合、ホストに対してACK応答し、バッファレディ割り込みを発生します（受信データ読み出し可能）。
バッファが受信可能状態でないで場合、バッファノットレディ割り込みを発生します。

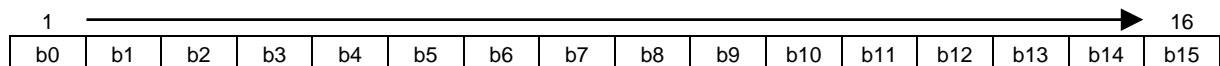
3.3.2 データ送信機能

データ送信は、INトークンパケットによる送信要求に対して行われます。

- INトランザクション
ホストからINトークンを受信した後、バッファ上のデータを送信し、バッファ上のデータを送信完了することにより、バッファレディ割り込みを発生します（送信データ書き込み可能）。
バッファが送信可能状態でないで場合、バッファノットレディ割り込みを発生します。

3.3.3 データ転送順序

FIFOデータレジスタに書き込んだデータは、LSBファーストの順序でUSBバスに送出されます。USBバスから受信したデータをFIFOデータレジスタへ格納される場合も同様です。



3.3.4 DMA転送概要

M66291はエンドポイント1~6のエンドポイントに対して、16ビット幅あるいは8ビット幅（Octlビットで指定）のDMA転送を行うことが可能です。

*Dreq信号は、Dn_FIFO選択レジスタで設定されたエンドポイントのバッファが、読み出し可能/書き込み可能状態になった時にアサートされます。*Dreq信号の出力許可は、DMAENビットにて行います。

INトランザクションのDMA転送においてショートパケットを送信する場合は、最後のデータを転送後にIVALビットを”1”にセット、もしくは*TC信号をアサートしてください。

また、DMAを使用した読み出しでは、バッファレディ割り込みの発生タイミングをINTMビットにて変更することが可能です。

3.3.5 DMA転送方法について

DMA転送方法は、Dn_FIFO制御レジスタのDFORMビットにて設定します。

(1) サイクルスチルモード (BUSTビットが"0")

サイクルスチルモードでは、1転送（8ビットあるいは16ビット）完了ごとに*Dreq信号がアサートします。

(A-1) *Dack信号及びリード/ライト信号によりDMA転送を制御 (DFORMビットが"00")

このモードでは*Dack信号とリード/ライト信号をもちいてM66291のDn_FIFOデータレジスタにアクセスします。

(A-2) *Dack信号のみでDMA転送を制御 (DFORMビットが"01")

このモードでは*Dack信号のみでM66291のDn_FIFOデータレジスタにアクセスします。
このモードではリード/ライト信号使用しません（無視されます）。

(A-3) チップセレクト信号とアドレス信号によりDMA転送を制御 (DFORMビットが"10")

このモードではアドレス信号およびリード/ライト信号をもちいたバスアクセスにてM66291のDn_FIFOデータレジスタにアクセスします。このモードでは*Dack信号を使用しません（*Dack信号はインアクティブ固定として下さい）。

(2) バーストモード (BUSTビットが"1")

バーストモードでは、全てのデータ転送が完了するまで*Dreq信号がアサートされ、転送完了でネゲートします。

(B-1) *Dack信号及びリード/ライト信号によりDMA転送を制御 (DFORMビットが"00")

このモードは、(A-1)と同様のタイミングで動作します。

(B-2) チップセレクト信号とアドレス信号によりDMA転送を制御 (DFORMビットが"10")

このモードは、(A-3)と同様のタイミングで動作します。

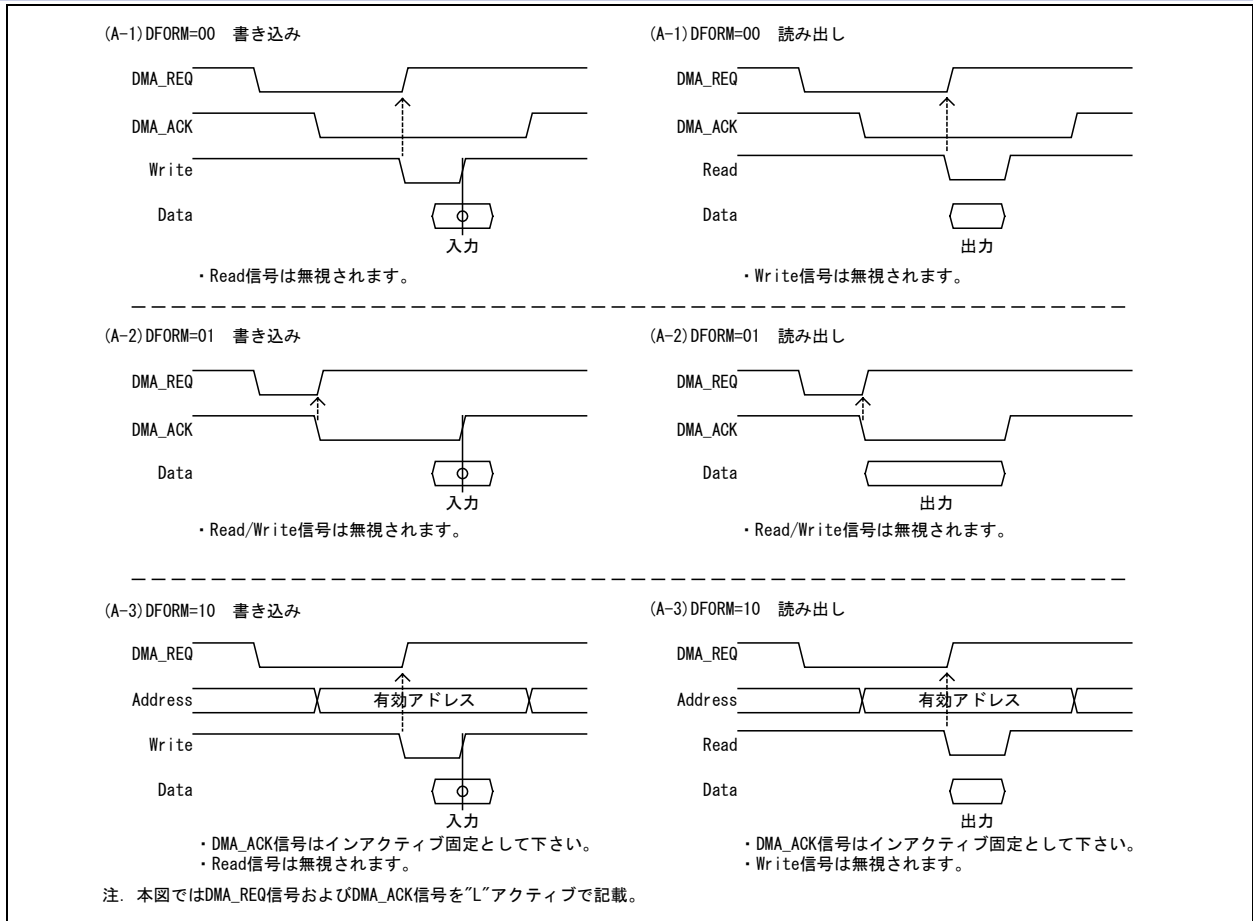


図3.5 サイクルスチール転送時のアクセスタイミング

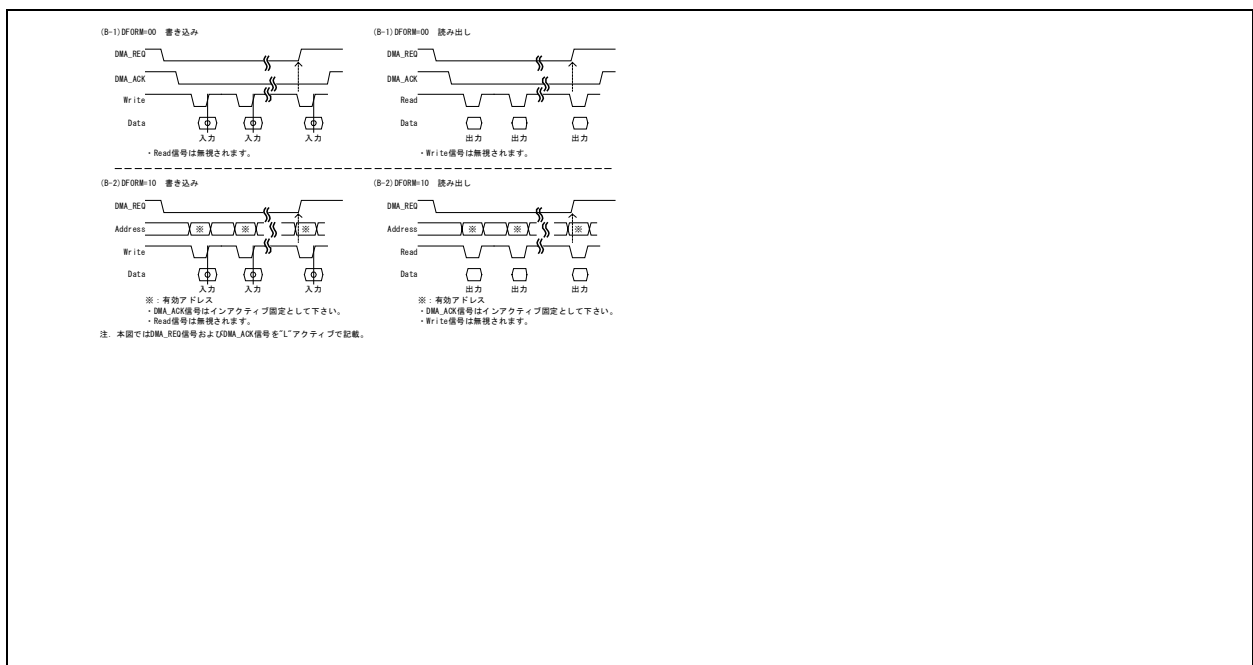


図3.6 バースト転送時のアクセスタイミング

3.4 コントロール転送概要

コントロール転送は、次の3つのステージから構成されています。

- (1) セットアップステージ
- (2) データステージ (挿入されないコントロール転送もあります)
- (3) ステータスステージ

M66291は、コントロール転送のステージ管理をハードウェアで自動的に行い、上述のステージ遷移に対して割り込みを発生させることが可能です。

コントロール転送はエンドポイント0を使用して転送を行います。

コントロールライト転送、コントロールリード転送、コントロールライトノードータ転送、コントロール転送エラー、セットアップ連続の動作例を、図3.7～図3.12に示します。

(1) セットアップステージ

セットアップトークンを受信することにより、セットアップステージへ遷移します。

セットアップステージで受信したリクエストのデータ (8バイト) は、4つのレジスタ (Request, Value, Index, Lengthレジスタ) に自動的に格納しACK応答を行います。

リクエストのうち、SET_ADDRESSおよびSET_CONFIGURATIONについては、自動的にホストに対して応答させることが可能です。これ以外のリクエストについては、セットアップステージ完了割り込みが発生しますので、データの解析 (デコード) と実行はソフトウェアで処理してください。

セットアップトークンを受信するとVALIDビットが"1"に設定され、EP0_PIDビットとCCPLビットが以下のように変化し、これらのビットは書き換え不可の状態になります。

- ・ EP0_PIDビット "00" : NAK応答 (データステージでの応答)
- ・ CCPLビット "0" : NAK応答 (ステータスステージでの応答)

(2) データステージ

セットアップステージ後のINトークン,OUTトークンを受信することにより、データステージへ遷移します。ただし、データステージが無いリクエストでは、セットアップステージ後のOUTトークン受信でステータスステージに遷移します。

- ・ コントロールライト転送 (OUTトランザクション)
 - バッファを受信可能状態 (バッファが空) にした後、EP0_PIDビットを"01"にセットすることで、データを受信しホストに対してACK応答を行います。
 - そして、バッファからデータが読み出せる状態になることにより、バッファレディ割り込みが発生しますので、EP0_FIFOデータレジスタを使用して受信データを読み出します。
- ・ コントロールリード転送 (INトランザクション)
 - バッファを送信可能状態 (バッファに送信データ有り) にした後、EP0_PIDビットを"01"にセットすることで、ホストにデータを送信します。
 - そして、バッファに新たな送信データを書き込める状態になることにより、バッファレディ割り込みが発生しますので、EP0_FIFOデータレジスタを使用して次の送信データを読み出します。

(3) ステータスステージ

データステージ後のINトークン,OUTトークンを受信することにより、ステータスステージへ遷移します。

このとき、コントロールライト/リード転送ステータス遷移割り込みが発生しますので、EP0_PIDビットを"01"にセットし、かつCCPLビットに"1"をセットすることにより正常終了をホストへ通知することが可能です。なお、データステージの無いリクエストでは、この割り込みはセットアップステージ完了割り込みとなります。

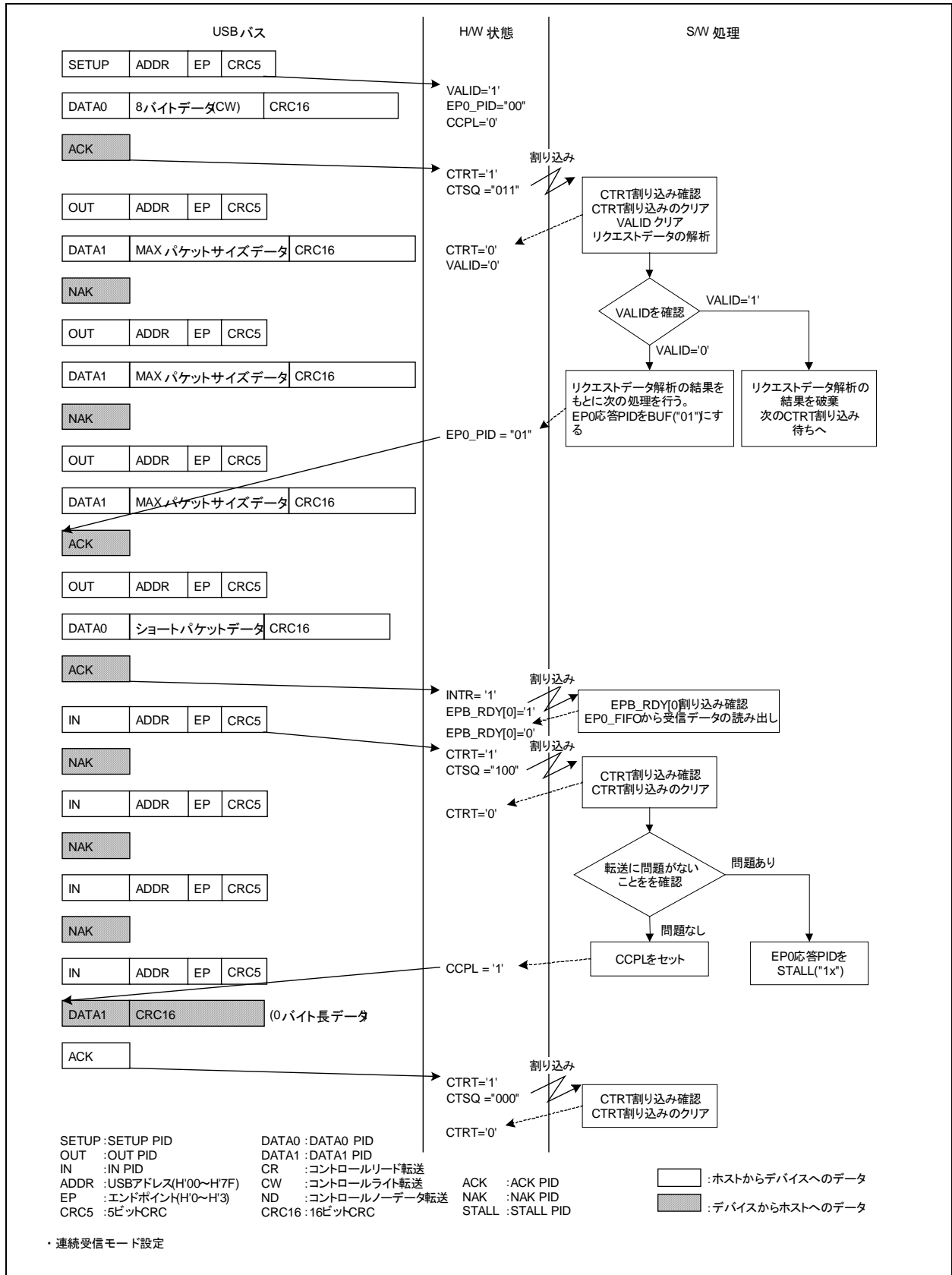


図3.7 コントロールライト転送動作例

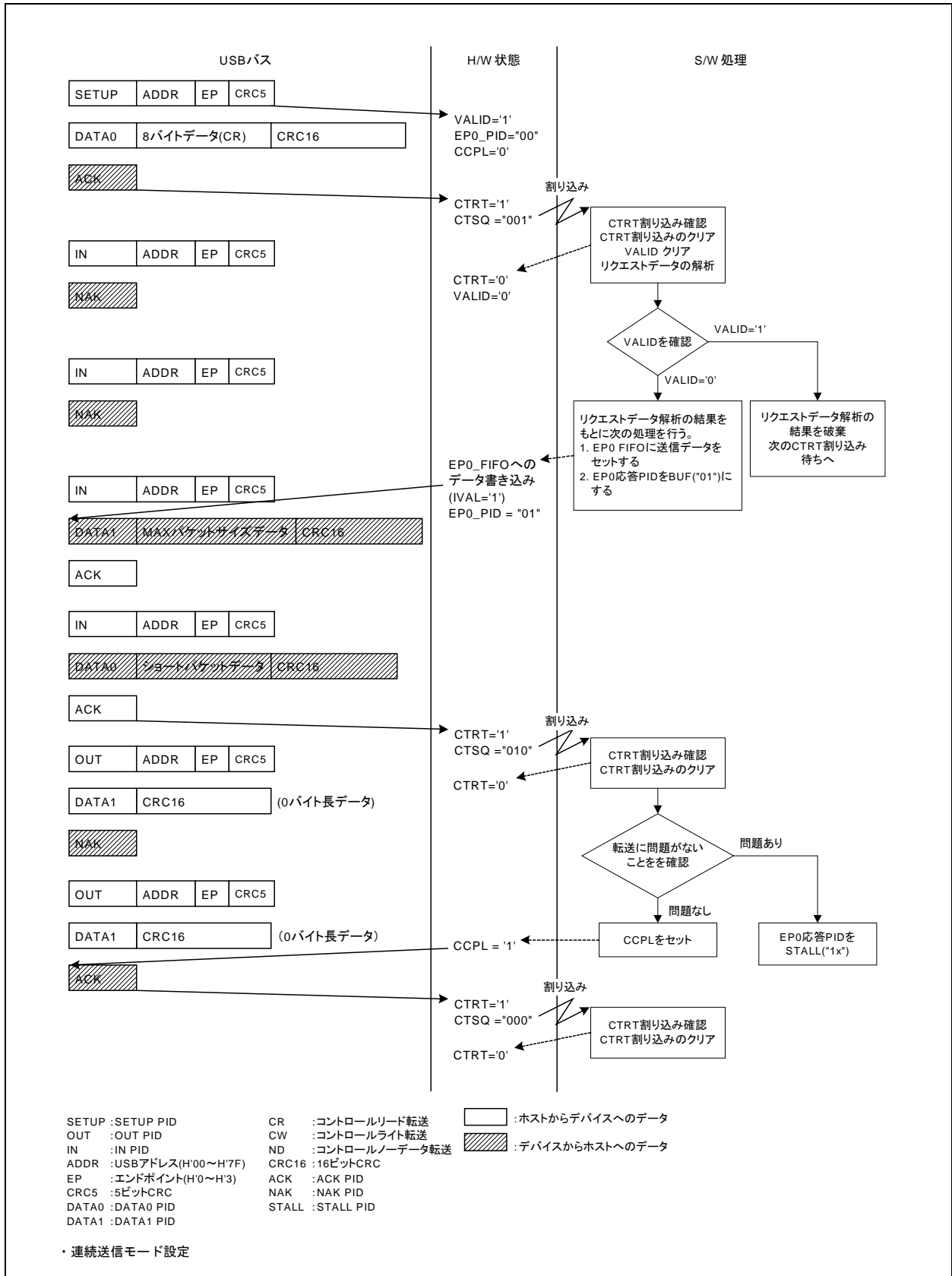


図3.8 コントロールリード転送動作例

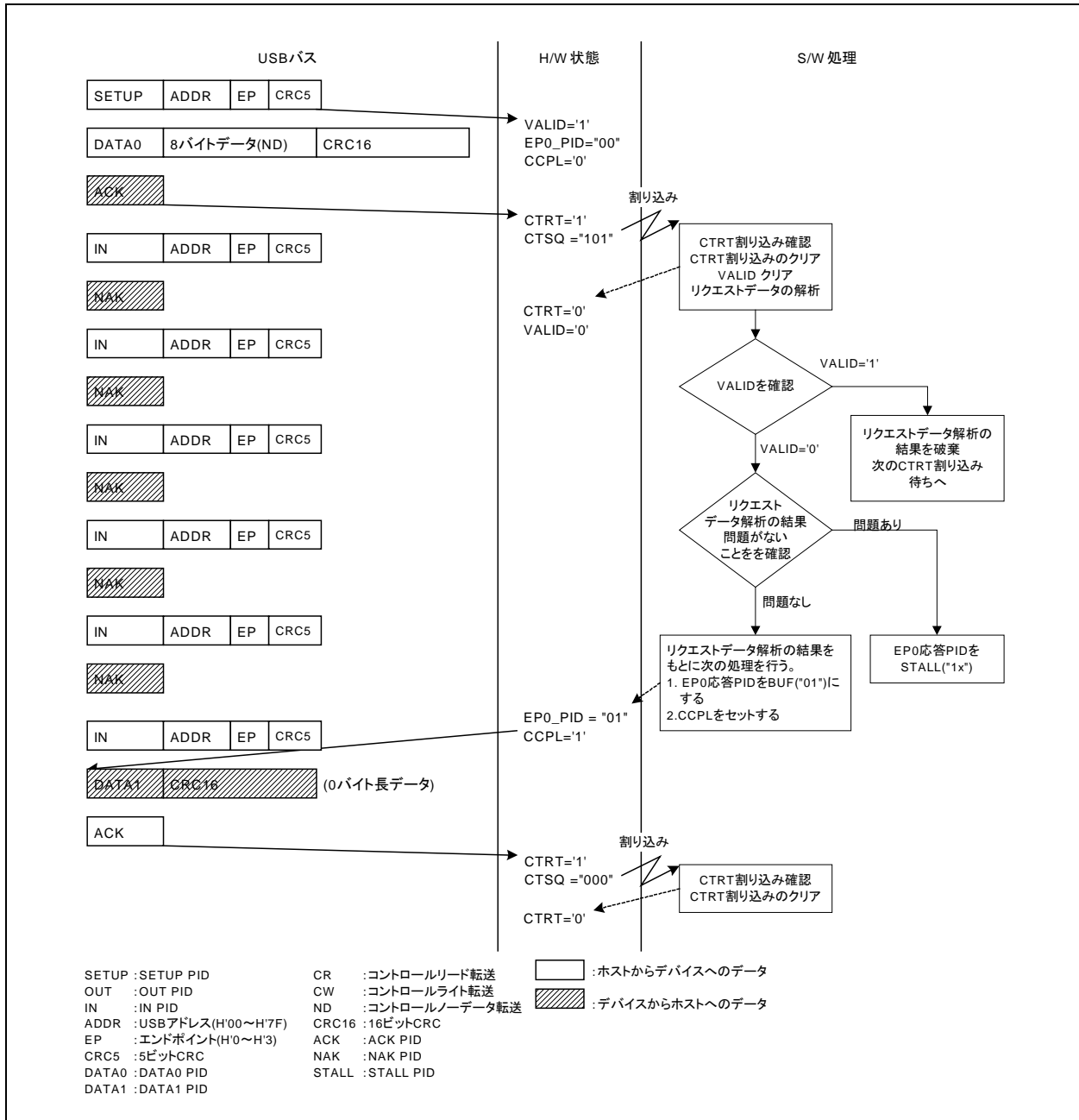


図3.9 ノーデータコントロール転送動作例

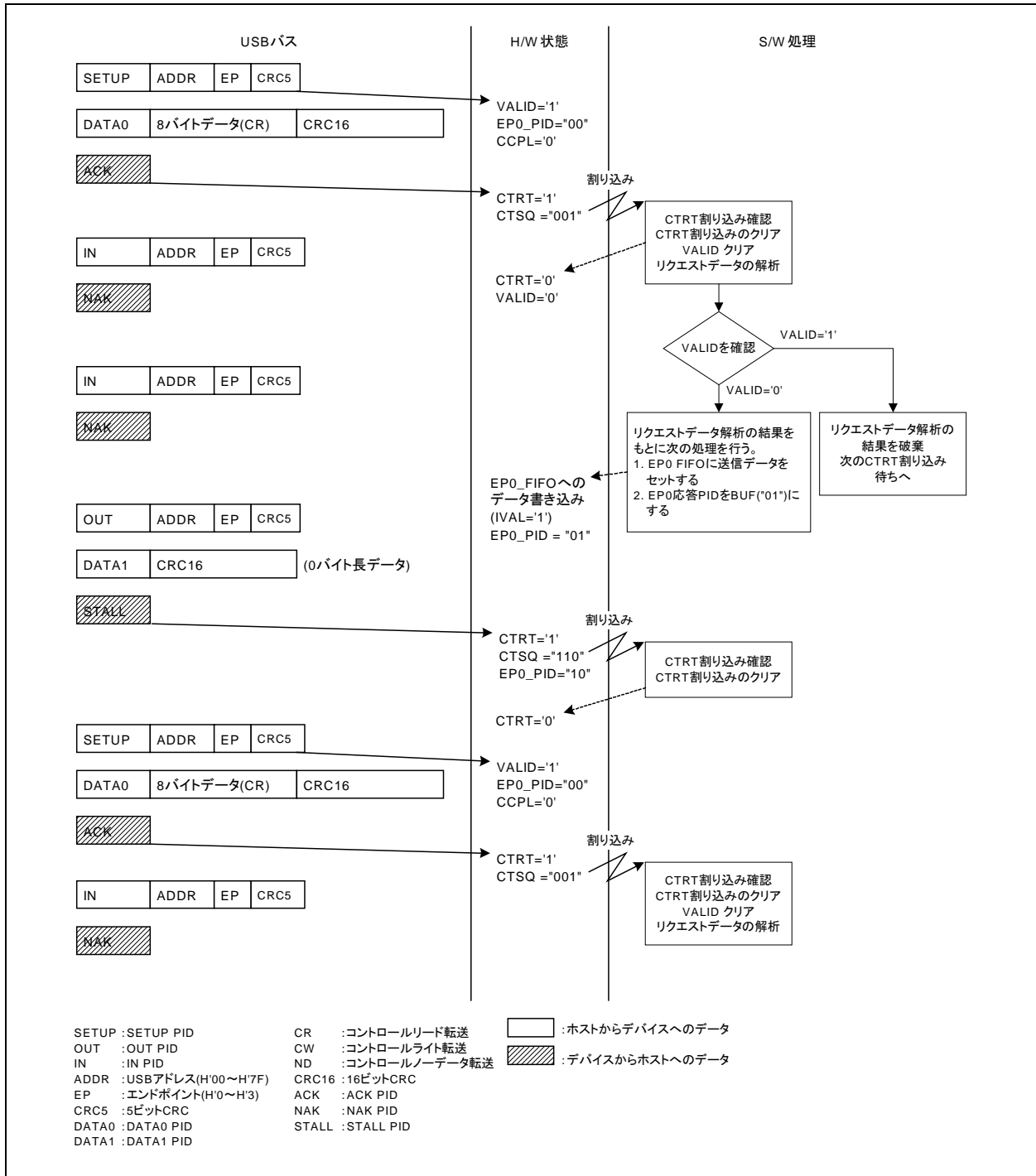


図3.10 コントロール転送エラー動作例

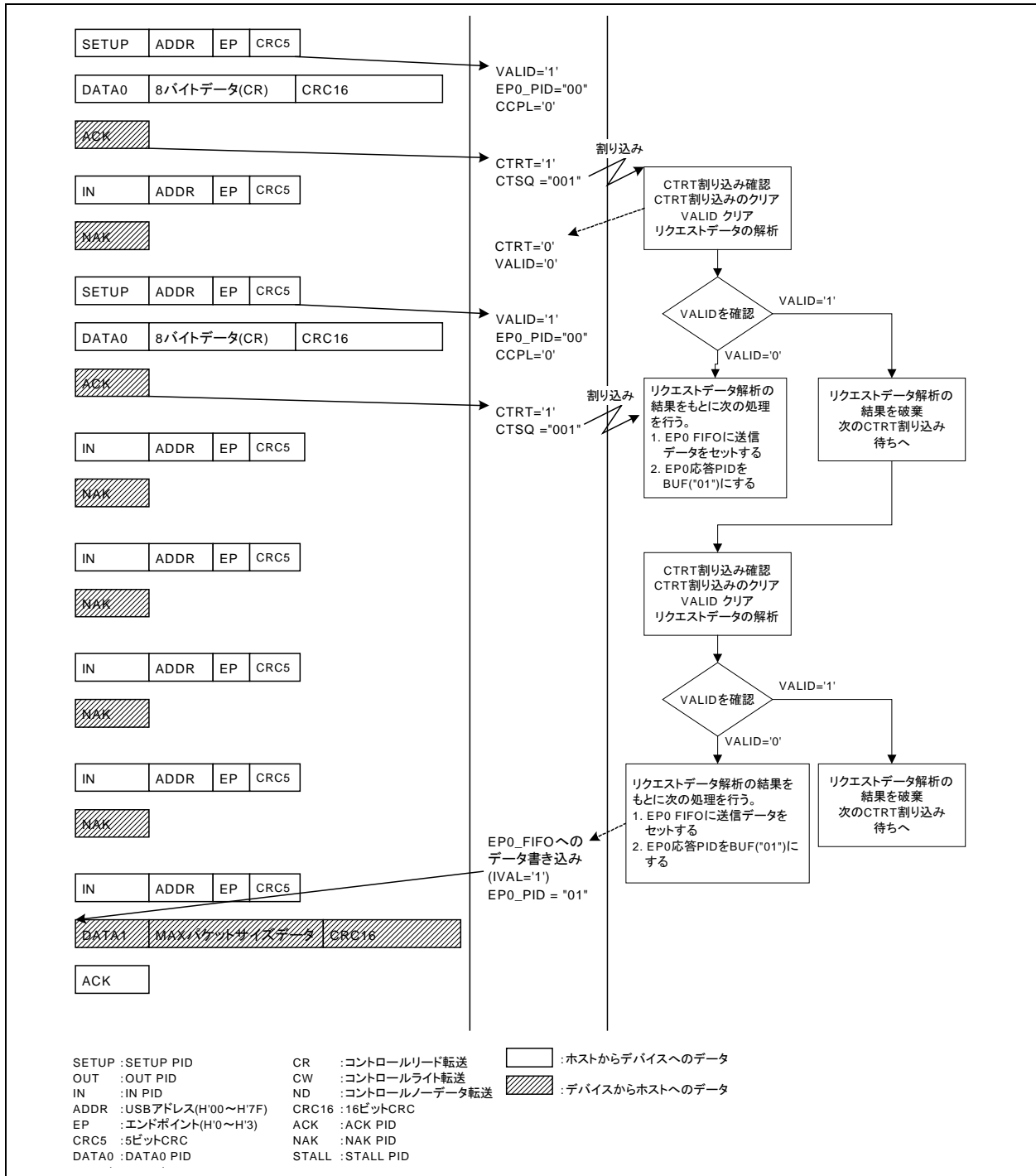


図3.11 セットアップ連続の動作例 (1)

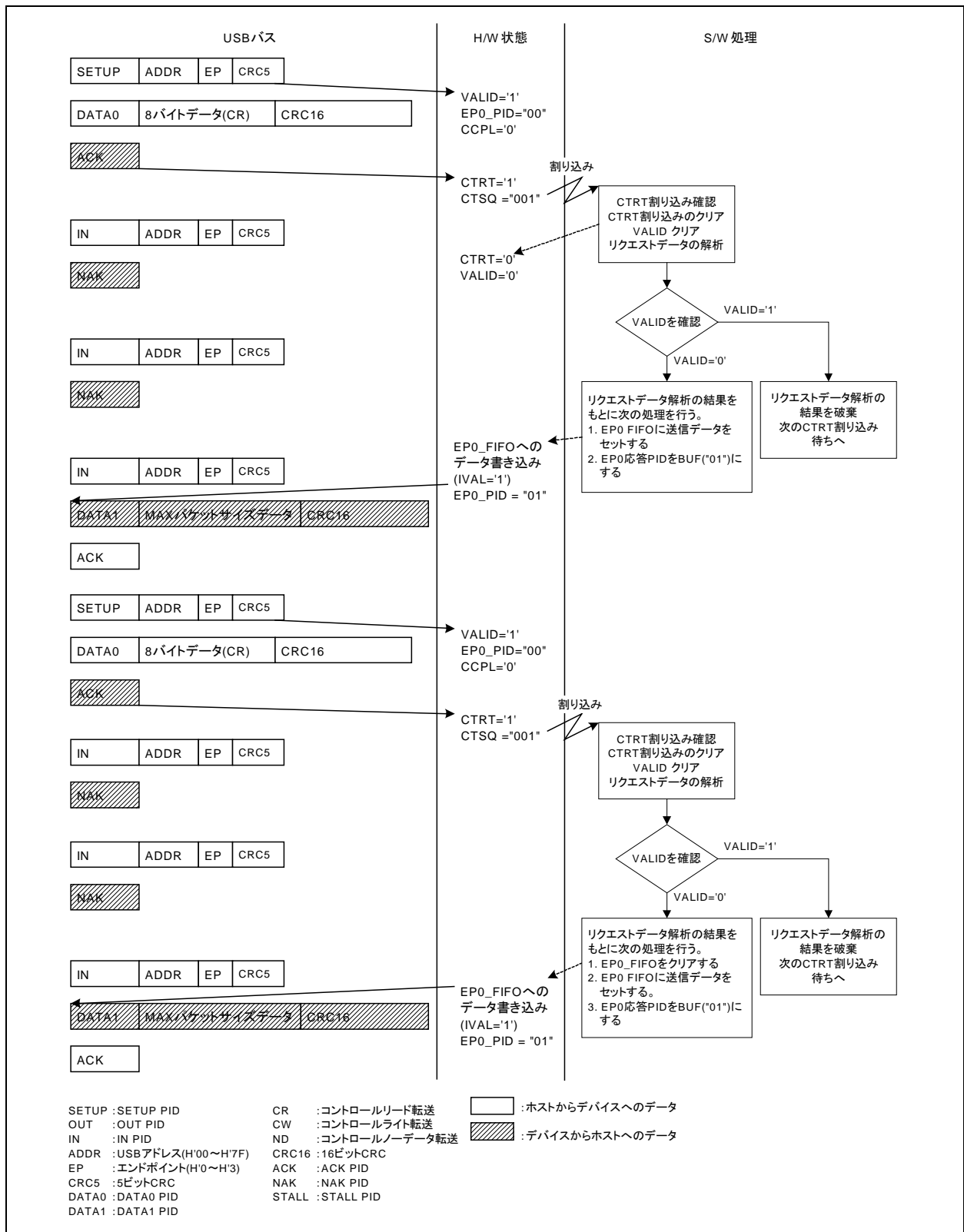


図3.12 セットアップ連続の動作例 (2)

3.5 エnumレーション

Enumレーション動作概要を図に示します。

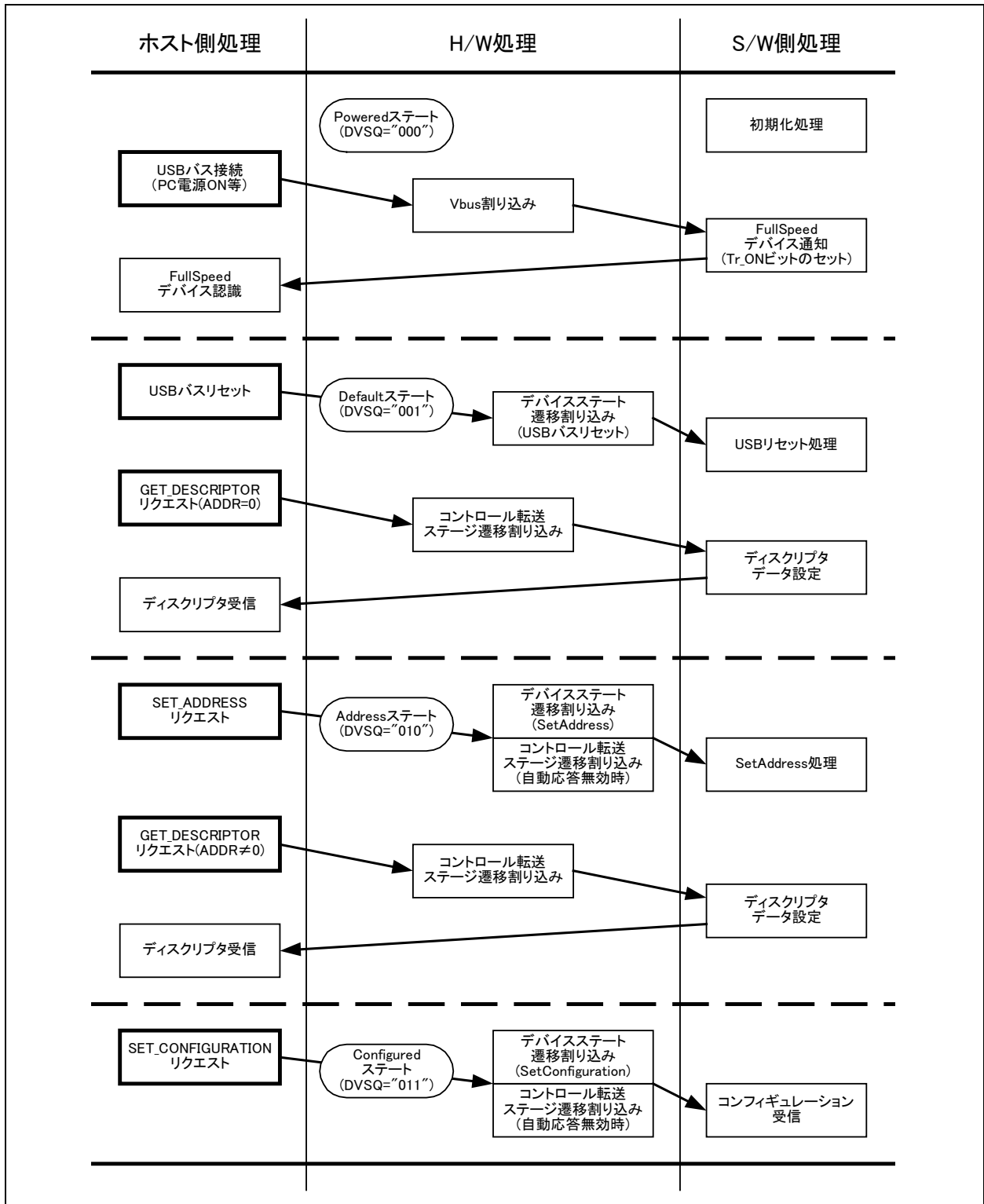


図3.13 バス・Enumレーション動作概要

3.5.1 FIFOバッファマネージメント

M66291 は連続送受信モードに設定されている FIFO バッファを高度に制御するために以下のレジスタを設けています。

(1)SIE_FIFO ステータスレジスタ

ダブルバッファの SIE 側の FIFO バッファを強制トグルすることができ、SIE 側の FIFO に CPU がアクセスできます。また SIE 側 FIFO の受信データ数を CPU が参照することができます。

(2)トランザクション回数レジスタ

OUT 方向のバルク転送で連続ダブルバッファ設定されている場合、MAX パケットサイズでのデータ受信回数を指定できます。これにより設定された回数のトランザクションだけ行なうことが可能です。DMA 転送の場合に便利です。

(3)FIFO ステータスレジスタ

FIFO バッファのステータスを参照することができます。

3.5.2 FIFOデータアクセス時の注意点

FIFO データレジスタをアクセスする際は、次に示すことに注意してください。

CPUI/F に 8 ビット幅を選択している場合

レジスタビット(Octl)により FIFO データを 16 ビットモードにすることはできません。また 8 ビットモードの際、ライトストロブとして*LWR が有効になります。

CPUI/F に 16 ビット幅を選択している場合

レジスタビット(Octl)により FIFO データを 16 ビットモードにも、8 ビットモードにも設定できます。

B-1)16 ビットモード(Octl=0)

データに書き込みアクセスする際は、ワードアクセス時は*HWR, *LWR を同時にアサートし、バイトアクセス時は*LWR をアサートしてください。バイトアクセス時は D7~0 が有効となります。

B-2)8 ビットモード(Octl=1)

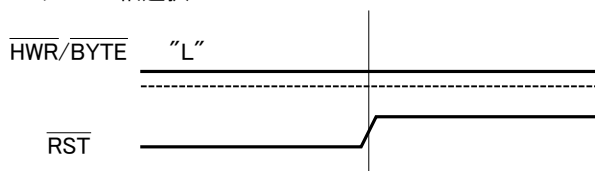
データに書き込みアクセスする際は、*LWR がライトストロブとして有効です。その際 D7~0 が有効となります。

又読み出しアクセスする場合、D15~8 と D7~0 は同じデータが出力されます。

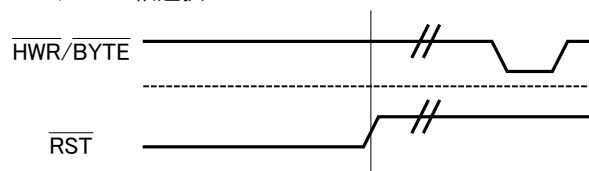
3.5.3 CPU I/Fバス幅選択について

*RST 信号の立ち上がり時の、*HWR/*BYTE 信号のレベル値により、バス幅を選択します。*HWR/*BYTE 信号が "L"の時 8 ビット幅を選択し、"H"の時 16 ビット幅を選択します。8 ビット幅を選択した場合は、*HWR/*BYTE 信号ピンを"L"に固定してください。

8ビットバス幅選択



16ビットバス幅選択



3.5.4 CPU I/F入力端子組み合わせ

CPU I/F	*CS	*HWR	*LWR	*RD	有効 アドレス	D15-8	D7-0	備考
8bit 幅	L	L	L	H	A6-0	注 1	データ入力	下位バイトの書き込み
	L	L	H	L	A6-0	注 1	データ出力	下位バイトの読み出し
	H	X	X	X	A6-0	注 1	Hi-Z	
16bit 幅	L	L	H	H	A6-1	データ入力	Hi-Z	上位バイトの書き込み
	L	H	L	H	A6-1	Hi-Z	データ入力	下位バイトの書き込み
	L	L	L	H	A6-1	データ入力	データ入力	上位、及び下位バイト書き込み
	L	H	H	L	A6-1	データ出力	データ出力	上位、及び下位バイト読み出し
	H	X	X	X	A6-1	Hi-Z	Hi-Z	

X:Don't Care
Hi-Z:ハイインピーダンス

注 1:D15/A0 は、入力ピンとなります。その他のピンはポートの設定によります。

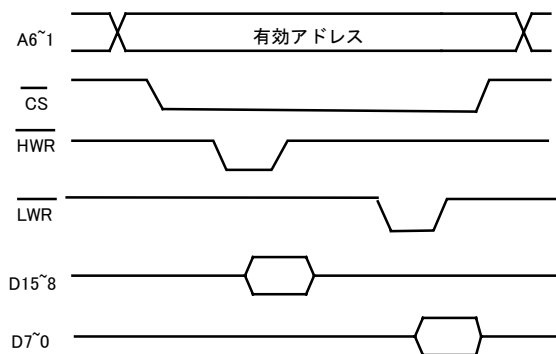
注 2:上図は、FIFO データレジスタアクセス時には該当しません。

3.5.5 レジスタデータアクセスについて

(1) CPU I/F 16ビット幅選択時の書き込み

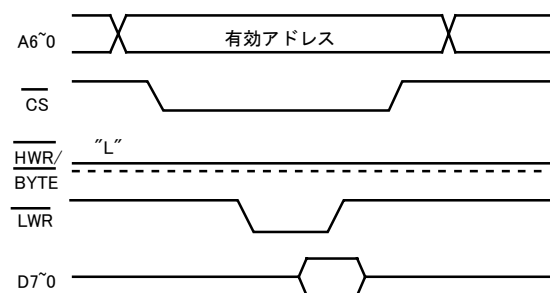
16ビット幅選択時は、A6~1が有効になります。

また、データ書き込み時のライトストロークとして、D15~8に関しては*HWRが、D7~0に関しては*LWRが有効になります。



(2) CPU I/F 8ビット幅選択時の書き込み

8ビット幅選択時は、A6~0が有効になります。また、データ書き込み時のライトストロークとして、*LWRが有効になります。その際、*HWR/*BYTEの信号は"L"に固定してください。



注:上図は、FIFO データレジスタアクセス時には該当しません。

3.5.6 クロックについて

M66291 の内部動作には、48MHz のクロックが必要です。

PLL 回路を内蔵していますので、クロック入力として外部より 6/12/24/48MHz のクロックを入力することが可能です。その設定は"USB 動作許可レジスタ"の XTAL で行います。外部より 48MHz のクロックを入力する場合は PLL 回路を動作させる必要はありませんので、PLL 動作禁止の設定をしてください。

また、発振回路を内蔵していますので自己発振方式によるクロックの供給も可能です。

また、"USB 動作許可レジスタ"への設定によりデバイスをスタンバイ状態にすることができます。XCKE により発振停止(クロック入力停止)状態に、PLL により PLL 動作停止状態に、SCKE により USB ブロックへのクロック供給停止状態にすることができます。

USB ブロックへのクロック供給は、不安定なクロックによる不安定動作をさけるために、XCKE 設定によりクロック入力を許可させた後、発振回路の発振安定時間を待つて、PLL 設定により PLL 回路を動作させ、PLL の発振安定時間(1ms 以内)を待つて SCKE 設定により USB ブロックへのクロック供給を開始してください。

4. 電気的特性

4.1 絶対最大定格

記号	項目	定格値	単位
CoreVCC	USB コア電源電圧	-0.3~+4.2	V
IOVCC	システムインタフェース電源電圧	-0.3~+6.5	V
Vbus	Vbus 入力電圧	-0.3~+5.5	V
VI(IO)	システムインタフェース入力電圧	-0.3 ~IOVcc+0.3	V
VO(IO)	システムインタフェース出力電圧	-0.3~IOVcc+0.3	V
Pd	消費電力	400	mW
Ts t g	保存温度	-55~+150	°C

4.2 推奨動作条件

記号	項目		規格値			単位
			最小	標準	最大	
CoreVCC	USB コア電源電圧	注1	3.0	3.3	3.6	V
IOVCC	システムインタフェース 電源電圧	5V 対応	4.5	5.0	5.5	V
		3V 対応	2.7	3.3	3.6	V
GND	電源電圧			0		V
VI(IO)	システムインタフェース入力電圧		0		IOVCC	V
VI(Vbus)	入力電圧 (Vbus 入力のみ)		0		5.25	V
VO(IO)	システムインタフェース出力電圧		0		IOVCC	V
To p r	動作周囲温度	USB 通信時	0	+25	+70	°C
		USB 非通信時	-20	+25	+85	°C
tr, tf	入力上昇,下降時間	ノーマル入力			500	ns
		シュミットトリガ入力			5	ms

注1 : Topr= -20°C~0°CまたはTopr= +70°C~+80°Cで使用する場合、規格値は3.3V±0.15Vとなります。

4.3 電気的特性(IoVcc=2.7~3.6V,CoreVcc=3.0~3.6V対応規格)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VIH	"H"入力電圧	Xin	CoreVCC = 3.6V	2.52		3.6	V
VIL	"L"入力電圧		CoreVCC = 3.0V	0		0.9	V
VIH	"H"入力電圧	注1	IOVCC = 3.6V	0.7IOVcc		3.6	V
VIL	"L"入力電圧		IOVCC = 2.7V	0		0.3IOVcc	V
VT+	正方向スレッシュホールド電圧	注2	IOVCC = 3.3V	1.4		2.4	V
VT-	負方向スレッシュホールド電圧			0.5		1.65	V
VTH	ヒステリシス電圧				0.8		V
VO H	"H"出力電圧	Xout	CoreVCC = 3.0V	IOH = -50uA	2.6		V
VO L	"L"出力電圧			IOL = 50uA		0.4	V
VO H	"H"出力電圧	注3	IOVCC = 2.7V	IOH = -2mA	IOVcc-0.4		V
VO L	"L"出力電圧			IOL = 2mA		0.4	V
VO H	"H"出力電圧	注4	IOVCC = 2.7V	IOH = -4mA	IOVcc-0.4		V
VO L	"L"出力電圧			IOL = 4mA		0.4	V
VT+	正方向スレッシュホールド電圧	注5	CoreVcc=3.3V	1.4		2.4	V
VT-	負方向スレッシュホールド電圧			0.5		1.65	V
II H	"H"入力電流		IOVCC = 3.6V	VI = IOVCC		10	uA
II L	"L"入力電流			VI = GND		-10	uA
IOZH	オフ状態"H"出力電流	D	IOVCC = 3.6V	VO = IOVCC		10	uA
IOZL	オフ状態"L"出力電流	15-0		VO = GND		-10	uA
Rd v	プルダウン抵抗	注5			500		kΩ
Rd t	プルダウン抵抗	注6			50		kΩ
Icc(A)	動作時平均電源電流	注7	f(Xin)=48MHz,IOVcc=3.6V, CoreVcc=3.6V,USB 転送状態		15	30	mA
Icc(S)	静止時電源電流	注7	発振禁止,PLL 動作禁止, USB トランシーバ動作禁止, TrON=H/L 出力設定 *CS,*HWR/*BYTE,*LWR, *Dack0,*Dack1=IOVcc, D15-0=0~IOVcc, その他入力 VI=IOVcc or GND IOVcc = 3.6V,CoreVcc=3.6V Vbus=5.0V,サスペンド状態		30	200	uA
Icc(S)	静止時電源電流	注7	発振禁止,PLL 動作禁止, USB トランシーバ動作禁止, TrON=Hi-Z 設定 *CS,*HWR/*BYTE,*LWR, *Dack0,*Dack1=IOVcc, D15-0=0~IOVcc, その他入力 VI=IOVcc or GND IOVcc = 3.6V,CoreVcc=3.6V Vbus=GND,H/W リセット後の状態		10	100	uA

注1: A6-1,TEST入力端子、及びD15-0入出力端子

注2: *CS,*RD,*LWR,*HWR/*BYTE,*Dack0,*Dack1,*TC1,*RST入力端子

注3: *INT0,*Dreq0,*Dreq1出力端子

注4: D15-0入出力端子、*INT1/SOF出力端子

M66291GP/HP

注5 : Vbus入力端子

注6 : TEST入力端子

注7 : 電源電流はIOVcc,CoreVccの合計電流

4.4 電気的特性(IOVcc=4.5~5.5V,CoreVcc=3.0~3.6V対応規格)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VIH	"H"入力電圧	Xin	CoreVCC = 3.6V	2.52		3.6	V	
VIL	"L"入力電圧		CoreVCC = 3.0V	0		0.9	V	
VIH	"H"入力電圧	注1	IOVCC = 5.5V	0.7IOVcc		5.5	V	
VIL	"L"入力電圧		IOVCC = 4.5V	0		0.3IOVcc	V	
VT+	正方向スレッシュホールド電圧	注2	IOVCC = 5.0V	2.3		3.7	V	
VT-	負方向スレッシュホールド電圧			1.25		2.3	V	
VTH	ヒステリシス電圧				0.8		V	
VO H	"H"出力電圧	Xout	CoreVCC = 3.0V	IOH = -50uA	2.6		V	
VO L	"L"出力電圧			IOL = 50uA		0.4	V	
VO H	"H"出力電圧	注3	IOVCC = 4.5V	IOH = -2mA	4.1		V	
VO L	"L"出力電圧			IOL = 2mA		0.4	V	
VO H	"H"出力電圧	注4	IOVCC = 4.5V	IOH = -4mA	4.1		V	
VO L	"L"出力電圧			IOL = 4mA		0.4	V	
VT+	正方向スレッシュホールド電圧	注5	CoreVcc=3.3V		1.4		2.4	V
VT-	負方向スレッシュホールド電圧				0.5		1.65	V
II H	"H"入力電流		IOVCC = 5.5V	Vi = IOVCC			10	uA
II L	"L"入力電流			Vi = GND			-10	uA
IOZH	オフ状態"H"出力電流	D	IOVCC = 5.5V	Vo = IOVCC			10	uA
IOZL	オフ状態"L"出力電流	15-0		Vo = GND			-10	uA
Rd v	プルダウン抵抗	注5				500		kΩ
Rd t	プルダウン抵抗	注6				50		kΩ
Icc(A)	動作時平均電源電流	注7	f(Xin)=48MHz,IOVcc=5.5V, CoreVcc=3.6V,USB 転送状態			15	30	mA
Icc(S)	静止時電源電流	注7	発振禁止,PLL 動作禁止, USB トランシーバ動作禁止, TrON=H/L 出力設定 *CS,*HWR/*BYTE,*LWR, *Dack0,*Dack1=IOVcc, D15-0=0~IOVcc, その他入力 Vi=IOVcc or GND IOVcc = 5.5V,CoreVcc=3.6V Vbus=5.0V,サスペンド状態			30	200	uA
Icc(S)	静止時電源電流	注7	発振禁止,PLL 動作禁止, USB トランシーバ動作禁止, TrON=Hi-Z 設定 *CS,*HWR/*BYTE, *LWR, *Dack0,*Dack1=IOVcc, D15-0=0~IOVcc, その他入力 Vi=IOVcc or GND IOVcc = 5.5V,CoreVcc=3.6V Vbus=GND,H/W リセット後の状態			10	100	uA

注1: A6-1,TEST入力端子、及びD15-0入出力端子

注2: *CS,*RD,*LWR,*HWR/*BYTE,*Dack0,*Dack1,*TC1,*RST入力端子

注3: *INT0,*Dreq0,*Dreq1出力端子

注4: D15-0入出力端子、*INT1/SOF出力端子

M66291GP/HP

注5 : Vbus入力端子

注6 : TEST入力端子

注7 : 電源電流はIOVcc,CoreVccの合計電流

4.5 電気的特性(D+/D-)

4.5.1 DC特性

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
VDI	差分入力感度	(D+)-(D-)		0.2			V
VCM	差分コモンモード範囲			0.8		2.5	V
VSE	シングルエンディッドレシーバ スレッショルド電圧			0.8		2.0	V
VOL	"L"出力電圧	CoreVCC = 3.0V	1.5K Ω のRLから3.6V			0.3	V
VOH	"H"出力電圧		15K Ω のRLからGND	2.8		3.6	V
IOZL	オフ状態出カリーク電流	CoreVCC = 3.6V	VO =0V	-10		10	μ A
IOZH	オフ状態出カリーク電流		VO =3.6V	-10		10	μ A
Ro(Pch)	出カインピーダンス	CoreVCC = 3.3V	VO =0V	4	7	15	Ω
Ro(Nch)	出カインピーダンス		VO =3.3V	4	7	15	Ω

4.5.2 AC特性

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
tr	立ち上がり時間	データ信号:振幅の10%→90%	CL=50pF	4		20	ns
tf	立ち下がり時間	データ信号:振幅の90%→10%	CL=50pF	4		20	ns
TRFM	立ち上がり/立ち下がり時間比	tr/tf		90		110	%
VCRS	出力信号クロスオーバー電圧	CL=50pF		1.3		2.0	V

4.6 スイッチング特性(IOVcc=3.0~3.6、又は4.5~5.5V)

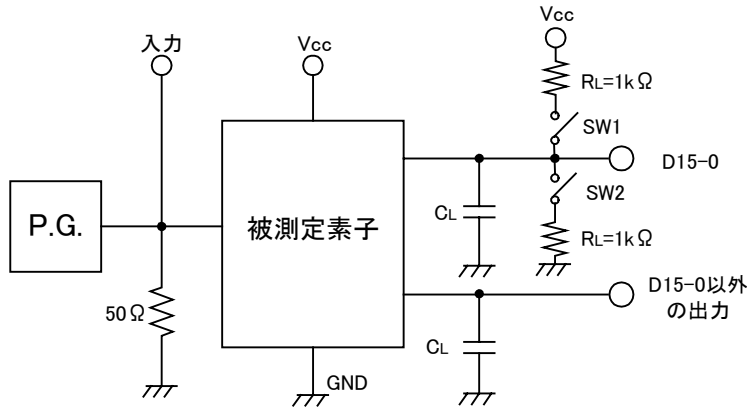
記号	項目	測定条件	規格値			単位	参照 番号
			最小	標準	最大		
ta(A)	アドレスアクセス時間	CL=50pF			40	ns	①
tv(A)	アドレス後データ有効時間		0			ns	②
ta(CTRL)	コントロールアクセス時間				30	ns	③
tv(CTRL)	コントロール後データ有効時間		0			ns	④
ten(CTRL)	コントロール出カインーブル時間		0		20	ns	⑤
tdis(CTRL)	コントロール後出力ディセーブル時間		0		20	ns	⑥
tdis(CTRL-Dreq)	コントロール後 Dreq ディセーブル時間				50	ns	⑦
tdis(Dack - Dreq)	Dack 後 Dreq ディセーブル時間				50	ns	⑧
ta(Dack)	Dack アクセス時間				30	ns	⑨
ten(Dack)	Dack 後出カインーブル時間		0		20	ns	⑩
tv(Dack)	Dack 後データ有効時間		0			ns	⑪
tdis(Dack)	Dack 後出力ディセーブル時間		0		20	ns	⑫
tdis(CTRLH-Dreq)	コントロール終了後 Dreq ディセーブル時間				50	ns	⑬
td(CTRL-INT)	INT ネゲート遅延時間				250	ns	⑭
twh(INT)	INT "H" パルス幅		650			ns	⑮
twh(Dreq)	Dreq "H" パルス幅		50			ns	⑯
ten(Dack - Dreq)	Dack 後 Dreq イネーブル時間		30			ns	⑰
ten(CTRL-Dreq)	コントロール後 Dreq イネーブル時間		50			ns	⑱

4.7 タイミング必要条件 (IOVcc=3.0~3.6V、又は4.5~5.5V)

記号	項目	測定条件	規格値			単位	参照 番号
			最小	標準	最大		
tsuw(A)	アドレスライトセットアップ時間		30			ns	(30)
tsur(A)	アドレスリードセットアップ時間		0			ns	(31)
thw(A)	アドレスライトホールド時間		0			ns	(32)
thr(A)	アドレスリードホールド時間		30			ns	(33)
tw(CTRL)	コントロールパルス幅(ライト)		30			ns	(34)
trec(CTRL)	コントロールリカバリ時間(FIFO)		30			ns	(35)
trecre(CTRL)	コントロールリカバリ時間(REG)		15			ns	(36)
tw(Dack)	Dack パルス幅		70			ns	(37)
tsu(D)	データセットアップ時間		20			ns	(38)
th(D)	データホールド時間		0			ns	(39)
tw(cycle)	FIFO アクセスサイクル時間		100			ns	(40)
tsud(A)	DMA アドレスセットアップ時間		15			ns	(41)
thd(A)	DMA アドレスホールド時間		0			ns	(42)
tw(RST)	リセットパルス幅時間		100			ns	(43)
tst(RST)	リセット後コントロールスタート時間		500			ns	(44)
tsu(BYTE)	バイトモードセットアップ時間		250			ns	(45)
th(BYTE)	バイトモードホールド時間		250			ns	(46)
twr(CTRL)	コントロールパルス幅(リード)		70			ns	(47)
td1(Dack-TC)	TC 遅延時間 1		0			ns	(48)
td2(Dack-TC)	TC 遅延時間 2				30	ns	(49)

4.8 測定回路

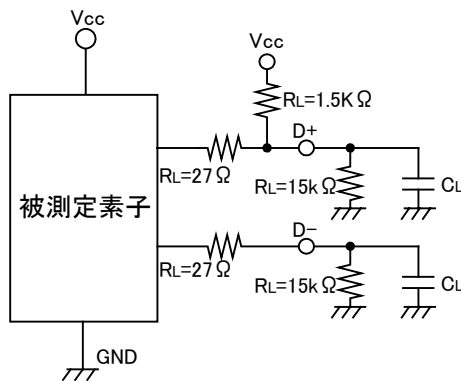
4.8.1 USBバッファ部以外の端子



項目	SW1	SW2
t _{dis} (CTRL(LZ))	閉	開
t _{dis} (CTRL(HZ))	開	閉
t _a (CTRL(ZL))	閉	開
t _a (CTRL(ZH))	開	閉

- (1)入力パルスレベル: 0~3.3V、0~5.0V
 入力パルス上昇、下降時間: tr,tf=3ns
 入力タイミング基準電圧: IOV_{cc}/2
 出力タイミング判定電圧: IOV_{cc}/2
 (但しt_{dis}(LZ)は出力振幅の10%、
 t_{dis}(HZ)は出力振幅の90%で判定)
- (2)静電容量CLは、結線の浮遊容量及び
 プローブの入力容量を含みます。

4.8.2 USBバッファ部

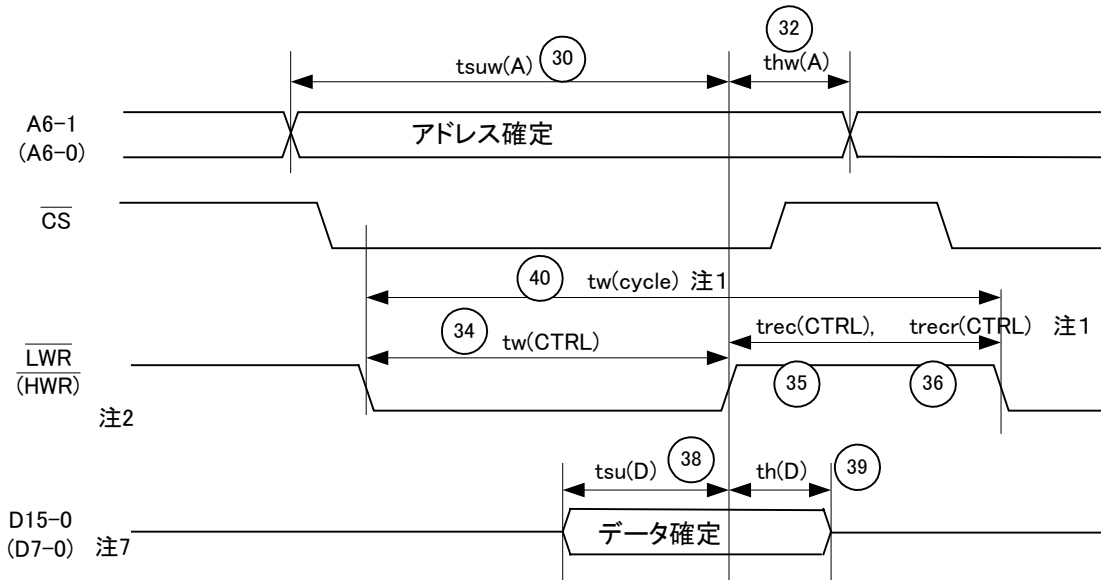


- (1)tr、tfは振幅の10%点と90%点の遷移時間で判定。
- (2)静電容量CLは、結線の浮遊容量及び
 プローブの入力容量を含みます。

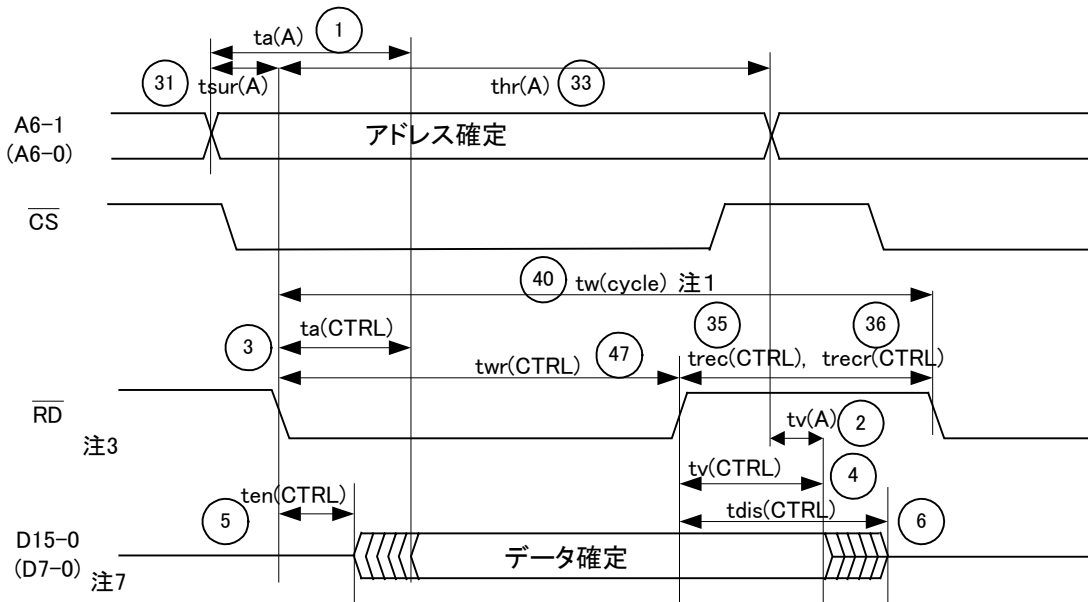
4.9 タイミング図

4.9.1 CPUインタフェースタイミング

(1-1) 書き込みタイミング (*RD="H")



(1-2) 読み出しタイミング (*LWR="H", *HWR="H")



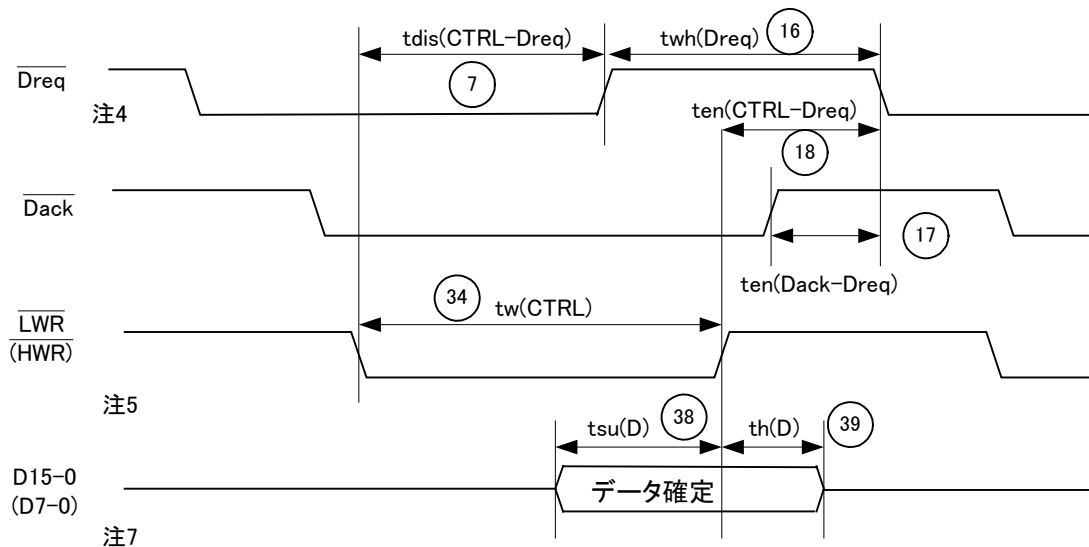
M66291GP/HP

- 注1 : **tw(cycle), trec(CTRL)**はFIFOアクセス時に必要です。
又レジスタアクセス時は、**treocr(CTRL)**が有効です。
- 注2 : ***CS, *HWR, *LWR**の組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。
立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。
パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注3 : ***CS, *RD**の組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。
立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。
立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。
パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注7 : 8bitモード時には、D7~0、A6~0が有効になります。

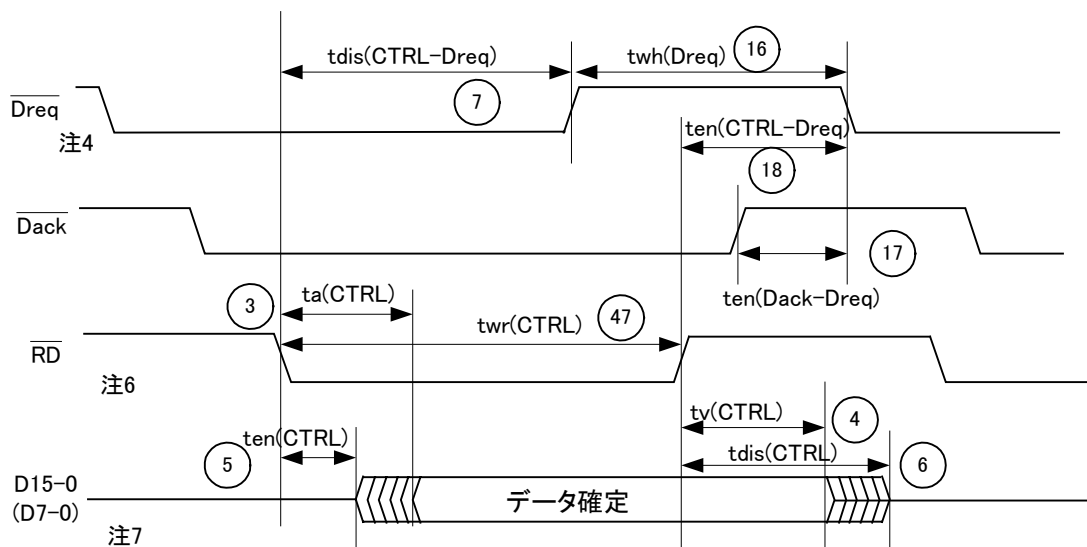
4.9.2 DMA転送タイミング1

サイクルスチル転送設定時 (DMA転送モードレジスタ: BUST=0)

(2-1) 書き込みタイミング1 (DMAEN=1, DFORM=00)



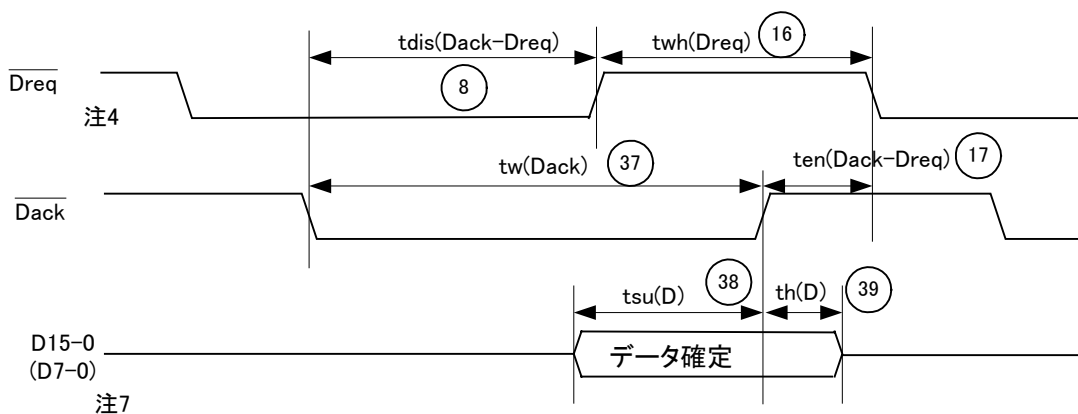
(2-2) 読み出しタイミング1 (DMAEN=1, DFORM=00)



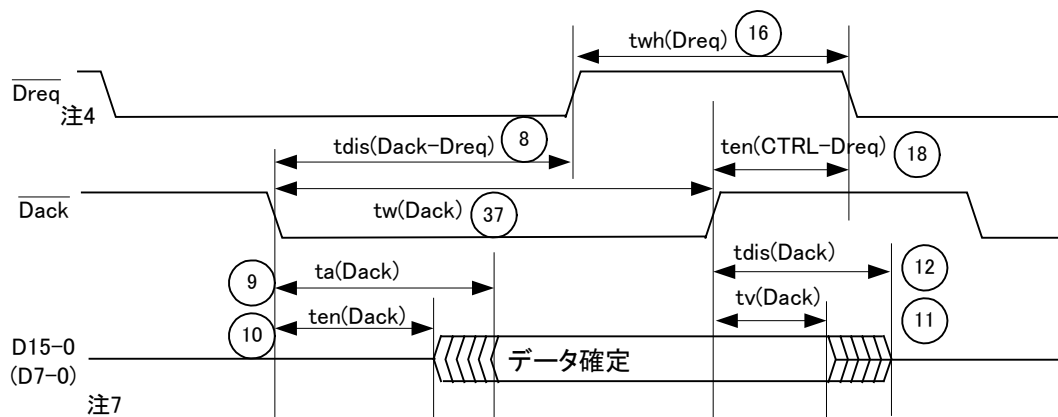
M66291GP/HP

- 注4 : *Dreqのインアクティブ条件は、*Dack="L"レベルであり、次のDMA転送が有る場合に*Dreqがアクティブとなる規格は、twh(Dreq)または、ten(CTRL-Dreq)の遅い規格が有効です。
- 注5 : *Dack, *HWR, *LWRの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注6 : *Dack, *RDの組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注7 : 8bitモード時には、D7~0が有効になります。

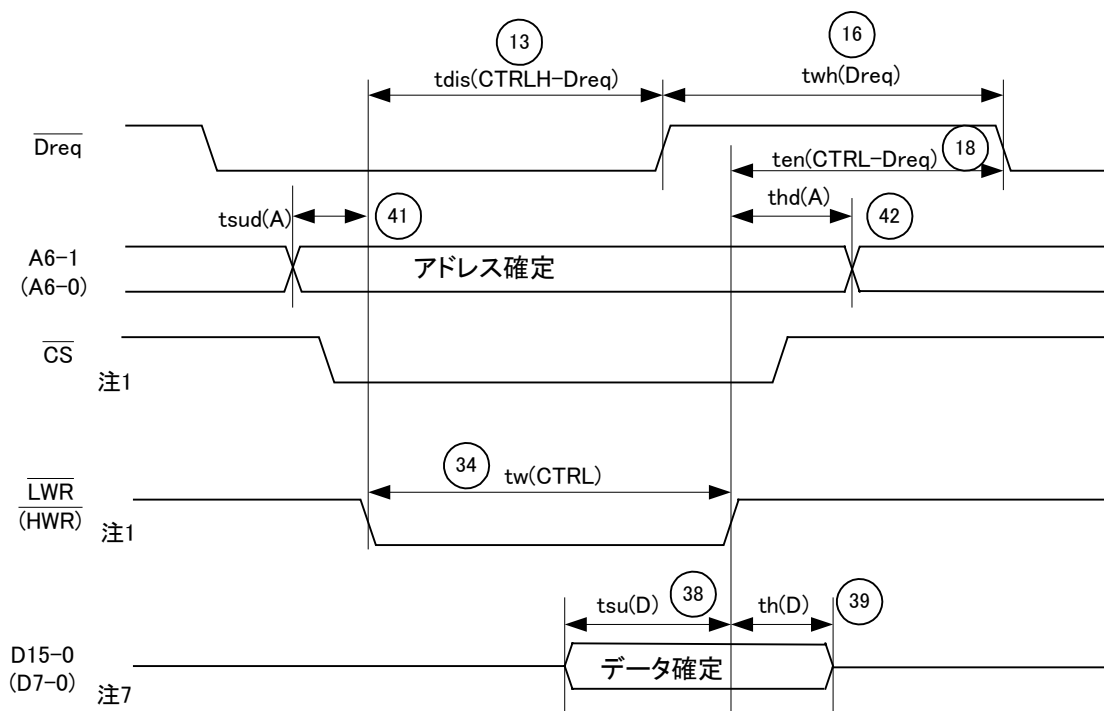
(2-3) 書き込みタイミング2 (DMAEN=1, DFORM=01)



(2-4) 読み出しタイミング2 (DMAEN=1, DFORM=01)



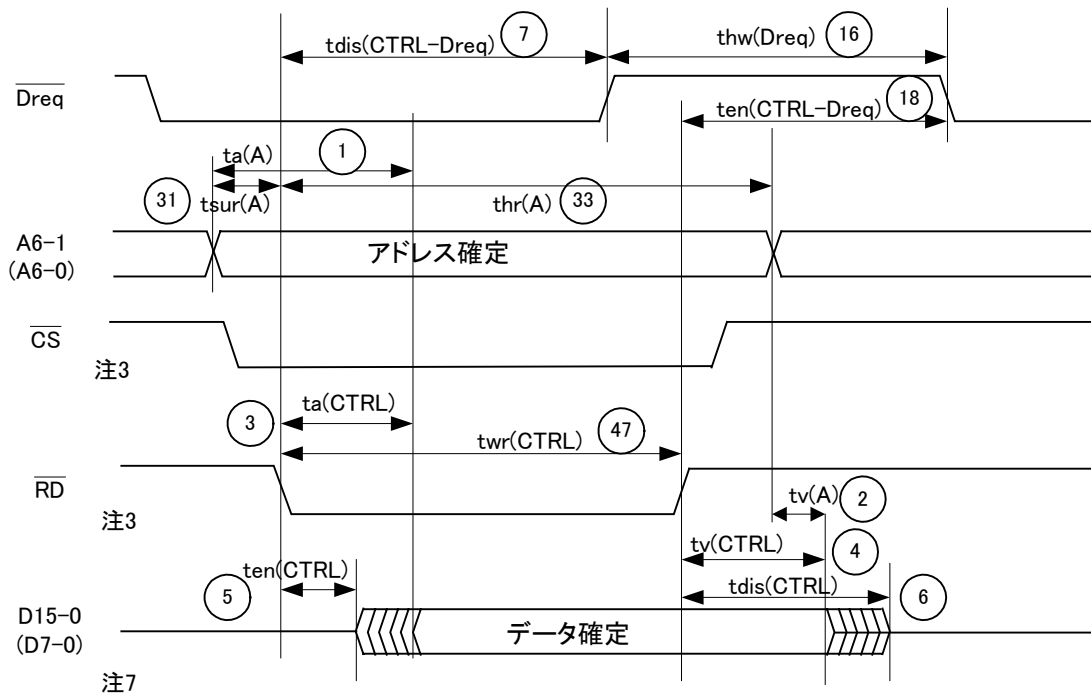
注4 : *Dreqのインアクティブ条件は、*Dack="L"レベルであり、次のDMA転送が有る場合に*Dreqがアクティブとなる規格は、twh(Dreq)または、ten(Dack-Dreq)の遅い規格が有効です。
 注7 : 8bitモード時には、D7~0が有効になります。



注1 : *CS, *HWR, *LWRの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。
 立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。
 パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
 注7 : 8bitモード時には、D7~0,A6~0が有効になります。

M66291GP/HP

(2-6) 読み出しタイミング3 (DMAEN=1, DFORM=10) (*Dack=インアクティブ, *LWR="H", *HWR="H")



注3 : *CS, *RDの組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。

立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。

立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

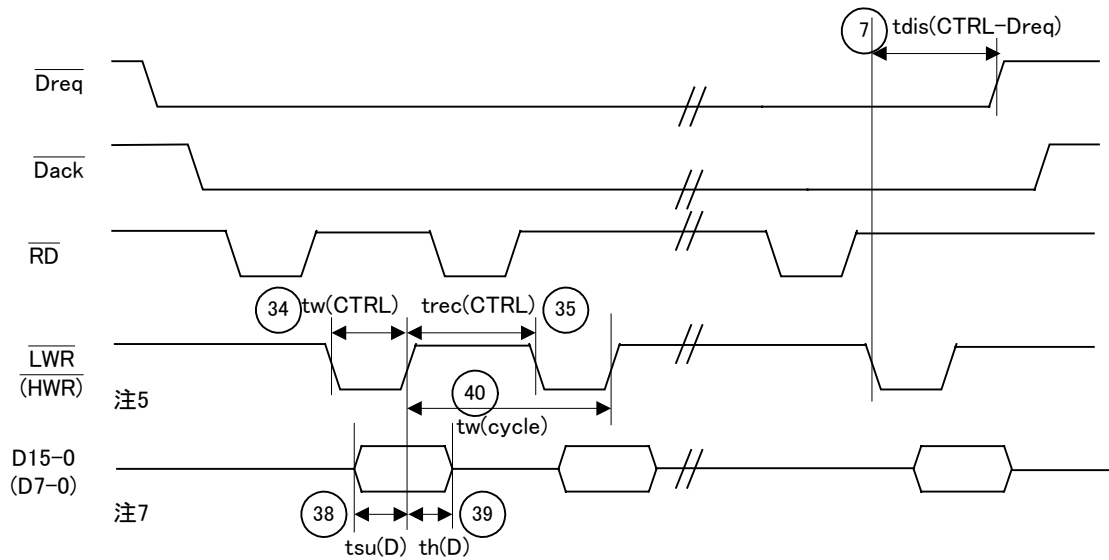
パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

注7 : 8bitモード時には、D7~0,A6~0が有効になります。

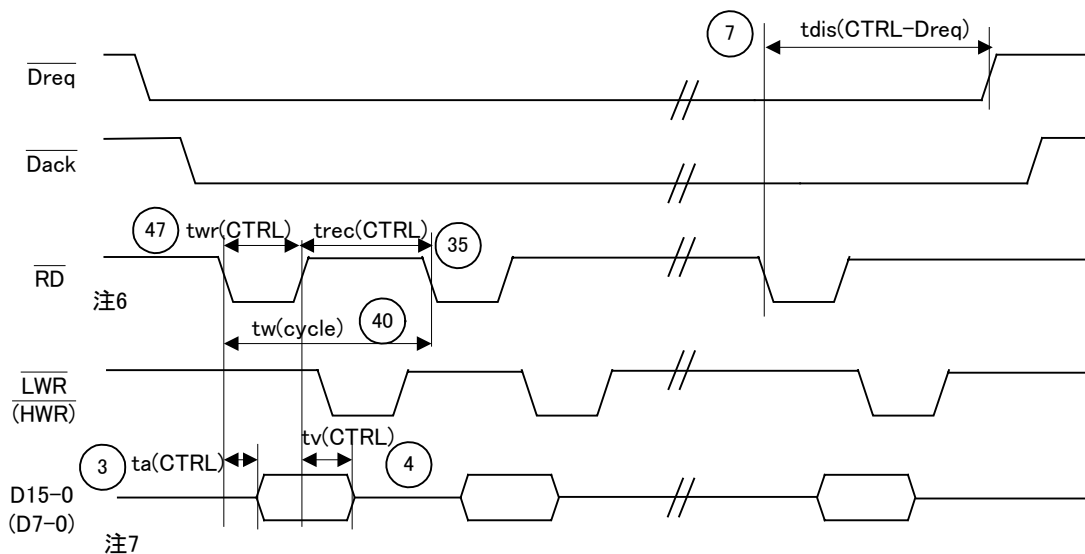
4.9.3 DMA転送タイミング2

バースト転送設定時 (DMA転送モードレジスタ : BUST=1)

(3-1) 書き込みタイミング (DMAEN=1, DFORM=00)



(3-2)読み出しタイミング (DMAEN=1, DFORM=00)



注5 : $\overline{\text{Dack}}$, $\overline{\text{HWR}}$, $\overline{\text{LWR}}$ の組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化から有効です。

パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

注6 : $\overline{\text{Dack}}$, $\overline{\text{RD}}$ の組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。

立ち下がりエッジからの規格は、アクティブの遅い信号変化から有効です。

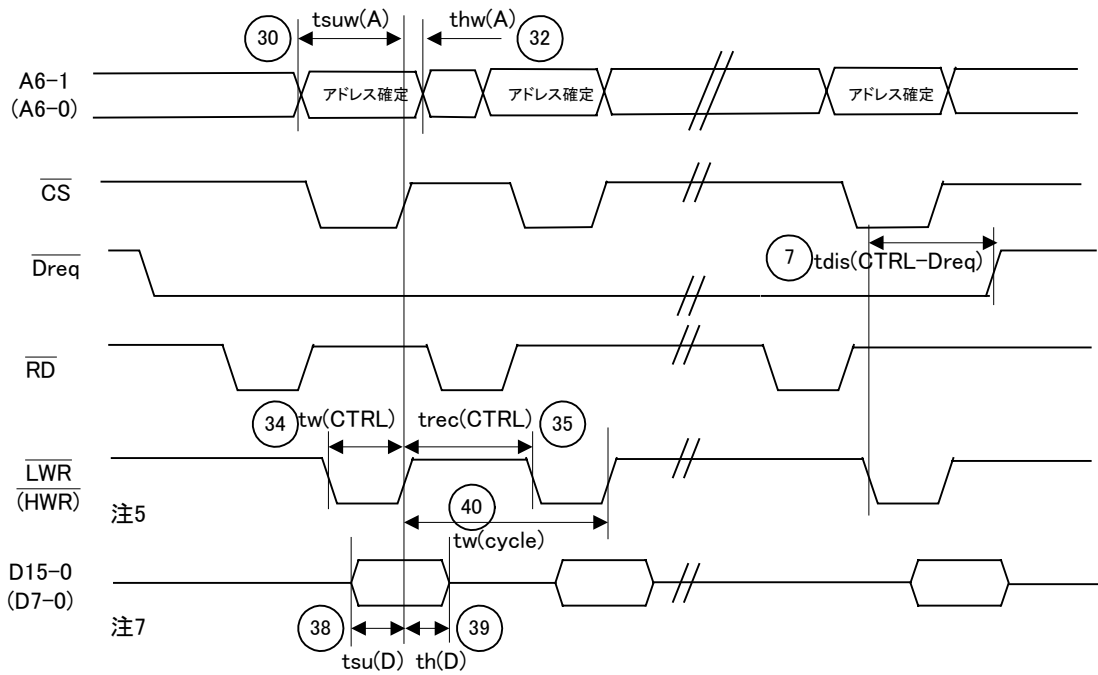
立ち上がりエッジからの規格は、インアクティブの早い信号変化から有効です。

パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

注7 : 8bitモード時には、D7~0が有効になります。

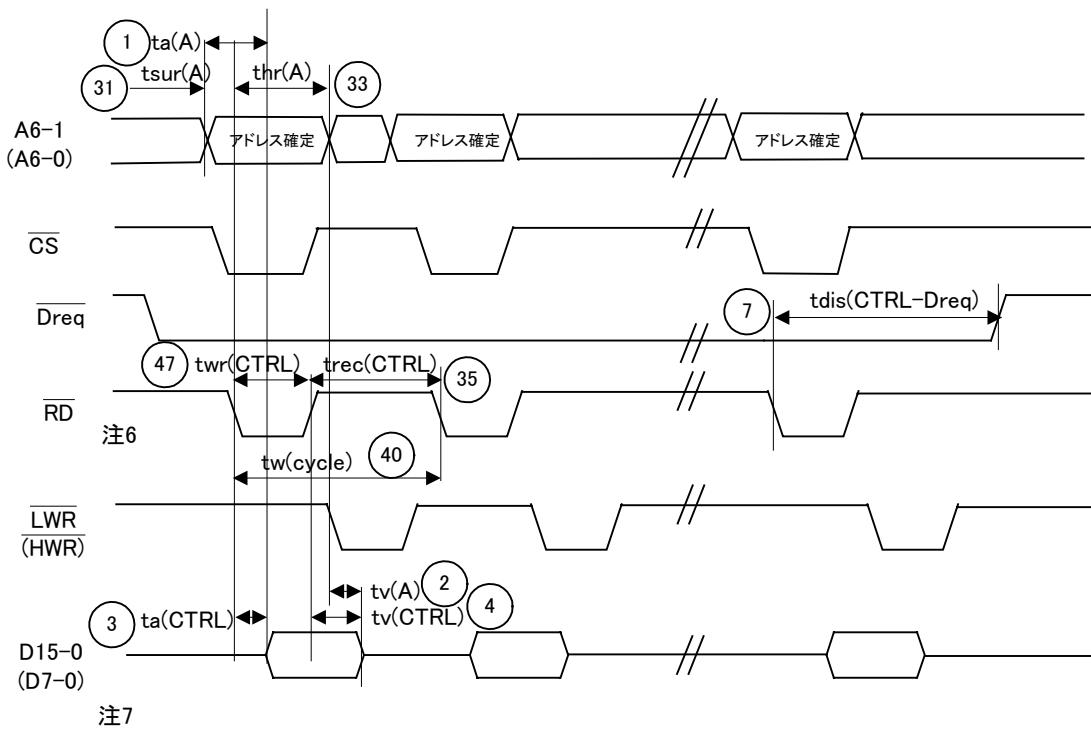
(3-3) 書き込みタイミング (DMAEN=1, DFORM=10)

(*Dack=インアクティブ)



(3-4) 読み出しタイミング (DMAEN=1, DFORM=10)

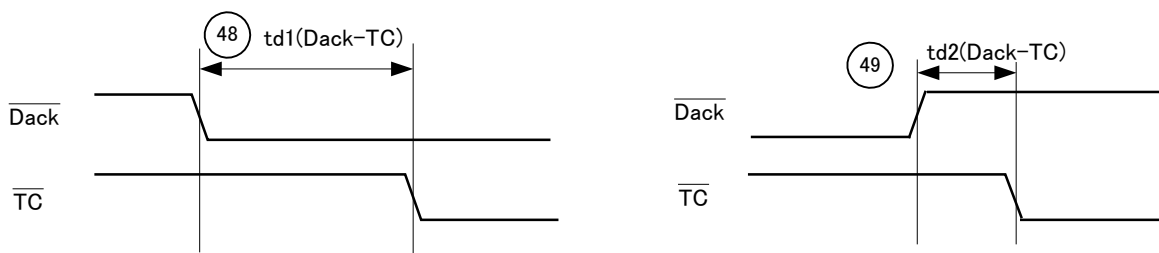
(*Dack=インアクティブ)



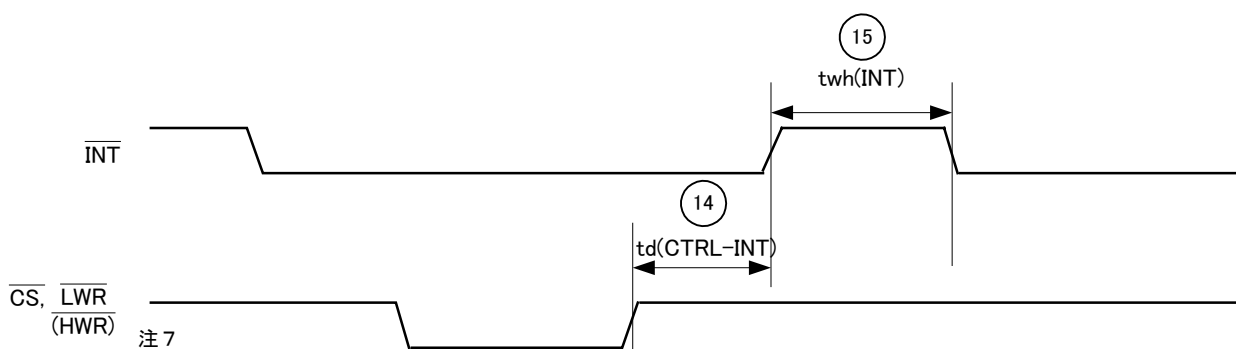
M66291GP/HP

- 注5 : *Dack, *HWR, *LWRの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。
立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。
パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注6 : *Dack, *RDの組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。
立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。
立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。
パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注7 : 8bitモード時には、D7~0が有効になります。

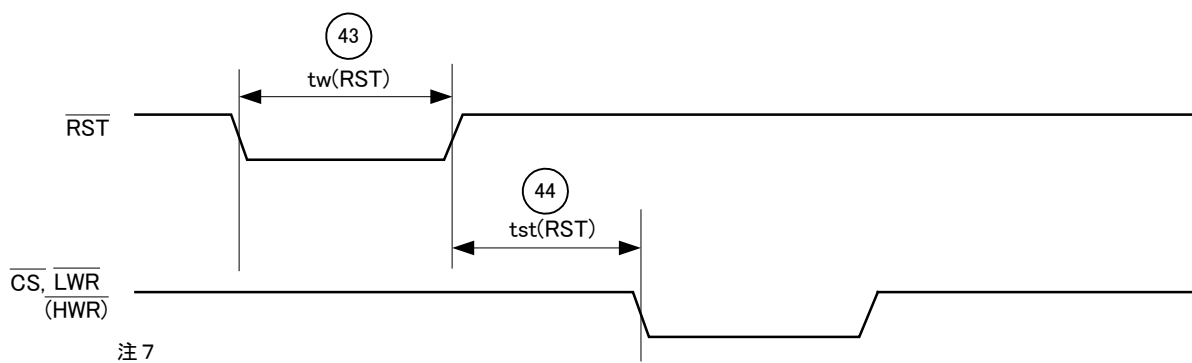
(3-5) TCタイミング



4.10 割込みタイミング

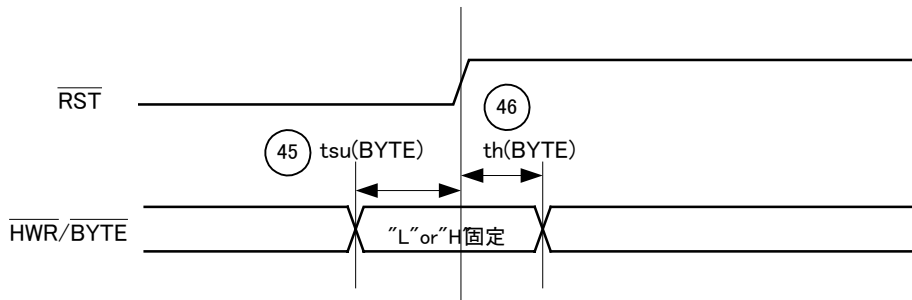


4.11 リセットタイミング



注 7 : *CS, *HWR, *LWRの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

4.12 バスインターフェース選択タイミング



改訂記録

M66291 データシート

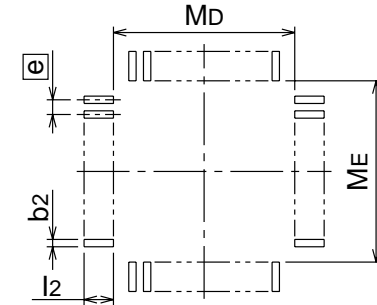
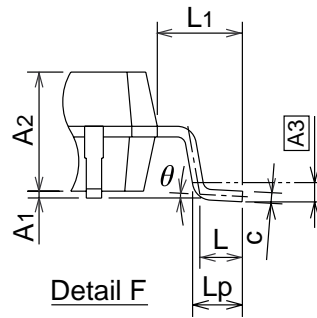
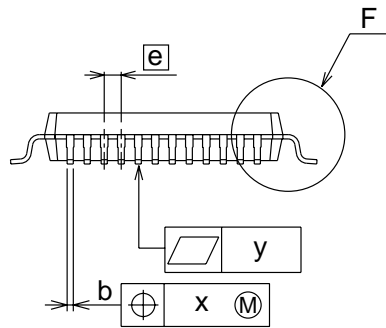
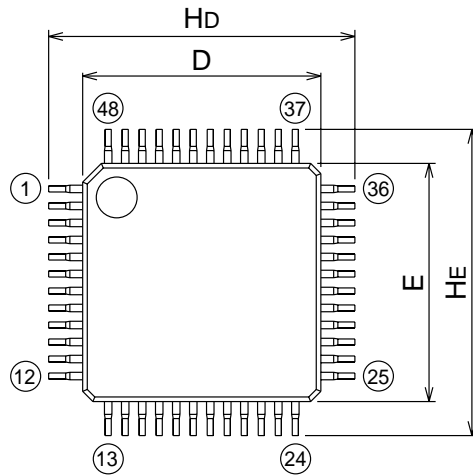
Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2001.04.09	4	M66291ブロック図変更
		31	VBUS、RESM 動作変更
		60	IDLY 動作変更
		71	レジスタ名変更(DMA _n _FIFO → Dn_FIFO)
		75	PIEN 追加
		123	ta(A) (30→40), tsur(A)(15→0)に変更
		124	twr(CTRL)追加
		124	td1(Dack-TC), td2(Dack-TC)追加
		15	OVRN, CRCE ビット削除
		61	RWEN ビット削除、DFORM ビット 2 ビット長化
1.10	2003.01.16	109	測定回路追加
		-	M66291HP追加に伴う変更(M66291GP→M66291GP/HP等)
		-	*Dack端子補足(端子を使用しない時またはDFORM=10の時はインアクティブ固定)
		1,8,13	発振バッファ補足(テクニカルニュース ASSP-05-0205反映)
		65	INTMモード動作修正(テクニカルニュース ASSP-06-0302反映)、補足
		109	コントロールパルス幅(リード)修正(テクニカルニュース ASSP-04-0205反映)
		9	空きピン処理方法追加
		32	VALID補足(EP0_PIDの補足)
		42	EP0_PID補足
		55	CPU_EP切替え方法変更
1.11	2004.03.01	66	DMA_EP 切替え方法変更
		-	ルネサス様式に対応
		2,3	誤記修正(接続図ブロック図→接続図)
		103	USB コア電源電圧、動作周囲温度の規格値改訂
		110	Dack パルス幅修正(テクニカルニュース ASSP-04-0205 反映)
-	52PJV-A パッケージ図改訂		

48P6Q-A

(MMP)

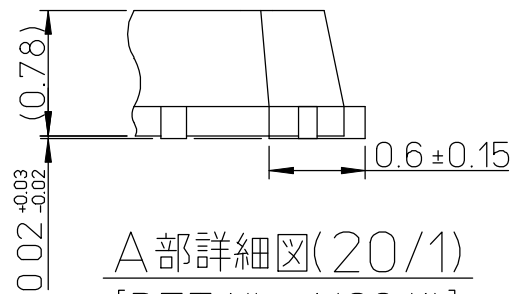
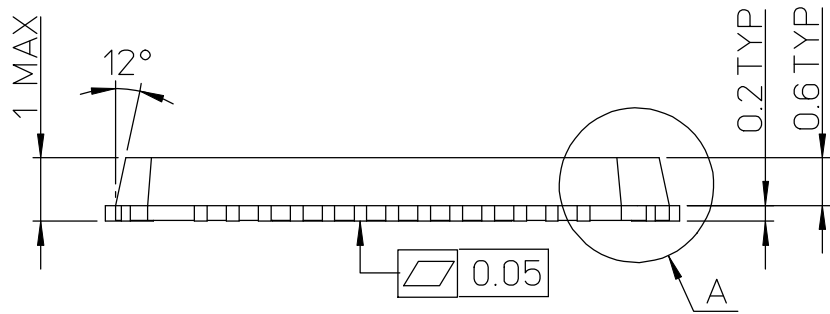
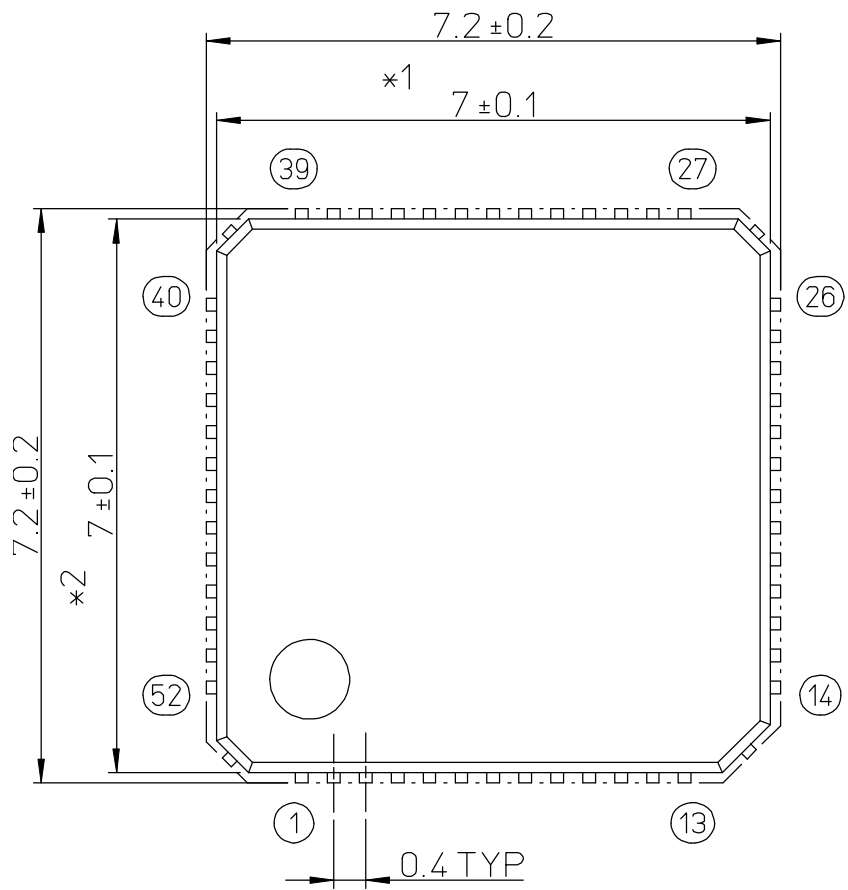
Plastic 48pin 7X7mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP48-P-77-0.50	-	-	Cu Alloy

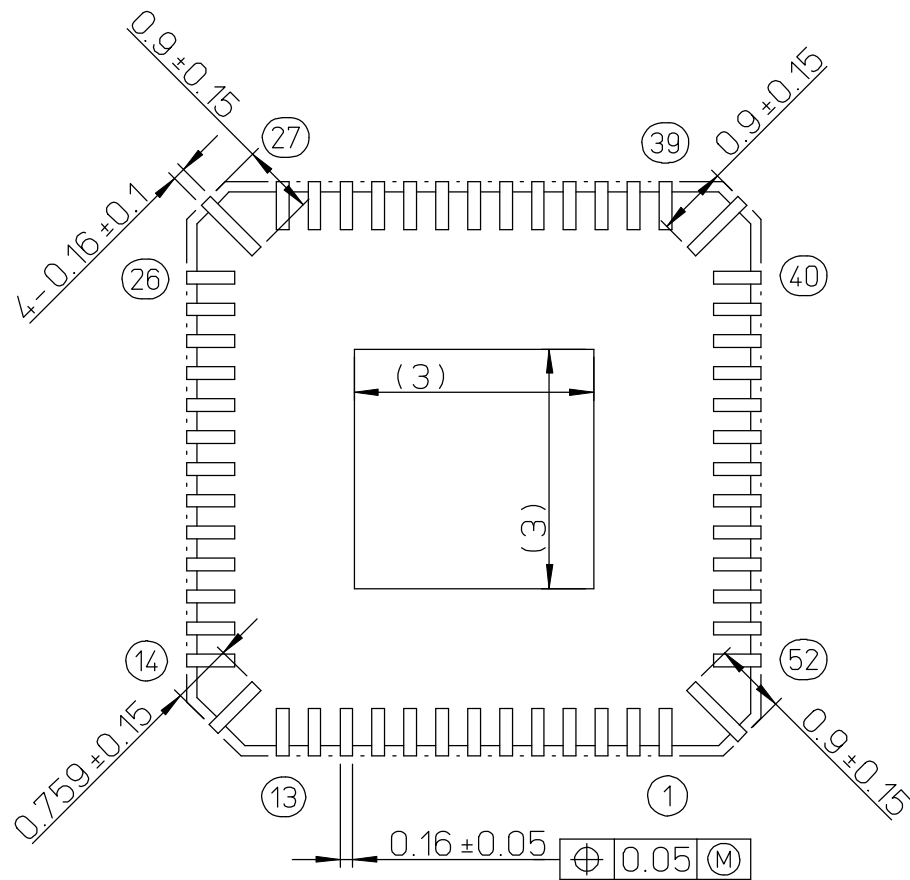


Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	-	0.5	-
H _d	8.8	9.0	9.2
H _E	8.8	9.0	9.2
L	0.35	0.5	0.65
L ₁	-	1.0	-
L _p	0.45	0.6	0.75
A ₃	-	0.25	-
x	-	-	0.08
y	-	-	0.1
θ	0°	-	8°
b ₂	-	0.225	-
l ₂	1.0	-	-
M _D	-	7.4	-
M _E	-	7.4	-



A部詳細図(20/1)
[DETAIL A(20/1)]



[BOTTOM VIEW]

注)
1.*1,*2 ... レジン残りハ含マナイ.

Note)
1.DIMENSIONS "*1" AND "*2"
DO NOT INCLUDE MOLD FLASH.

株式会社 ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 (日本ビル)

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサステクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問い合わせ窓口

<http://www.renesas.com>

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第2鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1622
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌営業所	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (揖保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部支社	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7724	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西部本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館10F)	(06) 6233-9400
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
鳥取営業所	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島営業所	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル)	(099) 256-9021

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマーサービスセンタ E-mail: csc@renesas.com

