

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/TinyシリーズCPUコアを搭載したシングルチップマイクロコンピュータで、20ピンプラスチックモールドLSSOP、SDIPまたは28ピンプラスチックモールドHWQFNに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

さらに、R8C/1BグループはデータフラッシュROM(1KB×2ブロック)を内蔵します。

R8C/1AグループとR8C/1Bグループの違いはデータフラッシュROMの有無だけです。周辺機能は同一です。

### 1.1 応用

家電、事務機器、住設機器（センサ、セキュリティ）携帯機器、産業一般、オーディオ、他

## 1.2 性能概要

表 1.1にR8C/1Aグループの性能概要を、表 1.2にR8C/1Bグループの性能概要を示します。

表 1.1 R8C/1Aグループの性能概要

項目		性能	
CPU	基本命令数	89 命令	
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1M バイト	
	メモリ容量	表 1.3 を参照してください。	
周辺機能	ポート	入出力：13 本 (LED 駆動用ポート含む) 入力：3 本	
	LED 駆動用ポート	入出力：4 本	
	タイマ	タイマ X：8 ビット×1 チャンネル、 タイマ Z：8 ビット×1 チャンネル (各タイマ：8 ビットプリスケアラ付)、 タイマ C：16 ビット×1 チャンネル (インプットキャプチャ回路、アウトプットコンペア回路)	
	シリアルインタフェース	1 チャンネル クロック同期形シリアル I/O、クロック非同期形シリアル I/O 1 チャンネル クロック非同期形シリアル I/O	
	クロック同期形シリアルインタフェース	1 チャンネル I <sup>2</sup> C バスインタフェース(注1)、 チップセレクト付クロック同期形シリアル I/O(SSU)	
	A/D コンバータ	10 ビット A/D コンバータ：1 回路、4 チャンネル	
	ウォッチドッグタイマ	15 ビット×1 チャンネル (プリスケアラ付) リセットスタート機能選択可能、カウントソース保護モード	
	割り込み	内部：11 要因、外部：4 要因、ソフトウェア：4 要因、 割り込み優先レベル：7 レベル	
	クロック発生回路	2 回路 ・メインクロック発振回路 (帰還抵抗内蔵) ・オンチップオシレータ (高速、低速) 高速オンチップオシレータは周波数調整機能付き	
	発振停止検出機能	メインクロック発振停止検出機能	
	電圧検出回路	内蔵	
	パワーオンリセット回路	内蔵	
	電気的特性	電源電圧	VCC=3.0 ~ 5.5V (f(XIN)=20MHz) VCC=2.7 ~ 5.5V (f(XIN)=10MHz)
		消費電流	標準 9mA (VCC=5V、f(XIN)=20MHz、A/D コンバータ停止時) 標準 5mA (VCC=3V、f(XIN)=10MHz、A/D コンバータ停止時) 標準 35 $\mu$ A (VCC=3V、ウェイトモード、周辺クロック停止) 標準 0.7 $\mu$ A (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレース電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレース回数	100 回	
動作周囲温度		- 20 ~ 85	
		- 40 ~ 85 (Dバージョン)	
		- 20 ~ 105 (Yバージョン)(注2)	
パッケージ		20ピンプラスチックモールドLSSOP	
		20ピンプラスチックモールドSDIP	
		28ピンプラスチックモールドHWQFN	

注1. I<sup>2</sup>C busは、オランダPHILIPS社の登録商標です。

注2. Yバージョンについては、ルネサステクノロジー営業窓口へお問い合わせください。

表 1.2 R8C/1Bグループの性能概要

項目	性能		
CPU	基本命令数	89 命令	
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1M バイト	
	メモリ容量	表 1.4 を参照してください。	
周辺機能	ポート	入出力：13 本 (LED 駆動用ポート含む) 入力：3 本	
	LED 駆動用ポート	入出力：4 本	
	タイマ	タイマ X：8 ビット×1 チャンネル、 タイマ Z：8 ビット×1 チャンネル(各タイマ：8 ビットプリスケアラ付) タイマ C：16 ビット×1 チャンネル (インプットキャプチャ回路、アウトプットコンペア回路)	
	シリアルインタフェース	1 チャンネル クロック同期形シリアル I/O、クロック非同期形シリアル I/O 1 チャンネル クロック非同期形シリアル I/O	
	クロック同期形シリアルインタフェース	1 チャンネル I <sup>2</sup> C バスインタフェース(注1)、 チップセレクト付クロック同期形シリアル I/O(SSU)	
	A/D コンバータ	10 ビット A/D コンバータ：1 回路、4 チャンネル	
	ウォッチドッグタイマ	15 ビット×1 チャンネル (プリスケアラ付) リセットスタート機能選択可能、カウントソース保護モード	
	割り込み	内部：11 要因、外部：4 要因、ソフトウェア：4 要因、 割り込み優先レベル：7 レベル	
	クロック発生回路	2 回路 ・メインクロック発振回路 (帰還抵抗内蔵) ・オンチップオシレータ (高速、低速) 高速オンチップオシレータは周波数調整機能付き	
	発振停止検出機能	メインクロック発振停止検出機能	
	電圧検出回路	内蔵	
	パワーオンリセット回路	内蔵	
	電気的特性	電源電圧	VCC=3.0 ~ 5.5V (f(XIN)=20MHz) VCC=2.7 ~ 5.5V (f(XIN)=10MHz)
		消費電流	標準 9mA (VCC=5V、f(XIN)=20MHz、A/D コンバータ停止時) 標準 5mA (VCC=3V、f(XIN)=10MHz、A/D コンバータ停止時) 標準 35 $\mu$ A (VCC=3V、ウェイトモード、周辺クロック停止) 標準 0.7 $\mu$ A (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレース電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレース回数	10,000 回 (データフラッシュ) 1,000 回 (プログラム ROM)	
動作周囲温度		- 20 ~ 85	
		- 40 ~ 85 (Dバージョン)	
		- 20 ~ 105 (Yバージョン)(注2)	
パッケージ		20 ピンプラスチックモールド LSSOP	
		20 ピンプラスチックモールド SDIP	
		28 ピンプラスチックモールド HWQFN	

注1. I<sup>2</sup>C busは、オランダPHILIPS社の登録商標です。

注2. Yバージョンについては、ルネサステクノロジー営業窓口へお問い合わせください。

## 1.3 ブロック図

図 1.1にブロック図を示します。

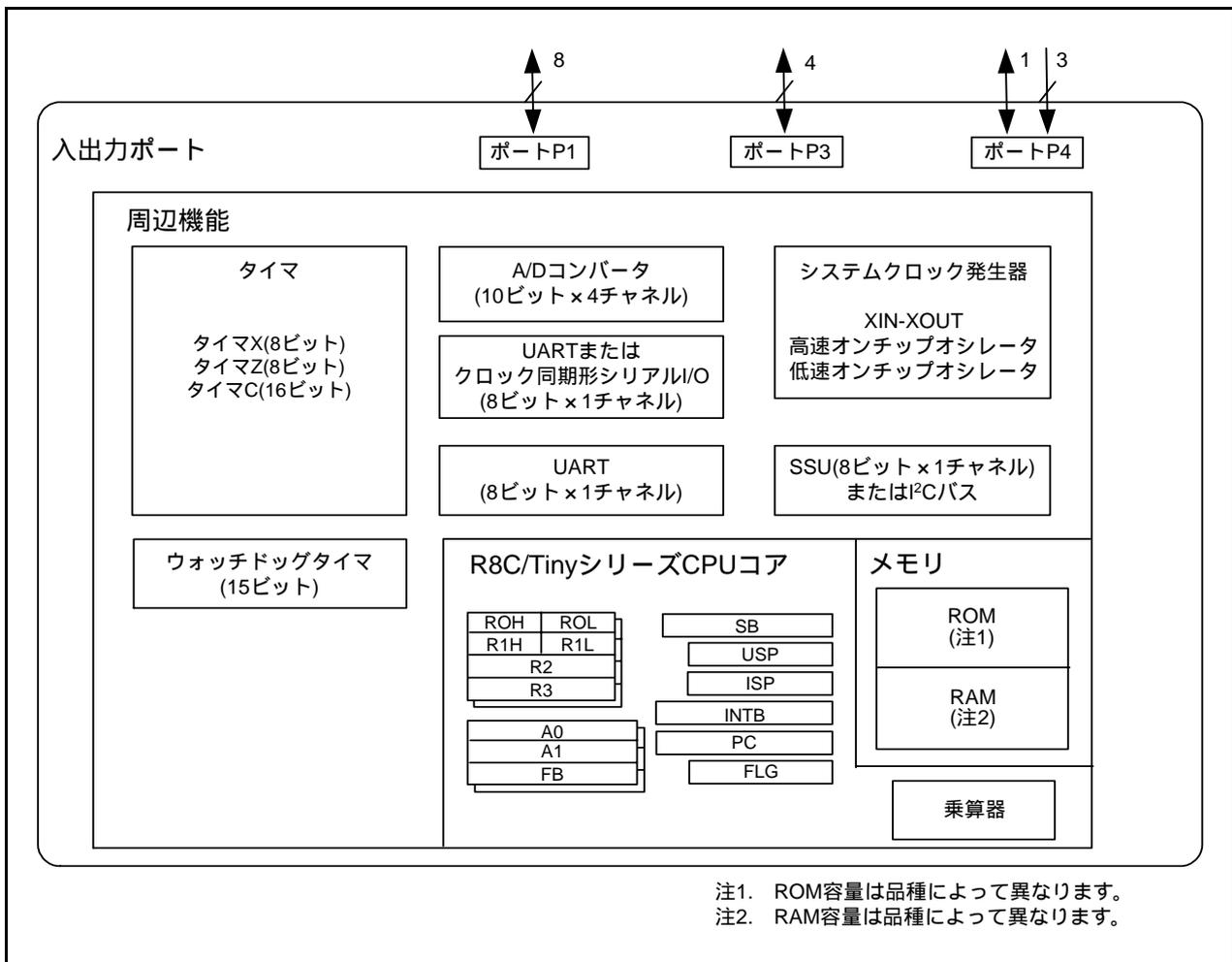


図 1.1 ブロック図

## 1.4 製品一覧

表 1.3にR8C/1Aグループの製品一覧表を、表 1.4にR8C/1Bグループの製品一覧表を示します。

表 1.3 R8C/1Aグループの製品一覧表

2006年12月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F211A1SP	4Kバイト	384バイト	PLSP0020JB-A	
R5F211A2SP	8Kバイト	512バイト	PLSP0020JB-A	
R5F211A3SP	12Kバイト	768バイト	PLSP0020JB-A	
R5F211A4SP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F211A1DSP	4Kバイト	384バイト	PLSP0020JB-A	Dバージョン
R5F211A2DSP	8Kバイト	512バイト	PLSP0020JB-A	
R5F211A3DSP	12Kバイト	768バイト	PLSP0020JB-A	
R5F211A4DSP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F211A1DD	4Kバイト	384バイト	PRDP0020BA-A	
R5F211A2DD	8Kバイト	512バイト	PRDP0020BA-A	
R5F211A3DD	12Kバイト	768バイト	PRDP0020BA-A	
R5F211A4DD	16Kバイト	1Kバイト	PRDP0020BA-A	
R5F211A2NP	8Kバイト	512バイト	PWQN0028KA-B	
R5F211A3NP	12Kバイト	768バイト	PWQN0028KA-B	
R5F211A4NP	16Kバイト	1Kバイト	PWQN0028KA-B	
R5F211A1XXXSP	4Kバイト	384バイト	PLSP0020JB-A	
R5F211A2XXXSP	8Kバイト	512バイト	PLSP0020JB-A	
R5F211A3XXXSP	12Kバイト	768バイト	PLSP0020JB-A	
R5F211A4XXXSP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F211A1DXXXSP	4Kバイト	384バイト	PLSP0020JB-A	Dバージョン
R5F211A2DXXXSP	8Kバイト	512バイト	PLSP0020JB-A	
R5F211A3DXXXSP	12Kバイト	768バイト	PLSP0020JB-A	
R5F211A4DXXXSP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F211A1XXXDD	4Kバイト	384バイト	PRDP0020BA-A	書き込み出荷品(注1)
R5F211A2XXXDD	8Kバイト	512バイト	PRDP0020BA-A	
R5F211A3XXXDD	12Kバイト	768バイト	PRDP0020BA-A	
R5F211A4XXXDD	16Kバイト	1Kバイト	PRDP0020BA-A	
R5F211A2XXXNP	8Kバイト	512バイト	PWQN0028KA-B	
R5F211A3XXXNP	12Kバイト	768バイト	PWQN0028KA-B	
R5F211A4XXXNP	16Kバイト	1Kバイト	PWQN0028KA-B	
R5F211A1XXXNP	4Kバイト	384バイト	PWQN0028KA-B	

注1.ユーザROMを書き込んで出荷します。

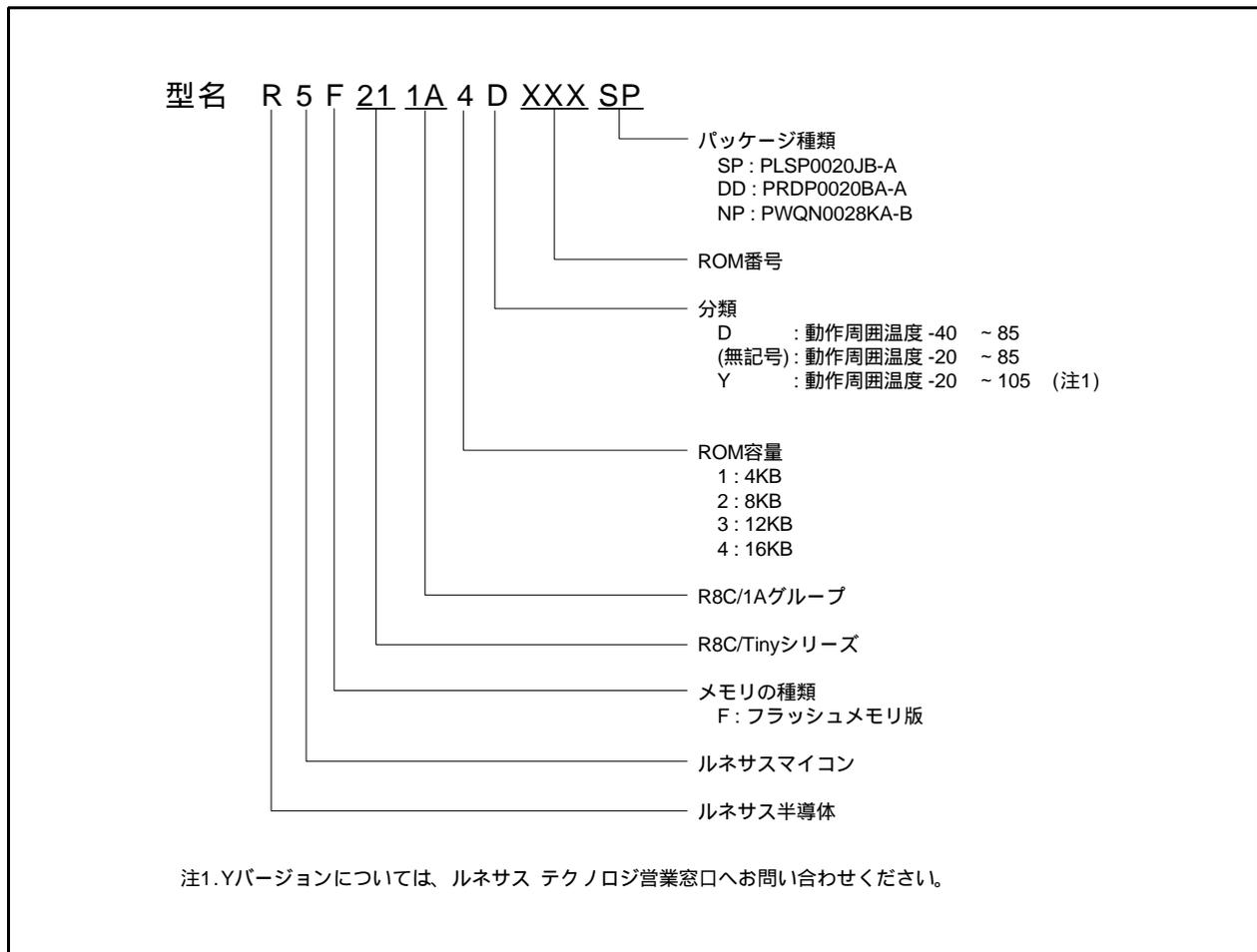


図 1.2 型名とメモリサイズ・パッケージ

表 1.4 R8C/1Bグループの製品一覧表

2006年12月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F211B1SP	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	
R5F211B2SP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F211B3SP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F211B4SP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F211B1DSP	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	Dバージョン
R5F211B2DSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F211B3DSP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F211B4DSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F211B1DD	4Kバイト	1Kバイト×2	384バイト	PRDP0020BA-A	
R5F211B2DD	8Kバイト	1Kバイト×2	512バイト	PRDP0020BA-A	
R5F211B3DD	12Kバイト	1Kバイト×2	768バイト	PRDP0020BA-A	
R5F211B4DD	16Kバイト	1Kバイト×2	1Kバイト	PRDP0020BA-A	
R5F211B2NP	8Kバイト	1Kバイト×2	512バイト	PWQN0028KA-B	
R5F211B3NP	12Kバイト	1Kバイト×2	768バイト	PWQN0028KA-B	
R5F211B4NP	16Kバイト	1Kバイト×2	1Kバイト	PWQN0028KA-B	
R5F211B1XXXSP	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	書き込み出荷品(注1)
R5F211B2XXXSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F211B3XXXSP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F211B4XXXSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F211B1DXXXSP	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	Dバージョン
R5F211B2DXXXSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F211B3DXXXSP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F211B4DXXXSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F211B1XXXDD	4Kバイト	1Kバイト×2	384バイト	PRDP0020BA-A	書き込み出荷品(注1)
R5F211B2XXXDD	8Kバイト	1Kバイト×2	512バイト	PRDP0020BA-A	
R5F211B3XXXDD	12Kバイト	1Kバイト×2	768バイト	PRDP0020BA-A	
R5F211B4XXXDD	16Kバイト	1Kバイト×2	1Kバイト	PRDP0020BA-A	
R5F211B2XXXNP	8Kバイト	1Kバイト×2	512バイト	PWQN0028KA-B	
R5F211B3XXXNP	12Kバイト	1Kバイト×2	768バイト	PWQN0028KA-B	
R5F211B4XXXNP	16Kバイト	1Kバイト×2	1Kバイト	PWQN0028KA-B	

注1.ユーザROMを書き込んで出荷します。

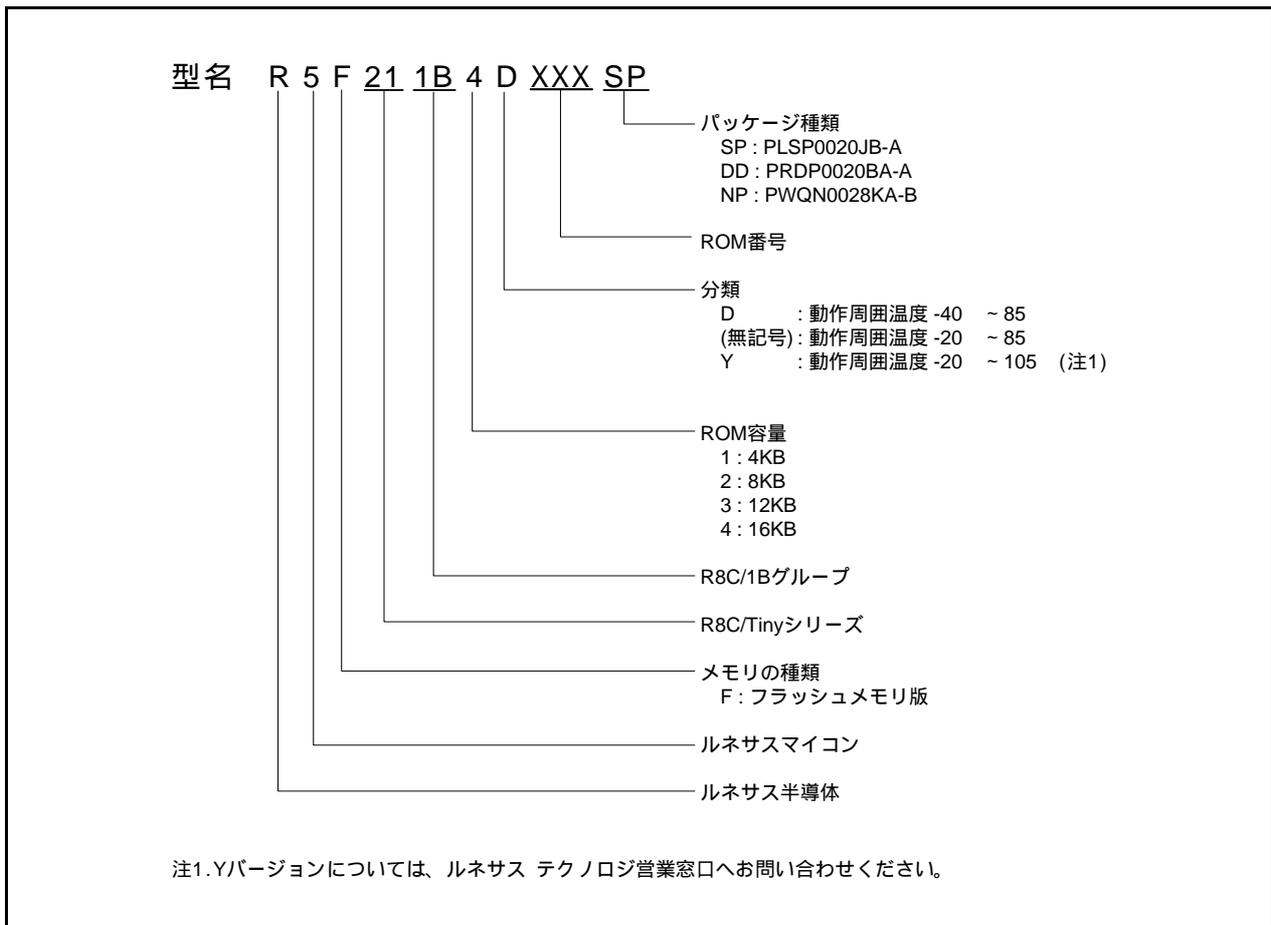


図 1.3 型名とメモリサイズ・パッケージ

## 1.5 ピン接続図

図 1.4にPLSP0020JB-Aパッケージ品のピン接続図(上面図)を、図 1.5にPRDP0020BA-Aパッケージ品のピン接続図(上面図)を、図 1.6にPWQN0028KA-Bパッケージ品のピン接続図(上面図)を示します。

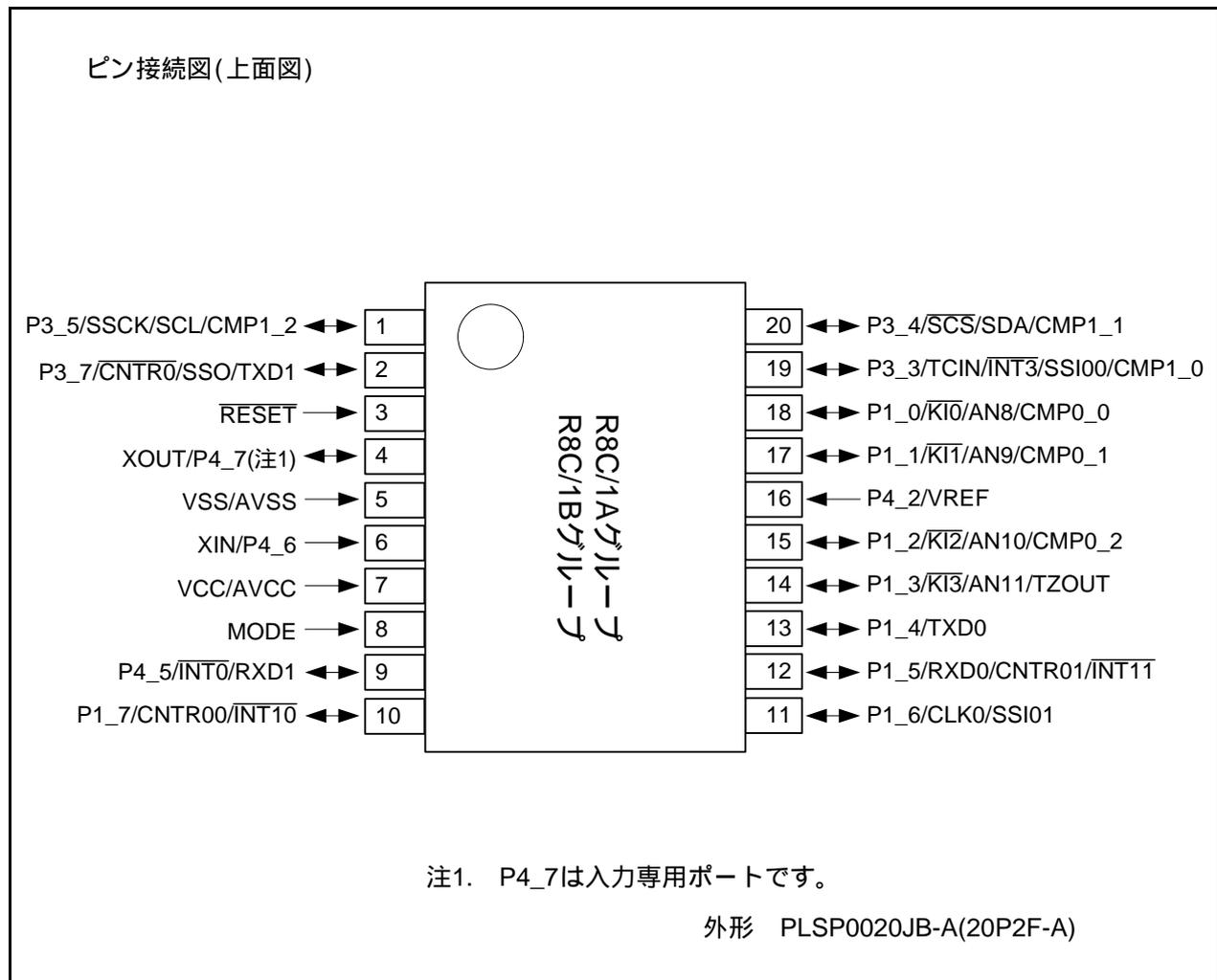


図 1.4 PLSP0020JB-Aパッケージ品のピン接続図(上面図)

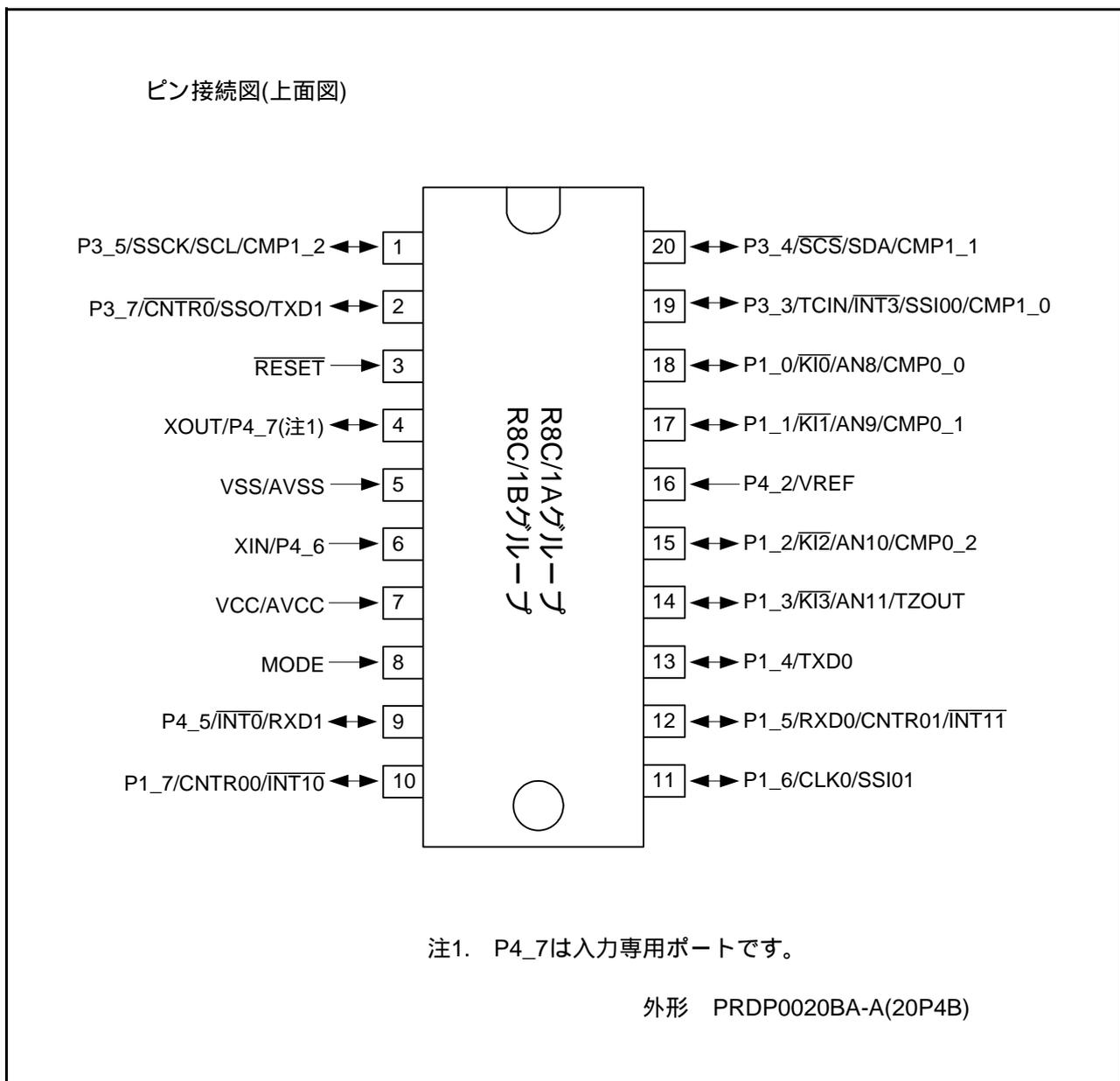


図 1.5 PRDP0020BA-Aパッケージ品のピン接続図(上面図)

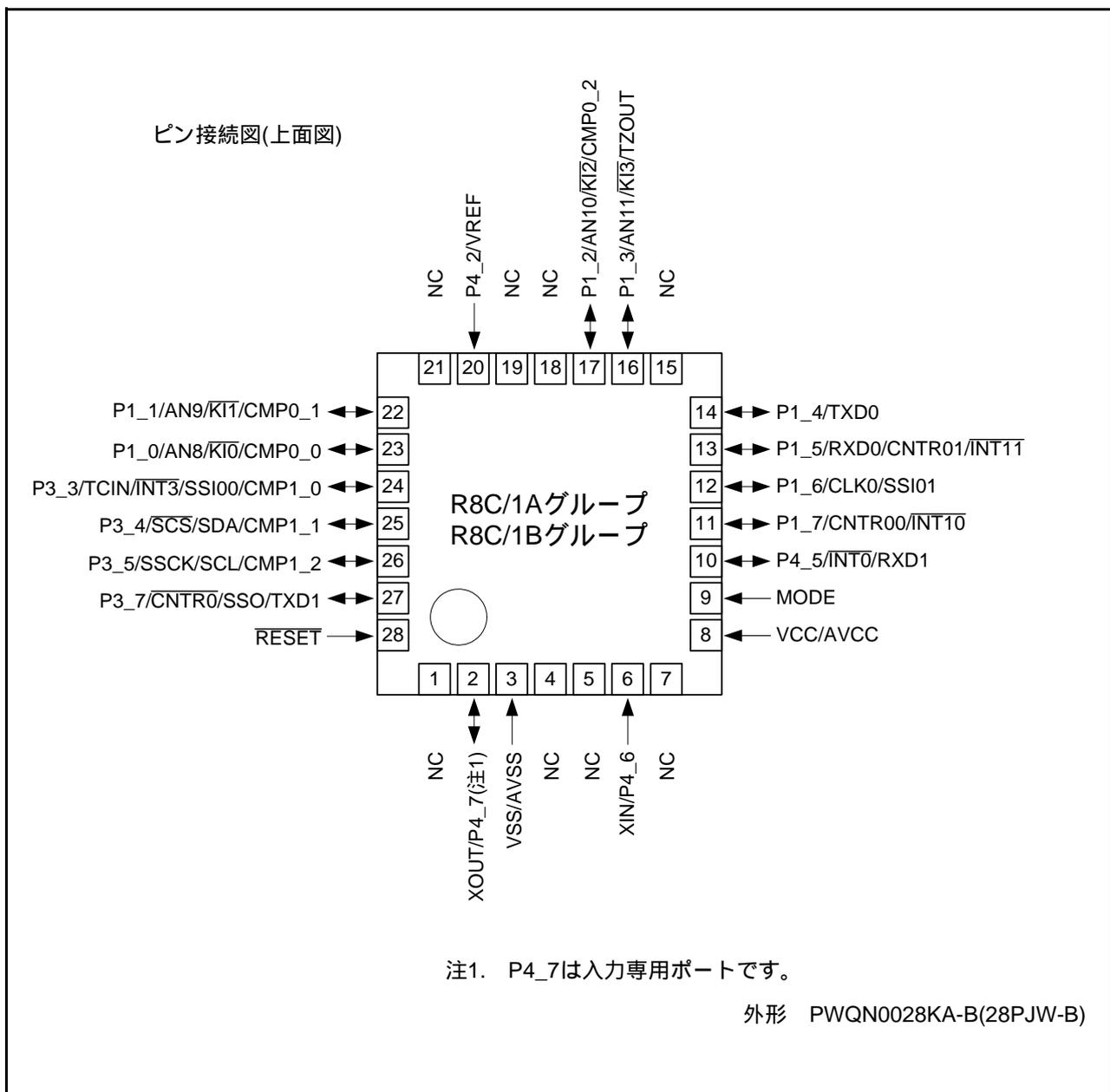


図 1.6 PWQN0028KA-Bパッケージ品のピン接続図(上面図)

## 1.6 端子の機能説明

表 1.5 に端子の機能説明を、表 1.6 に PLSP0020JB-A、PRDP0020BA-A パッケージ品のピン番号別端子名一覧を、表 1.7 に PWQN0028KA-B パッケージ品のピン番号別端子名一覧を示します。

表 1.5 端子の機能説明

分類	端子名	入出力	機能
電源入力	VCC、VSS	入力	VCCには、2.7V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	入力	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	
INT割り込み入力	INT0、INT1、INT3	入力	INT割り込みの入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマX	CNTR0	入出力	タイマXの入出力です。
	CNTR0	出力	タイマXの出力です。
タイマZ	TZOUT	出力	タイマZの出力です。
タイマC	TCIN	入力	タイマCの入力です。
	CMP0_0～CMP0_2、 CMP1_0～CMP1_2	出力	タイマCの出力です。
シリアルインタフェース	CLK0	入出力	転送クロック入出力です。
	RXD0、RXD1	入力	シリアルデータ入力です。
	TXD0、TXD1	出力	シリアルデータ出力です。
チップセレクト付クロック同期形シリアルI/O(SSU)	SSI00、SSI01	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
I <sup>2</sup> Cバスインタフェース	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN8～AN11	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P1_0～P1_7、 P3_3～P3_5、 P3_7、P4_5	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP1_0～P1_3はLED駆動ポートとして使用できません。
入力ポート	P4_2、P4_6、 P4_7	入力	入力専用ポートです。

表 1.6 PLSP0020JB-A、PRDP0020BA-Aパッケージ品のピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアルインタフェース	チップセレクト付クロック同期形シリアルI/O	I <sup>2</sup> Cバスインタフェース	A/Dコンバータ
1		P3_5		CMP1_2		SSCK	SCL	
2		P3_7		CNTR0	TXD1	SSO		
3	RESET							
4	XOUT	P4_7						
5	VSS/AVSS							
6	XIN	P4_6						
7	VCC/AVCC							
8	MODE							
9		P4_5	INT0		RXD1			
10		P1_7	INT10	CNTR00				
11		P1_6			CLK0	SSI01		
12		P1_5	INT11	CNTR01	RXD0			
13		P1_4			TXD0			
14		P1_3	KI3	TZOUT				AN11
15		P1_2	KI2	CMP0_2				AN10
16	VREF	P4_2						
17		P1_1	KI1	CMP0_1				AN9
18		P1_0	KI0	CMP0_0				AN8
19		P3_3	INT3	TCIN/CMP1_0		SSI00		
20		P3_4		CMP1_1		SCS	SDA	

表 1.7 PWQN0028KA-Bパッケージ品のピン番号別端子名一覧

ピン 番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタ フェース	チップセレクト 付クロック同期 形シリアルI/O	I <sup>2</sup> Cバスイン タフェース	A/Dコン バータ
1	NC							
2	XOUT	P4_7						
3	VSS/AVSS							
4	NC							
5	NC							
6	XIN	P4_6						
7	NC							
8	VCC/AVCC							
9	MODE							
10		P4_5	$\overline{\text{INT0}}$		RXD1			
11		P1_7	$\overline{\text{INT10}}$	CNTR00				
12		P1_6			CLK0	SSI01		
13		P1_5	$\overline{\text{INT11}}$	CNTR01	RXD0			
14		P1_4			TXD0			
15	NC							
16		P1_3	$\overline{\text{KI3}}$	TZOUT				AN11
17		P1_2	$\overline{\text{KI2}}$	CMP0_2				AN10
18	NC							
19	NC							
20	VREF	P4_2						
21	NC							
22		P1_1	$\overline{\text{KI1}}$	CMP0_1				AN9
23		P1_0	$\overline{\text{KI0}}$	CMP0_0				AN8
24		P3_3	$\overline{\text{INT3}}$	TCIN/CMP1_0		SSI00		
25		P3_4		CMP1_1		$\overline{\text{SCS}}$	SDA	
26		P3_5		CMP1_2		SSCK	SCL	
27		P3_7		$\overline{\text{CNTR0}}$	TXD1	SSO		
28	$\overline{\text{RESET}}$							

## 2. 中央演算処理装置 (CPU)

図 2.1 に CPU のレジスタを示します。CPU には 13 個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FB はレジスタバンクを構成しています。レジスタバンクは 2 セットあります。

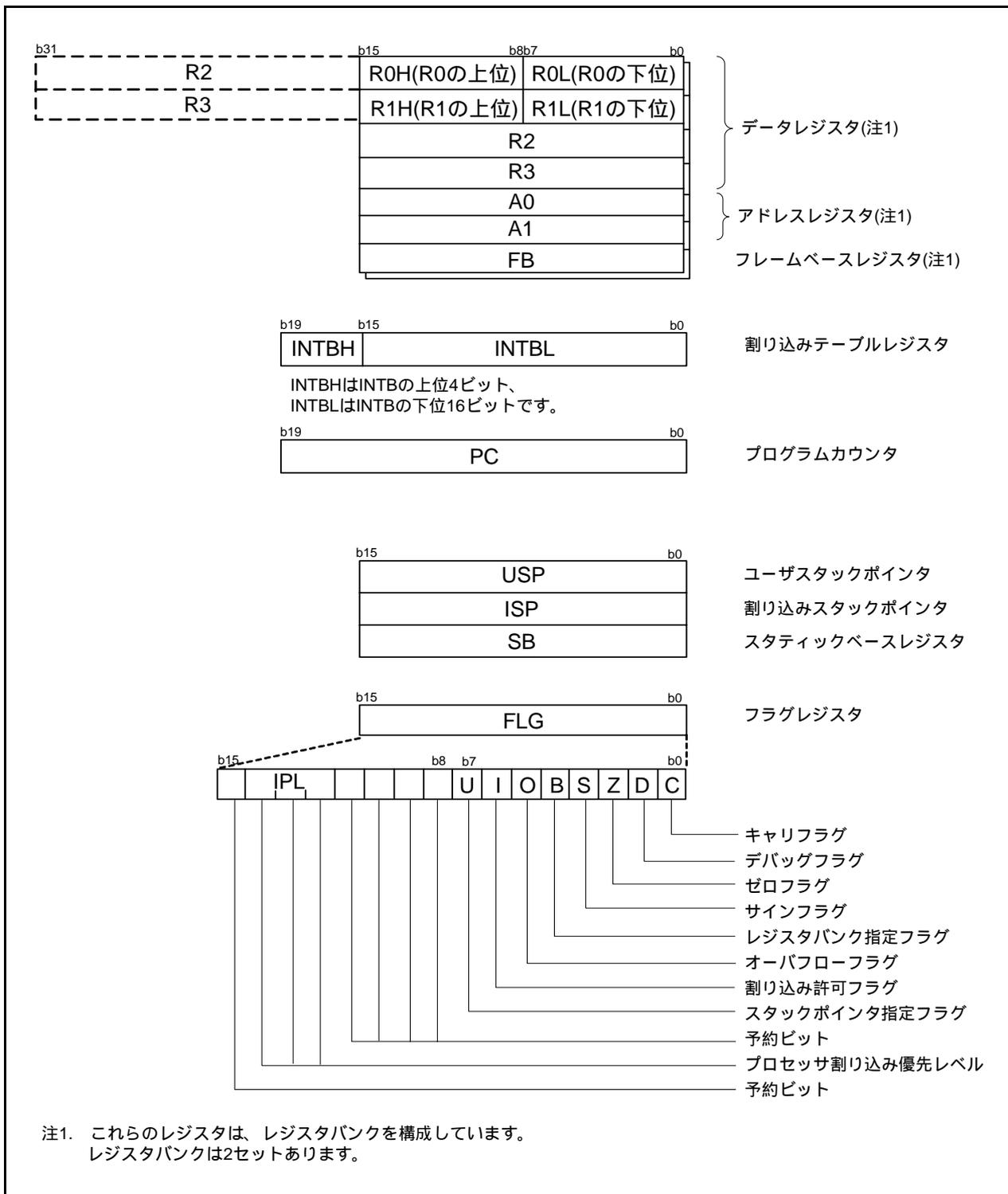


図 2.1 CPU のレジスタ

## 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

## 2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

### 2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

### 2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

### 2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

### 3. メモリ

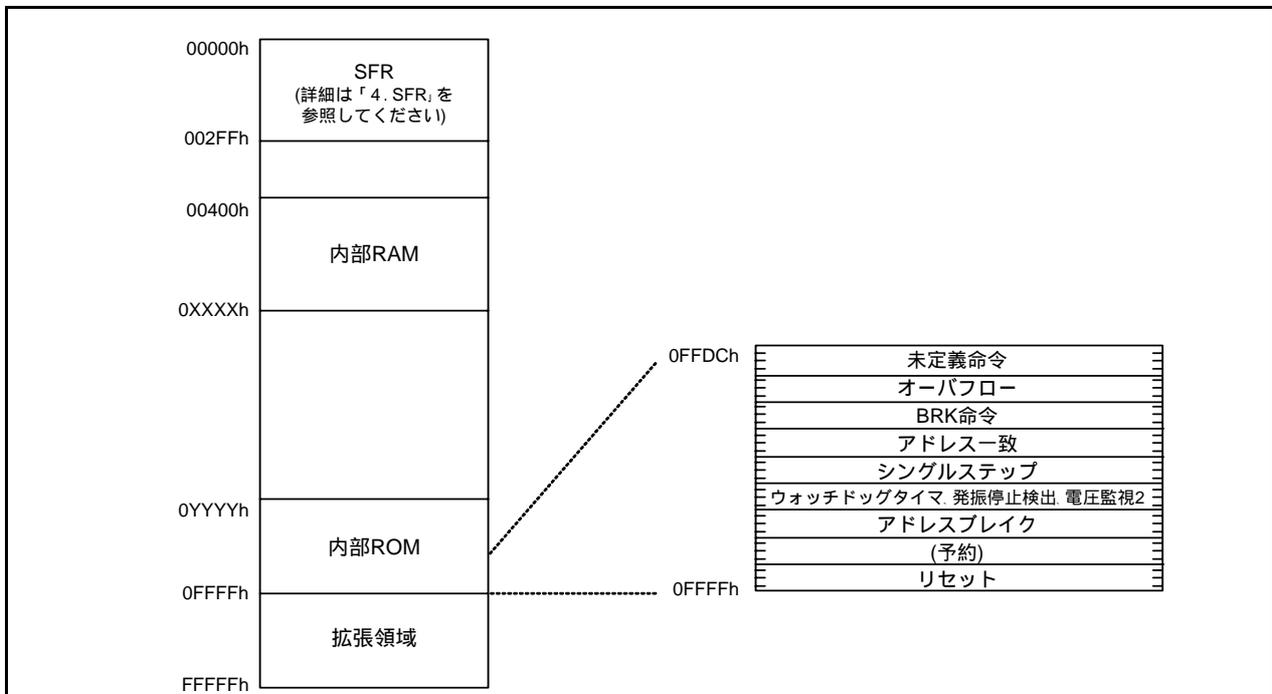
#### 3.1 R8C/1Aグループ

図 3.1にR8C/1Aグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。



注1. 空欄は予約領域です。アクセスしないでください。

型名	内部ROM		内部RAM	
	容量	0YYYYh番地	容量	0XXXXh番地
R5F211A4SP, R5F211A4DSP, R5F211A4DD, R5F211A4NP, R5F211A4XXXSP, R5F211A4DXXXSP, R5F211A4XXXDD, R5F211A4XXXNP	16Kバイト	0C000h	1Kバイト	007FFh
R5F211A3SP, R5F211A3DSP, R5F211A3DD, R5F211A3NP, R5F211A3XXXSP, R5F211A3DXXXSP, R5F211A3XXXDD, R5F211A3XXXNP	12Kバイト	0D000h	768バイト	006FFh
R5F211A2SP, R5F211A2DSP, R5F211A2DD, R5F211A2NP, R5F211A2XXXSP, R5F211A2DXXXSP, R5F211A2XXXDD, R5F211A2XXXNP	8Kバイト	0E000h	512バイト	005FFh
R5F211A1SP, R5F211A1DSP, R5F211A1DD, R5F211A1XXXSP, R5F211A1DXXXSP, R5F211A1XXXDD	4Kバイト	0F000h	384バイト	0057Fh

図 3.1 R8C/1Aグループのメモリ配置図

### 3.2 R8C/1Bグループ

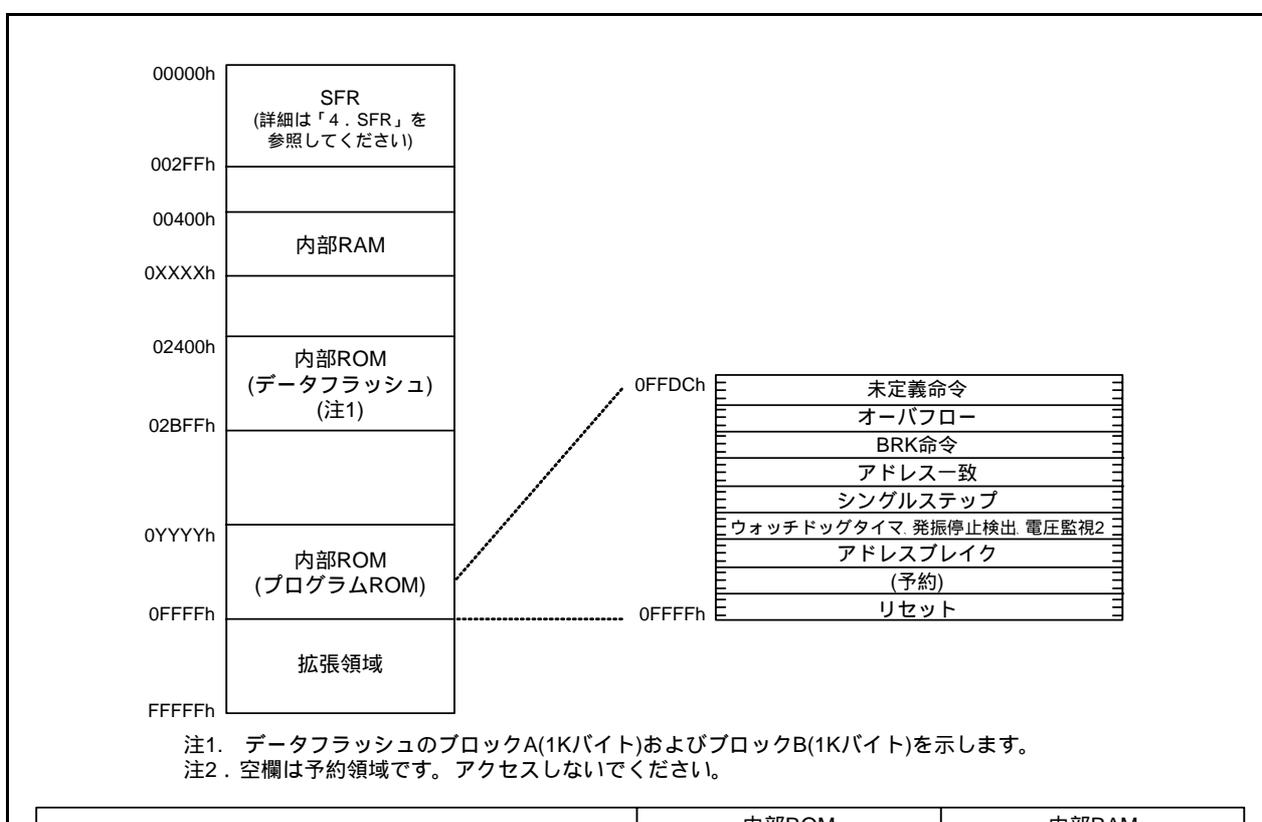
図 3.2にR8C/1Bグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02400h番地から02BFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。



型名	内部ROM		内部RAM	
	容量	0YYYYYh番地	容量	0XXXXh番地
R5F211B4SP, R5F211B4DSP, R5F211B4DD, R5F211B4NP, R5F211B4XXXSP, R5F211B4DXXXSP, R5F211B4XXXDD, R5F211B4XXXNP	16Kバイト	0C000h	1Kバイト	007FFh
R5F211B3SP, R5F211B3DSP, R5F211B3DD, R5F211B3NP, R5F211B3XXXSP, R5F211B3DXXXSP, R5F211B3XXXDD, R5F211B3XXXNP	12Kバイト	0D000h	768バイト	006FFh
R5F211B2SP, R5F211B2DSP, R5F211B2DD, R5F211B2NP, R5F211B2XXXSP, R5F211B2DXXXSP, R5F211B2XXXDD, R5F211B2XXXNP	8Kバイト	0E000h	512バイト	005FFh
R5F211B1SP, R5F211B1DSP, R5F211B1DD, R5F211B1XXXSP, R5F211B1DXXXSP, R5F211B1XXXDD	4Kバイト	0F000h	384バイト	0057Fh

図 3.2 R8C/1Bグループのメモリ配置図

## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表 4.1 ~ 表 4.4 にSFR一覧を示します。

表 4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	00h
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	01101000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ 0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	アドレス一致割り込みレジスタ 1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h
001Dh			
001Eh	INT0 入力フィルタ選択レジスタ	INT0F	00h
001Fh			
0020h	高速オンチップオシレータ制御レジスタ 0	HRA0	00h
0021h	高速オンチップオシレータ制御レジスタ 1	HRA1	出荷時の値
0022h	高速オンチップオシレータ制御レジスタ 2	HRA2	00h
0023h			
0024h			
0025h			
002Fh			
0030h			
0031h	電圧検出レジスタ 1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ 2 (注2)	VCA2	00h (注3) 01000000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視 1 回路制御レジスタ (注2)	VW1C	0000X000b (注3) 0100X001b (注4)
0037h	電圧監視 2 回路制御レジスタ (注5)	VW2C	00h
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは変化しません。

注 3. ハードウェアリセットの場合。

注 4. パワーオンリセット、電圧監視 1 リセットの場合。

注 5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは b2、b3 は変化しません。

X: 不定です。

表 4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IIC割り込み制御レジスタ (注2)	SSUAIC/IIC2AIC	XXXXX000b
0050h	コンペア1割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h			
0056h	タイマX割り込み制御レジスタ	TXIC	XXXXX000b
0057h			
0058h	タイマZ割り込み制御レジスタ	TZIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XXXXX000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XXXXX000b
005Bh	タイマC割り込み制御レジスタ	TCIC	XXXXX000b
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表 4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	タイマZモードレジスタ	TZMR	00h
0081h			
0082h			
0083h			
0084h	タイマZ波形出力制御レジスタ	PUM	00h
0085h	プリスケアラZレジスタ	PREZ	FFh
0086h	タイマZセカンダリレジスタ	TZSC	FFh
0087h	タイマZプライマリレジスタ	TZPR	FFh
0088h			
0089h			
008Ah	タイマZ出力制御レジスタ	TZOC	00h
008Bh	タイマXモードレジスタ	TXMR	00h
008Ch	プリスケアラXレジスタ	PREX	FFh
008Dh	タイマXレジスタ	TX	FFh
008Eh	タイマカウントソース設定レジスタ	TCSS	00h
008Fh			
0090h	タイマCレジスタ	TC	00h
0091h			00h
0092h			
0093h			
0094h			
0095h			
0096h	外部入力許可レジスタ	INTEN	00h
0097h			
0098h	キー入力許可レジスタ	KIEN	00h
0099h			
009Ah	タイマC制御レジスタ0	TCC0	00h
009Bh	タイマC制御レジスタ1	TCC1	00h
009Ch	キャプチャ、コンペア0レジスタ	TM0	0000h(注2)
009Dh			FFFFh(注3)
009Eh	コンペア1レジスタ	TM1	FFh
009Fh			FFh
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART1送受信モードレジスタ	U1MR	00h
00A9h	UART1ビットレートレジスタ	U1BRG	XXh
00AAh	UART1送信バッファレジスタ	U1TB	XXh
00ABh			XXh
00ACh	UART1送受信制御レジスタ0	U1C0	00001000b
00ADh	UART1送受信制御レジスタ1	U1C1	00000010b
00AEh	UART1受信バッファレジスタ	U1RB	XXh
00AFh			XXh
00B0h	UART送受信制御レジスタ2	UCON	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH/IICバス制御レジスタ1	(注4) SSCRH / ICCR1	00h
00B9h	SS制御レジスタL/IICバス制御レジスタ2	(注4) SSCRL / ICCR2	01111101b
00BAh	SSモードレジスタ/IICバスモードレジスタ	(注4) SSMR / ICMR	00011000b
00BBh	SS許可レジスタ/IIC割り込み許可レジスタ	(注4) SSER / ICIER	00h
00BCh	SSステータスレジスタ/IICバスステータスレジスタ	(注4) SSSR / ICSR	00h / 0000X000b
00BDh	SSモードレジスタ2/スレーブアドレスレジスタ	(注4) SSMR2 / SAR	00h
00BEh	SS送信データレジスタ/IICバス送信データレジスタ	(注4) SSTDR / ICDRT	FFh
00BFh	SS受信データレジスタ/IICバス受信データレジスタ	(注4) SSRDR / ICDRR	FFh

注1. 空欄は予約領域です。アクセスしないでください。

注2. インพุットキャプチャモードの場合。

注3. アウトプットコンペアモードの場合。

注4. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表 4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 制御レジスタ 2	ADCON2	00h
00D5h			
00D6h	A/D 制御レジスタ 0	ADCON0	00000XXXb
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポート P1 レジスタ	P1	XXh
00E2h			
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h			
00E5h	ポート P3 レジスタ	P3	XXh
00E6h			
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h			
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h	ポートモードレジスタ	PMR	00h
00F9h			
00FAh			
00FBh			
00FCh	ブルアップ制御レジスタ 0	PUR0	00XX0000b
00FDh	ブルアップ制御レジスタ 1	PUR1	XXXXXX0Xb
00FEh	ポート P1 駆動能力制御レジスタ	DRR	00h
00FFh	タイマ C 出力制御レジスタ	TCOUT	00h
01B3h	フラッシュメモリ制御レジスタ 4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0	FMR0	00000001b
0FFFh	オプション機能選択レジスタ	OFS	(注 2)

注 1. 空欄および0100h～01B2h番地、01B8h～02FFh番地は予約領域です。アクセスしないでください。

注 2. OFSレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

## 5. 電気的特性

Yバージョン (Topr = - 20 ~ 105 )の電気的特性については、ルネサス テクノロジ営業窓口へお問い合わせください。

表5.1 絶対最大定格

記号	項目	測定条件	定格値	単位
Vcc	電源電圧	Vcc = AVcc	- 0.3 ~ 6.5	V
AVcc	アナログ電源電圧	Vcc = AVcc	- 0.3 ~ 6.5	V
Vi	入力電圧		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力	Topr = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85 / - 40 ~ 85 (Dバージョン)	
Tstg	保存温度		- 65 ~ 150	

表5.2 推奨動作条件

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Vcc	電源電圧		2.7		5.5	V		
AVcc	アナログ電源電圧			Vcc		V		
Vss	電源電圧			0		V		
AVss	アナログ電源電圧			0		V		
VIH	“ H ” 入力電圧		0.8Vcc		Vcc	V		
VIL	“ L ” 入力電圧		0		0.2Vcc	V		
IOH(sum)	“ H ” 尖頭総出力電流	全端子の IOH(peak) の総和			- 60	mA		
IOH(peak)	“ H ” 尖頭出力電流				- 10	mA		
IOH(avg)	“ H ” 平均出力電流				- 5	mA		
IOL(sum)	“ L ” 尖頭総出力電流	全端子の IOL(peak) の総和			60	mA		
IOL(peak)	“ L ” 尖頭出力電流	P1_0 ~ P1_3以外			10	mA		
		P1_0 ~ P1_3	駆動能力HIGH		30	mA		
			駆動能力LOW		10	mA		
IOL(avg)	“ L ” 平均出力電流	P1_0 ~ P1_3以外			5	mA		
		P1_0 ~ P1_3	駆動能力HIGH		15	mA		
			駆動能力LOW		5	mA		
f(XIN)	メインクロック入力発振周波数	3.0 V Vcc 5.5 V	0		20	MHz		
		2.7 V Vcc < 3.0 V	0		10	MHz		
	システムクロック	OCD2= “ 0 ” メインクロック選択時	3.0 V Vcc 5.5 V	0		20	MHz	
			2.7 V Vcc < 3.0 V	0		10	MHz	
		OCD2= “ 1 ” オンチップオシレータクロック選択時	HRA01= “ 0 ” 低速オンチップオシレータ選択時		125			kHz
			HRA01= “ 1 ” 高速オンチップオシレータ選択時		8			MHz

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. 平均出力電流は100 msの期間内での平均値です。

表 5.3 A/Dコンバータ特性

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能		Vref = Vcc			10	Bit
	絶対精度	10ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V			± 3	LSB
		8ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V			± 2	LSB
		10ビットモード	AD = 10 MHz、Vref = Vcc = 3.3 V(注3)			± 5	LSB
		8ビットモード	AD = 10 MHz、Vref = Vcc = 3.3 V(注3)			± 2	LSB
Rladder	ラダ - 抵抗		Vref = Vcc	10		40	k
tconv	変換時間	10ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V	3.3			μs
		8ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V	2.8			μs
Vref	基準電圧			2.7		Vcc	V
VIA	アナログ入力電圧(注4)			0		AVcc	V
	A/D動作クロック 周波数(注2)	サンプル&ホールドなし		0.25		10	MHz
		サンプル&ホールドあり		1		10	MHz

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. f1が10 MHzを超える場合は分周し、A/D動作クロック周波数(AD)が10 MHz以下になるようにしてください。

注3. AVccが4.2 V未満の場合はf1を分周し、A/D動作クロック周波数(AD)がf1/2以下になるように調整してください。

注4. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

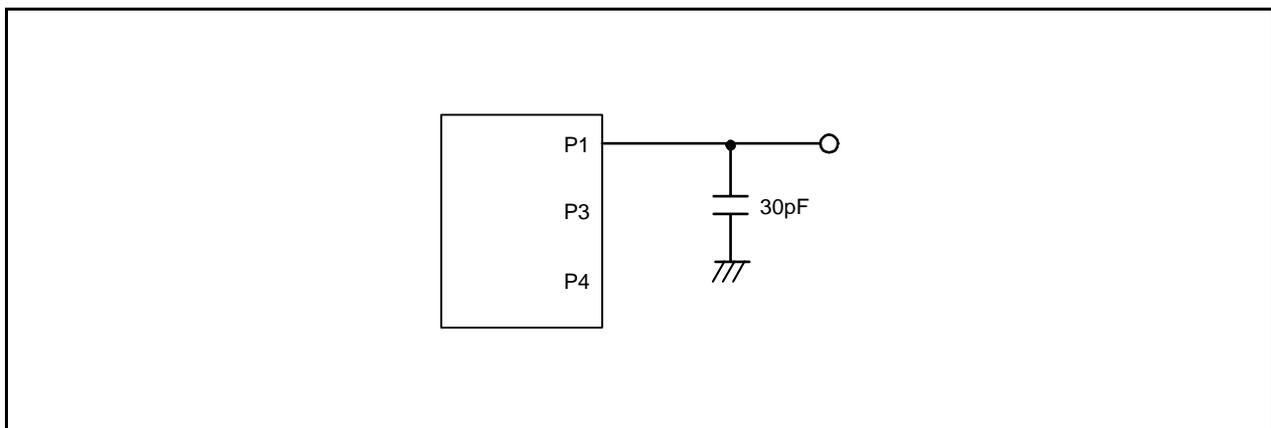


図5.1 ポートP1、P3、P4の測定回路

表5.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/1Aグループ	100(注3)			回
		R8C/1Bグループ	1000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注8)	周囲温度=55	20			年

注1. 指定のない場合は、V<sub>cc</sub> = 2.7 V ~ 5.5 V、T<sub>opr</sub> = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注4. 緊急処理等が必要な場合は本規格によらずサスペンド要求を発生することができます。その場合も通常のサスペンドへの遷移時間で要求が受け付けられます。ただし常時サスペンド状態になると消去が進まず、消去エラー発生確率が高くなるため、650 μs未満のサスペンド要求は1回までを推奨します。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. 電源電圧またはクロックが印加されていない時間を含みます。

表5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度=55	20			年

注1. 指定のない場合は、V<sub>cc</sub> = 2.7 V ~ 5.5 V、T<sub>opr</sub> = -20 ~ 85 / -40 ~ 85 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 緊急処理等が必要な場合は本規格によらずサスペンド要求を発生することができます。その場合も通常のサスペンドへの遷移時間で要求が受け付けられます。ただし常時サスペンド状態になると消去が進まず、消去エラー発生確率が高くなるため、650 μs未満のサスペンド要求は1回までを推奨します。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40 。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

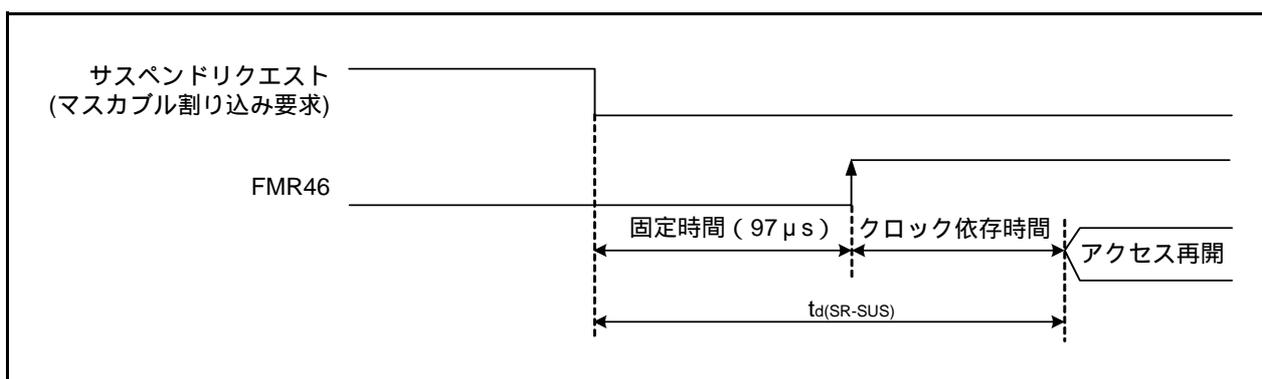


図5.2 サスペンドへの遷移時間

表5.6 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>det1</sub>	電圧検出レベル(注3)		2.70	2.85	3.00	V
	電圧検出回路の自己消費電流	VCA26 = 1、V <sub>cc</sub> =5.0V		600		nA
t <sub>d(E-A)</sub>	電圧検出回路動作開始までの待ち時間(注2)				100	μs
V <sub>ccmin</sub>	マイコンの動作電圧の最小値		2.7			V

注1. 測定条件はV<sub>cc</sub> = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 です。

注2. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. V<sub>det2</sub> > V<sub>det1</sub> になります。

表5.7 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>det2</sub>	電圧検出レベル(注4)		3.00	3.30	3.60	V
	電圧監視2割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、V <sub>cc</sub> =5.0V		600		nA
t <sub>d(E-A)</sub>	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はV<sub>cc</sub> = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 です。

注2. V<sub>det2</sub>を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. V<sub>det2</sub> > V<sub>det1</sub> になります。

表 5.8 リセット回路の電気的特性(電圧監視1リセット使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor2	パワーオンリセットが有効になる電圧	- 20 Topr 85			Vdet1	V
tw(Vpor2-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間(注1)	- 20 Topr 85 、 tw(por2) 0 s(注3)			100	ms

注1. Vcc 1.0 Vで使用する場合、この条件は不要です。

注2. 外部電源を有効電圧(Vpor1)以下に保持する時間が10sを越えた後に電源を立ち上げる場合は、「表 5.9 リセット回路の電気的特性(電圧監視1リセット未使用時)」を参照してください。

注3. tw(por2)は外部電源を有効電圧(Vpor2)以下に保持する時間です。

表 5.9 リセット回路の電気的特性(電圧監視1リセット未使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor1	パワーオンリセットが有効になる電圧	- 20 Topr 85			0.1	V
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 10 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 30 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 10 s(注2)			1	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 1 s(注2)			0.5	ms

注1. 電圧監視1リセットを使用しない場合、Vcc 2.7 Vで使用してください。

注2. tw(por1)は外部電源を有効電圧(Vpor1)以下に保持する時間です。

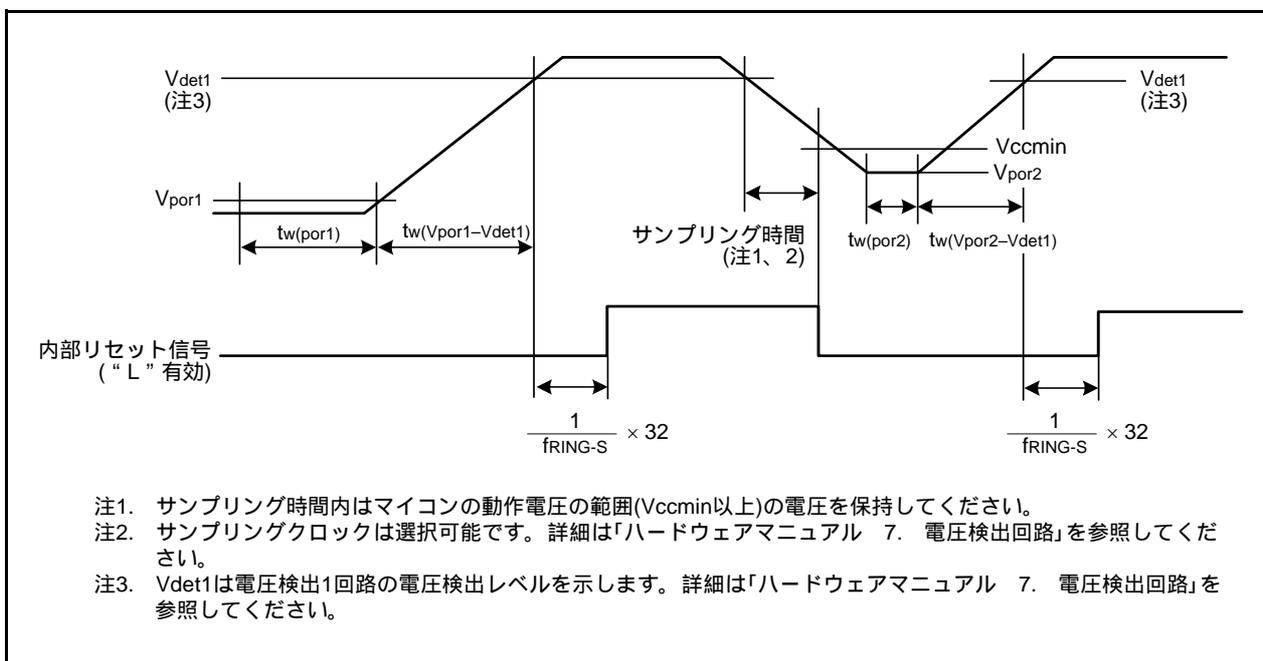


図 5.3 リセット回路の電気的特性

表5.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	Vcc=5.0V、Topr=25		8		MHz
	高速オンチップオシレータ発振周波数の温度・電圧依存性(注2)	0 ~ + 60 / 5 V ± 5 % (注3)	7.76		8.24	MHz
		- 20 ~ + 85 / 2.7 ~ 5.5 V (注3)	7.68		8.32	MHz
		- 40 ~ + 85 / 2.7 ~ 5.5 V (注3)	7.44		8.32	MHz

注1. 測定条件はVcc = 5.0 V、Topr = 25 です。

注2. 高速オンチップオシレータクロックの使用上の注意事項については、「ハードウェアマニュアル 10.6.4 高速オンチップオシレータクロック」を参照してください。

注3. HRA1レジスタが出荷時の値、HRA2レジスタが00hのときの規格値です。

表5.11 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP解除時間(注3)				150	μs

注1. 測定条件はVcc = 2.7 V ~ 5.5 V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表5.12 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tCYC (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tSUCYC
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tCYC (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tCYC (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tCYC (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tCYC+50			ns
tLAG	SCSホールド時間	スレーブ		1tCYC+50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tCYC (注2)
tSA	SSIスレーブアクセス時間					1.5tCYC+100	ns
tOR	SSIスレーブアウト開放時間					1.5tCYC+100	ns

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85 / - 40 ~ 85 です。

注2. 1tCYC=1/f1 (s)

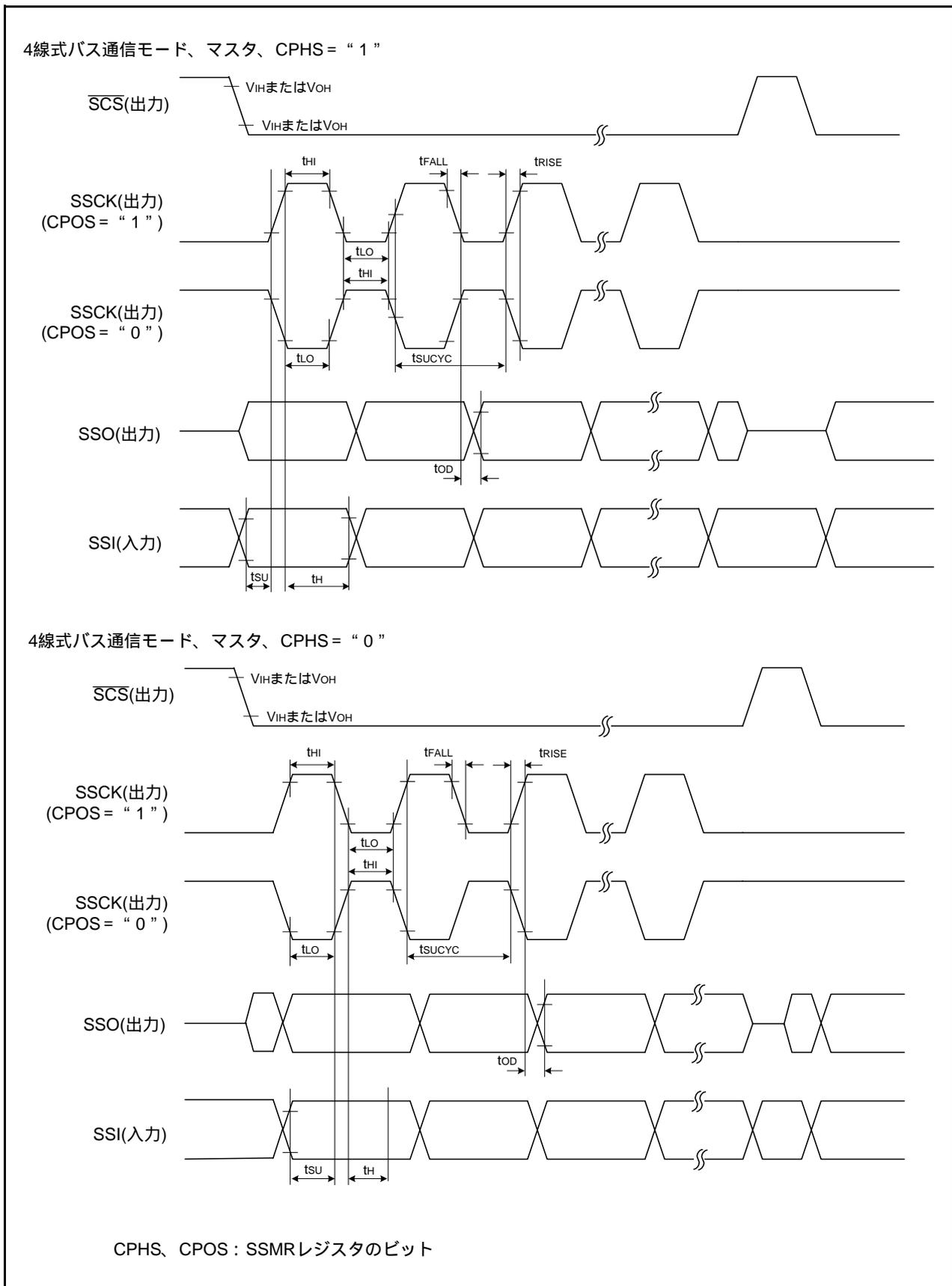


図5.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

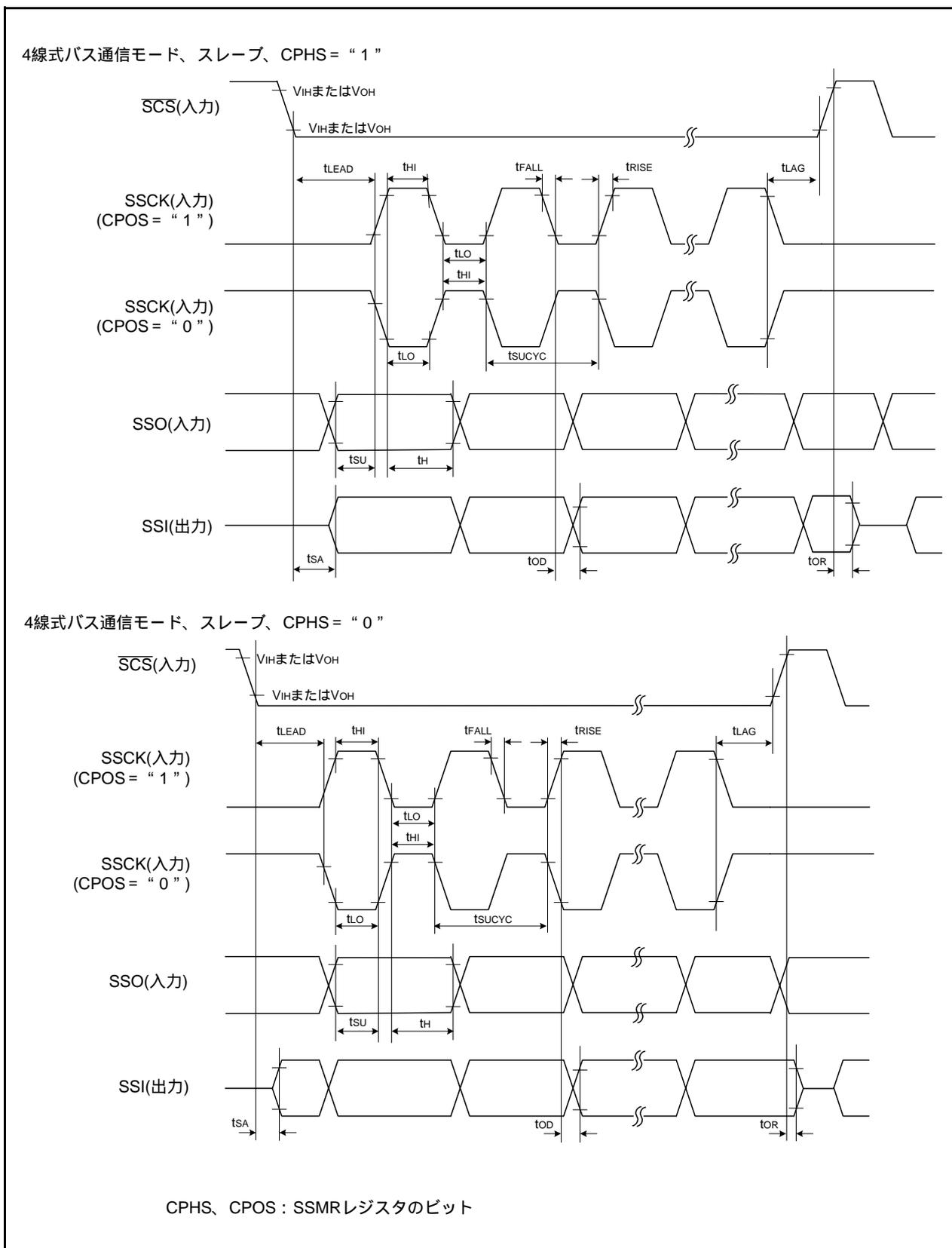


図5.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

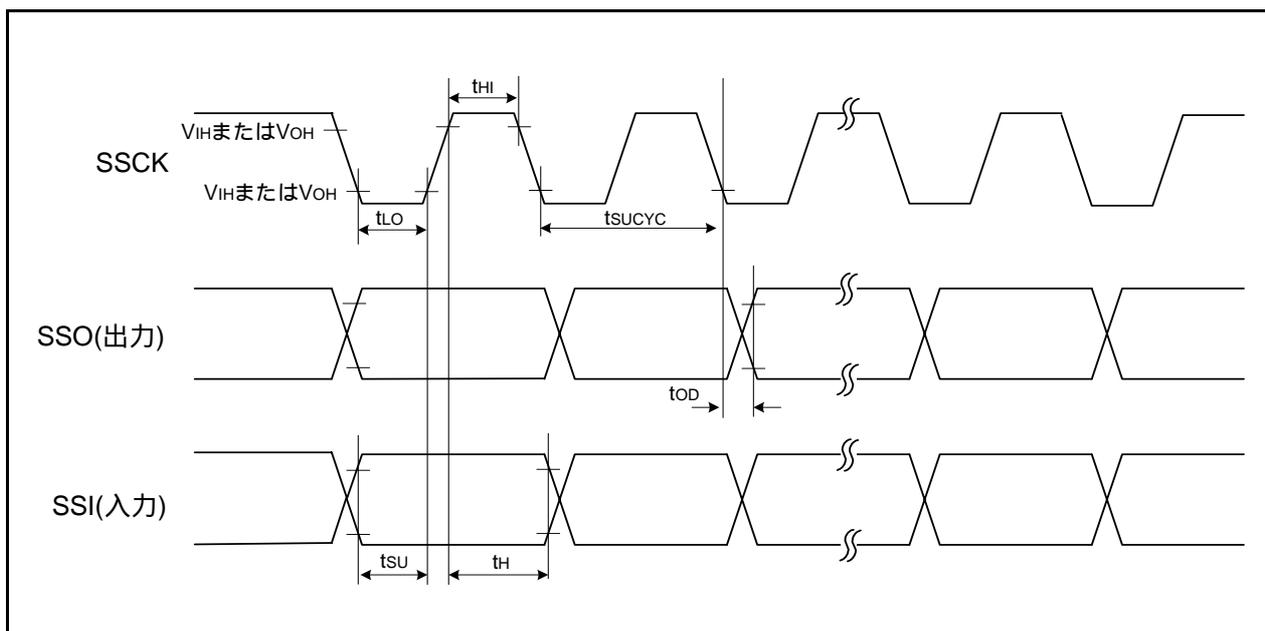


図5.6 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表5.13 I<sup>2</sup>Cバスインターフェースのタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600 (注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc + 300 (注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc + 300 (注2)			ns
tst	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入カスパイクパルス除去時間				1tcyc (注2)	ns
tBUF	SDA入力パスフリー時間		5tcyc (注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc (注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc (注2)			ns
tSTOS	停止条件入力セットアップ時間		3tcyc (注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 20 (注2)			ns
tSDAH	データ入力ホールド時間		0			ns

注1. 指定のない場合は、V<sub>CC</sub> = 2.7V ~ 5.5V、V<sub>SS</sub> = 0V、T<sub>a</sub> = - 20 ~ 85 / - 40 ~ 85 です。

注2. 1tcyc = 1/f<sub>1</sub> (s)

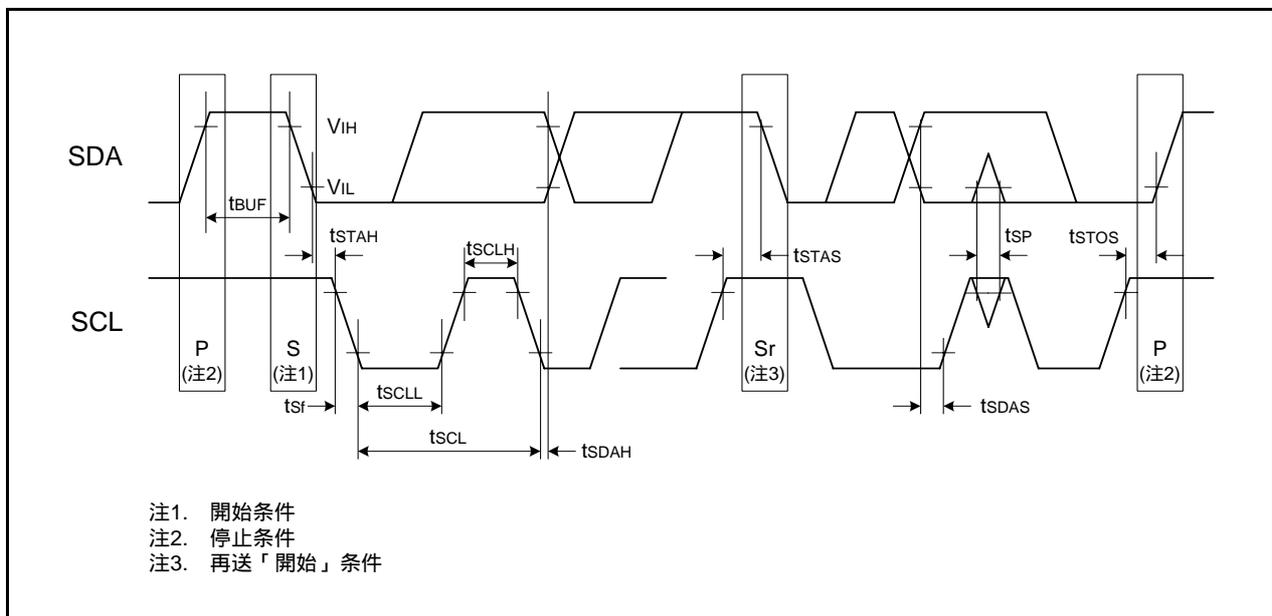
図5.7 I<sup>2</sup>Cバスインターフェースの入出力タイミング

表5.14 電気的特性(1) [ Vcc = 5 V ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“ H ” 出力電圧	XOUT以外	I <sub>OH</sub> = - 5 mA		V <sub>CC</sub> - 2.0		V <sub>CC</sub>	V
			I <sub>OH</sub> = - 200 μA		V <sub>CC</sub> - 0.3		V <sub>CC</sub>	V
		XOUT	駆動能力HIGH	I <sub>OH</sub> = - 1 mA	V <sub>CC</sub> - 2.0		V <sub>CC</sub>	V
			駆動能力LOW	I <sub>OH</sub> = - 500 μA	V <sub>CC</sub> - 2.0		V <sub>CC</sub>	V
VOL	“ L ” 出力電圧	P1_0 ~ P1_3、XOUT以外	I <sub>OL</sub> = 5 mA				2.0	V
			I <sub>OL</sub> = 200 μA				0.45	V
		P1_0 ~ P1_3	駆動能力HIGH	I <sub>OL</sub> = 15 mA			2.0	V
			駆動能力LOW	I <sub>OL</sub> = 5 mA			2.0	V
			駆動能力LOW	I <sub>OL</sub> = 200 μA			0.45	V
		XOUT	駆動能力HIGH	I <sub>OL</sub> = 1 mA			2.0	V
駆動能力LOW	I <sub>OL</sub> = 500 μA				2.0	V		
VT+-VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 CNTR0、CNTR1、 TCIN、RXD0			0.2		1.0	V
		RESET			0.2		2.2	V
I <sub>IH</sub>	“ H ” 入力電流		V <sub>I</sub> = 5 V				5.0	μA
I <sub>IL</sub>	“ L ” 入力電流		V <sub>I</sub> = 0 V				- 5.0	μA
R <sub>PULLUP</sub>	プルアップ抵抗		V <sub>I</sub> = 0 V		30	50	167	k
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN				1.0		M
f <sub>RING-S</sub>	低速オンチップオシレータ発振周波数				40	125	250	kHz
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V<sub>CC</sub> = 4.2 V ~ 5.5 V、T<sub>opr</sub> = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 20 MHzです。

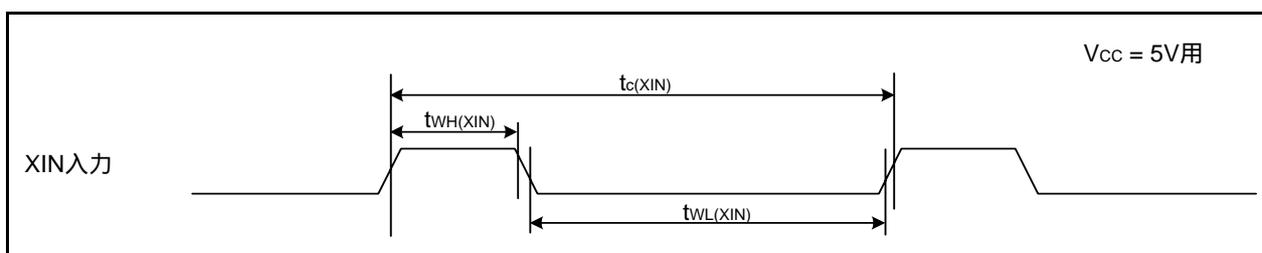
表5.15 電気的特性(2) [Vcc = 5 V](指定のない場合は、Topr = - 40 ~ 85 )

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 3.3 V ~ 5.5 V) シングルチップモードで、出力端子は開放、その他の端子はVss、A/Dコンバータ停止時	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		9	15	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	14	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		4		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2		mA
		高速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		4	8	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周 FMR47 = " 1 "		110	300	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = " 0 "		40	80	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = " 0 "		38	76	μA
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = " 0 "		0.8	3.0	μA

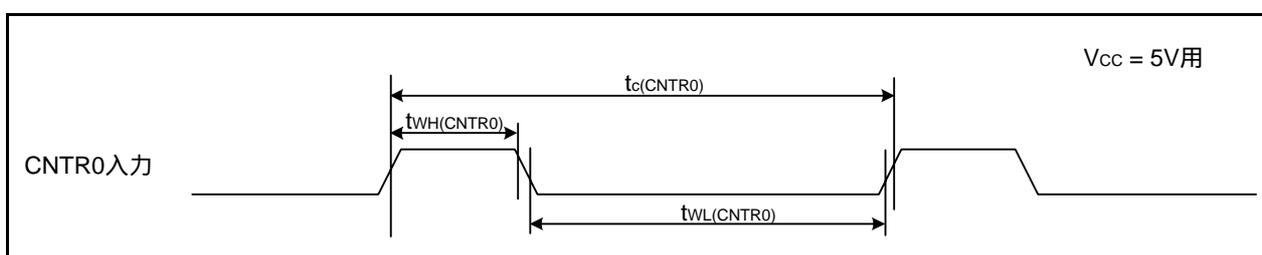
タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$ ) [ $V_{CC}=5V$ ]

表5.16 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	50		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	25		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	25		ns

図5.8  $V_{CC}=5V$ 時のXIN入力タイミング表5.17 CNTR0入力、CNTR1入力、 $\overline{INT1}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(CNTR0)$	CNTR0入力サイクル時間	100		ns
$t_{WH}(CNTR0)$	CNTR0入力“H”パルス幅	40		ns
$t_{WL}(CNTR0)$	CNTR0入力“L”パルス幅	40		ns

図5.9  $V_{CC}=5V$ 時のCNTR0入力、CNTR1入力、 $\overline{INT1}$ 入力タイミング表5.18 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TCIN)$	TCIN入力サイクル時間	400(注1)		ns
$t_{WH}(TCIN)$	TCIN入力“H”パルス幅	200(注2)		ns
$t_{WL}(TCIN)$	TCIN入力“L”パルス幅	200(注2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

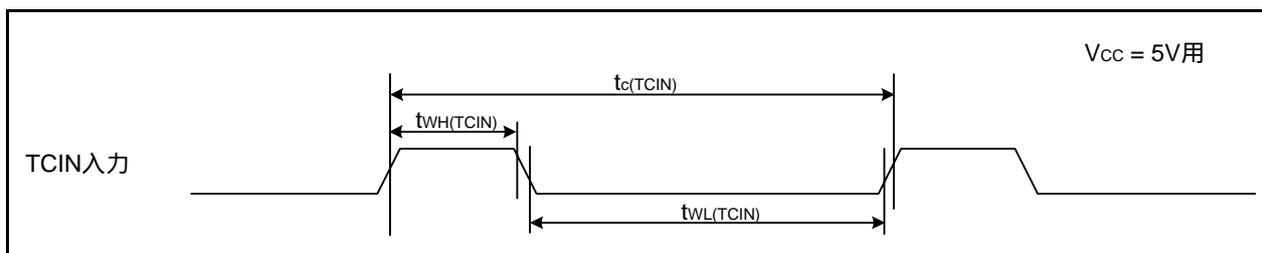
図5.10  $V_{CC}=5V$ 時のTCIN入力、 $\overline{INT3}$ 入力タイミング

表5.19 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

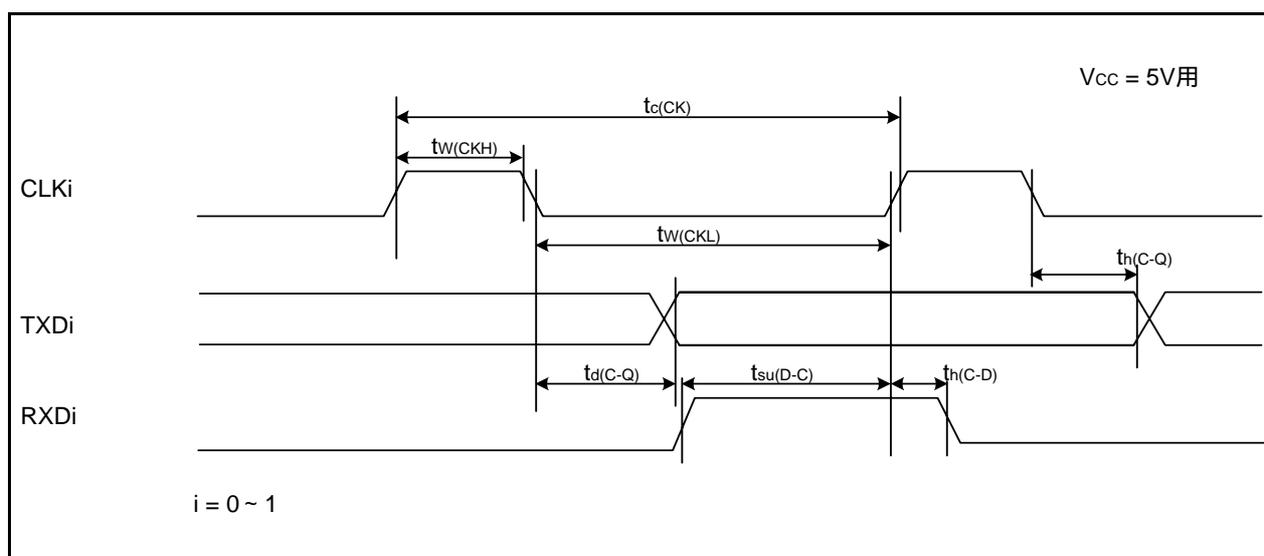


図5.11 Vcc=5V時のシリアルインタフェースのタイミング

表5.20 外部割りこみINT0入力

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INT0入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	INT0入力“L”パルス幅	250(注2)		ns

注1. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

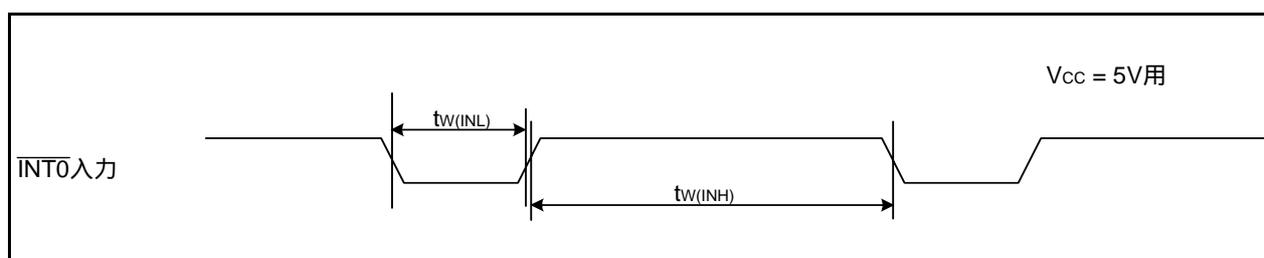


図5.12 Vcc=5V時の外部割りこみINT0入力タイミング

表5.21 電気的特性(3) [ Vcc = 3 V ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	I <sub>OH</sub> = - 1 mA		V <sub>CC</sub> - 0.5		V <sub>CC</sub>	V
		XOUT	駆動能力HIGH	I <sub>OH</sub> = - 0.1 mA	V <sub>CC</sub> - 0.5		V <sub>CC</sub>	V
			駆動能力LOW	I <sub>OH</sub> = - 50 μA	V <sub>CC</sub> - 0.5		V <sub>CC</sub>	V
VOL	“L”出力電圧	P1_0 ~ P1_3、XOUT以外	I <sub>OL</sub> = 1 mA				0.5	V
		P1_0 ~ P1_3	駆動能力HIGH	I <sub>OL</sub> = 2 mA			0.5	V
			駆動能力LOW	I <sub>OL</sub> = 1 mA			0.5	V
		XOUT	駆動能力HIGH	I <sub>OL</sub> = 0.1 mA			0.5	V
			駆動能力LOW	I <sub>OL</sub> = 50 μA			0.5	V
VT+ - VT-	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>CNTR0</u> 、 <u>CNTR1</u> 、 <u>TCIN</u> 、 <u>RXD0</u>			0.2		0.8	V
		<u>RESET</u>			0.2		1.8	V
I <sub>IH</sub>	“H”入力電流		V <sub>I</sub> = 3 V				4.0	μA
I <sub>IL</sub>	“L”入力電流		V <sub>I</sub> = 0 V				- 4.0	μA
R <sub>PULLUP</sub>	プルアップ抵抗		V <sub>I</sub> = 0 V		66	160	500	k
R <sub>fXIN</sub>	帰還抵抗	XIN				3.0		M
f <sub>RING-S</sub>	低速オンチップオシレータ発振周波数				40	125	250	kHz
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V<sub>CC</sub> = 2.7 V ~ 3.3 V、T<sub>opr</sub> = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 10 MHzです。

表5.22 電気的特性(4) [ Vcc = 3 V ](指定のない場合は、Topr = - 40 ~ 85 )

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.7 V ~ 3.3 V) シングルチップモード で、出力端子は開放、 その他の端子はVss、 A/Dコンバータ停止時	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	13	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		7	12	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2.5		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		1.6		mA
		高速オンチップ オシレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		3.5	7.5	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップ オシレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周 FMR47 = " 1 "		100	280	μ A
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = " 0 "		37	74	μ A
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = " 0 "		35	70	μ A
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = " 0 "		0.7	3.0	μ A

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$ ) [ $V_{CC}=3V$ ]

表5.23 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	100		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	40		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	40		ns

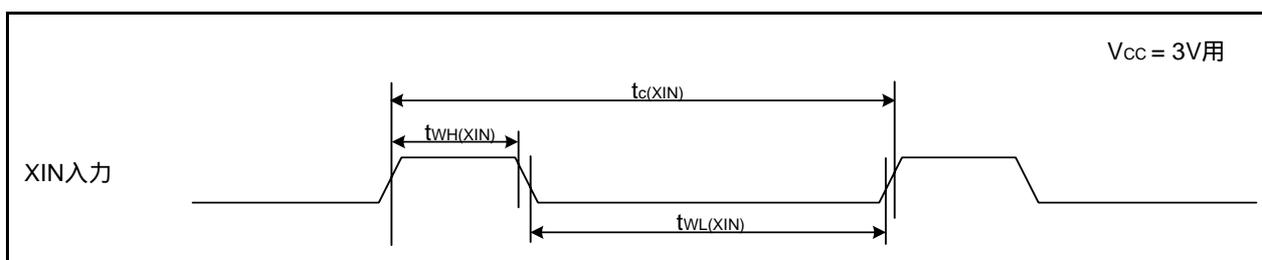


図 5.13  $V_{CC}=3V$ 時のXIN入力タイミング

表5.24 CNTR0入力、 $\overline{CNTR1}$ 入力、 $\overline{INT1}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(CNTR0)$	CNTR0入力サイクル時間	300		ns
$t_{WH}(CNTR0)$	CNTR0入力“H”パルス幅	120		ns
$t_{WL}(CNTR0)$	CNTR0入力“L”パルス幅	120		ns

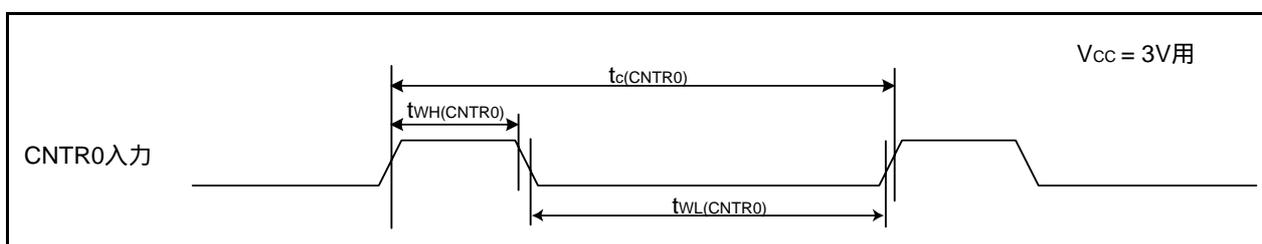


図 5.14  $V_{CC}=3V$ 時のCNTR0入力、 $\overline{CNTR1}$ 入力、 $\overline{INT1}$ 入力タイミング

表5.25 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TCIN)$	TCIN入力サイクル時間	1200(注1)		ns
$t_{WH}(TCIN)$	TCIN入力“H”パルス幅	600(注2)		ns
$t_{WL}(TCIN)$	TCIN入力“L”パルス幅	600(注2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

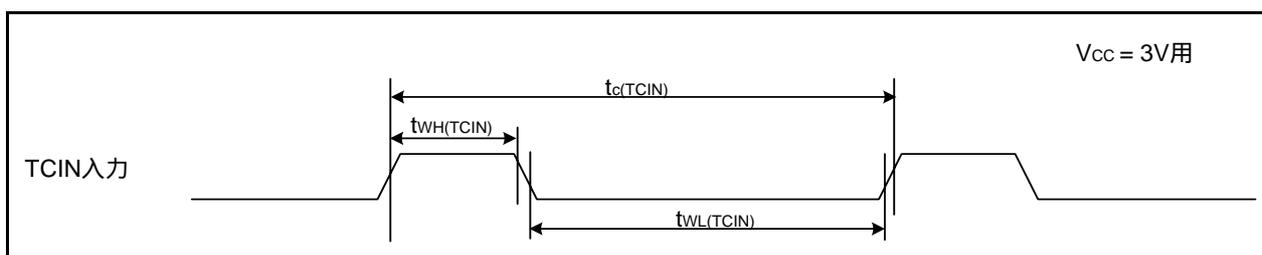


図 5.15  $V_{CC}=3V$ 時のTCIN入力、 $\overline{INT3}$ 入力タイミング

表5.26 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	300		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	150		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	150		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		80	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	70		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

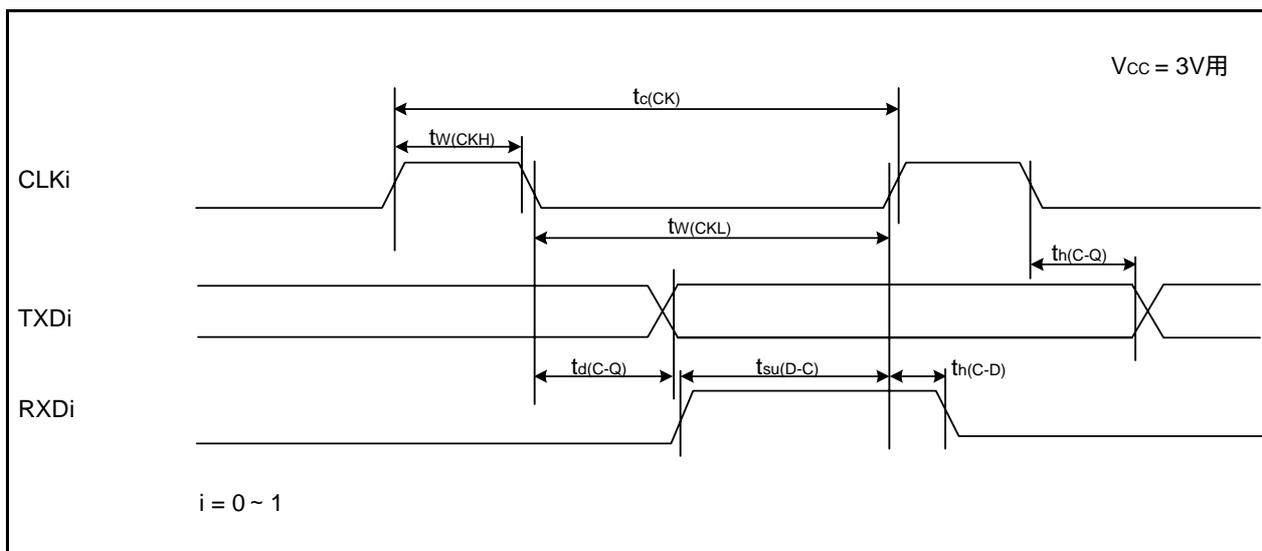


図 5.16 Vcc=3V時のシリアルインタフェースのタイミング

表5.27 外部割りこみINT0入力

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INT0入力“H”パルス幅	380(注1)		ns
$t_w(\text{INL})$	INT0入力“L”パルス幅	380(注2)		ns

注1. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

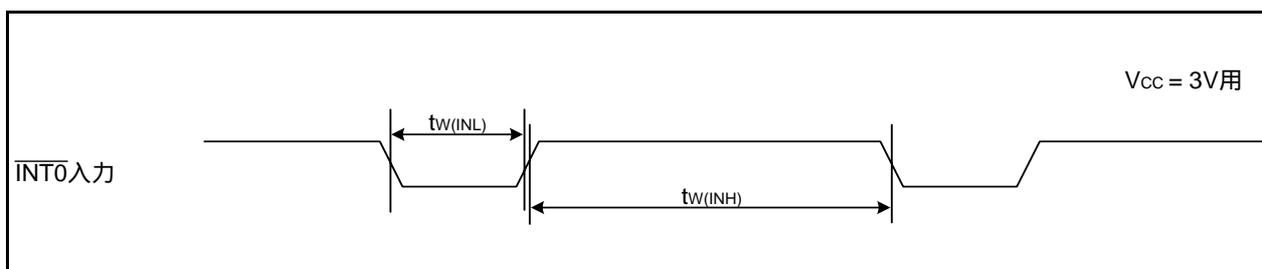
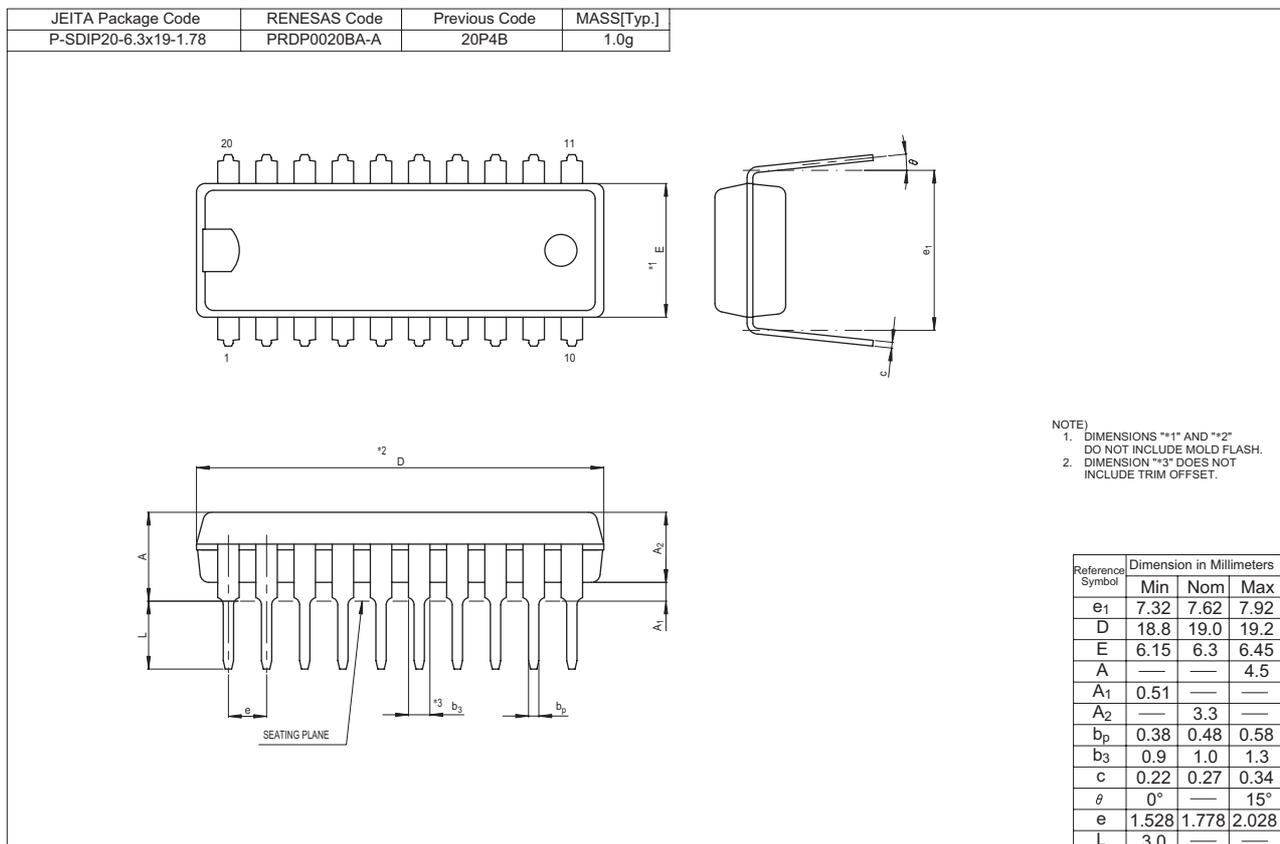
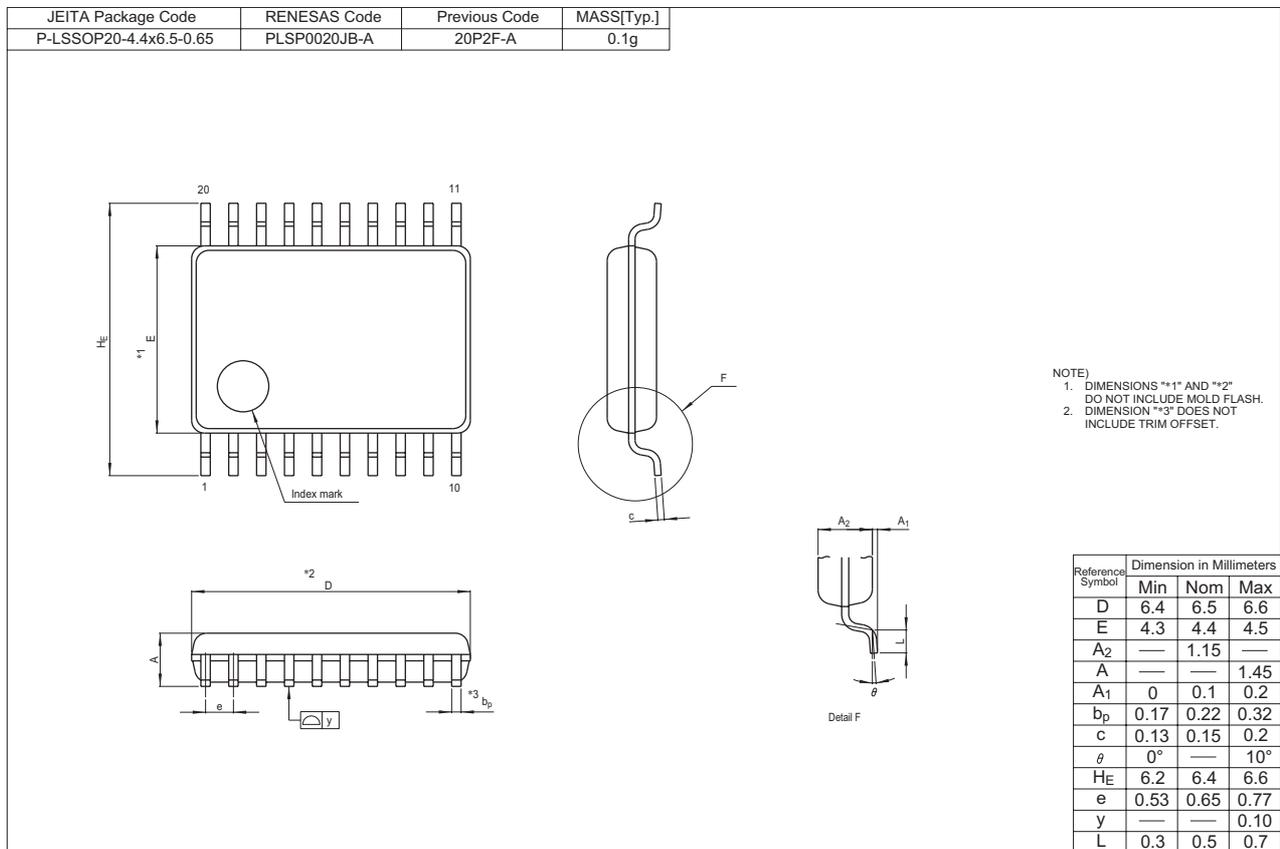
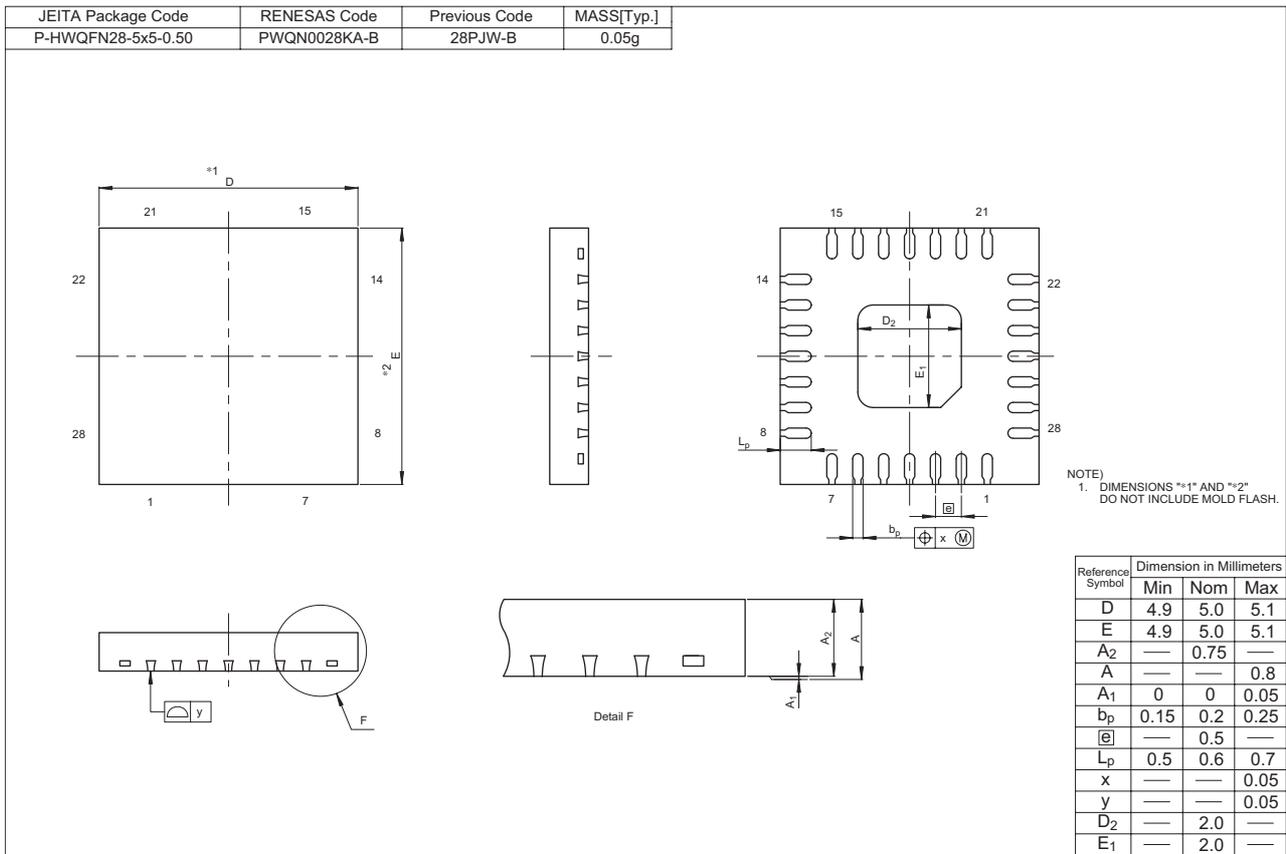


図 5.17 Vcc=3V時の外部割りこみINT0入力タイミング

### 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジーホームページの「パッケージ」に掲載されています。





改訂記録	R8C/1Aグループ、R8C/1Bグループデータシート
------	-----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2005.02.18	-	Rev.0.10発行
0.20	2005.06.01	2、3 9	表1.1、表1.2 項目名にクロック同期形シリアルインタフェースを追記 表1.5 タイマC端子名を修正、基準電圧入力機能を修正
0.30	2005.07.04	16  17  18  20 ~ 39	表4.1 0009h番地のリセット後の値「XXXXXX00b」を「00h」へ修正 0000A番地のリセット後の値「00XXX000b」を「00h」へ修正 001Eh番地のリセット後の値「XXXXX000b」を「00h」へ修正 表4.2 004Fh番地に「SSU 割り込み制御レジスタ/IIC 割り込み制御レジスタ、SSUAIC/IIC2AIC、XXXXX000b」を追記 表4.3 00BCh番地のリセット後の値「00h」を「00h/0000X000b」へ修正 5. 電気的特性 追加
1.00	2005.09.01	全ページ 3  4  5  6  9  11  13  15	開発中(暫定仕様書)の表記を削除 表1.2 R8C/1Bグループの性能概要 フラッシュメモリ: (データ領域) (データフラッシュ) (プログラム領域) (プログラムROM)へ変更 図1.1 ブロック図 「周辺機能」追記 「システムクロック発生」「システムクロック発生器」へ変更 表1.3 R8C/1Aグループの製品一覧表 一部型名の「(開)」表記、「(開):開発中」を削除 表1.4 R8C/1Bグループの製品一覧表 一部型名の「(開)」表記、「(開):開発中」を削除 ROM容量: データ領域 データフラッシュ プログラム領域 プログラムROMへ変更 表1.5 端子の機能説明 •電源入力「VCC/AVCC」「VCC <sub>L</sub> 」「VSS/AVSS」「VSS」へ変更 •アナログ電源入力行 追記 図2.1 CPUのレジスタ 「予約領域」「予約ビット」へ変更 2.8.10 予約領域 「予約領域」「予約ビット」へ変更 3.2 R8C/1Bグループ、図3.2 R8C/1Bグループのメモリ配置図 (データ領域) (データフラッシュ) (プログラム領域) (プログラムROM)へ変更

## 改訂記録

## R8C/1A グループ、R8C/1B グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.01	18	表4.3 SFR一覧(3) <ul style="list-style-type: none"> <li>•0085h プリスケールZ プリスケールZレジスタ</li> <li>•0086h タイマZセカンダリ タイマZセカンダリレジスタ</li> <li>•0087h タイマZプライマリ タイマZプライマリレジスタ</li> <li>•008Ch プリスケールX プリスケールXレジスタ</li> <li>•008Dh タイマX タイマXレジスタ</li> <li>•0090h, 0091h タイマC タイマCレジスタ</li> </ul>
		21	表5.3 A/Dコンバータ特性 V <sub>ref</sub> : 規格値、V <sub>IA</sub> : 規格値(最大)、注4 変更
		22	表5.4 フラッシュメモリ(プログラムROM)の電気的特性 注1~7 追記
		23	表5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性 注1、3 変更
		25	表5.8 リセット回路の電気的特性(電圧監視1リセット使用時) 注2 変更
		26	表5.10 高速オンチップオシレータ発振回路の電気的特性 「高速、発振の温度依存性」 「高速、発振周波数の温度依存性」 注2 追記
		33	表5.15 電気的特性(2) [V <sub>CC</sub> = 5 V] 注1 削除
		37	表5.22 電気的特性(4) [V <sub>CC</sub> = 3 V] 注1 削除
1.10	2005.12.16	-	PWQN0028KA-Bパッケージ製品を追加
		5、6	表1.3、表1.4 更新
		24	表5.4 フラッシュメモリ(プログラムROM)の電気的特性 注8 追記、 Topr 周囲温度
		25	表5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性 注9 追記、Topr 周囲温度
		28	表5.10 高速オンチップオシレータ発振回路の電気的特性 注3 追記
		29	表5.12 : t <sub>SA</sub> 、t <sub>OR</sub> 規格値を更新、注1 V <sub>CC</sub> =2.2V ~ 2.7V ~
		33	表5.13 : 注1 V <sub>CC</sub> =2.2V ~ 2.7V ~
		35、39	表5.15、表5.22 : 表題に追記、ストップモード測定条件に追記
		37、41	表5.19、表5.26 : t <sub>d</sub> (C-Q)、t <sub>su</sub> (D-C)規格値を更新
		42、43	外形寸法図を更新
1.20	2006.3.10	5、6	表1.3、表1.4 型名削除
		16、17	図3.1、図3.2 表中の型名削除
		24、25	表5.4、表5.5 測定条件「V <sub>CC</sub> = 5.0 V、Topr = 25」削除
1.30	2006.10.3	全ページ	Yバージョン 追加 書き込み出荷品 追加
		2、3	表1.1、表1.2 性能 割り込み : 「内部 : 9要因」 「内部 : 11要因」
		24	表5.2 項目 システムクロック 追記
		45	外形寸法図 「PWQN0028KA-B」 変更

改訂記録	R8C/1A グループ、R8C/1B グループデータシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2006.12.8	20	表4.1 000Fh 番地 リセット後の値 「000XXXXb」 「00X11111b」
		24	表5.2 システムクロック 変更

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 生命維持装置。
  - 人体に埋め込み使用するもの。
  - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)