

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C CPUコアを搭載したシングルチップマイクロコンピュータで、48ピンプラスチックモールドLQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

さらに、R8C/21グループはデータフラッシュ(1KB×2ブロック)を内蔵します。

R8C/20グループとR8C/21グループの違いはデータフラッシュの有無だけです。周辺機能は同一です。

1.1 応用

自動車、他

1.2 性能概要

表1.1にR8C/20グループの性能概要を、表1.2にR8C/21グループの性能概要を示します。

表1.1 R8C/20グループの性能概要

項目		性能	
CPU	基本命令数	89命令	
	最短命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1Mバイト	
	メモリ容量	表1.3を参照してください	
周辺機能	ポート	入出力:41本、入力:3本	
	タイマ	タイマRA:8ビット×1チャンネル タイマRB:8ビット×1チャンネル (各タイマ:8ビットプリスケアラ付) タイマRD:16ビット×2チャンネル (インプットキャプチャ回路、アウトプットコンペア回路) タイマRE:コンペアマッチ機能付	
	シリアルインタフェース	1チャンネル(UART0) クロック同期形シリアルI/O、クロック非同期形シリアルI/O 1チャンネル(UART1) クロック非同期形シリアルI/O	
	クロック同期形シリアル インタフェース	1チャンネル I ² Cバスインタフェース(注2)、チップセレクト付クロック 同期形シリアルI/O	
	LINモジュール	ハードウェアLIN:1チャンネル (タイマRA、UART0を使用)	
	A/Dコンバータ	10ビットA/Dコンバータ:1回路、12チャンネル	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能	
	割り込み	内部:11要因、外部:5要因、ソフトウェア:4要因、 割り込み優先レベル:7レベル	
	クロック発生回路	2回路 ・XINクロック発振回路(帰還抵抗内蔵) ・オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付	
	発振停止検出機能	XINクロック発振停止検出機能	
	電圧検出回路	内蔵	
	パワーオンリセット回路	内蔵	
	電气的特性	電源電圧	VCC=3.0~5.5V (f(XIN)=20MHz)(Jバージョン) VCC=3.0~5.5V (f(XIN)=16MHz)(Kバージョン) VCC=2.7~5.5V (f(XIN)=10MHz)
		消費電流	標準11.0mA(VCC=5V、f(XIN)=20MHz、高速オンチップオシ レータ発振停止時) 標準5.3mA(VCC=3V、f(XIN)=10MHz、高速オンチップオシ レータ発振停止時)
フラッシュ メモリ	プログラム、イレース電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレース回数	100回	
動作周囲温度		-40 ~ 85	
		-40 ~ 125 (オプション(注1))	
パッケージ		48ピンプラスチックモールドLQFP	

注1. オプション機能をご使用になる場合は、仕様をお問い合わせください。

注2. I²C busはオランダPHILIPS社の登録商標です。

表1.2 R8C/21グループの性能概要

項目		性能	
CPU	基本命令数	89命令	
	最短命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1Mバイト	
	メモリ容量	表1.4を参照してください	
周辺機能	ポート	入出力:41本、入力:3本	
	タイマ	タイマRA:8ビット×1チャンネル タイマRB:8ビット×1チャンネル (各タイマ:8ビットプリスケアラ付) タイマRD:16ビット×2チャンネル (インプットキャプチャ回路、アウトプットコンペア回路) タイマRE:コンペアマッチ機能付	
	シリアルインタフェース	1チャンネル(UART0) クロック同期形シリアルI/O、クロック非同期形シリアルI/O 1チャンネル(UART1) クロック非同期形シリアルI/O	
	クロック同期形シリアル インタフェース	1チャンネル I ² Cバスインタフェース(注2)、チップセレクト付クロック 同期形シリアルI/O	
	LINモジュール	ハードウェアLIN:1チャンネル (タイマRA、UART0を使用)	
	A/Dコンバータ	10ビットA/Dコンバータ:1回路、12チャンネル	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能	
	割り込み	内部:11要因、外部:5要因、ソフトウェア:4要因、 割り込み優先レベル:7レベル	
	クロック発生回路	2回路 ・XINクロック発振回路(帰還抵抗内蔵) ・オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付	
	発振停止検出機能	XINクロック発振停止検出機能	
	電圧検出回路	内蔵	
	パワーオンリセット回路	内蔵	
	電気的特性	電源電圧	VCC=3.0~5.5V (f(XIN)=20MHz)(Jバージョン) VCC=3.0~5.5V (f(XIN)=16MHz)(Kバージョン) VCC=2.7~5.5V (f(XIN)=10MHz)
		消費電流	標準11.0mA(VCC=5V、f(XIN)=20MHz、高速オンチップオシ レータ発振停止時) 標準5.3mA(VCC=3V、f(XIN)=10MHz、高速オンチップオシ レータ発振停止時)
	フラッシュ メモリ	プログラム、イレース電圧	VCC=2.7 ~ 5.5V
プログラム、イレース回数		10,000回(データフラッシュ) 1,000回(プログラムROM)	
動作周囲温度		-40 ~ 85	
		-40 ~ 125 (オプション(注1))	
パッケージ		48ピンプラスチックモールドLQFP	

注1. オプション機能をご使用になる場合は、仕様をお問い合わせください。

注2. I²C busはオランダPHILIPS社の登録商標です。

1.3 ブロック図

図1.1にブロック図を示します。

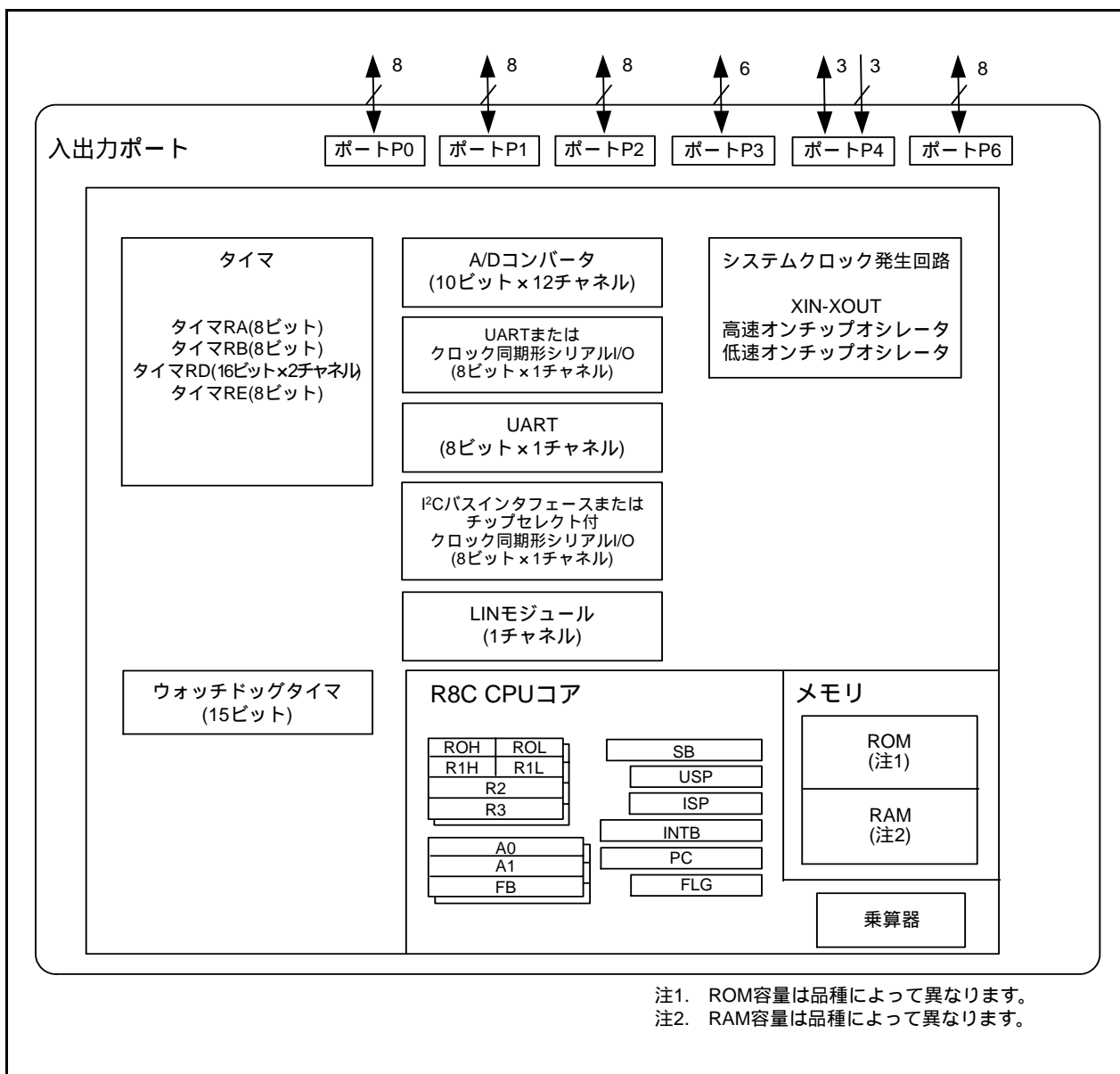


図1.1 ブロック図

1.4 製品一覧

表1.3にR8C/20グループの製品一覧表を、表1.4にR8C/21グループの製品一覧表を示します。

表1.3 R8C/20グループの製品一覧表

2008年8月現在

型名	ROM容量	RAM容量	パッケージ	備考	
R5F21206JFP	32Kバイト	2Kバイト	PLQP0048KB-A	Jバージョン	フラッシュメモリ版
R5F21207JFP	48Kバイト	2.5Kバイト	PLQP0048KB-A		
R5F21208JFP	64Kバイト	3Kバイト	PLQP0048KB-A		
R5F2120AJFP	96Kバイト	5Kバイト	PLQP0048KB-A		
R5F2120CJFP	128Kバイト(注1)	6Kバイト	PLQP0048KB-A		
R5F21206KFP	32Kバイト	2Kバイト	PLQP0048KB-A	Kバージョン	
R5F21207KFP	48Kバイト	2.5Kバイト	PLQP0048KB-A		
R5F21208KFP	64Kバイト	3Kバイト	PLQP0048KB-A		
R5F2120AKFP	96Kバイト	5Kバイト	PLQP0048KB-A		
R5F2120CKFP	128Kバイト(注1)	6Kバイト	PLQP0048KB-A		

注1. 20000h番地から23FFFh番地は、エミュレータデバuggを使用できません。

ハードウェアマニュアルの「23. エミュレータデバuggの注意事項」を参照ください。

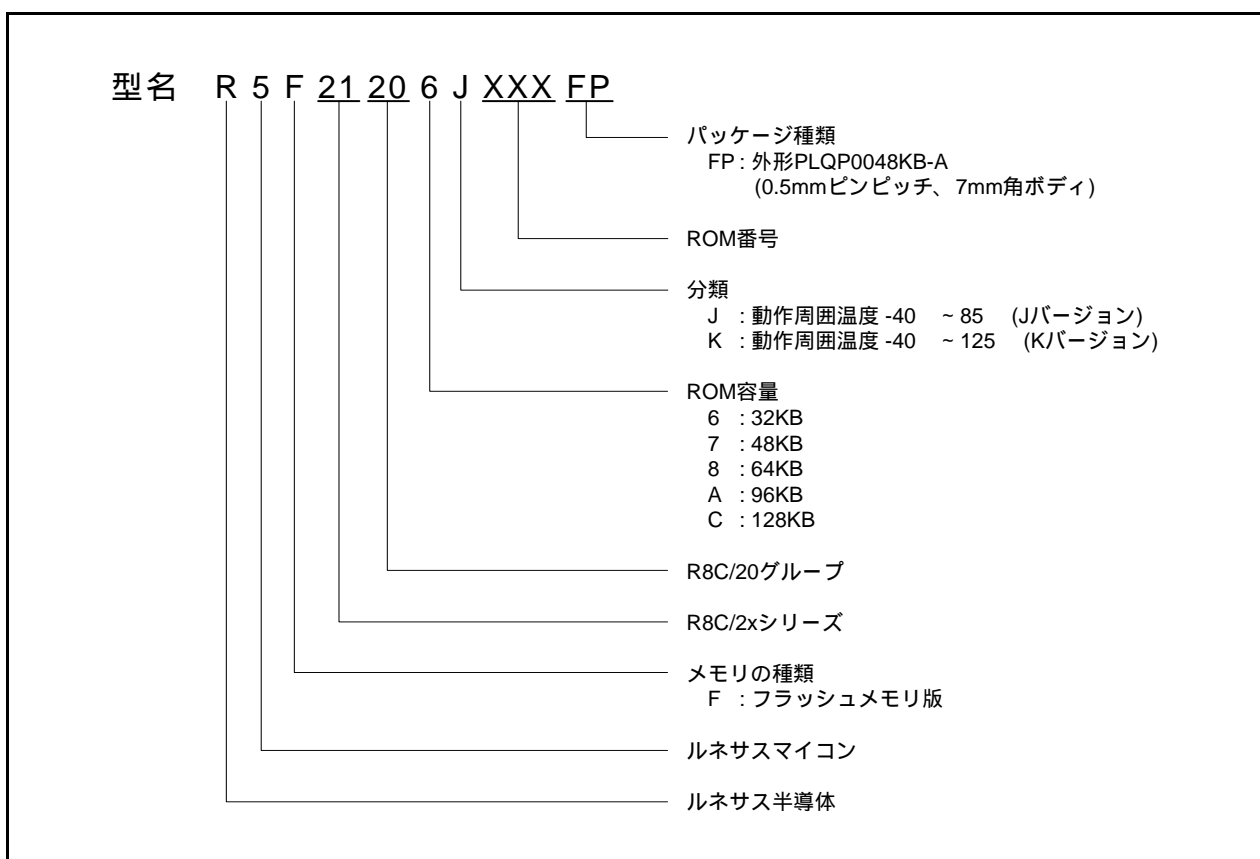


図1.2 R8C/20グループの型名とメモリサイズ・パッケージ

表1.4 R8C/21グループの製品一覧表

2008年8月現在

型名	ROM容量		RAM容量	パッケージ	備考	
	プログラムROM	データフラッシュ				
R5F21216JFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0048KB-A	Jバージョン	フラッシュメモリ版
R5F21217JFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0048KB-A		
R5F21218JFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0048KB-A		
R5F2121AJFP	96Kバイト	1Kバイト×2	5Kバイト	PLQP0048KB-A		
R5F2121CJFP	128Kバイト(注1)	1Kバイト×2	6Kバイト	PLQP0048KB-A		
R5F21216KFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0048KB-A	Kバージョン	
R5F21217KFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0048KB-A		
R5F21218KFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0048KB-A		
R5F2121AKFP	96Kバイト	1Kバイト×2	5Kバイト	PLQP0048KB-A		
R5F2121CKFP	128Kバイト(注1)	1Kバイト×2	6Kバイト	PLQP0048KB-A		

注1. 20000h番地から23FFFh番地は、エミュレータデバッグを使用できません。
ハードウェアマニュアルの「23. エミュレータデバッグの注意事項」を参照ください。

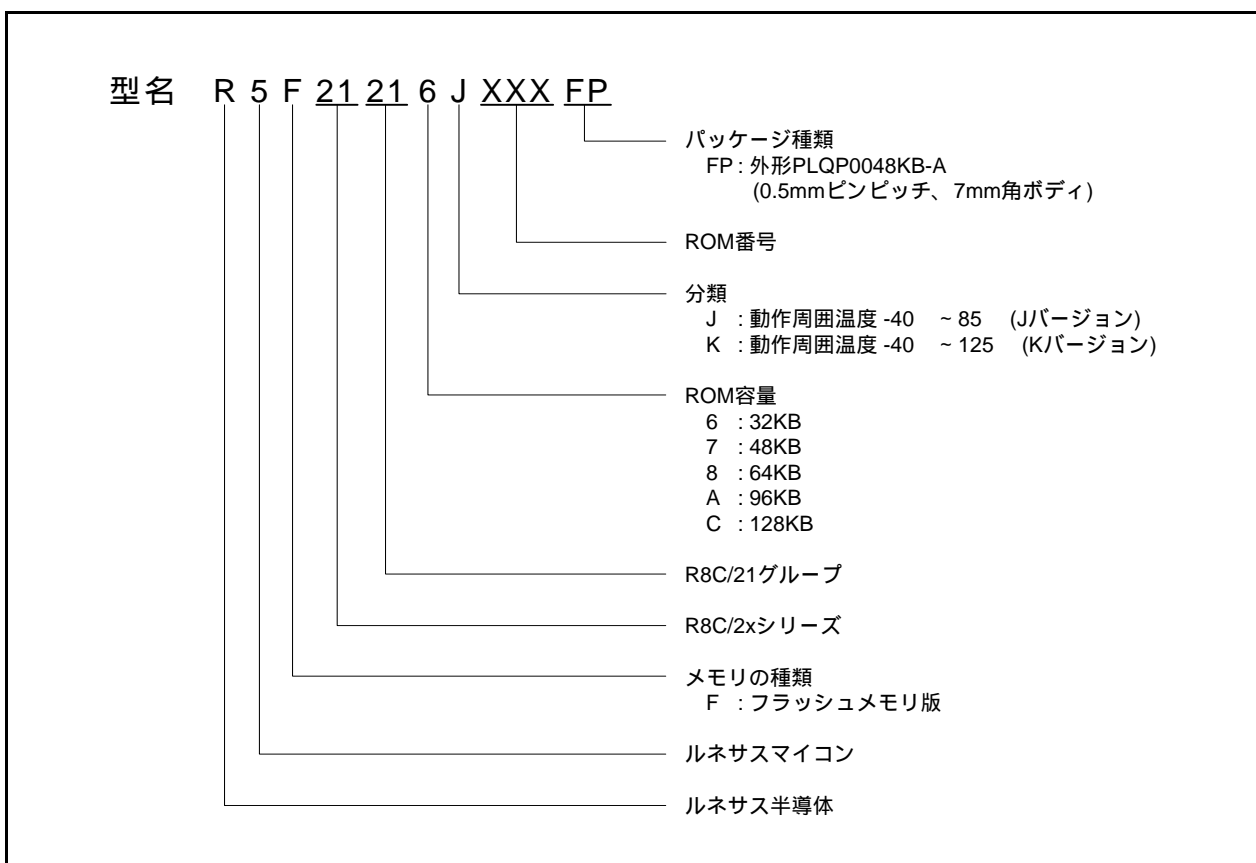


図1.3 R8C/21グループの型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.4にピン接続図(上面図)を示します。

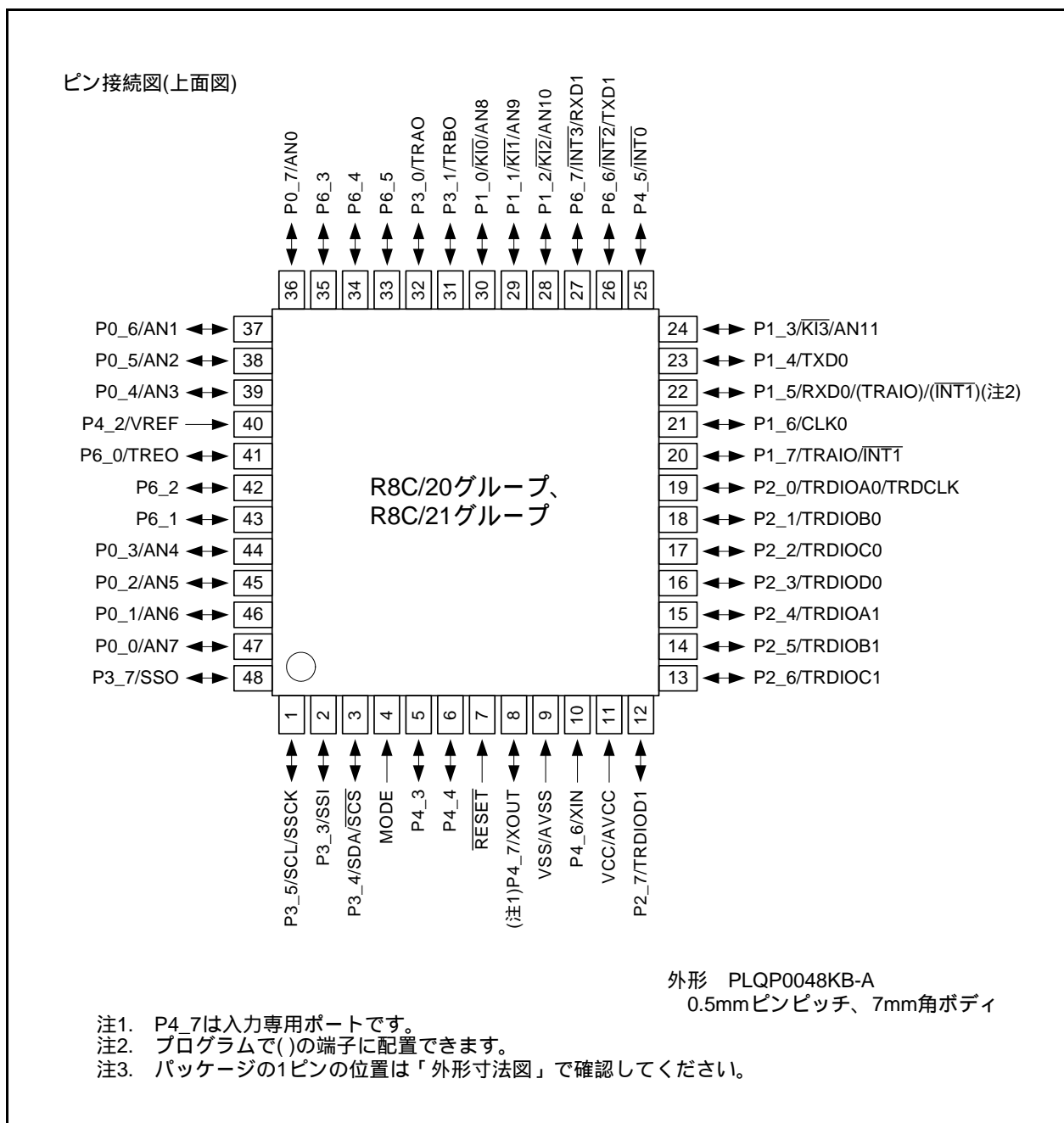


図1.4 ピン接続図(上面図)

1.6 端子の機能説明

表1.5に端子の機能説明を、表1.6にピン番号別端子名一覧を示します。

表1.5 端子の機能説明

分類	端子名	入出力	機能
電源入力	VCC VSS	入力	VCCには、2.7V ~ 5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	A/Dコンバータの電源入力です。 AVCCとAVSS間には、コンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
INT割り込み入力	INT0 ~ INT3	入力	INT割り込みの入力です。 INT0はタイマRDの入力です。 INT1はタイマRAの入力です。
キー入力割り込み入力	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRD	TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
タイマRE	TREO	出力	分周クロック出力です。
シリアルインタフェース	CLK0	入出力	転送クロック入出力です。
	RXD0、RXD1	入力	シリアルデータ入力です。
	TXD0、TXD1	出力	シリアルデータ出力です。
I ² Cバスインタフェース	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
チップセレクト付クロック同期形シリアルI/O	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN11	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0、P3_1、 P3_3 ~ P3_5、P3_7、 P4_3 ~ P4_5、 P6_0 ~ P6_7	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。
入力ポート	P4_2、P4_6、P4_7	入力	入力専用ポートです。

表1.6 ピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子						
			割り込み	タイマ	シリアルインタフェース	チップセレクト付クロック同期形シリアルインタフェース	I ² Cバスインタフェース	A/Dコンバータ	
1		P3_5					SCK	SCL	
2		P3_3					SSI		
3		P3_4					SCS	SDA	
4	MODE								
5		P4_3							
6		P4_4							
7	RESET								
8	XOUT	P4_7							
9	VSS/AVSS								
10	XIN	P4_6							
11	VCC/AVCC								
12		P2_7		TRDIOD1					
13		P2_6		TRDIOC1					
14		P2_5		TRDIOD1					
15		P2_4		TRDIOA1					
16		P2_3		TRDIOD0					
17		P2_2		TRDIOD0					
18		P2_1		TRDIOD0					
19		P2_0		TRDIOA0/TRDCLK					
20		P1_7	INT1	TRAIO					
21		P1_6			CLK0				
22		P1_5	(INT1)(注1)	(TRAIO)(注1)	RXD0				
23		P1_4			TXD0				
24		P1_3	KI3						AN11
25		P4_5	INT0	INT0					
26		P6_6	INT2		TXD1				
27		P6_7	INT3		RXD1				
28		P1_2	KI2						AN10
29		P1_1	KI1						AN9
30		P1_0	KI0						AN8
31		P3_1		TRBO					
32		P3_0		TRA0					
33		P6_5							
34		P6_4							
35		P6_3							
36		P0_7							AN0
37		P0_6							AN1
38		P0_5							AN2
39		P0_4							AN3
40	VREF	P4_2							
41		P6_0		TRE0					
42		P6_2							
43		P6_1							
44		P0_3							AN4
45		P0_2							AN5
46		P0_1							AN6
47		P0_0							AN7
48		P3_7					SSO		

注1. プログラムで()の端子に配置できます。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

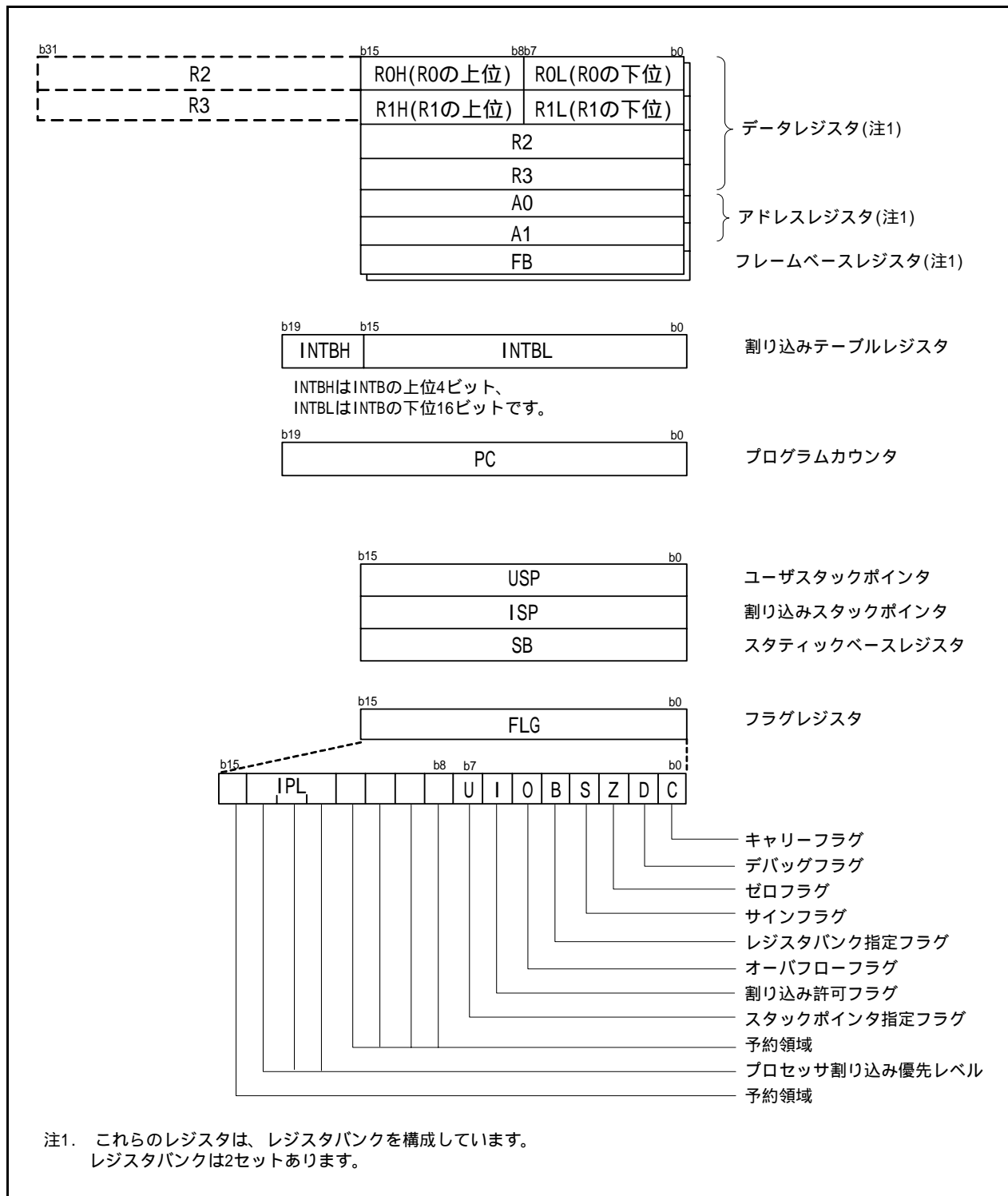


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリーフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/20グループ

図3.1にR8C/20グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

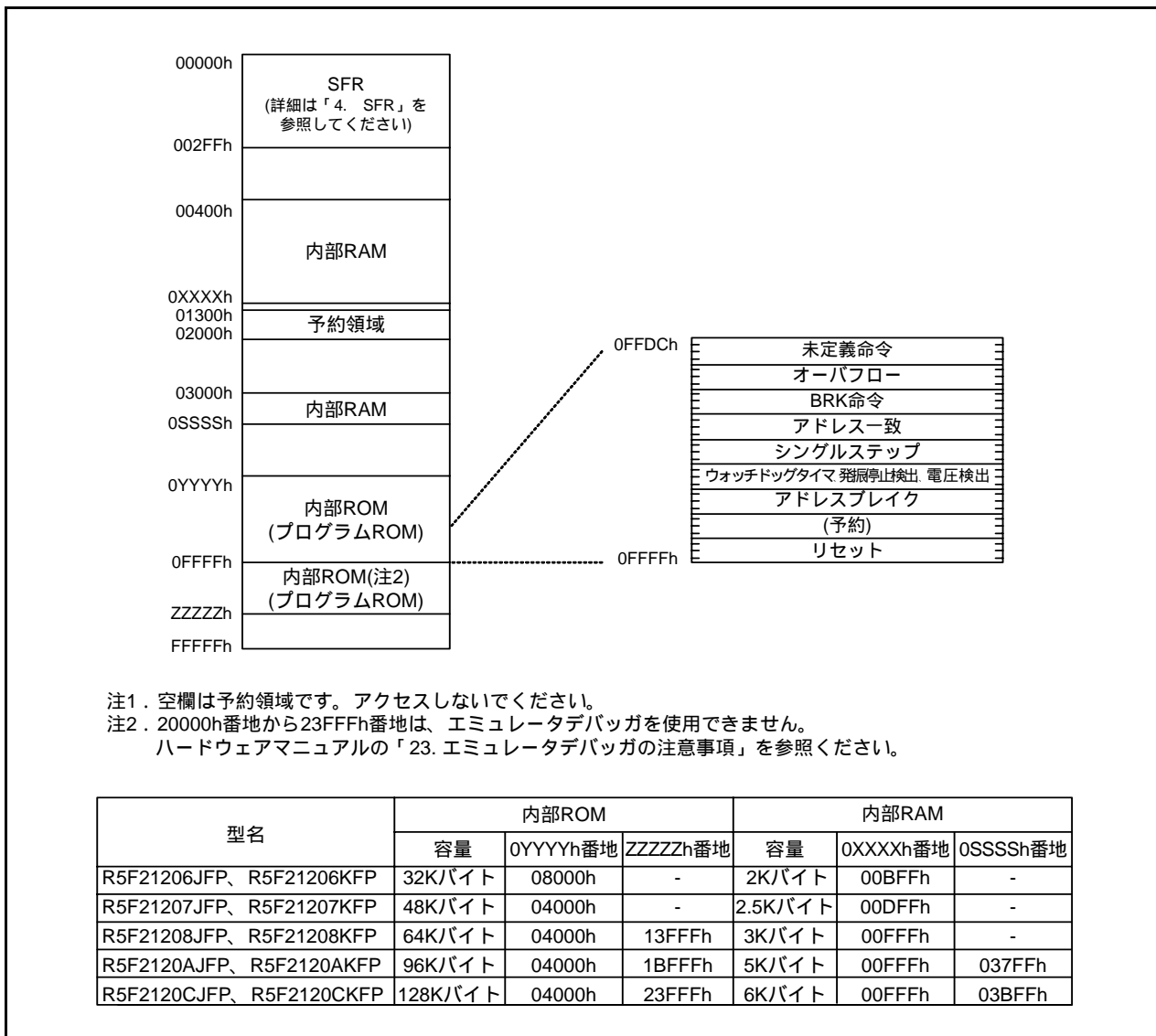


図3.1 R8C/20グループのメモリ配置図

3.2 R8C/21グループ

図3.2にR8C/21グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02400h番地から02BFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

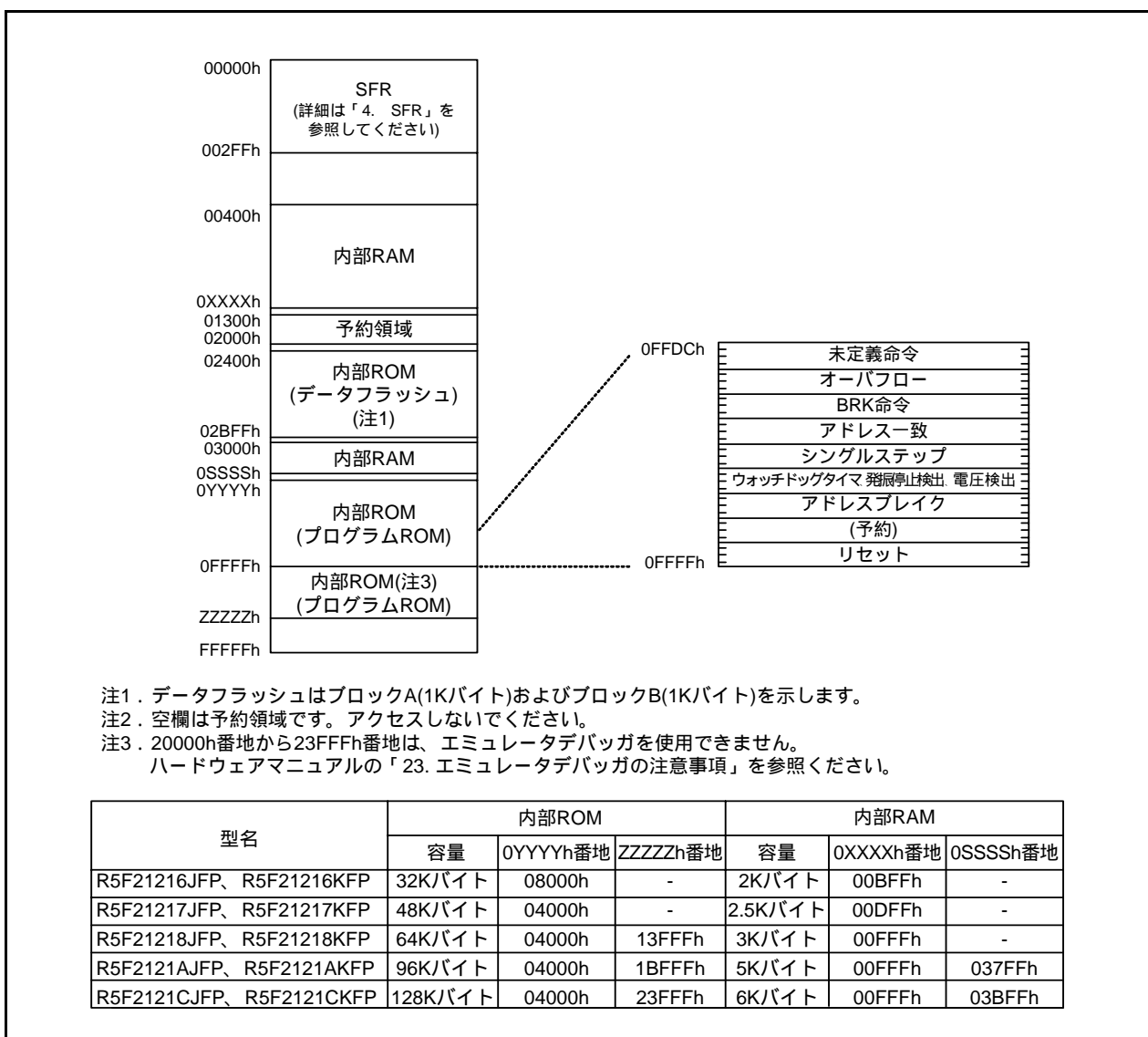


図3.2 R8C/21グループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。

表4.1～表4.6にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	00h
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	01101000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	0000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ 0	RMAD0	00h
0011h			00h
0012h			00h
0013h	アドレス一致割り込み許可レジスタ	AIER	00h
0014h	アドレス一致割り込みレジスタ 1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注8)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ 0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ 1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ 2	FRA2	00h
0026h			
0030h			
0031h	電圧検出レジスタ 1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ 2 (注6)	VCA2	00h (注3) 01000000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視 1 回路制御レジスタ (注7)	VW1C	0000X000b (注3) 0100X001b (注4)
0037h	電圧監視 2 回路制御レジスタ (注5)	VW2C	00h
0038h			
0039h			
003Fh			

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは変化しません。

注 3. OFS レジスタの LVD1ON ビットが “1” の場合。

注 4. パワーオンリセット、電圧監視 1 リセット、または OFS レジスタの LVD1ON ビットが “0” の場合。

注 5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは b2、b3 は変化しません。

注 6. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは b7 は変化しません。

注 7. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは b0 と b6 以外は変化しません。

注 8. OFS レジスタの CSPROINI ビットが “0” の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	タイマ RD0 割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマ RD1 割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah	タイマ RE 割り込み制御レジスタ	TREIC	XXXXX000b
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D 変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU 割り込み制御レジスタ / IIC バス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0 送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0 受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1 送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1 受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2 割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマ RA 割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマ RB 割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. PMR レジスタの IICSEL ビットで選択できます。

X : 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0 送受信モードレジスタ	U0MR	00h
00A1h	UART0 ビットレートレジスタ	U0BRG	XXh
00A2h	UART0 送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0 送受信制御レジスタ 0	U0C0	00001000b
00A5h	UART0 送受信制御レジスタ 1	U0C1	00000010b
00A6h	UART0 受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART1 送受信モードレジスタ	U1MR	00h
00A9h	UART1 ビットレートレジスタ	U1BRG	XXh
00AAh	UART1 送信バッファレジスタ	U1TB	XXh
00ABh			XXh
00ACh	UART1 送受信制御レジスタ 0	U1C0	00001000b
00ADh	UART1 送受信制御レジスタ 1	U1C1	00000010b
00AEh	UART1 受信バッファレジスタ	U1RB	XXh
00AFh			XXh
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS 制御レジスタ H/IIC バス制御レジスタ 1 (注2)	SSCRH/ICCR1	00h
00B9h	SS 制御レジスタ L/IIC バス制御レジスタ 2 (注2)	SSCRL/ICCR2	01111101b
00BAh	SS モードレジスタ /IIC バスモードレジスタ (注2)	SSMR/ICMR	00011000b
00BBh	SS 許可レジスタ /IIC バス割り込み許可レジスタ (注2)	SSER/ICIER	00h
00BCh	SS ステータスレジスタ /IIC バスステータスレジスタ (注2)	SSSR/ICSR	00h/0000X000b
00BDh	SS モードレジスタ 2/スレーブアドレスレジスタ (注2)	SSMR2/SAR	00h
00BEh	SS 送信データレジスタ /IIC バス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
00BFh	SS 受信データレジスタ /IIC バス受信データレジスタ (注2)	SSRDR/ICDRR	FFh

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. PMR レジスタの IICSEL ビットで選択できます。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 制御レジスタ 2	ADCON2	00h
00D5h			
00D6h	A/D 制御レジスタ 0	ADCON0	00h
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポート P0 レジスタ	P0	XXh
00E1h	ポート P1 レジスタ	P1	XXh
00E2h	ポート P0 方向レジスタ	PD0	00h
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h	ポート P2 レジスタ	P2	XXh
00E5h	ポート P3 レジスタ	P3	XXh
00E6h	ポート P2 方向レジスタ	PD2	00h
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h			
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh			
00ECh	ポート P6 レジスタ	P6	XXh
00EDh			
00EEh	ポート P6 方向レジスタ	PD6	00h
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h	UART1 機能選択レジスタ	U1SR	XXh
00F6h			
00F7h			
00F8h	ポートモードレジスタ	PMR	00h
00F9h	外部入力許可レジスタ	INTEN	00h
00FAh	INT 入力フィルタ選択レジスタ	INTF	00h
00FBh	キー入力許可レジスタ	KIEN	00h
00FCh	ブルアップ制御レジスタ 0	PUR0	00h
00FDh	ブルアップ制御レジスタ 1	PUR1	XX00XX00b
00FEh			
00FFh			

注 1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマ RA 制御レジスタ	TRACR	00h
0101h	タイマ RA I/O 制御レジスタ	TRAI0C	00h
0102h	タイマ RA モードレジスタ	TRAMR	00h
0103h	タイマ RA プリスケアラレジスタ	TRAPRE	FFh
0104h	タイマ RA レジスタ	TRA	FFh
0105h			
0106h	LIN コントロールレジスタ	LINCR	00h
0107h	LIN ステータスレジスタ	LINST	00h
0108h	タイマ RB 制御レジスタ	TRBCR	00h
0109h	タイマ RB ワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマ RB I/O 制御レジスタ	TRBIOC	00h
010Bh	タイマ RB モードレジスタ	TRBMR	00h
010Ch	タイマ RB プリスケアラレジスタ	TRBPRE	FFh
010Dh	タイマ RB セカンダリレジスタ	TRBSC	FFh
010Eh	タイマ RB プライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマ RE カウンタデータレジスタ	TRESEC	00h
0119h	タイマ RE コンペアデータレジスタ	TREMIN	00h
011Ah			
011Bh			
011Ch	タイマ RE 制御レジスタ 1	TRECR1	00h
011Dh	タイマ RE 制御レジスタ 2	TRECR2	00h
011Eh	タイマ RE カウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h			
0121h			
0122h			
0123h			
0124h			
0125h			
0126h			
0127h			
0128h			
0129h			
012Ah			
012Bh			
012Ch			
012Dh			
012Eh			
012Fh			
0130h			
0131h			
0132h			
0133h			
0134h			
0135h			
0136h			
0137h	タイマ RD スタートレジスタ	TRDSTR	11111100b
0138h	タイマ RD モードレジスタ	TRDMR	00001110b
0139h	タイマ RD PWM モードレジスタ	TRDPMR	10001000b
013Ah	タイマ RD 機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマ RD アウトプットマスタ許可レジスタ 1	TRDOER1	FFh
013Ch	タイマ RD アウトプットマスタ許可レジスタ 2	TRDOER2	01111111b
013Dh	タイマ RD アウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマ RD デジタルフィルタ機能選択レジスタ 0	TRDDF0	00h
013Fh	タイマ RD デジタルフィルタ機能選択レジスタ 1	TRDDF1	00h

注 1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマ RD 制御レジスタ 0	TRDCR0	00h
0141h	タイマ RD I/O 制御レジスタ A0	TRDIORA0	10001000b
0142h	タイマ RD I/O 制御レジスタ C0	TRDIORC0	10001000b
0143h	タイマ RD ステータスレジスタ 0	TRDSR0	11100000b
0144h	タイマ RD 割り込み許可レジスタ 0	TRDIER0	11100000b
0145h	タイマ RD PWM モードアウトブットレベル制御レジスタ 0	TRDPOCR0	11111000b
0146h	タイマ RD カウンタ 0	TRD0	00h
0147h			00h
0148h	タイマ RD ジェネラルレジスタ A0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマ RD ジェネラルレジスタ B0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマ RD ジェネラルレジスタ C0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマ RD ジェネラルレジスタ D0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマ RD 制御レジスタ 1	TRDCR1	00h
0151h	タイマ RD I/O 制御レジスタ A1	TRDIORA1	10001000b
0152h	タイマ RD I/O 制御レジスタ C1	TRDIORC1	10001000b
0153h	タイマ RD ステータスレジスタ 1	TRDSR1	11000000b
0154h	タイマ RD 割り込み許可レジスタ 1	TRDIER1	11100000b
0155h	タイマ RD PWM モードアウトブットレベル制御レジスタ 1	TRDPOCR1	11111000b
0156h	タイマ RD カウンタ 1	TRD1	00h
0157h			00h
0158h	タイマ RD ジェネラルレジスタ A1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマ RD ジェネラルレジスタ B1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマ RD ジェネラルレジスタ C1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマ RD ジェネラルレジスタ D1	TRDGRD1	FFh
015Fh			FFh
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ 4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
FFFh	オプション機能選択レジスタ	OFS	(注2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

5. 電気的特性

表5.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{cc} /AV _{cc}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{cc} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{cc} + 0.3	V
P _d	消費電力	- 40 Topr 85	300	mW
		85 < Topr 125	125	mW
T _{opr}	動作周囲温度		- 40 ~ 85(Jバージョン) / - 40 ~ 125(Kバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表5.2 推奨動作条件

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V _{cc} /AV _{cc}	電源電圧		2.7		5.5	V	
V _{ss} /AV _{ss}	電源電圧			0		V	
V _{IH}	“H”入力電圧		0.8V _{cc}		V _{cc}	V	
V _{IL}	“L”入力電圧		0		0.2V _{cc}	V	
I _{OH(sum)}	“H”尖頭総出力電流	全端子の I _{OH(peak)} の 総和			- 60	mA	
I _{OH(peak)}	“H”尖頭出力電流				- 10	mA	
I _{OH(avg)}	“H”平均出力電流				- 5	mA	
I _{OL(sum)}	“L”尖頭総出力電流	全端子の I _{OL(peak)} の 総和			60	mA	
I _{OL(peak)}	“L”尖頭出力電流				10	mA	
I _{OL(avg)}	“L”平均出力電流				5	mA	
f(XIN)	XIN クロック入力発振周波数	3.0 V V _{cc} 5.5 V - 40 Topr 85	0		20	MHz	
		3.0 V V _{cc} 5.5 V - 40 Topr 125	0		16	MHz	
		2.7 V V _{cc} < 3.0 V	0		10	MHz	
	システムクロック	OCD2 = “0” XINクロック選択時	3.0 V V _{cc} 5.5 V - 40 Topr 85	0		20	MHz
			3.0 V V _{cc} 5.5 V - 40 Topr 125	0		16	MHz
			2.7 V V _{cc} < 3.0 V	0		10	MHz
	オンチップオシレー タクロック選択時	OCD2 = “1”	FRA01 = “0”		125		kHz
			低速オンチップオシレータ選択時				
			FRA01 = “1”			20	MHz
			高速オンチップオシレータ選択時				
高速オンチップオシレータ選択時	OCD2 = “1”	3.0 V V _{cc} 5.5 V - 40 Topr 85			10	MHz	
		FRA01 = “1”					

注1. 指定のない場合は、V_{cc} = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 (Jバージョン) / - 40 ~ 125 (Kバージョン) です。

注2. 平均出力電流は 100 ms の期間内での平均値です。

表5.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
	分解能	$V_{ref} = AV_{cc}$			10	Bit	
	絶対精度	10ビットモード	$AD = 10 \text{ MHz}$, $V_{ref} = AV_{cc} = 5.0 \text{ V}$			± 3	LSB
		8ビットモード	$AD = 10 \text{ MHz}$, $V_{ref} = AV_{cc} = 5.0 \text{ V}$			± 2	LSB
		10ビットモード	$AD = 10 \text{ MHz}$, $V_{ref} = AV_{cc} = 3.3 \text{ V}$			± 5	LSB
		8ビットモード	$AD = 10 \text{ MHz}$, $V_{ref} = AV_{cc} = 3.3 \text{ V}$			± 2	LSB
R_{ladder}	ラダ - 抵抗	$V_{ref} = AV_{cc}$	10		40	k	
t_{conv}	変換時間	10ビットモード	$AD = 10 \text{ MHz}$, $V_{ref} = AV_{cc} = 5.0 \text{ V}$	3.3			μs
		8ビットモード	$AD = 10 \text{ MHz}$, $V_{ref} = AV_{cc} = 5.0 \text{ V}$	2.8			μs
V_{ref}	基準電圧		2.7		AV_{cc}	V	
V_{IA}	アナログ入力電圧 (注2)		0		AV_{cc}	V	
	A/D動作クロック周波数	サンプル&ホールドなし		0.25		10	MHz
		サンプル&ホールドあり		1		10	MHz

注1. 指定のない場合は、 $V_{cc} = AV_{cc} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/ $-40 \sim 125$ (Kバージョン)です。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

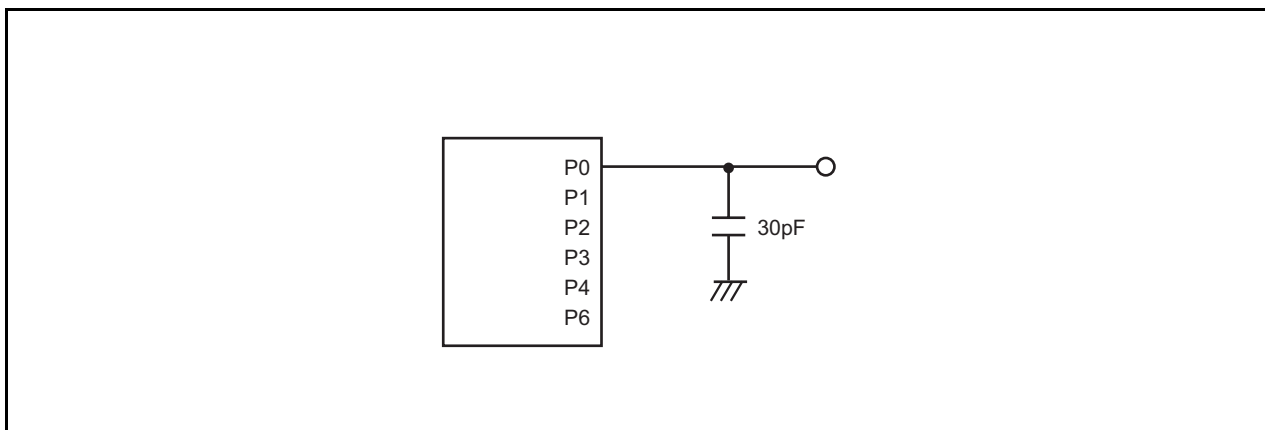


図5.1 ポートP0～P4、P6のタイミング測定回路

表5.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/20グループ	100(注3)			回
		R8C/21グループ	1000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t _d (SR-SUS)	サスペンドへの遷移時間				97 + CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの時間		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3 + CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 =55	20			年

注1. 指定のない場合は、V_{cc} = 2.7 V ~ 5.5 V、T_{opr} = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。

例えば、一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000 (注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t _d (SR-SUS)	サスペンドへの遷移時間				97 + CPUクロック × 6 サイクル	μs
	イレーズ開始または再開から次の サスペンド要求までの時間		650			μs
	プログラム開始または再開から次の サスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの 再開までの時間				3 + CPUクロック × 4 サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		- 40		85(注8)	
	データ保持時間(注9)	周囲温度 =55	20			年

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注4. プログラム/イレーズ回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラムROMと同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残り、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Kバージョンは125。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

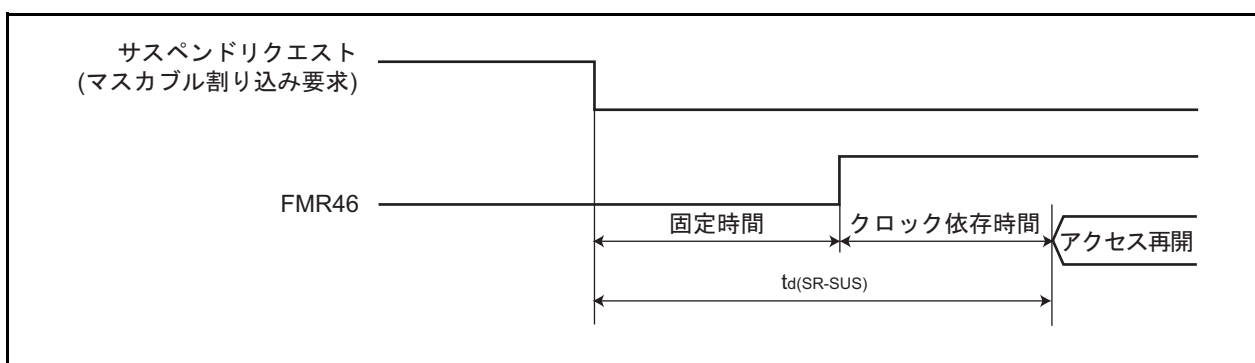


図5.2 サスペンドへの遷移時間

表5.6 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベル(注3、4)		2.70	2.85	3.00	V
td(Vdet1-A)	電圧監視1リセット発生時間(注5)			40	200	μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0 V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				100	μs
Vccmin	マイコンの動作電圧の最小値		2.70			V

注1. 測定条件はVcc = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. Vdet2 > Vdet1 になります。

注4. 電源の立ち下り時の電圧検出レベルを示しています。電源の立ち上り時の検出レベルは、電源の立ち下り時の電圧検出レベルより、0.1 V程度大きい値になります。

注5. Vcc立ち下がり時にVdet1を通過した時点から、電圧監視1リセットが発生するまでの時間です。デジタルフィルタを使用する場合は、これにデジタルフィルタのサンプリング時間が追加されます。電圧監視1リセットを使用する場合は、電源立ち下がり時のVdet1を通過した時点からVcc = 2.0 Vになるまでの期間で、この時間を確保してください。

表5.7 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベル(注4)		3.3	3.6	3.9	V
td(Vdet2-A)	電圧監視2リセット/割り込み要求発生時間(注2、5)			40	200	μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0 V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2リセットまたは割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. Vdet2 > Vdet1 になります。

注5. デジタルフィルタを使用する場合は、これにデジタルフィルタのサンプリング時間が追加されます。電圧監視2リセットを使用する場合は、電源立ち下がり時のVdet2を通過した時点からVcc = 2.0 Vになるまでの期間で、この時間を確保してください。

表5.8 パワーオンリセット回路、電圧監視1リセットの電気的特性(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor1	パワーオンリセットが有効になる電圧(注4)				0.1	V
Vpor2	パワーオンリセットまたは電圧監視1リセットが有効になる電圧		0		Vdet1	V
trth	外部電源Vccの立ち上がり傾き	Vcc 3.6V	20(注2)			mV/msec
		Vcc > 3.6V	20(注2)		2000	mV/msec

注1. 指定のない場合測定条件は、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. Vpor2 1.0Vの場合、この条件(外部電源Vcc立ち上がり傾きの最小規格値)は不要です。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVD10Nビットを“0”、VW1CレジスタのVW1C0ビットを“1”、VW1C6ビットを“1”、VCA2レジスタのVCA26ビットを“1”にして電圧監視1リセットを有効にしてください。

注4. tw(por1)は外部電源Vccを有効電圧(Vpor1)以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を最初に立ち上げるときは、- 20 Topr 125 ではtw(por1)を30s以上、- 40 Topr < - 20 ではtw(por1)を3000s以上保持してください。

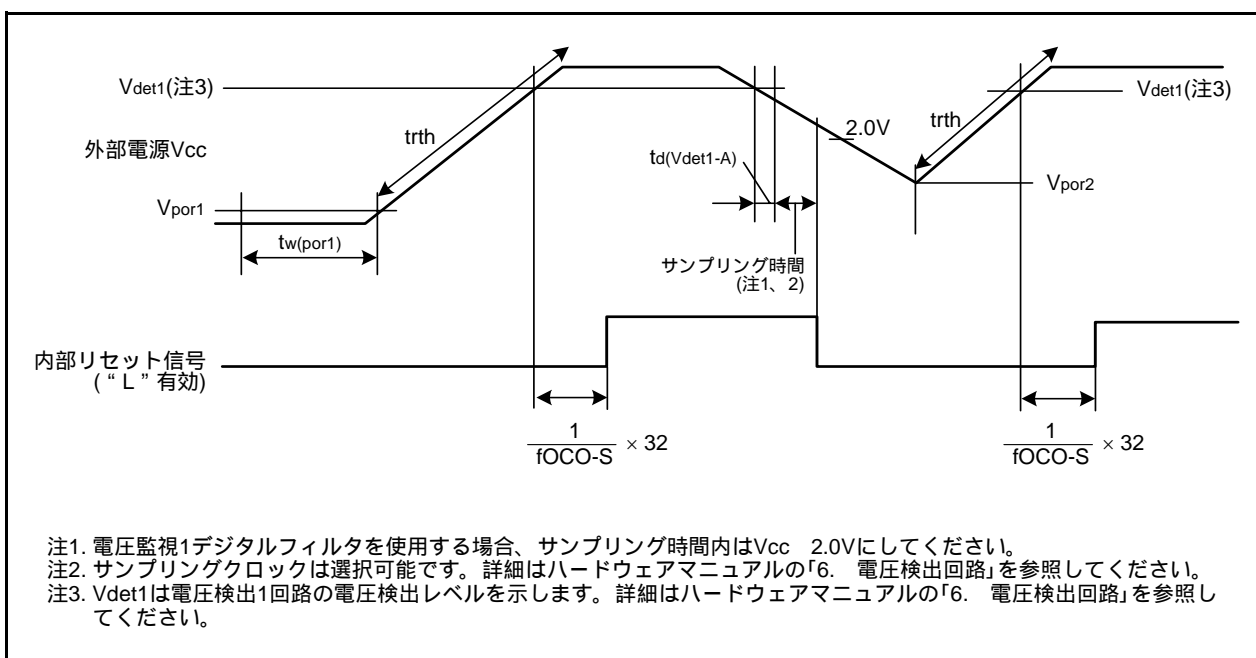


図5.3 パワーオンリセット回路の電気的特性

表5.9 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO40M	高速オンチップオシレータ発振周波数の温度・電圧依存性	Vcc=4.75V ~ 5.25V 0 Topr 60 (注2)	39.2	40	40.8	MHz
		Vcc=3.0V ~ 5.5V - 20 Topr 85 (注2)	38.8	40	41.2	MHz
		Vcc=3.0V ~ 5.5V - 40 Topr 85 (注2)	38.4	40	41.6	MHz
		Vcc=3.0V ~ 5.5V - 40 Topr 125 (注2)	38.0	40	42.0	MHz
		Vcc=2.7V ~ 5.5V - 40 Topr 125 (注2)	37.6	40	42.4	MHz
	リセット解除時のFRA1レジスタの値		08h	40	F7h	
	高速オンチップオシレータ発振周波数調整単位	FRA1レジスタ(リセット解除時の値)を-1ビットに調整		+ 0.3		MHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc=5.0V、Topr=25		600		μA

注1. 指定のない場合は、Vcc=2.7V ~ 5.5V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. FRA1レジスタがリセット解除時の値のときの規格値です。

表5.10 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		40	125	250	kHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc=5.0V、Topr=25		15		μA

注1. 指定のない場合は、Vcc=2.7V ~ 5.5V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

表5.11 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP解除時間(注3)				150	μs

注1. 測定条件はVcc=2.7V ~ 5.5V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表5.12 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCK クロックサイクル時間		4			tCYC (注2)
tHI	SSCK クロック “H” パルス幅		0.4		0.6	tSUCYC
tLO	SSCK クロック “L” パルス幅		0.4		0.6	tSUCYC
tRISE	SSCK クロック立ち上がり時間	マスタ			1	tCYC (注2)
		スレーブ			1	μs
tFALL	SSCK クロック立ち下がり時間	マスタ			1	tCYC (注2)
		スレーブ			1	μs
tSU	SSO、SSI データ入力セットアップ時間		100			ns
tH	SSO、SSI データ入力ホールド時間		1			tCYC (注2)
tLEAD	SCS セットアップ時間	スレーブ	1tCYC+50			ns
tLAG	SCS ホールド時間	スレーブ	1tCYC+50			ns
tOD	SSO、SSI データ出力遅延時間				1	tCYC (注2)
tSA	SSI スレーブアクセス時間				1tCYC+100	ns
tOR	SSI スレーブアウト開放時間				1tCYC+100	ns

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Vss = 0 V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. 1tCYC=1/f1 (s)

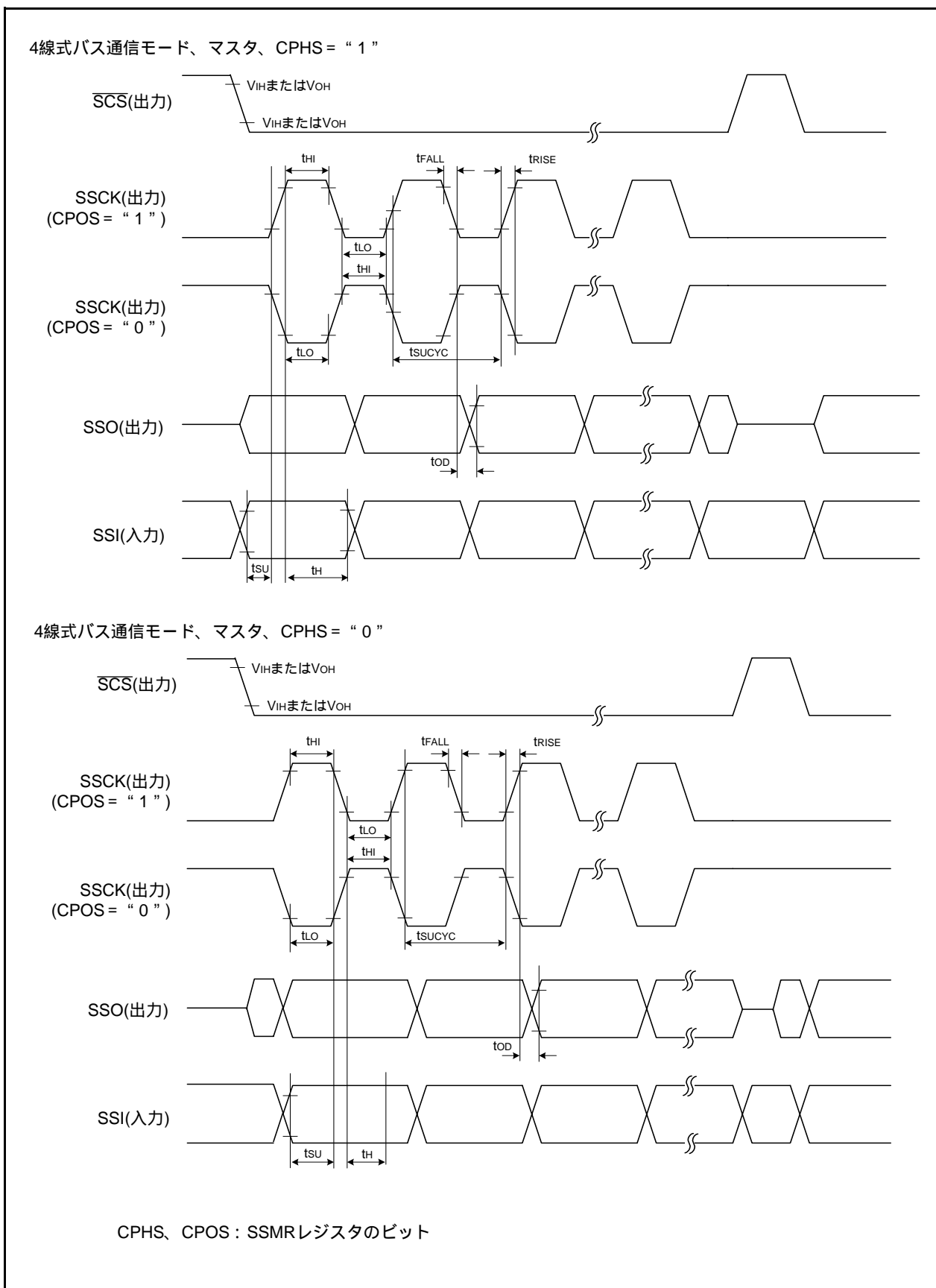


図5.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

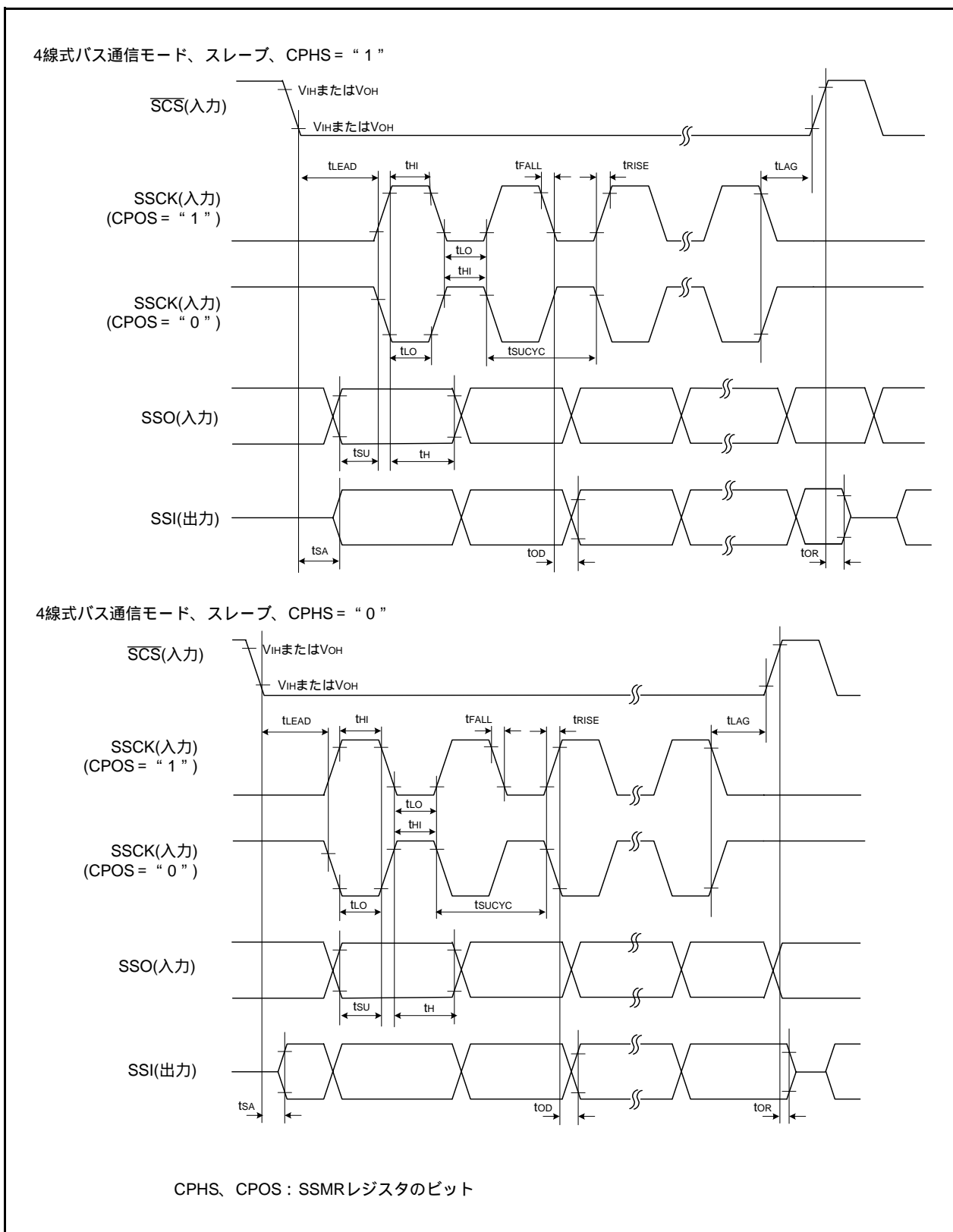


図5.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

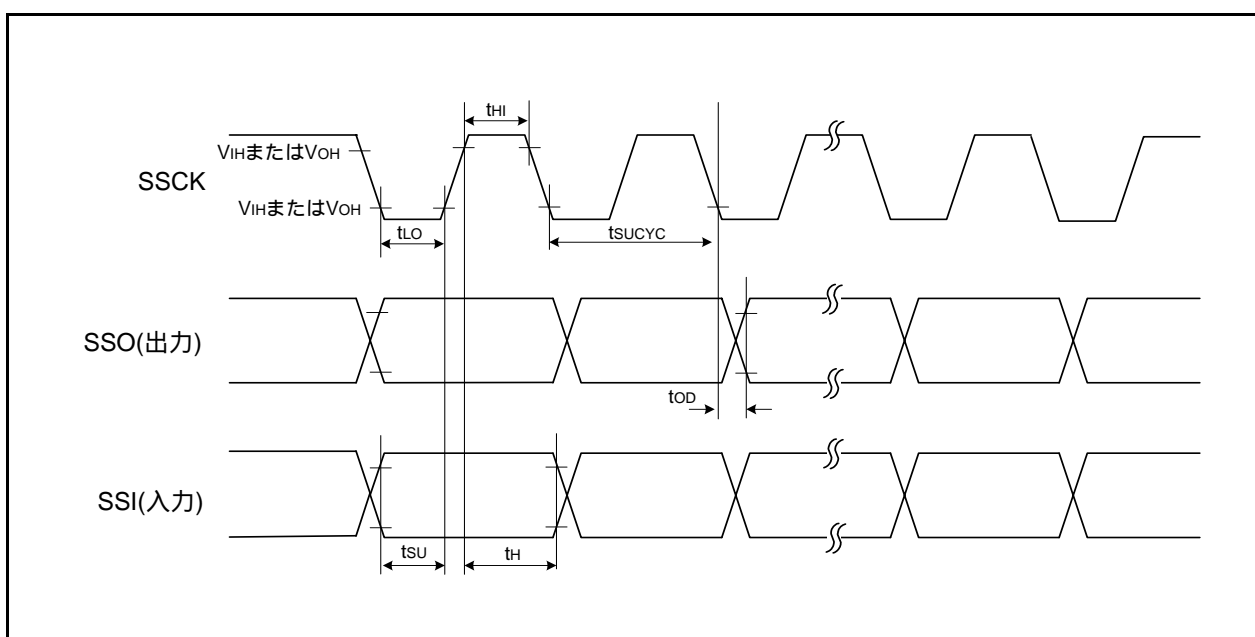


図5.6 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表5.13 I²Cバスインターフェースのタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL 入力サイクル時間		12tCYC + 600(注2)			ns
tSCLH	SCL 入力“H”パルス幅		3tCYC + 300(注2)			ns
tSCLL	SCL 入力“L”パルス幅		5tCYC + 500(注2)			ns
tsf	SCL、SDA 入力立ち下がり時間				300	ns
tSP	SCL、SDA 入カスパイクパルス除去時間				1tCYC (注2)	ns
tBUF	SDA 入力バスフリー時間		5tCYC (注2)			ns
tSTAH	開始条件入力ホールド時間		3tCYC (注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tCYC (注2)			ns
tSTOP	停止条件入力セットアップ時間		3tCYC (注2)			ns
tSDAS	データ入力セットアップ時間		1tCYC + 20(注2)			ns
tSDAH	データ入力ホールド時間		0			ns

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Vss = 0 V、Topr = - 40 ~ 85 (Jバージョン) / - 40 ~ 125 (Kバージョン)です。

注2. 1tCYC = 1/f1 (s)

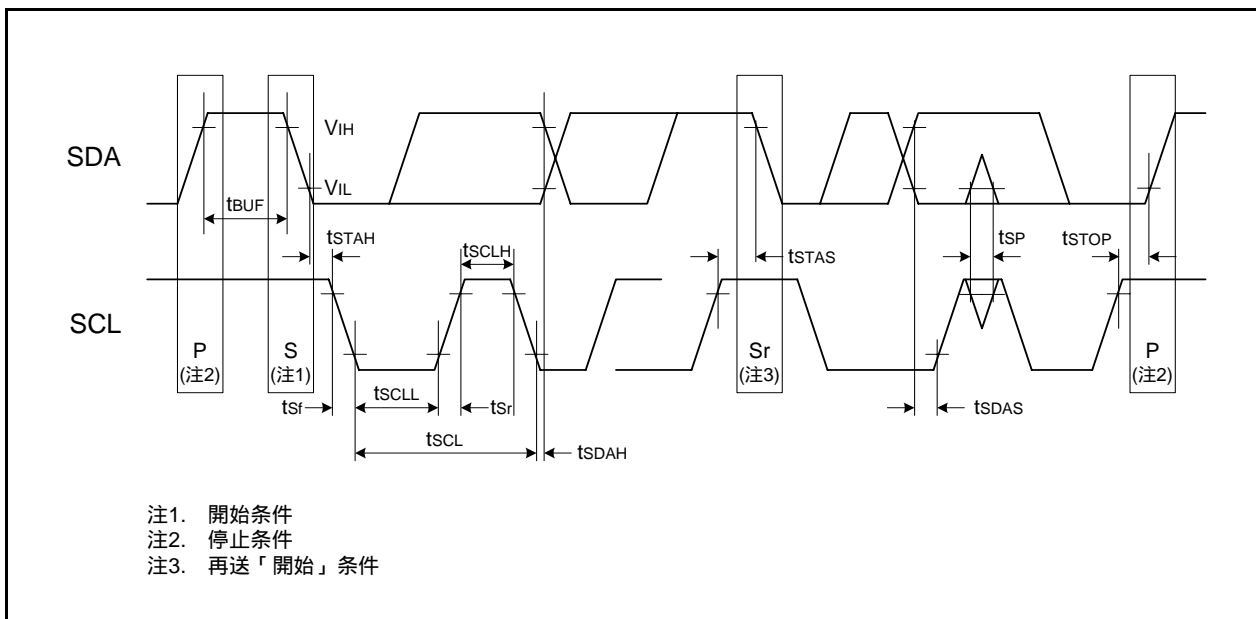


図5.7 I²Cバスインターフェースの入出力タイミング

表5.14 電気的特性(1) [Vcc = 5 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT 以外	I _{OH} = - 5 mA		V _{CC} - 2.0		V _{CC}	V
			I _{OH} = - 200 μA		V _{CC} - 0.3		V _{CC}	V
		XOUT	駆動能力 HIGH	I _{OH} = - 1 mA	V _{CC} - 2.0		V _{CC}	V
			駆動能力 LOW	I _{OH} = - 500 μA	V _{CC} - 2.0		V _{CC}	V
VOL	“L”出力電圧	XOUT 以外	I _{OL} = 5 mA				2.0	V
			I _{OL} = 200 μA				0.45	V
		XOUT	駆動能力 HIGH	I _{OL} = 1 mA			2.0	V
			駆動能力 LOW	I _{OL} = 500 μA			2.0	V
VT+ - VT-	ヒステリシス	INT0、INT1、INT2、 INT3、K10、K11、K12、 K13、TRAIO、RXD0、 RXD1、CLK0、SSI、 SCL、SDA、SSO			0.1	0.5		V
		RESET			0.1	1.0		V
I _{IH}	“H”入力電流		VI = 5 V、V _{CC} = 5V				5.0	μA
I _{IL}	“L”入力電流		VI = 0 V、V _{CC} = 5V				- 5.0	μA
RPULLUP	プルアップ抵抗		VI = 0 V、V _{CC} = 5V		30	50	167	k
R _{iXIN}	帰還抵抗	XIN				1.0		M
V _{RAM}	RAM 保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V_{CC} = 4.2 V ~ 5.5 V、Topr = - 40 ~ 85 (Jバージョン) / - 40 ~ 125 (Kバージョン)、
f(XIN) = 20 MHzです。

表5.15 電気的特性(2) [Vcc = 5 V]
(指定のない場合は、Topr = -40 ~ 85 (Jバージョン) / -40 ~ 125 (Kバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3 V ~ 5.5 V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		11.0	22.0	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8.8	17.6	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5.8		mA
			XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		5.0		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3.8		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2.8		mA
		高速オンチップオシレータモード	XIN クロック停止 高速オンチップオシレータ発振fOCO = 10 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		5.8	11.6	mA
			XIN クロック停止 高速オンチップオシレータ発振fOCO = 10 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		2.5		mA
		低速オンチップオシレータモード	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周 FMR47 = " 1 "		143	286	μ A
		ウェイトモード	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック動作 VCA20 = " 0 " VCA26 = VCA27 = " 0 "		53	106	μ A
			XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック停止 VCA20 = " 0 " VCA26 = VCA27 = " 0 "		38	76	μ A
		ストップモード Topr=25	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		0.8	3.0	μ A
		ストップモード Topr=85	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		1.2		μ A
		ストップモード Topr=125	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		4.0		μ A

タイミング必要条件 [$V_{CC}=5V$] (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$)

表5.16 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN 入力サイクル時間	50		ns
$t_{WH(XIN)}$	XIN 入力 “H” パルス幅	25		ns
$t_{WL(XIN)}$	XIN 入力 “L” パルス幅	25		ns

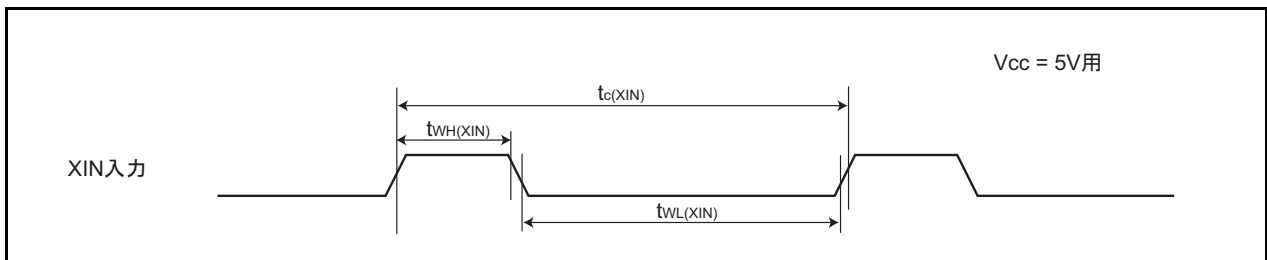
図5.8 $V_{CC}=5V$ 時のXIN入力タイミング

表5.17 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO 入力サイクル時間	100		ns
$t_{WH(TRAIO)}$	TRAIO 入力 “H” パルス幅	40		ns
$t_{WL(TRAIO)}$	TRAIO 入力 “L” パルス幅	40		ns

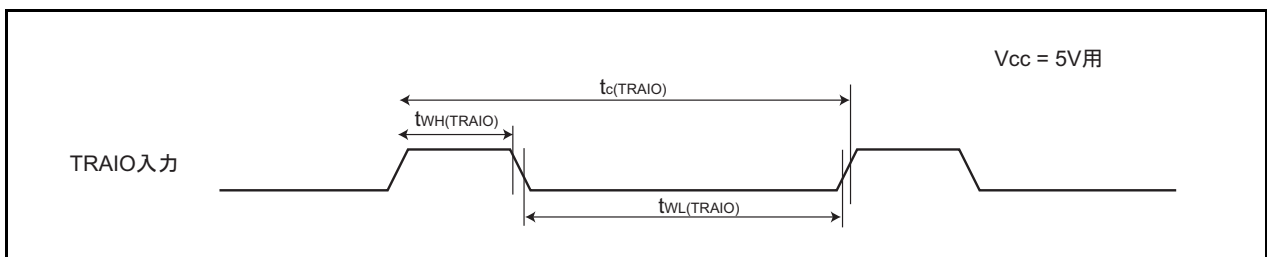
図5.9 $V_{CC}=5V$ 時のTRAIO入力タイミング

表5.18 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK0 入力サイクル時間	200		ns
$t_{w(CKH)}$	CLK0 入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLK0 入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TXDi 出力遅延時間		50	ns
$t_{h(C-Q)}$	TXDi ホールド時間	0		ns
$t_{su(D-C)}$	RXDi 入力セットアップ時間	50		ns
$t_{h(C-D)}$	RXDi 入力ホールド時間	90		ns

i=0 ~ 1

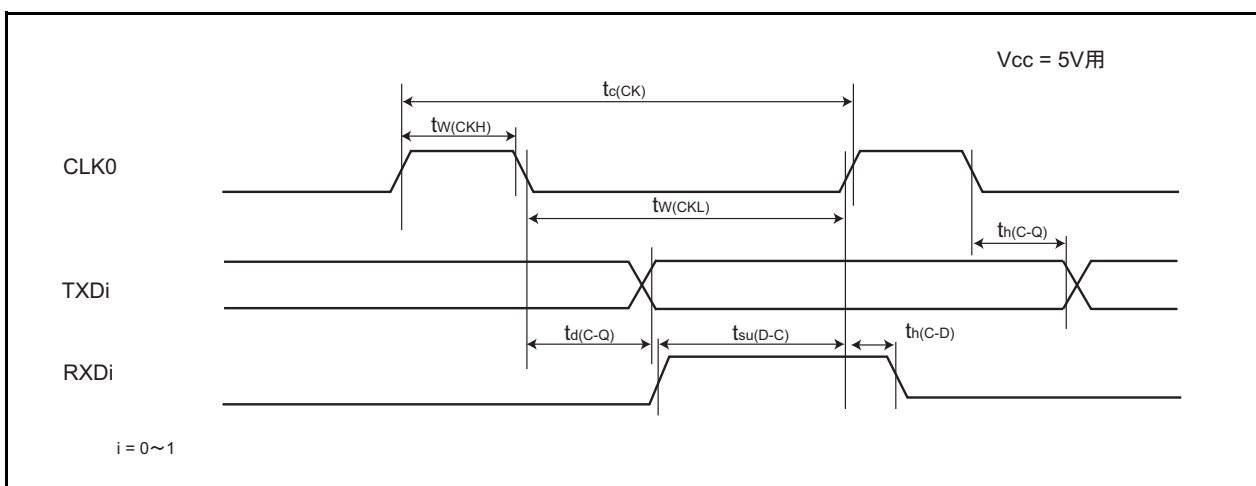


図5.10 Vcc=5V時のシリアルインタフェースタイミング

表5.19 外部割り込み \overline{INTi} 入力 (i=0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	250(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	250(注2)		ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

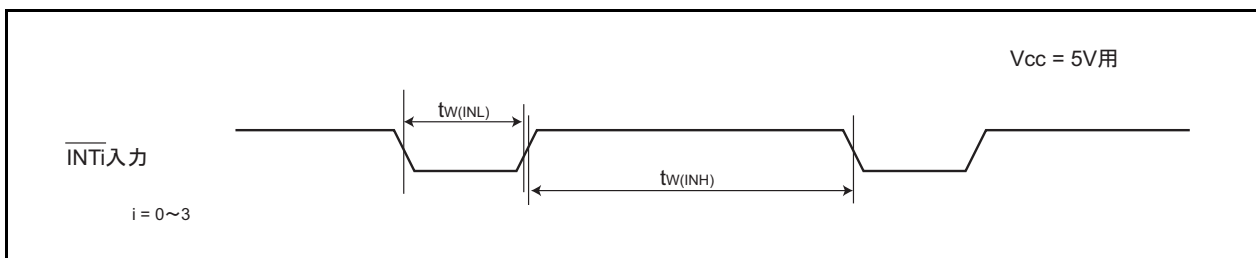
図5.11 Vcc=5V時の外部割り込み \overline{INTi} 入力タイミング (i=0 ~ 3)

表5.20 電気的特性(3) [Vcc = 3 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT 以外	I _{OH} = - 1 mA		V _{CC} - 0.5		V _{CC}	V
		XOUT	駆動能力 HIGH	I _{OH} = - 0.1 mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力 LOW	I _{OH} = - 50 μA	V _{CC} - 0.5		V _{CC}	V
VOL	“L”出力電圧	XOUT 以外	I _{OL} = 1 mA				0.5	V
		XOUT	駆動能力 HIGH	I _{OL} = 0.1 mA			0.5	V
			駆動能力 LOW	I _{OL} = 50 μA			0.5	V
VT+-VT-	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT2</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRAI0</u> 、 <u>RXD0</u> 、 <u>RXD1</u> 、 <u>CLK0</u> 、 <u>SSI</u> 、 <u>SCL</u> 、 <u>SDA</u> 、 <u>SSO</u>			0.1	0.3		V
		<u>RESET</u>			0.1	0.4		V
I _{IH}	“H”入力電流		V _I = 3 V、V _{CC} = 3V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0 V、V _{CC} = 3V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0 V、V _{CC} = 3V		66	160	500	k
R _{fXIN}	帰還抵抗	XIN				3.0		M
V _{RAM}	RAM 保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V_{CC} = 2.7V ~ 3.3V、T_{opr} = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)、f(XIN) = 10MHzです。

表5.21 電気的特性(4) [Vcc = 3 V]
 (指定のない場合は、Topr = - 40 ~ 85 (Jバージョン) / - 40 ~ 125 (Kバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.7 V ~ 3.3 V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		10.5	21.0	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8.3	16.6	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5.3	10.6	mA
			XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		4.5		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3.3		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2.3		mA
			高速オンチップオシレータモード	XIN クロック停止 高速オンチップオシレータ発振fOCO = 10 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		5.6	11.2
		XIN クロック停止 高速オンチップオシレータ発振fOCO = 10 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周			2.4		mA
		低速オンチップオシレータモード	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周 FMR47 = " 1 "		138	276	μ A
		ウェイトモード	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック動作 VCA20 = " 0 " VCA26 = VCA27 = " 0 "		48	96	μ A
			XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック停止 VCA20 = " 0 " VCA26 = VCA27 = " 0 "		35	70	μ A
		ストップモード Topr=25	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		0.7	3.0	μ A
		ストップモード Topr=85	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		1.1		μ A
		ストップモード Topr=125	XIN クロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		3.8		μ A

タイミング必要条件 [$V_{CC}=3V$] (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$)

表5.22 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN 入力サイクル時間	100		ns
$t_{WH(XIN)}$	XIN 入力 “H” パルス幅	40		ns
$t_{WL(XIN)}$	XIN 入力 “L” パルス幅	40		ns

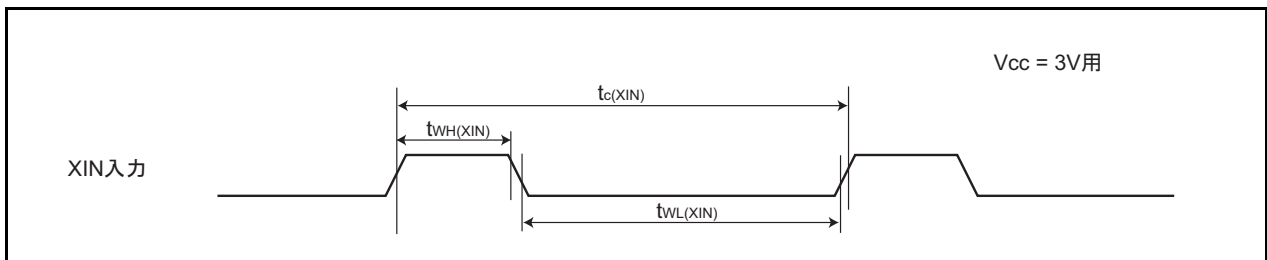


図5.12 $V_{CC}=3V$ 時のXIN入力タイミング

表5.23 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO 入力サイクル時間	300		ns
$t_{WH(TRAIO)}$	TRAIO 入力 “H” パルス幅	120		ns
$t_{WL(TRAIO)}$	TRAIO 入力 “L” パルス幅	120		ns

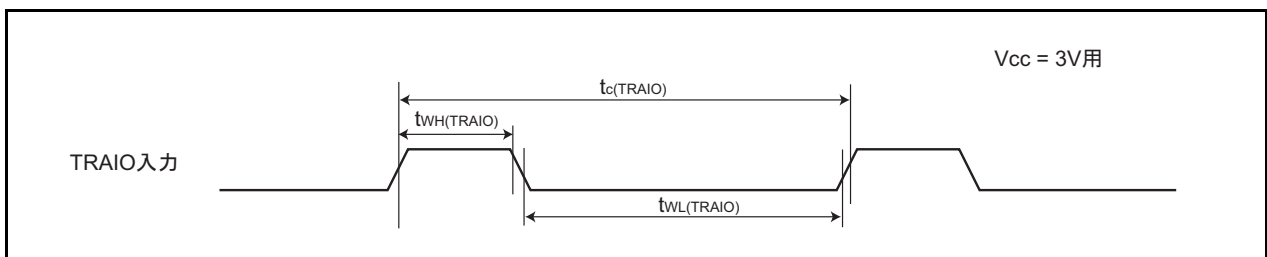


図5.13 $V_{CC}=3V$ 時のTRAIO入力タイミング

表5.24 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK0 入力サイクル時間	300		ns
$t_{w(CKH)}$	CLK0 入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLK0 入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi 出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDi ホールド時間	0		ns
$t_{su(D-C)}$	RXDi 入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi 入力ホールド時間	90		ns

i=0 ~ 1

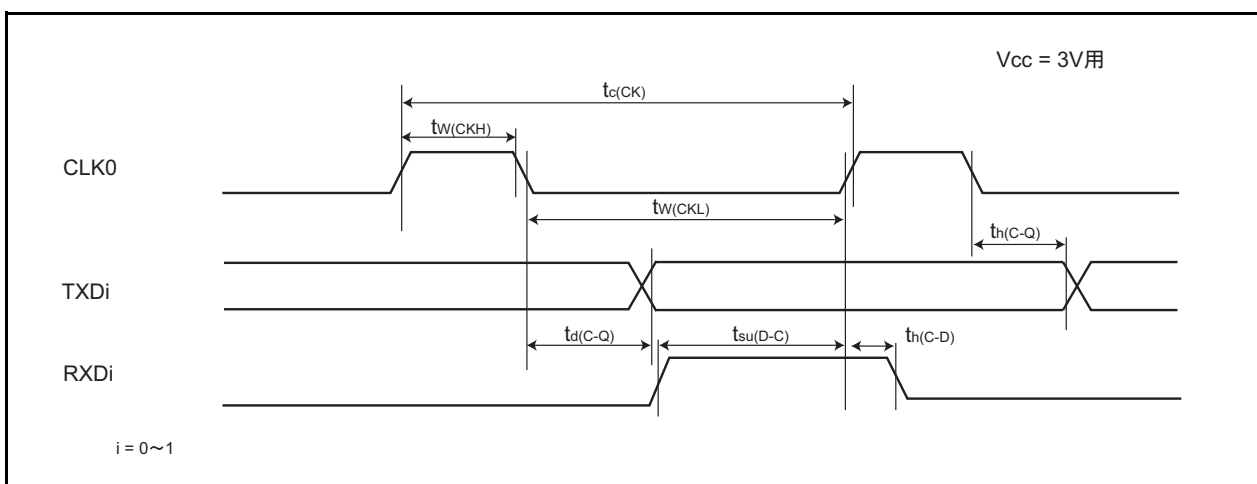


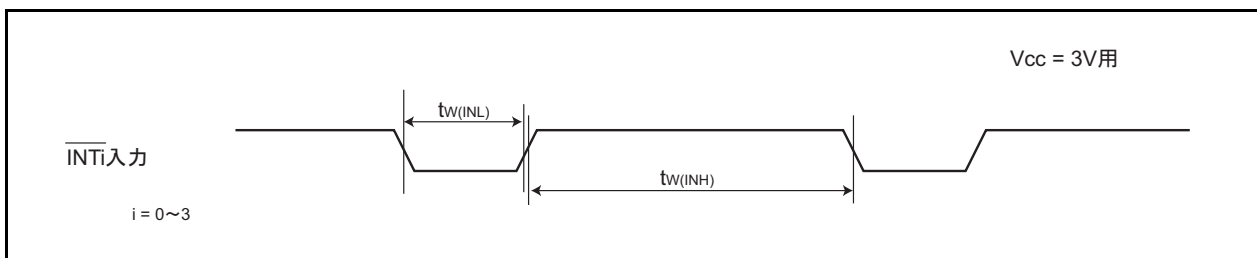
図5.14 Vcc=3V時のシリアルインタフェースタイミング

表5.25 外部割り込み \overline{INTi} 入力 (i=0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	380(注2)		ns

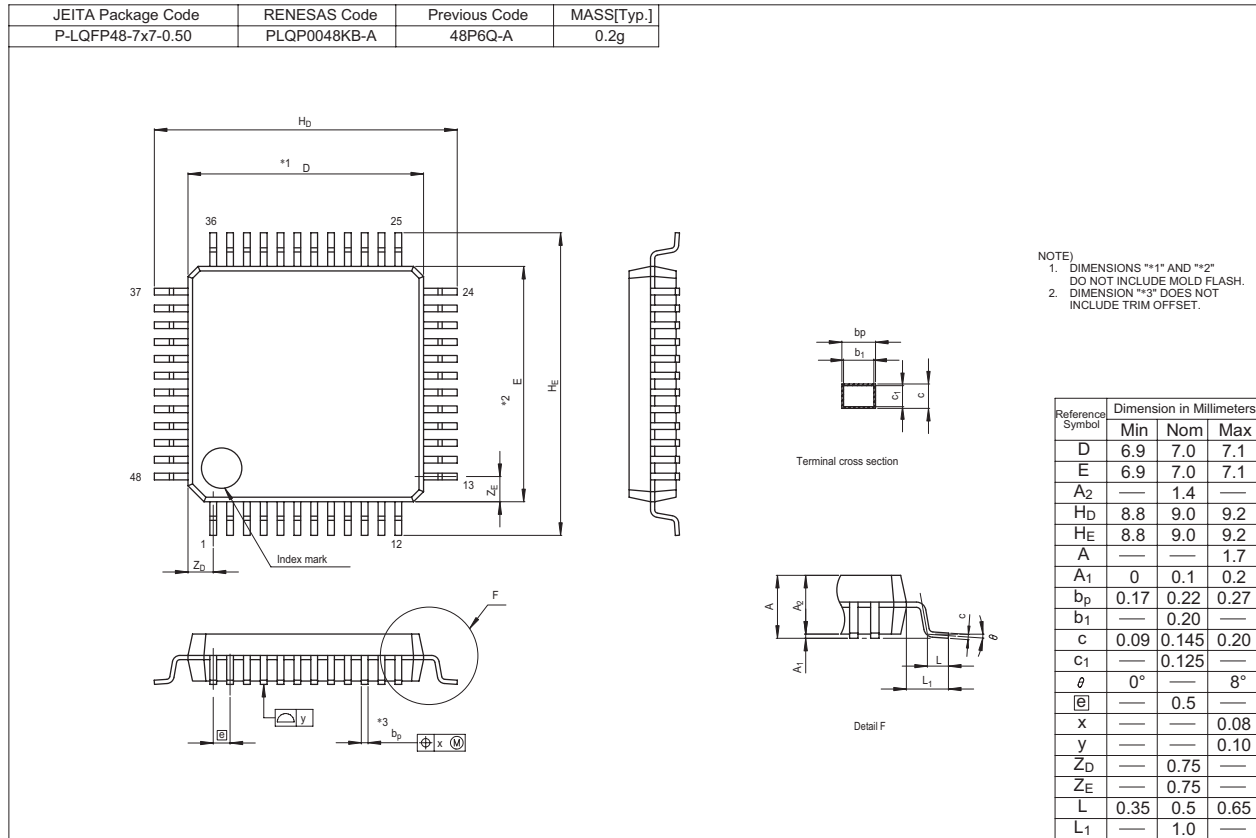
注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

図5.15 Vcc=3V時の外部割り込み \overline{INTi} 入力タイミング (i=0 ~ 3)

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



改訂記録	R8C/20 グループ、R8C/21 グループデータシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2005.03.08	-	初版発行
0.20	2005.09.29	-	用語を統一 <ul style="list-style-type: none"> - クロック同期形シリアルインタフェース クロック同期形シリアルI/O - クロック非同期形シリアルインタフェース クロック非同期形シリアルI/O - チップセレクト付クロック同期形シリアルインタフェース(SSU) チップセレクト付クロック同期形シリアルI/O - I²Cバスインタフェース(IIC) I²Cバスインタフェース
		2、3	表1.1、表1.2 下記を変更 <ul style="list-style-type: none"> - タイマRE:コンペア一致機能付 タイマRE:コンペアマッチ機能付 - チップセレクト付クロック同期形シリアルインタフェース(SSU)とI²Cバスインタフェース(IIC)(注3) クロック同期形シリアルインタフェース - パワーオンリセット回路を追加 - 消費電流値を追加
		5、6	表1.3、表1.4 下記を変更 <ul style="list-style-type: none"> - 2005年6月現在 2005年9月現在
		7	図1.4 ピン接続図 下記を変更 <ul style="list-style-type: none"> - P3_5/<u>SSCK</u>(/SCL) P3_5/<u>SCL</u>/<u>SSCK</u> - P3_4/<u>SCS</u>(/SDA) P3_5/<u>SDA</u>/<u>SCS</u> - VSS VSS/AVSS - VCC VCC/AVCC - P1_5/<u>RXD0</u>(/TRAIO/INT1) P1_5/<u>RXD0</u>(/TRAIO)/(INT1) - P6_6/<u>INT2</u>(/TXD1) P6_7/<u>INT2</u>/TXD1 - P6_7/<u>INT3</u>(/RXD1) P6_7/<u>INT3</u>/RXD1 - 注2を追加
		8	表1.5 端子の機能説明 <ul style="list-style-type: none"> - アナログ電源入力を追加 - SSU チップセレクト付クロック同期形シリアルI/Oに変更 - I²Cバスインタフェースをチップセレクト付クロック同期形シリアルI/Oの上に移動
		9	表1.6 下記を変更 <ul style="list-style-type: none"> - (SCL) SCL - (SDA) SDA - (TXD1) TXD1 - (RXD1) RXD1 - VSS VSS/AVSS - VCC VCC/AVCC
		15	表4.1 SFR 一覧(1) <ul style="list-style-type: none"> - 0013h: XXXXXX00b 00hに変更
		17	表4.3 SFR 一覧(3) <ul style="list-style-type: none"> - 00BCh: 0000X000b 00h/0000X000bに変更

改訂記録	R8C/20 グループ、R8C/21 グループデータシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2005.09.29	18	表4.4 SFR 一覧(4) - 00D6h: 00000XXXb 00hに変更 - 00F5h: UART1 機能選択レジスタを追加
		19	表4.5 SFR 一覧(5) - 0104h: TRATR TRAに変更
		20	表4.6 SFR 一覧(6) 下記を変更 - 0145h: POCR0 TRDPOCR0 - 0146h、0147h: TRDCNT0 TRD0 - 0148h、0149h: GRA0 TRDGRA0 - 014Ah、014Bh: GRB0 TRDGRB0 - 014Ch、014Dh: GRC0 TRDGRC0 - 014Eh、014Fh: GRD0 TRDGRD0 - 0155h: POCR1 TRDPOCR1 - 0156h、0157h: TRDCNT1 TRD1 - 0158h、0159h: GRA1 TRDGRA1 - 015Ah、015Bh: GRB1 TRDGRB1 - 015Ch、015Dh: GRC1 TRDGRC1 - 015Eh、015Fh: GRD1 TRDGRD1
		22	5. 電気的特性を追加
1.00	2006.08.24	全ページ	「暫定仕様書」、「開発中」の表記を削除
		2	表1.1 R8C/20グループの性能概要 変更、注1削除
		3	表1.2 R8C/21グループの性能概要 変更、注1削除
		5	表1.3 R8C/20グループの製品一覧表 「R5F21208JFP」、「R5F2120AJFP」、「R5F2120CJFP」、 「R5F21208KFP」、「R5F2120AKFP」、「R5F2120CKFP」、注記 追加
			図 1.2 R8C/20グループの型名とメモリサイズ・パッケージ 変更
		6	表1.4 R8C/21グループの製品一覧表 「R5F21218JFP」、「R5F2121AJFP」、「R5F2121CJFP」、 「R5F21218KFP」、「R5F2121AKFP」、「R5F2121CKFP」、注記 追加
			図 1.3 R8C/21グループの型名とメモリサイズ・パッケージ 変更
		7	図 1.4 ピン接続図 「TCLK」、「TRDCLK」変更 「0.5mmピンピッチ、7mm角ボディ」追加
		8	表1.5 端子の機能説明 アナログ電源入力: AVSS間 AVCCとAVSS間 タイマRD: 「TCLK」、「TRDCLK」変更
		9	表 1.6 ピン番号別端子名一覧 「TRDIOA0/TCLK」、「TRDIOA0/TRDCLK」変更、注1追加
		13	図 3.1 R8C/20グループのメモリ配置図 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.08.24	14	3.2 R8C/21グループ (プログラム領域) (プログラムROM) (データ領域) (データフラッシュ) 変更 図 3.2 R8C/21グループのメモリ配置図 変更
		15	表 4.1 SFR一覧(1) 001Ch: 10000000b (注8) 追加、0024h: TBD 出荷時の値 変更 注3、4変更、注6～8追加
		16	表 4.2 SFR一覧(2) 004Fh: 「SSUAIC/IIC2AIC」 「SSUIC/IICIC」変更
		19	表 4.5 SFR一覧(5) 0119h: タイマREコンペアレジスタ タイマREコンペアデータレジスタ 0139h: 「TRDMDR」 「TRDMR」変更
		21	表 5.1 絶対最大定格 変更 表 5.2 推奨動作条件 変更
		22	表 5.3 A/Dコンバータ特性 変更 「図 5.1 ポートP0～P4、P6の測定回路」 「図 5.1 ポートP0～P4、P6 のタイミング測定回路」 タイトル変更
		23	表 5.4 フラッシュメモリ(プログラムROM)の電気的特性 変更
		24	表 5.5 フラッシュメモリ(データフラッシュ、ブロックA、ブロックB)の 電気的特性 変更
		25	「図 5.2 消去動作からサスペンドへの遷移時間」 「図 5.2 サスペンドへ の遷移時間」変更 表 5.6 電圧検出1回路の電気的特性、表 5.7 電圧検出2回路の電気的特性 変更
		26	「表 5.8 電圧監視1リセットの電気的特性」 「表 5.8 パワーオンリセッ ト回路、電圧監視1リセットの電気的特性」 タイトル変更 表 5.9 パワーオンリセット回路の電気的特性 削除 「図 5.3 リセット回路の電気的特性」 「図 5.3 パワーオンリセット回路 の電気的特性」 変更
		27	表 5.9 高速オンチップオシレータ発振回路の電気的特性 変更 表 5.10 低速オンチップオシレータ発振回路の電気的特性 変更
		28	表 5.12 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条 件 変更
		32	表 5.13 I ² Cバスインタフェースのタイミング必要条件 注1変更
		33	表 5.14 電気的特性(1) [Vcc=5V] 変更
		34	表 5.15 電気的特性(2) [Vcc=5V] 変更
		36	表 5.18 シリアルインタフェース 変更
		37	表 5.20 電気的特性(3) [Vcc=3V] 変更
		38	表 5.21 電気的特性(4) [Vcc=3V] 変更
		40	表 5.24 シリアルインタフェース 変更

改訂記録	R8C/20 グループ、R8C/21 グループデータシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.08.24	41	付録1. 外形寸法図 「外形寸法図の、、、パッケージ」に掲載されています。」追加
2.00	2008.08.27	-	「RENESAS TECHNICAL UPDATE」反映：TN-16C-A172A/J
		5、6	表1.3、表1.4 開発中表記を削除
			図1.2、図1.3 「ROM番号」追加
		13、14	図3.1、図3.2 「拡張領域」削除
		23	表5.4 注2 「n回(n=100、1,000、10,000)」 「n回(n=100、1,000)」
		24	表5.5 注2 「n回(n=100、1,000、10,000)」 「n回(n=10,000)」
		25	表5.6 追記、注5追加
			表5.7 変更、注5追加
		26	表5.8 追記、注2変更
			図5.3 変更

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなまじく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
九	州	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com