

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C CPUコアを搭載したシングルチップマイクロコンピュータで、20ピンプラスチックモールドLSSOPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

さらに、R8C/29グループはデータフラッシュ(1KB×2ブロック)を内蔵します。

R8C/28グループとR8C/29グループの違いはデータフラッシュの有無だけです。周辺機能は同一です。

1.1 応用

家電、事務機器、オーディオ、民生一般、自動車、他

1.2 性能概要

表1.1にR8C/28グループの性能概要を、表1.2にR8C/29グループの性能概要を示します。

表1.1 R8C/28グループの性能概要

項目		性能	
CPU	基本命令数	89命令	
	最短命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0~5.5V)(Kバージョン除く) 62.5ns (f(XIN)=16MHz、VCC=3.0~5.5V)(Kバージョン) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V)(N、Dバージョン)	
	動作モード	シングルチップ	
	アドレス空間	1Mバイト	
	メモリ容量	表1.3を参照してください	
	周辺機能	ポート	入出力：13本、入力：3本
LED駆動用ポート		入出力：8本(N、Dバージョン)	
タイマ		タイマRA：8ビット×1チャンネル タイマRB：8ビット×1チャンネル(各タイマ：8ビットプリスケアラ付) タイマRC：16ビット×1チャンネル (インプットキャプチャ回路、アウトプットコンペア回路) タイマRE：リアルタイムクロックおよびコンペアマッチ機能付 (J、Kバージョンはコンペアマッチ機能のみ)	
シリアルインタフェース		1チャンネル(UART0) クロック同期形シリアルI/O、クロック非同期形シリアルI/O 1チャンネル(UART1) クロック非同期形シリアルI/O	
クロック同期形シリアル インタフェース		1チャンネル I ² Cバスインタフェース(注1)、チップセレクト付クロック同期形シリアルI/O	
LINモジュール		ハードウェアLIN：1チャンネル (タイマRA、UART0を使用)	
A/Dコンバータ		10ビットA/Dコンバータ：1回路、4チャンネル	
ウォッチドッグタイマ		15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能	
割り込み		内部：15要因(N、Dバージョン)、内部：14要因(J、Kバージョン) 外部：4要因、ソフトウェア：4要因、割り込み優先レベル：7レベル	
クロック発生回路		3回路 <ul style="list-style-type: none"> • XINクロック発振回路(帰還抵抗内蔵) • オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付 • XCINクロック発振回路(32kHz)(N、Dバージョン) • リアルタイムクロック(タイマRE)あり(N、Dバージョン) 	
発振停止検出機能		XINクロック発振停止検出機能	
電圧検出回路		内蔵	
パワーオンリセット回路		内蔵	
電気的特性		電源電圧	VCC=3.0~5.5V (f(XIN)=20MHz)(Kバージョン除く) VCC=3.0~5.5V (f(XIN)=16MHz)(Kバージョン) VCC=2.7~5.5V (f(XIN)=10MHz) VCC=2.2~5.5V (f(XIN)=5MHz)(N、Dバージョン)
		消費電流(N、Dバージョン)	標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 2.0μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 0.7μA (VCC=3V、ストップモード)
フラッシュ メモリ	プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレーズ回数	100回	
動作周囲温度		-20 ~ 85 (Nバージョン)	
		-40 ~ 85 (D、Jバージョン)(注2)、-40 ~ 125 (Kバージョン)(注2)	
パッケージ		20ピンプラスチックモールドLSSOP	

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. D、Kバージョン機能をご使用になる場合は、その旨ご指定ください。

表1.2 R8C/29グループの性能概要

項目		性能	
CPU	基本命令数	89命令	
	最短命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0~5.5V)(Kバージョン除く) 62.5ns (f(XIN)=16MHz、VCC=3.0~5.5V)(Kバージョン) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V)(N、Dバージョン)	
	動作モード	シングルチップ	
	アドレス空間	1Mバイト	
	メモリ容量	表1.4を参照してください	
周辺機能	ポート	入出力：13本、入力：3本	
	LED駆動用ポート	入出力：8本(N、Dバージョン)	
	タイマ	タイマRA：8ビット×1チャンネル タイマRB：8ビット×1チャンネル(各タイマ：8ビットプリスケアラ付) タイマRC：16ビット×1チャンネル (インプットキャプチャ回路、アウトプットコンペア回路) タイマRE：リアルタイムクロックおよびコンペアマッチ機能付 (J、Kバージョンはコンペアマッチ機能のみ)	
	シリアルインタフェース	1チャンネル(UART0) クロック同期形シリアルI/O、クロック非同期形シリアルI/O 1チャンネル(UART1) クロック非同期形シリアルI/O	
	クロック同期形シリアルインタフェース	1チャンネル I ² Cバスインタフェース(注1)、チップセレクト付クロック同期形シリアルI/O	
	LINモジュール	ハードウェアLIN：1チャンネル (タイマRA、UART0を使用)	
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、4チャンネル	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能	
	割り込み	内部：15要因(N、Dバージョン)、内部：14要因(J、Kバージョン) 外部：4要因、ソフトウェア：4要因、割り込み優先レベル：7レベル	
	クロック発生回路	3回路 <ul style="list-style-type: none"> • XINクロック発振回路(帰還抵抗内蔵) • オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付 • XCINクロック発振回路(32kHz)(N、Dバージョン) • リアルタイムクロック(タイマRE)あり(N、Dバージョン) 	
	発振停止検出機能	XINクロック発振停止検出機能	
	電圧検出回路	内蔵	
	パワーオンリセット回路	内蔵	
	電気的特性	電源電圧	VCC=3.0~5.5V (f(XIN)=20MHz)(Kバージョン除く) VCC=3.0~5.5V (f(XIN)=16MHz)(Kバージョン) VCC=2.7~5.5V (f(XIN)=10MHz) VCC=2.2~5.5V (f(XIN)=5MHz)(N、Dバージョン)
		消費電流(N、Dバージョン)	標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 2.0μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 0.7μA (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレース電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレース回数	10,000回(データフラッシュ) 1,000回(プログラムROM)	
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (D、Jバージョン)(注2)、-40 ~ 125 (Kバージョン)(注2)	
	パッケージ	20ピンプラスチックモールドLSSOP	

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. D、Kバージョン機能をご使用になる場合は、その旨ご指定ください。

1.3 ブロック図

図1.1にブロック図を示します。

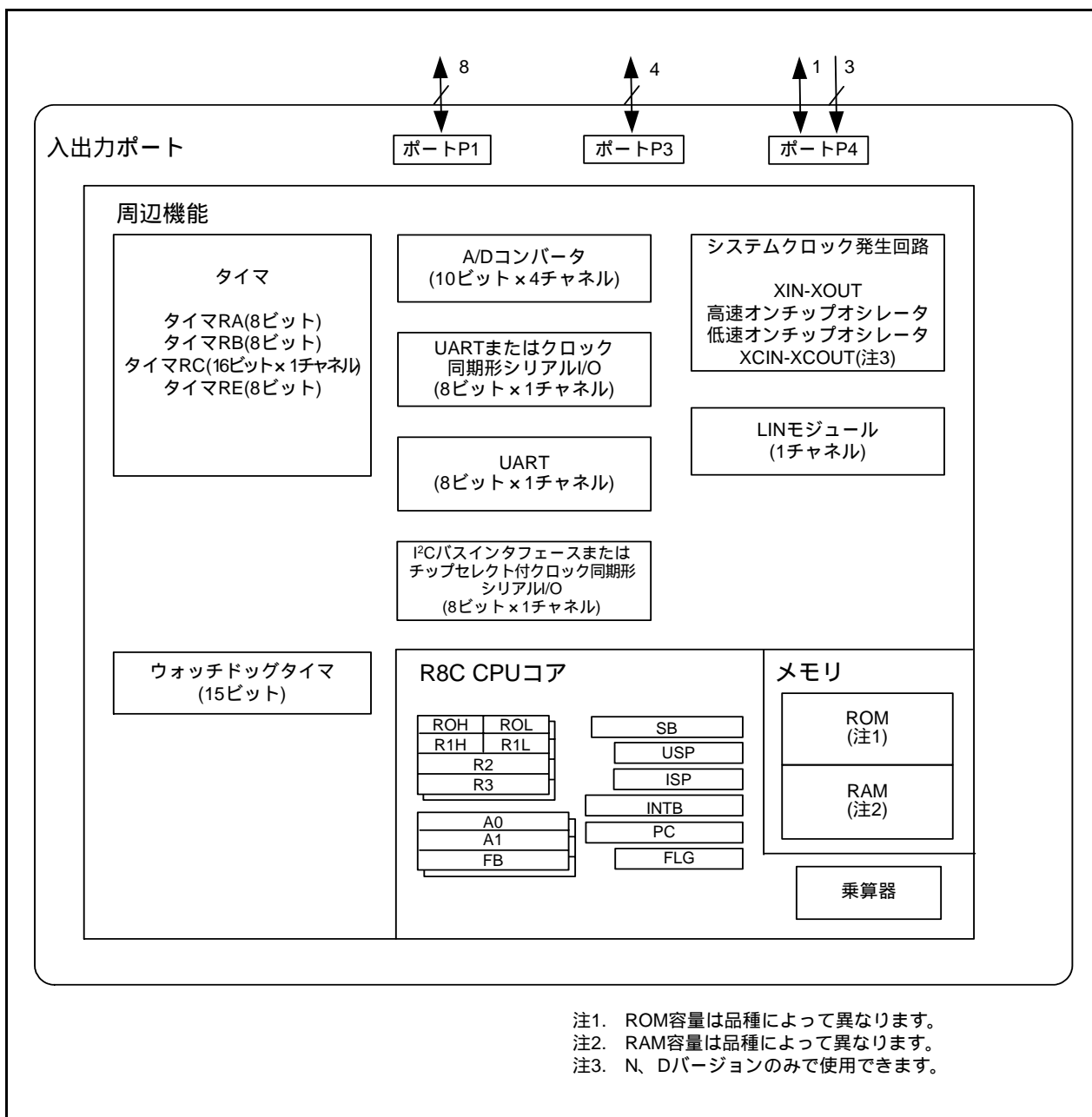


図1.1 ブロック図

1.4 製品一覧

表1.3にR8C/28グループの製品一覧表を、表 1.4にR8C/29グループの製品一覧表を示します。

表1.3 R8C/28グループの製品一覧表

2008年9月現在

型名	ROM容量	RAM容量	パッケージ	備考	
R5F21282SNSP	8Kバイト	512バイト	PLSP0020JB-A	Nバージョン	
R5F21284SNSP	16Kバイト	1Kバイト	PLSP0020JB-A		
R5F21282SDSP	8Kバイト	512バイト	PLSP0020JB-A	Dバージョン	
R5F21284SDSP	16Kバイト	1Kバイト	PLSP0020JB-A		
R5F21284JSP	16Kバイト	1Kバイト	PLSP0020JB-A	Jバージョン	
R5F21286JSP	32Kバイト	1.5Kバイト	PLSP0020JB-A		
R5F21284KSP	16Kバイト	1Kバイト	PLSP0020JB-A	Kバージョン	
R5F21286KSP	32Kバイト	1.5Kバイト	PLSP0020JB-A		
R5F21282SNXXXSP	8Kバイト	512バイト	PLSP0020JB-A	Nバージョン	書き込み 出荷品 (注1)
R5F21284SNXXXSP	16Kバイト	1Kバイト	PLSP0020JB-A		
R5F21282SDXXXSP	8Kバイト	512バイト	PLSP0020JB-A	Dバージョン	
R5F21284SDXXXSP	16Kバイト	1Kバイト	PLSP0020JB-A		
R5F21284JXXXSP	16Kバイト	1Kバイト	PLSP0020JB-A	Jバージョン	
R5F21286JXXXSP	32Kバイト	1.5Kバイト	PLSP0020JB-A		
R5F21284KXXXSP	16Kバイト	1Kバイト	PLSP0020JB-A	Kバージョン	
R5F21286KXXXSP	32Kバイト	1.5Kバイト	PLSP0020JB-A		

注1. ユーザROMを書き込んで出荷します。

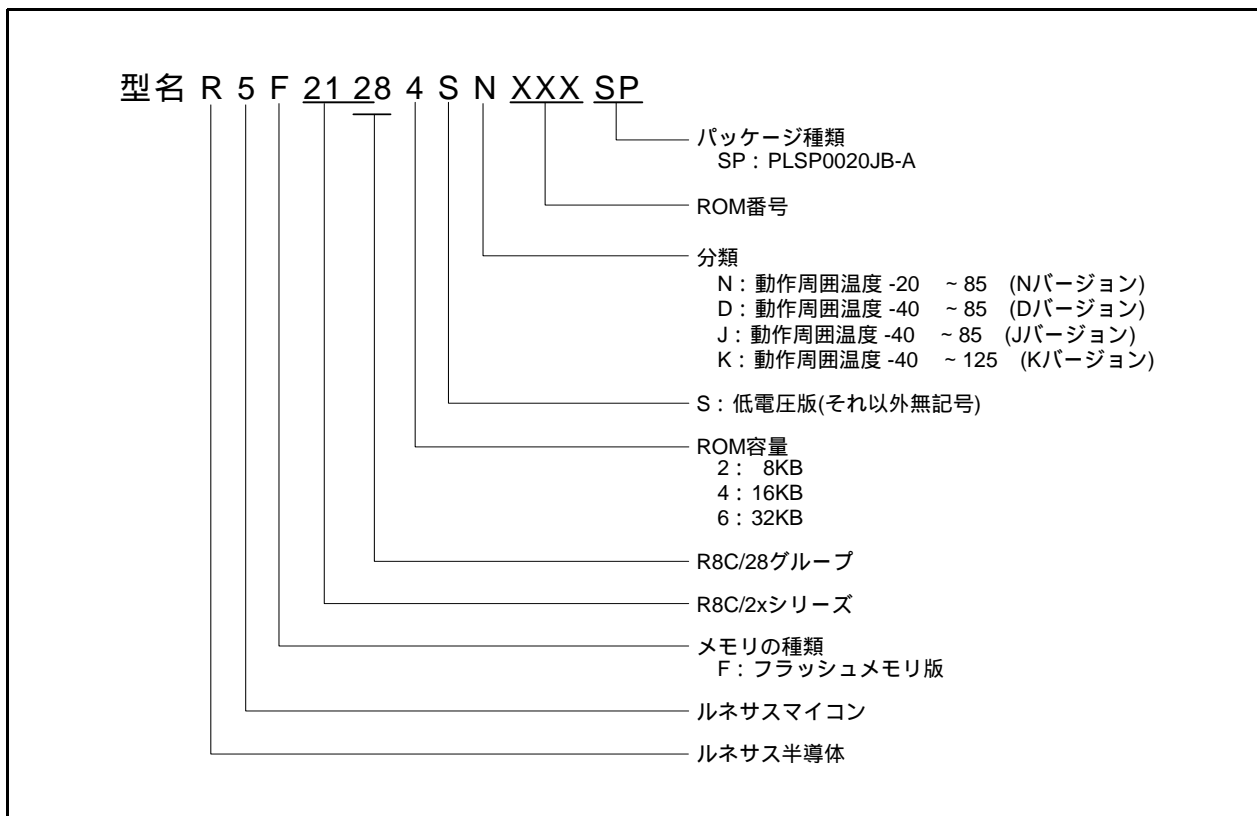


図1.2 型名とメモリサイズ・パッケージ

表 1.4 R8C/29グループの製品一覧表

2008年9月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21292SNSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	Nバージョン
R5F21294SNSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21292SDSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	Dバージョン
R5F21294SDSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21294JSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	Jバージョン
R5F21296JSP	32Kバイト	1Kバイト×2	1.5Kバイト	PLSP0020JB-A	
R5F21294KSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	Kバージョン
R5F21296KSP	32Kバイト	1Kバイト×2	1.5Kバイト	PLSP0020JB-A	
R5F21292SNXXXSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	書き込み出荷品 (注1)
R5F21294SNXXXSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21292SDXXXSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F21294SDXXXSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21294JXXXSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21296JXXXSP	32Kバイト	1Kバイト×2	1.5Kバイト	PLSP0020JB-A	
R5F21294KXXXSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21296KXXXSP	32Kバイト	1Kバイト×2	1.5Kバイト	PLSP0020JB-A	

注1. ユーザROMを書き込んで出荷します。

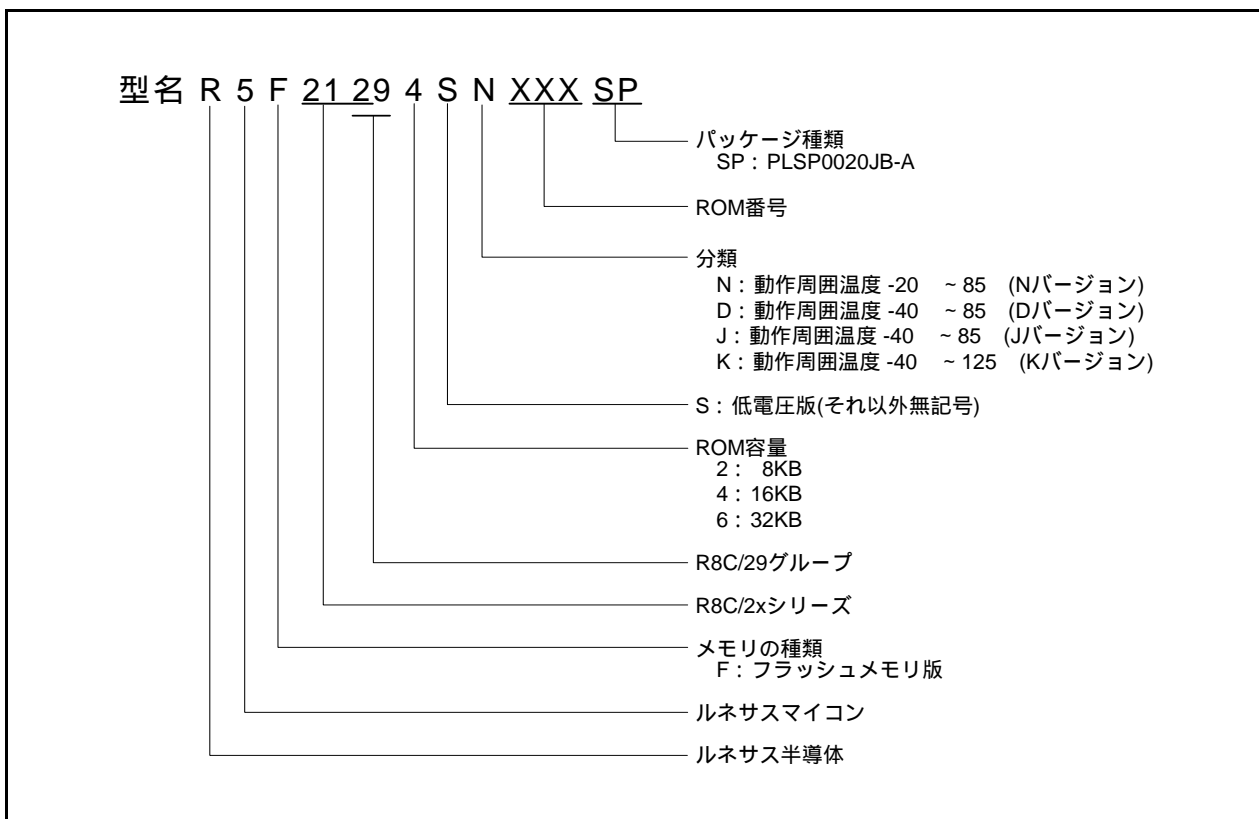


図 1.3 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図 1.4にピン接続図(上面図)を示します。

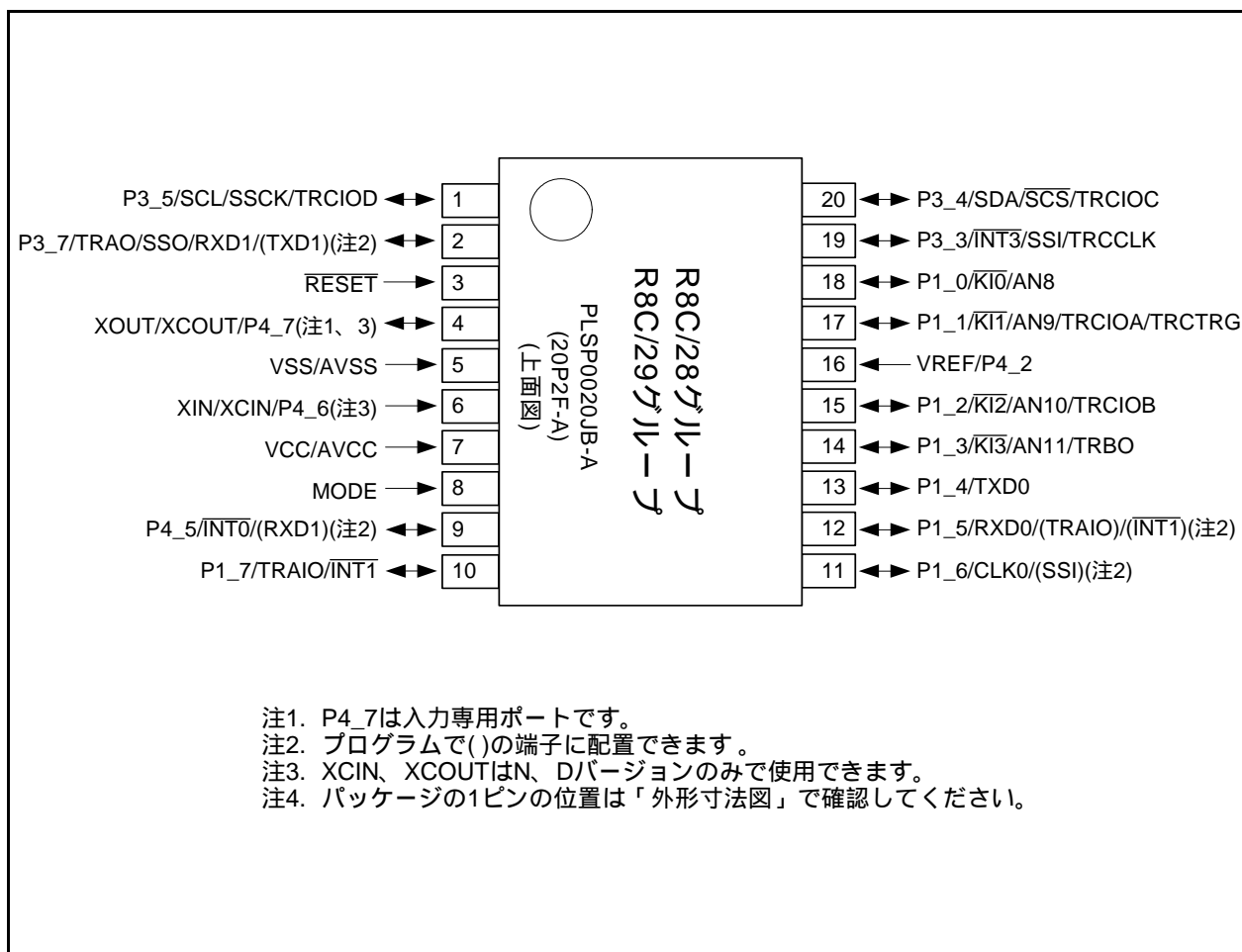


図 1.4 ピン接続図(上面図)

1.6 端子の機能説明

表1.5に端子の機能説明を示します。

表1.5 端子の機能説明

分類	端子名	入出力	機能
電源入力	VCC、VSS	入力	VCCには、2.2～5.5V(J、Kバージョンは2.7～5.5V)を入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	入力	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	リセット端子です。この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
XCINクロック入力 (N、Dバージョン)	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください。
XCINクロック出力 (N、Dバージョン)	XCOUT	出力	外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
INT割り込み入力	INT0、INT1、INT3	入力	INT割り込みの入力端子です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力端子です。
タイマRA	TRAO	出力	タイマRAの出力端子です。
	TRAI0	入出力	タイマRAの入出力端子です。
タイマRB	TRBO	出力	タイマRBの出力端子です。
タイマRC	TRCCLK	入力	外部クロック入力端子です。
	TRCTRG	入力	外部トリガ入力端子です。
	TRCIOA、TRCIOB TRCIOC、TRCIOD	入出力	アウトプットコンペア出力/インプットキャプチャ入力/ PWM/PWM2出力兼用端子です。
シリアルインタ フェース	CLK0	入出力	クロック入出力端子です。
	RXD0、RXD1	入力	受信データ入力端子です。
	TXD0、TXD1	出力	送信データ出力端子です。
I ² Cバスインタフェース	SCL	入出力	クロック入出力端子です。
	SDA	入出力	データ入出力端子です。
チップセレクト付 クロック同期形シリアルI/O	SSI	入出力	データ入出力端子です。
	SCS	入出力	チップセレクト入出力端子です。
	SSCK	入出力	クロック入出力端子です。
	SSO	入出力	データ入出力端子です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力端子です。
A/Dコンバータ	AN8～AN11	入力	A/Dコンバータのアナログ入力端子です。
入出力ポート	P1_0～P1_7、 P3_3～P3_5、P3_7、 P4_5	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP1_0～P1_7は、LED駆動ポートとして使用できます(N、Dバージョン)。
入力ポート	P4_2、P4_6、P4_7	入力	入力専用ポートです。

表1.6 ピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子						
			割り込み	タイマ	シリアルインタフェース	チップセレクト付クロック同期形シリアルI/O	I ² Cバスインタフェース	ADコンバータ	
1		P3_5		TRCIOD			SCK	SCL	
2		P3_7		TRAO	RXD1/(TXD1)(注1)		SSO		
3	RESET								
4	XOUT/ XCOUT (注2)	P4_7							
5	VSS/AVSS								
6	XIN/XCIN (注2)	P4_6							
7	VCC/AVCC								
8	MODE								
9		P4_5	$\overline{\text{INT0}}$		(RXD1)(注1)				
10		P1_7	$\overline{\text{INT1}}$	TRAIO					
11		P1_6			CLK0	(SSI)(注1)			
12		P1_5	($\overline{\text{INT1}}$)(注1)	(TRAIO)(注1)	RXD0				
13		P1_4			TXD0				
14		P1_3	$\overline{\text{KI3}}$	TRBO					AN11
15		P1_2	$\overline{\text{KI2}}$	TRCIOB					AN10
16	VRFF	P4_2							
17		P1_1	$\overline{\text{KI1}}$	TRCIOA/ TRCTRG					AN9
18		P1_0	$\overline{\text{KI0}}$						AN8
19		P3_3	$\overline{\text{INT3}}$	TRCCLK			SSI		
20		P3_4		TRCIOC			$\overline{\text{SCS}}$	SDA	

注1. プログラムで()の端子に配置できます。

注2. XCIN、XCOUTはN、Dバージョンのみで使用できます。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

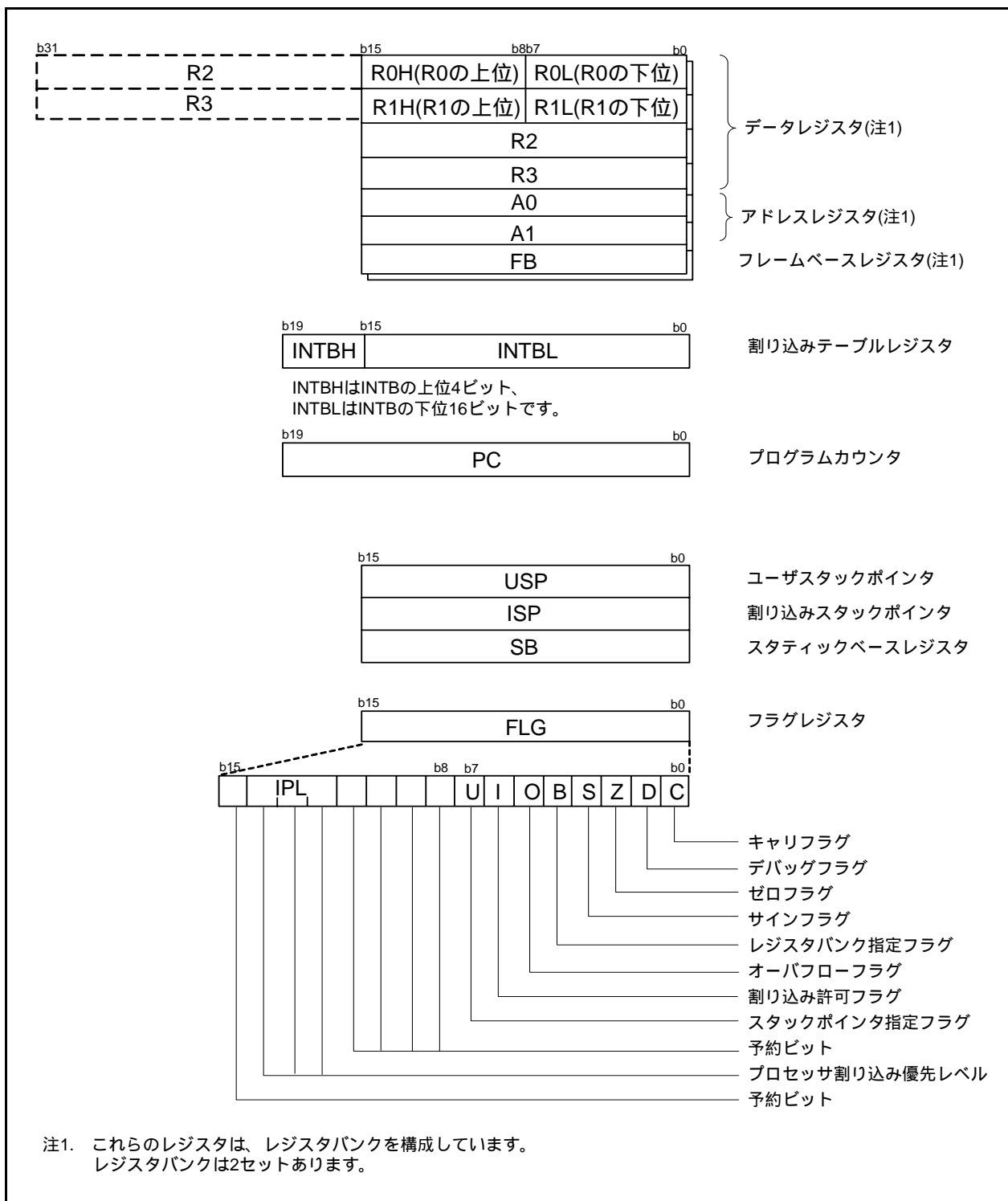


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/28グループ

図3.1にR8C/28グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

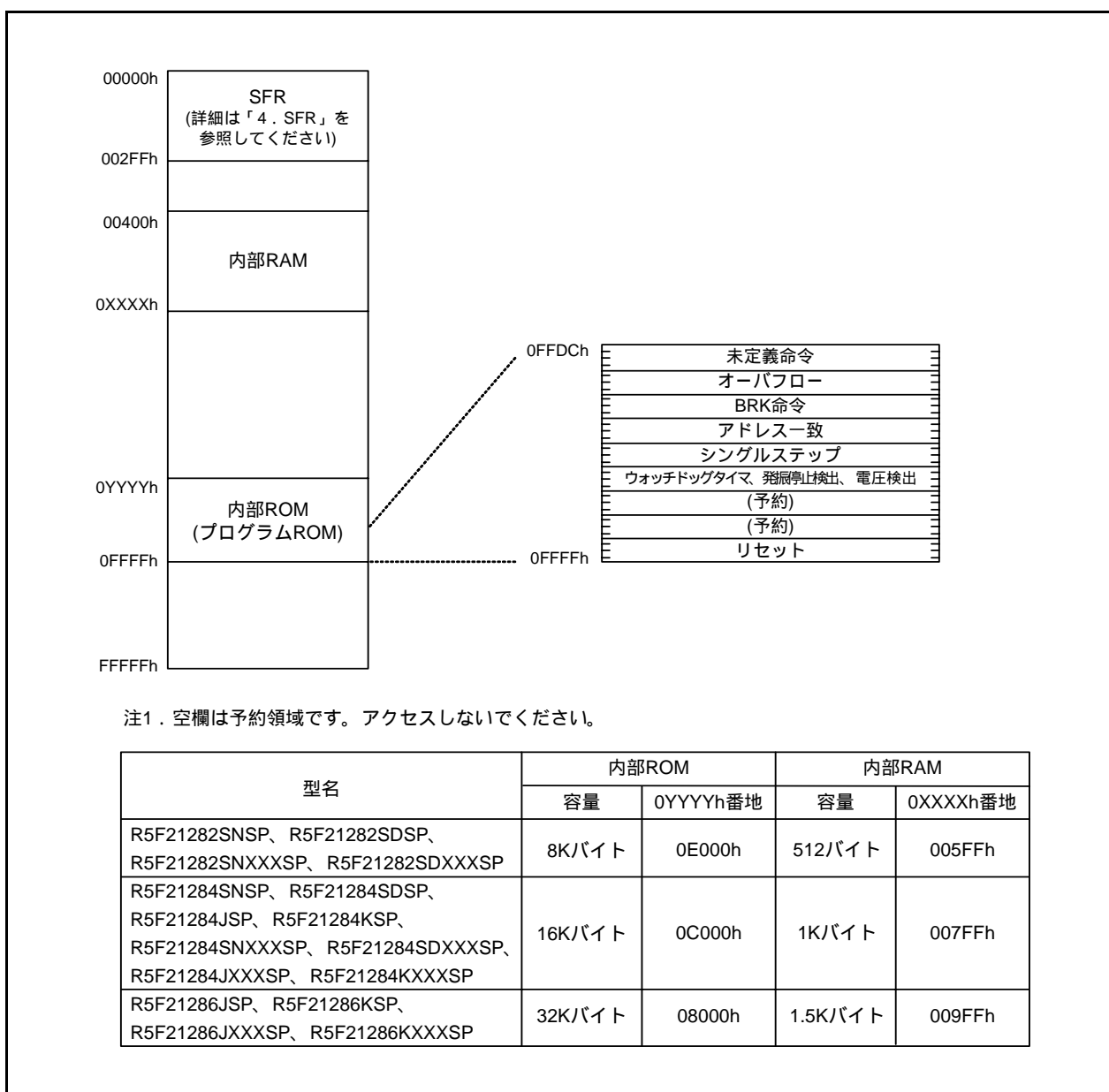


図3.1 R8C/28グループのメモリ配置図

3.2 R8C/29グループ

図3.2にR8C/29グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02400h番地から02BFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

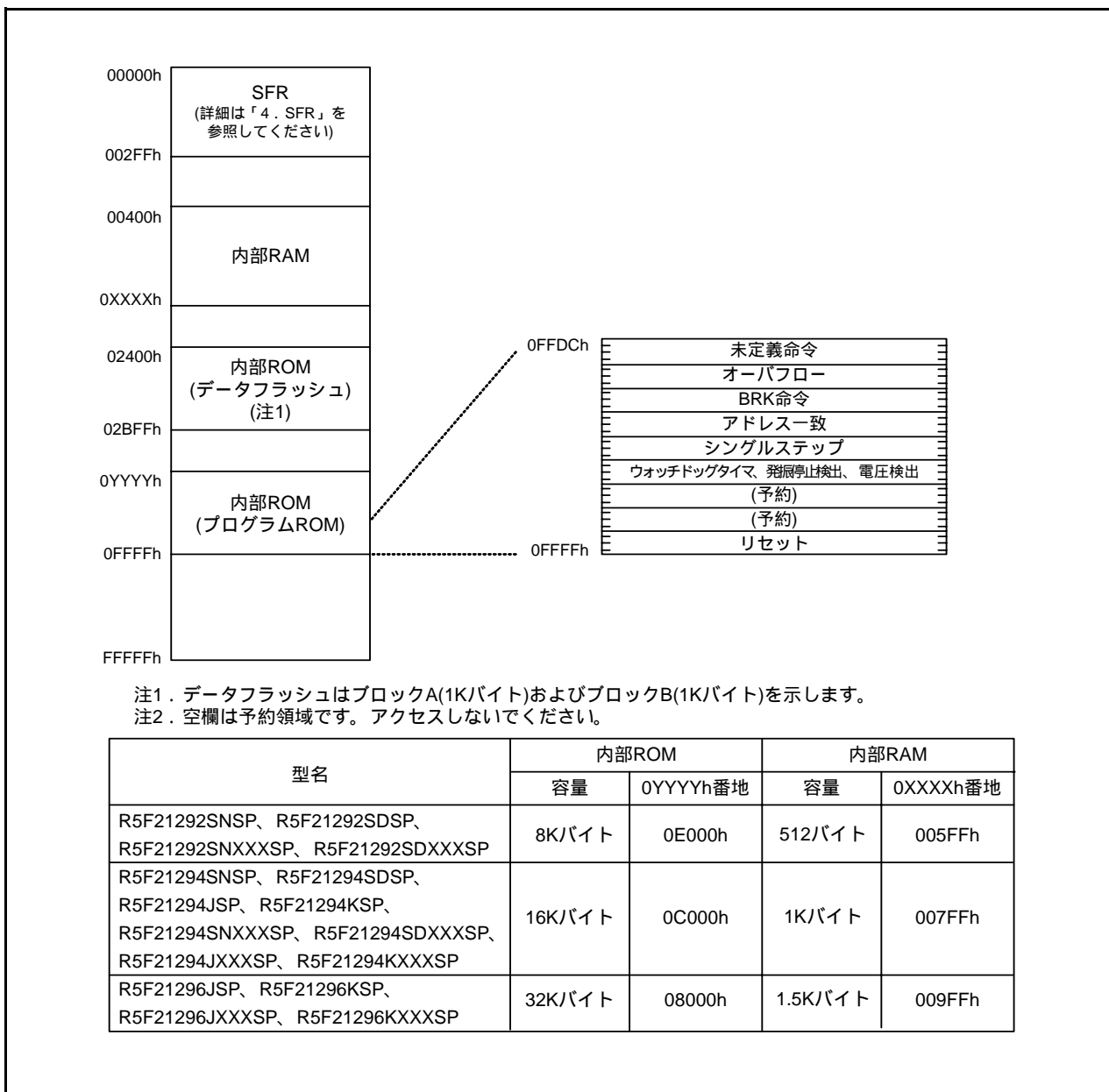


図3.2 R8C/29グループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.7にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	01101000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h
0011h			00h
0012h			00h
0013h	アドレス一致割り込み許可レジスタ	AIER	00h
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注2)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h	高速オンチップオシレータ制御レジスタ4 (注3)	FRA4	出荷時の値
002Ah			
002Bh	高速オンチップオシレータ制御レジスタ6 (注3)	FRA6	出荷時の値
002Ch	高速オンチップオシレータ制御レジスタ7 (注3)	FRA7	出荷時の値
002Dh			
002Eh			
002Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタのCSPROINIビットが“0”の場合。

注3. J、Kバージョンでは予約領域です。アクセスしないでください。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0030h			
0031h	電圧検出レジスタ1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ2 (注2)	VCA2	<ul style="list-style-type: none"> • N、Dバージョン 00h (注3) 00100000b (注4) • J、Kバージョン 00h (注7) 01000000b (注8)
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ (注5)	VW1C	<ul style="list-style-type: none"> • N、Dバージョン 00001000b • J、Kバージョン 0000X000b (注7) 0100X001b (注8)
0037h	電圧監視2回路制御レジスタ (注5)	VW2C	00h
0038h	電圧監視0回路制御レジスタ (注6)	VW0C	<ul style="list-style-type: none"> 0000X000b (注3) 0100X001b (注4)
0039h			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h			
0049h			
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ (注9)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h			
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
006Fh			
0070h			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. (N、Dバージョン)ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットでは変化しません。

(J、Kバージョン)ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセットでは変化しません。

注3. OFSレジスタのLVD00Nビットが“1”かつハードウェアリセットの場合。

注4. パワーオンリセット、電圧監視0リセットまたはOFSレジスタのLVD00Nビットが“0”かつハードウェアリセットの場合。

注5. (N、Dバージョン)ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットではb2、b3は変化しません。

(J、Kバージョン)ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセットではb2、b3は変化しません。

注6. (N、Dバージョン)ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットでは変化しません。

(J、Kバージョン)予約領域です。アクセスしないでください。

注7. OFSレジスタのLVD10Nビットが“1”かつハードウェアリセットの場合。

注8. パワーオンリセット、電圧監視1リセットまたはOFSレジスタのLVD10Nビットが“0”かつハードウェアリセットの場合。

注9. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART1送受信モードレジスタ	U1MR	00h
00A9h	UART1ビットレートレジスタ	U1BRG	XXh
00AAh	UART1送信バッファレジスタ	U1TB	XXh
00ABh			XXh
00ACh	UART1送受信制御レジスタ0	U1C0	00001000b
00ADh	UART1送受信制御レジスタ1	U1C1	00000010b
00AEh	UART1受信バッファレジスタ	U1RB	XXh
00AFh			XXh
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH / IICバス制御レジスタ1 (注2)	SSCRH / ICCR1	00h
00B9h	SS制御レジスタL / IICバス制御レジスタ2 (注2)	SSCRL / ICCR2	01111101b
00BAh	SSモードレジスタ / IICバスモードレジスタ (注2)	SSMR / ICMR	00011000b
00BBh	SS許可レジスタ / IICバス割り込み許可レジスタ (注2)	SSER / ICIER	00h
00BCh	SSステータスレジスタ / IICバスステータスレジスタ (注2)	SSSR / ICSR	00h / 0000X000b
00BDh	SSモードレジスタ2 / スレーブアドレスレジスタ (注2)	SSMR2 / SAR	00h
00BEh	SS送信データレジスタ / IICバス送信データレジスタ (注2)	SSTDR / ICDRT	FFh
00BFh	SS受信データレジスタ / IICバス受信データレジスタ (注2)	SSRDR / ICDDR	FFh

注1. 空欄は予約領域です。アクセスしないでください。

注2. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/Dレジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D制御レジスタ2	ADCON2	00h
00D5h			
00D6h	A/D制御レジスタ0	ADCON0	00h
00D7h	A/D制御レジスタ1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポートP1レジスタ	P1	00h
00E2h			
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h			
00E5h	ポートP3レジスタ	P3	00h
00E6h			
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	00h
00E9h			
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h	端子選択レジスタ1	PINSR1	00h
00F6h	端子選択レジスタ2	PINSR2	00h
00F7h	端子選択レジスタ3	PINSR3	00h
00F8h	ポートモードレジスタ	PMR	00h
00F9h	外部入力許可レジスタ	INTEN	00h
00FAh	INT入力フィルタ選択レジスタ	INTF	00h
00FBh	キー入力許可レジスタ	KIEN	00h
00FCh	プルアップ制御レジスタ0	PUR0	00h
00FDh	プルアップ制御レジスタ1	PUR1	00h
00FEh	ポートP1駆動能力制御レジスタ	P1DRR	00h
00FFh	(注2)		

注1. 空欄は予約領域です。アクセスしないでください。

注2. J、Kバージョンでは予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h			
0106h	LINコントロールレジスタ	LINCR	00h
0107h	LINステータスレジスタ	LINST	00h
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタデータレジスタ	TRESEC	00h
0119h	タイマRE分データレジスタ/コンペアデータレジスタ	TREMIN	00h
011Ah	タイマRE時データレジスタ	TREHR	00h
011Bh	タイマRE曜日データレジスタ	TREWK	00h
011Ch	タイマRE制御レジスタ1	TRECR1	00h
011Dh	タイマRE制御レジスタ2	TRECR2	00h
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h	タイマRCカウンタ	TRC	00h 00h
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh FFh
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh FFh
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh FFh
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh FFh
012Fh			
0130h	タイマRC制御レジスタ2	TRCCR2	00011111b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. J、Kバージョンでは予約領域です。アクセスしないでください。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
FFFFh	オプション機能選択レジスタ	OFS	(注2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタはプログラムで変更できません。フラッシュライターで書いてください。

X: 不定です。

5. 電気的特性

5.1 N、Dバージョン

表5.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /AV _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	Topr = 25	500	mW
Topr	動作周囲温度		- 20 ~ 85(Nバージョン) / - 40 ~ 85(Dバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表5.2 推奨動作条件

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V _{CC} /AV _{CC}	電源電圧		2.2		5.5	V	
V _{SS} /AV _{SS}	電源電圧			0		V	
V _{IH}	“H” 入力電圧		0.8V _{CC}		V _{CC}	V	
V _{IL}	“L” 入力電圧		0		0.2V _{CC}	V	
I _{OH} (sum)	“H” 尖頭総出力電流	全端子のI _{OH} (peak)の 総和			- 160	mA	
I _{OH} (sum)	“H” 平均総出力電流	全端子のI _{OH} (avg)の 総和			- 80	mA	
I _{OH} (peak)	“H” 尖頭出力電流	P1_0 ~ P1_7以外			- 10	mA	
		P1_0 ~ P1_7			- 40	mA	
I _{OH} (avg)	“H” 平均出力電流	P1_0 ~ P1_7以外			- 5	mA	
		P1_0 ~ P1_7			- 20	mA	
I _{OL} (sum)	“L” 尖頭総出力電流	全端子のI _{OL} (peak)の 総和			160	mA	
I _{OL} (sum)	“L” 平均総出力電流	全端子のI _{OL} (avg)の 総和			80	mA	
I _{OL} (peak)	“L” 尖頭出力電流	P1_0 ~ P1_7以外			10	mA	
		P1_0 ~ P1_7			40	mA	
I _{OL} (avg)	“L” 平均出力電流	P1_0 ~ P1_7以外			5	mA	
		P1_0 ~ P1_7			20	mA	
f(XIN)	XINクロック入力発振周波数	3.0V V _{CC} 5.5V	0		20	MHz	
		2.7V V _{CC} < 3.0V	0		10	MHz	
		2.2V V _{CC} < 2.7V	0		5	MHz	
f(XCIN)	XCINクロック入力発振周波数	2.2V V _{CC} 5.5V	0		70	kHz	
	システムクロック	OCD2 = “0” XINクロック選択時	3.0V V _{CC} 5.5V	0		20	MHz
			2.7V V _{CC} < 3.0V	0		10	MHz
			2.2V V _{CC} < 2.7V	0		5	MHz
		OCD2 = “1” オンチップオシレータ クロック選択時	FRA01 = “0” 低速オンチップオシレータ選択時		125		kHz
			FRA01 = “1” 高速オンチップオシレータ選択時 3.0V V _{CC} 5.5V			20	MHz
			FRA01 = “1” 高速オンチップオシレータ選択時 2.7V V _{CC} 5.5V			10	MHz
FRA01 = “1” 高速オンチップオシレータ選択時 2.2V V _{CC} 5.5V			5	MHz			

注1. 指定のない場合は、V_{CC} = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン) です。

注2. 平均出力電流は100 msの期間内での平均値です。

表5.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
	分解能	Vref = AVcc			10	Bit	
	絶対精度	10ビットモード	AD = 10MHz, Vref = AVcc = 5.0V			± 3	LSB
		8ビットモード	AD = 10MHz, Vref = AVcc = 5.0V			± 2	LSB
		10ビットモード	AD = 10MHz, Vref = AVcc = 3.3V			± 5	LSB
		8ビットモード	AD = 10MHz, Vref = AVcc = 3.3V			± 2	LSB
		10ビットモード	AD = 5MHz, Vref = AVcc = 2.2V			± 5	LSB
		8ビットモード	AD = 5MHz, Vref = AVcc = 2.2V			± 2	LSB
Rladder	ラダ - 抵抗	Vref = AVcc	10		40	k	
tconv	変換時間	10ビットモード	AD = 10MHz, Vref = AVcc = 5.0V	3.3			μs
		8ビットモード	AD = 10MHz, Vref = AVcc = 5.0V	2.8			μs
Vref	基準電圧		2.2		AVcc	V	
VIA	アナログ入力電圧(注2)		0		AVcc	V	
	A/D動作クロック 周波数	サンプル&ホールドなし	Vref = AVcc = 2.7V ~ 5.5V	0.25		10	MHz
		サンプル&ホールドあり	Vref = AVcc = 2.7V ~ 5.5V	1		10	MHz
		サンプル&ホールドなし	Vref = AVcc = 2.2V ~ 5.5V	0.25		5	MHz
		サンプル&ホールドあり	Vref = AVcc = 2.2V ~ 5.5V	1		5	MHz

注1. 指定のない場合は、AVcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

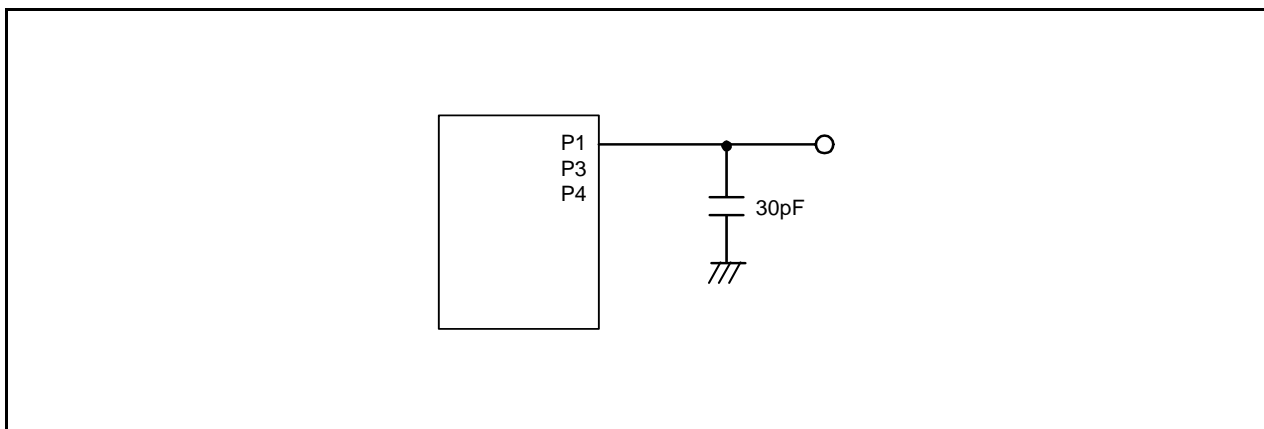


図5.1 ポートP1、P3、P4のタイミング測定回路

表5.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/28グループ	100(注3)			回
		R8C/29グループ	1,000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t _d (SR-SUS)	サスペンドへの遷移時間				97 + CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3 + CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t _d (SR-SUS)	サスペンドへの遷移時間				97 + CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3 + CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. プログラム/イレーズ回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラムROMと同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

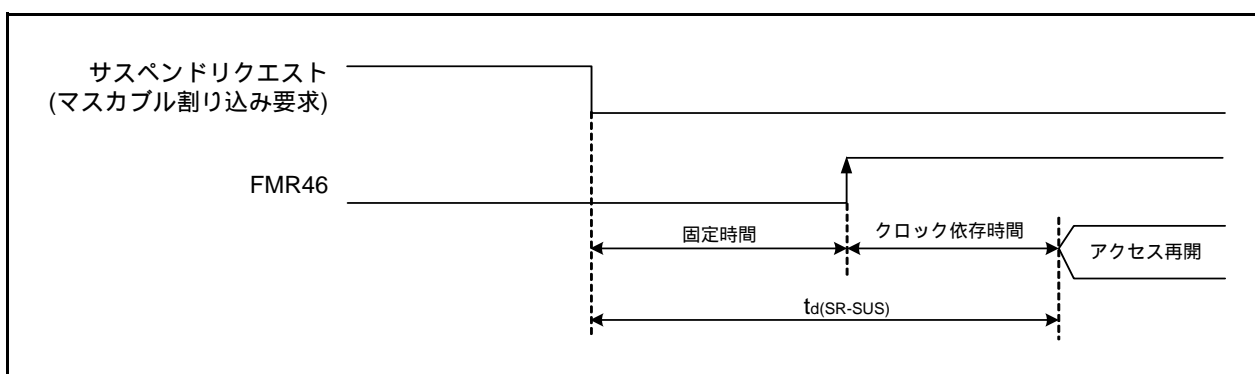


図5.2 サスペンドへの遷移時間

表5.6 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベル		2.2	2.3	2.4	V
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V		0.9		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				300	μs
Vccmin	マイコンの動作電圧の最小値		2.2			V

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.7 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベル(注4)		2.7	2.85	3.00	V
	電圧監視1割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. 電源の立ち下り時の電圧検出レベルを示しています。電源の立ち上り時の検出レベルは、電源の立ち下り時の電圧検出レベルより、0.1V程度大きい値になります。

表5.8 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベル		3.3	3.6	3.9	V
	電圧監視2割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.9 パワーオンリセット回路、電圧監視0リセットの電気的特性(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por1}	パワーオンリセットが有効になる電圧 (注4)				0.1	V
V _{por2}	パワーオンリセットまたは電圧監視0リセットが有効になる電圧		0		V _{det0}	V
t _{trh}	外部電源V _{cc} の立ち上がり傾き(注2)		20			mV/msec

注1. 指定のない場合測定条件は、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. V_{cc} 1.0 Vで使用する場合、この条件(外部電源V_{cc}立ち上がり傾き)は不要です。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVD00Nビットを“0”、VW0CレジスタのVW0C0ビットを“1”、VW0C6ビットを“1”、VCA2レジスタのVCA25ビットを“1”にして電圧監視0リセットを有効にしてください。

注4. t_{w(por1)}は外部電源V_{cc}を有効電圧(V_{por1})以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を最初に立ち上げる時は -20 ≤ Topr ≤ 85 ではt_{w(por1)}を30s以上、-40 ≤ Topr < -20 ではt_{w(por1)}を3000s以上保持してください。

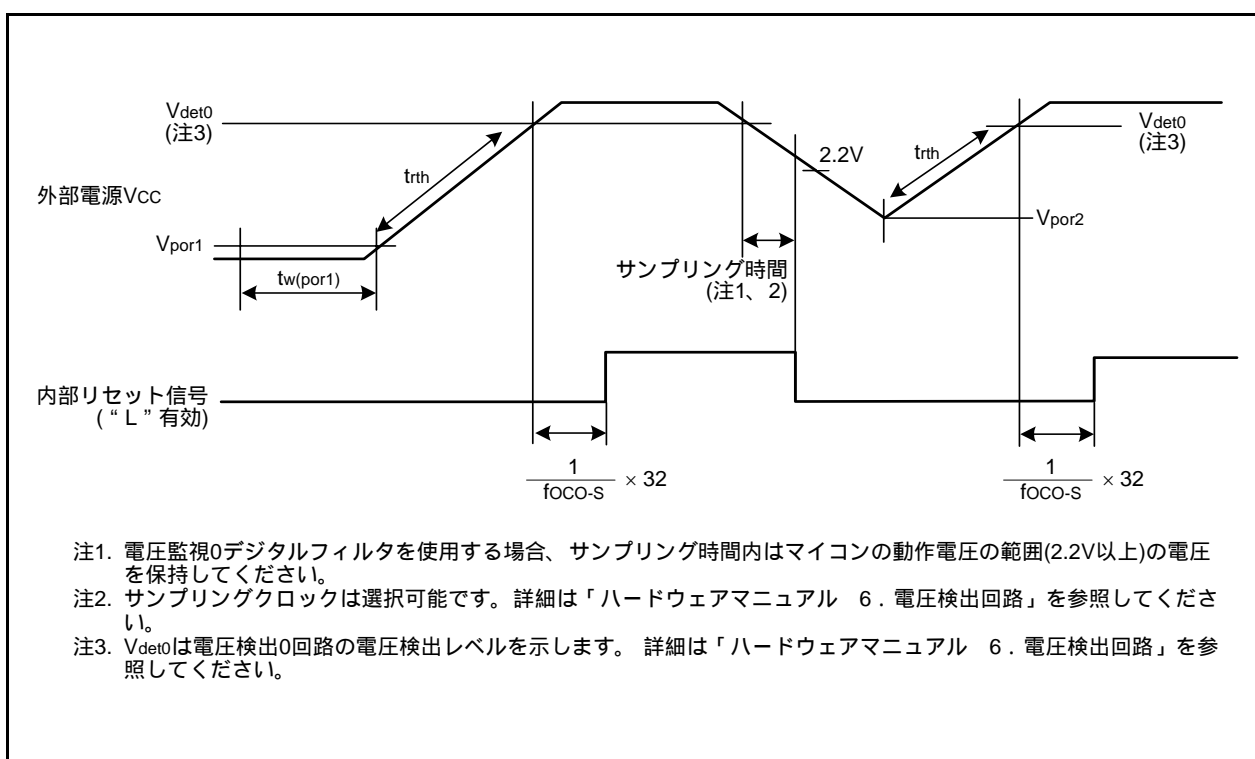


図5.3 リセット回路の電気的特性

表5.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO40M	高速オンチップオシレータ発振周波数の温度・電圧依存性	Vcc = 4.75V ~ 5.25V 0 Topr 60 (注2)	39.2	40	40.8	MHz
		Vcc = 3.0V ~ 5.5V - 20 Topr 85 (注2)	38.8	40	41.2	MHz
		Vcc = 3.0V ~ 5.5V - 40 Topr 85 (注2)	38.4	40	41.6	MHz
		Vcc = 2.7V ~ 5.5V - 20 Topr 85 (注2)	38	40	42	MHz
		Vcc = 2.7V ~ 5.5V - 40 Topr 85 (注2)	37.6	40	42.4	MHz
		Vcc = 2.2V ~ 5.5V - 20 Topr 85 (注3)	35.2	40	44.8	MHz
		Vcc = 2.2V ~ 5.5V - 40 Topr 85 (注3)	34	40	46	MHz
		Vcc = 5.0V ± 10% - 20 Topr 85 (注2)	38.8	40	40.8	MHz
		Vcc = 5.0V ± 10% - 40 Topr 85 (注2)	38.4	40	40.8	MHz
		FRA7レジスタの補正値をFRA1レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注4)	Vcc = 5.0V, Topr = 25		36.864	
	Vcc = 3.0V ~ 5.5V - 20 Topr 85	- 3%		3%	%	
	リセット解除時のFRA1レジスタの値		08h(注3)		F7h(注3)	
	高速オンチップオシレータ発振周波数調整単位	FRA1レジスタ(リセット解除時の値)を-1ビットに調整		+ 0.3		MHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc = 5.0V, Topr = 25		400		μA

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. FRA1レジスタがリセット解除時の値のときの規格値です。

注3. FRA6レジスタの補正値をFRA1レジスタに書き込んだときの規格値です。

注4. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表5.11 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		30	125	250	kHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc = 5.0V, Topr = 25		15		μA

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

表5.12 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP解除時間(注3)				150	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表5.13 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tsucyc
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tsucyc
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tcyc + 50			ns
tLAG	SCSホールド時間	スレーブ		1tcyc + 50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tcyc (注2)
tSA	SSIスレーブアクセス時間		2.7V Vcc 5.5V			1.5tcyc + 100	ns
			2.2V Vcc < 2.7V			1.5tcyc + 200	ns
tOR	SSIスレーブアウト開放時間		2.7V Vcc 5.5V			1.5tcyc + 100	ns
			2.2V Vcc < 2.7V			1.5tcyc + 200	ns

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. 1tcyc=1/f1(s)

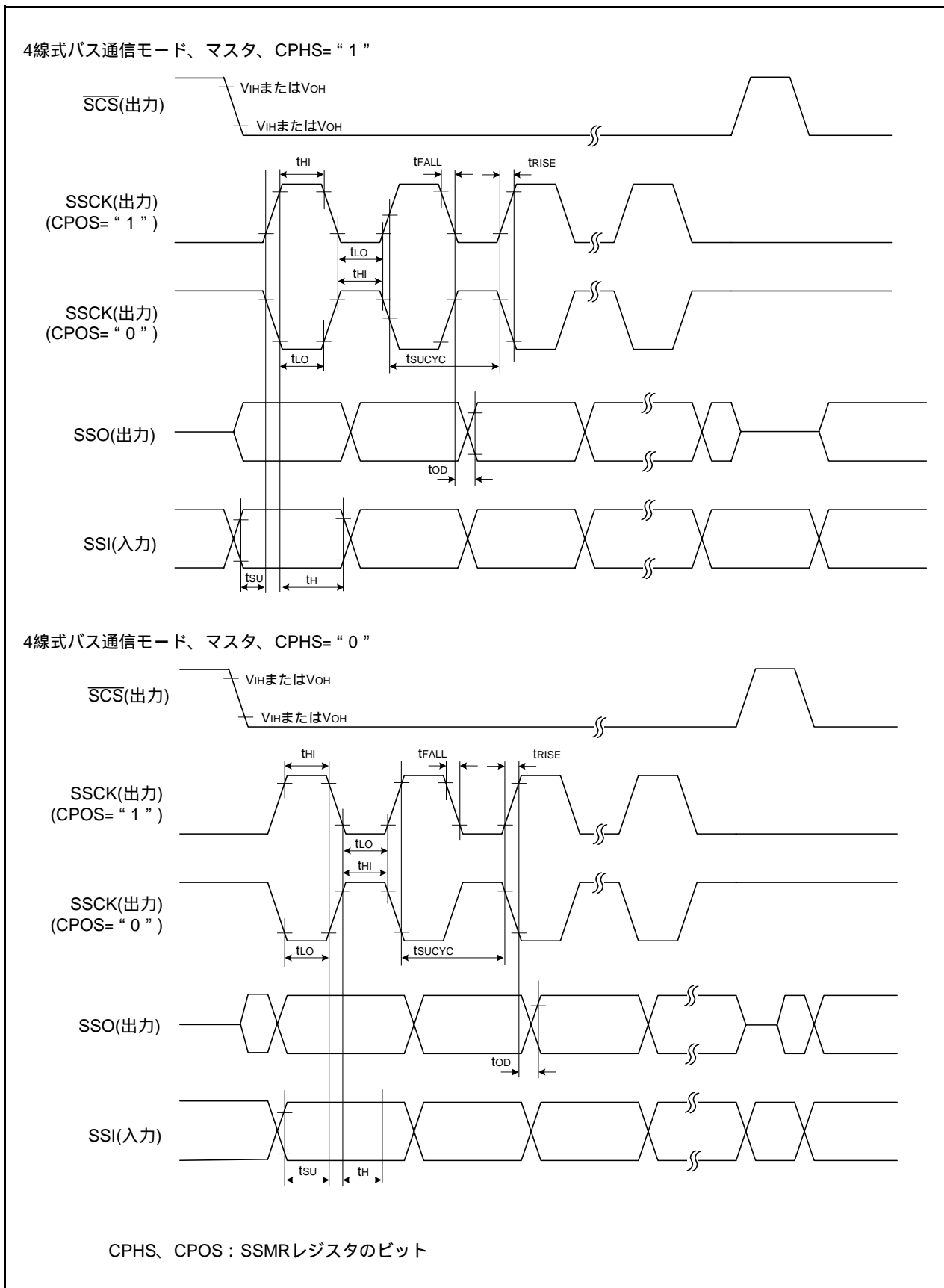


図5.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

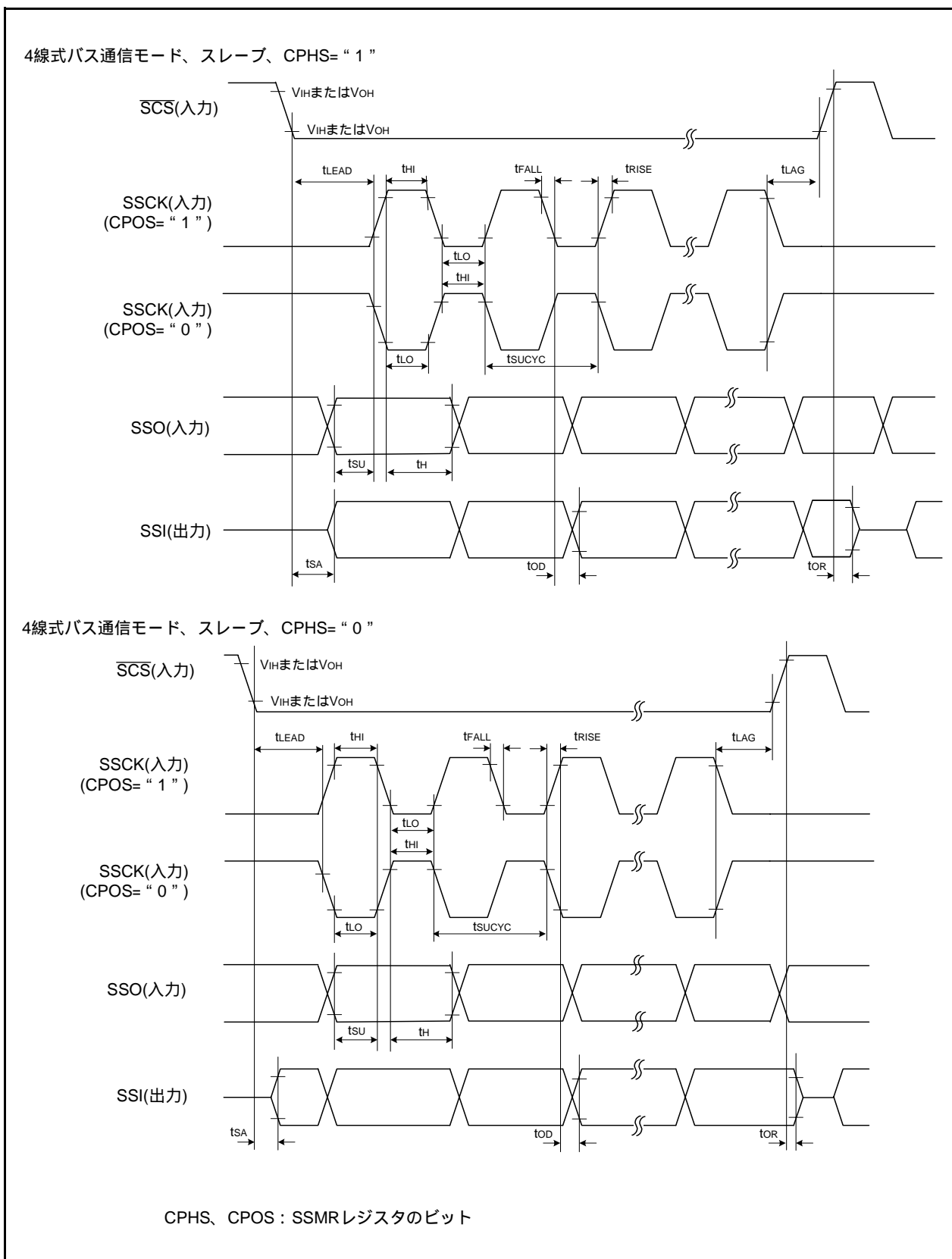


図5.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

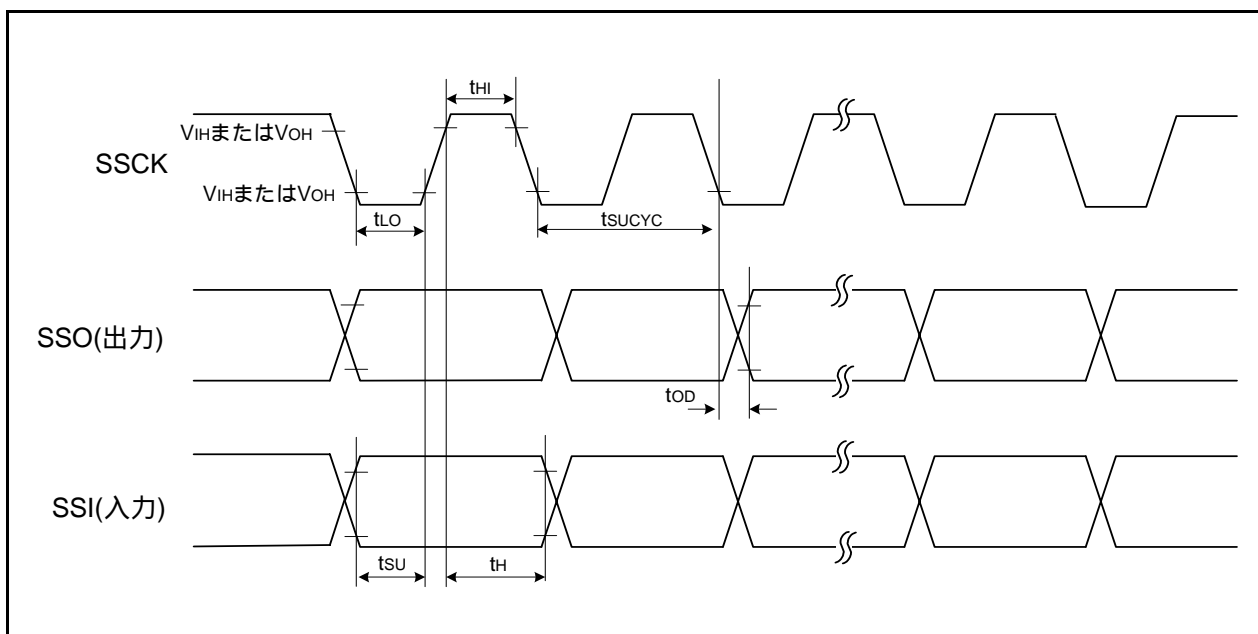


図5.6 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表5.14 I²Cバスインターフェースのタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600(注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc + 300(注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc + 500(注2)			ns
tsf	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入カスパイクパルス除去時間				1tcyc(注2)	ns
tBUF	SDA入力パスフリー時間		5tcyc(注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc(注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
tSTOP	停止条件入力セットアップ時間		3tcyc(注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 20(注2)			ns
tSDAH	データ入力ホールド時間		0			ns

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。
 注2. 1tcyc = 1/f1(s)

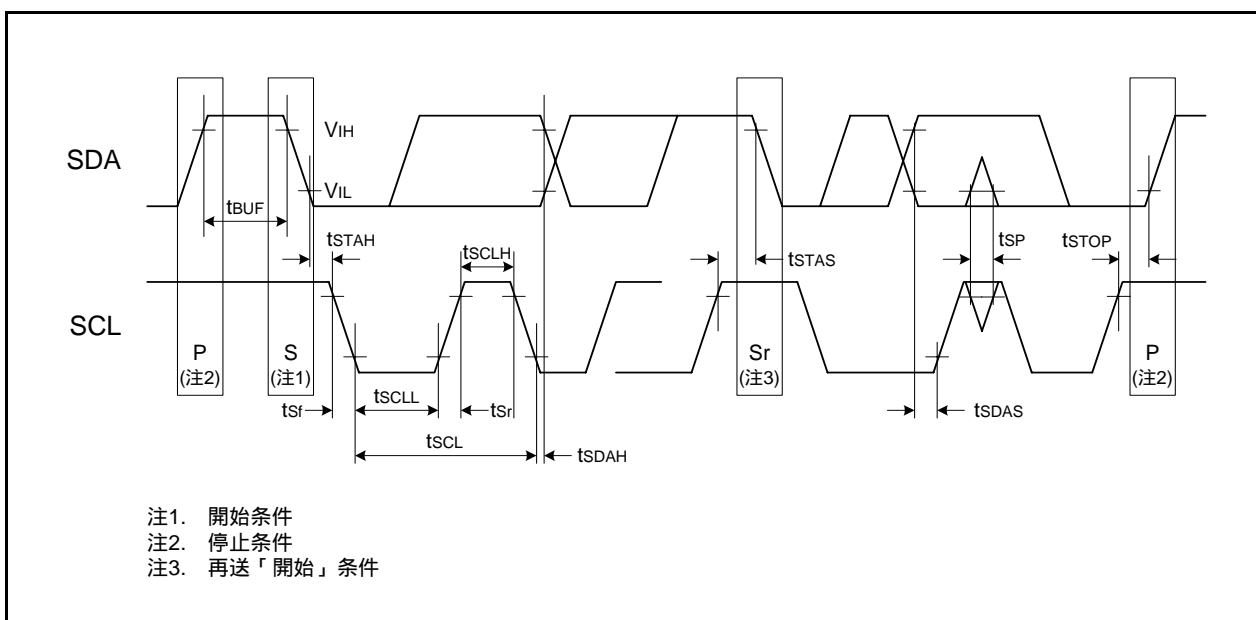


図5.7 I²Cバスインターフェースの入出力タイミング

表5.15 電気的特性(1) [Vcc = 5V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	“H”出力電圧	P1_0 ~ P1_7、 XOUT以外	IOH = - 5mA		Vcc - 2.0		Vcc	V
			IOH = - 200 μA		Vcc - 0.5		Vcc	V
	P1_0 ~ P1_7	駆動能力HIGH	IOH = - 20mA	Vcc - 2.0		Vcc	V	
		駆動能力LOW	IOH = - 5mA	Vcc - 2.0		Vcc	V	
	XOUT	駆動能力HIGH	IOH = - 1mA	Vcc - 2.0		Vcc	V	
		駆動能力LOW	IOH = - 500 μA	Vcc - 2.0		Vcc	V	
VOL	“L”出力電圧	P1_0 ~ P1_7、 XOUT以外	IOL = 5mA				2.0	V
			IOL = 200 μA				0.45	V
	P1_0 ~ P1_7	駆動能力HIGH	IOL = 20mA			2.0	V	
		駆動能力LOW	IOL = 5mA			2.0	V	
	XOUT	駆動能力HIGH	IOL = 1mA			2.0	V	
		駆動能力LOW	IOL = 500 μA			2.0	V	
VT+-VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 TRAI0、RXD0、RXD1、 CLK0、SSI、SCL、 SDA、SSO		0.1	0.5		V	
		RESET		0.1	1.0		V	
IiH	“H”入力電流		VI = 5V、Vcc = 5V				5.0	μA
IiL	“L”入力電流		VI = 0V、Vcc = 5V				- 5.0	μA
RPULLUP	プルアップ抵抗		VI = 0V、Vcc = 5V		30	50	167	k
RfXIN	帰還抵抗	XIN				1.0		M
RfXCIN	帰還抵抗	XCIN				18		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、Vcc = 4.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 20MHzです。

表5.16 電気的特性(2) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		10	17	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		9	15	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		5		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		4		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振 fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		10	15	mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		4		mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2.5		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		130	300	μ A
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = " 1 "		130	300	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "		30		μ A

表5.17 電気的特性(3) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		25	75	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		23	60	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		4.0		μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		2.2		μA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.8	3.0	μA
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.2		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$) [$V_{CC} = 5V$]

表5.18 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	25		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	25		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

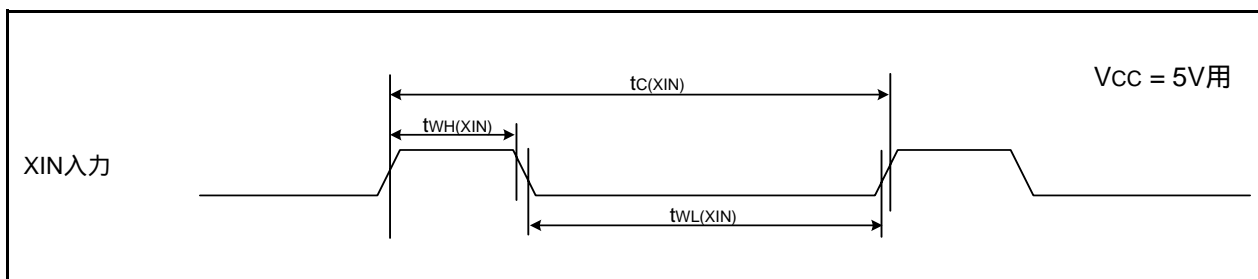


図5.8 $V_{CC} = 5V$ 時のXIN入力、XCIN入力タイミング

表5.19 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAI0)}$	TRAI0入力サイクル時間	100		ns
$t_{WH(TRAI0)}$	TRAI0入力“H”パルス幅	40		ns
$t_{WL(TRAI0)}$	TRAI0入力“L”パルス幅	40		ns

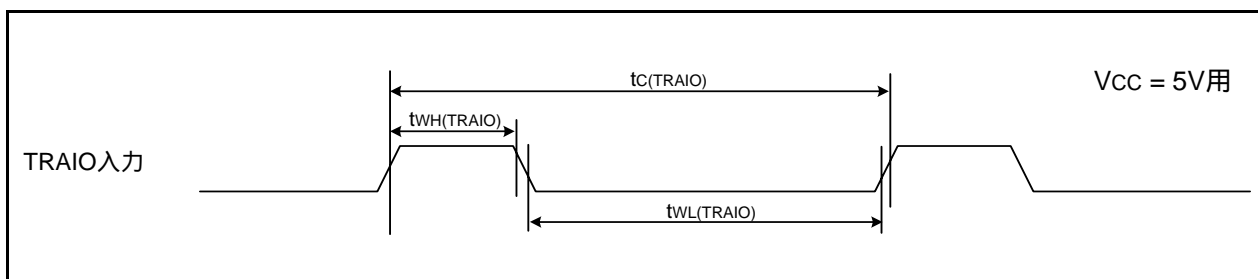


図5.9 $V_{CC} = 5V$ 時のTRAI0入力タイミング

表5.20 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK0入力サイクル時間	200		ns
$t_{w(CKH)}$	CLK0入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLK0入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		50	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	50		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

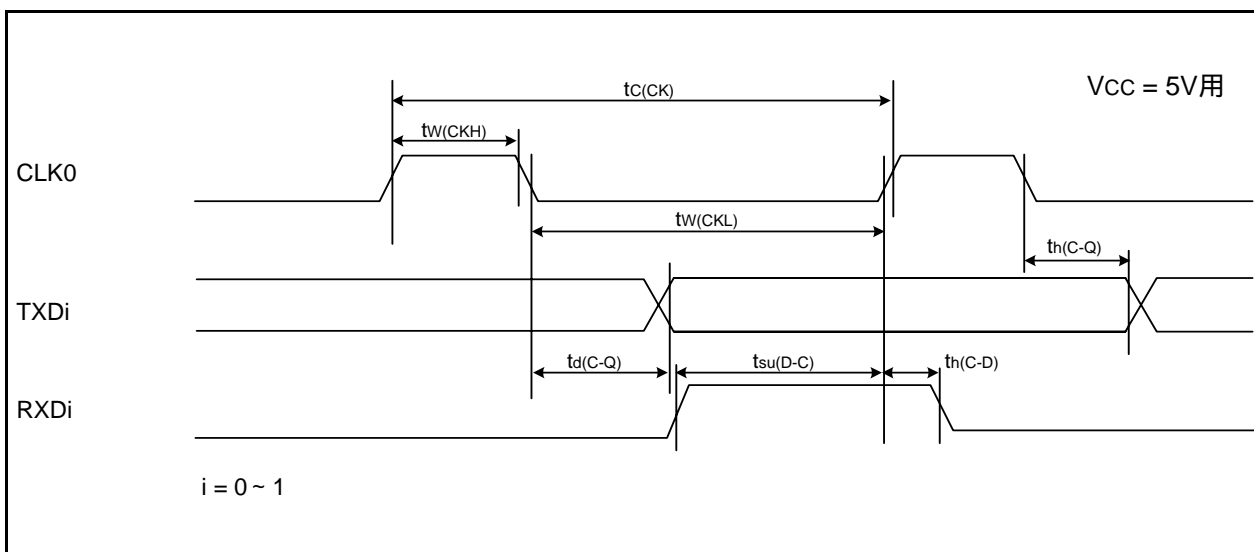
 $i = 0 \sim 1$ 

図5.10 Vcc = 5V時のシリアルインタフェースのタイミング

表5.21 外部割り込み \overline{INTi} 入力 ($i = 0, 1, 3$)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	250(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	250(注2)		ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

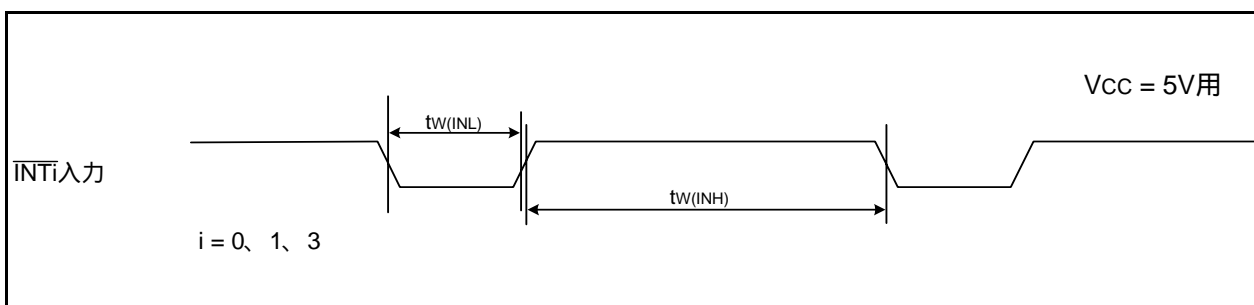
図5.11 Vcc = 5V時の外部割り込み \overline{INTi} 入力タイミング

表5.22 電気的特性(3) [Vcc = 3V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	“H”出力電圧	P1_0 ~ P1_7、 XOUT以外	IOH = - 1mA	Vcc - 0.5		Vcc	V	
		P1_0 ~ P1_7	駆動能力HIGH	IOH = - 5mA	Vcc - 0.5		Vcc	V
			駆動能力LOW	IOH = - 1mA	Vcc - 0.5		Vcc	V
		XOUT	駆動能力HIGH	IOH = - 0.1mA	Vcc - 0.5		Vcc	V
			駆動能力LOW	IOH = - 50 μA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	P1_0 ~ P1_7、 XOUT以外	IOL = 1mA			0.5	V	
		P1_0 ~ P1_7	駆動能力HIGH	IOL = 5mA			0.5	V
			駆動能力LOW	IOL = 1mA			0.5	V
		XOUT	駆動能力HIGH	IOL = 0.1mA			0.5	V
			駆動能力LOW	IOL = 50 μA			0.5	V
VT+、VT-	ヒステリシス	$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 、 $\overline{\text{KI0}}$ 、 $\overline{\text{KI1}}$ 、 $\overline{\text{KI2}}$ 、 $\overline{\text{KI3}}$ 、 $\overline{\text{TRAI0}}$ 、 $\overline{\text{RXD0}}$ 、 $\overline{\text{RXD1}}$ 、 $\overline{\text{CLK0}}$ 、 $\overline{\text{SSI}}$ 、 $\overline{\text{SCL}}$ 、 $\overline{\text{SDA}}$ 、 $\overline{\text{SSO}}$		0.1	0.3		V	
		$\overline{\text{RESET}}$		0.1	0.4		V	
I _{IH}	“H”入力電流		VI = 3V、Vcc = 3V			4.0	μA	
I _{IL}	“L”入力電流		VI = 0V、Vcc = 3V			- 4.0	μA	
RPULLUP	プルアップ抵抗		VI = 0V、Vcc = 3V	66	160	500	k	
R _{fXIN}	帰還抵抗	XIN			3.0		M	
R _{fXCIN}	帰還抵抗	XCIN			18		M	
V _{RAM}	RAM保持電圧		ストップモード時	1.8			V	

注1. 指定のない場合は、Vcc = 2.7V ~ 3.3V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 10MHz
です。

表5.23 電気的特性(4) [Vcc = 3V]
(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5	9	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		130	300	μ A
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = " 1 "		130	300	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "		30		μ A
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		25	70	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		23	55	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		3.8		μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		2.0		μ A
			ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.7	3.0
		XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "			1.1		μ A

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$) [$V_{CC} = 3V$]

表5.24 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	100		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	40		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	40		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

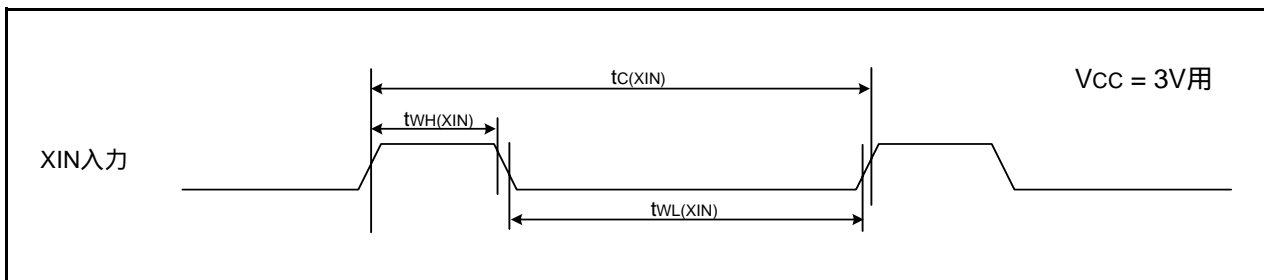


図5.12 $V_{CC} = 3V$ 時のXIN入力、XCIN入力タイミング

表5.25 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	300		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	120		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	120		ns

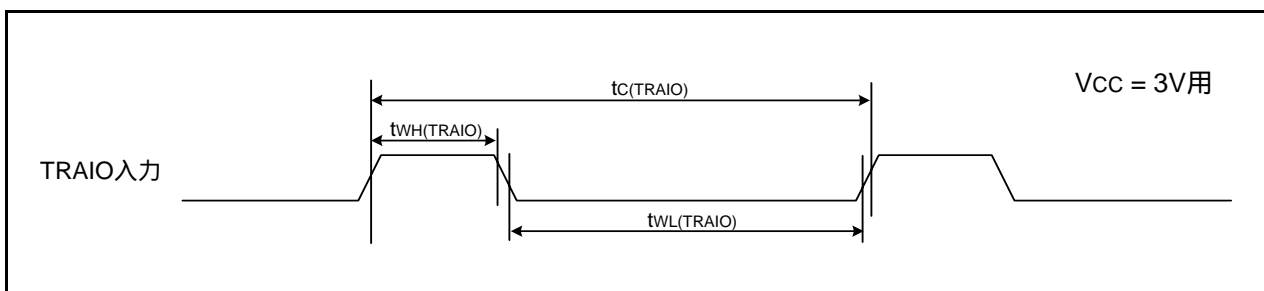


図5.13 $V_{CC} = 3V$ 時のTRAIO入力タイミング

表5.26 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK0入力サイクル時間	300		ns
$t_{w(CKH)}$	CLK0入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLK0入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

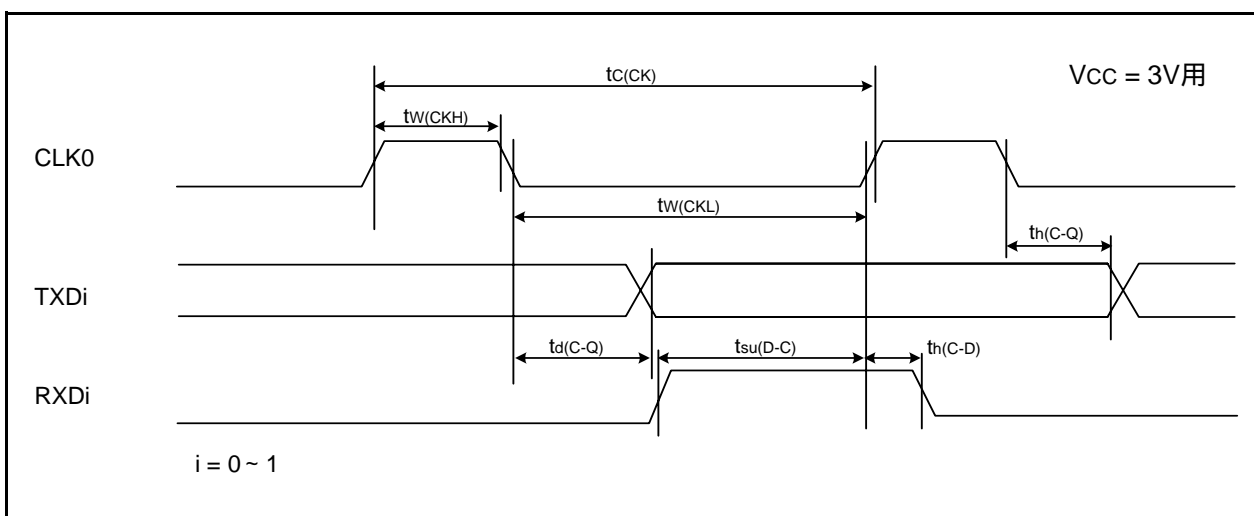


図5.14 Vcc = 3V時のシリアルインタフェースのタイミング

表5.27 外部割り込み \overline{INTi} 入力 (i = 0、1、3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	380(注2)		ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

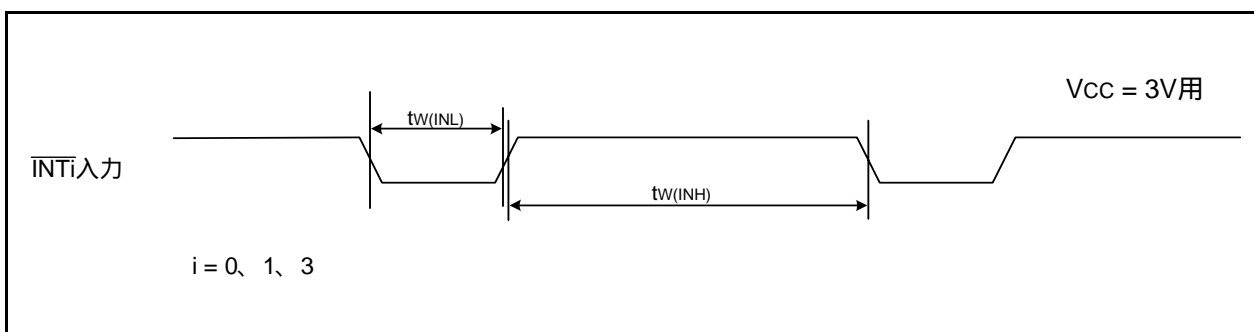
図5.15 Vcc = 3V時の外部割り込み \overline{INTi} 入力タイミング

表5.28 電気的特性(5) [Vcc = 2.2V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	P1_0 ~ P1_7、 XOUT以外	IOH = - 1mA		Vcc - 0.5		Vcc	V
		P1_0 ~ P1_7	駆動能力HIGH	IOH = - 2mA	Vcc - 0.5		Vcc	V
			駆動能力LOW	IOH = - 1mA	Vcc - 0.5		Vcc	V
		XOUT	駆動能力HIGH	IOH = - 0.1mA	Vcc - 0.5		Vcc	V
			駆動能力LOW	IOH = - 50 μA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	P1_0 ~ P1_7、 XOUT以外	IOL = 1mA				0.5	V
		P1_0 ~ P1_7	駆動能力HIGH	IOL = 2mA			0.5	V
			駆動能力LOW	IOL = 1mA			0.5	V
		XOUT	駆動能力HIGH	IOL = 0.1mA			0.5	V
			駆動能力LOW	IOL = 50 μA			0.5	V
VT+・VT-	ヒステリシス	$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 、 $\overline{\text{KI0}}$ 、 $\overline{\text{KI1}}$ 、 $\overline{\text{KI2}}$ 、 $\overline{\text{KI3}}$ 、 $\overline{\text{TRAI0}}$ 、 $\overline{\text{RXD0}}$ 、 $\overline{\text{RXD1}}$ 、 $\overline{\text{CLK0}}$ 、 $\overline{\text{SSI}}$ 、 $\overline{\text{SCL}}$ 、 $\overline{\text{SDA}}$ 、 $\overline{\text{SSO}}$			0.05	0.3		V
		$\overline{\text{RESET}}$			0.05	0.15		V
I _{IH}	“H”入力電流		VI = 2.2V				4.0	μA
I _{IL}	“L”入力電流		VI = 0V				- 4.0	μA
RPULLUP	プルアップ抵抗		VI = 0V		100	200	600	k
R _{IXIN}	帰還抵抗	XIN				5		M
R _{IXCIN}	帰還抵抗	XCIN				35		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、Vcc = 2.2V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)、f(XIN) = 5MHzです。

表5.29 電気的特性(6) [Vcc = 2.2V]
 (指定のない場合は、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン))

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.2V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"		100	230	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = "1"		100	230	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = "1"		25		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		22	60	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		20	55	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		3.0		μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		1.8		μA
			ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		0.7	3.0
		XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"			1.1		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$) [$V_{CC} = 2.2V$]

表5.30 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	200		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	90		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	90		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

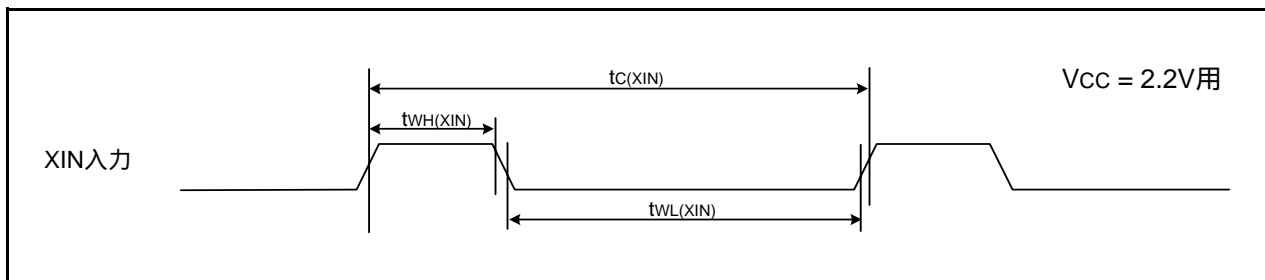


図5.16 $V_{CC} = 2.2V$ 時のXIN入力、XCIN入力タイミング

表5.31 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	500		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	200		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	200		ns

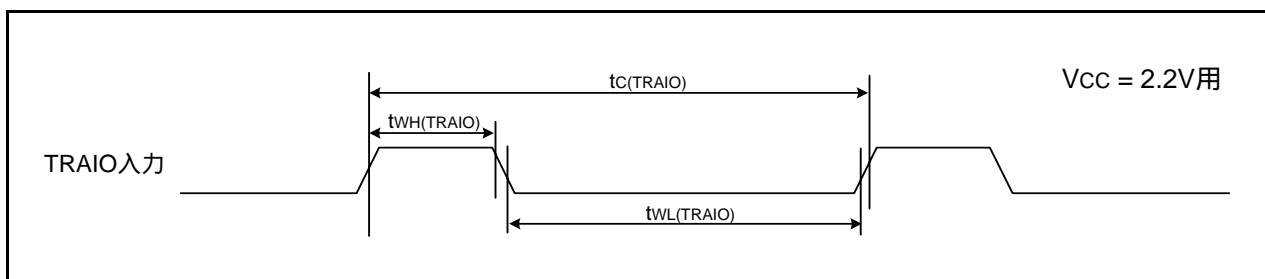


図5.17 $V_{CC} = 2.2V$ 時のTRAIO入力タイミング

表5.32 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLK0入力サイクル時間	800		ns
$t_w(\text{CKH})$	CLK0入力“H”パルス幅	400		ns
$t_w(\text{CKL})$	CLK0入力“L”パルス幅	400		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		200	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	150		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

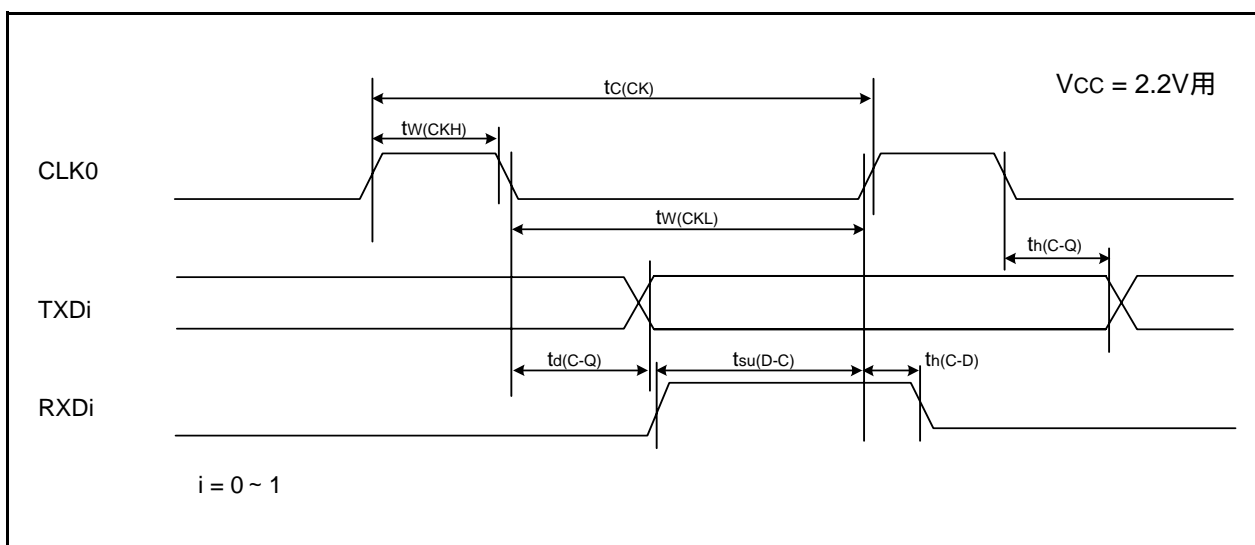


図5.18 Vcc = 2.2V時のシリアルインタフェースのタイミング

表5.33 外部割り込みINTi入力 (i = 0、1、3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅	1000(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅	1000(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

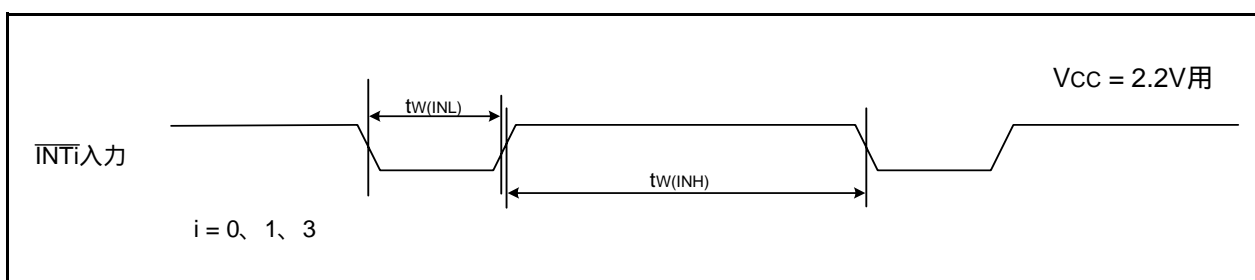


図5.19 Vcc = 2.2V時の外部割り込みINTi入力タイミング

5.2 J、Kバージョン

表5.34 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /AV _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	- 40 Topr 85	300	mW
		85 Topr 125	125	mW
T _{opr}	動作周囲温度		- 40 ~ 85(Jバージョン) / - 40 ~ 125(Kバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表5.35 推奨動作条件

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V _{CC} /AV _{CC}	電源電圧		2.7		5.5	V		
V _{SS} /AV _{SS}	電源電圧			0		V		
V _{IH}	“H”入力電圧		0.8V _{CC}		V _{CC}	V		
V _{IL}	“L”入力電圧		0		0.2V _{CC}	V		
I _{OH} (sum)	“H”尖頭総出力電流	全端子のI _{OH} (peak)の総和			- 60	mA		
I _{OH} (peak)	“H”尖頭出力電流				- 10	mA		
I _{OH} (avg)	“H”平均出力電流				- 5	mA		
I _{OL} (sum)	“L”尖頭総出力電流	全端子のI _{OL} (peak)の総和			60	mA		
I _{OL} (peak)	“L”尖頭出力電流				10	mA		
I _{OL} (avg)	“L”平均出力電流				5	mA		
f(XIN)	XINクロック入力発振周波数	3.0V V _{CC} 5.5V(Kバージョン除く)	0		20	MHz		
		3.0V V _{CC} 5.5V(Kバージョン)	0		16	MHz		
		2.7V V _{CC} < 3.0V	0		10	MHz		
	システムクロック	OCD2 = “0” XINクロック選択時	3.0V V _{CC} 5.5V(Kバージョン除く)	0		20	MHz	
			3.0V V _{CC} 5.5V(Kバージョン)	0		16	MHz	
			2.7V V _{CC} < 3.0V	0		10	MHz	
		OCD2 = “1” オンチップオシレータクロック選択時	FRA01 = “0” 低速オンチップオシレータ選択時		125			kHz
			FRA01 = “1” 高速オンチップオシレータ選択時 3.0V V _{CC} 5.5V(Kバージョン除く)				20	MHz
			FRA01 = “1” 高速オンチップオシレータ選択時 2.7V V _{CC} 5.5V				10	MHz

注1. 指定のない場合は、V_{CC} = 2.7V ~ 5.5V、Topr = - 40 ~ 85 (Jバージョン) / - 40 ~ 125 (Kバージョン)です。

注2. 平均出力電流は100 msの期間内での平均値です。

表5.36 A/Dコンバータ特性

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能		Vref = AVcc			10	Bit
	絶対精度	10ビットモード	AD = 10MHz, Vref = AVcc = 5.0V			± 3	LSB
		8ビットモード	AD = 10MHz, Vref = AVcc = 5.0V			± 2	LSB
		10ビットモード	AD = 10MHz, Vref = AVcc = 3.3V			± 5	LSB
		8ビットモード	AD = 10MHz, Vref = AVcc = 3.3V			± 2	LSB
Rladder	ラダ - 抵抗		Vref = AVcc	10		40	k
tconv	変換時間	10ビットモード	AD = 10MHz, Vref = AVcc = 5.0V	3.3			μs
		8ビットモード	AD = 10MHz, Vref = AVcc = 5.0V	2.8			μs
Vref	基準電圧			2.7		AVcc	V
VIA	アナログ入力電圧(注2)			0		AVcc	V
	A/D動作クロック 周波数	サンプル&ホールドなし		0.25		10	MHz
		サンプル&ホールドあり		1		10	MHz

注1. 指定のない場合は、AVcc = 2.7V ~ 5.5V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

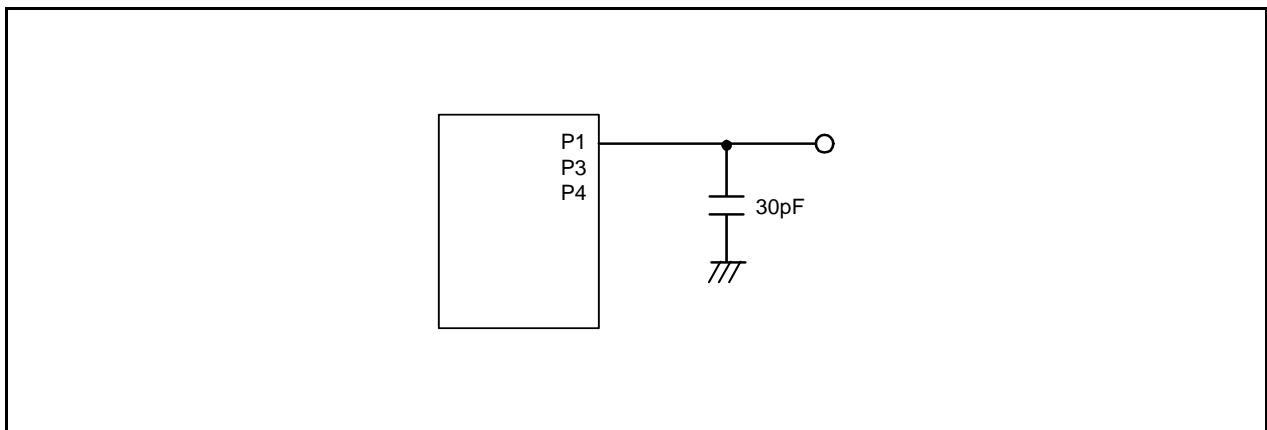


図5.20 ポートP1、P3、P4のタイミング測定回路

表5.37 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/28グループ	100(注3)			回
		R8C/29グループ	1,000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t _d (SR-SUS)	サスペンドへの遷移時間				97 + CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3 + CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表5.38 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t _d (SR-SUS)	サスペンドへの遷移時間				97 + CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3 + CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		- 40		85(注8)	
	データ保持時間(注9)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小”値の範囲です。)

注4. プログラム/イレーズ回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラムROMと同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Kバージョンは125。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

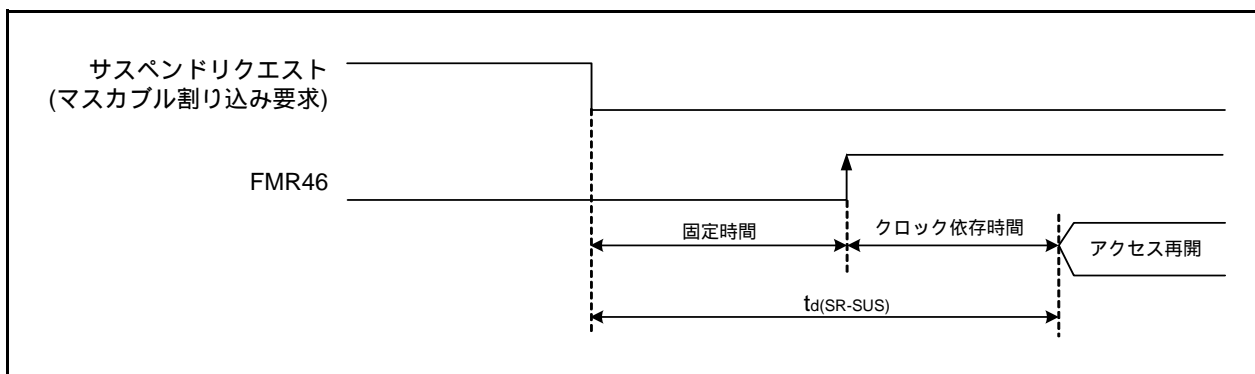


図5.21 サスペンドへの遷移時間

表5.39 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{det1}	電圧検出レベル(注2、4)		2.70	2.85	3.0	V
t _d (V _{det1} -A)	電圧監視1リセット発生時間(注5)			40	200	μs
	電圧検出回路の自己消費電流	VCA26 = 1、V _{cc} = 5.0V		0.6		μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs
V _{ccmin}	マイコンの動作電圧の最小値		2.70			V

注1. 測定条件はV_{cc} = 2.7V ~ 5.5V、Topr = -40 ~ 85 (Jバージョン)/ -40 ~ 125 (Kバージョン)です。

注2. V_{det2} > V_{det1}になります。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. 電源の立ち下り時の電圧検出レベルを示しています。電源の立ち上り時の検出レベルは、電源の立ち下り時の電圧検出レベルより、0.1V程度大きい値になります。

注5. V_{cc}立ち下がり時にV_{det1}を通過した時点から、電圧監視1リセットが発生するまでの時間です。デジタルフィルタを使用する場合は、これにデジタルフィルタのサンプリング時間が追加されます。電圧監視1リセットを使用する場合は、電源立ち下がり時のV_{det1}を通過した時点からV_{cc} = 2.0Vになるまでの期間で、この時間を確保してください。

表5.40 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{det2}	電圧検出レベル(注2)		3.3	3.6	3.9	V
t _d (V _{det2} -A)	電圧監視2リセット/割り込み要求発生時間(注3、5)			40	200	μs
	電圧検出回路の自己消費電流	VCA27 = 1、V _{cc} = 5.0V		0.6		μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間(注4)				100	μs

注1. 測定条件はV_{cc} = 2.7V ~ 5.5V、Topr = -40 ~ 85 (Jバージョン)/ -40 ~ 125 (Kバージョン)です。

注2. V_{det2} > V_{det1}になります。

注3. V_{det2}を通過した時点から、電圧監視2リセットまたは割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注5. デジタルフィルタを使用する場合は、これにデジタルフィルタのサンプリング時間が追加されます。電圧監視2リセットを使用する場合は、電源立ち下がり時のV_{det2}を通過した時点からV_{cc} = 2.0Vになるまでの期間で、この時間を確保してください。

表5.41 パワーオンリセット回路、電圧監視1リセットの電气的特性(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por1}	パワーオンリセットが有効になる電圧(注4)				0.1	V
V _{por2}	パワーオンリセットまたは電圧監視1リセットが有効になる電圧		0		V _{det1}	V
tr _{th}	外部電源V _{cc} の立ち上がり傾き	V _{cc} 3.6V	20(注2)			mV/msec
		V _{cc} > 3.6V	20(注2)		2000	mV/msec

注1. 指定のない場合測定条件は、Topr = -40 ~ 85 (Jバージョン)/ -40 ~ 125 (Kバージョン)です。

注2. V_{por2} 1.0Vの場合、この条件(外部電源V_{cc}立ち上がり傾きの最小規格値)は不要です。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVD1ONビットを“0”、VW1CレジスタのVW1C0ビットを“1”、VW1C6ビットを“1”、VCA2レジスタのVCA26ビットを“1”にして電圧監視1リセットを有効にしてください。

注4. tw_(por1)は外部電源V_{cc}を有効電圧(V_{por1})以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を最初に立ち上げるときは、-20 ≤ Topr ≤ 125 ではtw_(por1)を30s以上、-40 ≤ Topr < -20 ではtw_(por1)を3000s以上保持してください。

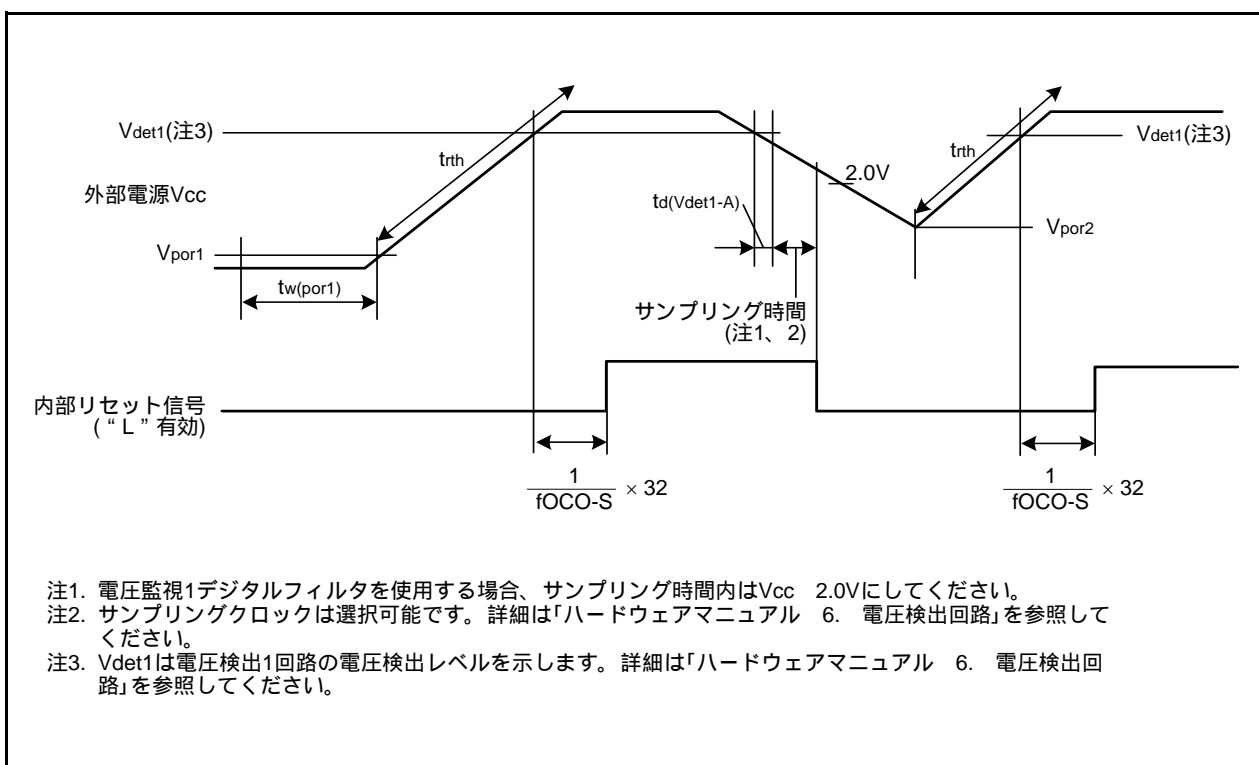


図5.22 パワーオンリセット回路の電气的特性

表5.42 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO40M	高速オンチップオシレータ発振周波数の温度・電圧依存性	Vcc = 4.75V ~ 5.25V 0 Topr 60 (注2)	39.2	40	40.8	MHz
		Vcc = 3.0V ~ 5.5V - 20 Topr 85 (注2)	38.8	40	41.2	MHz
		Vcc = 3.0V ~ 5.5V - 40 Topr 85 (注2)	38.4	40	41.6	MHz
		Vcc = 3.0V ~ 5.5V - 40 Topr 125 (注2)	38	40	42	MHz
		Vcc = 2.7V ~ 5.5V - 40 Topr 125 (注2)	37.6	40	42.4	MHz
	リセット解除時のFRA1レジスタの値		08h		F7h	
	高速オンチップオシレータ発振周波数調整単位	FRA1レジスタ(リセット解除時の値)を-1ビットに調整		+ 0.3		MHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc = 5.0V, Topr = 25		400		μA

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

注2. FRA1レジスタがリセット解除時の値のときの規格値です。

表5.43 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		40	125	250	kHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc = 5.0V, Topr = 25		15		μA

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)です。

表5.44 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP解除時間(注3)				150	μs

注1. 測定条件はVcc = 2.7V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表5.45 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tsucyc
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tsucyc
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tcyc + 50			ns
tLAG	SCSホールド時間	スレーブ		1tcyc + 50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tcyc (注2)
tSA	SSIスレーブアクセス時間					1.5tcyc + 100	ns
tOR	SSIスレーブアウト開放時間					1.5tcyc + 100	ns

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Vss = 0V、Topr = -40 ~ 85 (Jバージョン)/ -40 ~ 125 (Kバージョン)です。

注2. 1tcyc=1/f1(s)

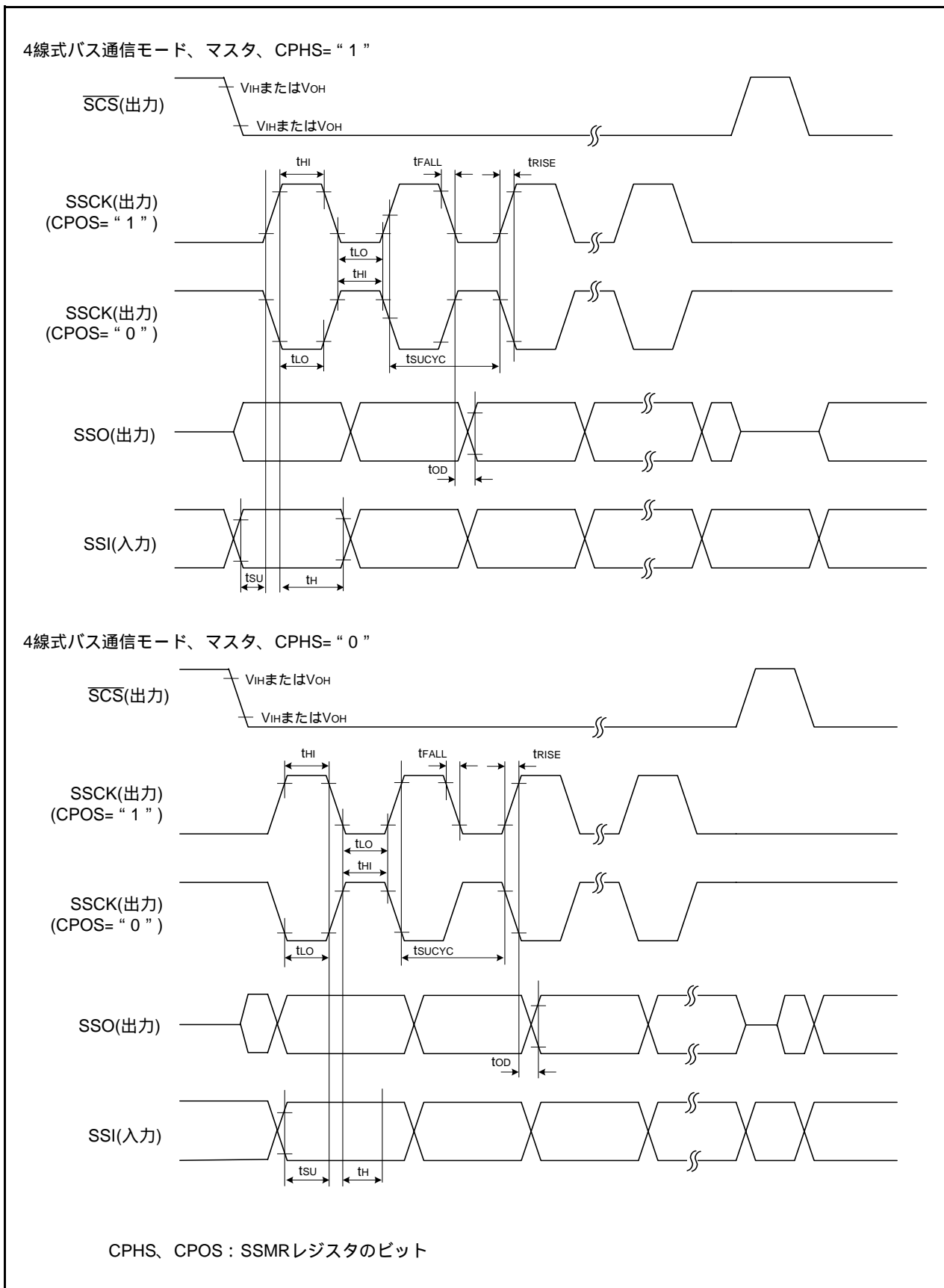


図5.23 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

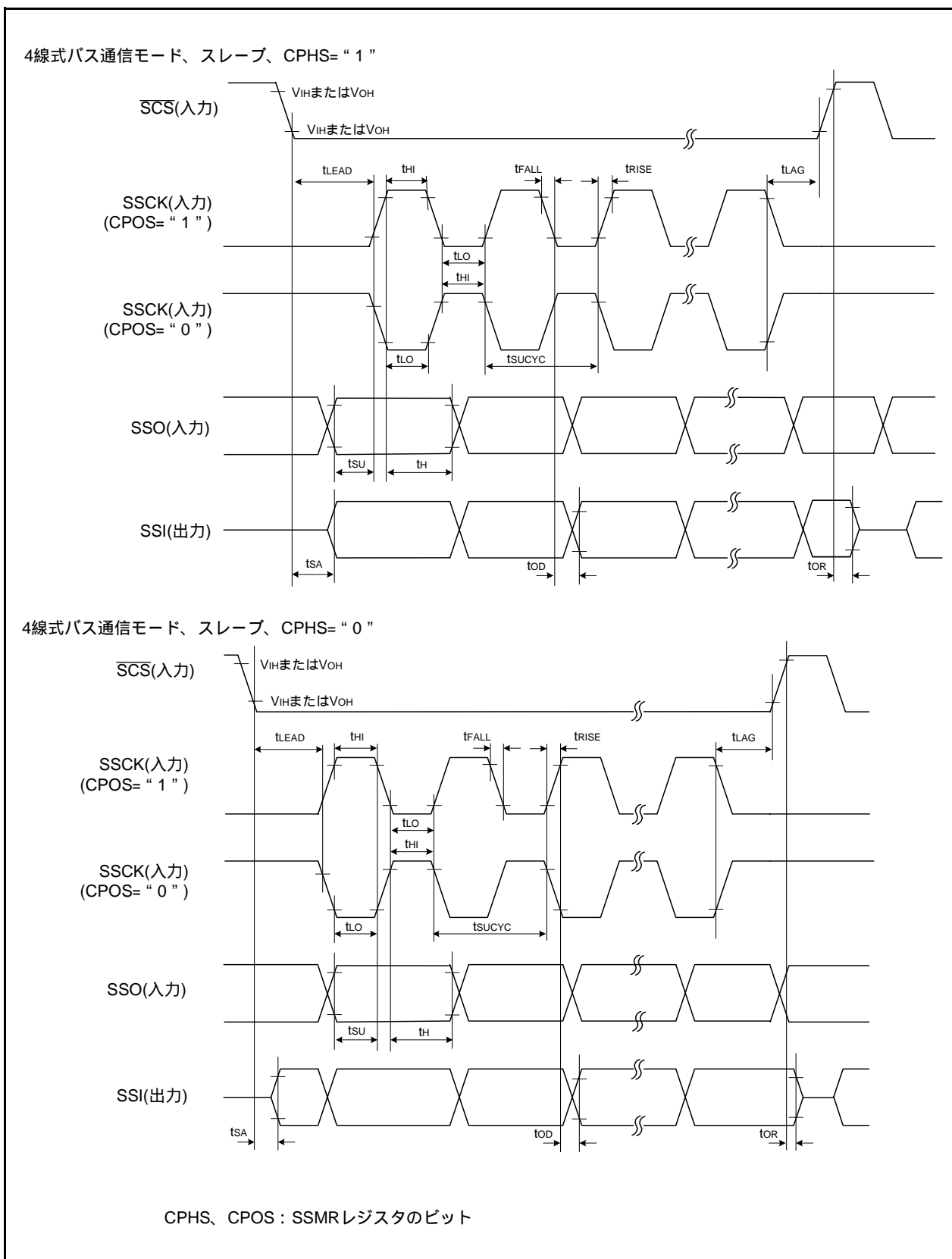


図5.24 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

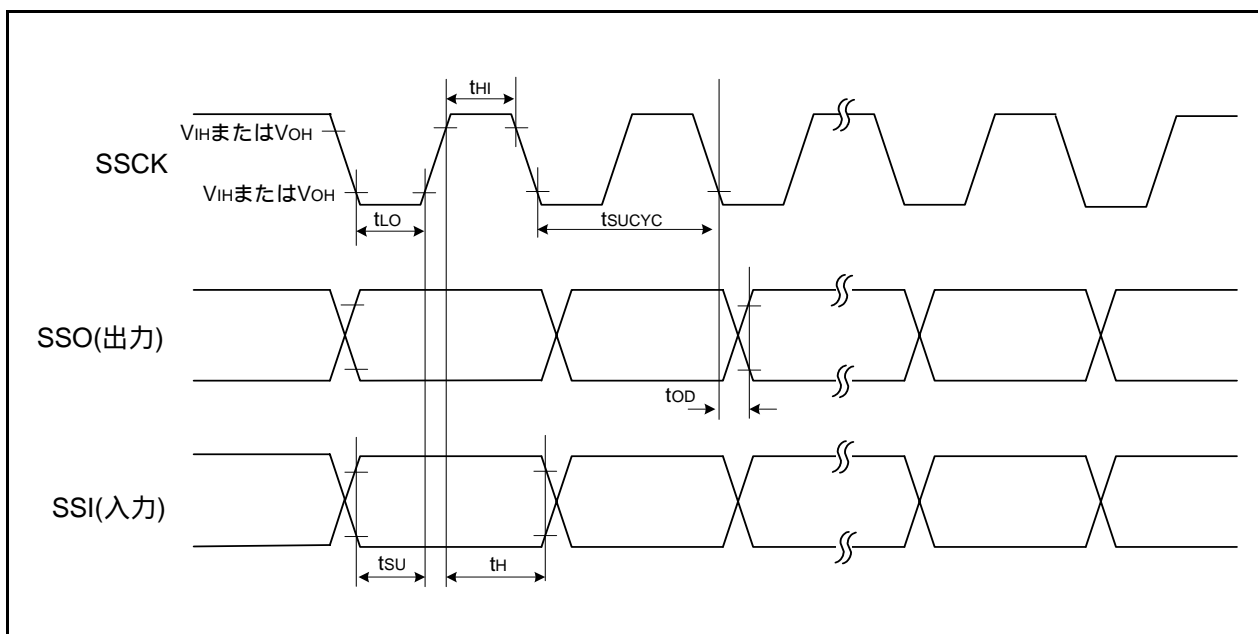


図5.25 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表5.46 I²Cバスインターフェースのタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600(注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc + 300(注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc + 500(注2)			ns
tsf	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入カスパイクパルス除去時間				1tcyc(注2)	ns
tBUF	SDA入力パルスフリー時間		5tcyc(注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc(注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
tSTOP	停止条件入力セットアップ時間		3tcyc(注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 20(注2)			ns
tSDAH	データ入力ホールド時間		0			ns

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Vss = 0V、Topr = - 40 ~ 85 (Jバージョン) / - 40 ~ 125 (Kバージョン)です。

注2. 1tcyc = 1/f1(s)

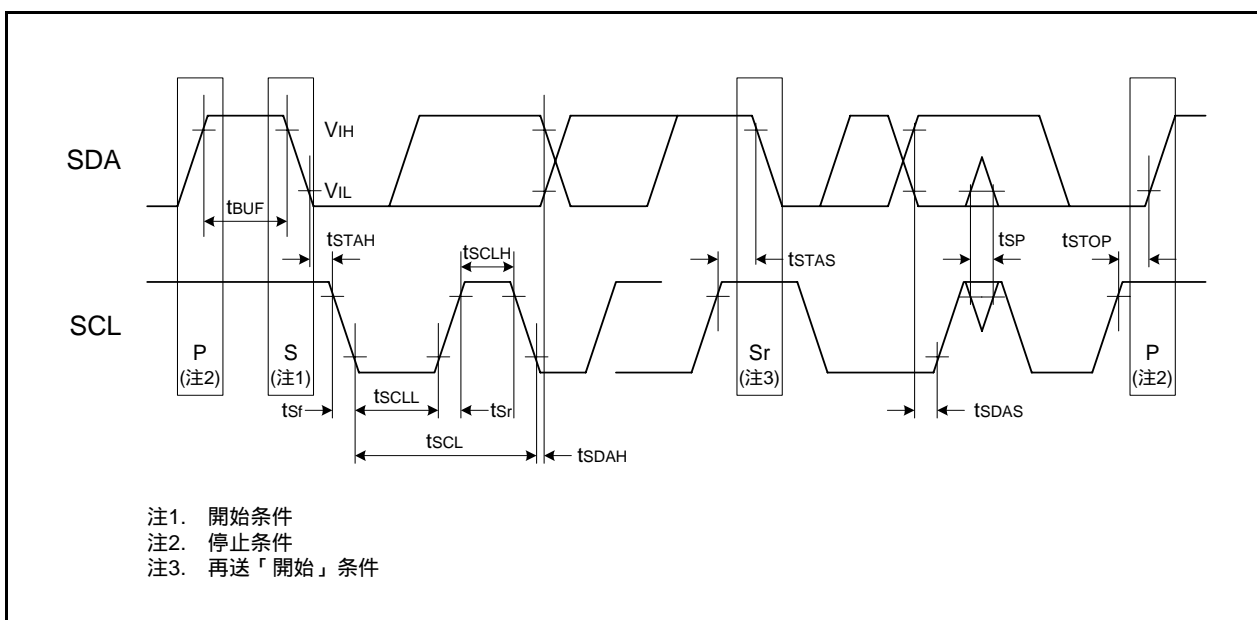
図5.26 I²Cバスインターフェースの入出力タイミング

表5.47 電気的特性(1) [Vcc = 5V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	“H”出力電圧	XOUT以外	I _{OH} = - 5mA		Vcc - 2.0		Vcc	V
			I _{OH} = - 200 μA		Vcc - 0.3		Vcc	V
		XOUT	駆動能力HIGH	I _{OH} = - 1mA	Vcc - 2.0		Vcc	V
			駆動能力LOW	I _{OH} = - 500 μA	Vcc - 2.0		Vcc	V
VOL	“L”出力電圧	XOUT以外	I _{OL} = 5mA				2.0	V
			I _{OL} = 200 μA				0.45	V
		XOUT	駆動能力HIGH	I _{OL} = 1mA			2.0	V
			駆動能力LOW	I _{OL} = 500 μA			2.0	V
VT+ - VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 TRAI0、RXD0、RXD1、 CLK0、SSI、SCL、 SDA、SSO		0.1	0.5		V	
		RESET		0.1	1.0		V	
I _{IH}	“H”入力電流		VI = 5V、Vcc = 5V				5.0	μA
I _{IL}	“L”入力電流		VI = 0V、Vcc = 5V				- 5.0	μA
RPULLUP	プルアップ抵抗		VI = 0V、Vcc = 5V		30	50	167	k
R _{IXIN}	帰還抵抗	XIN				1.0		M
V _{RAM}	RAM保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、Vcc = 4.2V ~ 5.5V、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)、f(XIN) = 20MHzです。

表5.48 電気的特性(2) [Vcc = 5V]
 (指定のない場合は、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		10	17	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		9	15	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		5		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		4		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz (Jバージョン) 低速オンチップオシレータ発振 = 125kHz 分周なし		10	15	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz (Jバージョン) 低速オンチップオシレータ発振 = 125kHz 8分周		4		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2.5		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		130	300	μ A
			ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		25	75
		XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "			23	60	μ A
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.8	3.0	μ A
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.2		μ A
			XINクロック停止、Topr = 125 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		4.0		μ A

タイミング必要条件 (指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$) [$V_{CC} = 5V$]

表5.49 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	25		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	25		ns

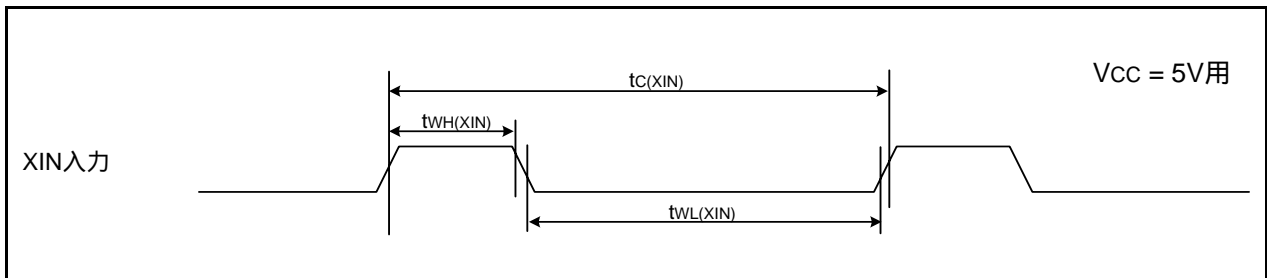


図5.27 $V_{CC} = 5V$ 時のXIN入力タイミング

表5.50 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	100		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	40		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	40		ns

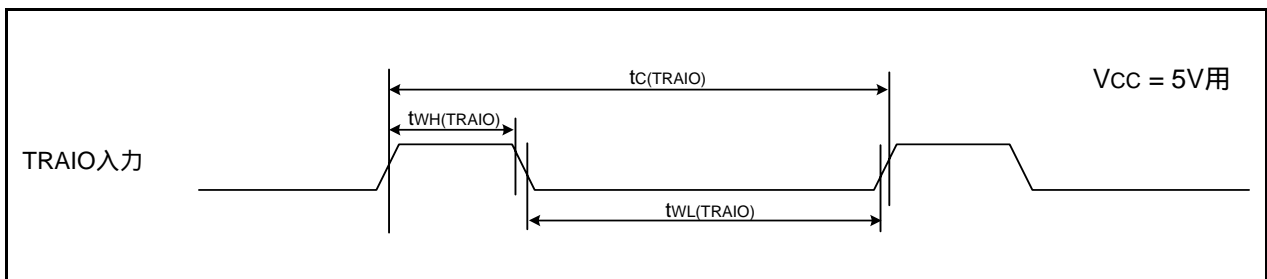


図5.28 $V_{CC} = 5V$ 時のTRAIO入力タイミング

表5.51 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLK0入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLK0入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLK0入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

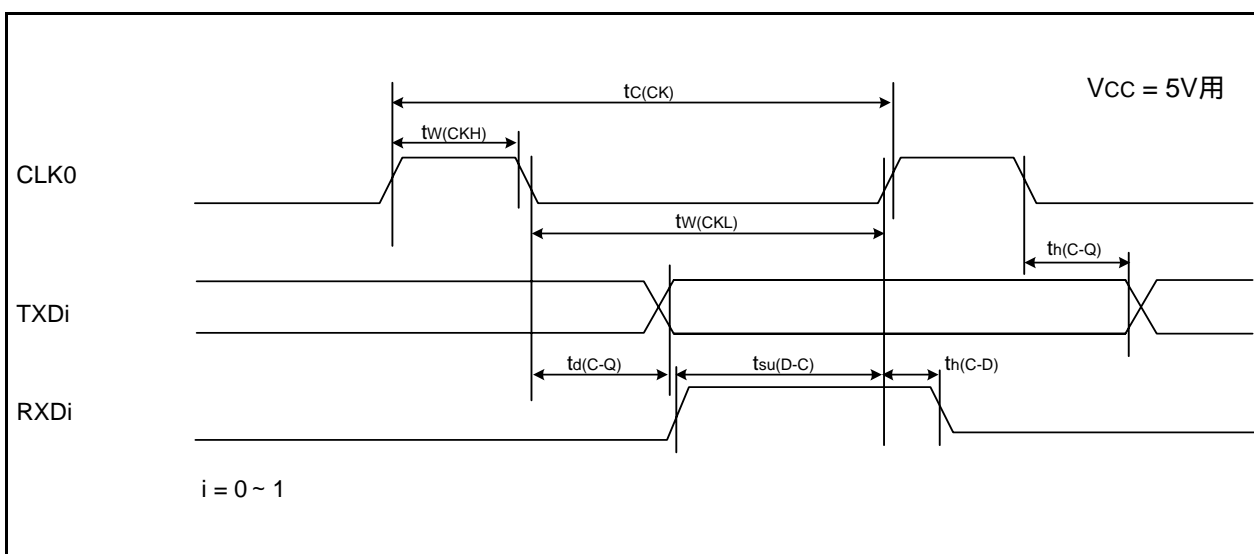
 $i = 0 \sim 1$ 

図5.29 Vcc = 5V時のシリアルインタフェースのタイミング

表5.52 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INTi}}$ 入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	$\overline{\text{INTi}}$ 入力“L”パルス幅	250(注2)		ns

注1. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

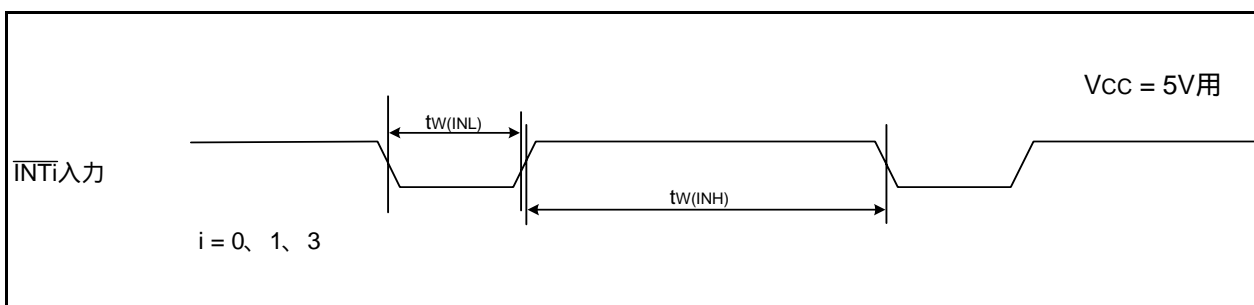
図5.30 Vcc = 5V時の外部割り込み $\overline{\text{INTi}}$ 入力タイミング

表5.53 電気的特性(3) [Vcc = 3V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	“H”出力電圧	XOUT以外	I _{OH} = - 1mA		V _{CC} - 0.5		V _{CC}	V
		XOUT	駆動能力HIGH	I _{OH} = - 0.1mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力LOW	I _{OH} = - 50 μA	V _{CC} - 0.5		V _{CC}	V
VOL	“L”出力電圧	XOUT以外	I _{OL} = 1mA				0.5	V
		XOUT	駆動能力HIGH	I _{OL} = 0.1mA			0.5	V
			駆動能力LOW	I _{OL} = 50 μA			0.5	V
VT+ - VT-	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRAI0</u> 、 <u>RXD0</u> 、 <u>RXD1</u> 、 <u>CLK0</u> 、 <u>SSI</u> 、 <u>SCL</u> 、 <u>SDA</u> 、 <u>SSO</u>			0.1	0.3		V
		<u>RESET</u>			0.1	0.4		V
I _{IH}	“H”入力電流		V _I = 3V、V _{CC} = 3V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0V、V _{CC} = 3V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0V、V _{CC} = 3V		66	160	500	k
R _{fXIN}	帰還抵抗	XIN				3.0		M
V _{RAM}	RAM保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V_{CC} = 2.7V ~ 3.3V、T_{opr} = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン)、f(XIN) = 10MHzです。

表5.54 電気的特性(4) [Vcc = 3V]
 (指定のない場合は、Topr = - 40 ~ 85 (Jバージョン)/ - 40 ~ 125 (Kバージョン))

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5	9	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		130	300	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		25	70	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		23	55	μA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.7	3.0	μA
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.1		μA
			XINクロック停止、Topr = 125 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		3.8		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$) [$V_{CC} = 3V$]

表5.55 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	100		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	40		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	40		ns

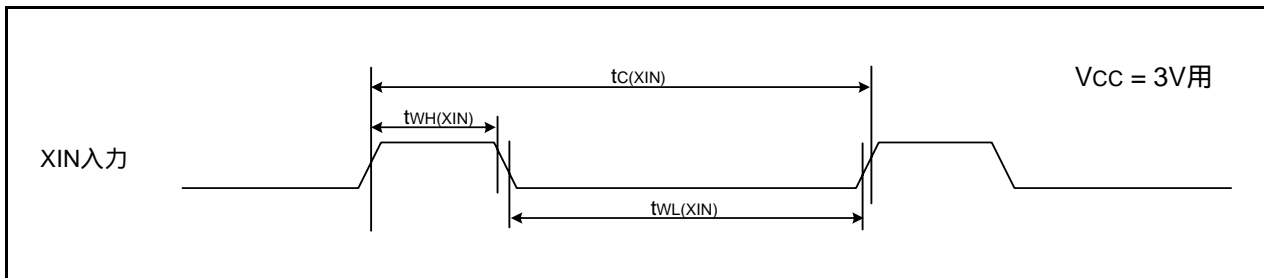


図5.31 $V_{CC} = 3V$ 時のXIN入力タイミング

表5.56 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	300		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	120		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	120		ns

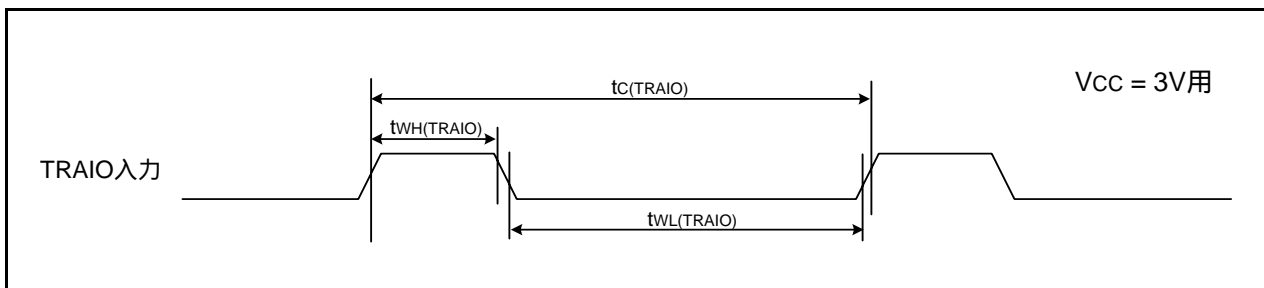


図5.32 $V_{CC} = 3V$ 時のTRAIO入力タイミング

表5.57 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK0入力サイクル時間	300		ns
$t_{w(CKH)}$	CLK0入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLK0入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

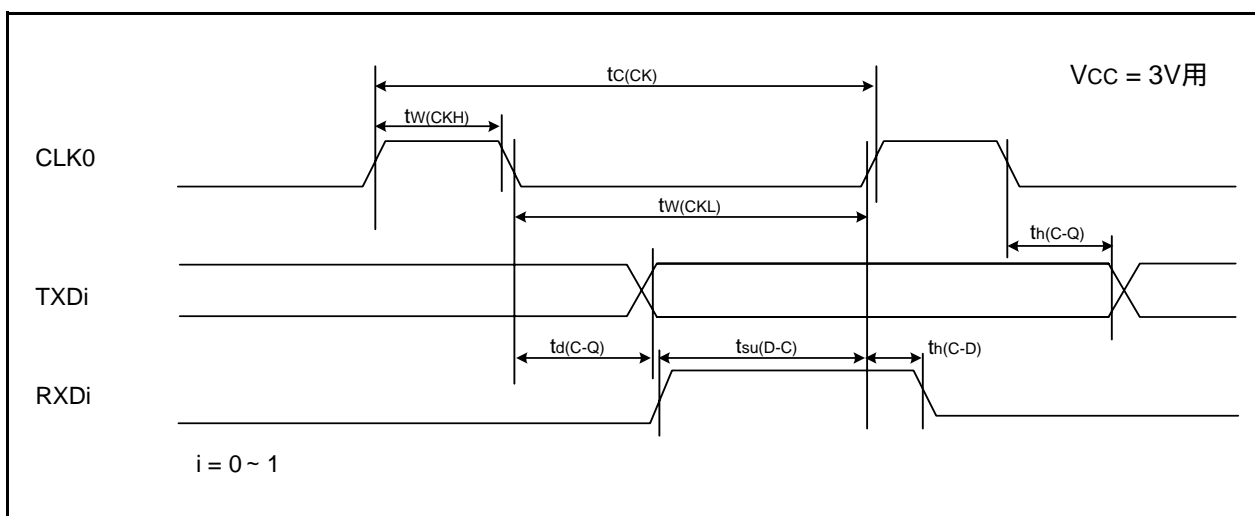


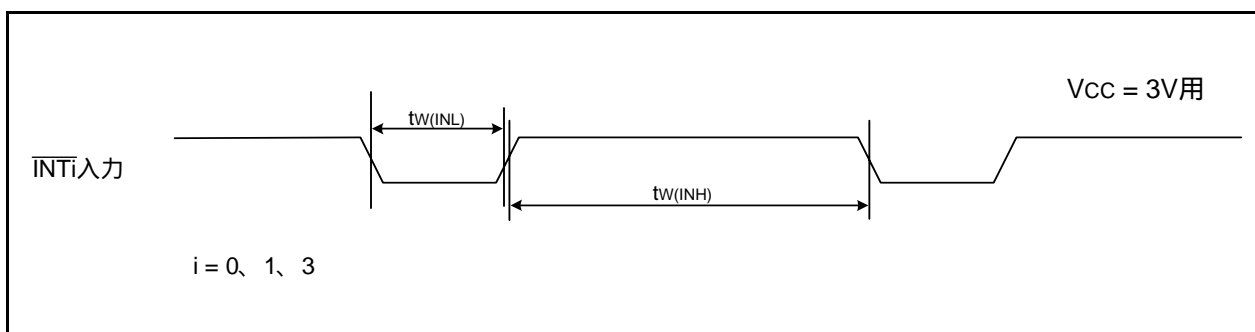
図5.33 Vcc = 3V時のシリアルインタフェースのタイミング

表5.58 外部割り込み \overline{INTi} 入力 (i = 0、1、3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	380(注2)		ns

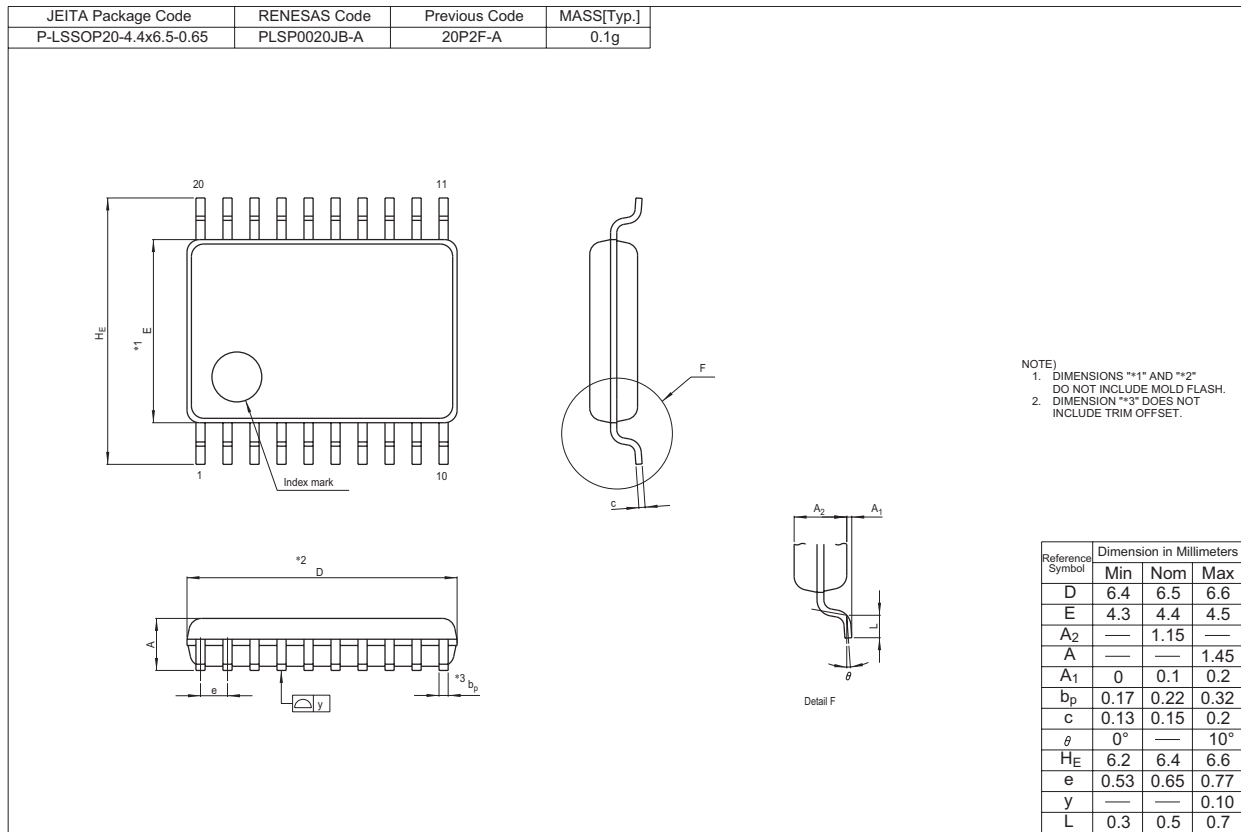
注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

図5.34 Vcc = 3V時の外部割り込み \overline{INTi} 入力タイミング

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。



改訂記録

R8C/28グループ、R8C/29グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2005.11.14	-	初版発行
0.20	2006.01.30	2、3 9 18 22 ~ 45	表1.1 R8C/28グループの性能概要、表1.2 R8C/29グループの性能概要 最短命令実行時間、電源電圧を変更 1.6 ピン番号別端子名一覧 「XOUT」→「XOUT/XCOUT」、 「XIN」→「XIN/XCIN」へ変更 表4.4 SFR一覧(4) シンボル名変更 00FEh : 「DRR」→「P1DRR」 5. 電気的特性 追記
0.30	2006.02.24	全ページ 1 2 3 4 5 6 7 8 9 13 14 15 22 ~ 45 34 37 38 41 38 41 46 ~ 65	「J、Kバージョン」追加 1.1 応用 変更 表1.1 R8C/28グループの性能概要 変更 表1.2 R8C/29グループの性能概要 変更 図1.1 ブロック図 注3追加 表1.3 R8C/28グループの製品一覧表、図1.2 型名とメモリサイズ・パッケージ 変更 表1.4 R8C/29グループの製品一覧表、図1.3 型名とメモリサイズ・パッケージ 変更 図1.4 ピン接続図 注3追加 表1.5 端子の機能説明 変更 表1.6 ピン番号別端子名一覧 注2追加 図3.1 R8C/28グループのメモリ配置図 「R5F21284JSP、R5F21284KSP」型名追加 図3.2 R8C/29グループのメモリ配置図 「R5F21294JSP、R5F21294KSP」型名追加 表4.1 SFR一覧(1) 注6追加 5.1 N、Dバージョン へ変更 表5.16 電気的特性(1) [Vcc = 5V] 「CLK1」削除 表5.20 シリアルインタフェース、図5.10 Vcc=5V時のシリアルインタフェースのタイミング 「CLKi」 「CLK0」へ変更 表5.22 電気的特性(3) [Vcc = 3V] 「CLK1」削除 表5.26 シリアルインタフェース、図5.14 Vcc=3V時のシリアルインタフェースのタイミング 「CLKi」 「CLK0」へ変更 表5.28 電気的特性(5) [Vcc = 2.2V] 「CLK1」削除 表5.32 シリアルインタフェース、図5.18 Vcc=2.2V時のシリアルインタフェースのタイミング 「CLKi」 「CLK0」へ変更 5.2 J、Kバージョン 追加

改訂記録	R8C/28 グループ、R8C/29 グループデータシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2006.03.29	2	表1.1 R8C/28グループの性能概要 タイマRE「(J、Kバージョン)」追記
		3	表1.2 R8C/29グループの性能概要 タイマRE「(J、Kバージョン)」追記
		15	表4.1 SFR一覧(1) 0032h、0036h、0038h リセット後の値 変更 注2～6変更、注7、8追加
		19	表4.5 SFR一覧(5) 注2追加
0.50	2006.04.27	18	表4.4 00FDh リセット後の値 変更
		46	表5.35 システムクロックの測定条件 変更
1.00	2006.09.08	全ページ	「開発中」の表記を削除
		1	1.概要 変更 「J、Kバージョンは開発中のため、、、 ことがあります。」追記
		2、3	表1.1、表1.2 変更
		4	図1.1 変更
		5、6	表1.3、表1.4 一部「(開)」表記削除、注1追加
		15	表4.1 「0000h～003Fh」 「0000h～002Fh」へ変更 001Ch:「00h」 「00h、10000000b(注2)」へ変更、注2追加 0029h: 高速オンチップオシレータ制御レジスタ4、FRA4、出荷時の値 追加 002Bh: 高速オンチップオシレータ制御レジスタ6、FRA6、出荷時の値 追加 注3追加
		16	表4.2 「0040h～007Fh」 「0030h～007Fh」へ変更
		19	表4.5 0119h: レジスタ名修正
		22	表5.2 変更
		23	図5.1 図タイトル変更
		24	表5.4 変更
		25	表5.5 変更
		27	表5.9、図5.3 変更、表5.10 削除
		28	表5.10、表5.11 変更
		34	表5.15 変更
		35	表5.16 変更
		38	表5.21 変更
		39	表5.22 変更
		43	表5.28 変更
		46	「J、Kバージョンは開発中のため、、、 ことがあります。」追記 表5.33、表5.34 変更
47	表5.35 変更、図5.20 図タイトル変更		
51	表5.40 変更、表5.41 削除、図5.22 変更		
52	表5.41、表5.42 変更		
58	表5.46 変更		

改訂記録

R8C/28 グループ、R8C/29 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.09.08	59 62 63 433	表5.47 変更 表5.52 変更 表5.53 変更 外形寸法図 「外形寸法図の最新版や実装に関する情報、、掲載されています。」追加
1.10	2007.5.11	2、3 3 5 6 7 13 14 15 18 26 28 35 51 52 53 60	表1.1 変更 表1.2 変更 表1.3 「書き込み出荷品」、注2を追加、図1.2 変更 表1.4 「書き込み出荷品」、注2を追加、図1.3 変更 図1.4 注4追加 図3.1 変更 図3.2 変更 表4.1 000Fh : “000XXXXXb” “00X11111b” リセット後の値を修正 表4.4 00E1h、00E5h、00E8h : “XXh” “00h” へ修正、注2追加 表5.7 注4追加 表5.10 変更 表5.16 変更、表5.16を表5.16、表5.17へ変更 表5.39 注4追加 図5.22 変更 表5.42 変更 表5.48 変更
1.20a	2007.6.11	1 5、6 47	1 「J、Kバージョンは開発中のため、今後仕様が変更されることがあります。」を削除 表1.3、表1.4 「(開) : 開発中」、注1を削除 5.2 「J、Kバージョンは開発中のため、今後仕様が変更されることがあります。」を削除
2.00	2008.3.14	5 6 10、11 13、14 15 16 28	表1.3、図1.2 変更 表1.4、図1.3 変更 図2.1、2.7 「スタックベース、、、」 「スタティックベース、、、」 図3.1、図3.2 変更 表4.1 番地「002Ch」追記 表4.2 0036h : J、Kバージョン「0100X000b」 「0100X001b」 表5.10 変更、注4追加
2.10	2008.9.26	- 24、49 25、50 51	「RENESAS TECHNICAL UPDATE」反映 : TN-16C-A172A/J 表5.4、表5.37 注2 「(n = 100、1,000、10,000)」 「(n = 100、1,000)」 表5.5、表5.38 注2 「(n = 100、1,000、10,000)」 「(n = 10,000)」 表5.39 項目 : 電圧監視1リセット発生時間、注5 追記 表5.40 変更

改訂記録	R8C/28 グループ、R8C/29 グループデータシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2008.9.26	52	表5.41 変更 図5.22 変更

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
九	州	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com