

1. 概要

1.1 特長

R8C/36Cグループは、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/36CグループはBGO (バックグラウンドオペレーション)機能付データフラッシュ(1KB × 4ブロック)を内蔵します。

1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

1.1.2 仕様概要

表1.1～表1.2にR8C/36Cグループの仕様概要を示します。

表1.1 R8C/36Cグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：50ns (f(XIN)=20MHz、VCC=2.7V～5.5V) 200ns (f(XIN)=5MHz、VCC=1.8V～5.5V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表1.3 R8C/36Cグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：59、プルアップ抵抗選択可能 大電流駆動ポート：59
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
		リアルタイムクロック(タイマRE)あり
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC(データトランスファコントロール)		<ul style="list-style-type: none"> 1チャンネル 起動要因：39 転送モード：2(ノーマルモード、リピートモード)
タイマ	タイマRA	8ビット(8ビットプリスケアラ付)×1 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット(8ビットプリスケアラ付)×1 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット(キャプチャ/コンペアレジスタ4本付)×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)

表1.2 R8C/36Cグループの仕様概要(2)

分類	機能	説明
タイマ	タイマRE	8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット(キャプチャ/コンペアレジスタ2本付)×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウント数の自動計測が可能)
シリアルインタフェース	UART0、UART1	2チャンネル クロック同期形シリアルI/O、非同期形シリアルI/O
	UART2	1チャンネル クロック同期形シリアルI/O、非同期形シリアルI/O、I ² Cモード(I ² Cバス)、マルチプロセッサ通信機能
シンクロナスシリアルコミュニケーションユニット(SSU)	1チャンネル(I ² Cバスと兼用)	
I ² Cバス	1チャンネル(SSUと兼用)	
LINモジュール	ハードウェアLIN:1(タイマRA、UART0を使用)	
A/Dコンバータ	分解能10ビット×12チャンネル、サンプル&ホールドあり、掃引モードあり	
D/Aコンバータ	分解能8ビット×2回路	
コンパレータB	2回路	
フラッシュメモリ	<ul style="list-style-type: none"> ・プログラム、イレース電圧: VCC=2.7V ~ 5.5V ・プログラム、イレース回数: 10,000回(データフラッシュ) 1,000回(プログラムROM) ・プログラムセキュリティ: ROMコードプロテクト、IDコードチェック ・デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能 ・BGO(バックグラウンドオペレーション)機能(データフラッシュ) 	
動作周波数/電源電圧	f(XIN)=20MHz (VCC=2.7V ~ 5.5V) f(XIN)=5MHz (VCC=1.8V ~ 5.5V)	
消費電流	標準7.0mA (VCC=5.0V、f(XIN)=20MHz) 標準3.5mA (VCC=3.0V、f(XIN)=10MHz) 標準4.0μA (VCC=3.0V、ウェイトモード(f(XCIN)=32kHz)) 標準2.0μA (VCC=3.0V、ストップモード)	
動作周囲温度	-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン)(注1)	
パッケージ	64ピンLQFP <ul style="list-style-type: none"> ・パッケージコード: PLQP0064KB-A(旧コード: 64P6Q-A) ・パッケージコード: PLQP0064GA-A(旧コード: 64P6U-A) 64ピンTQFP <ul style="list-style-type: none"> ・パッケージコード: PTQP0064LB-A 	

注1. Dバージョンをご使用になる場合は、その旨をご指定ください。

1.2 製品一覧

表1.3～表1.4にR8C/36Cグループの製品一覧表を、図1.1にR8C/36Cグループの型名とメモリサイズ・パッケージを示します。

表1.3 R8C/36Cグループの製品一覧表(1)

2010年11月現在

型名	内部ROM容量		内部RAM 容量	パッケージ	備考	
	プログラム ROM	データ フラッシュ				
R5F21364CNFP	16Kバイト	1Kバイト×4	1.5Kバイト	PLQP0064KB-A	Nバージョン	
R5F21365CNFP	24Kバイト	1Kバイト×4	2Kバイト	PLQP0064KB-A		
R5F21366CNFP	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0064KB-A		
R5F21367CNFP	48Kバイト	1Kバイト×4	4Kバイト	PLQP0064KB-A		
R5F21368CNFP	64Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A		
R5F2136ACNFP	96Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A		
R5F2136CCNFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A		
R5F21364CNFA	16Kバイト	1Kバイト×4	1.5Kバイト	PLQP0064GA-A		
R5F21365CNFA	24Kバイト	1Kバイト×4	2Kバイト	PLQP0064GA-A		
R5F21366CNFA	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0064GA-A		
R5F21367CNFA	48Kバイト	1Kバイト×4	4Kバイト	PLQP0064GA-A		
R5F21368CNFA	64Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A		
R5F2136ACNFA	96Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A		
R5F2136CCNFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A		
R5F21364CNFB (開)	16Kバイト	1Kバイト×4	1.5Kバイト	PTQP0064LB-A		
R5F21365CNFB (開)	24Kバイト	1Kバイト×4	2Kバイト	PTQP0064LB-A		
R5F21366CNFB (開)	32Kバイト	1Kバイト×4	2.5Kバイト	PTQP0064LB-A		
R5F21367CNFB (開)	48Kバイト	1Kバイト×4	4Kバイト	PTQP0064LB-A		
R5F21368CNFB (開)	64Kバイト	1Kバイト×4	6Kバイト	PTQP0064LB-A		
R5F2136ACNFB (開)	96Kバイト	1Kバイト×4	8Kバイト	PTQP0064LB-A		
R5F2136CCNFB (開)	128Kバイト	1Kバイト×4	10Kバイト	PTQP0064LB-A		
R5F21364CNXXXFP	16Kバイト	1Kバイト×4	1.5Kバイト	PLQP0064KB-A	Nバージョン	書き込み 出荷品(注1)
R5F21365CNXXXFP	24Kバイト	1Kバイト×4	2Kバイト	PLQP0064KB-A		
R5F21366CNXXXFP	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0064KB-A		
R5F21367CNXXXFP	48Kバイト	1Kバイト×4	4Kバイト	PLQP0064KB-A		
R5F21368CNXXXFP	64Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A		
R5F2136ACNXXXFP	96Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A		
R5F2136CCNXXXFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A		
R5F21364CNXXXFA	16Kバイト	1Kバイト×4	1.5Kバイト	PLQP0064GA-A		
R5F21365CNXXXFA	24Kバイト	1Kバイト×4	2Kバイト	PLQP0064GA-A		
R5F21366CNXXXFA	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0064GA-A		
R5F21367CNXXXFA	48Kバイト	1Kバイト×4	4Kバイト	PLQP0064GA-A		
R5F21368CNXXXFA	64Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A		
R5F2136ACNXXXFA	96Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A		
R5F2136CCNXXXFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A		
R5F21364CNXXXFB (開)	16Kバイト	1Kバイト×4	1.5Kバイト	PTQP0064LB-A		
R5F21365CNXXXFB (開)	24Kバイト	1Kバイト×4	2Kバイト	PTQP0064LB-A		
R5F21366CNXXXFB (開)	32Kバイト	1Kバイト×4	2.5Kバイト	PTQP0064LB-A		
R5F21367CNXXXFB (開)	48Kバイト	1Kバイト×4	4Kバイト	PTQP0064LB-A		
R5F21368CNXXXFB (開)	64Kバイト	1Kバイト×4	6Kバイト	PTQP0064LB-A		
R5F2136ACNXXXFB (開)	96Kバイト	1Kバイト×4	8Kバイト	PTQP0064LB-A		
R5F2136CCNXXXFB (開)	128Kバイト	1Kバイト×4	10Kバイト	PTQP0064LB-A		

(開)：開発中

注1. ユーザROMを書き込んで出荷します。

表1.4 R8C/36Cグループの製品一覧表(2)

2010年11月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考	
	プログラムROM	データフラッシュ				
R5F21364CDFP	16Kバイト	1Kバイト×4	1.5Kバイト	PLQP0064KB-A	Dバージョン	
R5F21365CDFP	24Kバイト	1Kバイト×4	2Kバイト	PLQP0064KB-A		
R5F21366CDFP	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0064KB-A		
R5F21367CDFP	48Kバイト	1Kバイト×4	4Kバイト	PLQP0064KB-A		
R5F21368CDFP	64Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A		
R5F2136ACDFP	96Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A		
R5F2136CCDFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A		
R5F21364CDFA	16Kバイト	1Kバイト×4	1.5Kバイト	PLQP0064GA-A		
R5F21365CDFA	24Kバイト	1Kバイト×4	2Kバイト	PLQP0064GA-A		
R5F21366CDFA	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0064GA-A		
R5F21367CDFA	48Kバイト	1Kバイト×4	4Kバイト	PLQP0064GA-A		
R5F21368CDFA	64Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A		
R5F2136ACDFA	96Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A		
R5F2136CCDFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A		
R5F21364CDFB (開)	16Kバイト	1Kバイト×4	1.5Kバイト	PTQP0064LB-A		
R5F21365CDFB (開)	24Kバイト	1Kバイト×4	2Kバイト	PTQP0064LB-A		
R5F21366CDFB (開)	32Kバイト	1Kバイト×4	2.5Kバイト	PTQP0064LB-A		
R5F21367CDFB (開)	48Kバイト	1Kバイト×4	4Kバイト	PTQP0064LB-A		
R5F21368CDFB (開)	64Kバイト	1Kバイト×4	6Kバイト	PTQP0064LB-A		
R5F2136ACDFB (開)	96Kバイト	1Kバイト×4	8Kバイト	PTQP0064LB-A		
R5F2136CCDFB (開)	128Kバイト	1Kバイト×4	10Kバイト	PTQP0064LB-A		
R5F21364CDXXXFP	16Kバイト	1Kバイト×4	1.5Kバイト	PLQP0064KB-A	Dバージョン	書き込み出荷品(注1)
R5F21365CDXXXFP	24Kバイト	1Kバイト×4	2Kバイト	PLQP0064KB-A		
R5F21366CDXXXFP	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0064KB-A		
R5F21367CDXXXFP	48Kバイト	1Kバイト×4	4Kバイト	PLQP0064KB-A		
R5F21368CDXXXFP	64Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A		
R5F2136ACDXXXFP	96Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A		
R5F2136CCDXXXFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A		
R5F21364CDXXXFA	16Kバイト	1Kバイト×4	1.5Kバイト	PLQP0064GA-A		
R5F21365CDXXXFA	24Kバイト	1Kバイト×4	2Kバイト	PLQP0064GA-A		
R5F21366CDXXXFA	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0064GA-A		
R5F21367CDXXXFA	48Kバイト	1Kバイト×4	4Kバイト	PLQP0064GA-A		
R5F21368CDXXXFA	64Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A		
R5F2136ACDXXXFA	96Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A		
R5F2136CCDXXXFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A		
R5F21364CDXXXFB (開)	16Kバイト	1Kバイト×4	1.5Kバイト	PTQP0064LB-A		
R5F21365CDXXXFB (開)	24Kバイト	1Kバイト×4	2Kバイト	PTQP0064LB-A		
R5F21366CDXXXFB (開)	32Kバイト	1Kバイト×4	2.5Kバイト	PTQP0064LB-A		
R5F21367CDXXXFB (開)	48Kバイト	1Kバイト×4	4Kバイト	PTQP0064LB-A		
R5F21368CDXXXFB (開)	64Kバイト	1Kバイト×4	6Kバイト	PTQP0064LB-A		
R5F2136ACDXXXFB (開)	96Kバイト	1Kバイト×4	8Kバイト	PTQP0064LB-A		
R5F2136CCDXXXFB (開)	128Kバイト	1Kバイト×4	10Kバイト	PTQP0064LB-A		

(開)：開発中

注1. ユーザROMを書き込んで出荷します。

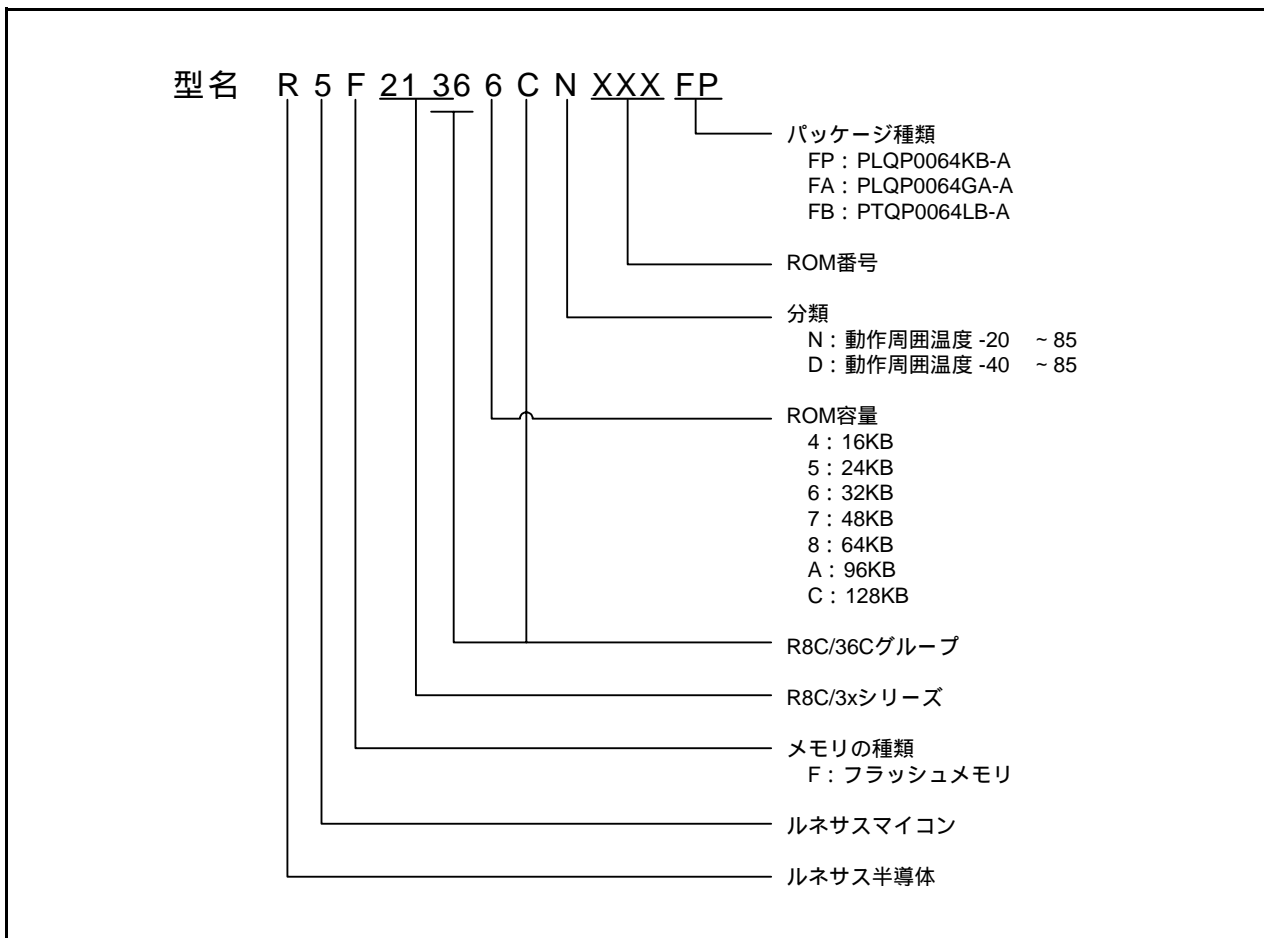


図 1.1 R8C/36Cグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にブロック図を示します。

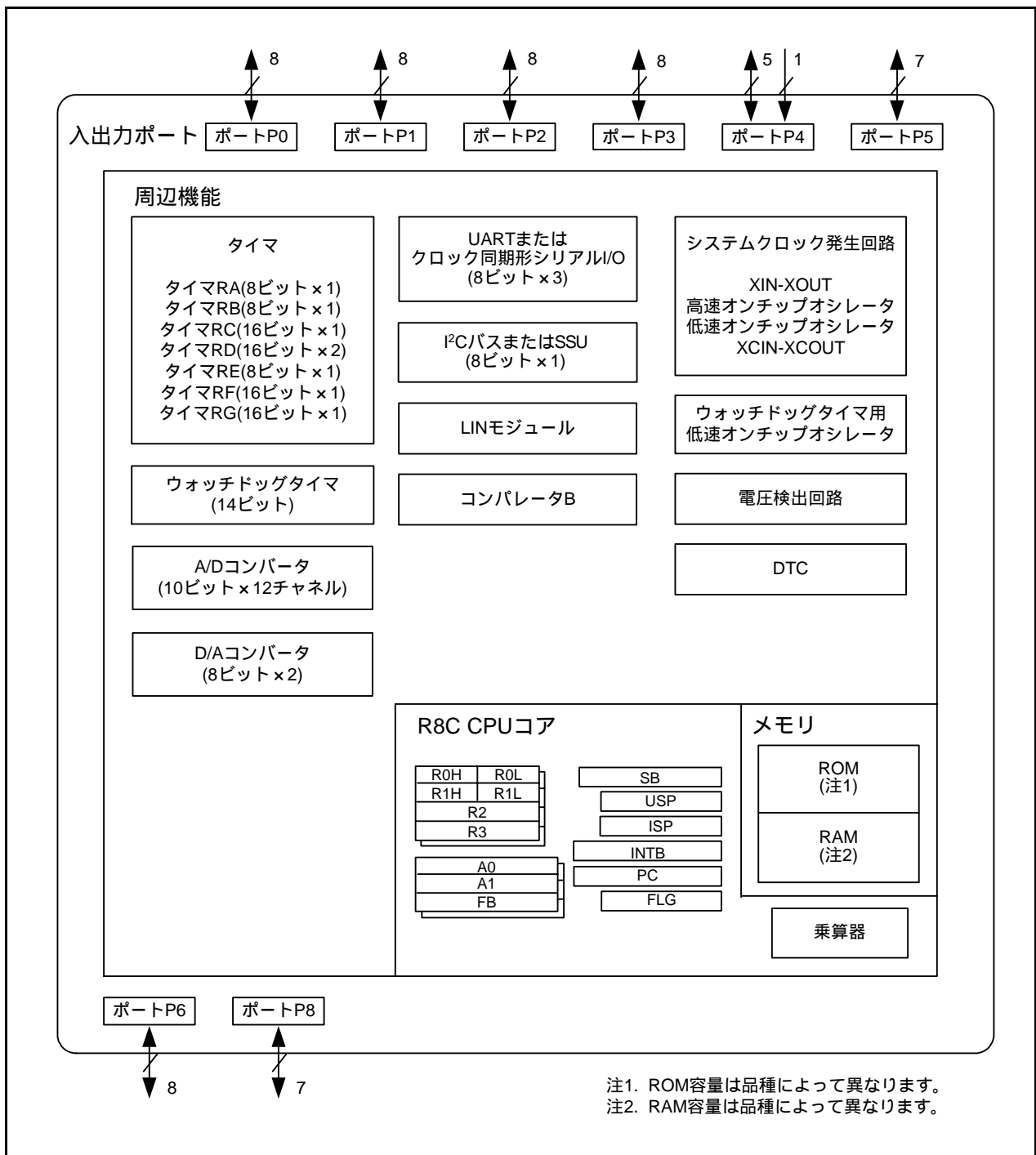


図1.2 ブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)を、表1.5～表1.6にピン番号別端子名一覧を示します。

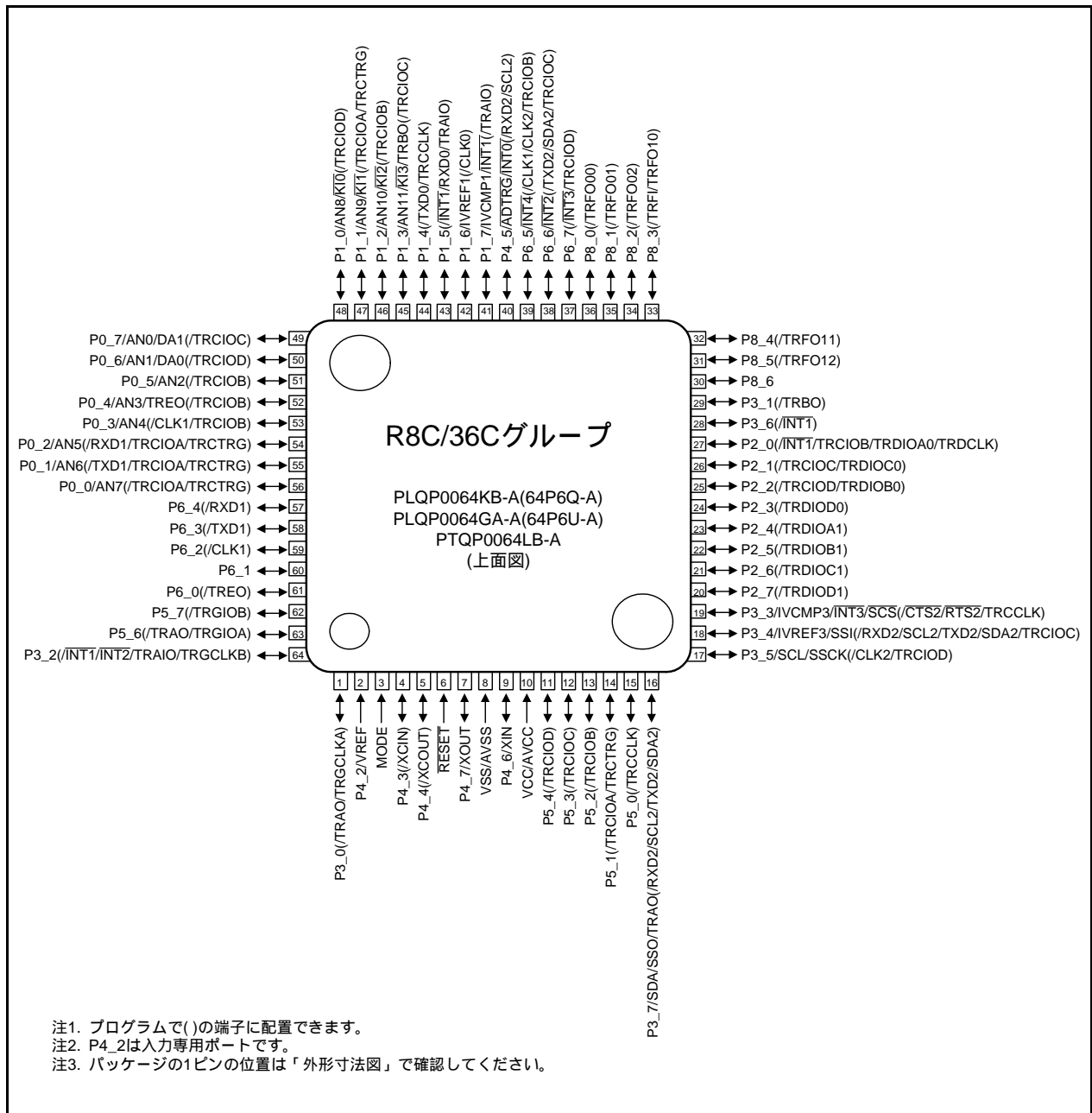


図1.3 ピン配置図(上面図)

表1.5 ピン番号別端子名一覧(1)

ピン番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタフェース	SSU	I ² Cバス	A/Dコンバータ、 D/Aコンバータ、 コンパレータB
1		P3_0		(TRAO/ TRGCLKA)				
2		P4_2						VREF
3	MODE							
4	(XCIN)	P4_3						
5	(XCOUT)	P4_4						
6	RESET							
7	XOUT	P4_7						
8	VSS/AVSS							
9	XIN	P4_6						
10	VCC/AVCC							
11		P5_4		(TRCIOD)				
12		P5_3		(TRCIOC)				
13		P5_2		(TRCIOB)				
14		P5_1		(TRCIOA/ TRCTRG)				
15		P5_0		(TRCLK)				
16		P3_7		TRAO	(RXD2/SCL2/ TXD2/SDA2)	SSO	SDA	
17		P3_5		(TRCIOD)	(CLK2)	SSCK	SCL	
18		P3_4		(TRCIOC)	(RXD2/SCL2/ TXD2/SDA2)	SSI		IVREF3
19		P3_3	INT3	(TRCLK)	(CTS2/RTS2)	SCS		IVCMP3
20		P2_7		(TRDIOD1)				
21		P2_6		(TRDIOC1)				
22		P2_5		(TRDIOB1)				
23		P2_4		(TRDIOA1)				
24		P2_3		(TRDIOD0)				
25		P2_2		(TRCIOD/ TRDIOB0)				
26		P2_1		(TRCIOC/ TRDIOC0)				
27		P2_0	INT1	(TRCIOB/ TRDIOA0/ TRDCLK)				
28		P3_6	INT1					
29		P3_1		(TRBO)				
30		P8_6						
31		P8_5		(TRFO12)				
32		P8_4		(TRFO11)				
33		P8_3		(TRFI/ TRFO10)				
34		P8_2		(TRFO02)				
35		P8_1		(TRFO01)				
36		P8_0		(TRFO00)				
37		P6_7	INT3	(TRCIOD)				

注1. プログラムで()の端子に配置できます。

表1.6 ピン番号別端子名一覧(2)

ピン番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタフェース	SSU	I ² Cバス	A/Dコンバータ、 D/Aコンバータ、 コンパレータB
38		P6_6	$\overline{\text{INT2}}$	(TRCIOC)	(TXD2/SDA2)			
39		P6_5	$\overline{\text{INT4}}$	(TRCIOB)	(CLK1/CLK2)			
40		P4_5	$\overline{\text{INT0}}$		(RXD2/SCL2)			$\overline{\text{ADTRG}}$
41		P1_7	$\overline{\text{INT1}}$	(TRAIO)				IVCMP1
42		P1_6			(CLK0)			IVREF1
43		P1_5	$\overline{(\text{INT1})}$	(TRAIO)	(RXD0)			
44		P1_4		(TRCCLK)	(TXD0)			
45		P1_3	$\overline{\text{KI3}}$	TRBO (/TRCIOC)				AN11
46		P1_2	$\overline{\text{KI2}}$	(TRCIOB)				AN10
47		P1_1	$\overline{\text{KI1}}$	(TRCIOA/ TRCTRG)				AN9
48		P1_0	$\overline{\text{KI0}}$	(TRCIOD)				AN8
49		P0_7		(TRCIOC)				AN0/DA1
50		P0_6		(TRCIOD)				AN1/DA0
51		P0_5		(TRCIOB)				AN2
52		P0_4		TREO (/TRCIOB)				AN3
53		P0_3		(TRCIOB)	(CLK1)			AN4
54		P0_2		(TRCIOA/ TRCTRG)	(RXD1)			AN5
55		P0_1		(TRCIOA/ TRCTRG)	(TXD1)			AN6
56		P0_0		(TRCIOA/ TRCTRG)				AN7
57		P6_4			(RXD1)			
58		P6_3			(TXD1)			
59		P6_2			(CLK1)			
60		P6_1						
61		P6_0		(TREO)				
62		P5_7		(TRGIOB)				
63		P5_6		(TRAO/ TRGIOA)				
64		P3_2	$\overline{(\text{INT1}/\text{INT2})}$	(TRAIO/ TRGCLKB)				

注1. プログラムで()の端子に配置できます。

1.5 端子機能の説明

表1.7～表1.8に端子機能の説明を示します。

表1.7 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS		VCCには1.8V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS		A/Dコンバータの入力電源です。 AVCCとAVSS間には、コンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XOUTからクロックを入力してください。
XINクロック出力	XOUT	入出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCINクロック出力	XCOUT	出力	
INT割り込み入力	INT0～INT4	入力	INT割り込み入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAI0	入出力	タイマRAの入出力です。
	TRA0	出力	タイマRAの出力です。
タイマRB	TRB0	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロックの入力です。
	TRCTRIG	入力	外部トリガの入力です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRD	TRDIOA0、TRDIOA1、TRDIOB0、TRDIOB1、TRDIOC0、TRDIOC1、TRDIOD0、TRDIOD1	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
タイマRE	TRE0	出力	分周クロック出力です。
タイマRF	TRFO00、TRFO10、TRFO01、TRFO11、TRFO02、TRFO12	出力	タイマRFの出力です。
	TRFI	入力	タイマRFの入力です。
タイマRG	TRGIOA、TRGI0B	入出力	タイマRGの入出力です。
	TRGCLKA、TRGCLKB	入力	外部クロック入力です。
シリアルインタフェース	CLK0、CLK1、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD1、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD1、TXD2	出力	シリアルデータ出力です。
	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	SCL2	入出力	I ² Cモードのクロック入出力です。
SDA2	入出力	I ² Cモードのデータ入出力です。	

注1. 発振特性は発振子メーカーに問い合わせてください。

表1.8 端子機能の説明(2)

分類	端子名	入出力	機能
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
I ² Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN11	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータの出力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力端子です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力端子です。
入出力ポート	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0 ~ P3_7、 P4_3 ~ P4_7、 P5_0 ~ P5_4、 P5_6、P5_7、 P6_0 ~ P6_7、 P8_0 ~ P8_6	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。
入力ポート	P4_2	入力	入力専用ポートです。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

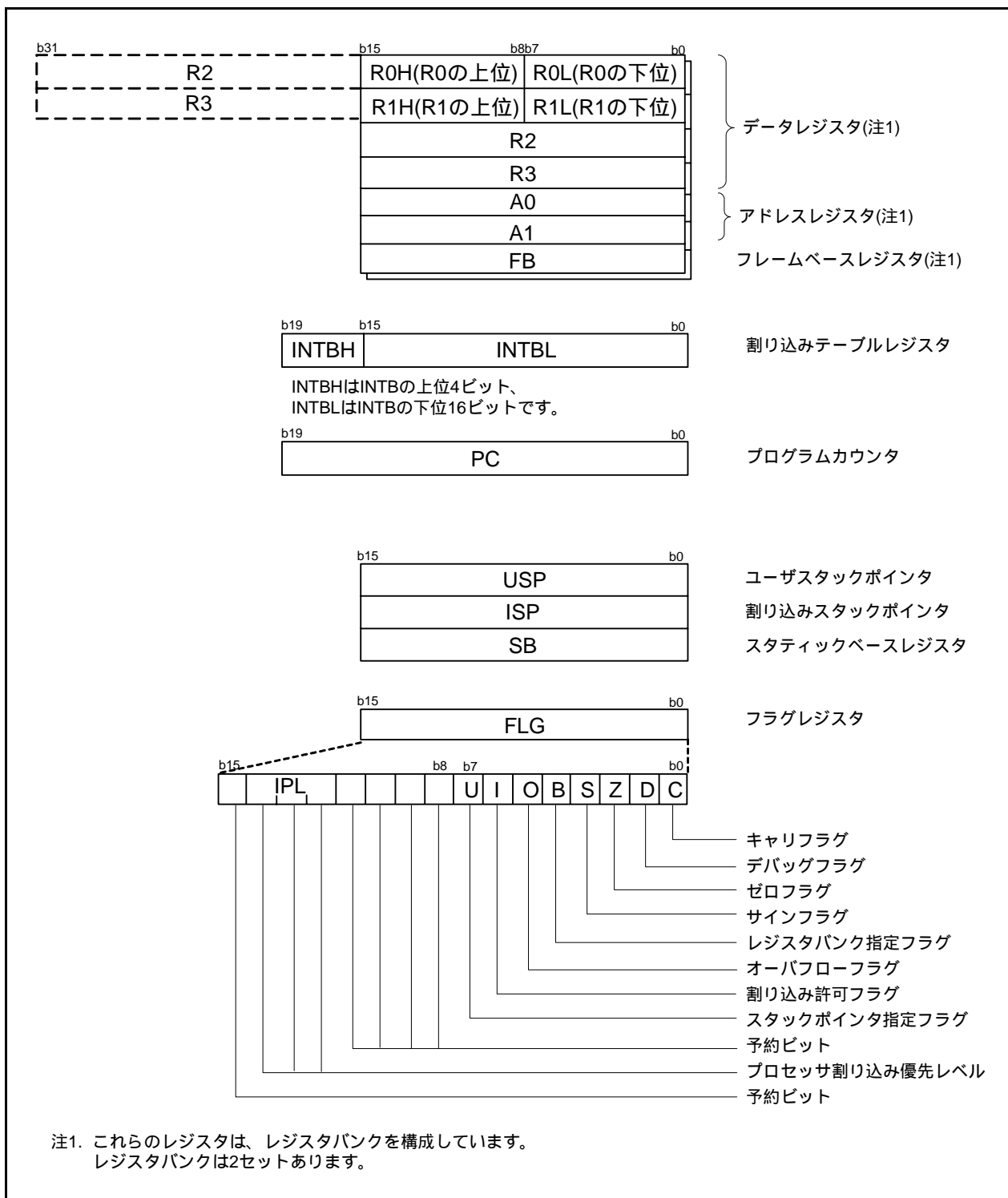


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/36Cグループ

図3.1にR8C/36Cグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば64Kバイトの内部ROMは、04000h番地から13FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

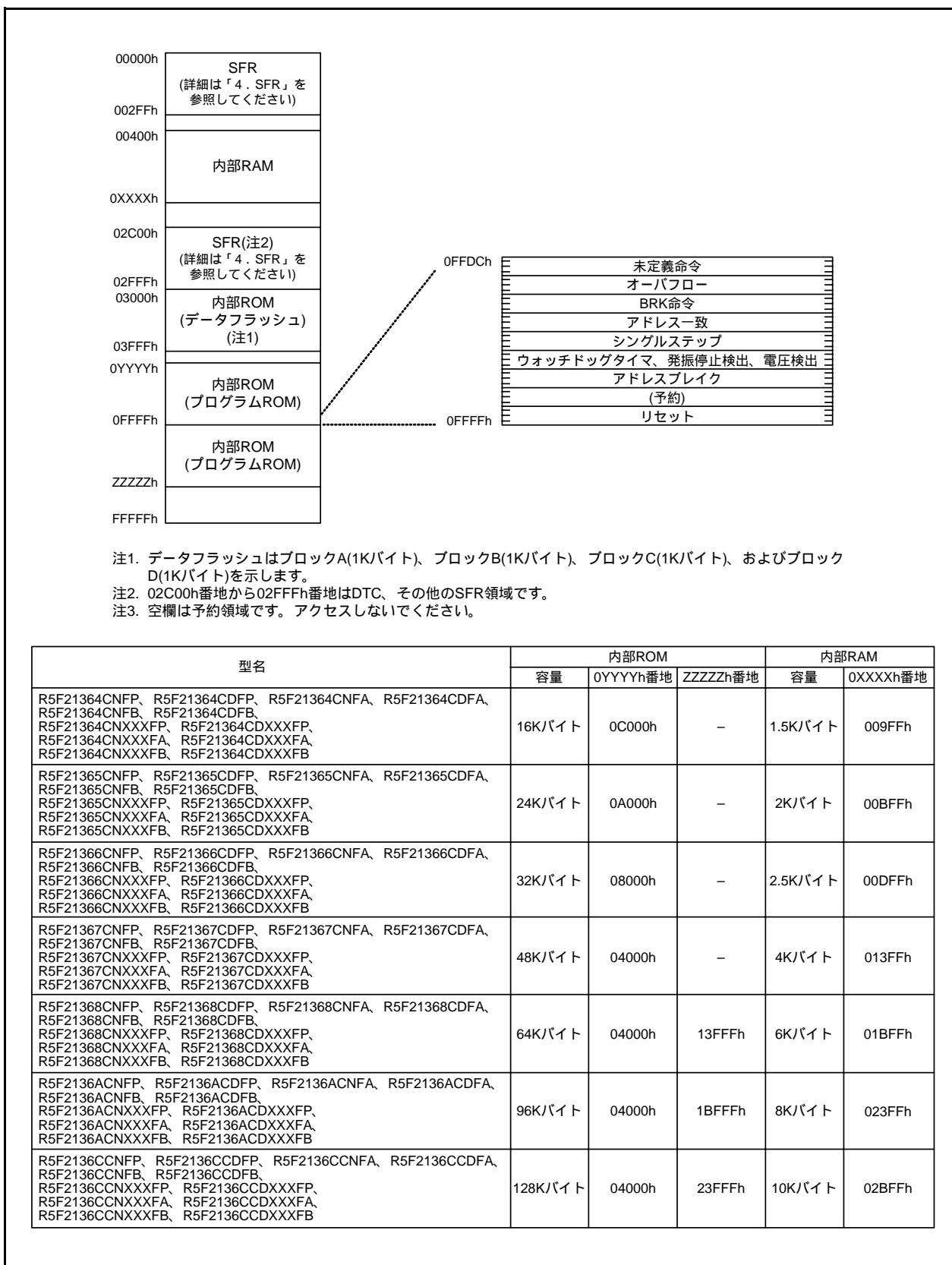


図 3.1 R8C/36Cグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.12にSFR一覧表を、表4.13にIDコード領域、オプション機能選択領域を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	00101000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	0XXXXXXb (注2)
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	出荷時の値
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注3)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	出荷時の値
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	出荷時の値
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	出荷時の値
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	出荷時の値
0030h	電圧監視回路制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h	電圧検出レジスタ1	VCA1	00001000b
0034h	電圧検出レジスタ2	VCA2	00h (注4) 00100000b (注5)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注4) 1100X011b (注5)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFRレジスタのCWRビットは電源投入後と、電圧監視0リセット後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFSレジスタのCSPROINIビットが“0”の場合。

注4. OFSレジスタのLVDASビットが“1”の場合。

注5. OFSレジスタのLVDASビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
003Ah	電圧監視2回路制御レジスタ	VW2C	1000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h			
0044h			
0045h			
0046h	INT4割り込み制御レジスタ	INT4IC	XX00X000b
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ	SSUIC/IICIC	XXXXX000b
0050h	タイマRFコンペア1割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh	タイマRF割り込み制御レジスタ	TRFIC	XXXXX000b
005Ch	タイマRFコンペア0割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXX000b
005Fh	タイマRFキャプチャ割り込み制御レジスタ	CAPIC	XXXXX000b
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	タイマRG割り込み制御レジスタ	TRGIC	XXXXX000b
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。
注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	DTC起動制御レジスタ	DTC TL	00h
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	00h
0089h	DTC起動許可レジスタ1	DTCEN1	00h
008Ah	DTC起動許可レジスタ2	DTCEN2	00h
008Bh	DTC起動許可レジスタ3	DTCEN3	00h
008Ch	DTC起動許可レジスタ4	DTCEN4	00h
008Dh	DTC起動許可レジスタ5	DTCEN5	00h
008Eh	DTC起動許可レジスタ6	DTCEN6	00h
008Fh			
0090h	タイマRFレジスタ	TRF	00h
0091h			00h
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah	タイマRF制御レジスタ0	TRFCR0	00h
009Bh	タイマRF制御レジスタ1	TRFCR1	00h
009Ch	キャプチャ、コンペア0レジスタ	TRFM0	00h
009Dh			00h
009Eh	コンペア1レジスタ	TRFM1	FFh
009Fh			FFh
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART2送受信モードレジスタ	U2MR	00h
00A9h	UART2ビットレートレジスタ	U2BRG	XXh
00AAh	UART2送信バッファレジスタ	U2TB	XXh
00ABh			XXh
00ACh	UART2送受信制御レジスタ0	U2C0	00001000b
00ADh	UART2送受信制御レジスタ1	U2C1	00000010b
00AEh	UART2受信バッファレジスタ	U2RB	XXh
00AFh			XXh
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	00h
00BCh	UART2特殊モードレジスタ4	U2SMR4	00h
00BDh	UART2特殊モードレジスタ3	U2SMR3	00X0X0Xb
00BEh	UART2特殊モードレジスタ2	U2SMR2	X0000000b
00BFh	UART2特殊モードレジスタ	U2SMR	X0000000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/Dレジスタ0	AD0	XXh
00C1h			000000XXb
00C2h	A/Dレジスタ1	AD1	XXh
00C3h			000000XXb
00C4h	A/Dレジスタ2	AD2	XXh
00C5h			000000XXb
00C6h	A/Dレジスタ3	AD3	XXh
00C7h			000000XXb
00C8h	A/Dレジスタ4	AD4	XXh
00C9h			000000XXb
00CAh	A/Dレジスタ5	AD5	XXh
00CBh			000000XXb
00CCh	A/Dレジスタ6	AD6	XXh
00CDh			000000XXb
00CEh	A/Dレジスタ7	AD7	XXh
00CFh			000000XXb
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	00h
00D5h	A/D入力選択レジスタ	ADINSEL	11000000b
00D6h	A/D制御レジスタ0	ADCON0	00h
00D7h	A/D制御レジスタ1	ADCON1	00h
00D8h	D/A0レジスタ	DA0	00h
00D9h	D/A1レジスタ	DA1	00h
00DAh			
00DBh			
00DCh	D/A制御レジスタ	DACON	00h
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h	ポートP2レジスタ	P2	XXh
00E5h	ポートP3レジスタ	P3	XXh
00E6h	ポートP2方向レジスタ	PD2	00h
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h	ポートP5レジスタ	P5	XXh
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh	ポートP5方向レジスタ	PD5	00h
00ECh	ポートP6レジスタ	P6	XXh
00EDh			
00EEh	ポートP6方向レジスタ	PD6	00h
00EFh			
00F0h	ポートP8レジスタ	P8	XXh
00F1h			
00F2h	ポートP8方向レジスタ	PD8	00h
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h	LINコントロールレジスタ2	LINCR2	00h
0106h	LINコントロールレジスタ	LINCR	00h
0107h	LINステータスレジスタ	LINST	00h
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBPRES	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタデータレジスタ	TRESEC	00h
0119h	タイマRE分データレジスタ/コンペアデータレジスタ	TREMIN	00h
011Ah	タイマRE時データレジスタ	TREHR	00h
011Bh	タイマRE曜日データレジスタ	TREWK	00h
011Ch	タイマRE制御レジスタ1	TRECR1	00h
011Dh	タイマRE制御レジスタ2	TRECR2	00h
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h	タイマRCカウンタ	TRC	00h
0127h			00h
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh
0129h			FFh
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh
012Bh			FFh
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh
012Dh			FFh
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh
012Fh			FFh
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスク許可レジスタ	TRCOER	01111111b
0133h	タイマRCトリガ制御レジスタ	TRCADCR	00h
0134h			
0135h	タイマRD拡張制御レジスタ	TRDECR	00h
0136h	タイマRDトリガ制御レジスタ	TRDADCR	00h
0137h	タイマRDスタートレジスタ	TRDSTR	11111100b
0138h	タイマRDモードレジスタ	TRDMR	00001110b
0139h	タイマRD PWMモードレジスタ	TRDPMR	10001000b
013Ah	タイマRD機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマRDアウトプットマスク許可レジスタ1	TRDOER1	FFh
013Ch	タイマRDアウトプットマスク許可レジスタ2	TRDOER2	01111111b
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	00h
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	00h

注1. 空欄は予約領域です。アクセスしないでください。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマRD制御レジスタ0	TRDCR0	00h
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	10001000b
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	10001000b
0143h	タイマRDステータスレジスタ0	TRDSR0	11100000b
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	11100000b
0145h	タイマRD PWMモードアウトブットレベル制御レジスタ0	TRDPOCR0	11111000b
0146h	タイマRDカウンタ0	TRD0	00h
0147h			00h
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマRD制御レジスタ1	TRDCR1	00h
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	10001000b
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	10001000b
0153h	タイマRDステータスレジスタ1	TRDSR1	11000000b
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	11100000b
0155h	タイマRD PWMモードアウトブットレベル制御レジスタ1	TRDPOCR1	11111000b
0156h	タイマRDカウンタ1	TRD1	00h
0157h			00h
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	FFh
015Fh			FFh
0160h	UART1送受信モードレジスタ	U1MR	00h
0161h	UART1ビットレートレジスタ	U1BRG	XXh
0162h	UART1送信バッファレジスタ	U1TB	XXh
0163h			XXh
0164h	UART1送受信制御レジスタ0	U1C0	00001000b
0165h	UART1送受信制御レジスタ1	U1C1	00000010b
0166h	UART1受信バッファレジスタ	U1RB	XXh
0167h			XXh
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h	タイマRGモードレジスタ	TRGMR	01000000b
0171h	タイマRGカウント制御レジスタ	TRGCNTC	00h
0172h	タイマRG制御レジスタ	TRGCR	10000000b
0173h	タイマRG割り込み許可レジスタ	TRGIER	11110000b
0174h	タイマRGステータスレジスタ	TRGSR	11100000b
0175h	タイマRG I/O制御レジスタ	TRGIOR	00h
0176h	タイマRGカウンタ	TRG	00h
0177h			00h
0178h	タイマRGジェネラルレジスタA	TRGGRA	FFh
0179h			FFh
017Ah	タイマRGジェネラルレジスタB	TRGGRB	FFh
017Bh			FFh
017Ch	タイマRGジェネラルレジスタC	TRGGRC	FFh
017Dh			FFh
017Eh	タイマRGジェネラルレジスタD	TRGGRD	FFh
017Fh			FFh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマRA端子選択レジスタ	TRASR	00h
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	00h
0182h	タイマRC端子選択レジスタ0	TRCPSR0	00h
0183h	タイマRC端子選択レジスタ1	TRCPSR1	00h
0184h	タイマRD端子選択レジスタ0	TRDPSR0	00h
0185h	タイマRD端子選択レジスタ1	TRDPSR1	00h
0186h	タイマ端子選択レジスタ	TIMSR	00h
0187h	タイマRF出力制御レジスタ	TRFOUT	00h
0188h	UART0端子選択レジスタ	U0SR	00h
0189h	UART1端子選択レジスタ	U1SR	00h
018Ah	UART2端子選択レジスタ0	U2SR0	00h
018Bh	UART2端子選択レジスタ1	U2SR1	00h
018Ch	SSU/IIC端子選択レジスタ	SSUIICSR	00h
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL/IICバス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
0195h	SS送信データレジスタH (注2)	SSTDRH	FFh
0196h	SS受信データレジスタL/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh
0197h	SS受信データレジスタH (注2)	SSRDRH	FFh
0198h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/ICCR1	00h
0199h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/ICCR2	01111101b
019Ah	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00010000b/00011000b
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ (注2)	SSER/ICIER	00h
019Ch	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h/0000X000b
019Dh	SSモードレジスタ2/スリープアドレスレジスタ (注2)	SSMR2/SAR	00h
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUIICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値	
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh	
01C1h			XXh	
01C2h			0000XXXXb	
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	00h	
01C4h			アドレス一致割り込みレジスタ1	XXh
01C5h				XXh
01C6h	アドレス一致割り込み許可レジスタ1	AIER1	0000XXXXb	
01C7h			00h	
01C8h				
01C9h				
01CAh				
01CBh				
01CCh				
01CDh				
01CEh				
01CFh				
01D0h				
01D1h				
01D2h				
01D3h				
01D4h				
01D5h				
01D6h				
01D7h				
01D8h				
01D9h				
01DAh				
01DBh				
01DCh				
01DDh				
01DEh				
01DFh				
01E0h	ブルアップ制御レジスタ0	PUR0	00h	
01E1h	ブルアップ制御レジスタ1	PUR1	00h	
01E2h	ブルアップ制御レジスタ2	PUR2	00h	
01E3h				
01E4h				
01E5h				
01E6h				
01E7h				
01E8h				
01E9h				
01EAh				
01EBh				
01ECh				
01EDh				
01EEh				
01EFh				
01F0h	ポートP1駆動能力制御レジスタ	P1DRR	00h	
01F1h	ポートP2駆動能力制御レジスタ	P2DRR	00h	
01F2h	駆動能力制御レジスタ0	DRR0	00h	
01F3h	駆動能力制御レジスタ1	DRR1	00h	
01F4h	駆動能力制御レジスタ2	DRR2	00h	
01F5h	入力しきい値制御レジスタ0	VLT0	00h	
01F6h	入力しきい値制御レジスタ1	VLT1	00h	
01F7h	入力しきい値制御レジスタ2	VLT2	00h	
01F8h	コンパレータB制御レジスタ0	INTCMP	00h	
01F9h				
01FAh	外部入力許可レジスタ0	INTEN	00h	
01FBh	外部入力許可レジスタ1	INTEN1	00h	
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h	
01FDh	INT入力フィルタ選択レジスタ1	INTF1	00h	
01FEh	キー入力許可レジスタ0	KIEN	00h	
01FFh				

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.9 SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
2C00h	DTC転送ベクタ領域		XXh
2C01h	DTC転送ベクタ領域		XXh
2C02h	DTC転送ベクタ領域		XXh
2C03h	DTC転送ベクタ領域		XXh
2C04h	DTC転送ベクタ領域		XXh
2C05h	DTC転送ベクタ領域		XXh
2C06h	DTC転送ベクタ領域		XXh
2C07h	DTC転送ベクタ領域		XXh
2C08h	DTC転送ベクタ領域		XXh
2C09h	DTC転送ベクタ領域		XXh
2C0Ah	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
2C3Ah	DTC転送ベクタ領域		XXh
2C3Bh	DTC転送ベクタ領域		XXh
2C3Ch	DTC転送ベクタ領域		XXh
2C3Dh	DTC転送ベクタ領域		XXh
2C3Eh	DTC転送ベクタ領域		XXh
2C3Fh	DTC転送ベクタ領域		XXh
2C40h	DTCコントロールデータ0	DTCD0	XXh
2C41h			XXh
2C42h			XXh
2C43h			XXh
2C44h			XXh
2C45h			XXh
2C46h			XXh
2C47h			XXh
2C48h	DTCコントロールデータ1	DTCD1	XXh
2C49h			XXh
2C4Ah			XXh
2C4Bh			XXh
2C4Ch			XXh
2C4Dh			XXh
2C4Eh			XXh
2C4Fh			XXh
2C50h	DTCコントロールデータ2	DTCD2	XXh
2C51h			XXh
2C52h			XXh
2C53h			XXh
2C54h			XXh
2C55h			XXh
2C56h			XXh
2C57h			XXh
2C58h	DTCコントロールデータ3	DTCD3	XXh
2C59h			XXh
2C5Ah			XXh
2C5Bh			XXh
2C5Ch			XXh
2C5Dh			XXh
2C5Eh			XXh
2C5Fh			XXh
2C60h	DTCコントロールデータ4	DTCD4	XXh
2C61h			XXh
2C62h			XXh
2C63h			XXh
2C64h			XXh
2C65h			XXh
2C66h			XXh
2C67h			XXh
2C68h	DTCコントロールデータ5	DTCD5	XXh
2C69h			XXh
2C6Ah			XXh
2C6Bh			XXh
2C6Ch			XXh
2C6Dh			XXh
2C6Eh			XXh
2C6Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
2C70h	DTCコントロールデータ6	DTCD6	XXh
2C71h			XXh
2C72h			XXh
2C73h			XXh
2C74h			XXh
2C75h			XXh
2C76h			XXh
2C77h			XXh
2C78h	DTCコントロールデータ7	DTCD7	XXh
2C79h			XXh
2C7Ah			XXh
2C7Bh			XXh
2C7Ch			XXh
2C7Dh			XXh
2C7Eh			XXh
2C7Fh			XXh
2C80h	DTCコントロールデータ8	DTCD8	XXh
2C81h			XXh
2C82h			XXh
2C83h			XXh
2C84h			XXh
2C85h			XXh
2C86h			XXh
2C87h			XXh
2C88h	DTCコントロールデータ9	DTCD9	XXh
2C89h			XXh
2C8Ah			XXh
2C8Bh			XXh
2C8Ch			XXh
2C8Dh			XXh
2C8Eh			XXh
2C8Fh			XXh
2C90h	DTCコントロールデータ10	DTCD10	XXh
2C91h			XXh
2C92h			XXh
2C93h			XXh
2C94h			XXh
2C95h			XXh
2C96h			XXh
2C97h			XXh
2C98h	DTCコントロールデータ11	DTCD11	XXh
2C99h			XXh
2C9Ah			XXh
2C9Bh			XXh
2C9Ch			XXh
2C9Dh			XXh
2C9Eh			XXh
2C9Fh			XXh
2CA0h	DTCコントロールデータ12	DTCD12	XXh
2CA1h			XXh
2CA2h			XXh
2CA3h			XXh
2CA4h			XXh
2CA5h			XXh
2CA6h			XXh
2CA7h			XXh
2CA8h	DTCコントロールデータ13	DTCD13	XXh
2CA9h			XXh
2CAAh			XXh
2CABh			XXh
2CACH			XXh
2CADh			XXh
2CAEh			XXh
2CAFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.11 SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
2CB0h	DTCコントロールデータ14	DTCD14	XXh
2CB1h			XXh
2CB2h			XXh
2CB3h			XXh
2CB4h			XXh
2CB5h			XXh
2CB6h			XXh
2CB7h			XXh
2CB8h	DTCコントロールデータ15	DTCD15	XXh
2CB9h			XXh
2CBAh			XXh
2CBBh			XXh
2CBCh			XXh
2CBDh			XXh
2CBEh			XXh
2CBFh			XXh
2CC0h	DTCコントロールデータ16	DTCD16	XXh
2CC1h			XXh
2CC2h			XXh
2CC3h			XXh
2CC4h			XXh
2CC5h			XXh
2CC6h			XXh
2CC7h			XXh
2CC8h	DTCコントロールデータ17	DTCD17	XXh
2CC9h			XXh
2CCAh			XXh
2CCBh			XXh
2CCCh			XXh
2CCDh			XXh
2CCEh			XXh
2CCFh			XXh
2CD0h	DTCコントロールデータ18	DTCD18	XXh
2CD1h			XXh
2CD2h			XXh
2CD3h			XXh
2CD4h			XXh
2CD5h			XXh
2CD6h			XXh
2CD7h			XXh
2CD8h	DTCコントロールデータ19	DTCD19	XXh
2CD9h			XXh
2CDAh			XXh
2CDBh			XXh
2CDCh			XXh
2CDDh			XXh
2CDEh			XXh
2CDFh			XXh
2CE0h	DTCコントロールデータ20	DTCD20	XXh
2CE1h			XXh
2CE2h			XXh
2CE3h			XXh
2CE4h			XXh
2CE5h			XXh
2CE6h			XXh
2CE7h			XXh
2CE8h	DTCコントロールデータ21	DTCD21	XXh
2CE9h			XXh
2CEAh			XXh
2CEBh			XXh
2CECh			XXh
2CEDh			XXh
2CEEh			XXh
2CEFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値		
2CF0h	DTCコントロールデータ22	DTCD22	XXh		
2CF1h			XXh		
2CF2h			XXh		
2CF3h			XXh		
2CF4h			XXh		
2CF5h			XXh		
2CF6h			XXh		
2CF7h			XXh		
2CF8h	DTCコントロールデータ23	DTCD23	XXh		
2CF9h			XXh		
2CFAh			XXh		
2CFBh			XXh		
2CFC			XXh		
2CFDh			XXh		
2CFEh			XXh		
2CFFh			XXh		
2D00h					
2FFh					

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.13 IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
FFDFh	ID1		(注2)
FFE3h	ID2		(注2)
FFEBh	ID3		(注2)
FFEFh	ID4		(注2)
FFF3h	ID5		(注2)
FFF7h	ID6		(注2)
FFFBh	ID7		(注2)
FFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。

ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。

ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

5. 電気的特性

表5.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /AV _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	- 40 T _{opr} 85	500	mW
T _{opr}	動作周囲温度		- 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表5.2 推奨動作条件

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
V _{CC} /AV _{CC}	電源電圧			1.8		5.5	V	
V _{SS} /AV _{SS}	電源電圧				0		V	
V _{IH}	“H”入力電圧	CMOS入力以外			0.8V _{CC}	V _{CC}	V	
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択: 0.35V _{CC}	4.0V V _{CC} 5.5V	0.5V _{CC}	V _{CC}	V
					2.7V V _{CC} < 4.0V	0.55V _{CC}	V _{CC}	V
					1.8V V _{CC} < 2.7V	0.65V _{CC}	V _{CC}	V
				入力レベル選択: 0.5V _{CC}	4.0V V _{CC} 5.5V	0.65V _{CC}	V _{CC}	V
					2.7V V _{CC} < 4.0V	0.7V _{CC}	V _{CC}	V
					1.8V V _{CC} < 2.7V	0.8V _{CC}	V _{CC}	V
				入力レベル選択: 0.7V _{CC}	4.0V V _{CC} 5.5V	0.85V _{CC}	V _{CC}	V
					2.7V V _{CC} < 4.0V	0.85V _{CC}	V _{CC}	V
					1.8V V _{CC} < 2.7V	0.85V _{CC}	V _{CC}	V
外部クロック入力(XOUT)			1.2		V _{CC}	V		
V _{IL}	“L”入力電圧	CMOS入力以外			0	0.2V _{CC}	V	
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択: 0.35V _{CC}	4.0V V _{CC} 5.5V	0	0.2V _{CC}	V
					2.7V V _{CC} < 4.0V	0	0.2V _{CC}	V
					1.8V V _{CC} < 2.7V	0	0.2V _{CC}	V
				入力レベル選択: 0.5V _{CC}	4.0V V _{CC} 5.5V	0	0.4V _{CC}	V
					2.7V V _{CC} < 4.0V	0	0.3V _{CC}	V
					1.8V V _{CC} < 2.7V	0	0.2V _{CC}	V
				入力レベル選択: 0.7V _{CC}	4.0V V _{CC} 5.5V	0	0.55V _{CC}	V
					2.7V V _{CC} < 4.0V	0	0.45V _{CC}	V
					1.8V V _{CC} < 2.7V	0	0.35V _{CC}	V
外部クロック入力(XOUT)			0		0.4	V		
I _{OH(sum)}	“H”尖頭総出力電流	全端子のI _{OH(peak)} の総和			- 160	mA		
I _{OH(sum)}	“H”平均総出力電流	全端子のI _{OH(avg)} の総和			- 80	mA		
I _{OH(peak)}	“H”尖頭出力電流	駆動能力Low時			- 10	mA		
		駆動能力High時			- 40	mA		
I _{OH(avg)}	“H”平均出力電流	駆動能力Low時			- 5	mA		
		駆動能力High時			- 20	mA		
I _{OL(sum)}	“L”尖頭総出力電流	全端子のI _{OL(peak)} の総和			160	mA		
I _{OL(sum)}	“L”平均総出力電流	全端子のI _{OL(avg)} の総和			80	mA		
I _{OL(peak)}	“L”尖頭出力電流	駆動能力Low時			10	mA		
		駆動能力High時			40	mA		
I _{OL(avg)}	“L”平均出力電流	駆動能力Low時			5	mA		
		駆動能力High時			20	mA		
f(XIN)	XINクロック入力発振周波数	2.7V V _{CC} 5.5V			20	MHz		
		1.8V V _{CC} < 2.7V			5	MHz		
f(XCIN)	XCINクロック入力発振周波数	1.8V V _{CC} 5.5V		32.768	50	kHz		
f(OCO40M)	タイマRC、タイマRD、タイマRGのカウントソース(注3)	2.7V V _{CC} 5.5V	32		40	MHz		
f(OCO-F)	f(OCO-F)周波数	2.7V V _{CC} 5.5V			20	MHz		
		1.8V V _{CC} < 2.7V			5	MHz		
	システムクロック周波数	2.7V V _{CC} 5.5V			20	MHz		
		1.8V V _{CC} < 2.7V			5	MHz		
f(BCLK)	CPUクロック周波数	2.7V V _{CC} 5.5V			20	MHz		
		1.8V V _{CC} < 2.7V			5	MHz		

注1. 指定のない場合は、V_{CC} = 1.8V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. f(OCO40M)はV_{CC} = 2.7V ~ 5.5Vの範囲で、タイマRC、タイマRD、タイマRGのカウントソースとして使用することができます。

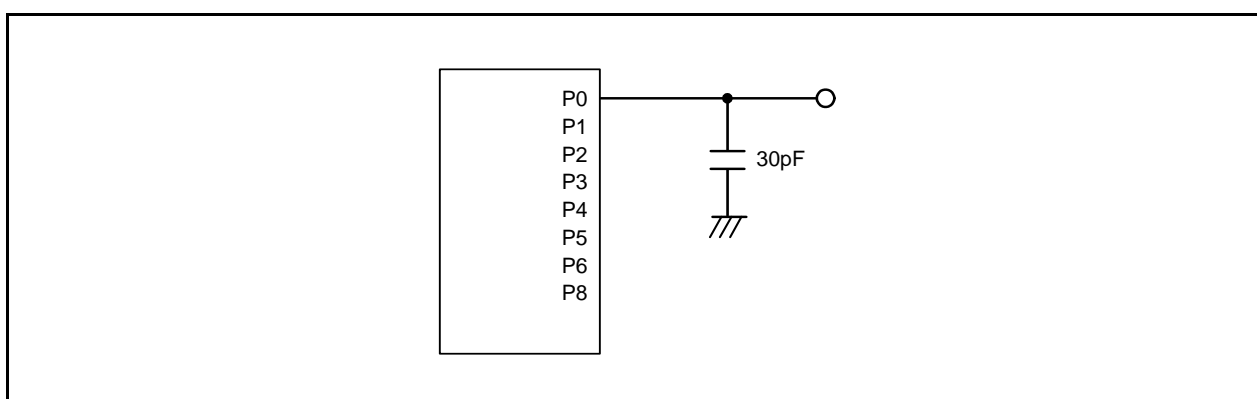


図5.1 ポートP0～P6、P8のタイミング測定回路

表5.3 A/Dコンバータ特性

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
	分解能		Vref = AVcc				10	Bit
	絶対精度	10ビットモード	Vref = AVcc = 5.0V	AN0 ~ AN7入力 AN8 ~ AN11入力			± 3	LSB
Vref = AVcc = 3.3V			AN0 ~ AN7入力 AN8 ~ AN11入力			± 5	LSB	
Vref = AVcc = 3.0V			AN0 ~ AN7入力 AN8 ~ AN11入力			± 5	LSB	
Vref = AVcc = 2.2V			AN0 ~ AN7入力 AN8 ~ AN11入力			± 5	LSB	
		8ビットモード	Vref = AVcc = 5.0V	AN0 ~ AN7入力 AN8 ~ AN11入力			± 2	LSB
Vref = AVcc = 3.3V			AN0 ~ AN7入力 AN8 ~ AN11入力			± 2	LSB	
Vref = AVcc = 3.0V			AN0 ~ AN7入力 AN8 ~ AN11入力			± 2	LSB	
Vref = AVcc = 2.2V			AN0 ~ AN7入力 AN8 ~ AN11入力			± 2	LSB	
AD	A/D変換クロック		4.0V Vref = AVcc 5.5V (注2)		2		20	MHz
			3.2V Vref = AVcc 5.5V (注2)		2		16	MHz
			2.7V Vref = AVcc 5.5V (注2)		2		10	MHz
			2.2V Vref = AVcc 5.5V (注2)		2		5	MHz
	許容信号源インピーダンス					3		kΩ
tCONV	変換時間	10ビットモード	Vref = AVcc = 5.0V、 AD = 20MHz		2.2			μs
		8ビットモード	Vref = AVcc = 5.0V、 AD = 20MHz		2.2			μs
tSAMP	サンプリング時間		AD = 20MHz		0.8			μs
Ivref	Vref電流		Vcc = 5.0V、 XIN = f1 = AD = 20MHz			45		μA
Vref	基準電圧				2.2		AVcc	V
VIA	アナログ入力電圧(注3)				0		Vref	V
OCVREF	チップ内蔵基準電圧		2MHz	AD 4MHz	1.19	1.34	1.49	V

注1. 指定のない場合は、Vcc/AVcc = Vref = 2.2V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. ウェイトモード時、ストップモード時、フラッシュメモリの停止時、および低消費電流リードモード時では、A/D変換結果が不定になります。(これらの状態のときのA/D変換処理、およびA/D変換中のこれらの状態への遷移はしないでください。)

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表5.4 D/Aコンバータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	分解能				8	Bit
	絶対精度				2.5	LSB
t_{su}	設定時間				3	μs
RO	出力抵抗			6		$k\Omega$
I_{Vref}	基準電源入力電流	(注2)			1.5	mA

注1. 指定のない場合は、 $V_{CC}/AV_{CC} = V_{ref} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのDAi (i = 0 ~ 1)レジスタの値が“00h”の場合です。
A/Dコンバータのラダー抵抗分は除きます。

表5.5 コンパレータBの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{ref}	IVREF1、IVREF3入力基準電圧		0		$V_{CC} - 1.4$	V
V_I	IVCMP1、IVCMP3入力電圧		-0.3		$V_{CC} + 0.3$	V
	オフセット			5	100	mV
t_d	コンパレータ出力遅延時間(注2)	$V_I = V_{ref} \pm 100mV$		0.1		μs
I_{CMP}	コンパレータ動作電流	$V_{CC} = 5.0V$		17.5		μA

注1. 指定のない場合は、 $V_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. デジタルフィルタ無効時。

表5.6 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		1,000(注3)			回
	バイトプログラム時間			80	500	μs
	ブロックイレーズ時間			0.3		s
t _d (SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
t _d (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{CC} = 2.7V ~ 5.5V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表5.7 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			160	1500	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			300	1500	μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	1	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3	1	s
$t_d(SR-SUS)$	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
$t_d(CMDRST-READY)$	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		- 20(注7)		85	
	データ保持時間(注8)	周囲温度 = 55	20			年

注1. 指定のない場合は、 $V_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数が n 回($n = 10,000$)の場合、ブロックごとにそれぞれ n 回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特约店にお問い合わせください。

注7. Dバージョンは -40 。

注8. 電源電圧またはクロックが印加されていない時間を含みます。

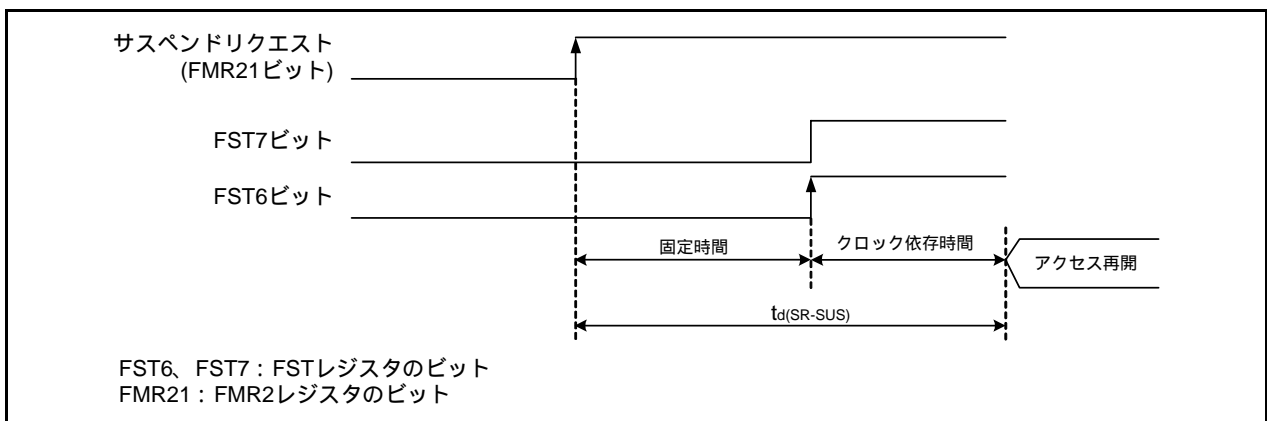


図5.2 サスペンドへの遷移時間

表5.8 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注2)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注2)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2 (注2)		2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注2)		3.55	3.80	4.05	V
	電圧検出0回路反応時間(注4)	Vcc = 5.0V (Vdet0_0 - 0.1)V に下げたとき		6	150	μs
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V		1.5		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表5.9 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_0 (注2)	Vcc立ち下がり時	2.00	2.20	2.40	V
	電圧検出レベルVdet1_1 (注2)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_2 (注2)	Vcc立ち下がり時	2.30	2.50	2.70	V
	電圧検出レベルVdet1_3 (注2)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_4 (注2)	Vcc立ち下がり時	2.60	2.80	3.00	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_6 (注2)	Vcc立ち下がり時	2.85	3.10	3.40	V
	電圧検出レベルVdet1_7 (注2)	Vcc立ち下がり時	3.00	3.25	3.55	V
	電圧検出レベルVdet1_8 (注2)	Vcc立ち下がり時	3.15	3.40	3.70	V
	電圧検出レベルVdet1_9 (注2)	Vcc立ち下がり時	3.30	3.55	3.85	V
	電圧検出レベルVdet1_A (注2)	Vcc立ち下がり時	3.45	3.70	4.00	V
	電圧検出レベルVdet1_B (注2)	Vcc立ち下がり時	3.60	3.85	4.15	V
	電圧検出レベルVdet1_C (注2)	Vcc立ち下がり時	3.75	4.00	4.30	V
	電圧検出レベルVdet1_D (注2)	Vcc立ち下がり時	3.90	4.15	4.45	V
	電圧検出レベルVdet1_E (注2)	Vcc立ち下がり時	4.05	4.30	4.60	V
	電圧検出レベルVdet1_F (注2)	Vcc立ち下がり時	4.20	4.45	4.75	V
	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_0 ~ Vdet1_5選択時		0.07		V
		Vdet1_6 ~ Vdet1_F選択時		0.10		V
	電圧検出1回路反応時間(注3)	Vcc = 5.0V (Vdet1_0 - 0.1)V に下げたとき		60	150	μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.10 電圧検出2回路の電氣的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.00	4.30	V
	電圧検出2回路のVcc立ち上がり時のヒステリシス幅			0.10		V
	電圧検出2回路反応時間(注2)	Vcc = 5.0V (Vdet2_0 - 0.1)V に下げたとき		20	150	μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.11 パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き	(注1)	0		50,000	mV/msec

注1. 指定のない場合測定条件は、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

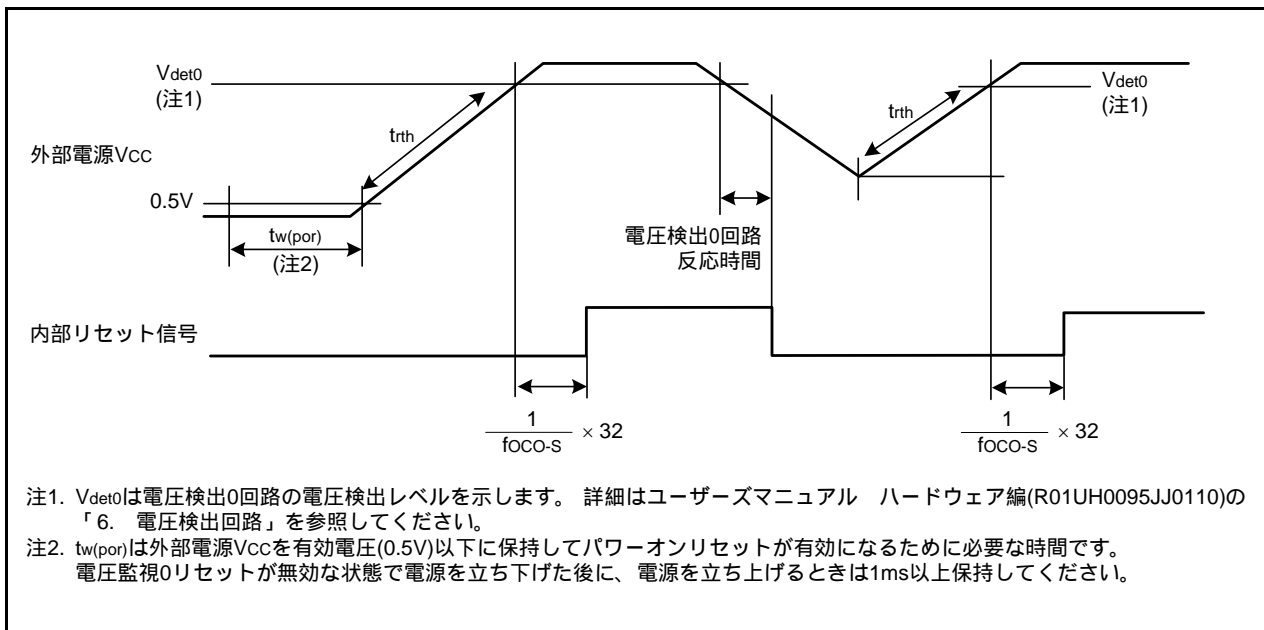


図5.3 パワーオンリセット回路の電氣的特性

表5.12 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	V _{CC} = 1.8 V ~ 5.5 V - 20 Topr 85	38.4	40	41.6	MHz
		V _{CC} = 1.8 V ~ 5.5 V - 40 Topr 85	38.0	40	42.0	MHz
	FRA4レジスタの補正値をFRA1レジスタに、かつFRA5レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2)	V _{CC} = 1.8 V ~ 5.5 V - 20 Topr 85	35.389	36.864	38.338	MHz
		V _{CC} = 1.8 V ~ 5.5 V - 40 Topr 85	35.020	36.864	38.707	MHz
	FRA6レジスタの補正値をFRA1レジスタに、かつFRA7レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数	V _{CC} = 1.8 V ~ 5.5 V - 20 Topr 85	30.72	32	33.28	MHz
		V _{CC} = 1.8 V ~ 5.5 V - 40 Topr 85	30.40	32	33.60	MHz
	発振安定時間	V _{CC} = 5.0V、Topr = 25		0.5	3	ms
	発振時の自己消費電流	V _{CC} = 5.0V、Topr = 25		400		μA

注1. 指定のない場合は、V_{CC} = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表5.13 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		60	125	250	kHz
	発振安定時間	V _{CC} = 5.0V、Topr = 25		30	100	μs
	発振時の自己消費電流	V _{CC} = 5.0V、Topr = 25		2		μA

注1. 指定のない場合は、V_{CC} = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

表5.14 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _d (P-R)	電源投入時の内部電源安定時間(注2)				2,000	μs

注1. 測定条件はV_{CC} = 1.8V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表5.15 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tsucyc
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tsucyc
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tcyc + 50			ns
tLAG	SCSホールド時間	スレーブ		1tcyc + 50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tcyc (注2)
tSA	SSIスレーブアクセス時間		2.7V Vcc 5.5V			1.5tcyc + 100	ns
			1.8V Vcc < 2.7V			1.5tcyc + 200	ns
tOR	SSIスレーブアウト開放時間		2.7V Vcc 5.5V			1.5tcyc + 100	ns
			1.8V Vcc < 2.7V			1.5tcyc + 200	ns

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f1(s)

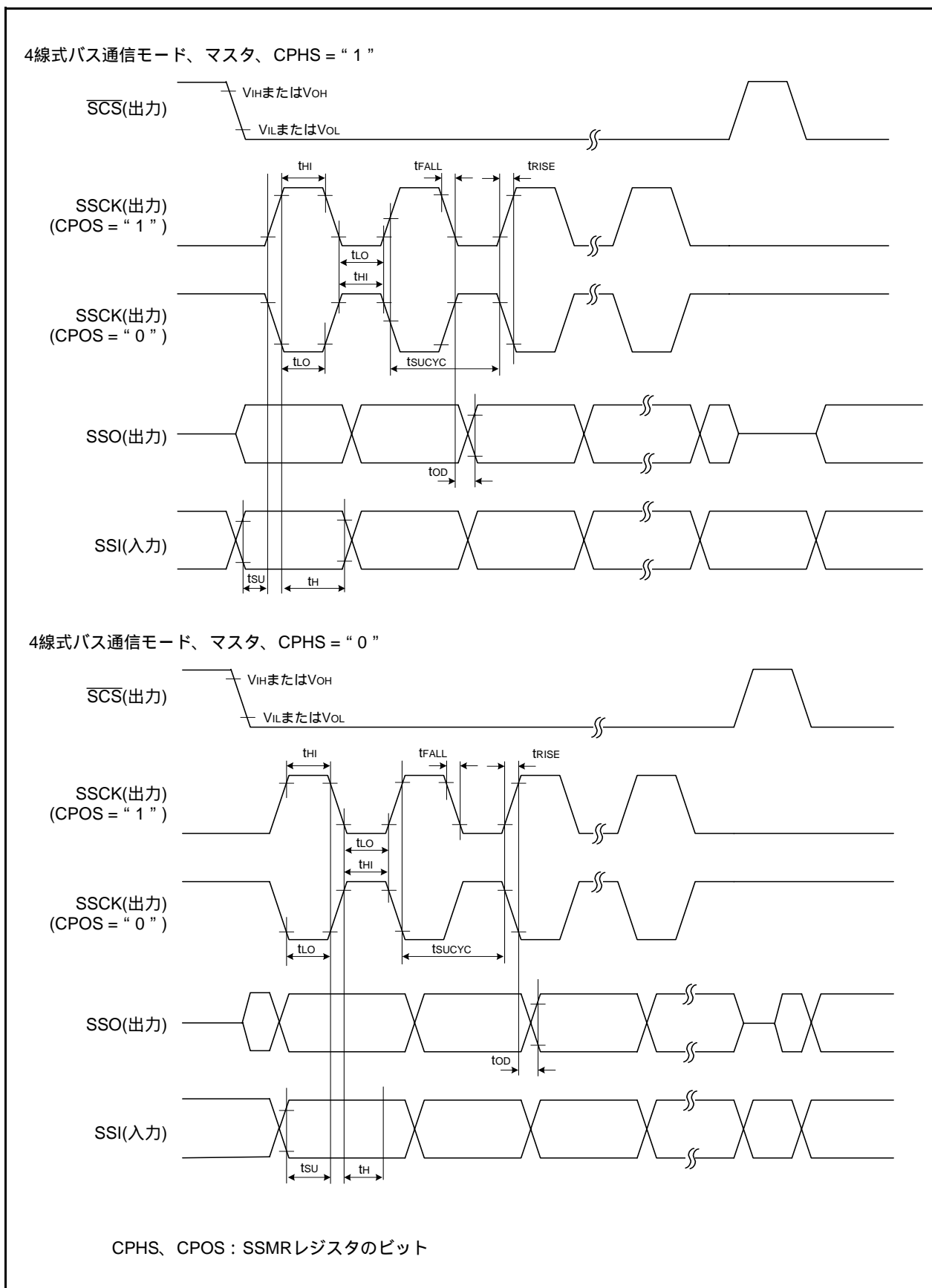


図5.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

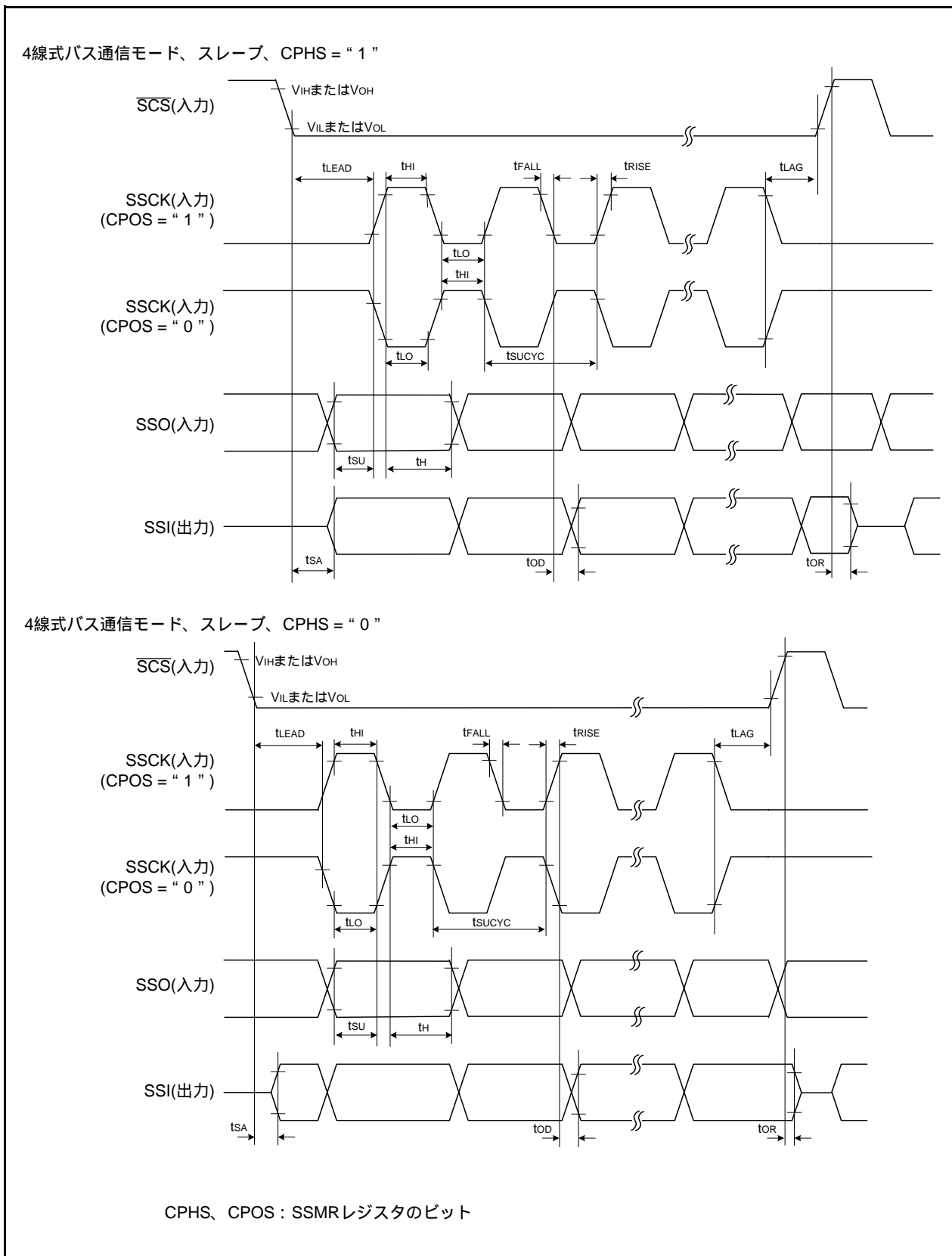


図5.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

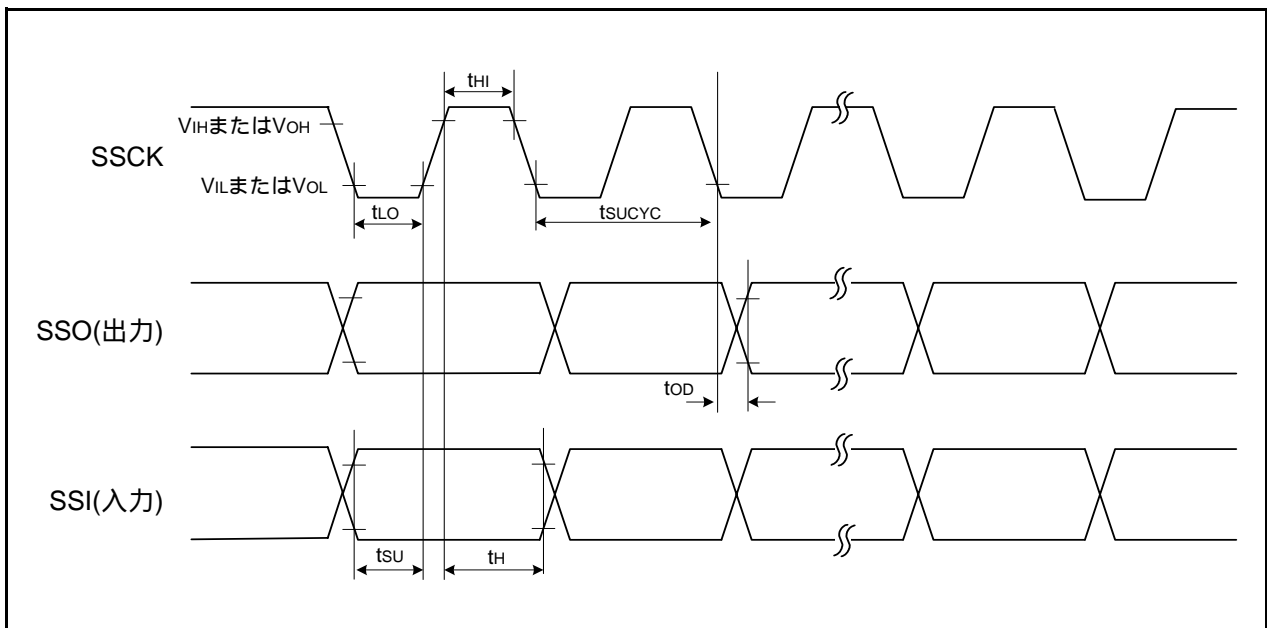


図5.6 シンクロナスシリアルコミュニケーションユニット (SSU) の入出力タイミング (クロック同期式通信モード)

表5.16 I²Cバスインタフェースのタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600(注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc + 300(注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc + 500(注2)			ns
tsf	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入力カスパイクパルス除去時間				1tcyc(注2)	ns
tBUF	SDA入力バスマフリー時間		5tcyc(注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc(注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
tSTOP	停止条件入力セットアップ時間		3tcyc(注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 40(注2)			ns
tSDAH	データ入力ホールド時間		10			ns

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f1(s)

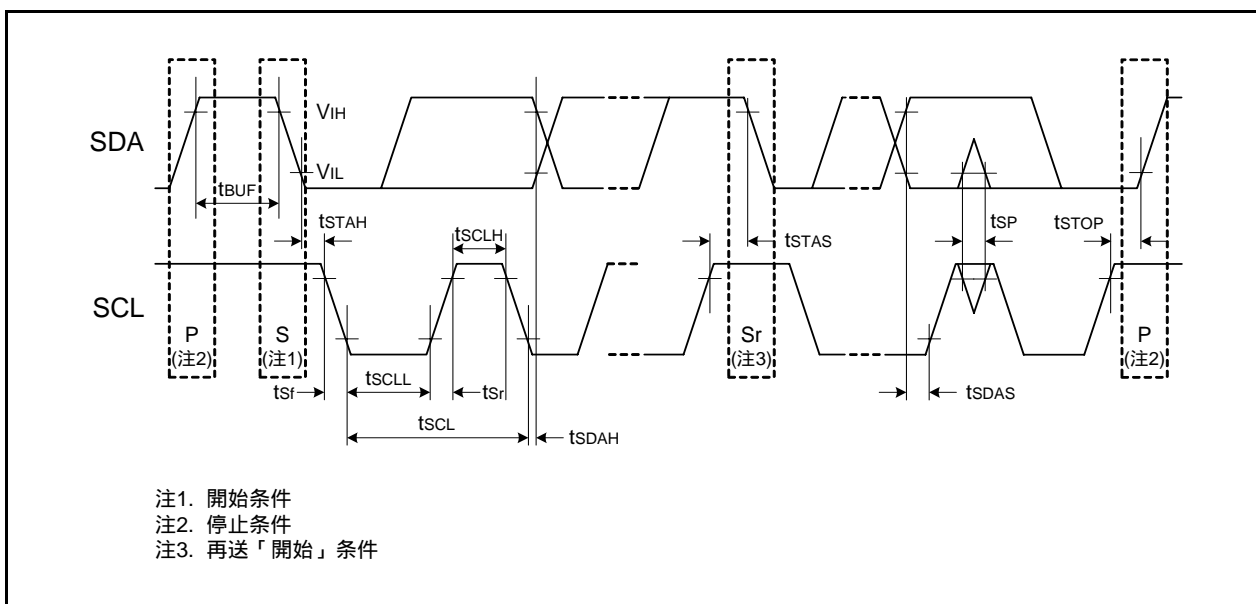


図5.7 I²Cバスインタフェースの入出力タイミング

表5.17 電気的特性(1) [4.2V Vcc 5.5V]

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VOH	“H”出力電圧	XOUT以外	駆動能力High Vcc = 5V	IoH = - 20mA	Vcc - 2.0	Vcc	V	
			駆動能力Low Vcc = 5V	IoH = - 5mA	Vcc - 2.0	Vcc	V	
		XOUT	Vcc = 5V	IoH = - 200 μ A	1.0	Vcc	V	
VOL	“L”出力電圧	XOUT以外	駆動能力High Vcc = 5V	IOL = 20mA		2.0	V	
			駆動能力Low Vcc = 5V	IOL = 5mA		2.0	V	
		XOUT	Vcc = 5V	IOL = 200 μ A		0.5	V	
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAI0、TRBO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRFI、TRGIOA、 TRGIOB、ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO			0.1	1.2	V	
		RESET			0.1	1.2	V	
IiH	“H”入力電流		Vi = 5V、Vcc = 5.0V			5.0	μ A	
IiL	“L”入力電流		Vi = 0V、Vcc = 5.0V			- 5.0	μ A	
RPULLUP	プルアップ抵抗		Vi = 0V、Vcc = 5.0V		25	50	100	k Ω
RfXIN	帰還抵抗	XIN				0.3		M Ω
RfXCIN	帰還抵抗	XCIN				8		M Ω
VRAM	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、4.2V Vcc 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、
f(XIN) = 20MHzです。

表5.18 電気的特性(2) [3.3V V_{CC} 5.5V](指定のない場合は、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流 (V _{CC} = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6.5	15	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		5.3	12.5	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.6		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.2		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振 f _{OCO-F} = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振 f _{OCO-F} = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XINクロック停止 高速オンチップオシレータ発振 f _{OCO-F} = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRD = MSTTRC = " 1 "		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "		90	400	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし FMR27 = " 1 "、VCA20 = " 0 "		85	400	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "、VCA20 = " 0 "		47		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		15	100	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		4	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		3.5		μA
		ストップモード	XINクロック停止、T _{opr} = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		2.0	5.0	μA
			XINクロック停止、T _{opr} = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		15		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$)

表5.19 外部クロック入力(XOUT、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_c(XOUT)$	XOUT入力サイクル時間	50		ns
$t_{WH}(XOUT)$	XOUT入力“H”パルス幅	24		ns
$t_{WL}(XOUT)$	XOUT入力“L”パルス幅	24		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

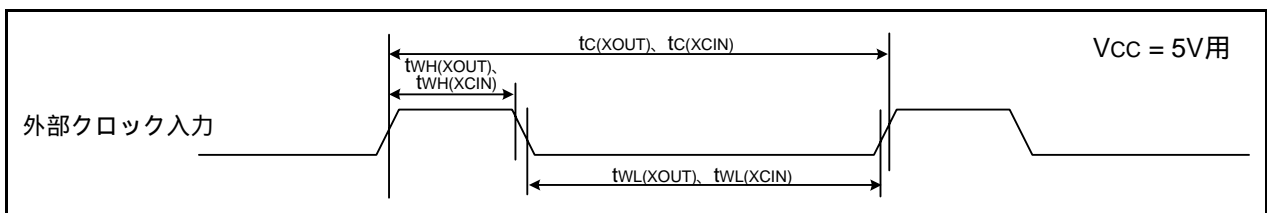


図5.8 VCC = 5V時の外部クロック入力タイミング

表5.20 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAI0)$	TRAI0入力サイクル時間	100		ns
$t_{WH}(TRAI0)$	TRAI0入力“H”パルス幅	40		ns
$t_{WL}(TRAI0)$	TRAI0入力“L”パルス幅	40		ns

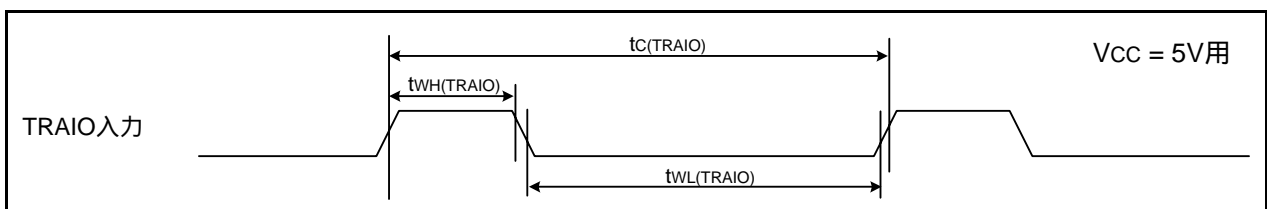


図5.9 VCC = 5V時のTRAI0入力タイミング

表5.21 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	400 (注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	200 (注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	200 (注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数 × 3)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数 × 1.5)以上になるように調整してください。

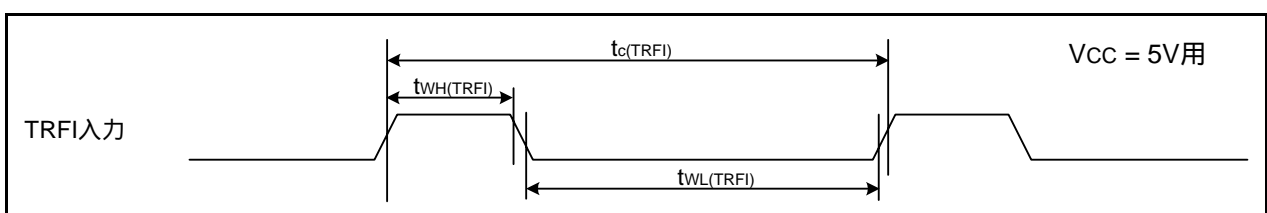


図5.10 VCC = 5V時のTRFI入力タイミング

表5.22 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 2

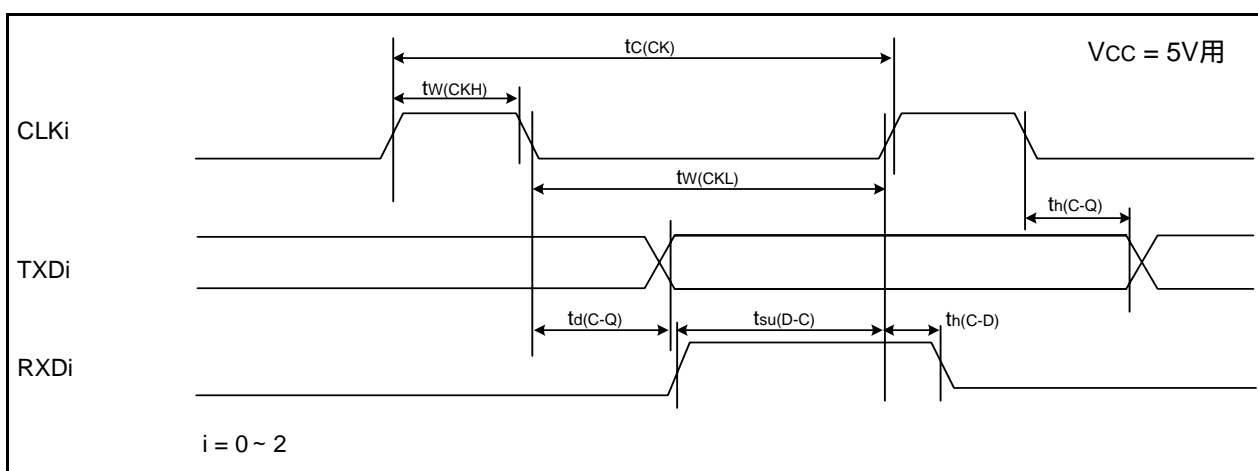


図5.11 Vcc = 5V時のシリアルインタフェースのタイミング

表5.23 外部割り込みINTi入力(i = 0 ~ 4)、キー入力割り込みKli(i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	250(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

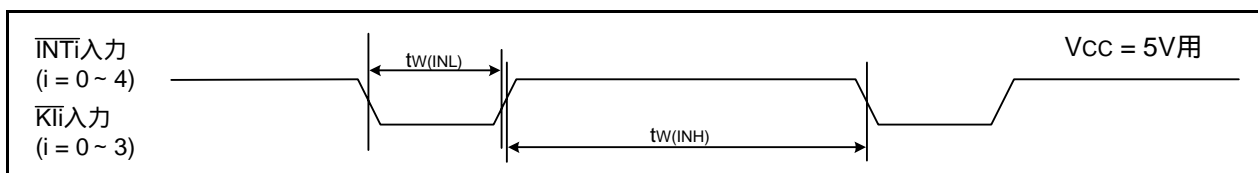


図5.12 Vcc = 5V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表5.24 電気的特性(3) [2.7V $V_{CC} < 4.2V$]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	駆動能力High	$I_{OH} = -5mA$	$V_{CC} - 0.5$		V_{CC}	V
			駆動能力Low	$I_{OH} = -1mA$	$V_{CC} - 0.5$		V_{CC}	V
		XOUT		$I_{OH} = -200\mu A$	1.0		V_{CC}	V
VOL	“L”出力電圧	XOUT以外	駆動能力High	$I_{OL} = 5mA$			0.5	V
			駆動能力Low	$I_{OL} = 1mA$			0.5	V
		XOUT		$I_{OL} = 200\mu A$			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAI0、TRBO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRFI、TRGIOA、 TRGIOB、ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO	$V_{CC} = 3.0V$		0.1	0.4		V
		RESET	$V_{CC} = 3.0V$		0.1	0.5		V
I _{IH}	“H”入力電流		$V_I = 3V$ 、 $V_{CC} = 3.0V$				4.0	μA
I _{IL}	“L”入力電流		$V_I = 0V$ 、 $V_{CC} = 3.0V$				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		$V_I = 0V$ 、 $V_{CC} = 3.0V$		42	84	168	k Ω
R _{fXIN}	帰還抵抗	XIN				0.3		M Ω
R _{fXCIN}	帰還抵抗	XCIN				8		M Ω
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、2.7V $V_{CC} < 4.2V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)、 $f(XIN) = 10MHz$ です。

表5.25 電気的特性(4) [2.7V Vcc < 3.3V]

(指定のない場合は、T_{opr} = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{cc}	電源電流 (V _{cc} = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はV _{ss}	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5	10	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5	7.5	mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振f _{OCO-F} = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振f _{OCO-F} = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XINクロック停止 高速オンチップオシレータ発振f _{OCO-F} = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		4.0		mA
			XINクロック停止 高速オンチップオシレータ発振f _{OCO-F} = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
			XINクロック停止 高速オンチップオシレータ発振f _{OCO-F} = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRD = MSTTRC = " 1 "		1		mA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "		90	390	μA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし FMR27 = " 1 "、VCA20 = " 0 "		80	400	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "、VCA20 = " 0 "		40		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		15	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		4	80	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		3.5		μA
		ストップモード	XINクロック停止、T _{opr} = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		2.0	5.0	μA
			XINクロック停止、T _{opr} = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		15		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$)

表5.26 外部クロック入力(XOUT、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_c(XOUT)$	XOUT入力サイクル時間	50		ns
$t_{WH}(XOUT)$	XOUT入力“H”パルス幅	24		ns
$t_{WL}(XOUT)$	XOUT入力“L”パルス幅	24		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

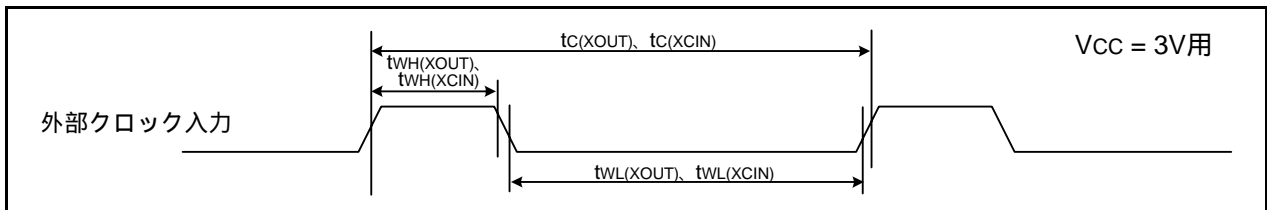


図5.13 VCC = 3V時の外部クロック入力タイミング

表5.27 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAI0)$	TRAI0入力サイクル時間	300		ns
$t_{WH}(TRAI0)$	TRAI0入力“H”パルス幅	120		ns
$t_{WL}(TRAI0)$	TRAI0入力“L”パルス幅	120		ns

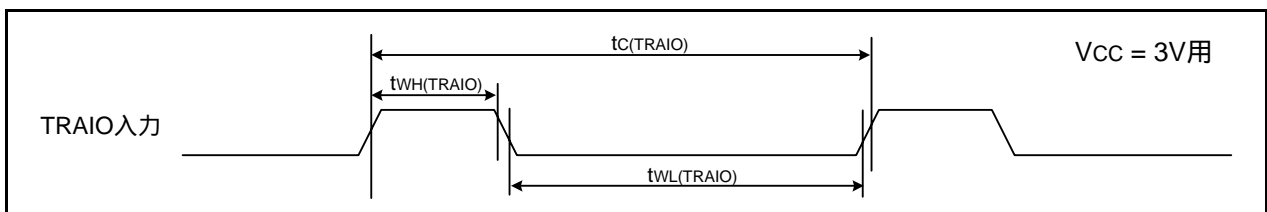


図5.14 VCC = 3V時のTRAI0入力タイミング

表5.28 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	1,200 (注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	600 (注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	600 (注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数 × 3)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数 × 1.5)以上になるように調整してください。

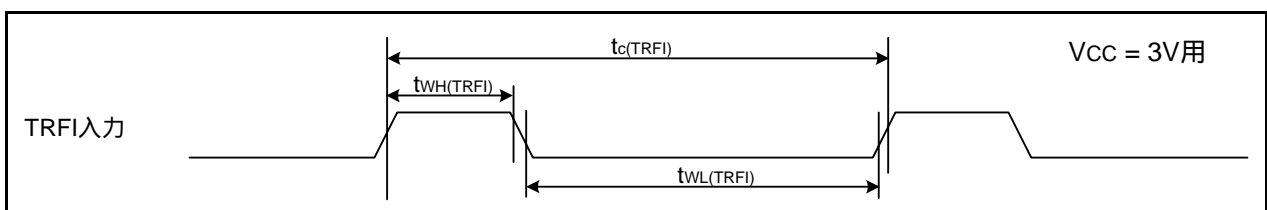


図5.15 VCC = 3V時のTRFI入力タイミング

表5.29 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0 ~ 2

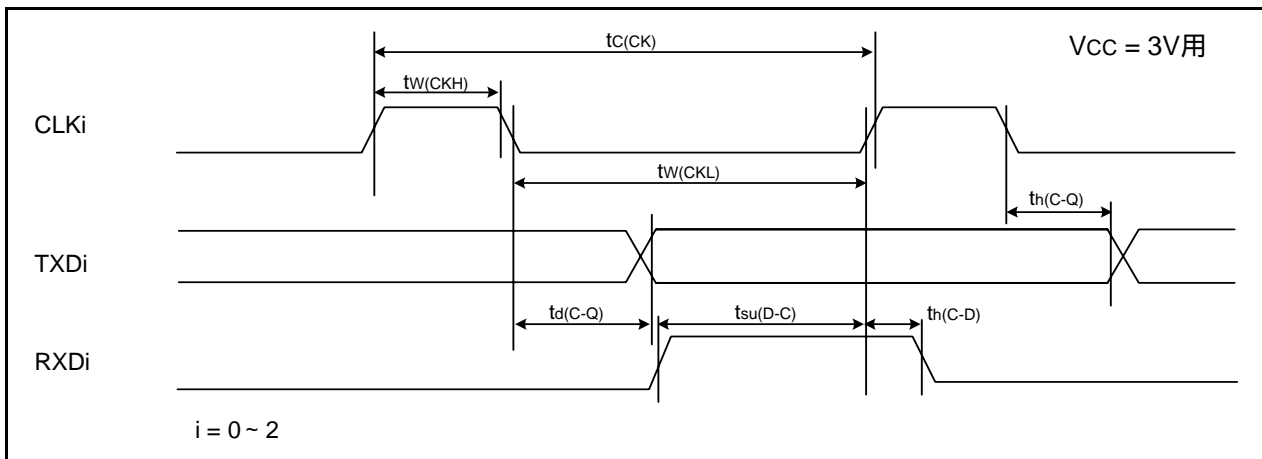


図5.16 Vcc = 3V時のシリアルインタフェースのタイミング

表5.30 外部割り込みINTi入力(i = 0 ~ 4)、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

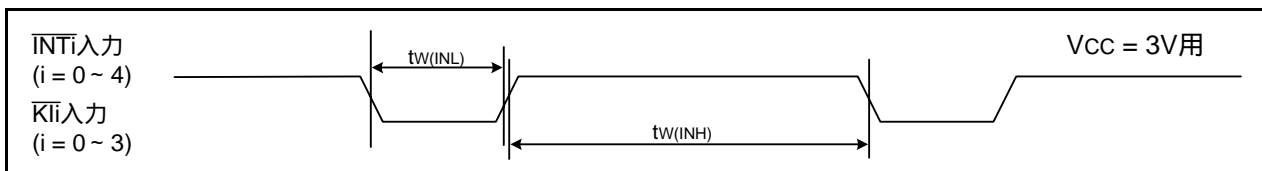


図5.17 Vcc = 3V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表5.32 電気的特性(6) [1.8V V_{CC} < 2.7V]
 (指定のない場合は、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流 (V _{CC} = 1.8V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		2.2		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		0.8		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO-F = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		2.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.7		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRD = MSTTRC = " 1 "		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "		90	300	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし FMR27 = " 1 "、VCA20 = " 0 "		80	350	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "、VCA20 = " 0 "		40		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		15	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		4	80	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		3.5		μA
		ストップモード	XINクロック停止、T _{opr} = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		2.0	5	μA
			XINクロック停止、T _{opr} = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		15		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$)

表5.33 外部クロック入力(XOUT、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_c(XOUT)$	XOUT入力サイクル時間	200		ns
$t_{WH}(XOUT)$	XOUT入力“H”パルス幅	90		ns
$t_{WL}(XOUT)$	XOUT入力“L”パルス幅	90		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

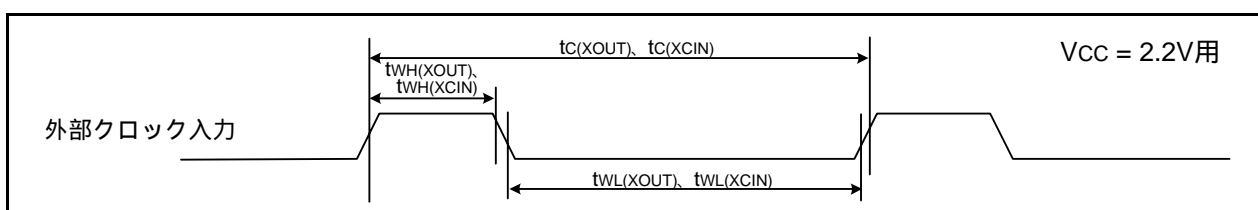


図5.18 $V_{CC} = 2.2V$ 時の外部クロック入力タイミング

表5.34 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	500		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	200		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	200		ns

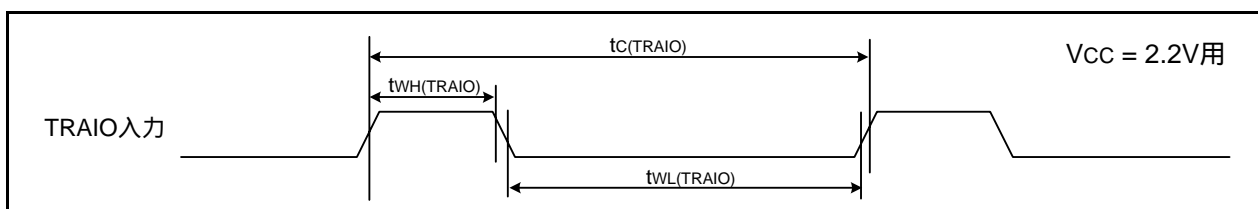


図5.19 $V_{CC} = 2.2V$ 時のTRAIO入力タイミング

表5.35 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	2,000(注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	1,000(注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	1,000(注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数 $\times 3$)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数 $\times 1.5$)以上になるように調整してください。

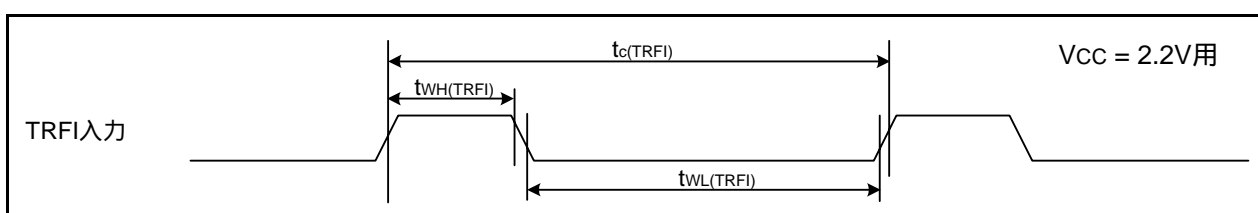


図5.20 $V_{CC} = 2.2V$ 時のTRFI入力タイミング

表5.36 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	800		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	400		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	400		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		200	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	150		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 2

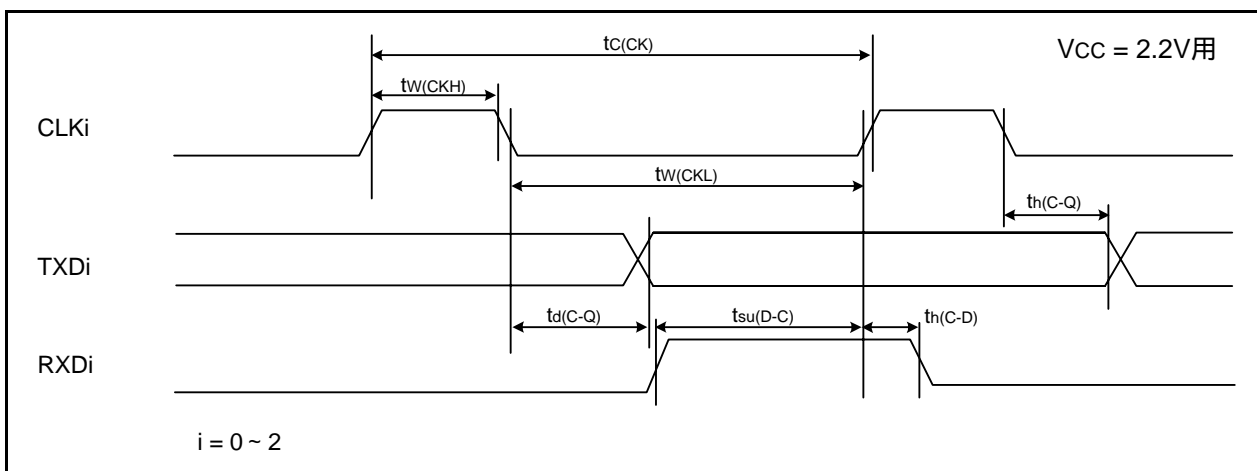


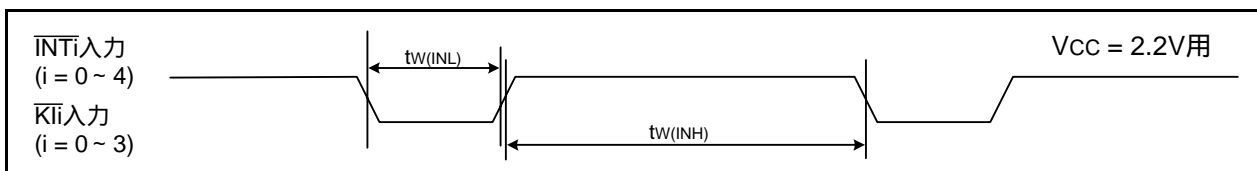
図5.21 Vcc = 2.2V時のシリアルインタフェースのタイミング

表5.37 外部割り込み $\overline{\text{INT}}_i$ 入力 (i = 0 ~ 4)、キー入力割り込み $\overline{\text{K}}_i$ (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INT}}_i$ 入力“H”パルス幅、 $\overline{\text{K}}_i$ 入力“H”パルス幅	1,000(注1)		ns
$t_w(\text{INL})$	$\overline{\text{INT}}_i$ 入力“L”パルス幅、 $\overline{\text{K}}_i$ 入力“L”パルス幅	1,000(注2)		ns

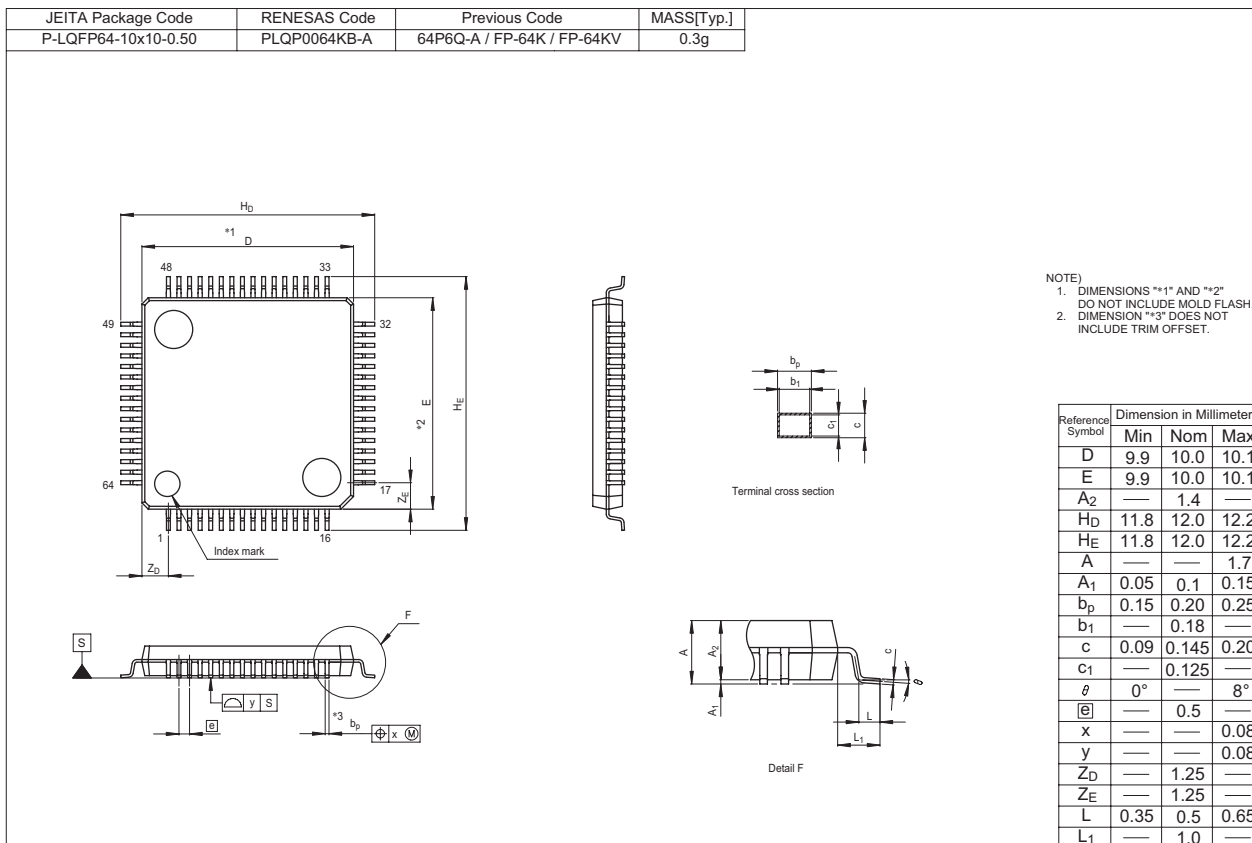
注1. $\overline{\text{INT}}_i$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

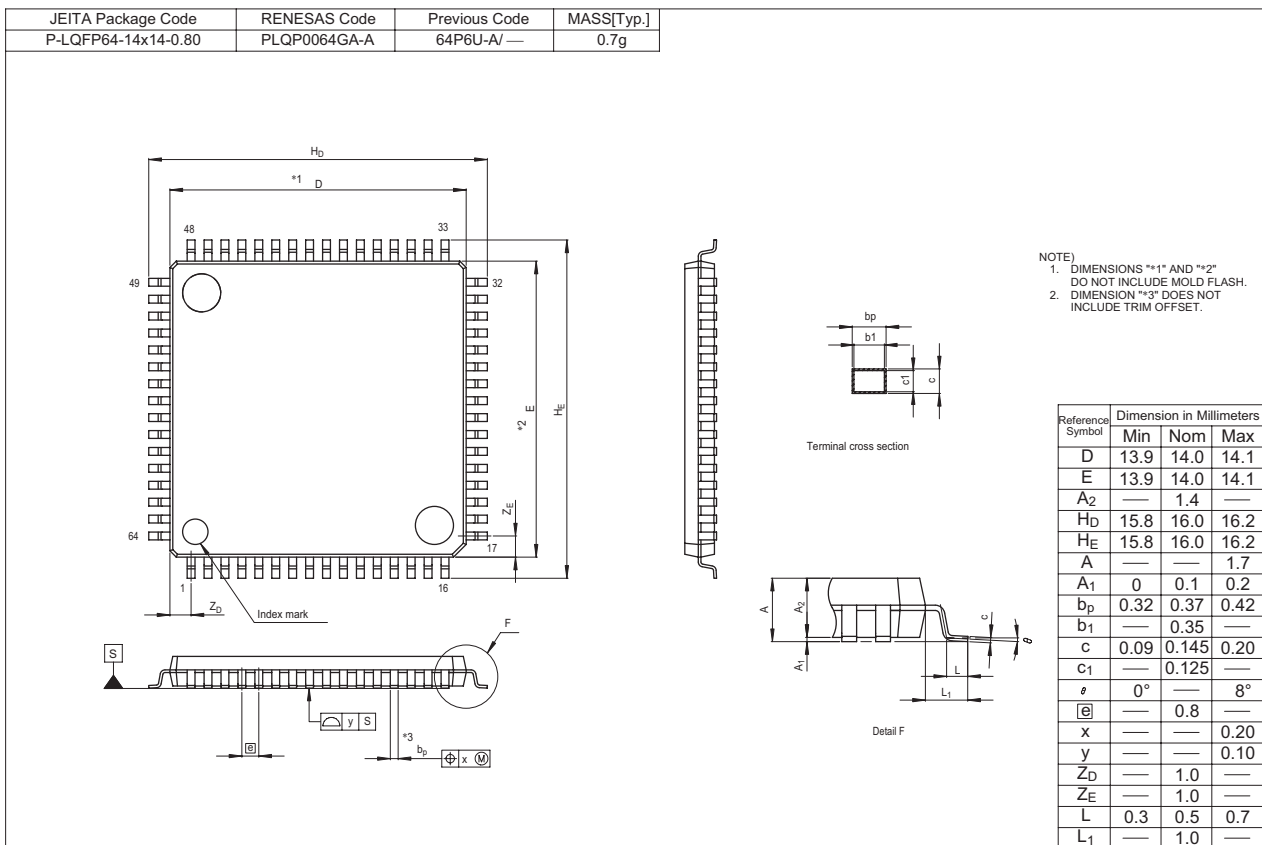
注2. $\overline{\text{INT}}_i$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

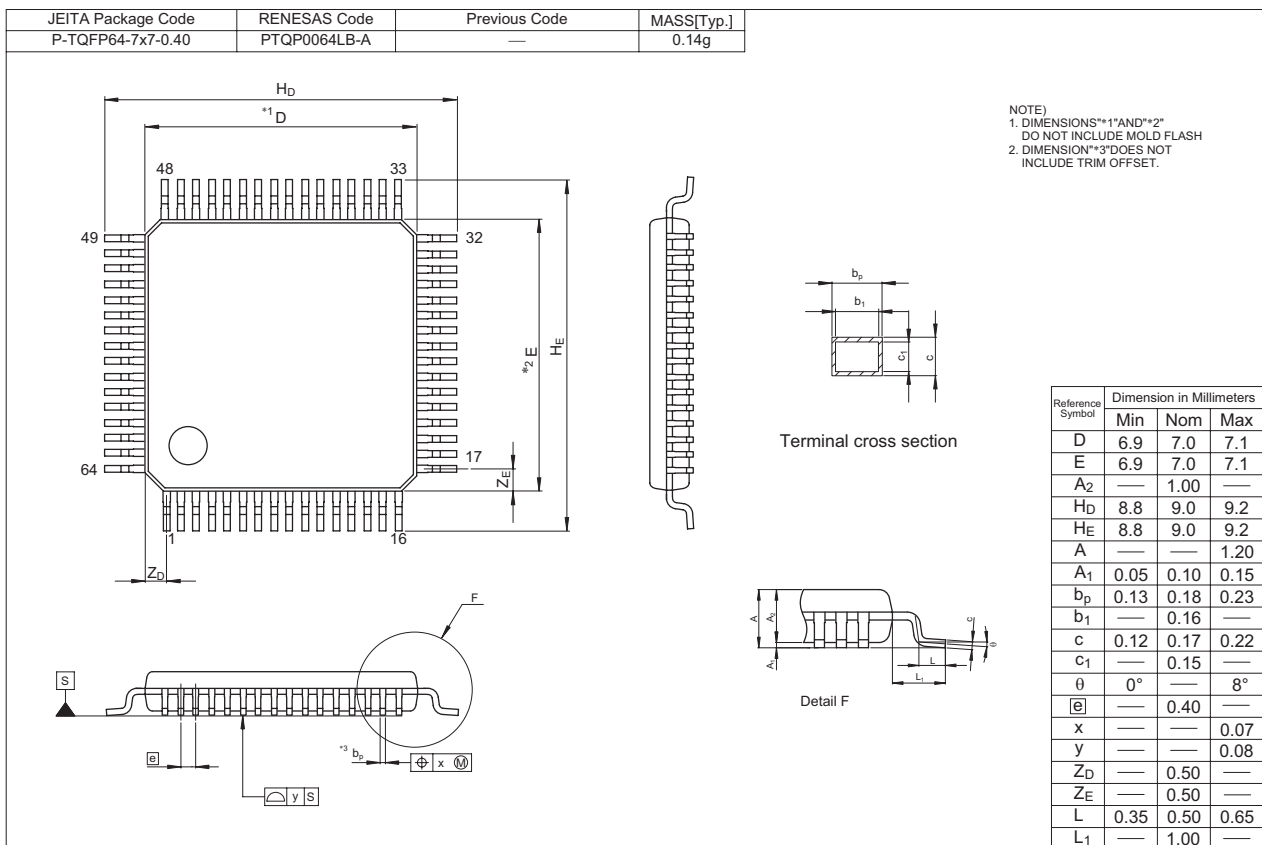
図5.22 Vcc = 2.2V時の外部割り込み $\overline{\text{INT}}_i$ およびキー入力割り込み $\overline{\text{K}}_i$ 入力タイミング

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。







改訂記録

R8C/36Cグループ データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2009.10.30	—	初版発行
1.00	2010.04.14	全ページ 4 28 ~ 54	「暫定版」, 「開発中」記述 削除 表1.3 変更 「5. 電気的特性」 追記
1.10	2010.11.02	— 3 4 ~ 5 6 8 17 33 47 51 55 59	TN-R8C-A015A/J 反映 表1.2 「タイマRG」 変更、「パッケージ」 追記 表1.3 ~ 表1.4 変更 図1.1 変更 図1.3 「PTQP0064LB-A」 追記 図3.1 「型名」 変更 表5.3 「tCONV」, 「tSAMP」 変更 表5.21 変更 表5.28 変更 表5.35 変更 パッケージ(PTQP0064LB-A) 追記

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>