

## R8C/3MQグループ

ルネサスマイクロコンピュータ

R01DS0044JJ0200

Rev.2.00

2012.06.29

## 1. 概要

### 1.1 特長

R8C/3MQグループは、IEEE802.15.4規格に準拠した2.4GHz帯、低消費電力トランシーバと、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/3MQグループはBGO (バックグラウンドオペレーション)機能付データフラッシュ (1KB × 4ブロック)を内蔵します。

#### 1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

## 1.1.2 仕様概要

表1.1～表1.2にR8C/3MQグループの仕様概要を示します。

表1.1 R8C/3MQグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> <li>基本命令数：89命令</li> <li>最小命令実行時間：62.5ns (f(BCLK)=16MHz、VCC=2.7～3.6V) 125ns (f(BCLK)=8MHz、VCC=2.15～3.6V) 250ns (f(BCLK)=4MHz、VCC=1.8～3.6V)</li> <li>乗算器：16ビット×16ビット 32ビット</li> <li>積和演算命令：16ビット×16ビット+32ビット 32ビット</li> <li>動作モード：シングルチップモード(アドレス空間：1Mバイト)</li> </ul>
メモリ	ROM、RAM、データフラッシュ	「表1.3 R8C/3MQグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> <li>パワーオンリセット</li> <li>電圧検出2点(検出レベル選択可能)</li> </ul>
I/Oポート	プログラマブル入出力ポート	CMOS入出力:18(XCIN, XCOUT含む)、プルアップ抵抗選択可能(一部)
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>3回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 低速オンチップオシレータ</li> <li>発振停止検出：XINクロック発振停止検出機能</li> <li>周波数分周回路：1、2、4、8、16分周選択</li> <li>低消費電力機構：標準動作モード(高速クロック、低速クロック、低速オンチップオシレータ)、ウェイトモード、ストップモード</li> </ul>
割り込み		リアルタイムクロック(タイマRE)あり <ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：11(INT×3、キー入力×8)</li> <li>割り込み優先レベル：7レベル</li> </ul>
ウォッチドッグタイマ		<ul style="list-style-type: none"> <li>14ビット×1(プリスケアラ付)</li> <li>リセットスタート機能選択可能</li> <li>ウォッチドッグタイマ用低速オンチップオシレータ選択可能</li> </ul>
DTC(データトランスファコントローラ)		<ul style="list-style-type: none"> <li>1チャンネル</li> <li>起動要因：17</li> <li>転送モード：2(ノーマルモード、リピートモード)</li> </ul>
タイマ	タイマRA	8ビット(8ビットプリスケアラ付)×1 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット(8ビットプリスケアラ付)×1 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット(キャプチャ/コンペアレジスタ4本付)×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRE	8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード
シリアルインタフェース(UART0)		クロック同期形シリアルI/O / 非同期形シリアルI/O兼用
シンクロナスシリアルコミュニケーションユニット(SSU)		1(I <sup>2</sup> Cバスと兼用)

表1.2 R8C/3MQグループの仕様概要(2)

分類	機能	説明
I <sup>2</sup> Cバス		1 (SSUと兼用)
RF	RF周波数	2405MHz ~ 2480MHz
	受信感度	-95dBm
	送信出力レベル	0dBm
ベースバンド		<ul style="list-style-type: none"> <li>・127バイト送信RAM、127バイト受信RAM × 2</li> <li>・自動ACK返信機能</li> <li>・26ビットタイマ：コンペア機能3チャンネル</li> </ul>
暗号	AES	AES暗号処理(鍵長128ビット)
フラッシュメモリ		<ul style="list-style-type: none"> <li>・プログラム、イレーズ電圧：1.8 ~ 3.6V (CPU書き換えモード時)</li> <li>・プログラム、イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM)</li> <li>・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック</li> <li>・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能</li> <li>・BGO (バックグラウンドオペレーション)機能</li> </ul>
動作周波数/電源電圧 (シングルチップ モード時)		f(BCLK)=16MHz(VCC=2.7 ~ 3.6V) f(BCLK) = 8MHz(VCC = 2.15 ~ 3.6V) f(BCLK)=4MHz(VCC=1.8 ~ 3.6V) 注) f(XIN)=16MHz 固定
消費電流(注1)		RF=Tx : 18mA RF=Rx(受信) : 25mA RF=Rx(受信待ち) : 24mA RF=Rx(受信待ち)/ウェイトモード : 23mA RF=idle : 4mA RF=off : 2.5mA 以上、f(XIN) = 16MHz、f(BCLK) = 4MHz、VCC=VCCRF=1.8 ~ 3.6V時
		RF=Tx : 19mA RF=Rx(受信) : 26mA RF=Rx(受信待ち) : 25mA RF=Rx(受信待ち)/ウェイトモード : 23mA RF=idle : 5mA RF=off : 3.5mA 以上、f(XIN) = 16MHz、f(BCLK) = 8MHz、VCC=VCCRF=2.15 ~ 3.6V時
		RF=Tx : 21.5mA RF=Rx(受信) : 28.5mA RF=Rx(受信待ち) : 27.5mA RF=Rx(受信待ち)/ウェイトモード : 23mA RF=idle : 7.5mA RF=off : 6mA 以上、f(XIN) = 16MHz、f(BCLK) = 16MHz、VCC=VCCRF=2.7 ~ 3.6V時
		低速オンチップオシレータモード(f(BCLK)=15.6kHz) : 80μA 低速クロックモード(f(BCLK)=32kHz、フラッシュメモリ低消費電力リードモード) : 95μA 低速クロックモード(f(BCLK)=32kHz、フラッシュメモリ停止/RAM上のプログラム動作) : 45μA ウェイトモード(システムクロック=XCIN(32kHz)、周辺機能クロック動作) : 6μA ウェイトモード(システムクロック=XCIN(32kHz)、周辺機能クロック停止) : 4.5μA ウェイトモード(システムクロック=fOCO-S(125kHz)、周辺機能クロック動作) : 13μA ウェイトモード(システムクロック=fOCO-S(125kHz)、周辺機能クロック停止) : 7.5μA ストップモード(全クロック停止) : 2μA VCC=VCCRF=1.8 ~ 3.6V、RF=off時
動作周囲温度		-20 ~ 85 (Nバージョン)
パッケージ		40ピンHWQFN パッケージコード：PWQN0040KB-A(旧コード：40PJS-A)

注1. . 測定条件は「5.電気的特性」を参照してください。

## 1.2 製品一覧

表1.3にR8C/3MQグループの製品一覧表を、図1.1にR8C/3MQグループの型名とメモリサイズ・パッケージを示します。

表1.3 R8C/3MQグループの製品一覧表

2012年6月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F213M6QNNP	32Kバイト	1Kバイト×4	2.5Kバイト	PWQN0040KB-A	Nバージョン
R5F213M7QNNP	48Kバイト	1Kバイト×4	4Kバイト		
R5F213M8QNNP	64Kバイト	1Kバイト×4	6Kバイト		
R5F213MAQNNP	96Kバイト	1Kバイト×4	7Kバイト		
R5F213MCQNNP	112Kバイト	1Kバイト×4	7.5Kバイト		

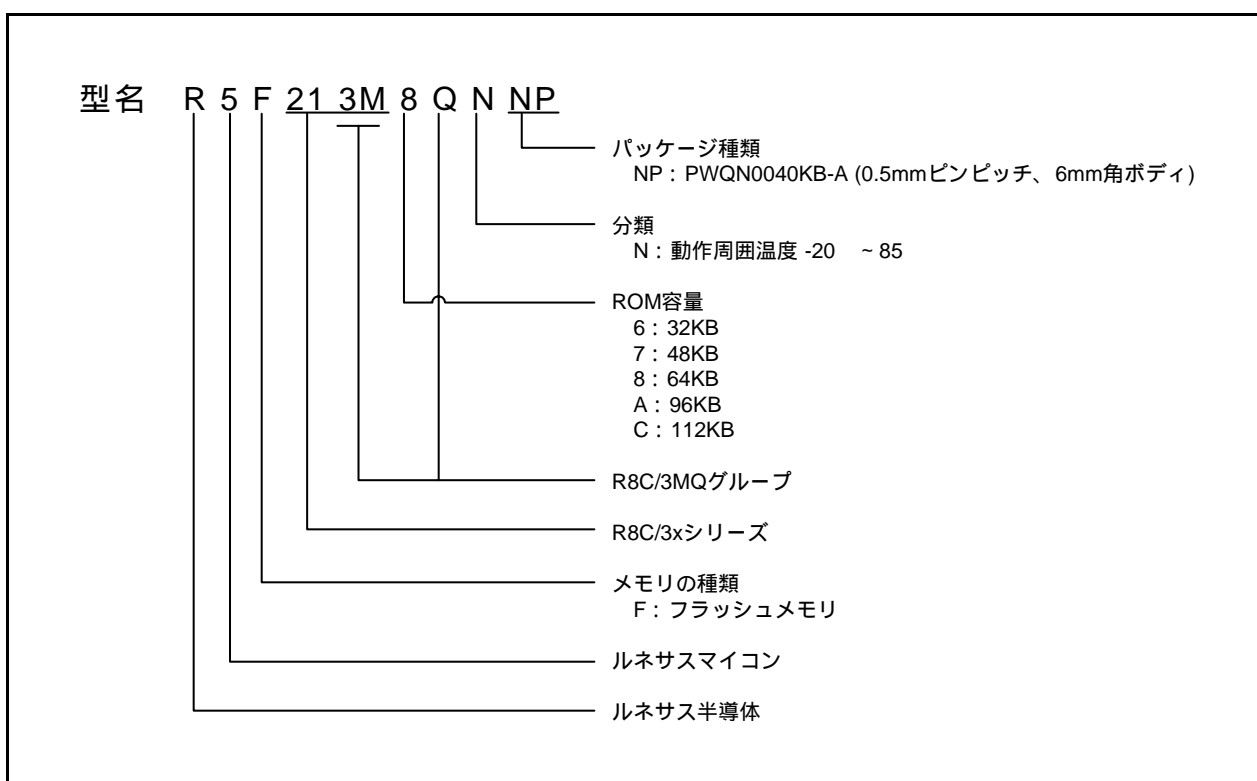


図1.1 R8C/3MQグループの型名とメモリサイズ・パッケージ

## 1.3 ブロック図

図1.2にブロック図を示します。

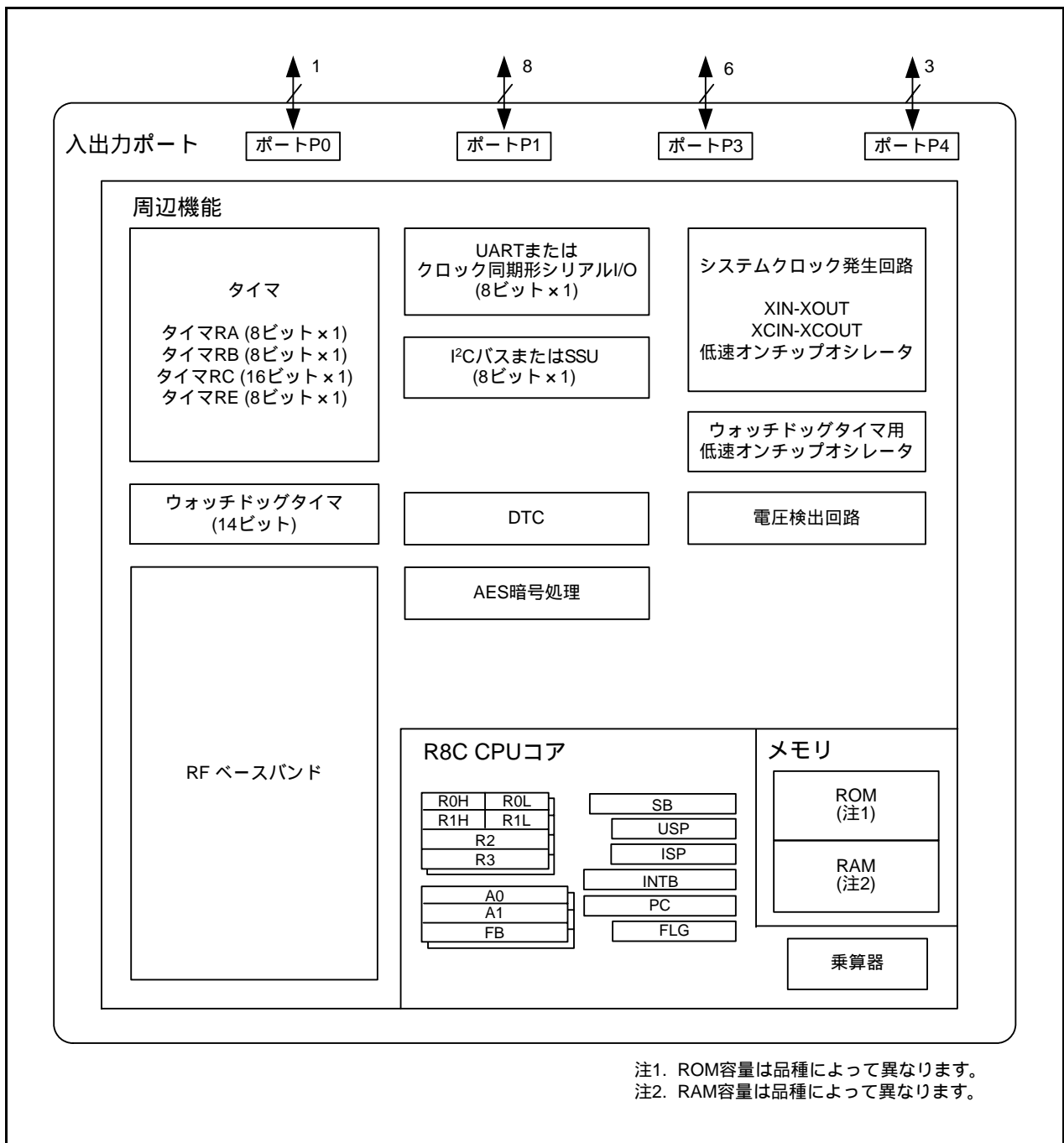


図1.2 ブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)を、表1.4にピン番号別端子名一覧を示します。

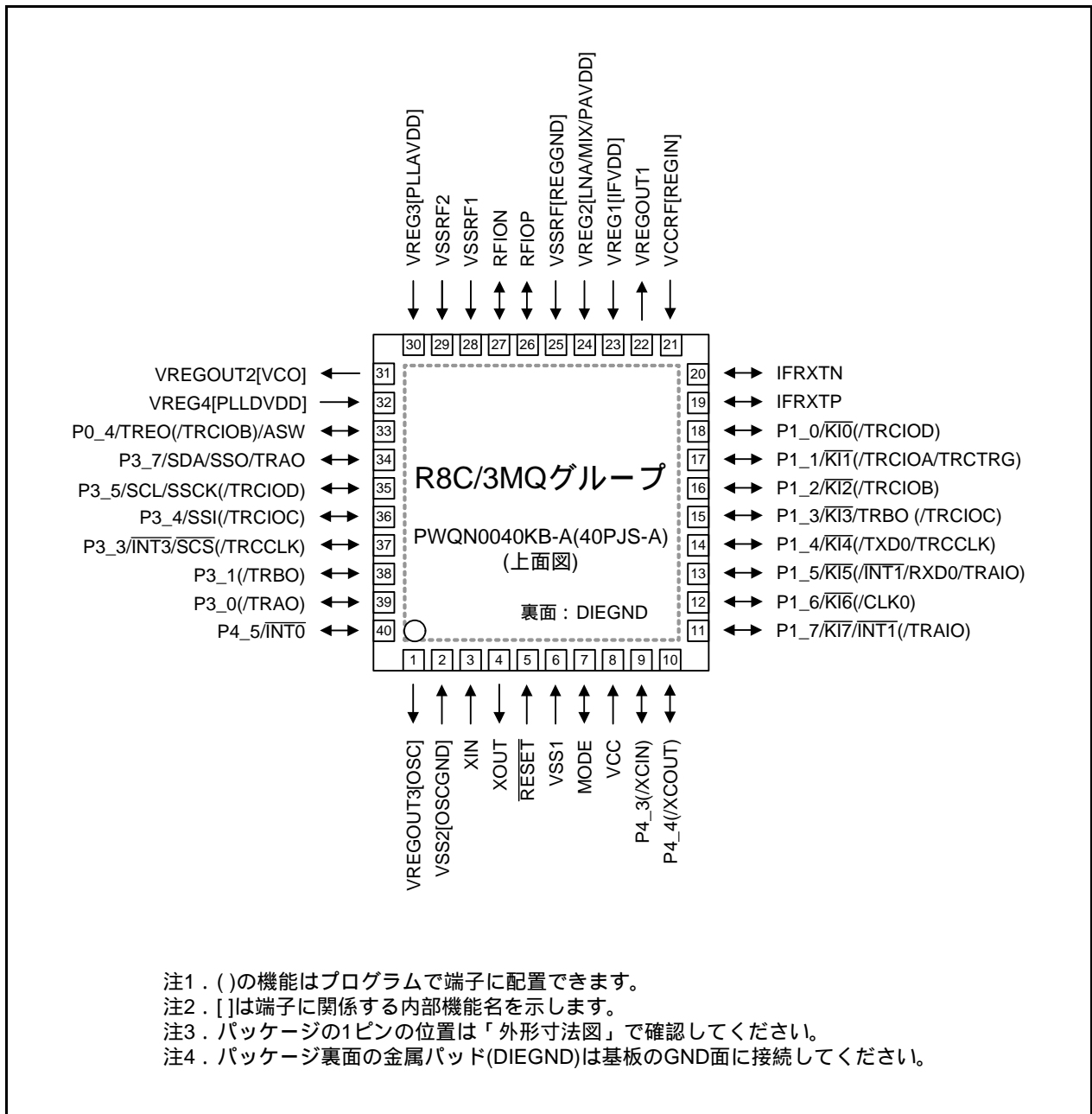


図1.3 ピン配置図(上面図)

表1.4 ピン番号別端子名一覧

ピン 番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタフェース	SSU	I <sup>2</sup> Cバス	RF端子 その他
1	VREGOUT3							
2	VSS2							
3	XIN							
4	XOUT							
5	RESET							
6	VSS1							
7	MODE							
8	VCC							
9	(XCIN)	P4_3						
10	(XCOUT)	P4_4						
11		P1_7	$\overline{\text{KI7/INT1}}$	(TRAIO)				
12		P1_6	$\overline{\text{KI6}}$		(CLK0)			
13		P1_5	$\overline{\text{KI5/INT1}}$	(TRAIO)	(RXD0)			
14		P1_4	$\overline{\text{KI4}}$	(TRCCLK)	(TXD0)			
15		P1_3	$\overline{\text{KI3}}$	TRBO(/TRCIOC)				
16		P1_2	$\overline{\text{KI2}}$	(TRCIOB)				
17		P1_1	$\overline{\text{KI1}}$	(TRCIOA/TRCTRG)				
18		P1_0	$\overline{\text{KI0}}$	(TRCIOD)				
19								IFRXTP
20								IFRXTN
21	VCCRF							
22	VREGOUT1							
23	VREG1							
24	VREG2							
25	VSSRF							
26								RFIOP
27								RFION
28	VSSRF1							
29	VSSRF2							
30	VREG3							
31	VREGOUT2							
32	VREG4							
33		P0_4		TREO(/TRCIOB)				ASW
34		P3_7		TRAO		SSO	SDA	
35		P3_5		(TRCIOD)		SSCK	SCL	
36		P3_4		(TRCIOC)		SSI		
37		P3_3	$\overline{\text{INT3}}$	(TRCCLK)		$\overline{\text{SCS}}$		
38		P3_1		(TRBO)				
39		P3_0		(TRAO)				
40		P4_5	$\overline{\text{INT0}}$					
裏面	DIEGND							

注1. ( )の機能はプログラムで端子に配置できます。

## 1.5 端子機能の説明

表1.5～表1.6に端子機能の説明を示します。

表1.5 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS1	—	VCCには1.8V～3.6Vを入力してください。 VSS1には、0Vを入力してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間には水晶発振子を接続してください。
XINクロック出力	XOUT	入出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください。
XCINクロック出力	XCOUT	出力	
INT割り込み入力	INT0、INT1、INT3	入力	INT割り込み入力です。 INT0はタイマRB、RCの入力です。
キー入力割り込み入力	KI0～KI7	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRA0	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRC	TRCLK	入力	外部クロックの入力です。
	TRCTR	入力	外部トリガの入力です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRE	TREO	出力	分周クロック出力です。
シリアルインタフェース	CLK0	入出力	転送クロック入出力です。
	RXD0	入力	シリアルデータ入力です。
	TXD0	出力	シリアルデータ出力です。
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
I <sup>2</sup> Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
入出力ポート	P0_4、 P1_0～P1_7、 P3_0～P3_1、 P3_3～P3_5、P3_7、 P4_3～P4_5	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。



表1.6 端子機能の説明(2)

分類	端子名	入出力	機能
アナログ電源入力	VCCRF、VSSRF、 VSSRF1、VSSRF2、 VSS2、DIEGND	—	VCCRFには、1.8V～3.6VのVCCと同じ電圧を入力してください。VSSRF、VSSRF1、VSSRF2、VSS2、DIEGNDには、0Vを入力してください。
	VREG1	—	1.5V系IF用VDDです。VREGOUT1に接続してください。
	VREG2	—	1.5V系LNA/MIX/PA用VDDです。VREGOUT1に接続してください。
	VREG3	—	1.5V系PLL用ANALOG VDDです。VREGOUT1に接続してください。
	VREG4	—	1.5V系PLL用DIGITAL VDDです。VREGOUT1に接続してください。
レギュレータ出力	VREGOUT1	—	アナログ回路用内蔵レギュレータ出力(1.5V)です。VSS間にバイパスコンデンサのみ接続してください。VREG1、VREG2、VREG3、VREG4の電源としてのみ使用してください。
	VREGOUT2	—	VCO用レギュレータ出力(1.5V)です。VSS間にバイパスコンデンサのみ接続してください。他の回路の電源として使用しないでください。
	VREGOUT3	—	XIN発振回路用レギュレータ出力(1.5V)です。VSS間にバイパスコンデンサのみ接続してください。他の回路の電源として使用しないでください。
RF入出力	RFIOP、RFION	入出力	RF入出力です。
テストピン	IFRXTN、IFRXTP	入出力	アナログテスト用ピンです。開放または0Vを入力してください。
外付けアンテナ スイッチ制御出力	ASW	出力	外付けアンテナスイッチ制御信号出力です。アンテナスイッチ制御が必要ない場合は解放にしてください。

## 2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

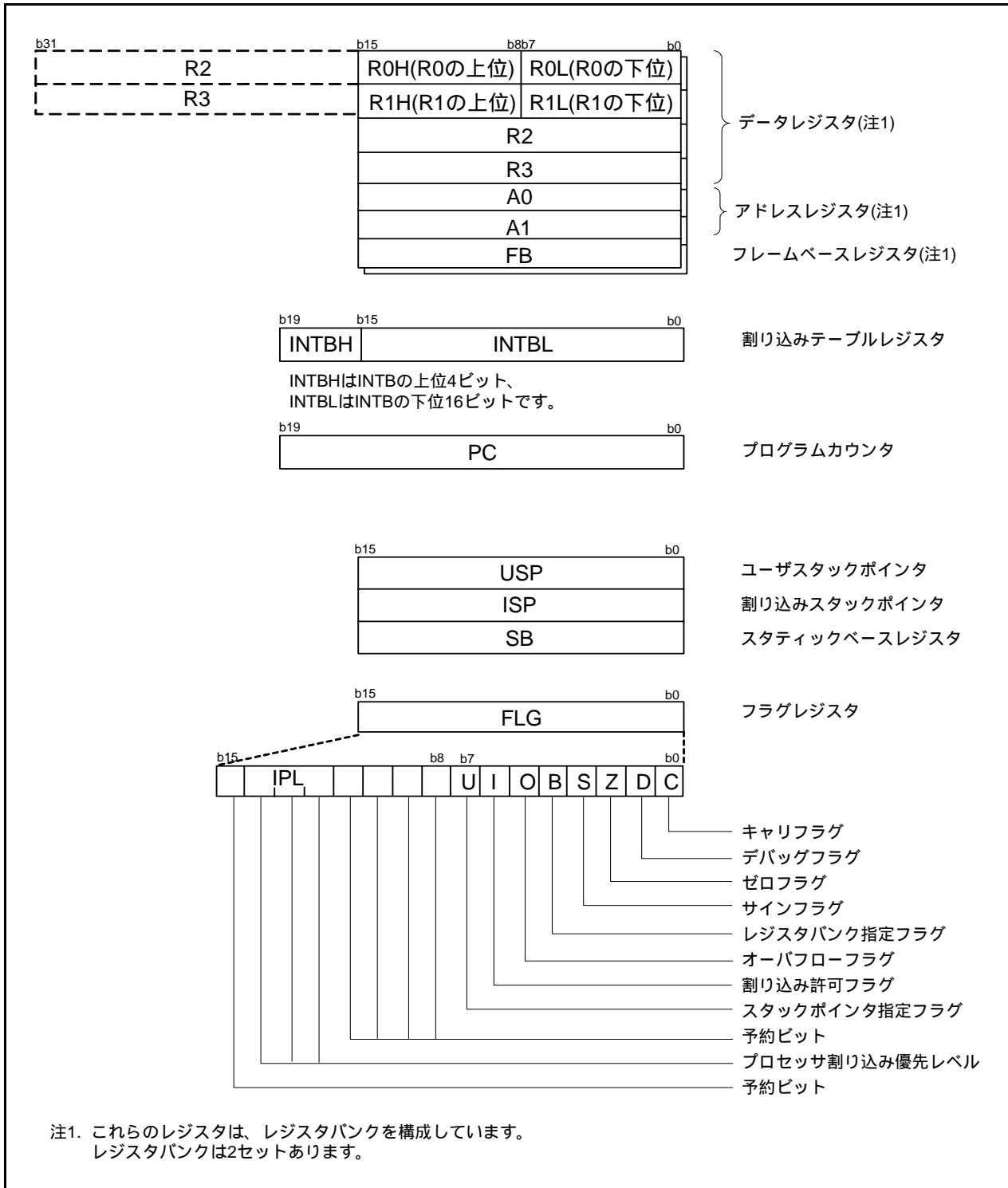


図2.1 CPUのレジスタ

## 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

## 2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

### 2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

### 2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

### 2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

### 3. メモリ

#### 3.1 R8C/3MQグループ

図3.1にR8C/3MQグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。ただし、内部ROM(プログラムROM)の容量が64Kバイト以上の製品では、0FFFFh番地から上位方向にも配置されます。例えば、32Kバイトの内部ROMは、08000h番地から0FFFFh番地に、96Kバイト内部のROMは04000h番地から1BFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

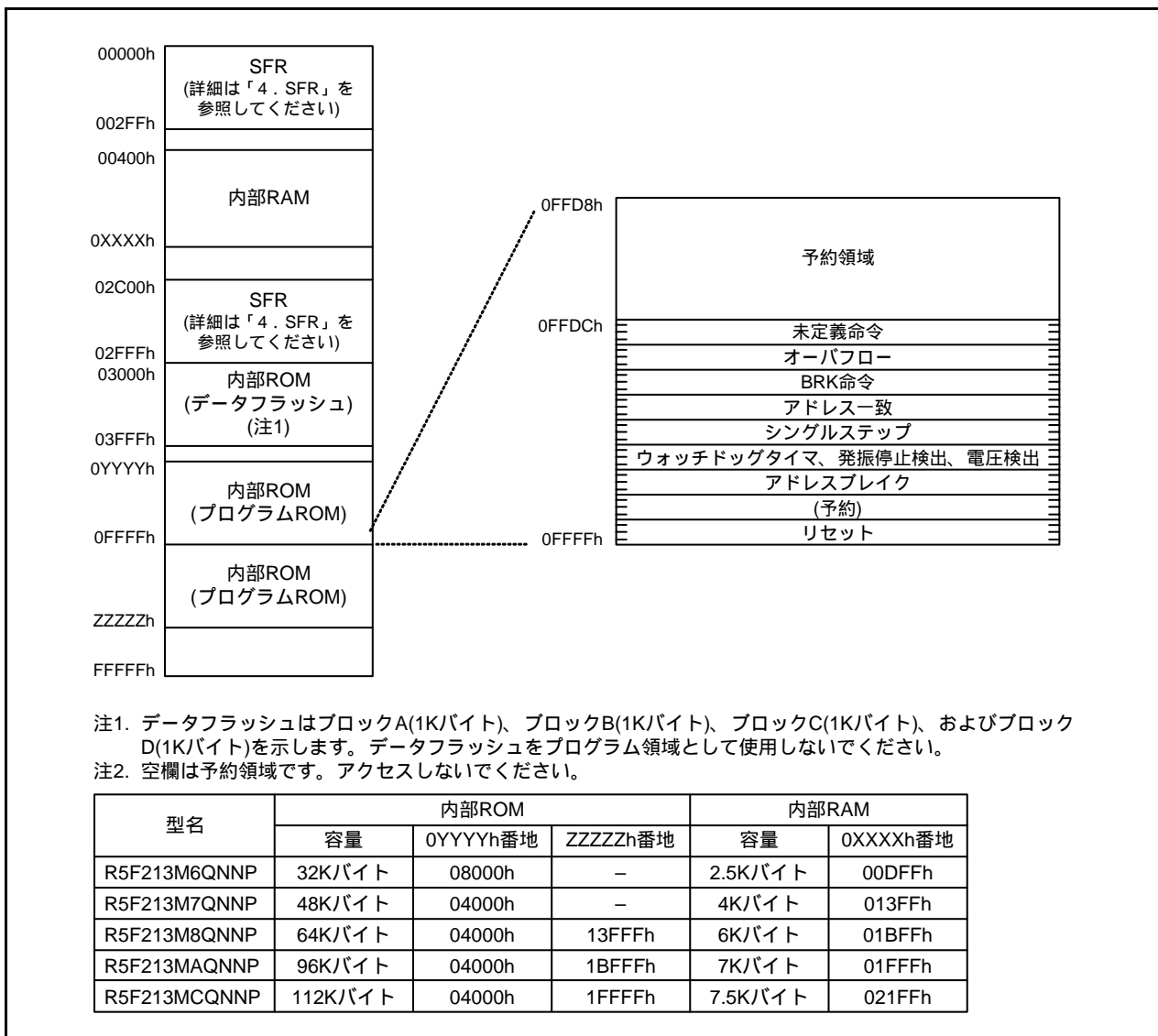


図3.1 R8C/3MQグループのメモリ配置図

## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.11にSFR一覧表を、表4.12にIDコード領域、オプション機能選択領域を示します。

表4.1 SFR一覧(1) (0000～002Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	00101000b
0007h	システムクロック制御レジスタ1	CM1	00101000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	0XXXXXXb (注2)
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 1000000b (注3)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFRレジスタのCWRビットは電源投入後と、電圧監視0リセット後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFSレジスタのCSPROINIビットが“0”の場合。

X：不定です。

表4.2 SFR一覧(2) (0030h ~ 006Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
0030h	電圧監視回路制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h			
0034h	電圧検出レジスタ2	VCA2	00h (注3) 00100000b (注4)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注3) 1100X011b (注4)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b
003Ah	WDT検出フラグ	VW2C	10000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h	BBタイマコンペア2割り込み制御レジスタ	BBTIM2IC	XX00X000b
0043h			
0044h			
0045h			
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h			
0049h			
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh			
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h	バンク0受信完了/IDEL割り込み制御レジスタ (注5)	BBRX0IC/BBIDELIC	XXXXX000b
0055h			
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch	BBタイマコンペア1割り込み制御レジスタ	BBTIM1IC	XX00X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	CCA完了割り込み制御レジスタ	BBCCAIC	XXXXX000b
005Fh	BBタイマコンペア0割り込み制御レジスタ	BBTIM0IC	XXXXX000b
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch	アドレスフィルタ割り込み制御レジスタ	BBADFC	XXXXX000b
006Dh	送信オーバーラン割り込み制御レジスタ	BBTXORIC	XXXXX000b
006Eh	送信完了割り込み制御レジスタ	BBTXIC	XX00X000b
006Fh	受信オーバーラン1割り込み制御レジスタ	BBRXOR1IC	XXXXX000b

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUIICSRレジスタのIICSELビットで選択できます。

注3. OFSレジスタのLVDASビットが“1”の場合。

注4. OFSレジスタのLVDASビットが“0”の場合。

注5. BBTXRXMODE4レジスタのBANKINTSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3) (0070h ~ 00AFh) (注1)

番地	レジスタ	シンボル	リセット後の値
0070h	PLLロック検出割り込み制御レジスタ	BBPLLIC	XXXXX000b
0071h	受信オーバーラン0/キャリブレーション完了割り込み制御レジスタ (注3)	BBRXOR0IC/BBCALIC	XXXXX000b
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	バンク1受信完了/クロックレギュレータ割り込み制御レジスタ (注2)	BBRX1IC/BBCREGIC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h	DTC起動制御レジスタ	DTCCTL	00h
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	00h
0089h	DTC起動許可レジスタ1	DTCEN1	00h
008Ah	DTC起動許可レジスタ2	DTCEN2	00h
008Bh	DTC起動許可レジスタ3	DTCEN3	00h
008Ch			
008Dh	DTC起動許可レジスタ5	DTCEN5	00h
008Eh	DTC起動許可レジスタ6	DTCEN6	00h
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. BBTXRXMODE4レジスタのBANK1INTSELビットで選択できます。

注3. BBTXRXMODE4レジスタのROR0INTSELビットで選択できます。

X: 不定です。



表4.4 SFR一覧(4) (00B0h ~ 011Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
00B0h			
：			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h			
00E5h	ポートP3レジスタ	P3	XXh
00E6h			
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h			
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h			
0106h			
0107h			
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタデータレジスタ	TRESEC	00h
0119h	タイマRE分データレジスタ/コンペアデータレジスタ	TREMIN	00h
011Ah	タイマRE時データレジスタ	TREHR	00h
011Bh	タイマRE曜日データレジスタ	TREWK	00h
011Ch	タイマRE制御レジスタ1	TRECR1	00h
011Dh	タイマRE制御レジスタ2	TRECR2	00h
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5) (0120h ~ 019Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h	タイマRCカウンタ	TRC	00h
0127h			00h
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh
0129h			FFh
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh
012Bh			FFh
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh
012Dh			FFh
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh
012Fh			FFh
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
⋮			
0180h	タイマRA端子選択レジスタ	TRASR	00h
0181h	タイマRB/RC端子選択レジスタ	TRBRCR	00h
0182h	タイマRC端子選択レジスタ0	TRCPSR0	00h
0183h	タイマRC端子選択レジスタ1	TRCPSR1	00h
0184h			
0185h			
0186h			
0187h			
0188h	UART0端子選択レジスタ	UOSR	00h
0189h			
018Ah			
018Bh			
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	00h
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL/IICバス送信データレジスタ	(注2) SSTDR/ICDRT	FFh
0195h	SS送信データレジスタH	(注2) SSTDRH	FFh
0196h	SS受信データレジスタL/IICバス受信データレジスタ	(注2) SSRDR/ICDRR	FFh
0197h	SS受信データレジスタH	(注2) SSRDRH	FFh
0198h	SS制御レジスタH/IICバス制御レジスタ1	(注2) SSCRH/ICCR1	00h
0199h	SS制御レジスタL/IICバス制御レジスタ2	(注2) SSCRL/ICCR2	01111101b
019Ah	SSモードレジスタ/IICバスモードレジスタ	(注2) SSMR/ICMR	00011000b
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ	(注2) SSER/ICIER	00h
019Ch	SSステータスレジスタ/IICバスステータスレジスタ	(注2) SSSR/ICSR	00h/0000X000b
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ	(注2) SSMR2/SAR	00h
019Eh			
019Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.6 SFR一覧(6) (01A0h ~ 02FFh) (注1)

番地	レジスタ	シンボル	リセット後の値
01A0h			
⋮			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh XXh
01C1h			0000XXXXb
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	00h
01C4h	アドレス一致割り込みレジスタ1	RMAD1	XXh XXh
01C5h			0000XXXXb
01C6h			
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	00h
01C8h			
⋮			
01DFh			
01E0h	ブルアップ制御レジスタ0	PUR0	00h
01E1h	ブルアップ制御レジスタ1	PUR1	00h
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポートP1駆動能力制御レジスタ	P1DRR	00h
01F1h			
01F2h	駆動能力制御レジスタ0	DRR0	00h
01F3h	駆動能力制御レジスタ1	DRR1	00h
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	00h
01F6h	入力しきい値制御レジスタ1	VLT1	00h
01F7h			
01F8h			
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	00h
01FBh			
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h
01FDh			
01FEh	キー入力許可レジスタ0	KIEN	00h
01FFh	キー入力許可レジスタ1	KI1EN	00h
0200h			
⋮			
02FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7) (2C00h ~ 2C6Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
2C00h	DTC転送ベクタ領域		XXh
2C01h	DTC転送ベクタ領域		XXh
2C02h	DTC転送ベクタ領域		XXh
2C03h	DTC転送ベクタ領域		XXh
2C04h	DTC転送ベクタ領域		XXh
2C05h	DTC転送ベクタ領域		XXh
2C06h	DTC転送ベクタ領域		XXh
2C07h	DTC転送ベクタ領域		XXh
2C08h	DTC転送ベクタ領域		XXh
2C09h	DTC転送ベクタ領域		XXh
2C0Ah	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
2C3Ah	DTC転送ベクタ領域		XXh
2C3Bh	DTC転送ベクタ領域		XXh
2C3Ch	DTC転送ベクタ領域		XXh
2C3Dh	DTC転送ベクタ領域		XXh
2C3Eh	DTC転送ベクタ領域		XXh
2C3Fh	DTC転送ベクタ領域		XXh
2C40h	DTCコントロールデータ0	DTCD0	XXh
2C41h			XXh
2C42h			XXh
2C43h			XXh
2C44h			XXh
2C45h			XXh
2C46h			XXh
2C47h			XXh
2C48h	DTCコントロールデータ1	DTCD1	XXh
2C49h			XXh
2C4Ah			XXh
2C4Bh			XXh
2C4Ch			XXh
2C4Dh			XXh
2C4Eh			XXh
2C4Fh			XXh
2C50h	DTCコントロールデータ2	DTCD2	XXh
2C51h			XXh
2C52h			XXh
2C53h			XXh
2C54h			XXh
2C55h			XXh
2C56h			XXh
2C57h			XXh
2C58h	DTCコントロールデータ3	DTCD3	XXh
2C59h			XXh
2C5Ah			XXh
2C5Bh			XXh
2C5Ch			XXh
2C5Dh			XXh
2C5Eh			XXh
2C5Fh			XXh
2C60h	DTCコントロールデータ4	DTCD4	XXh
2C61h			XXh
2C62h			XXh
2C63h			XXh
2C64h			XXh
2C65h			XXh
2C66h			XXh
2C67h			XXh
2C68h	DTCコントロールデータ5	DTCD5	XXh
2C69h			XXh
2C6Ah			XXh
2C6Bh			XXh
2C6Ch			XXh
2C6Dh			XXh
2C6Eh			XXh
2C6Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.8 SFR一覧(8) (2C70h ~ 2CAfh) (注1)

番地	レジスタ	シンボル	リセット後の値
2C70h	DTCコントロールデータ6	DTCD6	XXh
2C71h			XXh
2C72h			XXh
2C73h			XXh
2C74h			XXh
2C75h			XXh
2C76h			XXh
2C77h			XXh
2C78h	DTCコントロールデータ7	DTCD7	XXh
2C79h			XXh
2C7Ah			XXh
2C7Bh			XXh
2C7Ch			XXh
2C7Dh			XXh
2C7Eh			XXh
2C7Fh			XXh
2C80h	DTCコントロールデータ8	DTCD8	XXh
2C81h			XXh
2C82h			XXh
2C83h			XXh
2C84h			XXh
2C85h			XXh
2C86h			XXh
2C87h			XXh
2C88h	DTCコントロールデータ9	DTCD9	XXh
2C89h			XXh
2C8Ah			XXh
2C8Bh			XXh
2C8Ch			XXh
2C8Dh			XXh
2C8Eh			XXh
2C8Fh			XXh
2C90h	DTCコントロールデータ10	DTCD10	XXh
2C91h			XXh
2C92h			XXh
2C93h			XXh
2C94h			XXh
2C95h			XXh
2C96h			XXh
2C97h			XXh
2C98h	DTCコントロールデータ11	DTCD11	XXh
2C99h			XXh
2C9Ah			XXh
2C9Bh			XXh
2C9Ch			XXh
2C9Dh			XXh
2C9Eh			XXh
2C9Fh			XXh
2CA0h	DTCコントロールデータ12	DTCD12	XXh
2CA1h			XXh
2CA2h			XXh
2CA3h			XXh
2CA4h			XXh
2CA5h			XXh
2CA6h			XXh
2CA7h			XXh
2CA8h	DTCコントロールデータ13	DTCD13	XXh
2CA9h			XXh
2CAAh			XXh
2CABh			XXh
2CACH			XXh
2CADh			XXh
2CAEh			XXh
2CAFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.9 SFR一覧(9) (2CB0h ~ 2CEFh) (注1)

番地	レジスタ	シンボル	リセット後の値
2CB0h	DTCコントロールデータ14	DTCD14	XXh
2CB1h			XXh
2CB2h			XXh
2CB3h			XXh
2CB4h			XXh
2CB5h			XXh
2CB6h			XXh
2CB7h			XXh
2CB8h	DTCコントロールデータ15	DTCD15	XXh
2CB9h			XXh
2CBAh			XXh
2CBBh			XXh
2CBCh			XXh
2CBDh			XXh
2CBEh			XXh
2CBFh			XXh
2CC0h	DTCコントロールデータ16	DTCD16	XXh
2CC1h			XXh
2CC2h			XXh
2CC3h			XXh
2CC4h			XXh
2CC5h			XXh
2CC6h			XXh
2CC7h			XXh
2CC8h	DTCコントロールデータ17	DTCD17	XXh
2CC9h			XXh
2CCAh			XXh
2CCBh			XXh
2CCCh			XXh
2CCDh			XXh
2CCEh			XXh
2CCFh			XXh
2CD0h	DTCコントロールデータ18	DTCD18	XXh
2CD1h			XXh
2CD2h			XXh
2CD3h			XXh
2CD4h			XXh
2CD5h			XXh
2CD6h			XXh
2CD7h			XXh
2CD8h	DTCコントロールデータ19	DTCD19	XXh
2CD9h			XXh
2CDAh			XXh
2CDBh			XXh
2CDCh			XXh
2CDDh			XXh
2CDEh			XXh
2CDFh			XXh
2CE0h	DTCコントロールデータ20	DTCD20	XXh
2CE1h			XXh
2CE2h			XXh
2CE3h			XXh
2CE4h			XXh
2CE5h			XXh
2CE6h			XXh
2CE7h			XXh
2CE8h	DTCコントロールデータ21	DTCD21	XXh
2CE9h			XXh
2CEAh			XXh
2CEBh			XXh
2CECh			XXh
2CEDh			XXh
2CEEh			XXh
2CEFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不足です。

表4.10 SFR一覧(10) (2CF0h ~ 2D2Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
2CF0h	DTCコントロールデータ22	DTCD22	XXh
2CF1h			XXh
2CF2h			XXh
2CF3h			XXh
2CF4h			XXh
2CF5h			XXh
2CF6h			XXh
2CF7h			XXh
2CF8h	DTCコントロールデータ23	DTCD23	XXh
2CF9h			XXh
2CFAh			XXh
2CFBh			XXh
2CFCh			XXh
2CFDh			XXh
2CFEh			XXh
2CFFh			XXh
2D00h			ベースバンド制御レジスタ
2D01h	送受信リセットレジスタ	BBTXRXRST	00h
2D02h	送受信モードレジスタ0	BBTXRXMODE0	00h
2D03h	送受信モードレジスタ1	BBTXRXMODE1	00h
2D04h	受信フレームレングスレジスタ	BBRXFLEN	00h
2D05h	受信データカウンタレジスタ	BBRXCOUNT	00h
2D06h	RSSI/CCA結果レジスタ	BBRSSICCARSLT	00h
2D07h	送受信ステータスレジスタ0	BBTXRXST0	80h
2D08h	送信フレームレングスレジスタ	BBTXFLEN	00h
2D09h	送受信モードレジスタ2	BBTXRXMODE2	30h
2D0Ah	送受信モードレジスタ3	BBTXRXMODE3	00h
2D0Bh	受信レベルスレッシュヨルド設定レジスタ	BBLVLVTH	80h
2D0Ch	送受信制御レジスタ	BBTXRXCON	00h
2D0Dh	CSMA制御レジスタ0	BBCSMACON0	00h
2D0Eh	CCAレベルスレッシュヨルド設定レジスタ	BBCCAVTH	80h
2D0Fh	送受信ステータスレジスタ1	BBTXRXST1	00h
2D10h	RF制御レジスタ	BBRFCON	00h
2D11h	送受信モードレジスタ4	BBTXRXMODE4	00h
2D12h	CSMA制御レジスタ1	BBCSMACON1	9Ch
2D13h	CSMA制御レジスタ2	BBCSMACON2	05h
2D14h	PAN識別子レジスタ	BBPANID	00h
2D15h			00h
2D16h	ショートアドレスレジスタ	BBSHORTAD	00h
2D17h			00h
2D18h	拡張アドレスレジスタ	BBEXTENDAD0	00h
2D19h			00h
2D1Ah		BBEXTENDAD1	00h
2D1Bh			00h
2D1Ch		BBEXTENDAD2	00h
2D1Dh			00h
2D1Eh		BBEXTENDAD3	00h
2D1Fh			00h
2D20h	タイマ読み出しレジスタ0	BBTIMEREAD0	00h
2D21h			00h
2D22h	タイマ読み出しレジスタ1	BBTIMEREAD1	00h
2D23h			00h
2D24h	タイマコンペア0レジスタ0	BBCOMP0REG0	00h
2D25h			00h
2D26h	タイマコンペア0レジスタ1	BBCOMP0REG1	00h
2D27h			00h
2D28h	タイマコンペア1レジスタ0	BBCOMP1REG0	00h
2D29h			00h
2D2Ah	タイマコンペア1レジスタ1	BBCOMP1REG1	00h
2D2Bh			00h
2D2Ch	タイマコンペア2レジスタ0	BBCOMP2REG0	00h
2D2Dh			00h
2D2Eh	タイマコンペア2レジスタ1	BBCOMP2REG1	00h
2D2Fh			00h

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.11 SFR一覧(11) (2D30h ~ 2FFFh) (注1)

番地	レジスタ	シンボル	リセット後の値
2D30h	タイムスタンプレジスタ0	BBTSTAMP0	00h
2D31h			00h
2D32h	タイムスタンプレジスタ1	BBTSTAMP1	00h
2D33h			00h
2D34h	タイマ制御レジスタ	BBTIMECON	00h
2D35h	バックオフピリオドレジスタ	BBBOFFPROD	00h
2D36h			
2D37h			
2D38h			
2D39h			
2D3Ah	PLL分周レジスタ0	BBPLLDIVL	65h
2D3Bh	PLL分周レジスタ1	BBPLLDIVH	09h
2D3Ch	送信出力パワーレジスタ	BBTXOUTPWR	00h
2D3Dh	RSSIオフセットレジスタ	BBRSSIOFS	F6h
2D3Eh			
2D3Fh			
2D40h			
:			
2D45h			
2D46h	自動ACK返信タイミング調整レジスタ	BBACKRTNTIMG	22h
2D47h			
:			
2D63h			
2D64h			
2D65h			
2D66h			
2D67h			
2D68h	評価モード設定レジスタ	BBEVAREG	00h
2D69h			
2D6Ah			
2D6Bh			
2D6Ch			
2D6Dh			
2D6Eh			
2D6Fh			
2D70h			
2D71h			
2D72h			
2D73h			
2D74h			
2D75h			
2D76h	IDELウェイト設定レジスタ	BBIDELWAIT	01h
2D77h			
2D78h			
2D79h			
2D7Ah	ANTSW出力タイミング設定レジスタ	BBANTSWTIMG	72h
2D7Bh			
2D7Ch	RF初期設定レジスタ	BBRFINI	XXh
2D7Dh			XXh
2D7Eh			
2D7Fh			
2D80h			
2D81h			
2D82h	ANTSW制御レジスタ	BBANTSWCON	00h
2D83h			
:			
2DFFh			
2E00h	送信RAM	TRANSMIT_RAM_START	
:	送信RAM		
2E7Eh	送信RAM	TRANSMIT_RAM_END	
2E7Fh			
2E80h	受信RAM	RECIEVE_RAM_START	
:	受信RAM		
2EFEh	受信RAM	RECIEVE_RAM_END	
2EFFh			
2F00h			
:			
2FFFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。



表4.12 IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
FFDFh	ID1		(注2)
FFE3h	ID2		(注2)
FFEBh	ID3		(注2)
FFEFh	ID4		(注2)
FFF3h	ID5		(注2)
FFF7h	ID6		(注2)
FFFBh	ID7		(注2)
FFFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。

出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。

出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

## 5. 電気的特性

表5.1 絶対最大定格

記号	項目		測定条件	定格値	単位
VCC	デジタル電源電圧			- 0.3 ~ 3.8	V
VCCRF	アナログ電源電圧			- 0.3 ~ 3.8	V
Vi	入力電圧	RESET、MODE、P0_4、P1、P3_0、P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_5		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧	P0_4、P1、P3_0、P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_5		- 0.3 ~ Vcc + 0.3	V
VRFIO	RF入出力ピン	RFIOP、RFION		- 0.3 ~ 2.1	V
VTESTIO	テストポート	IFRXTP、IFRXTN		- 0.3 ~ 2.1	V
VANAIN	1.5V系アナログ電源(入力)	VREG1、VREG2、VREG3、VREG4		- 0.3 ~ 2.1	V
VANAOUT	1.5V系アナログ電源(出力)	VREGOUT1、VREGOUT2、VREGOUT3		- 0.3 ~ 2.1	V
VXINOUT	メインクロック入出力	XIN、XOUT		- 0.3 ~ 2.1	V
Pd	消費電力		- 20    Topr    85	300	mW
Topr	動作周囲温度	下記の 、 以外でのマイコン動作時		- 20 ~ 85	
		シリアルライタまたはパラレルライタを使用するフラッシュメモリへの書き込み、消去時		0 ~ 60	
		E8aエミュレータを接続してのオンチップデバッグ時		10 ~ 35	
Tstg	保存温度			- 65 ~ 150	

表5.2 推奨動作条件

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VCC	デジタル電源電圧	下記の、以外でのマイコン動作時		1.8	3.3	3.6	V	
		シリアルライタまたはパラレルライタを使用してのフラッシュメモリへの書き込み、消去時		2.7	—	3.6		
		E8aエミュレータを接続してのオンチップデバッグ時		2.7	—	3.6		
VCCRF	アナログ電源電圧			1.8	3.3	3.6	V	
VSS/ VSS2/ VSSRF/ VSSRF1/ VSSRF2/ DIEGND	電源電圧	VSS1、VSS2、VSSRF、VSSRF1、VSSRF2、DIEGND			0		V	
VIH	“H”入力電圧	CMOS入力以外		0.8Vcc		Vcc	V	
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択: 0.35Vcc	2.7V Vcc < 3.6V	0.55Vcc	Vcc	V
					1.8V Vcc < 2.7V	0.65Vcc	Vcc	V
				入力レベル選択: 0.5Vcc	2.7V Vcc < 3.6V	0.7Vcc	Vcc	V
					1.8V Vcc < 2.7V	0.8Vcc	Vcc	V
				入力レベル選択: 0.7Vcc	2.7V Vcc < 3.6V	0.85Vcc	Vcc	V
1.8V Vcc < 2.7V	0.85Vcc				Vcc	V		
VIL	“L”入力電圧	CMOS入力以外		0		0.2Vcc	V	
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択: 0.35Vcc	2.7V Vcc < 3.6V	0	0.2Vcc	V
					1.8V Vcc < 2.7V	0	0.2Vcc	V
				入力レベル選択: 0.5Vcc	2.7V Vcc < 3.6V	0	0.3Vcc	V
					1.8V Vcc < 2.7V	0	0.2Vcc	V
				入力レベル選択: 0.7Vcc	2.7V Vcc < 3.6V	0	0.45Vcc	V
1.8V Vcc < 2.7V	0				0.35Vcc	V		
IOH(sum)	“H”尖頭総出力電流	全端子のIOH(peak)の総和				- 160	mA	
IOH(sum)	“H”平均総出力電流	全端子のIOH(avg)の総和				- 80	mA	
IOH(peak)	“H”尖頭出力電流	駆動能力Low時				- 10	mA	
		駆動能力High時				- 40	mA	
IOH(avg)	“H”平均出力電流	駆動能力Low時				- 5	mA	
		駆動能力High時				- 20	mA	
IOL(sum)	“L”尖頭総出力電流	全端子のIOL(peak)の総和				160	mA	
IOL(sum)	“L”平均総出力電流	全端子のIOL(avg)の総和				80	mA	
IOL(peak)	“L”尖頭出力電流	駆動能力Low時				10	mA	
		駆動能力High時				40	mA	
IOL(avg)	“L”平均出力電流	駆動能力Low時				5	mA	
		駆動能力High時				20	mA	
f(XIN)	XINクロック入力発振周波数		1.8V Vcc 3.6V		16	—	MHz	
f(XCIN)	XCINクロック入力発振周波数		1.8V Vcc 3.6V	30	32.768	35	kHz	
	システムクロック周波数	f(XIN)=16MHz時	1.8V Vcc 3.6V			16	MHz	
f(BCLK)	CPUクロック周波数	f(XIN)=16MHz時	2.7V Vcc 3.6V			16	MHz	
			2.15V Vcc < 2.7V			8		
			1.8V Vcc < 2.15V			4		

注1. 指定のない場合は、Vcc = 1.8V ~ 3.6V、T<sub>opr</sub> = - 20 ~ 85 です。

注2. 平均出力電流は100msの期間内での平均値です。

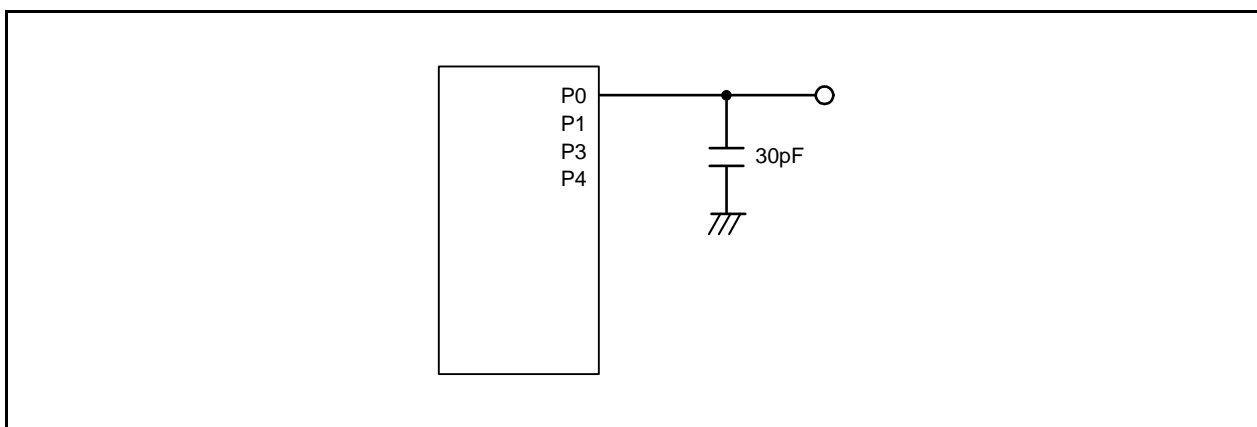


図5.1 ポートP0、1、3、4のタイミング測定回路

表5.3 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		1,000(注3)			回
	バイトプログラム時間			80	500	μs
	ブロックイレーズ時間			0.3		s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧	CPU書き換えモード	1.8		3.6	V
		標準シリアル入出力モード	2.7		3.6	
		パラレル入出力モード	2.7		3.6	
	読み出し電圧		1.8		3.6	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V<sub>CC</sub> = 2.7V ~ 3.6V、T<sub>opr</sub> = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表5.4 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			160	1500	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			300	1500	μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	1	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3	1	s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧	CPU書き換えモード	1.8		3.6	V
		標準シリアル入出力モード	2.7		3.6	
		パラレル入出力モード	2.7		3.6	
	読み出し電圧		1.8		3.6	V
	書き込み、消去時の温度	CPU書き換えモード	- 20		85	
		標準シリアル入出力モード	0		60	
		パラレル入出力モード	0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V<sub>CC</sub> = 1.8V ~ 3.6V、T<sub>opr</sub> = - 20 ~ 85 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特约店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

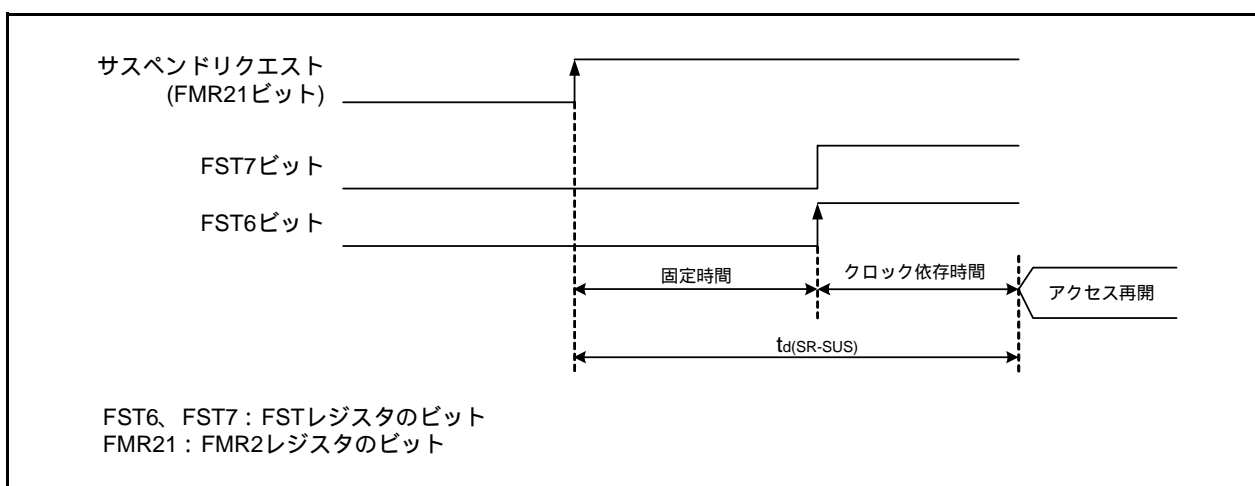


図5.2 サスペンドへの遷移時間

表5.5 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注4)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注4)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2 (注4)		2.70	2.85	3.05	V
	電圧検出0回路反応時間(注3)	Vcc = 3.6V (Vdet0_0 - 0.1)V に下げたとき		6	150	μs
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 3.0V		1.5		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				100	μs

注1. 測定条件はVcc = 1.8V ~ 3.6V、Topr = -20 ~ 85 です。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

注4. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

表5.6 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_2 (注2)	Vcc立ち下がり時	2.30	2.50	2.70	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出1回路のVcc立ち上がり時のヒステリシス幅			0.07		V
	電圧検出1回路反応時間(注3)	Vcc = 3.6V (Vdet1_0 - 0.1)V に下げたとき		60	150	μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 3.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)				100	μs

注1. 測定条件はVcc = 1.8V ~ 3.6V、Topr = -20 ~ 85 です。

注2. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.7 パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き	(注1)	0		50,000	mV/msec

注1. 指定のない場合測定条件は、 $T_{opr} = -20 \sim 85$  です。

注2. パワーオンリセットを使用するには、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

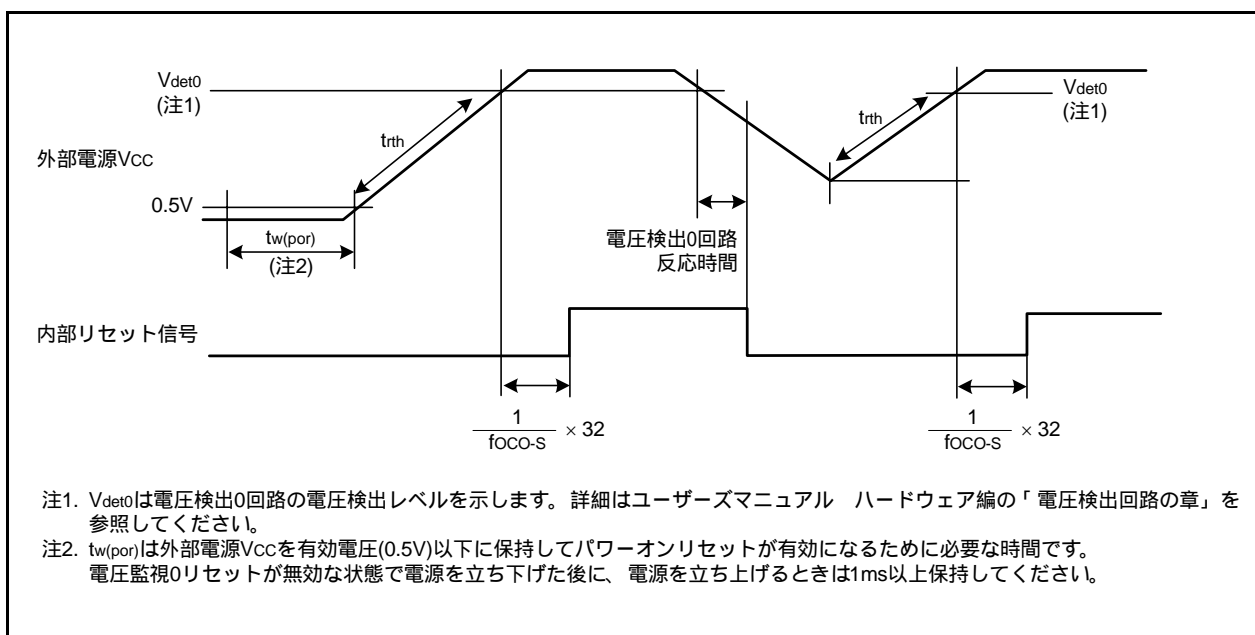


図5.3 パワーオンリセット回路の電気的特性



表5.8 システムクロック用低速オンチップオシレータ発振回路の電氣的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		100	125	150	kHz
	発振安定時間			30	100	μs

注1. 指定のない場合は、 $V_{CC} = 1.8V \sim 3.6V$ 、 $T_{opr} = -20 \sim 85$  です。

表5.9 ウォッチドッグタイマ用低速オンチップオシレータ発振回路の電氣的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-WDT	低速オンチップオシレータ発振周波数		60	125	250	kHz
	発振安定時間			30	100	μs

注1. 指定のない場合は、 $V_{CC} = 1.8V \sim 3.6V$ 、 $T_{opr} = -20 \sim 85$  です。

表5.10 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>d</sub> (P-R)	電源投入時の内部電源安定時間(注2)				2,000	μs

注1. 測定条件は $V_{CC} = 1.8V \sim 3.6V$ 、 $T_{opr} = 25$  です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表5.11 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
t <sub>SUCYC</sub>	SSCKクロックサイクル時間			4			t <sub>CYC</sub> (注2)
t <sub>HI</sub>	SSCKクロック“H”パルス幅			0.4		0.6	t <sub>SUCYC</sub>
t <sub>LO</sub>	SSCKクロック“L”パルス幅			0.4		0.6	t <sub>SUCYC</sub>
t <sub>RISE</sub>	SSCKクロック立ち上がり時間	マスタ				1	t <sub>CYC</sub> (注2)
		スレーブ				1	μs
t <sub>FALL</sub>	SSCKクロック立ち下がり時間	マスタ				1	t <sub>CYC</sub> (注2)
		スレーブ				1	μs
t <sub>SU</sub>	SSO、SSIデータ入力セットアップ時間			100			ns
t <sub>H</sub>	SSO、SSIデータ入力ホールド時間			1			t <sub>CYC</sub> (注2)
t <sub>LEAD</sub>	SCSセットアップ時間	スレーブ		1t <sub>CYC</sub> + 50			ns
t <sub>LAG</sub>	SCSホールド時間	スレーブ		1t <sub>CYC</sub> + 50			ns
t <sub>OD</sub>	SSO、SSIデータ出力遅延時間					1.5	t <sub>CYC</sub> (注2)
t <sub>SA</sub>	SSIスレーブアクセス時間		2.7V $V_{CC} = 3.6V$			1.5t <sub>CYC</sub> + 100	ns
			1.8V $V_{CC} < 2.7V$			1.5t <sub>CYC</sub> + 200	ns
t <sub>OR</sub>	SSIスレーブアウト開放時間		2.7V $V_{CC} = 3.6V$			1.5t <sub>CYC</sub> + 100	ns
			1.8V $V_{CC} < 2.7V$			1.5t <sub>CYC</sub> + 200	ns

注1. 指定のない場合は、 $V_{CC} = 1.8V \sim 3.6V$ 、 $T_{opr} = -20 \sim 85$  です。

注2.  $1t_{CYC} = 1/f_1(s)$

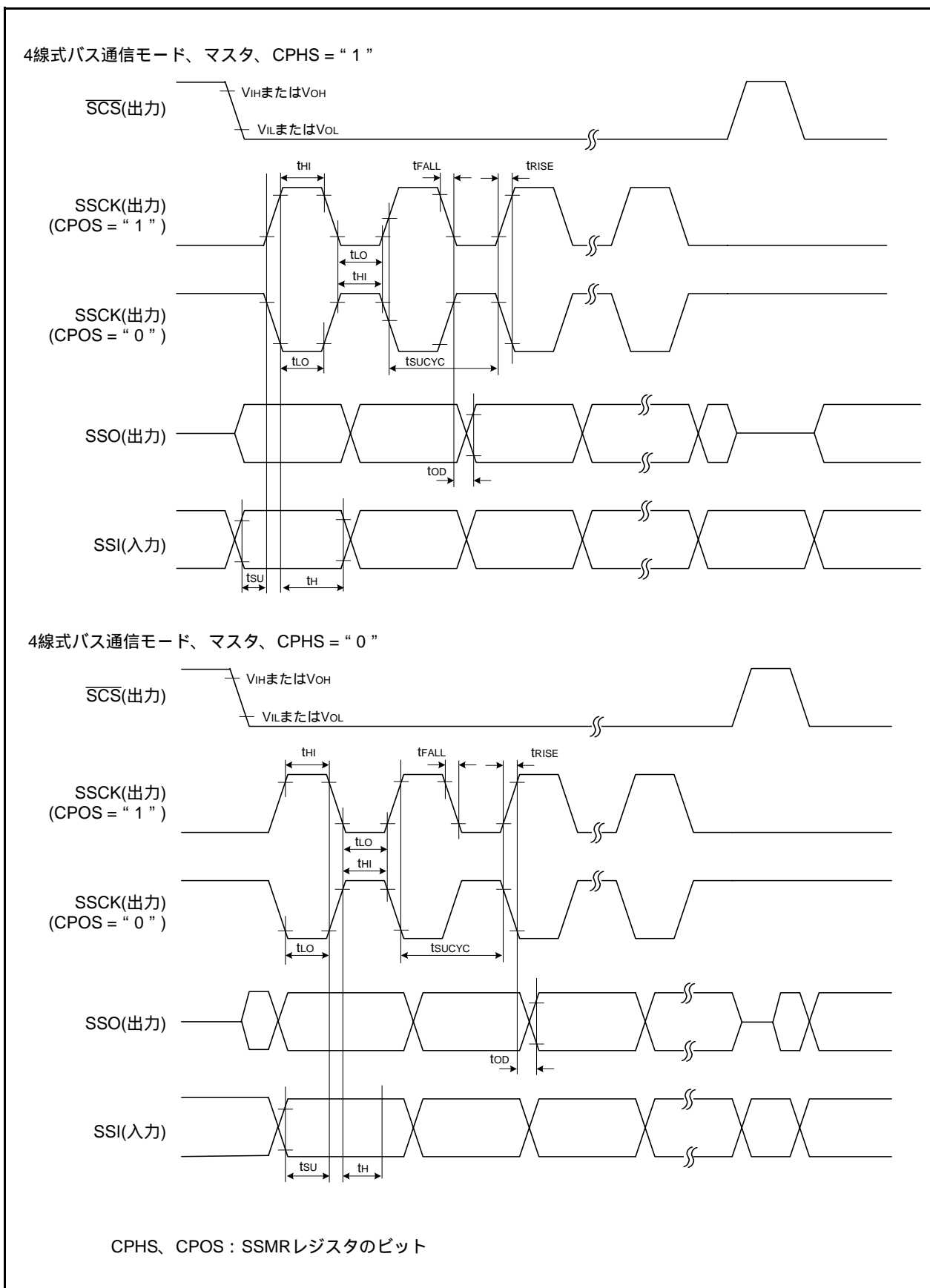


図5.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

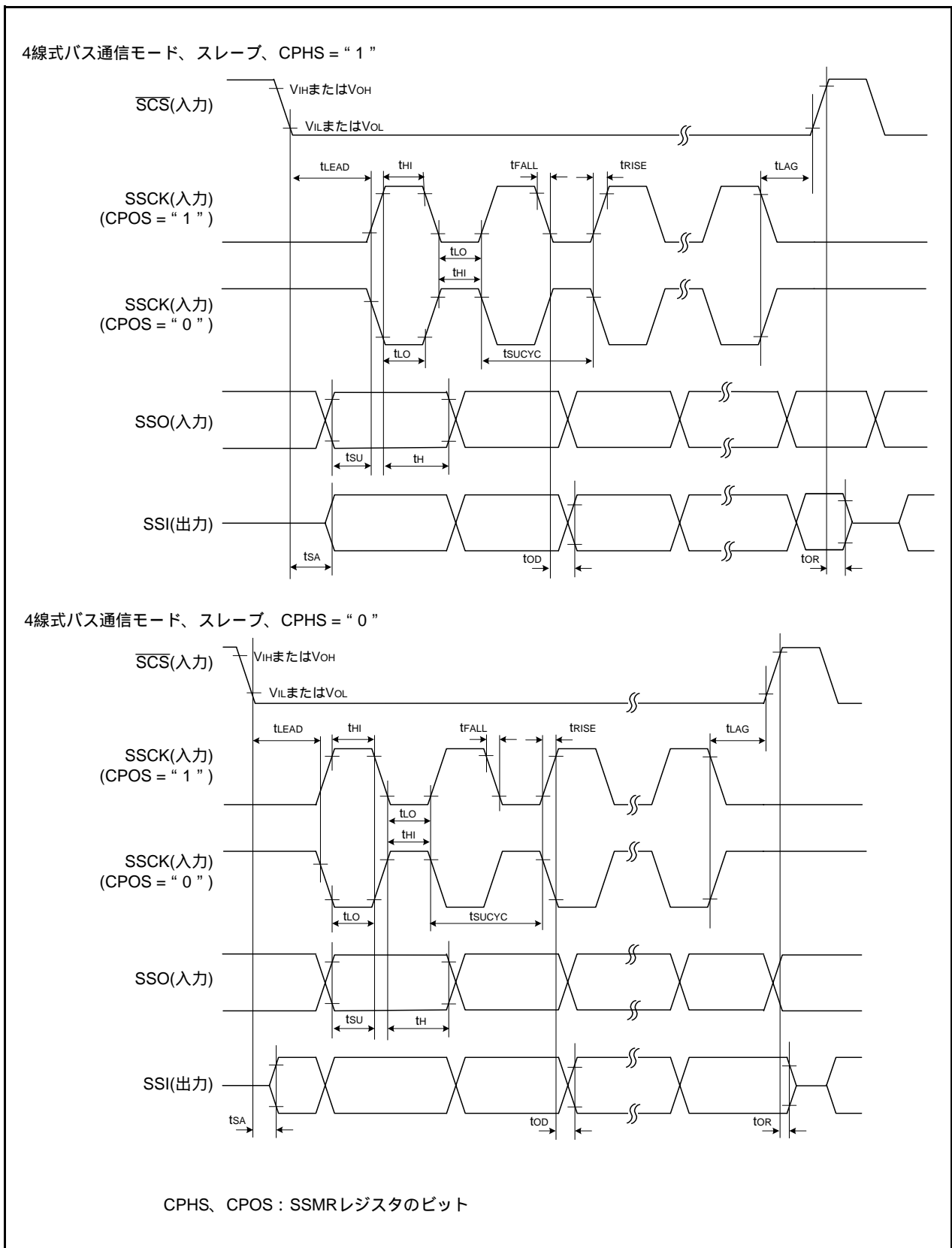


図5.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

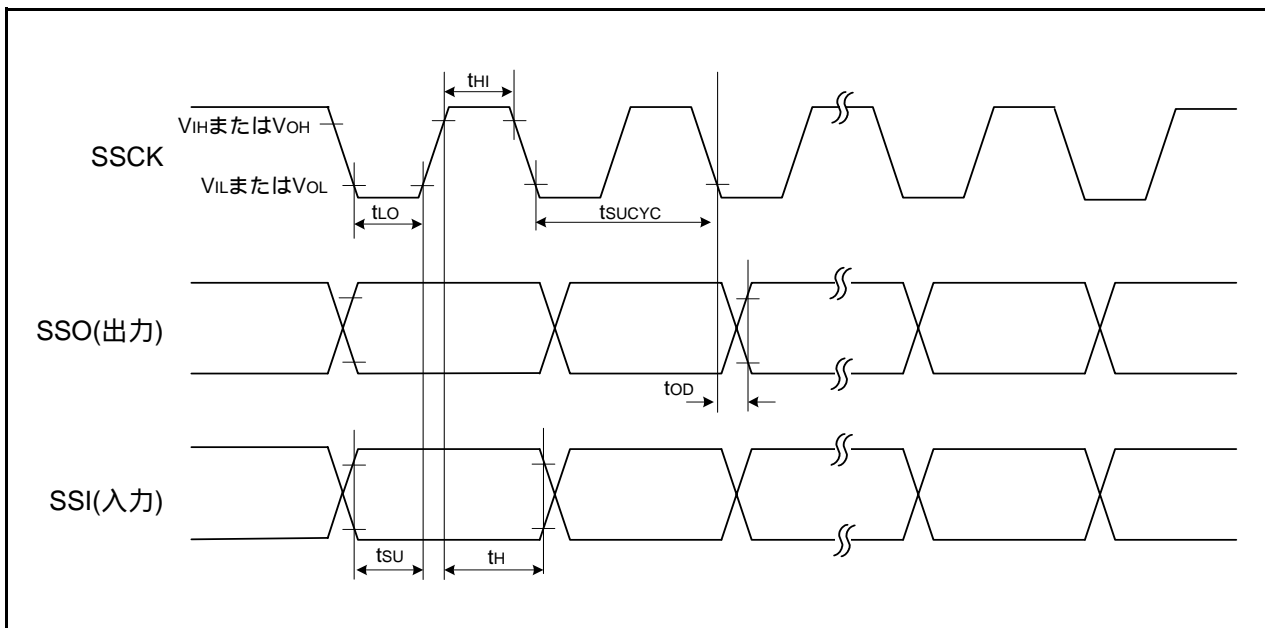


図5.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(クロック同期式通信モード)

表5.12 I<sup>2</sup>Cバスインタフェースのタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600(注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc + 300(注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc + 500(注2)			ns
tsf	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入力スパイクパルス除去時間				1tcyc(注2)	ns
tBUF	SDA入力バスマフリー時間		5tcyc(注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc(注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
tSTOP	停止条件入力セットアップ時間		3tcyc(注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 40(注2)			ns
tSDAH	データ入力ホールド時間		10			ns

注1. 指定のない場合は、Vcc = 1.8V ~ 3.6V、T<sub>opr</sub> = - 20 ~ 85 です。

注2. 1tcyc = 1/f1(s)

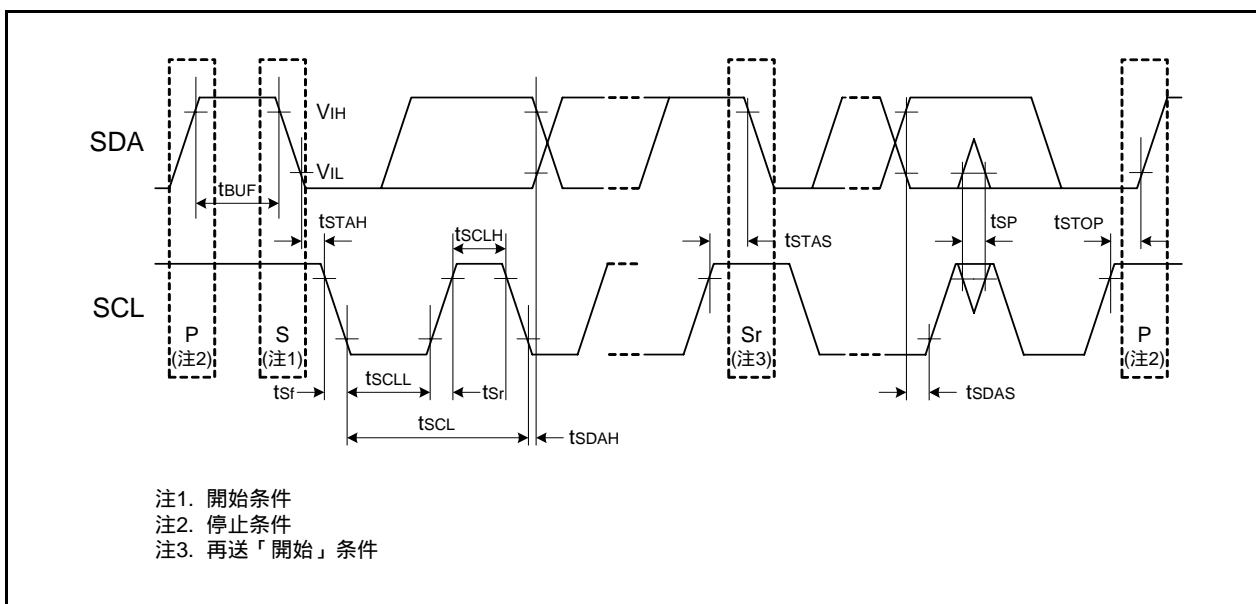


図5.7 I<sup>2</sup>Cバスインタフェースの入出力タイミング

表5.13 電気的特性(1) [1.8V Vcc 3.6V] (指定のない場合は、Topr = - 20 ~ 85 )

記号	項目	測定条件			規格値			単位		
					最小	標準	最大			
ICC	電源電流 シングルチップ モードで、出力 端子は開放、そ 他の端子は VSS	高速クロックモード XINクロック発振 f(XIN) = 16MHz XCINクロック発振 f(XCIN) = 32kHz 低速オンチップオシレータ 発振 fOCO-S = 125kHz システムクロック = XIN	CPUクロック = 4分周、 (f(BCLK)=4MHz) 1.8V VCC 3.6V	RF = off	—	2.5	—	mA		
				RF = idle	—	4.0	—	mA		
				RF = Tx	—	18	—	mA		
						RF=RX (受信待ち)	—	24	—	mA
						RF=RX (受信中)	—	25	—	mA
			CPUクロック = 2分周、 (f(BCLK)=8MHz) 2.15V VCC 3.6V	RF = off	—	3.5	—	mA		
				RF = idle	—	5.0	—	mA		
				RF = Tx	—	19	—	mA		
						RF=RX (受信待ち)	—	25	—	mA
					RF=RX (受信中)	—	26	—	mA	
		CPUクロック = 分周なし (f(BCLK)=16MHz) 2.7V VCC 3.6V	RF = off	—	6.0	—	mA			
			RF = idle	—	7.5	—	mA			
			RF = Tx	—	21.5	—	mA			
			RF=RX (受信待ち)	—	27.5	—	mA			
					RF=RX (受信中)	—	28.5	—	mA	
		低速オンチップオシレータモード XINクロック停止、XCINクロック停止、低速オン チップオシレータ発振：fOCO-S = 125kHz システムクロック = fOCO-S、CPUクロック = 8分周 FMR27 = "1"、VCA20 = "0" (フラッシュメモリ低消費電流リードモード)			RF = off	—	80	—	μA	
		低速クロックモード XINクロック停止 XCINクロック発振 f(XCIN) = 32kHz 低速オンチップオシレータ 停止 システムクロック = XCIN CPUクロック = 分周なし		FMR27 = "1" VCA20 = "0" (フラッシュメモリ低消費 電流リードモード)	RF = off	—	95	—	μA	
		FMSTP = "1" VCA20 = "0" (フラッシュメモリ停止、 RAM上プログラム動作)	RF = off	—	45	—	μA			
ウェイトモード XINクロック発振：f(XIN) = 16MHz XCINクロック発振：f(XCIN) = 32kHz 低速オンチップオシレータ発振：fOCO-S = 125kHz システムクロック = XIN WAIT命令実行中			RF = Rx (受信待ち)	—	23	—	mA			
ウェイトモード XINクロック停止 XCINクロック発振 f(XCIN) = 32kHz 低速オンチップオシレータ 停止 システムクロック = XCIN WAIT命令実行中		周辺機能クロック動作 VCA26 = VCA25 = "0" VCA20 = "1" (電圧検出回路停止、内部 電源低消費電力許可)	RF = off	—	6.0	—	μA			
		周辺機能クロック停止 VCA26 = VCA25 = "0" VCA20 = "1" (電圧検出回路停止、内部 電源低消費電力許可)	RF = off	—	4.5	—	μA			
ウェイトモード XINクロック停止 XCINクロック停止 低速オンチップオシレータ 発振 fOCO-S = 125kHz システムクロック = fOCO-S WAIT命令実行中		周辺機能クロック動作 VCA26 = VCA25 = "0" VCA20="1" (電圧検出回路停止、内部 電源低消費電力許可)	RF = off	—	13.0	—	μA			
		周辺機能クロック停止 VCA26 = VCA25 = "0" VCA20="1" (電圧検出回路停止、内部 電源低消費電力許可)	RF = off	—	7.5	—	μA			
ストップモード (Topr = 25 ) XINクロック停止、XCINクロック停止、 低速オンチップオシレータ停止、 VCA26 = VCA25 = "0" (電圧検出回路停止)			RF = off	—	2.0	—	μA			

表5.14 電気的特性(2) [ 2.7V Vcc 3.6V ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	P0_4、P1、P3_0、P3_1、 P3_3 ~ P3_5、P3_7、 P4_3 ~ P4_5	駆動能力High	IoH = - 5mA	Vcc - 0.5		Vcc	V
			駆動能力Low	IoH = - 1mA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	P0_4、P1、P3_0、P3_1、 P3_3 ~ P3_5、P3_7、 P4_3 ~ P4_5	駆動能力High	IoL = 5mA			0.5	V
			駆動能力Low	IoL = 1mA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT3、K10、 K11、K12、K13、K14、K16、 K17、TRAIO、TRCIOA、 TRCIOB、TRCIOC、TRCIOD、 TRCTRG、TRCCLK、 RXD0、CLK0、SSI、SCL、 SDA、SSO	VCC = 3.0V		0.1	0.4		V
		RESET	VCC = 3.0V		0.1	0.5		V
IiH	“H”入力電流		Vi = 3V、Vcc = 3.0V				4.0	μA
IiL	“L”入力電流		Vi = 0V、Vcc = 3.0V				- 4.0	μA
RPULLUP	プルアップ抵抗		Vi = 0V、Vcc = 3.0V		42	84	168	kΩ
RfXIN	帰還抵抗	XIN				0.3		MΩ
RfXCIN	帰還抵抗	XCIN				8		MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8		3.6	V

注1. 指定のない場合は、2.7V Vcc 3.6V、Topr = - 20 ~ 85、f(XIN) = 16MHzです。

タイミング必要条件(指定のない場合は、VCC = 3V、Topr = - 20 ~ 85 )

表5.15 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (TRAIO)	TRAIO入力サイクル時間	300		ns
t <sub>WH</sub> (TRAIO)	TRAIO入力“H”パルス幅	120		ns
t <sub>WL</sub> (TRAIO)	TRAIO入力“L”パルス幅	120		ns

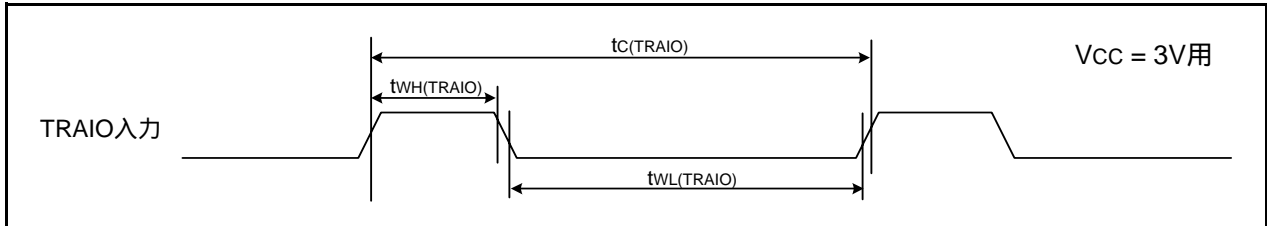


図5.8 VCC = 3V時のTRAIO入力タイミング

表5.16 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
t <sub>c</sub> (CK)	CLK0入力サイクル時間	外部クロック選択時	300		ns
t <sub>W</sub> (CKH)	CLK0入力“H”パルス幅		150		ns
t <sub>W</sub> (CKL)	CLK0入力“L”パルス幅		150		ns
t <sub>d</sub> (C-Q)	TXD0出力遅延時間	内部クロック選択時		120	ns
t <sub>h</sub> (C-Q)	TXD0ホールド時間		0		ns
t <sub>su</sub> (D-C)	RXD0入力セットアップ時間		30		ns
t <sub>h</sub> (C-D)	RXD0入力ホールド時間		90		ns
t <sub>d</sub> (C-Q)	TXD0出力遅延時間			30	ns
t <sub>su</sub> (D-C)	RXD0入力セットアップ時間		120		ns
t <sub>h</sub> (C-D)	RXD0入力ホールド時間	90		ns	

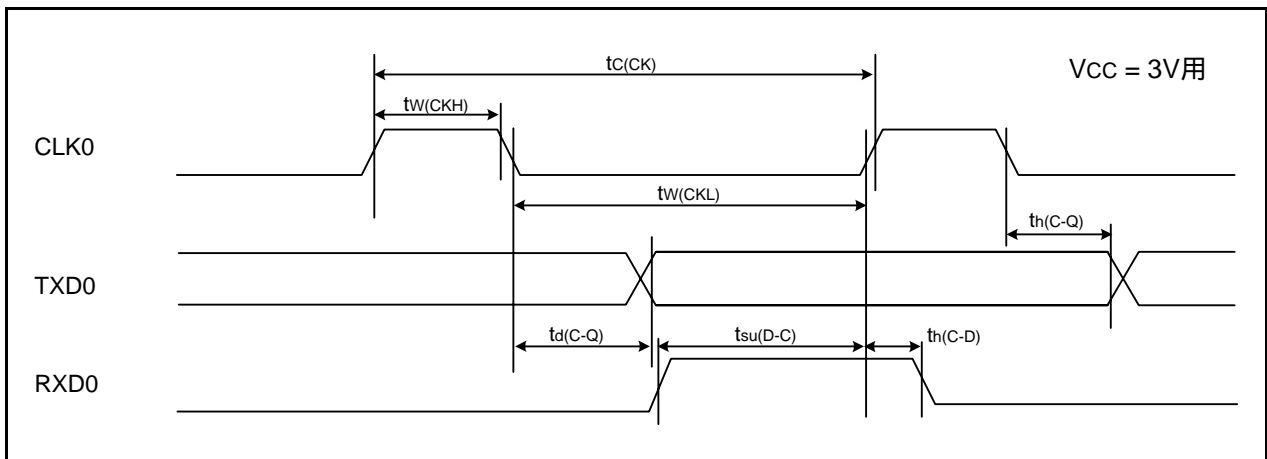


図5.9 VCC = 3V時のシリアルインタフェースのタイミング



表5.17 外部割り込みINTi入力(i = 0、1、3)、キー入力割り込みKli (i = 0 ~ 7)

記号	項目	規格値		単位
		最小	最大	
$t_{W(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	380(注1)		ns
$t_{W(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

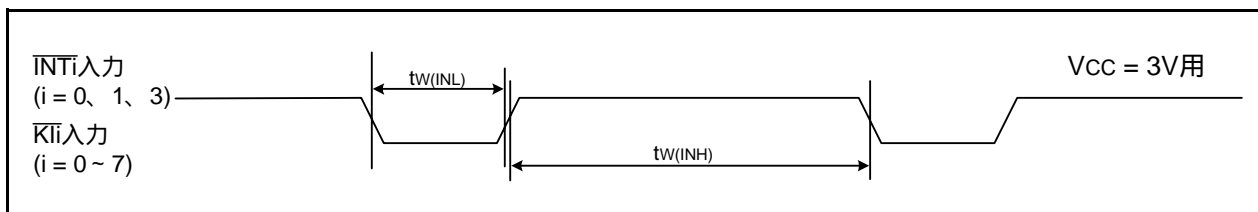
図5.10  $V_{CC} = 3V$ 時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表5.18 電気的特性(3) [ 1.8V  $V_{CC} < 2.7V$  ]

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	P0_4、P1、P3_0、 P3_1、P3_3 ~ P3_5、 P3_7、P4_3 ~ P4_5	駆動能力High	IoH = - 2mA	Vcc - 0.5	Vcc	V
			駆動能力Low	IoH = - 1mA	Vcc - 0.5	Vcc	V
VOL	“L”出力電圧	P0_4、P1、P3_0、 P3_1、P3_3 ~ P3_5、 P3_7、P4_3 ~ P4_5	駆動能力High	IoL = 2mA		0.5	V
			駆動能力Low	IoL = 1mA		0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 KI4、KI6、KI7、 TRAIO、TRCIOA、 TRCIOB、TRCIOC、 TRCIOD、TRCTRG、 TRCCLK、RXD0、 CLK0、SSI、SCL、 SDA、SSO	Vcc = 2.15V		0.05	0.20	V
		RESET	Vcc = 2.15V		0.05	0.20	V
IiH	“H”入力電流	Vi = 2.15V、Vcc = 2.15V				4.0	μA
IiL	“L”入力電流	Vi = 0V、Vcc = 2.15V				- 4.0	μA
RPULLUP	プルアップ抵抗	Vi = 0V、Vcc = 2.15V		70	140	300	kΩ
RfXIN	帰還抵抗	XIN				0.3	MΩ
RfXCIN	帰還抵抗	XCIN				8	MΩ
V <sub>RAM</sub>	RAM保持電圧	ストップモード時		1.8		3.6	V

注1. 指定のない場合は、1.8V  $V_{CC} < 2.7V$ 、 $T_{opr} = -20 \sim 85$ 、 $f(XIN) = 16MHz$ です。

タイミング必要条件(指定のない場合は、VCC = 2.15V、Topr = - 20 ~ 85 )

表5.19 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (TRAIO)	TRAIO入力サイクル時間	500		ns
t <sub>WH</sub> (TRAIO)	TRAIO入力“H”パルス幅	200		ns
t <sub>WL</sub> (TRAIO)	TRAIO入力“L”パルス幅	200		ns

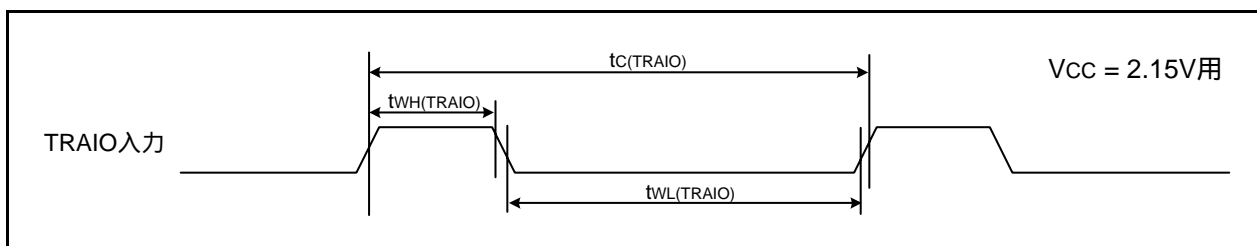


図5.11 Vcc = 2.15V時のTRAIO入力タイミング

表5.20 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
t <sub>c</sub> (CK)	CLK0入力サイクル時間	外部クロック選択時	800		ns
t <sub>W</sub> (CKH)	CLK0入力“H”パルス幅		400		ns
t <sub>W</sub> (CKL)	CLK0入力“L”パルス幅		400		ns
t <sub>d</sub> (C-Q)	TXD0出力遅延時間	内部クロック選択時		200	ns
t <sub>h</sub> (C-Q)	TXD0ホールド時間		0		ns
t <sub>su</sub> (D-C)	RXD0入力セットアップ時間		150		ns
t <sub>h</sub> (C-D)	RXD0入力ホールド時間		90		ns
t <sub>d</sub> (C-Q)	TXD0出力遅延時間			200	ns
t <sub>su</sub> (D-C)	RXD0入力セットアップ時間		150		ns
t <sub>h</sub> (C-D)	RXD0入力ホールド時間		90		ns

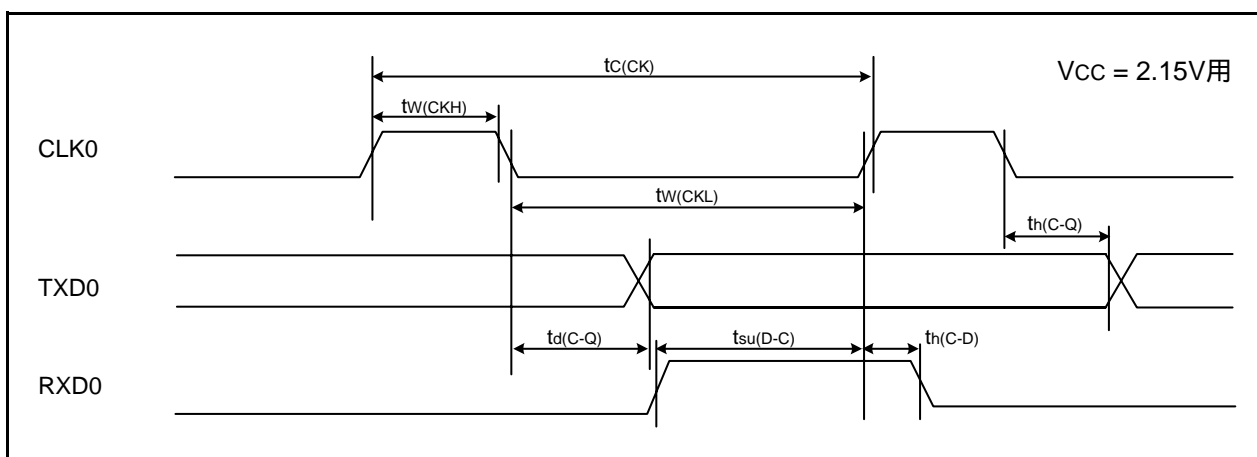


図5.12 Vcc = 2.15V時のシリアルインタフェースのタイミング

表5.21 外部割り込みINTi入力(i = 0、1、3)、キー入力割り込みKli (i = 0 ~ 7)

記号	項目	規格値		単位
		最小	最大	
$t_{W(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	1,000(注1)		ns
$t_{W(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	1,000(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

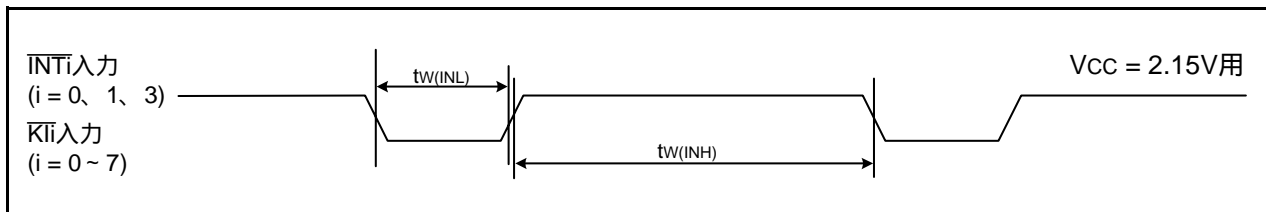
図5.13  $V_{CC} = 2.15V$ 時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表5.22 トランシーバ部送信特性(指定のない場合は、VCC=VCCRF=3.3V、Topr=25 )

項目	測定条件	規格値			IEEE802.15.4規格	単位	
		最小	標準	最大			
内部電源電圧		-	1.45	-	-	V	
送信出力電力		-3	0	3	-3以上	dBm	
送信ビットレート		-	250	-	250	kbps	
送信チップレート		-	2000	-	2000	kchips/s	
出力電力可変範囲	32 steps	-	32	-	32 step	dB	
高調波	2次高調波	外部ノッチフィルタ付き	-	-	-47.2	-41.2以下	dBm
	3次高調波		-	-	-47.2	-	dBm
スプリアス輻射	30 - 88MHz	最大出力電力、 弊社評価基板	-	-	-55.2	FCC	dBm
	88 - 216MHz		-	-	-51.7	FCC	
	216 - 960MHz		-	-	-49.2	FCC	
	960 - 1000MHz		-	-	-41.2	FCC	
	1 - 12.75GHz		-	-	-41.2	FCC(注1)	
	1.8 - 1.9GHz		-	-	-47	ETSI	
5.15 - 5.3GHz	-	-	-47	ETSI			
エラーベクトル量EVM	1000 chips	-	-	35	35以下	%	
電力スペクトル密度	絶対値限界	f-fc >3.5MHz	-	-	-30	-30以下	dBm
	相対値限界	f-fc >3.5MHz	-	-	-20	-20以下	dB
周波数許容誤差	水晶±20ppm含む	-40	-	40	±40以内	ppm	

注1. FCC認証試験時の注意事項

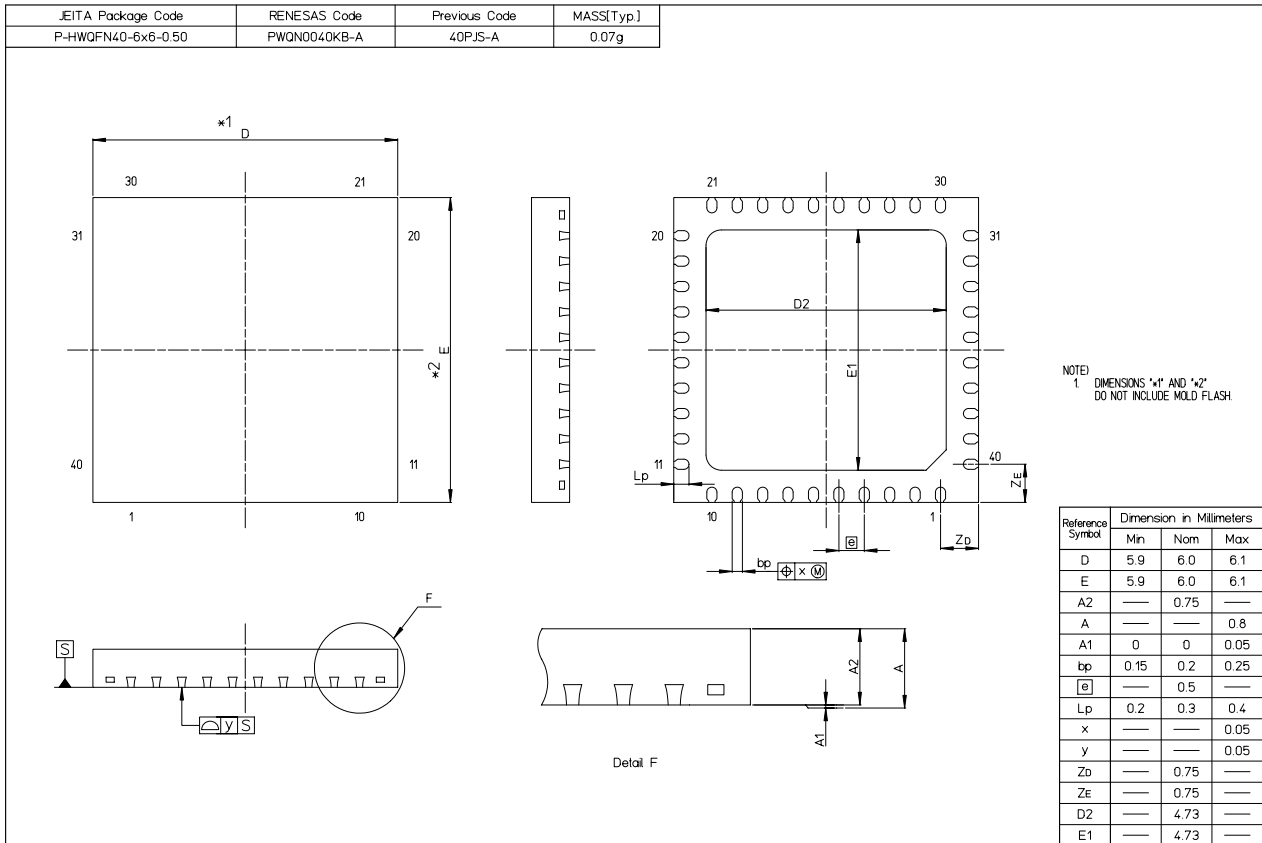
26CH(2480MHz)を使用する場合、2483.5MHzでFCC要求規格を満たすように送信パワーを調整してください。

表5.23 トランシーバ部受信特性(指定のない場合は、VCC=VCCRF=3.3V、Topr=25 )

項目	測定条件	規格値			IEEE802.15.4規格	単位
		最小	標準	最大		
内部電源電圧		-	1.45	-	-	V
RF入力周波数		2405	-	2480	最小2405/ 最大2480	MHz
受信感度	PER=1% PSDU length=20octets Interframe spacing 12symbol (IEEE802.15.4 minimum spacing)	-	-95	-85	-85以下	dBm
最大入力レベル	PER=1%	0	-	-	-20以上	dBm
隣接チャンネル除去比	+5MHz	0	-	-	0以上	dB
	-5MHz	0	-	-		
相互チャンネル除去比	+10MHz	30	-	-	30以上	dB
	-10MHz	30	-	-		
除去比	> +15MHz	30	-	-	-	dB
	< -15MHz	30	-	-		
スプリアス輻射	30-1000MHz	-	-	-57	ETSI EN300/328	dBm
	1-12.75GHz	-	-	-47		
シンボルエラー許容誤差		-80	-	80	±40以上(送受合計 で±80以上)	ppm
RSSIレンジ	Prf(min)=-75dBm	40	75	-	40以上	dB
RSSI精度	Prf=-75 ~ -35dBm	-6	-	6	±6以内	dB

### 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。



## 改訂記録

## R8C/3MQグループ データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2010.11.19	—	初版発行
1.00	2011.03.31	全ページ 3 7 15 16 23 24 32 38 45	「暫定仕様書」、「開発中」 削除 表1.2 変更、「注1」 追記 表1.4 「KI6」 「KI6」 表4.2 005Bh 削除、005Ch 追記 表4.3 0071h 変更、「注3」 追記 表4.10 2D06h、2D07h、2D09h、2D0Eh 変更 表4.11 2D46h 追記 図5.3 「注1」 変更 表5.13 変更 表5.22 「注1」 追記、表5.23 変更
2.00	2012.06.29	2 3 4 5 13 27 31 38 42 43、44 45	表1.1 「2.2V」 「2.15V」、「電圧検出」 変更 表1.2 「2.2V」 「2.15V」 表1.3、図1.1 「128K」 「112K」 図1.2 変更 図3.1 変更 表5.2 「2.2V」 「2.15V」 表5.5 変更、注4 追記 表5.13 「2.2V」 「2.15V」 表5.18 「2.2V」 「2.15V」 図5.11 ~ 図5.13、タイトル 「2.2V」 「2.15V」 表5.23 変更

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。



## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないで行ってください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>