

1. 概要

1.1 特長

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1 M バイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループは、EMI/EMS 性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/56Eグループ、R8C/56FグループはCANモジュールを1チャンネル内蔵し、車載やFAのLANシステムに適したマイクロコンピュータです。R8C/56Gグループ、R8C/56HグループはCANモジュールを内蔵しません。

また、R8C/56Eグループ、R8C/56GグループはBGO (バックグラウンドオペレーション)機能付データフラッシュ (1 K バイト×4ブロック)を内蔵します。

1.1.1 用途

自動車、他

1.1.2 仕様概要

表1.1～表1.3にR8C/56Eグループの仕様概要を、表1.4～表1.6にR8C/56Fグループの仕様概要を、表1.7～表1.9にR8C/56Gグループの仕様概要を、表1.10～表1.12にR8C/56Hグループの仕様概要を示します。

表1.1 R8C/56Eグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：31.25 ns (CPUクロック = 32 MHz、VCC = 2.7 V ~ 5.5 V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表1.13 R8C/56Eグループの製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：59、プルアップ抵抗選択可能 PMC (Peripheral Mapping Controller)によりタイマ機能優先、通信機能優先型の端子配置選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路、高速オンチップオシレータ(周波数調整機能付)、低速オンチップオシレータ、PLL周波数シンセサイザ(~32 MHz) 2、4、6、8通倍 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、低速オンチップオシレータ、PLL動作)、ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
イベントリンクコントローラ(ELC)		<ul style="list-style-type: none"> 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能(30要因×10種類のイベントリンク動作) 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC(データトランスファコントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：42 転送モード：2(ノーマルモード、リピートモード)

表1.2 R8C/56Eグループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0、RC_1	16ビット(キャプチャ/コンペアレジスタ4本付)×1 2回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本) (64ピンでタイマ機能優先ピン配置選択時のみ2チャンネル使用可能(他は1チャンネルのみ))
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウンタ数の自動計測が可能)
シリアルインタフェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LINモジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
CANモジュール	CAN_0	1チャンネル 16メールボックス(ISO11898-1仕様準拠)
A/Dコンバータ		分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V リード電圧：VCC = 2.7 V ~ 5.5 V プログラム/イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) プログラムセキュリティ：ROMコードプロテクト、IDコードチェック デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能 BGO(バックグラウンドオペレーション)機能(データフラッシュ)

表1.3 R8C/56Eグループの仕様概要(3)

分類	機能	説明
デバッグ機能		<ul style="list-style-type: none"> • 1線式デバッグインタフェース搭載(専用ハードウェア搭載) • ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V ~ 5.5 V)
消費電流		標準 14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C ~ 85 °C (Jバージョン) -40 °C ~ 125 °C (Kバージョン) (注1)
パッケージ		64ピンLQFP パッケージコード : PLQP0064KB-A (旧コード : 64P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

表1.4 R8C/56Fグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：31.25 ns (CPUクロック = 32 MHz、VCC = 2.7 V ~ 5.5 V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM	「表1.14 R8C/56Fグループの製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：59、プルアップ抵抗選択可能 PMC (Peripheral Mapping Controller)によりタイマ機能優先、通信機能優先型の端子配置選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路、 高速オンチップオシレータ(周波数調整機能付)、 低速オンチップオシレータ、 PLL周波数シンセサイザ(~ 32 MHz) 2、4、6、8通倍 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、 低速オンチップオシレータ、PLL動作)、ウェイトモード、 ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能 (30要因×10種類のイベントリンク動作) 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケール付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC(データトランスファ コントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：42 転送モード：2(ノーマルモード、リピートモード)

表1.5 R8C/56Fグループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0、RC_1	16ビット(キャプチャ/コンペアレジスタ4本付)×1 2回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本) (64ピンでタイマ機能優先ピン配置選択時のみ2チャンネル使用可能(他は1チャンネルのみ))
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウンタ数の自動計測が可能)
シリアルインタフェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LINモジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
CANモジュール	CAN_0	1チャンネル 16メールボックス(ISO11898-1仕様準拠)
A/Dコンバータ		分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V リード電圧：VCC = 2.7 V ~ 5.5 V プログラム/イレーズ回数：1,000回(プログラムROM) プログラムセキュリティ：ROMコードプロテクト、IDコードチェック デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能

表1.6 R8C/56Fグループの仕様概要(3)

分類	機能	説明
デバッグ機能		<ul style="list-style-type: none"> • 1線式デバッグインタフェース搭載(専用ハードウェア搭載) • ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V ~ 5.5 V)
消費電流		標準 14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C ~ 85 °C (Jバージョン) -40 °C ~ 125 °C (Kバージョン) (注1)
パッケージ		64ピンLQFP パッケージコード : PLQP0064KB-A (旧コード : 64P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

表1.7 R8C/56Gグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：31.25 ns (CPUクロック = 32 MHz、VCC = 2.7 V ~ 5.5 V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表1.15 R8C/56Gグループの製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：59、プルアップ抵抗選択可能 PMC (Peripheral Mapping Controller)によりタイマ機能優先、通信機能優先型の端子配置選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路、高速オンチップオシレータ(周波数調整機能付)、低速オンチップオシレータ、PLL周波数シンセサイザ(~32 MHz) 2、4、6、8通倍 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、低速オンチップオシレータ、PLL動作)、ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
イベントリンクコントローラ(ELC)		<ul style="list-style-type: none"> 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能(30要因×10種類のイベントリンク動作) 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC(データトランスファコントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：42 転送モード：2(ノーマルモード、リピートモード)

表1.8 R8C/56Gグループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0、RC_1	16ビット(キャプチャ/コンペアレジスタ4本付)×1 2回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本) (64ピンでタイマ機能優先ピン配置選択時のみ2チャンネル使用可能(他は1チャンネルのみ))
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウンタ数の自動計測が可能)
シリアルインタフェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LINモジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
A/Dコンバータ		分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V リード電圧：VCC = 2.7 V ~ 5.5 V プログラム/イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) プログラムセキュリティ：ROMコードプロテクト、IDコードチェック デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能 BGO(バックグラウンドオペレーション)機能(データフラッシュ)

表1.9 R8C/56Gグループの仕様概要(3)

分類	機能	説明
デバッグ機能		<ul style="list-style-type: none"> • 1線式デバッグインタフェース搭載(専用ハードウェア搭載) • ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V ~ 5.5 V)
消費電流		標準 14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C ~ 85 °C (Jバージョン) -40 °C ~ 125 °C (Kバージョン) (注1)
パッケージ		64ピンLQFP パッケージコード : PLQP0064KB-A (旧コード : 64P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

表1.10 R8C/56Hグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：31.25 ns (CPUクロック = 32 MHz、VCC = 2.7 V ~ 5.5 V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM	「表1.16 R8C/56Hグループの製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：59、プルアップ抵抗選択可能 PMC (Peripheral Mapping Controller)によりタイマ機能優先、通信機能優先型の端子配置選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路、 高速オンチップオシレータ(周波数調整機能付)、 低速オンチップオシレータ、 PLL周波数シンセサイザ(~ 32 MHz) 2、4、6、8通倍 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、 低速オンチップオシレータ、PLL動作)、ウェイトモード、 ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能 (30要因×10種類のイベントリンク動作) 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC(データトランスファ コントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：42 転送モード：2(ノーマルモード、リピートモード)

表1.11 R8C/56Hグループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0、RC_1	16ビット(キャプチャ/コンペアレジスタ4本付)×1 2回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本) (64ピンでタイマ機能優先ピン配置選択時のみ2チャンネル使用可能(他は1チャンネルのみ))
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウンタ数の自動計測が可能)
シリアルインタフェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LINモジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
A/Dコンバータ		分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V • リード電圧：VCC = 2.7 V ~ 5.5 V • プログラム/イレーズ回数：1,000回(プログラムROM) • プログラムセキュリティ：ROMコードプロテクト、IDコードチェック • デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能

表1.12 R8C/56Hグループの仕様概要(3)

分類	機能	説明
デバッグ機能		<ul style="list-style-type: none"> • 1線式デバッグインタフェース搭載(専用ハードウェア搭載) • ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V ~ 5.5 V)
消費電流		標準 14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C ~ 85 °C (Jバージョン) -40 °C ~ 125 °C (Kバージョン) (注1)
パッケージ		64ピンLQFP パッケージコード : PLQP0064KB-A (旧コード : 64P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

1.2 製品一覧

表1.13にR8C/56Eグループの製品一覧を、図1.1にR8C/56Eグループの型名とメモリサイズ・パッケージを、表1.14にR8C/56Fグループの製品一覧を、図1.2にR8C/56Fグループの型名とメモリサイズ・パッケージを、表1.15にR8C/56Gグループの製品一覧を、図1.3にR8C/56Gグループの型名とメモリサイズ・パッケージを、表1.16にR8C/56Hグループの製品一覧を、図1.4にR8C/56Hグループの型名とメモリサイズ・パッケージを示します。

表1.13 R8C/56Eグループの製品一覧

2012年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21566EJFP	32 Kバイト	1 Kバイト × 4	2.5 Kバイト	PLQP0064KB-A	Jバージョン
R5F21567EJFP	48 Kバイト		4 Kバイト		
R5F21568EJFP	64 Kバイト		6 Kバイト		
R5F2156AEJFP	96 Kバイト		8 Kバイト		
R5F2156CEJFP	128 Kバイト		10 Kバイト		
R5F21566EKFP	32 Kバイト		2.5 Kバイト		
R5F21567EKFP	48 Kバイト		4 Kバイト		
R5F21568EKFP	64 Kバイト		6 Kバイト		
R5F2156AEKFP	96 Kバイト		8 Kバイト		
R5F2156CEKFP	128 Kバイト		10 Kバイト		

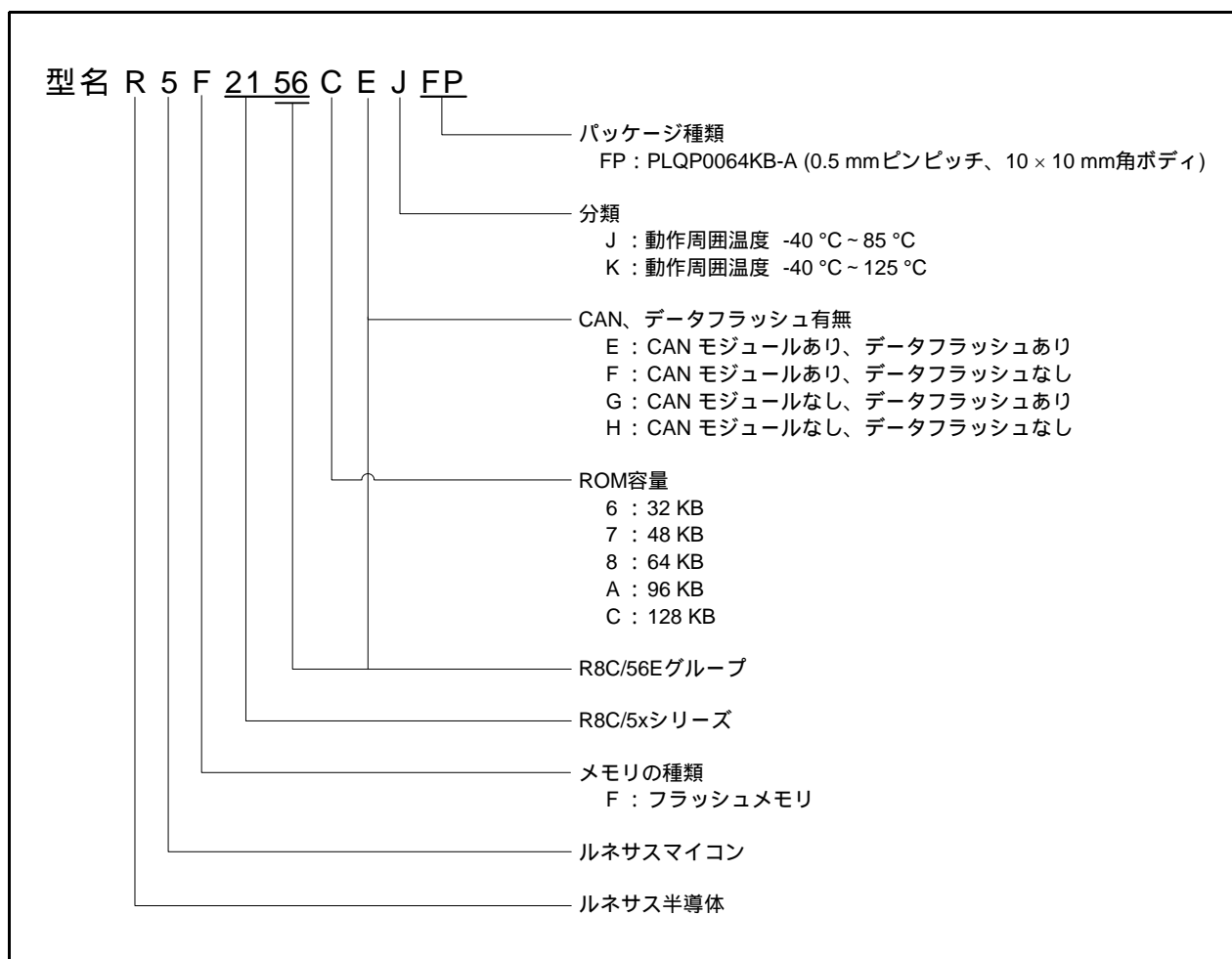


図1.1 R8C/56Eグループの型名とメモリサイズ・パッケージ

表1.14 R8C/56Fグループの製品一覧

2012年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM				
R5F21566FJFP	32 Kバイト		2.5 Kバイト	PLQP0064KB-A	Jバージョン
R5F21567FJFP	48 Kバイト		4 Kバイト		
R5F21568FJFP	64 Kバイト		6 Kバイト		
R5F2156AFJFP	96 Kバイト		8 Kバイト		
R5F2156CFJFP	128 Kバイト		10 Kバイト		
R5F21566FKFP	32 Kバイト		2.5 Kバイト		
R5F21567FKFP	48 Kバイト		4 Kバイト		
R5F21568FKFP	64 Kバイト		6 Kバイト		
R5F2156AFKFP	96 Kバイト		8 Kバイト		
R5F2156CFKFP	128 Kバイト		10 Kバイト		

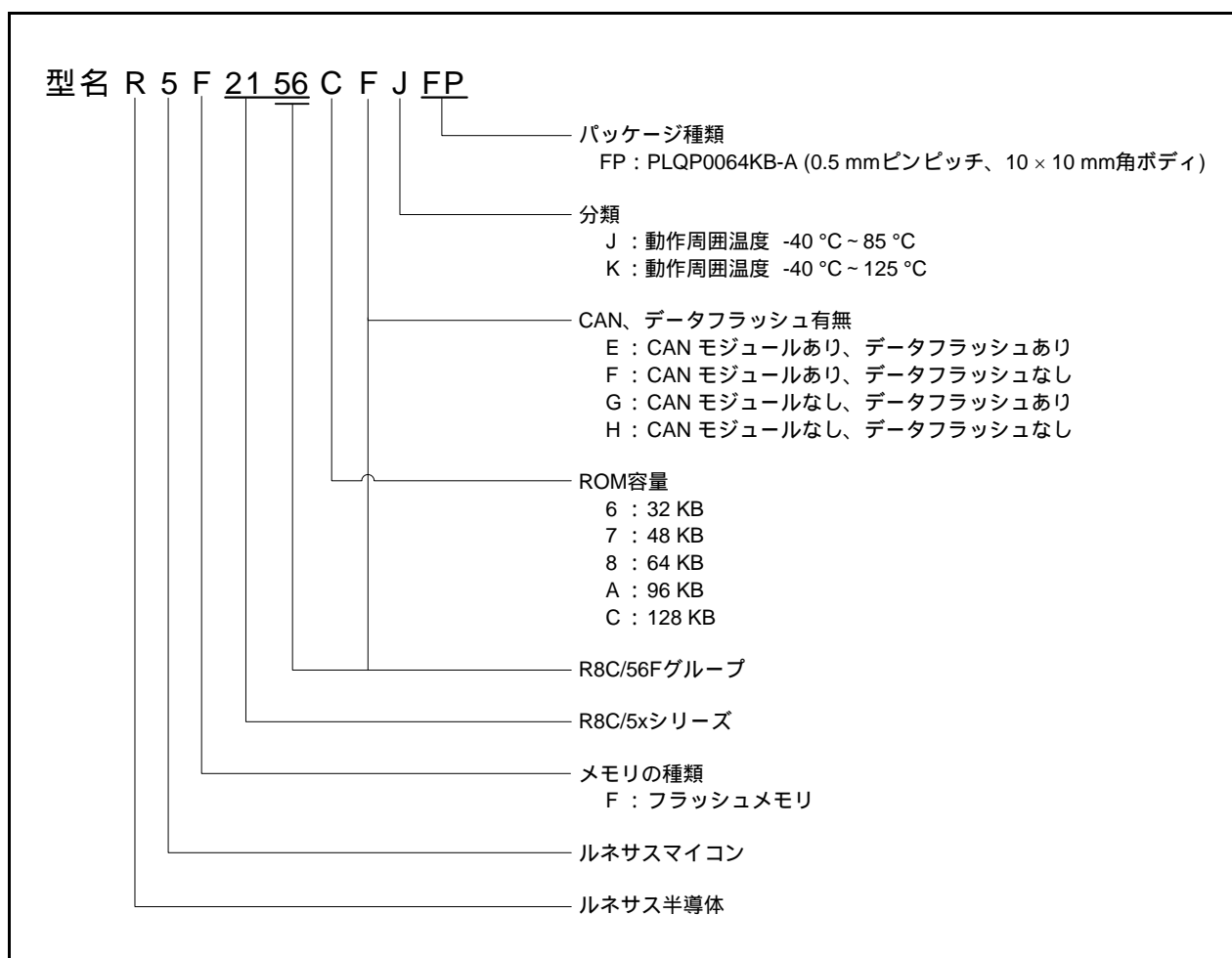


図1.2 R8C/56Fグループの型名とメモリサイズ・パッケージ

表1.15 R8C/56Gグループの製品一覧

2012年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21566GJFP	32 Kバイト	1 Kバイト × 4	2.5 Kバイト	PLQP0064KB-A	Jバージョン
R5F21567GJFP	48 Kバイト		4 Kバイト		
R5F21568GJFP	64 Kバイト		6 Kバイト		
R5F2156AGJFP	96 Kバイト		8 Kバイト		
R5F2156CGJFP	128 Kバイト		10 Kバイト		
R5F21566GKFP	32 Kバイト		2.5 Kバイト		
R5F21567GKFP	48 Kバイト		4 Kバイト		
R5F21568GKFP	64 Kバイト		6 Kバイト		
R5F2156AGKFP	96 Kバイト		8 Kバイト		
R5F2156CGKFP	128 Kバイト		10 Kバイト		

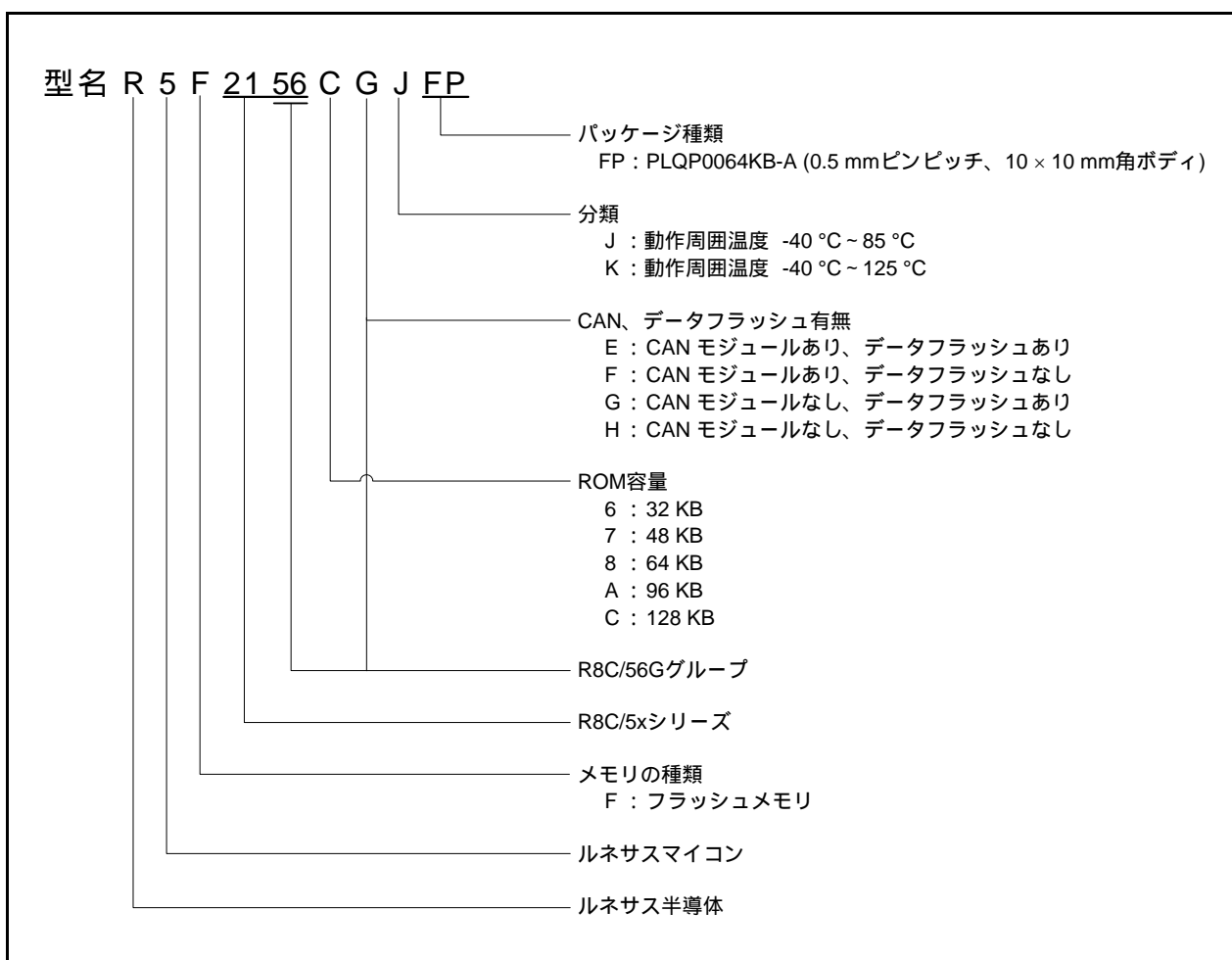


図1.3 R8C/56Gグループの型名とメモリサイズ・パッケージ

表1.16 R8C/56Hグループの製品一覧

2012年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM				
R5F21566HJFP	32 Kバイト		2.5 Kバイト	PLQP0064KB-A	Jバージョン
R5F21567HJFP	48 Kバイト		4 Kバイト		
R5F21568HJFP	64 Kバイト		6 Kバイト		
R5F2156AHJFP	96 Kバイト		8 Kバイト		
R5F2156CHJFP	128 Kバイト		10 Kバイト		
R5F21566HKFP	32 Kバイト		2.5 Kバイト		
R5F21567HKFP	48 Kバイト		4 Kバイト		
R5F21568HKFP	64 Kバイト		6 Kバイト		
R5F2156AHKFP	96 Kバイト		8 Kバイト		
R5F2156CHKFP	128 Kバイト		10 Kバイト		

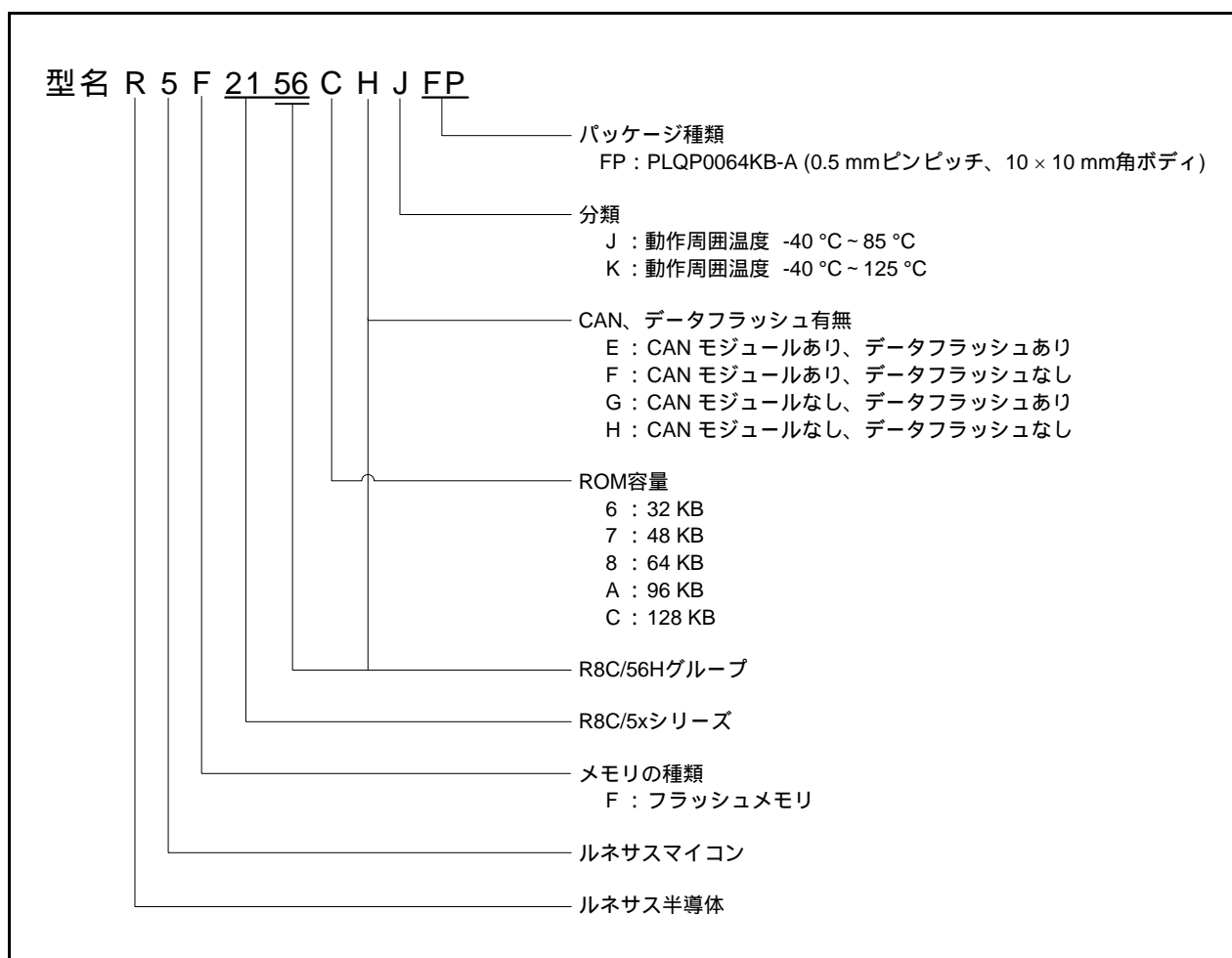


図1.4 R8C/56Hグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.5にブロック図を示します。

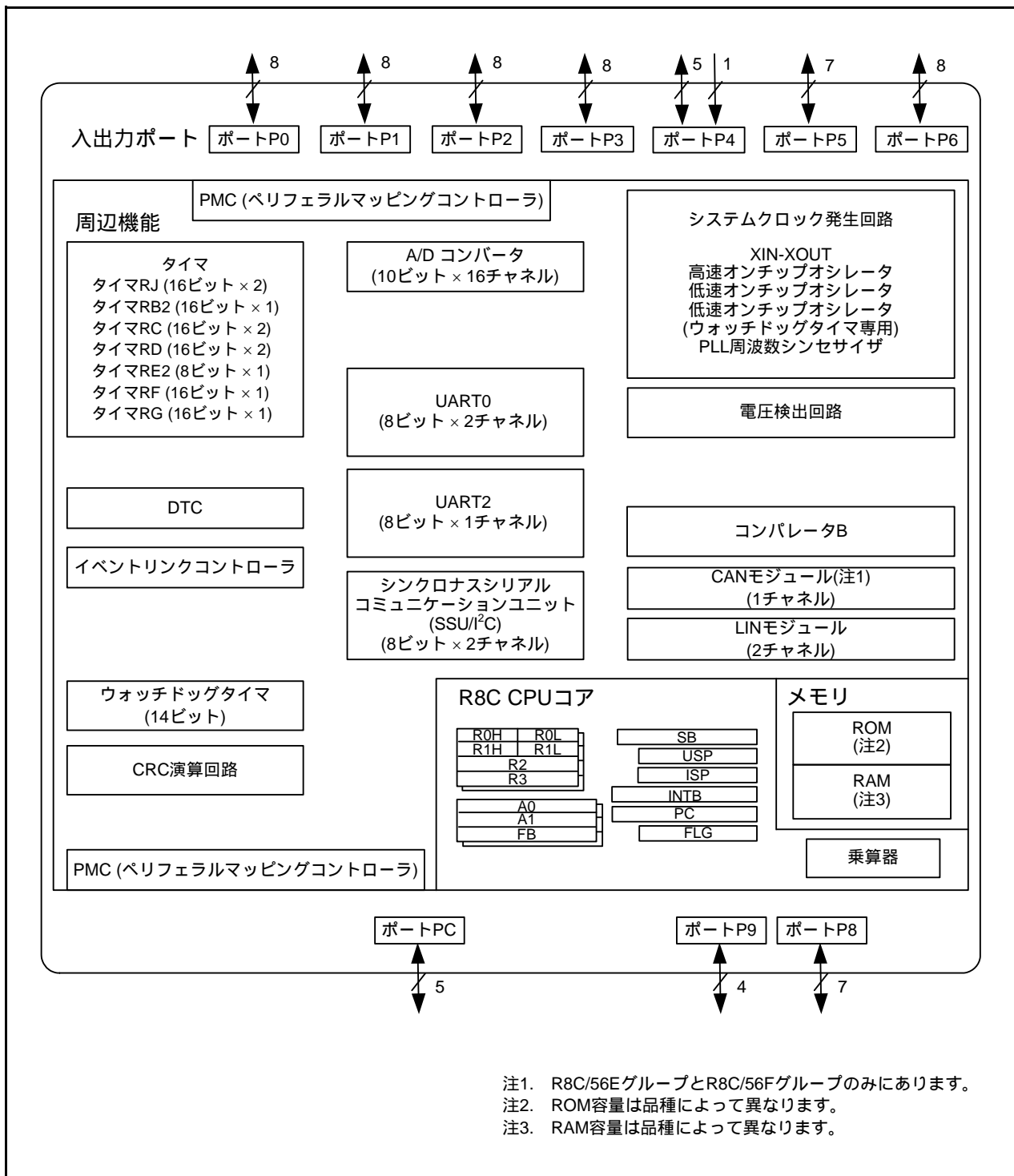


図1.5 ブロック図

1.4 ピン配置図

図1.6にピン配置図(上面図)を、表1.17～表1.22にピン番号別端子名一覧を示します。

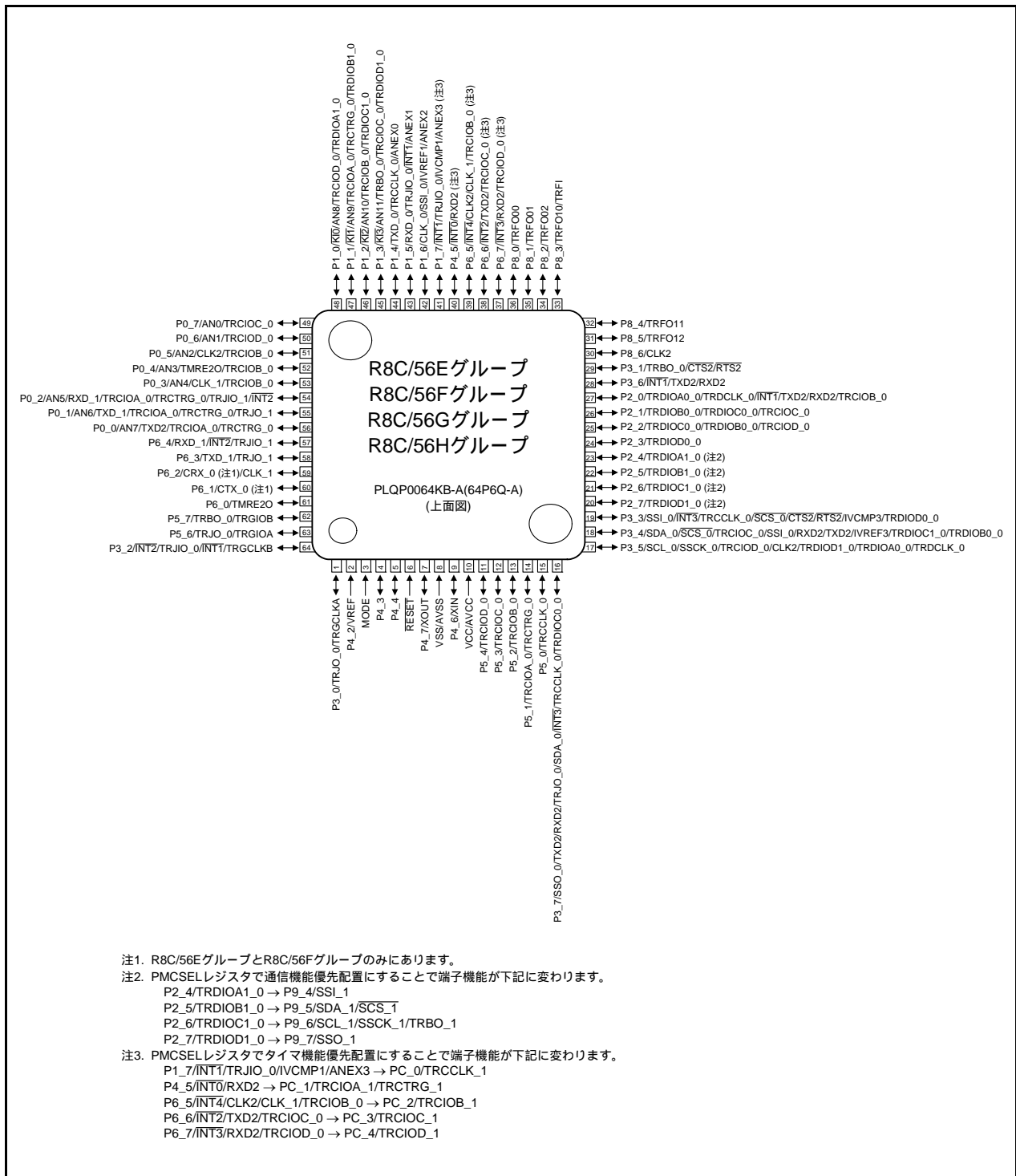


図1.6 ピン配置図(上面図)

表1.17 ピン番号別端子名一覧(割り込み、UART0、UART2)

ポート	端子番号	割り込み				UART0						UART2					
		INT0	INT1	INT2	INT3	INT4	TXD_0	TXD_1	RXD_0	RXD_1	CLK_0	CLK_1	TXD2	RXD2	CTS2	RTS2	CLK2
P0_0	56																
P0_1	55								TXD_1				TXD2				
P0_2	54			INT2													
P0_3	53											CLK_1					
P0_4	52																
P0_5	51																CLK2
P0_6	50																
P0_7	49																
P1_0	48																
P1_1	47																
P1_2	46																
P1_3	45																
P1_4	44						TXD_0										
P1_5	43		INT1						RXD_0								
P1_6	42										CLK_0						
P1_7	41 (注1)		INT1														
P2_0	27		INT1										TXD2	RXD2			
P2_1	26																
P2_2	25																
P2_3	24																
P2_4	23 (注1)																
P2_5	22 (注1)																
P2_6	21 (注1)																
P2_7	20 (注1)																
P3_0	1																
P3_1	29														CTS2	RTS2	
P3_2	64		INT1	INT2													
P3_3	19				INT3										CTS2	RTS2	
P3_4	18												TXD2	RXD2			
P3_5	17																CLK2
P3_6	28		INT1										TXD2	RXD2			
P3_7	16				INT3								TXD2	RXD2			
P4_2	2																
P4_3	4																
P4_4	5																
P4_5	40 (注1)	INT0												RXD2			
P4_6	9																
P4_7	7																
P5_0	15																
P5_1	14																
P5_2	13																
P5_3	12																
P5_4	11																
P5_6	63																
P5_7	62																
P6_0	61																
P6_1	60																
P6_2	59											CLK_1					
P6_3	58																
P6_4	57			INT2													
P6_5	39 (注1)					INT4											CLK2
P6_6	38 (注1)			INT2										TXD2			
P6_7	37 (注1)				INT3										RXD2		
P8_0	36																
P8_1	35																
P8_2	34																
P8_3	33																
P8_4	32																
P8_5	31																
P8_6	30																CLK2
P9_4	23 (注1)																
P9_5	22 (注1)																
P9_6	21 (注1)																
P9_7	20 (注1)																
PC_0	41 (注1)																
PC_1	40 (注1)																
PC_2	39 (注1)																
PC_3	38 (注1)																
PC_4	37 (注1)																

注1. PMC機能により端子配置が変わります。

表1.18 ピン番号別端子名一覧(CAN、SSU/I²C)

ポート	端子番号	CAN (注1)		SSU/I ² C											
		CTX_0	CRX_0	SCL_0	SCL_1	SDA_0	SDA_1	SSI_0	SSI_1	SCS_0	SCS_1	SSCK_0	SSCK_1	SSO_0	SSO_1
P0_0	56														
P0_1	55														
P0_2	54														
P0_3	53														
P0_4	52														
P0_5	51														
P0_6	50														
P0_7	49														
P1_0	48														
P1_1	47														
P1_2	46														
P1_3	45														
P1_4	44														
P1_5	43														
P1_6	42							SSI_0							
P1_7	41 (注2)														
P2_0	27														
P2_1	26														
P2_2	25														
P2_3	24														
P2_4	23 (注2)														
P2_5	22 (注2)														
P2_6	21 (注2)														
P2_7	20 (注2)														
P3_0	1														
P3_1	29														
P3_2	64														
P3_3	19							SSI_0		SCS_0					
P3_4	18					SDA_0		SSI_0		SCS_0					
P3_5	17			SCL_0								SSCK_0			
P3_6	28														
P3_7	16					SDA_0								SSO_0	
P4_2	2														
P4_3	4														
P4_4	5														
P4_5	40 (注2)														
P4_6	9														
P4_7	7														
P5_0	15														
P5_1	14														
P5_2	13														
P5_3	12														
P5_4	11														
P5_6	63														
P5_7	62														
P6_0	61														
P6_1	60	CTX_0													
P6_2	59		CRX_0												
P6_3	58														
P6_4	57														
P6_5	39 (注2)														
P6_6	38 (注2)														
P6_7	37 (注2)														
P8_0	36														
P8_1	35														
P8_2	34														
P8_3	33														
P8_4	32														
P8_5	31														
P8_6	30														
P9_4	23 (注2)							SSI_1							
P9_5	22 (注2)					SDA_1				SCS_1					
P9_6	21 (注2)			SCL_1								SSCK_1			
P9_7	20 (注2)														SSO_1
PC_0	41 (注2)														
PC_1	40 (注2)														
PC_2	39 (注2)														
PC_3	38 (注2)														
PC_4	37 (注2)														

注1. R8C/56EグループとR8C/56Fグループのみにあります。
注2. PMC機能により端子配置が変わります。

表1.19 ピン番号別端子名一覧(タイマRC)

ポート	端子番号	タイマRC												
		TRCCLK_0	TRCCLK_1	TRCIOA_0	TRCIOB_0	TRCIOC_0	TRCIOD_0	TRCTRГ_0	TRCCLK_1	TRCIOA_1	TRCIOB_1	TRCIOC_1	TRCIOD_1	TRCTRГ_1
P0_0	56			TRCIOA_0				TRCTRГ_0						
P0_1	55			TRCIOA_0				TRCTRГ_0						
P0_2	54			TRCIOA_0				TRCTRГ_0						
P0_3	53				TRCIOB_0									
P0_4	52				TRCIOB_0									
P0_5	51				TRCIOB_0									
P0_6	50						TRCIOD_0							
P0_7	49					TRCIOC_0								
P1_0	48						TRCIOD_0							
P1_1	47			TRCIOA_0				TRCTRГ_0						
P1_2	46				TRCIOB_0									
P1_3	45					TRCIOC_0								
P1_4	44	TRCCLK_0												
P1_5	43													
P1_6	42													
P1_7	41 (注1)													
P2_0	27				TRCIOB_0									
P2_1	26					TRCIOC_0								
P2_2	25						TRCIOD_0							
P2_3	24													
P2_4	23 (注1)													
P2_5	22 (注1)													
P2_6	21 (注1)													
P2_7	20 (注1)													
P3_0	1													
P3_1	29													
P3_2	64													
P3_3	19	TRCCLK_0												
P3_4	18					TRCIOC_0								
P3_5	17						TRCIOD_0							
P3_6	28													
P3_7	16	TRCCLK_0												
P4_2	2													
P4_3	4													
P4_4	5													
P4_5	40 (注1)													
P4_6	9													
P4_7	7													
P5_0	15	TRCCLK_0												
P5_1	14			TRCIOA_0				TRCTRГ_0						
P5_2	13				TRCIOB_0									
P5_3	12					TRCIOC_0								
P5_4	11						TRCIOD_0							
P5_6	63													
P5_7	62													
P6_0	61													
P6_1	60													
P6_2	59													
P6_3	58													
P6_4	57													
P6_5	39 (注1)				TRCIOB_0									
P6_6	38 (注1)					TRCIOC_0								
P6_7	37 (注1)						TRCIOD_0							
P8_0	36													
P8_1	35													
P8_2	34													
P8_3	33													
P8_4	32													
P8_5	31													
P8_6	30													
P9_4	23 (注1)													
P9_5	22 (注1)													
P9_6	21 (注1)													
P9_7	20 (注1)													
PC_0	41 (注1)								TRCCLK_1					
PC_1	40 (注1)									TRCIOA_1				TRCTRГ_1
PC_2	39 (注1)										TRCIOB_1			
PC_3	38 (注1)											TRCIOC_1		
PC_4	37 (注1)												TRCIOD_1	

注1. PMC機能により端子配置が変わります。

表1.20 ピン番号別端子名一覧(タイマRD)

ポート	端子番号	タイマRD								
		TRDCLK_0	TRDIOA0_0	TRDIOB0_0	TRDIOC0_0	TRDIOD0_0	TRDIOA1_0	TRDIOB1_0	TRDIOC1_0	TRDIOD1_0
P0_0	56									
P0_1	55									
P0_2	54									
P0_3	53									
P0_4	52									
P0_5	51									
P0_6	50									
P0_7	49									
P1_0	48						TRDIOA1_0			
P1_1	47							TRDIOB1_0		
P1_2	46								TRDIOC1_0	
P1_3	45									TRDIOD1_0
P1_4	44									
P1_5	43									
P1_6	42									
P1_7	41 (注1)									
P2_0	27	TRDCLK_0	TRDIOA0_0							
P2_1	26			TRDIOB0_0	TRDIOC0_0					
P2_2	25			TRDIOB0_0	TRDIOC0_0					
P2_3	24					TRDIOD0_0				
P2_4	23 (注1)						TRDIOA1_0			
P2_5	22 (注1)							TRDIOB1_0		
P2_6	21 (注1)								TRDIOC1_0	
P2_7	20 (注1)									TRDIOD1_0
P3_0	1									
P3_1	29									
P3_2	64									
P3_3	19					TRDIOD0_0				
P3_4	18			TRDIOB0_0				TRDIOC1_0		
P3_5	17	TRDCLK_0	TRDIOA0_0							TRDIOD1_0
P3_6	28									
P3_7	16				TRDIOC0_0					
P4_2	2									
P4_3	4									
P4_4	5									
P4_5	40 (注1)									
P4_6	9									
P4_7	7									
P5_0	15									
P5_1	14									
P5_2	13									
P5_3	12									
P5_4	11									
P5_6	63									
P5_7	62									
P6_0	61									
P6_1	60									
P6_2	59									
P6_3	58									
P6_4	57									
P6_5	39 (注1)									
P6_6	38 (注1)									
P6_7	37 (注1)									
P8_0	36									
P8_1	35									
P8_2	34									
P8_3	33									
P8_4	32									
P8_5	31									
P8_6	30									
P9_4	23 (注1)									
P9_5	22 (注1)									
P9_6	21 (注1)									
P9_7	20 (注1)									
PC_0	41 (注1)									
PC_1	40 (注1)									
PC_2	39 (注1)									
PC_3	38 (注1)									
PC_4	37 (注1)									

注1. PMC機能により端子配置が変わります。

表1.21 ピン番号別端子名一覧(タイマRJ、タイマRB2、タイマRE2、タイマRF)

ポート	端子番号	タイマRJ				タイマRB2	タイマRE2	タイマRF							
		TRJO_0	TRJO_1	TRJIO_0	TRJIO_1	TRBO_0	TMRE20	TRFI	TRFO00	TRFO01	TRFO02	TRFO10	TRFO11	TRFO12	
P0_0	56														
P0_1	55		TRJO_1												
P0_2	54				TRJIO_1										
P0_3	53														
P0_4	52						TMRE20								
P0_5	51														
P0_6	50														
P0_7	49														
P1_0	48														
P1_1	47														
P1_2	46														
P1_3	45					TRBO_0									
P1_4	44														
P1_5	43		TRJIO_0												
P1_6	42														
P1_7	41 (注1)		TRJIO_0												
P2_0	27														
P2_1	26														
P2_2	25														
P2_3	24														
P2_4	23 (注1)														
P2_5	22 (注1)														
P2_6	21 (注1)														
P2_7	20 (注1)														
P3_0	1	TRJO_0													
P3_1	29					TRBO_0									
P3_2	64		TRJIO_0												
P3_3	19														
P3_4	18														
P3_5	17														
P3_6	28														
P3_7	16	TRJO_0													
P4_2	2														
P4_3	4														
P4_4	5														
P4_5	40 (注1)														
P4_6	9														
P4_7	7														
P5_0	15														
P5_1	14														
P5_2	13														
P5_3	12														
P5_4	11														
P5_6	63	TRJO_0													
P5_7	62					TRBO_0									
P6_0	61						TMRE20								
P6_1	60														
P6_2	59														
P6_3	58		TRJO_1												
P6_4	57				TRJIO_1										
P6_5	39 (注1)														
P6_6	38 (注1)														
P6_7	37 (注1)														
P8_0	36								TRFO00						
P8_1	35									TRFO01					
P8_2	34										TRFO02				
P8_3	33							TRFI				TRFO10			
P8_4	32												TRFO11		
P8_5	31													TRFO12	
P8_6	30														
P9_4	23 (注1)														
P9_5	22 (注1)														
P9_6	21 (注1)														
P9_7	20 (注1)														
PC_0	41 (注1)														
PC_1	40 (注1)														
PC_2	39 (注1)														
PC_3	38 (注1)														
PC_4	37 (注1)														

注1. PMC機能により端子配置が変わります。

表1.22 ピン番号別端子名一覧(タイマRG、その他)

ポート	端子番号	タイマRG				その他		
		TRGCLKA	TRGCLKB	TRGIOA	TRGGIOB			
P0_0	56					AN7		
P0_1	55					AN6		
P0_2	54					AN5		
P0_3	53					AN4		
P0_4	52					AN3		
P0_5	51					AN2		
P0_6	50					AN1		
P0_7	49					AN0		
P1_0	48					KI0	AN8	
P1_1	47					KI1	AN9	
P1_2	46					KI2	AN10	
P1_3	45					KI3	AN11	
P1_4	44						ANEX0	
P1_5	43						ANEX1	
P1_6	42					IVREF1		ANEX2
P1_7	41 (注1)					IVCMP1	ANEX3	
P2_0	27							
P2_1	26							
P2_2	25							
P2_3	24							
P2_4	23 (注1)							
P2_5	22 (注1)							
P2_6	21 (注1)							
P2_7	20 (注1)							
P3_0	1	TRGCLKA						
P3_1	29							
P3_2	64		TRGCLKB					
P3_3	19					IVCMP3		
P3_4	18					IVREF3		
P3_5	17							
P3_6	28							
P3_7	16							
P4_2	2					VREF		
P4_3	4							
P4_4	5							
P4_5	40 (注1)							
P4_6	9					XIN		
P4_7	7					XOUT		
P5_0	15							
P5_1	14							
P5_2	13							
P5_3	12							
P5_4	11							
P5_6	63			TRGIOA				
P5_7	62				TRGGIOB			
P6_0	61							
P6_1	60							
P6_2	59							
P6_3	58							
P6_4	57							
P6_5	39 (注1)							
P6_6	38 (注1)							
P6_7	37 (注1)							
P8_0	36							
P8_1	35							
P8_2	34							
P8_3	33							
P8_4	32							
P8_5	31							
P8_6	30							
P9_4	23 (注1)							
P9_5	22 (注1)							
P9_6	21 (注1)							
P9_7	20 (注1)							
PC_0	41 (注1)							
PC_1	40 (注1)							
PC_2	39 (注1)							
PC_3	38 (注1)							
PC_4	37 (注1)							

注1. PMC機能により端子配置が変わります。

1.5 端子機能の説明

表1.23、表1.24に端子機能の説明を示します。

表1.23 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	CPUクロック = 32 MHzのとき、VCCには2.7 V ~ 5.5 Vを入力してください。 VSSには、0 Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの電源入力です。 AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子にLを入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。
XINクロック出力	XOUT	入出力	XINとXOUTの間には、セラミック共振子または水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XOUTからクロックを入力し、XINは開放にしてください。
INT割り込み入力	INT0 ~ INT4	入力	INT割り込みの入力です。
キー入力割り込み	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマRJ_0、RJ_1	TRJIO_0、TRJIO_1	入出力	タイマRJの入出力です。
	TRJO_0、TRJO_1	出力	タイマRJの出力です。
タイマRB2_0	TRBO_0	出力	タイマRB2の出力です。
タイマRC_0、RC_1	TRCCLK_0、TRCCLK_1	入力	外部クロック入力です。
	TRCTRG_0、TRCTRG_1	入力	外部トリガ入力です。
	TRCIOA_0、TRCIOB_0、TRCIOA_1、TRCIOB_1、TRCIOA_0、TRCIOB_0、TRCIOA_1、TRCIOB_1、TRCIOA_1、TRCIOB_1、TRCIOA_1、TRCIOB_1	入出力	タイマRCの入出力です。
タイマRD_0	TRDIOA0_0、TRDIOA1_0、TRDIOB0_0、TRDIOB1_0、TRDIOD0_0、TRDIOD1_0	入出力	タイマRDの入出力です。
	TRDCLK_0	入力	外部クロック入力です。
タイマRE2	TMRE2O	出力	分周クロックの出力です。
タイマRF	TRFO00、TRFO10、TRFO01、TRFO11、TRFO02、TRFO12	出力	タイマRFの出力です。
	TRFI	入力	タイマRFの入力です。
タイマRG	TRGIOA、TRGIOB	入出力	タイマRGの入出力です。
	TRGCLKA、TRGCLKB	入力	外部クロック入力です。
シリアルインタフェース(UART0)	CLK_0、CLK_1	入出力	転送クロック入出力です。
	RXD_0、RXD_1	入力	シリアルデータ入力です。
	TXD_0、TXD_1	出力	シリアルデータ出力です。

注1. 発振特性は発振子メーカーにお問い合わせください。

表1.24 端子機能の説明(2)

分類	端子名	入出力	機能
シリアルインタフェース(UART2)	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	RXD2	入力	シリアルデータ入力です。
	TXD2	出力	シリアルデータ出力です。
	CLK2	入出力	転送クロック入出力です。
シンクロナスシリアルコミュニケーションユニット(SSU_0、SSU_1)	SSI_0、SSI_1	入出力	データ入出力です。
	SCS_0、SCS_1	入出力	チップセレクト入出力です。
	SSCK_0、SSCK_1	入出力	クロック入出力です。
	SSO_0、SSO_1	入出力	データ入出力です。
I ² Cバス(I ² C_0、I ² C_1)	SCL_0、SCL_1	入出力	クロック入出力です。
	SDA_0、SDA_1	入出力	データ入出力です。
CANモジュール(CAN_0)(注1)	CRX_0	入力	CANのデータ入力です。
	CTX_0	出力	CANのデータ出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN11、ANEX0 ~ ANEX3	入力	A/Dコンバータのアナログ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力です。
	IVREF1、IVREF3	入力	コンパレータBの基準電圧入力です。
入出力ポート	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0 ~ P3_7、 P4_3 ~ P4_7、 P5_0 ~ P5_4、P5_6、 P5_7 P6_0 ~ P6_7、 P8_0 ~ P8_6、 P9_4 ~ P9_7、 PC_0 ~ PC_4	入出力	CMOSの8ビット入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 すべてのポートは、LED駆動(高駆動)ポートとして使用できます。
入力ポート	P4_2	入力	入力専用ポートです。

注1. R8C/56EグループとR8C/56Fグループのみにあります。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

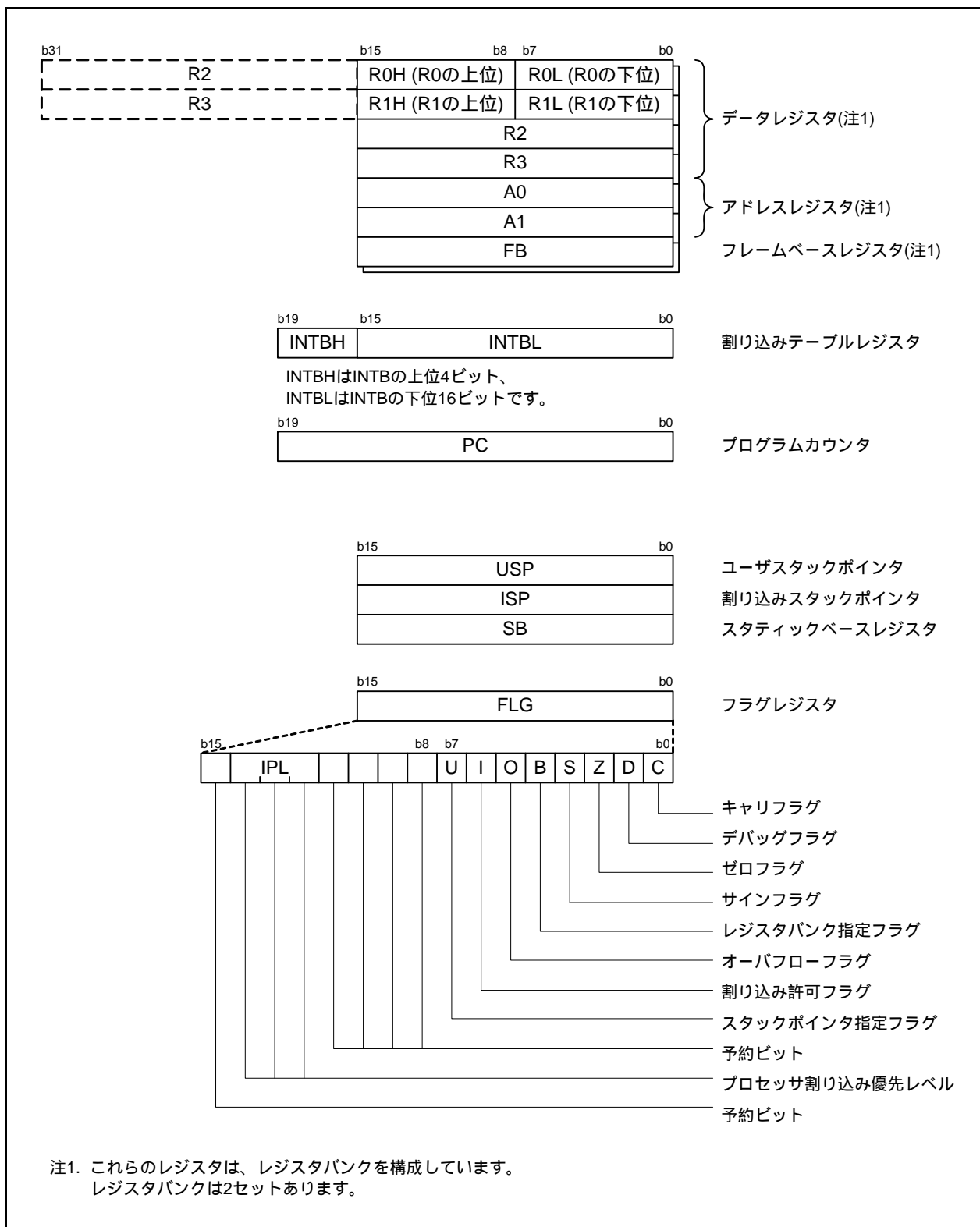


図2.1 CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、ともに16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。0にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき1になり、それ以外のとき0になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき1になり、それ以外のとき0になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが0の場合、レジスタバンク0が指定され、1の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに1になります。それ以外では0になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが0の場合、マスクブル割り込みは禁止され、1の場合、許可されます。割り込み要求を受け付けると、Iフラグは0になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが0の場合、ISPが指定され、1の場合、USPが指定されます。ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは0になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、0を書いてください。読んだ場合、その値は不定です。

3. アドレス空間

3.1 R8C/56Eグループのメモリマップ

図3.1にR8C/56Eグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は07000h番地から07FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

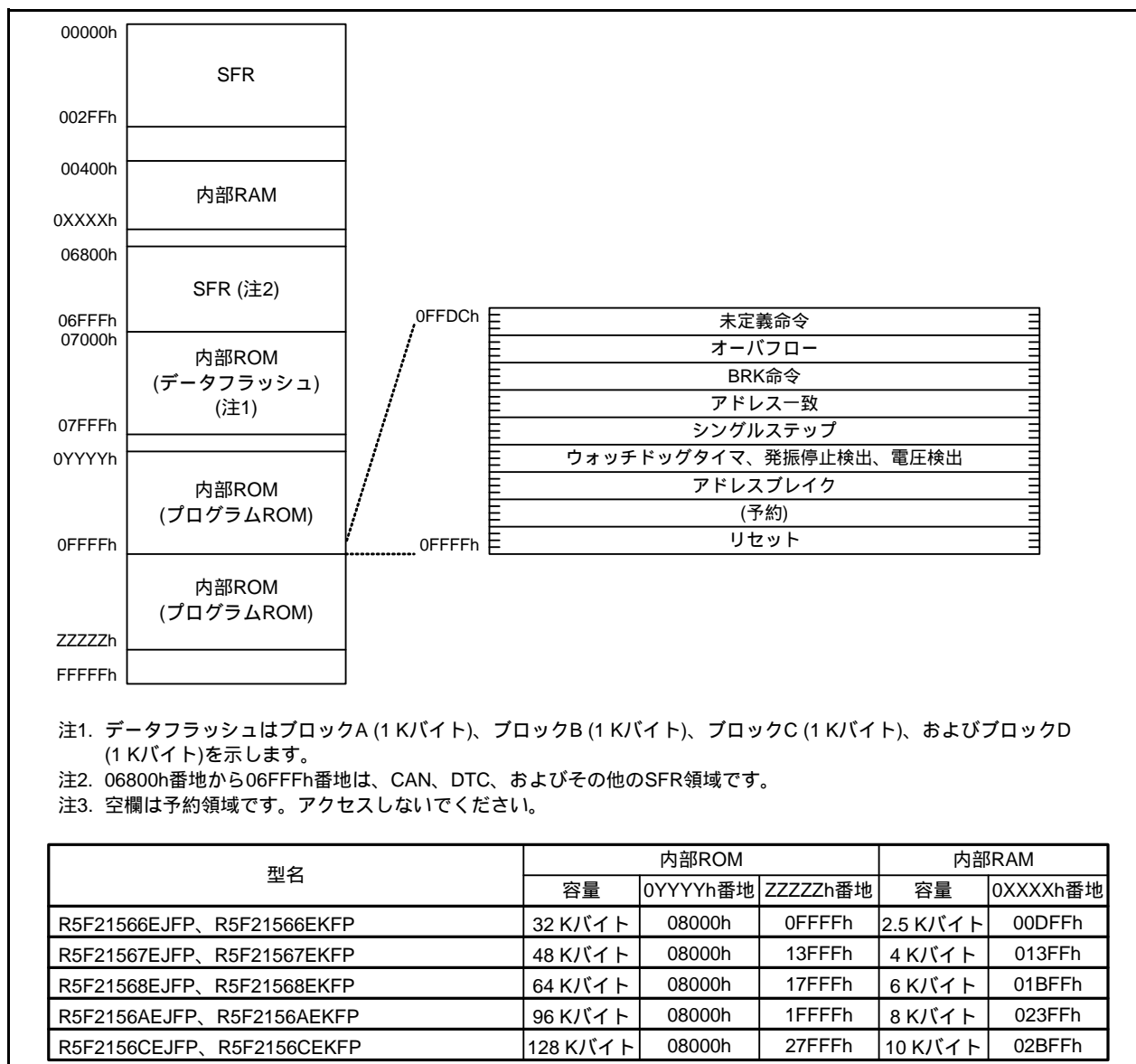


図3.1 R8C/56Eグループのメモリ配置図

3.2 R8C/56Fグループのメモリマップ

図3.2にR8C/56Fグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

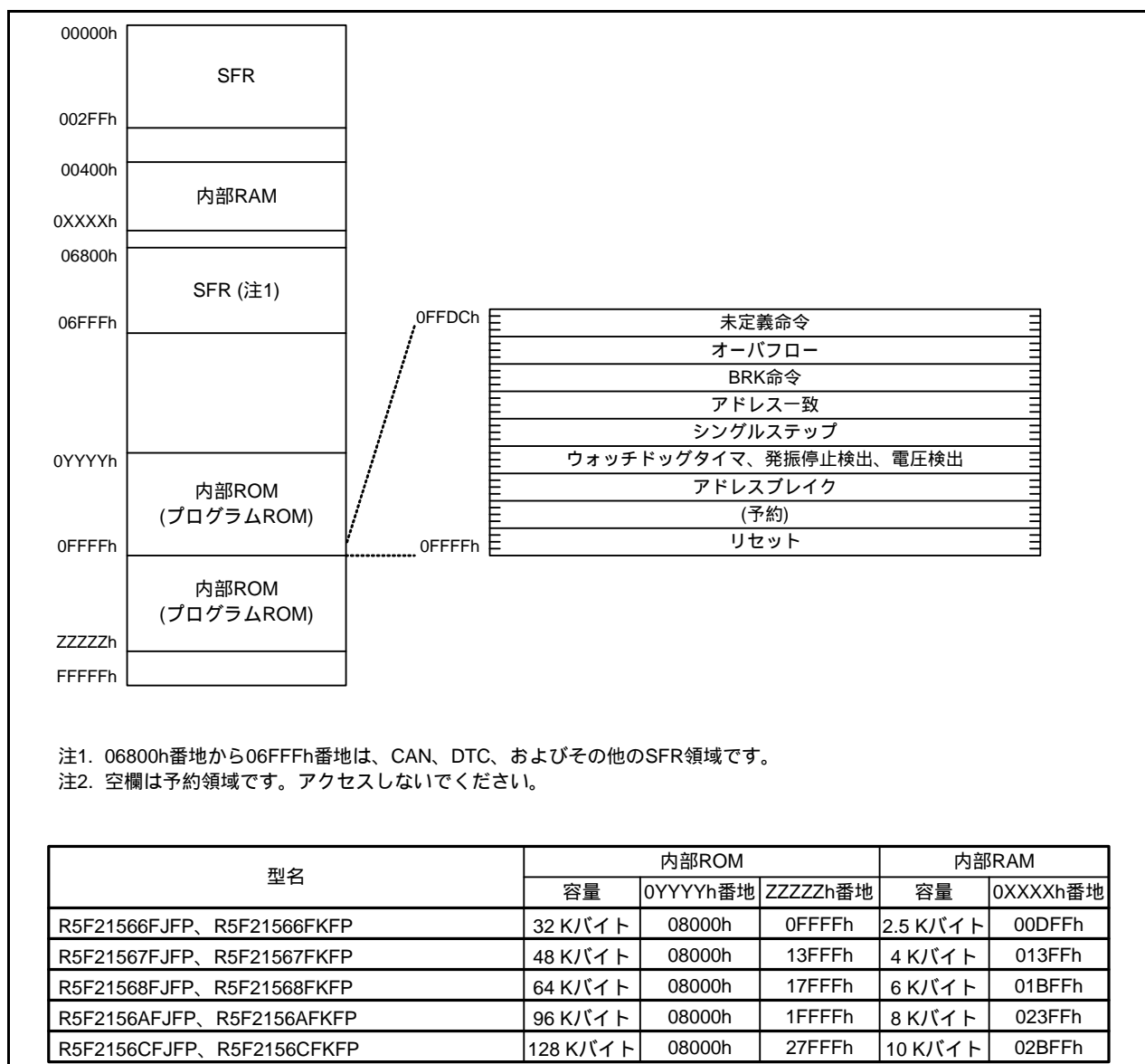


図3.2 R8C/56Fグループのメモリ配置図

3.3 R8C/56Gグループのメモリマップ

図3.3にR8C/56Gグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は07000h番地から07FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

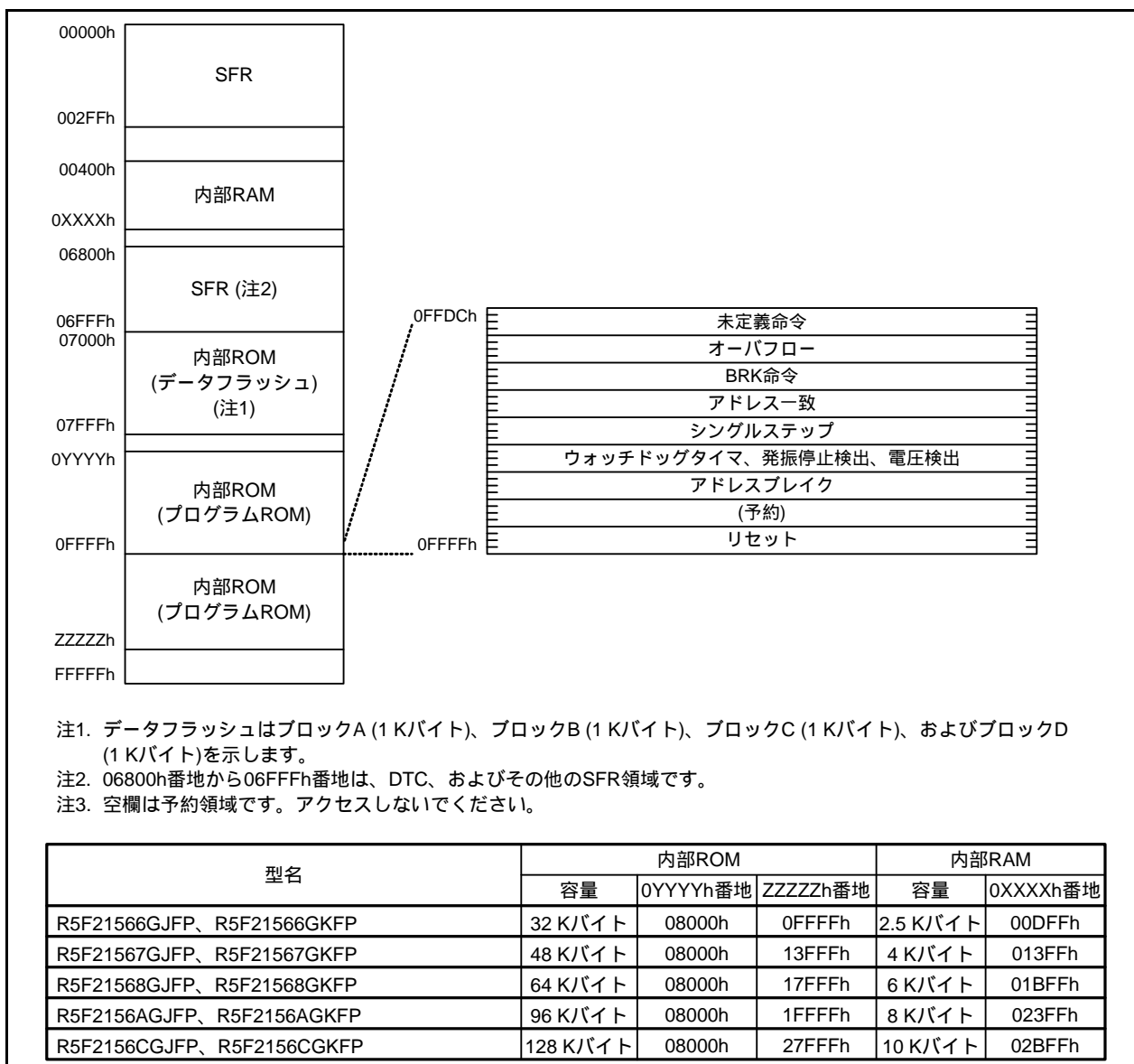


図3.3 R8C/56Gグループのメモリ配置図

3.4 R8C/56Hグループのメモリマップ

図3.4にR8C/56Hグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

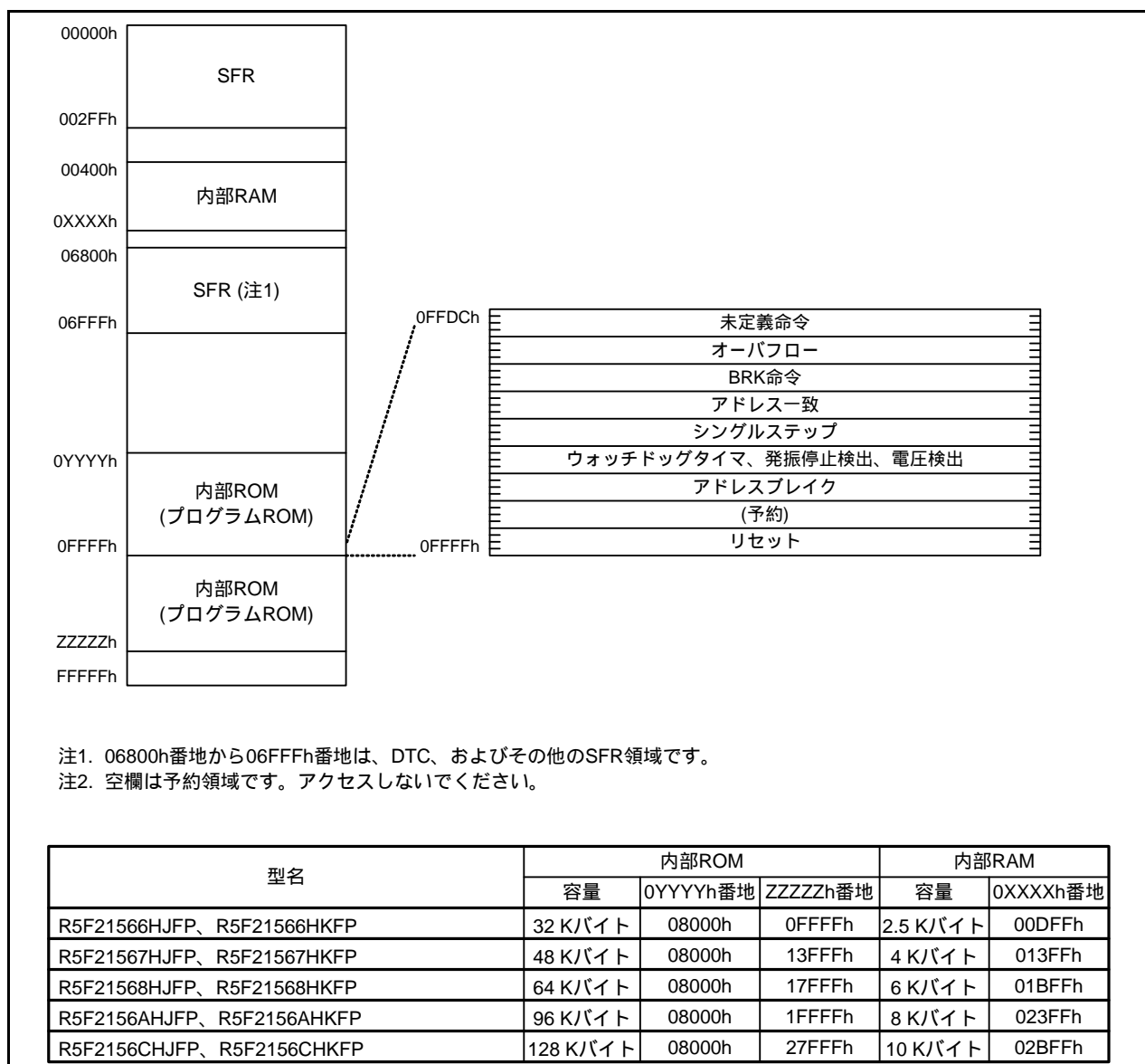


図3.4 R8C/56Hグループのメモリ配置図

3.5 SFR

SFR (Special Function Register) は、周辺機能の制御レジスタです。表3.1～表3.23にSFR一覧を、表3.24にIDコード領域、オプション機能選択領域を示します。

表3.1 SFR一覧(1)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00000h				
00001h				
00002h				
00003h				
00004h	PM0	プロセッサモードレジスタ0	00h	
00005h	PM1	プロセッサモードレジスタ1	10000000b	
00006h				
00007h	PRCR	プロテクトレジスタ	00h	
00008h	CM0	システムクロック制御レジスタ0	00101000b	
00009h	CM1	システムクロック制御レジスタ1	00100000b	
0000Ah	OCD	発振停止検出レジスタ	00h	
0000Bh	CM3	システムクロック制御レジスタ3	00h	
0000Ch	CM4	システムクロック制御レジスタ4	00000001b	
0000Dh				
0000Eh				
0000Fh	PCLKR1	周辺クロック選択レジスタ1	00h	
00010h				
00011h				
00012h	FRA0	高速オンチップオシレータ制御レジスタ0	00h	
00013h				
00014h	FRA2	高速オンチップオシレータ制御レジスタ2	00h	
00015h				
00016h				
00017h				
00018h				
00019h				
0001Ah				
0001Bh				
0001Ch	PLC0	PLL制御レジスタ0	00010010b	
0001Dh				
0001Eh				
0001Fh				
00020h	RISR	リセット割り込み選択レジスタ	10000000b、00000000b	(注2)
00021h	WDTR	ウォッチドッグタイマリセットレジスタ	FFh	
00022h	WDTS	ウォッチドッグタイマスタートレジスタ	FFh	
00023h	WDTC	ウォッチドッグタイマ制御レジスタ	01111111b	
00024h	CSPR	カウントソース保護モードレジスタ	10000000b、00000000b	(注2)
00025h				
00026h				
00027h				
00028h	RSTFR	リセット要因判別レジスタ	00XXXXXXb	
00029h				
0002Ah				
0002Bh				
0002Ch	SVDC	STBY VDC電力制御レジスタ	00h	
0002Dh				
0002Eh				
0002Fh				
00030h	CMPA	電圧監視回路制御レジスタ	00h	
00031h	VCAC	電圧監視回路エッジ選択レジスタ	00h	
00032h	OCVREFCR	チップ内蔵基準電圧制御レジスタ	00h	
00033h				
00034h	VCA2	電圧検出レジスタ2	00000000b、00100000b	(注3)
00035h				
00036h	VD1LS	電圧検出1レベル選択レジスタ	00000111b	
00037h				
00038h	VW0C	電圧監視0回路制御レジスタ	1100XX10b、1100XX11b	(注3)
00039h	VW1C	電圧監視1回路制御レジスタ	10001010b	

X：不定

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタのCSPROINIビットの値によってリセット後の値が異なります。

注3. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

表3.2 SFR一覧(2)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0003Ah	VW2C	電圧監視2回路制御レジスタ	10001010b	
0003Bh				
0003Ch				
0003Dh				
0003Eh				
0003Fh				
00040h				
00041h	FMRDYIC	割り込み制御レジスタ	00h	
00042h	TRJIC_1	割り込み制御レジスタ	00h	
00043h				
00044h				
00045h				
00046h	INT4IC	割り込み制御レジスタ	00h	
00047h	TRCIC_0	割り込み制御レジスタ	00h	
00048h	TRD0IC_0	割り込み制御レジスタ	00h	
00049h	TRD1IC_0	割り込み制御レジスタ	00h	
0004Ah	TRE2IC	割り込み制御レジスタ	00h	
0004Bh	U2TIC	割り込み制御レジスタ	00h	
0004Ch	U2RIC	割り込み制御レジスタ	00h	
0004Dh	KUPIC	割り込み制御レジスタ	00h	
0004Eh	ADIC	割り込み制御レジスタ	00h	
0004Fh	SSUIC_0/IICIC_0	割り込み制御レジスタ	00h	
00050h	TRFIC	割り込み制御レジスタ	00h	
00051h	U0TIC_0	割り込み制御レジスタ	00h	
00052h	U0RIC_0	割り込み制御レジスタ	00h	
00053h	U0TIC_1	割り込み制御レジスタ	00h	
00054h	U0RIC_1	割り込み制御レジスタ	00h	
00055h	INT2IC	割り込み制御レジスタ	00h	
00056h	TRJIC_0	割り込み制御レジスタ	00h	
00057h				
00058h	TRB2IC_0	割り込み制御レジスタ	00h	
00059h	INT1IC	割り込み制御レジスタ	00h	
0005Ah	INT3IC	割り込み制御レジスタ	00h	
0005Bh				
0005Ch				
0005Dh	INT0IC	割り込み制御レジスタ	00h	
0005Eh	U2BCNIC	割り込み制御レジスタ	00h	
0005Fh				
00060h				
00061h				
00062h				
00063h				
00064h				
00065h				
00066h				
00067h				
00068h				
00069h				
0006Ah				
0006Bh	TRGIC	割り込み制御レジスタ	00h	
0006Ch	CANRXIC_0	割り込み制御レジスタ	00h	
0006Dh	CANTXIC_0	割り込み制御レジスタ	00h	
0006Eh	CANERIC_0	割り込み制御レジスタ	00h	
0006Fh				
00070h				
00071h				
00072h	VCMP1IC	割り込み制御レジスタ	00h	
00073h	VCMP2IC	割り込み制御レジスタ	00h	
00074h				
00075h				
00076h				
00077h				
00078h				
00079h	SSUIC_1/IICIC_1	割り込み制御レジスタ	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表3.3 SFR一覧(3)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0007Ah				
0007Bh				
0007Ch				
0007Dh				
0007Eh				
0007Fh	TRCIC_1	割り込み制御レジスタ	00h	
00080h	U0MR_0	UART0_0送受信モードレジスタ	00h	
00081h	U0BRG_0	UART0_0ビットレートレジスタ	XXh	
00082h	U0TB_0	UART0_0送信バッファレジスタ	XXh	
00083h			XXh	
00084h	U0C0_0	UART0_0送受信制御レジスタ0	00001000b	
00085h	U0C1_0	UART0_0送受信制御レジスタ1	00000010b	
00086h	U0RB_0	UART0_0受信バッファレジスタ	XXXXh	
00087h				
00088h	U0IR_0	UART0_0割り込みフラグと許可レジスタ	00h	
00089h				
0008Ah				
0008Bh				
0008Ch	LINCR2_0	LIN_0特殊機能レジスタ	00h	
0008Dh				
0008Eh	LINCT_0	LIN_0制御レジスタ	00h	
0008Fh	LINST_0	LIN_0ステータスレジスタ	00h	
00090h	U0MR_1	UART0_1送受信モードレジスタ	00h	
00091h	U0BRG_1	UART0_1ビットレートレジスタ	XXh	
00092h	U0TB_1	UART0_1送信バッファレジスタ	XXh	
00093h			XXh	
00094h	U0C0_1	UART0_1送受信制御レジスタ0	00001000b	
00095h	U0C1_1	UART0_1送受信制御レジスタ1	00000010b	
00096h	U0RB_1	UART0_1受信バッファレジスタ	XXXXh	
00097h				
00098h	U0IR_1	UART0_1割り込みフラグと許可レジスタ	00h	
00099h				
0009Ah				
0009Bh				
0009Ch	LINCR2_1	LIN_1特殊機能レジスタ	00h	
0009Dh				
0009Eh	LINCT_1	LIN_1制御レジスタ	00h	
0009Fh	LINST_1	LIN_1ステータスレジスタ	00h	
000A0h				
000A1h				
000A2h				
000A3h				
000A4h				
000A5h				
000A6h				
000A7h				
000A8h				
000A9h				
000AAh				
000ABh				
000ACh				
000ADh				
000AEh				
000AFh				
000B0h				
000B1h				
000B2h				
000B3h				
000B4h				
000B5h				
000B6h				
000B7h				
000B8h				
000B9h				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.4 SFR一覧(4)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
000BAh				
000BBh				
000BCh				
000BDh				
000BEh				
000BFh				
000C0h	U2MR	UART2送受信モードレジスタ	00h	
000C1h	U2BRG	UART2ビットレートレジスタ	00h	
000C2h	U2TB	UART2送信バッファレジスタ	00h	
000C3h			00h	
000C4h	U2C0	UART2送受信制御レジスタ0	00001000b	
000C5h	U2C1	UART2送受信制御レジスタ1	00000010b	
000C6h	U2RB	UART2受信バッファレジスタ	0000h	
000C7h				
000C8h	U2RXDF	UART2デジタルフィルタ機能選択レジスタ	00h	
000C9h				
000CAh				
000CBh				
000CCh				
000CDh				
000CEh				
000CFh				
000D0h	U2SMR5	UART2特殊モードレジスタ5	00h	
000D1h				
000D2h				
000D3h				
000D4h				
000D5h	U2SMR3	UART2特殊モードレジスタ3	00h	
000D6h				
000D7h	U2SMR	UART2特殊モードレジスタ	00h	
000D8h				
000D9h				
000DAh				
000DBh				
000DCh				
000DDh				
000DEh				
000DFh				
000E0h	IICCR_0	I ² C_0制御レジスタ	00001110b	
000E1h	SSBR_0	SS_0ビットカウンタレジスタ	11111000b	
000E2h	SITDR_0	SI_0送信データレジスタ	FFh	
000E3h			FFh	
000E4h	SIRDR_0	SI_0受信データレジスタ	FFh	
000E5h			FFh	
000E6h	SICR1_0	SI_0制御レジスタ1	00h	
000E7h	SICR2_0	SI_0制御レジスタ2	0111101b	
000E8h	SIMR1_0	SI_0モードレジスタ1	00010000b	
000E9h	SIER_0	SI_0割り込み許可レジスタ	00h	
000EAh	SISR_0	SI_0ステータスレジスタ	00h	
000EBh	SIMR2_0	SI_0モードレジスタ2	00h	
000ECh				
000EDh				
000EEh				
000EFh				
000F0h	IICCR_1	I ² C_1制御レジスタ	00001110b	
000F1h	SSBR_1	SS_1ビットカウンタレジスタ	11111000b	
000F2h	SITDR_1	SI_1送信データレジスタ	FFh	
000F3h			FFh	
000F4h	SIRDR_1	SI_1受信データレジスタ	FFh	
000F5h			FFh	
000F6h	SICR1_1	SI_1制御レジスタ1	00h	
000F7h	SICR2_1	SI_1制御レジスタ2	0111101b	
000F8h	SIMR1_1	SI_1モードレジスタ1	00010000b	
000F9h	SIER_1	SI_1割り込み許可レジスタ	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表3.5 SFR一覧(5)(注1)

アドレス	シンボル		レジスタ名	リセット後の値	備考
000FAh	SISR_1		SI_1ステータスレジスタ	00h	
000FBh	SIMR2_1		SI_1モードレジスタ2	00h	
000FCh					
000FDh					
000FEh					
000FFh					
00100h					
00101h					
00102h					
00103h					
00104h					
00105h					
00106h					
00107h					
00108h					
00109h					
0010Ah					
0010Bh					
0010Ch					
0010Dh					
0010Eh					
0010Fh					
00110h	TRJ_0		タイマRJ_0カウンタレジスタ	FFFFh	
00111h					
00112h	TRJCR_0		タイマRJ_0制御レジスタ	00h	
00113h	TRJIOC_0		タイマRJ_0 I/O制御レジスタ	00h	
00114h	TRJMR_0		タイマRJ_0モードレジスタ	00h	
00115h	TRJISR_0		タイマRJ_0イベント端子選択レジスタ	00h	
00116h					
00117h					
00118h	TRJ_1		タイマRJ_1カウンタレジスタ	FFFFh	
00119h					
0011Ah	TRJCR_1		タイマRJ_1制御レジスタ	00h	
0011Bh	TRJIOC_1		タイマRJ_1 I/O制御レジスタ	00h	
0011Ch	TRJMR_1		タイマRJ_1モードレジスタ	00h	
0011Dh	TRJISR_1		タイマRJ_1イベント端子選択レジスタ	00h	
0011Eh					
0011Fh					
00120h					
00121h					
00122h					
00123h					
00124h					
00125h					
00126h					
00127h					
00128h					
00129h					
0012Ah					
0012Bh					
0012Ch					
0012Dh					
0012Eh					
0012Fh					
00130h	TRBCR_0		タイマRB2_0制御レジスタ	00h	
00131h	TRBOCR_0		タイマRB2_0ワンショット制御レジスタ	00h	
00132h	TRBIOC_0		タイマRB2_0 I/O制御レジスタ	00h	
00133h	TRBMR_0		タイマRB2_0モードレジスタ	00h	
00134h	TRBPRES_0	TRBPRSC_0	タイマRB2_0プリスケアラレジスタ タイマRB2_0プライマリ/セカンダリレジスタ (下位8ビット)	FFh	
00135h	TRBPR_0		タイマRB2_0プライマリレジスタ タイマRB2_0プライマリレジスタ(上位8ビット)	FFh	
00136h	TRBSC_0		タイマRB2_0セカンダリレジスタ タイマRB2_0セカンダリレジスタ(上位8ビット)	FFh	
00137h	TRBIR_0		タイマRB2_0割り込み要求レジスタ	00h	
00138h	TRCCNT_0		タイマRC_0カウンタ	0000h	
00139h					

注1. 空欄は予約領域です。アクセスしないでください。

表3.6 SFR一覧(6) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	レジスタ名
0013Ah	TRCGRA_0	タイマRC_0ジェネラルレジスタA	FFFFh	
0013Bh				
0013Ch	TRCGRB_0	タイマRC_0ジェネラルレジスタB	FFFFh	
0013Dh				
0013Eh	TRCGRC_0	タイマRC_0ジェネラルレジスタC	FFFFh	
0013Fh				
00140h	TRCGRD_0	タイマRC_0ジェネラルレジスタD	FFFFh	
00141h				
00142h	TRCMR_0	タイマRC_0モードレジスタ	01001000b	
00143h	TRCCR1_0	タイマRC_0制御レジスタ1	00h	
00144h	TRCIER_0	タイマRC_0割り込み許可レジスタ	01110000b	
00145h	TRCSR_0	タイマRC_0ステータスレジスタ	01110000b	
00146h	TRCIOR0_0	タイマRC_0 I/O制御レジスタ0	10001000b	
00147h	TRCIOR1_0	タイマRC_0 I/O制御レジスタ1	10001000b	
00148h	TRCCR2_0	タイマRC_0制御レジスタ2	00011000b	
00149h	TRCDF_0	タイマRC_0デジタルフィルタ機能選択レジスタ	00h	
0014Ah	TRCOER_0	タイマRC_0出力許可レジスタ	01111111b	
0014Bh	TRCADCR_0	タイマRC_0 A/D変換トリガ制御レジスタ	11110000b	
0014Ch	TRCOPR_0	タイマRC_0出力波形操作レジスタ	00h	
0014Dh	TRCELCCR_0	タイマRC_0 ELC運動制御レジスタ	00h	
0014Eh				
0014Fh				
00150h				
00151h				
00152h				
00153h				
00154h				
00155h				
00156h				
00157h				
00158h	TRCNT_1	タイマRC_1カウンタ	0000h	
00159h				
0015Ah	TRCGRA_1	タイマRC_1ジェネラルレジスタA	FFFFh	
0015Bh				
0015Ch	TRCGRB_1	タイマRC_1ジェネラルレジスタB	FFFFh	
0015Dh				
0015Eh	TRCGRC_1	タイマRC_1ジェネラルレジスタC	FFFFh	
0015Fh				
00160h	TRCGRD_1	タイマRC_1ジェネラルレジスタD	FFFFh	
00161h				
00162h	TRCMR_1	タイマRC_1モードレジスタ	01001000b	
00163h	TRCCR1_1	タイマRC_1制御レジスタ1	00h	
00164h	TRCIER_1	タイマRC_1割り込み許可レジスタ	01110000b	
00165h	TRCSR_1	タイマRC_1ステータスレジスタ	01110000b	
00166h	TRCIOR0_1	タイマRC_1 I/O制御レジスタ0	10001000b	
00167h	TRCIOR1_1	タイマRC_1 I/O制御レジスタ1	10001000b	
00168h	TRCCR2_1	タイマRC_1制御レジスタ2	00011000b	
00169h	TRCDF_1	タイマRC_1デジタルフィルタ機能選択レジスタ	00h	
0016Ah	TRCOER_1	タイマRC_1出力許可レジスタ	01111111b	
0016Bh				
0016Ch	TRCOPR_1	タイマRC_1出力波形操作レジスタ	00h	
0016Dh	TRCELCCR_1	タイマRC_1 ELC運動制御レジスタ	00h	
0016Eh				
0016Fh				
00170h	TRESEC	タイマRE2カウンタデータレジスタ	00h	
00171h	TREMIN	タイマRE2コンペアデータレジスタ	00h	
00172h				
00173h				
00174h				
00175h				
00176h				
00177h	TRECR	タイマRE2制御レジスタ	00000100b	
00178h	TRECSR	タイマRE2カウントソース選択レジスタ	00001000b	
00179h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.7 SFR一覧(7)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0017Ah	TREIFR	タイマRE2割り込みフラグレジスタ	00h	
0017Bh	TREIER	タイマRE2割り込み許可レジスタ	00h	
0017Ch				
0017Dh				
0017Eh				
0017Fh	TREPRC	タイマRE2プロテクトレジスタ	00h	
00180h	TRDELCCR_0	タイマRD_0 ELC連動制御レジスタ	00h	
00181h				
00182h	TRDADCR_0	タイマRD_0トリガ制御レジスタ	00h	
00183h	TRDSTR_0	タイマRD_0スタートレジスタ	11111100b	
00184h	TRDMR_0	タイマRD_0モードレジスタ	00001110b	
00185h	TRDPMR_0	タイマRD_0 PWMモードレジスタ	10001000b	
00186h	TRDFCR_0	タイマRD_0機能制御レジスタ	10000000b	
00187h	TRDOER1_0	タイマRD_0出力マスタ許可レジスタ1	FFh	
00188h	TRDOER2_0	タイマRD_0出力マスタ許可レジスタ2	01111111b	
00189h	TRDOCR_0	タイマRD_0出力制御レジスタ	00h	
0018Ah	TRDDF0_0	タイマRD_0デジタルフィルタ機能選択レジスタ0	00h	
0018Bh	TRDDF1_0	タイマRD_0デジタルフィルタ機能選択レジスタ1	00h	
0018Ch				
0018Dh				
0018Eh				
0018Fh				
00190h	TRDCR0_0	タイマRD_0制御レジスタ0	00h	
00191h	TRDIORA0_0	タイマRD_0 I/O制御レジスタA0	10001000b	
00192h	TRDIORC0_0	タイマRD_0 I/O制御レジスタC0	10001000b	
00193h	TRDSR0_0	タイマRD_0ステータスレジスタ0	11100000b	
00194h	TRDIER0_0	タイマRD_0割り込み許可レジスタ0	11100000b	
00195h	TRDPOCR0_0	タイマRD_0 PWMモード出力レベル制御レジスタ0	11111000b	
00196h	TRD0_0	タイマRD_0カウンタ0	0000h	
00197h				
00198h	TRDGRA0_0	タイマRD_0ジェネラルレジスタA0	FFFFh	
00199h				
0019Ah	TRDGRB0_0	タイマRD_0ジェネラルレジスタB0	FFFFh	
0019Bh				
0019Ch	TRDGRC0_0	タイマRD_0ジェネラルレジスタC0	FFFFh	
0019Dh				
0019Eh	TRDGRD0_0	タイマRD_0ジェネラルレジスタD0	FFFFh	
0019Fh				
001A0h	TRDCR1_0	タイマRD_0制御レジスタ1	00h	
001A1h	TRDIORA1_0	タイマRD_0 I/O制御レジスタA1	10001000b	
001A2h	TRDIORC1_0	タイマRD_0 I/O制御レジスタC1	10001000b	
001A3h	TRDSR1_0	タイマRD_0ステータスレジスタ1	11000000b	
001A4h	TRDIER1_0	タイマRD_0割り込み許可レジスタ1	11100000b	
001A5h	TRDPOCR1_0	タイマRD_0 PWMモード出力レベル制御レジスタ1	11111000b	
001A6h	TRD1_0	タイマRD_0カウンタ1	0000h	
001A7h				
001A8h	TRDGRA1_0	タイマRD_0ジェネラルレジスタA1	FFFFh	
001A9h				
001AAh	TRDGRB1_0	タイマRD_0ジェネラルレジスタB1	FFFFh	
001ABh				
001ACh	TRDGRC1_0	タイマRD_0ジェネラルレジスタC1	FFFFh	
001ADh				
001AEh	TRDGRD1_0	タイマRD_0ジェネラルレジスタD1	FFFFh	
001AFh				
001B0h	TRF	タイマRFレジスタ	0000h	
001B1h				
001B2h	TRFOUT	タイマRF出力制御レジスタ	00h	
001B3h	TRFIN	タイマRF入力制御レジスタ	00h	
001B4h	TRFSR	タイマRFステータスレジスタ	00h	
001B5h				
001B6h	TRFIER	タイマRF割り込み許可レジスタ	00h	
001B7h				
001B8h				
001B9h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.8 SFR一覧(8)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
001BAh	TRFCR0	タイマRF制御レジスタ0	00h	
001BBh	TRFCR1	タイマRF制御レジスタ1	00h	
001BCh	TRFM0	タイマRFキャプチャコンペア0レジスタ	0000h	
001BDh				
001BEh	TRFM1	タイマRFコンペア1レジスタ	FFFFh	
001BFh				
001C0h				
001C1h				
001C2h				
001C3h				
001C4h				
001C5h				
001C6h				
001C7h				
001C8h				
001C9h				
001CAh				
001CBh				
001CCh				
001CDh				
001CEh				
001CFh				
001D0h				
001D1h				
001D2h				
001D3h				
001D4h				
001D5h				
001D6h				
001D7h				
001D8h				
001D9h				
001DAh				
001DBh				
001DCh				
001DDh				
001DEh				
001DFh				
001E0h				
001E1h				
001E2h				
001E3h				
001E4h				
001E5h				
001E6h				
001E7h				
001E8h				
001E9h				
001EAh				
001EBh				
001ECh				
001EDh				
001EEh				
001EFh				
001F0h	TRGMR	タイマRGモードレジスタ	00h	
001F1h	TRGCNTC	タイマRGカウンタ制御レジスタ	00h	
001F2h	TRGCR	タイマRG制御レジスタ	10000000b	
001F3h	TRGIER	タイマRG割り込み許可レジスタ	11110000b	
001F4h	TRGSR	タイマRGステータスレジスタ	11100000b	
001F5h	TRGIOR	タイマRG I/O制御レジスタ	00h	
001F6h	TRG	タイマRGカウンタ	0000h	
001F7h				
001F8h	TRGGRA	タイマRGジェネラルレジスタA	FFFFh	
001F9h				
001FAh	TRGGRB	タイマRGジェネラルレジスタB	FFFFh	
001FBh				
001FCh	TRGGRC	タイマRGジェネラルレジスタC	FFFFh	
001FDh				
001FEh	TRGGRD	タイマRGジェネラルレジスタD	FFFFh	
001FFh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.9 SFR一覧(9)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00200h	AD0	A/Dレジスタ0	00h	
00201h			00h	
00202h	AD1	A/Dレジスタ1	00h	
00203h			00h	
00204h	AD2	A/Dレジスタ2	00h	
00205h			00h	
00206h	AD3	A/Dレジスタ3	00h	
00207h			00h	
00208h	AD4	A/Dレジスタ4	00h	
00209h			00h	
0020Ah	AD5	A/Dレジスタ5	00h	
0020Bh			00h	
0020Ch	AD6	A/Dレジスタ6	00h	
0020Dh			00h	
0020Eh	AD7	A/Dレジスタ7	00h	
0020Fh			00h	
00210h				
00211h				
00212h				
00213h				
00214h	ADMOD	A/Dモードレジスタ	00h	
00215h	ADINSEL	A/D入力選択レジスタ	11000000b	
00216h	ADCON0	A/D制御レジスタ0	00h	
00217h	ADCON1	A/D制御レジスタ1	00h	
00218h				
00219h				
0021Ah				
0021Bh				
0021Ch				
0021Dh				
0021Eh				
0021Fh				
00220h				
00221h				
00222h				
00223h				
00224h				
00225h				
00226h				
00227h				
00228h	INTCMP	コンパレータB制御レジスタ0	00h	
00229h				
0022Ah				
0022Bh				
0022Ch				
0022Dh				
0022Eh				
0022Fh				
00230h	INTEN	外部入力許可レジスタ0	00h	
00231h	INTEN1	外部入力許可レジスタ1	00h	
00232h	INTF	INT入力フィルタ選択レジスタ0	00h	
00233h	INTF1	INT入力フィルタ選択レジスタ1	00h	
00234h	INTPOL	INT入力極性切り替えレジスタ	00h	
00235h				
00236h	KIEN	キー入力割り込み許可レジスタ	00h	
00237h				
00238h	MSTCR0	モジュールスタンバイコントロールレジスタ0	00h	
00239h	MSTCR1	モジュールスタンバイコントロールレジスタ1	00h	
0023Ah	MSTCR2	モジュールスタンバイコントロールレジスタ2	00h	
0023Bh	MSTCR3	モジュールスタンバイコントロールレジスタ3	00h	
0023Ch				
0023Dh				
0023Eh				
0023Fh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.10 SFR一覧(10)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00240h				
00241h				
00242h				
00243h				
00244h				
00245h				
00246h				
00247h				
00248h				
00249h				
0024Ah				
0024Bh				
0024Ch				
0024Dh				
0024Eh				
0024Fh				
00250h				
00251h				
00252h	FST	フラッシュメモリステータスレジスタ	10000X00b	
00253h				
00254h	FMR0	フラッシュメモリ制御レジスタ0	00h	
00255h	FMR1	フラッシュメモリ制御レジスタ1	00h	
00256h	FMR2	フラッシュメモリ制御レジスタ2	00h	
00257h				
00258h				
00259h				
0025Ah				
0025Bh				
0025Ch				
0025Dh				
0025Eh				
0025Fh				
00260h	AIADR0L	アドレス一致割り込みアドレス0Lレジスタ	XXXXh	
00261h				
00262h	AIADR0H	アドレス一致割り込みアドレス0Hレジスタ	0000XXXXb	
00263h	AIEN0	アドレス一致割り込み許可0レジスタ	00h	
00264h	AIADR1L	アドレス一致割り込みアドレス1Lレジスタ	XXXXh	
00265h				
00266h	AIADR1H	アドレス一致割り込みアドレス1Hレジスタ	0000XXXXb	
00267h	AIEN1	アドレス一致割り込み許可1レジスタ	00h	
00268h				
00269h				
0026Ah				
0026Bh				
0026Ch				
0026Dh				
0026Eh				
0026Fh				
00270h				
00271h				
00272h				
00273h				
00274h				
00275h				
00276h				
00277h				
00278h				
00279h				
0027Ah				
0027Bh				
0027Ch				
0027Dh				
0027Eh				
0027Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.11 SFR一覧(11)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00280h	DTCTL	DTC起動制御レジスタ	00h	
00281h				
00282h				
00283h				
00284h				
00285h				
00286h				
00287h				
00288h	DTCEN0	DTC起動許可レジスタ0	00h	
00289h	DTCEN1	DTC起動許可レジスタ1	00h	
0028Ah	DTCEN2	DTC起動許可レジスタ2	00h	
0028Bh	DTCEN3	DTC起動許可レジスタ3	00h	
0028Ch	DTCEN4	DTC起動許可レジスタ4	00h	
0028Dh	DTCEN5	DTC起動許可レジスタ5	00h	
0028Eh	DTCEN6	DTC起動許可レジスタ6	00h	
0028Fh				
00290h	CRCSAR	SFR監視アドレスレジスタ	0000h	
00291h				
00292h	CRCMR	CRC制御レジスタ	00h	
00293h				
00294h	CRCD	CRCデータレジスタ	0000h	
00295h				
00296h	CRCIN	CRCインプットレジスタ	00h	
00297h				
00298h				
00299h				
0029Ah				
0029Bh				
0029Ch				
0029Dh				
0029Eh				
0029Fh				
002A0h	TRJ_0SR	タイマRJ_0端子選択レジスタ	00h	
002A1h	TRJ_1SR	タイマRJ_1端子選択レジスタ	00h	
002A2h				
002A3h				
002A4h	TRBSR	タイマRB2端子選択レジスタ	00h	
002A5h	TRCCLKSR	タイマRCCLK端子選択レジスタ	00h	
002A6h	TRC_0SR0	タイマRC_0端子選択レジスタ0	00h	
002A7h	TRC_0SR1	タイマRC_0端子選択レジスタ1	00h	
002A8h	TRC_1SR	タイマRC_1端子選択レジスタ	00h	
002A9h	TRD_0SR0	タイマRD_0端子選択レジスタ0	00h	
002AAh	TRD_0SR1	タイマRD_0端子選択レジスタ1	00h	
002ABh				
002ACh				
002ADh	TIMSR	タイマ端子選択レジスタ	00h	
002AEh	U_0SR	UART0_0端子選択レジスタ	00h	
002AFh	U_1SR	UART0_1端子選択レジスタ	00h	
002B0h				
002B1h				
002B2h	U2SR0	UART2端子選択レジスタ0	00h	
002B3h	U2SR1	UART2端子選択レジスタ1	00h	
002B4h	SSUIIC_0SR	SSU/IIC_0端子選択レジスタ	00h	
002B5h				
002B6h	INTSR0	INT割り込み入力端子選択レジスタ0	00h	
002B7h				
002B8h				
002B9h	PINSR	入出力機能端子選択レジスタ	00h	
002BAh				
002BBh				
002BCh				
002BDh				
002BEh	PMCSEL	端子配置選択レジスタ	00h	
002BFh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.12 SFR一覧(12)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
002C0h	PUR0	ブルアップ制御レジスタ0	00h	
002C1h	PUR1	ブルアップ制御レジスタ1	00h	
002C2h	PUR2	ブルアップ制御レジスタ2	00h	
002C3h	PUR3	ブルアップ制御レジスタ3	00h	
002C4h				
002C5h				
002C6h				
002C7h				
002C8h	P1DRR	ポートP1駆動能力制御レジスタ	00h	
002C9h	P2DRR	ポートP2駆動能力制御レジスタ	00h	
002CAh				
002CBh	PCDRR	ポートPC駆動能力制御レジスタ	00h	
002CCh	DRR0	駆動能力制御レジスタ0	00h	
002CDh	DRR1	駆動能力制御レジスタ1	00h	
002CEh	DRR2	駆動能力制御レジスタ2	00h	
002CFh				
002D0h	VLT0	入力しきい値制御レジスタ0	00h	
002D1h	VLT1	入力しきい値制御レジスタ1	00h	
002D2h	VLT2	入力しきい値制御レジスタ2	00h	
002D3h	VLT3	入力しきい値制御レジスタ3	00h	
002D4h				
002D5h				
002D6h				
002D7h				
002D8h				
002D9h				
002DAh				
002DBh				
002DCh				
002DDh				
002DEh				
002DFh				
002E0h	PORT0	ポートP0レジスタ	XXh	
002E1h	PORT1	ポートP1レジスタ	XXh	
002E2h	PD0	ポートP0方向レジスタ	00h	
002E3h	PD1	ポートP1方向レジスタ	00h	
002E4h	PORT2	ポートP2レジスタ	XXh	
002E5h	PORT3	ポートP3レジスタ	XXh	
002E6h	PD2	ポートP2方向レジスタ	00h	
002E7h	PD3	ポートP3方向レジスタ	00h	
002E8h	PORT4	ポートP4レジスタ	XXh	
002E9h	PORT5	ポートP5レジスタ	XXh	
002EAh	PD4	ポートP4方向レジスタ	00h	
002EBh	PD5	ポートP5方向レジスタ	00h	
002ECh	PORT6	ポートP6レジスタ	XXh	
002EDh				
002EEh	PD6	ポートP6方向レジスタ	00h	
002EFh				
002F0h	PORT8	ポートP8レジスタ	XXh	
002F1h	PORT9	ポートP9レジスタ	XXh	
002F2h	PD8	ポートP8方向レジスタ	00h	
002F3h	PD9	ポートP9方向レジスタ	00h	
002F4h				
002F5h				
002F6h				
002F7h				
002F8h	PORTC	ポートPCレジスタ	XXh	
002F9h				
002FAh	PDC	ポートPC方向レジスタ	00h	
002FBh				
002FCh				
002FDh				
002FEh				
002FFh				
00300h				
~				
003FFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.13 SFR一覧 (13) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00400h ~ 02BFFh	内蔵RAM	内蔵RAM		
02C00h ~ 069FFh				
06A00h	ELSELR0	イベント出力先選択レジスタ0	00h	
06A01h	ELSELR1	イベント出力先選択レジスタ1	00h	
06A02h	ELSELR2	イベント出力先選択レジスタ2	00h	
06A03h	ELSELR3	イベント出力先選択レジスタ3	00h	
06A04h	ELSELR4	イベント出力先選択レジスタ4	00h	
06A05h				
06A06h				
06A07h				
06A08h	ELSELR8	イベント出力先選択レジスタ8	00h	
06A09h	ELSELR9	イベント出力先選択レジスタ9	00h	
06A0Ah	ELSELR10	イベント出力先選択レジスタ10	00h	
06A0Bh	ELSELR11	イベント出力先選択レジスタ11	00h	
06A0Ch	ELSELR12	イベント出力先選択レジスタ12	00h	
06A0Dh	ELSELR13	イベント出力先選択レジスタ13	00h	
06A0Eh	ELSELR14	イベント出力先選択レジスタ14	00h	
06A0Fh	ELSELR15	イベント出力先選択レジスタ15	00h	
06A10h	ELSELR16	イベント出力先選択レジスタ16	00h	
06A11h	ELSELR17	イベント出力先選択レジスタ17	00h	
06A12h	ELSELR18	イベント出力先選択レジスタ18	00h	
06A13h	ELSELR19	イベント出力先選択レジスタ19	00h	
06A14h	ELSELR20	イベント出力先選択レジスタ20	00h	
06A15h	ELSELR21	イベント出力先選択レジスタ21	00h	
06A16h	ELSELR22	イベント出力先選択レジスタ22	00h	
06A17h	ELSELR23	イベント出力先選択レジスタ23	00h	
06A18h	ELSELR24	イベント出力先選択レジスタ24	00h	
06A19h	ELSELR25	イベント出力先選択レジスタ25	00h	
06A1Ah	ELSELR26	イベント出力先選択レジスタ26	00h	
06A1Bh	ELSELR27	イベント出力先選択レジスタ27	00h	
06A1Ch	ELSELR28	イベント出力先選択レジスタ28	00h	
06A1Dh				
06A1Eh				
06A1Fh				
06A20h				
06A21h				
06A22h				
06A23h				
06A24h				
06A25h				
06A26h				
06A27h				
06A28h				
06A29h				
06A2Ah				
06A2Bh				
06A2Ch				
06A2Dh	ELSELR45	イベント出力先選択レジスタ45	00h	
06A2Eh	ELSELR46	イベント出力先選択レジスタ46	00h	
06A2Fh	ELSELR47	イベント出力先選択レジスタ47	00h	
06A30h	ELSELR48	イベント出力先選択レジスタ48	00h	
06A31h ~ 06BFFh				
06C00h		DTC転送ベクタ0格納領域	XXh	
06C01h		DTC転送ベクタ1格納領域	XXh	
06C02h		DTC転送ベクタ2格納領域	XXh	
06C03h		DTC転送ベクタ3格納領域	XXh	
06C04h		DTC転送ベクタ4格納領域	XXh	
06C05h				
06C06h				
06C07h				
06C08h		DTC転送ベクタ8格納領域	XXh	
06C09h		DTC転送ベクタ9格納領域	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.14 SFR一覧(14)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C0Ah		DTC転送ベクタ10格納領域	XXh	
06C0Bh		DTC転送ベクタ11格納領域	XXh	
06C0Ch		DTC転送ベクタ12格納領域	XXh	
06C0Dh		DTC転送ベクタ13格納領域	XXh	
06C0Eh		DTC転送ベクタ14格納領域	XXh	
06C0Fh		DTC転送ベクタ15格納領域	XXh	
06C10h		DTC転送ベクタ16格納領域	XXh	
06C11h		DTC転送ベクタ17格納領域	XXh	
06C12h		DTC転送ベクタ18格納領域	XXh	
06C13h		DTC転送ベクタ19格納領域	XXh	
06C14h				
06C15h				
06C16h		DTC転送ベクタ22格納領域	XXh	
06C17h		DTC転送ベクタ23格納領域	XXh	
06C18h		DTC転送ベクタ24格納領域	XXh	
06C19h		DTC転送ベクタ25格納領域	XXh	
06C1Ah		DTC転送ベクタ26格納領域	XXh	
06C1Bh		DTC転送ベクタ27格納領域	XXh	
06C1Ch		DTC転送ベクタ28格納領域	XXh	
06C1Dh		DTC転送ベクタ29格納領域	XXh	
06C1Eh		DTC転送ベクタ30格納領域	XXh	
06C1Fh		DTC転送ベクタ31格納領域	XXh	
06C20h		DTC転送ベクタ32格納領域	XXh	
06C21h		DTC転送ベクタ33格納領域	XXh	
06C22h				
06C23h				
06C24h				
06C25h				
06C26h		DTC転送ベクタ38格納領域	XXh	
06C27h		DTC転送ベクタ39格納領域	XXh	
06C28h				
06C29h				
06C2Ah		DTC転送ベクタ42格納領域	XXh	
06C2Bh		DTC転送ベクタ43格納領域	XXh	
06C2Ch		DTC転送ベクタ44格納領域	XXh	
06C2Dh		DTC転送ベクタ45格納領域	XXh	
06C2Eh		DTC転送ベクタ46格納領域	XXh	
06C2Fh		DTC転送ベクタ47格納領域	XXh	
06C30h		DTC転送ベクタ48格納領域	XXh	
06C31h		DTC転送ベクタ49格納領域	XXh	
06C32h		DTC転送ベクタ50格納領域	XXh	
06C33h		DTC転送ベクタ51格納領域	XXh	
06C34h		DTC転送ベクタ52格納領域	XXh	
06C35h				
06C36h				
06C37h				
06C38h				
06C39h				
06C3Ah				
06C3Bh				
06C3Ch				
06C3Dh				
06C3Eh				
06C3Fh				
06C40h	DTCCR0	DTC制御レジスタ0	XXh	
06C41h	DTBLS0	DTCブロックサイズレジスタ0	XXh	
06C42h	DTCCT0	DTC転送回数レジスタ0	XXh	
06C43h	DTRLD0	DTC転送回数リロードレジスタ0	XXh	
06C44h	DTSAR0	DTCソースアドレスレジスタ0	XXXXh	
06C45h				
06C46h	DTDAR0	DTCデスティネーションアドレスレジスタ0	XXXXh	
06C47h				
06C48h	DTCCR1	DTC制御レジスタ1	XXh	
06C49h	DTBLS1	DTCブロックサイズレジスタ1	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.15 SFR一覧 (15) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C4Ah	DTCCT1	DTC転送回数レジスタ1	XXh	
06C4Bh	DTRLD1	DTC転送回数リロードレジスタ1	XXh	
06C4Ch	DTSAR1	DTCソースアドレスレジスタ1	XXXXh	
06C4Dh				
06C4Eh	DTDAR1	DTCデスティネーションアドレスレジスタ1	XXXXh	
06C4Fh				
06C50h	DTCCR2	DTC制御レジスタ2	XXh	
06C51h	DTBLS2	DTCブロックサイズレジスタ2	XXh	
06C52h	DTCCT2	DTC転送回数レジスタ2	XXh	
06C53h	DTRLD2	DTC転送回数リロードレジスタ2	XXh	
06C54h	DTSAR2	DTCソースアドレスレジスタ2	XXXXh	
06C55h				
06C56h	DTDAR2	DTCデスティネーションアドレスレジスタ2	XXXXh	
06C57h				
06C58h	DTCCR3	DTC制御レジスタ3	XXh	
06C59h	DTBLS3	DTCブロックサイズレジスタ3	XXh	
06C5Ah	DTCCT3	DTC転送回数レジスタ3	XXh	
06C5Bh	DTRLD3	DTC転送回数リロードレジスタ3	XXh	
06C5Ch	DTSAR3	DTCソースアドレスレジスタ3	XXXXh	
06C5Dh				
06C5Eh	DTDAR3	DTCデスティネーションアドレスレジスタ3	XXXXh	
06C5Fh				
06C60h	DTCCR4	DTC制御レジスタ4	XXh	
06C61h	DTBLS4	DTCブロックサイズレジスタ4	XXh	
06C62h	DTCCT4	DTC転送回数レジスタ4	XXh	
06C63h	DTRLD4	DTC転送回数リロードレジスタ4	XXh	
06C64h	DTSAR4	DTCソースアドレスレジスタ4	XXXXh	
06C65h				
06C66h	DTDAR4	DTCデスティネーションアドレスレジスタ4	XXXXh	
06C67h				
06C68h	DTCCR5	DTC制御レジスタ5	XXh	
06C69h	DTBLS5	DTCブロックサイズレジスタ5	XXh	
06C6Ah	DTCCT5	DTC転送回数レジスタ5	XXh	
06C6Bh	DTRLD5	DTC転送回数リロードレジスタ5	XXh	
06C6Ch	DTSAR5	DTCソースアドレスレジスタ5	XXXXh	
06C6Dh				
06C6Eh	DTDAR5	DTCデスティネーションアドレスレジスタ5	XXXXh	
06C6Fh				
06C70h	DTCCR6	DTC制御レジスタ6	XXh	
06C71h	DTBLS6	DTCブロックサイズレジスタ6	XXh	
06C72h	DTCCT6	DTC転送回数レジスタ6	XXh	
06C73h	DTRLD6	DTC転送回数リロードレジスタ6	XXh	
06C74h	DTSAR6	DTCソースアドレスレジスタ6	XXXXh	
06C75h				
06C76h	DTDAR6	DTCデスティネーションアドレスレジスタ6	XXXXh	
06C77h				
06C78h	DTCCR7	DTC制御レジスタ7	XXh	
06C79h	DTBLS7	DTCブロックサイズレジスタ7	XXh	
06C7Ah	DTCCT7	DTC転送回数レジスタ7	XXh	
06C7Bh	DTRLD7	DTC転送回数リロードレジスタ7	XXh	
06C7Ch	DTSAR7	DTCソースアドレスレジスタ7	XXXXh	
06C7Dh				
06C7Eh	DTDAR7	DTCデスティネーションアドレスレジスタ7	XXXXh	
06C7Fh				
06C80h	DTCCR8	DTC制御レジスタ8	XXh	
06C81h	DTBLS8	DTCブロックサイズレジスタ8	XXh	
06C82h	DTCCT8	DTC転送回数レジスタ8	XXh	
06C83h	DTRLD8	DTC転送回数リロードレジスタ8	XXh	
06C84h	DTSAR8	DTCソースアドレスレジスタ8	XXXXh	
06C85h				
06C86h	DTDAR8	DTCデスティネーションアドレスレジスタ8	XXXXh	
06C87h				
06C88h	DTCCR9	DTC制御レジスタ9	XXh	
06C89h	DTBLS9	DTCブロックサイズレジスタ9	XXh	
06C8Ah	DTCCT9	DTC転送回数レジスタ9	XXh	
06C8Bh	DTRLD9	DTC転送回数リロードレジスタ9	XXh	
06C8Ch	DTSAR9	DTCソースアドレスレジスタ9	XXXXh	
06C8Dh				
06C8Eh	DTDAR9	DTCデスティネーションアドレスレジスタ9	XXXXh	
06C8Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.16 SFR一覧(16)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C90h	DTCCR10	DTC制御レジスタ10	XXh	
06C91h	DTBLS10	DTCブロックサイズレジスタ10	XXh	
06C92h	DTCCT10	DTC転送回数レジスタ10	XXh	
06C93h	DTRLD10	DTC転送回数リロードレジスタ10	XXh	
06C94h	DTSAR10	DTCソースアドレスレジスタ10	XXXXh	
06C95h				
06C96h	DTDAR10	DTCデスティネーションアドレスレジスタ10	XXXXh	
06C97h				
06C98h	DTCCR11	DTC制御レジスタ11	XXh	
06C99h	DTBLS11	DTCブロックサイズレジスタ11	XXh	
06C9Ah	DTCCT11	DTC転送回数レジスタ11	XXh	
06C9Bh	DTRLD11	DTC転送回数リロードレジスタ11	XXh	
06C9Ch	DTSAR11	DTCソースアドレスレジスタ11	XXXXh	
06C9Dh				
06C9Eh	DTDAR11	DTCデスティネーションアドレスレジスタ11	XXXXh	
06C9Fh				
06CA0h	DTCCR12	DTC制御レジスタ12	XXh	
06CA1h	DTBLS12	DTCブロックサイズレジスタ12	XXh	
06CA2h	DTCCT12	DTC転送回数レジスタ12	XXh	
06CA3h	DTRLD12	DTC転送回数リロードレジスタ12	XXh	
06CA4h	DTSAR12	DTCソースアドレスレジスタ12	XXXXh	
06CA5h				
06CA6h	DTDAR12	DTCデスティネーションアドレスレジスタ12	XXXXh	
06CA7h				
06CA8h	DTCCR13	DTC制御レジスタ13	XXh	
06CA9h	DTBLS13	DTCブロックサイズレジスタ13	XXh	
06CAAh	DTCCT13	DTC転送回数レジスタ13	XXh	
06CABh	DTRLD13	DTC転送回数リロードレジスタ13	XXh	
06CACH	DTSAR13	DTCソースアドレスレジスタ13	XXXXh	
06CADh				
06CAEh	DTDAR13	DTCデスティネーションアドレスレジスタ13	XXXXh	
06CAFh				
06CB0h	DTCCR14	DTC制御レジスタ14	XXh	
06CB1h	DTBLS14	DTCブロックサイズレジスタ14	XXh	
06CB2h	DTCCT14	DTC転送回数レジスタ14	XXh	
06CB3h	DTRLD14	DTC転送回数リロードレジスタ14	XXh	
06CB4h	DTSAR14	DTCソースアドレスレジスタ14	XXXXh	
06CB5h				
06CB6h	DTDAR14	DTCデスティネーションアドレスレジスタ14	XXXXh	
06CB7h				
06CB8h	DTCCR15	DTC制御レジスタ15	XXh	
06CB9h	DTBLS15	DTCブロックサイズレジスタ15	XXh	
06CBAh	DTCCT15	DTC転送回数レジスタ15	XXh	
06CBBh	DTRLD15	DTC転送回数リロードレジスタ15	XXh	
06CBCh	DTSAR15	DTCソースアドレスレジスタ15	XXXXh	
06CBDh				
06CBEh	DTDAR15	DTCデスティネーションアドレスレジスタ15	XXXXh	
06CBFh				
06CC0h	DTCCR16	DTC制御レジスタ16	XXh	
06CC1h	DTBLS16	DTCブロックサイズレジスタ16	XXh	
06CC2h	DTCCT16	DTC転送回数レジスタ16	XXh	
06CC3h	DTRLD16	DTC転送回数リロードレジスタ16	XXh	
06CC4h	DTSAR16	DTCソースアドレスレジスタ16	XXXXh	
06CC5h				
06CC6h	DTDAR16	DTCデスティネーションアドレスレジスタ16	XXXXh	
06CC7h				
06CC8h	DTCCR17	DTC制御レジスタ17	XXh	
06CC9h	DTBLS17	DTCブロックサイズレジスタ17	XXh	
06CCAh	DTCCT17	DTC転送回数レジスタ17	XXh	
06CCBh	DTRLD17	DTC転送回数リロードレジスタ17	XXh	
06CCCh	DTSAR17	DTCソースアドレスレジスタ17	XXXXh	
06CCDh				
06CCEh	DTDAR17	DTCデスティネーションアドレスレジスタ17	XXXXh	
06CCFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.17 SFR一覧(17)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06CD0h	DTCCR18	DTC制御レジスタ18	XXh	
06CD1h	DTBLS18	DTCブロックサイズレジスタ18	XXh	
06CD2h	DTCCT18	DTC転送回数レジスタ18	XXh	
06CD3h	DTRLD18	DTC転送回数リロードレジスタ18	XXh	
06CD4h	DTSAR18	DTCソースアドレスレジスタ18	XXXXh	
06CD5h				
06CD6h	DTDAR18	DTCデスティネーションアドレスレジスタ18	XXXXh	
06CD7h				
06CD8h	DTCCR19	DTC制御レジスタ19	XXh	
06CD9h	DTBLS19	DTCブロックサイズレジスタ19	XXh	
06CDAh	DTCCT19	DTC転送回数レジスタ19	XXh	
06CDBh	DTRLD19	DTC転送回数リロードレジスタ19	XXh	
06CDCh	DTSAR19	DTCソースアドレスレジスタ19	XXXXh	
06CDDh				
06CDEh	DTDAR19	DTCデスティネーションアドレスレジスタ19	XXXXh	
06CDFh				
06CE0h	DTCCR20	DTC制御レジスタ20	XXh	
06CE1h	DTBLS20	DTCブロックサイズレジスタ20	XXh	
06CE2h	DTCCT20	DTC転送回数レジスタ20	XXh	
06CE3h	DTRLD20	DTC転送回数リロードレジスタ20	XXh	
06CE4h	DTSAR20	DTCソースアドレスレジスタ20	XXXXh	
06CE5h				
06CE6h	DTDAR20	DTCデスティネーションアドレスレジスタ20	XXXXh	
06CE7h				
06CE8h	DTCCR21	DTC制御レジスタ21	XXh	
06CE9h	DTBLS21	DTCブロックサイズレジスタ21	XXh	
06CEAh	DTCCT21	DTC転送回数レジスタ21	XXh	
06CEBh	DTRLD21	DTC転送回数リロードレジスタ21	XXh	
06CECh	DTSAR21	DTCソースアドレスレジスタ21	XXXXh	
06CEDh				
06CEEh	DTDAR21	DTCデスティネーションアドレスレジスタ21	XXXXh	
06CEFh				
06CF0h	DTCCR22	DTC制御レジスタ22	XXh	
06CF1h	DTBLS22	DTCブロックサイズレジスタ22	XXh	
06CF2h	DTCCT22	DTC転送回数レジスタ22	XXh	
06CF3h	DTRLD22	DTC転送回数リロードレジスタ22	XXh	
06CF4h	DTSAR22	DTCソースアドレスレジスタ22	XXXXh	
06CF5h				
06CF6h	DTDAR22	DTCデスティネーションアドレスレジスタ22	XXXXh	
06CF7h				
06CF8h	DTCCR23	DTC制御レジスタ23	XXh	
06CF9h	DTBLS23	DTCブロックサイズレジスタ23	XXh	
06CFAh	DTCCT23	DTC転送回数レジスタ23	XXh	
06CFBh	DTRLD23	DTC転送回数リロードレジスタ23	XXh	
06CFCh	DTSAR23	DTCソースアドレスレジスタ23	XXXXh	
06CFDh				
06CFEh	DTDAR23	DTCデスティネーションアドレスレジスタ23	XXXXh	
06CFFh				
06D00h				
~				
06DFFh				
06E00h	CMB0_0	CAN_0メールボックス0	XXh	
06E01h			XXh	
06E02h			XXh	
06E03h			XXh	
06E04h			XXh	
06E05h			XXh	
06E06h			XXh	
06E07h			XXh	
06E08h			XXh	
06E09h			XXh	
06E0Ah			XXh	
06E0Bh			XXh	
06E0Ch			XXh	
06E0Dh			XXh	
06E0Eh			XXh	
06E0Fh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.18 SFR一覧(18)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06E10h	CMB1_0	CAN_0メールボックス1	XXh	
06E11h			XXh	
06E12h			XXh	
06E13h			XXh	
06E14h			XXh	
06E15h			XXh	
06E16h			XXh	
06E17h			XXh	
06E18h			XXh	
06E19h			XXh	
06E1Ah			XXh	
06E1Bh			XXh	
06E1Ch			XXh	
06E1Dh			XXh	
06E1Eh			XXh	
06E1Fh			XXh	
06E20h	CMB2_0	CAN_0メールボックス2	XXh	
06E21h			XXh	
06E22h			XXh	
06E23h			XXh	
06E24h			XXh	
06E25h			XXh	
06E26h			XXh	
06E27h			XXh	
06E28h			XXh	
06E29h			XXh	
06E2Ah			XXh	
06E2Bh			XXh	
06E2Ch			XXh	
06E2Dh			XXh	
06E2Eh			XXh	
06E2Fh			XXh	
06E30h	CMB3_0	CAN_0メールボックス3	XXh	
06E31h			XXh	
06E32h			XXh	
06E33h			XXh	
06E34h			XXh	
06E35h			XXh	
06E36h			XXh	
06E37h			XXh	
06E38h			XXh	
06E39h			XXh	
06E3Ah			XXh	
06E3Bh			XXh	
06E3Ch			XXh	
06E3Dh			XXh	
06E3Eh			XXh	
06E3Fh			XXh	
06E40h	CMB4_0	CAN_0メールボックス4	XXh	
06E41h			XXh	
06E42h			XXh	
06E43h			XXh	
06E44h			XXh	
06E45h			XXh	
06E46h			XXh	
06E47h			XXh	
06E48h			XXh	
06E49h			XXh	
06E4Ah			XXh	
06E4Bh			XXh	
06E4Ch			XXh	
06E4Dh			XXh	
06E4Eh			XXh	
06E4Fh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.19 SFR一覧(19) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06E50h	CMB5_0	CAN_0メールボックス5	XXh	
06E51h			XXh	
06E52h			XXh	
06E53h			XXh	
06E54h			XXh	
06E55h			XXh	
06E56h			XXh	
06E57h			XXh	
06E58h			XXh	
06E59h			XXh	
06E5Ah			XXh	
06E5Bh			XXh	
06E5Ch			XXh	
06E5Dh			XXh	
06E5Eh			XXh	
06E5Fh			XXh	
06E60h	CMB6_0	CAN_0メールボックス6	XXh	
06E61h			XXh	
06E62h			XXh	
06E63h			XXh	
06E64h			XXh	
06E65h			XXh	
06E66h			XXh	
06E67h			XXh	
06E68h			XXh	
06E69h			XXh	
06E6Ah			XXh	
06E6Bh			XXh	
06E6Ch			XXh	
06E6Dh			XXh	
06E6Eh			XXh	
06E6Fh			XXh	
06E70h	CMB7_0	CAN_0メールボックス7	XXh	
06E71h			XXh	
06E72h			XXh	
06E73h			XXh	
06E74h			XXh	
06E75h			XXh	
06E76h			XXh	
06E77h			XXh	
06E78h			XXh	
06E79h			XXh	
06E7Ah			XXh	
06E7Bh			XXh	
06E7Ch			XXh	
06E7Dh			XXh	
06E7Eh			XXh	
06E7Fh			XXh	
06E80h	CMB8_0	CAN_0メールボックス8	XXh	
06E81h			XXh	
06E82h			XXh	
06E83h			XXh	
06E84h			XXh	
06E85h			XXh	
06E86h			XXh	
06E87h			XXh	
06E88h			XXh	
06E89h			XXh	
06E8Ah			XXh	
06E8Bh			XXh	
06E8Ch			XXh	
06E8Dh			XXh	
06E8Eh			XXh	
06E8Fh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.20 SFR一覧 (20) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06E90h	CMB9_0	CAN_0メールボックス9	XXh	
06E91h			XXh	
06E92h			XXh	
06E93h			XXh	
06E94h			XXh	
06E95h			XXh	
06E96h			XXh	
06E97h			XXh	
06E98h			XXh	
06E99h			XXh	
06E9Ah			XXh	
06E9Bh			XXh	
06E9Ch			XXh	
06E9Dh			XXh	
06E9Eh			XXh	
06E9Fh			XXh	
06EA0h	CMB10_0	CAN_0メールボックス10	XXh	
06EA1h			XXh	
06EA2h			XXh	
06EA3h			XXh	
06EA4h			XXh	
06EA5h			XXh	
06EA6h			XXh	
06EA7h			XXh	
06EA8h			XXh	
06EA9h			XXh	
06EAAh			XXh	
06EABh			XXh	
06EACh			XXh	
06EADh			XXh	
06EAEh			XXh	
06EAFh			XXh	
06EB0h	CMB11_0	CAN_0メールボックス11	XXh	
06EB1h			XXh	
06EB2h			XXh	
06EB3h			XXh	
06EB4h			XXh	
06EB5h			XXh	
06EB6h			XXh	
06EB7h			XXh	
06EB8h			XXh	
06EB9h			XXh	
06EBAh			XXh	
06EBBh			XXh	
06EBC			XXh	
06EBDh			XXh	
06EBEh			XXh	
06EBFh			XXh	
06EC0h	CMB12_0	CAN_0メールボックス12	XXh	
06EC1h			XXh	
06EC2h			XXh	
06EC3h			XXh	
06EC4h			XXh	
06EC5h			XXh	
06EC6h			XXh	
06EC7h			XXh	
06EC8h			XXh	
06EC9h			XXh	
06ECAh			XXh	
06ECBh			XXh	
06ECC			XXh	
06ECDh			XXh	
06ECEh			XXh	
06ECFh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.21 SFR一覧(21)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06ED0h	CMB13_0	CAN_0メールボックス13	XXh	
06ED1h			XXh	
06ED2h			XXh	
06ED3h			XXh	
06ED4h			XXh	
06ED5h			XXh	
06ED6h			XXh	
06ED7h			XXh	
06ED8h			XXh	
06ED9h			XXh	
06EDAh			XXh	
06EDBh			XXh	
06EDCh			XXh	
06EDDh			XXh	
06EDEh			XXh	
06EDFh			XXh	
06EE0h	CMB14_0	CAN_0メールボックス14	XXh	
06EE1h			XXh	
06EE2h			XXh	
06EE3h			XXh	
06EE4h			XXh	
06EE5h			XXh	
06EE6h			XXh	
06EE7h			XXh	
06EE8h			XXh	
06EE9h			XXh	
06EEAh			XXh	
06EEBh			XXh	
06EECh			XXh	
06EEdh			XXh	
06EEeh			XXh	
06EEfh			XXh	
06EF0h	CMB15_0	CAN_0メールボックス15	XXh	
06EF1h			XXh	
06EF2h			XXh	
06EF3h			XXh	
06EF4h			XXh	
06EF5h			XXh	
06EF6h			XXh	
06EF7h			XXh	
06EF8h			XXh	
06EF9h			XXh	
06EFAh			XXh	
06EFBh			XXh	
06EFC			XXh	
06EFDh			XXh	
06EFEh			XXh	
06EFFh			XXh	
06F00h				
06F01h				
06F02h				
06F03h				
06F04h				
06F05h				
06F06h				
06F07h				
06F08h				
06F09h				
06F0Ah				
06F0Bh				
06F0Ch				
06F0Dh				
06F0Eh				
06F0Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.22 SFR一覧(22)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06F10h	CMKR0_0	CAN_0マスクレジスタ0	XXh	
06F11h			XXh	
06F12h			XXh	
06F13h			XXh	
06F14h	CMKR1_0	CAN_0マスクレジスタ1	XXh	
06F15h			XXh	
06F16h			XXh	
06F17h			XXh	
06F18h	CMKR2_0	CAN_0マスクレジスタ2	XXh	
06F19h			XXh	
06F1Ah			XXh	
06F1Bh			XXh	
06F1Ch	CMKR3_0	CAN_0マスクレジスタ3	XXh	
06F1Dh			XXh	
06F1Eh			XXh	
06F1Fh			XXh	
06F20h	CFIDCR0_0	CAN_0 FIFO受信ID比較レジスタ0	XXh	
06F21h			XXh	
06F22h			XXh	
06F23h			XXh	
06F24h	CFIDCR1_0	CAN_0 FIFO受信ID比較レジスタ1	XXh	
06F25h			XXh	
06F26h			XXh	
06F27h			XXh	
06F28h				
06F29h				
06F2Ah	CMKIVLR_0	CAN_0マスク無効レジスタ	XXh	
06F2Bh			XXh	
06F2Ch				
06F2Dh				
06F2Eh	CMIER_0	CAN_0メールボックス割り込み許可レジスタ	XXh	
06F2Fh			XXh	
06F30h	CMCTL0_0	CAN_0メッセージ制御レジスタ0	00h	
06F31h	CMCTL1_0	CAN_0メッセージ制御レジスタ1	00h	
06F32h	CMCTL2_0	CAN_0メッセージ制御レジスタ2	00h	
06F33h	CMCTL3_0	CAN_0メッセージ制御レジスタ3	00h	
06F34h	CMCTL4_0	CAN_0メッセージ制御レジスタ4	00h	
06F35h	CMCTL5_0	CAN_0メッセージ制御レジスタ5	00h	
06F36h	CMCTL6_0	CAN_0メッセージ制御レジスタ6	00h	
06F37h	CMCTL7_0	CAN_0メッセージ制御レジスタ7	00h	
06F38h	CMCTL8_0	CAN_0メッセージ制御レジスタ8	00h	
06F39h	CMCTL9_0	CAN_0メッセージ制御レジスタ9	00h	
06F3Ah	CMCTL10_0	CAN_0メッセージ制御レジスタ10	00h	
06F3Bh	CMCTL11_0	CAN_0メッセージ制御レジスタ11	00h	
06F3Ch	CMCTL12_0	CAN_0メッセージ制御レジスタ12	00h	
06F3Dh	CMCTL13_0	CAN_0メッセージ制御レジスタ13	00h	
06F3Eh	CMCTL14_0	CAN_0メッセージ制御レジスタ14	00h	
06F3Fh	CMCTL15_0	CAN_0メッセージ制御レジスタ15	00h	
06F40h	CCTLR_0	CAN_0制御レジスタ	00000101b	
06F41h			00h	
06F42h	CSTR_0	CAN_0ステータスレジスタ	00000101b	
06F43h			00h	
06F44h	CBCR_0	CAN_0ビットコンフィグレーションレジスタ	00h	
06F45h			00h	
06F46h			00h	
06F47h	CCLKR_0	CAN_0クロック選択レジスタ	00h	
06F48h	CRFCR_0	CAN_0受信FIFO制御レジスタ	10000000b	
06F49h	CRFPCR_0	CAN_0受信FIFOポインタ制御レジスタ	XXh	
06F4Ah	CTFCR_0	CAN_0送信FIFO制御レジスタ	10000000b	
06F4Bh	CTFPCR_0	CAN_0送信FIFOポインタ制御レジスタ	XXh	
06F4Ch	CEIER_0	CAN_0エラー割り込み許可レジスタ	00h	
06F4Dh	CEIFR_0	CAN_0エラー割り込み要因判定レジスタ	00h	
06F4Eh	CRECR_0	CAN_0受信エラーカウントレジスタ	00h	
06F4Fh	CTECCR_0	CAN_0送信エラーカウントレジスタ	00h	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.23 SFR一覧(23)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06F50h	CECSR_0	CAN_0エラーコード格納レジスタ	00h	
06F51h	CCSSR_0	CAN_0チャネルサーチサポートレジスタ	XXh	
06F52h	CMSSR_0	CAN_0メールボックスサーチステータスレジスタ	10000000b	
06F53h	CMSMR_0	CAN_0メールボックスサーチモードレジスタ	00h	
06F54h	CTSR_0	CAN_0タイムスタンプレジスタ	0000h	
06F55h				
06F56h	CAFSR_0	CAN_0アクセプタンスフィルタサポートレジスタ	XXh	
06F57h			XXh	
06F58h	CTCR_0	CAN_0テスト制御レジスタ	00h	
06F59h				
06F5Ah				
06F5Bh				
06F5Ch				
06F5Dh				
06F5Eh				
06F5Fh				
06F60h				
06F61h				
06F62h				
06F63h				
06F64h				
06F65h				
06F66h				
06F67h				
06F68h				
06F69h				
06F6Ah				
06F6Bh				
06F6Ch				
06F6Dh				
06F6Eh				
06F6Fh				
06F70h				
06F71h				
06F72h				
06F73h				
06F74h				
06F75h				
06F76h				
06F77h				
06F78h				
06F79h				
06F7Ah				
06F7Bh				
06F7Ch				
06F7Dh				
06F7Eh	CANISR_0	CAN_0割り込みステータスレジスタ	00h	
06F7Fh	CANIE_0	CAN_0割り込み制御レジスタ	00h	
06F80h				
~				
06FFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.24 IDコード領域、オプション機能選択領域

アドレス	シンボル	領域名	リセット後の値	備考
0FFDBh	OFS2	オプション機能選択レジスタ2	(注1)	
0FFDFh	ID1		(注2)	
0FFE3h	ID2		(注2)	
0FFE7h	ID3		(注2)	
0FFE9h	ID4		(注2)	
0FFF3h	ID5		(注2)	
0FFF7h	ID6		(注2)	
0FFFBh	ID7		(注2)	
0FFFFh	OFS	オプション機能選択レジスタ	(注1)	

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はFFhになります。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域はFFhになります。

4. 電気的特性

4.1 絶対最大定格

表4.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /A _{VCC}	電源電圧		-0.3 ~ 6.5	V
V _I	入力電圧(注1)		-0.3 ~ V _{CC} + 0.3	V
I _{IN}	入力電流(注1)	(注2、3、4)	-4 ~ 4	mA
V _O	出力電圧		-0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	-40 T _{opr} 85	300	mW
		85 < T _{opr} 125	125	mW
T _{opr}	動作周囲温度		-40 ~ 85 (Jバージョン)/ -40 ~ 125 (Kバージョン)	
T _{stg}	保存温度		-65 ~ 150	

注1. 入力電圧あるいは入力電流のどちらか一方を満たしてください。

注2. 対象ポート：P0 ~ P3、P4_3 ~ P4_5、P5_0 ~ P5_4、P5_6、P5_7、P6、P8_0 ~ P8_6

注3. 入力電流の合計は、12mA以内にしてください。

注4. V_{CC}への供給がない場合でも、入力電流によりマイコンの電源が供給され動作することがあります。また、V_{CC}が供給されている場合では、入力電流により電源電圧を上昇させることがあります。その場合の動作については保証できませんので、マイコンの電源電圧が規格内で安定するようにシステムの電源回路で対処してください。

4.2 推奨動作条件

表4.2 推奨動作条件(1)

(指定のない場合は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $Topr = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V_{cc}/AV_{cc}	電源電圧		2.7	—	5.5	V		
V_{ss}/AV_{ss}	電源電圧		—	0	—	V		
V_{IH}	H入力電圧	CMOS入力以外		$0.8V_{cc}$	—	V_{cc}	V	
		CMOS入力	入力レベル 切り替え機能 (I/Oポート)	入力レベル選択: 0.35Vcc	4.0 V $V_{cc} < 4.0\text{ V}$	$0.5V_{cc}$	—	V_{cc}
	入力レベル選択: 0.5Vcc			4.0 V $V_{cc} < 4.0\text{ V}$	$0.65V_{cc}$	—	V_{cc}	V
	入力レベル選択: 0.7Vcc			4.0 V $V_{cc} < 4.0\text{ V}$	$0.7V_{cc}$	—	V_{cc}	V
	外部クロック入力(XOUT)				1.2	—	V_{cc}	V
	V_{IL}	L入力電圧	CMOS入力以外		0	—	$0.2V_{cc}$	V
			CMOS入力	入力レベル 切り替え機能 (I/Oポート)	入力レベル選択: 0.35Vcc	4.0 V $V_{cc} < 4.0\text{ V}$	0	—
入力レベル選択: 0.5Vcc		4.0 V $V_{cc} < 4.0\text{ V}$			0	—	$0.4V_{cc}$	V
入力レベル選択: 0.7Vcc		4.0 V $V_{cc} < 4.0\text{ V}$			0	—	$0.3V_{cc}$	V
外部クロック入力(XOUT)					0	—	0.4	V
$I_{OH}(\text{sum})$		H尖頭総出力電流	全端子の $I_{OH}(\text{peak})$ の総和	—	—	-80	mA	
$I_{OH}(\text{sum})$		H平均総出力電流	全端子の $I_{OH}(\text{avg})$ の総和	—	—	-40	mA	
$I_{OH}(\text{peak})$	H尖頭出力電流	駆動能力Low時	—	—	-10	mA		
		駆動能力High時	—	—	-40	mA		
$I_{OH}(\text{avg})$	H平均出力電流	駆動能力Low時	—	—	-5	mA		
		駆動能力High時	—	—	-20	mA		
$I_{OL}(\text{sum})$	L尖頭総出力電流	全端子の $I_{OL}(\text{peak})$ の総和	—	—	80	mA		
$I_{OL}(\text{sum})$	L平均総出力電流	全端子の $I_{OL}(\text{avg})$ の総和	—	—	40	mA		
$I_{OL}(\text{peak})$	L尖頭出力電流	駆動能力Low時	—	—	10	mA		
		駆動能力High時	—	—	40	mA		
$I_{OL}(\text{avg})$	L平均出力電流	駆動能力Low時	—	—	5	mA		
		駆動能力High時	—	—	20	mA		
$f(\text{XIN})$	XINクロック入力発振周波数	2.7 V $V_{cc} < 4.0\text{ V}$	—	—	20	MHz		
$f(\text{PLL})$	PLLクロック発振周波数	2.7 V $V_{cc} < 4.0\text{ V}$	10	—	32	MHz		
$f(\text{HOCO})$	タイマRC、タイマRDのカウントソース	2.7 V $V_{cc} < 4.0\text{ V}$	32	—	40	MHz		
$f(\text{HOCO-F})$	$f(\text{HOCO-F})$ 周波数	2.7 V $V_{cc} < 4.0\text{ V}$	—	—	20	MHz		
—	システムクロック周波数	2.7 V $V_{cc} < 4.0\text{ V}$	—	—	32	MHz		
$f(\text{BCLK})$	CPUクロック周波数	2.7 V $V_{cc} < 4.0\text{ V}$	—	—	32	MHz		
$t_{\text{SU}}(\text{PLL})$	PLL周波数シンセサイザ安定待ち時間	2.7 V $V_{cc} < 4.0\text{ V}$	—	—	1	ms		

注1. 平均出力電流は100 msの期間内での平均値です。

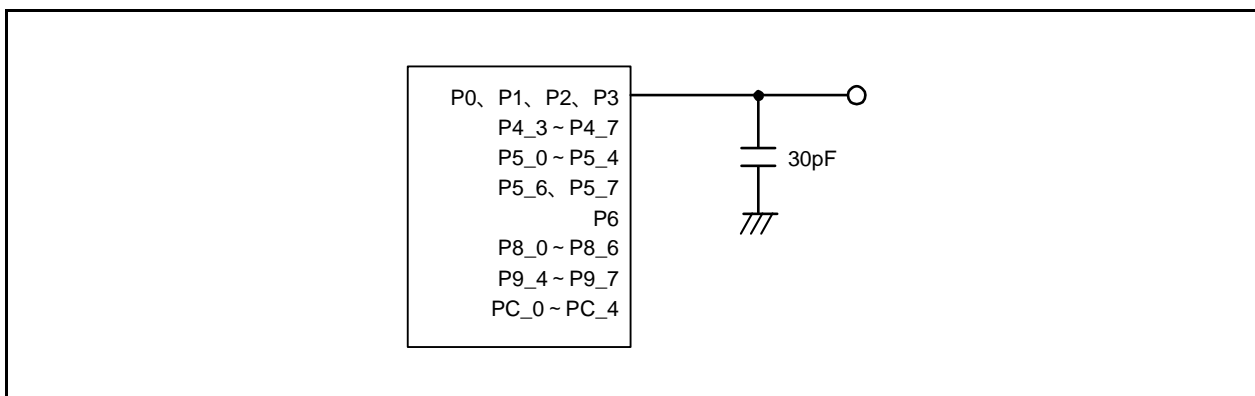


図4.1 ポートP0～P3、P4_3～P4_7、P5_0～P5_4、P5_6、P5_7、P6、P8_0～P8_6、P9_4～P9_7、PC_0～PC_4のタイミング測定回路

表4.3 推奨動作条件(2)

(指定のない場合は、 $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
IIC(H)	H入力インジェクション電流	P0、P1、P2、P3、 P4_3～P4_5、P5_0～P5_4、 P5_6、P5_7、P6、 P8_0～P8_6	$V_i > V_{CC}$	—	—	2	mA
IIC(L)	L入力インジェクション電流	P0、P1、P2、P3、 P4_3～P4_5、P5_0～P5_4、 P5_6、P5_7、P6、 P8_0～P8_6	$V_i < V_{SS}$	—	—	-2	mA
Σ [IIC]	総インジェクション電流			—	—	8	mA

表4.4 推奨動作条件(3)

(指定のない場合は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{r(VCC)}$	許容電源リップル電圧(注1)		—	—	$0.1V_{CC}$	V
$dV_{r(VCC)}/dt$	電源リップル立ち下がり勾配(注1)		—	—	10	V/ms

注1. 電源リップルは $V_{r(VCC)}$ 、 $dV_{r(VCC)}/dt$ のいずれか一方または両方を満たしてください。

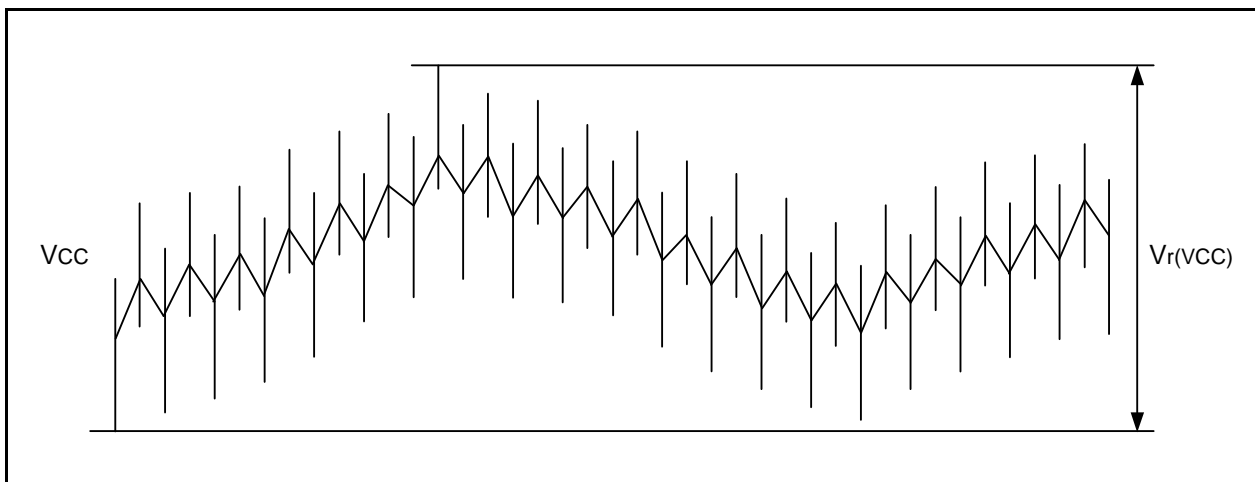


図4.2 電源リップル波形

4.3 周辺機能の特性

表4.5 A/Dコンバータの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = V_{REF} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{OPR} = -40 \sim 85$
(Jバージョン)/ $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
—	分解能	$V_{REF} = AV_{CC}$	—	—	10	Bit	
—	絶対精度	10ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0 ~ AN11入力 ANEX0 ~ ANEX3入力	—	—	± 3	LSB
			$V_{REF} = AV_{CC} = 3.3\text{ V}$ AN0 ~ AN11入力 ANEX0 ~ ANEX3入力	—	—	± 5	LSB
			$V_{REF} = AV_{CC} = 3.0\text{ V}$ AN0 ~ AN11入力 ANEX0 ~ ANEX3入力	—	—	± 5	LSB
		8ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0 ~ AN11入力 ANEX0 ~ ANEX3入力	—	—	± 2	LSB
			$V_{REF} = AV_{CC} = 3.3\text{ V}$ AN0 ~ AN11入力 ANEX0 ~ ANEX3入力	—	—	± 2	LSB
			$V_{REF} = AV_{CC} = 3.0\text{ V}$ AN0 ~ AN11入力 ANEX0 ~ ANEX3入力	—	—	± 2	LSB
ϕAD	A/D変換クロック	4.0 V $V_{REF} = AV_{CC}$ 5.5 V (注1)	2	—	20	MHz	
		3.2 V $V_{REF} = AV_{CC}$ 5.5 V (注1)	2	—	16	MHz	
		2.7 V $V_{REF} = AV_{CC}$ 5.5 V (注1)	2	—	10	MHz	
—	許容信号源インピーダンス		—	3	—	k Ω	
I_{VREF}	V_{REF} 電流	$V_{CC} = 5\text{ V}$ 、 $XIN = f1 = fAD = 20\text{ MHz}$	—	45	—	μA	
t_{CONV}	変換時間	10ビットモード $V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	μs	
		8ビットモード $V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	μs	
t_{SAMP}	サンプリング時間	$\phi AD = 20\text{ MHz}$	0.8	—	—	μs	
V_{REF}	基準電圧		2.7	—	AV_{CC}	V	
V_{IA}	アナログ入力電圧(注2)		0	—	V_{REF}	V	
OCVREF	チップ内蔵基準電圧	2MHz ϕAD 4MHz	1.14	1.34	1.54	V	

注1. CPUおよびフラッシュメモリが停止すると、A/D変換結果が不定となります。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表4.6 コンパレータBの特性

(指定のない場合は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{OPR} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{REF}	IVREF1、IVREF3入力基準電圧		0	—	$V_{CC} - 1.4$	V
V_I	IVCMP1、IVCMP3入力電圧		-0.3	—	$V_{CC} + 0.3$	V
—	オフセット		—	5	100	mV
t_d	コンパレータ出力遅延時間(注1)	$V_I = V_{REF} \pm 100\text{ mV}$	—	0.1	—	μs
I_{CMP}	コンパレータ動作電流	$V_{CC} = 5.0\text{ V}$	—	17.5	—	μA

注1. デジタルフィルタ非選択時。

表4.7 フラッシュメモリ(プログラムROM)の特性
(指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -40 ~ 85 (Jバージョン)/
-40 ~ 125 (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレース回数(注1)	データフラッシュあり品種	1,000 (注2)	—	—	回
		データフラッシュなし品種	100 (注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレース回数 100回)		—	—	—	μs
—	バイトプログラム時間 (プログラム/イレース回数 1,000回)		—	—	—	μs
—	ワードプログラム時間 (プログラム/イレース回数 100回)	Topr = 25、 Vcc = 5.0 V	—	100	200	μs
—	ワードプログラム時間 (プログラム/イレース回数 100回)		—	100	400	μs
—	ワードプログラム時間 (プログラム/イレース回数 1,000回)		—	100	650	μs
—	ブロックイレース時間		—	0.3	4	s
td(SR-SUS)	サスペンドへの遷移時間		—	—	5 + CPUクロック × 3サイクル	ms
—	イレース開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレースの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		-40	—	85 (Jver) 125 (Kver)	
—	データ保持時間	周囲温度 = 55 (注6)	20	—	—	年

注1. プログラム/イレース回数の定義

プログラム/イレース回数はブロックごとのイレース回数です。

プログラム/イレース回数がn回(n = 100、1,000)の場合、ブロックごとにそれぞれn回ずつイレースすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレースした場合も、プログラム/イレース回数は1回と数えます。ただし、イレース1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレース後のすべての電気的特性を保証する回数です。(保証は1~最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレースを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレースをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレースを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレースでイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレースコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 周囲温度125 の環境下での3,000時間、周囲温度85 の環境下での7,000時間を含みます。

表4.8 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の特性
(指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -40 ~ 85 (Jバージョン)/
-40 ~ 125 (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		10,000 (注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)		—	160	950	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)		—	300	950	μs
—	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)		—	0.2	1	s
—	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)		—	0.3	1	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	3 + CPUクロック × 3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t _d (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		-40	—	85 (Jver) 125 (Kver)	
—	データ保持時間	周囲温度 = 55 (注6)	20	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残り、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特约店にお問い合わせください。

注6. 周囲温度125 の環境下での3,000時間、周囲温度85 の環境下での7,000時間を含みます。

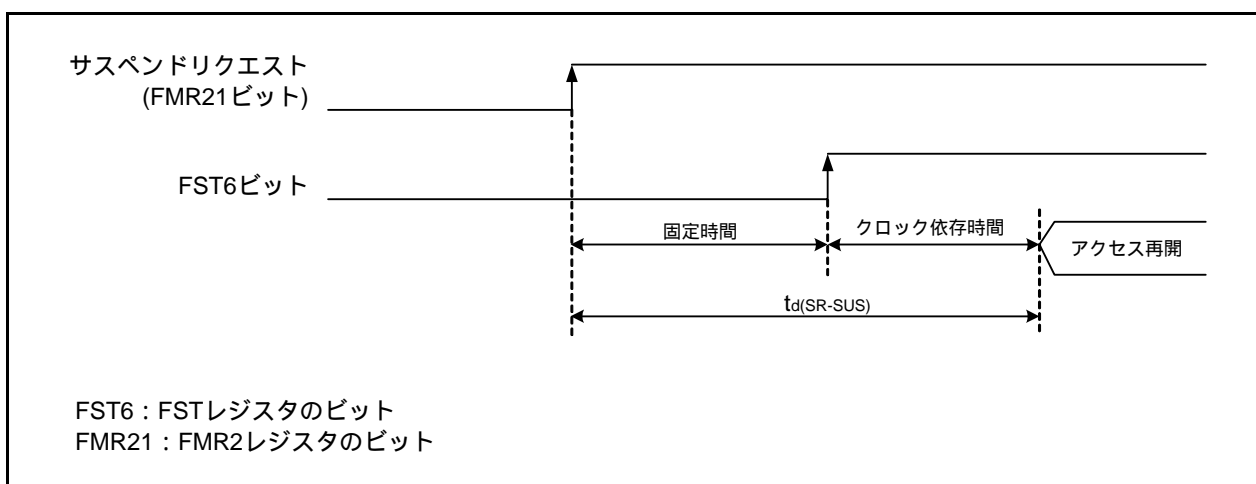


図4.3 サスペンドへの遷移時間

表4.9 電圧検出0回路の特性

(測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_2 (注1)	Vcc立ち下がり時	2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注1)	Vcc立ち下がり時	3.55	3.80	4.05	V
—	電圧検出0回路反応時間 (注2)	$V_{CC} = 5\text{ V}$ ($V_{det0} - 0.1\text{ V}$)	—	6	150	μs
—	電圧検出回路の自己消費電流	VCA25 = 1、 $V_{CC} = 5.0\text{ V}$	—	1.5	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	μs

注1. 電圧検出レベルはOFSレジスタのVDSEL0、VDSEL1ビットで選択してください。

注2. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

注3. VCA2レジスタのVCA25ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表4.10 電圧検出1回路の特性

(測定条件は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_7 (注1)	Vcc立ち下がり時	2.95	3.25	3.55	V
	電圧検出レベルVdet1_8 (注1)	Vcc立ち下がり時	3.10	3.40	3.70	V
	電圧検出レベルVdet1_9 (注1)	Vcc立ち下がり時	3.25	3.55	3.85	V
	電圧検出レベルVdet1_A (注1)	Vcc立ち下がり時	3.40	3.70	4.00	V
	電圧検出レベルVdet1_B (注1)	Vcc立ち下がり時	3.55	3.85	4.15	V
	電圧検出レベルVdet1_C (注1)	Vcc立ち下がり時	3.70	4.00	4.30	V
	電圧検出レベルVdet1_D (注1)	Vcc立ち下がり時	3.85	4.15	4.45	V
	電圧検出レベルVdet1_E (注1)	Vcc立ち下がり時	4.00	4.30	4.60	V
	電圧検出レベルVdet1_F (注1)	Vcc立ち下がり時	4.15	4.45	4.75	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス		—	0.10	—	V
—	電圧検出1回路反応時間 (注2)	$V_{cc} = 5\text{ V}$ ($V_{det1} - 0.1$) V	—	60	150	μs
—	電圧検出回路の自己消費電流	VCA26 = 1、 $V_{cc} = 5.0\text{ V}$	—	1.7	—	μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	μs

注1. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表4.11 電圧検出2回路の特性

(測定条件は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.00	4.30	V
—	電圧検出2回路のVcc立ち上がり時のヒステリシス		—	0.1	—	μs
—	電圧検出2回路反応時間 (注1)	$V_{cc} = 5\text{ V}$ ($V_{det2_0} - 0.1$) V	—	20	150	μs
—	電圧検出回路の自己消費電流	VCA27 = 1、 $V_{cc} = 5.0\text{ V}$	—	1.7	—	μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間 (注2)		—	—	100	μs

注1. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注2. VCA2レジスタのVCA27ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表4.12 パワーオンリセット回路の特性(注1)

(測定条件は、Topr = -40 ~ 85 (Jバージョン)/-40 ~ 125 (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50,000	mV/msec

注1. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを0にして電圧監視0リセットを有効にしてください。

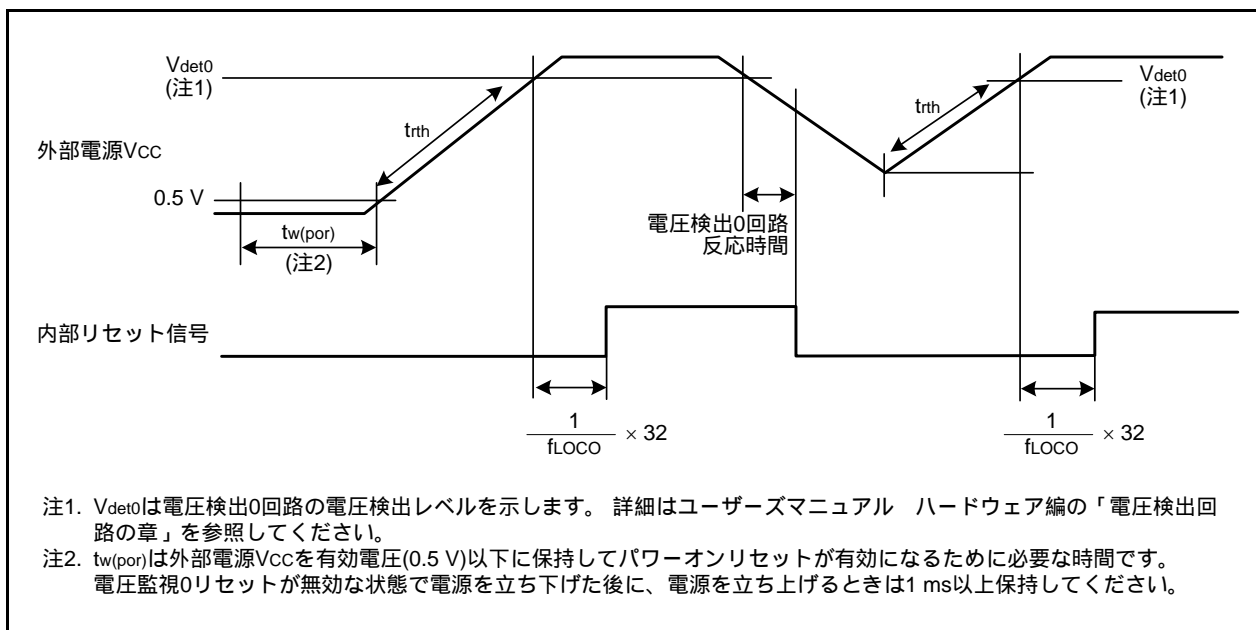


図4.4 パワーオンリセット回路の特性

表4.13 高速オンチップオシレータ発振回路の特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	Vcc = 2.7 V ~ 5.5 V、 -40 Topr 85	—	40	—	MHz
—	FRA2レジスタのFRA25、FRA24ビットに01bを書き込んだときの高速オンチップオシレータ発振周波数(注1)	(Jバージョン) -40 Topr 125	—	36.864	—	MHz
—	FRA2レジスタのFRA25、FRA24ビットに10bを書き込んだときの高速オンチップオシレータ発振周波数	(Kバージョン)	—	32	—	MHz
—	高速オンチップオシレータ発振周波数の温度・電圧依存性(注2)		-1.5	—	1.5	%
—	発振安定時間	Vcc = 5.0 V、Topr = 25	—	250	—	μs
—	発振時の自己消費電流	Vcc = 5.0 V、Topr = 25	—	400	—	μA

注1. シリアルインタフェースをUARTモードで使用時、9600bps、38400bpsなどのビットレートの設定誤差を0%にすることができます。

注2. 高速オンチップオシレータ発振周波数に対する精度誤差を示します。

表4.14 低速オンチップオシレータ発振回路の特性
(測定条件は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fLOCO	低速オンチップオシレータ発振周波数	2.7 V $V_{cc} < 4.2\text{ V}$	106.25	125	143.75	kHz
		4.2 V $V_{cc} = 5.5\text{ V}$	112.5	125	137.5	
fLOCOWDT	ウォッチドッグタイマ用低速オンチップオシレータ発振周波数	2.7 V $V_{cc} < 4.2\text{ V}$	106.25	125	143.75	kHz
		4.2 V $V_{cc} = 5.5\text{ V}$	112.5	125	137.5	
—	発振安定時間	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25$	—	30	100	μs
—	発振時の自己消費電流	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25$	—	3	—	μA

表4.15 電源回路の特性
(測定条件は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間 (注1)		—	—	2,000	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

4.4 DC特性

表4.16 DC特性(1) [4.2 V V_{cc} 5.5 V]
 (指定のない場合は、 $V_{cc} = 4.2\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン)、 $f(XIN) = 20\text{ MHz}$)

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	H出力電圧	XOUT以外	駆動能力High	$I_{OH} = -20\text{ mA}$	$V_{cc} - 2.0$	—	V_{cc}	V
			駆動能力Low	$I_{OH} = -5\text{ mA}$	$V_{cc} - 2.0$	—	V_{cc}	V
				$I_{OH} = -200\text{ }\mu\text{A}$	$V_{cc} - 0.3$	—	V_{cc}	V
		XOUT		$I_{OH} = -200\text{ }\mu\text{A}$	1.0	—	V_{cc}	V
VOL	L出力電圧	XOUT以外	駆動能力High	$I_{OL} = 20\text{ mA}$	—	—	2.0	V
			駆動能力Low	$I_{OL} = 5\text{ mA}$	—	—	2.0	V
				$I_{OL} = 200\text{ }\mu\text{A}$	—	—	0.45	V
		XOUT		$I_{OL} = 200\text{ }\mu\text{A}$	—	—	0.5	V
VT+·VT-	ヒステリシス	INT0 ~ INT4、K10 ~ K13、 TRJIO_0、TRJIO_1、 TRCCLK_0、TRCCLK_1、 TRCTRG_0、TRCTRG_1、 TRCIOA_0、TRCIOB_0、 TRCIOA_1、TRCIOB_1、 TRCIOA_0、TRCIOB_0、 TRCIOA_1、TRCIOB_1、 TRDIOA0_0、TRDIOA1_0、 TRDIOB0_0、TRDIOB1_0、 TRDIOC0_0、TRDIOC1_0、 TRDIOD0_0、TRDIOD1_0、 TRDCLK_0、TRFI、 TRGIOA、TRGIOB、 TRGCLKA、TRGCLKB、 CLK_0、CLK_1、 RXD_0、RXD_1、CTS2、 RXD2、 SCL_0、SCL_1、 SDA_0、SDA_1、 SSI_0、SSI_1、 SCS_0、SCS_1、 SSCK_0、SSCK_1、 SSO_0、SSO_1	$V_{cc} = 5.0\text{ V}$	0.1	1.2	—	V	
		RESET	$V_{cc} = 5.0\text{ V}$	0.1	1.2	—	V	
I _{IH}	H入力電流		$V_I = 5.0\text{ V}$ 、 $V_{cc} = 5.0\text{ V}$		—	—	1.0	μA
I _{IL}	L入力電流		$V_I = 0\text{ V}$ 、 $V_{cc} = 5.0\text{ V}$		—	—	-1.0	μA
RPULLUP	プルアップ抵抗		$V_I = 0\text{ V}$ 、 $V_{cc} = 5.0\text{ V}$		25	50	100	k Ω
R _{fXIN}	帰還抵抗	XIN			—	0.3	—	M Ω
VRAM	RAM保持電圧		ストップモード時		2.0	—	—	V

表4.17 DC特性(2) [3.3 V V_{cc} 5.5 V]
(指定のない場合は、Topr = -40 ~ 85 (Jバージョン))

記号	項目	測定条件							規格値(注4)			単位	
		発振回路	オンチップオシレータ		通信、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大		
I _{cc}	電源 電流 (注1)	PLL動作モード	4 MHz	停止	125 kHz	8通倍	32 MHz	—	—	—	14.0	21	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16.4	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13.4	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8分周	1.25 MHz	—	—	—	2.0	—	mA
			高速オンチップ オシレータモード	停止	20 MHz (注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17.4
		停止		20 MHz (注3)	125 kHz	8分周	2.5 MHz	—	—	—	4.1	—	mA
		停止		4 MHz (注3)	125 kHz	16分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	200	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	120	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	5	110	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 85 周辺クロック停止	—	30.0	—	μA

注1. V_{cc} = 3.3 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はV_{ss}。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表4.18 DC特性(3) [3.3 V Vcc 5.5 V]
(指定のない場合は、Topr = -40 ~ 125 (Kバージョン))

記号	項目	測定条件							規格値(注4)			単位		
		発振回路	オンチップオシレータ		通信、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大			
Icc	電源 電流 (注1)	PLL動作モード	4 MHz	停止	125 kHz	8通倍	32 MHz	—	—	—	14.0	21	mA	
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16.4	mA	
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13.4	mA	
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA	
			20 MHz	停止	125 kHz	8分周	2.5 MHz	—	—	—	3.6	—	mA	
			16 MHz	停止	125 kHz	8分周	2 MHz	—	—	—	2.9	—	mA	
			10 MHz	停止	125 kHz	8分周	1.25 MHz	—	—	—	2.0	—	mA	
			高速オンチップ オシレータモード	停止	20 MHz (注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17.4	mA
		停止		20 MHz (注3)	125 kHz	8分周	2.5 MHz	—	—	—	4.1	—	mA	
		停止		4 MHz (注3)	125 kHz	16分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	—	100	400	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	330	μA	
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	5	320	μA	
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25 周辺クロック停止	—	2.5	5.0	μA	
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 125 周辺クロック停止	—	120	—	μA	

注1. Vcc = 3.3 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表4.19 DC特性(4) [2.7 V $V_{cc} < 4.2$ V]
 (測定条件は、2.7 V $V_{cc} < 4.2$ V、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン)、 $f(XIN) = 10$ MHz)

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	H出力電圧	XOUT以外	駆動能力High	$I_{OH} = -5$ mA	$V_{cc} - 0.5$	—	V_{cc}	V
			駆動能力Low	$I_{OH} = -1$ mA	$V_{cc} - 0.5$	—	V_{cc}	V
		XOUT		$I_{OH} = -200$ μ A	1.0	—	V_{cc}	V
VOL	L出力電圧	XOUT以外	駆動能力High	$I_{OL} = 5$ mA	—	—	0.5	V
			駆動能力Low	$I_{OL} = 1$ mA	—	—	0.5	V
		XOUT		$I_{OL} = 200$ μ A	—	—	0.5	V
VT+VT-	ヒステリシス	INT0 ~ INT4, KI0 ~ KI3, TRJIO_0, TRJIO_1, TRCCLK_0, TRCCLK_1, TRCTRG_0, TRCTRG_1, TRCIOA_0, TRCIOB_0, TRCIOA_1, TRCIOB_1, TRCIOA_0, TRCIOB_0, TRCIOA_1, TRCIOB_1, TRCIOA_0, TRCIOB_0, TRCIOA_1, TRCIOB_1, TRDIOA0_0, TRDIOA1_0, TRDIOB0_0, TRDIOB1_0, TRDIOC0_0, TRDIOC1_0, TRDIOD0_0, TRDIOD1_0, TRDCLK_0, TRFI, TRGIOA, TRGIOB, TRGCLKA, TRGCLKB, CLK_0, CLK_1, <u> </u> RXD_0, RXD_1, CTS2, RXD2, SCL_0, SCL_1, SDA_0, SDA_1, SSI_0, SSI_1, SCS_0, SCS_1, SSCK_0, SSCK_1, SSO_0, SSO_1	$V_{cc} = 3.0$ V	0.1	0.4	—	V	
		RESET	$V_{cc} = 3.0$ V	0.1	0.5	—	V	
I _{IH}	H入力電流		$V_i = 3.0$ V、 $V_{cc} = 3.0$ V		—	—	1.0	μ A
I _{IL}	L入力電流		$V_i = 0$ V、 $V_{cc} = 3.0$ V		—	—	-1.0	μ A
R _{PULLUP}	プルアップ抵抗		$V_i = 0$ V、 $V_{cc} = 3.0$ V		42	84	168	k Ω
R _{iXIN}	帰還抵抗	XIN			—	0.3	—	M Ω
V _{RAM}	RAM保持電圧		ストップモード時		2.0	—	—	V

表4.20 DC特性(5) [2.7 V $V_{CC} < 3.3$ V]
(指定のない場合は、 $T_{opr} = -40 \sim 85$ (Jバージョン))

記号	項目	測定条件							規格値(注4)			単位	
		発振回路	オンチップオシレータ		通倍、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大		
I _{CC}	電源 電流 (注1)	PLL動作モード	4 MHz	停止	125 kHz	8通倍	32 MHz	—	—	—	14.0	20.5	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8分周	1.25 MHz	—	—	—	2.0	—	mA
			高速オンチップ オシレータモード	停止	20 MHz (注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17
		停止		20 MHz (注3)	125 kHz	8分周	2.5 MHz	—	—	—	4.1	—	mA
		停止		4 MHz (注3)	125 kHz	16分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	200	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	120	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	5	110	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	$T_{opr} = 25$ 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	$T_{opr} = 85$ 周辺クロック停止	—	30.0	—	μA

注1. $V_{CC} = 2.7$ V ~ 3.3 V、シングルチップモードで、出力端子は開放、その他の端子は V_{SS} 。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表4.21 DC特性(6) [2.7 V $V_{CC} < 3.3$ V]
(指定のない場合は、 $T_{opr} = -40 \sim 125$ (Kバージョン))

記号	項目	測定条件							規格値(注4)			単位	
		発振回路	オンチップオシレータ		通信、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大		
		XIN (注2)	高速	低速									
I _{CC}	電源 電流 (注1)	PLL動作モード	4 MHz	停止	125 kHz	8通倍	32 MHz	—	—	—	14.0	20.5	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8分周	1.25 MHz	—	—	—	2.0	—	mA
		高速オンチップ オシレータモード	停止	20 MHz (注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17	mA
			停止	20 MHz (注3)	125 kHz	8分周	2.5 MHz	—	—	—	4.1	—	mA
			停止	4 MHz (注3)	125 kHz	16分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
	低速オンチップ オシレータモード	停止	停止	125 kHz	8分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	390	μA	
	ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	22	320	μA	
		停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	6	310	μA	
	ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	$T_{opr} = 25$ 周辺クロック停止	—	2.5	5.0	μA	
		停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	$T_{opr} = 125$ 周辺クロック停止	—	120	—	μA	

注1. $V_{CC} = 2.7$ V ~ 3.3 V、シングルチップモードで、出力端子は開放、その他の端子は V_{SS} 。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

4.5 AC特性

表4.22 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(マスタ動作時)
(測定条件は、Vcc = 2.7 V ~ 5.5 V、Topr = -40 ~ 85 (Jバージョン)/
-40 ~ 125 (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4.00	—	—	tCYC (注1)
tHI	SSCKクロックHパルス幅		0.40	—	0.60	tSUCYC
tLO	SSCKクロックLパルス幅		0.40	—	0.60	tSUCYC
tRISE	SSCKクロック立ち上がり時間	2.7 V Vcc 5.5 V	—	—	0.50	tCYC (注1)
tFALL	SSCKクロック立ち下がり時間	2.7 V Vcc 5.5 V	—	—	0.50	tCYC (注1)
tSU	SSI、SSOデータ入力セットアップ時間	4.5 V Vcc 5.5 V	60	—	—	ns
		2.7 V Vcc < 4.5 V	70	—	—	ns
tH	SSI、SSOデータ入力ホールド時間	2.7 V Vcc 5.5 V	2.00	—	—	tCYC (注1)
tLEAD	SCS - SCK出力遅延時間		0.5 tSUCYC - 1 tCYC	—	—	ns
tLAG	SCK - SCS出力有効時間		0.5 tSUCYC - 1 tCYC	—	—	ns
tOD	SSOデータ出力遅延時間	2.7 V Vcc 5.5 V	—	—	30.00	ns

注1. 1tCYC = 1/f1 (s)、f1 = 20MHz

表4.23 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(スレーブ動作時)
(測定条件は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40 \sim 85$ (Jバージョン)/
 $-40 \sim 125$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4.00	—	—	tCYC (注1)
tHI	SSCKクロックHパルス幅		0.40	—	0.60	tSUCYC
tLO	SSCKクロックLパルス幅		0.40	—	0.60	tSUCYC
tRISE	SSCKクロック立ち上がり時間		—	—	1.00	μs
tFALL	SSCKクロック立ち下がり時間		—	—	1.00	μs
tSU	SSOデータ入力セットアップ時間		10.00	—	—	ns
tH	SSOデータ入力ホールド時間		2.00	—	—	tCYC (注1)
tLEAD	SCSセットアップ時間		$1t_{CYC} + 50$	—	—	ns
tLAG	SCSホールド時間		$1t_{CYC} + 50$	—	—	ns
tOD	SSI、SSOデータ出力遅延時間	4.5 V V_{cc} 5.5 V	—	—	60	ns
		2.7 V $V_{cc} < 4.5\text{ V}$	—	—	70	ns
tSA	SSIスレーブアクセス時間	2.7 V V_{cc} 5.5 V	—	—	$1.5t_{CYC} + 100$	ns
tOR	SSIスレーブアウト開放時間	2.7 V V_{cc} 5.5 V	—	—	$1.5t_{CYC} + 100$	ns

注1. $1t_{CYC} = 1/f_1$ (s)、 $f_1 = 20\text{ MHz}$

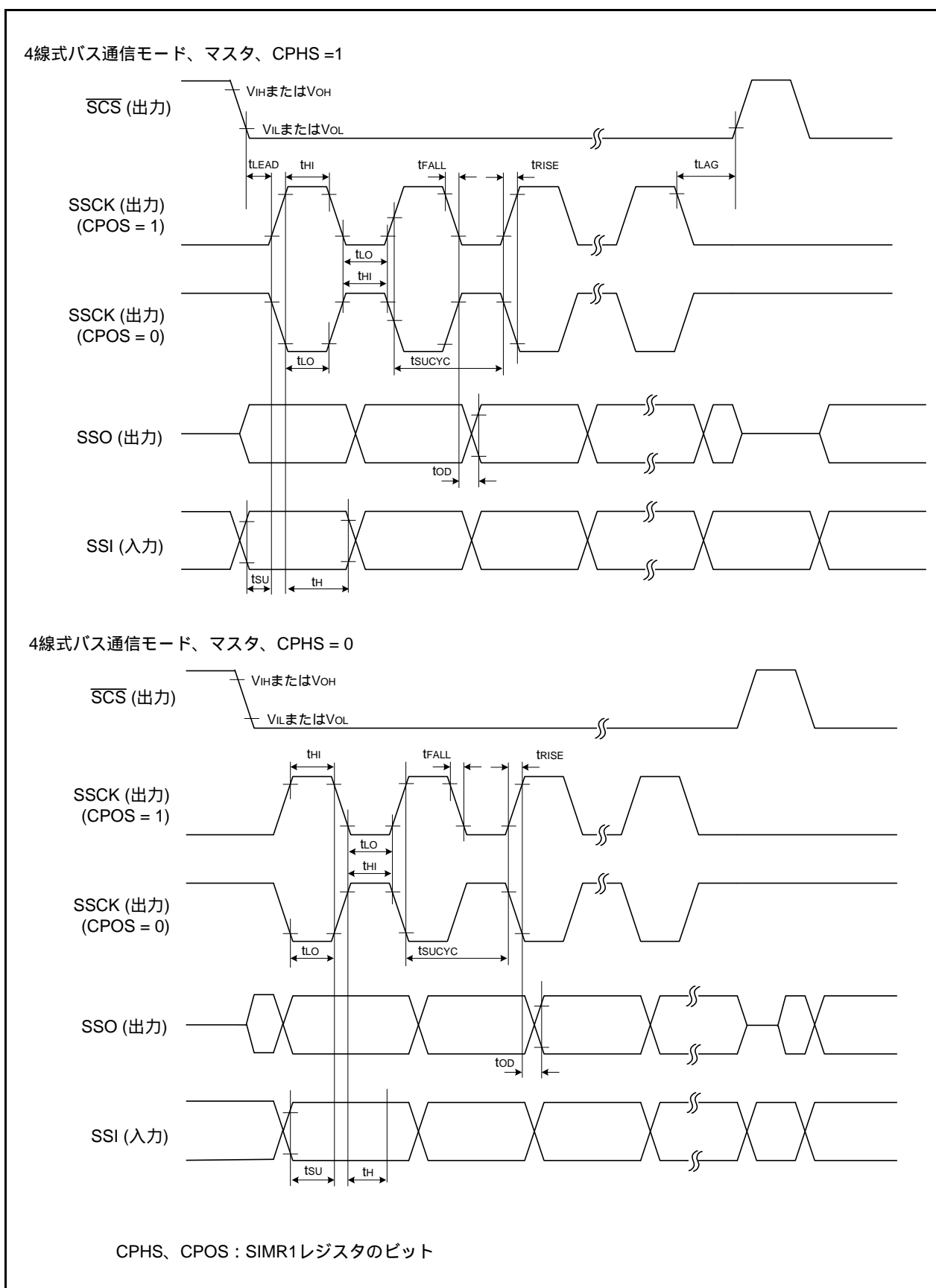


図4.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

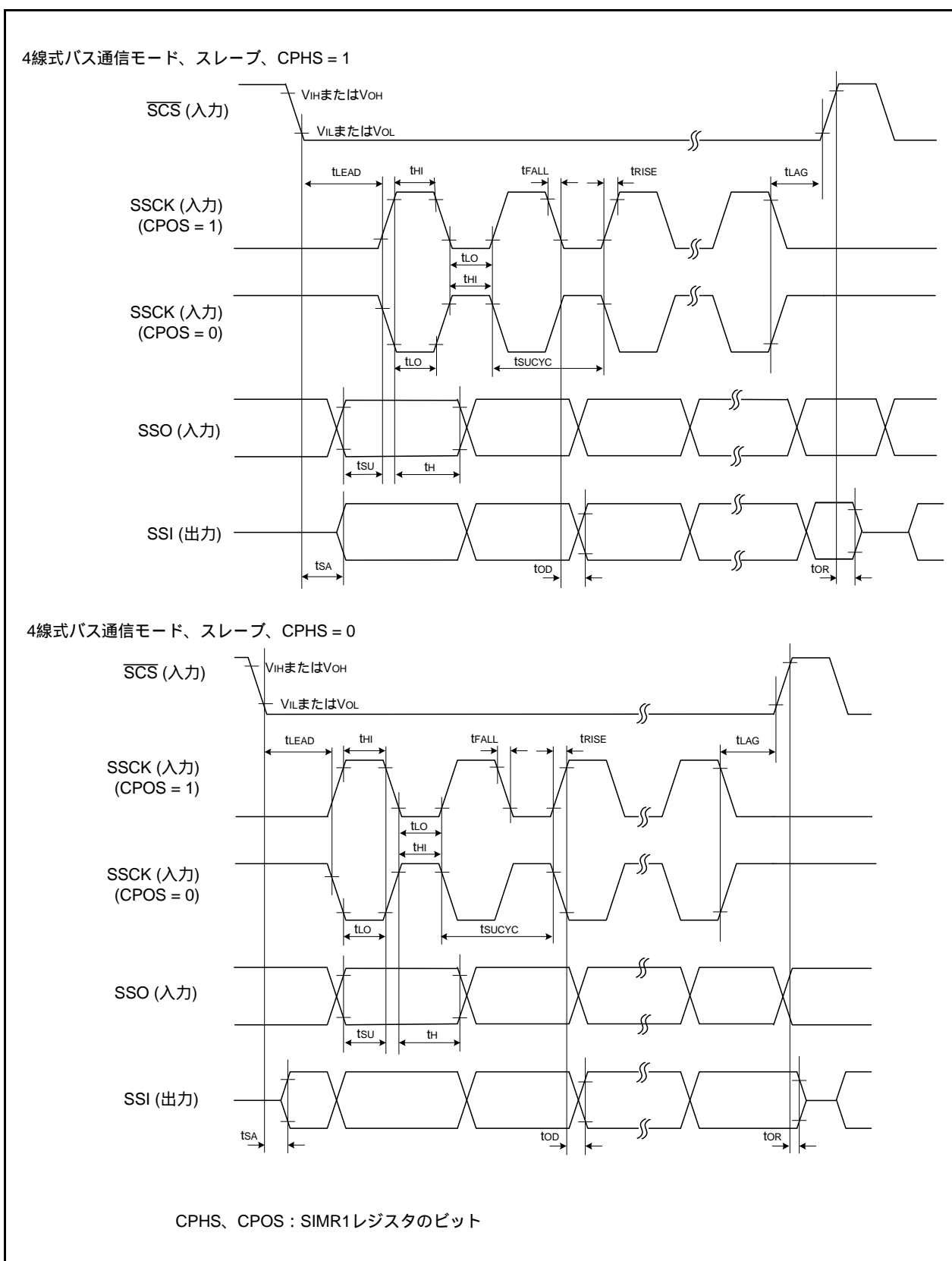


図4.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

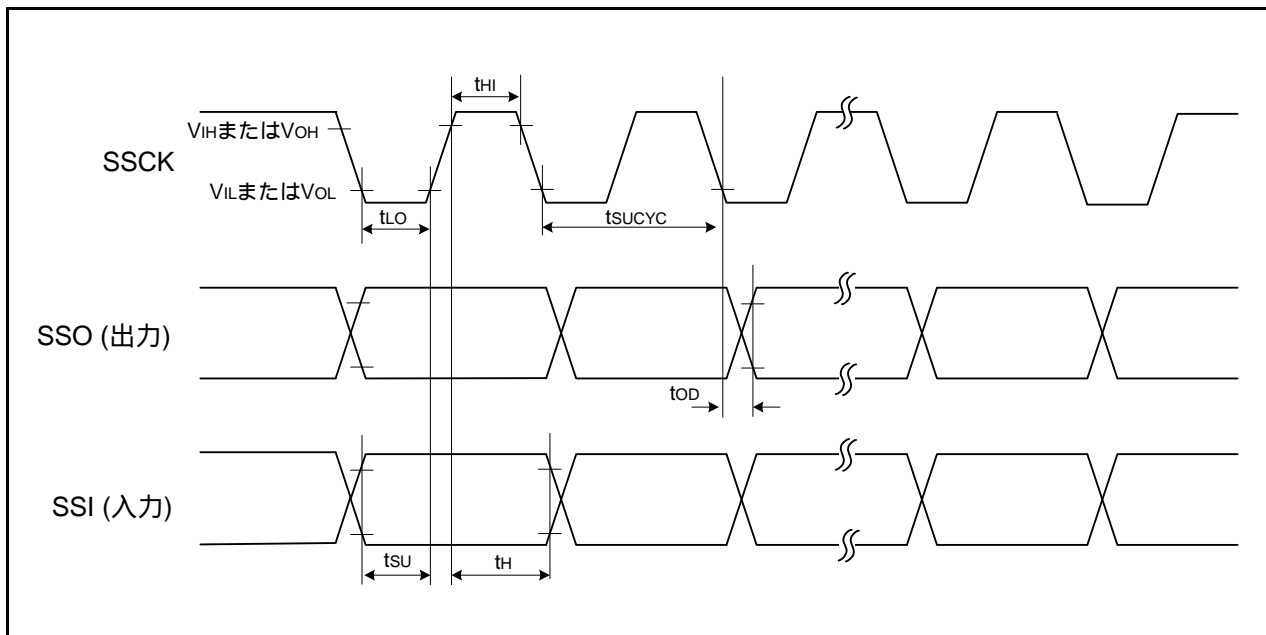


図4.7 シンクロナスシリアルコミュニケーションユニット (SSU) の入出力タイミング (クロック同期式通信モード)

表4.24 I²Cバスインタフェースのタイミング条件
 (測定条件は、V_{cc} = 2.7 V ~ 5.5 V、T_{opr} = -40 ~ 85 (Jバージョン)/
 -40 ~ 125 (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600 (注1)	—	—	ns
tSCLH	SCL入力Hパルス幅		3tcyc + 300 (注1)	—	—	ns
tSCLL	SCL入力Lパルス幅		5tcyc + 500 (注1)	—	—	ns
tsf	SCL、SDA入力立ち下がり時間		—	—	300	ns
tSP	SCL、SDA入カスパイクパルス除去時間		—	—	1tcyc (注1)	ns
tBUF	SDA入力バスフリー時間		5tcyc (注1)	—	—	ns
tSTAH	開始条件入力ホールド時間		3tcyc (注1)	—	—	ns
tSTAS	反復開始条件入力セットアップ時間		3tcyc (注1)	—	—	ns
tSTOP	停止条件入力セットアップ時間		3tcyc (注1)	—	—	ns
tSDAS	データ入力セットアップ時間		1tcyc + 40 (注1)	—	—	ns
tSDAH	データ入力ホールド時間		10	—	—	ns

注1. 1tcyc = 1/f₁ (s)、f₁ = 20MHz

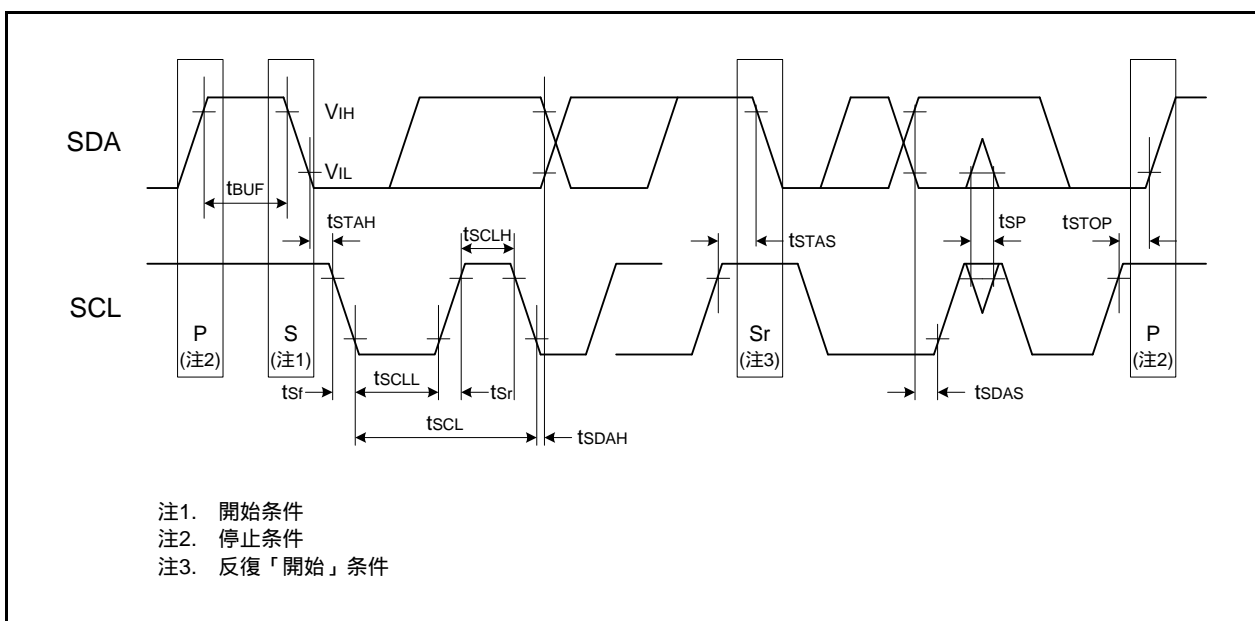


図4.8 I²Cバスインタフェースの入出力タイミング

表4.25 外部クロック入力(XOUT)のタイミング条件

記号	項目	規格値				単位
		Vcc = 3 V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	
t _c (XOUT)	XOUT入力サイクル時間	50	—	50	—	ns
t _{WH} (XOUT)	XOUT入力Hパルス幅	24	—	24	—	ns
t _{WL} (XOUT)	XOUT入力Lパルス幅	24	—	24	—	ns

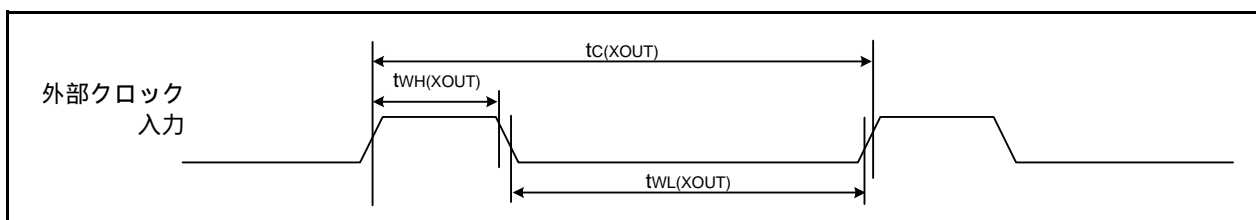


図4.9 外部クロック入力タイミング

表4.26 TRJIOのタイミング条件

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	
t _c (TRJIO)	TRJIO入力サイクル時間	300	—	100	—	ns
t _{WH} (TRJIO)	TRJIO入力Hパルス幅	120	—	40	—	ns
t _{WL} (TRJIO)	TRJIO入力Lパルス幅	120	—	40	—	ns

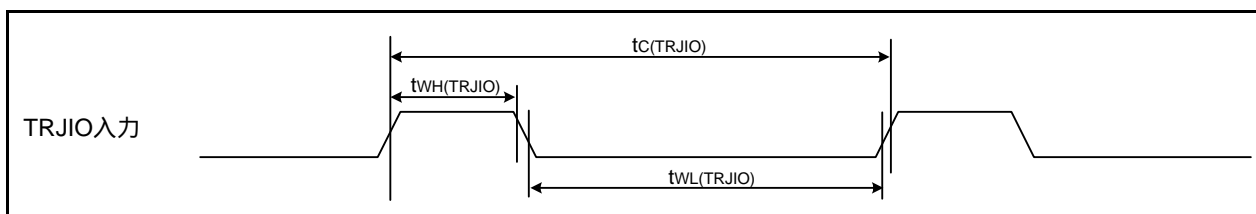


図4.10 TRJIOの入力タイミング

表4.27 シリアルインタフェースのタイミング条件
(転送クロックを内部クロック選択時(マスタ通信))

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	
t _d (C-Q)	TXDi出力遅延時間	—	30	—	10	ns
t _{su} (D-C)	RXDi入力セットアップ時間(注1)	120	—	90	—	ns
t _h (C-D)	RXDi入力ホールド時間	90	—	90	—	ns

i = 0、1

注1. 外部端子負荷条件CL = 30pF

表4.28 シリアルインタフェースのタイミング条件
(転送クロックを外部クロック選択時(スレーブ通信))

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	
t _c (CK)	CLKi入力サイクル時間	300	—	200	—	ns
t _w (CKH)	CLKi入力Hパルス幅	150	—	100	—	ns
t _w (CKL)	CLKi入力Lパルス幅	150	—	100	—	ns
t _d (C-Q)	TXDi出力遅延時間	—	120	—	90	ns
t _{su} (D-C)	RXDi入力セットアップ時間	30	—	10	—	ns
t _h (C-D)	RXDi入力ホールド時間	90	—	90	—	ns

i = 0、1

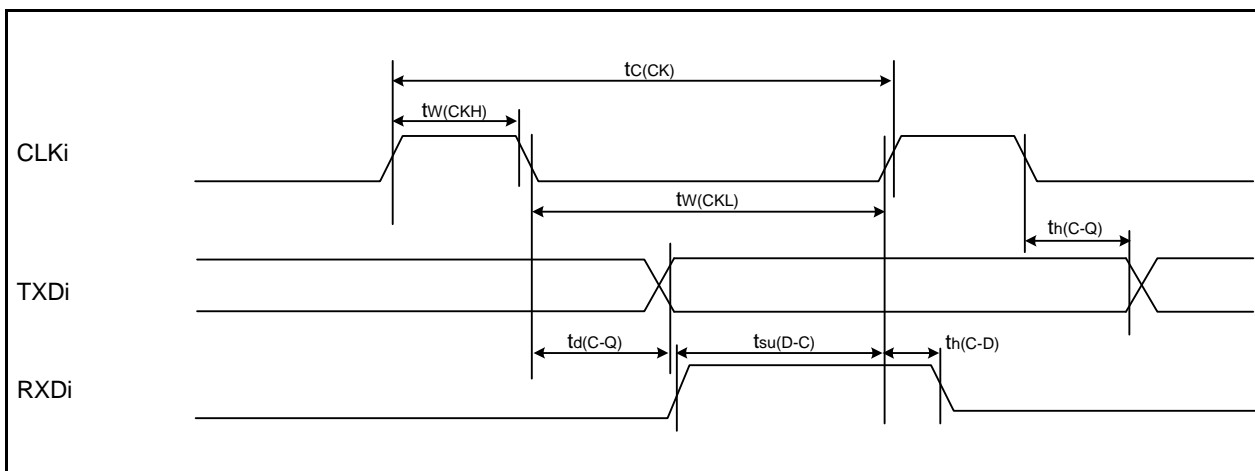


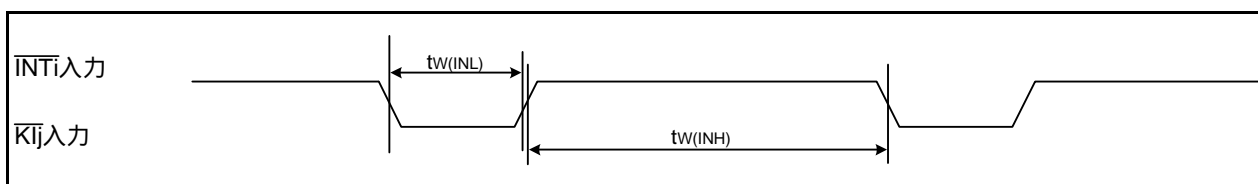
図4.11 シリアルインタフェースの入出力タイミング(i = 0、1)

表4.29 外部割り込み $\overline{\text{INT}}_i$ 入力 ($i = 0 \sim 4$)、キー入力割り込み $\overline{\text{KIJ}}_j$ ($j = 0 \sim 3$)のタイミング条件

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	
$t_{W(\text{INH})}$	$\overline{\text{INT}}_i$ 入力Hパルス幅、 $\overline{\text{KIj}}$ 入力Hパルス幅	380 (注1)	—	250 (注1)	—	ns
$t_{W(\text{INL})}$	$\overline{\text{INT}}_i$ 入力Lパルス幅、 $\overline{\text{KIj}}$ 入力Lパルス幅	380 (注2)	—	250 (注2)	—	ns

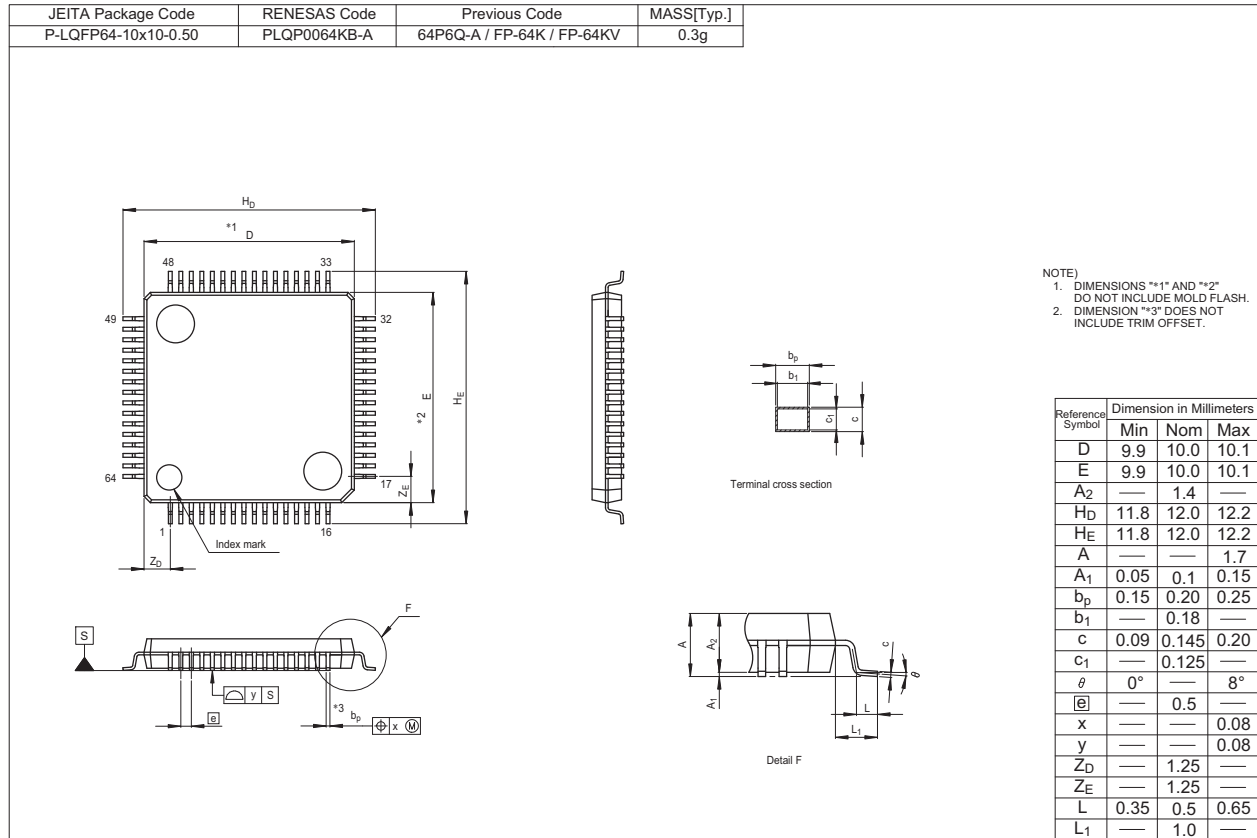
注1. $\overline{\text{INT}}_i$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$ 入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. $\overline{\text{INT}}_i$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$ 入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

図4.12 外部割り込み $\overline{\text{INT}}_i$ およびキー入力割り込み $\overline{\text{KIj}}$ の入力タイミング ($i = 0 \sim 4$, $j = 0 \sim 3$)

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。



改訂記録	R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ データシート
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2010.12.17	—	初版発行
0.10	2011.03.11	1 ~ 27 32 ~ 34 46	R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ 追記 3.2、3.3、3.4 追記 表3.12 ポートレジスタ シンボル変更
0.20	2011.09.12	19	図1.6 注1~3 追加
1.00	2012.03.28	全ページ 2、5、8、11 3、6、9、12 4、7、10、13 19 26 35 39 45 58 59 ~ 84	「暫定版」、「開発中」 削除 レジスタ名変更 「タイマRD_0 ELCレジスタ」、「タイマRD_0 ELC連動制御レジスタ」、 「TRDELCCレジスタ」、「TRDELCCRレジスタ」、 レジスタシンボル名変更 「TRDELCC_0」、「TRDELCCR_0」 表1.1、表1.4、表1.7、表1.10 「最小命令実行時間」 変更 表1.2、表1.5、表1.8、表1.11 「リード電圧」 変更 表1.3、表1.6、表1.9、表1.12 「動作周波数/電源電圧」、「消費電流」 変更 図1.6 「P9_5/SDA_1/SCS_0」、「P9_5/SDA_1/SCS_1」 表1.23 「電源入力」 変更 表3.1 「電圧監視回路制御レジスタのリセット後の値」 変更 表3.5 シンボル「TRBPRSC_0」 追加 表3.11 「タイマRJ_0端子選択レジスタのリセット後の値」 変更 表3.24 変更、注2 追加 「4. 電気的特性」 追記
2.00	2012.09.05	2、5、8、11 70、73 71、72 74、75 76、77、81	表1.1、表1.4、表1.7、表1.10 変更 表4.16、表4.19 「VRAM」 変更 表4.17、表4.18 変更 表4.20、表4.21 変更 表4.22、表4.23、表4.24 注1 変更

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>