

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

1.1 特長

R8C/L35A、R8C/L36A、R8C/L38A、およびR8C/L3AAグループ、ならびにR8C/L35B、R8C/L36B、R8C/L38B、およびR8C/L3ABグループの計8グループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1M バイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS 性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/L35A、R8C/L36A、R8C/L38A、およびR8C/L3AA グループはBGO (バックグラウンドオペレーション)機能付データフラッシュ (1KB × 4ブロック)を内蔵します。

1.1.1 応用

家電、事務機器、オーディオ、民生機器、他

1.1.2 グループごとの相違点

表 1.1 ~ 表 1.2 にグループ相違点を、表 1.3 にグループごとに備えるプログラマブル入出力ポートを示します。
 各グループのピン配置図は、図 1.13 ~ 図 1.17 に、各製品については、表 1.8 ~ 表 1.15 に示します。
 なお、次章以降の説明では R8C/L3AA グループについて説明しますので、以上の相違点に留意ください。

表 1.1 グループごとの相違点 (1)

分類	機能	R8C/L35Aグループ、R8C/L36Aグループ、 R8C/L38Aグループ、R8C/L3AAグループ	R8C/L35Bグループ、R8C/L36Bグループ、 R8C/L38Bグループ、R8C/L3ABグループ
データ フラッシュ	BGO (バックグラウンドオペレーション) 機能付 1KB x 4 ブロック	搭載	非搭載

表 1.2 グループごとの相違点 (2)

分類	機能	R8C/L35Aグループ R8C/L35Bグループ	R8C/L36Aグループ R8C/L36Bグループ	R8C/L38Aグループ R8C/L38Bグループ	R8C/L3AAグループ R8C/L3ABグループ
I/Oポート	プログラマブル入出力ポート	41本	52本	68本	88本
	大電流駆動ポート	5本	8本	8本	16本
割り込み	INT 割り込み入力端子	5本	8本	8本	8本
	キー入力割り込み端子	4本	4本	8本	8本
タイマ	タイマ RA 端子 (入出力：1、出力：1)	1本 (入出力端子のみ)	2本	2本	2本
	タイマ RB 端子 (出力：1)	なし	1本	1本	1本
	タイマ RD 端子 (入出力：8)	なし	なし	8本	8本
	タイマ RE 端子 (出力：1)	なし	1本	1本	1本
	タイマ RG 端子 (入出力：2、出力：2)	なし	なし	なし	4本
A/Dコンバータ	アナログ入力端子	10本	10本	16本	20本
LCD 駆動制御 回路	LCD 電源	3本 (VL1、VL2、VL4)	4本 (VL1 ~ VL4)	4本 (VL1 ~ VL4)	4本 (VL1 ~ VL4)
	コモン出力端子	最大4本	最大8本	最大8本	最大8本
	セグメント出力端子	最大24本	最大32本	最大48本	最大56本
その他の端子機能	WKUP1	なし	なし	あり	あり
パッケージ		52ピン LQFP	64ピン LQFP	80ピン LQFP	100ピン LQFP/ 100ピン QFP

注1. I/Oポートは割り込みやタイマなどの入出力機能を兼用しています。
 詳細については、表 1.16 ~ 表 1.18 ピン番号別端子名一覧を参照してください。

1.1.3 仕様概要

表1.5～表1.7に仕様概要を示します。

表1.5 仕様概要(1)

分類	機能	説明	
CPU	中央演算処理装置	R8C CPUコア ・基本命令数：89命令 ・最小命令実行時間：50ns (f(XIN)=20MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=1.8~5.5V) ・乗算器：16ビット×16ビット 32ビット ・積和演算命令：16ビット×16ビット+32ビット 32ビット ・動作モード：シングルチップモード(アドレス空間：1Mバイト)	
メモリ	ROM/RAM データフラッシュ	表1.8～表1.15 製品一覧を参照してください	
電圧検出	電圧検出回路	・パワーオンリセット ・電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)	
I/Oポート	プログラマブル入出力ポート	R8C/L35Aグループ R8C/L35Bグループ	・CMOS入出力：41、プルアップ抵抗選択可能 ・大電流駆動ポート：5
		R8C/L36Aグループ R8C/L36Bグループ	・CMOS入出力：52、プルアップ抵抗選択可能 ・大電流駆動ポート：8
		R8C/L38Aグループ R8C/L38Bグループ	・CMOS入出力：68、プルアップ抵抗選択可能 ・大電流駆動ポート：8
		R8C/L3AAグループ R8C/L3ABグループ	・CMOS入出力：88、プルアップ抵抗選択可能 ・大電流駆動ポート：16
クロック	クロック発生回路	・4回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ ・発振停止検出：XINクロック発振停止検出機能 ・周波数分周回路：1、2、4、8、16分周選択 ・低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード、パワーオフモード	
割り込み	R8C/L35Aグループ R8C/L35Bグループ	リアルタイムクロック(タイマRE)あり ・割り込みベクタ数：69 ・外部割り込み入力：9 (INT×5、キー入力×4) ・割り込み優先レベル：7レベル	
	R8C/L36Aグループ R8C/L36Bグループ	・割り込みベクタ数：69 ・外部割り込み入力：12 (INT×8、キー入力×4) ・割り込み優先レベル：7レベル	
	R8C/L38Aグループ R8C/L38Bグループ	・割り込みベクタ数：69 ・外部割り込み入力：16 (INT×8、キー入力×8) ・割り込み優先レベル：7レベル	
	R8C/L3AAグループ R8C/L3ABグループ	・割り込みベクタ数：69 ・外部割り込み入力：16 (INT×8、キー入力×8) ・割り込み優先レベル：7レベル	
ウォッチドッグタイマ		・14ビット×1(プリスケール付) ・リセットスタート機能選択可能 ・ウォッチドッグタイマ用低速オンチップオシレータ選択可能	
DTC(データトランスファコントローラ)		・1チャンネル ・起動要因：38 ・転送モード：2(ノーマルモード、リピートモード)	

表1.6 仕様概要(2)

分類	機能	説明	
タイマ	タイマRA	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード	
	タイマRB	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード	
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)	
	タイマRD	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)	
	タイマRE	8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード	
	タイマRG	16ビット×1 位相計数モード、タイマモード(アウトプットコンペア機能、インプットキャプチャ機能)、PWMモード(出力1本)	
シリアルインタフェース	UART0、UART1	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用×2チャンネル	
	UART2	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用、I ² Cモード(I ² Cバス)、マルチプロセッサ通信機能	
シンクロナスシリアルコミュニケーションユニット(SSU)		1(I ² Cバスインタフェースと兼用)	
I ² Cバス		1(SSUと兼用)	
LINモジュール		ハードウェアLIN:1チャンネル(タイマRA、UART0を使用)	
A/Dコンバータ	R8C/L35Aグループ R8C/L35Bグループ	分解能10ビット×10チャンネル、サンプル&ホールドあり、掃引モードあり	
	R8C/L36Aグループ R8C/L36Bグループ	分解能10ビット×10チャンネル、サンプル&ホールドあり、掃引モードあり	
	R8C/L38Aグループ R8C/L38Bグループ	分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり	
	R8C/L3AAグループ R8C/L3ABグループ	分解能10ビット×20チャンネル、サンプル&ホールドあり、掃引モードあり	
D/Aコンバータ		分解能8ビット×2回路	
コンパレータA		・2回路(電圧監視1、電圧監視2と兼用) ・外部基準電圧入力可能	
コンパレータB		2回路	
LCD駆動制御回路	R8C/L35Aグループ R8C/L35Bグループ	・コモン出力:最大4本 ・セグメント出力:最大24本	・バイアス:1/2、1/3 ・デューティ:スタティック、1/2、1/3、1/4
	R8C/L36Aグループ R8C/L36Bグループ	・コモン出力:最大8本 ・セグメント出力:最大32本(注1)	・バイアス:1/2、1/3、1/4 ・デューティ:スタティック、1/2、1/3、1/4、1/8
	R8C/L38Aグループ R8C/L38Bグループ	・コモン出力:最大8本 ・セグメント出力:最大48本(注1)	
	R8C/L3AAグループ R8C/L3ABグループ	・コモン出力:最大8本 ・セグメント出力:最大56本(注1)	
昇圧回路内蔵、昇圧回路用レギュレータ内蔵			

注1. コモン出力4本選択のとき

表1.7 仕様概要(2)

分類	機能	説明
フラッシュ メモリ	R8C/L35Aグループ R8C/L36Aグループ R8C/L38Aグループ R8C/L3AAグループ	<ul style="list-style-type: none"> ・プログラム、イレーズ電圧：VCC=2.7 ~ 5.5V ・プログラム、イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能 ・BGO (バックグラウンドオペレーション)機能
	R8C/L35Bグループ R8C/L36Bグループ R8C/L38Bグループ R8C/L3ABグループ	<ul style="list-style-type: none"> ・プログラム、イレーズ電圧：VCC=2.7 ~ 5.5V ・プログラム、イレーズ回数：1,000回 ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		f(XIN)=20MHz (VCC=2.7~5.5V) f(XIN)=5MHz (VCC=1.8~5.5V)
消費電流		標準 7 mA (VCC=5V、f(XIN)=20MHz) 標準 3.6 mA (VCC=3V、f(XIN)=10MHz) 標準 3.5 μ A (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 2 μ A (VCC=3V、ストップモード) 標準 1 μ A (VCC=3V、パワーオフモード、タイマRE有効) 標準 0.02 μ A (VCC=3V、パワーオフモード、タイマRE無効)
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン) (注1)

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

1.2 製品一覧

表 1.8 ~ 表 1.15 に各グループの製品一覧表、図 1.1 ~ 図 1.8 に R8C/Lx シリーズの型名とメモリサイズ・パッケージを示します。

表 1.8 R8C/L35Aグループの製品一覧表

2009年1月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L357ANFP (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0052JA-A	Nバージョン
R5F2L358ANFP (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0052JA-A	
R5F2L35AANFP (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	
R5F2L35CANFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	
R5F2L357ADFP (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0052JA-A	Dバージョン
R5F2L358ADFP (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0052JA-A	
R5F2L35AADFP (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	
R5F2L35CADFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	

(開) : 開発中

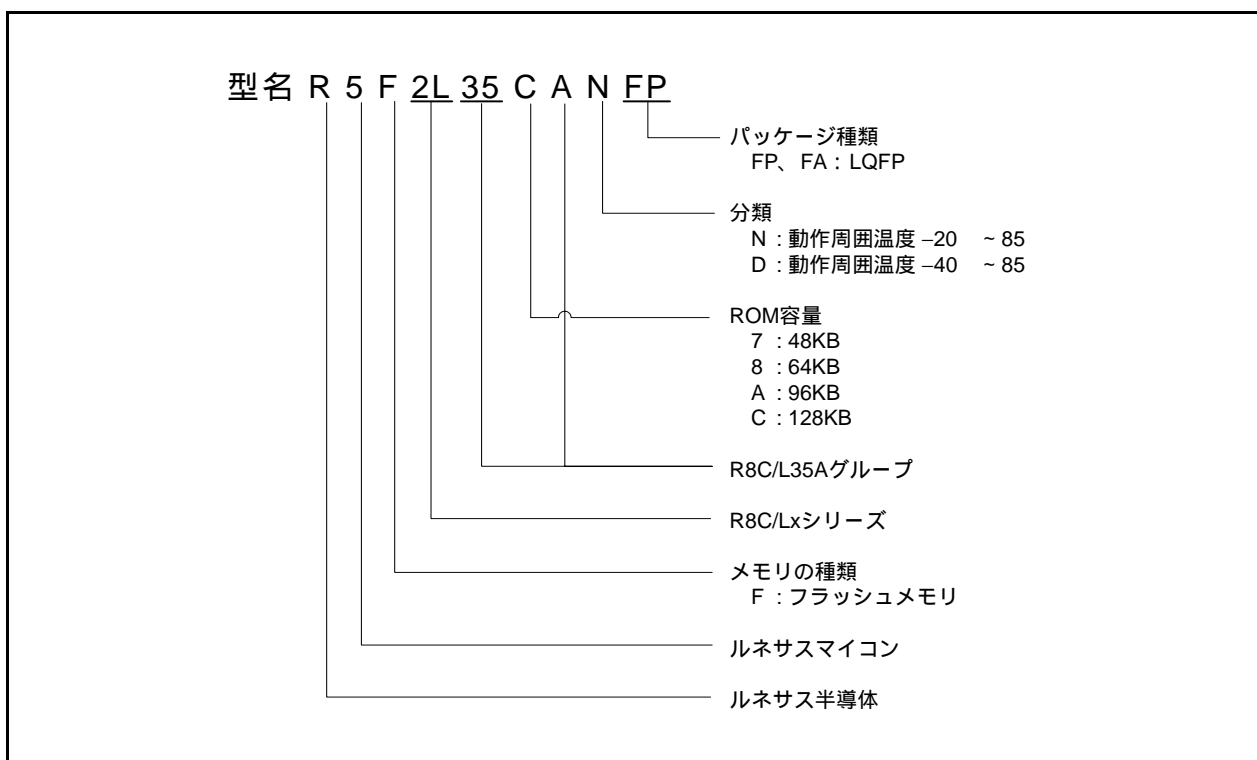


図 1.1 R8C/L35Aグループの型名とメモリサイズ・パッケージ

表 1.9 R8C/L35Bグループの製品一覧表

2009年1月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F2L357BNFP (開)	48Kバイト	6Kバイト	PLQP0052JA-A	Nバージョン
R5F2L358BNFP (開)	64Kバイト	8Kバイト	PLQP0052JA-A	
R5F2L35ABNFP (開)	96Kバイト	10Kバイト	PLQP0052JA-A	
R5F2L35CBNFP (開)	128Kバイト	10Kバイト	PLQP0052JA-A	
R5F2L357BDFP (開)	48Kバイト	6Kバイト	PLQP0052JA-A	Dバージョン
R5F2L358BDFP (開)	64Kバイト	8Kバイト	PLQP0052JA-A	
R5F2L35ABDFP (開)	96Kバイト	10Kバイト	PLQP0052JA-A	
R5F2L35CBDFP (開)	128Kバイト	10Kバイト	PLQP0052JA-A	

(開) : 開発中

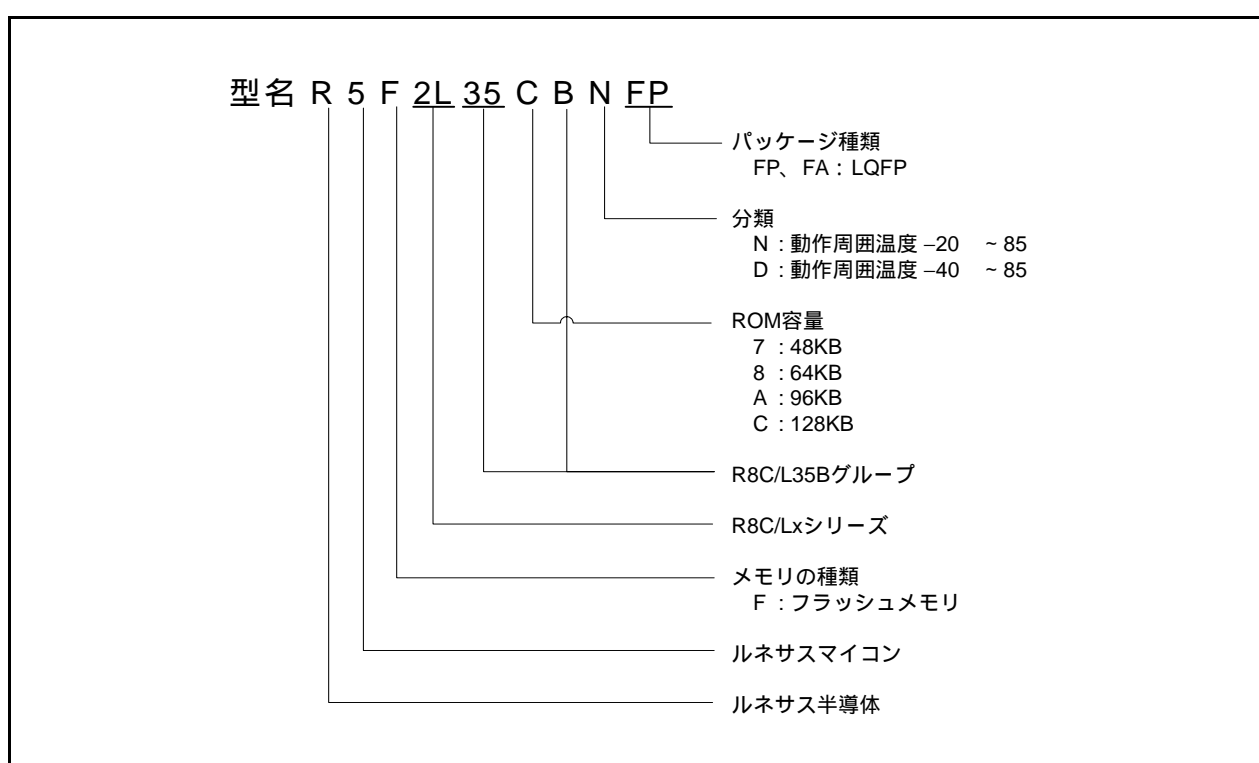


図 1.2 R8C/L35Bグループの型名とメモリサイズ・パッケージ

表 1.10 R8C/L36Aグループの製品一覧表

2009年1月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L367ANFP (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A	Nバージョン
R5F2L367ANFA (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A	
R5F2L368ANFP (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A	
R5F2L368ANFA (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A	
R5F2L36AANFP (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36AANFA (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	
R5F2L36CANFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36CANFA (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	
R5F2L367ADFP (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A	Dバージョン
R5F2L367ADFA (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A	
R5F2L368ADFP (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A	
R5F2L368ADFA (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A	
R5F2L36AADFP (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36AADFA (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	
R5F2L36CADFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36CADFA (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	

(開) : 開発中

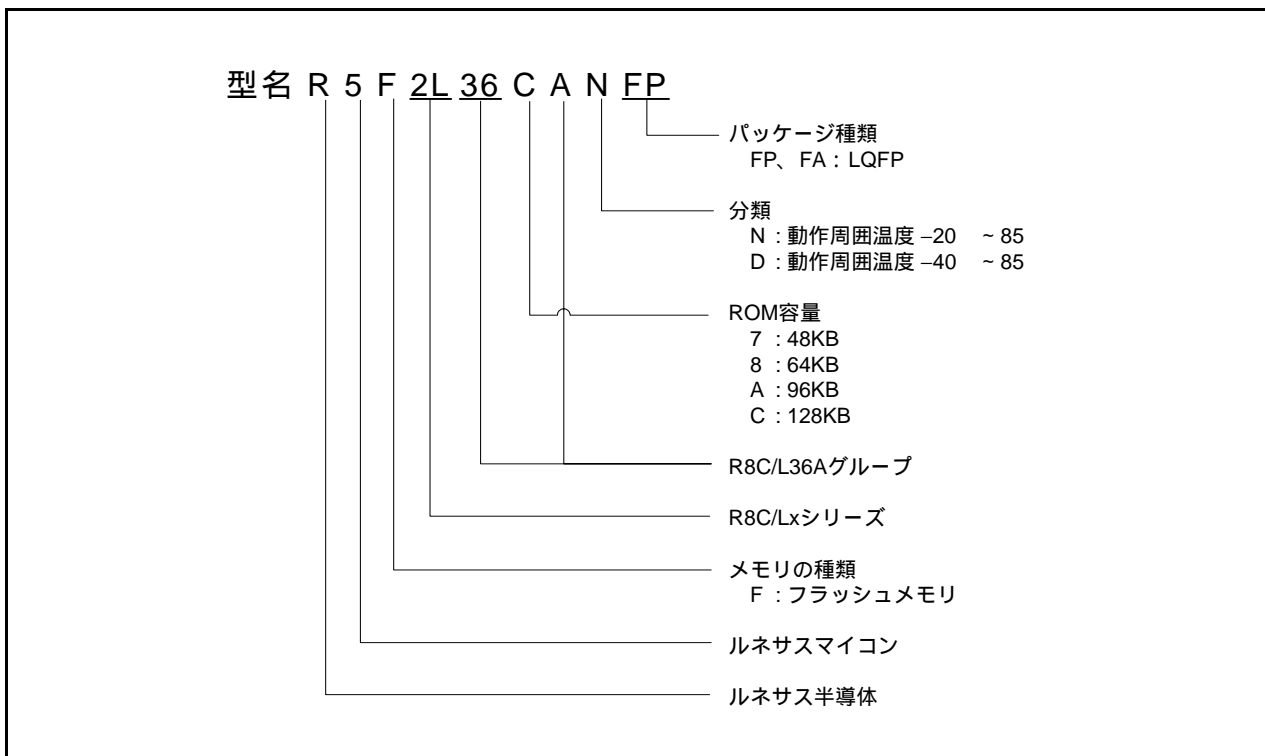


図 1.3 R8C/L36Aグループの型名とメモリサイズ・パッケージ

表 1.11 R8C/L36Bグループの製品一覧表

2009年1月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F2L367BNFP (開)	48Kバイト	6Kバイト	PLQP0064KB-A	Nバージョン
R5F2L367BNFA (開)	48Kバイト	6Kバイト	PLQP0064GA-A	
R5F2L368BNFP (開)	64Kバイト	8Kバイト	PLQP0064KB-A	
R5F2L368BNFA (開)	64Kバイト	8Kバイト	PLQP0064GA-A	
R5F2L36ABNFP (開)	96Kバイト	10Kバイト	PLQP0064KB-A	
R5F2L36ABNFA (開)	96Kバイト	10Kバイト	PLQP0064GA-A	
R5F2L36CBNFP (開)	128Kバイト	10Kバイト	PLQP0064KB-A	
R5F2L36CBNFA (開)	128Kバイト	10Kバイト	PLQP0064GA-A	
R5F2L367BDFP (開)	48Kバイト	6Kバイト	PLQP0064KB-A	Dバージョン
R5F2L367BDFA (開)	48Kバイト	6Kバイト	PLQP0064GA-A	
R5F2L368BDFP (開)	64Kバイト	8Kバイト	PLQP0064KB-A	
R5F2L368BDFA (開)	64Kバイト	8Kバイト	PLQP0064GA-A	
R5F2L36ABDFP (開)	96Kバイト	10Kバイト	PLQP0064KB-A	
R5F2L36ABDFA (開)	96Kバイト	10Kバイト	PLQP0064GA-A	
R5F2L36CBDFP (開)	128Kバイト	10Kバイト	PLQP0064KB-A	
R5F2L36CBDFA (開)	128Kバイト	10Kバイト	PLQP0064GA-A	

(開) : 開発中

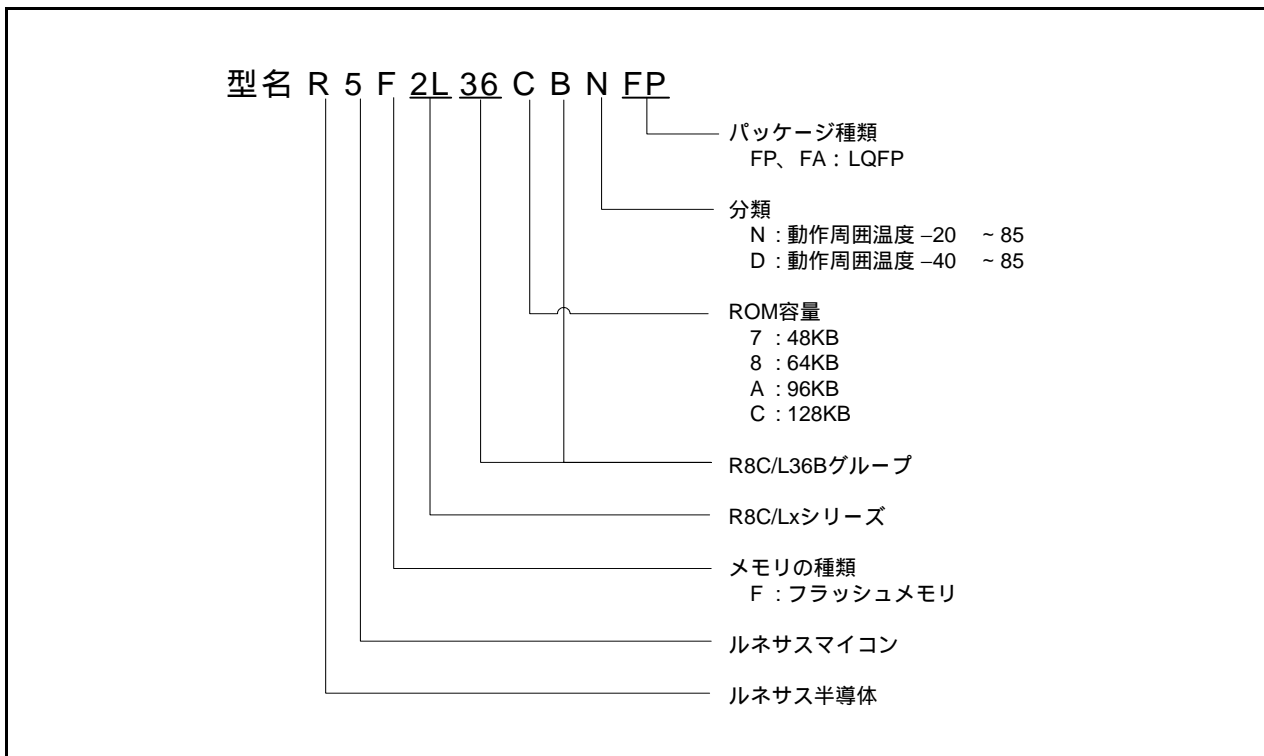


図1.4 R8C/L36Bグループの型名とメモリサイズ・パッケージ

表 1.12 R8C/L38Aグループの製品一覧表

2009年1月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L387ANFP (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080KB-A	Nバージョン
R5F2L387ANFA (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080JA-A	
R5F2L388ANFP (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080KB-A	
R5F2L388ANFA (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080JA-A	
R5F2L38AANFP (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38AANFA (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	
R5F2L38CANFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38CANFA (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	
R5F2L387ADFP (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080KB-A	Dバージョン
R5F2L387ADFA (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080JA-A	
R5F2L388ADFP (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080KB-A	
R5F2L388ADFA (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080JA-A	
R5F2L38AADFP (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38AADFA (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	
R5F2L38CADFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38CADFA (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	

(開) : 開発中

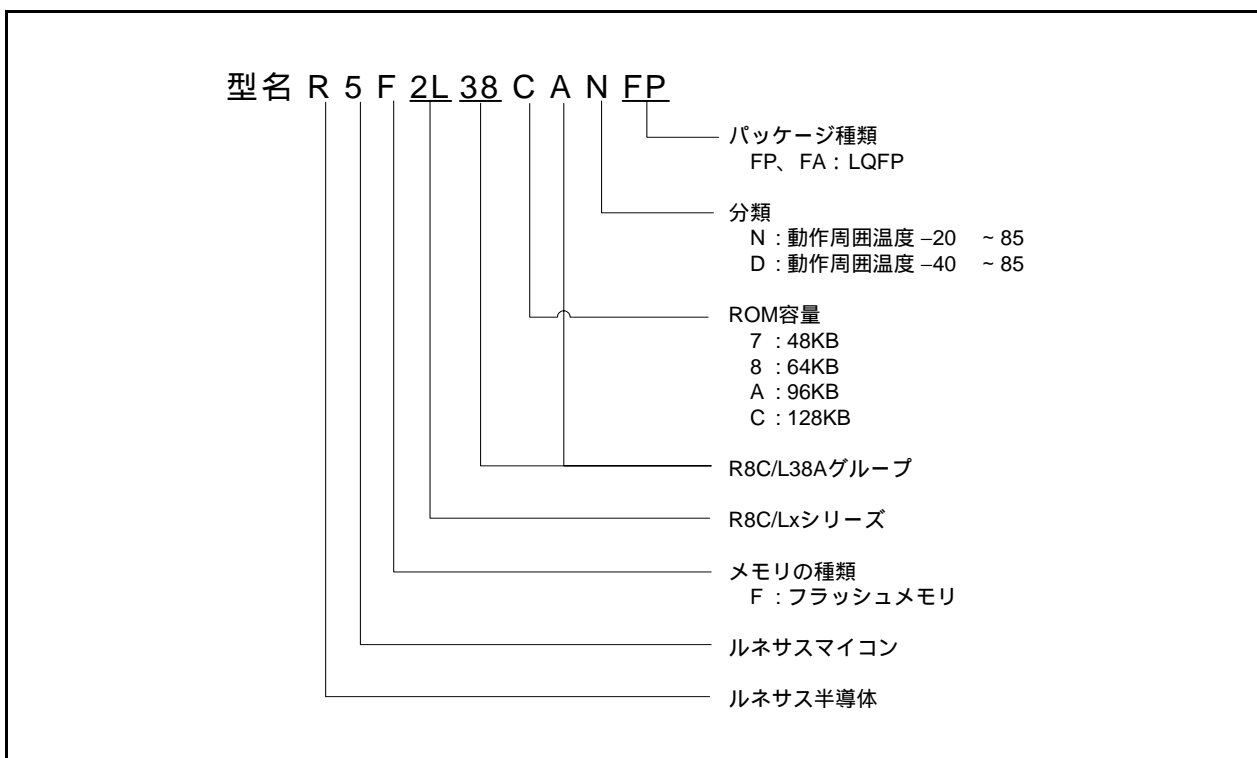


図 1.5 R8C/L38Aグループの型名とメモリサイズ・パッケージ

表 1.13 R8C/L38Bグループの製品一覧表

2009年1月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F2L387BNFP (開)	48Kバイト	6Kバイト	PLQP0080KB-A	Nバージョン
R5F2L387BNFA (開)	48Kバイト	6Kバイト	PLQP0080JA-A	
R5F2L388BNFP (開)	64Kバイト	8Kバイト	PLQP0080KB-A	
R5F2L388BNFA (開)	64Kバイト	8Kバイト	PLQP0080JA-A	
R5F2L38ABNFP (開)	96Kバイト	10Kバイト	PLQP0080KB-A	
R5F2L38ABNFA (開)	96Kバイト	10Kバイト	PLQP0080JA-A	
R5F2L38CBNFP (開)	128Kバイト	10Kバイト	PLQP0080KB-A	
R5F2L38CBNFA (開)	128Kバイト	10Kバイト	PLQP0080JA-A	
R5F2L387BDFP (開)	48Kバイト	6Kバイト	PLQP0080KB-A	Dバージョン
R5F2L387BDFA (開)	48Kバイト	6Kバイト	PLQP0080JA-A	
R5F2L388BDFP (開)	64Kバイト	8Kバイト	PLQP0080KB-A	
R5F2L388BDFA (開)	64Kバイト	8Kバイト	PLQP0080JA-A	
R5F2L38ABDFP (開)	96Kバイト	10Kバイト	PLQP0080KB-A	
R5F2L38ABDFA (開)	96Kバイト	10Kバイト	PLQP0080JA-A	
R5F2L38CBDFP (開)	128Kバイト	10Kバイト	PLQP0080KB-A	
R5F2L38CBDFA (開)	128Kバイト	10Kバイト	PLQP0080JA-A	

(開) : 開発中

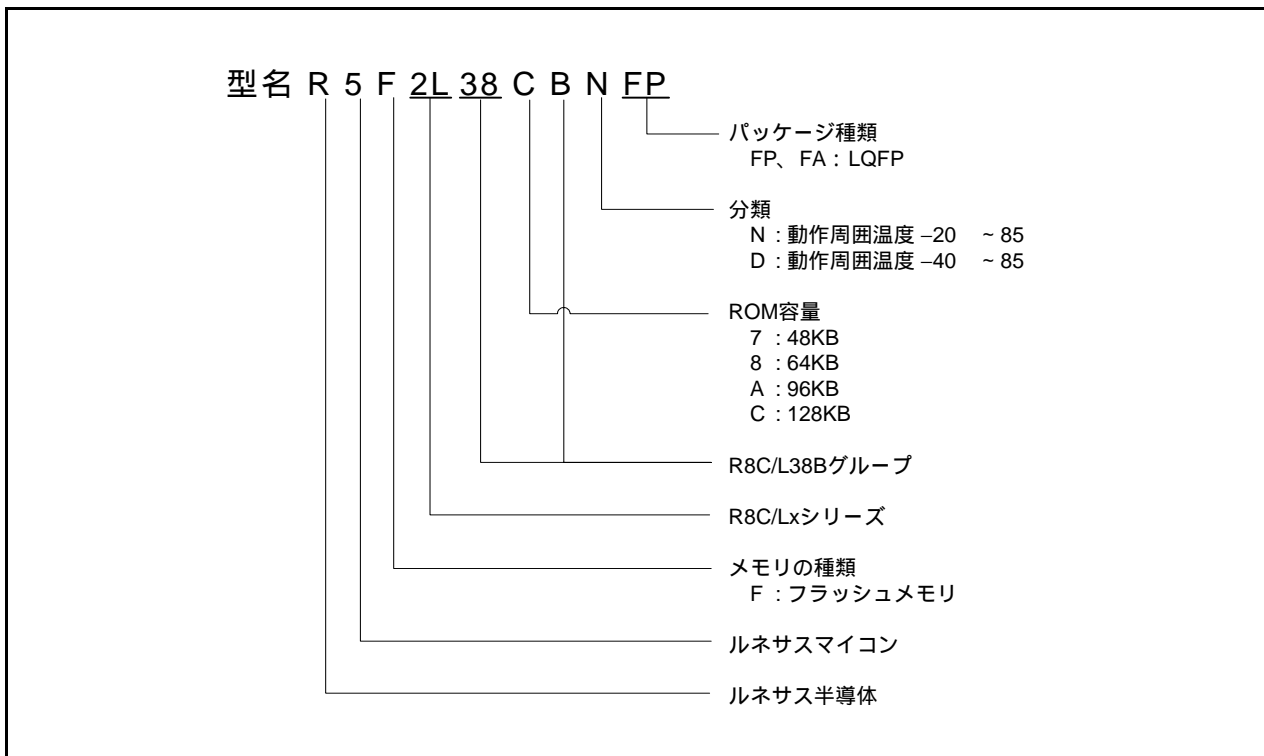


図 1.6 R8C/L38Bグループの型名とメモリサイズ・パッケージ

表 1.14 R8C/L3AAグループの製品一覧表

2009年1月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L3A7ANFP (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0100KB-A	Nバージョン
R5F2L3A7ANFA (開)	48Kバイト	1Kバイト×4	6Kバイト	PRQP0100JD-B	
R5F2L3A8ANFP (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0100KB-A	
R5F2L3A8ANFA (開)	64Kバイト	1Kバイト×4	8Kバイト	PRQP0100JD-B	
R5F2L3AAANFP (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3AAANFA (開)	96Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	
R5F2L3ACANFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3ACANFA (開)	128Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	
R5F2L3A7ADFP (開)	48Kバイト	1Kバイト×4	6Kバイト	PLQP0100KB-A	Dバージョン
R5F2L3A7ADFA (開)	48Kバイト	1Kバイト×4	6Kバイト	PRQP0100JD-B	
R5F2L3A8ADFP (開)	64Kバイト	1Kバイト×4	8Kバイト	PLQP0100KB-A	
R5F2L3A8ADFA (開)	64Kバイト	1Kバイト×4	8Kバイト	PRQP0100JD-B	
R5F2L3AAADFP (開)	96Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3AAADFA (開)	96Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	
R5F2L3ACADFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3ACADFA (開)	128Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	

(開) : 開発中

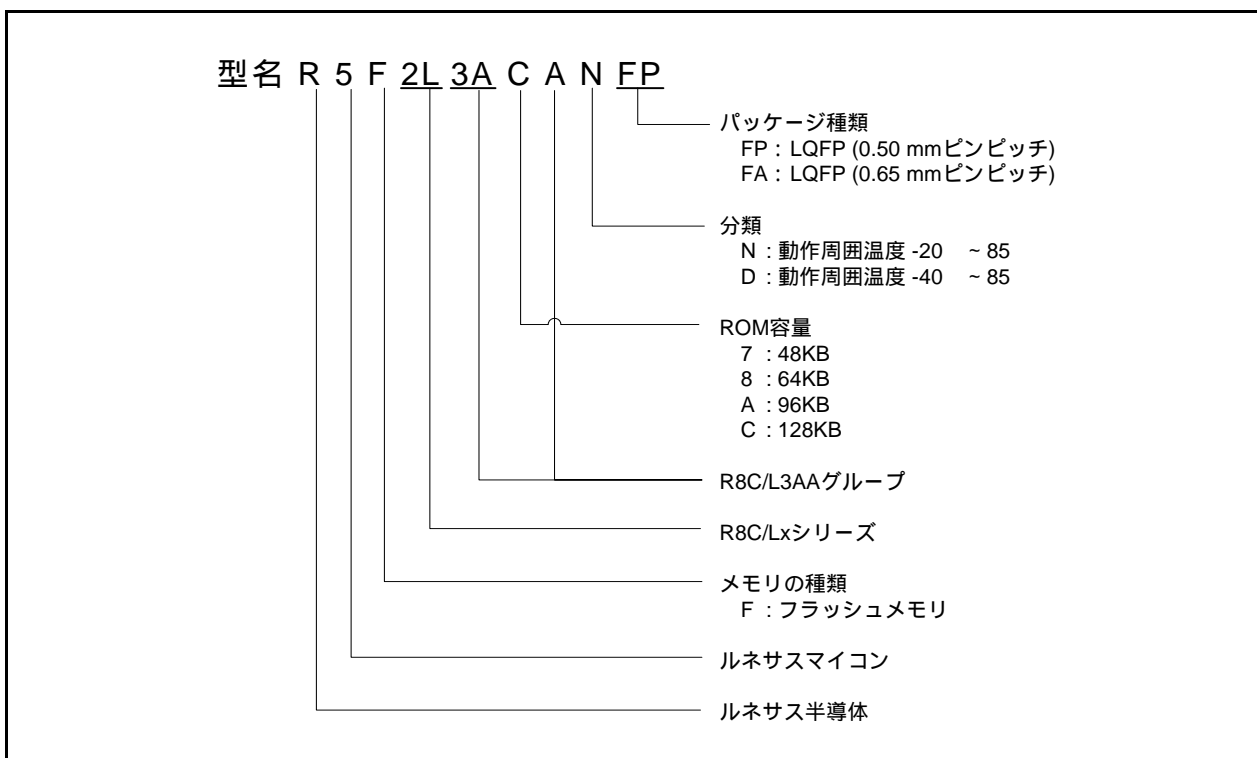


図 1.7 R8C/L3AAグループの型名とメモリサイズ・パッケージ

表 1.15 R8C/L3ABグループの製品一覧表

2009年1月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F2L3A7BNFP (開)	48Kバイト	6Kバイト	PLQP0100KB-A	Nバージョン
R5F2L3A7BNFA (開)	48Kバイト	6Kバイト	PRQP0100JD-B	
R5F2L3A8BNFP (開)	64Kバイト	8Kバイト	PLQP0100KB-A	
R5F2L3A8BNFA (開)	64Kバイト	8Kバイト	PRQP0100JD-B	
R5F2L3AABNFP (開)	96Kバイト	10Kバイト	PLQP0100KB-A	
R5F2L3AABNFA (開)	96Kバイト	10Kバイト	PRQP0100JD-B	
R5F2L3ACBNFP (開)	128Kバイト	10Kバイト	PLQP0100KB-A	
R5F2L3ACBNFA (開)	128Kバイト	10Kバイト	PRQP0100JD-B	
R5F2L3A7BDFP (開)	48Kバイト	6Kバイト	PLQP0100KB-A	Dバージョン
R5F2L3A7BDFA (開)	48Kバイト	6Kバイト	PRQP0100JD-B	
R5F2L3A8BDFP (開)	64Kバイト	8Kバイト	PLQP0100KB-A	
R5F2L3A8BDFA (開)	64Kバイト	8Kバイト	PRQP0100JD-B	
R5F2L3AABDFP (開)	96Kバイト	10Kバイト	PLQP0100KB-A	
R5F2L3AABDFFA (開)	96Kバイト	10Kバイト	PRQP0100JD-B	
R5F2L3ACBDFP (開)	128Kバイト	10Kバイト	PLQP0100KB-A	
R5F2L3ACBDFA (開)	128Kバイト	10Kバイト	PRQP0100JD-B	

(開) : 開発中

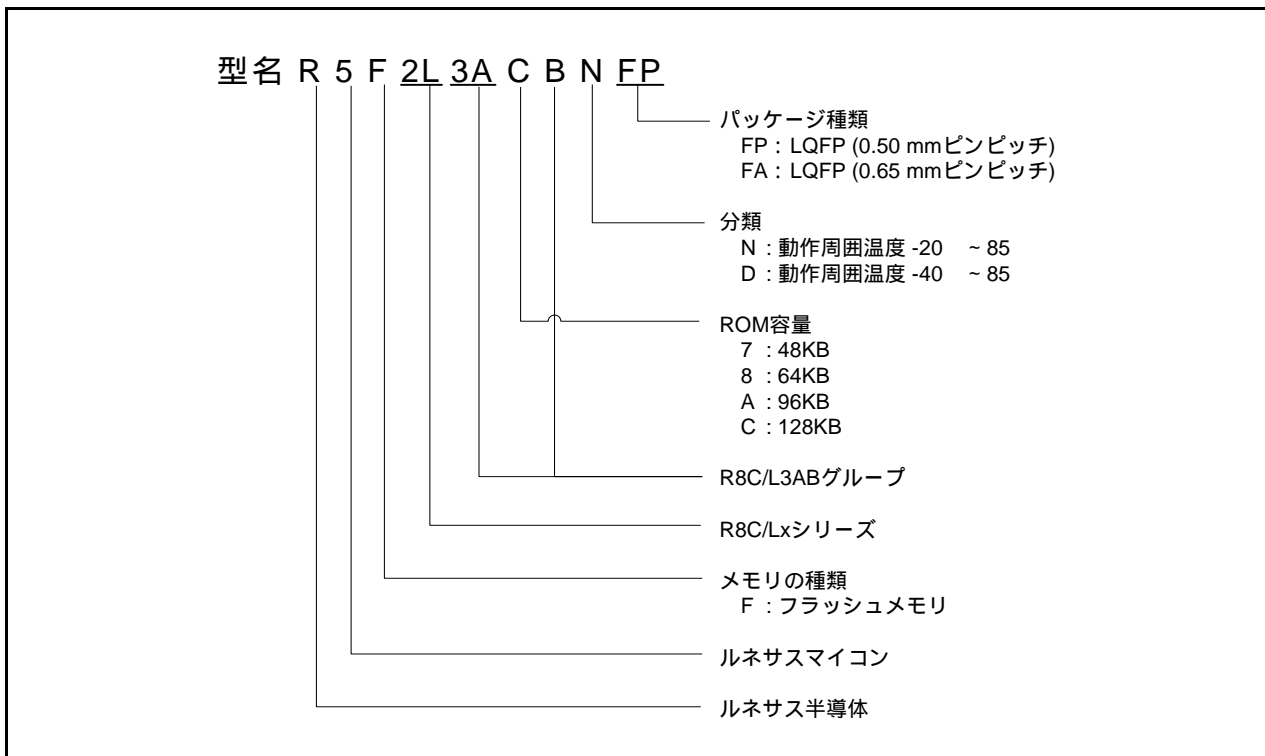
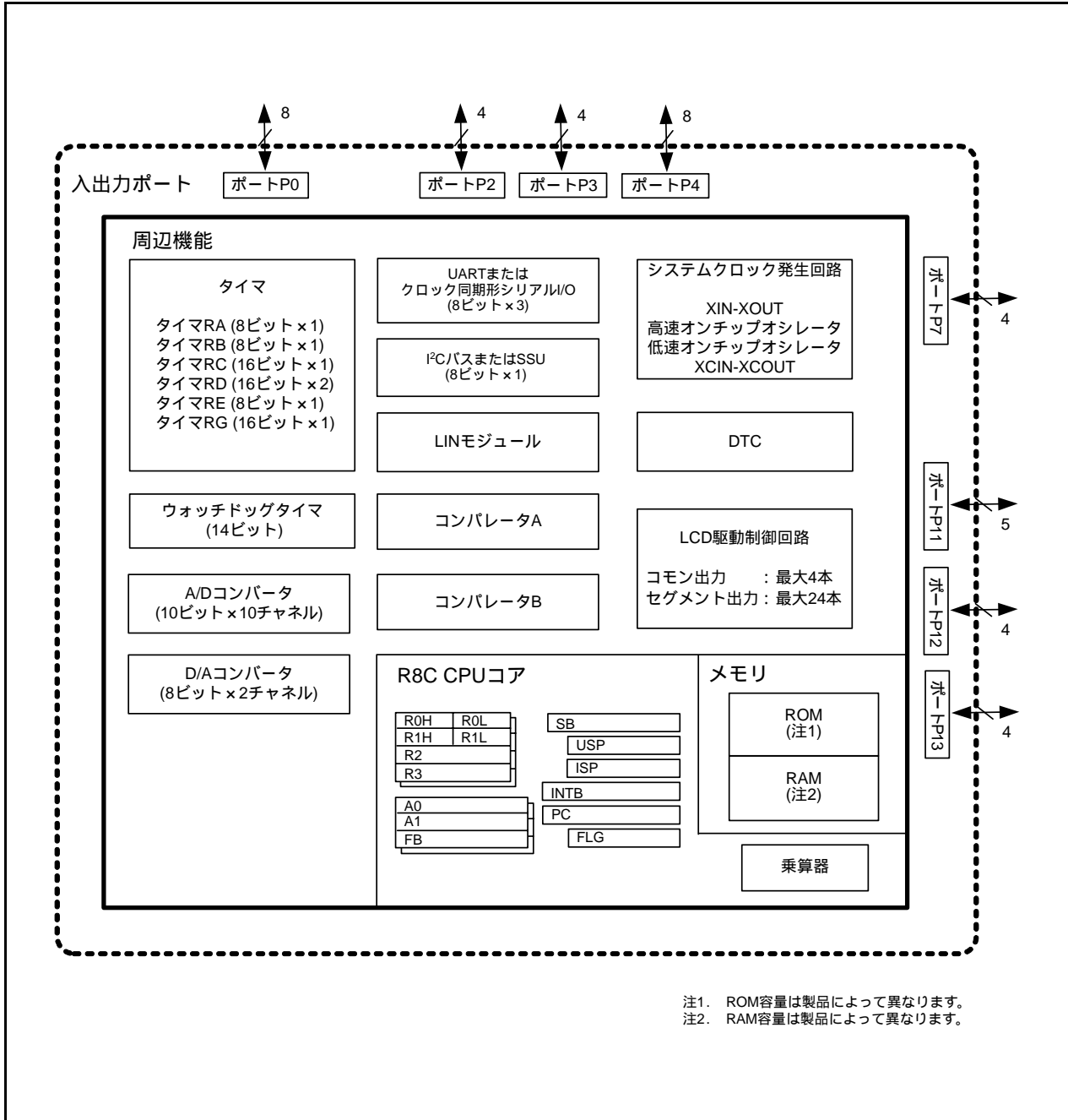


図1.8 R8C/L3ABグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.9 に R8C/L35A、R8C/L35B グループのブロック図、図 1.10 に R8C/L36A、R8C/L36B グループのブロック図、図 1.11 に R8C/L38A、R8C/L38B グループのブロック図、図 1.12 に R8C/L3AA、R8C/L3AB グループのブロック図を示します。



注1. ROM容量は製品によって異なります。
 注2. RAM容量は製品によって異なります。

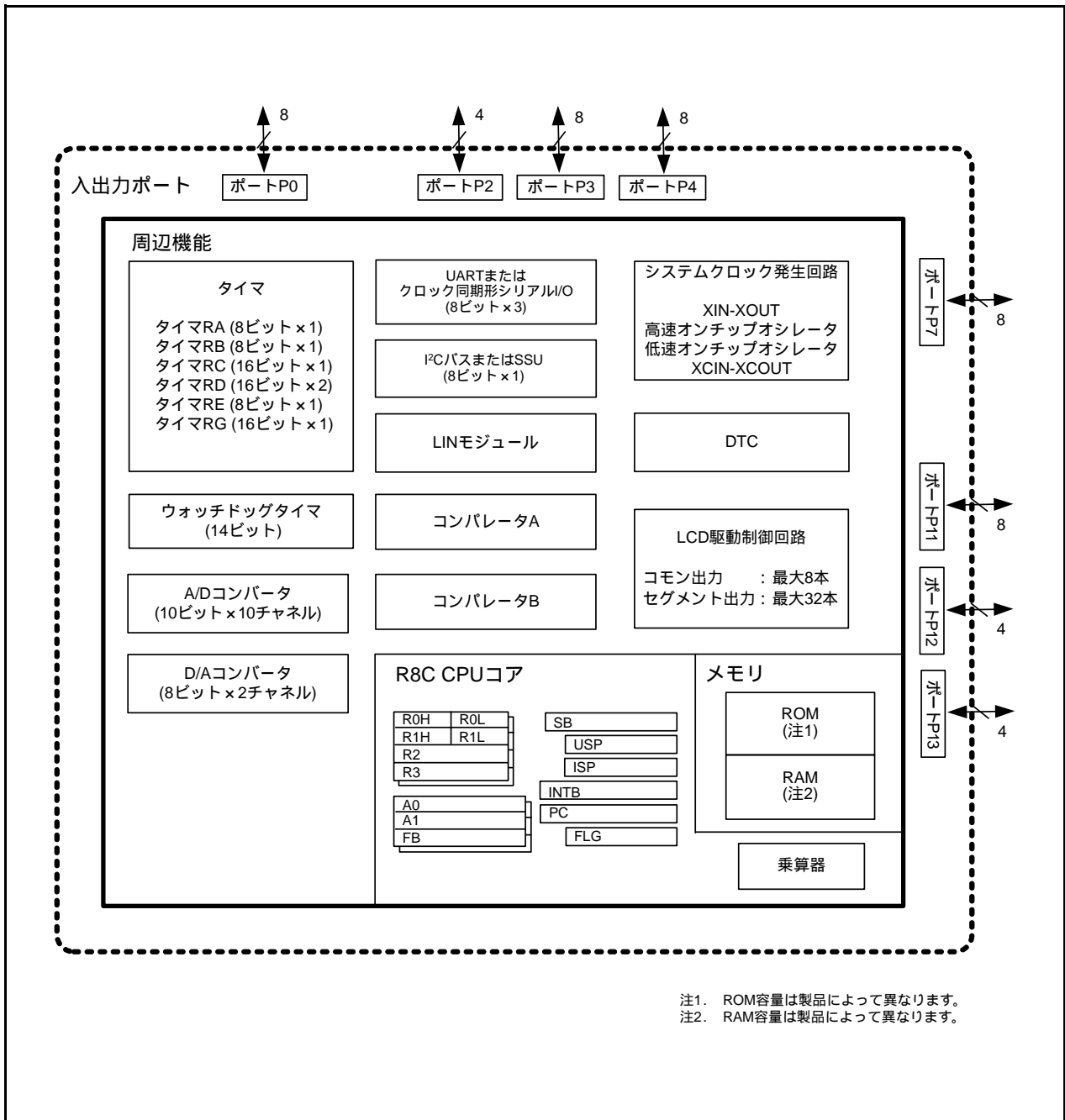


図 1.10 R8C/L36A、R8C/L36Bグループのブロック図

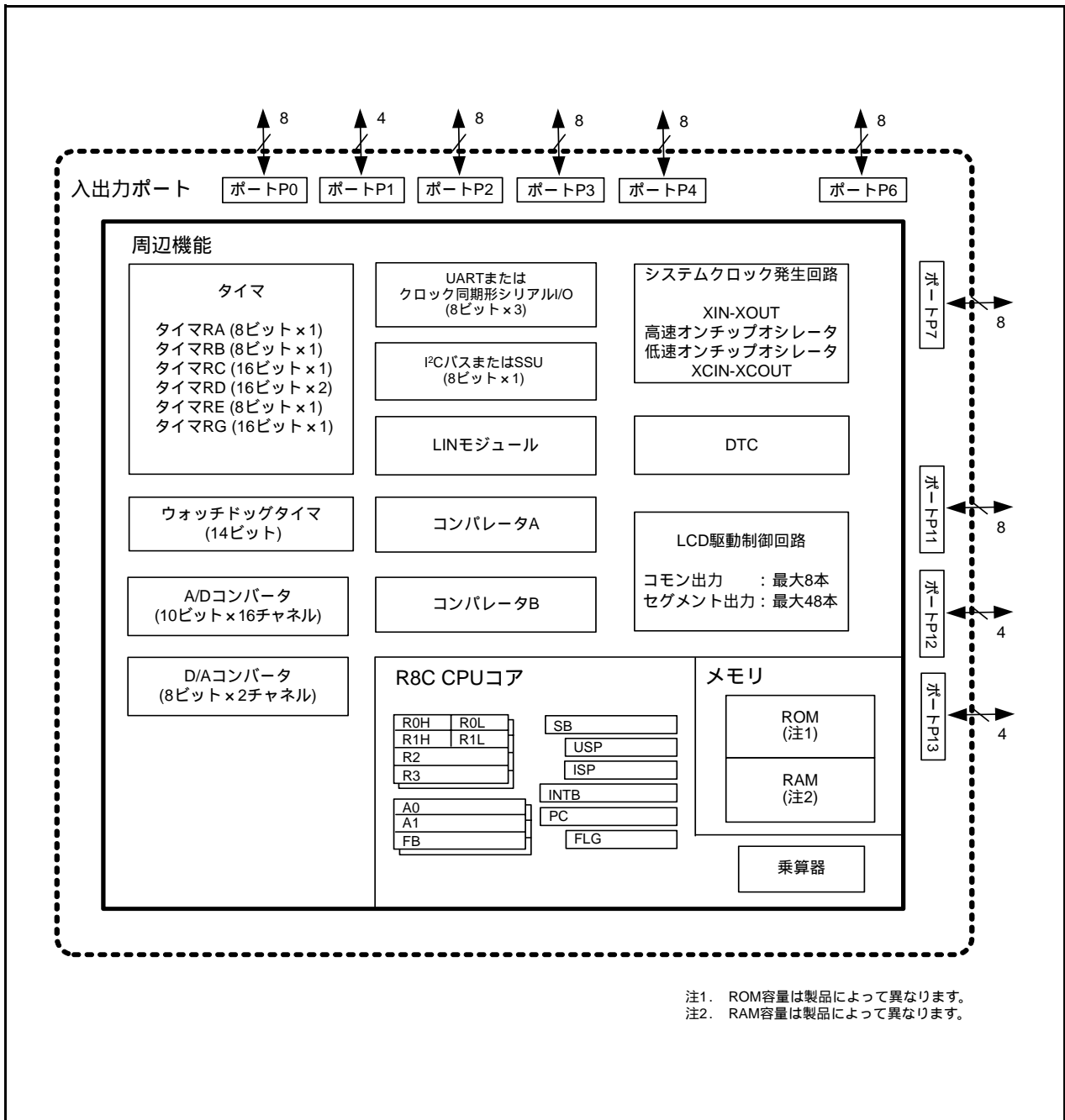


図 1.11 R8C/L38A、R8C/L38Bグループのブロック図

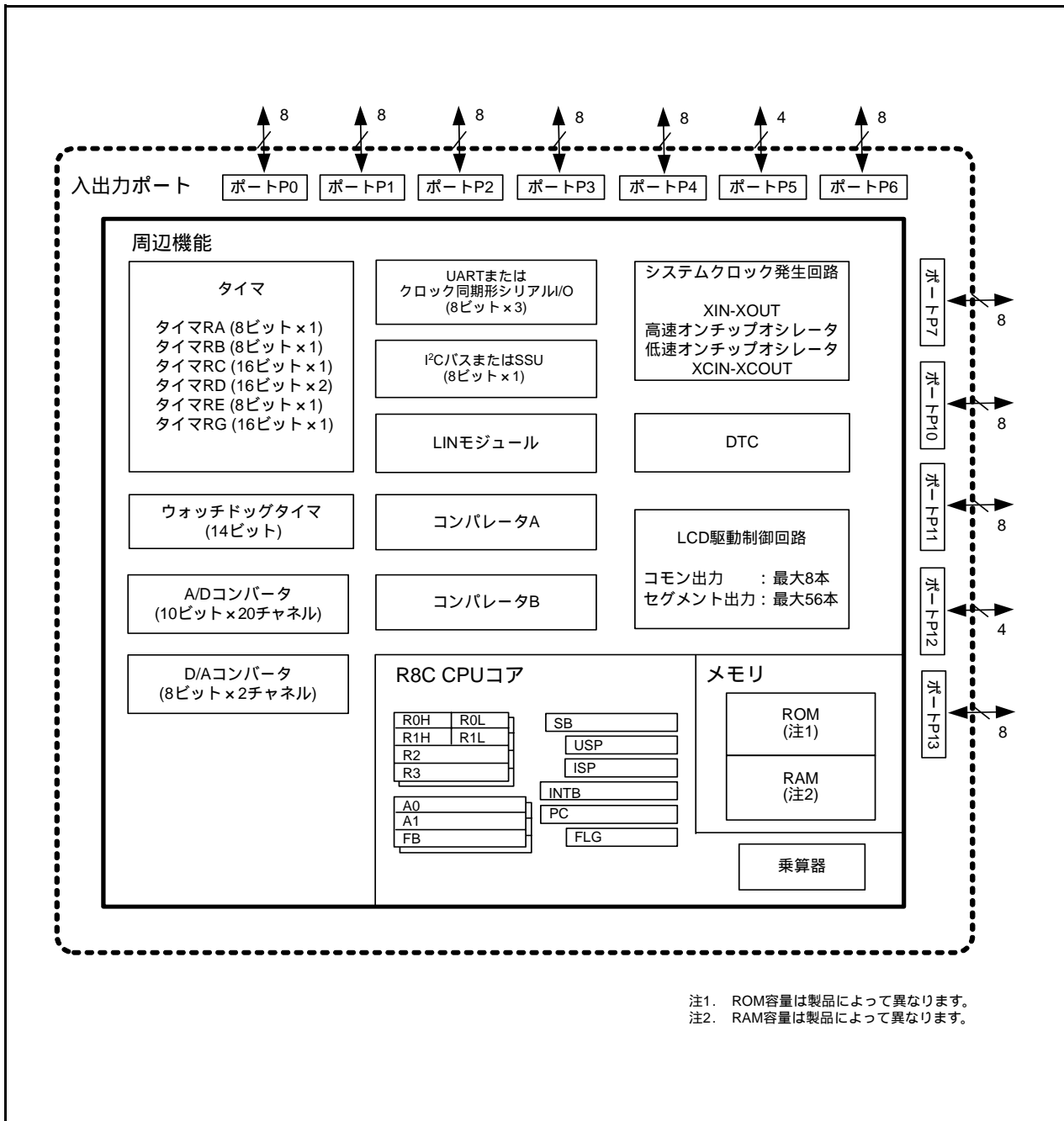


図 1.12 R8C/L3AA、R8C/L3ABグループのブロック図

1.4 ピン配置図

図1.13～図1.17にピン配置図（上面図）、表1.16～表1.18にピン番号別端子名一覧を示します。

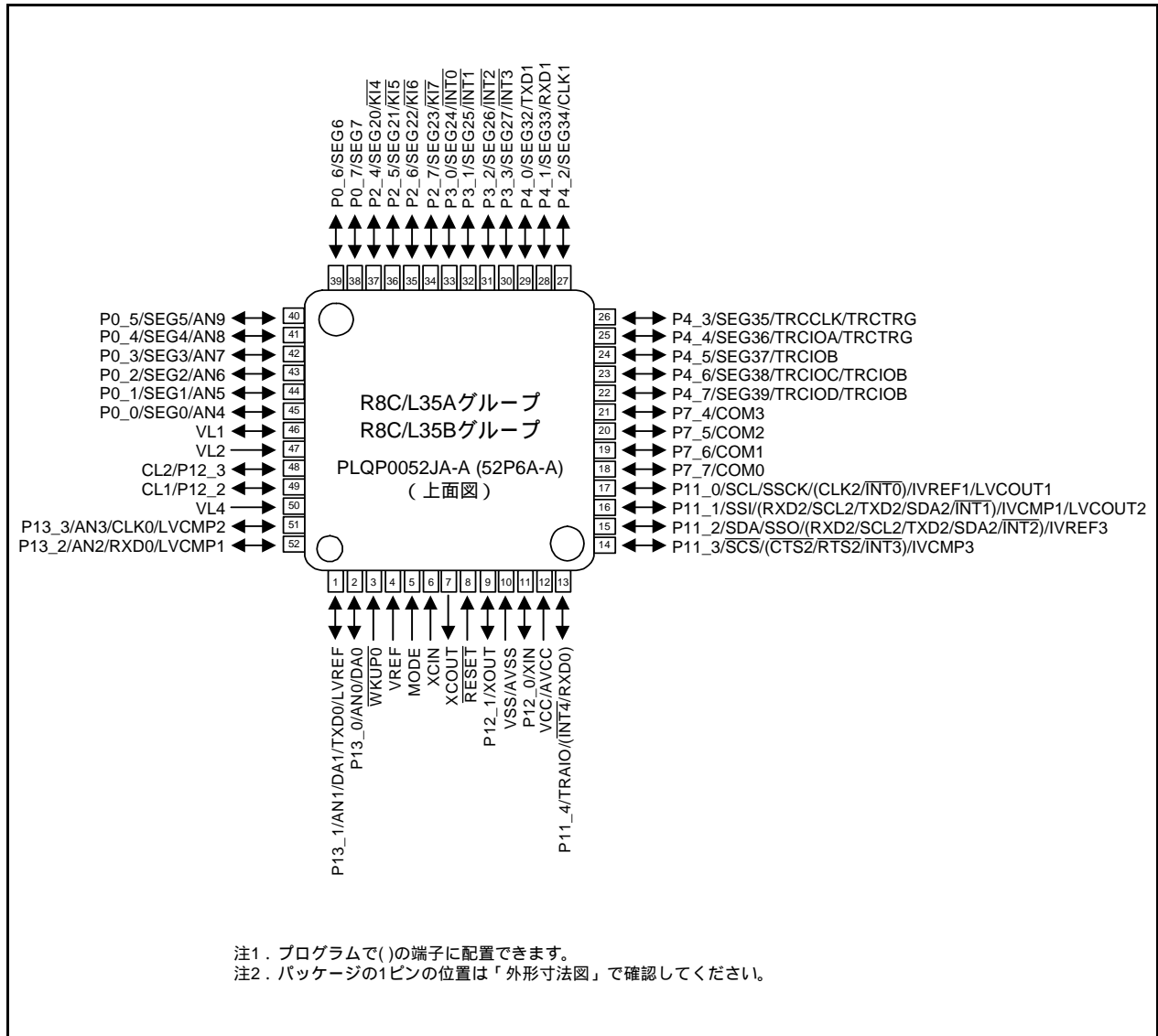
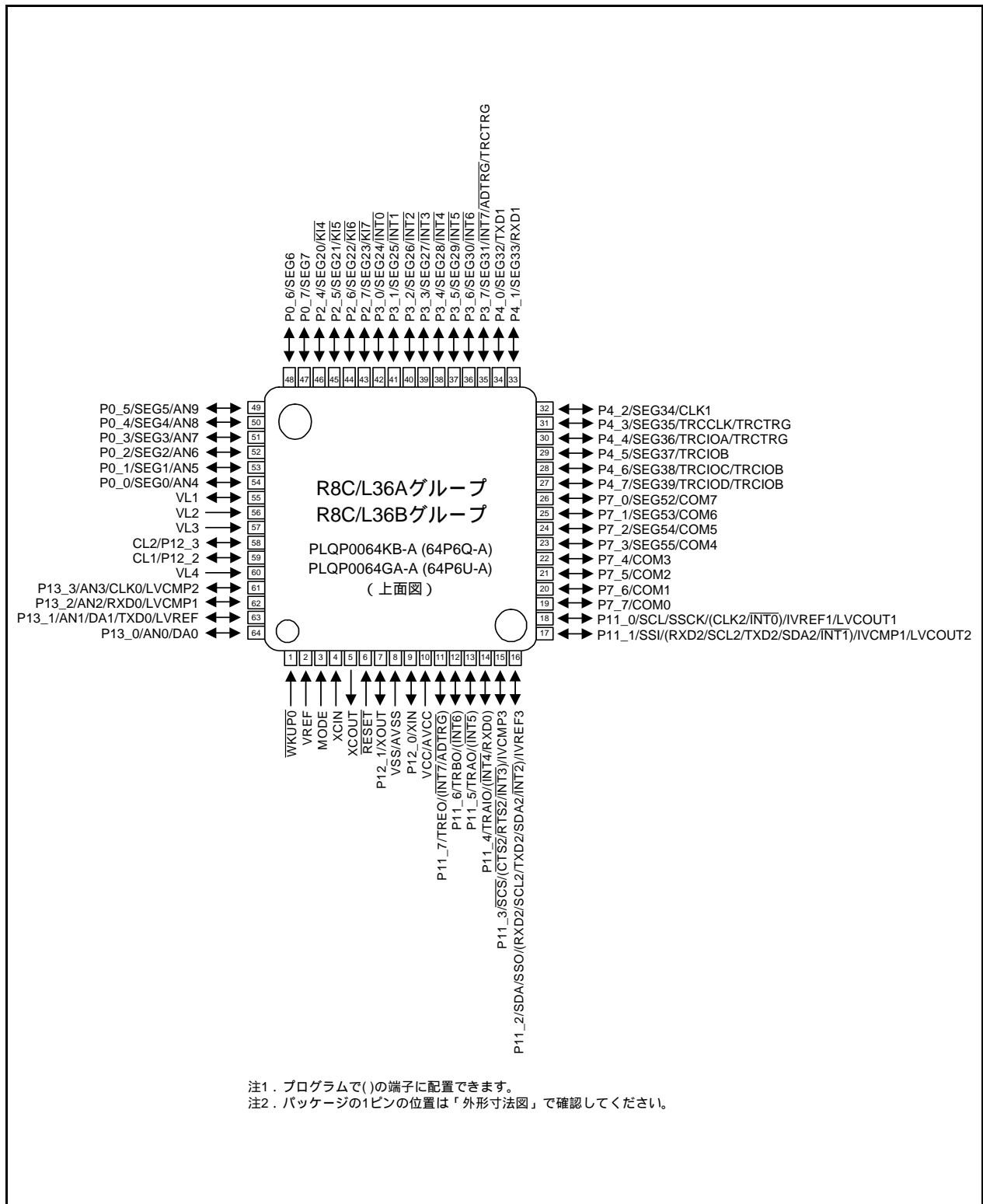


図1.13 PLQP0052JA-Aパッケージ品のピン配置図(上面図)



注1. プログラムで()の端子に配置できます。
 注2. パッケージの1ピンの位置は「外形寸法図」で確認してください。

図1.14 PLQP0064KB-A、PLQP0064GA-Aパッケージ品のピン配置図(上面図)

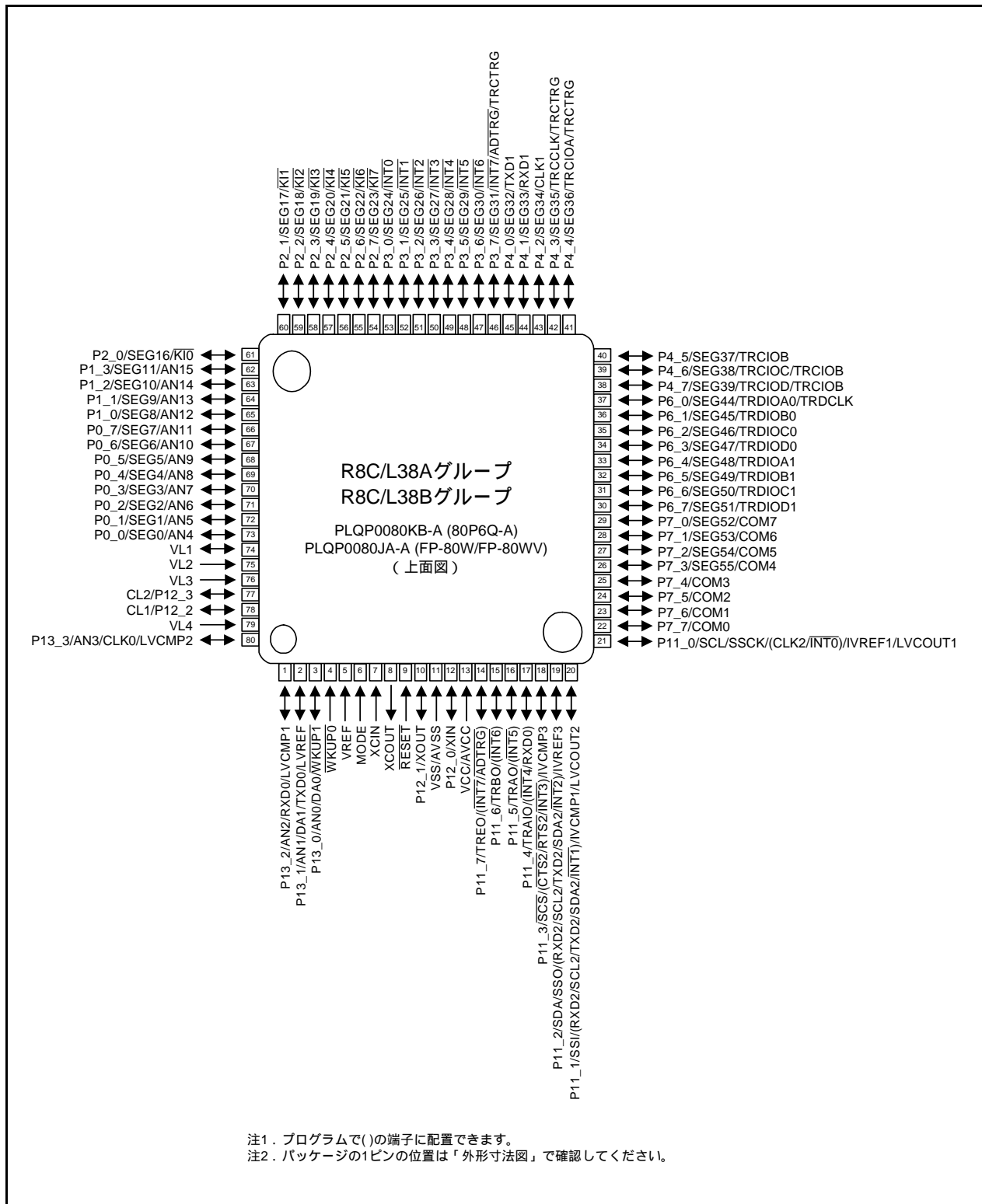


図1.15 PLQP0080KB-A、PLQP0080JA-Aパッケージ品のピン配置図(上面図)

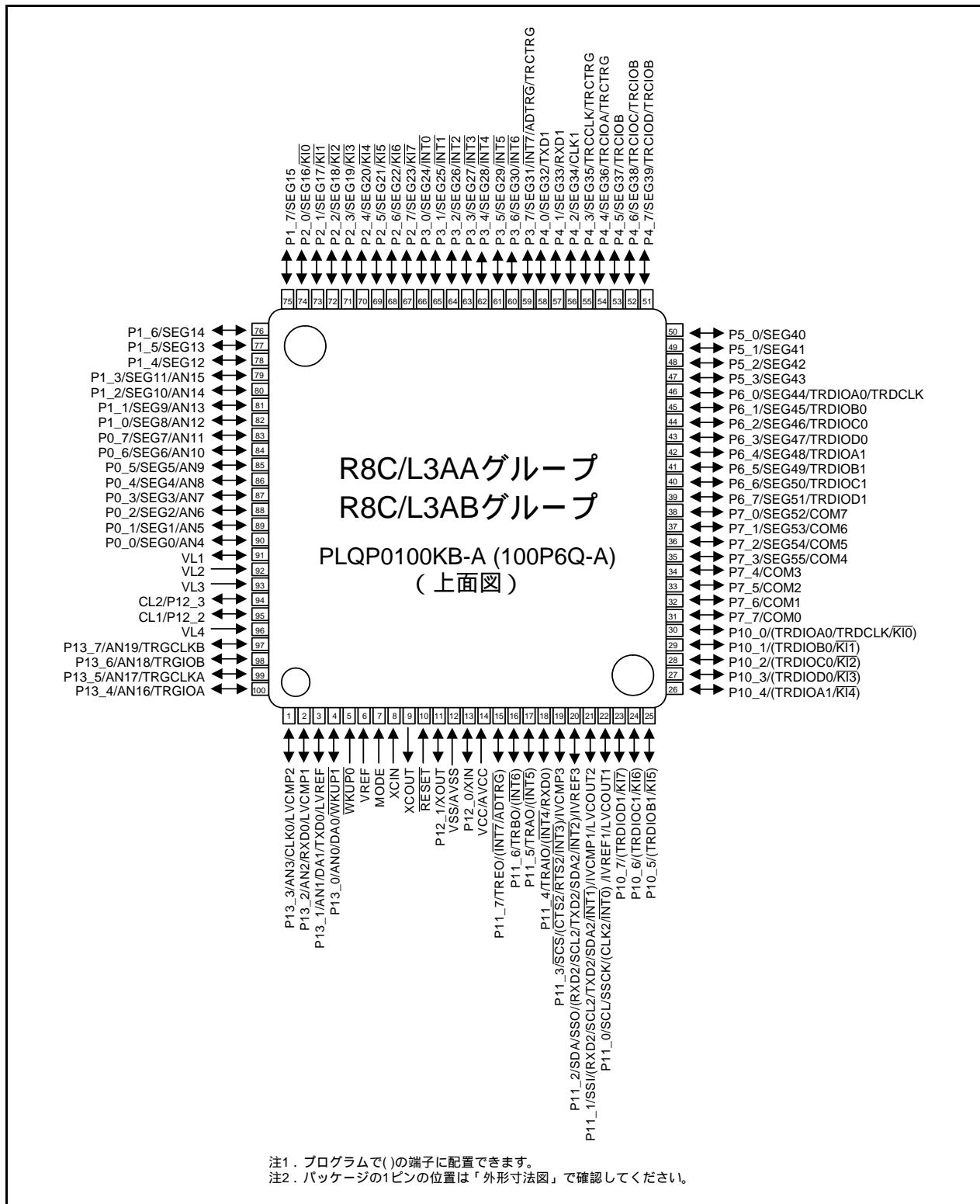
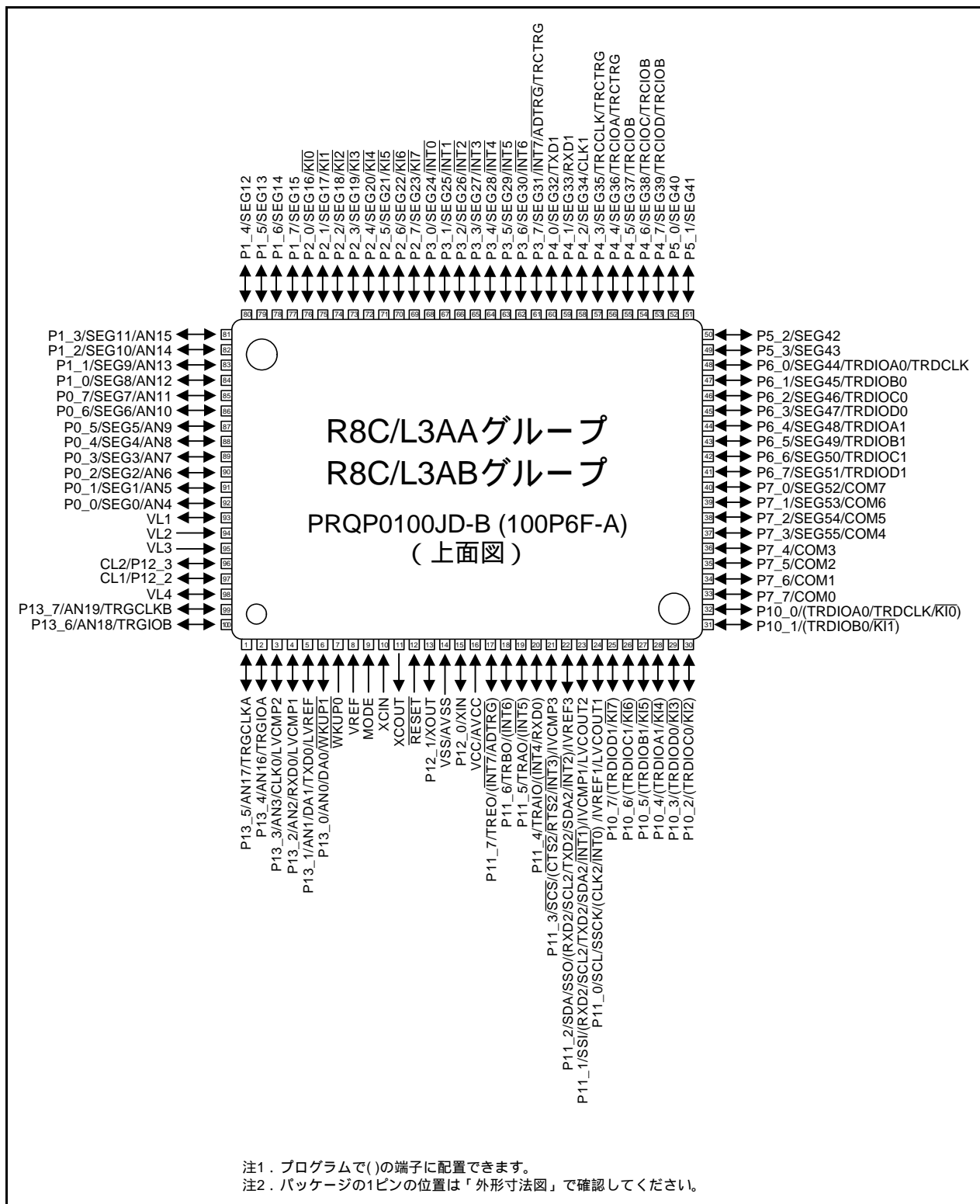


図1.16 PLQP0100KB-Aパッケージ品のピン配置図(上面図)



注1. プログラムで()の端子に配置できます。
 注2. パッケージの1ピンの位置は「外形寸法図」で確認してください。

図1.17 PRQP0100JD-Bパッケージ品のピン配置図(上面図)

表 1.16 ピン番号別端子名一覧(1)

ピン番号				制御端子	ポート	周辺機能の入出力端子						
L3AA L3AB (注2)	L38A L38B	L36A L36B	L35A L35B			割り込み	タイマ	シリアルインタ フェース	SSU	I ² Cバス	A/Dコンバータ D/Aコンバータ コンパレータA コンパレータB 電圧検出回路	LCD駆動 制御回路
1 [3]	80	61	51		P13_3			CLK0			AN3/ LVCMP2	
2 [4]	1	62	52		P13_2			RXD0			AN2/ LVCMP1	
3 [5]	2	63	1		P13_1			TXD0			AN1/ DA1/ LVREF	
4 [6]	3	64	2	WKUP1 (注3)	P13_0						AN0/DA0	
5 [7]	4	1	3	WKUP0								
6 [8]	5	2	4	VREF								
7 [9]	6	3	5	MODE								
8 [10]	7	4	6	XCIN								
9 [11]	8	5	7	XCOUT								
10 [12]	9	6	8	RESET								
11 [13]	10	7	9	XOUT	P12_1							
12 [14]	11	8	10	VSS/ AVSS								
13 [15]	12	9	11	XIN	P12_0							
14 [16]	13	10	12	VCC/ AVCC								
15 [17]	14	11			P11_7	(INT7)	TREO				(ADTRG)	
16 [18]	15	12			P11_6	(INT6)	TRBO					
17 [19]	16	13			P11_5	(INT5)	TRAO					
18 [20]	17	14	13		P11_4	(INT4)	TRAIO	(RXD0)				
19 [21]	18	15	14		P11_3	(INT3)		(CTS2/RTS2)	SCS		IVCMP3	
20 [22]	19	16	15		P11_2	(INT2)		(RXD2/SCL2/ TXD2/SDA2)	SSO	SDA	IVREF3	
21 [23]	20	17	16		P11_1	(INT1)		(RXD2/SCL2/ TXD2/SDA2)	SSI		IVCMP1/LVCOUT2	
22 [24]	21	18	17		P11_0	(INT0)		(CLK2)	SSCK	SCL	IVREF1/LVCOUT1	
23 [25]					P10_7	(KI7)	(TRDIOD1)					
24 [26]					P10_6	(KI6)	(TRDIOC1)					
25 [27]					P10_5	(KI5)	(TRDIOB1)					
26 [28]					P10_4	(KI4)	(TRDIOA1)					
27 [29]					P10_3	(KI3)	(TRDIOD0)					
28 [30]					P10_2	(KI2)	(TRDIOC0)					
29 [31]					P10_1	(KI1)	(TRDIOB0)					
30 [32]					P10_0	(KI0)	(TRDIOA0/ TRDCLK)					
31 [33]	22	19	18		P7_7							COM0
32 [34]	23	20	19		P7_6							COM1
33 [35]	24	21	20		P7_5							COM2
34 [36]	25	22	21		P7_4							COM3
35 [37]	26	23			P7_3							SEG55/ COM4
36 [38]	27	24			P7_2							SEG54/ COM5
37 [39]	28	25			P7_1							SEG53/ COM6
38 [40]	29	26			P7_0							SEG52/ COM7
39 [41]	30				P6_7		TRDIOD1					SEG51

注1. プログラムで()の端子に配置できます。

注2. []は100P6Fパッケージを示します。

注3. R8C/L35A、R8C/L35B、R8C/L36AおよびR8C/L36BグループにはWKUP1端子がありません。

表 1.17 ピン番号別端子名一覧(2)

ピン番号				制御端子	ポート	周辺機能の入出力端子						
L3AA L3AB (注2)	L38A L38B	L36A L36B	L35A L35B			割り込み	タイマ	シリアルインタ フェース	SSU	I ² Cバス	A/Dコンバータ D/Aコンバータ コンパレータA コンパレータB 電圧検出回路	LCD駆動 制御回路
40 [42]	31				P6_6		TRDIOC1					SEG50
41 [43]	32				P6_5		TRDIOB1					SEG49
42 [44]	33				P6_4		TRDIOA1					SEG48
43 [45]	34				P6_3		TRDIOD0					SEG47
44 [46]	35				P6_2		TRDIOC0					SEG46
45 [47]	36				P6_1		TRDIOB0					SEG45
46 [48]	37				P6_0		TRDIOA0/ TRDCLK					SEG44
47 [49]					P5_3							SEG43
48 [50]					P5_2							SEG42
49 [51]					P5_1							SEG41
50 [52]					P5_0							SEG40
51 [53]	38	27	22		P4_7		TRCIOD/ TRCIOB					SEG39
52 [54]	39	28	23		P4_6		TRCIOC/ TRCIOB					SEG38
53 [55]	40	29	24		P4_5		TRCIOB					SEG37
54 [56]	41	30	25		P4_4		TRCIOA/ TRCTRG					SEG36
55 [57]	42	31	26		P4_3		TRCLK/ TRCTRG					SEG35
56 [58]	43	32	27		P4_2			CLK1				SEG34
57 [59]	44	33	28		P4_1			RXD1				SEG33
58 [60]	45	34	29		P4_0			TXD1				SEG32
59 [61]	46	35			P3_7	$\overline{\text{INT7}}$	TRCTRG				$\overline{\text{ADTRG}}$	SEG31
60 [62]	47	36			P3_6	$\overline{\text{INT6}}$						SEG30
61 [63]	48	37			P3_5	$\overline{\text{INT5}}$						SEG29
62 [64]	49	38			P3_4	$\overline{\text{INT4}}$						SEG28
63 [65]	50	39	30		P3_3	$\overline{\text{INT3}}$						SEG27
64 [66]	51	40	31		P3_2	$\overline{\text{INT2}}$						SEG26
65 [67]	52	41	32		P3_1	$\overline{\text{INT1}}$						SEG25
66 [68]	53	42	33		P3_0	$\overline{\text{INT0}}$						SEG24
67 [69]	54	43	34		P2_7	$\overline{\text{KI7}}$						SEG23
68 [70]	55	44	35		P2_6	$\overline{\text{KI6}}$						SEG22
69 [71]	56	45	36		P2_5	$\overline{\text{KI5}}$						SEG21
70 [72]	57	46	37		P2_4	$\overline{\text{KI4}}$						SEG20
71 [73]	58				P2_3	$\overline{\text{KI3}}$						SEG19
72 [74]	59				P2_2	$\overline{\text{KI2}}$						SEG18
73 [75]	60				P2_1	$\overline{\text{KI1}}$						SEG17
74 [76]	61				P2_0	$\overline{\text{KI0}}$						SEG16
75 [77]					P1_7							SEG15
76 [78]					P1_6							SEG14
77 [79]					P1_5							SEG13
78 [80]					P1_4							SEG12
79 [81]	62				P1_3					AN15		SEG11
80 [82]	63				P1_2					AN14		SEG10
81 [83]	64				P1_1					AN13		SEG9
82 [84]	65				P1_0					AN12		SEG8
83 [85]	66	47	38		P0_7					AN11 (注3)		SEG7
84 [86]	67	48	39		P0_6					AN10 (注3)		SEG6
85 [87]	68	49	40		P0_5					AN9		SEG5

注1. プログラムで()の端子に配置できます。

注2. []は100P6Fパッケージを示します。

注3. R8C/L35A、R8C/L35B、R8C/L36AおよびR8C/L36BグループにはAN10、AN11端子がありません。

表 1.18 ピン番号別端子名一覧(3)

ピン番号				制御端子	ポート	周辺機能の入出力端子						
L3AA L3AB (注2)	L38A L38B	L36A L36B	L35A L35B			割り込み	タイマ	シリアルインタ フェース	SSU	I ² Cバス	A/Dコンバータ D/Aコンバータ コンパレータA コンパレータB 電圧検出回路	LCD駆動 制御回路
86 [88]	69	50	41		P0_4					AN8	SEG4	
87 [89]	70	51	42		P0_3					AN7	SEG3	
88 [90]	71	52	43		P0_2					AN6	SEG2	
89 [91]	72	53	44		P0_1					AN5	SEG1	
90 [92]	73	54	45		P0_0					AN4	SEG0	
91 [93]	74	55	46								VL1	
92 [94]	75	56	47								VL2	
93 [95]	76	57									VL3	
94 [96]	77	58	48		P12_3						CL2	
95 [97]	78	59	49		P12_2						CL1	
96 [98]	79	60	50								VL4	
97 [99]					P13_7		TRGCLKB			AN19		
98 [100]					P13_6		TRGIOB			AN18		
99 [1]					P13_5		TRGCLKA			AN17		
100 [2]					P13_4		TRGIOA			AN16		

注1. プログラムで()の端子に配置できます。

注2. []は100P6Fパッケージを示します。

1.5 端子機能の説明

表 1.19 ~ 表 1.20 に端子機能の説明を示します。

表 1.19 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC VSS	-	VCCには、1.8V ~ 5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	-	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
パワーオフモード解除入力	WKUP0	入力	パワーオフモード時に使用するモード解除入力です。パワーオフモードを使用しないときはVSSに接続してください。
	WKUP1	入力	パワーオフモード時に使用するモード解除入力です。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCOUTクロック出力	XCOUT	出力	
INT割り込み入力	INT0 ~ INT7	入力	INT割り込みの入力です。
キー入力割り込み入力	KI0 ~ KI7	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロック入力端子です。
	TRCTRG	入力	外部トリガ入力端子です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRD	TRDIOA0、TRDIOA1、TRDIOB0、TRDIOB1、TRDIOC0、TRDIOC1、TRDIOD0、TRDIOD1	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
タイマRE	TREO	出力	分周クロック出力です。
タイマRG	TRGCLKA、TRGCLKB	入力	タイマRGの入力端子です。
	TRGIOA、TRGIOB	入出力	タイマRGの入出力です。
シリアルインタフェース	CLK0、CLK1、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD1、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD1、TXD2	出力	シリアルデータ出力です。
	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	SCL2	入出力	I ² Cモードのクロック入出力です。
	SDA2	入出力	I ² Cモードのデータ入出力です。

注1. 発振特性は発振メーカーに問い合わせてください。

表 1.20 端子機能の説明(2)

分類	端子名	入出力	機能
I ² Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/DコンバータおよびD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN19	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	AD外部トリガ入力です。
D/Aコンバータ	DA0 ~ DA1	出力	D/Aコンバータの出力です。
コンパレータA	LVCMP1、LVCMP2	入力	コンパレータAのアナログ電圧入力端子です。
	LVREF	入力	コンパレータAの基準電圧入力端子です。
	LVCOUT1、LVCOUT2	出力	コンパレータAの出力端子です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力端子です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力端子です。
電圧検出回路	LVCMP2	入力	電圧検出2の検出対象電圧入力端子です。
入出力ポート	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0 ~ P3_7、 P4_0 ~ P4_7、 P5_0 ~ P5_3、 P6_0 ~ P6_7、 P7_0 ~ P7_7、 P10_0 ~ P10_7、 P11_0 ~ P11_7、 P12_0 ~ P12_3、 P13_0 ~ P13_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP10_0 ~ P10_7、P11_0 ~ P11_7は、LED駆動ポートとして使用できます。
セグメント出力	SEG0 ~ SEG55	出力	LCDセグメント出力端子です。
コモン出力	COM0 ~ COM7	出力	LCDコモン出力端子です。
昇圧用容量接続端子	CL1、CL2	出力	LCD制御昇圧回路用コンデンサの接続端子です。
LCD用電源	VL1	入出力	0 VL1 VL2 VL3 VL4の電圧を印加してください。VL1は昇圧設定時に基準電位入力または出力端子として使用できます。
	VL2 ~ VL4	入力	

注1. 発振特性は発振メーカーに問い合わせてください。

2. 中央演算処理装置 (CPU)

図 2.1 に CPU のレジスタを示します。CPU には 13 個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FB はレジスタバンクを構成しています。レジスタバンクは 2 セットあります。

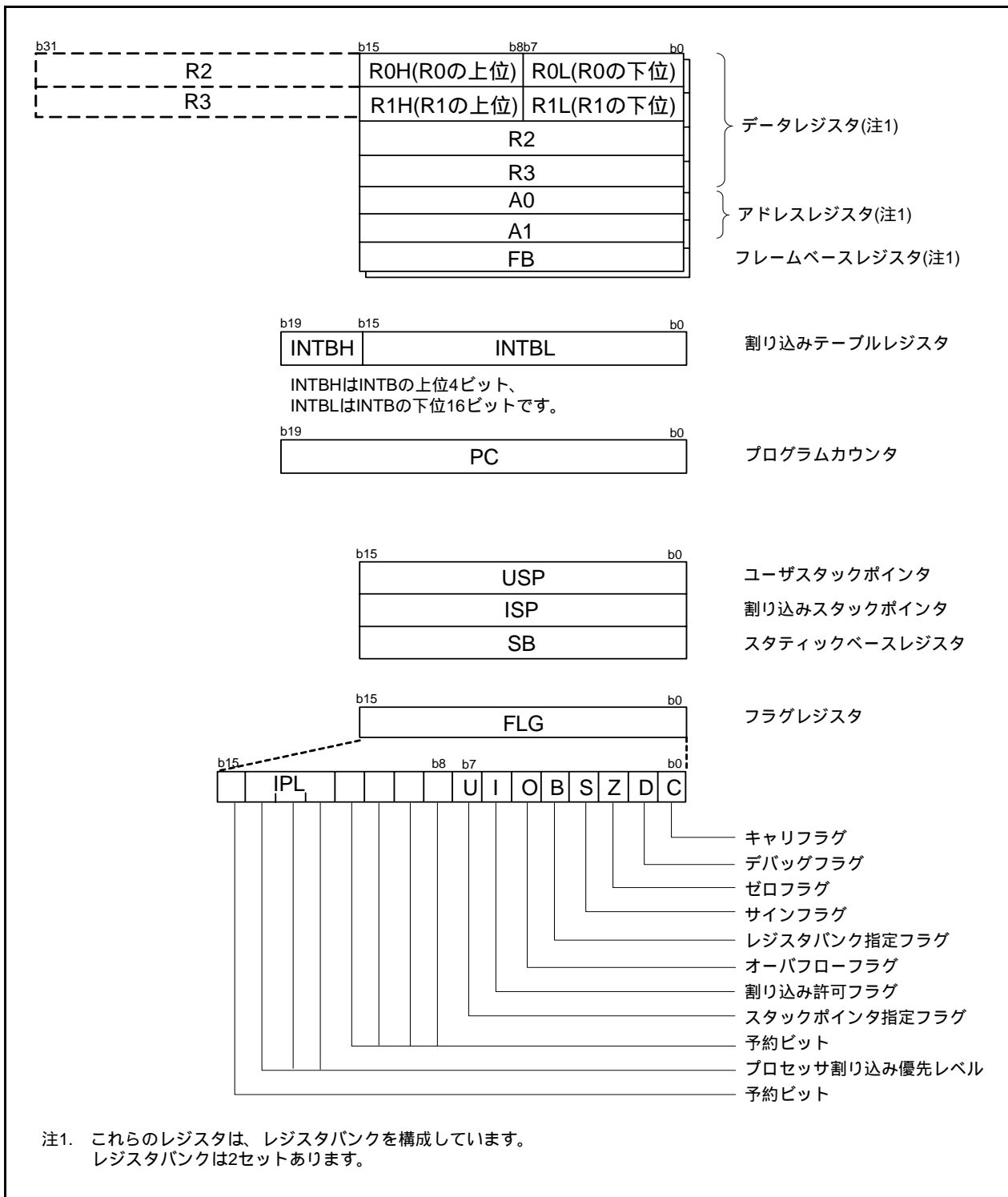


図 2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせると32ビットのデータレジスタ(R2R0)として使用できません。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせると32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

図3.1に各グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から002FFh番地と、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

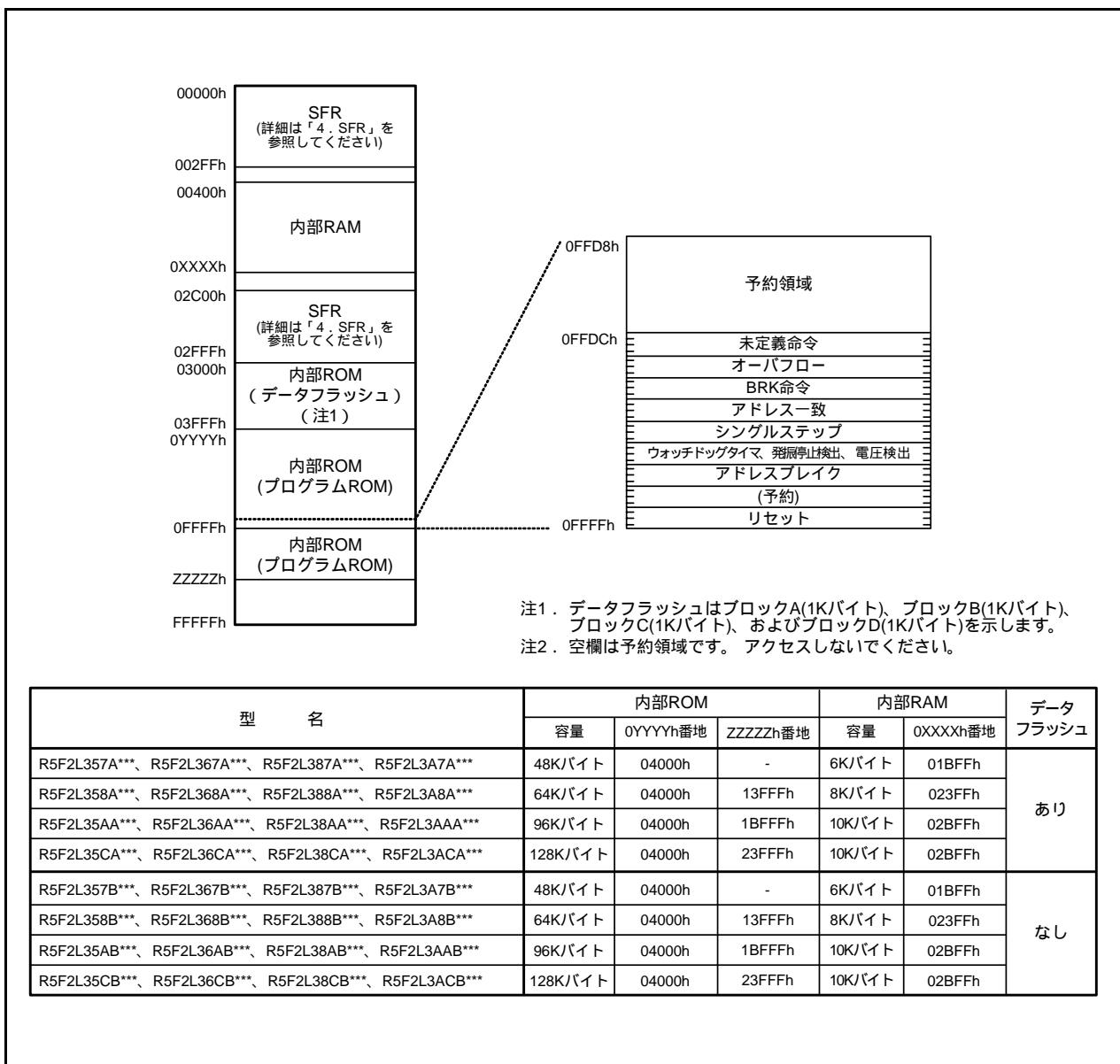


図3.1 メモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.16にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	00h
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	00100000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ 3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	XXh (注2)
000Ch	発振停止検出レジスタ	OSD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ 7	FRA7	出荷時の値
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注3)
001Dh			
001Eh			
001Fh			
0020h	パワーオフモード制御レジスタ 0	POMCR0	X0000000b
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ 0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ 1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ 2	FRA2	00h
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h
0027h			
0028h			
0029h	高速オンチップオシレータ制御レジスタ 4	FRA4	出荷時の値
002Ah	高速オンチップオシレータ制御レジスタ 5	FRA5	出荷時の値
002Bh	高速オンチップオシレータ制御レジスタ 6	FRA6	出荷時の値
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ 3	FRA3	出荷時の値
0030h	電圧監視回路 / コンパレータ A 制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h	電圧検出レジスタ 1	VCA1	00001000b
0034h	電圧検出レジスタ 2	VCA2	00h (注4) 00100000b (注5)
0035h			
0036h	電圧検出 1 レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視 0 回路制御レジスタ	VW0C	1100X010b (注4) 1100X011b (注5)
0039h	電圧監視 1 回路制御レジスタ	VW1C	10001010b

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFRレジスタのCWRビットは電源投入後、電圧監視0リセット後、およびパワーオフモード解除後、“0”になります。
ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFSレジスタのCSPROINIビットが“0”の場合。

注4. OFSレジスタのLVDASビットが“1”の場合。

注5. OFSレジスタのLVDASビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
003Ah	電圧監視 2 回路制御レジスタ	VW2C	10000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h	INT7 割り込み制御レジスタ	INT7IC	XX00X000b
0044h	INT6 割り込み制御レジスタ	INT6IC	XX00X000b
0045h	INT5 割り込み制御レジスタ	INT5IC	XX00X000b
0046h	INT4 割り込み制御レジスタ	INT4IC	XX00X000b
0047h	タイマ RC 割り込み制御レジスタ	TRCIC	XXXXX000b
0048h	タイマ RD0 割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマ RD1 割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah	タイマ RE 割り込み制御レジスタ	TREIC	XXXXX000b
004Bh	UART2 送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2 受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D 変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU 割り込み制御レジスタ / IIC バス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0 送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0 受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1 送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1 受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2 割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマ RA 割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマ RB 割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	UART2 バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXX000b
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	タイマ RG 割り込み制御レジスタ	TRGIC	XXXXX000b
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視 1/ コンパレータ A1 割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	電圧監視 2/ コンパレータ A2 割り込み制御レジスタ	VCMP2IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。
 注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	DTC 起動制御レジスタ	DTCTL	00h
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC 起動許可レジスタ 0	DTCEN0	00h
0089h	DTC 起動許可レジスタ 1	DTCEN1	00h
008Ah	DTC 起動許可レジスタ 2	DTCEN2	00h
008Bh	DTC 起動許可レジスタ 3	DTCEN3	00h
008Ch	DTC 起動許可レジスタ 4	DTCEN4	00h
008Dh	DTC 起動許可レジスタ 5	DTCEN5	00h
008Eh	DTC 起動許可レジスタ 6	DTCEN6	00h
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0 送受信モードレジスタ	U0MR	00h
00A1h	UART0 ビットレートレジスタ	U0BRG	XXh
00A2h	UART0 送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0 送受信制御レジスタ 0	U0C0	00001000b
00A5h	UART0 送受信制御レジスタ 1	U0C1	00000010b
00A6h	UART0 受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART2 送受信モードレジスタ	U2MR	00h
00A9h	UART2 ビットレートレジスタ	U2BRG	XXh
00AAh	UART2 送信バッファレジスタ	U2TB	XXh
00ABh			XXh
00ACh	UART2 送受信制御レジスタ 0	U2C0	00001000b
00ADh	UART2 送受信制御レジスタ 1	U2C1	00000010b
00AEh	UART2 受信バッファレジスタ	U2RB	XXh
00AFh			XXh
00B0h	UART2 デジタルフィルタ機能選択レジスタ	URXDF	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2 特殊モードレジスタ 5	U2SMR5	00h
00BCh	UART2 特殊モードレジスタ 4	U2SMR4	00h
00BDh	UART2 特殊モードレジスタ 3	U2SMR3	000X0X0Xb
00BEh	UART2 特殊モードレジスタ 2	U2SMR2	X0000000b
00BFh	UART2 特殊モードレジスタ	U2SMR	X0000000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ 0	AD0	XXh
00C1h			000000XXb
00C2h	A/D レジスタ 1	AD1	XXh
00C3h			000000XXb
00C4h	A/D レジスタ 2	AD2	XXh
00C5h			000000XXb
00C6h	A/D レジスタ 3	AD3	XXh
00C7h			000000XXb
00C8h	A/D レジスタ 4	AD4	XXh
00C9h			000000XXb
00CAh	A/D レジスタ 5	AD5	XXh
00CBh			000000XXb
00CCh	A/D レジスタ 6	AD6	XXh
00CDh			000000XXb
00CEh	A/D レジスタ 7	AD7	XXh
00CFh			000000XXb
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D モードレジスタ	ADMOD	00h
00D5h	A/D 入力選択レジスタ	ADINSEL	11000000b
00D6h	A/D 制御レジスタ 0	ADCON0	00h
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h	D/A 0 レジスタ	DA0	00h
00D9h	D/A 1 レジスタ	DA1	00h
00DAh			
00DBh			
00DCh	D/A 制御レジスタ	DACON	00h
00DDh			
00DEh			
00DFh			
00E0h	ポート P0 レジスタ	P0	XXh
00E1h	ポート P1 レジスタ	P1	XXh
00E2h	ポート P0 方向レジスタ	PD0	00h
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h	ポート P2 レジスタ	P2	XXh
00E5h	ポート P3 レジスタ	P3	XXh
00E6h	ポート P2 方向レジスタ	PD2	00h
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h	ポート P5 レジスタ	P5	XXh
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh	ポート P5 方向レジスタ	PD5	00h
00ECh	ポート P6 レジスタ	P6	XXh
00EDh	ポート P7 レジスタ	P7	XXh
00EEh	ポート P6 方向レジスタ	PD6	00h
00EFh	ポート P7 方向レジスタ	PD7	00h
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポート P10 レジスタ	P10	XXh
00F5h	ポート P11 レジスタ	P11	XXh
00F6h	ポート P10 方向レジスタ	PD10	00h
00F7h	ポート P11 方向レジスタ	PD11	00h
00F8h	ポート P12 レジスタ	P12	XXh
00F9h	ポート P13 レジスタ	P13	XXh
00FAh	ポート P12 方向レジスタ	PD12	00h
00FBh	ポート P13 方向レジスタ	PD13	00h
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマ RA 制御レジスタ	TRACR	00h
0101h	タイマ RA I/O 制御レジスタ	TRAIOC	00h
0102h	タイマ RA モードレジスタ	TRAMR	00h
0103h	タイマ RA プリスケアラレジスタ	TRAPRE	FFh
0104h	タイマ RA レジスタ	TRA	FFh
0105h	LIN コントロールレジスタ 2	LINCR2	00h
0106h	LIN コントロールレジスタ	LINCR	00h
0107h	LIN ステータスレジスタ	LINST	00h
0108h	タイマ RB 制御レジスタ	TRBCR	00h
0109h	タイマ RB ワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマ RB I/O 制御レジスタ	TRBIOC	00h
010Bh	タイマ RB モードレジスタ	TRBMR	00h
010Ch	タイマ RB プリスケアラレジスタ	TRBPRE	FFh
010Dh	タイマ RB セカンダリレジスタ	TRBSC	FFh
010Eh	タイマ RB プライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマ RE 秒データレジスタ / タイマ RE カウンタデータレジスタ	TRESEC	XXh
0119h	タイマ RE 分データレジスタ / タイマ RE コンペアデータレジスタ	TREMIN	XXh
011Ah	タイマ RE 時データレジスタ	TREHR	XXh
011Bh	タイマ RE 曜日データレジスタ	TREWK	XXh
011Ch	タイマ RE 制御レジスタ 1	TRECR1	XXXXX0XXb
011Dh	タイマ RE 制御レジスタ 2	TRECR2	XXh
011Eh	タイマ RE カウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h	タイマ RC モードレジスタ	TRCMR	01001000b
0121h	タイマ RC 制御レジスタ 1	TRCCR1	00h
0122h	タイマ RC 割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマ RC ステータスレジスタ	TRCSR	01110000b
0124h	タイマ RC I/O 制御レジスタ 0	TRCIOR0	10001000b
0125h	タイマ RC I/O 制御レジスタ 1	TRCIOR1	10001000b
0126h	タイマ RC カウンタ	TRC	00h
0127h			00h
0128h	タイマ RC ジェネラルレジスタ A	TRCGRA	FFh
0129h			FFh
012Ah	タイマ RC ジェネラルレジスタ B	TRCGRB	FFh
012Bh			FFh
012Ch	タイマ RC ジェネラルレジスタ C	TRCGRC	FFh
012Dh			FFh
012Eh	タイマ RC ジェネラルレジスタ D	TRCGRD	FFh
012Fh			FFh
0130h	タイマ RC 制御レジスタ 2	TRCCR2	00011000b
0131h	タイマ RC デジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマ RC アウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h	タイマ RC トリガ制御レジスタ	TRCADCR	00h
0134h			
0135h	タイマ RD 拡張制御レジスタ	TRDECR	00h
0136h	タイマ RD トリガ制御レジスタ	TRDADCR	00h
0137h	タイマ RD スタートレジスタ	TRDSTR	11111100b
0138h	タイマ RD モードレジスタ	TRDMR	00001110b
0139h	タイマ RD PWM モードレジスタ	TRDPMR	10001000b
013Ah	タイマ RD 機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマ RD アウトプットマスタ許可レジスタ 1	TRDOER1	FFh
013Ch	タイマ RD アウトプットマスタ許可レジスタ 2	TRDOER2	01111111b
013Dh	タイマ RD アウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマ RD デジタルフィルタ機能選択レジスタ 0	TRDDF0	00h
013Fh	タイマ RD デジタルフィルタ機能選択レジスタ 1	TRDDF1	00h

注1. 空欄は予約領域です。アクセスしないでください。
 X : 不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマ RD 制御レジスタ 0	TRDCR0	00h
0141h	タイマ RD I/O 制御レジスタ A0	TRDIORA0	10001000b
0142h	タイマ RD I/O 制御レジスタ C0	TRDIORC0	10001000b
0143h	タイマ RD ステータスレジスタ 0	TRDSR0	11100000b
0144h	タイマ RD 割り込み許可レジスタ 0	TRDIER0	11100000b
0145h	タイマ RD PWM モードアウトブットレベル制御レジスタ 0	TRDPOCR0	11111000b
0146h	タイマ RD カウンタ 0	TRD0	00h
0147h			00h
0148h	タイマ RD ジェネラルレジスタ A0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマ RD ジェネラルレジスタ B0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマ RD ジェネラルレジスタ C0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマ RD ジェネラルレジスタ D0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマ RD 制御レジスタ 1	TRDCR1	00h
0151h	タイマ RD I/O 制御レジスタ A1	TRDIORA1	10001000b
0152h	タイマ RD I/O 制御レジスタ C1	TRDIORC1	10001000b
0153h	タイマ RD ステータスレジスタ 1	TRDSR1	11000000b
0154h	タイマ RD 割り込み許可レジスタ 1	TRDIER1	11100000b
0155h	タイマ RD PWM モードアウトブットレベル制御レジスタ 1	TRDPOCR1	11111000b
0156h	タイマ RD カウンタ 1	TRD1	00h
0157h			00h
0158h	タイマ RD ジェネラルレジスタ A1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマ RD ジェネラルレジスタ B1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマ RD ジェネラルレジスタ C1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマ RD ジェネラルレジスタ D1	TRDGRD1	FFh
015Fh			FFh
0160h	UART1 送受信モードレジスタ	U1MR	00h
0161h	UART1 ビットレートレジスタ	U1BRG	XXh
0162h	UART1 送信バッファレジスタ	U1TB	XXh
0163h			XXh
0164h	UART1 送受信制御レジスタ 0	U1C0	00001000b
0165h	UART1 送受信制御レジスタ 1	U1C1	00000010b
0166h	UART1 受信バッファレジスタ	U1RB	XXh
0167h			XXh
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h	タイマ RG モードレジスタ	TRGMR	01000000b
0171h	タイマ RG カウント制御レジスタ	TRGCNTC	00h
0172h	タイマ RG 制御レジスタ	TRGCR	10000000b
0173h	タイマ RG 割り込み許可レジスタ	TRGIER	11110000b
0174h	タイマ RG ステータスレジスタ	TRGSR	11100000b
0175h	タイマ RG I/O 制御レジスタ	TRGIOR	00h
0176h	タイマ RG カウンタ	TRG	00h
0177h			00h
0178h	タイマ RG ジェネラルレジスタ A	TRGGRA	FFh
0179h			FFh
017Ah	タイマ RG ジェネラルレジスタ B	TRGGRB	FFh
017Bh			FFh
017Ch	タイマ RG ジェネラルレジスタ C	TRGGRC	FFh
017Dh			FFh
017Eh	タイマ RG ジェネラルレジスタ D	TRGGRD	FFh
017Fh			FFh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマ RA 端子選択レジスタ	TRASR	00h
0181h	タイマ RB/RC 端子選択レジスタ	TRBRCSR	00h
0182h	タイマ RC 端子選択レジスタ 0	TRCPSR0	00h
0183h	タイマ RC 端子選択レジスタ 1	TRCPSR1	00h
0184h	タイマ RD 端子選択レジスタ 0	TRDPSR0	00h
0185h	タイマ RD 端子選択レジスタ 1	TRDPSR1	00h
0186h			
0187h	タイマ RG 端子選択レジスタ	TRGPSR	00h
0188h	UART0 端子選択レジスタ	U0SR	00h
0189h	UART1 端子選択レジスタ	U1SR	00h
018Ah	UART2 端子選択レジスタ 0	U2SR0	00h
018Bh	UART2 端子選択レジスタ 1	U2SR1	00h
018Ch	SSU/IIC 端子選択レジスタ	SSUIICSR	00h
018Dh	キー入力端子選択レジスタ	KISR	00h
018Eh	INT 割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SS ビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL/IICバス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
0195h	SS送信データレジスタH (注2)	SSTDRH	FFh
0196h	SS受信データレジスタL/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh
0197h	SS受信データレジスタH (注2)	SSRDRH	FFh
0198h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/ICCR1	00h
0199h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/ICCR2	0111101b
019Ah	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00010000b/00011000b
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ (注2)	SSER/ICIER	00h
019Ch	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h/0000X000b
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ (注2)	SSMR2/SAR	00h
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ 0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ 2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。
 注2. SSUIICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h	アドレス一致割り込みレジスタ 0	RMAD0	XXh
01C1h			XXh
01C2h			0000XXXXb
01C3h	アドレス一致割り込み許可レジスタ 0	AIER0	00h
01C4h	アドレス一致割り込みレジスタ 1	RMAD1	XXh
01C5h			XXh
01C6h			0000XXXXb
01C7h	アドレス一致割り込み許可レジスタ 1	AIER1	00h
01C8h			
01C9h			
01CAh			
01CBh			
01Ch			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ポート P0 ブルアップ制御レジスタ	P0PUR	00h
01E1h	ポート P1 ブルアップ制御レジスタ	P1PUR	00h
01E2h	ポート P2 ブルアップ制御レジスタ	P2PUR	00h
01E3h	ポート P3 ブルアップ制御レジスタ	P3PUR	00h
01E4h	ポート P4 ブルアップ制御レジスタ	P4PUR	00h
01E5h	ポート P5 ブルアップ制御レジスタ	P5PUR	00h
01E6h	ポート P6 ブルアップ制御レジスタ	P6PUR	00h
01E7h	ポート P7 ブルアップ制御レジスタ	P7PUR	00h
01E8h			
01E9h			
01EAh	ポート P10 ブルアップ制御レジスタ	P10PUR	00h
01EBh	ポート P11 ブルアップ制御レジスタ	P11PUR	00h
01ECh	ポート P12 ブルアップ制御レジスタ	P12PUR	00h
01EDh	ポート P13 ブルアップ制御レジスタ	P13PUR	00h
01EEh			
01EFh			
01F0h	ポート P10 駆動能力制御レジスタ	P10DRR	00h
01F1h	ポート P11 駆動能力制御レジスタ	P11DRR	00h
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ 0	VLT0	00h
01F6h	入力しきい値制御レジスタ 1	VLT1	00h
01F7h	入力しきい値制御レジスタ 2	VLT2	00h
01F8h	コンパレータ B 制御レジスタ 0	INTCMP	00h
01F9h			
01FAh	外部入力許可レジスタ 0	INTEN	00h
01FBh	外部入力許可レジスタ 1	INTEN1	00h
01FCh	INT 入力フィルタ選択レジスタ 0	INTF	00h
01FDh	INT 入力フィルタ選択レジスタ 1	INTF1	00h
01FEh	キー入力許可レジスタ 0	KIEN	00h
01FFh	キー入力許可レジスタ 1	KIEN1	00h

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.9 SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
0200h	LCD 制御レジスタ	LCR0	00h
0201h	LCD バイアス制御レジスタ	LCR1	00h
0202h	LCD 表示制御レジスタ	LCR2	X0000000b
0203h	LCD クロック制御レジスタ	LCR3	00h
0204h			
0205h			
0206h	LCD ポート選択レジスタ 0	LSE0	00h
0207h	LCD ポート選択レジスタ 1	LSE1	00h
0208h	LCD ポート選択レジスタ 2	LSE2	00h
0209h	LCD ポート選択レジスタ 3	LSE3	00h
020Ah	LCD ポート選択レジスタ 4	LSE4	00h
020Bh	LCD ポート選択レジスタ 5	LSE5	00h
020Ch	LCD ポート選択レジスタ 6	LSE6	00h
020Dh	LCD ポート選択レジスタ 7	LSE7	00h
020Eh			
020Fh			
0210h	LCD 表示データレジスタ	LRA0L	XXh
0211h		LRA1L	XXh
0212h		LRA2L	XXh
0213h		LRA3L	XXh
0214h		LRA4L	XXh
0215h		LRA5L	XXh
0216h		LRA6L	XXh
0217h		LRA7L	XXh
0218h		LRA8L	XXh
0219h		LRA9L	XXh
021Ah		LRA10L	XXh
021Bh		LRA11L	XXh
021Ch		LRA12L	XXh
021Dh		LRA13L	XXh
021Eh		LRA14L	XXh
021Fh		LRA15L	XXh
0220h		LRA16L	XXh
0221h		LRA17L	XXh
0222h		LRA18L	XXh
0223h		LRA19L	XXh
0224h		LRA20L	XXh
0225h		LRA21L	XXh
0226h		LRA22L	XXh
0227h		LRA23L	XXh
0228h		LRA24L	XXh
0229h		LRA25L	XXh
022Ah		LRA26L	XXh
022Bh		LRA27L	XXh
022Ch		LRA28L	XXh
022Dh		LRA29L	XXh
022Eh		LRA30L	XXh
022Fh		LRA31L	XXh
0230h		LRA32L	XXh
0231h		LRA33L	XXh
0232h		LRA34L	XXh
0233h		LRA35L	XXh
0234h		LRA36L	XXh
0235h		LRA37L	XXh
0236h		LRA38L	XXh
0237h		LRA39L	XXh
0238h		LRA40L	XXh
0239h		LRA41L	XXh
023Ah		LRA42L	XXh
023Bh		LRA43L	XXh
023Ch		LRA44L	XXh
023Dh		LRA45L	XXh
023Eh		LRA46L	XXh
023Fh		LRA47L	XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
0240h	LCD 表示データレジスタ	LRA48L	XXh
0241h		LRA49L	XXh
0242h		LRA50L	XXh
0243h		LRA51L	XXh
0244h		LRA52L	XXh
0245h		LRA53L	XXh
0246h		LRA54L	XXh
0247h		LRA55L	XXh
0248h		LRA56L	XXh
0249h		LRA57L	XXh
024Ah		LRA58L	XXh
024Bh		LRA59L	XXh
024Ch		LRA60L	XXh
024Dh		LRA61L	XXh
024Eh		LRA62L	XXh
024Fh		LRA63L	XXh
0250h		LRA64L	XXh
0251h		LRA65L	XXh
0252h		LRA66L	XXh
0253h		LRA67L	XXh
0254h		LRA68L	XXh
0255h		LRA69L	XXh
0256h		LRA70L	XXh
0257h		LRA71L	XXh
0258h		LRA72L	XXh
0259h		LRA73L	XXh
025Ah		LRA74L	XXh
025Bh		LRA75L	XXh
025Ch		LRA76L	XXh
025Dh		LRA77L	XXh
025Eh		LRA78L	XXh
025Fh		LRA79L	XXh
0260h		LRA80L	XXh
0261h		LRA81L	XXh
0262h		LRA82L	XXh
0263h		LRA83L	XXh
0264h		LRA84L	XXh
0265h		LRA85L	XXh
0266h		LRA86L	XXh
0267h		LRA87L	XXh
0268h		LRA88L	XXh
0269h		LRA89L	XXh
026Ah		LRA90L	XXh
026Bh		LRA91L	XXh
026Ch		LRA92L	XXh
026Dh		LRA93L	XXh
026Eh	LRA94L	XXh	
026Fh	LRA95L	XXh	
0270h	LCD 表示制御データレジスタ	LRA0H	XXh
0271h		LRA1H	XXh
0272h		LRA2H	XXh
0273h		LRA3H	XXh
0274h		LRA4H	XXh
0275h		LRA5H	XXh
0276h		LRA6H	XXh
0277h		LRA7H	XXh
0278h		LRA8H	XXh
0279h		LRA9H	XXh
027Ah		LRA10H	XXh
027Bh		LRA11H	XXh
027Ch		LRA12H	XXh
027Dh		LRA13H	XXh
027Eh		LRA14H	XXh
027Fh		LRA15H	XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.11 SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
0280h	LCD表示制御データレジスタ	LRA16H	XXh
0281h		LRA17H	XXh
0282h		LRA18H	XXh
0283h		LRA19H	XXh
0284h		LRA20H	XXh
0285h		LRA21H	XXh
0286h		LRA22H	XXh
0287h		LRA23H	XXh
0288h		LRA24H	XXh
0289h		LRA25H	XXh
028Ah		LRA26H	XXh
028Bh		LRA27H	XXh
028Ch		LRA28H	XXh
028Dh		LRA29H	XXh
028Eh		LRA30H	XXh
028Fh		LRA31H	XXh
0290h		LRA32H	XXh
0291h		LRA33H	XXh
0292h		LRA34H	XXh
0293h		LRA35H	XXh
0294h		LRA36H	XXh
0295h		LRA37H	XXh
0296h		LRA38H	XXh
0297h		LRA39H	XXh
0298h		LRA40H	XXh
0299h		LRA41H	XXh
029Ah		LRA42H	XXh
029Bh		LRA43H	XXh
029Ch		LRA44H	XXh
029Dh		LRA45H	XXh
029Eh		LRA46H	XXh
029Fh		LRA47H	XXh
02A0h		LRA48H	XXh
02A1h		LRA49H	XXh
02A2h		LRA50H	XXh
02A3h		LRA51H	XXh
02A4h		LRA52H	XXh
02A5h		LRA53H	XXh
02A6h		LRA54H	XXh
02A7h		LRA55H	XXh
02A8h		LRA56H	XXh
02A9h		LRA57H	XXh
02AAh		LRA58H	XXh
02ABh		LRA59H	XXh
02ACh		LRA60H	XXh
02ADh		LRA61H	XXh
02AEh		LRA62H	XXh
02AFh		LRA63H	XXh
02B0h	LRA64H	XXh	
02B1h	LRA65H	XXh	
02B2h	LRA66H	XXh	
02B3h	LRA67H	XXh	
02B4h	LRA68H	XXh	
02B5h	LRA69H	XXh	
02B6h	LRA70H	XXh	
02B7h	LRA71H	XXh	
02B8h	LRA72H	XXh	
02B9h	LRA73H	XXh	
02BAh	LRA74H	XXh	
02BBh	LRA75H	XXh	
02BCh	LRA76H	XXh	
02BDh	LRA77H	XXh	
02BEh	LRA78H	XXh	
02BFh	LRA79H	XXh	

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値
02C0h	LCD表示制御データレジスタ	LRA80H	XXh
02C1h		LRA81H	XXh
02C2h		LRA82H	XXh
02C3h		LRA83H	XXh
02C4h		LRA84H	XXh
02C5h		LRA85H	XXh
02C6h		LRA86H	XXh
02C7h		LRA87H	XXh
02C8h		LRA88H	XXh
02C9h		LRA89H	XXh
02CAh		LRA90H	XXh
02CBh		LRA91H	XXh
02CCh		LRA92H	XXh
02CDh		LRA93H	XXh
02CEh		LRA94H	XXh
02CFh	LRA95H	XXh	
02D0h			
02D1h			
02D2h			
02D3h			
02D4h			
02D5h			
02D6h			
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh			
02DEh			
02DFh			
02E0h			
02E1h			
02E2h			
02E3h			
02E4h			
02E5h			
02E6h			
02E7h			
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh			
02FFh			

注1. 空欄は予約領域です。アクセスしないでください。

表4.13 SFR一覧(13)(注1)

番地	レジスタ	シンボル	リセット後の値
2C00h	DTC 転送ベクタ領域		XXh
2C01h	DTC 転送ベクタ領域		XXh
2C02h	DTC 転送ベクタ領域		XXh
2C03h	DTC 転送ベクタ領域		XXh
2C04h	DTC 転送ベクタ領域		XXh
2C05h	DTC 転送ベクタ領域		XXh
2C06h	DTC 転送ベクタ領域		XXh
2C07h	DTC 転送ベクタ領域		XXh
2C08h	DTC 転送ベクタ領域		XXh
2C09h	DTC 転送ベクタ領域		XXh
2C0Ah	DTC 転送ベクタ領域		XXh
:	DTC 転送ベクタ領域		XXh
:	DTC 転送ベクタ領域		XXh
2C3Ah	DTC 転送ベクタ領域		XXh
2C3Bh	DTC 転送ベクタ領域		XXh
2C3Ch	DTC 転送ベクタ領域		XXh
2C3Dh	DTC 転送ベクタ領域		XXh
2C3Eh	DTC 転送ベクタ領域		XXh
2C3Fh	DTC 転送ベクタ領域		XXh
2C40h	DTC コントロールデータ 0	DTCD0	XXh
2C41h			XXh
2C42h			XXh
2C43h			XXh
2C44h			XXh
2C45h			XXh
2C46h			XXh
2C47h			XXh
2C48h	DTC コントロールデータ 1	DTCD1	XXh
2C49h			XXh
2C4Ah			XXh
2C4Bh			XXh
2C4Ch			XXh
2C4Dh			XXh
2C4Eh			XXh
2C4Fh			XXh
2C50h	DTC コントロールデータ 2	DTCD2	XXh
2C51h			XXh
2C52h			XXh
2C53h			XXh
2C54h			XXh
2C55h			XXh
2C56h			XXh
2C57h			XXh
2C58h	DTC コントロールデータ 3	DTCD3	XXh
2C59h			XXh
2C5Ah			XXh
2C5Bh			XXh
2C5Ch			XXh
2C5Dh			XXh
2C5Eh			XXh
2C5Fh			XXh
2C60h	DTC コントロールデータ 4	DTCD4	XXh
2C61h			XXh
2C62h			XXh
2C63h			XXh
2C64h			XXh
2C65h			XXh
2C66h			XXh
2C67h			XXh
2C68h	DTC コントロールデータ 5	DTCD5	XXh
2C69h			XXh
2C6Ah			XXh
2C6Bh			XXh
2C6Ch			XXh
2C6Dh			XXh
2C6Eh			XXh
2C6Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.14 SFR一覧(14)(注1)

番地	レジスタ	シンボル	リセット後の値
2C70h	DTC コントロールデータ 6	DTCD6	XXh
2C71h			XXh
2C72h			XXh
2C73h			XXh
2C74h			XXh
2C75h			XXh
2C76h			XXh
2C77h			XXh
2C78h	DTC コントロールデータ 7	DTCD7	XXh
2C79h			XXh
2C7Ah			XXh
2C7Bh			XXh
2C7Ch			XXh
2C7Dh			XXh
2C7Eh			XXh
2C7Fh			XXh
2C80h	DTC コントロールデータ 8	DTCD8	XXh
2C81h			XXh
2C82h			XXh
2C83h			XXh
2C84h			XXh
2C85h			XXh
2C86h			XXh
2C87h			XXh
2C88h	DTC コントロールデータ 9	DTCD9	XXh
2C89h			XXh
2C8Ah			XXh
2C8Bh			XXh
2C8Ch			XXh
2C8Dh			XXh
2C8Eh			XXh
2C8Fh			XXh
2C90h	DTC コントロールデータ 10	DTCD10	XXh
2C91h			XXh
2C92h			XXh
2C93h			XXh
2C94h			XXh
2C95h			XXh
2C96h			XXh
2C97h			XXh
2C98h	DTC コントロールデータ 11	DTCD11	XXh
2C99h			XXh
2C9Ah			XXh
2C9Bh			XXh
2C9Ch			XXh
2C9Dh			XXh
2C9Eh			XXh
2C9Fh			XXh
2CA0h	DTC コントロールデータ 12	DTCD12	XXh
2CA1h			XXh
2CA2h			XXh
2CA3h			XXh
2CA4h			XXh
2CA5h			XXh
2CA6h			XXh
2CA7h			XXh
2CA8h	DTC コントロールデータ 13	DTCD13	XXh
2CA9h			XXh
2CAAh			XXh
2CABh			XXh
2CACH			XXh
2CADh			XXh
2CAEh			XXh
2CAFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.15 SFR一覧(15)(注1)

番地	レジスタ	シンボル	リセット後の値
2CB0h	DTC コントロールデータ 14	DTCD14	XXh
2CB1h			XXh
2CB2h			XXh
2CB3h			XXh
2CB4h			XXh
2CB5h			XXh
2CB6h			XXh
2CB7h			XXh
2CB8h	DTC コントロールデータ 15	DTCD15	XXh
2CB9h			XXh
2CAAh			XXh
2CBBh			XXh
2CBCh			XXh
2CBDh			XXh
2CBEh			XXh
2CBFh			XXh
2CC0h	DTC コントロールデータ 16	DTCD16	XXh
2CC1h			XXh
2CC2h			XXh
2CC3h			XXh
2CC4h			XXh
2CC5h			XXh
2CC6h			XXh
2CC7h			XXh
2CC8h	DTC コントロールデータ 17	DTCD17	XXh
2CC9h			XXh
2CCAh			XXh
2CCBh			XXh
2CCCh			XXh
2CCDh			XXh
2CCEh			XXh
2CCFh			XXh
2CD0h	DTC コントロールデータ 18	DTCD18	XXh
2CD1h			XXh
2CD2h			XXh
2CD3h			XXh
2CD4h			XXh
2CD5h			XXh
2CD6h			XXh
2CD7h			XXh
2CD8h	DTC コントロールデータ 19	DTCD19	XXh
2CD9h			XXh
2CDAh			XXh
2CDBh			XXh
2CDCh			XXh
2CDDh			XXh
2CDEh			XXh
2CDFh			XXh
2CE0h	DTC コントロールデータ 20	DTCD20	XXh
2CE1h			XXh
2CE2h			XXh
2CE3h			XXh
2CE4h			XXh
2CE5h			XXh
2CE6h			XXh
2CE7h			XXh
2CE8h	DTC コントロールデータ 21	DTCD21	XXh
2CE9h			XXh
2CEAh			XXh
2CEBh			XXh
2CECh			XXh
2CEDh			XXh
2CEEh			XXh
2CEFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.16 SFR一覧(16)(注1)

番地	レジスタ	シンボル	リセット後の値
2CF0h	DTC コントロールデータ 22	DTCD22	XXh
2CF1h			XXh
2CF2h			XXh
2CF3h			XXh
2CF4h			XXh
2CF5h			XXh
2CF6h			XXh
2CF7h			XXh
2CF8h	DTC コントロールデータ 23	DTCD23	XXh
2CF9h			XXh
2CFAh			XXh
2CFBh			XXh
2CFCh			XXh
2CFDh			XXh
2CFEh			XXh
2CFFh			XXh
2D00h			
2D01h			
:			
0FFDBh	オプション機能選択レジスタ 2	OFS2	(注 2)
:			
0FFFFh	オプション機能選択レジスタ	OFS	(注 2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. このレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

5. 電気的特性

5.1 絶対最大定格

表5.1 絶対最大定格

記号	項目		測定条件	定格値	単位
V _{cc} /AV _{cc}	電源電圧			- 0.3 ~ 6.5	V
V _i	入力電圧	XIN	XIN-XOUT 発振時 (発振バッファ ON時)(注1)	- 0.3 ~ 1.65	V
		XIN	XIN-XOUT 発振停止時 (発振バッファ OFF時)(注1)	- 0.3 ~ V _{cc} + 0.3	V
		VL1		- 0.3 ~ VL2	V
		VL2	R8C/L35A、R8C/L35B	VL1 ~ VL4	V
			R8C/L36A、R8C/L36B、 R8C/L38A、R8C/L38B、 R8C/L3AA、R8C/L3AB	VL1 ~ VL3	V
		VL3		VL2 ~ VL4	V
		VL4		VL3 ~ 6.5	V
		その他の端子		- 0.3 ~ V _{cc} + 0.3	V
V _o	出力電圧	XOUT	XIN-XOUT 発振時 (発振バッファ ON時)(注1)	- 0.3 ~ 1.65	V
		XOUT	XIN-XOUT 発振停止時 (発振バッファ OFF時)(注1)	- 0.3 ~ V _{cc} + 0.3	V
		VL1		- 0.3 ~ VL2	V
		VL2	R8C/L35A、R8C/L35B	VL1 ~ VL4	V
			R8C/L36A、R8C/L36B、 R8C/L38A、R8C/L38B、 R8C/L3AA、R8C/L3AB	VL1 ~ VL3	V
		VL3		VL2 ~ VL4	V
		VL4		- 0.3 ~ 6.5	V
		CL1、CL2		- 0.3 ~ 6.5	V
		COM0 ~ COM7		- 0.3 ~ VL4	V
		SEG0 ~ SEG55		- 0.3 ~ VL4	V
		その他の端子		- 0.3 ~ V _{cc} + 0.3	V
P _d	消費電力	- 40 Topr 85	500	mW	
T _{opr}	動作周囲温度		- 20 ~ 85(Nバージョン)/ - 40 ~ 85(Dバージョン)		
T _{stg}	保存温度		- 65 ~ 150		

注1. 各動作のためのレジスタ設定は、ハードウェアマニュアル(RJJ09B0461)の「7. I/Oポート」、「9. クロック発生回路」を参照してください。

5.2 推奨動作条件

表5.2 推奨動作条件
(指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目		測定条件	規格値			単位		
				最小	標準	最大			
Vcc/AVcc	電源電圧			1.8		5.5	V		
Vss/AVss	電源電圧				0		V		
VIH	“H”入力電圧	CMOS入力以外	4.0V Vcc 5.5V	0.8Vcc		Vcc	V		
			2.7V Vcc < 4.0V	0.8Vcc		Vcc	V		
			1.8V Vcc < 2.7V	0.9Vcc		Vcc	V		
		CMOS入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択 : 0.35Vcc	4.0V Vcc 5.5V	0.5Vcc		Vcc	V
					2.7V Vcc < 4.0V	0.55Vcc		Vcc	V
					1.8V Vcc < 2.7V	0.65Vcc		Vcc	V
	入力レベル選択 : 0.5Vcc	4.0V Vcc 5.5V	0.65Vcc		Vcc	V			
		2.7V Vcc < 4.0V	0.7Vcc		Vcc	V			
		1.8V Vcc < 2.7V	0.8Vcc		Vcc	V			
	入力レベル選択 : 0.7Vcc	4.0V Vcc 5.5V	0.85Vcc		Vcc	V			
		2.7V Vcc < 4.0V	0.85Vcc		Vcc	V			
		1.8V Vcc < 2.7V	0.85Vcc		Vcc	V			
VIL	“L”入力電圧	CMOS入力以外	4.0V Vcc 5.5V	0		0.2Vcc	V		
			2.7V Vcc < 4.0V	0		0.2Vcc	V		
			1.8V Vcc < 2.7V	0		0.05Vcc	V		
		CMOS入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択 : 0.35Vcc	4.0V Vcc 5.5V	0		0.2Vcc	V
					2.7V Vcc < 4.0V	0		0.2Vcc	V
					1.8V Vcc < 2.7V	0		0.2Vcc	V
	入力レベル選択 : 0.5Vcc	4.0V Vcc 5.5V	0		0.4Vcc	V			
		2.7V Vcc < 4.0V	0		0.3Vcc	V			
		1.8V Vcc < 2.7V	0		0.2Vcc	V			
	入力レベル選択 : 0.7Vcc	4.0V Vcc 5.5V	0		0.55Vcc	V			
		2.7V Vcc < 4.0V	0		0.45Vcc	V			
		1.8V Vcc < 2.7V	0		0.35Vcc	V			
IOH(sum)	“H” 尖頭総出力電流	全端子のIOH(peak)の総和				- 160	mA		
IOH(sum)	“H” 平均総出力電流	全端子のIOH(avg)の総和				- 80	mA		
IOH(peak)	“H” 尖頭出力電流	ポートP10、P11(注2)				- 40	mA		
		その他の端子				- 10	mA		
IOH(avg)	“H” 平均出力電流(注1)	ポートP10、P11(注2)				- 20	mA		
		その他の端子				- 5	mA		
IOL(sum)	“L” 尖頭総出力電流	全端子のIOL(peak)の総和				160	mA		
IOL(sum)	“L” 平均総出力電流	全端子のIOL(avg)の総和				80	mA		
IOL(peak)	“L” 尖頭出力電流	ポートP10、P11(注2)				40	mA		
		その他の端子				10	mA		
IOL(avg)	“L” 平均出力電流(注1)	ポートP10、P11(注2)				20	mA		
		その他の端子				5	mA		
f(XIN)	XINクロック入力発振周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
f(XCIN)	XCINクロック入力発振周波数	1.8V Vcc 5.5V		32.768		50	kHz		
fOCO40M	タイマRC、タイマRD、タイマRGのカウントソース(注3)	2.7V Vcc 5.5V		32		40	MHz		
fOCO-F	fOCO-F周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
	システムクロック周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
f(BCLK)	CPUクロック周波数	2.7V Vcc 5.5V		0		20	MHz		
		1.8V Vcc < 2.7V		0		5	MHz		

注1. 平均出力電流は100msの期間内での平均値です。

注2. P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

注3. fOCO40MはVcc = 2.7V ~ 5.5Vの範囲で、タイマRC、タイマRD、タイマRGのカウントソースとして使用することができます。

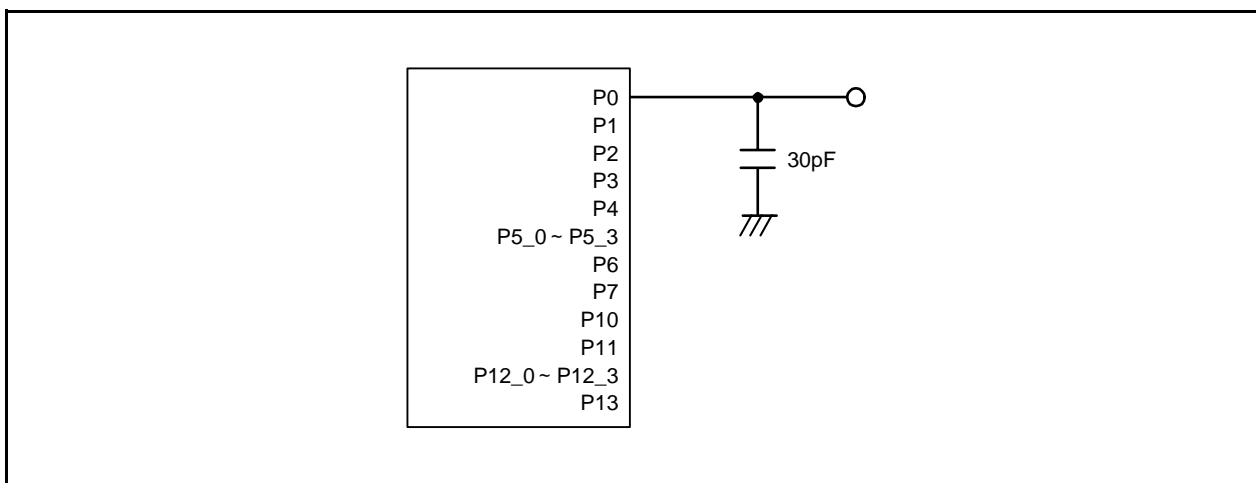


図5.1 ポートP0 ~ P4、P5_0 ~ P5_3、P6、P7、P10、P11、P12_0 ~ P12_3、P13のタイミング測定回路

5.3 周辺機能の特性

表5.3 A/Dコンバータの特性

(指定のない場合は、 $V_{cc}/AV_{cc} = V_{ref} = 2.2V \sim 5.5V$ 、 $V_{ss} = 0V$ 、 $Topr = -20 \sim 85$ (Nバージョン)/
 $-40 \sim 85$ (Dバージョン))

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能		$V_{ref} = AV_{cc}$			10	Bit
	絶対精度	10ビットモード	$V_{ref} = AV_{cc} = 5.0V$ AN0 ~ AN19入力			± 3	LSB
			$V_{ref} = AV_{cc} = 3.3V$ AN0 ~ AN19入力			± 5	LSB
			$V_{ref} = AV_{cc} = 3.0V$ AN0 ~ AN19入力			± 5	LSB
			$V_{ref} = AV_{cc} = 2.2V$ AN0 ~ AN19入力			± 5	LSB
		8ビットモード	$V_{ref} = AV_{cc} = 5.0V$ AN0 ~ AN19入力			± 2	LSB
			$V_{ref} = AV_{cc} = 3.3V$ AN0 ~ AN19入力			± 2	LSB
			$V_{ref} = AV_{cc} = 3.0V$ AN0 ~ AN19入力			± 2	LSB
			$V_{ref} = AV_{cc} = 2.2V$ AN0 ~ AN19入力			± 2	LSB
AD	A/D変換クロック		4.0V $V_{ref} = AV_{cc}$ 5.5V(注1)	2		20	MHz
			3.2V $V_{ref} = AV_{cc}$ 5.5V(注1)	2		16	MHz
			2.7V $V_{ref} = AV_{cc}$ 5.5V(注1)	2		10	MHz
			2.2V $V_{ref} = AV_{cc}$ 5.5V(注1)	2		5	MHz
	許容信号源インピーダンス				3		k
DNL	微分非直線性誤差					± 1	LSB
tCONV	変換時間	10ビットモード	$V_{ref} = AV_{cc} = 5.0V$ 、 $AD = 20MHz$	2.15			μs
		8ビットモード	$V_{ref} = AV_{cc} = 5.0V$ 、 $AD = 20MHz$	2.15			μs
tSAMP	サンプリング時間		$AD = 20MHz$	0.75			μs
Ivref	Vref電流		$V_{cc} = 5V$ 、 $XIN = f1 = AD = 20MHz$		45		μA
Vref	基準電圧			2.2		AV_{cc}	V
VIA	アナログ入力電圧(注2)			0		V_{ref}	V

注1. CPUおよびフラッシュメモリが停止すると、A/D変換結果が不定になります。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表5.4 D/Aコンバータの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = V_{REF} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	分解能				8	Bit
	絶対精度				2.5	LSB
t_{su}	設定時間				3	μs
R_O	出力抵抗			6		k
I_{VREF}	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータ1本使用、使用していないD/AコンバータのDAi(i = 0 ~ 1)レジスタの値が“00h”の場合です。
A/Dコンバータのラダー抵抗分は除きます。

表5.5 コンパレータAの特性

(指定のない場合は、 $V_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
LVREF	外部基準電圧入力範囲		1.4		V_{CC}	V
LVCMP1、 LVCMP2	外部比較電圧入力範囲		- 0.3		$V_{CC} + 0.3$	V
	オフセット			50	200	mV
	コンパレータ出力遅延時間(注1)	立ち下がり時 $V_i = V_{REF} - 100mV$		3		μs
		立ち下がり時 $V_i = V_{REF} - 1V$ 以下		1.5		μs
		立ち上がり時 $V_i = V_{REF} + 100mV$		2		μs
		立ち上がり時 $V_i = V_{REF} + 1V$ 以上		0.5		μs
	コンパレータ動作電流	$V_{CC} = 5.0V$		0.5		μA

注1. デジタルフィルタ無効時。

表5.6 コンパレータBの特性

(指定のない場合は、 $V_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{REF}	IVREF1、IVREF3入力基準電圧		0		$V_{CC} - 1.4$	V
V_i	IVCMP1、IVCMP3入力電圧		- 0.3		$V_{CC} + 0.3$	V
	オフセット			5	100	mV
t_d	コンパレータ出力遅延時間(注1)	$V_i = V_{REF} \pm 100mV$		0.1		μs
ICMP	コンパレータ動作電流	$V_{CC} = 5.0V$		17.5		μA

注1. デジタルフィルタ無効時。

表5.7 フラッシュメモリ(プログラムROM)の特性
(指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = 0 ~ 60)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注1)		1,000(注2)			回
	バイトプログラム時間			80	TBD	μs
	ブロックイレーズ時間			0.3	TBD	s
td(SR-SUS)	サスペンドへの遷移時間				5+CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	自動消去が終了するために必要なサスペンド間隔		33			ms
	サスペンドからイレーズの再開までの時間				30+CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注6)	周囲温度 = 55	20			年

- 注1. プログラム/イレーズ回数の定義
プログラム/イレーズ回数はブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。
- 注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)
- 注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
- 注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。
- 注5. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。
- 注6. 電源電圧またはクロックが印加されていない時間を含みます。

表5.8 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の特性
(指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレース回数(注1)		10,000(注2)			回
	バイトプログラム時間 (プログラム/イレース回数 1,000回)			160	TBD	μs
	バイトプログラム時間 (プログラム/イレース回数 > 1,000回)			300		μs
	ブロックイレース時間 (プログラム/イレース回数 1,000回)			0.2		s
	ブロックイレース時間 (プログラム/イレース回数 > 1,000回)			0.3		s
td(SR-SUS)	サスペンドへの遷移時間				5+CPUクロック × 3サイクル	ms
	イレース開始または再開から次のサスペンド要求までの間隔		0			μs
	自動消去が終了するために必要なサスペンド間隔		33			ms
	サスペンドからイレースの再開までの時間				30+CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		- 20(注6)		85	
	データ保持時間(注7)	周囲温度 = 55	20			年

- 注1. プログラム/イレース回数の定義
プログラム/イレース回数はブロックごとのイレース回数です。
プログラム/イレース回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレースすることができます。
例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレースした場合も、プログラム/イレース回数は1回と数えます。ただし、イレース1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。
- 注2. プログラム/イレース後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)
- 注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレースを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレースをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレース回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレースを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
- 注4. ブロックイレースでイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレースコマンドを少なくとも3回実行してください。
- 注5. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。
- 注6. Dバージョンは - 40。
- 注7. 電源電圧またはクロックが印加されていない時間を含みます。

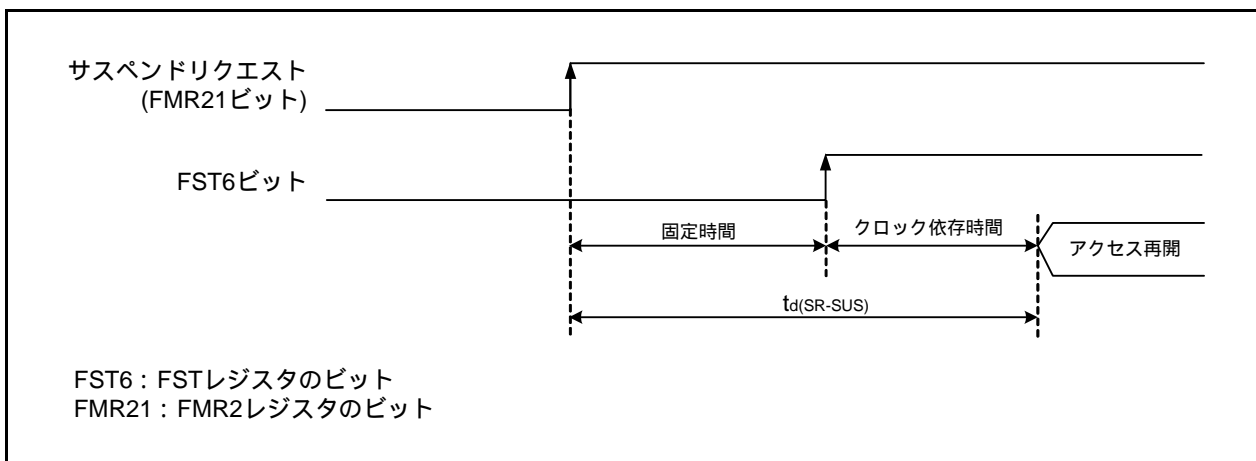


図5.2 サスペンドへの遷移時間

表5.9 電圧検出0回路の特性

(指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0(注1)		TBD	1.90	TBD	V
	電圧検出レベルVdet0_1(注1)		TBD	2.35	TBD	V
	電圧検出レベルVdet0_2(注1)		TBD	2.85	TBD	V
	電圧検出レベルVdet0_3(注1)		TBD	3.80	TBD	V
	電圧検出0回路反応時間(注3)	Vcc = 5V (Vdet0_0 - 0.1)V に下げたとき		6	150	μs
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V		1.5		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				100	μs

注1. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表5.10 電圧検出1回路の特性

(指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_0(注1)	Vcc立ち下がり時	TBD	2.20	TBD	V
	電圧検出レベルVdet1_1(注1)	Vcc立ち下がり時	TBD	2.35	TBD	V
	電圧検出レベルVdet1_2(注1)	Vcc立ち下がり時	TBD	2.50	TBD	V
	電圧検出レベルVdet1_3(注1)	Vcc立ち下がり時	TBD	2.65	TBD	V
	電圧検出レベルVdet1_4(注1)	Vcc立ち下がり時	TBD	2.80	TBD	V
	電圧検出レベルVdet1_5(注1)	Vcc立ち下がり時	TBD	2.95	TBD	V
	電圧検出レベルVdet1_6(注1)	Vcc立ち下がり時	TBD	3.10	TBD	V
	電圧検出レベルVdet1_7(注1)	Vcc立ち下がり時	TBD	3.25	TBD	V
	電圧検出レベルVdet1_8(注1)	Vcc立ち下がり時	TBD	3.40	TBD	V
	電圧検出レベルVdet1_9(注1)	Vcc立ち下がり時	TBD	3.55	TBD	V
	電圧検出レベルVdet1_A(注1)	Vcc立ち下がり時	TBD	3.70	TBD	V
	電圧検出レベルVdet1_B(注1)	Vcc立ち下がり時	TBD	3.85	TBD	V
	電圧検出レベルVdet1_C(注1)	Vcc立ち下がり時	TBD	4.00	TBD	V
	電圧検出レベルVdet1_D(注1)	Vcc立ち下がり時	TBD	4.15	TBD	V
	電圧検出レベルVdet1_E(注1)	Vcc立ち下がり時	TBD	4.30	TBD	V
	電圧検出レベルVdet1_F(注1)	Vcc立ち下がり時	TBD	4.45	TBD	V
	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_0 ~ Vdet1_5選択時		0.07		V
		Vdet1_6 ~ Vdet1_F選択時		0.10		V
	電圧検出1回路反応時間(注2)	Vcc = 5V (Vdet1_0 - 0.1)V に下げたとき		60	150	μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.11 電圧検出2回路の特性

(指定のない場合は、 $V_{cc} = 1.8V \sim 5.5V$ 、 $Topr = -20 \sim 85$ (Nバージョン)/
 $-40 \sim 85$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0(注1)	Vcc立ち下がり時	TBD	4.00	TBD	V
	電圧検出レベルVdet2_EXT(注1)	LVCMP2立ち下がり時	TBD	1.34	TBD	V
	電圧検出2回路のVcc立ち上がり時のヒステリシス幅			0.10		V
	電圧検出2回路反応時間(注2)	Vcc = 5V (Vdet2_0 - 0.1)Vに下げたとき		20	150	μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 電圧検出レベルは検出対象で異なります。VCA2レジスタのVCA24ビットで選択してください。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.12 パワーオンリセット回路の特性(注2)

(指定のない場合は、 $Topr = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き(注1)		0		50000	mV/msec

注1. Vcc 1.0Vで使用する場合、この条件(外部電源Vcc立ち上がり傾き)は不要です。

注2. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

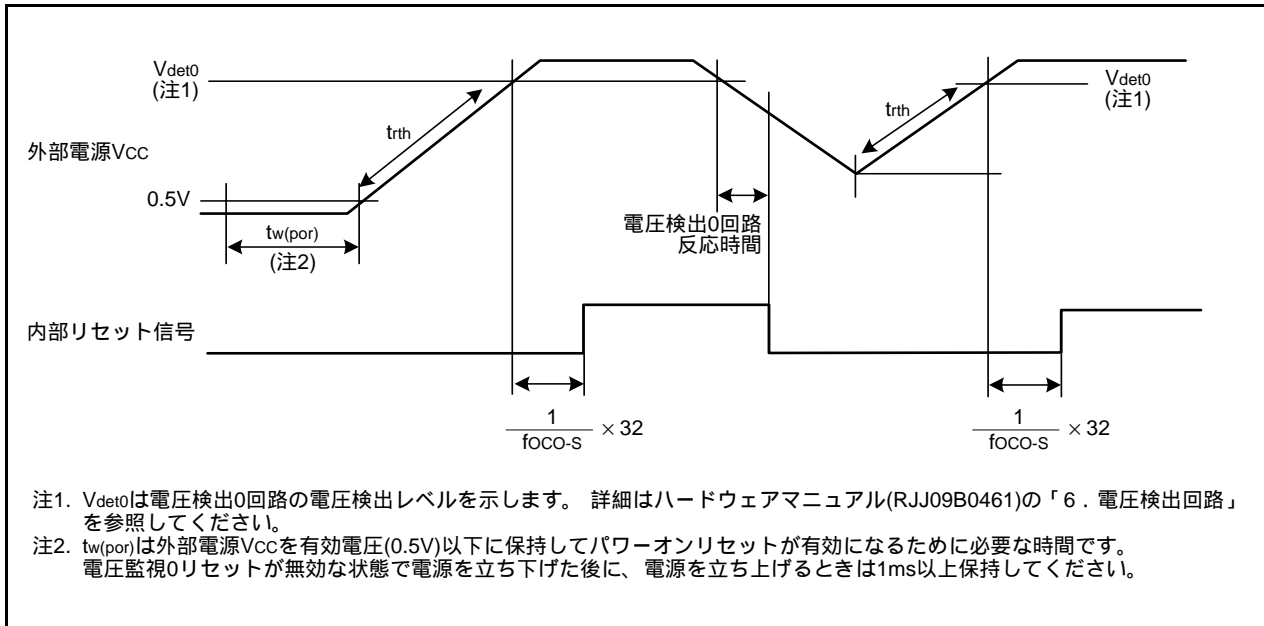


図5.3 パワーオンリセット回路の特性

表5.13 高速オンチップオシレータ発振回路の特性
(指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	Vcc = 5.0V、Topr = 25	TBD	40	TBD	MHz
	FRA4レジスタの補正値をFRA1レジスタに、かつFRA5レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2)		TBD	36.864	TBD	MHz
	FRA6レジスタの補正値をFRA1レジスタに、かつFRA7レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数		TBD	32	TBD	MHz
	高速オンチップオシレータ発振周波数の温度・電圧依存性(注1)	Vcc = 2.7V ~ 5.5V - 20 Topr 85	TBD		TBD	%
		Vcc = 2.7V ~ 5.5V - 40 Topr 85	TBD		TBD	%
		Vcc = 2.2V ~ 5.5V - 20 Topr 85	TBD		TBD	%
		Vcc = 2.2V ~ 5.5V - 40 Topr 85	TBD		TBD	%
		Vcc = 1.8V ~ 5.5V - 20 Topr 85	TBD		TBD	%
		Vcc = 1.8V ~ 5.5V - 40 Topr 85	TBD		TBD	%
	発振安定時間	Vcc = 5.0V、Topr = 25		100	450	μs
	発振時の自己消費電流	Vcc = 5.0V、Topr = 25		400		μA

注1. 高速オンチップオシレータ発振周波数に対する精度誤差を示します。

注2. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表5.14 低速オンチップオシレータ発振回路の特性
(指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		112.5	125	137.5	kHz
	発振安定時間	Vcc = 5.0V、Topr = 25		30	100	μs
	発振時の自己消費電流	Vcc = 5.0V、Topr = 25		3		μA
fOCO-WDT	ウォッチドッグタイマ用低速オンチップオシレータ発振周波数		60	125	250	kHz
	発振安定時間	Vcc = 5.0V、Topr = 25		30	100	μs
	発振時の自己消費電流	Vcc = 5.0V、Topr = 25		2		μA

表5.15 電源回路の特性
(指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = 25)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注1)				2000	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表5.16 LCD駆動制御回路の特性

(指定のない場合は、 $V_{CC} = 1.8V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/
 $-40 \sim 85$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VLCD	LCD電源電圧	VLCD = VL4	2.2		5.5	V
VL3	VL3電圧		VL2		VL4	V
VL2	VL2電圧	R8C/L35A、R8C/L35B	VL1		VL4	V
		R8C/L36A、R8C/L36B、 R8C/L38A、R8C/L38B、 R8C/L3AA、R8C/L3AB	VL1		VL3	V
VL1	VL1電圧		1		VL2	V
	VL1内部生成電圧精度(注1)		設定電圧 - 0.4	設定電圧	設定電圧 + 0.4	V
f(FR)	フレーム周波数		50		180	Hz
ILCD	LCD駆動制御回路電流			(注2)		μA

注1. LCR1レジスタのLVLS0 ~ LVLS3ビットで電圧を選択します。

注2. 表5.19 DC特性(2)、表5.21 DC特性(4)、表5.23 DC特性(6)を参照してください。

表5.17 パワーオフモードの特性

(指定のない場合は、 $V_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/
 $-40 \sim 85$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	パワーオフモード動作電源電圧		2.2		5.5	V

5.4 DC特性

表5.18 DC特性(1) [4.0V Vcc 5.5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件			規格値			単位
					最小	標準	最大	
VoH	“H”出力電圧	ポートP10、P11 (注1)	Vcc = 5V	I _{OH} = - 20mA	Vcc - 2.0		Vcc	V
		その他の端子	Vcc = 5V	I _{OH} = - 5mA	Vcc - 2.0		Vcc	V
VoL	“L”出力電圧	ポートP10、P11 (注1)	Vcc = 5V	I _{OL} = 20mA			2.0	V
		その他の端子	Vcc = 5V	I _{OL} = 5mA			2.0	V
Vt+-Vt-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、INT5、 INT6、INT7、 K10、K11、K12、K13、 K14、K15、K16、K17、 TRAIO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRGCLKA、TRGCLKB、 TRGIOA、TRGIOB、 ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO			0.1	0.5		V
		RESET、 WKUP0、WKUP1			0.2	1.0		V
IiH	“H”入力電流		VI = 5V				5.0	μA
IiL	“L”入力電流		VI = 0V				- 5.0	μA
RpULLUP	プルアップ抵抗		VI = 0V		25	50	100	k
RfXIN	帰還抵抗	XIN				0.3		M
RfXCIN	帰還抵抗	XCIN				14		M
VRAM	RAM保持電圧		ストップモード時		1.8			V

注1. P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表5.19 DC特性(2) [4.0V Vcc 5.5V]
(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件								規格値		単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準 (注3)	最大	
		XIN(注2)	XCIN	高速	低速							
Icc	電源 電流 (注1)	高速 クロックモード	20MHz	停止	停止	125kHz	分周なし			7.0	15	mA
			16MHz	停止	停止	125kHz	分周なし			5.6	12.5	mA
			10MHz	停止	停止	125kHz	分周なし			3.6		mA
			20MHz	停止	停止	125kHz	8分周			3.0		mA
			16MHz	停止	停止	125kHz	8分周			2.2		mA
			10MHz	停止	停止	125kHz	8分周			1.5		mA
	高速オンチップ オシレータモード	停止	停止	20MHz	125kHz	分周なし			7.0	15	mA	
		停止	停止	20MHz	125kHz	8分周			3.0		mA	
		停止	停止	4MHz	125kHz	16分周	MSTIIC = " 1 " MSTTRD = " 1 " MSTTRC = " 1 " MSTTRG = " 1 "		1		mA	
	低速オンチップ オシレータモード	停止	停止	停止	125kHz	8分周	FMR27 = " 1 " VCA20 = " 0 "		90	400	μA	
		停止	32kHz	停止	停止	分周なし	FMR27 = " 1 " VCA20 = " 0 "		100	400	μA	
	低速 クロックモード	停止	32kHz	停止	停止	分周なし	FMSTP = " 1 " VCA20 = " 0 "	フラッシュメモリ停止 RAM上のプログラム動作	55		μA	
		停止	32kHz	停止	停止	分周なし	FMSTP = " 1 " VCA20 = " 0 "	フラッシュメモリ停止 RAM上のプログラム動作	55		μA	
	ウェイトモード	停止	停止	停止	125kHz		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 "	WAIT命令実行中 周辺クロック動作	15	100	μA	
		停止	停止	停止	125kHz		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止	4	90	μA	
		停止	32kHz	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 0 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイム クロックモード)	7		μA	
		停止	32kHz	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	12		μA	
		停止	32kHz	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	3.5		μA	
		停止	32kHz	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	3.5		μA	
	ストップモード	停止	停止	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 0 " CM10 = " 1 "	Topr=25 周辺クロック停止	2.0	5.0	μA	
停止		停止	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 0 " CM10 = " 1 "	Topr=85 周辺クロック停止	15		μA		
パワーオフモード	停止	停止	停止	停止			パワーオフ0 Topr=25	0.02	0.2	μA		
	停止	停止	停止	停止			パワーオフ0 Topr=85	0.4		μA		
	停止	32kHz	停止	停止			パワーオフ1 Topr=25	1.3	2.6	μA		
	停止	32kHz	停止	停止			パワーオフ1 Topr=85	1.5		μA		

注1. Vcc = 4.0V ~ 5.5V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 5.0V。

注4. VLCD = Vcc、VL4 ~ VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。

注5. 内部昇圧回路を使用、LCR1レジスタのLVLS3 ~ LVLS0ビット = " 1011b "、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。

表5.20 DC特性(3) [2.7V Vcc < 4.0V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	ポートP10、P11(注1)	IOH = - 5mA	Vcc - 0.5		Vcc	V
		その他の端子	IOH = - 1mA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	ポートP10、P11(注1)	IOL = 5mA			0.5	V
		その他の端子	IOL = 1mA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、INT5、 INT6、INT7、 KI0、KI1、KI2、KI3、 KI4、KI5、KI6、KI7、 TRAIO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRGCLKA、TRGCLKB、 TRGIOA、TRGIOB、 ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO		0.05	0.4		V
		RESET WKUP0、WKUP1		0.1	0.8		V
IiH	“H”入力電流	VI = 3V				5.0	μA
IiL	“L”入力電流	VI = 0V				- 5.0	μA
RPULLUP	プルアップ抵抗	VI = 0V		30	100	170	k
RfXIN	帰還抵抗	XIN			0.3		M
RfXCIN	帰還抵抗	XCIN			14		M
VRAM	RAM保持電圧	ストップモード時		1.8			V

注1. P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表5.21 DC特性(4) [2.7V Vcc < 4.0V]
(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン))

記号	項目	測定条件								規格値		単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準 (注3)	最大	
		XIN(注2)	XCIN	高速	低速							
Icc	電源電流 (注1)	高速 クロックモード	20MHz	停止	停止	125kHz	分周なし			7.0	14.5	mA
			10MHz	停止	停止	125kHz	分周なし			3.6	10	mA
		20MHz	停止	停止	125kHz	8分周				3.0		mA
		10MHz	停止	停止	125kHz	8分周				1.5		mA
	高速オンチップ オシレータモード	停止	停止	20MHz	125kHz	分周なし				7.0	14.5	mA
		停止	停止	20MHz	125kHz	8分周				3.0		mA
		停止	停止	10MHz	125kHz	分周なし				4.0		mA
		停止	停止	10MHz	125kHz	8分周				1.7		mA
	低速オンチップ オシレータモード	停止	停止	停止	125kHz	8分周	MSTIIC = " 1 " MSTTRD = " 1 " MSTTRC = " 1 " MSTTRG = " 1 "			1		mA
		停止	停止	停止	125kHz	8分周	FMR27 = " 1 " VCA20 = " 0 "			85	390	μA
	低速 クロックモード	停止	32kHz	停止	停止	分周なし	FMR27 = " 1 " VCA20 = " 0 "			90	400	μA
		停止	32kHz	停止	停止	分周なし	FMSTP = " 1 " VCA20 = " 0 "	フラッシュメモリ停止 RAM上のプログラム動作		50		μA
	ウェイトモード	停止	停止	停止	125kHz		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 "	WAIT命令実行中 周辺クロック動作		15	90	μA
		停止	停止	停止	125kHz		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止		5	80	μA
		停止	32kHz	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 0 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイム クロックモード)	LCD駆動制御回路(注4) 外付け分割抵抗使用時	5		μA
		停止	32kHz	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	LCD駆動制御回路(注5) 内部昇圧回路使用時	11		μA
	ストップモード	停止	停止	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " CM10 = " 1 "	Topr=25 周辺クロック停止		2	5.0	μA
		停止	停止	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " CM10 = " 1 "	Topr=85 周辺クロック停止		13.0		μA
	パワーオフモード	停止	停止	停止	停止			パワーオフ0 Topr=25		0.02	0.2	μA
		停止	停止	停止	停止			パワーオフ0 Topr=85		0.3		μA
停止		32kHz	停止	停止			パワーオフ1 Topr=25		1.0	2.0	μA	
停止		32kHz	停止	停止			パワーオフ1 Topr=85		1.2		μA	

注1. Vcc = 2.7V ~ 4.0V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 3.0V。

注4. VLCD = Vcc、VL4 ~ VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。

注5. 内部昇圧回路を使用、LCR1レジスタのLVLS3 ~ LVLS0ビット = " 1011b "、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。

表5.22 DC特性(5) [1.8V Vcc < 2.7V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	ポートP10、P11(注1)	IOH = - 2mA	Vcc - 0.5		Vcc	V
		その他の端子	IOH = - 1mA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	ポートP10、P11(注1)	IOL = 2mA			0.5	V
		その他の端子	IOL = 1mA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、INT5、 INT6、INT7、 KI0、KI1、KI2、KI3、 KI4、KI5、KI6、KI7、 TRAIO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRGCLKA、TRGCLKB、 TRGIOA、TRGIOB、 ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO		0.05	0.4		V
		RESET WKUP0、WKUP1		0.1	0.8		V
IiH	“H”入力電流	VI = 1.8V				4.0	μA
IiL	“L”入力電流	VI = 0V				- 4.0	μA
RPULLUP	プルアップ抵抗	VI = 0V		60	160	420	k
RfXIN	帰還抵抗	XIN			0.3		M
RfXCIN	帰還抵抗	XCIN			14		M
VRAM	RAM保持電圧	ストップモード時		1.8			V

注1. P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表5.23 DC特性(6) [1.8V Vcc < 2.7V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン))

記号	項目	測定条件							規格値		単位	
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準 (注3)		最大
Icc	電源電流 (注1)	高速 クロックモード	5MHz	停止	停止	125kHz	分周なし			2.2		mA
			5MHz	停止	停止	125kHz	8分周			0.8		mA
	高速オンチップ オシレータモード	停止	停止	5MHz	125kHz	分周なし			2.5	10	mA	
		停止	停止	5MHz	125kHz	8分周			1.7		mA	
		停止	停止	4MHz	125kHz	16分周	MSTTIC = " 1 " MSTTRD = " 1 " MSTTRC = " 1 " MSTTRG = " 1 "		1		mA	
		停止	停止	4MHz	125kHz	16分周	MSTTIC = " 1 " MSTTRD = " 1 " MSTTRC = " 1 " MSTTRG = " 1 "		1		mA	
	低速オンチップ オシレータモード	停止	停止	停止	125kHz	8分周	FMR27 = " 1 " VCA20 = " 0 "		90	300	μA	
		停止	32kHz	停止	停止	分周なし	FMR27 = " 1 " VCA20 = " 0 "		90	400	μA	
	低速 クロックモード	停止	32kHz	停止	停止	分周なし	FMSTP = " 1 " VCA20 = " 0 "	フラッシュメモリ停止 RAM上のプログラム動作	45		μA	
		停止	32kHz	停止	停止	分周なし	FMSTP = " 1 " VCA20 = " 0 "	フラッシュメモリ停止 RAM上のプログラム動作	45		μA	
	ウェイトモード	停止	停止	停止	125kHz		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " VCA20 = " 1 "	WAIT命令実行中 周辺クロック動作	15	90	μA	
		停止	停止	停止	125kHz		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " VCA20 = " 1 "	WAIT命令実行中 周辺クロック停止	4	80	μA	
		停止	32kHz	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイム クロックモード)	4		μA	
		停止	32kHz	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	3.5		μA	
	ストップモード	停止	停止	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " VCA20 = " 1 " CM10 = " 1 "	Topr=25 周辺クロック停止	2.0	5.0	μA	
		停止	停止	停止	停止		VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " VCA20 = " 1 " CM10 = " 1 "	Topr=85 周辺クロック停止	13		μA	
	パワーオフモード	停止	停止	停止	停止			パワーオフ0 Topr=25	0.02	0.2	μA	
		停止	停止	停止	停止			パワーオフ0 Topr=85	0.3		μA	
		停止	32kHz	停止	停止			パワーオフ1 Topr=25	0.8	1.6	μA	
		停止	32kHz	停止	停止			パワーオフ1 Topr=85	1.1		μA	

注1. Vcc = 1.8V ~ 2.7V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 2.2V。

注4. VLCD = Vcc、VL4 ~ VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。

注5. 内部昇圧回路を使用、LCR1レジスタのLVLS3 ~ LVLS0ビット = " 1011b"、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。

5.5 AC特性

表5.24 チップセレクト付クロック同期形シリアルI/Oのタイミング条件
 (指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン)/
 - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4			tCYC (注1)
tHI	SSCKクロック“H”パルス幅		0.4		0.6	tSUCYC
tLO	SSCKクロック“L”パルス幅		0.4		0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ			1	tCYC (注1)
		スレーブ			1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ			1	tCYC (注1)
		スレーブ			1	μs
tSU	SSO、SSIデータ入力セットアップ時間		100			ns
tH	SSO、SSIデータ入力ホールド時間		1			tCYC (注1)
tLEAD	SCSセットアップ時間	スレーブ	1tCYC+50			ns
tLAG	SCSホールド時間	スレーブ	1tCYC+50			ns
tOD	SSO、SSIデータ出力遅延時間				1	tCYC (注1)
tSA	SSIスレーブアクセス時間	2.7V Vcc 5.5V			1.5tCYC+100	ns
		1.8V Vcc < 2.7V			1.5tCYC+200	ns
tOR	SSIスレーブアウト開放時間	2.7V Vcc 5.5V			1.5tCYC+100	ns
		1.8V Vcc < 2.7V			1.5tCYC+200	ns

注1. 1tCYC = 1/f1 (s)

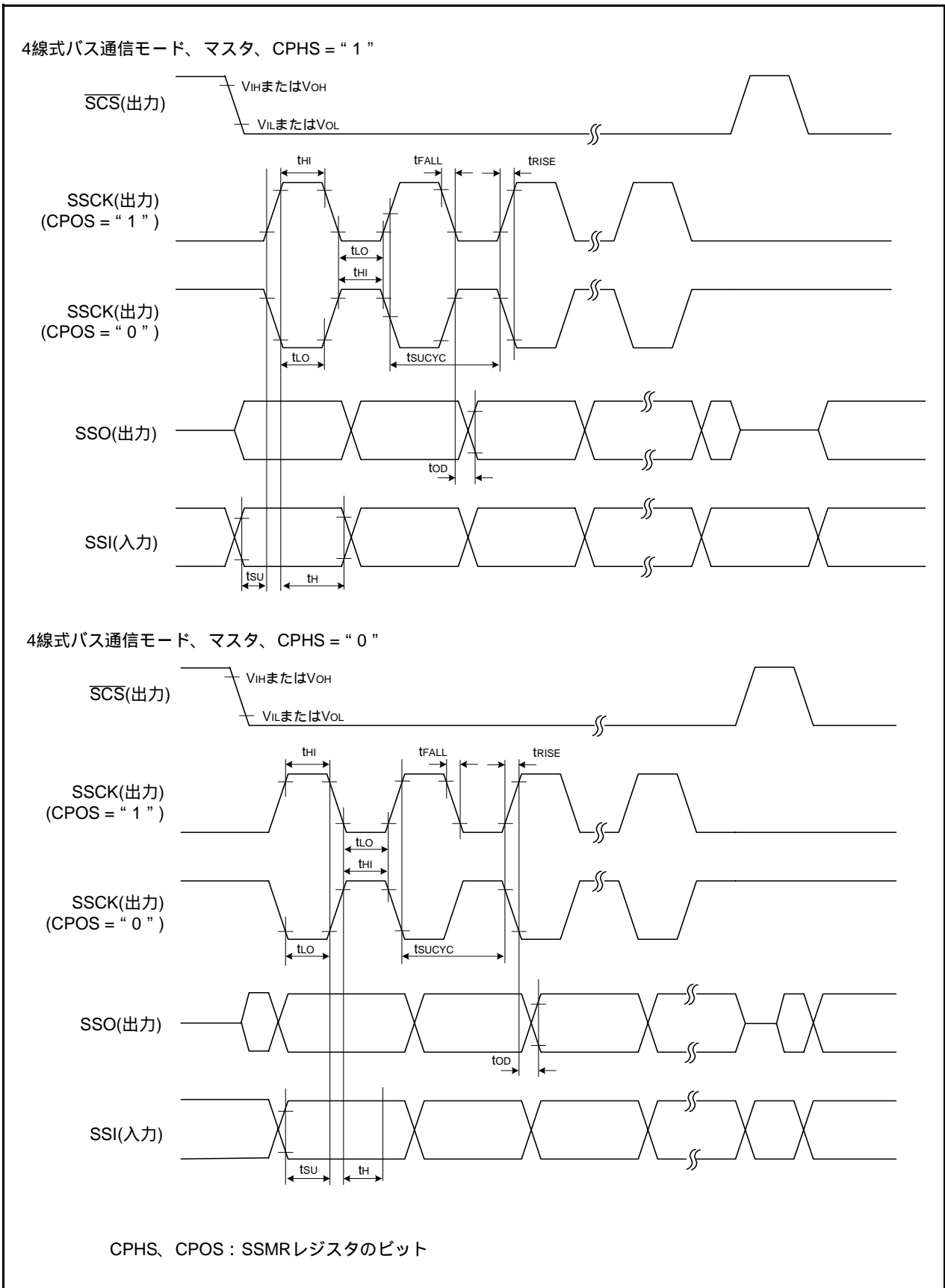


図5.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

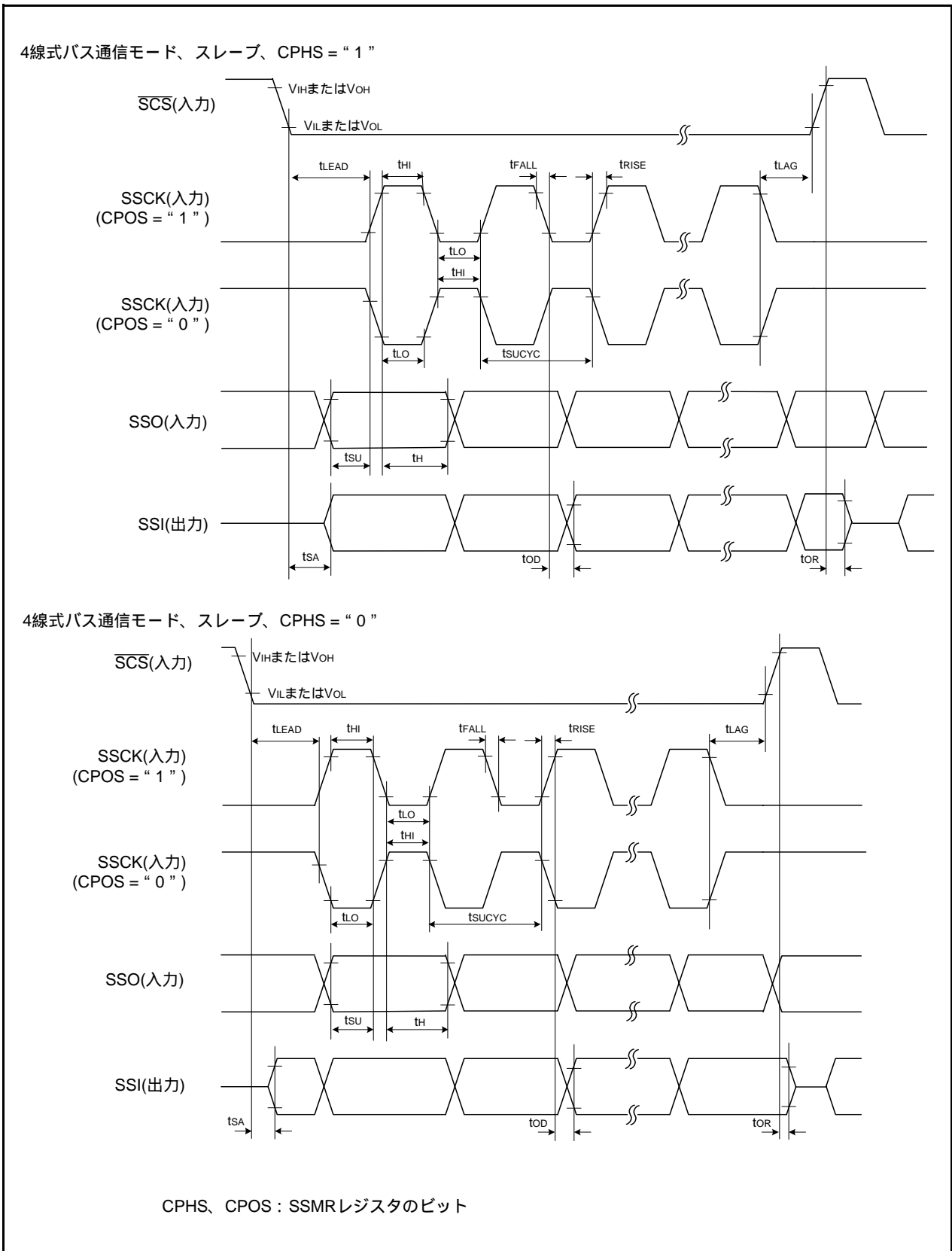


図5.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

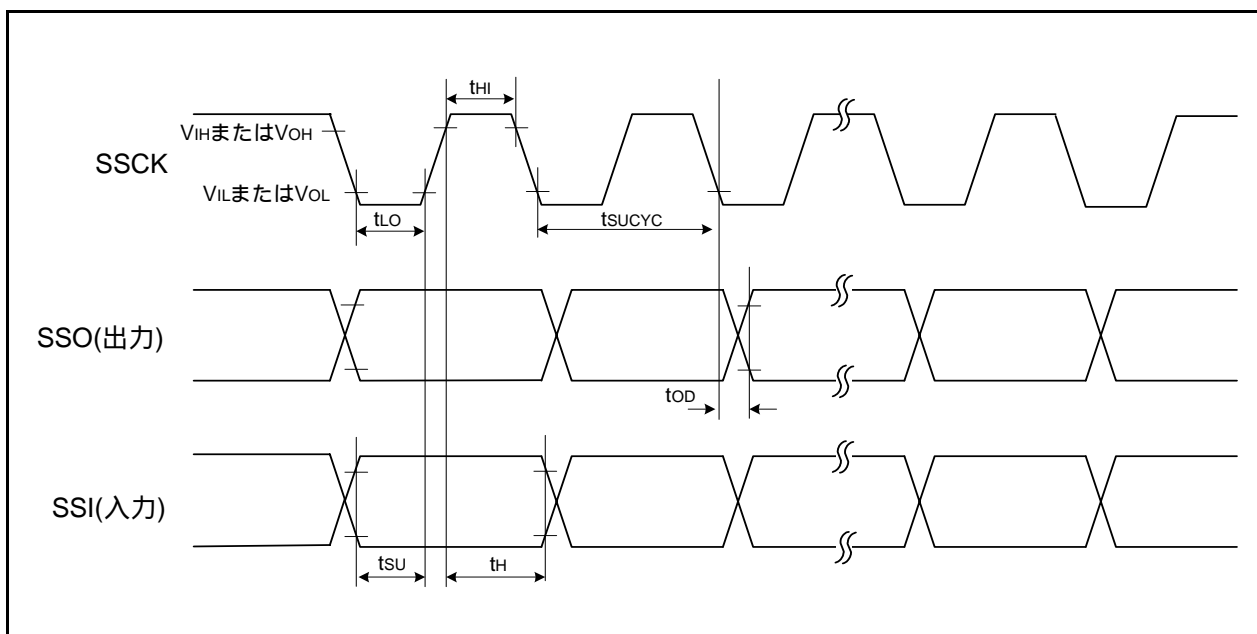


図5.6 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表5.25 I²Cバスインタフェースのタイミング条件
 (指定のない場合は、V_{CC} = 1.8V ~ 5.5V、V_{SS} = 0V、Topr = - 20 ~ 85 (Nバージョン)/
 - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{SCL}	SCL入力サイクル時間		12tcyc + 600(注1)			ns
t _{SCLH}	SCL入力“H”パルス幅		3tcyc + 300(注1)			ns
t _{SCLL}	SCL入力“L”パルス幅		5tcyc + 500(注1)			ns
t _{sf}	SCL、SDA入力立ち下がり時間				300	ns
t _{SP}	SCL、SDA入カスパイクパルス除去時間				1tcyc(注1)	ns
t _{BUF}	SDA入力バスマフリー時間		5tcyc(注1)			ns
t _{STAH}	開始条件入力ホールド時間		3tcyc(注1)			ns
t _{STAS}	再送開始条件入力セットアップ時間		3tcyc(注1)			ns
t _{STOP}	停止条件入力セットアップ時間		3tcyc(注1)			ns
t _{SDAS}	データ入力セットアップ時間		1tcyc + 40(注1)			ns
t _{SDAH}	データ入力ホールド時間		10			ns

注1. 1tcyc = 1/f1 (s)

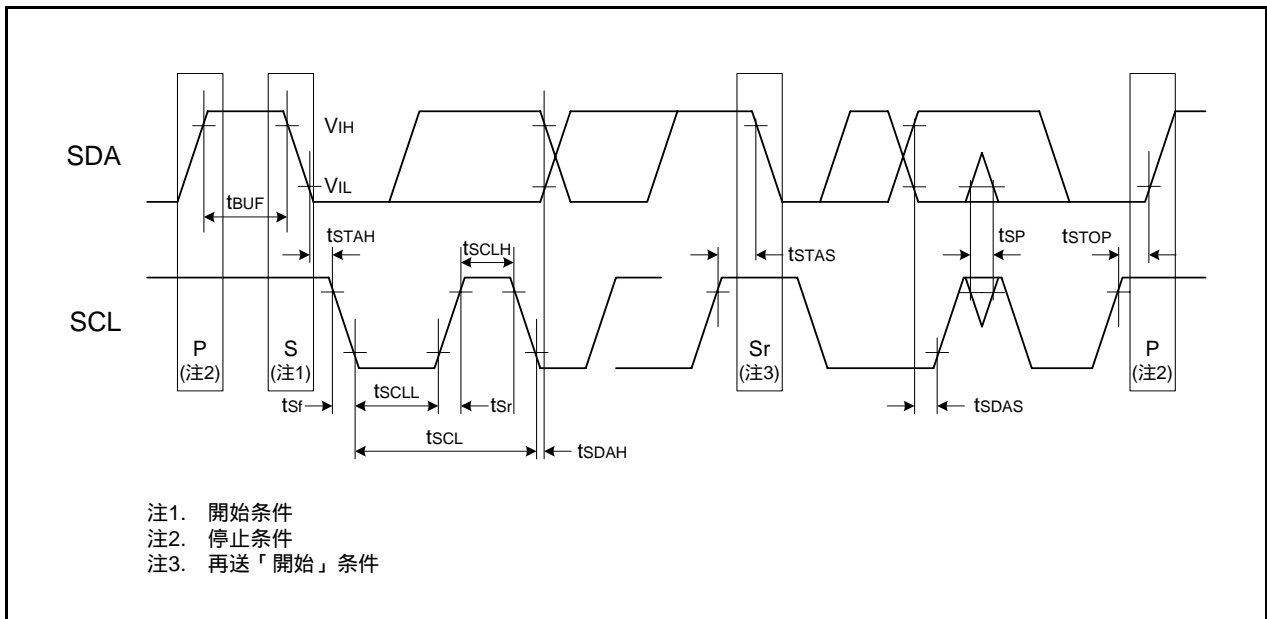


図5.7 I²Cバスインタフェースの入出力タイミング

表5.26 XIN、XCINのタイミング条件

(指定のない場合は、 $V_{cc} = 1.8V \sim 5.5V$ 、 $V_{ss} = 0V$ 、 $Topr = -20 \sim 85$ (Nバージョン)/
 $-40 \sim 85$ (Dバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2V$ 、 $Topr = 25$		$V_{cc} = 3V$ 、 $Topr = 25$		$V_{cc} = 5V$ 、 $Topr = 25$		
		最小	最大	最小	最大	最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	200		50		50		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	90		24		24		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	90		24		24		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		14		14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		7		7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		7		7		μs

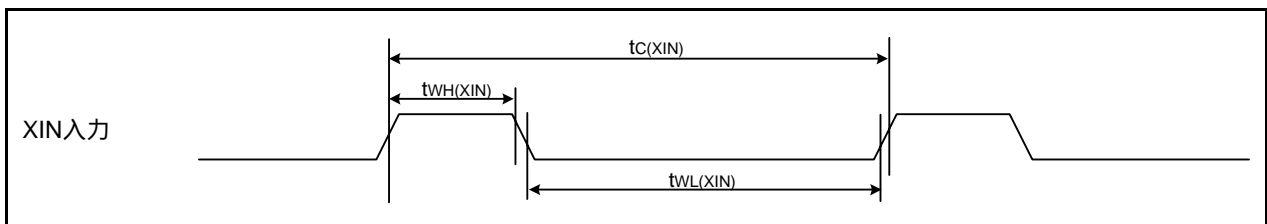


図5.8 XIN、XCINの入力タイミング

表5.27 TRAIOのタイミング条件

(指定のない場合は、 $V_{cc} = 1.8V \sim 5.5V$ 、 $V_{ss} = 0V$ 、 $Topr = -20 \sim 85$ (Nバージョン)/
 $-40 \sim 85$ (Dバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2V$ 、 $Topr = 25$		$V_{cc} = 3V$ 、 $Topr = 25$		$V_{cc} = 5V$ 、 $Topr = 25$		
		最小	最大	最小	最大	最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	500		300		100		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	200		120		40		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	200		120		40		ns

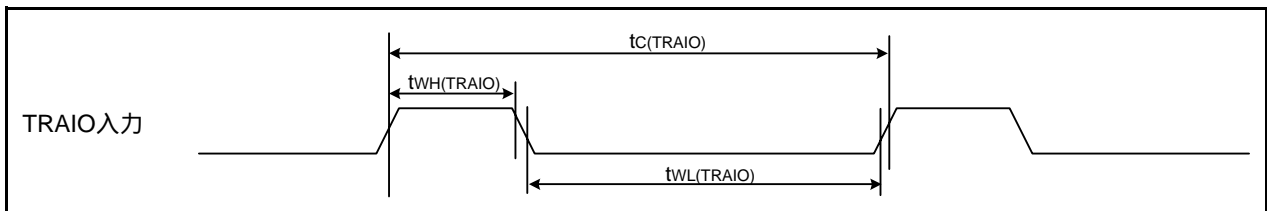


図5.9 TRAIOの入力タイミング

表5.28 シリアルインタフェースのタイミング条件
(指定のない場合は、 $V_{cc} = 1.8V \sim 5.5V$ 、 $V_{ss} = 0V$ 、 $Topr = -20 \sim 85$ (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2V$ 、 $Topr = 25$		$V_{cc} = 3V$ 、 $Topr = 25$		$V_{cc} = 5V$ 、 $Topr = 25$		
		最小	最大	最小	最大	最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	800		300		200		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	400		150		100		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	400		150		100		ns
$t_d(C-Q)$	TXDi出力遅延時間		200		80		50	ns
$t_h(C-Q)$	TXDiホールド時間	0		0		0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	150		70		50		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		90		90		ns

$i = 0 \sim 2$

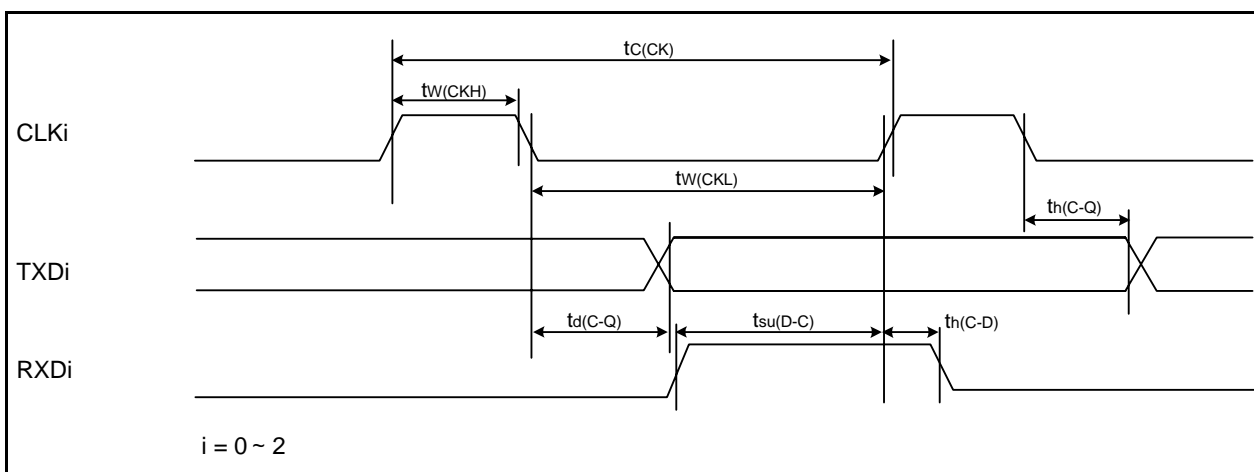


図5.10 シリアルインタフェースの入出力タイミング

表5.29 外部割り込み \overline{INTi} ($i = 0 \sim 7$)、キー入力割り込み \overline{Kli} ($i = 0 \sim 7$)のタイミング条件
(指定のない場合は、 $V_{cc} = 1.8V \sim 5.5V$ 、 $V_{ss} = 0V$ 、 $Topr = -20 \sim 85$ (Nバージョン)/
- 40 ~ 85 (Dバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2V$ 、 $Topr = 25$		$V_{cc} = 3V$ 、 $Topr = 25$		$V_{cc} = 5V$ 、 $Topr = 25$		
		最小	最大	最小	最大	最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅、 \overline{Kli} 入力“H”パルス幅	1000 (注1)		380 (注1)		250 (注1)		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅、 \overline{Kli} 入力“L”パルス幅	1000 (注2)		380 (注2)		250 (注2)		ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

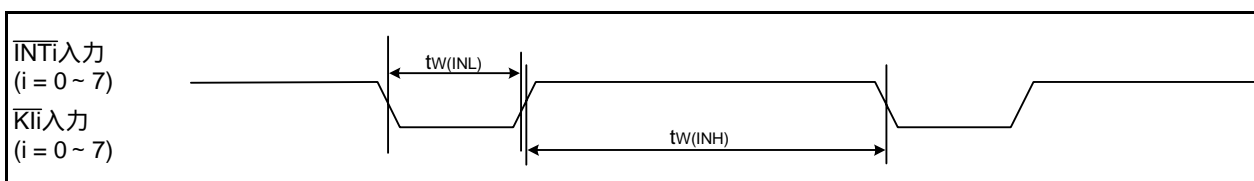
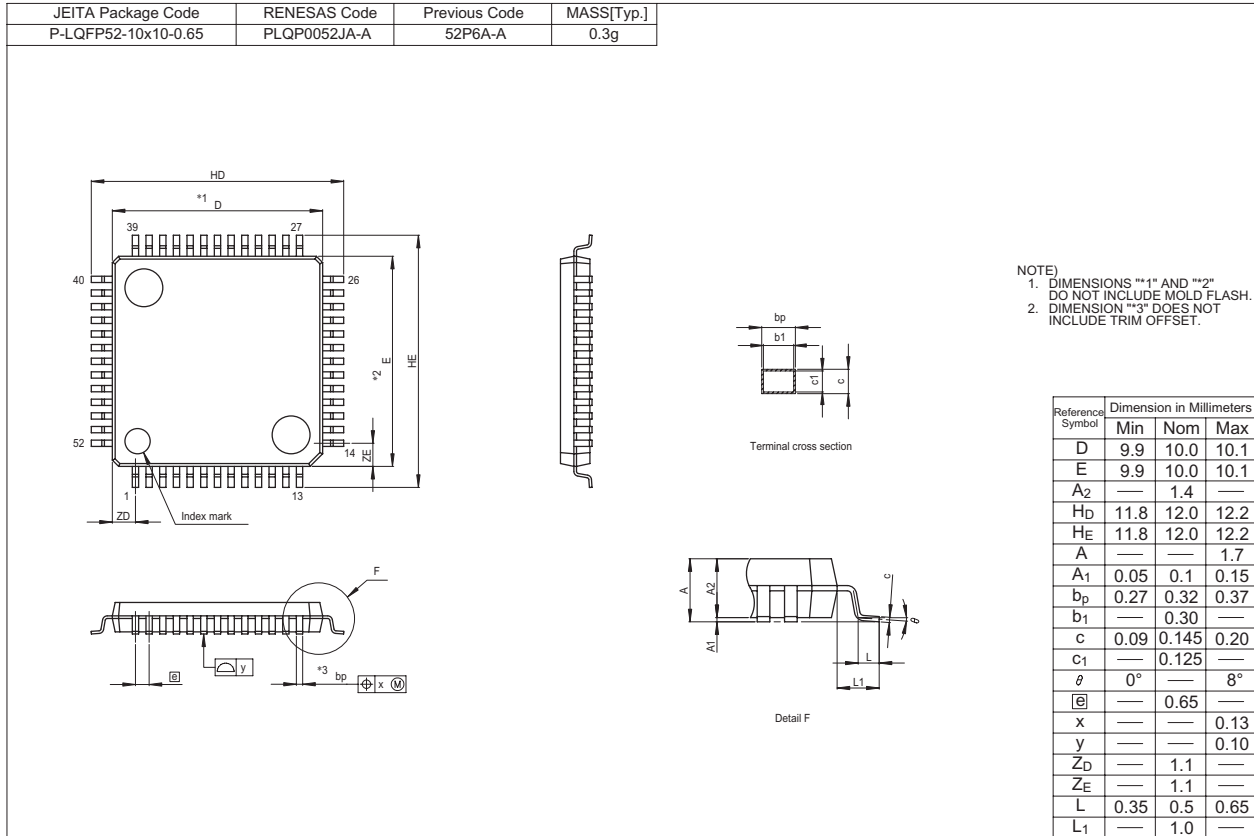
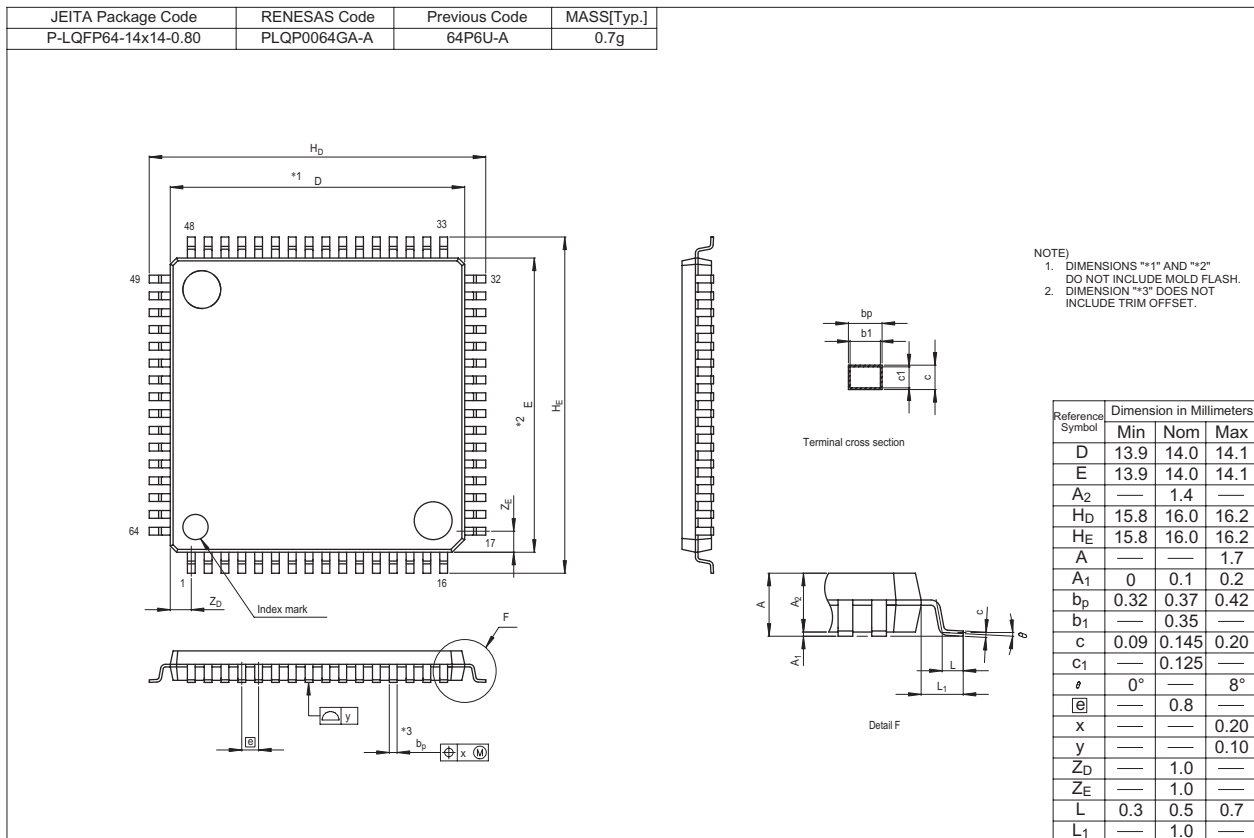
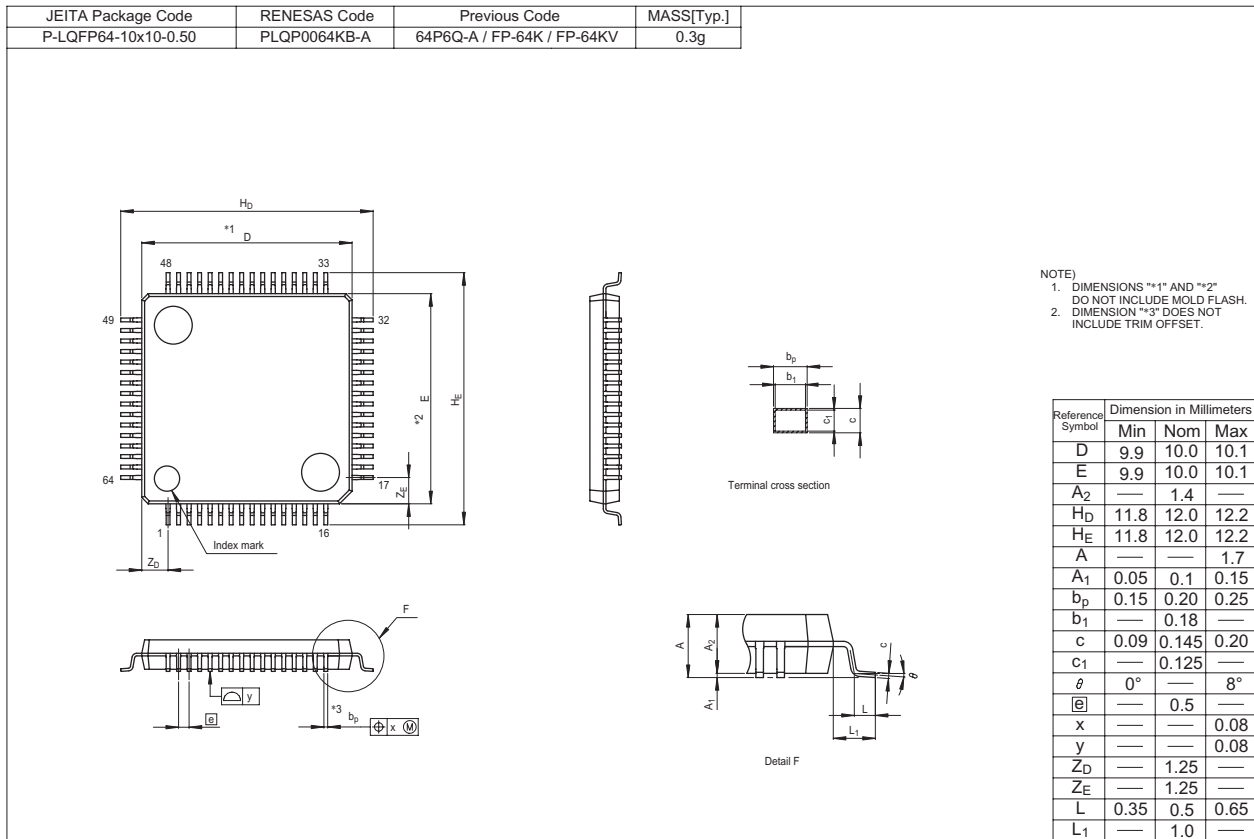


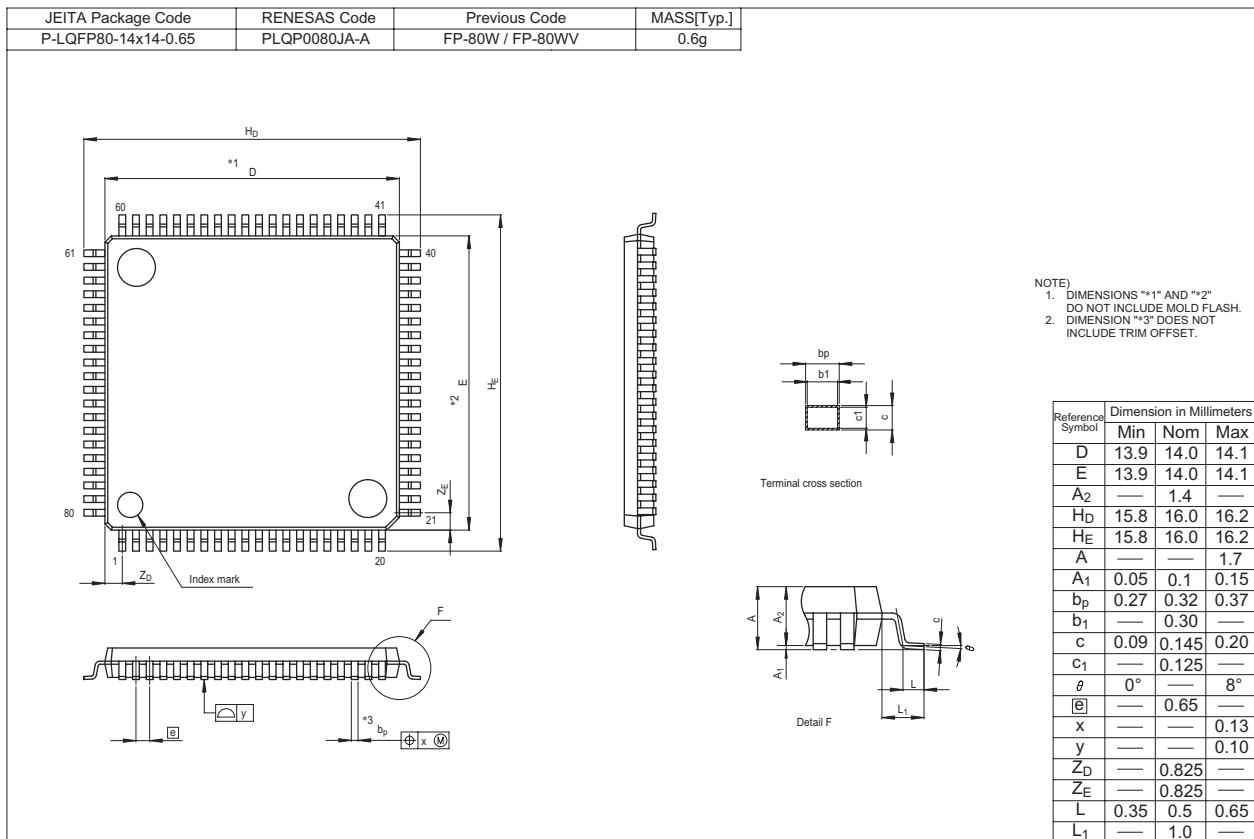
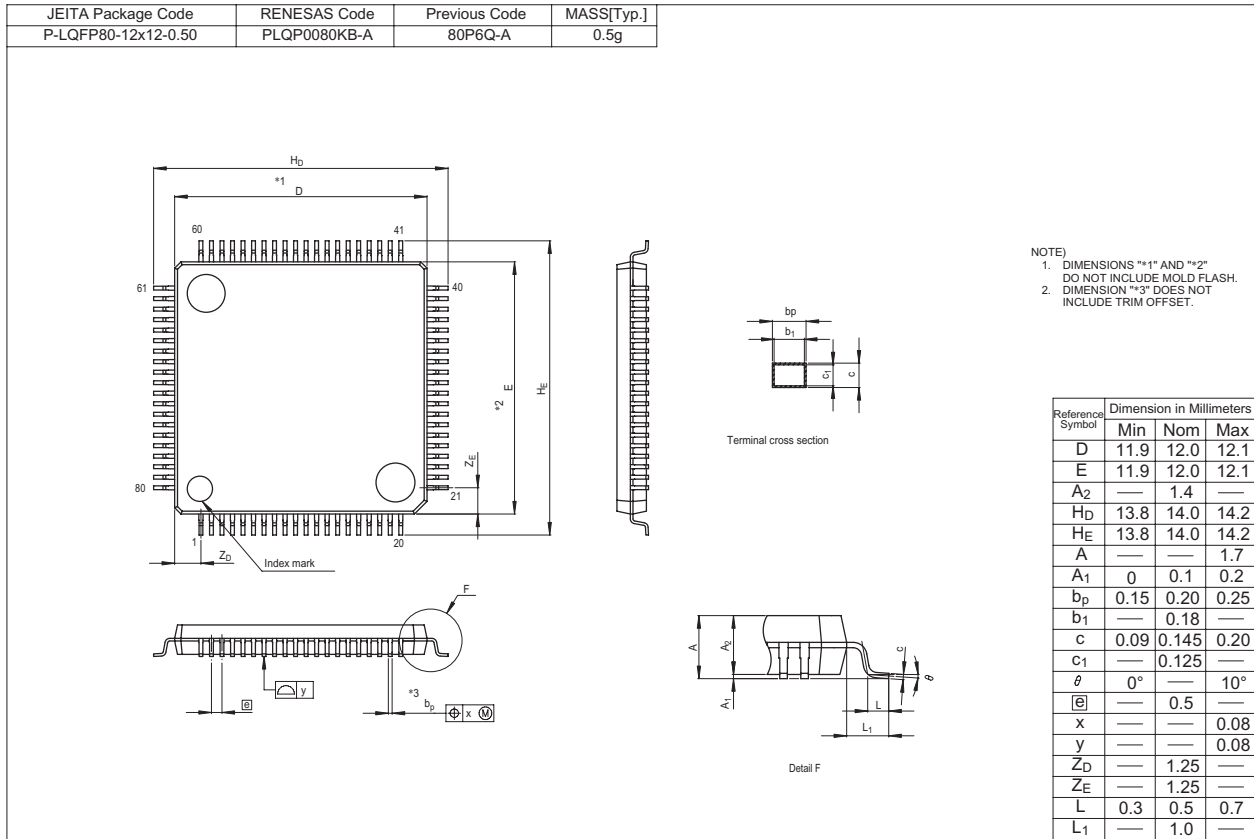
図5.11 外部割り込み \overline{INTi} およびキー入力割り込み \overline{Kli} の入力タイミング

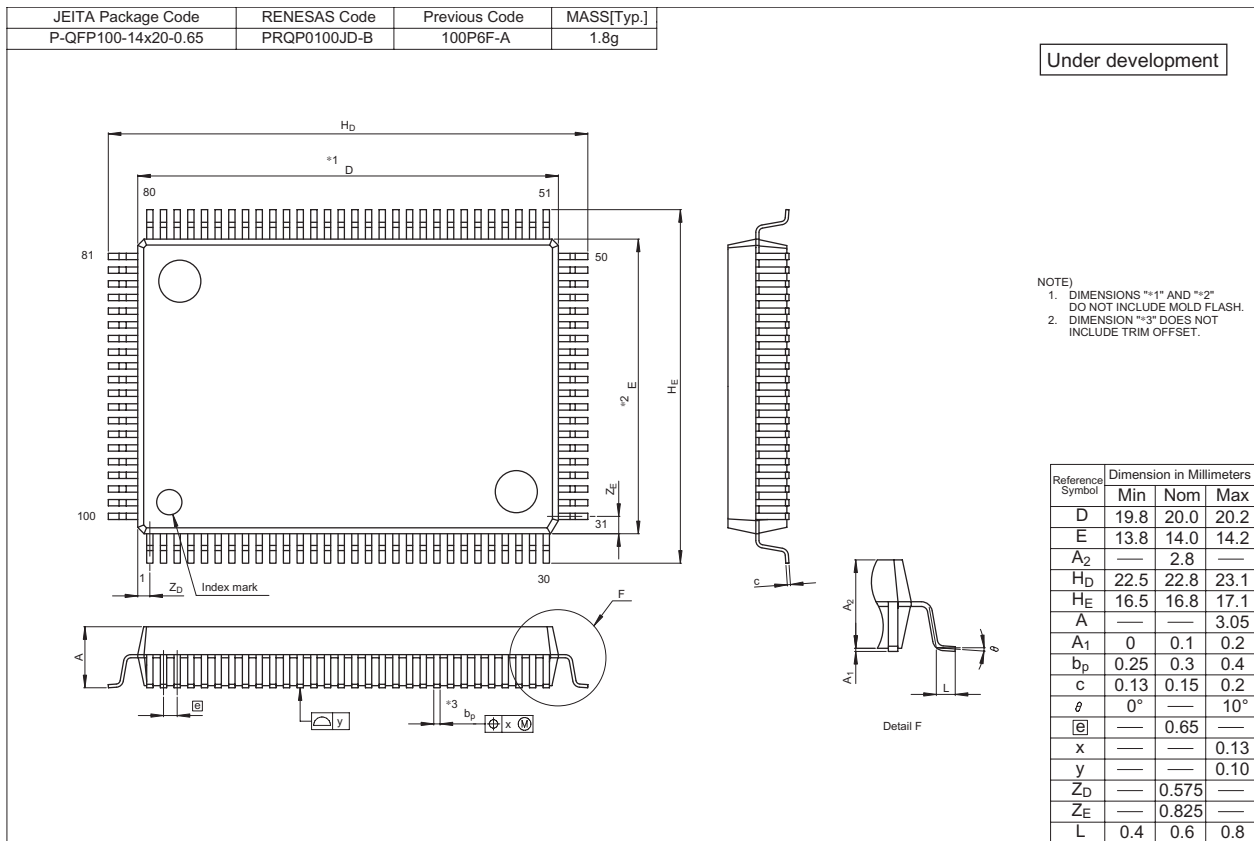
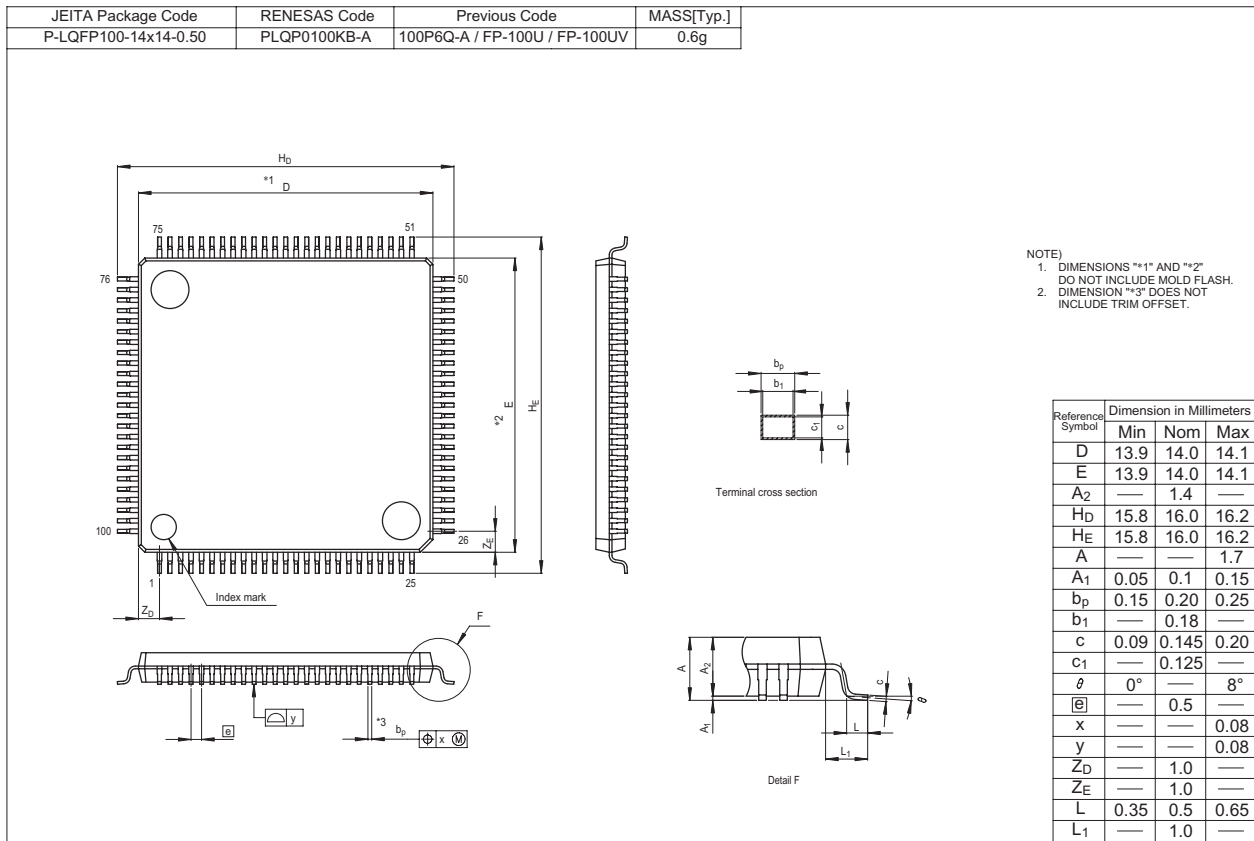
外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。









改訂記録	R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、 R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ データシート
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2008.05.19	-	初版発行
0.02	2008.07.10	3	表1.4 CPU：説明「最小命令実行時間」変更 DTC：説明「起動要因」33 38
		4	表1.5 LCD R8C/L35A, R8C/L35Bグループ：説明 変更
		5	表1.6 動作周波数/電源電圧：説明 変更
		6 ~ 13	表1.7 ~ 表1.14 2008年5月現在 7月現在
		10 ~ 11	表1.11 ~ 表1.12 (計) (開)
		23	表1.15 <u>WKUP1</u> <u>WKUP1</u> ⁽³⁾
		32	表4.1 RSTFR : 0XXX00XXb XXXX00XXb POMCR0 : 00h XX0000XXb
		36	表4.5 TRECR1 : XXX0X0XXb XXXXX0XXb
		38	表4.7 0194h : SS送信データレジスタ SS送信データレジスタL 0195h : SS送信データレジスタ SSTDR SS送信データレジスタH SSTDRH 0196h : SS受信データレジスタ SS受信データレジスタL IICバスシフトレジスタ ICDRS 削除 0197h : SS受信データレジスタ SSRDR SS受信データレジスタH SSRDRH
		39	表4.8 01E0h ~ 01E7h : FFh 00h
0.10	2008.07.30	3	表1.4 ウォッチドッグタイマ：説明 15ビット 14ビット
		14 ~ 17	図1.9 ~ 図1.12ウォッチドッグタイマ 15ビット 14ビット
		18 ~ 22	図1.13 ~ 図1.17 P4_6/SEG38/TRCIOC P4_6/SEG38/TRCIOC/TRCIOB P4_7/SEG39/TRCIOD P4_7/SEG39/TRCIOD/TRCIOB
		24	表1.16 タイマ TRCIOD TRCIOD/TRCIOB TRCIOC TRCIOC/TRCIOB
		32	表4.1 0020h番地のリセット後の値 XX0000XXb X00000000b 注2 変更
0.30	2009.01.21	1	1.1 変更
		2	表1.2 変更
		3	表1.3 注2 追記 表1.4 追記
		5	表1.6 変更
		6	表1.7 変更
		7 ~ 14	表1.8 ~ 表1.15 変更
		15	図1.9 変更
		16	図1.10 変更
		19	図1.13 変更

改訂記録	R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、 R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ データシート
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2009.01.21	20	図1.14 変更
		24	表1.16 注3 変更
		25	表1.17 注3 追記
		33	表4.1 000Bh : 「XXXX00XXb」 「XXh」 注2 変更 0029h、002Ah、002Bh 「レジスタ」追加
		39	表4.7 018Fh 追記
		41	表4.9 0202h : 「00h」 「X0000000b」

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご相談ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがないう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご相談ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	支	〒970-8026	いわき市平字田町120 (ラトプ)	(0246) 22-3222
い	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
わ	支	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
茨	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
新	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
潟	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
松	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
本	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
部	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
中	支			
関	支			
西	支			
陸	支			
北	支			
広	支			
島	支			
州	支			

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-R8C-A002B/J	Rev.	第2版
題名	R8C/L35A グループ, R8C/L36A グループ, R8C/L38A グループ, R8C/L3AA グループ, R8C/L35B グループ, R8C/L36B グループ, R8C/L38B グループ, R8C/L3AB グループ 仕様変更について		情報分類	技術情報	
適用製品	R8C/L35A グループ, R8C/L35B グループ R8C/L36A グループ, R8C/L36B グループ R8C/L38A グループ, R8C/L38B グループ R8C/L3AA グループ, R8C/L3AB グループ	対象ロット等	関連資料	本文に記載	

第2版で1-1.項(8)の項目名変更、および2-8項を修正しました。

1. 概要

R8C/L35A グループ, R8C/L36A グループ, R8C/L38A グループ, R8C/L3AA グループ, R8C/L35B グループ, R8C/L36B グループ, R8C/L38B グループ, R8C/L3AB グループにおいて、データシートおよびハードウェアマニュアルに記載の内容から仕様を一部変更します。

1-1. 仕様変更項目

- (1) 高速オンチップオシレータ機能の削除
- (2) フラッシュメモリのサスペンド機能に関する仕様変更
- (3) フラッシュメモリのサスペンド機能の電気的特性の変更
- (4) タイマ RG に関する仕様変更
- (5) LCD ポート機能に関する仕様変更
- (6) 電圧監視0リセット、パワーオンリセット機能削除
- (7) 電圧監視1/コンパレータ A1 機能、電圧監視2/コンパレータ A2 機能削除
- (8) 電源電流を低減させるための注意事項

1-2. 対象ドキュメント

・R8C/L35A グループ, R8C/L36A グループ, R8C/L38A グループ, R8C/L3AA グループ, R8C/L35B グループ, R8C/L36B グループ, R8C/L38B グループ, R8C/L3AB グループ データシート Rev. 0.30 (RJJ03B0253-0030)、およびハードウェアマニュアル Rev. 0.30 (RJJ09B0461-0030)

2. 仕様変更内容

2-1. 高速オンチップオシレータ機能の削除

高速オンチップオシレータ機能を削除します。

CPU クロックおよび周辺機能のクロックに高速オンチップオシレータクロックを選択しないでください。

1-2 項に示す対象ドキュメントにおいて、本テクニカルアップデート以外的高速オンチップオシレータに関する記載も無効になります。

2-1-1. クロック発生回路に関するレジスタの設定について

2-1-1-1. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

- (1) FRA00 ビットを“1” (高速オンチップオシレータ発振) に設定しないでください [図 2-1 参照]。
- (2) FRA01 ビットを“1” (fOCO クロックに高速オンチップオシレータを選択) に設定しないでください [図 2-1 参照]。
fOCO クロックはタイマ RA で使用します。
- (3) FRA03 ビットを“1” (fOCO128 クロックに fOCO-F の 128 分周を選択) に設定しないでください [図 2-1 参照]。
fOCO128 クロックはタイマ RC、RD で使用します。

2-1-1-2. システムクロック制御レジスタ 3 (CM3)

- (1) CM37, CM36 ビットを“10b” (ウェイトモード、ストップモードから復帰時の CPU クロックに高速オンチップオシレータクロックを選択) に設定しないでください [図 2-2 参照]。

2-1-1-3. 高速オンチップオシレータ制御レジスタ 1~7 (FRA1~7)

- (1) 高速オンチップオシレータの分周比選択に関するレジスタ (FRA2) および周波数調整に関するレジスタ (FRA1, FRA3~FRA7) は、設定しないでください。

2-1-2. タイマ RA に関するレジスタの設定について

2-1-2-1. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

- (1) FRA01 ビットを“1” (fOCO クロックに高速オンチップオシレータを選択)に設定しないでください [図 2-1 参照]。
タイマ RA のカウントソースに高速オンチップオシレータクロックを選択できません。

2-1-3. タイマ RC に関するレジスタの設定について

2-1-3-1. タイマ RC 制御レジスタ 1 (TRCCR1)

- (1) TCK2~TCK0 ビットを“110b” (タイマ RC カウントソースに fOCO40M を選択)に設定しないでください [図 2-3 参照]。
- (2) TCK2~TCK0 ビットを“111b” (タイマ RC カウントソースに fOCO-F を選択)に設定しないでください [図 2-3 参照]。

2-1-3-2. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

- (1) FRA03 ビットを“1” (fOCO128 クロックに fOCO-F の 128 分周を選択)に設定しないでください [図 2-1 参照]。
タイマ RC のインプットキャプチャ機能において、TRCGRA レジスタのインプットキャプチャトリガ入力に fOCO-F の 128 分周を選択できません。

2-1-4. タイマ RD に関するレジスタの設定について

2-1-4-1. タイマ RD 制御レジスタ 0, 1 (TRDCR0, TRDCR1)

- (1) TCK2~TCK0 ビットを“110b” (タイマ RD カウントソースに fOCO40M を選択)に設定しないでください [図 2-4 参照]。
- (2) TCK2~TCK0 ビットを“111b” (タイマ RD カウントソースに fOCO-F を選択)に設定しないでください [図 2-4 参照]。

2-1-4-2. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

- (1) FRA03 ビットを“1” (fOCO128 クロックに fOCO-F の 128 分周を選択)に設定しないでください [図 2-1 参照]。
タイマ RD のインプットキャプチャ機能において、TRDGRA0 レジスタのインプットキャプチャトリガ入力に fOCO-F の 128 分周を選択できません。

2-1-5. タイマ RG 制御レジスタの設定について

2-1-5-1. タイマ RG 制御レジスタ (TRGCR)

- (1) TCK2~TCK0 ビットを“110b” (タイマ RG カウントソースに fOCO40M を選択)に設定しないでください [図 2-5 参照]

2-1-6. A/D コンバータに関するレジスタの設定について

2-1-6-1. A/D モードレジスタ (ADMOD)

- (1) CKS2 ビットを“1” (A/D コンバータの動作クロック源に fOCO-F を選択)に設定しないでください [図 2-6 参照]。

高速オンチップオシレータ制御レジスタ 0 (FRA0)

アドレス 0023h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット (注1)	0: 低速オンチップオシレータ選択 (注2) 1: 高速オンチップオシレータ選択	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	FRA03	fOCO128 クロック選択ビット	0: fOCO-S の 128 分周を選択 1: fOCO-F の 128 分周を選択	R/W
b4	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1. FRA01 ビットは次の条件のとき変更してください。
 ・FRA00=1(高速オンチップオシレータ発振)
 ・CM1 レジスタの CM14=0(低速オンチップオシレータ発振)
 ・FRA2 レジスタの FRA22~FRA20 ビットが
 VCC=2.7V~5.5V の場合は全分周モード設定可能 “000b” ~ “111b”
 VCC=1.8V~5.5V の場合は 8 分周以上の分周比 “110b” ~ “111b” (8 分周モード以上)

注2. FRA01 ビットに“0” (低速オンチップオシレータ選択) を書くとき、同時に FRA00 ビットに“0” (高速オンチップオシレータ停止) を書かないでください。FRA01 ビットを“0”にした後、FRA00 ビットを“0”にしてください。

FRA0 レジスタは、PRCR レジスタの PRC0 ビットを“1” (書き込み許可)にした後、書き換えてください。

図 2-1. 高速オンチップオシレータ制御レジスタ 0 (FRA0) の設定

システムクロック制御レジスタ3 (CM3)

アドレス 0009h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b2	—	—	—	—
b3	—	予約ビット	“0”にしてください。	R/W
b4	—	—	—	—
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 高速オンチップオシレータクロックを選択(注3) 11: XINクロックを選択(注4)	R/W
b7	CM37			R/W

設定しないでください。

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- ~~注3. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。~~
- ~~—OCDレジスタのOCD2ビット—(オンチップオシレータクロック選択)~~
- ~~—FRA0レジスタのFRA00ビット—(高速オンチップオシレータ発振)~~
- ~~—FRA0レジスタのFRA01ビット—(高速オンチップオシレータ選択)~~
- 注4. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
 - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
 - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

図 2-2. システムクロック制御レジスタ 3 (CM3) の設定

タイマRC制御レジスタ1 (TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 000: f1 001: f2 010: f4 011: f8 100: f32 101: TRCCLK入力の立ち上がりエッジ 110: fOCO40M 111: fOCO-F(注2)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
				R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: インพุットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア	R/W

設定しないでください。

- 注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
- ~~注2. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。~~

図 2-3. タイマRC制御レジスタ 1 (TRCCR1) の設定

タイマRD制御レジスタ i (TRDCRi)(i=0~1)

アドレス 0140h番地 (TRDCR0)、0150h番地 (TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1	R/W
b1	TCK1		0 0 1 : f2	R/W
b2	TCK2		0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) <u>1 1 0 : fOCO40M</u> <u>1 1 1 : fOCO-F(注5)</u>	R/W
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3 0 0 : 立ち上がりエッジでカウント	R/W
b4	CKEG1		0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作)	R/W
b6	CCLR1		0 0 1 : TRDGRAiのインプットキャプチャでクリア	R/W
b7	CCLR2		0 1 0 : TRDGRBiのインプットキャプチャでクリア	R/W
			0 1 1 : 同期クリア(他のタイマRDiのカウンタと同時にクリア)(注4) 1 0 0 : 設定しないでください 1 0 1 : TRDGRCiのインプットキャプチャでクリア 1 1 0 : TRDGRDiのインプットキャプチャでクリア 1 1 1 : 設定しないでください	R/W

設定しないでください。

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TCK2~TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

~~注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。~~

図 2-4. タイマ RD 制御レジスタ 0, 1 (TRDCR0, TRDCR1) の設定

タイマRG制御レジスタ (TRGCR)

アドレス 0172h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット(注1)	b2 b1 b0 0 0 0 : f1	R/W
b1	TCK1		<u>0 0 1 : f2</u>	R/W
b2	TCK2		0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRGCLKA入力 <u>1 1 0 : fOCO40M</u> 1 1 1 : TRGCLKB入力	R/W
b3	CKEG0	外部クロック有効エッジ選択ビット(注1)	b4 b3 0 0 : 立ち上がりエッジでカウント	R/W
b4	CKEG1		0 1 : 立ち下がりエッジでカウント 1 0 : 立ち上がり/立ち下がりの両エッジでカウント 1 1 : 設定しないでください	R/W
b5	CCLR0	TRGレジスタクリア要因選択ビット	b6 b5 0 0 : クリア禁止	R/W
b6	CCLR1		0 1 : インプットキャプチャまたはTRGGRAのコンペア一致でTRGレジスタをクリア	R/W
			1 0 : インプットキャプチャまたはTRGGRBのコンペア一致でTRGレジスタをクリア 1 1 : 設定しないでください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	—	

設定しないでください。(2-4 項の内容)

設定しないでください。(2-1-5-1 項の内容)

注1. 位相計数モードのとき、TCK0 ~ TCK2 ビット、および CKEG0 ~ CKEG1 ビット設定は無効になり、位相計数モードの動作が優先されます。

図 2-5. タイマ RG 制御レジスタ (TRGCR) の設定

A/Dモードレジスタ (ADM0D)

アドレス 00D4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 00: fADの8分周 01: fADの4分周 10: fADの2分周 11: fADの1分周(分周なし)	R/W
b1	CKS1		R/W	
b2	CKS2	クロック源選択ビット(注1)	0: f1を選択 1: f000-Fを選択	R/W
b3	MD0	A/D動作モード選択ビット	b5 b4 b3 000: 単発モード 001: 設定しないでください 010: 繰り返しモード0 011: 繰り返しモード1 100: 単掃引モード 101: 設定しないでください 110: 繰り返し掃引モード 111: 設定しないでください	R/W
b4	MD1		R/W	
b5	MD2		R/W	
b6	ADCAP0	A/D変換トリガ選択ビット	b7 b6 00: ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始 01: タイマRDからの変換トリガによるA/D変換開始 10: タイマRCからの変換トリガによるA/D変換開始 11: 外部トリガ(ADTRG)によるA/D変換開始	R/W
b7	ADCAP1		R/W	

← 設定しないでください。

注1. CKS2ビットを変更したときは、φADの3サイクル以上経過した後にA/D変換を開始してください。

A/D変換中にADM0Dレジスタの内容を書き換えた場合、変換結果は不定になります。

図 2-6. A/Dモードレジスタ (ADM0D) の設定

2-2. フラッシュメモリのサスペンド機能に関する仕様変更

フラッシュメモリのサスペンド機能において、自動消去中断中にプログラム動作ができません [図 2-7 参照]。

サスペンド中に実行できる動作

× : 実行できません*。

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレーズ実行ブロック)			データフラッシュ (サスペンド移行前の イレーズ未実行ブロック)			プログラムROM (サスペンド移行前の イレーズ実行ブロック)			プログラムROM (サスペンド移行前の イレーズ未実行ブロック)		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド移行前のイレーズ実行領域	データフラッシュ	×	×	×	×	⊖	○	—	—	—	×	⊖	○(注5)
	プログラムROM	—	—	—	×	⊖	○	×	×	×	×	⊖	○

注1. ○はサスペンド機能を使用することで動作可能、×は動作禁止、—は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。
クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが“1”(レディ)で実行できます。
サスペンド中、ブロックブランクチェックは動作禁止です。

注4. イレーズサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュをプログラムあるいはブロックイレーズ動作中に、BGO機能によりプログラムROM領域を読み出すことができます。

※ ⊖ は、データフラッシュドライバを使用する場合も実行できません。

図 2-7. フラッシュメモリのサスペンド機能に関する仕様変更

2-3. フラッシュメモリのサスペンド機能の電気的特性の変更

イレーズ開始または再開から次のサスペンド要求までの間隔を 33ms 以上あけるようにしてください [図 2-8 参照]。

フラッシュメモリ (プログラムROM) の特性
(指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = 0°C ~ 60°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	イレーズ開始または再開から次のサスペンド要求までの間隔		33	—	—	ms
—	自動消去が終了するために必要なサスペンド間隔		33	—	—	ms

フラッシュメモリ (データフラッシュ ブロックA~ブロックD) の特性
(指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = -20°C ~ 85°C (Nバージョン) / -40°C ~ 85°C (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	イレーズ開始または再開から次のサスペンド要求までの間隔		33	—	—	ms
—	自動消去が終了するために必要なサスペンド間隔		33	—	—	ms

図 2-8. フラッシュメモリのサスペンド機能の電気的特性

2-4. タイマ RG に関する仕様変更

タイマ RG 制御レジスタ (TRGCR) のカウントソース選択で、TCK2~TCK0 ビットを “001b” (タイマ RG カウントソースに f2 を選択) に設定しないでください [図 2-5 参照]

2-5. LCD ポート機能に関する仕様変更

2-5-1. LCD ポート選択レジスタ 0 (LSE0)

[対象グループ] R8C/L35A グループ, R8C/L36A グループ, R8C/L35B グループ, R8C/L36B グループ

LSE06 ビットを “1” (LCD ポート選択に SEG6 を選択)、LSE07 ビットを “1” (LCD ポート選択に SEG7 を選択) に設定しないでください。

PO_6/SEG6 端子、PO_7/SEG7 端子は、SEG6、SEG7 として選択できません。

ポート PO_6、PO_7 機能は使用できます。

2-5-2. LCD ポート選択レジスタ 2 (LSE2)

[対象グループ] R8C/L38A グループ, R8C/L38B グループ

LSE16 ビットを “1” (LCD ポート選択に SEG16 を選択) に設定しないでください。

P2_0/SEG16/KI0 端子は、SEG16 として使用できません。

ポート P2_0 機能及び KI0 機能は使用できます。

2-6. 電圧監視 0 リセット機能、パワーオンリセット機能削除

電圧監視 0 リセット機能、パワーオンリセット機能は使用できません。ハードウェアリセットにて対応してください。1-2 項に示す対象ドキュメントにおいて、電圧監視 0 リセット、パワーオンリセット機能に関する記載は無効になります。

2-7. 電圧監視 1/コンパレータ A1 機能、電圧監視 2/コンパレータ A2 機能削除

電圧監視 1/コンパレータ A1 機能、電圧監視 2/コンパレータ A2 機能は使用できません。

1-2 項に示す対象ドキュメントにおいて、電圧監視 1/コンパレータ A1 機能、電圧監視 2/コンパレータ A2 機能に関する記載は無効になります。

2-8. 電源電流を低減させるための注意事項

プログラムで POMCR0 レジスタ (0020h 番地) に “00h” を書いてください。

POMCR0 レジスタへ “00h” を書くまでは、消費電流が増える場合があります。

プログラム例：MOV.B #00H, 0020H

3. その他

P12_1 端子と P12_0 端子に関する使用上の注意事項

P12_1 端子と P12_0 端子は、XIN、XOUT との兼用です。XIN クロックを使用する場合は、これらを I/O ポートとして使用できません。

4. 今後の予定

ドキュメントの改訂時期および高速オンチップオシレータ搭載版については、営業部門にお問い合わせください。

以上