

R9A02G021

R01DS0422JJ0110

RISC-V ベースの 32 ビット MCU

Rev.1.10

Feb 29, 2024

超低消費電力 48 MHz Renesas RISC-V コア、128 KB のコードフラッシュメモリ、16 KB の SRAM、12 ビット A/D コンバータ、セーフティ機能

特長

■ RISC-V コア

- Renesas RISC-V 命令セットアーキテクチャ (RV32I [MACB])
- 最高動作周波数: 48 MHz
- デバッグ&トレース: RISC-V 外部デバッグ対応
- デバッグポート: cJTAG

■ メモリ

- 128 KB のコードフラッシュメモリ
- 4 KB のデータフラッシュ
- 16 KB の SRAM
- 128 ビットのユニーク ID

■ 接続性

- シリアルアレイユニット (SAU) × 2
 - 簡易 SPI × 6
 - UART × 3
 - 簡易 I²C × 6
- I²C バスインタフェース (IICA) × 2
- シリアルインタフェース UARTA (UARTA) × 2
- リモコン信号受信機能 (REMC)

■ アナログ

- 12 ビット A/D コンバータ (ADC12)
- コンパレータ (CMP) × 2
- 8 ビット D/A コンバータ (DAC8) × 2
- 温度センサ回路 (TSN)

■ タイマ

- ウォッチドッグタイマ (WDT)
- リアルタイムクロック (RTC)
- タイマアレイユニット (TAU) × 8
- 32 ビットインターバルタイマ (TML32)

■ セーフティ

- SRAM のパリティおよび ECC エラー検査
- フラッシュ領域の保護
- ADC テスト機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- 不正メモリアクセス検出
- 真性乱数生成器 (TRNG)

■ システムおよび電源管理

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出 (LVD) (電圧設定)

■ マルチクロックソース

- 外部クロック入力 (EXTAL) (1~20 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (24/32/48 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- IWDT 専用オンチップオシレータ (15 kHz)
- クロックアウトのサポート

■ 最大 42 本の汎用入出力ポート内蔵

- オープンドレイン、入力プルアップ

■ 動作電圧

- VCC: 1.6~5.5 V

■ 動作温度およびパッケージ

- Ta = -40°C~+125°C
 - 48 ピン HWQFN (7 mm × 7 mm, 0.5 mm ピッチ)
 - 32 ピン HWQFN (5 mm × 5 mm, 0.5 mm ピッチ)
 - 24 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
 - 16 ピン WLCSP (1.99 mm × 1.99 mm, 0.4 mm ピッチ)

1. 概要

本 MCU は高効率なルネサス RISC-V 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 128 KB のコードフラッシュメモリ
- 4 KB データフラッシュ
- 16 KB SRAM
- 12 ビット A/D コンバータ (ADC12)
- アナログ周辺機能

1.1 機能の概要

表 1.1 RISC-V コア

機能	機能の説明
RISC-V コア	<ul style="list-style-type: none"> ● 最高動作周波数 : 48 MHz ● 命令セットアーキテクチャ (ISA) <ul style="list-style-type: none"> – RISC-V RV32I の基本整数命令セット – RISC-V 圧縮命令用標準拡張機能「C」 – RISC-V 整数乗除算用標準拡張機能「M」 – RISC-V アトミック命令用標準拡張機能「A」 – RISC-V Zisrcr コントロールおよびステータスレジスタ (CSR) 命令 – RISC-V Zifencei 命令フェッチフェンス – RISC-V ビット操作 (Zba, Zbb, Zbs) 用標準拡張機能「B」 – 性能監視および周期と命令のカウント用コントロール/ステータスレジスタ (CSR) ● 動的な分岐予測 ● 特権モード : マシンモード ● マシнтаイマ ● RISC-V 外部デバッグサポート <ul style="list-style-type: none"> – デバッグモジュール (DM) <ul style="list-style-type: none"> ・ ハードウェアブレイクポイント/ウォッチポイントレジスタ × 4 – デバッグトランスポートモジュール (DTM) – デバッグポート : cJTAG

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	128 KB のコードフラッシュメモリ
データフラッシュメモリ	4 KB のデータフラッシュメモリ
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	パリティビットまたは誤り訂正コード (ECC) を備えた 16 KB の高速 SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
起動モード	2 種類の起動モード : <ul style="list-style-type: none"> ● シングルチップモード ● UART (SAU) ブートモード
リセット	本 MCU は、12 種類のリセット (RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、電圧監視 0/1/2 リセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスエラーリセット、デバッグリセット、ソフトウェアリセット) をサポートしています。
低電圧検出回路 (LVD)	低電圧検出 (LVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、3 つの独立した電圧監視回路 (LVD0, LVD1, LVD2) から構成されています。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。

表 1.3 システム (2/2)

機能	機能の説明
クロック	<ul style="list-style-type: none"> 外部クロック入力 (EXTAL) サブクロック発振器 (SOSC) 高速オンチップオシレータ (HOCO) 中速オンチップオシレータ (MOCO) 低速オンチップオシレータ (LOCO) IWDT 専用オンチップオシレータ クロックアウトのサポート
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルス数が許容範囲内でない時、割り込み要求を発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、コアローカル割り込みコントローラ (CLIC) およびデータトランスファコントローラ (DTC) の両モジュールにどのイベント信号がリンクされるかを制御します。ICU はノンマスクابل割り込みも制御します。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの移行など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスクابل割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスクابل割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは独立した専用クロックソースで動作するため、システム暴走時にフェイル-セーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。

表 1.4 イベントリンク

機能	機能説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 1.6 タイマ (1/2)

機能	機能の説明
リアルタイムクロック (RTC)	リアルタイムクロックには、以下の特長があります。 <ul style="list-style-type: none"> 年月日、曜日、および時分秒を最大 99 年までカウント可能 周期固定割り込み (周期は次から選択可能: 1/2 秒、1 秒、1 分、1 時間、1 日、1 か月) アラーム割り込み (曜日、時間、および分でアラーム設定) 1 Hz の端子出力機能
タイマアレイユニット (TAU)	タイマアレイユニットは 16 ビットタイマを 8 つ搭載しています。各 16 ビットタイマはチャンネルと呼ばれ、個別に使用することができます。複数のチャンネルで高精度タイマを構成することもできます。

表 1.6 タイマ (2/2)

機能	機能の説明
32 ビットインターバルタイマ (TML32)	32 ビットインターバルタイマは、8 ビットインターバルタイマ 4 つ (チャンネル 0~3) で構成されています。各 8 ビットインターバルタイマは独立して動作することができますが、異なる機能で動作することはできません。8 ビットインターバルタイマのチャンネル 2 つを接続して 16 ビットインターバルタイマ 1 つを構成することができます。8 ビットインターバルタイマのチャンネル 4 つを接続して 32 ビットインターバルタイマ 1 つを構成することができます。

表 1.7 通信インタフェース

機能	機能の説明
シリアルアレイユニット (SAU)	1 つのシリアルアレイユニットには最大 4 つのシリアルチャンネルがあります。各チャンネルは 3 線シリアル (簡易 SPI)、UART、および簡易 I ² C の通信機能を実現できます。
I ² C バスインタフェース (IICA)	I ² C バスインタフェースには次の 3 種類のモードがあります。 <ul style="list-style-type: none"> 動作停止モード I²C バスモード (マルチマスタ対応) ウェイクアップモード
シリアルインタフェース UARTA (UARTA)	シリアルインタフェース UARTA は次の 2 つのモードをサポートしています。 <ul style="list-style-type: none"> 動作停止モード UART モード
リモコン信号受信機能 (REMC)	リモコン信号受信機能は、外部パルス入力信号の幅と周期を確認することでデータを受信できます。

表 1.8 アナログ機能

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 10 チャンネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。
コンパレータ (CMP)	コンパレータ (CMP) はテスト電圧と基準電圧を比較し、比較結果に基づいてデジタル出力を生成します。テスト電圧は外部からコンパレータに供給することができます。基準電圧は、内部の DAC8 出力または外部ソースからコンパレータに供給することができます。このような柔軟性は、A/D 変換を行うことなくアナログ信号間の合否判定を実施する必要があるアプリケーションで有用です。
8 ビット D/A コンバータ (DAC8)	8 ビット D/A コンバータ (DAC8) の 2 つのチャンネルをコンパレータの基準電圧に使用したり、外部出力に使用したりすることができます。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスを監視できます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットまたは 32 ビットのデータの比較、加算、および減算に使用されます。以下の条件に該当する場合、割り込みが発生可能です。 <ul style="list-style-type: none"> 16 ビットまたは 32 ビットの比較値が検出条件と一致するとき 16 ビットまたは 32 ビットのデータの加算結果がオーバーフローするとき 16 ビットまたは 32 ビットのデータの減算結果がアンダーフローするとき
真性乱数生成器 (TRNG)	真性乱数生成器は 32 ビットの乱数シード (真性乱数) を生成します。

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

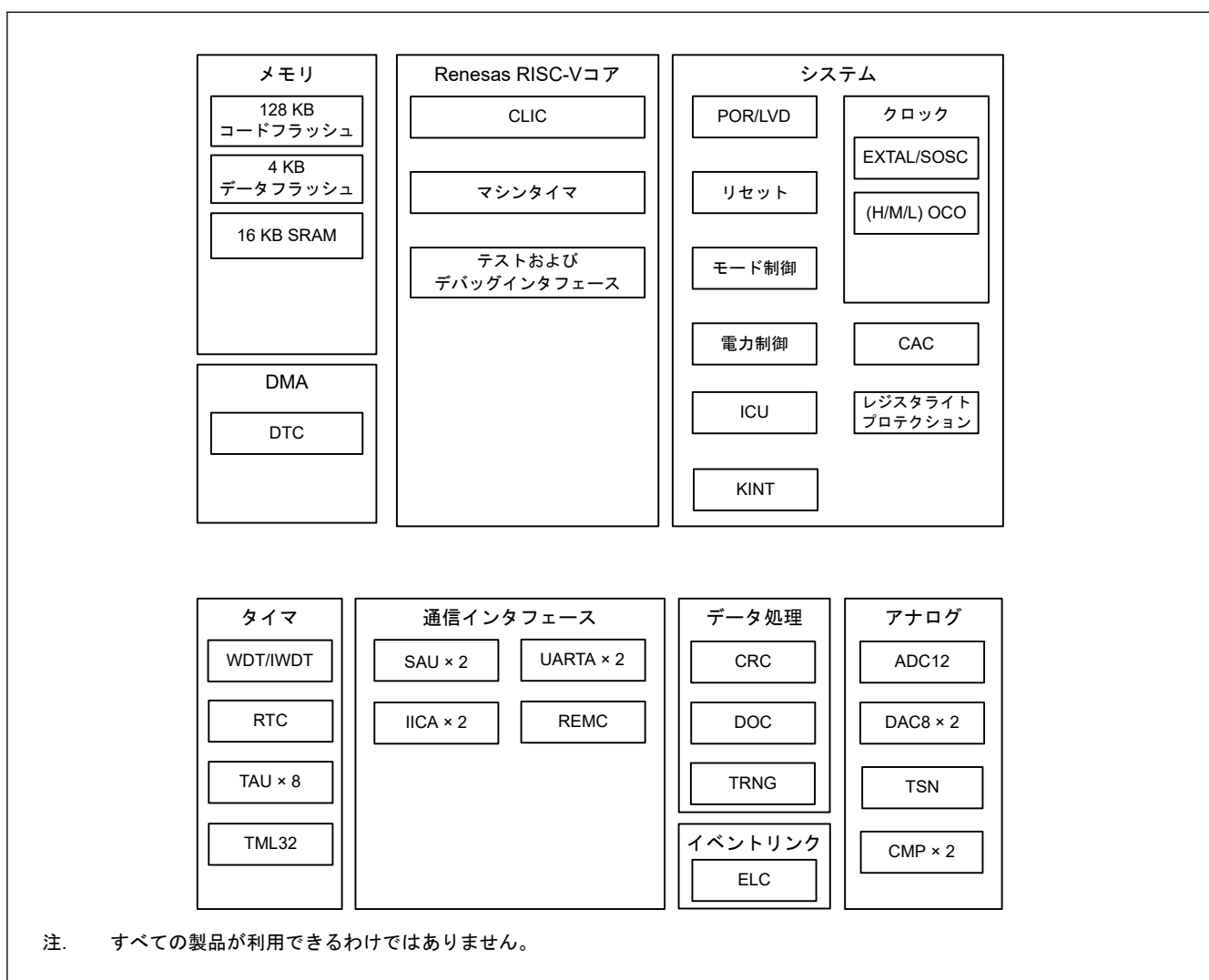


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.10 に、製品一覧表を示します。

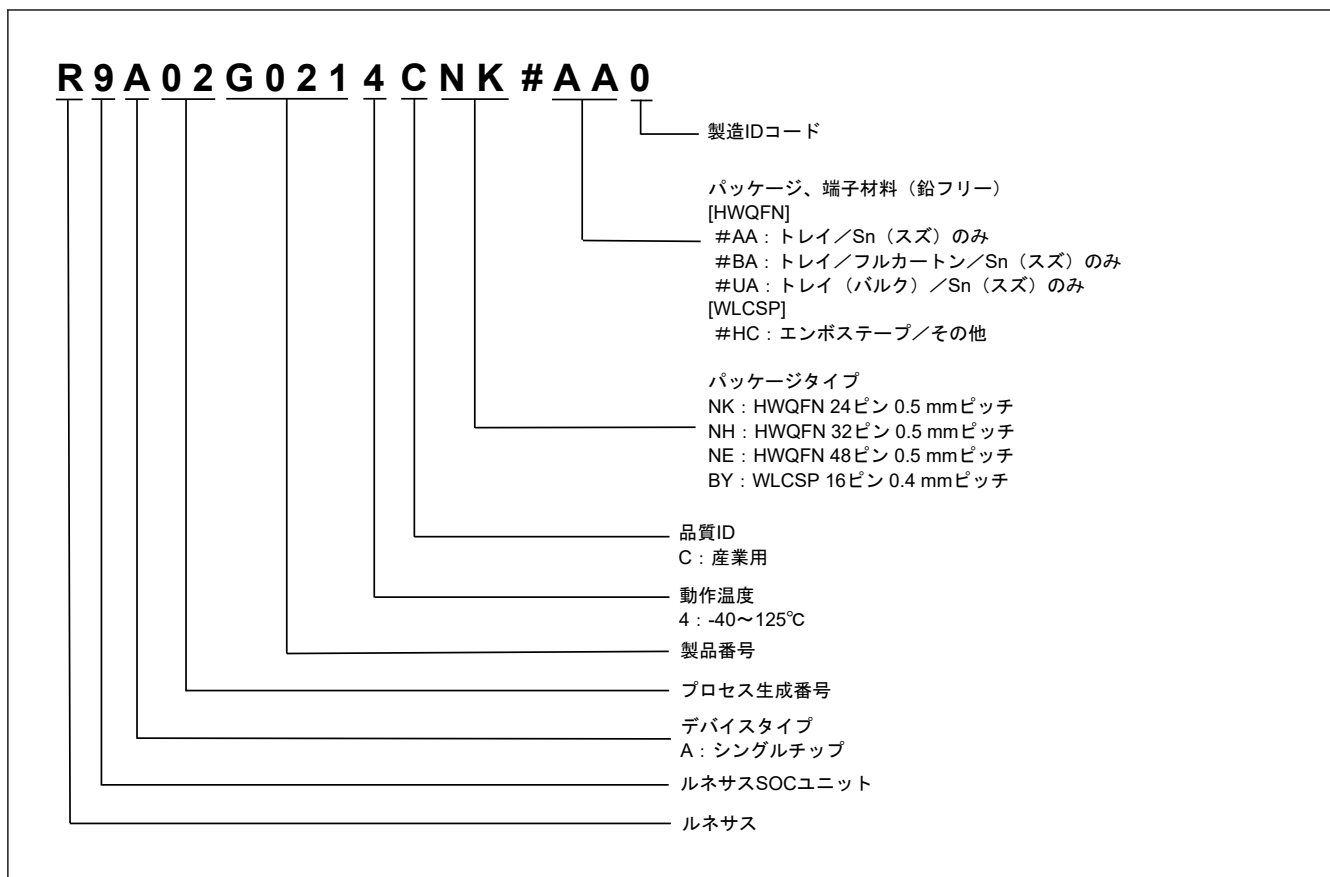


図 1.2 型名の読み方

表 1.10 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R9A02G0214CNE	PWQN0048KC-A	128 KB	4 KB	16 KB	-40～+125℃
R9A02G0214CNH	PWQN0032KE-A				
R9A02G0214CNK	PWQN0024KG-A				
R9A02G0214CBY	SUBG0016LC-A				

1.4 機能の比較

表 1.11 機能の比較

型名		R9A02G0214CNE	R9A02G0214CNH	R9A02G0214CNK	R9A02G0214CBY
端子総数		48	32	24	16
パッケージ		HWQFN	HWQFN	HWQFN	WLCSP
コードフラッシュメモリ		128 KB	128 KB	128 KB	128 KB
データフラッシュメモリ		4 KB	4 KB	4 KB	4 KB
SRAM (パリティ)		12 KB	12 KB	12 KB	12 KB
SRAM (ECC)		4 KB	4 KB	4 KB	4 KB
システム	CPU クロック	48 MHz	48 MHz	48 MHz	48 MHz
	サブクロック発振器	あり	あり	あり	なし
	ICU	あり	あり	あり	あり
	CAC	あり	あり	あり	あり
	KINT	6	2	なし	なし
ELC 制御	ELC	あり	あり	あり	あり
DMA	DTC	あり	あり	あり	あり
タイマ	WDT/IWDT	あり	あり	あり	あり
	RTC	あり	あり	あり	あり
	TAU	8	8	8	6
	TML32	あり	あり	あり	あり
通信	SAU	6 (簡易 SPI)	3 (簡易 SPI)	3 (簡易 SPI)	1 (簡易 SPI)
		3 (UART)	3 (UART)	3 (UART)	2 (UART)
		6 (簡易 I ² C)	3 (簡易 I ² C)	3 (簡易 I ² C)	1 (簡易 I ² C)
	IICA	2	1	1	1
	UARTA	2	なし	なし	なし
	REMC	あり	あり	なし	なし
アナログ	ADC12	10	8	6	4
	CMP	2	2	2	1
	DAC8	2	2	2	2
	TSN	あり	あり	あり	あり
データ処理	CRC	あり	あり	あり	あり
	DOC	あり	あり	あり	あり
	TRNG	あり	あり	あり	あり
I/O ポート	汎用入出力	42	26	18	12
	出力電流制御ポート	3	3	3	3

1.5 端子機能

表 1.12 端子機能 (1/2)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μ F のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	EXTAL	入力	外部クロック信号の入力が可能です。
	XT1	入力	サブクロック発振器用の入出力端子。
	XT2	出力	XT1 と XT2 の間には、水晶振動子を接続してください。
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	TMSC	入出力	オンチップエミュレータ端子
	TCKC	入力	
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0~IRQ7	入力	マスクابل割り込み要求端子
KINT	KR00~KR05	入力	キー割り込み入力端子に立ち下がりエッジを入力することにより、キー割り込みを発生可能です。
RTC	RTC1HZ	出力	リアルタイムクロック補正クロック (1 Hz) 出力
TAU	TI00~TI07	入力	外部カウントクロック/キャプチャトリガを 16 ビットタイマ 00~07 へ入力するための端子
	TO00~TO07	出力	16 ビットタイマ 00~07 のタイマ出力端子
SAU	RxD0~RxD2	入力	シリアルインタフェース UART0、UART1、および UART2 のシリアルデータ入力端子
	TxD0~TxD2	出力	シリアルインタフェース UART0、UART1、および UART2 のシリアルデータ出力端子
	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21	入出力	シリアルインタフェース SPI00、SPI01、SPI10、SPI11、SPI20、および SPI21 のシリアルクロック入出力端子
	SCL00, SCL01, SCL10, SCL11, SCL20, SCL21	出力	シリアルインタフェース IIC00、IIC01、IIC10、IIC11、IIC20、および IIC21 のシリアルクロック出力端子
	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21	入出力	シリアルインタフェース IIC00、IIC01、IIC10、IIC11、IIC20、および IIC21 のシリアルデータ入出力端子
	SI00, SI01, SI10, SI11, SI20, SI21	入力	シリアルインタフェース SPI00、SPI01、SPI10、SPI11、SPI20、および SPI21 のシリアルデータ入力端子
	SO00, SO01, SO10, SO11, SO20, SO21	出力	シリアルインタフェース SPI00、SPI01、SPI10、SPI11、SPI20、および SPI21 のシリアルデータ出力端子
IICA	SCLA0, SCLA1	入出力	I ² C バスインタフェース IICA0 および IICA1 のクロック入出力端子
	SDAA0, SDAA1	入出力	I ² C バスインタフェース IICA0 および IICA1 のシリアルデータ入出力端子

表 1.12 端子機能 (2/2)

機能	端子名	入出力	説明
UARTA	RxDA0, RxDA1	入力	シリアルインタフェース UARTA0 および UARTA1 のシリアルデータ入力端子
	TxDA0, TxDA1	出力	シリアルインタフェース UARTA0 および UARTA1 のシリアルデータ出力端子
	CLKA0, CLKA1	出力	シリアルインタフェース UARTA0 および UARTA1 のクロック出力端子
REMC	RIN0	入力	リモート制御信号受信回路用の外部パルス信号入力端子
アナログ電源	AVREFP	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は VCC に接続してください。
	AVREFM	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は VSS に接続してください。
ADC12	ANI0~ANI5、ANI16~ANI19	入力	ADC12 で処理されるアナログ信号用の入力端子
CMP	IVREF0, IVREF1	入力	コンパレータ用基準電圧入力端子
	IVCMP0, IVCMP1	入力	コンパレータ用アナログ電圧入力端子
	VCOUT0, VCOUT1	出力	コンパレータ検出結果出力端子
DAC8	DACOUT0, DACOUT1	出力	DAC8 で処理されるアナログ信号用の出力端子
I/O ポート	P000~P003、P006~P011	入出力	汎用入出力端子
	P100~P111	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201~P207	入出力	汎用入出力端子
	P300~P307	入出力	汎用入出力端子
	P400~P403	入出力	汎用入出力端子

1.6 ピン配置図

図 1.3～図 1.6 にピン配置図（上面図）を示します。

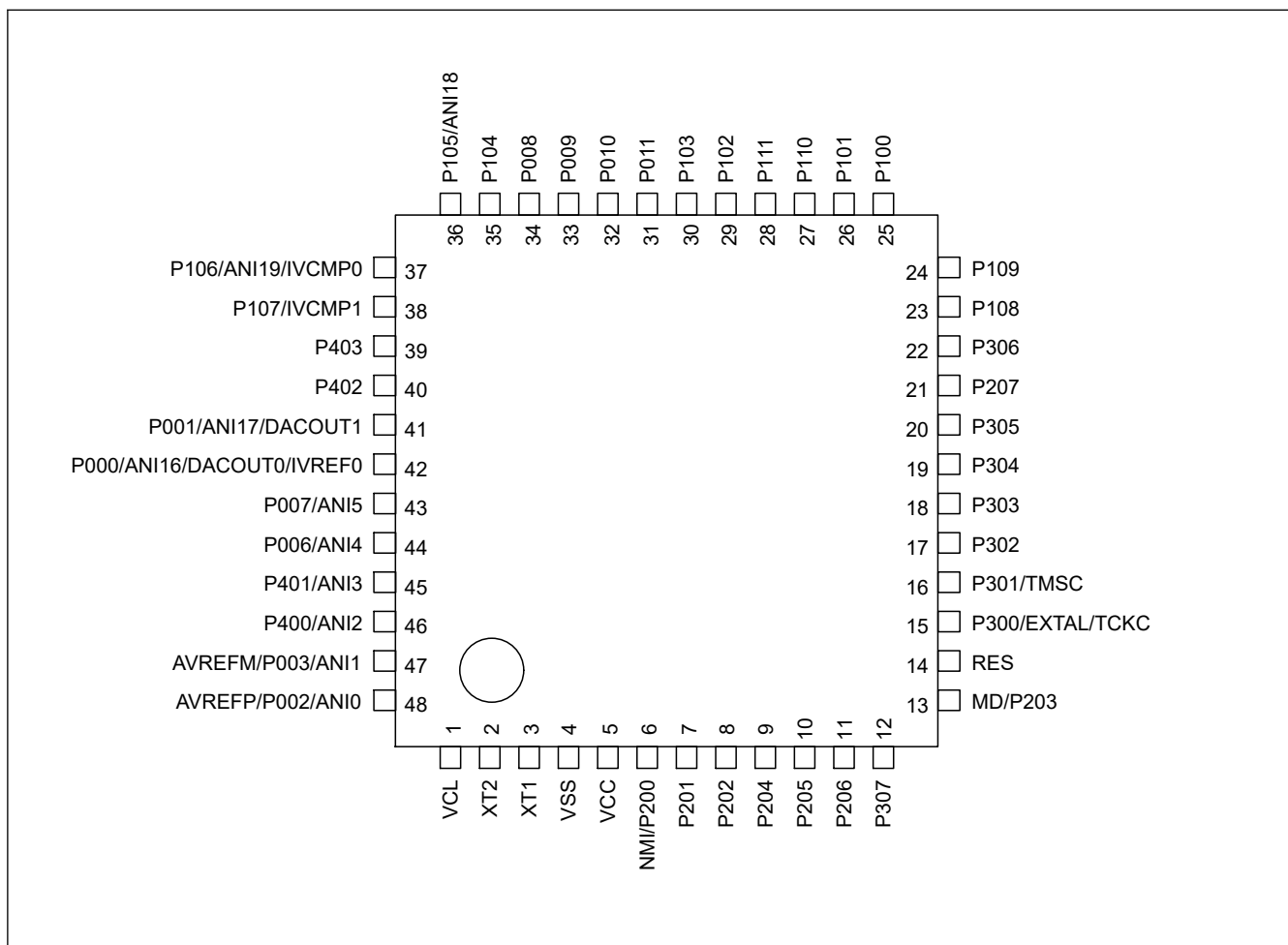


図 1.3 48 ピン HWQFN のピン配置図（上面図）

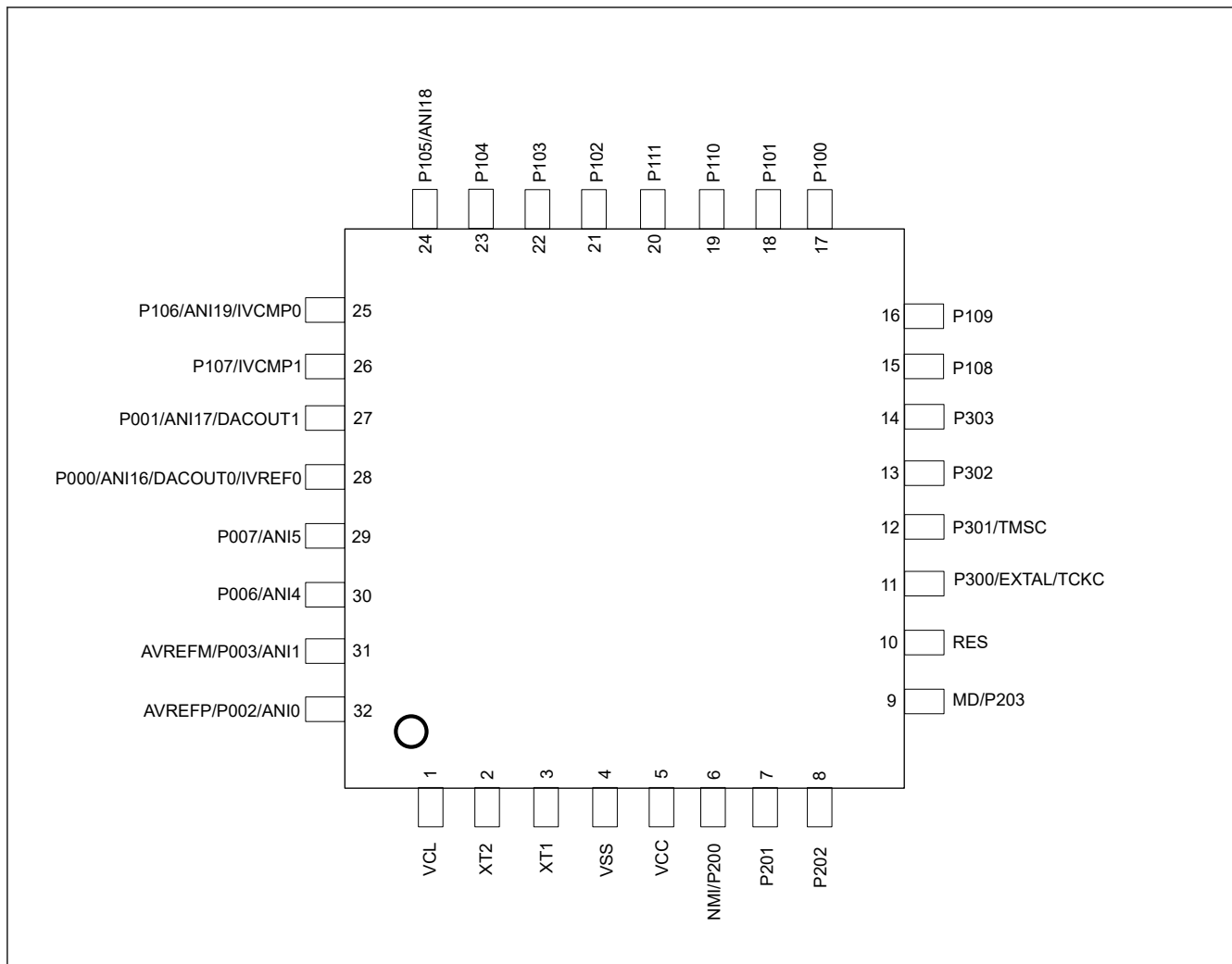


図 1.4 32 ピン HWQFN のピン配置図 (上面図)

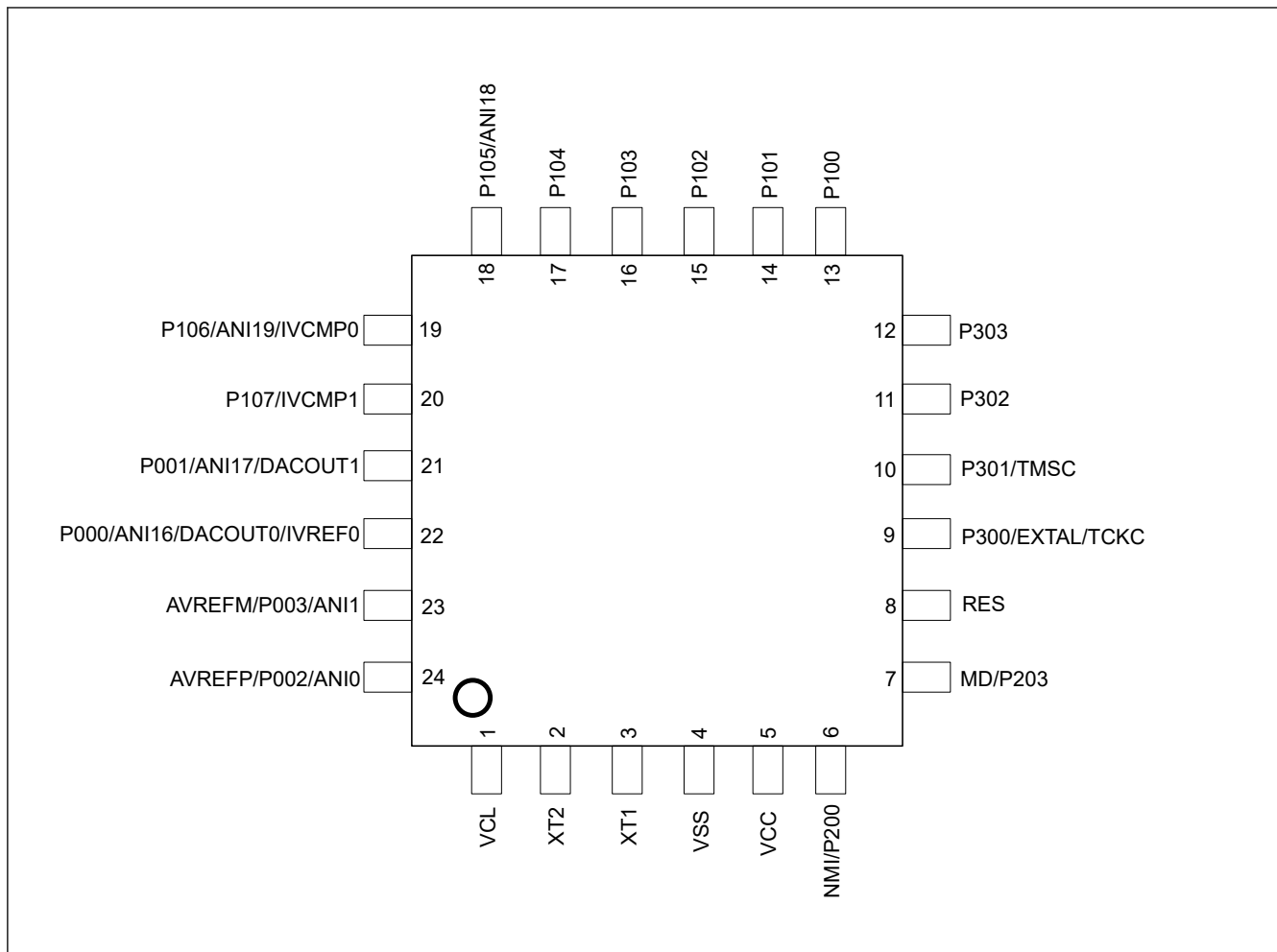


図 1.5 24 ピン HWQFN のピン配置図 (上面図)

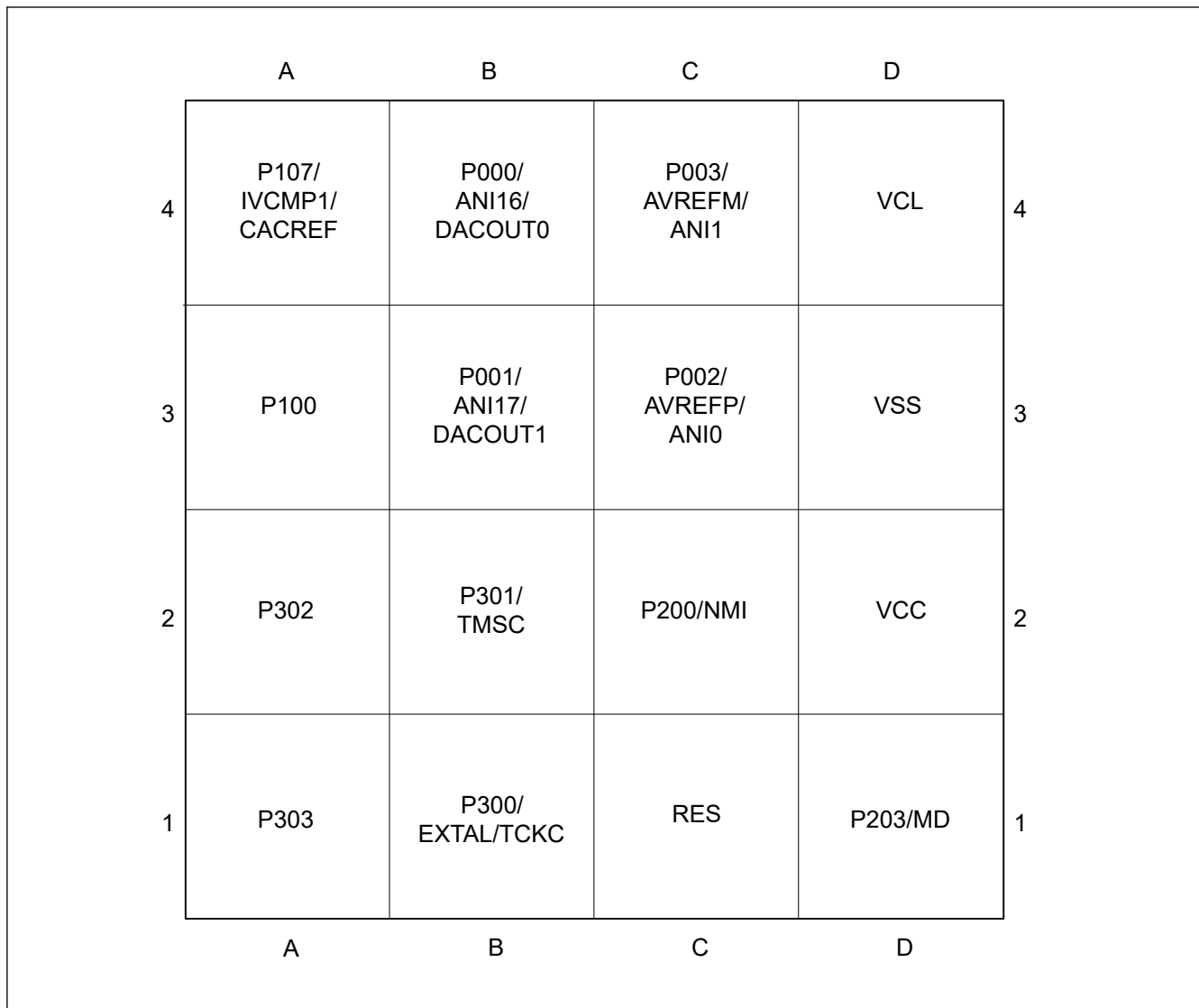


図 1.6 16 ピン WLCSP のピン配置 (上面図、パッド側が下面)

1.7 端子一覧

表 1.13 端子一覧 (1/2)

端子番号				電源、システム、 クロック、デバッグ、 CAC	I/O ポート	タイマ	通信インターフェース		アナログ	割り込み、KINT
QFN 48 ピン	QFN 32 ピン	QFN 24 ピン	WL CSP 16 ピン			TAU, RTC	REMC, IICA, UARTA	SAU	ADC12, DAC8, CMP	
1	1	1	D4	VCL	—	—	—	—	—	—
2	2	2	—	XT2	—	—	—	—	—	—
3	3	3	—	XT1	—	—	—	—	—	—
4	4	4	D3	VSS/AVSS	—	—	—	—	—	—
5	5	5	D2	VCC/AVCC	—	—	—	—	—	—
6	6	6	C2	NMI	P200	—	—	—	—	NMI
7	7	—	—	—	P201	—	—	—	—	IRQ3_C
8	8	—	—	CLKOUT_B	P202	—	RIN0	—	—	IRQ2_C
9	—	—	—	—	P204	—	—	SCK21/SCL21	—	—
10	—	—	—	—	P205	—	—	SI21/SDA21	—	—
11	—	—	—	—	P206	—	—	SO21	—	—
12	—	—	—	—	P307	—	—	—	—	—
13	9	7	D1	MD	P203	—	—	—	—	—
14	10	8	C1	RES#	—	—	—	—	—	—
15	11	9	B1	EXTAL/TCKC	P300	TI07_A/TO07_A	—	SCK00/SCL00	—	IRQ0_A
16	12	10	B2	TMSC	P301	TI06/TO06	—	SI00/SDA00/ RxD0_A	—	IRQ1_A
17	13	11	A2	—	P302	TI03_B/TO03_B	SCLA0_A	TxD0_B	VCOUT1	IRQ3_B
18	14	12	A1	CLKOUT_A	P303	TI04/TO04	SDAA0_A	RxD0_B	—	IRQ2_B
19	—	—	—	—	P304	—	—	SO01	—	KR00
20	—	—	—	—	P305	—	—	SI01/SDA01	—	KR01
21	—	—	—	—	P207	—	—	SCK01/SCL01	—	KR02
22	—	—	—	—	P306	—	—	—	—	KR03
23	15	—	—	—	P108	—	—	—	—	IRQ4_B/KR04
24	16	—	—	—	P109	—	—	—	—	IRQ5_B/KR05
25	17	13	A3	—	P100	TI05/TO05	—	SO00/TxD0_A	—	IRQ6_C
26	18	14	—	—	P101	TI02_B/TO02_B	—	SCK20/SCL20	—	IRQ7_C
27	19	—	—	—	P110	—	—	—	—	IRQ7_B
28	20	—	—	—	P111	—	—	—	—	IRQ6_B
29	21	15	—	—	P102	TI01/TO01	SCLA0_B	SI20/SDA20/ RxD2	—	IRQ2_A
30	22	16	—	—	P103	TI02_A/TO02_A	SDAA0_B	SO20/TxD2	—	—
31	—	—	—	—	P011	TI07_B/TO07_B	SCLA1/CLKA0	—	—	—
32	—	—	—	—	P010	—	SDAA1/RxDA0	—	—	—
33	—	—	—	—	P009	—	TxDA0	SCK10/SCL10	—	—
34	—	—	—	—	P008	—	RxDA1	SI10/SDA10	—	—
35	23	17	—	—	P104	—	—	SCK11/SCL11	IVREF1	—
36	24	18	—	—	P105	RTC1HZ	—	SI11/SDA11	ANI18/VCOUT0	—
37	25	19	—	—	P106	—	—	SO11	ANI19/IVCMP0	—
38	26	20	A4	CACREF	P107	TI03_A/TO03_A	—	—	IVCMP1	—
39	—	—	—	—	P403	—	TxDA1	SO10	—	—
40	—	—	—	—	P402	—	CLKA1	—	—	—
41	27	21	B3	—	P001	TI00	—	TxD1	ANI17/DACOUT1	IRQ5_A
42	28	22	B4	—	P000	TO00	—	RxD1	ANI16/ DACOUT0/ IVREF0(注1)	IRQ6_A
43	29	—	—	—	P007	—	—	—	ANI5	IRQ3_A
44	30	—	—	—	P006	—	—	—	ANI4	IRQ4_A
45	—	—	—	—	P401	—	—	—	ANI3	—

表 1.13 端子一覧 (2/2)

端子番号				電源、システム、 クロック、デバッグ、 CAC	I/Oポート	タイマ	通信インターフェース		アナログ	割り込み、KINT
QFN 48ピン	QFN 32ピン	QFN 24ピン	WLCSP 16ピン			TAU, RTC	REMC, IICA, UARTA	SAU	ADC12, DAC8, CMP	
46	—	—	—	—	P400	—	—	—	ANI2	—
47	31	23	C4	AVREFM	P003	—	—	—	ANI1	IRQ7_A
48	32	24	C3	AVREFP	P002	—	—	—	ANI0	—

注. いくつかの端子名には、_A、_B、および_C という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

注 1. IVREF0 は 16 ピン WLCSP ではサポートされていません。

2. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

$V_{CC} = 1.6 \sim 5.5 \text{ V}$

$V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$

図 2.1 にタイミング条件を示します。

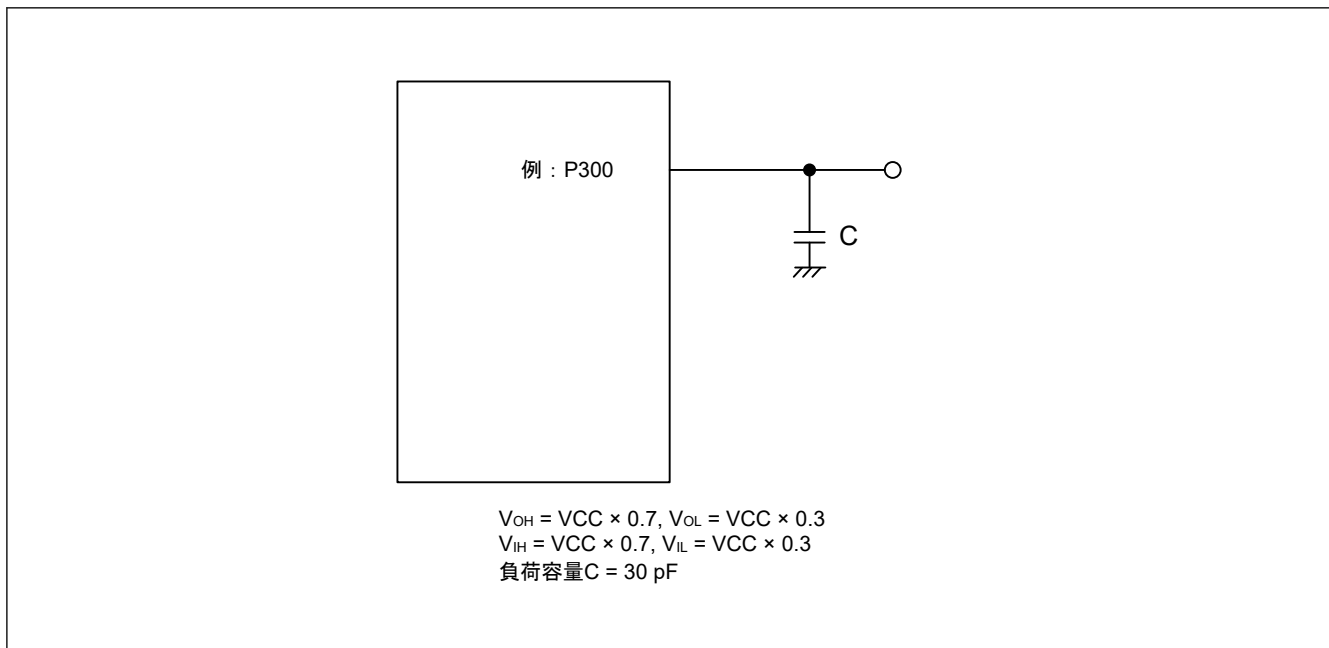


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

2.1 絶対最大定格

表 2.1 絶対最大定格

項目	シンボル	値	単位
電源電圧	V_{CC}	-0.5~+6.5	V
入力電圧	V_{in}	-0.3~ $V_{CC} + 0.3$	V
アナログ入力電圧	V_{AN}	-0.3~ $V_{CC} + 0.3$	V
動作温度(注1)	T_{opr}	-40~+125	°C
保存温度	T_{stg}	-55~+140	°C

注 1. 「2.2.1. T_j/T_a の定義」を参照してください。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

AVREFP が ADC12 の高電位基準電圧に選択されている場合に、ノイズ干渉による誤動作を防止するには、 V_{CC} 端子と V_{SS} 端子の間、AVREFP 端子と AVREFM 端子の間には周波特性の良いコンデンサを挿入してください。以下に示す値のコンデンサをできる限り各電源端子の近くに配置し、最短距離かつできる限り太いトレースを使用してください。

- V_{CC} と V_{SS} : 約 $0.1 \mu\text{F}$
- AVREFP と AVREFM : 約 $0.1 \mu\text{F}$

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7 μ F のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 2.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位
電源電圧	VCC	1.6	—	5.5	V
	VSS	—	0	—	V

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.3 DC 特性

条件：動作周囲温度 (Ta) が -40~+105°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	140	°C	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード

注: $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。

2.2.2 I/O V_{IH} , V_{IL}

表 2.4 I/O V_{IH} , V_{IL}

条件：VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミットトリガ入力電圧	5 V トレラント対応ポート (P010, P011, P101, P102, P103)	V_{IH}	$V_{CC} \times 0.7$	—	5.8	V	—
		V_{IL}	—	—	$V_{CC} \times 0.3$		
	RES, NMI その他の周辺入力端子	V_{IH}	$V_{CC} \times 0.8$	—	—	—	—
		V_{IL}	—	—	$V_{CC} \times 0.2$		

2.2.3 I/O I_{OH} , I_{OL}

表 2.5 I/O I_{OH} , I_{OL} (1/2)

条件：VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
許容出力電流 (端子ごとの平均値)	ANI0~ANI5 ポート (P002, P003, P006, P007, P400, P401)	I_{OH}	—	—	-4.0	mA	—
		I_{OL}	—	—	8.0		
	5 V トレラント対応ポート (P010, P011, P101~P103)	I_{OH}	—	—	-4.0	mA	—
		I_{OL}	—	—	8.0		
	その他の出力端子(注1)	I_{OH}	—	—	-4.0	mA	—
		I_{OL}	—	—	20.0		

表 2.5 I/O I_{OH} 、 I_{OL} (2/2)

条件 : VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
許容出力電流 (全端子の最大値) (注1)	$\Sigma I_{OH} (max)$	—	—	-24.0	mA	VCC = 2.7~5.5 V	
		—	—	-6.0	mA	VCC = 1.8~2.7 V	
		—	—	-3.0	mA	VCC = 1.6~1.8 V	
		$\Sigma I_{OL} (max)$	—	—	48.0	mA	VCC = 2.7~5.5 V
			—	—	3.6	mA	VCC = 1.8~2.7 V
			—	—	1.8	mA	VCC = 1.6~1.8 V
	5 V トレラント対応ポート (P010, P011, P101~P103)	$\Sigma I_{OH} (max)$	—	—	-20.0	mA	VCC = 2.7~5.5 V
			—	—	-5.0	mA	VCC = 1.8~2.7 V
			—	—	-2.0	mA	VCC = 1.6~1.8 V
		$\Sigma I_{OL} (max)$	—	—	40.0	mA	VCC = 2.7~5.5 V
			—	—	3.0	mA	VCC = 1.8~2.7 V
			—	—	1.5	mA	VCC = 1.6~1.8 V
他の出力ポートの合計	$\Sigma I_{OH} (max)$	—	—	-30.0	mA	VCC = 2.7~5.5 V	
		—	—	-12.0	mA	VCC = 1.8~2.7 V	
		—	—	-6.0	mA	VCC = 1.6~1.8 V	
	$\Sigma I_{OL} (max)$	—	—	50.0	mA	VCC = 2.7~5.5 V	
		—	—	9.0	mA	VCC = 1.8~2.7 V	
		—	—	4.5	mA	VCC = 1.6~1.8 V	
全出力端子の総和	$\Sigma I_{OH} (max)$	—	—	-50.0	mA	—	
	$\Sigma I_{OL} (max)$	—	—	95.0	mA	—	

注 1. デューティ比 $\leq 70\%$ の条件下での仕様です。
 デューティ比 $> 70\%$ の場合、出力電流値は次式で計算できます (デューティ比を 70%から n%に変更するとき)。
 $\text{端子の合計出力電流} = (I_{OH} \times 0.7)/(n \times 0.01)$
 <例> n = 80%で、 $I_{OH} = -30.0 \text{ mA}$ のとき
 $\text{端子の合計出力電流} = (-30.0 \times 0.7)/(80 \times 0.01) \approx -26.2 \text{ mA}$
 ただし、1つの端子に入力可能な電流はデューティ比によって変化しません。

【使用上の注意】MCU の信頼性を確保するため、出力電流値は表 2.5 の値を超えないようにしてください。

2.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性

表 2.6 I/O V_{OH} 、 V_{OL} (1)

条件 : VCC = 4.0~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	出力端子(注1)	V_{OH}	VCC - 0.8	—	—	V	$I_{OH} = -4.0 \text{ mA}$
	P002, P003, P006, P007, P400, P401	V_{OL}	—	—	0.8	—	$I_{OL} = 8.0 \text{ mA}$
	P010, P011, P101~P103	V_{OL}	—	—	0.8	—	$I_{OL} = 8.0 \text{ mA}$
	その他の出力端子(注1)	V_{OL}	—	—	1.2	—	$I_{OL} = 20.0 \text{ mA}$

注 1. ポート P200 (入力ポート)、および XT1 と XT2 (SOSC ポート) は除きます。

表 2.7 I/O V_{OH} 、 V_{OL} (2)

条件 : VCC = 2.7~4.0 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	出力端子(注1)	V_{OH}	VCC - 0.8	—	—	V	$I_{OH} = -4.0 \text{ mA}$
	出力端子(注1)	V_{OL}	—	—	0.8	—	$I_{OL} = 8.0 \text{ mA}$

注 1. ポート P200 (入力ポート)、および XT1 と XT2 (SOSC ポート) は除きます。

表 2.8 I/O V_{OH} 、 V_{OL} (3)

条件: $V_{CC} = 1.6 \sim 2.7 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	出力端子(注1)	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -1.0 \text{ mA}$ $V_{CC} = 1.8 \sim 2.7 \text{ V}$
			$V_{CC} - 0.5$	—	—		$I_{OH} = -0.5 \text{ mA}$ $V_{CC} = 1.6 \sim 1.8 \text{ V}$
	出力端子(注1)	V_{OL}	—	—	0.4		$I_{OL} = 0.6 \text{ mA}$ $V_{CC} = 1.8 \sim 2.7 \text{ V}$
			—	—	0.4		$I_{OL} = 0.3 \text{ mA}$ $V_{CC} = 1.6 \sim 1.8 \text{ V}$

注 1. ポート P200 (入力ポート)、および XT1 と XT2 (SOSC ポート) は除きます。

表 2.9 I/O その他の特性

条件: $V_{CC} = 1.6 \sim 5.5 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
Low レベル定電流出力(注1)	P100、P302、P303	$CCDI_{OL}$	1.15	2	2.87	mA	PmnPFS.DSCR = b00、 $V_{CC} = 4.0 \text{ V} \sim 5.5 \text{ V}$
			0.97	1.7	2.59	mA	PmnPFS.DSCR = b00、 $V_{CC} = 2.7 \text{ V} \sim 4.0 \text{ V}$
			2.95	5	6.97	mA	PmnPFS.DSCR = b01、 $V_{CC} = 4.0 \text{ V} \sim 5.5 \text{ V}$
			2.64	4.2	6.38	mA	PmnPFS.DSCR = b01、 $V_{CC} = 3.0 \text{ V} \sim 4.0 \text{ V}$
			5.97	10	13.48	mA	PmnPFS.DSCR = b1x、 $V_{CC} = 4.0 \text{ V} \sim 5.5 \text{ V}$
			5.6	8.5	12.38	mA	PmnPFS.DSCR = b1x、 $V_{CC} = 3.3 \text{ V} \sim 4.0 \text{ V}$
入力リーク電流	RES、P200、XT1、XT2	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
スリーステートリーク電流 (オフ状態)	5 V トレラント対応ポート (P010、P011、P101~P103)	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0 \text{ V}$ $V_{in} = 5.8 \text{ V}$
	その他のポート (P200、XT1、XT2、5 V トレラント対応ポートを除く)		—	—	1.0	μA	$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
入力プリアップ抵抗	全ポート (P200、XT1、XT2 を除く)	R_U	10	20	100	k Ω	$V_{in} = 0 \text{ V}$
入力容量	P200	C_{in}	—	—	30	pF	$V_{in} = 0 \text{ V}$ $f = 1 \text{ MHz}$ $T_a = 25^\circ\text{C}$
	その他の入力端子		—	—	15		

注 1. 表に示す電流は、出力電流制御機能が有効な場合に適用されます。

2.2.5 動作電流とスタンバイ電流

表 2.10 動作電流とスタンバイ電流 (1) (1/2)

条件(注1)(注2) : VCC = 1.6~5.5 V

項目				シンボル	Typ (注11)	Max	単位	測定条件	
消費電流 (注3)	High-speed モード(注4)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注7)	ICLK = 48 MHz	I _{CC}	7.80	—	mA	(注9)(注12)
				ICLK = 32 MHz		6.45	—		(注9)
				ICLK = 16 MHz		4.00	—		
				ICLK = 8 MHz		2.70	—		
		すべての周辺クロックが有効、コードはフラッシュから実行(注7)	ICLK = 48 MHz	—	17.4	(注12)			
			スリープモード	すべての周辺クロックが無効(注7)	ICLK = 48 MHz	1.80	—		(注9)
					ICLK = 32 MHz	1.40	—		
					ICLK = 16 MHz	1.00	—		
	すべての周辺クロックが有効(注7)	ICLK = 8 MHz	ICLK = 48 MHz	3.70	—	(注10)			
			ICLK = 32 MHz	2.60	—				
			ICLK = 16 MHz	1.65	—				
			ICLK = 8 MHz	1.10	—				
	BGO 動作時の増加分(注8)					1.95	—	—	
	Middle-speed モード(注4)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注7)	ICLK = 24 MHz	I _{CC}	4.80	—	mA	(注9)
				ICLK = 4 MHz		1.35	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注7)	ICLK = 24 MHz		—	10.1		(注10)
スリープモード				すべての周辺クロックが無効(注7)		ICLK = 24 MHz	1.20		—
		ICLK = 4 MHz	0.70		—				
		すべての周辺クロックが有効(注7)	ICLK = 24 MHz	2.20	—	(注10)			
BGO 動作時の増加分(注8)					2.05	—	—		
Low-speed モード(注5)		通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注7)	ICLK = 1 MHz	I _{CC}	0.35	—		mA
	ICLK = 1 MHz			—		2.8	(注10)		
	スリープモード	すべての周辺クロックが無効(注7)	ICLK = 1 MHz	0.20		—	(注9)		
			すべての周辺クロックが有効(注7)	ICLK = 1 MHz		0.25	—	(注10)	

表 2.10 動作電流とスタンバイ電流 (1) (2/2)

条件(注1)(注2) : VCC = 1.6~5.5 V

項目				シンボル	Typ (注11)	Max	単位	測定条件	
消費電流 (注3)	Subosc- speed モ ード(注6)	通常モー ド	すべての周辺クロッ クが有効、コードはフ ラッシュから実行(注7)	I _{CC}	—	1.6	mA	(注10)	
		スリープ モード	すべての周辺クロッ クが無効(注7)		I _{CC} = 32.768 kHz	2.30	—	μA	(注10)
			すべての周辺クロッ クが有効(注7)		I _{CC} = 32.768 kHz	3.65	—		(注10)

注 1. High-speed モードの条件は、VCC = 1.8~5.5 V です。

注 2. Middle-speed モードの条件は、I_{CLK} = 24 MHz の時、VCC = 1.8~5.5V です。

注 3. 消費電流は、VCC に流れ込む電流の合計で、アナログ電源電流を含みます。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。

注 4. クロックソースは HOCO です。

注 5. クロックソースは MOCO です。

注 6. クロックソースはサブクロック発振器です。

注 7. BGO 動作は含まれません。

注 8. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。

注 9. PCLKB は、64 分周に設定されています。

注 10. PCLKB は、I_{CLK} と同じ周波数です。

注 11. VCC = 3.3 V

注 12. プリフェッチが動作中です。

表 2.11 動作電流とスタンバイ電流 (2)

条件 : VCC = 1.6~5.5 V

項目				シンボル	Typ ^(注3)	Max	単位	測定条件				
消費電流 ^(注1)	ソフトウェアスタンバイモード ^(注2)	周辺モジュール停止	すべての SRAM (0x2000_0000~0x2000_0FFF および 0x2000_4000~0x2000_6FFF) がオン	T _a = 25°C	I _{CC}	0.30	1.8	μA	—			
				T _a = 55°C		0.45	5.1					
				T _a = 85°C		1.15	20					
				T _a = 105°C		2.75	48					
				T _a = 125°C		6.95	112					
			8 KB の SRAM (0x2000_0000~0x2000_0FFF および 0x2000_4000~0x2000_4FFF) がオン	T _a = 25°C	0.30	1.8						
				T _a = 55°C	0.45	4.8						
				T _a = 85°C	1.15	19						
				T _a = 105°C	2.75	47						
				T _a = 125°C	6.95	108						
		低速オンチップでの RTC 動作時増加分 ^(注4)					0.65			—		—
		サブクロック発振器での通常動作モードの RTC 動作時増加分 ^(注4)					0.23			—		SOMCR.SODRV[1:0] = 11b (低消費電力モード 3) RTCC0.RTC128E N = 0 (通常動作モードの RTC 動作)
							0.97			—		SOMCR.SODRV[1:0] = 00b (通常モード) RTCC0.RTC128E N = 0 (通常動作モードの RTC 動作)
		サブクロック発振器での低消費電力クロックモードの RTC 動作時増加分 ^(注4)					0.22			—		SOMCR.SODRV[1:0] = 11b (低消費電力モード 3) RTCC0.RTC128E N = 1 (低消費電力クロックモードの RTC 動作)
	0.95					—		SOMCR.SODRV[1:0] = 00b (通常モード) RTCC0.RTC128E N = 1 (低消費電力クロックモードの RTC 動作)				

注 1. 消費電流は、VCC に流れ込む電流の合計で、アナログ電源電流を含みます。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。

注 2. IWDT と LVD は動作していません。

注 3. VCC = 3.3 V

注 4. 低速オンチップオシレータまたはサブ発振回路の電流を含みます。

表 2.12 動作電流とスタンバイ電流 (3)

条件(注1)、(注2) : VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電流	12ビット A/D 変換中 (高速変換時)	I _{VCCADC}	—	—	1.44	mA	—
	12ビット A/D 変換中 (低消費電力変換時)		—	—	0.78	mA	—
	CMP 有効 (High-speed モード時、チャンネルごと)	I _{VCCCMP}	—	6.0	—	μA	—
	CMP 有効 (Low-speed モード時、チャンネルごと)		—	2.0	—	μA	—
	DAC8 有効 (チャンネルごと) (注1)	I _{VCCDAC}	—	—	0.5	mA	—
基準電源電流	12ビット A/D 変換中	I _{REFH}	—	—	0.15	mA	—
温度センサ (TSN) 動作電流(注2)		I _{TSN}	—	0.13	—	mA	—
12ビット A/D コンバータ内部基準電圧電流(注2)		I _{ADREF}	—	0.13	—	mA	—
出力電流制御動作電流	CCDE レジスタが 0x00 ではない	I _{CCDA}	—	120(注3)	—	μA	—
			—	200	—		
	単一出力電流制御ポートあたり(注4)	I _{CCDP}	—	30	—		
			—	200	—		Low レベル出力電流の設定 : 2~15 mA

注 1. DAC8 の使用条件は、VCC = 2.7~5.5 V です。

注 2. TSN と内部基準電圧の使用条件は、VCC = 1.8~5.5 V です。

注 3. VCC = 4 V の場合、出力電圧制御ポートが CCDIOL 標準電流 CCTRM.IADJ 設定時にこの電流は電源電流に加算されます。

注 4. この電流には、I/O ポート端子に流れる電流は含まれていません。

2.2.6 VCC 立ち上がり/立ち下がり勾配とリップル周波数

表 2.13 VCC 立ち上がり/立ち下がり勾配の特性

条件 : VCC = 0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり勾配	起動時電圧モニタ 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧モニタ 0 リセット有効(注1)				—		

注 1. OFS1.LVDAS = 0 のとき

表 2.14 立ち上がり/立ち下がり勾配とリップル周波数特性

条件 : VCC = 1.6~5.5 V

リップル電圧は、VCC 上限 (5.5 V) と下限 (1.6 V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。VCC 変動が VCC±10% を超える場合は、許容電圧変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 2.2 $V_r(VCC) \leq VCC \times 0.2$
		—	—	1	MHz	図 2.2 $V_r(VCC) \leq VCC \times 0.08$
		—	—	10	MHz	図 2.2 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり/立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が VCC±10% を超える場合

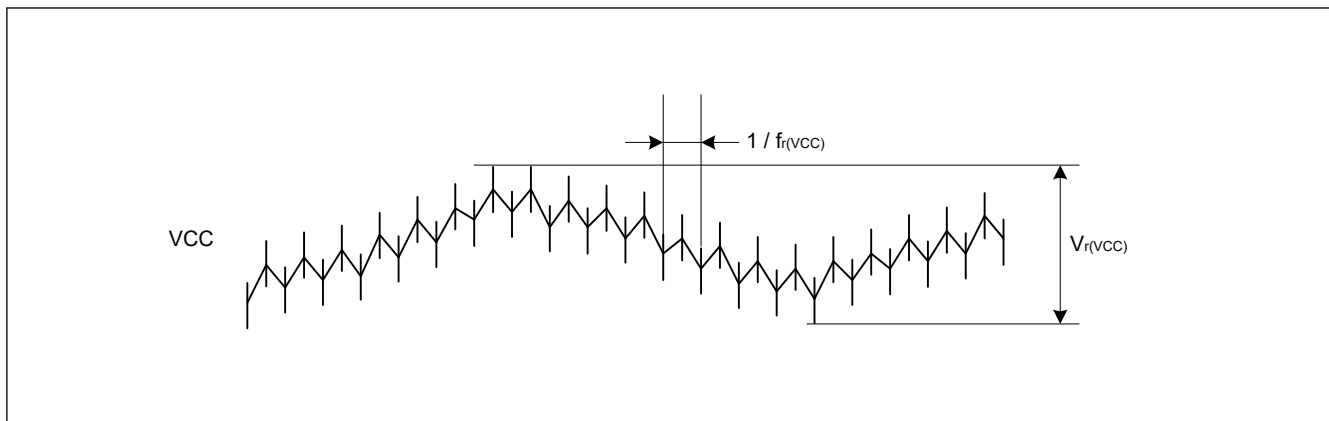


図 2.2 リップル波形

2.3 AC 特性

2.3.1 周波数

表 2.15 High-speed モード時の動作周波数

条件: VCC = 1.8~5.5 V

項目	シンボル	Min	Typ	Max(注3)	単位		
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8~5.5 V	f	0.032768	—	48	MHz
	周辺モジュールクロック (PCLKB)	1.8~5.5 V	—	—	48		

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

注 3. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.19 を参照してください。

表 2.16 Middle-speed モードの動作周波数

条件: VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max(注3)	単位		
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8~5.5 V	f	0.032768	—	24	MHz
		1.6~1.8 V	—	0.032768	—	4	
	周辺モジュールクロック (PCLKB)	1.8~5.5 V	—	—	24		
		1.6~1.8 V	—	—	4		

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

注 3. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.19 を参照してください。

表 2.17 Low-speed モードの動作周波数

条件: VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max(注3)	単位		
動作周波数	システムクロック (ICLK)(注1)(注2)	1.6~5.5 V	f	0.032768	—	1	MHz
	周辺モジュールクロック (PCLKB)	1.6~5.5 V	—	—	1		

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

注 3. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.19 を参照してください。

表 2.18 Subosc-speed モードの動作周波数

項目	シンボル	Min	Typ	Max	単位		
動作周波数	システムクロック (ICLK) ^(注1)	1.6~5.5 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB)	1.6~5.5 V	—	—	37.6832		

注 1. フラッシュメモリのプログラムおよびイレースはできません。

2.3.2 クロックタイミング

表 2.19 クロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t _{Xcyc}	50	—	—	ns	図 2.3
EXTAL 外部クロック入力 High レベルパルス幅	t _{XH}	20	—	—	ns	—
EXTAL 外部クロック入力 Low レベルパルス幅	t _{XL}	20	—	—	ns	—
EXTAL 外部クロック立ち上がり時間	t _{Xr}	—	—	5	ns	—
EXTAL 外部クロック立ち下がり時間	t _{Xf}	—	—	5	ns	—
EXTAL 外部クロック入力待機時間 ^(注1)	t _{EXWT}	0.3	—	—	μs	—
EXTAL 外部クロック入力周波数	f _{EXTAL}	—	—	20	MHz	1.8 ≤ VCC ≤ 5.5
		—	—	4	MHz	1.6 ≤ VCC < 1.8
LOCO クロック発振周波数	f _{LOCO}	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t _{LOCO}	—	—	100	μs	図 2.4
IWDT 専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f _{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t _{MOCO}	—	—	1	μs	—
HOCO クロック発振周波数 ^(注5)	f _{HOCO24}	23.64	24	24.36	MHz	Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f _{HOCO32}	31.52	32	32.48		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f _{HOCO48}	47.28	48	48.72		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
HOCO クロック発振安定待機時間 ^(注3) ^(注4)	t _{HOCO24}	—	6.7	7.7	μs	図 2.5
	t _{HOCO32}	—	—	—		
	t _{HOCO48}	—	—	—		
サブクロック発振器発振周波数	f _{SUB}	—	32.768	—	kHz	—
サブクロック発振安定時間 ^(注2)	t _{SUBOSC}	—	0.5	—	s	図 2.6

注 1. 外部クロックが安定しているとき、外部クロック入力停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようにするまでの時間

注 2. サブクロック発振器の動作を開始するために SOSCCR.SOSTP ビットの設定を変更したら、サブクロック発振器の使用は必ずサブクロック発振安定待機時間が経過してから開始してください。サブクロック発振安定待ち時間は発振器製造者の推奨値を使用してください。

注 3. MOCO 停止状態で HOCO.CR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振中に HOCO.CR.HCSTP ビットを 0 (動作) にすると、この仕様は 1 μs 短くなります。

注 4. OSCSF.HOCOSF を確認して、安定時間が経過したかを確認してください。

注 5. 出荷テスト時の精度

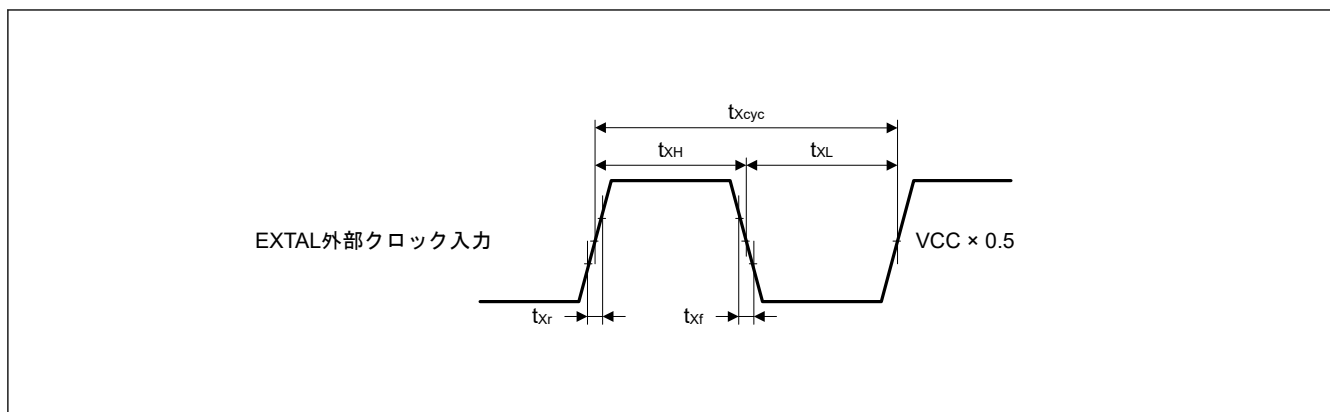


図 2.3 EXTAL 外部クロック入力タイミング

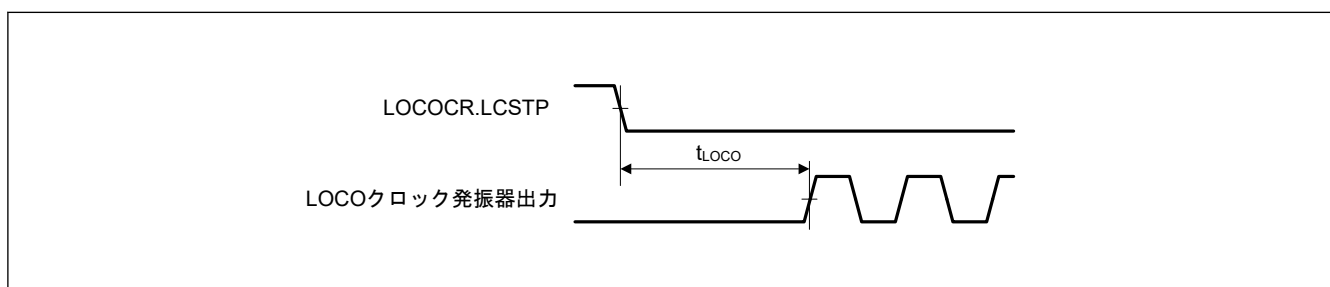


図 2.4 LOCO クロック発振開始タイミング

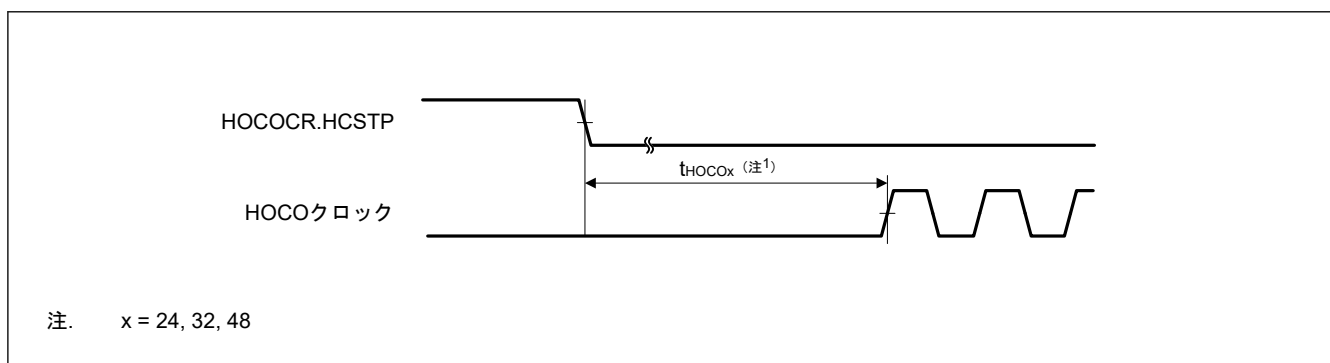


図 2.5 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定により開始)

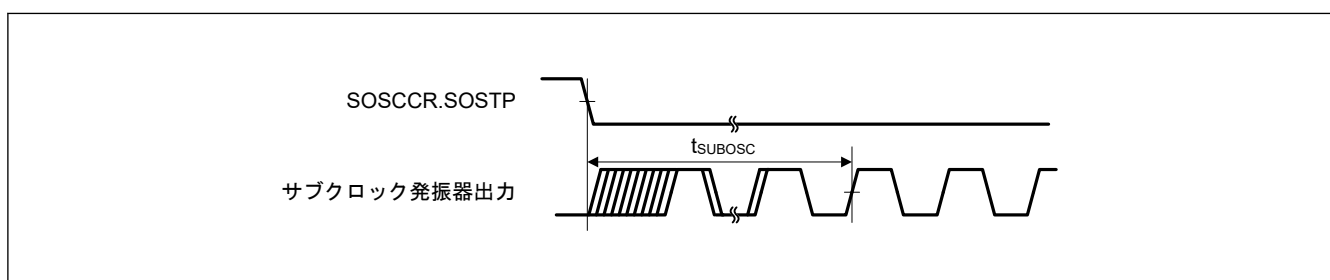


図 2.6 サブクロック発振開始タイミング

2.3.3 リセットタイミング

表 2.20 リセットタイミング (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	t _{RESWP}	10	—	—	ms	図 2.7
	電源投入時以外	t _{RESW}	30	—	—	μs	図 2.8

表 2.20 リセットタイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES 解除後の待機時間 (電源投入時)	LVD0 有効(注1)	t_{RESWT}	—	0.9	—	ms	図 2.7
	LVD0 無効(注2)		—	0.2	—		
RES 解除後の待機時間 (電源投入中)	LVD0 有効(注1)	t_{RESWT2}	—	0.9	—	ms	図 2.8
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間 (ウォッチドッグタイマリセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスエラーリセット、デバッグリセット、ソフトウェアリセット)	LVD0 有効(注1)	t_{RESWT3}	—	0.9	—	ms	図 2.9
	LVD0 無効(注2)		—	0.2	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

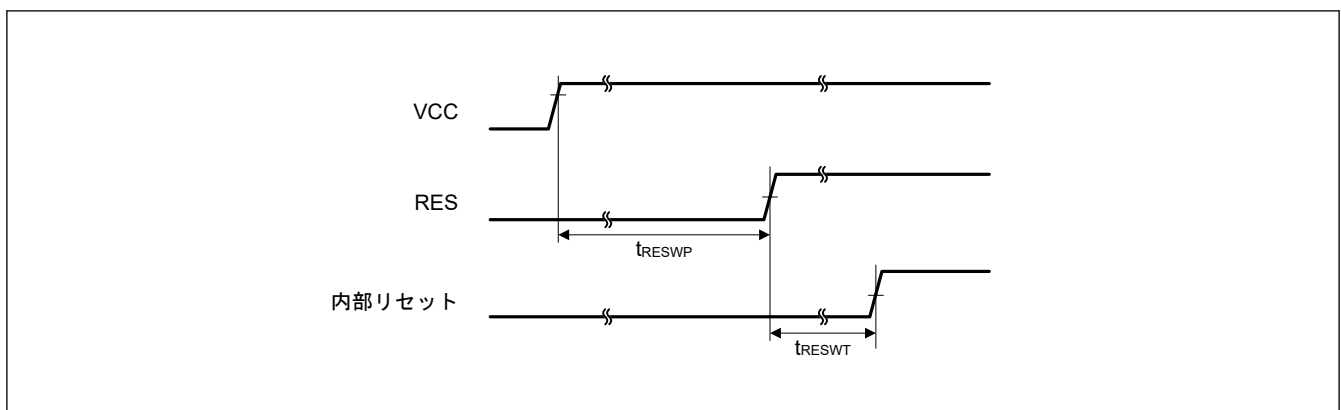


図 2.7 電源投入時リセット入力タイミング

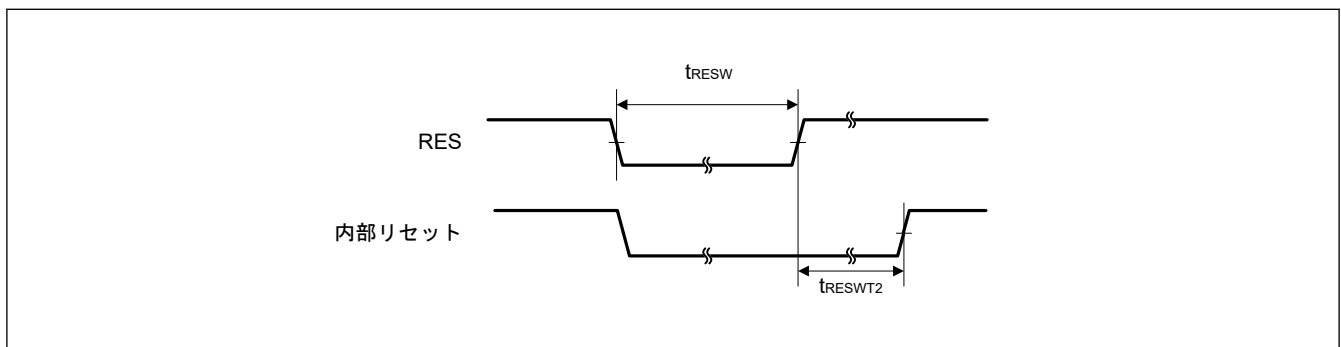


図 2.8 リセット入力タイミング (1)

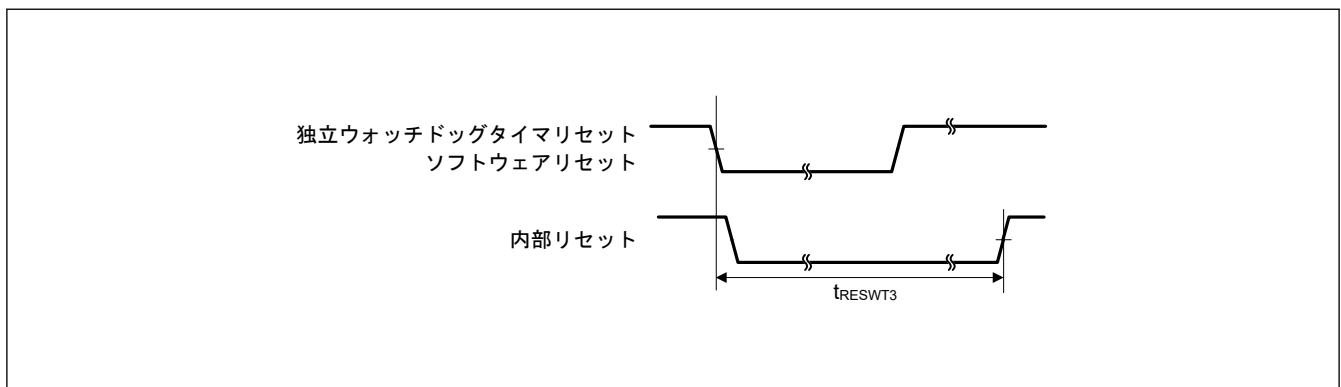


図 2.9 リセット入力タイミング (2)

2.3.4 ウェイクアップ時間

表 2.21 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speed モード	外部クロック入力	システムクロックソースは外部クロック入力 (20 MHz)	t_{SBYEX}	—	2.4	3.1	μs	図 2.10
			システムクロックソースは HOCO (HOCO クロックは 32 MHz) (注2)			—	7.4		
		システムクロックソースは HOCO (HOCO クロックは 48 MHz) (注3)	—	7.2	8.9				
		システムクロックソースは MOCO (8 MHz)	t_{SBYMO}	—	4	5			

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. システムクロックは 32 MHz です。

注 3. システムクロックは 48 MHz です。

表 2.22 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	外部クロック入力	システムクロックソースは外部クロック入力 (20 MHz) VCC = 1.8 V~5.5 V	t_{SBYEX}	—	2.4	3.1	μs	図 2.10
			システムクロックソースは外部クロック入力 (20 MHz) VCC = 1.6 V~1.8 V			—	11.7		
		システムクロックソースは HOCO(注2)	VCC = 1.8 V~5.5 V	t_{SBYHO}	—	7.7	9.4	μs	
			VCC = 1.6 V~1.8 V			—	15.7		
		システムクロックソースは MOCO (8 MHz)	VCC = 1.8 V~5.5 V	t_{SBYMO}	—	4	5	μs	
			VCC = 1.6 V~1.8 V			—	7.2		

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. システムクロックは 24 MHz です。

表 2.23 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Low-speed モード	外部クロック入力	システムクロックソースは外部クロック入力 (1 MHz)	t_{SBYEX}	—	25	40	μs	図 2.10
			システムクロックソースは MOCO (1 MHz)			t_{SBYMO}	—		

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

表 2.24 低消費電力モードからの復帰タイミング (4)

項目	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	システムクロックソースはサブクロック発振器 (32.768 kHz)	—	0.85	1	ms	図 2.10
	システムクロックソースは LOCO (32.768 kHz)	—	0.85	1.2	ms	

注 1. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

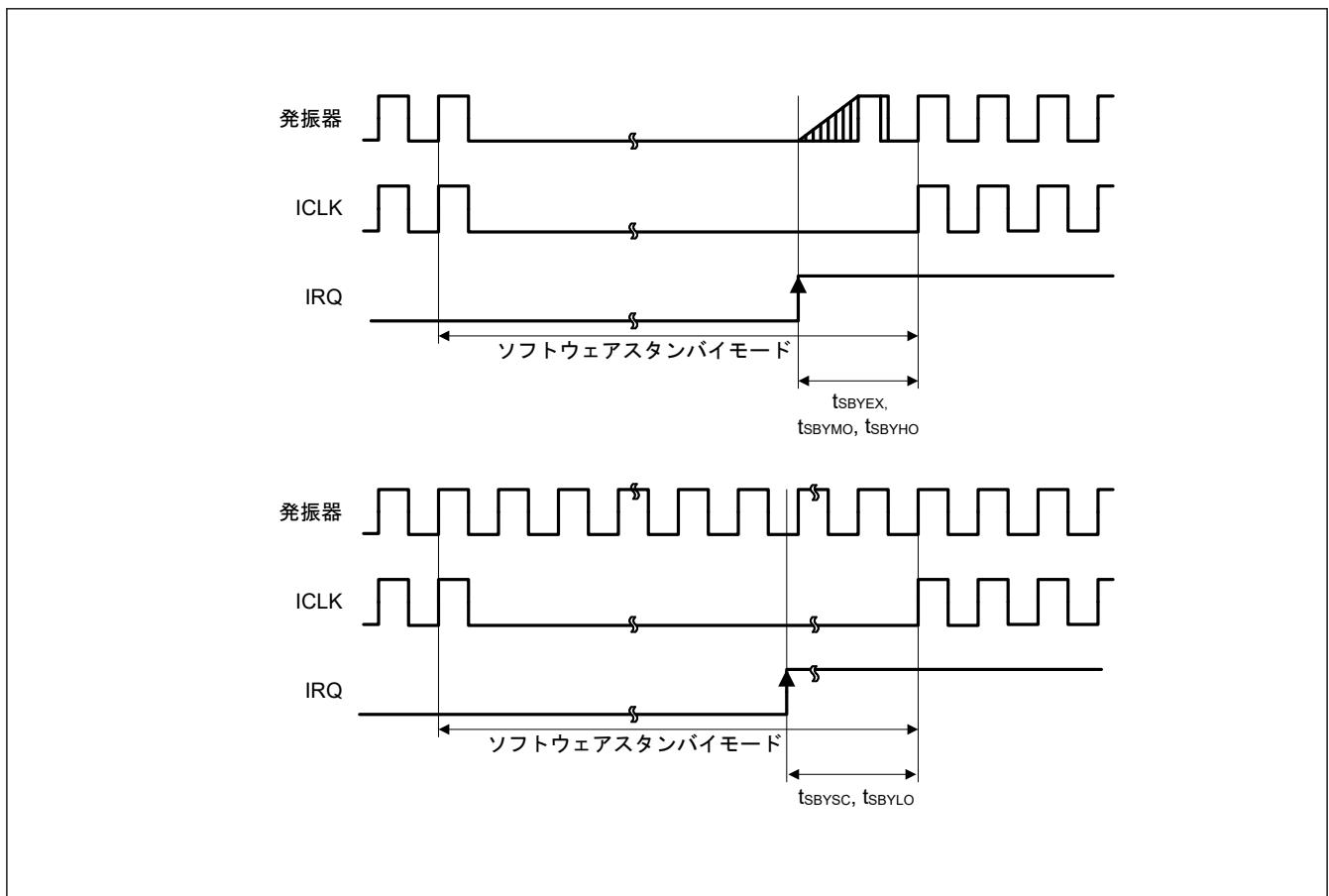


図 2.10 ソフトウェアスタンバイモード解除タイミング

表 2.25 低消費電力モードからの復帰タイミング (5)

項目	シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	t_{SNZ}	—	6.6	8.1	μs	図 2.11
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V ~ 5.5 V	t_{SNZ}	—	6.7	8.2	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.6 V ~ 1.8 V	t_{SNZ}	—	10.8	12.9	μs	
	Low-speed モード システムクロックソースは MOCO (1 MHz)	t_{SNZ}	—	9.2	16	μs	

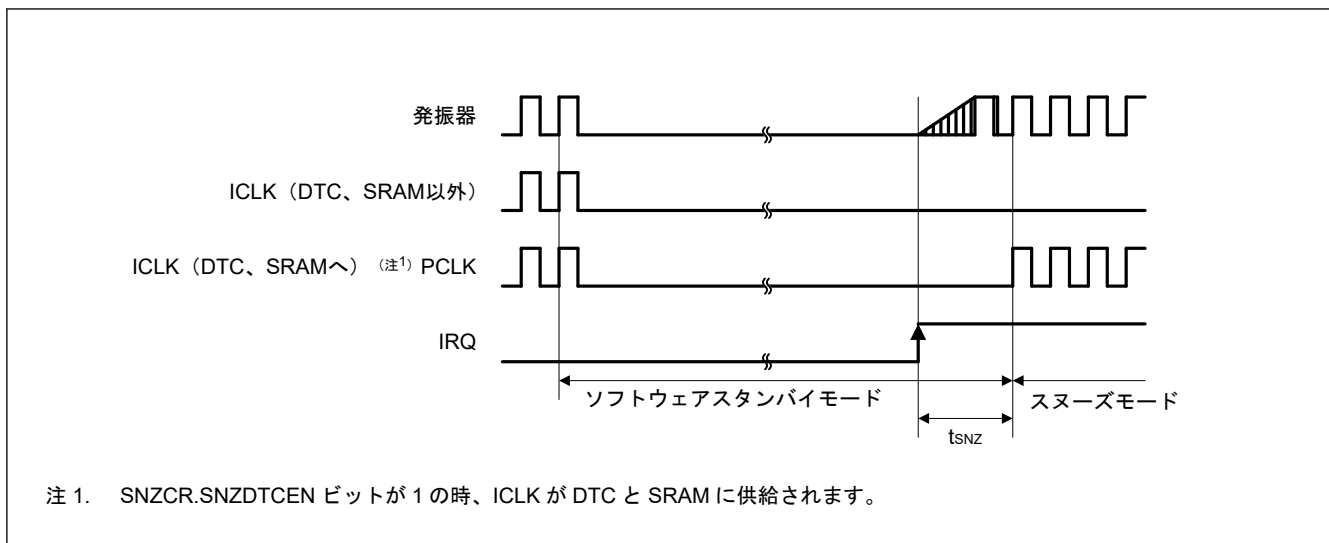


図 2.11 ソフトウェアスタンバイモードからスヌーズモードへの復帰時間

2.3.5 NMI/IRQ ノイズフィルタ

表 2.26 NMI/IRQ ノイズフィルタ (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効
		$t_{Pcyc} \times 2$ (注1)	—	—		
		200	—	—		NMI デジタルフィルタ有効
		$t_{NMICK} \times 3.5$ (注2)	—	—		

表 2.26 NMI/IRQ ノイズフィルタ (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効
		$t_{Pcyc} \times 2$ (注1)	—	—		
		200	—	—		IRQ デジタルフィルタ有効
		$t_{IRQCK} \times 3.5$ (注3)	—	—		
				$t_{IRQCK} \times 3 > 200$ ns		

- 注. ソフトウェアスタンバイモード時は最小 200 ns です。
- 注. クロックソースを切り替える場合、切り替えられるクロックソースの 4 クロックサイクルを足す必要があります。
- 注 1. t_{Pcyc} は PCLKB の周期を意味します。
- 注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。
- 注 3. t_{IRQCK} は、IRQ_i デジタルフィルタサンプリングクロックの周期を示します (i = 0~7)。

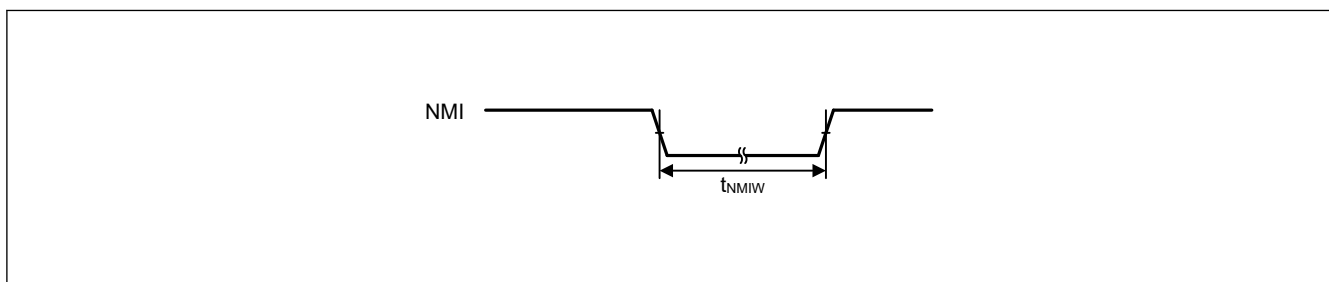


図 2.12 NMI 割り込み入カタイミング

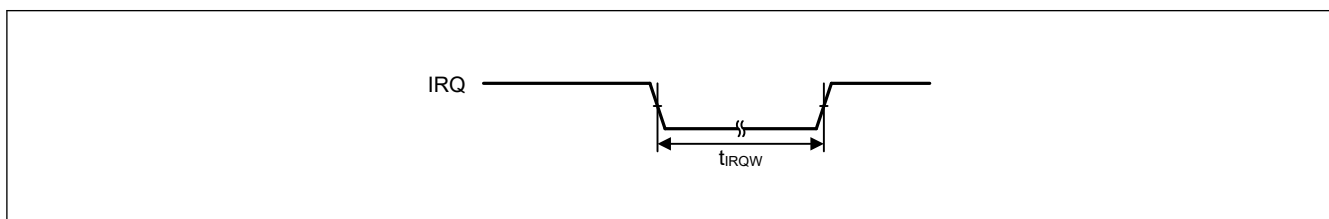


図 2.13 IRQ 割り込み入カタイミング

2.3.6 I/O ポート、KINT、ADC12 のトリガタイミング

表 2.27 I/O ポート、KINT、ADC12 のトリガタイミング

項目	シンボル	Min	Max	単位(注1)	測定条件
I/O ポート 入カデータパルス幅	t_{PRW}	2	—	t_{Pcyc}	図 2.14
KINT KR _n (n = 00~05) パルス幅	t_{KR}	250	—	ns	図 2.15

- 注. クロックソースを切り替える場合、切り替えるクロックソースに 4 クロックサイクルを足します。
- 注 1. t_{Pcyc} : PCLKB サイクル

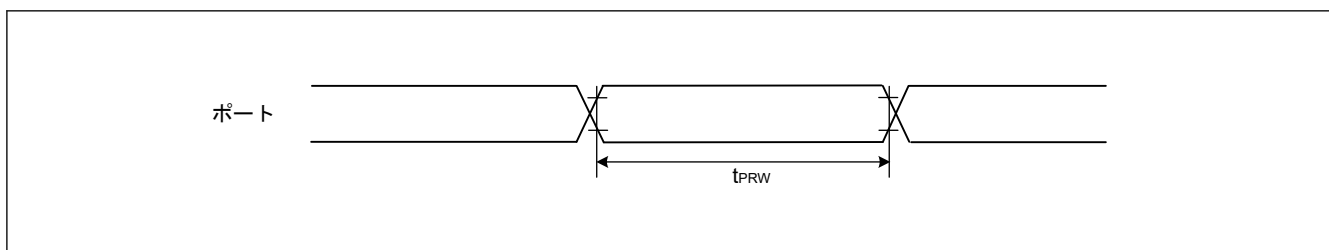


図 2.14 I/O ポート入カタイミング

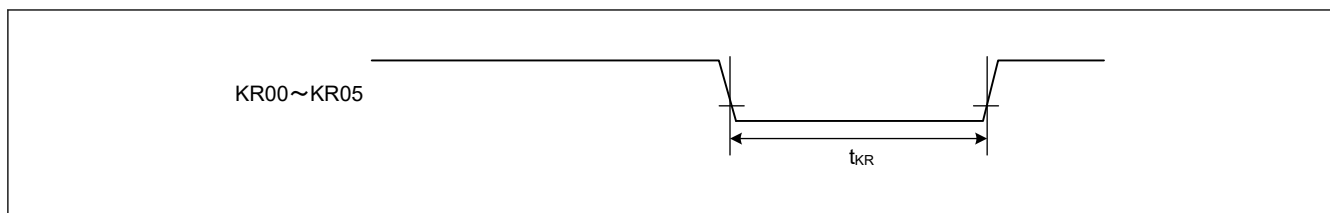


図 2.15 KINT 入力タイミング

2.3.7 TAU タイミング

表 2.28 TAU タイミング

条件 : $T_a = -40 \sim +125^\circ\text{C}$ 、 $V_{CC} = 1.6 \sim 5.5 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
TI00~TI07 入力 High レベル幅	t_{TIH}	$1/f_{MCK} + 10$	—	—	ns	図 2.16
TI00~TI07 入力 Low レベル幅	t_{TIL}	—	—	—	ns	
TO00~TO07 出力周波数	High-speed モード	$2.7 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$	f_{TO}	—	24	MHz
		$2.4 \text{ V} \leq V_{CC} \leq 2.7 \text{ V}$	—	12		
		$1.8 \text{ V} \leq V_{CC} \leq 2.4 \text{ V}$	—	6		
	Middle-speed モード	$2.7 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$	—	24		
		$2.4 \text{ V} \leq V_{CC} \leq 2.7 \text{ V}$	—	12		
		$1.8 \text{ V} \leq V_{CC} \leq 2.4 \text{ V}$	—	6		
		$1.6 \leq V_{CC} \leq 1.8 \text{ V}$	—	2		
	Low-speed モード	$1.6 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$	—	1		

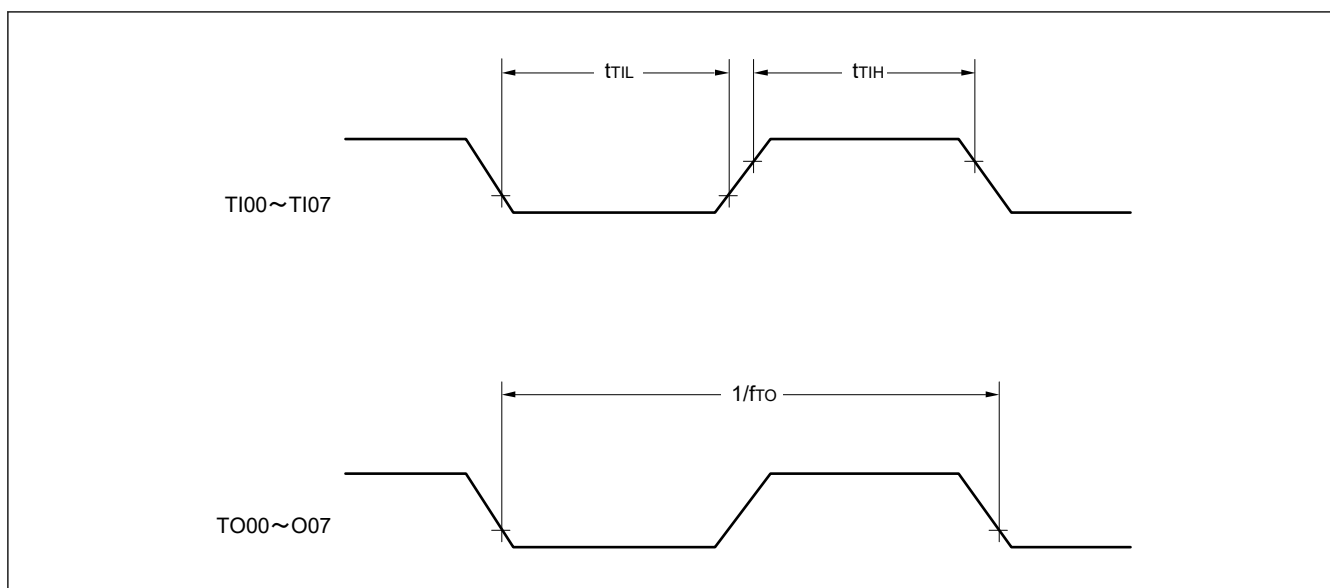
注. f_{MCK} : タイマアレイユニット動作クロック周波数

図 2.16 TAU 入出力タイミング

2.3.8 CAC タイミング

表 2.29 CAC タイミング

条件 : VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
CAC CACREF 入力パルス幅	t_{CACREF}	$t_{Pcyc}^{(注1)} \leq t_{CAC}^{(注2)}$	$4.5 \times t_{CAC} + 3 \times t_{Pcyc}$	—	—	ns	—
		$t_{Pcyc}^{(注1)} > t_{CAC}^{(注2)}$	$5 \times t_{CAC} + 6.5 \times t_{Pcyc}$	—	—	ns	

注 1. t_{Pcyc} : PCLKB サイクル注 2. t_{CAC} : CAC カウントクロックソースの周期

2.3.9 CLKOUT タイミング

表 2.30 CLKOUT タイミング

項目	シンボル	Min	Max	単位	測定条件		
CLKOUT	CLKOUT 端子出力サイクル (注1)	$2.7 V \leq VCC \leq 5.5 V$	t_{Cyc}	62.5	—	ns 図 2.17	
		$1.8 V \leq VCC < 2.7 V$	125	—			
		$1.6 V \leq VCC < 1.8 V$	250	—			
	CLKOUT 端子 High レベルパルス幅 (注2)	$2.7 V \leq VCC \leq 5.5 V$	t_{CH}	15	—		ns
		$1.8 V \leq VCC < 2.7 V$	30	—			
		$1.6 V \leq VCC < 1.8 V$	150	—			
	CLKOUT 端子 Low レベルパルス幅 (注2)	$2.7 V \leq VCC \leq 5.5 V$	t_{CL}	15	—		ns
		$1.8 V \leq VCC < 2.7 V$	30	—			
		$1.6 V \leq VCC < 1.8 V$	150	—			
	CLKOUT 端子出力立ち上がり時間	$2.7 V \leq VCC \leq 5.5 V$	t_{Cr}	—	12		ns
		$1.8 V \leq VCC < 2.7 V$	—	25			
		$1.6 V \leq VCC < 1.8 V$	—	50			
CLKOUT 端子出力立ち下がり時間	$2.7 V \leq VCC \leq 5.5 V$	t_{Cr}	—	12	ns		
	$1.8 V \leq VCC < 2.7 V$	—	25				
	$1.6 V \leq VCC < 1.8 V$	—	50				

注 1. EXTAL 外部クロック入力の 1 分周 (CKOCR.CKOSSEL[2:0] ビット = 011b かつ CKOCR.CKODIV[2:0] ビット = 000b) を使用して CLKOUT から出力する場合は、入力デューティサイクル 45~55% で表 2.30 の仕様を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSSEL[2:0] ビット = 001b)、クロック出力分周比を 2 分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

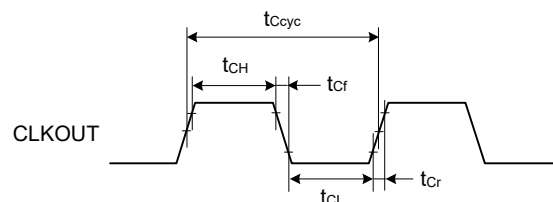
測定条件 : $V_{OH} = VCC \times 0.7$, $V_{OL} = VCC \times 0.3$, $I_{OH} = -1.0 \text{ mA}$, $I_{OL} = 1.0 \text{ mA}$, $C = 30 \text{ pF}$

図 2.17 CLKOUT 出力タイミング

2.3.10 シリアルアレイユニット (SAU)

表 2.31 UART 通信

条件 : $T_a = -40 \sim +125^\circ\text{C}$, $V_{CC} = 1.6 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
転送速度(注1)	$1.6 \leq V_{CC} \leq 5.5 \text{ V}$ 最大転送速度 f_{MCK} の理論上の値 = $PCLKB$ (注2)	—	$f_{MCK}/6$	—	$f_{MCK}/6$	—	$f_{MCK}/6$	bps	図 2.18 図 2.19
		—	5.3	—	4	—	0.16	Mbps	

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、TxDq 端子の CMOS 出力を選択します。

注. ● q : UART 番号 (q = 0~2)、gh: ポート番号 (g = 0~4、h = 00~15)

● f_{MCK} : シリアルアレイユニット動作クロック周波数

注 1. スヌーズモードでの転送速度は 4800~9600 bps の範囲内です。

注 2. PCLKB の最大動作周波数は以下のとおりです。

High-speed モード : 32 MHz ($1.8 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$)

Middle-speed モード : 24 MHz ($1.8 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$)、4 MHz ($1.6 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$)

Low-speed モード : 1 MHz ($1.6 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$)

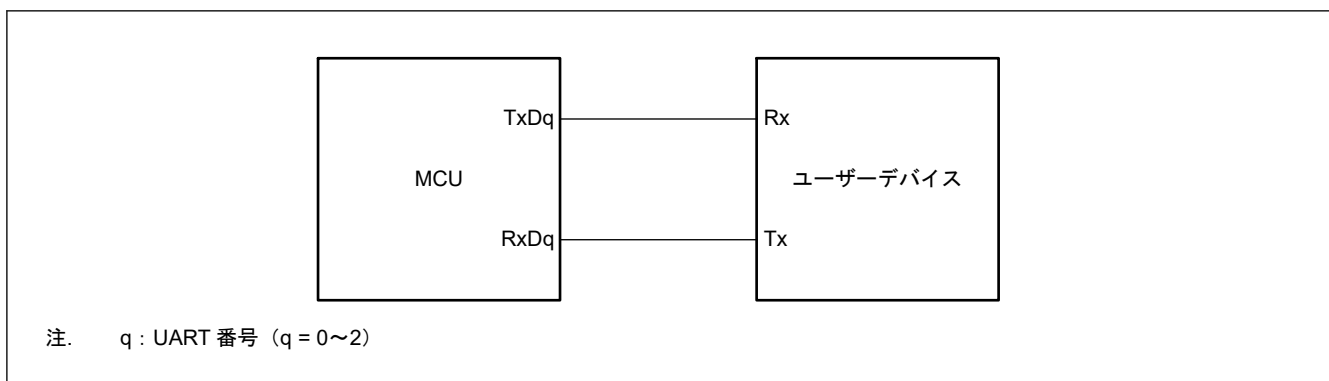


図 2.18 UART 通信での接続

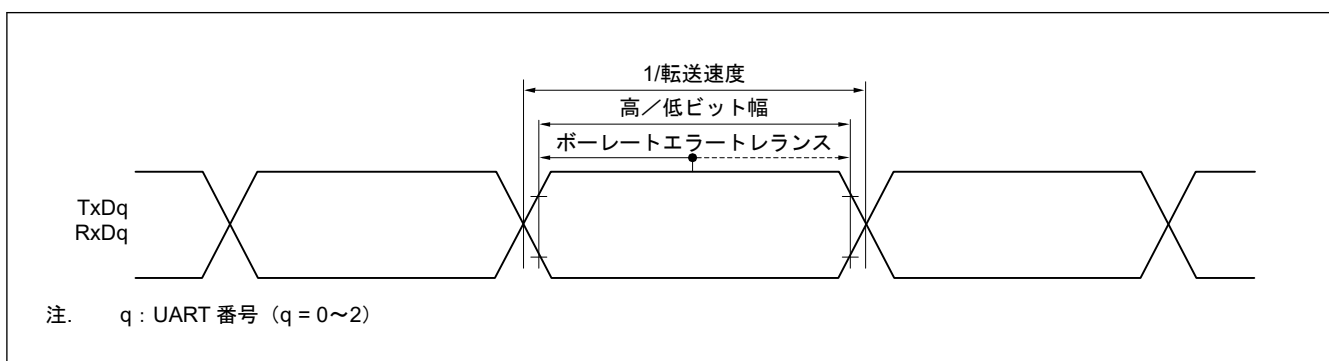


図 2.19 UART 通信のビット幅

表 2.32 マスタモードでの簡易 SPI 通信 (SPI00 のみ)

条件 : $T_a = -40 \sim +125^\circ\text{C}$, $V_{CC} = 2.7 \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件	
		Min	Max	Min	Max	Min	Max			
SCKp サイクルタイム	$t_{KCY1} \geq 2/PCLKB$ $4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$ $2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	t_{KCY1}	62.5	—	83.3	—	1000	—	ns	☒ 2.21 ☒ 2.22
			83.3	—	125	—	1000	—	ns	
SCKp High/Low レベル幅	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	t_{KH1} , t_{KL1}	$t_{KCY1}/2 - 7$	—	$t_{KCY1}/2 - 10$	—	$t_{KCY1}/2 - 50$	—	ns	
	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		$t_{KCY1}/2 - 10$	—	$t_{KCY1}/2 - 15$	—	$t_{KCY1}/2 - 50$	—	ns	
Slp セットアップ時間 (SCKp↑まで) (注1)	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	t_{SIK1}	23	—	33	—	110	—	ns	
	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		33	—	50	—	110	—	ns	
Slp ホールド時間 (SCKp↑から) (注1)	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	t_{KSI1}	10	—	10	—	10	—	ns	
SCKp↓から SOp 出力までの遅延時間(注2)	$C = 20\text{ pF}$ (注3)	t_{KSO1}	—	10	—	10	—	10	ns	

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、SOp 端子および SCKp 端子の CMOS 出力を選択します。

注. p : SPI 番号 (p = 00), m : ユニット番号 (m = 0), n : チャネル番号 (n = 0), gh : ポート番号 (g = 0~4, h = 00~15)

注 1. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] が 01b または 10b の場合、Slp セットアップ時間の設定は「SCKp↓まで」になり、Slp ホールド時間の設定は「SCKp↓から」になります。

注 2. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] = 01b または 10b のとき、SOp 出力までの遅延時間の設定が「SCKp↑から」変わります。

注 3. C は SCKp および SOp 出力回線の負荷容量です。

表 2.33 マスタモードでの簡易 SPI 通信 (SPI00 以外)

条件: $T_a = -40 \sim +125^\circ\text{C}$, $V_{CC} = 1.6 \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$

項目	シンボル	High-speed モード(注1)		Middle-speed モード		Low-speed モード		単位	測定条件			
		Min	Max	Min	Max	Min	Max					
SCKp サイクルタイム	$t_{\text{KCY1}} \geq 4/\text{PCLKB}$	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	t_{KCY1}	125	—	166	—	2000	—	ns 図 2.21 図 2.22		
				$2.4\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	250	—	250	—	2000		—	ns
				$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	500	—	500	—	2000		—	ns
				$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	1000	—	2000		—	ns
SCKp High/Low レベル幅	$t_{\text{KH1}}, t_{\text{KL1}}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$t_{\text{KCY1}/2} - 12$	—	$t_{\text{KCY1}/2} - 21$	—	$t_{\text{KCY1}/2} - 50$	—	ns			
		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$t_{\text{KCY1}/2} - 18$	—	$t_{\text{KCY1}/2} - 25$	—	$t_{\text{KCY1}/2} - 50$	—	ns			
		$2.4\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$t_{\text{KCY1}/2} - 38$	—	$t_{\text{KCY1}/2} - 38$	—	$t_{\text{KCY1}/2} - 50$	—	ns			
		$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$t_{\text{KCY1}/2} - 50$	—	$t_{\text{KCY1}/2} - 50$	—	$t_{\text{KCY1}/2} - 50$	—	ns			
		$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	$t_{\text{KCY1}/2} - 100$	—	$t_{\text{KCY1}/2} - 100$	—	ns			
Slp セットアップ時間 (SCKp↑まで) (注2)	t_{SIK1}	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	44	—	54	—	110	—	ns			
		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	44	—	54	—	110	—	ns			
		$2.4\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	75	—	75	—	110	—	ns			
		$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	110	—	110	—	110	—	ns			
		$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	220	—	220	—	ns			
Slp ホールド時間 (SCKp↓から) (注2)	t_{KSI1}	$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	19	—	19	—	19	—	ns			
SCKp↓から SOp 出力までの遅延時間(注3)	t_{KSO1}	$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$ $C = 30\text{ pF}$ (注4)	—	25	—	25	—	25	ns			

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、SOp 端子および SCKp 端子の CMOS 出力を選択します。
 注. p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m : ユニット番号、n : チャネル番号 (mn = 00~03, 10~11)、gh : ポート番号 (g = 0~4、h = 00~15)

注 1. High-speed モード時の動作電圧は、 $1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$ です。

注 2. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] が 01b または 10b の場合、Slp セットアップ時間の設定は「SCKp↓まで」になり、Slp ホールド時間の設定は「SCKp↓から」になります。

注 3. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] = 01b または 10b のとき、SOp 出力までの遅延時間の設定が「SCKp↑から」変わります。

注 4. C は SCKp および SOp 出力回線の負荷容量です。

表 2.34 スレーブモードでの簡易 SPI 通信

条件: $T_a = -40 \sim +125^\circ\text{C}$, $V_{CC} = 1.6 \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$

項目	シンボル		High-speed モード(注1)		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
SCKp サイクルタイム(注2)	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$20\text{ MHz} < f_{MCK}$	t_{KCY2}	$8/f_{MCK}$	—	$8/f_{MCK}$	—	—	ns	図 2.21 図 2.22
		$f_{MCK} \leq 20\text{ MHz}$		$6/f_{MCK}$	—	$6/f_{MCK}$	—	$6/f_{MCK}$	ns	
	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$16\text{ MHz} < f_{MCK}$		$8/f_{MCK}$	—	$8/f_{MCK}$	—	—	ns	
		$f_{MCK} \leq 16\text{ MHz}$		$6/f_{MCK}$	—	$6/f_{MCK}$	—	$6/f_{MCK}$	ns	
	$2.4\text{ V} \leq V_{CC} \leq 5.5\text{ V}$			$6/f_{MCK} + 500$	—	$6/f_{MCK} + 500$	—	$6/f_{MCK} + 500$	ns	
	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$			$6/f_{MCK} + 750$	—	$6/f_{MCK} + 750$	—	$6/f_{MCK} + 750$	ns	
	$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$			—	—	$6/f_{MCK} + 1500$	—	$6/f_{MCK} + 1500$	ns	
SCKp High/Low レベル幅	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		t_{KH2}, t_{KL2}	$t_{KCY2}/2 - 7$	—	$t_{KCY2}/2 - 7$	—	$t_{KCY2}/2 - 7$	ns	
	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$			$t_{KCY2}/2 - 8$	—	$t_{KCY2}/2 - 8$	—	$t_{KCY2}/2 - 8$	ns	
	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$			$t_{KCY2}/2 - 18$	—	$t_{KCY2}/2 - 18$	—	$t_{KCY2}/2 - 18$	ns	
	$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$			—	—	$t_{KCY2}/2 - 66$	—	$t_{KCY2}/2 - 66$	ns	
Slp セットアップ時間 (SCKp↑まで) (注3)	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		t_{SIK2}	$1/f_{MCK} + 20$	—	$1/f_{MCK} + 30$	—	$1/f_{MCK} + 30$	ns	
	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$			$1/f_{MCK} + 30$	—	$1/f_{MCK} + 30$	—	$1/f_{MCK} + 30$	ns	
	$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$			—	—	$1/f_{MCK} + 40$	—	$1/f_{MCK} + 40$	ns	
Slp ホールド時間 (SCKp↑から) (注3)	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		t_{KSI2}	$1/f_{MCK} + 31$	—	$1/f_{MCK} + 31$	—	$1/f_{MCK} + 31$	ns	
	$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$			—	—	$1/f_{MCK} + 250$	—	$1/f_{MCK} + 250$	ns	
SCKp↓から SOP 出力までの遅延時間(注4)	C = 30 pF(注5)	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	t_{KSO2}	—	$2/f_{MCK} + 44$	—	$2/f_{MCK} + 110$	—	$2/f_{MCK} + 110$	ns
		$2.4\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		—	$2/f_{MCK} + 75$	—	$2/f_{MCK} + 110$	—	$2/f_{MCK} + 110$	ns
		$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		—	$2/f_{MCK} + 110$	—	$2/f_{MCK} + 110$	—	$2/f_{MCK} + 110$	ns
		$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		—	—	—	$2/f_{MCK} + 220$	—	$2/f_{MCK} + 220$	ns

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、SOP 端子の CMOS 出力を選択します。

注.

- p: SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m: ユニット番号、n: チャンネル番号 (mn = 00~03, 10~11)、gh: ポート番号 (g = 0~4、h = 00~15)

- f_{MCK} : シリアルアレイユニット動作クロック周波数

注 1. High-speed モード時の動作電圧は、 $1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$ です。

注 2. スヌーズモードでの転送速度は最大 0.5 Mbps です。

注 3. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] が 01b または 10b の場合、Slp セットアップ時間の設定は「SCKp↓まで」になり、Slp ホールド時間の設定は「SCKp↓から」になります。

注 4. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] = 01b または 10b のとき、SO_p 出力までの遅延時間の設定が「SCK_p」から変わります。

注 5. C は SO_p 出力回線の負荷容量です。

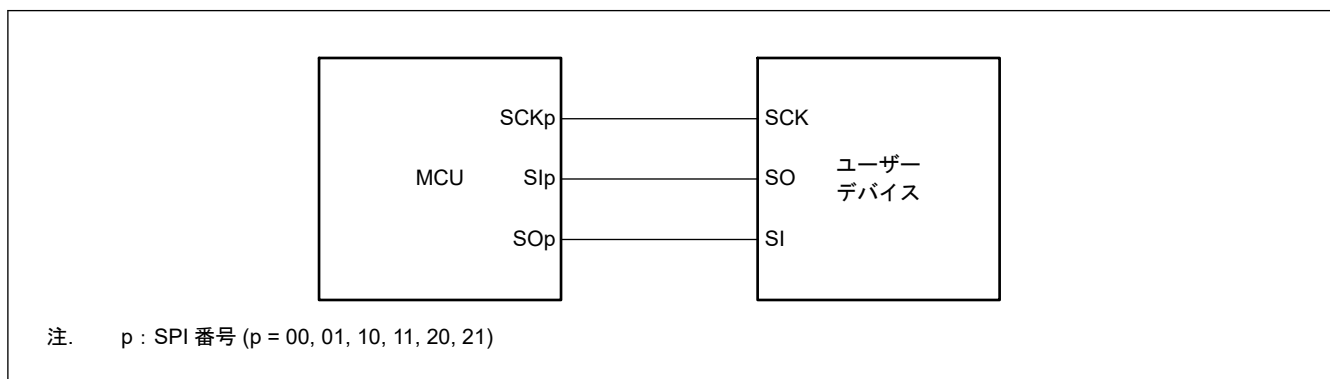


図 2.20 簡易 SPI 通信での接続

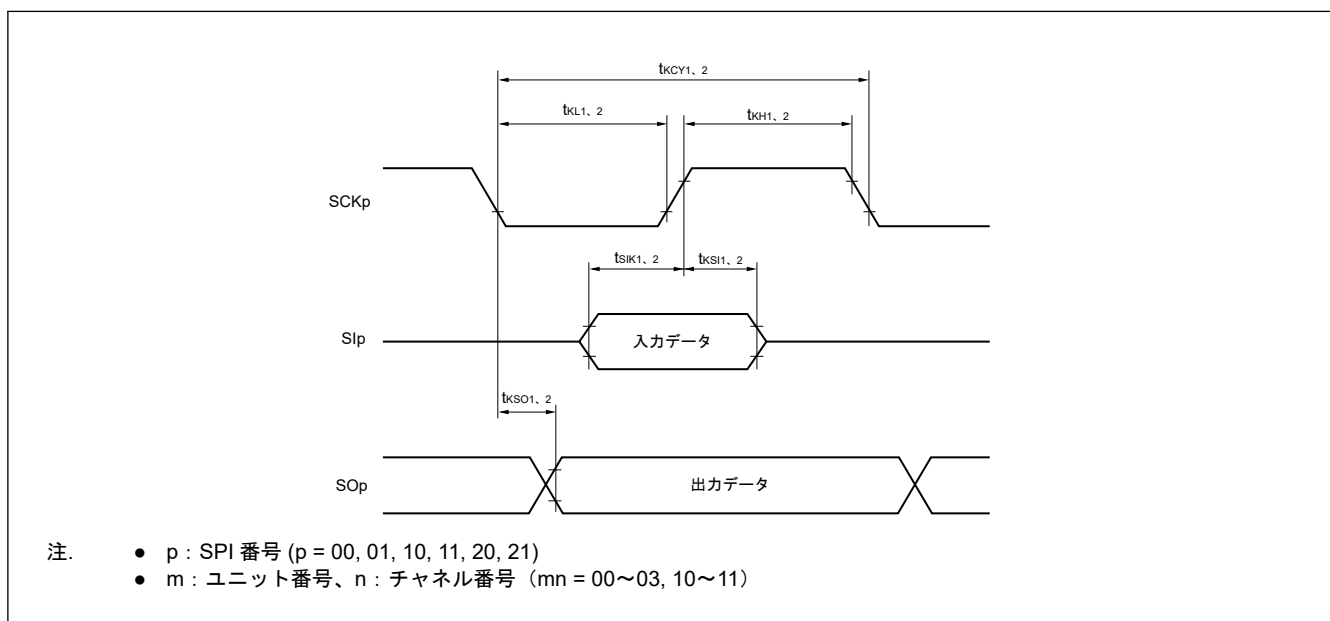


図 2.21 SCRmn.DCP[1:0]=00b または 11b の場合の簡易 SPI 通信でのシリアル転送タイミング

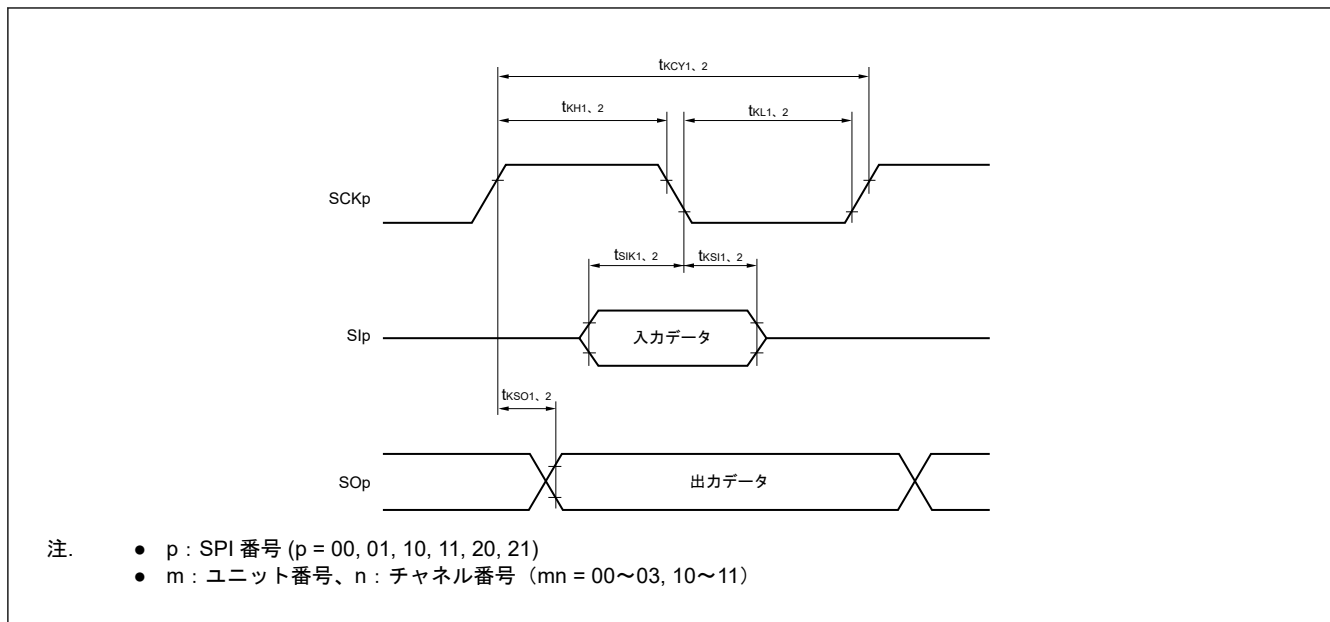


図 2.22 SCRmn.DCP[1:0]=01b または 10b の場合の簡易 SPI 通信でのシリアル転送タイミング

表 2.35 簡易 I²C 通信条件: T_a = -40~+125°C, VCC = 1.6~5.5 V, VSS = 0 V

項目	シンボル	High-speed モード(注1)		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
SCLr クロック周波数	2.7 V ≤ VCC ≤ 5.5 V Cb = 50 pF, Rb = 2.7 kΩ	f _{SCL}	—	1000(注2)	—	1000(注2)	—	400(注2)	kHz 図 2.23 図 2.24
	1.8 V ≤ VCC ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	—	400(注2)	—	400(注2)	—	400(注2)		
	1.8 V ≤ VCC < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	—	300(注2)	—	300(注2)	—	300(注2)		
	1.6 V ≤ VCC < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—	—	—	250(注2)	—	250(注2)		
SCLr が Low の場合のホールド時間	2.7 V ≤ VCC ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	t _{LOW}	475	—	475	—	1150	—	ns
	1.8 V ≤ VCC ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150	—	1150	—	1150	—	ns	
	1.8 V ≤ VCC < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550	—	1550	—	1550	—	ns	
	1.6 V ≤ VCC < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—	—	1850	—	1850	—	ns	
SCLr が High の場合のホールド時間	2.7 V ≤ VCC ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	t _{HIGH}	475	—	475	—	1150	—	ns
	1.8 V ≤ VCC ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150	—	1150	—	1150	—	ns	
	1.8 V ≤ VCC < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550	—	1550	—	1550	—	ns	
	1.6 V ≤ VCC < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—	—	1850	—	1850	—	ns	
データセットアップ時間 (受信)	2.7 V ≤ VCC ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	t _{SU:DAT}	1/f _{MCK} + 85(注3)	—	1/f _{MCK} + 85(注3)	—	1/f _{MCK} + 145(注3)	—	ns
	1.8 V ≤ VCC ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/f _{MCK} + 145(注3)	—	1/f _{MCK} + 145(注3)	—	1/f _{MCK} + 145(注3)	—	ns	
	1.8 V ≤ VCC < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/f _{MCK} + 230(注3)	—	1/f _{MCK} + 230(注3)	—	1/f _{MCK} + 230(注3)	—	ns	
	1.6 V ≤ VCC < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—	—	1/f _{MCK} + 290(注3)	—	1/f _{MCK} + 290(注3)	—	ns	
データホールド時間 (送信)	2.7 V ≤ VCC ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	t _{HD:DAT}	0	305	0	305	0	305	ns
	1.8 V ≤ VCC ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	0	355	ns	
	1.8 V ≤ VCC < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns	
	1.6 V ≤ VCC < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—	—	0	405	0	405	ns	

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、SDAr 端子の NMOS オープンドレイン出力および SCLr 端子の CMOS 出力を選択します。

注. ● r: IIC 番号 (r = 00, 01, 10, 11, 20, 21)、gh: ポート番号 (g = 0~4, h = 00~15)

● f_{MCK}: シリアルアレイユニット動作クロック周波数

● Rb[Ω]: 通信ライン (SDAr) のプルアップ抵抗、Cb[F]: 通信ライン (SDAr, SCLr) の負荷容量

注 1. High-speed モード時の動作電圧は、1.8 V ≤ VCC ≤ 5.5 V です。

注 2. 表に示す時間は、f_{MCK}/4 以下である必要があります。

注 3. SCLr が Low または High の場合に f_{MCK} がホールド時間を超えないように設定してください。

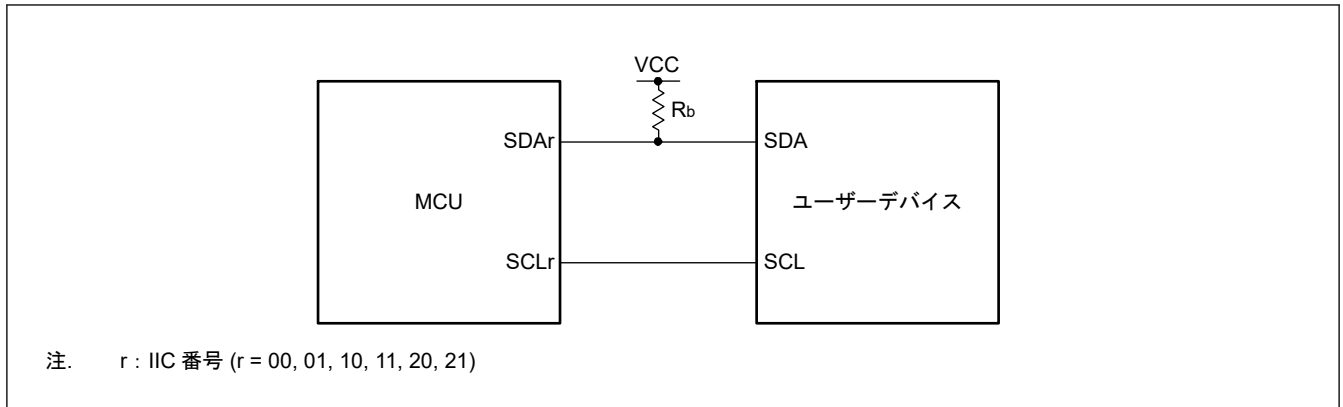


図 2.23 簡易 I²C 通信での接続

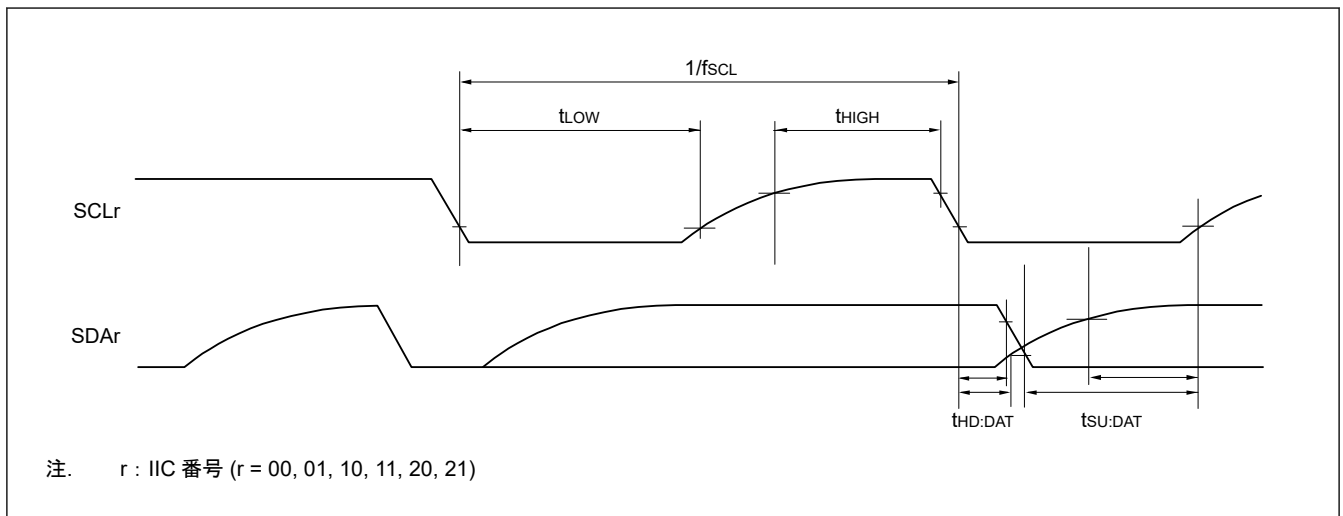


図 2.24 簡易 I²C 通信でのシリアル転送タイミング

2.3.11 シリアルインタフェース UARTA (UARTA)

表 2.36 UARTA 通信

条件: T_a = -40~+125°C, VCC = 1.6~5.5 V, VSS = 0 V

項目	シンボル	Min	Typ	Max	単位	測定条件
転送速度	—	200	—	153600	bps	—

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、TxDA_n 端子の CMOS 出力を選択します。

注. n: ユニット番号 (n = 0, 1)、gh: ポート番号 (g = 0~4、h = 00~15)

2.3.12 I²C バスインタフェース (IICA)表 2.37 I²C 標準モード条件: T_a = -40~+125°C, VCC = 1.6~5.5 V, VSS = 0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	標準モード: PCLKB ≥ 1 MHz	f _{SCL}	0	—	100	kHz	図 2.25
リスタートコンディションセットアップ時間	—	t _{SU:STA}	4.7	—	—	μs	
ホールド時間(注1)	—	t _{HD:STA}	4	—	—	μs	
SCLAn が Low の場合のホールド時間	—	t _{LOW}	4.7	—	—	μs	
SCLAn が High の場合のホールド時間	—	t _{HIGH}	4	—	—	μs	
データセットアップ時間 (受信)	—	t _{SU:DAT}	250	—	—	ns	
データホールド時間 (送信) (注2)	—	t _{HD:DAT}	0	—	3.45	μs	
ストップコンディションセットアップ時間	—	t _{SU:STO}	4	—	—	μs	
バスフリー時間	—	t _{BUF}	4.7	—	—	μs	

注. n = 0, 1

注. 通信回線容量 (Cb) と通信回線プルアップ抵抗 (Rb) の最大値は以下のとおりです。

Cb = 400 pF、Rb = 2.7 kΩ

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。

注 2. t_{HD:DAT} の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。表 2.38 I²C ファストモード条件: T_a = -40~+125°C, VCC = 1.8~5.5 V, VSS = 0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	ファストモード: PCLKB ≥ 3.5 MHz	f _{SCL}	0	—	400	kHz	図 2.25
リスタートコンディションセットアップ時間	—	t _{SU:STA}	0.6	—	—	μs	
ホールド時間(注1)	—	t _{HD:STA}	0.6	—	—	μs	
SCLAn が Low の場合のホールド時間	—	t _{LOW}	1.3	—	—	μs	
SCLAn が High の場合のホールド時間	—	t _{HIGH}	0.6	—	—	μs	
データセットアップ時間 (受信)	—	t _{SU:DAT}	100	—	—	ns	
データホールド時間 (送信) (注2)	—	t _{HD:DAT}	0	—	0.9	μs	
ストップコンディションセットアップ時間	—	t _{SU:STO}	0.6	—	—	μs	
バスフリー時間	—	t _{BUF}	1.3	—	—	μs	

注. n = 0, 1

注. 通信回線容量 (Cb) と通信回線プルアップ抵抗 (Rb) の最大値は以下のとおりです。

Cb = 320 pF、Rb = 1.1 kΩ

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。

注 2. t_{HD:DAT} の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。

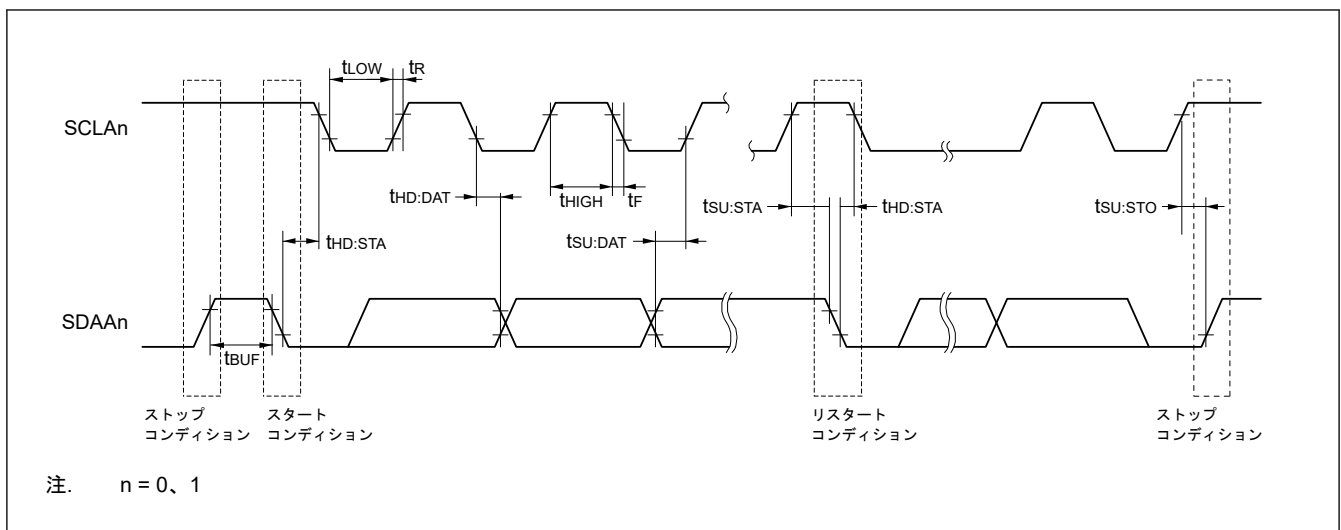
表 2.39 I²C ファストモードプラス条件: T_a = -40~+125°C, VCC = 2.7~5.5 V, VSS = 0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	ファストモードプラス: PCLKB ≥ 10 MHz	f _{SCL}	0	—	1000	kHz	図 2.25
リスタートコンディションセットアップ時間	—	t _{SU:STA}	0.26	—	—	μs	
ホールド時間(注1)	—	t _{HD:STA}	0.26	—	—	μs	
SCLAn が Low の場合のホールド時間	—	t _{LOW}	0.5	—	—	μs	
SCLAn が High の場合のホールド時間	—	t _{HIGH}	0.26	—	—	μs	
データセットアップ時間 (受信)	—	t _{SU:DAT}	50	—	—	ns	
データホールド時間 (送信) (注2)	—	t _{HD:DAT}	0	—	0.45	μs	
ストップコンディションセットアップ時間	—	t _{SU:STO}	0.26	—	—	μs	
バスフリー時間	—	t _{BUF}	0.5	—	—	μs	

注. n = 0, 1

注. 通信回線容量 (Cb) と通信回線プルアップ抵抗 (Rb) の最大値は以下のとおりです。
Cb = 120 pF, Rb = 1.1 kΩ

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。

注 2. t_{HD:DAT} の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。図 2.25 I²C シリアル転送タイミング

2.4 ADC12 特性

表 2.40 通常モード 1 および 2 における A/D 変換特性 (1) (1/2)

条件: VCC = AVREFP = 4.5~5.5 V, VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP, 基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	48	MHz	—
変換時間(注4)	1.33	—	—	μs	—
オフセット誤差(注1) (注2) (注3)	—	—	±7.0	LSB	—

表 2.40 通常モード 1 および 2 における A/D 変換特性 (1) (2/2)

条件: VCC = AVREFP = 4.5~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
フルスケール誤差(注1)(注2)(注3)	—	—	±7.0	LSB	—
絶対精度(注1)(注2)(注3)	—	—	±7.5	LSB	—
DNL 微分非直線性誤差(注1)	—	±1.0	—	LSB	—
INL 積分非直線性誤差(注1)(注3)(注3)	—	—	±3.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されません。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に ±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に ±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、通常モード 2、fAD=32 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 2.41 通常モード 1 および 2 における A/D 変換特性 (2)

条件: VCC = AVREFP = 2.7~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	48	MHz	—
変換時間(注4)	1.33	—	—	μs	—
オフセット誤差(注1)(注2)(注3)	—	—	±8.5	LSB	—
フルスケール誤差(注1)(注2)(注3)	—	—	±8.5	LSB	—
絶対精度(注1)(注2)(注3)	—	—	±9.0	LSB	—
DNL 微分非直線性誤差(注1)	—	±1.0	—	LSB	—
INL 積分非直線性誤差(注1)(注3)	—	—	±3.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されません。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に ±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に ±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、通常モード 2、fAD=32 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 2.42 通常モード 1 および 2 における A/D 変換特性 (3) (1/2)

条件: VCC = AVREFP = 2.4~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—

表 2.42 通常モード 1 および 2 における A/D 変換特性 (3) (2/2)

条件: VCC = AVREFP = 2.4~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
変換クロック (PCLKB)	1	—	32	MHz	—
変換時間(注4)	2.0	—	—	μs	—
オフセット誤差(注1) (注2) (注3)	—	—	±9.0	LSB	—
フルスケール誤差(注1) (注2) (注3)	—	—	±9.0	LSB	—
絶対精度(注1) (注2) (注3)	—	—	±9.5	LSB	—
DNL 微分非直線性誤差(注1)	—	±1.0	—	LSB	—
INL 積分非直線性誤差(注1) (注3)	—	—	±3.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に ±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に ±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、通常モード 2、fAD=32 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 2.43 低電圧モード 1 および 2 における A/D 変換特性 (1)

条件: VCC = AVREFP = 2.7~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧(注4)、および温度センサ出力電圧(注4)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	24	MHz	—
変換時間(注5)	3.33	—	—	μs	—
オフセット誤差(注1) (注2) (注3)	—	—	±8.5	LSB	—
フルスケール誤差(注1) (注2) (注3)	—	—	±8.5	LSB	—
絶対精度(注1) (注2) (注3)	—	—	±9.0	LSB	—
DNL 微分非直線性誤差(注1)	—	±1.5	—	LSB	—
INL 積分非直線性誤差(注1) (注3)	—	—	±4.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に ±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に ±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

注 5. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、低電圧モード 2、fAD=16 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 2.44 低電圧モード 1 および 2 における A/D 変換特性 (2)

条件：VCC = AVREFP = 2.4~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子：ANI2~ANI5、内部基準電圧^(注4)、および温度センサ出力電圧^(注4)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	16	MHz	—
変換時間 ^(注5)	5.0	—	—	μs	—
オフセット誤差 ^(注1) (注2) (注3)	—	—	±9.0	LSB	—
フルスケール誤差 ^(注1) (注2) (注3)	—	—	±9.0	LSB	—
絶対精度 ^(注1) (注2) (注3)	—	—	±9.5	LSB	—
DNL 微分非直線性誤差 ^(注1)	—	±1.5	—	LSB	—
INL 積分非直線性誤差 ^(注1) (注3)	—	—	±4.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されません。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度：最大値に±3 LSB を加える。

オフセット/フルスケール誤差：最大値に±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差：最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

注 5. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、低電圧モード 2、fAD=16 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 2.45 低電圧モード 1 および 2 における A/D 変換特性 (3)

条件：VCC = AVREFP = 1.8~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子：ANI2~ANI5、内部基準電圧^(注4)、および温度センサ出力電圧^(注4)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	8	MHz	—
変換時間 ^(注5)	10.0	—	—	μs	—
オフセット誤差 ^(注1) (注2) (注3)	—	—	±13.0	LSB	—
フルスケール誤差 ^(注1) (注2) (注3)	—	—	±13.0	LSB	—
絶対精度 ^(注1) (注2) (注3)	—	—	±13.5	LSB	—
DNL 微分非直線性誤差 ^(注1)	—	±2.0	—	LSB	—
INL 積分非直線性誤差 ^(注1) (注3)	—	—	±4.5	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されません。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度：最大値に±3 LSB を加える。

オフセット/フルスケール誤差：最大値に±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差：最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

注 5. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、低電圧モード 2、fAD=16 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 2.46 低電圧モード 1 および 2 における A/D 変換特性 (4)

条件: VCC = AVREFP = 1.6~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧(注4)、および温度センサ出力電圧(注4)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (PCLKB)	1	—	4	MHz	—
変換時間(注5)	20.0	—	—	μs	—
オフセット誤差(注1)(注2)(注3)(注4)	—	—	±13.5	LSB	—
フルスケール誤差(注1)(注2)(注3)(注4)	—	—	±13.5	LSB	—
絶対精度(注1)(注2)(注3)(注4)	—	—	±14.0	LSB	—
DNL 微分非直線性誤差(注1)	—	±2.0	—	LSB	—
INL 積分非直線性誤差(注1)(注3)(注4)	—	—	±4.5	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されません。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に ±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に ±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

注 5. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、低電圧モード 2、fAD=16 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 2.47 低電圧モード 1 および 2 における A/D 変換特性 (内部基準電圧を基準電圧 (+) に選択した場合)

条件: VCC = 1.8~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = 内部基準電圧、基準電圧 (-) = AVREFM

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	8	ビット	—
変換クロック (fAD)	1	—	2	MHz	—
オフセット誤差(注1)	—	—	2	LSB	—
DNL 微分非直線性誤差(注1)	—	1	—	LSB	—
INL 積分非直線性誤差(注1)	—	—	2	LSB	—
アナログ入力電圧範囲	0	—	VBGR	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されません。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

表 2.48 12 ビット A/D コンバータチャネル分類

分類	チャネル	条件	注意点
高精度チャネル	ANI0~ANI5	VCC = 1.6~5.5 V	ANI0~ANI5 端子は、汎用 I/O、TS 送信に使用不可 (A/D コンバータが使用中の場合)
通常精度チャネル	ANI16~ANI19		
内部基準電圧入力チャネル	内部基準電圧	VCC = 1.8~5.5 V	—
温度センサ入力チャネル	温度センサ出力		—

表 2.49 A/D 内部基準電圧特性

条件 : VCC = 1.8~5.5 V、VSS = 0 V

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル(注1)	1.40	1.47	1.54	V	—
サンプリング時間(注2)	5.0	—	—	μs	—

注 1. 12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。

注 2. 内部基準電圧の変換時

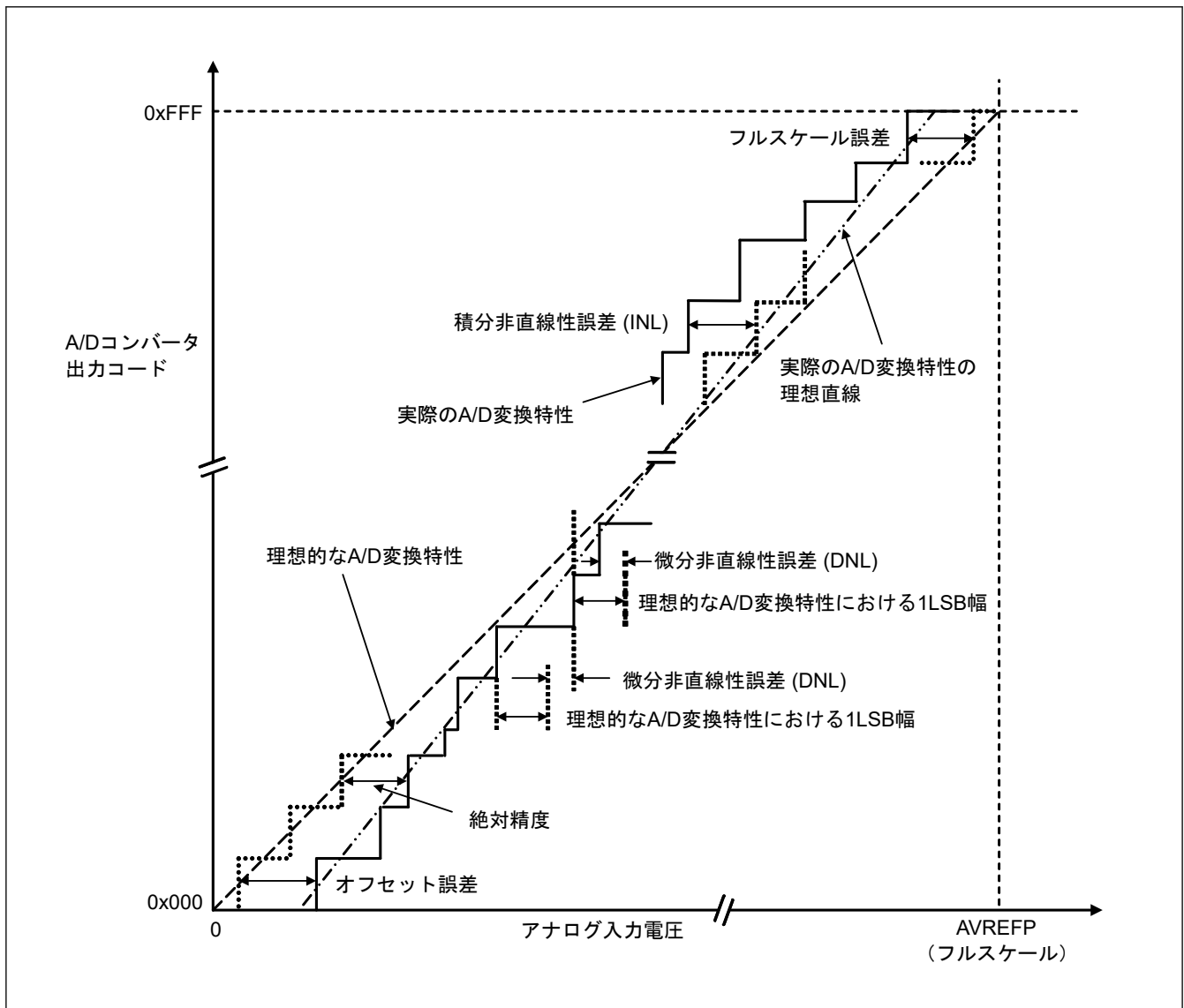


図 2.26 12 ビット A/D コンバータ特性用語の例

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1-LSB 幅) の midpoint の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 AVREFP = 3.072 V の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、および 1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003~0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.5 CMP 特性**表 2.50 CMP 特性**

条件 : VCC = 1.6~5.5 V、VSS = 0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
入力電圧範囲		IVREF	0	—	VCC - 1.4	V	IVREF0 端子および IVREF1 端子への入力 COLVL = 0, C1LVL = 0
			1.4	—	VCC		IVREF0 端子および IVREF1 端子への入力 COLVL = 1, C1LVL = 1
		IVCMP	-0.3	—	VCC + 0.3		IVCMP0 端子および IVCMP1 端子への入力
出力遅延時間	High-speed モード	—	—	—	1.5	μs	VCC = 3.0 V 入力スルーレート > 1 V/us
	Low-speed モード	—	—	3.0	—		
オフセット電圧	High-speed モード	—	—	—	50	mV	—
	Low-speed モード	—	—	—	40		
動作安定待機時間		t _{CMP}	30	—	—	μs	—
内部基準電圧(注1)		—	1.34	1.44	1.54	V	—

注 1. 1.8 V ≤ VCC ≤ 5.5 V であるときだけ、内部基準電圧を CMP 基準電圧として選択できます。

2.6 DAC8 特性**表 2.51 D/A 変換特性**

条件 : VCC = 2.7~5.5 V、VSS = 0 V

項目	シンボル	Min	Typ	Max	単位	測定条件
分解能	—	—	—	8	ビット	—
変換時間	t _{DCONV}	—	—	3.0	μs	—
絶対精度	—	—	—	±3.0	LSB	—
負荷抵抗	—	4	—	—	MΩ	—
負荷容量(注1)	—	—	—	35	pF	—
出力抵抗	—	—	9.0	—	kΩ	—

注 1. 15 pF の IO 入力容量を含みます。

2.7 TSN 特性

表 2.52 TSN 特性

条件 : VCC = 1.8~5.5 V、VSS = 0 V

項目	シンボル	Min	Typ	Max	単位	測定条件
温度傾斜	—	—	-3.3	—	mV/°C	—
出力電圧 (25°C時)	—	—	1.05	—	V	VCC = 3.3 V
サンプリング時間	—	5.0	—	—	μs	—

2.8 POR と LVD の特性

表 2.53 パワーオンリセット回路、電圧検出回路の特性 (1) (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件			
電圧検出レベル (注1)	パワーオンリセット (POR)	電源上昇時	V _{POR}	1.47	1.51	1.55	V	図 2.27	
		電源下降時	V _{PDR}	1.46	1.50	1.54			図 2.28
	電圧検出回路 (LVD0) ^(注2)	電源上昇時	V _{det0_0}	3.74	3.91	4.06	V	図 2.29 VCC 立ち下がりエッジ時	
			電源下降時		3.68	3.85			4.00
		電源上昇時	V _{det0_1}	2.73	2.9	3.01			
			電源下降時		2.68	2.85			2.96
		電源上昇時	V _{det0_2}	2.44	2.59	2.70			
			電源下降時		2.38	2.53			2.64
		電源上昇時	V _{det0_3}	1.83	1.95	2.07			
			電源下降時		1.78	1.90			2.02
		電源上昇時	V _{det0_4}	1.66	1.75	1.88			
			電源下降時		1.60	1.69			1.82
	電圧検出レベル (注1)	電圧検出回路 (LVD1) ^(注3)	電源上昇時	V _{det1_0}	4.23	4.39	4.55	V	図 2.30 VCC 立ち下がりエッジ時
				電源下降時		4.13	4.29		
電源上昇時			V _{det1_1}	4.07	4.25	4.39			
			電源下降時		3.98	4.16	4.30		
電源上昇時			V _{det1_2}	3.97	4.14	4.29			
			電源下降時		3.86	4.03	4.18		
電源上昇時			V _{det1_3}	3.74	3.92	4.06			
			電源下降時		3.68	3.86	4.00		
電源上昇時			V _{det1_4}	3.05	3.17	3.29			
			電源下降時		2.98	3.10	3.22		
電源上昇時			V _{det1_5}	2.95	3.06	3.17			
			電源下降時		2.89	3.00	3.11		
電源上昇時			V _{det1_6}	2.86	2.97	3.08			
			電源下降時		2.79	2.90	3.01		
電源上昇時			V _{det1_7}	2.74	2.85	2.96			
			電源下降時		2.68	2.79	2.90		

表 2.53 パワーオンリセット回路、電圧検出回路の特性 (1) (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	電圧検出回路 (LVD1) ^(注3)	電源上昇時	V _{det1_8}	2.63	2.75	2.85	V 図 2.30 VCC 立ち下がりエッジ時
		電源下降時		2.58	2.68	2.78	
	電源上昇時	V _{det1_9}	2.54	2.64	2.75		
	電源下降時		2.48	2.58	2.68		
	電源上昇時	V _{det1_A}	2.43	2.53	2.63		
	電源下降時		2.38	2.48	2.58		
	電源上昇時	V _{det1_B}	2.16	2.26	2.36		
	電源下降時		2.10	2.20	2.30		
	電源上昇時	V _{det1_C}	1.88	2	2.09		
	電源下降時		1.84	1.96	2.05		
	電源上昇時	V _{det1_D}	1.78	1.9	1.99		
	電源下降時		1.74	1.86	1.95		
	電源上昇時	V _{det1_E}	1.67	1.79	1.88		
	電源下降時		1.63	1.75	1.84		
	電源上昇時	V _{det1_F}	1.65	1.7	1.78		
	電源下降時		1.60	1.65	1.73		
電圧検出レベル (注1)	電圧検出回路 (LVD2) ^(注4)	電源上昇時	V _{det2_0}	4.20	4.40	4.57	V 図 2.31 VCC 立ち下がりエッジ時
		電源下降時		4.11	4.31	4.48	
	電源上昇時	V _{det2_1}	4.05	4.25	4.42		
	電源下降時		3.97	4.17	4.34		
	電源上昇時	V _{det2_2}	3.91	4.11	4.28		
	電源下降時		3.83	4.03	4.20		
	電源上昇時	V _{det2_3}	3.71	3.91	4.08		
	電源下降時		3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. V_{det0_#}の#は OFS1.VDSEL0[2:0]ビットの値を示しています。

注 3. V_{det1_#}の#は LVDLVL.R.LVD1LVL[4:0]ビットの値を示しています。

注 4. V_{det2_#}の#は LVDLVL.R.LVD2LVL[2:0]ビットの値を示しています。

表 2.54 パワーオンリセット回路と電圧検出回路の特性 (2) (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
パワーオンリセット解除後の待機時間	LVD0 : 有効	t _{POR}	—	4.3	—	ms	—
	LVD0 : 無効	t _{POR}	—	3.7	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0 : 有効 ^(注1)	t _{LVD0, 1, 2}	—	1.4	—	ms	—
	LVD0 : 無効 ^(注2)	t _{LVD1, 2}	—	0.7	—	ms	—
パワーオンリセット応答遅延時間 ^(注3)	t _{det}	—	—	500	μs	図 2.27、図 2.28	
LVD0 応答遅延時間 ^(注3)	t _{det}	—	—	500	μs	図 2.29	
LVD1 応答遅延時間 ^(注3)	t _{det}	—	—	350	μs	図 2.30	
LVD2 応答遅延時間 ^(注3)	t _{det}	—	—	600	μs	図 2.31	
最小 VCC 低下時間	t _{VOFF}	500	—	—	μs	図 2.27、VCC = 1.0 V 以上	
パワーオンリセット有効時間	t _W (POR)	1	—	—	ms	図 2.28、VCC = 1.0 V 未満	
LVD1 動作安定時間 (LVD1 有効切り替え後)	T _d (E-A)	—	—	300	μs	図 2.30	

表 2.54 パワーオンリセット回路と電圧検出回路の特性 (2) (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
LVD2 動作安定時間 (LVD2 有効切り替え後)	$T_d(E-A)$	—	—	1200	μs	図 2.31
ヒステリシス幅 (POR)	V_{PORH}	—	10	—	mV	—
ヒステリシス幅 (LVD0, LVD1, LVD2)	V_{LVH}	—	60	—	mV	LVD0 選択時
		—	110	—		$V_{det1_0} \sim V_{det1_2}$ を選択
		—	70	—		$V_{det1_3} \sim V_{det1_9}$ を選択
		—	60	—		$V_{det1_A} \sim V_{det1_B}$ を選択
		—	50	—		$V_{det1_C} \sim V_{det1_F}$ を選択
		—	90	—		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

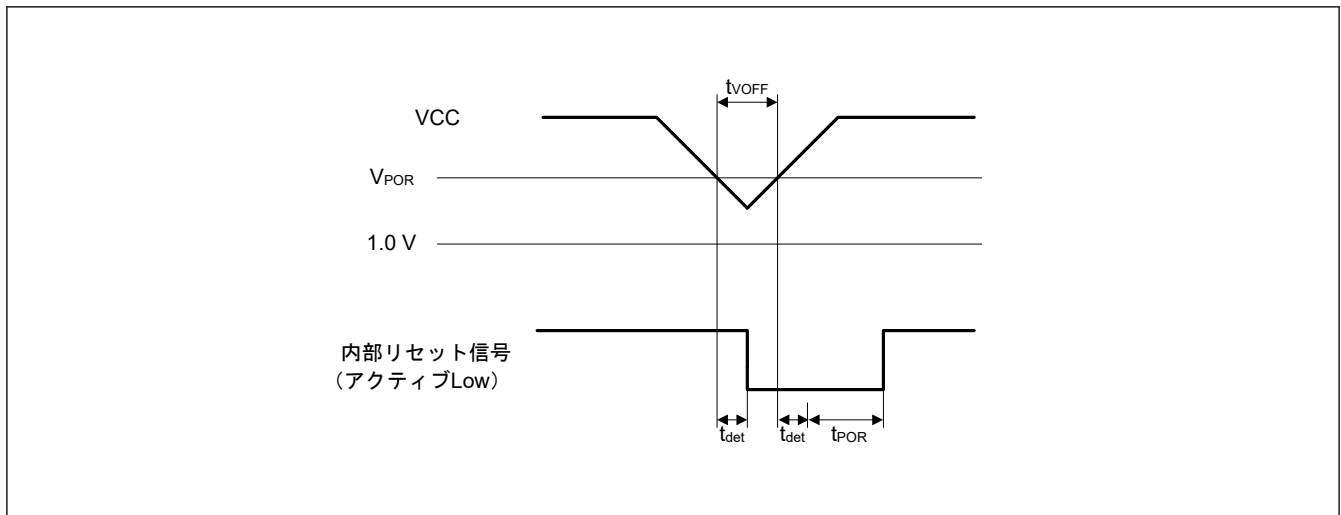
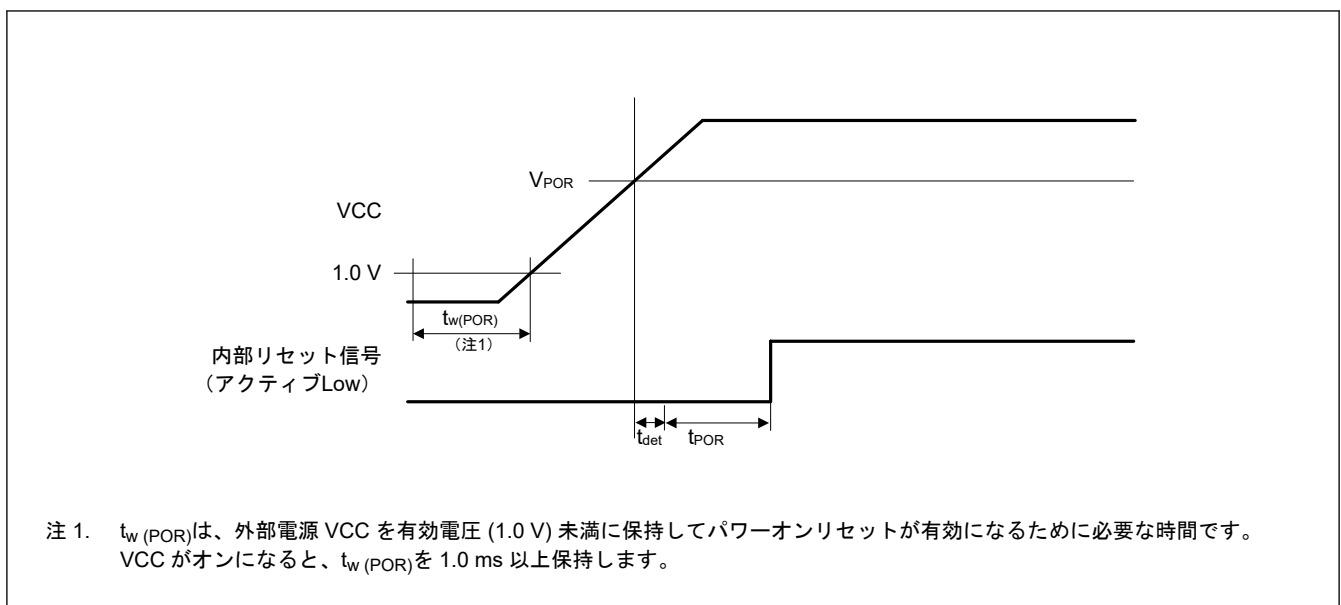
注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} の最小値を下回っている時間です。

図 2.27 電圧検出しリセットタイミング



注 1. $t_w(POR)$ は、外部電源 VCC を有効電圧 (1.0 V) 未満に保持してパワーオンリセットが有効になるために必要な時間です。VCC がオンになると、 $t_w(POR)$ を 1.0 ms 以上保持します。

図 2.28 パワーオンリセットタイミング

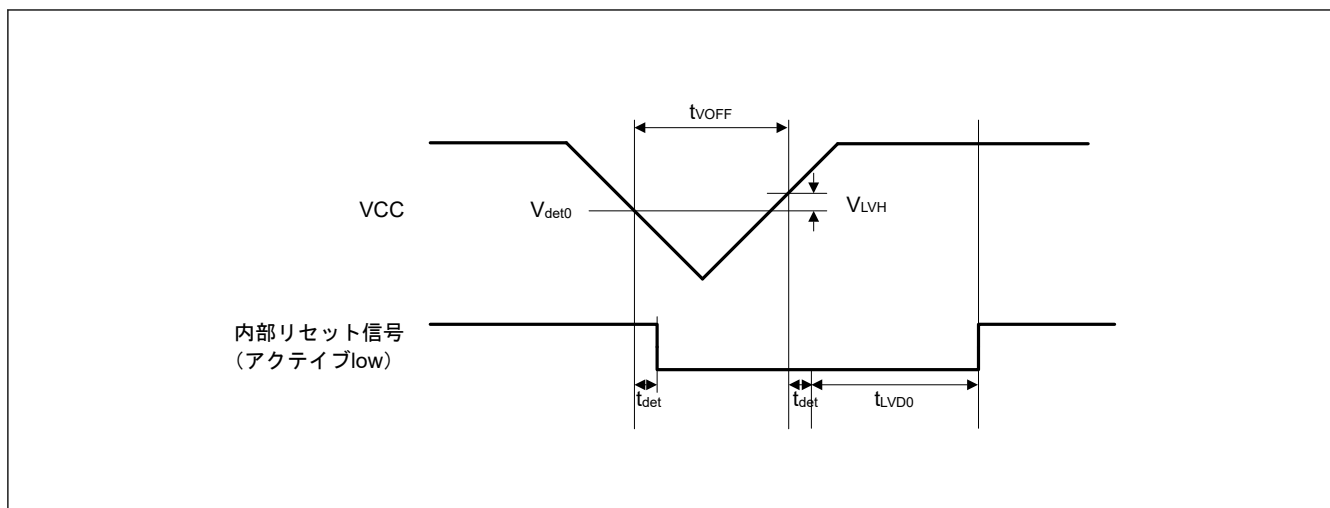


図 2.29 電圧検出回路タイミング (V_{det0})

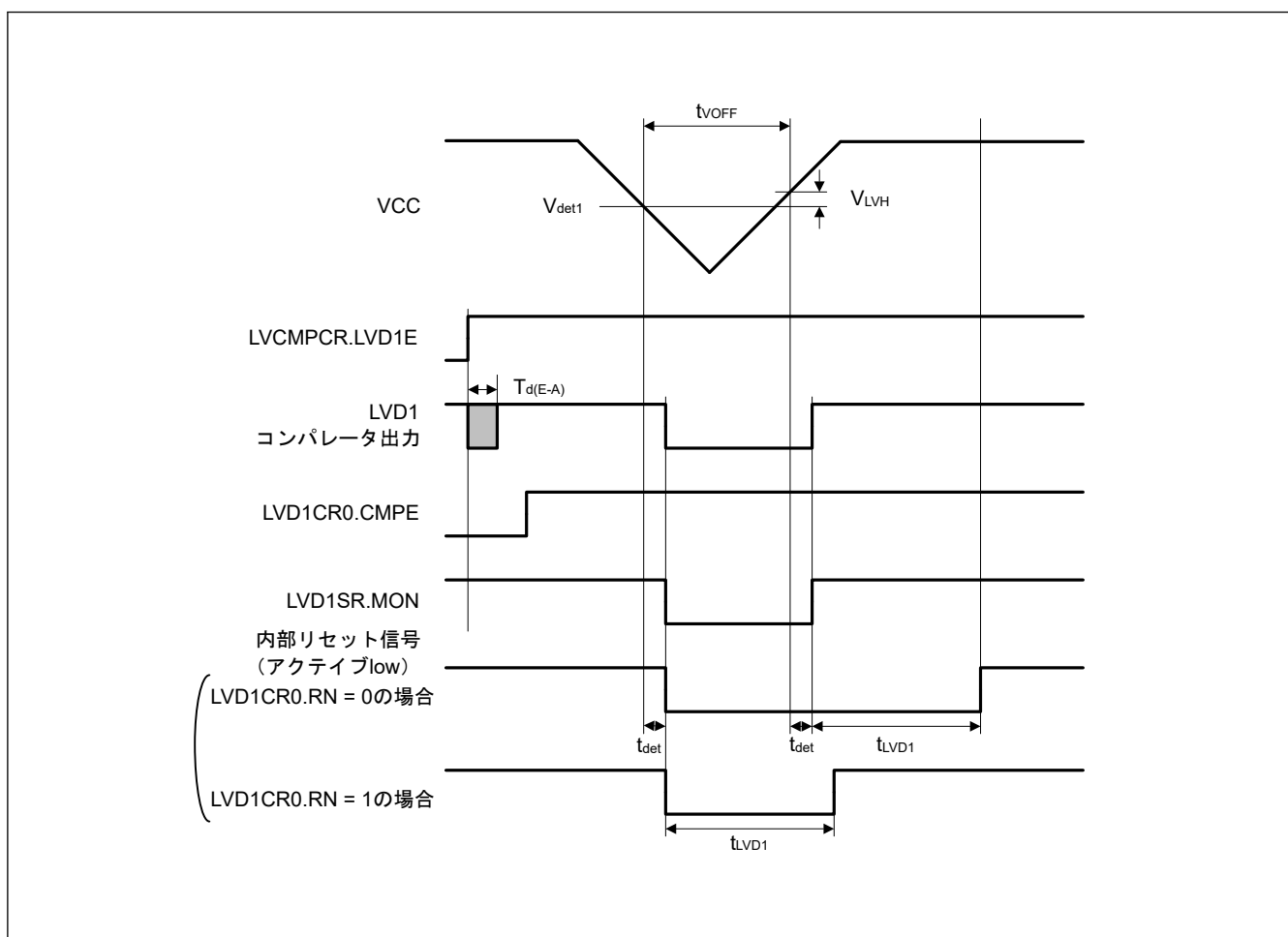


図 2.30 電圧検出回路タイミング (V_{det1})

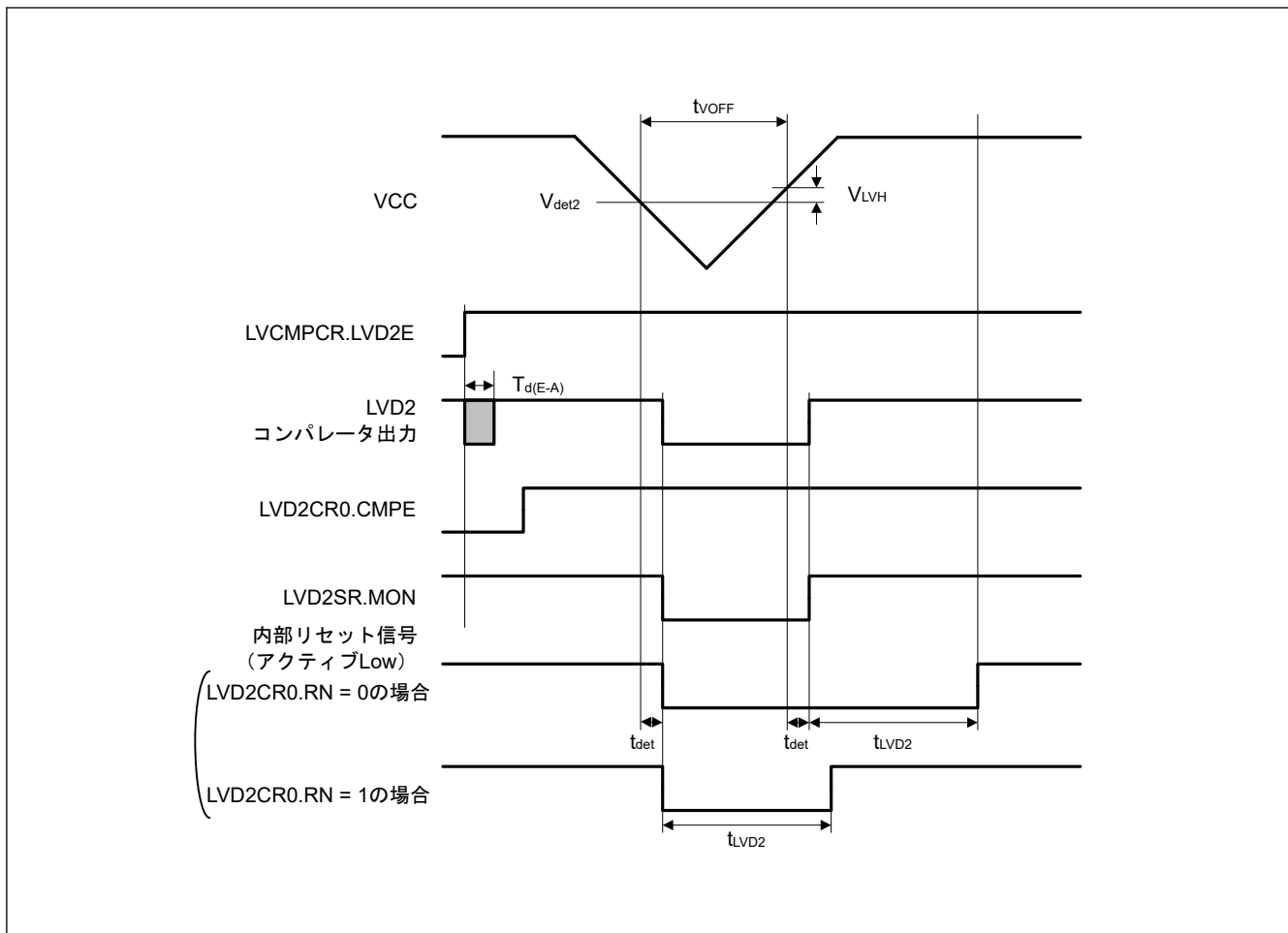


図 2.31 電圧検出回路タイミング (V_{det2})

2.9 フラッシュメモリ特性

2.9.1 コードフラッシュメモリ特性

表 2.55 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル(注1)	N_{PEC}	10000	—	—	回	—
データ保持時間 10000 回の N_{PEC} の後	t_{DRP}	20(注2) (注3)	—	—	年	$T_a = 105^\circ\text{C}$
		10	—	—		$T_a = 125^\circ\text{C}$

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 ($n = 1.0000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なるアドレスに 8 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書き禁止）。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. この結果は目標仕様です。信頼性試験後に変更される可能性があります。

表 2.56 コードフラッシュ特性 (2) (1/2)

High-speed モード

条件 : $V_{CC} = 1.8 \sim 5.5 \text{ V}$, $T_a = -40^\circ\text{C} \sim 125^\circ\text{C}$

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	8 バイト	t_{P4}	—	97	843	—	47	446	μs
イレース時間	2 KB	t_{E2K}	—	8.7	282	—	5.7	221	ms

表 2.56 コードフラッシュ特性 (2) (2/2)

High-speed モード

条件 : VCC = 1.8~5.5 V, T_a = -40°C~125°C

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
ブランクチェック時間	8 バイト	t _{BC4}	—	—	45	—	—	8.7	μs
	2 KB	t _{BC2K}	—	—	3239	—	—	235	μs
イレースサスペンド時間		t _{SED}	—	—	22.8	—	—	11.0	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	16.3	509	—	11.8	444	ms
OCD/シリアルプログラマ ID 設定時間		t _{OSIS}	—	65.1	2036	—	46.9	1773.9	μs
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

表 2.57 コードフラッシュ特性 (3)

Middle-speed モード

条件 : VCC = 1.6~5.5 V, T_a = -40°C~125°C

項目	シンボル	ICLK = 1 MHz			ICLK = 24 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	8 バイト	t _{P4}	—	97	843	—	48	450	μs
イレース時間	2 KB	t _{E2K}	—	8.7	282	—	5.7	220	ms
ブランクチェック時間	8 バイト	t _{BC4}	—	—	45	—	—	9.1	μs
	2 KB	t _{BC2K}	—	—	3239	—	—	236	μs
イレースサスペンド時間		t _{SED}	—	—	22.8	—	—	11.2	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	16.3	509	—	11.4	442	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t _{OSIS}	—	84.7	2280	—	45.3	1690	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC = AVCC0 ≤ 5.5 V の場合

表 2.58 コードフラッシュ特性 (4)

Low-speed モード

条件 : VCC = 1.6~5.5 V, T_a = -40°C~125°C

項目	シンボル	ICLK = 1 MHz			単位	
		Min	Typ	Max		
プログラム時間	8 バイト	t _{P4}	—	97	843	μs
イレース時間	2 KB	t _{E2K}	—	8.7	282	ms
ブランクチェック時間	8 バイト	t _{BC4}	—	—	45	μs
	2 KB	t _{BC2K}	—	—	3239	μs
イレースサスペンド時間		t _{SED}	—	—	22.8	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	16.3	509	ms
OCD/シリアルプログラマ ID 設定時間		t _{OSIS}	—	65.1	2036	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

2.9.2 データフラッシュメモリ特性

表 2.59 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル(注1)	N _{DPEC}	100000	1000000	—	回	—	
データ保持時間	10000 回の NDPEC の後	t _{DDRP}	20(注2) (注3)	—	—	年	T _a = 105°C
			10	—	—	年	T _a = 125°C
			5(注2) (注3)	—	—	年	
	100000 回の NDPEC の後						
	1000000 回の NDPEC の後		1(注2) (注3)	—	年	T _a = 25°C	

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 KB のブロックについて、それぞれ異なるアドレスに 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. これらの結果は目標仕様です。信頼性試験後に変更される可能性があります。

表 2.60 データフラッシュ特性 (2)

High-speed モード

条件 : VCC = 1.8~5.5 V, T_a = -40°C~125°C

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	84	708	—	36	336	μs
イレース時間	1 KB	t _{DE1K}	—	8.6	281	—	6.3	234	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	14.8	—	—	8.7	μs
	1 KB	t _{DBC1K}	—	—	1602	—	—	450	μs
イレース実行中のサスペンド時間		t _{DSED}	—	—	22.8	—	—	11.0	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

- 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
- 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 2.61 データフラッシュ特性 (3)

Middle-speed モード

条件 : VCC = 1.6~5.5 V, T_a = -40°C~125°C

項目	シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注1)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	84	708	—	40	365	μs
イレース時間	1 KB	t _{DE1K}	—	8.6	281	—	7	249	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	14.8	—	—	11.2	μs
	1 KB	t _{DBC1K}	—	—	1602	—	—	806	μs
イレース実行中のサスペンド時間		t _{DSED}	—	—	22.8	—	—	11.2	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	μs

- 注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
- 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
- 注 1. 1.8 V ≤ VCC ≤ 5.5 V の場合

表 2.62 データフラッシュ特性 (4)

Low-speed モード

条件 : VCC = 1.6~5.5 V, T_a = -40°C~125°C

項目	シンボル	ICLK = 1 MHz			単位	
		Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	84	708	μs
イレース時間	1 KB	t _{DE1K}	—	8.6	281	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	14.8	μs
	1 KB	t _{DBC1K}	—	—	1602	μs
イレース実行中のサスペンド時間		t _{DSED}	—	—	22.8	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	μs

- 注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。
- 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

2.10 Compact JTAG (cJTAG)

表 2.63 cJTAG 特性

条件 : VCC = 2.7~5.5 V

No.	項目	シンボル	Min	Max	単位
1	TCKC クロックサイクル時間	t _{CTCKcyc}	160	—	ns
1a	TCKC クロック High レベルパルス幅	t _{CTCKH}	70	—	ns
1b	TCKC クロック Low レベルパルス幅	t _{CTCKL}	70	—	ns
2	TMSC セットアップ時間	t _{CTMSS}	14	—	ns
3	TMSC ホールド時間	t _{CTMSH}	2	—	ns
4	遅延時間、TCKC~TMSC 有効/無効	t _d (CTCKL-CTMS)	5	60	ns

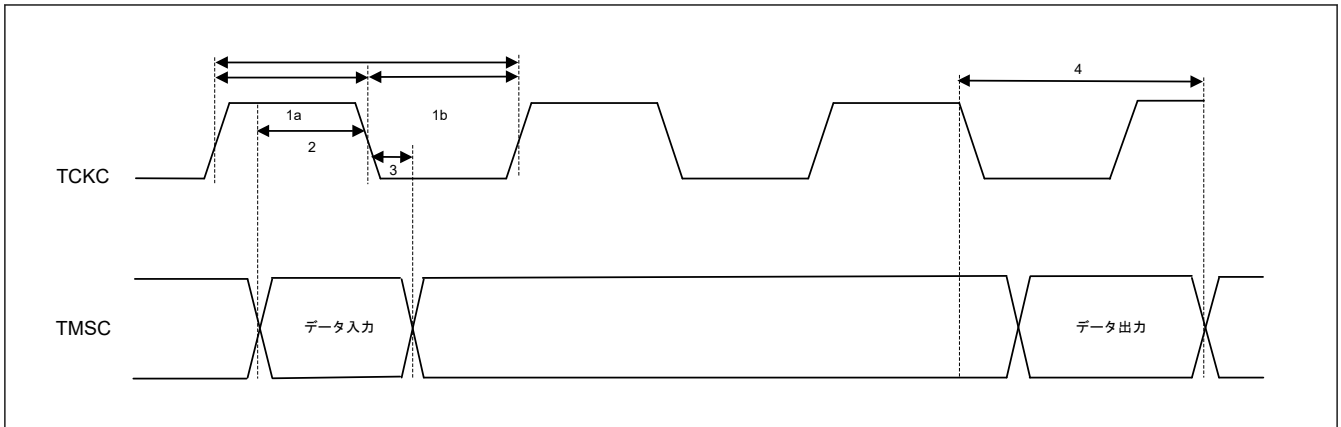


図 2.32 cJTAG タイミング

付録 1. 各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード
モード	MD	プルアップ	Keep-O
cJTAG	TMSC/TCKC	プルアップ	Keep-O
IRQ	IRQn	Hi-Z	Keep-O(注1)(注2)
	NMI	Hi-Z	Hi-Z(注3)
SOSC	XT1、XT2	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
KINT	KR0n	Hi-Z	Keep-O(注1)(注2)
SAU	[UART モード]RXD0、RXD2 [SPI モード]SCK00、SCK20	Hi-Z	Keep-O(注2)
IICA	SCLAn/SDAAn	Hi-Z	Keep-O(注1)
UARTA	TxDAn/RxDAn/CLKAn	Hi-Z	Keep-O(注1)
REMC	RIN0	Hi-Z	Keep-O(注2)
RTC	RTC1HZ	Hi-Z	[RTC 選択]RTC1HZ 出力
CLKOUT	CLKOUT_A/B	Hi-Z	[CLKOUT 選択]CLKOUT 出力
CMP	VCOUn	Hi-Z	[VCOUn 選択]VCOUn 出力
DAC8	DACOUTn	Hi-Z	[DACOUTn 出力 (DAOE = 1)] D/A 出力保持
P303	—	プルアップ	Keep-O
その他	—	Hi-Z	Keep-O

注. Hi-Z: ハイインピーダンス

Keep-O: 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。

注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイモードでのスヌーズモード要求トリガに指定されている場合、入力が許可されます。

注 3. 入力が許可されます。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

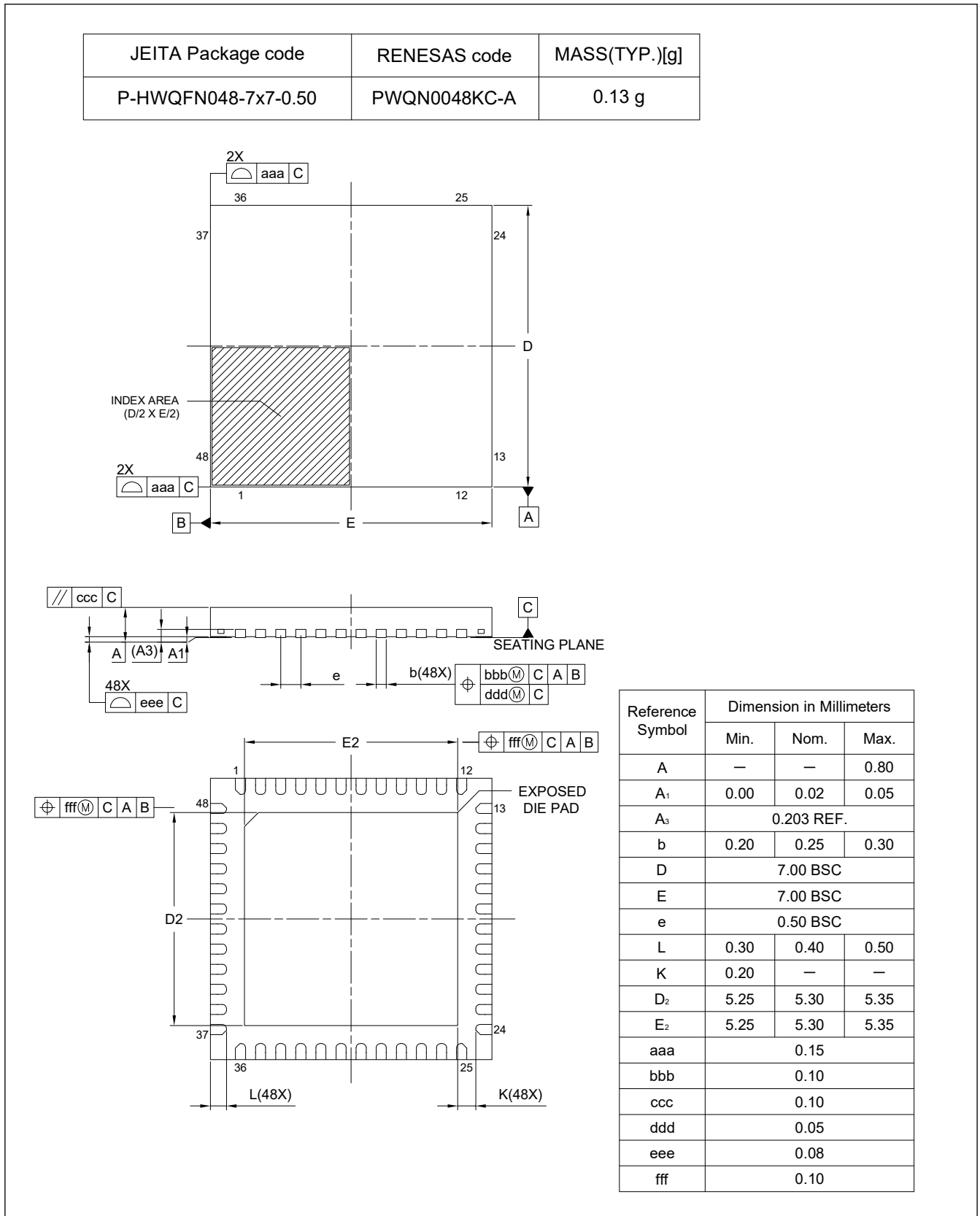
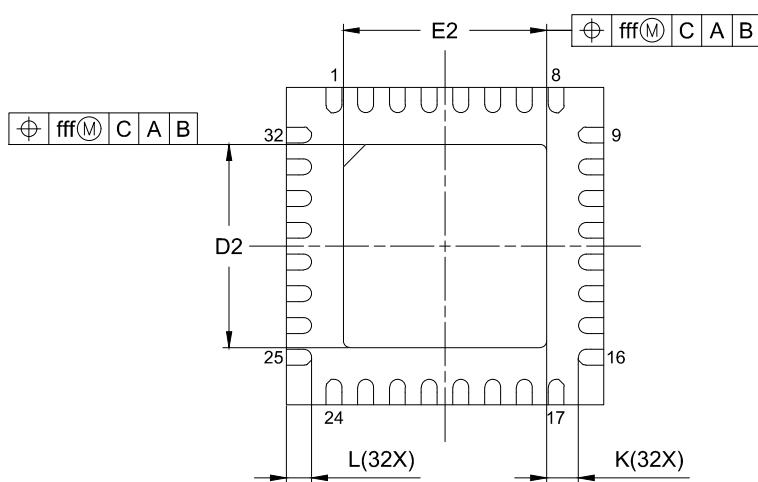
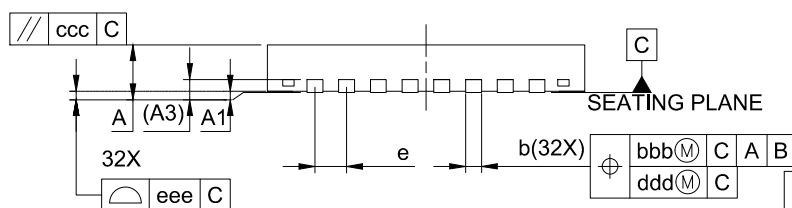
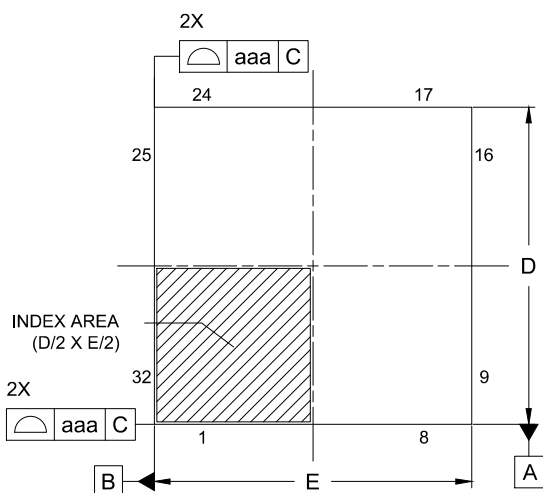


図 2.1 HWQFN 48 ピン

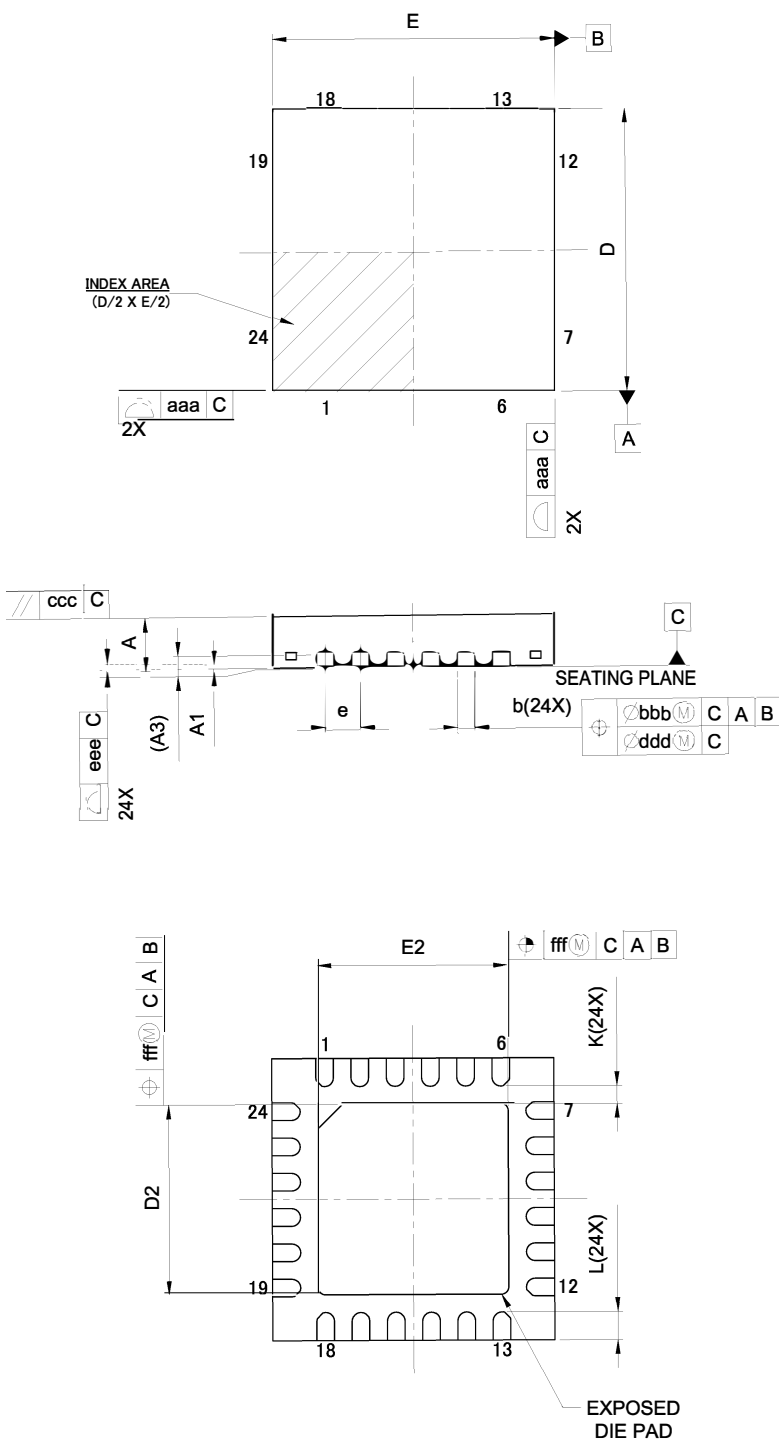
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	3.15	3.20	3.25
E ₂	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.2 HWQFN 32 ピン

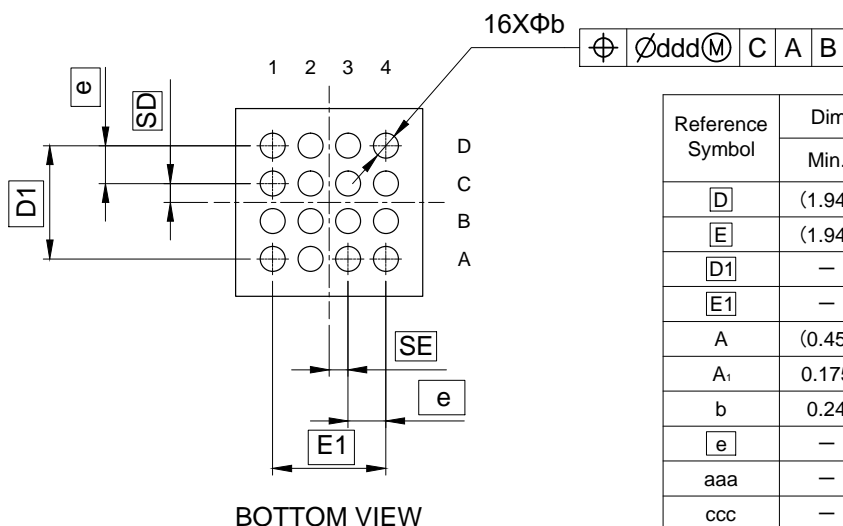
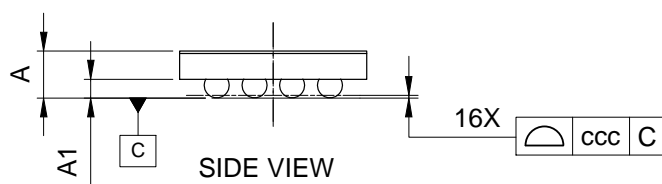
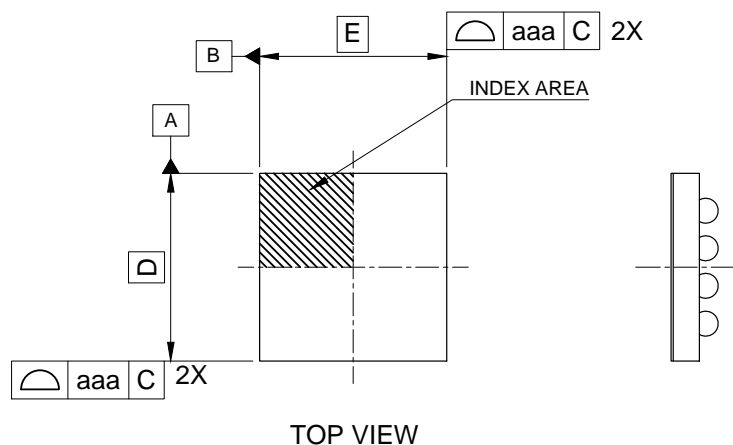
JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWQFN24-4 × 4-0.50	PWQN0024KG-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	2.65	2.70	2.75
E ₂	2.65	2.70	2.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.3 HWQFN 24 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
S-UFBGA16-1.99x1.99-0.40	SUBG0016LC-A	0.01



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	(1.94)	1.99	(2.04)
E	(1.94)	1.99	(2.04)
D1	—	1.20	—
E1	—	1.20	—
A	(0.45)	(0.50)	0.55
A₁	0.175	0.20	0.225
b	0.24	0.265	0.29
e	—	0.40	—
aaa	—	—	0.05
ccc	—	—	0.05
ddd	—	—	0.05
SD	—	0.200	—
SE	—	0.200	—

図 2.4 WLCSP 16 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
SRAM	SRAM 制御	0x4000_2000
バス	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CPU_AUX	CPU 補助レジスタ	0x4001_A000
CPU_DBG	デバッグ機能	0x4001_B000
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4004_0000
PORT1	ポート 1 コントロールレジスタ	0x4004_0020
PORT2	ポート 2 コントロールレジスタ	0x4004_0040
PORT3	ポート 3 コントロールレジスタ	0x4004_0060
PORT4	ポート 4 コントロールレジスタ	0x4004_0080
PFS	Pmn 端子機能コントロールレジスタ	0x4004_0800
ELC	イベントリンクコントロール	0x4004_1000
WDT	ウォッチドッグタイマ	0x4004_4200
IWDT	独立ウォッチドッグタイマ	0x4004_4400
CAC	クロック周波数精度測定回路	0x4004_4600
MSTP	モジュールストップコントロール B、C、D	0x4004_7000
DAC8	8 ビット D/A コンバータ	0x4005_E000
CRC	CRC 演算器	0x4007_4000
KINT	キー割り込み機能	0x4008_0000
DOC	データ演算回路	0x4008_5F00
PORGA	製品構成レジスタ	0x4009_1000
TRNG	真性乱数生成器	0x4009_1100
CMP	コンパレータ	0x4009_1200
RTC	リアルタイムクロック	0x4009_2000
REMC	リモートコントロール信号受信器	0x4009_2100
TML32	32 ビットインターバルタイマ	0x4009_2200
IICA0	I ² C バスインタフェース 0	0x4009_3000
IICA1	I ² C バスインタフェース 1	0x4009_3100
SAU0	シリアルアレイユニット 0	0x4009_4000
SAU1	シリアルアレイユニット 1	0x4009_4100
TAU	タイマアレイユニット	0x4009_5000
UARTA	シリアルインタフェース UARTA	0x4009_6000
ADC12	12 ビット A/D コンバータ	0x4009_C000

表 3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
FLCN	フラッシュ I/O レジスタ	0x407E_C000
CLIC	コアローカル割り込みコントローラ	0xE200_0000
IMT	マシンタイマ	0xE600_0000
DBG	デバッグモジュール	0xE680_0000

注. 名称 = 周辺機能の名称
 内容 = 周辺機能
 ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 3.2 にレジスタのアクセスサイクルを示します。

表 3.2 アクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
			読み出し	書き込み	読み出し	書き込み		
RAM, BUS, DTC, ICU, CPU_AUX, CPU_DBG	0x4000_0000	0x4001_BFFF	2				ICLK	メモリプロテクションユニット、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU
SYSC(注2)	0x4001_E000	0x4001_EFFF	4				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション
PORT, PFS, ELC	0x4004_0000	0x4004_1FFF	3(注3)	3	2~4(注3)	2~4	PCLKB	I/O ポート、イベントリンクコントロール
WDT, IWD, CAC, MSTP, DAC8	0x4004_2000	0x4005_FFFF	3		2~4		PCLKB	ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール、データ演算回路、12ビット A/D コンバータ、8ビット D/A コンバータ
CRC	0x4007_4000	0x4007_40FF	3		2~4		PCLKB	CRC 演算器
KINT	0x4008_0000	0x4008_00FF	2		2	1~3	PCLKB	キー割り込み機能

表 3.2 アクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数					サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)				
			読み出し	書き込み	読み出し	書き込み			
DOC	0x4008_5F00	0x4008_5FFF	3		3	2~4	PCLKB	データ演算回路	
PORGA	0x4009_1000	0x4009_10FF	2			1~3	PCLKB	製品構成レジスタ	
TRNG	0x4009_1100	0x4009_11FF	3			2~4	PCLKB	真性乱数生成器	
CMP, RTC	0x4009_1200	0x4009_20FF	2		2	1~3	PCLKB	コンパレータ、リアルタイムクロック	
REMC, TML32	0x4009_2100	0x4009_22FF	2			1~3	PCLKB	リモート制御信号レシーバー、32ビットインターバルタイマ	
IICA, SAU, TAU, UARTA, ADC12	0x4009_3000	0x4009_C0FF	2			1~3	PCLKB	I ² C バスインタフェース、シリアルアレイユニット、タイマアレイユニット、シリアルインタフェース UARTA、12ビット A/D コンバータ	
FLCN	0x407E_0000	0x407F_FFFF			3		ICLK	温度センサ、フラッシュコントロール	
CLIC, IMT, DBG	0xE200_0000	0xE680_0FFF			2		ICLK	CPU	

注. 16ビットレジスタ (RDRHL, TDRHL, CDR) にアクセスを行う場合は、表 3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。

注 1. PCLK サイクル数が整数ではない (たとえば 1.5) 場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。(たとえば、1.5~2.5 は 1~3)

注 2. CPU からの最小アクセスサイクルを示します。SCKSCR、SCKDIVCR レジスタを変更した後の、ICLK のクロックソース、周波数変更に必要なサイクル数は含みません。

注 3. PCNTR2 レジスタ、PIDR レジスタ、PmnPFS* レジスタの読み出し時は、この値よりも PRWCNTR レジスタの設定値 (サイクル数) 分多いアクセスサイクルとなります。

改訂履歴

Revision 1.00 — 2023 年 12 月 26 日

初版リリース

Revision 1.10 — 2024 年 02 月 29 日

特長：

- 接続性とタイマについての情報を更新

1. 概要：

- 図 1.1 ブロック図を更新

2. 電気的特性：

- 表 2.4 I/O VIH, VIL を更新
- 表 2.10 動作電流とスタンバイ電流 (1) の Typ 欄の値を更新
- 表 2.11 動作電流とスタンバイ電流 (2) の注を更新
- 表 2.12 動作電流とスタンバイ電流 (3) を更新
- 表 2.56 コードフラッシュ特性 (2) を更新
- 表 2.57 コードフラッシュ特性 (3) を更新
- 表 2.58 コードフラッシュ特性 (4) を更新
- 表 2.60 データフラッシュ特性 (2) を更新
- 表 2.61 データフラッシュ特性 (3) を更新
- 表 2.62 データフラッシュ特性 (4) を更新

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。