RA0E2 グループ
ルネサスマイクロコントローラ

R01DS0451JJ0100
Rev.1.00
Feb 17, 2025

超低消費電力 32 MHz Arm® Cortex®-M23 コア、最大 128 KB のコードフラッシュメモリ、16 KB の SRAM、12 ビット A/D コンバータ、シリアルインタフェースおよびセーフティ機能、最高 Ta: 125 °C の動作温度

特長

■ Arm Cortex-M23 コア
- Armv8-M アーキテクチャ
- 最高動作周波数：32 MHz
- デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

■ メモリ
- 最大 128 KB のコードフラッシュメモリ
- 2 KB のデータフラッシュメモリ（100,000 回のプログラム／イレースサイクル）
- 16-KB SRAM
- フラッシュ読み出し保護 (FRP)
- 128 ビットの固有の ID

■ 接続性
- シリアルアレイユニット (SAU)
  - 簡易 SPI × 6
  - 簡易 IIC × 6
  - UART × 2
  - UART（LIN バス対応）× 1
- シリアルインタフェース UARTA (UARTA) × 2
- I^2C バスインタフェース (IICA) × 2

■ アナログ
- 12 ビット A/D コンバータ (ADC12)
- 温度センサ回路 (TSN)

■ タイマ
- 16 ビットタイマアレイユニット (TAU) × 8
- 32 ビットインターバルタイマ (TML32) × 1
  - 1 チャネル（32 ビットカウンタモード）
  - 2 チャネル（16 ビットカウンタモード）
  - 4 チャネル（8 ビットカウンタモード）

■ セーフティ
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- 巡回冗長検査 (CRC)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- 不正メモリアクセス検出

■ セキュリティ
- 真性乱数生成器 (TRNG)

■ システムおよび電源管理
- 低消費電力モード
- リアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- パワーオンリセット
- 電圧設定が可能な低電圧検出 (LVD)

■ マルチクロックソース
- メインクロック発振器 (MOSC) (1～20 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (24/32 MHz)
- 中速オンチップオシレータ (MOCO) (4 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

■ 最大 60 本の汎用入出力ポート内蔵
- 5 V トレランス、オープンドレイン、入力プルアップ

■ 動作電圧
- VCC: 1.6～5.5 V

■ 動作温度およびパッケージ
- Ta = -40 °C～+105 °C
  - 64 ピン LFQFP（10 mm × 10 mm、0.5 mm ピッチ）
  - 48 ピン LFQFP（7 mm × 7 mm、0.5 mm ピッチ）
  - 48 ピン HWQFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 32 ピン LQFP（7 mm × 7 mm、0.8 mm ピッチ）
  - 32 ピン HWQFN（5 mm × 5 mm、0.5 mm ピッチ）
- Ta = -40 °C～+125 °C
  - 64 ピン LFQFP（10 mm × 10 mm、0.5 mm ピッチ）
  - 48 ピン LFQFP（7 mm × 7 mm、0.5 mm ピッチ）
  - 48 ピン HWQFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 32 ピン LQFP（7 mm × 7 mm、0.8 mm ピッチ）
  - 32 ピン HWQFN（5 mm × 5 mm、0.5 mm ピッチ）

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm®ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性が高まります。

本 MCU は高効率な Arm Cortex®-M23 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 最大 128 KB のコードフラッシュメモリ
- 16 KB の SRAM
- シリアルインタフェース (SAU, UARTA, IICA)
- 汎用タイマ (TAU, TML32)
- 12 ビット A/D コンバータ (ADC12)

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	● 最高動作周波数：32 MHz ● Arm Cortex-M23 コア： – リビジョン：r1p0-00rel0 – Armv8-M アーキテクチャプロファイル – シングルサイクル整数乗算器 – 19 サイクル整数除算器 ● SysTick タイマ： – SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 128 KB のコードフラッシュメモリ。
データフラッシュメモリ	2 KB のデータフラッシュメモリ。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	パリティビットを備えた SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	動作モード： ● シングルチップモード
リセット	本 MCU には、7 種類のリセット（RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、電圧監視 0/1 リセット、SRAM パリティエラーリセット、ソフトウェアリセット）があります。
低電圧検出 (LVD)	低電圧検出 (LVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、2 つの分離した電圧レベル検出器 (LVD0, LVD1) から構成されています。LVD0 と LVD1 は VCC 端子への入力電圧レベルを測定します。LVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。
クロック	● メインクロック発振器 (MOSC) ● サブクロック発振器 (SOSC) ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● クロック出力／ブザー出力のサポート
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) の両モジュールにどのイベント信号がリンクされるかを制御します。ICU はノンマスカブル割り込みも制御します。

表 1.3 システム (2/2)

機能	機能の説明
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
フラッシュ読み出し保護	MCU はコードフラッシュを含む 1 つのセキュア領域にフラッシュ読み出し保護を内蔵しています。非セキュアプログラムによるアクセスからセキュア領域を保護できます。非セキュアプログラムは、保護領域にアクセスできません。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは LOCO で動作するため、システム暴走時にフェイル-セーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 1.6 タイマ

機能	機能の説明
タイマアレイユニット (TAU)	タイマアレイユニットは 16 ビットタイマを 8 つ搭載しています。各 16 ビットタイマはチャネルと呼ばれ、個別に使用することができます。さらに、2 つ以上のチャネルで高機能タイマを構成することができます。
32 ビットインターバルタイマ (TML32)	32 ビットインターバルタイマは、4 つの 8 ビットインターバルタイマ（チャネル 0～3）で構成されています。各インターバルタイマは独立して動作することができ、その際、これらのタイマは同じ機能で動作します。8 ビットインターバルタイマの 2 つのチャネルを接続して、1 つの 16 ビットインターバルタイマとして動作することができます。8 ビットインターバルタイマの 4 つのチャネルを接続して、1 つの 32 ビットインターバルタイマとして動作することができます。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) には、以下の特長があります。 ● 年月日、曜日、および時分秒を最大 99 年までカウント可能 ● 固定周期割り込み（周期は次から選択可能：0.5 秒、1 秒、1 分、1 時間、1 日、1 か月） ● アラーム割り込み（曜日、時間、および分でアラーム設定） ● 1 Hz の端子出力機能

表 1.7 通信インタフェース

機能	機能の説明
シリアルアレイユニット (SAU)	シリアルアレイユニット (SAU) には 2 つのユニットあります。ユニット 0 にはチャネルが 4 つ、ユニット 1 にはチャネルが 2 つあります。各チャネルは、簡易 SPI、UART、または簡易 IIC に使用できます。UART2 のみが LIN バスに対応できます。
I^2C バスインタフェース (IICA)	I^2C バスインタフェース (IICA) には 2 つのチャネルがあります。IICA は、I^2C (Inter-Integrated Circuit) バスインタフェース方式に準拠しています。
シリアルインタフェース UARTA (UARTA)	シリアルインタフェース UARTA (UARTA) には 2 つのチャネルがあります。UARTA は非同期通信を行います。

表 1.8 アナログ機能

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 15 チャネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。2 つの CRC 生成多項式 (CRC-CCITT, CRC-32) が使用可能です。

表 1.10 I/O ポート

機能	機能の説明
I/O ポート	● 64 ピン LFQFP 用 I/O ポート – 入出力端子：57 – 入力端子：3 – プルアップ抵抗：40 – N チャネルオープンドレイン出力：42 – 5 V トレランス：4 ● 48 ピン LFQFP/HWQFN 用 I/O ポート – 入出力端子：41 – 入力端子：3 – プルアップ抵抗：26 – N チャネルオープンドレイン出力：28 – 5 V トレランス：4 ● 32 ピン LQFP/HWQFN 用 I/O ポート – 入出力端子：26 – 入力端子：3 – プルアップ抵抗：16 – N チャネルオープンドレイン出力：15 – 5 V トレランス：2

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

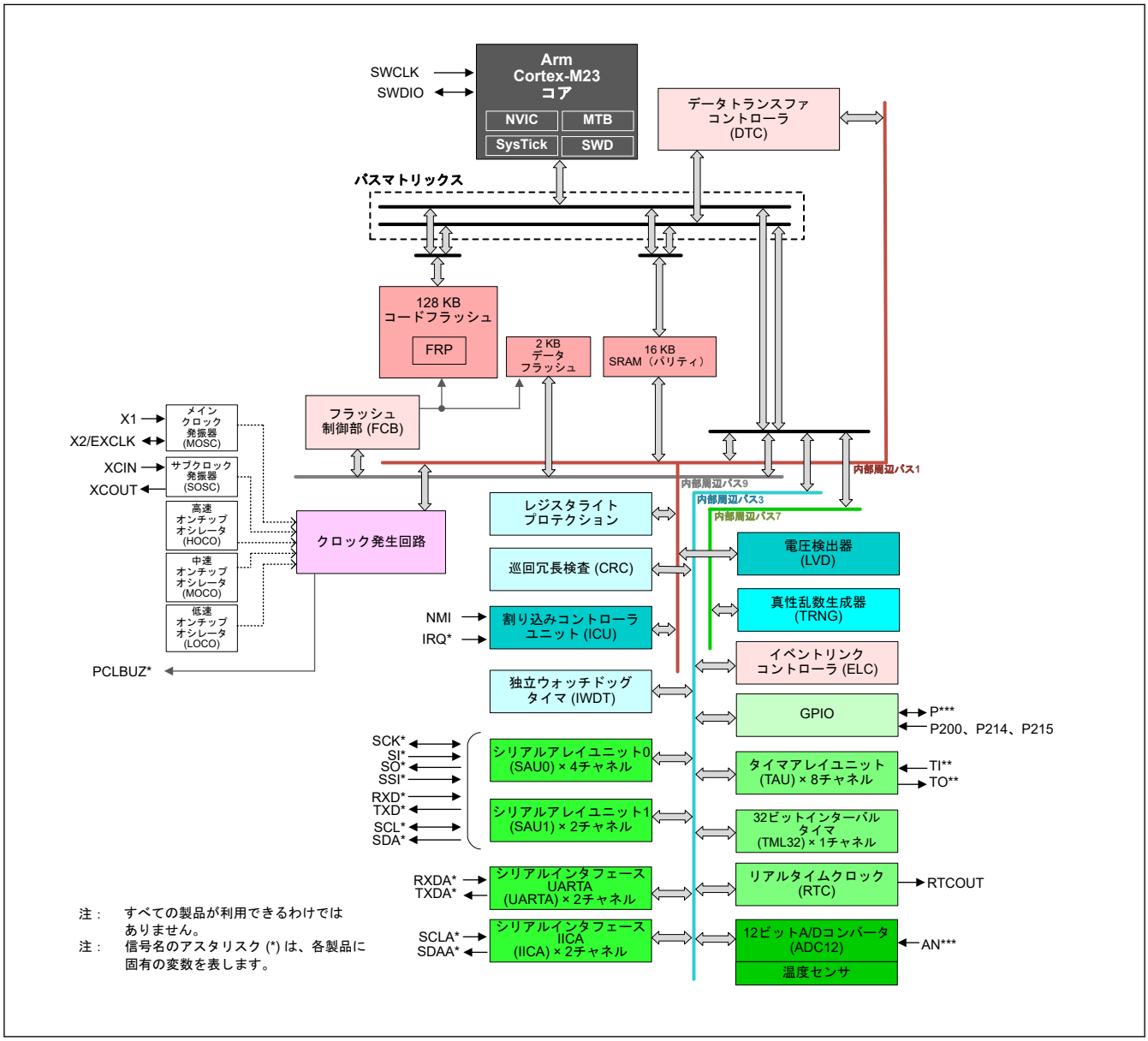
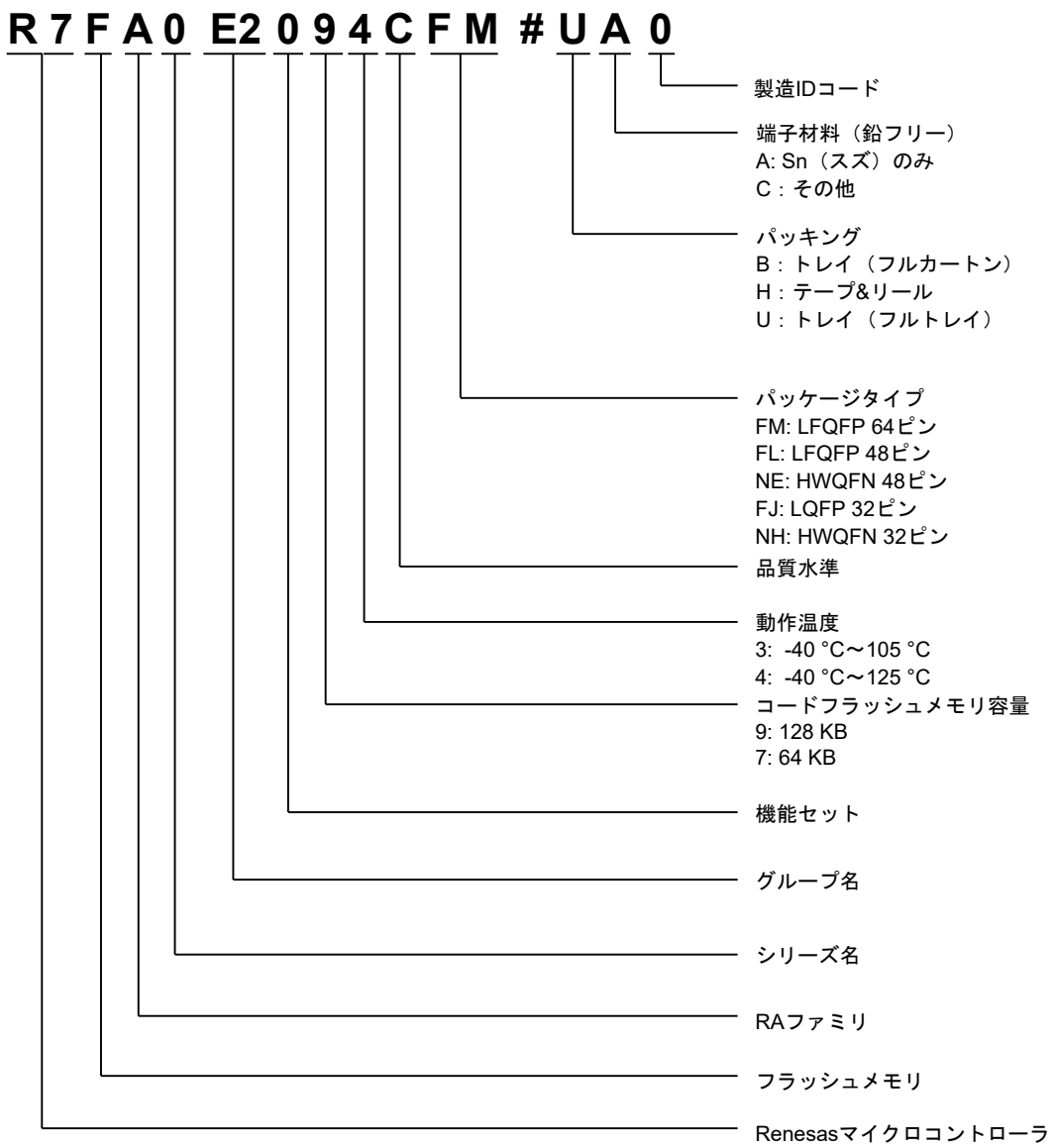


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.11 に、製品一覧表を示します。



注. #に続く有効な記号については、ルネサス Web サイト上の各製品の注文画面でご確認ください。

図 1.2 型名の読み方

表 1.11 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA0E2094CFM	PLQP0064KB-C	128 KB	2 KB	16 KB	-40～+125 °C
R7FA0E2094CFL	PLQP0048KB-B				
R7FA0E2094CNE	PWQN0048KC-A				
R7FA0E2094CFJ	PLQP0032GB-A				
R7FA0E2094CNH	PWQN0032KE-A				
R7FA0E2093CFM	PLQP0064KB-C				-40～+105 °C
R7FA0E2093CFL	PLQP0048KB-B				
R7FA0E2093CNE	PWQN0048KC-A				
R7FA0E2093CFJ	PLQP0032GB-A				
R7FA0E2093CNH	PWQN0032KE-A				
R7FA0E2074CFM	PLQP0064KB-C	64 KB	2 KB	16 KB	-40～+125 °C
R7FA0E2074CFL	PLQP0048KB-B				
R7FA0E2074CNE	PWQN0048KC-A				
R7FA0E2074CFJ	PLQP0032GB-A				
R7FA0E2074CNH	PWQN0032KE-A				
R7FA0E2073CFM	PLQP0064KB-C				-40～+105 °C
R7FA0E2073CFL	PLQP0048KB-B				
R7FA0E2073CNE	PWQN0048KC-A				
R7FA0E2073CFJ	PLQP0032GB-A				
R7FA0E2073CNH	PWQN0032KE-A				

1.4 機能の比較

表 1.12 機能の比較

型名		R7FA0E2094CFM R7FA0E2093CFM	R7FA0E2074CFM R7FA0E2073CFM	R7FA0E2094CFL R7FA0E2093CFL R7FA0E2094CNE R7FA0E2093CNE	R7FA0E2074CFL R7FA0E2073CFL R7FA0E2074CNE R7FA0E2073CNE	R7FA0E2094CFJ R7FA0E2093CFJ R7FA0E2094CNH R7FA0E2093CNH	R7FA0E2074CFJ R7FA0E2073CFJ R7FA0E2074CNH R7FA0E2073CNH
端子総数		64		48		32	
パッケージ		LFQFP		LFQFP/HWQFN		LQFP/HWQFN	
コードフラッシュメモリ		128 KB	64 KB	128 KB	64 KB	128 KB	64 KB
データフラッシュメモリ		2 KB		2 KB		2 KB	
SRAM（パリティ）		16 KB		16 KB		16 KB	
システム	CPU クロック	32 MHz		32 MHz		32 MHz	
	サブクロック発振器	あり		あり		あり	
	ICU	あり		あり		あり	
イベント制御	ELC	あり		あり		あり	
DMA	DTC	あり		あり		あり	
タイマ	TAU	8（PWM 出力：7）		8（PWM 出力：7）		8（PWM 出力：7）	
	TML32	1（32 ビットカウンタモード）、 2（16 ビットカウンタモード）、 4（8 ビットカウンタモード）		1（32 ビットカウンタモード）、 2（16 ビットカウンタモード）、 4（8 ビットカウンタモード）		1（32 ビットカウンタモード）、 2（16 ビットカウンタモード）、 4（8 ビットカウンタモード）	
	RTC	あり		あり		あり	
	IWDT	あり		あり		あり	
通信	SAU	6（簡易 SPI）、 6（簡易 IIC）、 2 (UART)、 1（LIN バス対応 UART）		5（簡易 SPI）、 6（簡易 IIC）、 2 (UART)、 1（LIN バス対応 UART）		3（簡易 SPI）、 4（簡易 IIC）、 2 (UART)、 1（LIN バス対応 UART）	
	UARTA	2		2		2	
	IICA	2		2		2	
アナログ	ADC12	15		13		10	
	TSN	あり		あり		あり	
データ処理	CRC	あり		あり		あり	
セキュリティ		TRNG		TRNG		TRNG	
I/O ポート	入出力端子	57		41		26	
	入力端子	3		3		3	
	プルアップ抵抗	40		26		16	
	N チャネルオープンドレイン出力	42		28		15	
	5 V トレランス	4		4		2	

1.5 端子機能

表 1.13 端子機能 (1/2)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL 端子	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	X2	入出力	水晶振動子用の接続端子。X2 端子を通じて外部クロック信号の入力が可能です。
	X1	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	PCLBUZ0, PCLBUZ1	出力	クロック出力／ブザー出力
	EXCLK	入力	メインクロック用の外部クロック入力
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ7	入力	マスカブル割り込み要求端子
TAU	TI00～TI07	入力	外部カウントクロック／キャプチャトリガを 16 ビットタイマ 00～07 へ入力するための端子
	TO00～TO07	出力	16 ビットタイマ 00～07 のタイマ出力端子
RTC	RTCOUT	出力	1 Hz クロック出力端子
IICA	SCLA0, SCLA1	入出力	クロック用の入出力端子
	SDAA0, SDAA1	入出力	データ用の入出力端子
SAU	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21	入出力	シリアルインタフェース SPI00、SPI01、SPI10、SPI11、SPI20、および SPI21 のシリアルクロック入出力端子
	SI00, SI01, SI10, SI11, SI20, SI21	入力	シリアルインタフェース SPI00、SPI01、SPI10、SPI11、SPI20、および SPI21 のシリアルデータ入力端子
	SO00, SO01, SO10, SO11, SO20, SO21	出力	シリアルインタフェース SPI00、SPI01、SPI10、SPI11、SPI20、および SPI21 のシリアルデータ出力端子
	SSI00	入力	シリアルインタフェース SPI00 のチップ選択端子
	SCL00, SCL01, SCL10, SCL11, SCL20, SCL21	出力	シリアルインタフェース IIC00、IIC01、IIC10、IIC11、IIC20、および IIC21 のシリアルクロック出力端子
	SDA00, SDA01, SDA10, SDA11, SDA20, SDA11	入出力	シリアルインタフェース IIC00、IIC01、IIC10、IIC11、IIC20、および IIC21 のシリアルデータ入出力端子
	RXD0、RXD1、RXD2	入力	シリアルインタフェース UART0、UART1、UART2 のシリアルデータ入力端子
	TXD0、TXD1、TXD2	出力	シリアルインタフェース UART0、UART1、UART2 のシリアルデータ出力端子
UARTA	RXDA0, RXDA1	入力	シリアルインタフェース UARTA0 および UARTA1 のシリアルデータ入力端子
	TXDA0, TXDA1	出力	シリアルインタフェース UARTA0 および UARTA のシリアルデータ出力端子

表 1.13 端子機能 (2/2)

機能	端子名	入出力	説明
アナログ電源	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。この端子は外部基準電圧または VCC に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。この端子は外部基準グランド電圧または VSS に接続してください。
ADC12	AN000～AN012, AN021～AN022	入力	A/D コンバータで処理されるアナログ信号用の入力端子。
I/O ポート	P000～P004, P008～P015	入出力	汎用入出力端子
	P100～P115	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P204～P208, P212, P213	入出力	汎用入出力端子
	P214、P215	入力	汎用入力端子
	P300～P304	入出力	汎用入出力端子
	P400～P403, P407～P411	入出力	汎用入出力端子
	P500～P502	入出力	汎用入出力端子
	P913～P915	入出力	汎用入出力端子

1.6 ピン配置図

図 1.3～図 1.5 にピン配置図（上面図）を示します。

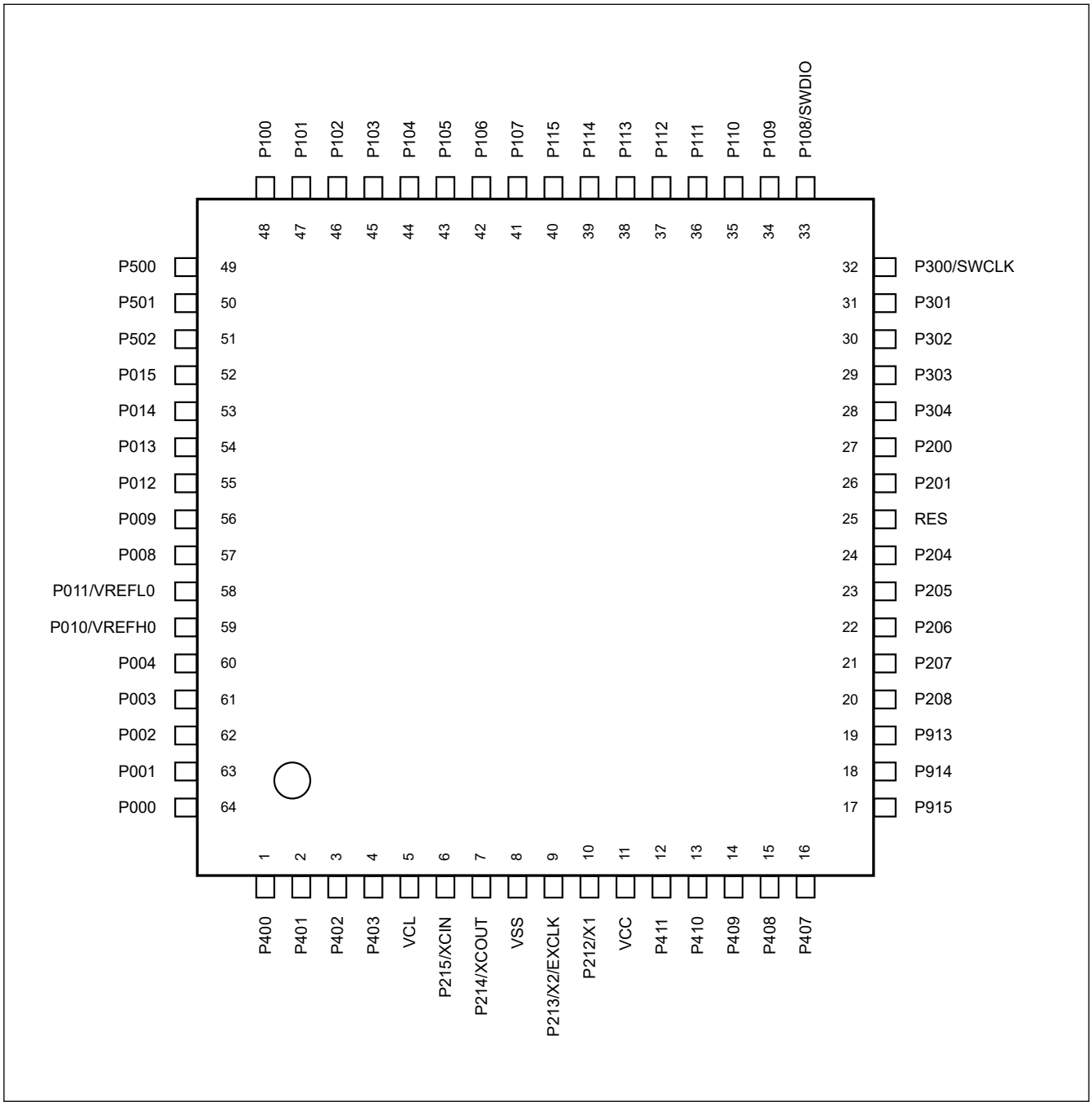


図 1.3 64 ピン LFQFP のピン配置図（上面図）

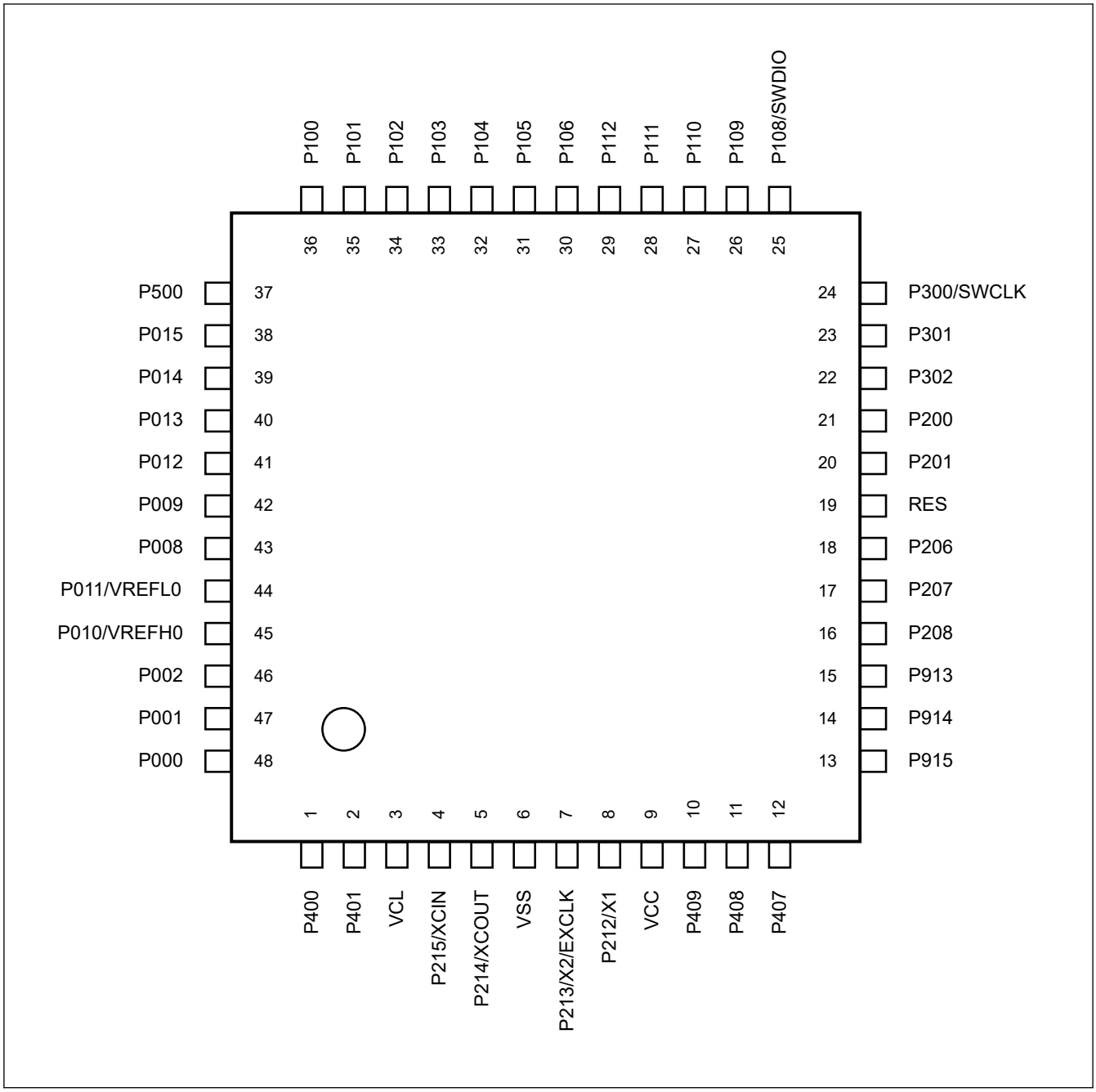


図 1.4　48 ピン LFQFP/HWQFN のピン配置図（上面図）

注.　QFN パッケージ製品では、exposed die pad を PCB にはんだ付けしてください。
exposed die pad は、電気的に開放であるように設計することを推奨します。

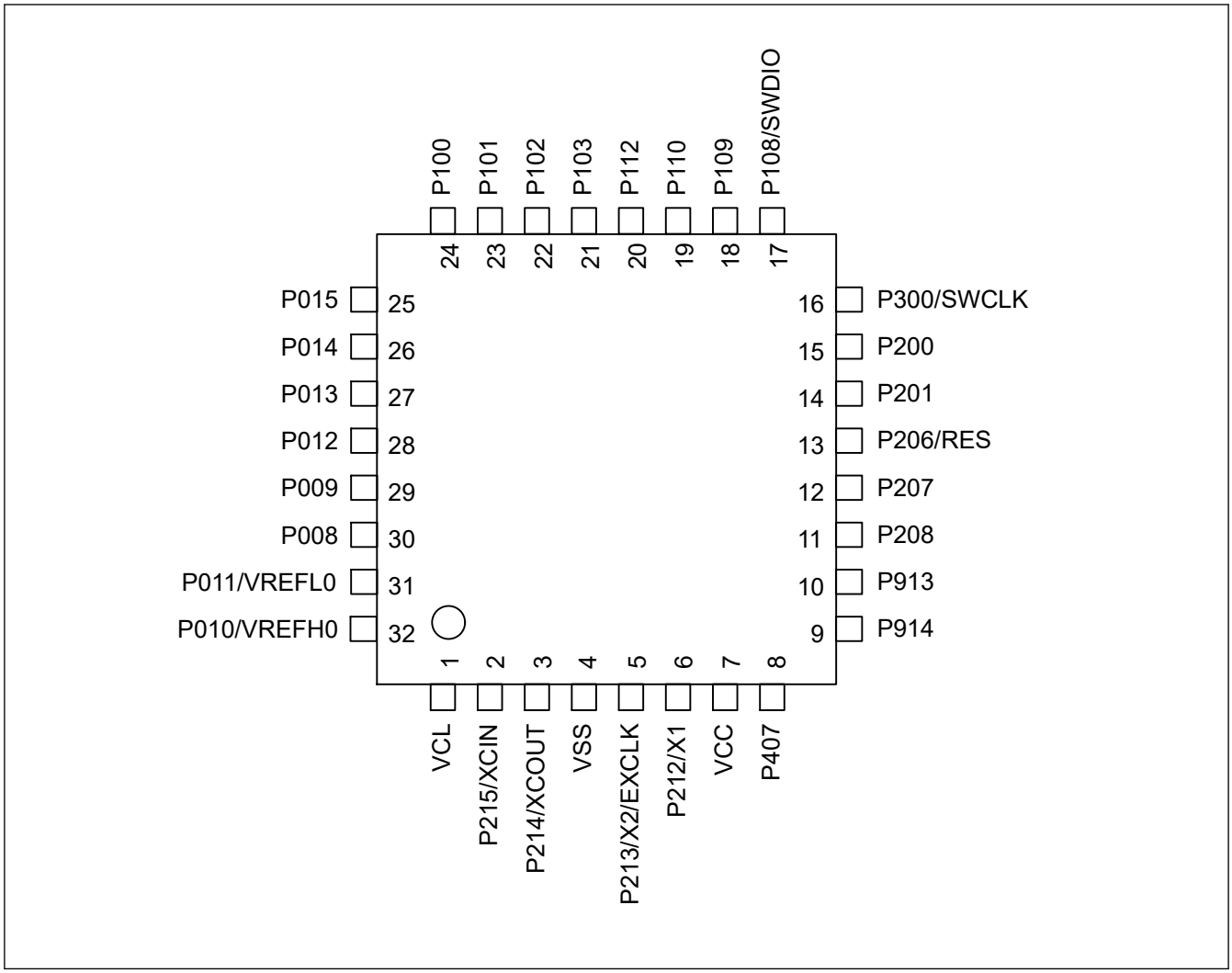


図 1.5　32 ピン LQFP/HWQFN のピン配置図（上面図）

注.　QFN パッケージ製品では、exposed die pad を PCB にはんだ付けしてください。
exposed die pad は、電気的に開放であるように設計することを推奨します。

1.7 端子一覧

表 1.14 端子一覧 (1/2)

端子番号						タイマ		通信インタフェース			アナログ
64 ピン	48 ピン	32 ピン	電源、システム、クロック、デバッグ	I/O ポート	割り込み	TAU	RTC	SAU	IICA	UARTA	ADC
1	1	—	—	P400	—	—	—	—	SCLA1_D	—	—
2	2	—	—	P401	—	—	—	—	SDAA1_D	—	—
3	—	—	—	P402	IRQ2_D	—	—	TXD2_B/ SO20_B	—	TXDA0_F	—
4	—	—	—	P403	IRQ4_E	—	—	RXD2_B/SI20_B/ SDA20_B	—	RXDA0_F	—
5	3	1	VCL	—	—	—	—	—	—	—	—
6	4	2	XCIN	P215	—	—	—	—	—	—	—
7	5	3	XCOUT	P214	—	—	—	—	—	—	—
8	6	4	VSS	—	—	—	—	—	—	—	—
9	7	5	X2/EXCLK	P213	IRQ0_B	TI00_A/TI02_B/ TO02_B	—	TXD1_A/SO11_A	SDAA0_B	TXDA0_B	—
10	8	6	X1	P212	IRQ1_B	TO00_A/TI03_C/ TO03_C	—	RXD1_A/SI11_A/ SDA11_A	SCLA0_B	RXDA0_B	—
11	9	7	VCC	—	—	—	—	—	—	—	—
12	—	—	—	P411	IRQ3_D	TI01_C/TO01_C	—	SCK11_D/ SCL11_D	SDAA0_E	TXDA1_D	—
13	—	—	—	P410	IRQ4_D	TI02_C/TO02_C	—	SCK20_B/ SCL20_B/ SSI00_D	SCLA0_E	RXDA1_D	—
14	10	—	—	P409	IRQ6_B	TI03_E/TO03_E	—	SCK11_C/ SCL11_C	—	—	—
15	11	—	—	P408	IRQ7_B	TI04_C/TO04_C	—	—	SCLA1_F	—	—
16	12	8	PCLBUZ0_C	P407	IRQ4_C	—	RTCOUT_A	SCK11_A/ SCL11_A	SDAA1_F(注1)	—	—
17	13	—	—	P915	—	—	—	SO01_B	—	—	—
18	14	9	—	P914	—	—	—	—	SCLA0_A	—	—
19	15	10	—	P913	—	—	—	—	SDAA0_A	—	—
20	16	11	—	P208	IRQ3_C	TI00_B	—	SCK01_B(注1)/ SCL01_B	SDAA1_A	TXDA0_A	—
21	17	12	—	P207	IRQ2_C	TO00_B	—	SI01_B(注1)/ SDA01_B	SCLA1_A	RXDA0_A	—
22	18	—	—	P206	IRQ0_C	—	—	SO01_A(注3)	SDAA1_E(注3)	TXDA1_E(注3)	—
23	—	—	PCLBUZ1_A	P205	IRQ5_C	—	—	SI01_A/ SDA01_A	SCLA1_E	RXDA1_E	—
24	—	—	—	P204	—	—	—	SCK01_A/ SCL01_A	—	—	—
25	19	13	RES	P206 (注2)	—	—	—	—	—	—	—
26	20	14	PCLBUZ0_A	P201	IRQ5_B	TI05_B/TO05_B	RTCOUT_B	SCK11_B/ SCL11_B/ SSI00_B	—	—	—
27	21	15	—	P200	IRQ0_A/NMI	—	—	—	—	—	—
28	—	—	—	P304	—	—	—	—	—	—	—
29	—	—	—	P303	—	—	—	SO21_A	—	—	—
30	22	—	—	P302	IRQ0_D	TI05_C/TO05_C	—	SCK21_A(注3)/ SCL21_A	SDAA1_C	TXDA1_C	—
31	23	—	—	P301	IRQ6_A	TI06_B/TO06_B	—	SI21_A(注3)/ SDA21_A	SCLA1_C	RXDA1_C	—
32	24	16	SWCLK	P300	—	TI04_B/TO04_B	—	—	—	—	—
33	25	17	SWDIO	P108	—	TI03_B/TO03_B	—	—	—	—	—
34	26	18	PCLBUZ1_B	P109	IRQ4_B	TI02_A/TO02_A	—	TXD2_A/ SO20_A	SDAA0_C	TXDA0_C	—

表 1.14 端子一覧 (2/2)

端子番号			電源、システム、クロック、デバッグ	I/O ポート	割り込み	タイマ		通信インタフェース			アナログ
64 ピン	48 ピン	32 ピン				TAU	RTC	SAU	IICA	UARTA	ADC
35	27	19	—	P110	IRQ3_B	TI01_A/TO01_A	—	RXD2_A/SI20_A/ SDA20_A	SCLA0_C	RXDA0_C	—
36	28	—	—	P111	IRQ1_C	TI07_B/TO07_B	—	—	—	—	—
37	29	20	—	P112	IRQ2_B	TI03_A/TO03_A	—	SCK20_A/ SCL20_A/ SSI00_C	—	—	—
38	—	—	—	P113	—	—	—	SO21_B	—	—	—
39	—	—	—	P114	—	—	—	SI21_B/ SDA21_B	—	—	—
40	—	—	—	P115	—	—	—	SCK21_B/ SCL21_B	—	—	—
41	—	—	—	P107	IRQ7_D	—	—	—	—	—	—
42	30	—	—	P106	IRQ0_E	—	—	SO10_A	—	TXDA1_B	—
43	31	—	—	P105	IRQ1_D	TI01_D/TO01_D/ TO00_D	—	SI10_A/ SDA10_A	—	RXDA1_B	—
44	32	—	—	P104	IRQ6_C	TI02_D/TO02_D/ TI00_D	—	SCK10_A/ SCL10_A	—	—	—
45	33	21	—	P103	IRQ5_A	TI05_A/TO05_A	—	SSI00_A	SDAA1_B	TXDA1_A	—
46	34	22	PCLBUZ0_B	P102	IRQ4_A	TI06_A/TO06_A/ TO00_C	RTCOUT_C	SCK00_A/ SCL00_A	SCLA1_B	RXDA1_A	—
47	35	23	—	P101	IRQ3_A	TI07_A/TO07_A/ TI00_C	—	TXD0_A/ SO00_A	SDAA0_D	TXDA0_D	AN021
48	36	24	—	P100	IRQ2_A	TI04_A/TO04_A/ TI01_B/TO01_B	—	RXD0_A/SI00_A/ SDA00_A	SCLA0_D	RXDA0_D	AN022
49	37	—	—	P500	—	TI03_D/TO03_D	—	SCK00_B(注3)/ SCL00_B(注3)	—	—	—
50	—	—	—	P501	—	TI04_D/TO04_D	—	TXD0_B/ SO00_B	SDAA0_F	TXDA0_E	—
51	—	—	—	P502	IRQ5_D	—	—	RXD0_B/SI00_B/ SDA00_B	SCLA0_F	RXDA0_E	—
52	38	25	—	P015	IRQ1_A	—	—	—	—	—	AN007
53	39	26	—	P014	—	—	—	—	—	—	AN006
54	40	27	—	P013	—	—	—	—	—	—	AN005
55	41	28	—	P012	—	—	—	—	—	—	AN004
56	42	29	—	P009	—	—	—	—	—	—	AN003
57	43	30	—	P008	—	—	—	—	—	—	AN002
58	44	31	VREFL0	P011	—	—	—	—	—	—	AN001
59	45	32	VREFH0	P010	—	—	—	—	—	—	AN000
60	—	—	—	P004	IRQ2_E	—	—	—	—	—	AN012
61	—	—	—	P003	—	—	—	—	—	—	AN011
62	46	—	—	P002	IRQ7_C	—	—	—	—	—	AN010
63	47	—	—	P001	IRQ7_A	—	—	—	—	—	AN009
64	48	—	—	P000	IRQ6_D	—	—	—	—	—	AN008

注 1. 48 ピンおよび 64 ピン製品でのみ使用可能です。
注 2. 32 ピン製品でのみ使用可能です。
注 3. 64 ピン製品でのみ使用可能です。

注. いくつかの信号名には、接尾語として_A、_B、_C、_D、_E、または_F が付加されています。これらの接尾語は、SAU と IICA を除いて、機能の割り当て時には無視できます。SAU と IICA の場合は、SCL11 と SCK11 を除いて、同じ接尾語を持つ信号のみを選択できます。同じ信号に異なる接尾語を付加して同時に使用することは禁止されています。

2. 電気的特性

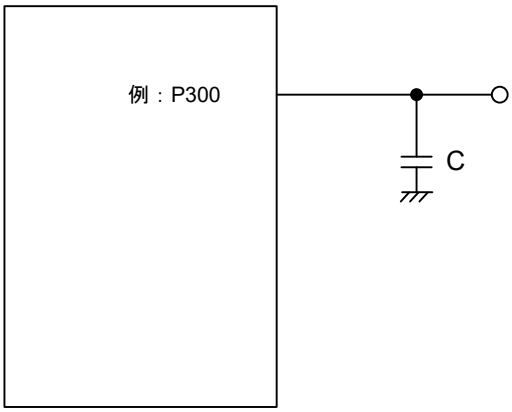
特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

VCC(注1) = VREFH0 = 1.6～5.5 V

VSS = VREFL0 = 0 V, Ta = T_{opr}

注 1. 通常は VCC = 3.3 V に設定されています。

図 2.1 は、タイミング条件を示しています。



V_{OH} = VCC × 0.7, V_{OL} = VCC × 0.3
V_{IH} = VCC × 0.7, V_{IL} = VCC × 0.3
負荷容量C = 30 pF

図 2.1 入出力タイミング計測条件

2.1 絶対最大定格

表 2.1 絶対最大定格 (1/2)

項目		シンボル	値	単位
電源電圧		VCC	-0.5～+6.5	V
VCL 端子入力電圧		V_{IVCL}	-0.3～+2.1 および-0.3～VCC + 0.3(注1)	V
入力電圧	P100～P115, P200, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915, RES	V_I1	-0.3～VCC + 0.3(注2)	V
	P400, P401, P913, P914（5 V トレラント）	V_I2	-0.3～+6.5	V
	P000～P004, P008～P015, P212～P215	V_I3	-0.3～VCC + 0.3(注2)	V
出力電圧	P100～P115, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915	V_O1	-0.3～VCC + 0.3(注2)	V
	P400, P401, P913, P914（N チャネルオープンドレイン）	V_O2	-0.3～+6.5	V
	P000～P004, P008～P015, P212, P213	V_O3	-0.3～VCC + 0.3(注2)	V
アナログ入力電圧	AN000～AN012	$V_{AI}1$	-0.3～VCC + 0.3 および-0.3～VREFH0 + 0.3(注2) (注3)	V
	AN021～AN022	$V_{AI}2$	-0.3～VCC + 0.3 および-0.3～VREFH0 + 0.3(注2) (注3)	V

表 2.1 絶対最大定格 (2/2)

項目			シンボル	値	単位
High レベル出力電流	P100～P115, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915	端子ごと	$I_{OH}1$	-40	mA
	P402, P403	全端子の合計		-70	mA
	P100～P115, P201, P204～P208, P300～P304, P407～P411, P500～P502, P915			-100	mA
	P000～P004, P008～P015, P212, P213	端子ごと	$I_{OH}2$	-5	mA
		全端子の合計		-20	mA
Low レベル出力電流	P100～P115, P201, P204～P208, P300～P304, P400～P403, P407～P411, P500～P502, P913～P915	端子ごと	$I_{OL}1$	40	mA
	P400～P403	全端子の合計		70	mA
	P100～P115, P201, P204～P208, P300～P304, P407～P411, P500～P502, P913～P915			100	mA
	P000～P004, P008～P015, P212, P213	端子ごと	$I_{OL}2$	10	mA
		全端子の合計		20	mA
動作温度	通常動作モード		Ta	-40～+105 -40～+125	℃
	フラッシュメモリプログラミングモード			-40～+105 -40～+125	℃
保存温度			Tstg	-65～+150	℃

注 1. コンデンサ (0.47～1 μF) を介して VCL 端子を VSS 端子に接続してください。表に記載された値は、VCL 端子の絶対最大定格です。コンデンサ接続のみを使用してください。この端子には特定の電圧を印加しないでください。
注 2. この電圧は 6.5 V 以下にしてください。
注 3. A/D 変換に使用する端子の電圧は、VREFH0 + 0.3 を超えないでください。

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

注. VREFH0 は A/D コンバータの正の基準電圧を参照します。

注. 基準電圧は VSS です。

【使用上の注意】瞬間的にでも、いずれかの項目が絶対最大定格を超えた場合、製品の品質が損なわれる可能性があります。つまり、絶対最大定格は、製品に物理的損傷が生じる寸前で評価された値です。したがって、絶対最大定格を超えない条件下で、製品を使用してください。

表 2.2 推奨動作条件

項目	シンボル		Min	Typ	Max	単位
電源電圧	VCC		1.6	—	5.5	V
	VSS		—	0	—	V
アナログ電源電圧	VREFH0	ADC12 基準として使用時	1.6	—	VCC	V
	VREFL0		—	0	—	V

2.1.1 Tj/Ta の定義

表 2.3 Tj/Ta の定義

条件：動作温度が Ta = -40～+125℃の製品

項目	シンボル	Typ	Max(注1)	単位	測定条件
許容ジャンクション温度	Tj	—	140 125	℃	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード

注 1. 動作温度の上限は、105℃または 125℃です（製品による）。詳細は、「1.3 型名」を参照してください。型名が動作温度の上限 105℃を示している場合、Tj の最大値は 125℃になります。それ以外の場合 140℃になります。

注. $Tj = T_a + \theta ja \times$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CC}max \times VCC$ です。

2.2 オシレータ特性

2.2.1 メインクロック発振器特性

表 2.4 メインクロック発振器特性

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		Min	Typ	Max	単位	測定条件
メインクロック発振許可入力サイクル時間(注1)	セラミック発振子 水晶振動子	0.05	—	1	μs	—

注 1. この表に記載された時間と周波数は、発振器の許容範囲を示します。実際のアプリケーションについては、適切な値を使用できるように、基板に搭載された発振器回路のメーカーによる評価を要求してください。命令実行時間は、AC 特性を参照してください。

注. CPU は、リセット状態解除後の高速オンチップオシレータクロックにより起動するので、X1 クロック発振安定時間をチェックするために、ユーザーは発振安定時間カウンタ状態レジスタ (OSTC) を使用してください。使用している発振子の発振安定時間を十分評価した後、OSTC レジスタと発振安定時間選択レジスタ (OSTS) で発振安定時間の値を設定してください。

2.2.2 サブクロック発振器特性

表 2.5 サブクロック発振器特性

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		Min	Typ	Max	単位	測定条件
サブクロック発振周波数 (f_{SOSC})(注1)	水晶振動子	—	32.768	—	kHz	—

注 1. この表に記載された時間と周波数は、発振器の許容範囲を示します。実際のアプリケーションについては、適切な値を使用できるように、基板に搭載された発振器回路のメーカーによる評価を要求してください。命令実行時間は、AC 特性を参照してください。

2.2.3 オンチップオシレータ特性

表 2.6 オンチップオシレータ特性 (1/2)

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
高速オンチップオシレータクロック周波数		f_{HOCO}	1	—	32	MHz	—
高速オンチップオシレータクロック周波数精度	OSCSF.HOCOSF = 1	—	-1.0	—	+1.0	%	Ta = -40～+125℃, 1.6 V ≦ VCC ≦ 5.5 V
	OSCSF.HOCOSF = 0(注3)	—	-15	—	0	%	—
高速オンチップオシレータクロック周波数トリミング分解能		—	—	0.05	—	%	—
高速オンチップオシレータクロック発振安定時間(注4)		t_{HOCO}	—	—	4.4	μs	—
中速オンチップオシレータクロック周波数(注1)		f_{MOCO}	1	—	4	MHz	—

表 2.6 オンチップオシレータ特性 (2/2)

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目	シンボル	Min	Typ	Max	単位	測定条件
中速オンチップオシレータクロック周波数精度	—	-12	—	12	%	—
中速オンチップオシレータクロック周波数トリミング分解能	—	—	0.15	—	%	—
中速オンチップオシレータクロック発振安定時間	t_{MOCO}	—	—	1	μs	—
中速オンチップオシレータ周波数温度係数	—	—	—	±0.17(注2)	%/°C	—
低速オンチップオシレータクロック周波数(注1)	f_{LOCO}	—	32.768	—	kHz	—
低速オンチップオシレータクロック周波数精度	—	-15	—	15	%	—
低速オンチップオシレータクロック周波数トリミング分解能	—	—	0.3	—	%	—
低速オンチップオシレータクロック発振安定時間	t_{LOCO}	—	—	100	μs	—
低速オンチップオシレータ周波数温度係数	—	—	—	±0.21(注2)	%/°C	—

注 1. この表に記載された値は、オシレータ特性のみを示しています。命令実行時間は、AC 特性を参照してください。
注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。
注 3. この表に記載された条件は、OFS1.HOCOFRQ1[2:0] = 010b の場合に適用されます。
注 4. OSCSF.HOCOSF を確認して、安定時間が経過したかを確認してください。

2.3 DC 特性

2.3.1 端子特性

表 2.7 I/O I_{OH}

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
許容 High レベル出力電流 (注1)	P100～P115, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915 の端子ごと	$I_{OH}1$	—	—	-10(注2)	mA	1.6 V ≦ VCC ≦ 5.5 V
	P402, P403 の合計（デューティー比 ≦ 70% の場合(注3)）		—	—	-55(注4)	mA	4.0 V ≦ VCC ≦ 5.5 V
			—	—	-10	mA	2.7 V ≦ VCC < 4.0 V
			—	—	-5	mA	1.8 V ≦ VCC < 2.7 V
			—	—	-2.5	mA	1.6 V ≦ VCC < 1.8 V
	P100～P115, P201, P204～P208, P300～P304, P407～P411, P500～P502, P915 の合計（デューティー比 ≦ 70% の場合(注3)）		—	—	-80(注5)	mA	4.0 V ≦ VCC ≦ 5.5 V
			—	—	-19	mA	2.7 V ≦ VCC < 4.0 V
			—	—	-10	mA	1.8 V ≦ VCC < 2.7 V
			—	—	-5	mA	1.6 V ≦ VCC < 1.8 V
	全端子の合計（デューティー比 ≦ 70% の場合(注3)）		—	—	-135(注6)	mA	1.6 V ≦ VCC ≦ 5.5 V
	P000～P004, P008～P015, P212, P213 の端子ごと	$I_{OH}2$	—	—	-3(注2)	mA	4.0 V ≦ VCC ≦ 5.5 V
			—	—	-1(注2)	mA	2.7 V ≦ VCC < 4.0 V
			—	—	-1(注2)	mA	1.8 V ≦ VCC < 2.7 V
			—	—	-0.5(注2)	mA	1.6 V ≦ VCC < 1.8 V
	全端子の合計（デューティー比 ≦ 70% の場合(注3)）		—	—	-20	mA	4.0 V ≦ VCC ≦ 5.5 V
			—	—	-10	mA	2.7 V ≦ VCC < 4.0 V
			—	—	-5	mA	1.8 V ≦ VCC < 2.7 V
			—	—	-5	mA	1.6 V ≦ VCC < 1.8 V

注 1. 電流が VCC 端子から出力端子まで流れていても、デバイスの動作は表に記載された電流値で保証されます。
注 2. これらの端子と他の端子の組み合わせにおいても、全電流の最大値を超えてはいけません。
注 3. デューティー比が 70%以下の場合は、表に記載された電流値が適用されます。デューティー比が 70%より大きい場合は（n はデューティー比）、出力電流値を算出するために、以下の式を使用してください。

- 表に記載された端子からの合計出力電流値 = (I_{OH} × 0.7)/(n × 0.01)
  例：n = 80%で、I_{OH} = -10.0 mA のとき、
  表に記載された端子からの合計出力電流値 = (-10.0 × 0.7)/(80 × 0.01) = -8.75 mA
  デューティー比は 1 つの端子に入力可能な電流に影響を与えないことに注意してください。絶対最大定格より大きい電流を 1 つの端子に流してはいけません。

注 4. 動作温度範囲 85℃～125℃で、最大値は-30 mA です。
注 5. 動作温度範囲 85℃～125℃で、最大値は-50 mA です。
注 6. 動作温度範囲 85℃～125℃で、最大値は-60 mA です。

注. 以下の端子は、N チャネルオープンドレインモードで High レベル信号を出力できません。

P100～P107, P109～P115, P201, P204～P208, P212, P213, P301～P304, P402, P403, P407～P411, P500～P502, P915

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

表 2.8 I/O I_{OL}

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
許容 Low レベル出力電流 (注1)	P100～P115, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915 の端子ごと	$I_{OL}1$	—	—	20(注2)	mA	—
	P400, P401, P913, P914 の端子ごと		—	—	15(注2)	mA	—
	P400～P403 の合計（デューティー比 ≦ 70% の場合(注3)）		—	—	70(注4)	mA	4.0 V ≦ VCC ≦ 5.5 V
			—	—	15	mA	2.7 V ≦ VCC < 4.0 V
			—	—	9	mA	1.8 V ≦ VCC < 2.7 V
			—	—	4.5	mA	1.6 V ≦ VCC < 1.8 V
	P100～P115, P201, P204～P208, P300～P304, P407～P411, P500～P502, P913～P915 の合計（デューティー比 ≦ 70% の場合(注3)）		—	—	80(注4)	mA	4.0 V ≦ VCC ≦ 5.5 V
			—	—	35	mA	2.7 V ≦ VCC < 4.0 V
			—	—	20	mA	1.8 V ≦ VCC < 2.7 V
			—	—	10	mA	1.6 V ≦ VCC < 1.8 V
	全端子の合計（デューティー比 ≦ 70% の場合(注3)）		—	—	150(注5)	mA	1.6 V ≦ VCC ≦ 5.5 V
	P000～P004, P008～P015, P212, P213 の端子ごと	$I_{OL}2$	—	—	8.5(注2)	mA	4.0 V ≦ VCC ≦ 5.5 V
			—	—	1.5(注2)	mA	2.7 V ≦ VCC < 4.0 V
			—	—	0.6(注2)	mA	1.8 V ≦ VCC < 2.7 V
			—	—	0.4(注2)	mA	1.6 V ≦ VCC < 1.8 V
	全端子の合計（デューティー比 ≦ 70% の場合(注3)）		—	—	20	mA	4.0 V ≦ VCC ≦ 5.5 V
			—	—	20	mA	2.7 V ≦ VCC < 4.0 V
			—	—	15	mA	1.8 V ≦ VCC < 2.7 V
			—	—	10	mA	1.6 V ≦ VCC < 1.8 V

注 1. 電流が出力端子から VSS 端子まで流れていても、デバイスの動作は表に記載された電流値で保証されます。
注 2. これらの端子と他の端子の組み合わせにおいても、全電流の最大値を超えてはいけません。
注 3. デューティー比が 70%以下の場合は、表に記載された電流値が適用されます。デューティー比が 70%より大きい場合は（n はデューティー比）、出力電流値を算出するために、以下の式を使用してください。

- 表に記載された端子からの合計出力電流値 = (I_{OL} × 0.7)/(n × 0.01)
  例：n = 80%で、I_{OL} = 10.0 mA のとき、
  表に記載された端子からの合計出力電流値 = (10.0 × 0.7)/(80 × 0.01) = 8.75 mA
  デューティー比は 1 つの端子に入力可能な電流に影響を与えないことに注意してください。
  絶対最大定格より大きい電流を 1 つの端子に流してはいけません。

注 4. 動作温度範囲 85℃～125℃で、最大値は 40 mA です。
注 5. 動作温度範囲 85℃～125℃で、最大値は 80 mA です。

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

表 2.9 I/O V_{IH}, V_{IL}

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目			シンボル	Min	Typ	Max	単位	測定条件
入力電圧、High	P100～P115, P200, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915, RES	通常入力バッファ	$V_{IH}1$	VCC × 0.8	—	VCC	V	—
	P100～P115, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915	TTL 入力バッファ	$V_{IH}2$	2.2	—	VCC	V	4.0 V ≦ VCC ≦ 5.5 V
				2.0	—	VCC	V	3.3 V ≦ VCC < 4.0 V
				1.5	—	VCC	V	1.6 V ≦ VCC < 3.3 V
	P000～P004, P008～P015		$V_{IH}3$	VCC × 0.7	—	VCC	V	—
	P400, P401, P913, P914		$V_{IH}4$	VCC × 0.7	—	6.0	V	—
	P212～P215		$V_{IH}5$	VCC × 0.8	—	VCC	V	—
入力電圧、Low	P100～P115, P200, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915, RES	通常入力バッファ	$V_{IL}1$	0	—	VCC × 0.2	V	—
	P100～P115, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915	TTL 入力バッファ	$V_{IL}2$	0	—	0.8	V	4.0 V ≦ VCC ≦ 5.5 V
				0	—	0.5	V	3.3 V ≦ VCC < 4.0 V
				0	—	0.32	V	1.6 V ≦ VCC < 3.3 V
	P000～P004, P008～P015		$V_{IL}3$	0	—	VCC × 0.3	V	—
	P400, P401, P913, P914		$V_{IL}4$	0	—	VCC × 0.3	V	—
	P212～P215		$V_{IL}5$	0	—	VCC × 0.2	V	—

注. N チャネルオープンドレインモードでも、P100～P107, P109～P115, P201, P204～P208, P212, P213, P301～P304, P402, P403, P407～P411, P500～P502, P915 端子の V_{IH} の最大値は、VCC です。

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

表 2.10 I/O V_{OH}, V_{OL}

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧、High	P100～P115, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915	$V_{OH}1$	VCC - 1.5	—	—	V	4.0 V ≦ VCC ≦ 5.5 V $I_{OH}1$ = -10 mA
			VCC - 0.7	—	—	V	4.0 V ≦ VCC ≦ 5.5 V $I_{OH}1$ = -3 mA
			VCC - 0.6	—	—	V	2.7 V ≦ VCC ≦ 5.5 V $I_{OH}1$ = -2 mA
			VCC - 0.5	—	—	V	1.8 V ≦ VCC ≦ 5.5 V $I_{OH}1$ = -1.5 mA
			VCC - 0.5	—	—	V	1.6 V ≦ VCC ≦ 5.5 V $I_{OH}1$ = -1 mA
	P000～P004, P008～P015, P212, P213	$V_{OH}2$	VCC - 0.7	—	—	V	4.0 V ≦ VCC ≦ 5.5 V $I_{OH}2$ = -3 mA
			VCC - 0.5	—	—	V	2.7 V ≦ VCC < 4.0 V $I_{OH}2$ = -1 mA
			VCC - 0.5	—	—	V	1.8 V ≦ VCC < 2.7 V $I_{OH}2$ = -1 mA
			VCC - 0.5	—	—	V	1.6 V ≦ VCC < 1.8 V $I_{OH}2$ = -0.5 mA
出力電圧、Low	P100～P115, P201, P204～P208, P300～P304, P402, P403, P407～P411, P500～P502, P915	$V_{OL}1$	—	—	1.3	V	4.0 V ≦ VCC ≦ 5.5 V $I_{OL}1$ = 20 mA
			—	—	0.7	V	4.0 V ≦ VCC ≦ 5.5 V $I_{OL}1$ = 8.5 mA
			—	—	0.6	V	2.7 V ≦ VCC ≦ 5.5 V $I_{OL}1$ = 3 mA
			—	—	0.4	V	2.7 V ≦ VCC ≦ 5.5 V $I_{OL}1$ = 1.5 mA
			—	—	0.4	V	1.8 V ≦ VCC ≦ 5.5 V $I_{OL}1$ = 0.6 mA
			—	—	0.4	V	1.6 V ≦ VCC ≦ 5.5 V $I_{OL}1$ = 0.3 mA
	P000～P004, P008～P015, P212, P213	$V_{OL}2$	—	—	0.7	V	4.0 V ≦ VCC ≦ 5.5 V $I_{OL}2$ = 8.5 mA
			—	—	0.5	V	2.7 V ≦ VCC < 4.0 V $I_{OL}2$ = 1.5 mA
			—	—	0.4	V	1.8 V ≦ VCC < 2.7 V $I_{OL}2$ = 0.6 mA
			—	—	0.4	V	1.6 V ≦ VCC < 1.8 V $I_{OL}2$ = 0.4 mA
	P400, P401, P913, P914	$V_{OL}3$	—	—	2.0	V	4.0 V ≦ VCC ≦ 5.5 V $I_{OL}3$ = 15 mA
			—	—	0.4	V	4.0 V ≦ VCC ≦ 5.5 V $I_{OL}3$ = 5 mA
			—	—	0.4	V	2.7 V ≦ VCC ≦ 5.5 V $I_{OL}3$ = 3 mA
			—	—	0.4	V	1.8 V ≦ VCC ≦ 5.5 V $I_{OL}3$ = 2 mA
			—	—	0.4	V	1.6 V ≦ VCC ≦ 5.5 V $I_{OL}3$ = 1 mA

注. P100～P107, P109～P115, P201, P204～P208, P212, P213, P301～P304, P402, P403, P407～P411, P500～P502, P915 は、N チャネルオープンドレインモードで High レベル信号を出力しません。

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

表 2.11 I/O その他の特性

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流、High	P100～P115, P200, P201, P204～P208, P300～P304, P400～P403, P407～P411, P500～P502, P913～P915, RES	$I_{LIH}1$	—	—	1	μA	V_I = VCC
	P000～P004, P008～P015	$I_{LIH}2$	—	—	1	μA	V_I = VCC
	P212～P215	$I_{LIH}3$	—	—	1	μA	V_I = VCC
入力リーク電流、Low	P100～P115, P200, P201, P204～P208, P300～P304, P400～P403, P407～P411, P500～P502, P913～P915, RES	$I_{LIL}1$	—	—	-1	μA	V_I = VSS
	P000～P004, P008～P015	$I_{LIL}2$	—	—	-1	μA	V_I = VSS
	P212～P215	$I_{LIL}3$	—	—	-1	μA	V_I = VSS
内蔵プルアップ抵抗	P100～P115, P201, P204～P208, P212, P213, P300～P304, P402, P403, P407～P411, P500～P502, P915, RES	R_U	10	20	100	kΩ	V_I = VSS 入力ポート
入力容量	P200	Cin	—	—	30	pF	Vin = 0 V, f = 1 MHz, Ta = 25°C
	その他の入力端子		—	—	15		

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

2.3.2 動作電流とスタンバイ電流

表 2.12 動作電流とスタンバイ電流 (1) (1/2)

条件：VCC = 1.6～5.5 V

項目					シンボル	Typ (注5)	Max	単位	測定条件
消費電流 (注1)	High-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行	ICLK = 32 MHz	Icc	2.8	—	mA	—
			すべての周辺クロックが有効、CoreMark コードはフラッシュから実行(注6)	ICLK = 32 MHz		—	5.1		—
		スリープモード	すべての周辺クロックが無効	ICLK = 32 MHz		0.89	—		—
			すべての周辺クロックが有効(注6)	ICLK = 32 MHz		—	2.8		—
	Middle-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行	ICLK = 24 MHz		2.1	—		—
				ICLK = 16 MHz		1.6	—		—
				ICLK = 8 MHz		1.0	—		—
				ICLK = 4 MHz		0.70	—		—
			すべての周辺クロックが有効、CoreMark コードはフラッシュから実行(注6)	ICLK = 24 MHz		—	3.8		—
				ICLK = 16 MHz		—	2.8		—
				ICLK = 8 MHz		—	1.6		—
				ICLK = 4 MHz		—	1.1		—
		スリープモード	すべての周辺クロックが無効	ICLK = 24 MHz		0.73	—		—
				ICLK = 16 MHz		0.64	—		—
				ICLK = 8 MHz		0.52	—		—
				ICLK = 4 MHz		0.46	—		—
			すべての周辺クロックが有効(注6)	ICLK = 24 MHz		—	2.2		—
				ICLK = 16 MHz		—	1.7		—
				ICLK = 8 MHz		—	1.1		—
				ICLK = 4 MHz		—	0.8		—
	Low-speed モード(注3)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行	ICLK = 2 MHz		189	—	μA	—
			すべての周辺クロックが有効、CoreMark コードはフラッシュから実行(注6)	ICLK = 2 MHz		—	332		—
		スリープモード	すべての周辺クロックが無効	ICLK = 2 MHz		52	—		—
			すべての周辺クロックが有効(注6)	ICLK = 2 MHz		—	167		—

表 2.12 動作電流とスタンバイ電流 (1) (2/2)

条件：VCC = 1.6～5.5 V

項目						シンボル	Typ (注5)	Max	単位	測定条件
消費電流 (注1)	Subosc-speed モード(注4)	通常モード	周辺クロックが無効	ICLK = 32.768 kHz	Ta = -40 °C	Icc	3.2	—	μA	—
					Ta = 25 °C		3.5	—		
					Ta = 50 °C		3.8	—		
					Ta = 70 °C		4.2	—		
					Ta = 85 °C		4.7	—		
					Ta = 105 °C		6.3	—		
					Ta = 125 °C		9.7	—		
			周辺クロックが有効(注7)	ICLK = 32.768 kHz	Ta = -40 °C		—	7.1		
					Ta = 25 °C		—	7.5		
					Ta = 50 °C		—	9.6		
					Ta = 70 °C		—	14		
					Ta = 85 °C		—	22		
					Ta = 105 °C		—	40		
					Ta = 125 °C		—	89		
		スリープモード	周辺クロックが無効	ICLK = 32.768 kHz	Ta = -40 °C		0.9	—		—
					Ta = 25 °C		1.1	—		
					Ta = 50 °C		1.3	—		
					Ta = 70 °C		1.5	—		
					Ta = 85 °C		1.9	—		
					Ta = 105 °C		3.1	—		
					Ta = 125 °C		5.4	—		
			周辺クロックが有効(注7)	ICLK = 32.768 kHz	Ta = -40 °C		—	4.6		
					Ta = 25 °C		—	4.9		
					Ta = 50 °C		—	7.0		
					Ta = 70 °C		—	11		
					Ta = 85 °C		—	18		
					Ta = 105 °C		—	36		
					Ta = 125 °C		—	84		

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
注 2. クロックソースは高速オンチップオシレータ (HOCO) です。
注 3. クロックソースは中速オンチップオシレータ (MOCO) です。
注 4. クロックソースはサブクロック発振器 (SOSC) で、CMC.SODRV[1:0]は 10b（低消費電力モード 2）です。
注 5. VCC = 3.3 V
注 6. PCLBUZ 機能、TAU 機能、SAU 機能、および IICA 機能のみの動作電流を含みます。その他の周辺動作電流については、表 2.14 の周辺機能消費電流を加算してください。
注 7. PCLBUZ 機能、TAU 機能、および SAU 機能のみの動作電流を含みます。その他の周辺動作電流については、表 2.14 の周辺機能消費電流を加算してください。

表 2.13 動作電流とスタンバイ電流 (2)

条件：VCC = 1.6～5.5 V

項目						シンボル	Typ(注3)	Max	単位	測定条件
消費電流(注1)	ソフトウェアスタンバイモード(注2)	周辺モジュール停止	PSMCR.RAMSD[1:0] = 00b	すべての SRAM (0x2000_4000～0x2000_7FFF) がオン	Ta = -40 °C	Icc	0.20	1.2	μA	—
					Ta = 25 °C		0.25	1.2		
					Ta = 50 °C		0.35	3.0		
					Ta = 70 °C		0.60	7.0		
					Ta = 85 °C		0.95	14		
					Ta = 105 °C		2.2	32		
					Ta = 125 °C		4.6	80		
			PSMCR.RAMSD[1:0] = 11b	8 KB SRAM (0x2000_4000～0x2000_5FFF) のみがオン	Ta = -40 °C		0.20	1.2		—
					Ta = 25 °C		0.25	1.2		
					Ta = 50 °C		0.35	3.0		
					Ta = 70 °C		0.55	6.5		
					Ta = 85 °C		0.90	13		
					Ta = 105 °C		2.0	28		
					Ta = 125 °C		4.3	75		

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。

注 2. IWDT と LVD は動作していません。

注 3. VCC = 3.3 V

表 2.14 周辺機能消費電流

条件：VCC = 1.6～5.5 V

項目				シンボル	Typ(注12)	Max	単位	測定条件
周辺機能消費電流(注1)	高速オンチップオシレータ動作電流(注1)		OFS1.HOCOFRQ1[2:0] = 010b	I_{HOCO}	320	—	μA	—
	中速オンチップオシレータ動作電流(注1)			I_{MOCO}	20	—	μA	—
	低速オンチップオシレータ動作電流(注1)			I_{LOCO}	0.24	—	μA	—
	メインクロック発振器	CMC.MODRV = 0	f_{MOCO} = 10 MHz	I_{MOSC}	160	—	μA	—
		CMC.MODRV = 1	f_{MOCO} = 20 MHz		330	—	μA	—
	サブクロック発振器	SBYCR.RTCLPC が 1	CMC.SODRV[1:0] = 11b（低消費電力モード 3）	I_{SOSC}	0.13	—	μA	—
			CMC.SODRV[1:0] = 10b（低消費電力モード 2）		0.34	—	μA	—
			CMC.SODRV[1:0] = 00b（低消費電力モード 1）		0.49	—	μA	—
			CMC.SODRV[1:0] = 01b（通常モード）		0.62	—	μA	—
		SBYCR.RTCLPC が 0	CMC.SODRV[1:0] = 11b（低消費電力モード 3）		0.30	—	μA	
			CMC.SODRV[1:0] = 10b（低消費電力モード 2）		0.51	—	μA	
			CMC.SODRV[1:0] = 00b（低消費電力モード 1）		0.65	—	μA	
			CMC.SODRV[1:0] = 01b（通常モード）		0.80	—	μA	
	RTC(注1)(注2)(注3)	RTCC0.RTC128EN = 0		I_{RTC}	0.006	—	μA	—
		RTCC0.RTC128EN = 1			0.001	—	μA	—
	32 ビットインターバルタイマ動作電流(注1)(注2)(注4)			I_{IT}	0.06	—	μA	—
	独立ウォッチドッグタイマ動作電流(注1)(注2)(注5)		f_{LOCO} = 32.768 kHz (typ.)	I_{IWDT}	0.03	—	μA	—
	A/D コンバータ動作電流(注1)(注6)	最高速度で変換時	通常モード、VREFH0 = VCC = 5.0 V	I_{ADC}	0.85	1.6	mA	—
			低電圧モード、VREFH0 = VCC = 3.0 V		0.46	0.75	mA	—
	VREFH0 電流(注7)		VREFH0 = 5.0 V	I_{ADREF}	68	—	μA	—
	A/D コンバータ内部基準電圧電流(注1)			I_{ADREF}	86	—	μA	—
	温度センサ動作電流(注1)			I_{TMPS}	100	—	μA	—
	LVD 動作電流(注1)		LVD0 有効(注8)	I_{LVD0}	0.03	—	μA	—
			LVD1 有効(注9)	I_{LVD1}	0.03	—	μA	—
	セルフプログラミング動作電流(注1)(注10)			I_{FSP}	—	12.2	mA	—
	データフラッシュ書き換え動作電流(注1)(注11)			I_{BGO}	—	12.2	mA	—
	真性乱数生成器の動作電流(注1)			I_{TRNG}	1.1	—	mA	—
	DTC		RAM へのデータ転送	I_{DTC}	1.82	—	mA	—

注 1. この電流は V_{CC} に流れます。

注 2. 表に記載された電流値は、高速オンチップオシレータ (HOCO)、中速オンチップオシレータ (MOCO)、およびメインクロック発振器 (MOSC) が停止している場合に適用されます。

注 3. この電流はリアルタイムクロック (RTC) に流れます。低速オンチップオシレータ (LOCO) またはサブクロック発振器 (SOSC) の動作電流を含みません。
RA0 マイクロコントローラの消費電流は、Icc と I_{RTC} の合計です。
低速オンチップオシレータ (LOCO) を選択する場合、I_{LOCO} が消費電流に含まれます。
サブクロック発振器 (SOSC) を選択する場合、I_{SOSC} が消費電流に含まれます。

注 4. この電流は 32 ビットインターバルタイマにのみ流れます。低速オンチップオシレータ (LOCO) またはサブクロック発振器 (SOSC) の動作電流を含みません。
RA0 マイクロコントローラの消費電流は、Icc と I_{IT} の合計です。
低速オンチップオシレータ (LOCO) を選択する場合、I_{LOCO} が消費電流に含まれます。
サブクロック発振器 (SOSC) を選択する場合、I_{SOSC} が消費電流に含まれます。
注 5. この電流は独立ウォッチドッグタイマにのみ流れます。低速オンチップオシレータ (LOCO) の動作電流を含みません。
RA0 マイクロコントローラの消費電流は、Icc、I_{IWDT}、I_{LOCO} の合計です。
注 6. この電流は A/D コンバータにのみ流れます。A/D コンバータが動作中またはスリープモードの場合、RA0 マイクロコントローラの消費電流は、Icc と I_{ADC} の合計です。
注 7. この電流は VREFH0 に流れます。
注 8. この電流は LVD0 回路にのみ流れます。LVD0 回路が動作中の場合、RA0 マイクロコントローラの消費電流は、Icc と I_{LVD0} の合計です。
注 9. この電流は LVD1 回路にのみ流れます。LVD1 回路が動作中の場合、RA0 マイクロコントローラの消費電流は、Icc と I_{LVD1} の合計です。
注 10. この電流はセルフプログラミング中にのみ流れます。
注 11. この電流はデータフラッシュメモリが書き換えられている間にのみ流れます。
注 12. VCC = 3.3 V

2.3.3 熱特性

ジャンクション温度 (Tj) の最大値は、「2.1.1. Tj/Ta の定義」で指定した値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力
  Tj：ジャンクション温度 (°C)
  Ta：周囲温度 (°C)
  Tt：ケース上面中央部温度 (°C)
  θja：「ジャンクション」-「周囲」間の熱抵抗 (°C/W)
  Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗 (°C/W)
- 総消費電力 = 電圧 × （リーク電流 + ダイナミック電流）
- IO のリーク電流 = Σ (IOL × VOL) / 電圧 + Σ (|IOH| × |VCC – VOH|) / 電圧
- IO のダイナミック電流 = Σ IO (Cin + Cload) × IO のスイッチング周波数 × 電圧
  Cin：入力容量
  Cload：出力容量

θja と Ψjt については、表 2.15 を参照してください。

表 2.15 熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	64 ピン LFQFP	θja	57.0	°C/W	JESD 51-2 および 51-7 準拠
	48 ピン LFQFP		65.9		
	48 ピン HWQFN		20.2		
	32 ピン LQFP		65.6		
	32 ピン HWQFN		23.8		
	64 ピン LFQFP	Ψjt	4.02	°C/W	JESD 51-2 および 51-7 準拠
	48 ピン LFQFP		6.26		
	48 ピン HWQFN		0.28		
	32 ピン LQFP		6.58		
	32 ピン HWQFN		0.32		

注 1. 値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

2.4 AC 特性

表 2.16 AC 特性

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目			シンボル	Min	Typ	Max	単位	測定条件
命令サイクル（最小命令実行時間）	メインシステムクロック (FMAIN) 動作	High-speed モード	T_{CY}	0.03125	—	1	μs	1.8 V ≦ VCC ≦ 5.5 V
				0.25	—	1	μs	1.6 V ≦ VCC < 1.8 V
		Middle-speed モード		0.04167	—	1	μs	1.8 V ≦ VCC ≦ 5.5 V
				0.25	—	1	μs	1.6 V ≦ VCC < 1.8 V
		Low-speed モード		0.5	—	1	μs	1.6 V ≦ VCC ≦ 5.5 V
	サブシステムクロック (FSUB) 動作			26.041	30.5	31.3	μs	1.6 V ≦ VCC ≦ 5.5 V
	セルフプログラミングモード	High-speed モード		0.03125	—	1	μs	1.8 V ≦ VCC ≦ 5.5 V
		Middle-speed モード		0.04167	—	1	μs	1.8 V ≦ VCC ≦ 5.5 V
外部システムクロック周波数			f_{EX}	1.0	—	20.0	MHz	1.8 V ≦ VCC ≦ 5.5 V
				1.0	—	4.0	MHz	1.6 V ≦ VCC < 1.8 V
外部システムクロック入力 High レベル幅、Low レベル幅			t_{EXH} t_{EXL}	24	—	—	ns	1.8 V ≦ VCC ≦ 5.5 V
				120	—	—	ns	1.6 V ≦ VCC < 1.8 V
TI00～TI07 入力 High レベル幅、Low レベル幅			t_{TIH} t_{TIL}	$1/f_{MCK}$ + +10(注1)	—	—	ns	
TO00～TO07 出力周波数		High-speed モード、Middle-speed モード	f_{TO}	—	—	16(注2)	MHz	4.0 V ≦ VCC ≦ 5.5 V
				—	—	8	MHz	2.7 V ≦ VCC < 4.0 V
				—	—	4	MHz	1.8 V ≦ VCC < 2.7 V
				—	—	2	MHz	1.6 V ≦ VCC < 1.8 V
		Low-speed モード		—	—	2	MHz	1.6 V ≦ VCC ≦ 5.5 V
PCLBUZ0, PCLBUZ1 出力周波数		High-speed モード、Middle-speed モード	f_{PCL}	—	—	16(注2)	MHz	4.0 V ≦ VCC ≦ 5.5 V
				—	—	8	MHz	2.7 V ≦ VCC < 4.0 V
				—	—	4	MHz	1.8 V ≦ VCC < 2.7 V
				—	—	2	MHz	1.6 V ≦ VCC < 1.8 V
		Low-speed モード		—	—	2	MHz	1.6 V ≦ VCC ≦ 5.5 V
割り込み入力 High レベル幅、Low レベル幅		NMI/IRQ0, IRQ1～IRQ7	f_{IRQH} f_{IRQL}	1	—	—	μs	1.6 V ≦ VCC ≦ 5.5 V

注 1. f_{MCK}：タイマアレイユニット動作クロック周波数
この動作クロックを設定するために、タイマモードレジスタ 0n (TMR0n) の CKS[1:0]ビットを使用してください。
m：ユニット番号 (m = 0)、n：チャネル番号 (n = 0～7)

注 2. 動作温度範囲 105℃～125℃で、最高値は 12 MHz です。

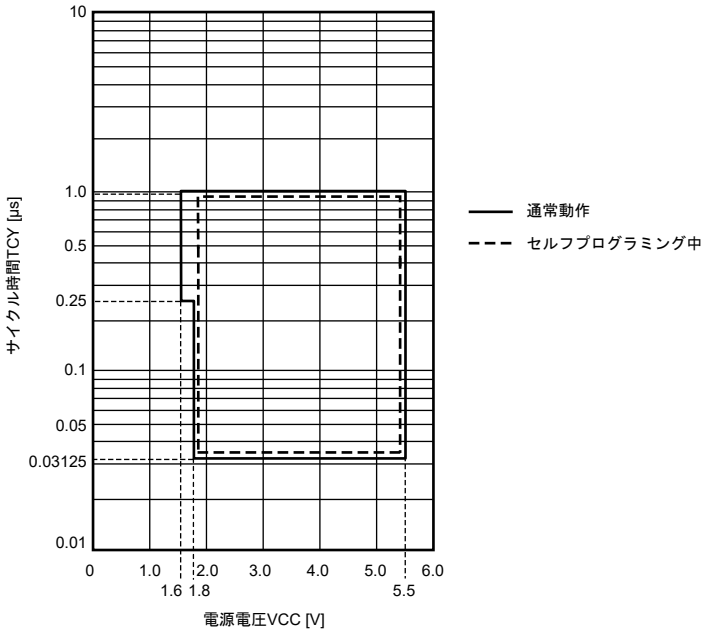


図 2.2 T_{CY} vs V_{CC}（High-speed モード）

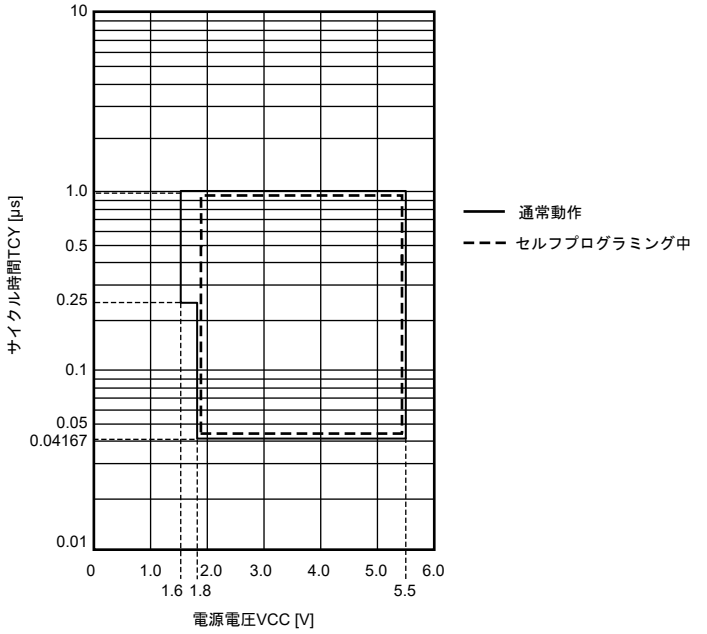


図 2.3 T_{CY} vs V_{CC}（Middle-speed モード）

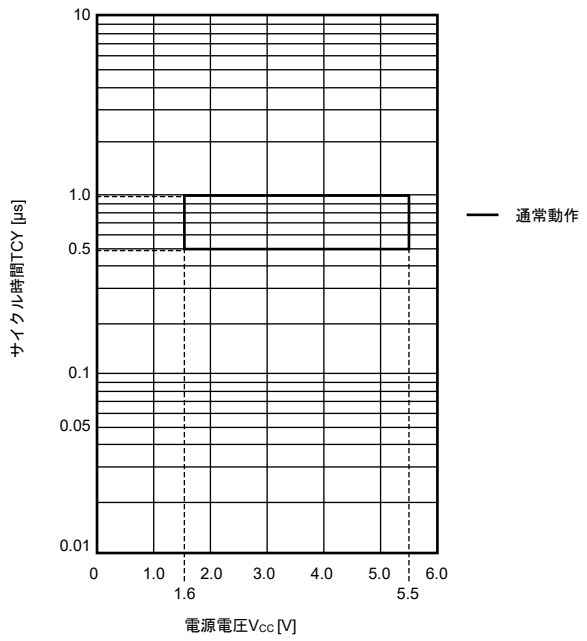


図 2.4　T_{CY} vs V_{CC}（Low-speed モード）

図 2.5　AC タイミング測定ポイント

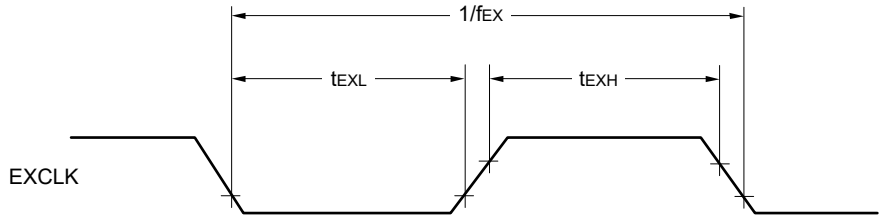


図 2.6　外部システムクロックタイミング

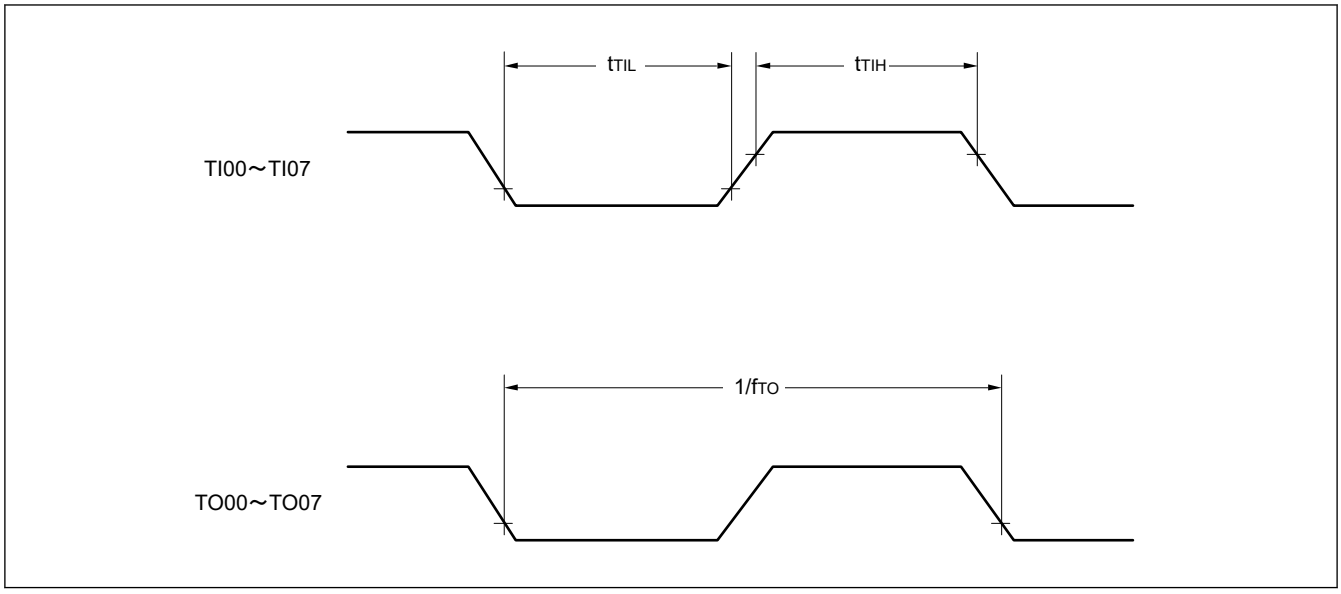


図 2.7 TI/TO タイミング

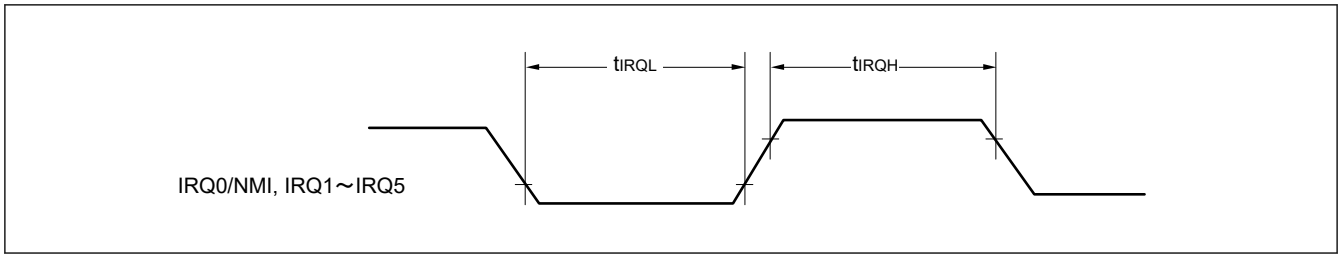


図 2.8 IRQ 割り込み入力タイミング

2.4.1 リセットタイミング

表 2.17 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時(注3)	t_{RESWP}	9.9	—	—	ms	—
	電源投入時以外	t_{RESW}	10	—	—	μs	—
RES 解除後の待機時間（電源投入時）	LVD0 有効(注1)	t_{RESWT}	—	0.506	0.694	ms	—
	LVD0 無効(注2)		—	0.201	0.335	ms	—
RES 解除後の待機時間（電源投入状態中）	LVD0 有効(注1)	t_{RESWT2}	—	0.476	0.616	ms	—
	LVD0 無効(注2)		—	0.170	0.257	ms	—
独立ウォッチドッグタイマリセット、SRAM パリティエラーリセット、ソフトウェアリセットによる内部リセット		t_{RESW2}	—	0.04	0.041	ms	—

注 1. OFS1.LVDAS = 0 のとき
注 2. OFS1.LVDAS = 1 のとき
注 3. RES 端子が外部リセット入力として使用されない場合、この仕様は無視できます。

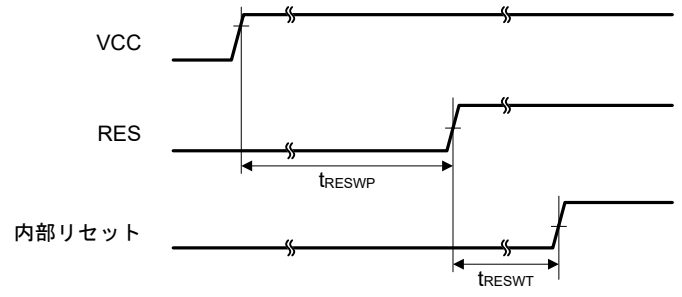


図 2.9 電源投入時リセット入力タイミング

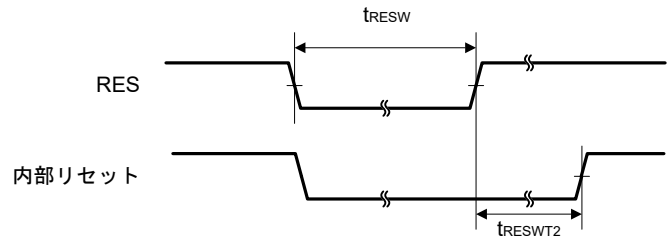


図 2.10 リセット入力タイミング (1)

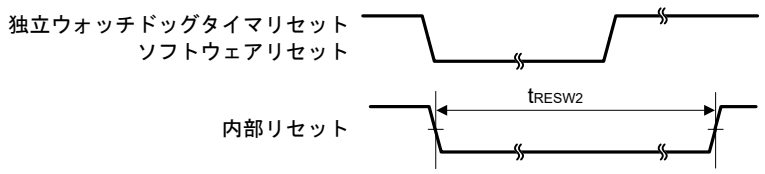


図 2.11 リセット入力タイミング (2)

2.4.2 ウェイクアップ時間

表 2.18 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2) VCC = 1.8 V～5.5 V	t_{SBYMC}	—	1.64	—	ms	図 2.12
			システムクロックソースはメインクロック発振器 (4 MHz)(注2) VCC = 1.6 V～1.8 V		—	8.19	—	ms	
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz) VCC = 1.8 V～5.5 V	t_{SBYEX}	—	2.8	2.8	μs	
			システムクロックソースはメインクロック発振器 (4 MHz) VCC = 1.6 V～1.8 V		—	13.8	14.0	μs	
		システムクロックソースは HOCO	システムクロックソースは HOCO (32 MHz) VCC = 1.8 V～5.5 V SBYCR.FWKUP = 0	t_{SBYHO}	—	4.2	4.6	μs	
			システムクロックソースは HOCO (32 MHz) VCC = 1.8 V～5.5 V SBYCR.FWKUP = 1		—	0.9	1.1	μs	
			システムクロックソースは HOCO (4 MHz) VCC = 1.6 V～1.8 V		—	5.2	5.6	μs	
		システムクロックソースは MOCO (4 MHz)		t_{SBYMO}	—	3.3	4.2	μs	

注 1. ICLK の分周比は許容周波数範囲の最小分周比です。
復帰時間は、システムクロックソースにより決定されます。
注 2. 発振安定時間選択レジスタ (OSTS) は 0x05 に設定されます。

表 2.19 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2) VCC = 1.8 V～5.5 V	t_{SBYMC}	—	1.64	—	ms	図 2.12
			システムクロックソースはメインクロック発振器 (4 MHz)(注2) VCC = 1.6 V～1.8 V		—	8.19	—	ms	
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz) VCC = 1.8 V～5.5 V	t_{SBYEX}	—	2.8	2.8	μs	
			システムクロックソースはメインクロック発振器 (4 MHz) VCC = 1.6 V～1.8 V		—	13.8	14.0	μs	
		システムクロックソースは HOCO	システムクロックソースは HOCO (24 MHz) VCC = 1.8 V～5.5 V	t_{SBYHO}	—	5.1	5.5	μs	
			システムクロックソースは HOCO (3 MHz) VCC = 1.6 V～1.8 V		—	5.6	6.1	μs	
		システムクロックソースは MOCO (4 MHz)		t_{SBYMO}	—	3.3	4.2	μs	

注 1. ICLK の分周比は許容周波数範囲の最小分周比です。
復帰時間は、システムクロックソースにより決定されます。
注 2. 発振安定時間選択レジスタ (OSTS) は 0x05 に設定されます。

表 2.20 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (2 MHz)(注2)	t_{SBYMC}	—	4.1	—	ms	図 2.12
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (2 MHz)(注2)	t_{SBYEX}	—	27.5	28.0	μs	
		システムクロックソースは MOCO (2 MHz)		t_{SBYMO}	—	6.0	7.5	μs	

注 1. ICLK の分周比は許容周波数範囲の最小分周比です。
復帰時間は、システムクロックソースにより決定されます。
注 2. 発振安定時間選択レジスタ (OSTS) は 0x05 に設定されます。
水晶振動子周波数は 8 MHz であり、MOSC クロック分周レジスタ (MOSCDIV) は 0x02 に設定されます。

表 2.21 低消費電力モードからの復帰タイミング (4)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768 kHz)	SBYCR.RTCLPC = 0	t_{SBYSC}	—	0.29	0.31	ms	図 2.12
			SBYCR.RTCLPC = 1		—	0.32	0.34	ms	
		システムクロックソースは LOCO (32.768 kHz)		t_{SBYLO}	—	0.29	0.36	ms	

注 1. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

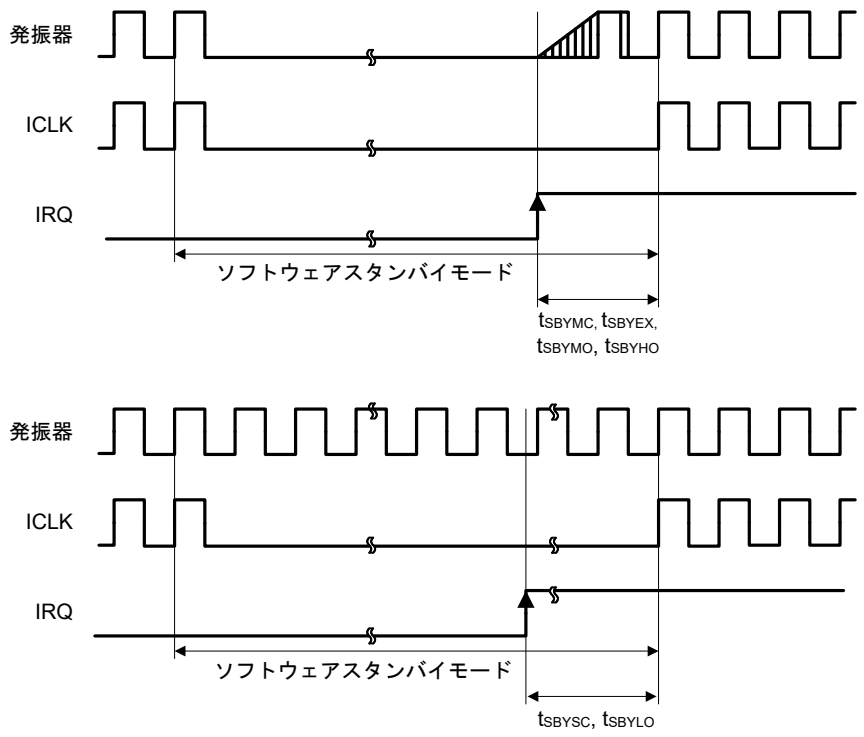
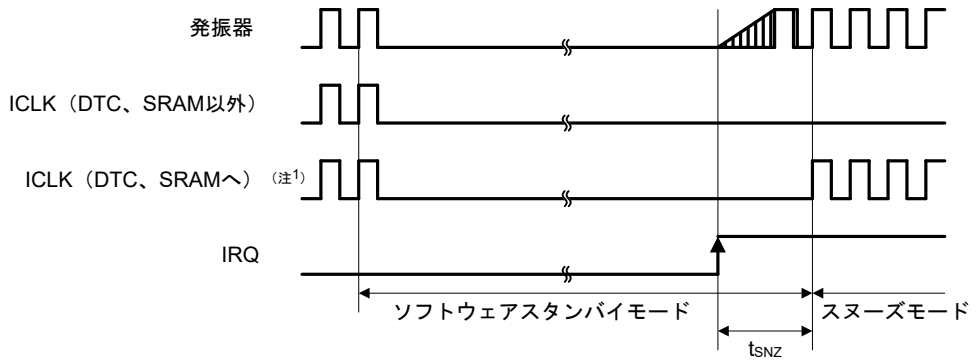


図 2.12　ソフトウェアスタンバイモード解除タイミング

表 2.22　低消費電力モードからの復帰タイミング (5)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード　システムクロックソースは HOCO	SBYCR.FWKUP = 0	t_{SNZ}	—	4.1	4.4	μs	図 2.13
		SBYCR.FWKUP = 1		—	0.9	1.0	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V～5.5 V		t_{SNZ}	—	4.2	4.4	μs	
	Middle-speed モード システムクロックソースは HOCO (3 MHz) VCC = 1.6 V～1.8 V		t_{SNZ}	—	4.8	5.3	μs	
	Low-speed モード システムクロックソースは MOCO (2 MHz)		t_{SNZ}	—	4.0	5.4	μs	



注 1. SNZCR.SNZDTCEN ビットが 1 の時、ICLK が DTC と SRAM に供給されます。

図 2.13 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

2.5 周辺機能特性

2.5.1 シリアルアレイユニット (SAU)

表 2.23 同じ電圧レベルで動作しているデバイスとの UART 通信時

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
転送速度 (注1)	1.6 ≦ VCC ≦ 5.5 V	—	—	$f_{MCK}/6$	—	$f_{MCK}/6$	—	$f_{MCK}/6$	bps	図 2.15
	最大転送速度 f_{MCK} の理論上の値 = PCLKB(注2)		—	5.3	—	4	—	0.33	Mbps	

注 1. スヌーズモードでの転送速度は 4800～9600 bps の範囲内です。
注 2. 周辺モジュールクロック (PCLKB) の最高動作周波数は以下のとおりです。
High-speed モード：32 MHz (1.8 V ≦ VCC ≦ 5.5 V)、4 MHz (1.6 V ≦ VCC ≦ 5.5 V)
Middle-speed モード：24 MHz (1.8 V ≦ VCC ≦ 5.5 V)、4 MHz (1.6 V ≦ VCC ≦ 5.5 V)
Low-speed モード：2 MHz (1.6 V ≦ VCC ≦ 5.5 V)

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、RXDq 端子の通常入力バッファと TXDq 端子の通常出力モードを選択してください。
gh：ポート番号 (gh = 100, 101, 109, 110, 212, 213, 402, 403, 501, 502)

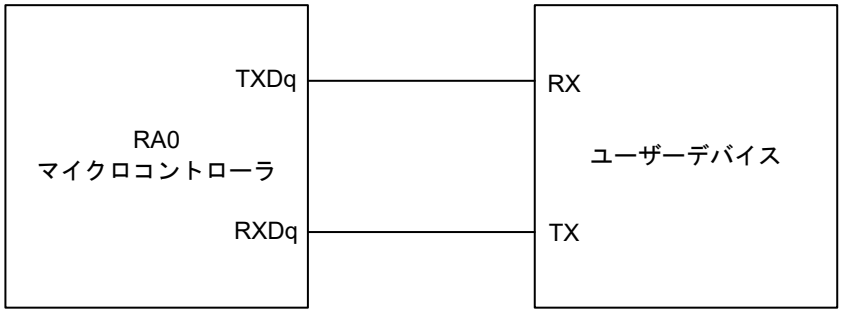


図 2.14 同じ電圧レベルで動作しているデバイスとの UART 通信での接続

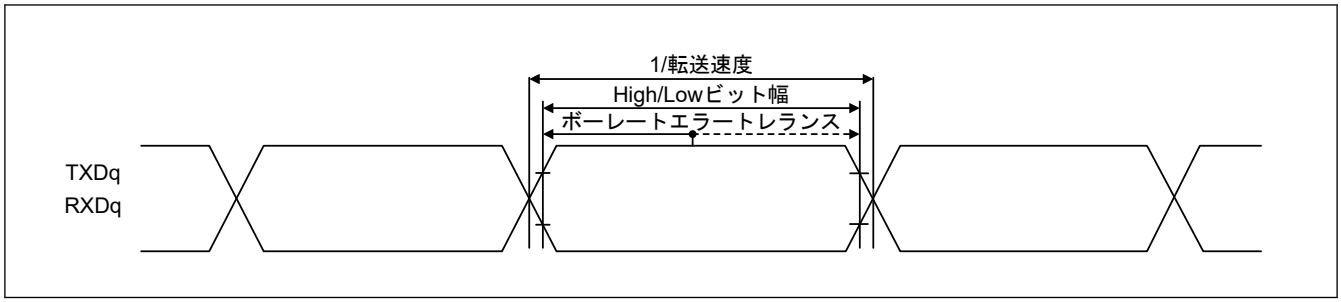


図 2.15 インタフェースデバイスが同じ電圧レベルで動作している場合の UART 通信のビット幅（参考）

注. ● q: UART 番号（q = 0～2）、gh：ポート番号 (gh = 100, 101, 109, 110, 212, 213, 402, 403, 501, 502)

● f_{MCK}：シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを設定してください。
m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)

表 2.24 内部 SCKp クロックを使って同じ電圧レベルで動作しているデバイスとマスタモードで簡易 SPI 通信する場合（以下の定格は SPI00 にのみ適用可）

条件：VCC = 2.7～5.5 V、VSS = 0 V、Ta = -40～+85℃

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクル時間	t_{KCY1} ≧ 2/ PCLKB	4.0 V ≦ VCC ≦ 5.5 V	t_{KCY1}	62.5	—	83.3	—	1000	—	ns	図 2.17 図 2.18
		2.7 V ≦ VCC ≦ 5.5 V		83.3	—	125	—	1000	—	ns	
SCKp High/Low レベル幅	4.0 V ≦ VCC ≦ 5.5 V		t_{KH1}、t_{KL1}	t_{KCY1}/2 - 7	—	t_{KCY1}/2 - 10	—	t_{KCY1}/2 - 50	—	ns	
	2.7 V ≦ VCC ≦ 5.5 V			t_{KCY1}/2 - 10	—	t_{KCY1}/2 - 15	—	t_{KCY1}/2 - 50	—	ns	
SIp セットアップ時間（SCKp↑まで）(注1)	4.0 V ≦ VCC ≦ 5.5 V		t_{SIK1}	23	—	33	—	110	—	ns	
	2.7 V ≦ VCC ≦ 5.5 V			33	—	50	—	110	—	ns	
SIp ホールド時間（SCKp↑から）(注1)	2.7 V ≦ VCC ≦ 5.5 V		t_{KSI1}	10	—	10	—	10	—	ns	
SCKp↓から SOp 出力までの遅延時間(注2)	C = 20 pF(注3)		t_{KSO1}	—	10	—	10	—	10	ns	

注 1. SCRmn.DCP0[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP0[1:0] = 01b または 10b の場合、SIp セットアップ時間の設定は「SCKp↓まで」になり、SIp ホールド時間の設定は「SCKp↓から」になります。
注 2. SCRmn.DCP0[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP0[1:0] = 01b または 10b の場合、SOp 出力までの遅延時間の設定は「SCKp↑から」になります。
注 3. C は SCKp および SOp 出力回線の負荷容量です。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SIp 端子の通常入力バッファと SOp 端子と SCKp 端子の通常出力モードを選択してください。

注. ● 表に示す時間は、SPI00 の周辺 I/O リダイレクト機能を使用していない場合のみ有効です。

● p：簡易 SPI 番号 (p = 00)、m：ユニット番号 (m = 0)、n：チャネル番号 (n = 0)、gh：ポート番号 (gh = 100～103, 112, 201, 500～502)

● f_{MCK}：シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
m：ユニット番号、n：チャネル番号 (mn = 00)

表 2.25 内部 SCKp クロックを使って同じ電圧レベルで動作しているデバイスとマスタモードで簡易 SPI 通信する場合

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクル時間	t_{KCY1} ≧ 4/ PCLKB	2.7 V ≦ VCC ≦ 5.5 V	t_{KCY1}	125	—	166	—	2000	—	ns	図 2.17 図 2.18
		2.4 V ≦ VCC ≦ 5.5 V		250	—	250	—	2000	—	ns	
		1.8 V ≦ VCC ≦ 5.5 V		500	—	500	—	2000	—	ns	
		1.6 ≦ VCC ≦ 5.5 V		1000	—	1000	—	2000	—	ns	
SCKp High/Low レベル幅	4.0 V ≦ VCC ≦ 5.5 V		t_{KH1}、t_{KL1}	t_{KCY1}/2 - 12	—	t_{KCY1}/2 - 21	—	t_{KCY1}/2 - 50	—	ns	
	2.7 V ≦ VCC ≦ 5.5 V			t_{KCY1}/2 - 18	—	t_{KCY1}/2 - 25	—	t_{KCY1}/2 - 50	—	ns	
	2.4 V ≦ VCC ≦ 5.5 V			t_{KCY1}/2 - 38	—	t_{KCY1}/2 - 38	—	t_{KCY1}/2 - 50	—	ns	
	1.8 V ≦ VCC ≦ 5.5 V			t_{KCY1}/2 - 50	—	t_{KCY1}/2 - 50	—	t_{KCY1}/2 - 50	—	ns	
	1.6 ≦ VCC ≦ 5.5 V			t_{KCY1}/2 - 100	—	t_{KCY1}/2 - 100	—	t_{KCY1}/2 - 100	—	ns	
SIp セットアップ時間（SCKp↑まで）(注1)	4.0 V ≦ VCC ≦ 5.5 V		t_{SIK1}	44	—	54	—	110	—	ns	
	2.7 V ≦ VCC ≦ 5.5 V			44	—	54	—	110	—	ns	
	2.4 V ≦ VCC ≦ 5.5 V			75	—	75	—	110	—	ns	
	1.8 V ≦ VCC ≦ 5.5 V			110	—	110	—	110	—	ns	
	1.6 ≦ VCC ≦ 5.5 V			220	—	220	—	220	—	ns	
SIp ホールド時間（SCKp↑から）(注1)	1.6 ≦ VCC ≦ 5.5 V		t_{KSI1}	19	—	19	—	19	—	ns	
SCKp↓から SOp 出力までの遅延時間(注2)	1.6 ≦ VCC ≦ 5.5 V C = 30 pF(注3)		t_{KSO1}	—	25	—	25	—	25	ns	

注 1. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、SIp セットアップ時間の設定は「SCKp↓まで」になり、SIp ホールド時間の設定は「SCKp↓から」になります。

注 2. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、SOp 出力までの遅延時間の設定は「SCKp↑から」になります。

注 3. C は SCKp および SOp 出力回線の負荷容量です。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SIp 端子の通常入力バッファと SOp 端子と SCKp 端子の通常出力モードを選択してください。

注.
- p：簡易 SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m：ユニット番号 (m = 0, 1)、n：チャネル番号 (n = 0～3)、gh：ポート番号 (gh = 100～106, 109, 110, 112～115, 201, 204～208, 212, 213, 301～303, 402, 403, 407, 409～411, 500～502, 915)
- f_{MCK}：シリアルアレイユニット動作クロック周波数
  この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
  m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)

表 2.26 SCKp 外部クロックを使って同じ電圧レベルで動作しているデバイスとスレーブモードで簡易 SPI 通信する場合

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目	条件		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクルタイム(注4)	4.0 V ≦ VCC ≦ 5.5 V	20 MHz < f_{MCK}	t_{KCY2}	8/f_{MCK}	—	8/f_{MCK}	—	—	—	ns	図 2.17 図 2.18
		f_{MCK} ≦ 20 MHz		6/f_{MCK}	—	6/f_{MCK}	—	6/f_{MCK}	—	ns	
	2.7 V ≦ VCC ≦ 5.5 V	16 MHz < f_{MCK}		8/f_{MCK}	—	8/f_{MCK}	—	—	—	ns	
		f_{MCK} ≦ 16 MHz		6/f_{MCK}	—	6/f_{MCK}	—	6/f_{MCK}	—	ns	
	2.4 V ≦ VCC ≦ 5.5 V			以下のうち大きいほう 6/f_{MCK} または 500	—	以下のうち大きいほう 6/f_{MCK} または 500	—	以下のうち大きいほう 6/f_{MCK} または 500	—	ns	
	1.8 V ≦ VCC ≦ 5.5 V			以下のうち大きいほう 6/f_{MCK} または 750	—	以下のうち大きいほう 6/f_{MCK} または 750	—	以下のうち大きいほう 6/f_{MCK} または 750	—	ns	
	1.6 ≦ VCC ≦ 5.5 V			以下のうち大きいほう 6/f_{MCK} または 1500	—	以下のうち大きいほう 6/f_{MCK} または 1500	—	以下のうち大きいほう 6/f_{MCK} または 1500	—	ns	
SCKp High/Low レベル幅	4.0 V ≦ VCC ≦ 5.5 V		t_{KH2}、t_{KL2}	t_{KCY2}/2 - 7	—	t_{KCY2}/2 - 7	—	t_{KCY2}/2 - 7	—	ns	
	2.7 V ≦ VCC ≦ 5.5 V			t_{KCY2}/2 - 8	—	t_{KCY2}/2 - 8	—	t_{KCY2}/2 - 8	—	ns	
	1.8 V ≦ VCC ≦ 5.5 V			t_{KCY2}/2 - 18	—	t_{KCY2}/2 - 18	—	t_{KCY2}/2 - 18	—	ns	
	1.6 ≦ VCC ≦ 5.5 V			t_{KCY2}/2 - 66	—	t_{KCY2}/2 - 66	—	t_{KCY2}/2 - 66	—	ns	
SIp セットアップ時間（SCKp↑まで）(注1)	2.7 V ≦ VCC ≦ 5.5 V		t_{SIK2}	1/f_{MCK} + 20	—	1/f_{MCK} + 30	—	1/f_{MCK} + 30	—	ns	
	1.8 V ≦ VCC ≦ 5.5 V			1/f_{MCK} + 30	—	1/f_{MCK} + 30	—	1/f_{MCK} + 30	—	ns	
	1.6 ≦ VCC ≦ 5.5 V			1/f_{MCK} + 40	—	1/f_{MCK} + 40	—	1/f_{MCK} + 40	—	ns	
SIp ホールド時間（SCKp↑から）(注1)	1.8 V ≦ VCC ≦ 5.5 V		t_{KSI2}	1/f_{MCK} + 31	—	1/f_{MCK} + 31	—	1/f_{MCK} + 31	—	ns	
	1.6 ≦ VCC ≦ 5.5 V			1/f_{MCK} + 250	—	1/f_{MCK} + 250	—	1/f_{MCK} + 250	—	ns	
SCKp↓から SOp 出力までの遅延時間(注2)	C = 30 pF(注3)	2.7 V ≦ VCC ≦ 5.5 V	t_{KSO2}	—	2/f_{MCK} + 44	—	2/f_{MCK} + 110	—	2/f_{MCK} + 110	ns	
		2.4 V ≦ VCC ≦ 5.5 V		—	2/f_{MCK} + 75	—	2/f_{MCK} + 110	—	2/f_{MCK} + 110	ns	
		1.8 V ≦ VCC ≦ 5.5 V		—	2/f_{MCK} + 110	—	2/f_{MCK} + 110	—	2/f_{MCK} + 110	ns	
		1.6 ≦ VCC ≦ 5.5 V		—	2/f_{MCK} + 220	—	2/f_{MCK} + 220	—	2/f_{MCK} + 220	ns	

注 1. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、SIp セットアップ時間の設定は「SCKp↓まで」になり、SIp ホールド時間の設定は「SCKp↓から」になります。
注 2. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、SOp 出力までの遅延時間の設定は「SCKp↑から」になります。
注 3. C は SOp 出力回線の負荷容量です。
注 4. スヌーズモードでの転送速度は最大 1 Mbps です。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SIp 端子と SCKp 端子の通常入力バッファと SOp 端子の通常出力モードを選択してください。

注.
- p：簡易 SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m：ユニット番号 (m = 0, 1)、n：チャネル番号 (n = 0～3)、gh：ポート番号 (gh = 100～106,109,110,112～115, 201, 204～208, 212, 213, 301～303, 402, 403, 407, 409～411, 500～502, 915)
- f_{MCK}：シリアルアレイユニット動作クロック周波数
  この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
  m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)

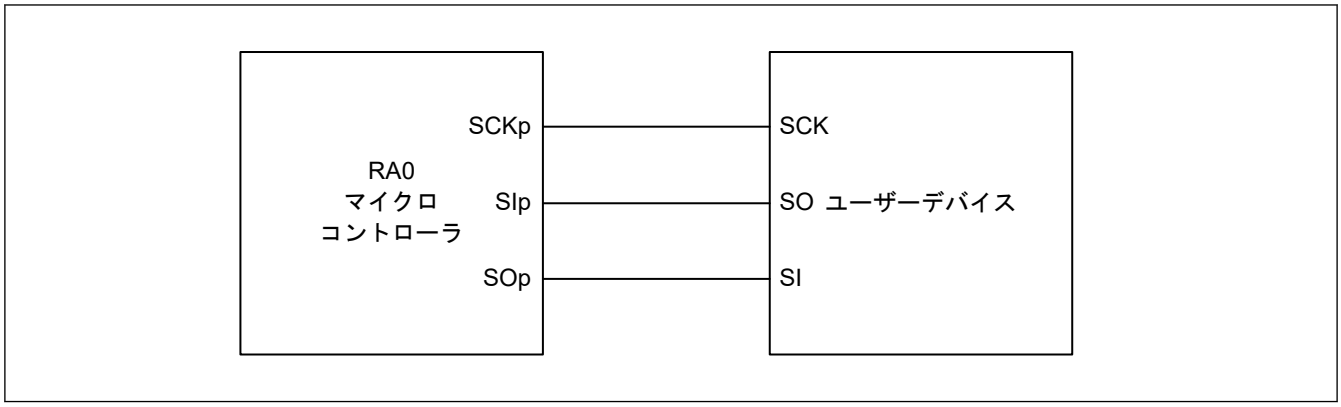


図 2.16　同じ電圧レベルで動作しているデバイスとの簡易 SPI 通信での接続

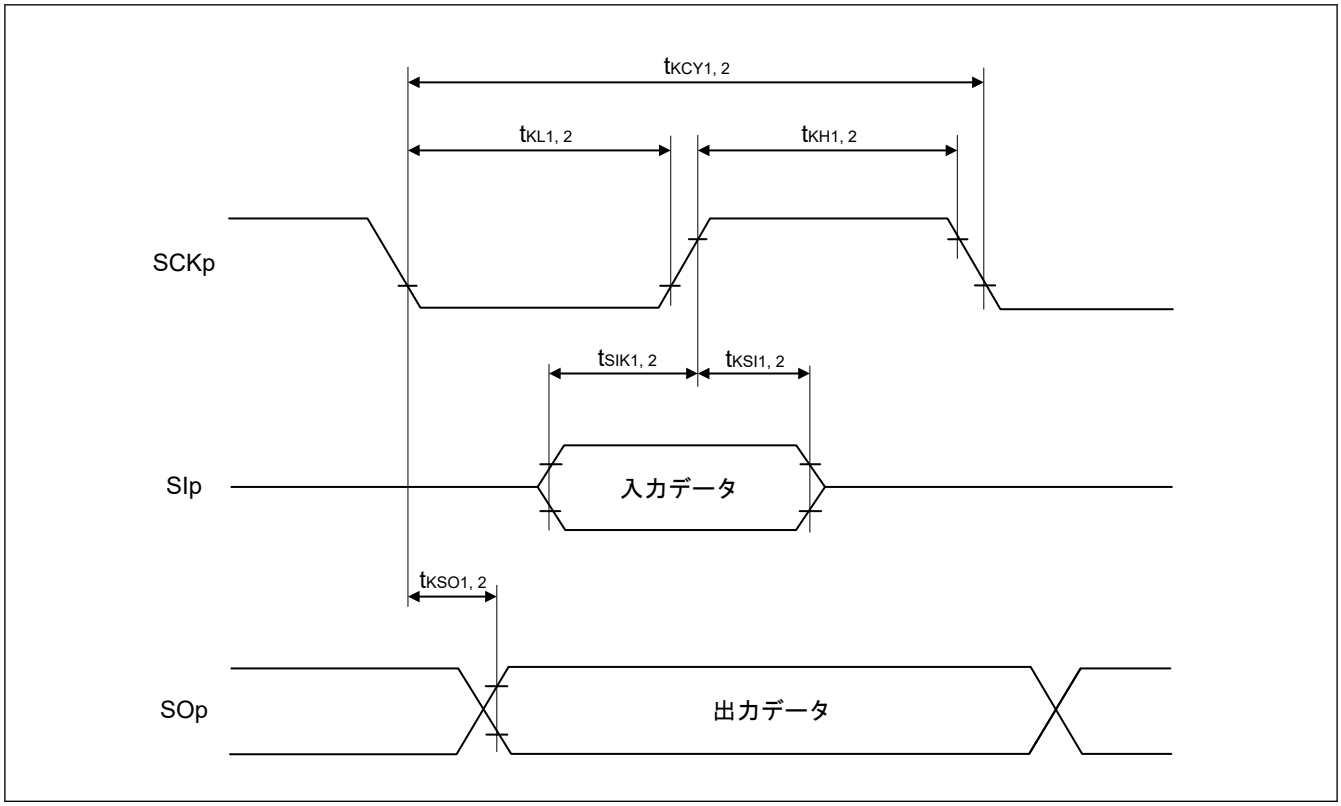


図 2.17　同じ電圧レベルで動作しているデバイスとの簡易 SPI 通信でのシリアル転送のタイミング（SCRmn.DCP[1:0] = 00b または 11b の場合）

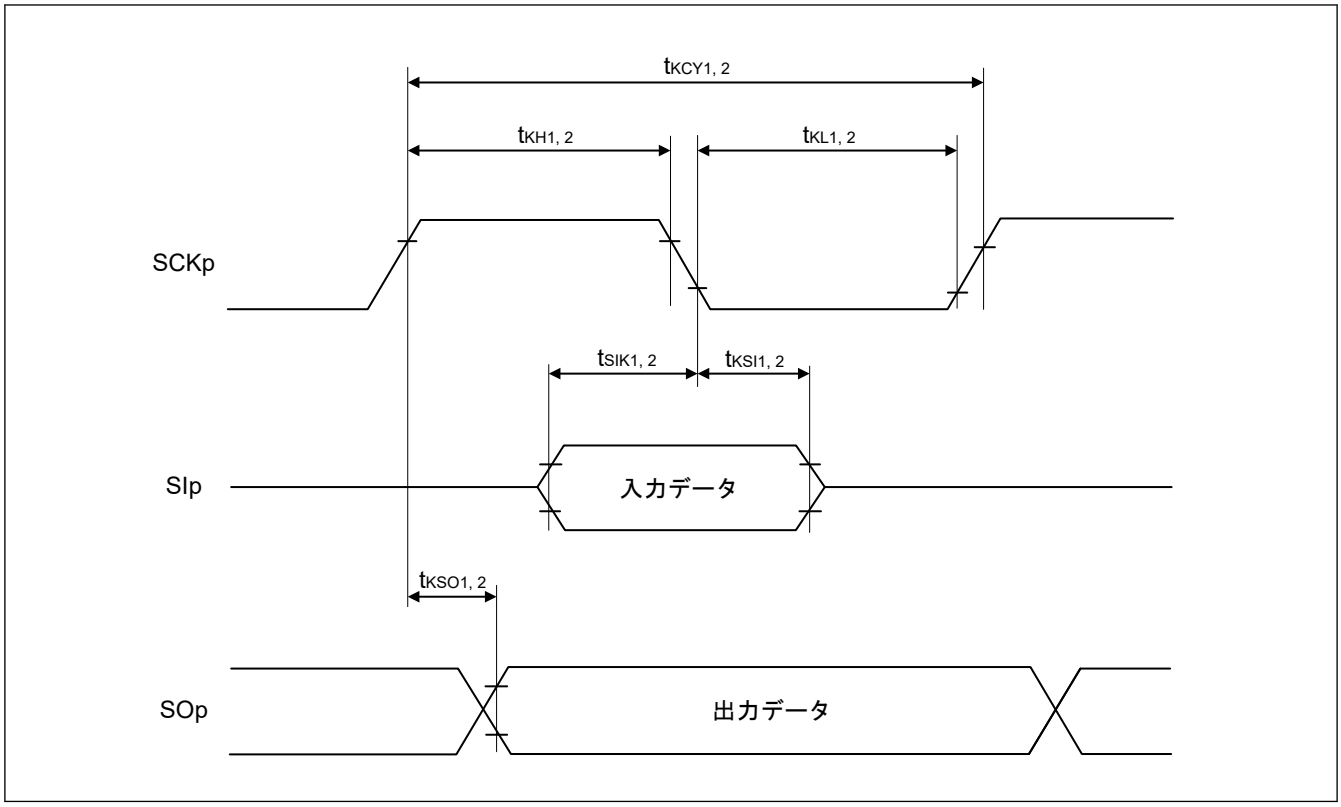


図 2.18　同じ電圧レベルで動作しているデバイスとの簡易 SPI 通信でのシリアル転送のタイミング（SCRmn.DCP[1:0] = 01b または 10b の場合）

注.
- p：簡易 SPI 番号 (p = 00, 01, 10, 11, 20, 21)
- m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)

表 2.27 同じ電圧レベルで動作しているデバイスとの簡易 IIC 通信時 (1/2)

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
SCLr クロック周波数	2.7 V ≦ VCC ≦ 5.5 V、C_b = 50 pF、R_b = 2.7 kΩ	f_{SCL}	—	1000 (注1)	—	1000 (注1)	—	400(注1)	kHz	図 2.20
	1.8 V ≦ VCC ≦ 5.5 V、C_b = 100 pF、R_b = 3 kΩ		—	400(注1)	—	400(注1)	—	400(注1)	kHz	
	1.8 V ≦ VCC < 2.7 V、C_b = 100 pF、R_b = 5 kΩ		—	300(注1)	—	300(注1)	—	300(注1)	kHz	
	1.6 V ≦ VCC < 1.8 V、C_b = 100 pF、R_b = 5 kΩ		—	250(注1)	—	250(注1)	—	250(注1)	kHz	
SCLr が Low の場合のホールド時間	2.7 V ≦ VCC ≦ 5.5 V、C_b = 50 pF、R_b = 2.7 kΩ	t_{LOW}	475	—	475	—	1150	—	ns	
	1.8 V ≦ VCC ≦ 5.5 V、C_b = 100 pF、R_b = 3 kΩ		1150	—	1150	—	1150	—	ns	
	1.8 V ≦ VCC < 2.7 V、C_b = 100 pF、R_b = 5 kΩ		1550	—	1550	—	1550	—	ns	
	1.6 V ≦ VCC < 1.8 V、C_b = 100 pF、R_b = 5 kΩ		1850	—	1850	—	1850	—	ns	
SCLr が High の場合のホールド時間	2.7 V ≦ VCC ≦ 5.5 V、C_b = 50 pF、R_b = 2.7 kΩ	t_{HIGH}	475	—	475	—	1150	—	ns	
	1.8 V ≦ VCC ≦ 5.5 V、C_b = 100 pF、R_b = 3 kΩ		1150	—	1150	—	1150	—	ns	
	1.8 V ≦ VCC < 2.7 V、C_b = 100 pF、R_b = 5 kΩ		1550	—	1550	—	1550	—	ns	
	1.6 V ≦ VCC < 1.8 V、C_b = 100 pF、R_b = 5 kΩ		1850	—	1850	—	1850	—	ns	

表 2.27 同じ電圧レベルで動作しているデバイスとの簡易 IIC 通信時 (2/2)

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
データセットアップ時間（受信）	2.7 V ≦ VCC ≦ 5.5 V、C_b = 50 pF、R_b = 2.7 kΩ	$t_{SU:DAT}$	$1/f_{MCK}$ + 85(注2)	—	$1/f_{MCK}$ + 85(注2)	—	$1/f_{MCK}$ + +145(注2)	—	ns	図 2.20
	1.8 V ≦ VCC ≦ 5.5 V、C_b = 100 pF、R_b = 3 kΩ		$1/f_{MCK}$ + 145(注2)	—	$1/f_{MCK}$ + 145(注2)	—	$1/f_{MCK}$ + +145(注2)	—	ns	
	1.8 V ≦ VCC < 2.7 V、C_b = 100 pF、R_b = 5 kΩ		$1/f_{MCK}$ + 230(注2)	—	$1/f_{MCK}$ + 230(注2)	—	$1/f_{MCK}$ + 230(注2)	—	ns	
	1.6 V ≦ VCC < 1.8 V、C_b = 100 pF、R_b = 5 kΩ		$1/f_{MCK}$ + 290(注2)	—	$1/f_{MCK}$ + 290(注2)	—	$1/f_{MCK}$ + 290(注2)	—	ns	
データホールド時間（送信）	2.7 V ≦ VCC ≦ 5.5 V、C_b = 50 pF、R_b = 2.7 kΩ	$t_{HD:DAT}$	0	305	0	305	0	305	ns	
	1.8 V ≦ VCC ≦ 5.5 V、C_b = 100 pF、R_b = 3 kΩ		0	355	0	355	0	355	ns	
	1.8 V ≦ VCC < 2.7 V、C_b = 100 pF、R_b = 5 kΩ		0	405	0	405	0	405	ns	
	1.6 V ≦ VCC < 1.8 V、C_b= 100 pF、R_b = 5 kΩ		0	405	0	405	0	405	ns	

注 1. 表に示す時間は、$f_{MCK}/4$ 以下である必要があります。
注 2. SCLr が Low または High の場合に f_{MCK} がホールド時間を超えないように設定してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SDAr 端子の通常入力バッファと N チャネルオープンドレイン出力[VCC 耐圧]モードおよび SCLr 端子の通常出力モードを選択してください。

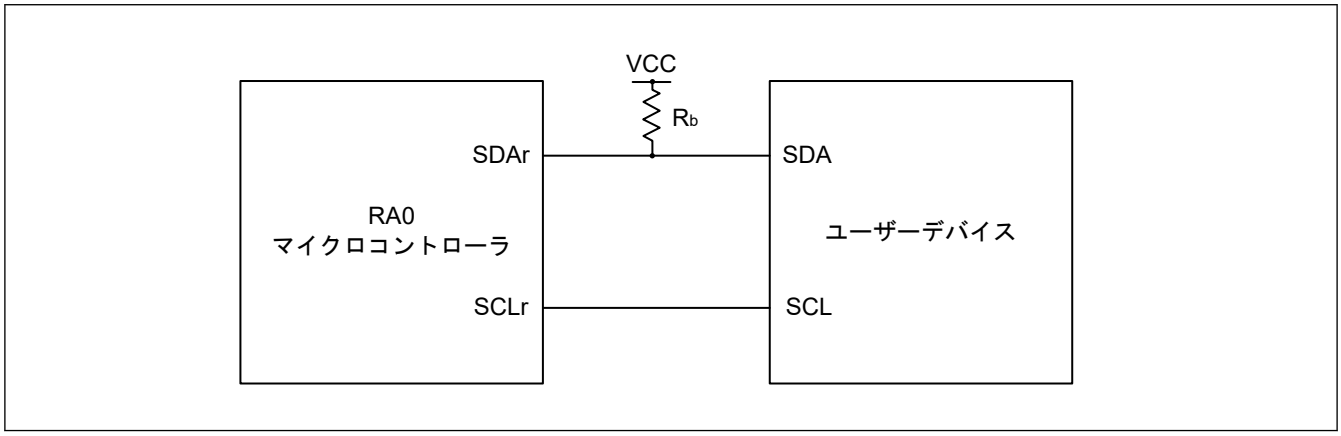


図 2.19 同じ電圧レベルで動作しているデバイスとの簡易 IIC 通信での接続

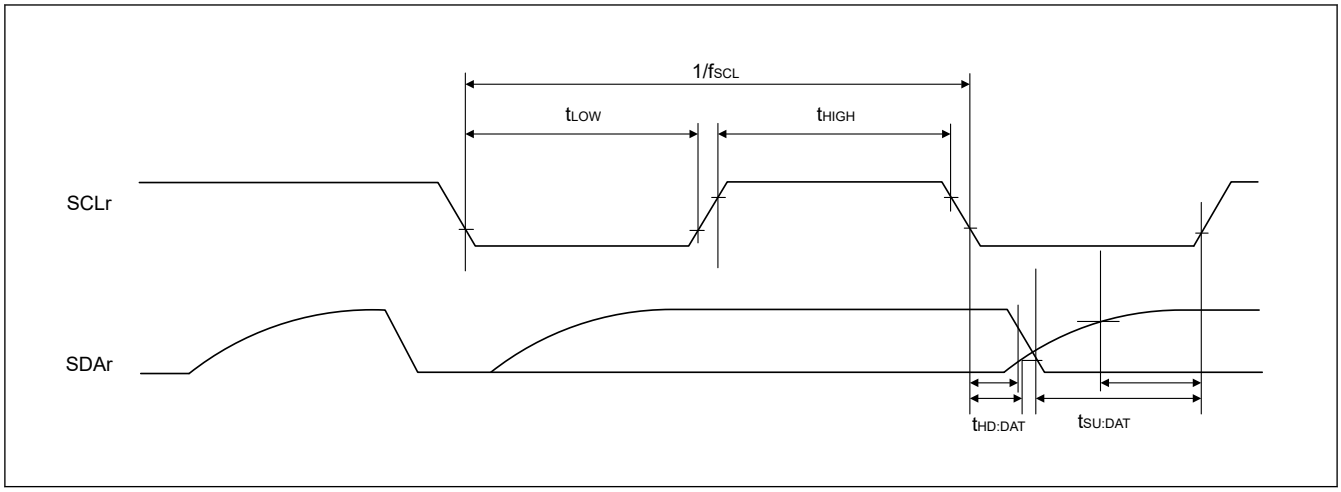


図 2.20　同じ電圧レベルで動作しているデバイスとの簡易 IIC 通信でのシリアル転送のタイミング

注.
- R_b[Ω]：通信回線 (SDAr) プルアップ抵抗、C_b[F]：通信回線 (SDAr, SCLr) 負荷容量
- r：IIC 番号 (r = 00, 01, 10, 11, 20, 21)、gh：ポート番号 (gh = 100, 102, 104, 105, 110, 112, 114, 115, 201, 204, 205, 207, 208, 212, 301, 302, 403, 407, 409～411, 500, 502)
- f_{MCK}：シリアルアレイユニット動作クロック周波数
  この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKSmn ビットを使用してください。
  m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)

表 2.28　異なる電圧レベルで動作しているデバイスとの UART 通信時 (1.8 V, 2.5 V, 3 V) (1)

条件：VCC = 1.8～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目				シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
					Min	Max	Min	Max	Min	Max		
転送速度	受信	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V		—	—	f_{MCK}/6 (注1)	—	f_{MCK}/6(注1)	—	f_{MCK}/6 (注1)	bps	図 2.22
			最大転送速度の理論値 f_{MCK} = PCLKB(注3)		—	5.3	—	4	—	0.33	Mbps	
		2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V			—	f_{MCK}/6 (注1)	—	f_{MCK}/6(注1)	—	f_{MCK}/6 (注1)	bps	
			最大転送速度の理論値 f_{MCK}(注3) = PCLKB(注3)		—	5.3	—	4	—	0.33	Mbps	
		1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V			—	f_{MCK}/6 (注1) (注2)	—	f_{MCK}/6(注1) (注2)	—	f_{MCK}/6 (注1) (注2)	bps	
			最大転送速度の理論値 f_{MCK} = PCLKB(注3)		—	5.3	—	4	—	0.33	Mbps	

注 1.　スヌーズモードでの転送速度は 4800～9600 bps の範囲内です。
注 2.　VCC ≧ V_b ではこの速度を使用してください。
注 3.　システムクロック (PCLKB) の最高動作周波数は以下のとおりです。
High-speed モード：32 MHz (1.8 V ≦ VCC ≦ 5.5 V)、4 MHz (1.6 V ≦ VCC ≦ 5.5 V)
Middle-speed モード：24 MHz (1.8 V ≦ VCC ≦ 5.5 V)、4 MHz (1.6 V ≦ VCC ≦ 5.5 V)
Low-speed モード：2 MHz (1.6 V ≦ VCC ≦ 5.5 V)

注.　ポート gh 端子機能選択レジスタ（PghPFS_A.PIM と PghPFS_A.NCODR）を使用して、RXDq 端子の TTL 入力バッファと TXDq 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

注.
- V_b[V]：通信回線電圧
- q: UART 番号（q = 0～2）、gh：ポート番号 (gh = 100, 101, 109, 110, 212, 213, 402, 403, 501, 502)
- f_{MCK}：シリアルアレイユニット動作クロック周波数

この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)

- P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

表 2.29 異なる電圧レベルで動作しているデバイスとの UART 通信時 (1.8 V, 2.5 V, 3 V) (2)

条件：VCC = 1.8～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目				シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
					Min	Max	Min	Max	Min	Max		
転送速度	送信	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V		—	—	(注1)	—	(注1)	—	(注1)	bps	図 2.22
			最大転送速度の理論値 C_b = 50 pF、R_b = 1.4 kΩ、V_b = 2.7 V		—	2.8(注2)	—	2.8(注2)	—	2.8(注2)	Mbps	
		2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V			—	(注3)	—	(注3)	—	(注3)	bps	
			最大転送速度の理論値 C_b = 50 pF、R_b = 2.7 kΩ、V_b = 2.3 V		—	1.2(注4)	—	1.2(注4)	—	1.2(注4)	Mbps	
		1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V			—	(注5) (注6)	—	(注5) (注6)	—	(注5) (注6)	bps	
			最大転送速度の理論値 C_b = 50 pF、R_b = 5.5 kΩ、V_b = 1.6 V		—	0.43(注7)	—	0.43(注7)	—	0.43(注7)	Mbps	

注 1. f_{MCK}/6 または以下の式を使用して得られる小さい最大転送速度が有効な最大転送速度です。
4.0 V ≦ VCC ≦ 5.5 V および 2.7 V ≦ V_b ≦ 4.0 V の場合の転送速度を算出する式

$$\text{最大転送速度} = \frac{1}{\left\{-C_b \times R_b \times \ln\left(1-\frac{2.2}{V_b}\right)\right\} \times 3}[\text{bps}]$$

$$\text{ボーレートエラー(理論値)} = \frac{\frac{1}{\text{転送速度} \times 2} - \left\{-C_b \times R_b \times \ln\left(1-\frac{2.2}{V_b}\right)\right\}}{\left(\frac{1}{\text{転送速度}}\right) \times \text{転送ビット数}} \times 100[\%]$$

この値は送信側と受信側の相対的な差分の理論値です。

注 2. この速度は、条件の列に記載された条件を満たす場合の例として算出されたものです。ユーザーの条件下での最大転送速度を算出するためには、上記の(注1)を参照してください。

注 3. f_{MCK}/6 または以下の式を使用して得られる小さい最大転送速度が有効な最大転送速度です。
2.7 V ≦ VCC < 4.0 V および 2.3 V ≦ V_b ≦ 2.7 V の場合の転送速度を算出する式

$$\text{最大転送速度} = \frac{1}{\left\{-C_b \times R_b \times \ln\left(1-\frac{2.0}{V_b}\right)\right\} \times 3}[\text{bps}]$$

$$\text{ボーレートエラー(理論値)} = \frac{\frac{1}{\text{転送速度} \times 2} - \left\{-C_b \times R_b \times \ln\left(1-\frac{2.0}{V_b}\right)\right\}}{\left(\frac{1}{\text{転送速度}}\right) \times \text{転送ビット数}} \times 100[\%]$$

この値は送信側と受信側の相対的な差分の理論値です。

注 4. この速度は、条件の列に記載された条件を満たす場合の例として算出されたものです。ユーザーの条件下での最大転送速度を算出するためには、上記の(注3)を参照してください。

注 5. VCC ≧ V_b ではこの速度を使用してください。

注 6. f_{MCK}/6 または以下の式を使用して得られる小さい最大転送速度が有効な最大転送速度です。
1.8 V ≦ VCC < 3.3 V および 1.6 V ≦ V_b ≦ 2.0 V の場合の転送速度を算出する式

$$\text{最大転送速度} = \frac{1}{\left\{-C_b \times R_b \times \ln\left(1-\frac{1.5}{V_b}\right)\right\} \times 3}[\text{bps}]$$

$$\text{ボーレートエラー(理論値)} = \frac{\frac{1}{\text{転送速度} \times 2} - \left\{-C_b \times R_b \times \ln\left(1-\frac{1.5}{V_b}\right)\right\}}{\left(\frac{1}{\text{転送速度}}\right) \times \text{転送ビット数}} \times 100[\%]$$

この値は送信側と受信側の相対的な差分の理論値です。

注 7. この速度は、条件の列に記載された条件を満たす場合の例として算出されたものです。ユーザーの条件下での最大転送速度を算出するためには、上記の(注6)を参照してください。

注. ポート gh 端子機能選択レジスタ（PghPFS_A.PIM と PghPFS_A.NCODR）を使用して、RXDq 端子の TTL 入力バッファと TXDq 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

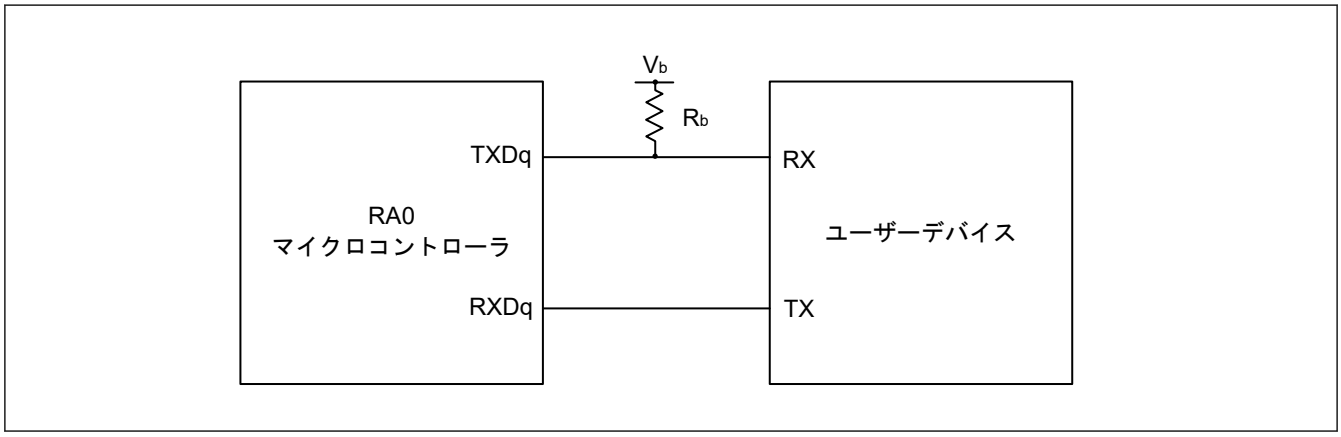


図 2.21 異なる電圧レベルで動作しているデバイスとの UART 通信時

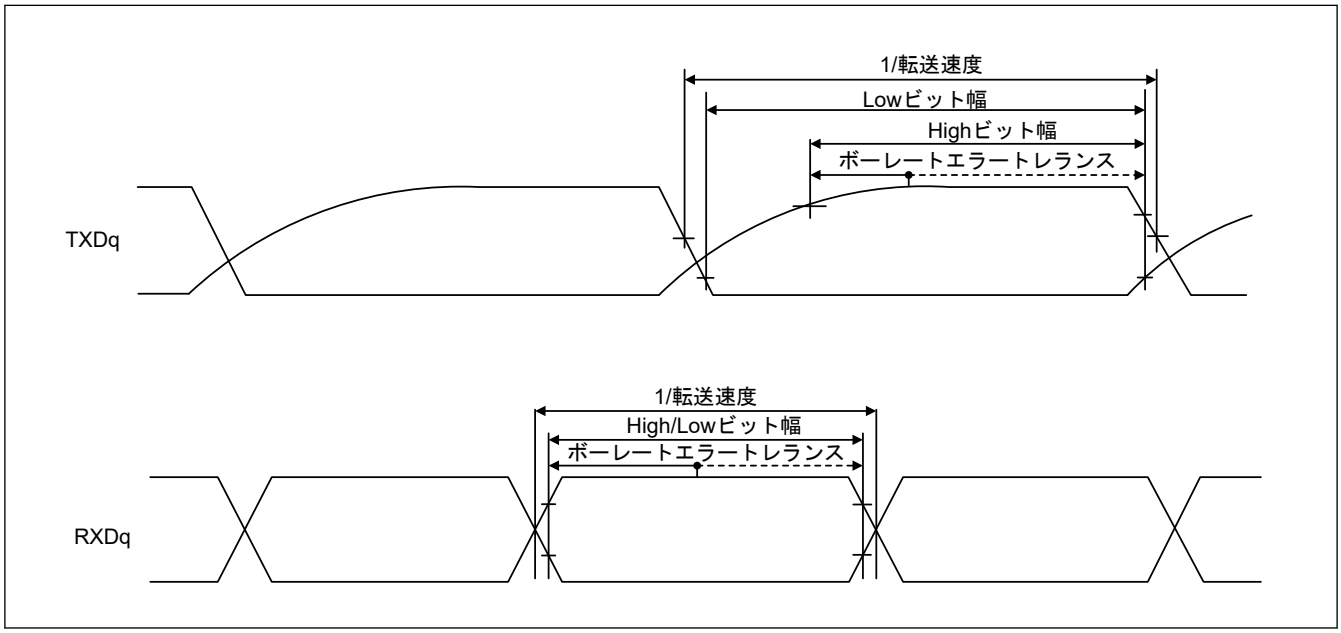


図 2.22 異なる電圧レベルで動作しているデバイスとの UART 通信でのビット幅（参考）

注.
- R_b[Ω]：通信回線 (TXDq) プルアップ抵抗、C_b[F]：通信回線 (TXDq) 負荷容量、V_b[V]：通信回線電圧
- q: UART 番号（q = 0～2）、gh：ポート番号 (gh = 100, 101, 109, 110, 212, 213, 402, 403, 501, 502)
- f_{MCK}：シリアルアレイユニット動作クロック周波数
  この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
  m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)
- P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

表 2.30 内部 SCKp クロックを使用して異なる電圧レベル（2.5 V または 3 V）で動作しているデバイスとマスタモードで簡易 SPI 通信をする場合（以下の定格は SPI00 にのみ適用可能）

条件：VCC = 2.7～5.5 V、VSS = 0 V、Ta = -40～+105℃

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクル時間	t_{KCY1} ≧ 2/PCLKB	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 20 pF、R_b = 1.4 kΩ	t_{KCY1}	200	—	200	—	2300	—	ns	図 2.24 図 2.25
		2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 20 pF、R_b = 2.7 kΩ		300	—	300	—	2300	—	ns	
SCKp High レベル幅	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 20 pF、R_b = 1.4 kΩ		t_{KH1}	t_{KCY1}/2 - 50	—	t_{KCY1}/2 - 50	—	t_{KCY1}/2 - 50	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 20 pF、R_b = 2.7 kΩ			t_{KCY1}/2 - 120	—	t_{KCY1}/2 - 120	—	t_{KCY1}/2 - 120	—	ns	
SCKp Low レベル幅	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 20 pF、R_b = 1.4 kΩ		t_{KL1}	t_{KCY1}/2 -7	—	t_{KCY1}/2 -7	—	t_{KCY1}/2 - 50	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 20 pF、R_b = 2.7 kΩ			t_{KCY1}/2 - 10	—	t_{KCY1}/2 - 10	—	t_{KCY1}/2 - 50	—	ns	
SIp セットアップ時間（SCKp↑まで）(注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 20 pF、R_b = 1.4 kΩ		t_{SIK1}	58	—	58	—	479	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 20 pF、R_b = 2.7 kΩ			121	—	121	—	479	—	ns	
SIp ホールド時間（SCKp↑から）(注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 20 pF、R_b = 1.4 kΩ		t_{KSI1}	10	—	10	—	10	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 20 pF、R_b = 2.7 kΩ			10	—	10	—	10	—	ns	
SCKp↓から SOp 出力までの遅延時間 (注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 20 pF、R_b = 1.4 kΩ		t_{KSO1}	—	60	—	60	—	60	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 20 pF、R_b = 2.7 kΩ			—	130	—	130	—	130	ns	
SIp セットアップ時間（SCKp↓まで）(注2)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 20 pF、R_b = 1.4 kΩ		t_{SIK1}	23	—	23	—	110	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 20 pF、R_b = 2.7 kΩ			33	—	33	—	110	—	ns	
SIp ホールド時間（SCKp↓から）(注2)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 20 pF、R_b = 1.4 kΩ		t_{KSI1}	10	—	10	—	10	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 20 pF、R_b = 2.7 kΩ			10	—	10	—	10	—	ns	
SCKp↑から SOp 出力までの遅延時間 (注2)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 20 pF、R_b = 1.4 kΩ		t_{KSO1}	—	10	—	10	—	10	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 20 pF、R_b = 2.7 kΩ			—	10	—	10	—	10	ns	

注 1. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。
注 2. SCRmn.DCP[1:0] = 01b または 10b の場合、本設定が適用されます。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SIp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

注.
- R_b[Ω]：通信回線 (SCKp, SOp) プルアップ抵抗、C_b[F]：通信回線 (SCKp, SOp) 負荷容量、V_b[V]：通信回線電圧
- p：簡易 SPI 番号 (p = 00)、m：ユニット番号 (m = 0)、n：チャネル番号 (n = 0)、gh：ポート番号 (gh = 100～103, 112, 201, 500～502)
- f_{MCK}：シリアルアレイユニット動作クロック周波数
  この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKSmn ビットを使用してください。
  m：ユニット番号、n：チャネル番号 (mn = 00)

表 2.31 内部 SCKp クロックを使用して異なる電圧レベル（1.8 V、2.5 V または 3 V）で動作しているデバイスとマスタモードで簡易 SPI 通信をする場合 (1)

条件：VCC = 1.8～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクル時間	t_{KCY1} ≧ 4/PCLKB	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ	t_{KCY1}	300	—	300	—	2300	—	ns	図 2.24 図 2.25
		2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ		500	—	500	—	2300	—	ns	
		1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注1)、C_b = 30 pF、R_b = 5.5 kΩ		1150	—	1150	—	2300	—	ns	
SCKp High レベル幅	4.0 V≦VCC≦5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ		t_{KH1}	t_{KCY1}/2 - 75	—	t_{KCY1}/2 - 75	—	t_{KCY1}/2 - 75	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ			t_{KCY1}/2 - 170	—	t_{KCY1}/2 - 170	—	t_{KCY1}/2 - 170	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注1)、C_b = 30 pF、R_b = 5.5 kΩ			t_{KCY1}/2 - 458	—	t_{KCY1}/2 - 458	—	t_{KCY1}/2 - 458	—	ns	
SCKp Low レベル幅	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ		t_{KL1}	t_{KCY1}/2 -12	—	t_{KCY1}/2 -12	—	t_{KCY1}/2 - 50	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ			t_{KCY1}/2 - 18	—	t_{KCY1}/2 - 18	—	t_{KCY1}/2 - 50	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注1)、C_b = 30 pF、R_b = 5.5 kΩ			t_{KCY1}/2 - 50	—	t_{KCY1}/2 - 50	—	t_{KCY1}/2 - 50	—	ns	

注 1. VCC ≧ V_b ではこの設定を使用してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SIp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

表 2.32 内部 SCKp クロックを使用して異なる電圧レベル（1.8 V、2.5 V または 3 V）で動作しているデバイスとマスタモードで簡易 SPI 通信をする場合 (2)

条件：VCC = 1.8～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
SIp セットアップ時間（SCKp↑まで）(注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ	t_{SIK1}	81	—	81	—	479	—	ns	図 2.24 図 2.25
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ		177	—	177	—	479	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 30 pF、R_b = 5.5 kΩ		479	—	479	—	479	—	ns	
SIp ホールド時間（SCKp↑から）(注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ	t_{KSI1}	19	—	19	—	19	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ		19	—	19	—	19	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 30 pF、R_b = 5.5 kΩ		19	—	19	—	19	—	ns	
SCKp↓から SOp 出力までの遅延時間(注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ	t_{KSO1}	—	100	—	100	—	100	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ		—	195	—	195	—	195	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 30 pF、R_b = 5.5 kΩ		—	483	—	483	—	483	ns	

注 1. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。
注 2. VCC ≧ V_b ではこの設定を使用してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SIp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

表 2.33 内部 SCKp クロックを使用して異なる電圧レベル（1.8 V、2.5 V または 3 V）で動作しているデバイスとマスタモードで簡易 SPI 通信をする場合 (3)

条件：VCC = 1.8～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
SIp セットアップ時間（SCKp↓まで）(注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ	t_{SIK1}	44	—	44	—	110	—	ns	図 2.24 図 2.25
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ		44	—	44	—	110	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 30 pF、R_b = 5.5 kΩ		110	—	110	—	110	—	ns	
SIp ホールド時間（SCKp↓から）(注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ	t_{KSI1}	19	—	19	—	19	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ		19	—	19	—	19	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 30 pF、R_b = 5.5 kΩ		19	—	19	—	19	—	ns	
SCKp↑から SOp 出力までの遅延時間(注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ	t_{KSO1}	—	25	—	25	—	25	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ		—	25	—	25	—	25	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 30 pF、R_b = 5.5 kΩ		—	25	—	25	—	25	ns	

注 1. SCRmn.DCP[1:0] = 01b または 10b の場合、本設定が適用されます。
注 2. VCC ≧ V_b ではこの設定を使用してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SIp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

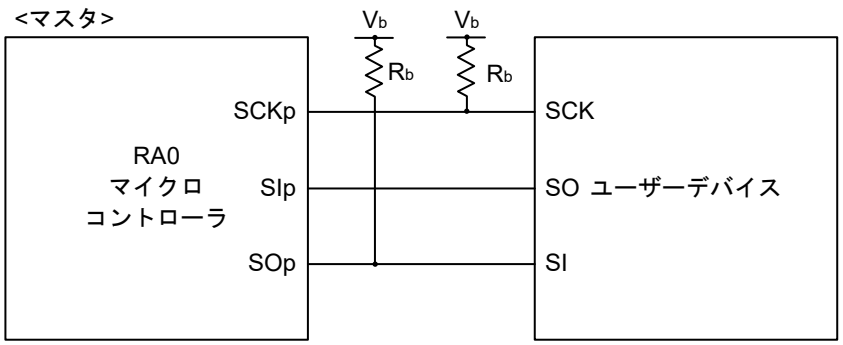


図 2.23 異なる電圧レベルで動作しているデバイスとの簡易 SPI 通信での接続

注. ● R_b[Ω]：通信回線 (SCKp, SOp) プルアップ抵抗、C_b[F]：通信回線 (SCKp, SOp) 負荷容量、V_b[V]：通信回線電圧

- p：簡易 SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)、gh：ポート番号 (gh = 100～106, 109, 110, 112～115, 201, 204～208, 212, 213, 301～303, 402, 403, 407, 409～411, 500～502, 915)
- f_{MCK}：シリアルアレイユニット動作クロック周波数
  この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
  m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)
- P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

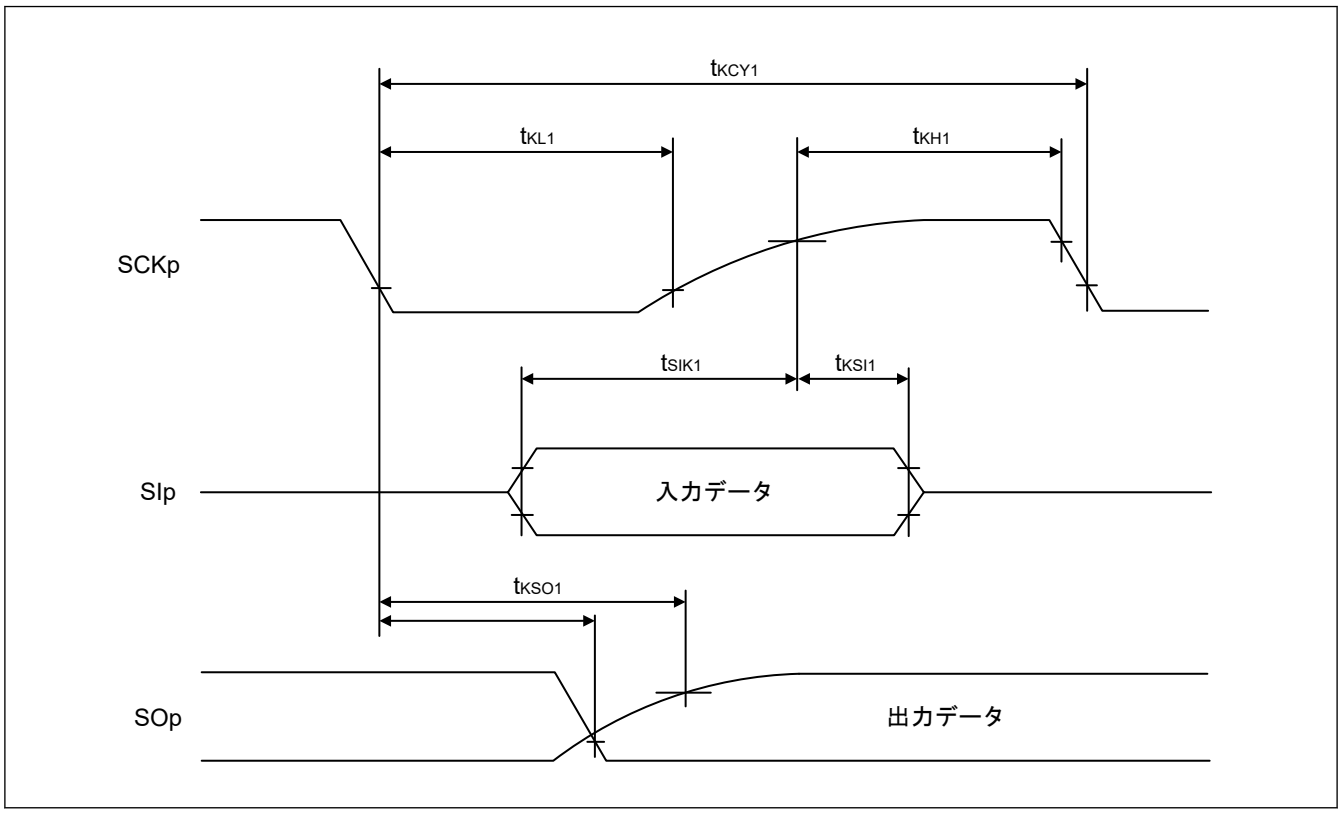


図 2.24 異なる電圧レベルで動作しているデバイスとのマスタモードでの簡易 SPI 通信でのシリアル転送のタイミング（SCRmn.DCP[1:0] = 00b または 11b の場合）

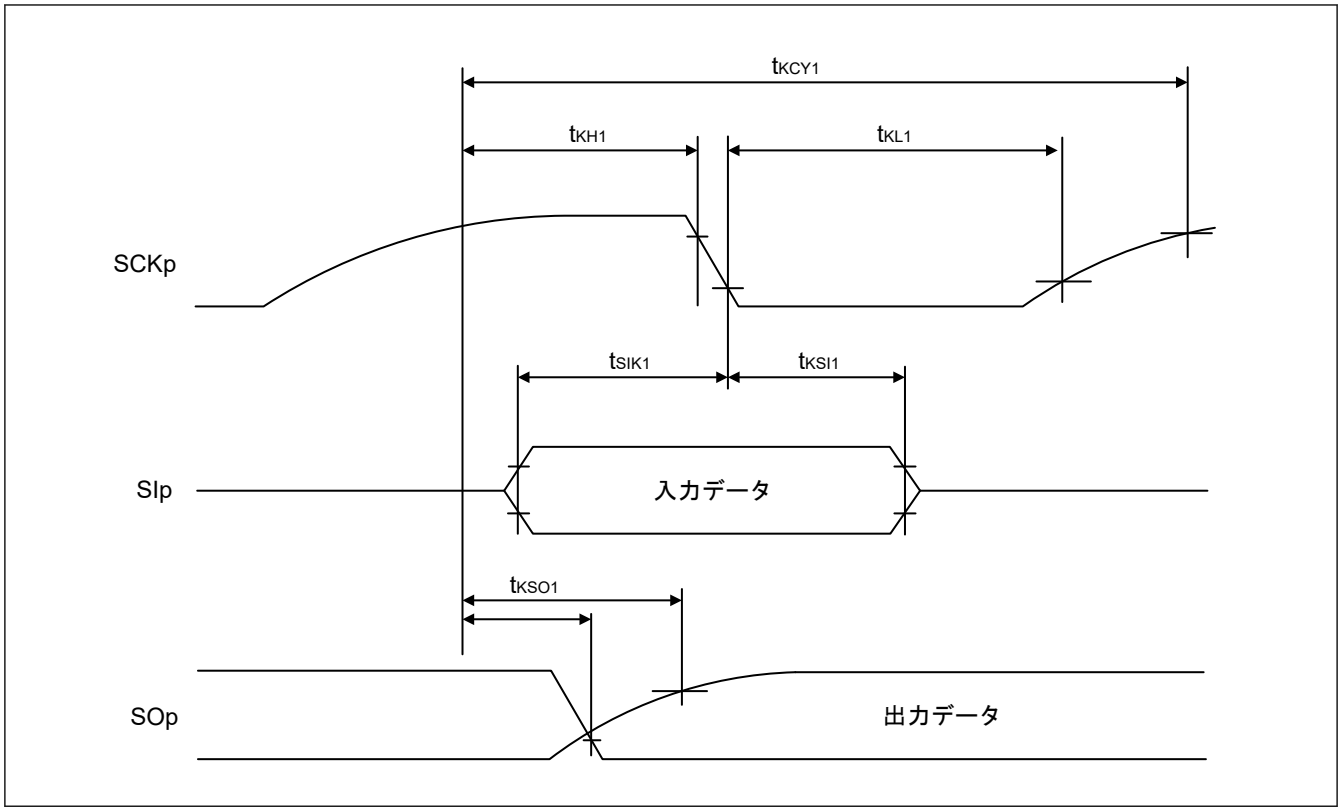


図 2.25 異なる電圧レベルで動作しているデバイスとのマスタモードでの簡易 SPI 通信でのシリアル転送のタイミング（SCRmn.DCP[1:0] = 01b または 10b の場合）

注.
- p：簡易 SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)、gh：ポート番号 (gh = 100～106, 109, 110, 112～115, 201, 204～208, 212, 213, 301～303, 402, 403, 407, 409～411, 500～502, 915)
- P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

表 2.34 外部 SCKp クロックを使用して異なる電圧レベル（1.8 V、2.5 V または 3 V）で動作しているデバイスとスレーブモードで簡易 SPI 通信をする場合

条件：VCC = 1.8～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクルタイム(注1)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V	24 MHz < f_{MCK}	t_{KCY2}	14/f_{MCK}	—	—	—	—	—	ns	図 2.27 図 2.28
		20 MHz < f_{MCK} ≦ 24 MHz		12/f_{MCK}	—	12/f_{MCK}	—	—	—	ns	
		8 MHz < f_{MCK} ≦ 20 MHz		10/f_{MCK}	—	10/f_{MCK}	—	—	—	ns	
		4 MHz < f_{MCK} ≦ 8 MHz		8/f_{MCK}	—	8/f_{MCK}	—	—	—	ns	
		f_{MCK}≦4 MHz		6/f_{MCK}	—	6/f_{MCK}	—	10/f_{MCK}	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V	24 MHz < f_{MCK}		20/f_{MCK}	—	—	—	—	—	ns	
		20 MHz < f_{MCK} ≦ 24 MHz		16/f_{MCK}	—	16/f_{MCK}	—	—	—	ns	
		16 MHz < f_{MCK} ≦ 20 MHz		14/f_{MCK}	—	14/f_{MCK}	—	—	—	ns	
		8 MHz < f_{MCK} ≦ 16 MHz		12/f_{MCK}	—	12/f_{MCK}	—	—	—	ns	
		4 MHz < f_{MCK} ≦ 8 MHz		8/f_{MCK}	—	8/f_{MCK}	—	—	—	ns	
		f_{MCK} ≦ 4 MHz		6/f_{MCK}	—	6/f_{MCK}	—	10/f_{MCK}	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)	24 MHz < f_{MCK}		48/f_{MCK}	—	—	—	—	—	ns	
		20 MHz < f_{MCK} ≦ 24 MHz		36/f_{MCK}	—	36/f_{MCK}	—	—	—	ns	
		16 MHz < f_{MCK} ≦ 20 MHz		32/f_{MCK}	—	32/f_{MCK}	—	—	—	ns	
		8 MHz < f_{MCK} ≦ 16 MHz		26/f_{MCK}	—	26/f_{MCK}	—	—	—	ns	
		4 MHz < f_{MCK} ≦ 8 MHz		16/f_{MCK}	—	16/f_{MCK}	—	—	—	ns	
		f_{MCK} ≦ 4 MHz		10/f_{MCK}	—	10/f_{MCK}	—	10/f_{MCK}	—	ns	
SCKp High/Low レベル幅	4.0 V≦VCC≦5.5 V、2.7 V ≦ V_b ≦ 4.0 V		t_{KH2}、t_{KL2}	t_{KCY2}/2 - 12	—	t_{KCY2}/2 - 12	—	t_{KCY2}/2 - 50	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V			t_{KCY2}/2 - 18	—	t_{KCY2}/2 - 18	—	t_{KCY2}/2 - 50	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)			t_{KCY2}/2 - 50	—	t_{KCY2}/2 - 50	—	t_{KCY2}/2 - 50	—	ns	
SIp セットアップ時間（SCKp↑まで）(注3)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V		t_{SIK2}	1/f_{MCK} + 20	—	1/f_{MCK} + 20	—	1/f_{MCK} + 30	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V			1/f_{MCK} + 20	—	1/f_{MCK} + 20	—	1/f_{MCK} + 30	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)			1/f_{MCK} + 30	—	1/f_{MCK} + 30	—	1/f_{MCK} + 30	—	ns	
SIp ホールド時間（SCKp↑から）(注3)			t_{KSI2}	1/f_{MCK} + 31	—	1/f_{MCK} + 31	—	1/f_{MCK} + 31	—	ns	
SCKp↓から SOp 出力までの遅延時間(注4)	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 30 pF、R_b = 1.4 kΩ		t_{KSO2}	—	2/f_{MCK} + 120	—	2/f_{MCK} + 120	—	2/f_{MCK} + 573	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 30 pF、R_b = 2.7 kΩ			—	2/f_{MCK} + 214	—	2/f_{MCK} + 214	—	2/f_{MCK} + 573	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 30 pF、R_b = 5.5 kΩ			—	2/f_{MCK} + 573	—	2/f_{MCK} + 573	—	2/f_{MCK} + 573	ns	

注 1. スヌーズモードでの転送速度：1 Mbps (max)

注 2. VCC ≧ V_b ではこの設定を使用してください。

注 3. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、SIp セットアップ時間は「SCKp↓まで」になり、SIp ホールド時間は「SCKp↓から」になります。

注 4. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、SOp 出力までの遅延時間は「SCKp↑から」になります。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SIp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

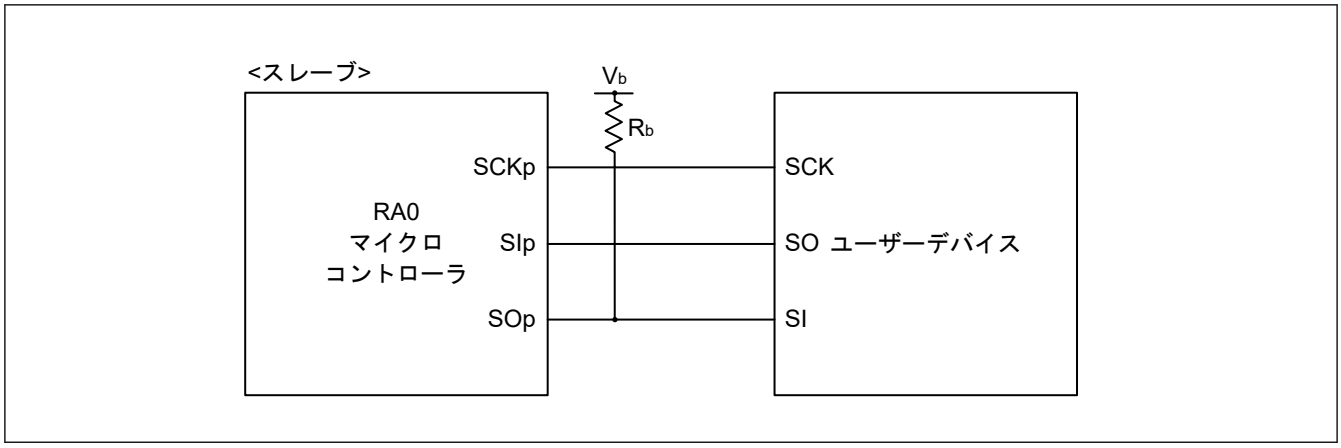


図 2.26 異なる電圧レベルで動作しているデバイスとの簡易 SPI 通信での接続

注.
- R_b[Ω]：通信回線 (SOp) プルアップ抵抗、C_b[F]：通信回線 (SOp) 負荷容量、V_b[V]：通信回線電圧
- p：簡易 SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)、gh：ポート番号 (gh = 100～106, 109, 110, 112～115, 201, 204～208, 212, 213, 301～303, 402, 403, 407, 409～411, 500～502, 915)
- f_{MCK}：シリアルアレイユニット動作クロック周波数
  この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
  m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)
- P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

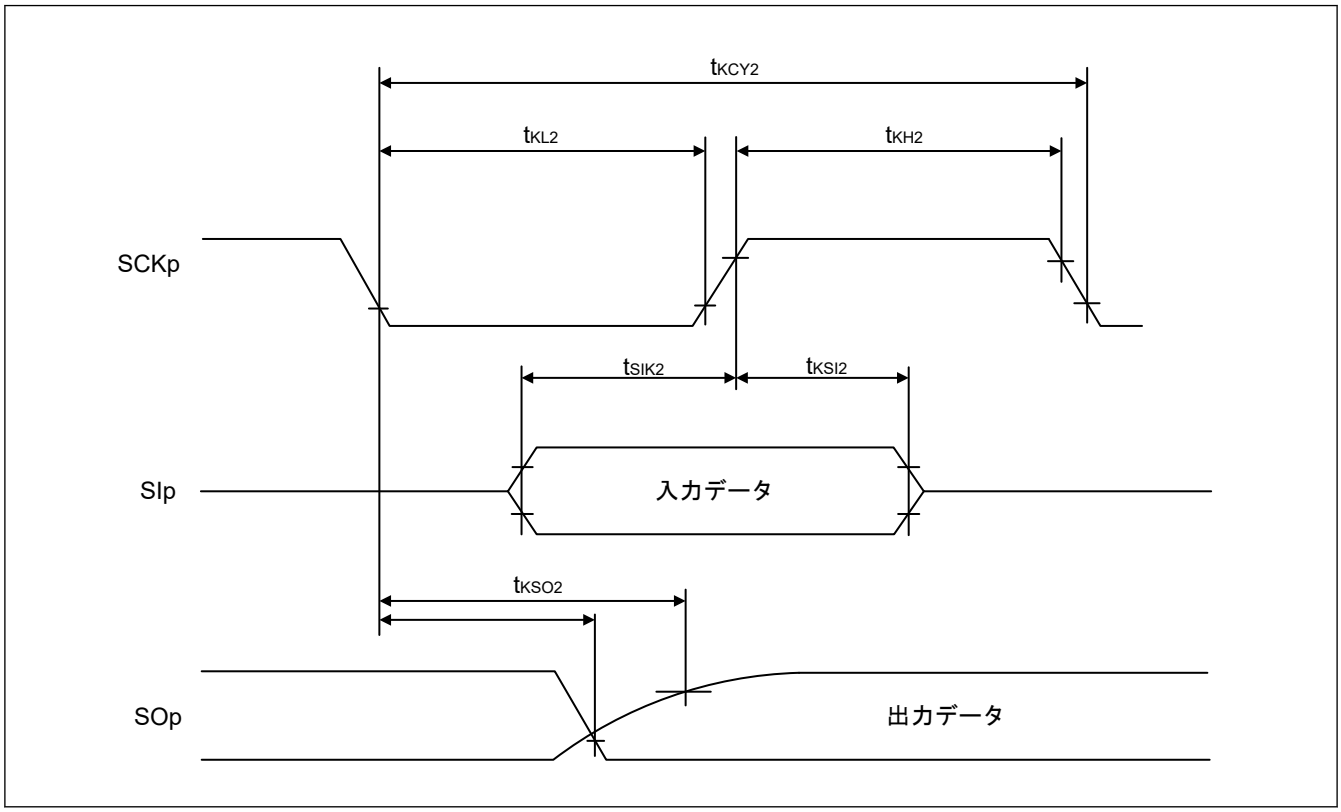


図 2.27 異なる電圧レベルで動作しているデバイスとのスレーブモードでの簡易 SPI 通信でのシリアル転送のタイミング（SCRmn.DCP[1:0] = 00b または 11b の場合）

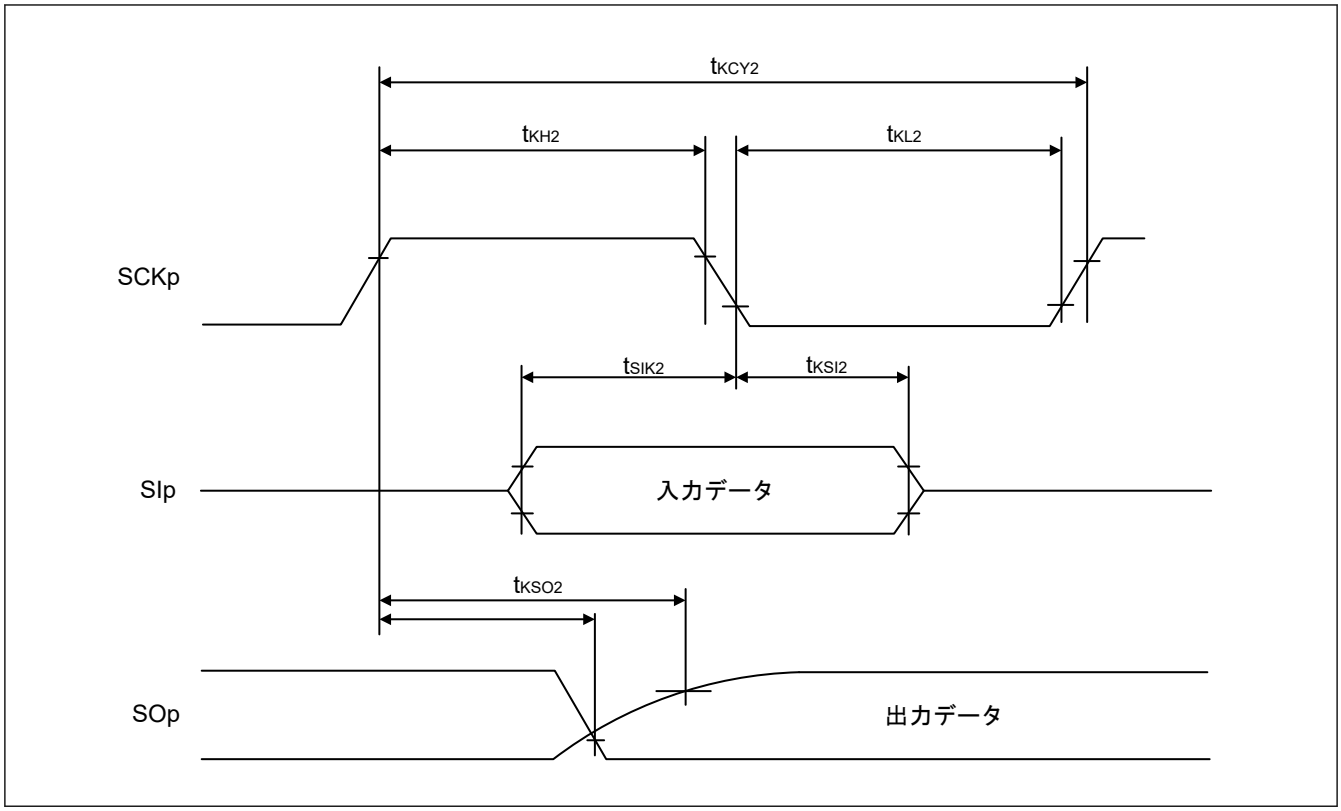


図 2.28　異なる電圧レベルで動作しているデバイスとのスレーブモードでの簡易 SPI 通信でのシリアル転送のタイミング（SCRmn.DCP[1:0] = 01b または 10b の場合）

注.
- p：簡易 SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)、gh：ポート番号 (gh = 100～106,109,110,112～115, 201, 204～208, 212, 213, 301～303, 402, 403, 407, 409～411, 500～502, 915)
- P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

表 2.35 異なる電圧レベルで動作しているデバイスとの簡易 IIC 通信時（1.8 V、2.5 V または 3 V） (1/2)

条件：VCC = 1.8～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
SCLr クロック周波数	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 50 pF、R_b = 2.7 kΩ	f_{SCL}	—	1000 (注1)	—	1000 (注1)	—	300 (注1)	kHz	図 2.30
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 50 pF、R_b = 2.7 kΩ		—	1000 (注1)	—	1000 (注1)	—	300 (注1)	kHz	
	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 100 pF、R_b = 2.8 kΩ		—	400 (注1)	—	400 (注1)	—	300 (注1)	kHz	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 100 pF、R_b = 2.7 kΩ		—	400 (注1)	—	400 (注1)	—	300 (注1)	kHz	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 100 pF、R_b = 5.5 kΩ		—	300 (注1)	—	300 (注1)	—	300 (注1)	kHz	
SCLr が Low の場合のホールド時間	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 50 pF、R_b = 2.7 kΩ	t_{LOW}	475	—	475	—	1550	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 50 pF、R_b = 2.7 kΩ		475	—	475	—	1550	—	ns	
	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 100 pF、R_b = 2.8 kΩ		1150	—	1550	—	1550	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 100 pF、R_b = 2.7 kΩ		1150	—	1550	—	1550	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 100 pF、R_b = 5.5 kΩ		1550	—	1550	—	1550	—	ns	
SCLr が High の場合のホールド時間	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 50 pF、R_b = 2.7 kΩ	t_{HIGH}	245	—	245	—	610	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 50 pF、R_b = 2.7 kΩ		200	—	200	—	610	—	ns	
	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 100 pF、R_b = 2.8 kΩ		675	—	675	—	610	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 100 pF、R_b = 2.7 kΩ		600	—	600	—	610	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 100 pF、R_b = 5.5 kΩ		610	—	610	—	610	—	ns	

表 2.35 異なる電圧レベルで動作しているデバイスとの簡易 IIC 通信時（1.8 V、2.5 V または 3 V） (2/2)

条件：VCC = 1.8～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
データセットアップ時間（受信）	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 50 pF、R_b = 2.7 kΩ	$t_{SU:DAT}$	$1/f_{MCK}$ + +135(注3)	—	$1/f_{MCK}$ + +135(注3)	—	$1/f_{MCK}$ + +190(注3)	—	ns	図 2.30
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 50 pF、R_b = 2.7 kΩ		$1/f_{MCK}$ + +135(注3)	—	$1/f_{MCK}$ + +135(注3)	—	$1/f_{MCK}$ + +190(注3)	—	ns	
	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 100 pF、R_b = 2.8 kΩ		$1/f_{MCK}$ + +190(注3)	—	$1/f_{MCK}$ + +190(注3)	—	$1/f_{MCK}$ + +190(注3)	—	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 100 pF、R_b = 2.7 kΩ		$1/f_{MCK}$ + +190(注3)	—	$1/f_{MCK}$ + +190(注3)	—	$1/f_{MCK}$ + +190(注3)	—	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 100 pF、R_b = 5.5 kΩ		$1/f_{MCK}$ + +190(注3)	—	$1/f_{MCK}$ + +190(注3)	—	$1/f_{MCK}$ + +190(注3)	—	ns	
データ保持時間（送信）	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 50 pF、R_b = 2.7 kΩ	$t_{HD:DAT}$	0	305	0	305	0	305	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 50 pF、R_b = 2.7 kΩ		0	305	0	305	0	305	ns	
	4.0 V ≦ VCC ≦ 5.5 V、2.7 V ≦ V_b ≦ 4.0 V、C_b = 100 pF、R_b = 2.8 kΩ		0	355	0	355	0	355	ns	
	2.7 V ≦ VCC < 4.0 V、2.3 V ≦ V_b ≦ 2.7 V、C_b = 100 pF、R_b = 2.7 kΩ		0	355	0	355	0	355	ns	
	1.8 V ≦ VCC < 3.3 V、1.6 V ≦ V_b ≦ 2.0 V(注2)、C_b = 100 pF、R_b = 5.5 kΩ		0	405	0	405	0	405	ns	

注 1. 表に示す時間は、f_{MCK}/4 以下である必要があります。
注 2. VCC ≧ V_b ではこの設定を使用してください。
注 3. SCLr が Low または High の場合に f_{MCK} がホールド時間を超えないように設定してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SDAr 端子の TTL 入力バッファと N チャネルオープンドレイン出力[VCC 耐圧]モードおよび SCLr 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

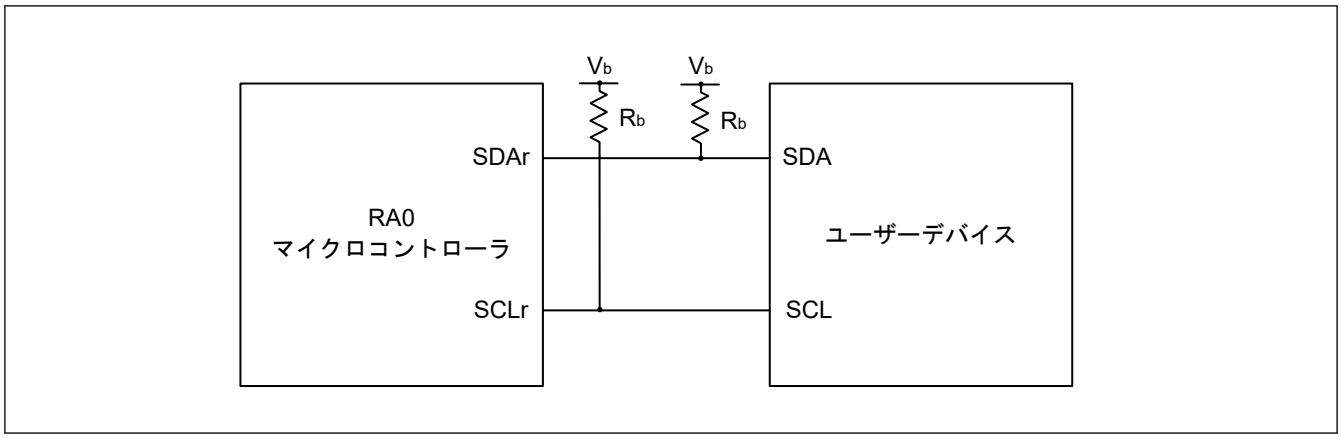


図 2.29 異なる電圧レベルで動作しているデバイスとの IIC 通信での接続

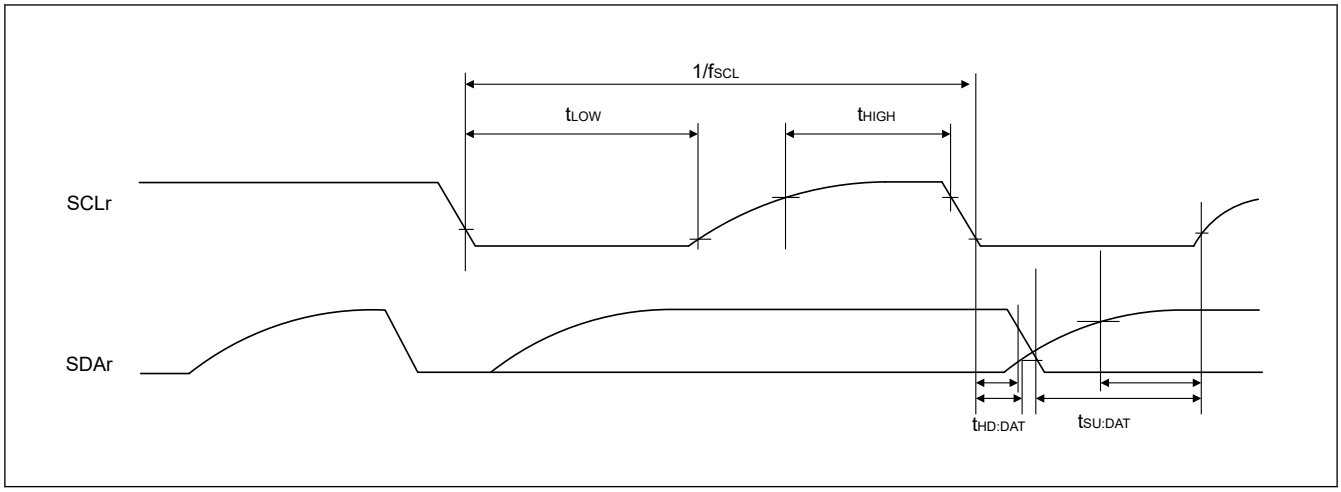


図 2.30 異なる電圧レベルで動作しているデバイスとの簡易 IIC 通信でのシリアル転送のタイミング

注.
- R_b[Ω]：通信回線 (SDAr, SCLr) プルアップ抵抗、C_b[F]：通信回線 (SDAr, SCLr) 負荷容量、V_b[V]：通信回線電圧
- r：簡易 IIC 番号 (r = 00, 01, 10, 11, 20, 21)、gh：ポート番号 (gh = 100, 102, 104, 105, 110, 112, 114, 115, 201, 204, 205, 207, 208, 212, 301, 302, 403, 407, 409～411, 500, 502)
- f_{MCK}：シリアルアレイユニット動作クロック周波数
  この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
  m：ユニット番号、n：チャネル番号 (mn = 00～03, 10, 11)

2.5.2 UART インタフェース (UARTA)

表 2.36 UARTA 通信

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目	シンボル	Min	Typ	Max	単位	測定条件
転送速度	—	200	0	153600	bps	—

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、RXDAn 端子の通常入力バッファと TXDAn 端子の通常出力モードを選択してください。

注. n：ユニット番号 (n = 0, 1)、gh：ポート番号 (gh = 100～103, 105, 106, 109, 110, 205, 206～208, 212, 213, 301, 302, 402, 403, 410, 411, 501, 502)

注. P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

2.5.3 I²C バスインタフェース (IICA)

表 2.37 I²C 標準モード

条件：VCC = 1.6～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	標準モード：PCLKB ≧ 1 MHz	f_{SCL}	0	—	100	kHz	図 2.31
リスタートコンディションセットアップ時間	—	$t_{SU:STA}$	4.7	—	—	μs	
ホールド時間(注1)	—	$t_{HD:STA}$	4	—	—	μs	
SCLAn が Low の場合のホールド時間	—	t_{LOW}	4.7	—	—	μs	
SCLAn が High の場合のホールド時間	—	t_{HIGH}	4	—	—	μs	
データセットアップ時間（受信）	—	$t_{SU:DAT}$	250	—	—	ns	
データホールド時間（送信）(注2)	—	$t_{HD:DAT}$	0	—	3.45	μs	
ストップコンディションセットアップ時間	—	$t_{SU:STO}$	4	—	—	μs	
バスフリー時間	—	t_{BUF}	4.7	—	—	μs	

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。
注 2. $t_{HD:DAT}$ の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。

注. n：ユニット番号 (0, 1)

注. P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

注. 通信回線容量 (C_b) と通信回線プルアップ抵抗 (R_b) の最大値は以下のとおりです。

C_b = 400 pF, R_b = 2.7 kΩ

表 2.38 I²C ファストモード

条件：VCC = 1.8～5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	ファストモード：PCLKB ≧ 3.5 MHz 1.8 V ≦ VCC ≦ 5.5 V	f_{SCL}	0	—	400	kHz	図 2.31
リスタートコンディションセットアップ時間	1.8 V ≦ VCC ≦ 5.5 V	$t_{SU:STA}$	0.6	—	—	μs	
ホールド時間(注1)	1.8 V ≦ VCC ≦ 5.5 V	$t_{HD:STA}$	0.6	—	—	μs	
SCLAn が Low の場合のホールド時間	1.8 V ≦ VCC ≦ 5.5 V	t_{LOW}	1.3	—	—	μs	
SCLAn が High の場合のホールド時間	1.8 V ≦ VCC ≦ 5.5 V	t_{HIGH}	0.6	—	—	μs	
データセットアップ時間（受信）	1.8 V ≦ VCC ≦ 5.5 V	$t_{SU:DAT}$	100	—	—	ns	
データホールド時間（送信）(注2)	1.8 V ≦ VCC ≦ 5.5 V	$t_{HD:DAT}$	0	—	0.9	μs	
ストップコンディションセットアップ時間	1.8 V ≦ VCC ≦ 5.5 V	$t_{SU:STO}$	0.6	—	—	μs	
バスフリー時間	1.8 V ≦ VCC ≦ 5.5 V	t_{BUF}	1.3	—	—	μs	

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。
注 2. $t_{HD:DAT}$ の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。

注. P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

注. 通信回線容量 (C_b) と通信回線プルアップ抵抗 (R_b) の最大値は以下のとおりです。

C_b = 320 pF, R_b = 1.1 kΩ

表 2.39 I²C ファストモードプラス

条件：VCC = 2.7～5.5 V, VSS = 0 V, Ta = -40～+125℃

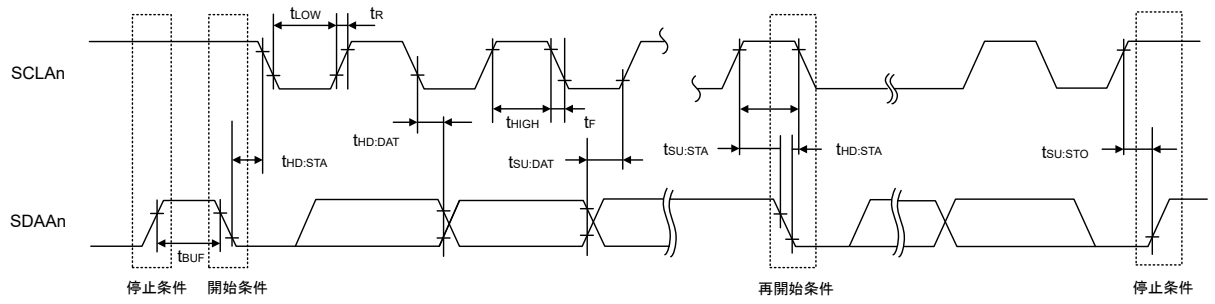
項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	ファストモードプラス：PCLKB ≧ 10 MHz 2.7 V ≦ VCC ≦ 5.5 V	f_{SCL}	0	—	1000	kHz	図 2.31
リスタートコンディションセットアップ時間	2.7 V ≦ VCC ≦ 5.5 V	$t_{SU:STA}$	0.26	—	—	μs	
ホールド時間(注1)	2.7 V ≦ VCC ≦ 5.5 V	$t_{HD:STA}$	0.26	—	—	μs	
SCLAn が Low の場合のホールド時間	2.7 V ≦ VCC ≦ 5.5 V	t_{LOW}	0.5	—	—	μs	
SCLAn が High の場合のホールド時間	2.7 V ≦ VCC ≦ 5.5 V	t_{HIGH}	0.26	—	—	μs	
データセットアップ時間（受信）	2.7 V ≦ VCC ≦ 5.5 V	$t_{SU:DAT}$	50	—	—	ns	
データホールド時間（送信）(注2)	2.7 V ≦ VCC ≦ 5.5 V	$t_{HD:DAT}$	0	—	0.45	μs	
ストップコンディションセットアップ時間	2.7 V ≦ VCC ≦ 5.5 V	$t_{SU:STO}$	0.26	—	—	μs	
バスフリー時間	2.7 V ≦ VCC ≦ 5.5 V	t_{BUF}	0.5	—	—	μs	

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。
注 2. $t_{HD:DAT}$ の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。

注. P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

注. 通信回線容量 (C_b) と通信回線プルアップ抵抗 (R_b) の最大値は以下のとおりです。

C_b = 120 pF, R_b = 1.1 kΩ



注. n = 0

図 2.31 IICA シリアル転送タイミング

2.6 アナログ特性

2.6.1 A/D 変換特性

表 2.40 通常モード 1 および 2 における A/D 変換特性

条件：2.4 V ≦ VREFH0 ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125 °C
基準電圧範囲を VREFH0 (ADVREFP[1:0] = 01b) および VREFL0 (ADVREFM = 1b) に印加
対象端子：AN000～AN012、AN021～AN022、内部基準電圧、および温度センサ出力電圧

項目		シンボル	Min	Typ	Max	単位	測定条件
分解能		RES	8	—	12	ビット	—
変換クロック		f_{AD}	1	—	32	MHz	—
総合誤差(注1) (注3) (注4) (注5)	分解能：12 ビット	AINL	—	—	±7.5	LSB	4.5 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±9.0	LSB	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±9.0	LSB	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
変換時間(注6)	分解能：12 ビット	t_{CONV}	2.0	—	—	μs	4.5 V ≦ VREFH0 = VCC ≦ 5.5 V
			2.0	—	—	μs	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			2.0	—	—	μs	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
ゼロスケール誤差(注1) (注2) (注3) (注4) (注5)	分解能：12 ビット	E_{ZS}	—	—	±0.17	%FSR	4.5 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.21	%FSR	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≦ VREFH0 =VCC ≦ 5.5 V
フルスケール誤差(注1) (注2) (注3) (注4) (注5)	分解能：12 ビット	E_{FS}	—	—	±0.17	%FSR	4.5 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.21	%FSR	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
積分直線性誤差(注1) (注4) (注5)	分解能：12 ビット	ILE	—	—	±3.0	LSB	4.5 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±3.0	LSB	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±3.0	LSB	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
微分直線性誤差(注1)	分解能：12 ビット	DLE	—	±1.0	—	LSB	4.5 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	±1.0	—	LSB	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	±1.0	—	LSB	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
アナログ入力電圧		V_{AIN}	0	—	VREFH0	V	—

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。
注 2. この値はフルスケール値に対する比率 (%FSR) を示します。
注 3. AN021 端子と AN022 端子を変換対象端子に選択した場合の最大値は以下のとおりです。
総合誤差：最大値に±3 LSB を加える。
ゼロスケール誤差／フルスケール誤差：最大値に±0.04%FSR を加える。
注 4. 基準電圧 (+) = VCC (ADVREF[1:0] = 00b) かつ基準電圧 (-) = VSS (ADVREFM = 0b) のとき、最大値は以下のとおりです。
総合誤差：最大値に±10 LSB を加える。
ゼロスケール誤差／フルスケール誤差：最大値に±0.25%FSR を加える。
積分直線性誤差：最大値に±4 LSB を加える。
注 5. VREFH0 < VCC のとき、最大値は以下のとおりです。
総合誤差／ゼロスケール誤差／フルスケール誤差：最大値に（±0.75 LSB ×（VCC 電圧 (V) - VREFH0 電圧 (V)））を加える。
積分直線性誤差：最大値に（±0.2 LSB ×（VCC 電圧 (V) - VREFH0 電圧 (V)））を加える。
注 6. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。したがって、これより長いサンプリング時間の標準モード 2 を使用してください。

表 2.41 低電圧モード 1 および 2 における A/D 変換特性 (1) (1/2)

条件：1.6 V ≦ VREFH0 ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125 °C
基準電圧範囲を VREFH0 (ADVREFP[1:0] = 01b) および VREFL0 (ADVREFM = 1b) に印加
対象端子：AN000～AN012、AN021～AN022、内部基準電圧(注7)、および温度センサ出力電圧(注7)

項目	シンボル	Min	Typ	Max	単位	測定条件
分解能	RES	8	—	12	ビット	—
変換クロック	f_{AD}	1	—	24	MHz	—

表 2.41 低電圧モード 1 および 2 における A/D 変換特性 (1) (2/2)

条件：1.6 V ≦ VREFH0 ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125 °C
基準電圧範囲を VREFH0 (ADVREFP[1:0] = 01b) および VREFL0 (ADVREFM = 1b) に印加
対象端子：AN000～AN012、AN021～AN022、内部基準電圧(注7)、および温度センサ出力電圧(注7)

項目		シンボル	Min	Typ	Max	単位	測定条件
総合誤差(注1) (注3) (注4) (注5)	分解能：12 ビット	AINL	—	—	±9	LSB	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±9	LSB	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±11.5	LSB	1.8 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±12.0	LSB	1.6 V ≦ VREFH0 = VCC ≦ 5.5 V
変換時間(注6)	分解能：12 ビット	t_{CONV}	3.3	—	—	μs	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			5.0	—	—	μs	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
			10.0	—	—	μs	1.8 V ≦ VREFH0 = VCC ≦ 5.5 V
			20.0	—	—	μs	1.6 V ≦ VREFH0 = VCC ≦ 5.5 V
ゼロスケール誤差(注1) (注2) (注3) (注4) (注5)	分解能：12 ビット	E_{ZS}	—	—	±0.21	%FSR	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.27	%FSR	1.8 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.28	%FSR	1.6 V ≦ VREFH0 = VCC ≦ 5.5 V
フルスケール誤差(注1) (注2) (注3) (注4) (注5)	分解能：12 ビット	E_{FS}	—	—	±0.21	%FSR	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.27	%FSR	1.8 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±0.28	%FSR	1.6 V ≦ VREFH0 = VCC ≦ 5.5 V
積分直線性誤差(注1) (注4) (注5)	分解能：12 ビット	ILE	—	—	±4.0	LSB	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±4.0	LSB	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±4.5	LSB	1.8 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	—	±4.5	LSB	1.6 V ≦ VREFH0 = VCC ≦ 5.5 V
微分直線性誤差(注1)	分解能：12 ビット	DLE	—	±1.5	—	LSB	2.7 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	±1.5	—	LSB	2.4 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	±2.0	—	LSB	1.8 V ≦ VREFH0 = VCC ≦ 5.5 V
			—	±2.0	—	LSB	1.6 V ≦ VREFH0 = VCC ≦ 5.5 V
アナログ入力電圧		V_{AIN}	0	—	VREFH0	V	—

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。
注 2. この値はフルスケール値に対する比率 (%FSR) を示します。
注 3. AN021 端子と AN022 端子を変換対象端子に選択した場合の最大値は以下のとおりです。
総合誤差：最大値に±3 LSB を加える。
ゼロスケール誤差／フルスケール誤差：最大値に±0.04%FSR を加える。
注 4. 基準電圧 (+) = VCC (ADVREF[1:0] = 00b) かつ基準電圧 (-) = VSS (ADVREFM = 0b) のとき、最大値は以下のとおりです。
総合誤差：最大値に±10 LSB を加える。
ゼロスケール誤差／フルスケール誤差：最大値に±0.25%FSR を加える。
積分直線性誤差：最大値に±4 LSB を加える。
注 5. VREFH0 < VCC のとき、最大値は以下のとおりです。
総合誤差／ゼロスケール誤差／フルスケール誤差：最大値に（±0.75 LSB ×（VCC 電圧 (V) - VREFH0 電圧 (V)））を加える。
積分直線性誤差：最大値に（±0.2 LSB ×（VCC 電圧 (V) - VREFH0 電圧 (V)））を加える。
注 6. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。したがって、これより長いサンプリング時間の標準モード 2 と最高 16 MHz の変換クロック (f_{AD}) を使用してください。
注 7. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

表 2.42 低電圧モード 1 および 2 における A/D 変換特性 (2) (1/2)

条件：1.8 V ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125 °C
基準電圧範囲を内部基準電圧 (ADVREFP[1:0] = 10b) および VREFL0 (ADVREFM = 1b) に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
分解能	RES	8			ビット	—

表 2.42 低電圧モード 1 および 2 における A/D 変換特性 (2) (2/2)

条件：1.8 V ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125 °C
基準電圧範囲を内部基準電圧 (ADVREFP[1:0] = 10b) および VREFL0 (ADVREFM = 1b) に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
変換クロック	f_{AD}	1	—	2	MHz	1.8 V ≦ VCC≦ 5.5 V
ゼロスケール誤差(注1) (注2) (注4)	E_{ZS}	—	—	±0.6	%FSR	1.8 V ≦ VCC≦ 5.5 V
積分直線性誤差(注1) (注4)	ILE	—	—	±2.0	LSB	1.8 V ≦ VCC≦ 5.5 V
微分直線性誤差(注1)	DLE	—	±1.0	—	LSB	1.8 V ≦ VCC≦ 5.5 V
アナログ入力電圧	V_{AIN}	0	—	VBGR(注3)	V	—

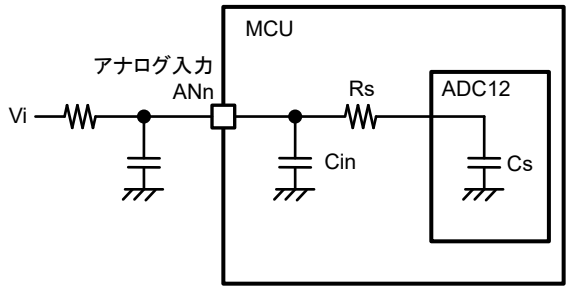
注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。
注 2. この値はフルスケール値に対する比率 (%FSR) を示します。
注 3. 表 2.44 を参照してください。
注 4. 基準電圧 (-) に VSS を選択した場合の最大値は以下のとおりです。
ゼロスケール誤差：最大値に±0.35%FSR を加える。
積分直線性誤差：最大値に±0.5 LSB を加える。

表 2.43 等価回路の抵抗値と容量値（参考データ）

項目			Min	Typ	Max	単位	測定条件
アナログ入力容量	Cin	I/O 入力容量 (Cin) については、表 2.11 を参照してください。					
	Cs(注2)	高精度チャネル(注1)	—	—	9	pF	—
		通常精度チャネル(注1)	—	—	10		—
アナログ入力抵抗	Rs(注2)	高精度チャネル(注1)	—	—	11	kΩ	VCC = 2.4～5.5 V
			—	—	55		VCC = 1.8～2.4 V
			—	—	110		VCC = 1.6～1.8 V
		通常精度チャネル(注1)	—	—	12		VCC = 2.4～5.5 V
			—	—	60		VCC = 1.8～2.4 V
			—	—	120		VCC = 1.6～1.8 V

注 1. AN000～AN012 は高精度チャネルです。AN021 と AN022 は通常精度チャネルです。
注 2. これらの値はシミュレーションに基づいています。出荷検査はされていません。

図 2.32 にアナログ入力の等価回路を示します。



注. この図に端子リーク電流は記載されていません。

図 2.32 アナログ入力の等価回路

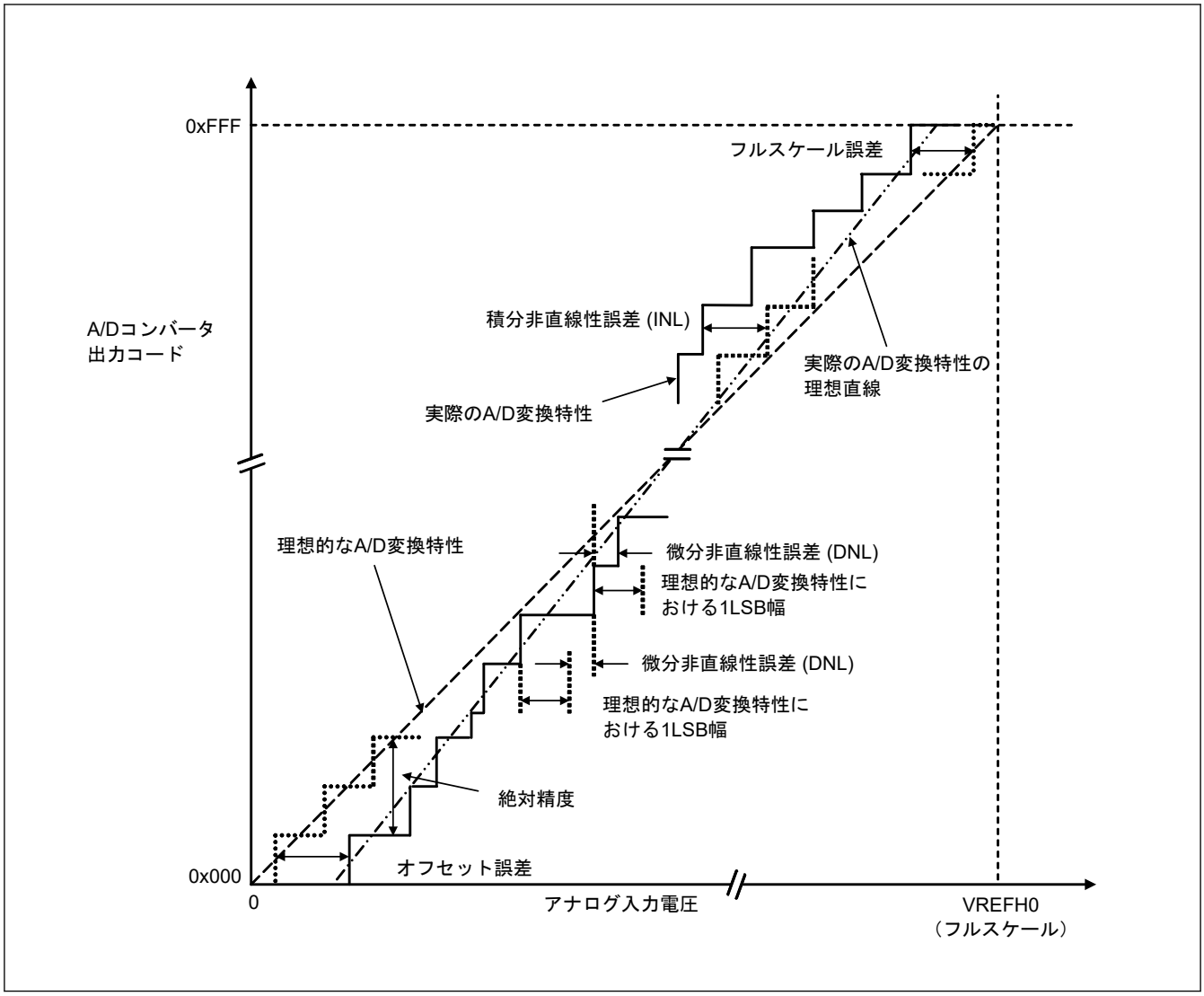


図 2.33　12 ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072 V の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、および 1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003～0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.6.2 温度センサ／内部基準電圧特性

表 2.44 温度センサ／内部基準電圧特性

条件：1.8 V ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125℃

項目	シンボル	Min	Typ	Max	単位	測定条件
温度センサ出力電圧	V_{TMPS25}	—	1.05	—	V	—
内部基準電圧	V_{BGR}	1.40	1.48	1.56	V	—
温度係数	F_{VTMPS}	—	-3.3	—	mV/℃	—
動作安定待機時間	t_{AMP}	5	—	—	μs	—

2.6.3 POR 特性

表 2.45 POR 特性

条件：VSS = 0 V, Ta = -40～+125℃

項目	シンボル	Min	Typ	Max	単位	測定条件
検出電圧	VPOR VPDR	1.43	1.50	1.57	V	—
最小パルス幅(注1)	TPW	300	—	—	μs	—

注 1. この幅は、VCC が VPDR よりも降下するときに、POR リセットに必要な最小時間です。この幅は、ソフトウェアスタンバイモード時またはメインシステムクロックが HOCOCR.HCSTOP ビットと MOSCCR.MOSTP ビットの設定により停止している間、VCC が 0.7 V よりも降下するときから VCC が VPOR を超えるときまでに、POR リセットに必要な最小時間です。

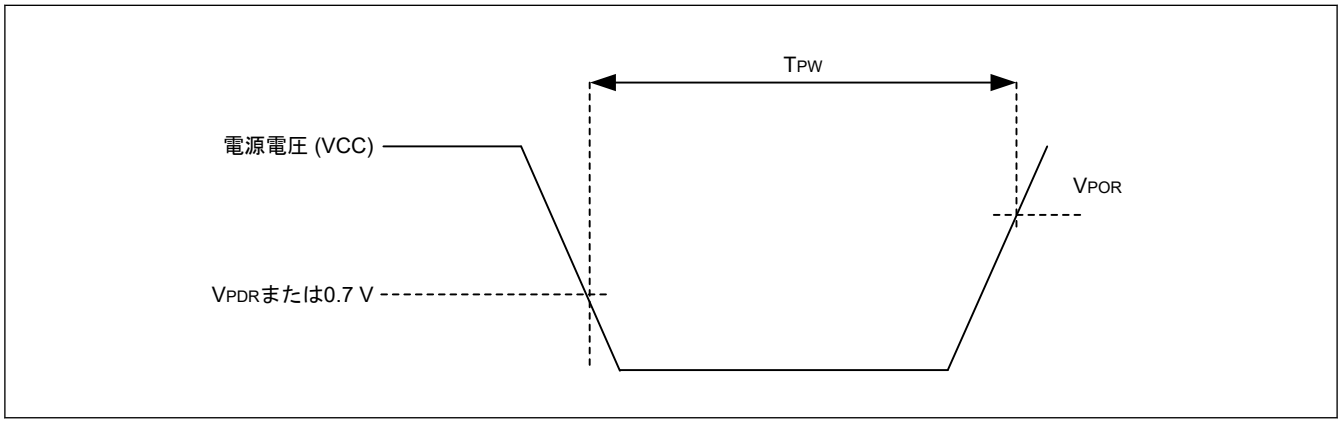


図 2.34 最小 VCC パルス幅

2.6.4 LVD 特性

表 2.46 LVD0 特性

条件：VPDR ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
検出電圧	電源電圧レベル	V_{det0_0}	3.84	3.96	4.08	V	電源電圧上昇中
			3.76	3.88	4.00	V	電源電圧下降中
		V_{det0_1}	2.88	2.97	3.06	V	電源電圧上昇中
			2.82	2.91	3.00	V	電源電圧下降中
		V_{det0_2}	2.59	2.67	2.75	V	電源電圧上昇中
			2.54	2.62	2.70	V	電源電圧下降中
		V_{det0_3}	2.31	2.38	2.45	V	電源電圧上昇中
			2.26	2.33	2.40	V	電源電圧下降中
		V_{det0_4}	1.84	1.90	1.95	V	電源電圧上昇中
			1.80	1.86	1.91	V	電源電圧下降中
		V_{det0_5}	1.64	1.69	1.74	V	電源電圧上昇中
			1.60	1.65	1.70	V	電源電圧下降中
最小パルス幅		t_{LW0}	500	—	—	μs	—
検出遅延時間		t_{det0}	—	—	500	μs	—

表 2.47 LVD1 特性 (1/2)

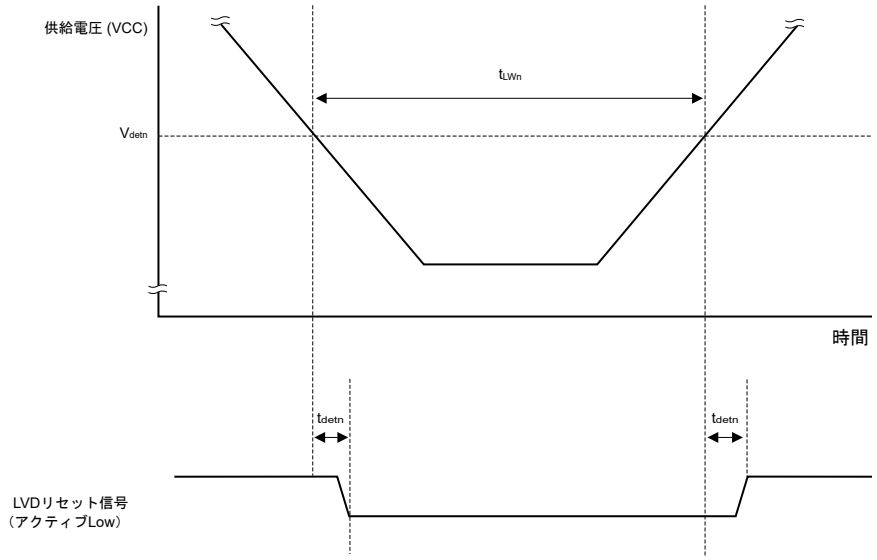
条件：VPDR ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
検出電圧	電源電圧レベル	V_{det1_0}	4.08	4.16	4.24	V	電源電圧上昇中
			4.00	4.08	4.16	V	電源電圧下降中
		V_{det1_1}	3.88	3.96	4.04	V	電源電圧上昇中
			3.80	3.88	3.96	V	電源電圧下降中
		V_{det1_2}	3.68	3.75	3.82	V	電源電圧上昇中
			3.60	3.67	3.74	V	電源電圧下降中
		V_{det1_3}	3.48	3.55	3.62	V	電源電圧上昇中
			3.40	3.47	3.54	V	電源電圧下降中
		V_{det1_4}	3.28	3.35	3.42	V	電源電圧上昇中
			3.20	3.27	3.34	V	電源電圧下降中
		V_{det1_5}	3.07	3.13	3.19	V	電源電圧上昇中
			3.00	3.06	3.12	V	電源電圧下降中
		V_{det1_6}	2.91	2.97	3.03	V	電源電圧上昇中
			2.85	2.91	2.97	V	電源電圧下降中
		V_{det1_7}	2.76	2.82	2.87	V	電源電圧上昇中
			2.70	2.76	2.81	V	電源電圧下降中
		V_{det1_8}	2.61	2.66	2.71	V	電源電圧上昇中
			2.55	2.60	2.65	V	電源電圧下降中
		V_{det1_9}	2.45	2.50	2.55	V	電源電圧上昇中
			2.40	2.45	2.50	V	電源電圧下降中
		V_{det1_A}	2.35	2.40	2.45	V	電源電圧上昇中
			2.30	2.35	2.40	V	電源電圧下降中

表 2.47 LVD1 特性 (2/2)

条件：VPDR ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125℃

項目		シンボル	Min	Typ	Max	単位	測定条件
検出電圧	電源電圧レベル	V_{det1_B}	2.25	2.30	2.34	V	電源電圧上昇中
			2.20	2.25	2.29	V	電源電圧下降中
		V_{det1_C}	2.15	2.20	2.24	V	電源電圧上昇中
			2.10	2.15	2.19	V	電源電圧下降中
		V_{det1_D}	2.05	2.09	2.13	V	電源電圧上昇中
			2.00	2.04	2.08	V	電源電圧下降中
		V_{det1_E}	1.94	1.98	2.02	V	電源電圧上昇中
			1.90	1.94	1.98	V	電源電圧下降中
		V_{det1_F}	1.84	1.88	1.91	V	電源電圧上昇中
			1.80	1.84	1.87	V	電源電圧下降中
		V_{det1_10}	1.74	1.78	1.81	V	電源電圧上昇中
			1.70	1.74	1.77	V	電源電圧下降中
		V_{det1_11}	1.64	1.67	1.70	V	電源電圧上昇中
			1.60	1.63	1.66	V	電源電圧下降中
最小パルス幅		t_{LW1}	500	—	—	μs	—
検出遅延時間		t_{det1}	—	—	500	μs	—
LVD1 検出電圧安定時間（LVD1 検出電圧変更後）		$t_{d(E-A)}$	—	—	1500	μs	—



注. n = 0, 1

図 2.35 電圧検出回路タイミング

2.6.5 電源電圧上昇スロープ特性

表 2.48 電源電圧上昇スロープ特性

条件：VSS = 0 V, Ta = -40～+125℃

項目	シンボル	Min	Typ	Max	単位	測定条件
電源電圧上昇スロープ	S_{VCC}	—	—	54	V/ms	—

注. VCC が AC 特性に示された動作電圧範囲に到達するまでは、LVD0 回路による内部リセット状態または外部リセットを維持していることを確認してください。

2.7 RAM データ保持特性

表 2.49 RAM データ保持特性

条件：VSS = 0 V, Ta = -40～+125℃

項目	シンボル	Min	Typ	Max	単位	測定条件
データ保持電源電圧	V_{CCDR}	1.43(注1)	—	5.5	V	—

注 1. この電圧は POR 検出電圧によって決まります。電圧降下時、RAM データは POR までは保持されますが、POR の後では保持されません。

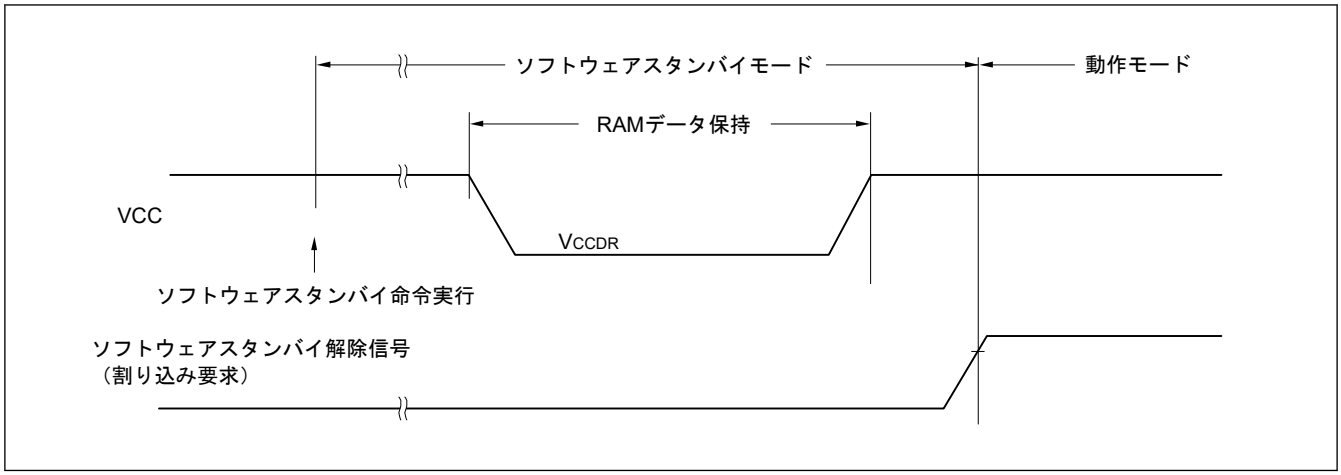


図 2.36 RAM データ保持

2.8 フラッシュメモリプログラミング特性

表 2.50 フラッシュメモリプログラミング特性

条件：1.8 V ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125 °C

項目	シンボル	Min	Typ	Max	単位	測定条件
CPU／周辺ハードウェアクロック周波数	I_{CLK}	1	—	32	MHz	—
コードフラッシュの書き換え回数(注1) (注2) (注3)	Cerwr	10000	—	—	回	10 年保持 Ta = 85 °C
		1000	—	—		20 年保持 Ta = 85 °C
データフラッシュの書き換え回数(注1) (注2) (注3)		—	1000000	—		1 年保持 Ta = 25 °C
		100000	—	—		5 年保持 Ta = 85 °C
		10000	—	—		20 年保持 Ta = 85 °C

注 1. 1 回消去して、消去後に 1 回書き込むと、1 回書き換えたとみなされます。保持年数は、書き換え後から次の書き換えまでです。
注 2. 表に記載された回数は、フラッシュメモリプログラマとセルフプログラミングを使用した場合に適用されます。
注 3. これらはフラッシュメモリの特性であり、弊社による信頼性試験から得られた結果です。

表 2.51 コードフラッシュメモリ特性

条件：1.8 V ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125 °C

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz, 3 MHz			4 MHz ≦ ICLK < 8 MHz			8 MHz ≦ ICLK < 32 MHz			ICLK ≦ 32 MHz			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	2 KB	t_{E2K}	—	10.4	312.2	—	7.7	258.5	—	6.4	231.8	—	5.8	218.4	—	5.6	214.4	ms
ブランクチェック時間	4 バイト	t_{BC4}	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	2 KB	t_{BC2K}	—	—	2618.9	—	—	1309.5	—	—	658.3	—	—	332.8	—	—	234.1	μs
消去の強制停止に要する時間		t_{SED}	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
セキュリティ設定時間		t_{AWSSAS}	—	18.0	525.5	—	14.3	468.7	—	12.5	440.7	—	11.6	426.7	—	11.3	422.3	ms
ソフトウェアスタンバイ命令の解除の後にプログラミングを開始するまでの時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	2	—	—	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	15	—	—	15	—	—	15	—	—	μs

注. 表に記載された値は、ソフトウェアによる命令実行の後にフラッシュメモリの動作を開始するまでの時間を含みません。

表 2.52 データフラッシュメモリ特性

条件：1.8 V ≦ VCC ≦ 5.5 V, VSS = 0 V, Ta = -40～+125 °C

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz, 3 MHz			4 MHz ≦ ICLK < 8 MHz			8 MHz ≦ ICLK < 32 MHz			ICLK ≦ 32 MHz			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{P4}	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	256 バイト	t_{E2K}	—	7.8	259.2	—	6.4	232.0	—	5.8	218.5	—	5.5	211.8	—	5.4	209.7	ms
ブランクチェック時間	1 バイト	t_{BC4}	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	256 バイト	t_{BC2K}	—	—	1326.1	—	—	663.1	—	—	335.1	—	—	171.2	—	—	121.0	μs
消去の強制停止に要する時間		t_{SED}	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
ソフトウェアスタンバイ命令の解除の後にプログラミングを開始するまでの時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs
DFLEN = 1 設定後に読み出しを開始するまでの時間		t_{DSTOP}	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	μs
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	2	—	—	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	15	—	—	15	—	—	15	—	—	μs

注. 表に記載された値は、ソフトウェアによる命令実行の後にフラッシュメモリの動作を開始するまでの時間を含みません。

2.9 シリアルワイヤデバッグ (SWD)

表 2.53 SWD 特性 (1)

条件：VCC = 2.4～5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	80	—	—	ns	図 2.37
SWCLK クロック High レベルパルス幅	t_{SWCKH}	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SECKL}	35	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	16	—	—	ns	図 2.38
SWDIO ホールド時間	t_{SWDH}	16	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	70	ns	

表 2.54 SWD 特性 (2)

条件：VCC = 1.6～2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	250	—	—	ns	図 2.37
SWCLK クロック High レベルパルス幅	t_{SWCKH}	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SECKL}	120	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	50	—	—	ns	図 2.38
SWDIO ホールド時間	t_{SWDH}	50	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	170	ns	

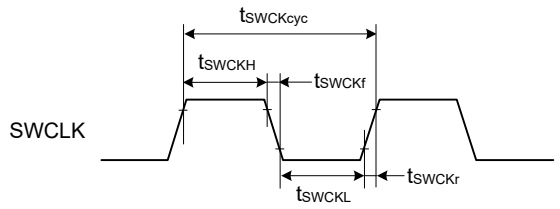


図 2.37 SWD SWCLK タイミング

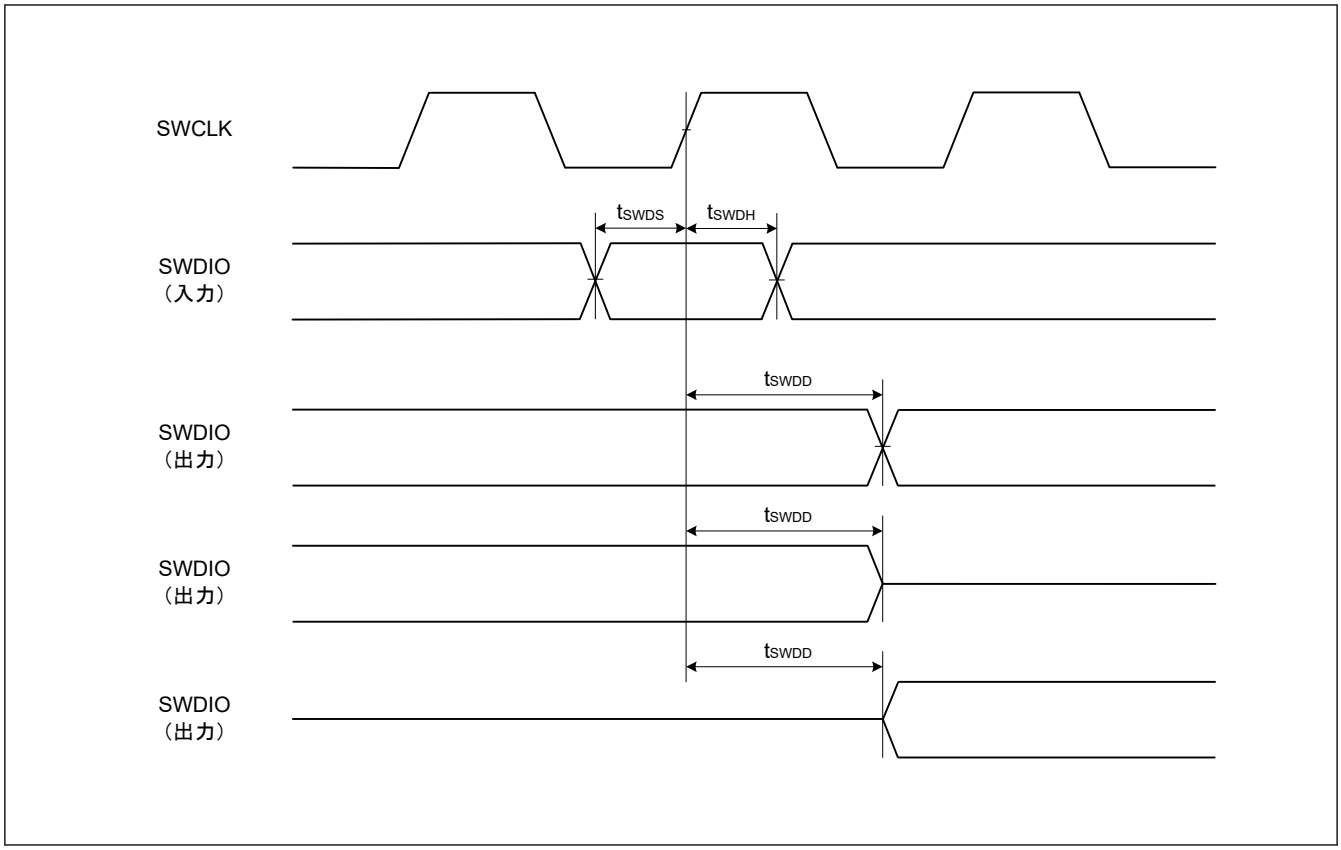


図 2.38　SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

表 A1.1 各プロセスモードのポート状態 (1/6)

ポート名	リセット	ソフトウェアスタンバイモード
P000/AN008/IRQ6_D	Hi-Z	[IRQ6_D 選択] IRQ6_D 入力(注1) [上記以外] Keep-O
P001/AN009/IRQ7_A	Hi-Z	[IRQ7_A 選択] IRQ7_A 入力(注1) [上記以外] Keep-O
P002/AN010/IRQ7_C	Hi-Z	[IRQ7_C 選択] IRQ7_C 入力(注1) [上記以外] Keep-O
P003/AN011	Hi-Z	Keep-O
P004/AN012/IRQ2_E	Hi-Z	[IRQ2_E 選択] IRQ2_E 入力(注1) [上記以外] Keep-O
P008/AN002	Hi-Z	Keep-O
P009/AN003	Hi-Z	Keep-O
P010/VREFH0/AN000	Hi-Z	Keep-O
P011/VREFL0/AN001	Hi-Z	Keep-O
P012/AN004	Hi-Z	Keep-O
P013/AN005	Hi-Z	Keep-O
P014/AN006	Hi-Z	Keep-O
P015/AN007/IRQ1_A	Hi-Z	[IRQ1_A 選択] IRQ1_A 入力(注1) [上記以外] Keep-O
P100/AN022/IRQ2_A/TI04_A/TO04_A/TI01_B/TO01_B/RXD0_A/SI00_A/SDA00_A/RXDA0_D/SCLA0_D	Hi-Z	[IRQ2_A 選択] IRQ2_A 入力(注1) [RXDA0_D 選択] RXDA0_D 入力(注1) [SCLA0_D 選択] SCLA0_D 入力／出力(注1) [上記以外] Keep-O
P101/AN021/IRQ3_A/TI07_A/TO07_A/TI00_C/TXD0_A/SO00_A/TXDA0_D/SDAA0_D	Hi-Z	[IRQ3_A 選択] IRQ3_A 入力(注1) [TXDA0_D 選択] TXDA0_D 出力(注1) [SDAA0_D 選択] SDDA0_D 入力／出力(注1) [上記以外] Keep-O

表 A1.1 各プロセスモードのポート状態 (2/6)

ポート名	リセット	ソフトウェアスタンバイモード
P102/PCLBUZ0_B/IRQ4_A/TI06_A/TO06_A/TO00_C/RTCOUT_C/SCK00_A/SCL00_A/RXDA1_A/SCLA1_B	Hi-Z	[PCLBUZ0_B 選択] PCLBUZ0_B 出力(注1) [IRQ4_A 選択] IRQ4_A 入力(注1) [RTCOUT_C 選択] RTCOUT_C 出力(注1) [RXDA1_A 選択] RXDA1_A 入力(注1) [SCLA1_B 選択] SCLA1_B 入力／出力(注1) [上記以外] Keep-O
P103/IRQ5_A/TI05_A/TO05_A/SSI00_A/TXDA1_A/SDAA1_B	Hi-Z	[IRQ5_A 選択] IRQ5_A 入力(注1) [TXDA1_D 選択] TXDA1_D 出力(注1) [SDAA1_B 選択] SDAA1_B 入力／出力(注1) [上記以外] Keep-O
P104/IRQ6_C/TI02_D/TO02_D/TI00_D/SCK10_A/SCL10_A	Hi-Z	[IRQ6_C 選択] IRQ6_C 入力(注1) [上記以外] Keep-O
P105/IRQ1_D/TI01_D/TO01_D/TO00_D/SI10_A/SDA10_A/RXDA1_B	Hi-Z	[IRQ1_D 選択] IRQ1_D 入力(注1) [RXDA1_B 選択] RXDA1_B 入力(注1) [上記以外] Keep-O
P106/IRQ0_E/SO10_A/TXDA1_B	Hi-Z	[IRQ0_E 選択] IRQ0_E 入力(注1) [TXDA1_B 選択] TXDA1_B 出力(注1) [上記以外] Keep-O
P107/IRQ7_D	Hi-Z	[IRQ7_D 選択] IRQ7_D 入力(注1) [上記以外] Keep-O
P108/SWDIO/TI03_B/TO03_B	プルアップ	Keep-O
P109/PCLBUZ1_B/IRQ4_B/TI02_A/TO02_A/TXD2_A/SO20_A/TXDA0_C/SDAA0_C	Hi-Z	[PCLBUZ1_B 選択] PCLBUZ1_B 出力(注1) [IRQ4_B 選択] IRQ4_B 入力(注1) [TXDA0_C 選択] TXDA0_C 出力(注1) [SDAA0_C 選択] SDAA0_C 入力／出力(注1) [上記以外] Keep-O
P110/IRQ3_B/TI01_A/TO01_A/RXD2_A/SI20_A/SDA20_A/RXDA0_C/SCLA0_C	Hi-Z	[IRQ3_B 選択] IRQ3_B 入力(注1) [RXDA0_C 選択] RXDA0_C 入力(注1) [SCLA0_C 選択] SCLA0_C 入力／出力(注1) [上記以外] Keep-O

表 A1.1 各プロセスモードのポート状態 (3/6)

ポート名	リセット	ソフトウェアスタンバイモード
P111/IRQ1_C/TI07_B/TO07_B	Hi-Z	[IRQ1_C 選択] IRQ1_C 入力(注1) [上記以外] Keep-O
P112/IRQ2_B/TI03_A/TO03_A/SCK20_A/SCL20_A/SSI00_C	Hi-Z	[IRQ2_B 選択] IRQ2_B 入力(注1) [上記以外] Keep-O
P113/SO21_B	Hi-Z	Keep-O
P114/SI21_B/SDA21_B	Hi-Z	Keep-O
P115/SCK21_B/SCL21_B	Hi-Z	Keep-O
P200/IRQ0_A/NMI	Hi-Z	[NMI/IRQ0_A 選択] NMI/IRQ0_A 入力(注1) [上記以外] Hi-Z
P201/PCLBUZ0_A/IRQ5_B/TI05_B/TO05_B/RTCOUT_B/SCK11_B/SCL11_B/SSI00_B	Hi-Z	[PCLBUZ0_A 選択] PCLBUZ0_A 出力(注1) [IRQ5_B 選択] IRQ5_B 入力(注1) [RTCOUT_B 選択] RTCOUT_B 出力(注1) [上記以外] Keep-O
P204/SCK01_A/SCL01_A	Hi-Z	Keep-O
P205/PCLBUZ1_A/IRQ5_C/SI01_A/SDA01_A/RXDA1_E/SCLA1_E	Hi-Z	[PCLBUZ1_A 選択] PCLBUZ1_A 出力(注1) [IRQ5_C 選択] IRQ5_C 入力(注1) [RXDA1_E 選択] RXDA1_E 入力(注1) [SCLA1_E 選択] SCLA1_E 入力／出力(注1) [上記以外] Keep-O
P206/RES(注2)	プルアップ	[RES (OFS1.PORTSELB = 1) 選択] RES 入力 [P206 (OFS1.PORTSELB = 0) 選択] Keep-O
P206/IRQ0_C/SO01_A/TXDA1_E/SDAA1_E(注3)	プルアップ	[IRQ0_C 選択] IRQ0_C 入力(注1) [TXDA1_E 選択] TXDA1_E 出力(注1) [SDAA1_E 選択] SDAA1_E 入力／出力(注1) [上記以外] Keep-O
P207/IRQ2_C/TO00_B/SI01_B/SDA01_B/RXDA0_A/SCLA1_A	Hi-Z	[IRQ2_C 選択] IRQ2_C 入力(注1) [RXDA0_A 選択] RXDA0_A 入力(注1) [SCLA1_A 選択] SCLA1_A 入力／出力(注1) [上記以外] Keep-O

表 A1.1 各プロセスモードのポート状態 (4/6)

ポート名	リセット	ソフトウェアスタンバイモード
P208/IRQ3_C/TI00_B/SCK01_B/SCL01_B/TXDA0_A/SDAA1_A	Hi-Z	[IRQ3_C 選択] IRQ3_C 入力(注1) [TXDA0_A 選択] TXDA0_A 出力(注1) [SDAA1_A 選択] SDAA1_A 入力／出力(注1) [上記以外] Keep-O
P212/X1/IRQ1_B/TO00_A/TI03_C/TO03_C/RXD1_A/SI11_A/SDA11_A/RXDA0_B/SCLA0_B	Hi-Z	[IRQ1_B 選択] IRQ1_B 入力(注1) [RXDA0_B 選択] RXDA0_B 入力(注1) [SCLA0_B 選択] SCLA0_B 入力／出力(注1) [上記以外] Keep-O
P213/X2/EXCLK/IRQ0_B/TI00_A/TI02_B/TO02_B/TXD1_A/SO11_A/TXDA0_B/SDAA0_B	Hi-Z	[IRQ0_B 選択] IRQ0_B 入力(注1) [TXDA0_B 選択] TXDA0_B 出力(注1) [SDAA0_B 選択] SDAA0_B 入力／出力(注1) [上記以外] Keep-O
P214/XCOUT	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P215/XCIN	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P300/SWCLK/TI04_B/TO04_B	プルアップ	Keep-O
P301/IRQ6_A/TI06_B/TO06_B/SI21_A/SDA21_A/RXDA1_C/SCLA1_C	Hi-Z	[IRQ6_A 選択] IRQ6_A 入力(注1) [RXDA1_C 選択] RXDA1_C 入力(注1) [SCLA1_C 選択] SCLA1_C 入力／出力(注1) [上記以外] Keep-O
P302/IRQ0_D/TI05_C/TO05_C/SCK21_A/SCL21_A/TXDA1_C/SDAA1_C	Hi-Z	[IRQ0_D 選択] IRQ0_D 入力(注1) [TXDA1_C 選択] TXDA1_C 出力(注1) [SDAA1_C 選択] SDAA1_C 入力／出力(注1) [上記以外] Keep-O
P303/SO21_A	Hi-Z	Keep-O
P304	Hi-Z	Keep-O
P400/SCLA1_D	Hi-Z	[SCLA1_D 選択] SCLA1_D 入力／出力(注1) [上記以外] Keep-O
P401/SDAA1_D	Hi-Z	[SDAA1_D 選択] SDAA1_D 入力／出力(注1) [上記以外] Keep-O

表 A1.1 各プロセスモードのポート状態 (5/6)

ポート名	リセット	ソフトウェアスタンバイモード
P402/IRQ2_D/TXD2_B/SO20_B/TXDA0_F	Hi-Z	[IRQ2_D 選択] IRQ2_D 入力(注1) [TXDA0_F 選択] TXDA0_F 出力(注1) [上記以外] Keep-O
P403/IRQ4_E/RXD2_B/SI20_B/SDA20_B/RXDA0_F	Hi-Z	[IRQ4_E 選択] IRQ4_E 入力(注1) [RXDA0_F 選択] RXDA0_F 入力(注1) [上記以外] Keep-O
P407/PCLBUZ0_C/IRQ4_C/RTCOUT_A/SCK11_A/SCL11_A/SDAA1_F	Hi-Z	[PCLBUZ0_C 選択] PCLBUZ0_C 出力(注1) [IRQ4_C 選択] IRQ4_C 入力(注1) [RTCOUT_A 選択] RTCOUT_A 出力(注1) [SDAA1_F 選択] SDAA1_F 入力／出力(注1) [上記以外] Keep-O
P408/IRQ7_B/TI04_C/TO04_C/SCLA1_F	Hi-Z	[IRQ7_B 選択] IRQ7_B 入力(注1) [SCLA1_F 選択] SCLA1_F 入力／出力(注1) [上記以外] Keep-O
P409/IRQ6_B/TI03_E/TO03_E/SCK11_C/SCL11_C	Hi-Z	[IRQ6_B 選択] IRQ6_B 入力(注1) [上記以外] Keep-O
P410/IRQ4_D/TI02_C/TO02_C/SCK20_B/SCL20_B/SSI00_D/RXDA1_D/SCLA0_E	Hi-Z	[IRQ4_D 選択] IRQ4_D 入力(注1) [RXDA1_D 選択] RXDA1_D 入力(注1) [SCLA0_E 選択] SCLA0_E 入力／出力(注1) [上記以外] Keep-O
P411/IRQ3_D/TI01_C/TO01_C/SCK11_D/SCL11_D/TXDA1_D/SDAA0_E	Hi-Z	[IRQ3_D 選択] IRQ3_D 入力(注1) [TXDA1_D 選択] TXDA1_D 出力(注1) [SDAA0_E 選択] SDAA0_E 入力／出力(注1) [上記以外] Keep-O
P500/TI03_D/TO03_D/SCK00_B/SCL00_B	Hi-Z	Keep-O
P501/TI04_D/TO04_D/TXD0_B/SO00_B/TXDA0_E/SDAA0_F	Hi-Z	[TXDA0_E 選択] TXDA0_E 出力(注1) [SDAA0_F 選択] SDAA0_F 入力／出力(注1) [上記以外] Keep-O

表 A1.1　各プロセスモードのポート状態 (6/6)

ポート名	リセット	ソフトウェアスタンバイモード
P502/IRQ5_D/RXD0_B/SI00_B/SDA00_B/RXDA0_E/SCLA0_F	Hi-Z	[IRQ5_D 選択] IRQ5_D 入力(注1) [RXDA0_E 選択] RXDA0_E 入力(注1) [SCLA0_F 選択] SCLA0_F 入力／出力(注1) [上記以外] Keep-O
P913/SDAA0_A	Hi-Z	[SDAA0_A 選択] SDAA0_A 入力／出力(注1) [上記以外] Keep-O
P914/SCLA0_A	Hi-Z	[SCLA0_A 選択] SCLA0_A 入力／出力(注1) [上記以外] Keep-O
P915/SO01_B	Hi-Z	Keep-O

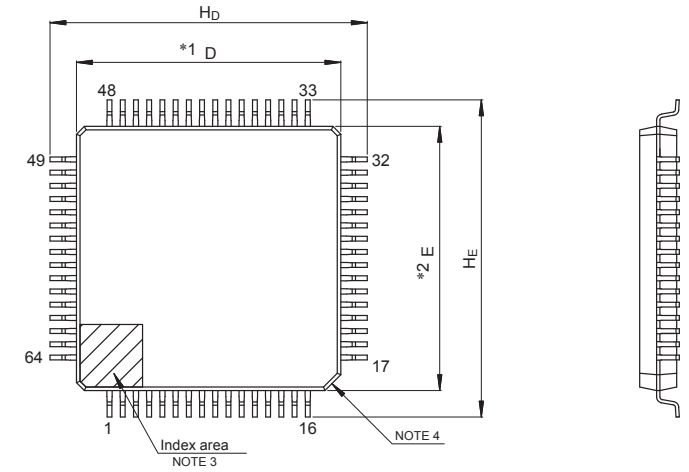
注.　Hi-Z：ハイインピーダンス
　　Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
注 1.　SBYCR.RTCLPC = 1 で SOSC がカウントソースに選択されている場合、UARTA/IICA/RTCOUT/PCLBUZ/NMI の IRQ 割り込みが許可されます。
注 2.　「P206」は、32 ピン製品でのみ利用可能です。
注 3.　「P206/IRQ0_C/SO01_A/TXDA1_E/SDAA1_E」は、48 ピン製品と 64 ピン製品で利用可能です。

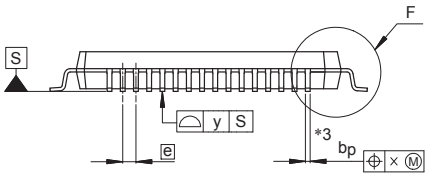
付録 2. 外形寸法図

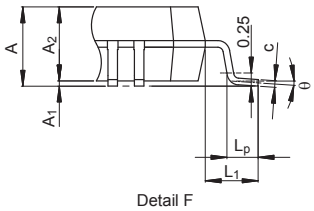
外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm







NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

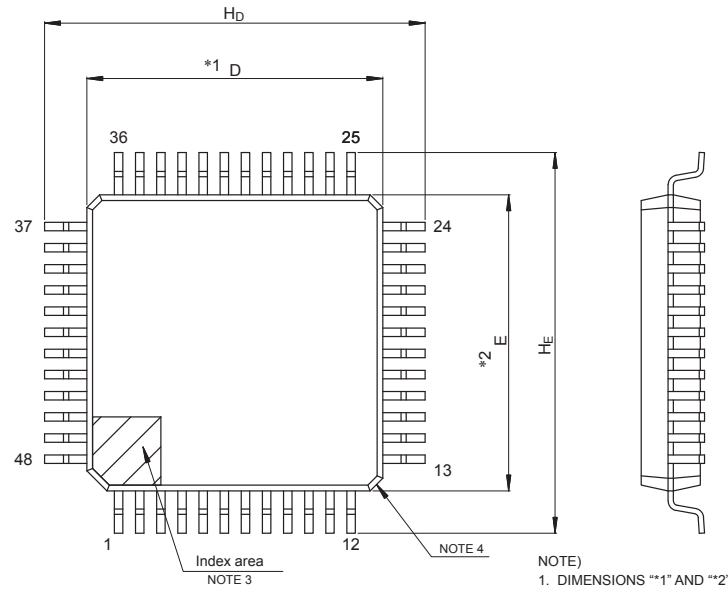
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

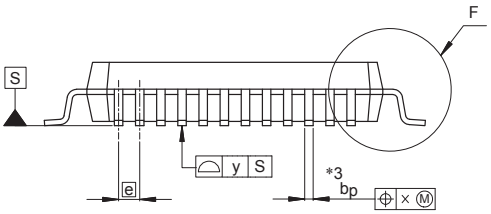
図 A2.1 LFQFP 64 ピン 0.5 mm ピッチ

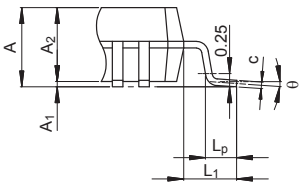
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.





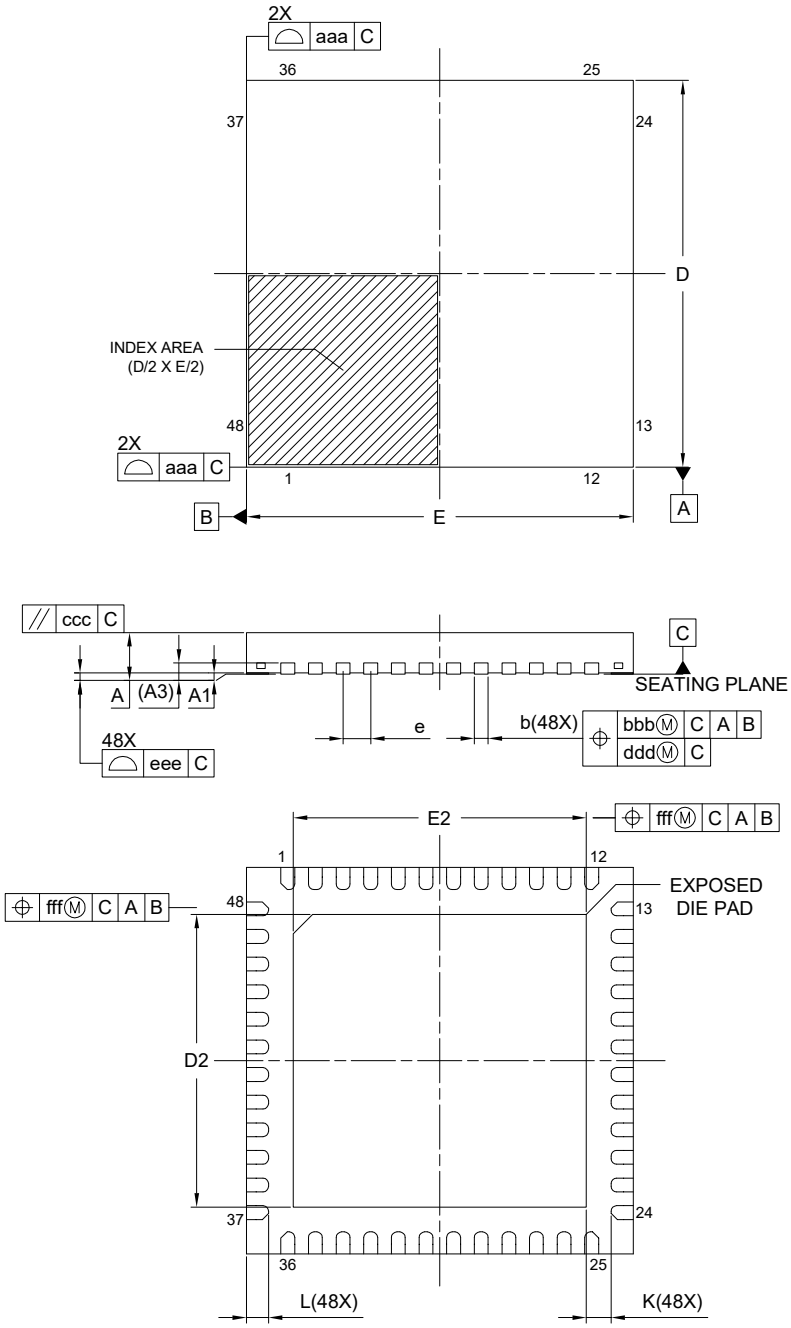
Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 A2.2 LFQFP 48 ピン

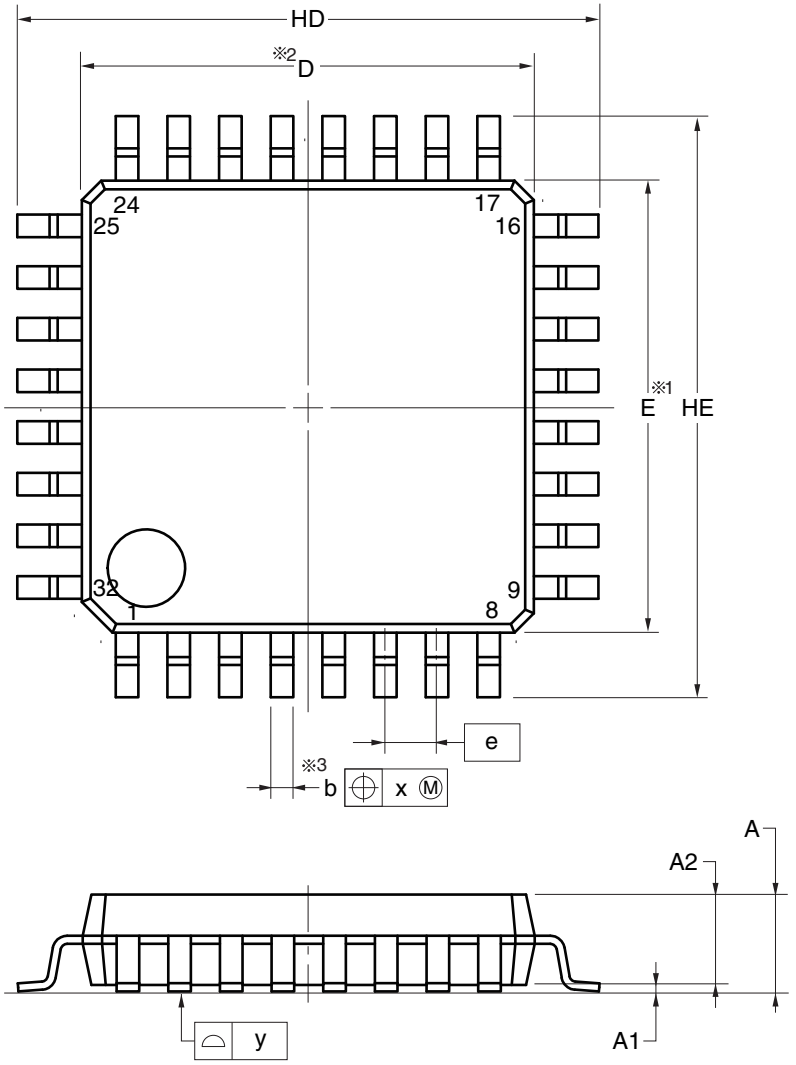
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g

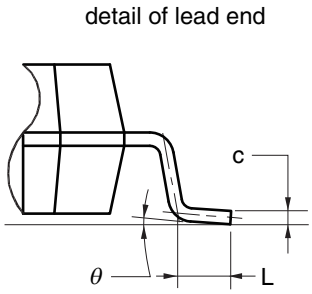


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.3 HWQFN 48 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2





(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

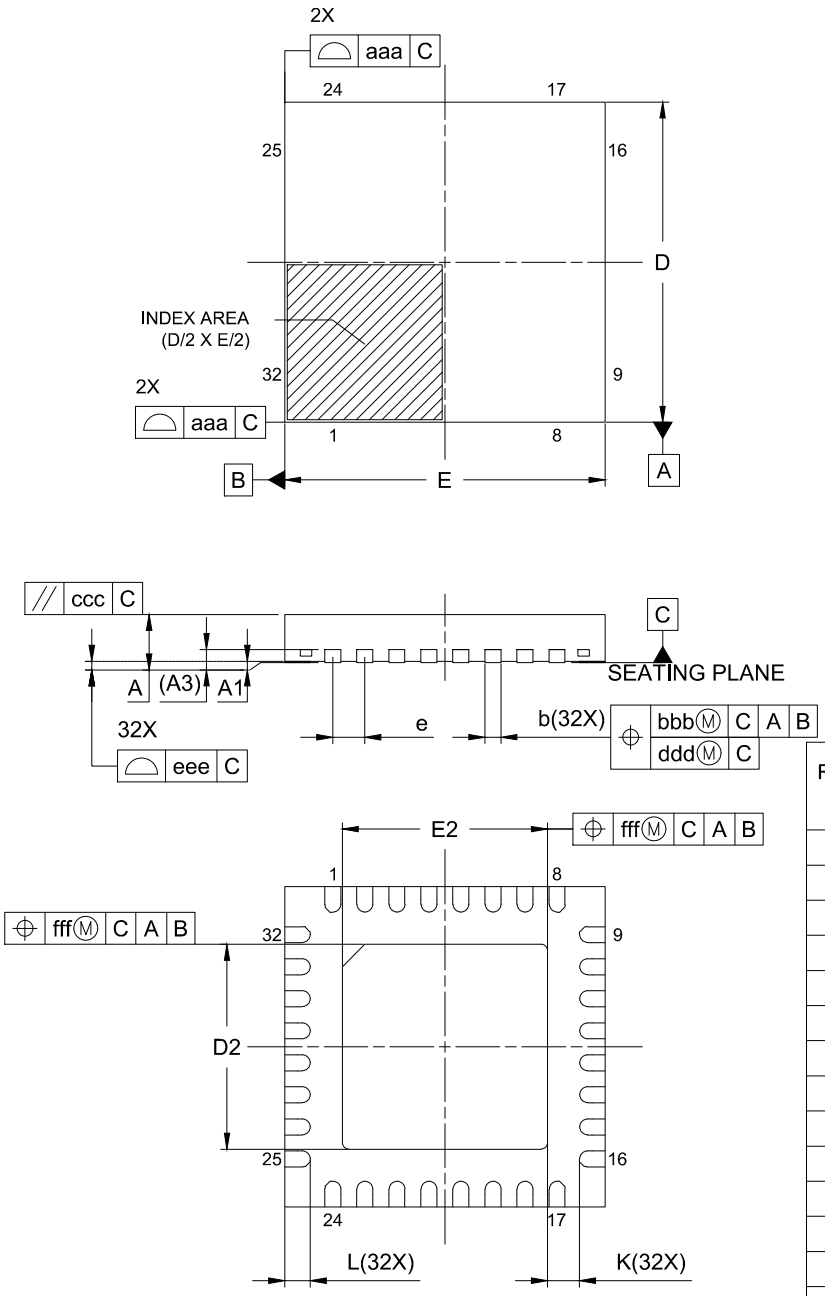
NOTE

1.Dimensions “※1” and “※2” do not include mold flash.

2.Dimension “※3” does not include trim offset.

図 A2.4 LQFP 32 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D_2	3.15	3.20	3.25
E_2	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.5 HWQFN 32 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス

名称	内容	ベースアドレス
SRAM	SRAM 制御	0x4000_2000
BUS	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
DBG	デバッグ機能	0x4001_B000
SYSC	システムコントローラ	0x4001_E000
ELC	イベントリンクコントローラ	0x4004_1000
IWDT	独立ウォッチドッグタイマ	0x4004_4400
MSTP	モジュールストップ制御	0x4004_7000
CRC	CRC 演算器	0x4007_4000
PORT0	ポート 0 制御	0x400A_0000
PORT1	ポート 1 制御	0x400A_0020
PORT2	ポート 2 制御	0x400A_0040
PORT3	ポート 3 制御	0x400A_0060
PORT4	ポート 4 制御	0x400A_0080
PORT5	ポート 5 制御	0x400A_00A0
PORT9	ポート 9 制御	0x400A_0120
PFS_A	Pmn 端子機能選択	0x400A_0200
PORGA	製品構成	0x400A_1000
ADC_D	12 ビット A/D コンバータ	0x400A_1800
SAU0	シリアルアレイユニット 0	0x400A_2000
SAU1	シリアルアレイユニット 1	0x400A_2200
TAU	タイマアレイユニット	0x400A_2600
RTC_C	リアルタイムクロック	0x400A_2C00
IICA	I^2C バスインタフェース	0x400A_3000
UARTA	シリアルインタフェース UARTA	0x400A_3400
TML32	32 ビットインターバルタイマ	0x400A_3800
PCLBUZ	クロック出力／ブザー出力コントローラ	0x400A_3B00
TRNG	真性乱数生成器	0x400D_1000
FLCN	フラッシュ I/O レジスタ	0x407E_C000

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本節では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 A3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 にレジスタアクセスサイクルを示します。

表 A3.2 アクセスサイクル

周辺機能	アドレス		アクセスサイクル数			
	ここから	ここまで	読み出し	書き込み	サイクル単位	関連機能
SRAM, BUS, DTC, ICU, DBG	0x4000_2000	0x4001_BFFF	3		ICLK	メモリプロテクションユニット、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ
SYSC	0x4001_E000	0x4001_E6FF	2		ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション
ELC, IWDT, MSTP	0x4004_0000	0x4004_7FFF	3		PCLKB	イベントリンクコントローラ、ウォッチドッグタイマ、モジュールストップ制御
CRC	0x4007_4000	0x4007_4FFF	3		PCLKB	CRC 演算器
PORT, PFS_A, PORGA, ADC12, SAU0, SAU1, TAU, RTC, IICA, UARTA, TML32, PCLBUZ	0x400A_0000	0x400A_3FFF	2		PCLKB	I/O ポート、12 ビット A/D コンバータ、シリアルアレイユニット 0、シリアルアレイユニット 1、タイマアレイユニット、リアルタイムクロック、I^2C バスインタフェース、シリアルインタフェース UARTA、32 ビットインターバルタイマ、クロック／ブザー出力コントローラ
TRNG	0x400D_1000	0x400D_1FFF	3		PCLKB	真性乱数生成器
FLCN	0x407E_C000	0x407E_FFFF	7		ICLK	データフラッシュ、フラッシュ制御

付録 4. ペリフェラル変数

表 A4.1 に本マニュアルで使用されるモジュール名とペリフェラル変数の対応関係を示します。

表 A4.1 モジュール名とペリフェラル変数の対応関係

モジュール名	ペリフェラル変数
ADC12	ADC_D
RTC	RTC_C

改訂履歴

Revision 1.00 — 2025 年 2 月 17 日

初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

© 2025 Renesas Electronics Corporation. All rights reserved.