

RA4L1 グループは、TrustZone®を備えた Arm® Cortex®-M33 (CM33) コアに基づく低消費電力の 32 ビットマイクロコントローラ (MCU) により、低電圧動作、低消費電力、および高性能の理想的なバランスを提供します。RA4L1 は、1.65 μ A の低消費電力スタンバイ電流と合わせて最小 1.6 V までの動作を提供し、多数の低消費電力機能により消費電力と性能をアプリケーションの要件に対して動的に最適化できます。BGA/WLCSP は開発中です。

特長

■ Arm® Cortex®-M33 コア

- Armv8-M アーキテクチャ (メイン拡張)
- 最高動作周波数: 80 MHz
- Arm メモリプロテクションユニット (Arm MPU)
 - プロテクトメモリシステムアーキテクチャ (PMSAv8)
 - セキュア MPU (MPU_S): 8 領域
 - 非セキュア MPU (MPU_NS): 8 領域
- SysTick タイマ
 - 2 つの SysTick タイマを搭載: セキュアおよび非セキュアインスタンス
 - LOCO 駆動またはシステムクロック
- CoreSight™ ETM-M33

■ メモリ

- 最大 512 KB のコードフラッシュメモリ
- 8 KB のデータフラッシュメモリ (100,000 回のプログラム/イレース (P/E) サイクル)
- 64-KB SRAM

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 6
 - 調歩同期式インタフェース
 - 8 ビットクロック同期式インタフェース
 - スマートカードインタフェース
 - 簡易 IIC
 - 簡易 SPI
 - 簡易 LIN (SCI1)
 - マンチェスタコーディング (SCI3, SCI4)
- IrDA インタフェース (IrDA)
- I²C バスインタフェース (IIC)
- I3C バスインタフェース (I3C)
- シリアルインタフェース UARTA (UARTA)
- シリアルペリフェラルインタフェース (SPI)
- クワッドシリアルペリフェラルインタフェース (QSPI)
- USB 2.0 フルススピードモジュール (USBFS)
- CAN フレキシブルデータレート (CANFD)
- 拡張シリアルサウンドインタフェース (SSIE)

■ アナログ

- 12 ビット A/D コンバータ (ADC12)
- 12 ビット D/A コンバータ (DAC12)
- 低消費電力アナログコンパレータ (ACMPLP) × 2
- 温度センサ回路 (TSN)

■ タイマ

- 32 ビット汎用 PWM タイマ (GPT32) × 2
- 16 ビット汎用 PWM タイマ (GPT16) × 4
- 低消費電力非同期汎用タイマ (AGT) × 2

■ セキュリティおよび暗号化

- Renesas セキュア IP (RSIP-E11A)
 - 対称アルゴリズム: AES
 - 非対称アルゴリズム: ECC
 - ハッシュ値生成: SHA224、SHA256
 - 128 ビットのユニーク ID
- Arm® TrustZone®
 - コードフラッシュ用領域: 最大 3 または 6 領域 (バンクモードによる)
 - データフラッシュ用領域: 最大 2 領域
 - SRAM 用領域: 最大 3 領域
 - 各ペリフェラルに対して個別のセキュアまたは非セキュアのセキュリティ属性
- デバイスライフサイクルの管理
- 端子機能
 - 最大 3 つのタンパー端子
 - セキュア端子マルチプレキシング

■ システムおよび電源管理

- 低消費電力モード
- リアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- DMA コントローラ (DMAC) × 8
- パワーオンリセット
- 低電圧検出機能 (LVD) の設定可能
- ウォッチドッグタイマ (WDT)
- 独立ウォッチドッグタイマ (IWDT)

■ ヒューマンマシーンインタフェース (HMI)

- 静電容量式タッチセンシングユニット (CTSU)
- セグメント LCD コントローラ (SLCDC)

■ マルチクロックソース

- メインクロック発振器 (MOSC) (1~20 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (48/64/80 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- IWDT 専用オンチップオシレータ (15 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- PLL
- クロックアウトのサポート

■ 汎用入出力ポート

- 5 V トレランス、オープンドレイン、入力プルアップ

■ 動作電圧

- VCC: 1.6~3.6 V

■ 動作温度およびパッケージ

- Ta = -40 °C ~ +125 °C
 - 100 ピン LQFP (14 mm × 14 mm、0.5 mm ピッチ)
 - 64 ピン LQFP (10 mm × 10 mm、0.5 mm ピッチ)
 - 48 ピン LQFP (7 mm × 7 mm、0.5 mm ピッチ)
 - 48 ピン QFN (7 mm × 7 mm、0.5 mm ピッチ)
 - 100 ピン BGA (7 mm × 7 mm、0.5 mm ピッチ)
 - 64 ピン BGA (5.5 mm × 5.5 mm、0.65 mm ピッチ)
 - 72 ピン WLCSP (3.64 mm × 4.28 mm、0.4 mm ピッチ)

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm[®]ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は最高 80 MHz で動作する高性能な Arm Cortex[®]-M33 コアを内蔵しており、以下の特長があります。

- 最大 512 KB のコードフラッシュメモリ
- 64 KB の SRAM
- クワッドシリアルペリフェラルインタフェース (QSPI)
- USBFS
- 静電容量式タッチセンシングユニット (CTSU)
- アナログ周辺機能
- セキュリティ&セーフティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M33 コア	<ul style="list-style-type: none"> ● 最高動作周波数 : 80 MHz ● Arm Cortex-M33 コア : <ul style="list-style-type: none"> - Armv8-M アーキテクチャ (セキュリティ拡張機能付き) - リビジョン : r0p4-00rel1 ● Arm メモリプロテクションユニット (Arm MPU) <ul style="list-style-type: none"> - プロテクトメモリシステムアーキテクチャ (PMSAv8) - セキュア MPU (MPU_S) : 8 領域 - 非セキュア MPU (MPU_NS) : 8 領域 ● SysTick タイマ <ul style="list-style-type: none"> - 2 つの SysTick タイマを搭載 : セキュアおよび非セキュアインスタンス - SysTick タイマクロック (SYSTICLK) またはシステムクロック (ICLK) による駆動 ● CoreSight[™] ETM-M33

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 512 KB のコードフラッシュメモリ。
データフラッシュメモリ	8 KB のデータフラッシュメモリ。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	パリティビットまたは誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード : <ul style="list-style-type: none"> ● シングルチップモード ● SCI/USB/SWD ブートモード
リセット	本 MCU は、13 種類のリセットをサポートしています。
低電圧検出回路 (LVD)	低電圧検出 (LVD) モジュールは、VCC 端子と EXLVD 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、3 つの独立した電圧監視回路 (LVD0, LVD1, LVD2) から構成されています。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを測定します。(EXLVD 端子への入力電圧レベルに対しては LVD2 が測定します。) LVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。

表 1.3 システム (2/2)

機能	機能の説明
クロック	<ul style="list-style-type: none"> メインクロック発振器 (MOSC) サブクロック発振器 (SOSC) 高速オンチップオシレータ (HOCO) 中速オンチップオシレータ (MOCO) 低速オンチップオシレータ (LOCO) IWDT 専用オンチップオシレータ PLL クロックアウトのサポート
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、そのパルス数が許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内でない時、割り込み要求が発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
メモリプロテクションユニット (MPU)	本 MCU は 1 つのメモリプロテクションユニット (MPU) を備えています。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。
DMA コントローラ (DMAC)	本 MCU は、8 チャネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 1.6 外部バスインタフェース

機能	機能の説明
外部バス	<ul style="list-style-type: none"> QSPI 領域 (EQBIU) : QSPI (外部デバイスインタフェース) を接続

表 1.7 タイマ (1/2)

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 × 2 チャネルの 32 ビットタイマおよび GPT16 × 4 チャネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることができます。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 1.7 タイマ (2/2)

機能	機能の説明
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、通常動作モードと低消費電力クロックモードの2つの動作モードを備えています。それぞれの動作モードにおいて、RTC はカレンダーカウントモードとバイナリカウントモードの2種類のカウントモードがあり、レジスタの設定を切り替えることにより使用します。カレンダーカウントモードでは、RTC は2000年から2099年の100年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走するとWDTをリフレッシュできなくなるため、カウンタがアンダーフローした際にMCUをリセットするのに使用できます。さらに、WDTはノンマスクابل割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDTには、MCUをリセットする機能やノンマスクابل割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは独立した専用クロックソースで動作するため、システム暴走時にフェイルセーフメカニズムとして、MCUを既知の状態に復帰させる際に特に有用です。IWDTは、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。

表 1.8 通信インタフェース (1/2)

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 6 チャンネルには、調歩同期式および同期式のシリアルインタフェースがあります。 <ul style="list-style-type: none"> ● 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA)) ● 8ビットクロック同期式インタフェース ● 簡易 IIC (マスタのみ) ● 簡易 SPI ● スマートカードインタフェース ● マンチェスタインタフェース ● 簡易 LIN スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCI _n (n = 0, 3~5, 9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のポーレートジェネレータを用いて、データ転送速度の個別設定が可能です。
IrDA インタフェース	IrDA インタフェースは、SCI5 と連携して IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信を行います。
I ² C バスインタフェース (IIC)	I ² C バスインタフェース (IIC) には1つのチャンネルがあります。IIC モジュールは、NXP 社の I ² C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。
I3C バスインタフェース (I3C)	I3C バスインタフェース (I3C) には1つのチャンネルがあります。I3C モジュールは、NXP 社の I ² C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。
シリアルインタフェース UARTA (UARTA)	シリアルインタフェース UARTA (UARTA) には2つのチャンネルがあります。UARTA は下記のモードをサポートします。 <ul style="list-style-type: none"> ● 動作停止モード ● UART モード
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) には1つのチャンネルがあります。シリアルペリフェラルインタフェース (SPI) によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。
Controller Area Network with Flexible Data-Rate モジュール (CAN-FD)	CAN with Flexible Data-Rate (CANFD) モジュールは、クラシカル CAN フレームと ISO 11898-1 規格に準拠する CANFD フレームの両方を取り扱うことができます。このモジュールは4個の送信バッファと16個の受信バッファをサポートしています。
USB 2.0 フルスピードモジュール (USBFS)	ホストコントローラまたはデバイスコントローラとして動作可能な USB2.0 フルスピードモジュール (USBFS) です。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピードおよびロースピード転送 (ホストコントローラのみ) をサポートしています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。USB はデータ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。パイプ 1~9 に対しては、通信を行う周辺デバイスやユーザーシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表 1.8 通信インタフェース (2/2)

機能	機能の説明
クワッドシリアルペリフェラルインタフェース (QSPI)	クワッドシリアルペリフェラルインタフェース (QSPI) は、SPI 互換インタフェースを持つシリアル ROM (シリアルフラッシュメモリ、シリアル EEPROM、シリアル FeRAM などの不揮発性メモリ) に接続するためのメモリコントローラです。
拡張シリアルサウンドインタフェース (SSIE)	拡張シリアルサウンドインタフェース (SSIE) 周辺機能は、I ² S/モノラル/TDM オーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で接続する機能を提供しています。SSIE は最高 40 MHz のオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ/トランスミッタ/トランシーバとして動作します。SSIE はレシーバとトランスミッタに 32 段 FIFO バッファを内蔵し、割り込みおよび DMA 駆動によるデータ送受信をサポートしています。

表 1.9 アナログ

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータ (ADC12) を内蔵しています。アナログ入力チャネルは最大で 16 個選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。
12 ビット D/A コンバータ (DAC12)	12 ビットの D/A コンバータ (DAC12) を内蔵しています。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどニアの関係にあります。出力電圧は ADC12 で変換されてから、末端の応用機器で使用できます。
低消費電力アナログコンパレータ (ACMPLP)	低消費電力アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧を比較します。コンパレータチャネルの ACMPLP0 と ACMPLP1 は、それぞれ独立しています。基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREFi (i = 0, 1) 端子への入力、または MCU の内部に生成された内部基準電圧 (V _{REF}) から選択できます。ACMPLP の応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。

表 1.10 ヒューマンマシンインタフェース

機能	機能の説明
静電容量式タッチセンシングユニット (CTSUS)	静電容量式タッチセンシングユニット (CTSUS) は、タッチセンサの静電容量を測定します。CTSUS は、ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。
セグメント LCD コントローラ (SLCDC)	SLCDC には次の機能があります。 <ul style="list-style-type: none"> ● 内部電圧昇圧方式、容量分割方式、および外部抵抗分割方式を切り替え可能 ● 内部電圧昇圧方式で VL1 または VL2 基準モードを選択可能 ● 容量分割方式で VCC または VL4 基準モードを選択可能 ● セグメント信号出力 : 52 (48) ● 共通信号出力 : 4 (8) ● 波形 A または波形 B を選択可能 ● LCD を点滅させることが可能 注. 括弧内の数値は、8 com 使用時の信号出力数です。

表 1.11 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、32 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、32 ビットのデータが比較され、割り込みを生成可能です。

表 1.12 I/O ポート

機能	機能の説明
プログラマブル I/O ポート	<ul style="list-style-type: none"> ● 100 ピン LQFP、100 ピン BGA 用 I/O ポート <ul style="list-style-type: none"> – 入出力端子：82 – 入力端子：3 – プルアップ抵抗：82 – N チャネルオープンドレイン出力：75 – 5V トレランス：5 ● 72 ピン WLCSP 用 I/O ポート <ul style="list-style-type: none"> – 入出力端子：53 – 入力端子：3 – プルアップ抵抗：53 – N チャネルオープンドレイン出力：46 – 5V トレランス：5 ● 64 ピン LQFP 用 I/O ポート <ul style="list-style-type: none"> – 入出力端子：48 – 入力端子：3 – プルアップ抵抗：48 – N チャネルオープンドレイン出力：41 – 5V トレランス：5 ● 64 ピン BGA 用 I/O ポート <ul style="list-style-type: none"> – 入出力端子：52 – 入力端子：3 – プルアップ抵抗：52 – N チャネルオープンドレイン出力：45 – 5V トレランス：5 ● 48 ピン LQFP、48 ピン QFN 用 I/O ポート <ul style="list-style-type: none"> – 入出力端子：34 – 入力端子：3 – プルアップ抵抗：34 – N チャネルオープンドレイン出力：29 – 5V トレランス：5

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

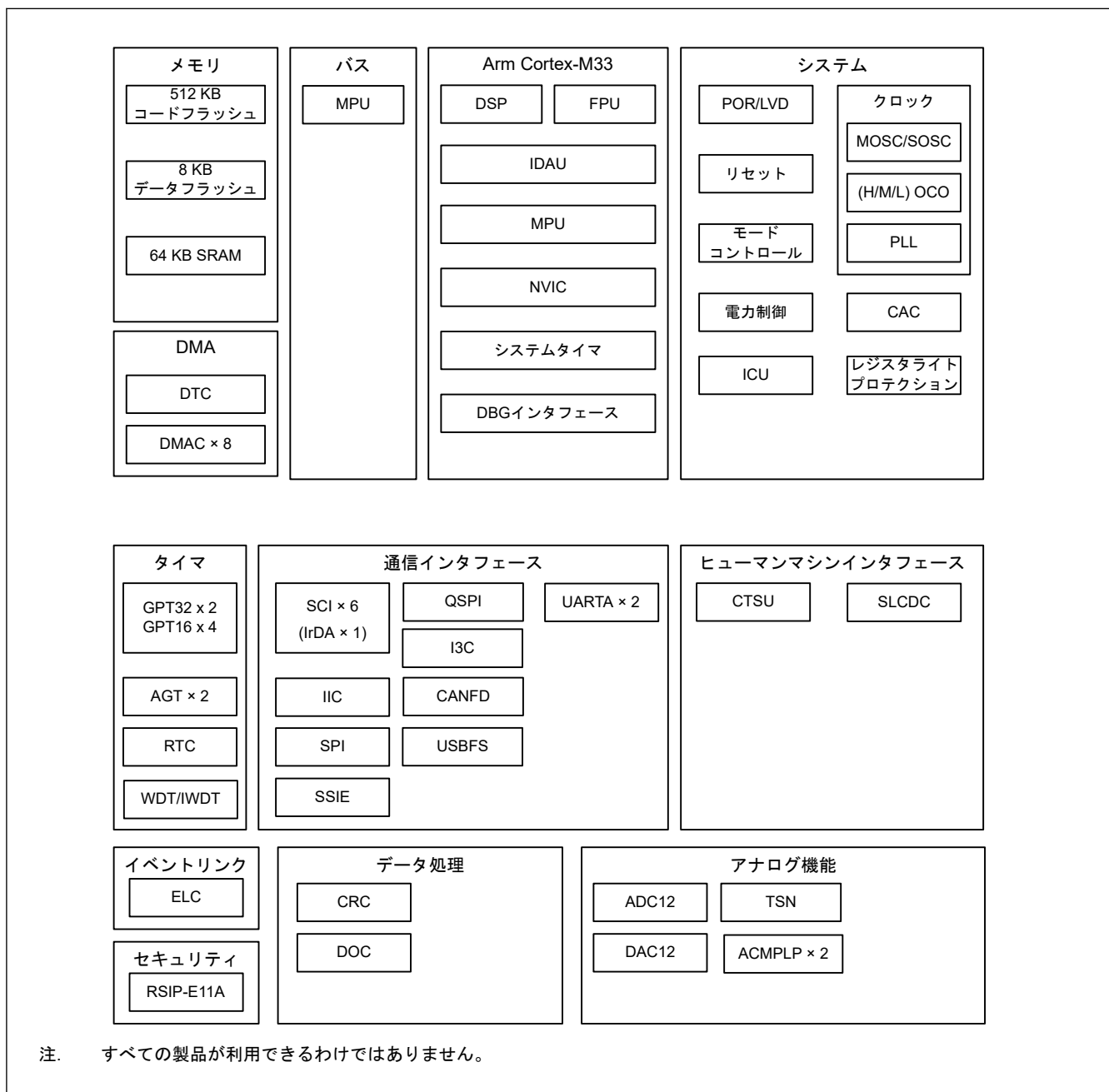


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.13 に、製品一覧表を示します。

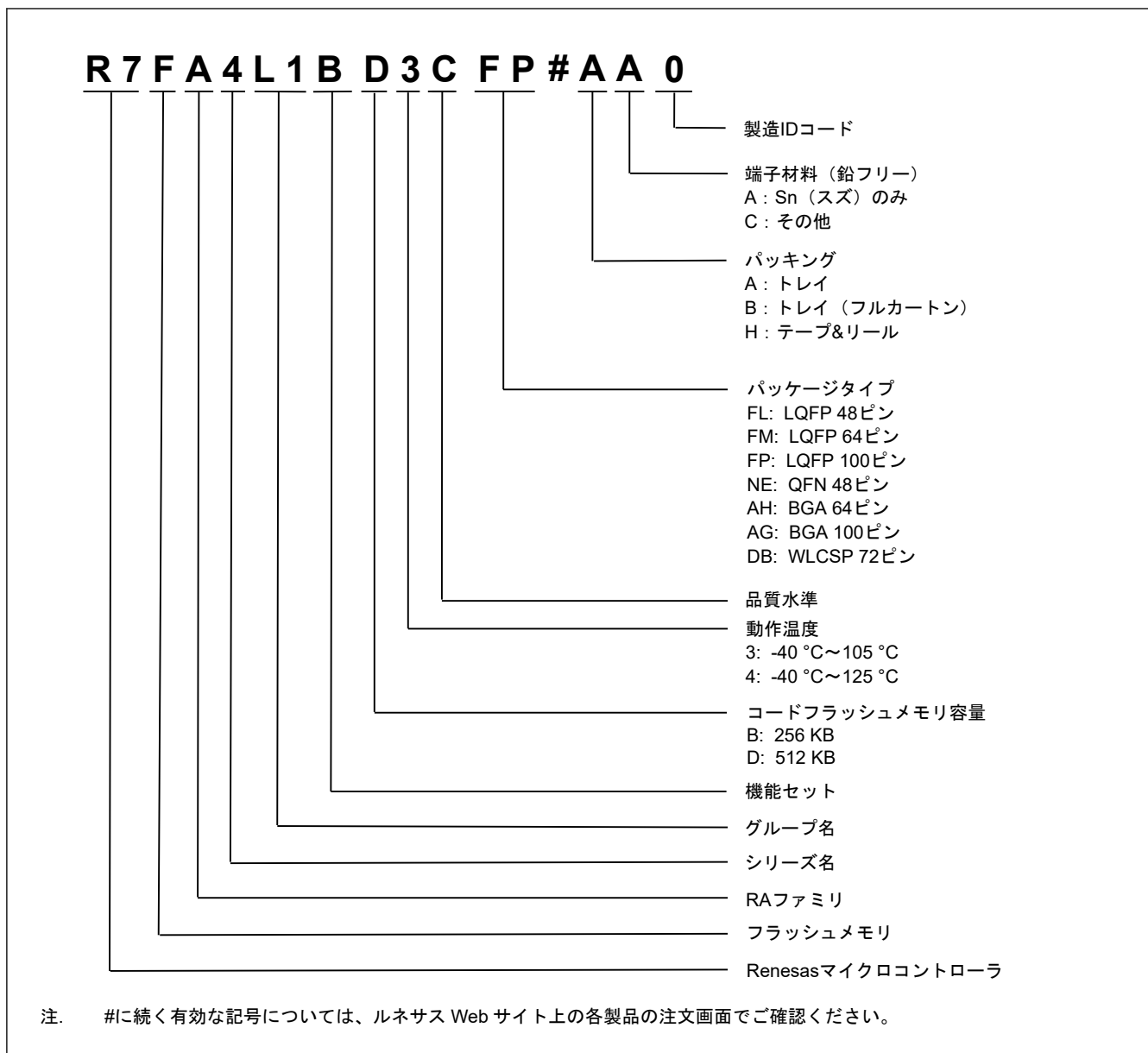


図 1.2 型名の読み方

表 1.13 製品一覧 (1/2)

製品の型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA4L1BD4CFP	PLQP0100KB-B	512 KB	8 KB	64 KB	-40~+125 °C
R7FA4L1BD4CFM	PLQP0064KB-C				
R7FA4L1BD4CFL	PLQP0048KB-B				
R7FA4L1BD4CNE	PWQN0048KC-A				
R7FA4L1BD3CAG ^(注1)	PLBG0100KB-A ^(注1)				Ta = -40~+105 °C (TBD)
R7FA4L1BD3CAH ^(注1)	PLBG0064JD-A ^(注1)				
R7FA4L1BD4CDB ^(注1)	SUBG0072LB-A ^(注1)				-40~+105 または 125 °C (TBD)

表 1.13 製品一覧 (2/2)

製品の型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA4L1BB4CFP	PLQP0100KB-B	256 KB	8 KB	64 KB	-40~+125 °C
R7FA4L1BB4CFM	PLQP0064KB-C				
R7FA4L1BB4CFL	PLQP0048KB-B				
R7FA4L1BB4CNE	PWQN0048KC-A				
R7FA4L1BB3CAG ^(注1)	PLBG0100KB-A ^(注1)				-40~+105 °C (TBD)
R7FA4L1BB3CAH ^(注1)	PLBG0064JD-A ^(注1)				-40~+105 または 125 °C (TBD)
R7FA4L1BB4CDB ^(注1)	SUBG0072LB-A ^(注1)				

注 1. 開発中

1.4 機能の比較

表 1.14 機能の比較 (1/2)

型名	R7FA4L1BD4CFP R7FA4L1BD3CAG R7FA4L1BB4CFP R7FA4L1BB3CAG	R7FA4L1BD4CDB R7FA4L1BB4CDB	R7FA4L1BD4CFM R7FA4L1BB4CFM	R7FA4L1BD3CAH R7FA4L1BB3CAH	R7FA4L1BD4CFL R7FA4L1BD4CNE R7FA4L1BB4CFL R7FA4L1BB4CNE	
端子総数	100	72	64	64	48	
パッケージ	LQFP/BGA	WLCSP	LQFP	BGA	LQFP/QFN	
コードフラッシュメモリ	512 KB 256 KB					
データフラッシュメモリ	8 KB					
SRAM	64 KB					
	パリティ	32 KB				
	ECC	32 KB				
DMA	DTC	あり				
	DMAC	8				
システム	CPU クロック	最高 80 MHz				
	CPU クロックソース	MOSC, SOSC, HOCO, MOCO, LOCO, PLL				
	CAC	あり				
	WDT/IWDT	あり				
通信	SCI(注1)	6				
	IIC	1				
	I3C	1				
	UARTA	2				
	SPI	1				
	CANFD	1				
	USBFS	あり				
	QSPI	あり				
	SSIE	あり	なし	あり	なし	
タイマ	GPT32(注1)	2				
	GPT16(注1)	4				
	AGT(注1)	2				
	RTC	あり				
アナログ	ADC12	ユニット 0: 16	ユニット 0: 13	ユニット 0: 12	ユニット 0: 12	ユニット 0: 10
	DAC12	1				
	ACMPLP	2				
	TSN	あり				
HMI	CTSUS	12	9	8	8	8
	SLCDC	52 seg × 4 com 48 seg × 8 com	26 seg × 4 com 22 seg × 8 com	22 seg × 4 com 18 seg × 8 com	26 seg × 4 com 22 seg × 8 com	なし
データ処理	CRC	あり				
	DOC	あり				
イベントコントロール	ELC	あり				
セキュリティ	RSIP-E11A、TrustZone、ライフサイクルマネジメント					

表 1.14 機能の比較 (2/2)

型名		R7FA4L1BD4CFP R7FA4L1BD3CAG R7FA4L1BB4CFP R7FA4L1BB3CAG	R7FA4L1BD4CDB R7FA4L1BB4CDB	R7FA4L1BD4CFM R7FA4L1BB4CFM	R7FA4L1BD3CAH R7FA4L1BB3CAH	R7FA4L1BD4CFL R7FA4L1BD4CNE R7FA4L1BB4CFL R7FA4L1BB4CNE
I/O ポート	入出力端子	82	53	48	52	34
	入力端子	3	3	3	3	3
	プルアップ抵抗	82	53	48	52	34
	N チャネルオープン ドレイン出力	75	46	41	45	29
	5V トレランス	5	5	5	5	5

注 1. 使用できる端子はピン数によります。詳細は「[1.7. 端子一覧](#)」を参照してください。

1.5 端子機能

表 1.15 端子機能 (1/4)

機能	信号	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μ F のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL/VCL0	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グラウンド端子。システムの電源 (0 V) に接続してください。
電圧検出器	EXLVD	入力	外部端子用低電圧検出器
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQn	入力	マスクابل割り込み要求端子
GPT	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOcNA, GTIOcNB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 U 相)
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 V 相)
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 W 相)
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 W 相)
AGT	AGTEEn	入力	外部イベント入力カインープル信号
	AGTIOn	入出力	外部イベント入力およびパルス出力端子
	AGTOAn	出力	パルス出力端子
	AGTOAn	出力	アウトプットコンペアマッチ A 出力端子
	AGTOBn	出力	アウトプットコンペアマッチ B 出力端子
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子
	RTCIcN	入力	時間キャプチャイベント入力端子

表 1.15 端子機能 (2/4)

機能	信号	入出力	説明
SCI	SCKn	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXDn	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXDn	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS _n _RTS _n	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	CTS _n	入力	送信の開始用の入力端子
	SCLn	入出力	IIC クロック用の入出力端子 (簡易 IIC モード)
	SDAn	入出力	IIC データ用の入出力端子 (簡易 IIC モード)
	SCKn	入出力	クロック用の入出力端子 (簡易 SPI モード)
	MISO _n	入出力	データのスレーブ送信用の入出力端子 (簡易 SPI モード)
	MOSI _n	入出力	データのマスタ送信用の入出力端子 (簡易 SPI モード)
	RXD _{Xn}	入力	受信データ入力端子 (簡易 LIN モード)
	TXD _{Xn}	出力	送信データ出力端子 (簡易 LIN モード)
	SIOX _n	入出力	送受信データ入出力端子 (簡易 LIN モード)
	SS _n	入力	チップセレクト入力端子 (簡易 SPI モード)、アクティブ Low
IIC	SCL _n	入出力	クロック用の入出力端子
	SDAn	入出力	データ用の入出力端子
I3C	I3C_SCL0	入出力	クロック用の入出力端子
	I3C_SDA0	入出力	データ用の入出力端子
UARTA	RxDAn	入力	シリアルデータ入力信号
	TxDAn	出力	シリアルデータ出力信号
	CLKAn	出力	シリアルクロック出力信号
SPI	RSPCKA	入出力	クロック入出力端子
	MOSIA	入出力	マスタからの出力データ用の入出力端子
	MISOA	入出力	スレーブからの出力データ用の入出力端子
	SSLA0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3	出力	スレーブ選択用の出力端子
CANFD	CRX _n	入力	受信データ
	CTX _n	出力	送信データ

表 1.15 端子機能 (3/4)

機能	信号	入出力	説明
USBFS	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB_DP	入出力	USB 内蔵トランシーバ D+端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続/切断を検出できます。
	USB_EXICEN	出力	外部電源 (OTG) チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへの VBUS (5 V) 供給許可信号
	USB_OVRCURA, USB_OVRCURB	入力	これらの端子には外部過電流検出信号を接続してください。OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください。
	USB_ID	入力	OTG 動作時に MicroAB コネクタの ID 入力信号を接続してください。
QSPI	QSPCLK	出力	QSPI クロック出力端子
	QSSL	出力	QSPI スレーブ出力端子
	QIO0~QIO3	入出力	データ 0~データ 3
SSIE	SSIBCK0	入出力	SSIE シリアルビットクロック端子
	SSILRCK0/SSIFS0	入出力	LR クロック/フレーム同期端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子 (入力オーバーサンプリングクロック)
アナログ電源	AVCC0	入力	アナログ電圧源端子。それぞれのモジュールのアナログ電源端子として使用されます。この端子には VCC 端子と同じ電圧を供給してください。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は AVSS0 に接続してください。
ADC12	AN0n	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
DAC12	DA0	出力	D/A コンバータで処理されるアナログ信号用の出力端子
ACMPLP	VCOUT	出力	コンパレータ出力端子
	CMPREF0, CMPREF1	入力	基準電圧入力端子
	CMPIN0, CMPIN1	入力	アナログ電圧入力端子
SLCDC	VL1, VL2, VL3, VL4	入出力	LCD 駆動用電圧端子
	CAPH, CAPL	入出力	LCD コントローラ/ドライバ用の容量接続
	COM0~COM7	出力	LCD コントローラ/ドライバ用の共通信号出力端子
	SEG0~SEG51	出力	LCD コントローラ/ドライバ用のセグメント信号出力端子
CTSU	TSn	入力	静電容量式タッチ検出端子 (タッチ端子)
	TSCAP	入出力	タッチドライバ用の二次電源端子

表 1.15 端子機能 (4/4)

機能	信号	入出力	説明
I/O ポート	Pmn	入出力	汎用入出力端子 (m: ポート番号、n: ピン番号)
	P200	入力	汎用入力端子

1.6 ピン配置図

以下にピン配置図（上面図）を示します。

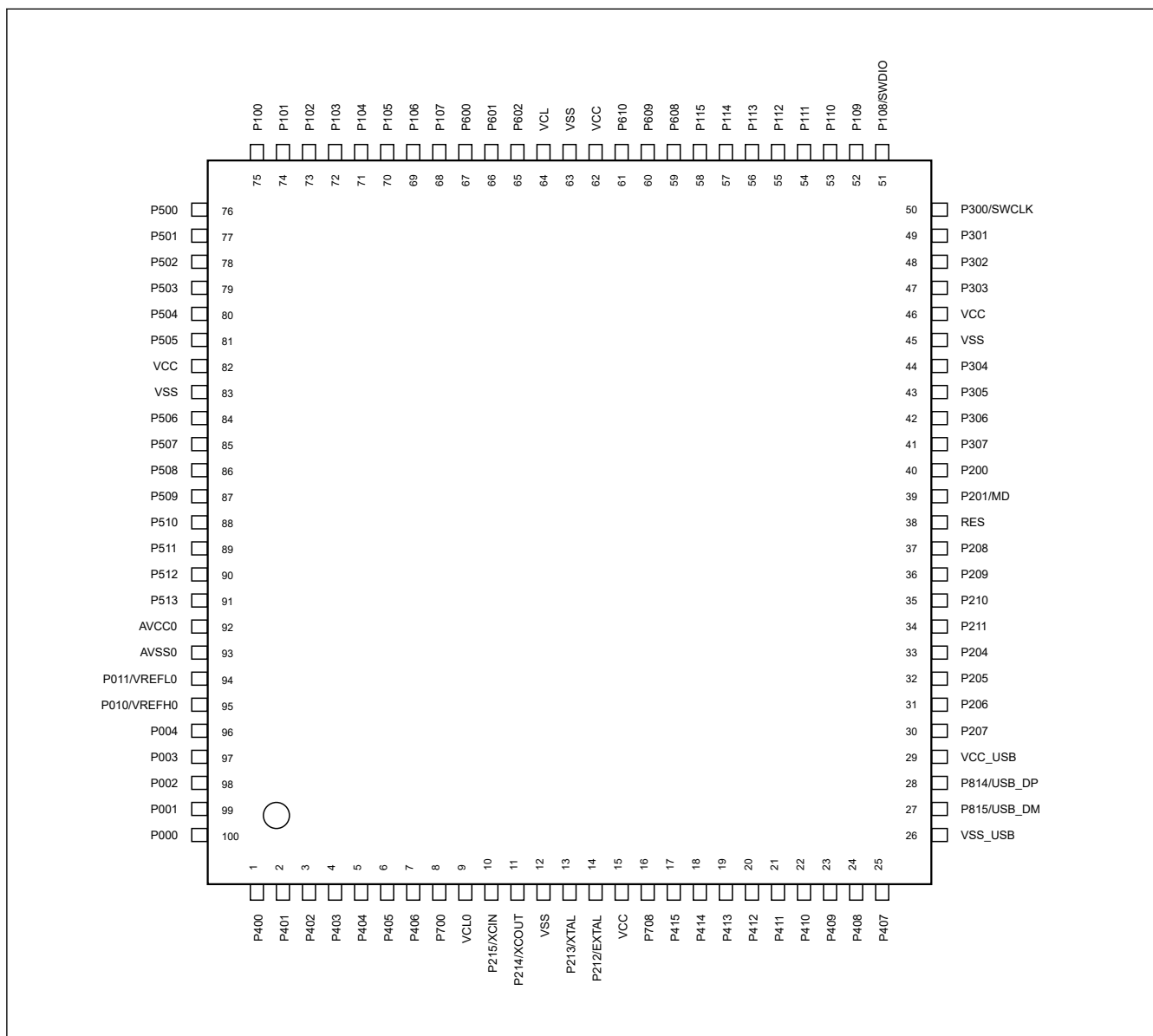


図 1.3 100 ピン LQFP のピン配置

	1	2	3	4	5	6	7	8	9	10	11	12	13	
A	P108/ SWDIO	P300/ SWCLK		P301	P302	VCC	VSS	P204	VCC_USB	VSS_USB		P814/ USB_DP	P815/ USB_DM	A
B	P110	P109	P111	P303	P304	P201/MD	RES	P209	P210	P211	P205	P207	P407	B
C		P112				P200		P208				P206		C
D	P113	P114										P408	P212/ EXTAL	D
E	P115	P608					P306					P409	P213/ XTAL	E
F	VCC	VCC	P105			P609	P305	P307			P415	P411	VCC	F
G	VSS	VSS		P610	P602			P413	P412			P410	VSS	G
H	VCL	P107	P106			P601	P600	P414			P708	P700	P214/ XCOUT	H
J	P103	P505					P104					P406	P215/ XCIN	J
K	P102	P504										P405	VCL0	K
L		P503				P510		P513				P404		L
M	P101	P502	P500	P507	P508	P511	AVCC0	AVSS0	P003	P002	P000	P403	P401	M
N	P100	P501		P506	P509	P512	P010/ VREFH0	P011/ VREFL0	P004	P001		P402	P400	N
	1	2	3	4	5	6	7	8	9	10	11	12	13	

図 1.4 100 ピン BGA のピン配置

	1	2	3	4	5	6	7	8	9	
A	P108/ SWDIO	P112	P114	VCC	VSS	VCL	P103	P102	P100	A
B	P300/ SWCLK	P109	P111	P113	P608	P106	P101	P500	P501	B
C	P304	P303	P302	P110	P115	P105	P104	VCC	VSS	C
D	P208	RES	P201/MD	P301	P510	P506	P507	P508	P509	D
E	P814/ USB_DP	P815/ USB_DM	P206	P205	P200	P402	P004	AVCC0	AVSS0	E
F	VCC_USB	P408	P410	VSS	P207	P700	P003	P011/ VREFL0	P010/ VREFH0	F
G	VSS_USB	P409	VCC	VSS	VSS	VSS	P000	P001	P002	G
H	P407	P411	P212/ EXTAL	P213/ XTAL	P214/ XCOUT	P215/ XCIN	VCL0	P401	P400	H
	1	2	3	4	5	6	7	8	9	

図 1.5 72ピンWLCSPのピン配置

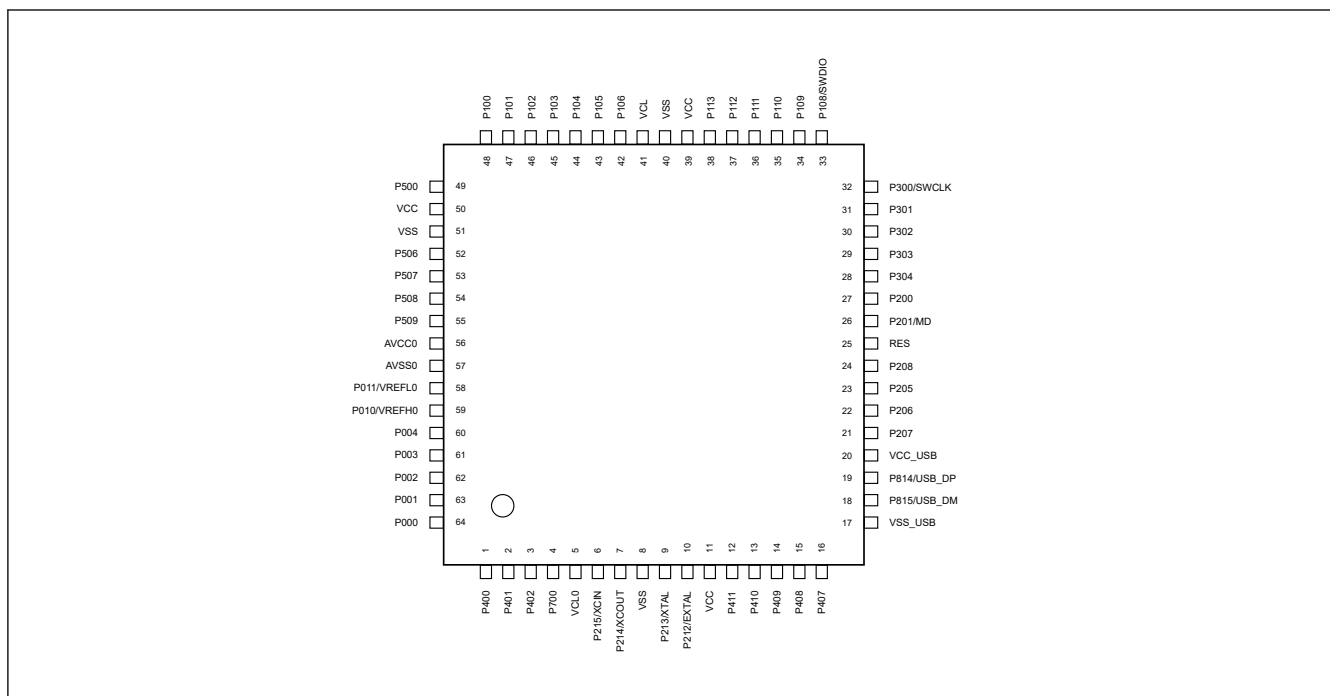


図 1.6 64ピンLQFPのピン配置

	1	2	3	4	5	6	7	8	
A	P108/ SWDIO	P300/ SWCLK	P302	P304	P208	P814/ USB_DP	P815/ USB_DM	P407	A
B	P109	P301	P303	P200	RES	P408	P409	P213/ XTAL	B
C	P608	P112	P111	P110	P205	P410	P411	P212/ EXTAL	C
D	VCC_USB	P115	P114	P113	P201/MD	P207	VCC	VSS	D
E	VSS_USB	P106	P105	P103	P102	P206	P215/ XCIN	P214/ XCOUT	E
F	VCL	P107	P104	P509	P002	P402	P700	VCL0	F
G	P101	P507	P508	AVSS0	P004	P003	P000	P401	G
H	P100	P500	P506	AVCC0	P011/ VREFLO	P010/ VREFH0	P001	P400	H
	1	2	3	4	5	6	7	8	

図 1.7 64 ピン BGA のピン配置

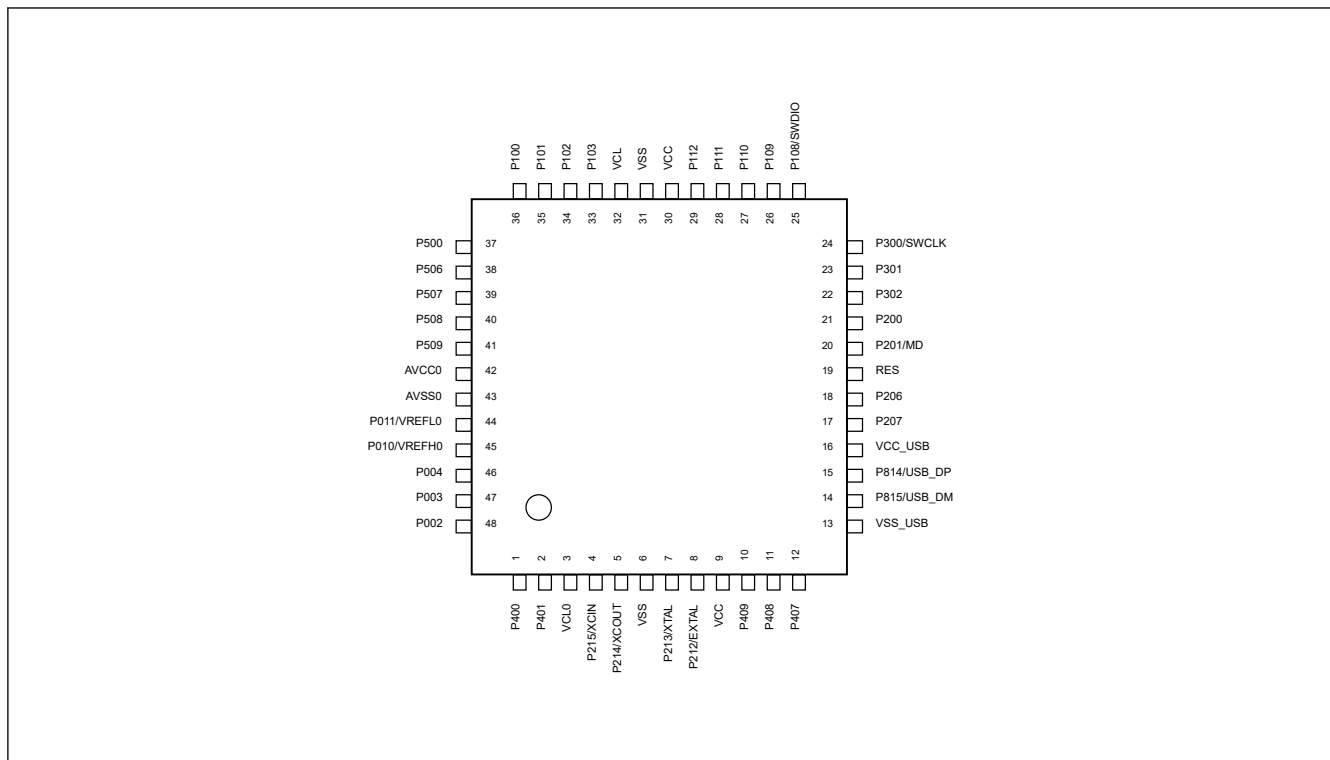
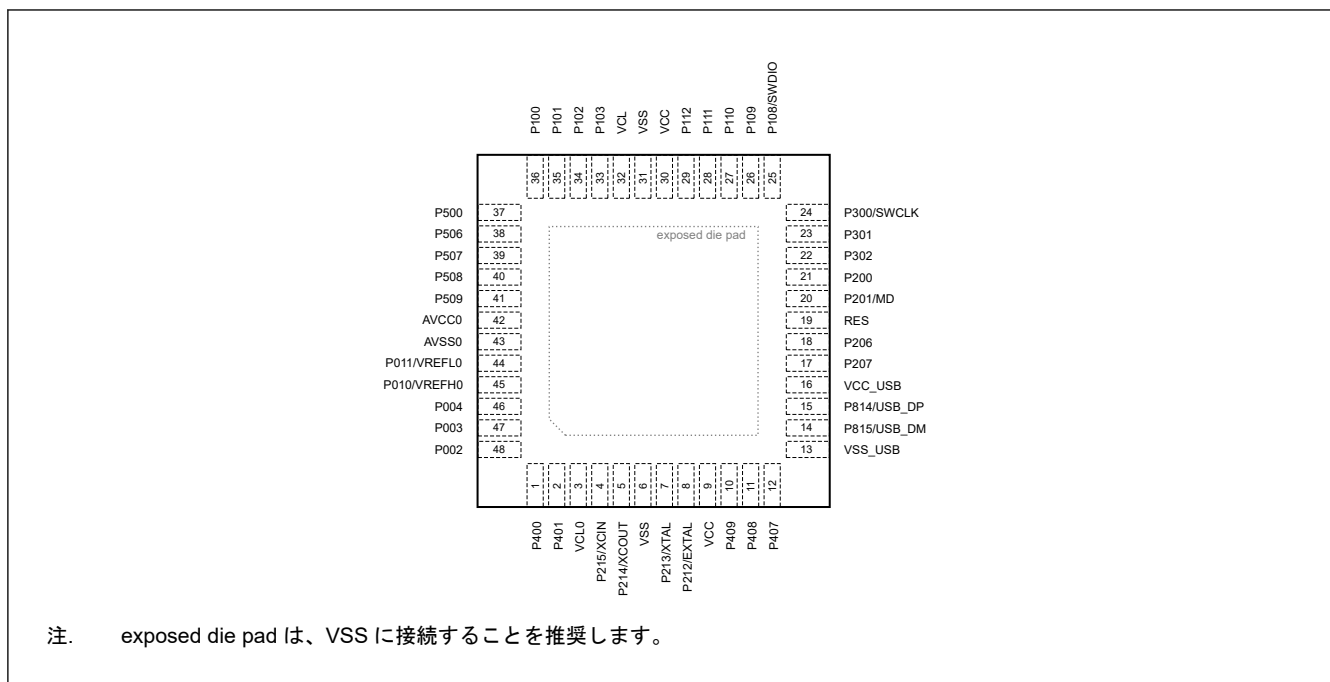


図 1.8 48 ピン LQFP のピン配置



注. exposed die pad は、VSS に接続することを推奨します。

図 1.9 48 ピン QFN のピン配置

1.7 端子一覧

表 1.16 端子一覧 (1/3)

LQFP100	BGA100	WLCSP72	LQFP64	BGA64	LQFP48/ QFN48	電源、システム、 クロック、デバ ッグ、 CAC	I/O ポ ート	外部割り込 み	SCI/IC/I3C/CANFD/ USBFS/SPI/QSPI/UARTA/ SSIE	GPT/AGT/RTC	ADC12/ DAC12	ACMPLP	SLCDC	CTSU
1	N13	H9	1	H8	1	—	P400	IRQ0	TXD1/SDA1/MOSI1/TXDX1/ SIOX1/I3C_SCL0/AUDIO_CLK	GTETRGB/ GTIOC2A/AGTIO1	—	—	SEG4	—
2	M13	H8	2	G8	2	—	P401	IRQ5	RXD1/SCL1/MISO1/RXDX1/ I3C_SDA0/CRX0	GTETRGA/ GTIOC2B	—	—	SEG5	—
3	N12	E6	3	F6	—	CACREF	P402	IRQ4	CTS1_RTS1/SS1/CTX0/ AUDIO_CLK	GTETRGC/AGTIO0/ AGTIO1/RTCIC0	—	—	SEG6	—
4	M12	—	—	—	—	—	P403	IRQ14	SCK1/SSIBCK0_A	AGTIO0/AGTIO1/ RTCIC1	—	—	SEG7	—
5	L12	—	—	—	—	—	P404	IRQ15	SSILRCK0_A/SSIFS0_A	AGTIO0/AGTIO1/ RTCIC2	—	—	SEG8	—
6	K12	—	—	—	—	—	P405	—	SSITXD0_A	GTIOC1A	—	—	SEG9	—
7	J12	—	—	—	—	—	P406	—	SSIRXD0_A	GTIOC1B	—	—	SEG10	—
8	H12	F6	4	F7	—	—	P700	—	—	—	—	—	SEG11	—
9	K13	H7	5	F8	3	VCL0	—	—	—	—	—	—	—	—
10	J13	H6	6	E7	4	XCIN	P215	—	—	—	—	—	—	—
11	H13	H5	7	E8	5	XCOUT	P214	—	—	—	—	—	—	—
12	G13	G4	8	D8	6	VSS	—	—	—	—	—	—	—	—
13	E13	H4	9	B8	7	XTAL	P213	IRQ2	TXD0/SDA0/MOSI0	GTETRGC/ GTIOC0A	—	—	—	—
14	D13	H3	10	C8	8	EXTAL	P212	IRQ3	RXD0/SCL0/MISO0	GTETRGD/ GTIOC0B/AGTEE1	—	—	—	—
15	F13	G3	11	D7	9	VCC	—	—	—	—	—	—	—	—
16	H11	—	—	—	—	CACREF	P708	IRQ11	AUDIO_CLK	—	—	—	SEG12	—
17	F11	—	—	—	—	—	P415	IRQ8	USB_VBUSEN	GTIOC0A	—	—	SEG13	—
18	H8	—	—	—	—	—	P414	IRQ9	—	GTIOC0B	—	—	SEG14	—
19	G8	—	—	—	—	—	P413	—	—	GTOUUP	—	—	SEG15	—
20	G9	—	—	—	—	—	P412	—	CTS3	GTOULO/AGTEE1	—	—	SEG16	—
21	F12	H2	12	C7	—	—	P411	IRQ4	CTS3_RTS3/SS3	GTOVUP/AGTOA1	—	—	VL1	—
22	G12	F3	13	C6	—	—	P410	IRQ5	SCK3	GTOVLO/AGTOB1	—	—	VL2	—
23	E12	G2	14	B7	10	—	P409	IRQ6	TXD3/SDA3/MOSI3/ USB_EXICEN	GTOVUP	—	—	VL4	—
24	D12	F2	15	B6	11	—	P408	IRQ7	CTS4_RTS4/SS4/RXD3/SCL3/ MISO3/USB_ID	GTOWLO/ GTIOC2B/RTCIC0	—	—	VL3	—
25	B13	H1	16	A8	12	—	P407	—	CTS4/USB_VBUS	GTIOC2A/AGTIO0/ RTCOUT	ADTRG0	—	SEG17	—
26	A10	G1	17	E1	13	VSS_USB	—	—	—	—	—	—	—	—
27	A13	E2	18	A7	14	USB_DM	P815	—	TxDA1	—	—	—	—	—
28	A12	E1	19	A6	15	USB_DP	P814	—	RxDA1	—	—	—	—	—
29	A9	F1	20	D1	16	VCC_USB	—	—	—	—	—	—	—	—
30	B12	F5	21	D6	17	—	P207	—	TXD4/SDA4/MOSI4/ USB_OVRCURB/QSSL	GTIOC3A	—	—	CAPH	—
31	C12	E3	22	E6	18	—	P206	IRQ0	RXD4/SCL4/MISO4/ USB_VBUSEN	GTIU/GTIOC3B	—	—	CAPL	—
32	B11	E4	23	C5	—	CLKOUT	P205	IRQ1	SCK4/USB_OVRCURA	GTIV/GTIOC4A/ AGTO1	—	—	COM0	—
33	A8	—	—	—	—	—	P204	—	CTS4_RTS4/SS4/SSLA0_A/ QSPCLK	GTIU	—	—	SEG18	—
34	B10	—	—	—	—	—	P211	—	MOSIA_A/QIO0	GTIV	—	—	SEG19	—
35	B9	—	—	—	—	—	P210	—	MISOA_A/QIO1	GTIW	—	—	SEG20	—
36	B8	—	—	—	—	—	P209	—	RSPCKA_A/QIO2	GTOVUP	—	—	SEG21	—
37	C8	D1	24	A5	—	—	P208	IRQ12	QIO3	GTOVLO	—	—	COM1	—
38	B7	D2	25	B5	19	RES	—	—	—	—	—	—	—	—
39	B6	D3	26	D5	20	MD	P201	—	—	—	—	—	—	—

表 1.16 端子一覧 (2/3)

LQFP100	BGA100	WLCSP72	LQFP64	BGA64	LQFP48/ QFN48	電源、システム、 クロック、デバ ッグ、 CAC	I/O ポ ート	外部割り込 み	SCI/IC/I3C/CANFD/ USBFS/SPI/QSPI/UART/ SSIE	GPT/AGT/RTC	ADC12/ DAC12	ACMPLP	SLCDC	CTSU
40	C6	E5	27	B4	21	—	P200	NMI	—	—	—	—	—	—
41	F8	—	—	—	—	—	P307	—	—	GTOUUP	—	—	SEG22	—
42	E7	—	—	—	—	—	P306	—	TxDA0	GTOULO	—	—	SEG23	—
43	F7	—	—	—	—	—	P305	IRQ8	RxDA0	GTOUUP	—	—	SEG24	—
44	B5	C1	28	A4	—	—	P304	IRQ9	CTS5_RTS5/SS5/CLKA0	GTOWLO/GTIOC3A	—	—	COM2	—
45	A7	—	—	—	—	VSS	—	—	—	—	—	—	—	—
46	A6	—	—	—	—	VCC	—	—	—	—	—	—	—	—
47	B4	C2	29	B3	—	—	P303	—	SCK5	GTIOC3B	—	—	COM3	—
48	A5	C3	30	A3	22	—	P302	IRQ5	TXD5/SDA5/MOSI5/SCL0_A/ SSLA3_B	GTOUUP/GTIOC4A	ADTRG0	—	SEG25	—
49	A4	D4	31	B2	23	—	P301	IRQ6	RXD5/SCL5/MISO5/SDA0_A/ SSLA2_B	GTOULO/GTIOC4B/ AGTIO0	—	—	SEG26	—
50	A2	B1	32	A2	24	SWCLK	P300	—	CTS5/SSLA1_B	GTOUUP/GTIOC0A	—	—	SEG27	—
51	A1	A1	33	A1	25	SWDIO	P108	—	CTS9_RTS9/SS9/SSLA0_B	GTOULO/GTIOC0B	—	—	SEG28	—
52	B2	B2	34	B1	26	CLKOUT	P109	—	TXD9/SDA9/MOSI9/MOSIA_B	GTOUUP/GTIOC1A	—	—	COM4/SEG0	—
53	B1	C4	35	C4	27	—	P110	IRQ3	RXD9/SCL9/MISO9/MISOA_B	GTOVLO/GTIOC1B	—	—	COM5/SEG1	—
54	B3	B3	36	C3	28	—	P111	IRQ4	SCK9/RSPCKA_B	—	—	VCOU	COM6/SEG2	—
55	C2	A2	37	C2	29	—	P112	—	CTS9_RTS9/SS9/SSLA0_B/ QSSL	—	—	—	COM7/SEG3	—
56	D1	B4	38	D4	—	—	P113	—	SSIBCK0_B	—	—	—	SEG29	—
57	D2	A3	—	D3	—	—	P114	—	CTS9/SSILRCK0_B/SSIFS0_B	—	—	—	SEG30	—
58	E1	C5	—	D2	—	—	P115	—	TXD1/SDA1/MOSI1/TXD1/ SIOX1/SSIRXD0_B	GTIOC4A	—	—	SEG31	—
59	E2	B5	—	C1	—	—	P608	—	RXD1/SCL1/MISO1/RXD1/ SSITXD0_B	GTIOC4B	—	—	SEG32	—
60	F6	—	—	—	—	—	P609	—	SCK1	GTIOC5A	—	—	SEG33	—
61	G5	—	—	—	—	—	P610	—	CTS1_RTS1/SS1	GTIOC5B	—	—	SEG34	—
62	F1	A4	39	—	30	VCC	—	—	—	—	—	—	—	—
63	G1	A5	40	—	31	VSS	—	—	—	—	—	—	—	—
64	H1	A6	41	F1	32	VCL	—	—	—	—	—	—	—	—
65	G6	—	—	—	—	—	P602	—	—	—	—	—	SEG35	—
66	H6	—	—	—	—	—	P601	—	—	GTIOC2A	—	—	SEG36	—
67	H7	—	—	—	—	CACREF/ CLKOUT	P600	—	—	GTIOC2B	—	—	SEG37	—
68	H2	—	—	F2	—	—	P107	—	—	AGTOA0	—	—	SEG38	—
69	H3	B6	42	E2	—	—	P106	—	CTS3	GTETRGD/AGTOB0	—	—	SEG39	—
70	F3	C6	43	E3	—	—	P105	IRQ0	CTS3_RTS3/SS3	GTETRGA/ GTIOC1A	—	—	SEG40	—
71	J7	C7	44	F3	—	—	P104	IRQ1	SCK3/QSPCLK	GTETRGB/ GTIOC1B	—	—	SEG41	—
72	J1	A7	45	E4	33	—	P103	—	CTS0_RTS0/SS0/TXD3/SDA3/ MOSI3/CRX0/QIO2	GTOUUP	—	CMPREF1	SEG42	TS0
73	K1	A8	46	E5	34	—	P102	—	SCK0/RXD3/SCL3/MISO3/ CTX0/QIO3	GTOWLO/AGTO0	ADTRG0	CMPIN1	SEG43	TS1
74	M1	B7	47	G1	35	—	P101	IRQ1	TXD0/SDA0/MOSI0/SCL0_B/ QIO0	GTETRGB/ GTIOC5A/AGTEE0	—	CMPREF0	SEG44	TS2
75	N1	A9	48	H1	36	—	P100	IRQ2	RXD0/SCL0/MISO0/SDA0_B/ QIO1	GTETRGA/ GTIOC5B/AGTIO0	—	CMPIN0	SEG45	TS3
76	M3	B8	49	H2	37	CACREF	P500	—	CTS0/USB_VBUSEN/QSPCLK	GTIU/AGTOA0	AN021	VCOU	SEG46	TSCAP
77	N2	B9	—	—	—	—	P501	IRQ11	USB_OVRCURA/QSSL	GTIU/AGTOB0	—	—	SEG47	TS4
78	M2	—	—	—	—	—	P502	IRQ12	USB_OVRCURB/QIO0	GTIW	—	—	SEG48	TS5
79	L2	—	—	—	—	—	P503	—	USB_EXICEN/QIO1	GTETRGC	—	—	SEG49	TS6
80	K2	—	—	—	—	—	P504	—	USB_ID/QIO2	GTETRGD	—	—	SEG50	TS7
81	J2	—	—	—	—	—	P505	IRQ14	QIO3	—	—	VCOU	SEG51	—

表 1.16 端子一覧 (3/3)

LQFP100	BGA100	WLCSP72	LQFP64	BGA64	LQFP48/ QFN48	電源、システム、 クロック、デバ ッグ、 CAC	I/O ポ ート	外部割り込 み	SCI/IIC/I3C/CANFD/ USBFS/SPI/QSPI/UART/ SSIE	GPT/AGT/RTC	ADC12/ DAC12	ACMPLP	SLCDC	CTSU
82	F2	C8	50	—	—	VCC	—	—	—	—	—	—	—	—
83	G2	C9	51	—	—	VSS	—	—	—	—	—	—	—	—
84	N4	D6	52	H3	38	—	P506	IRQ13	TXD5/SDA5/MOSI5	GTIOC4A	AN020	—	—	TS8
85	M4	D7	53	G2	39	—	P507	—	RXD5/SCL5/MISO5/CLKA0	GTIOC4B	AN019	—	—	TS9
86	M5	D8	54	G3	40	—	P508	—	CTS5_RTS5/SS5/TxDA0	—	AN018	—	—	TS10
87	N5	D9	55	F4	41	EXLVD	P509	—	SCK5/RxDA0	—	AN017	—	—	TS11
88	L6	D5	—	—	—	—	P510	—	TXD9/SDA9/MOSI9	—	AN025	—	—	—
89	M6	—	—	—	—	—	P511	—	RXD9/SCL9/MISO9/CLKA1	—	AN024	—	—	—
90	N6	—	—	—	—	—	P512	—	CTS9_RTS9/SS9/TxDA1	—	AN023	—	—	—
91	L8	—	—	—	—	—	P513	—	SCK9/RxDA1	—	AN022	—	—	—
92	M7	E8	56	H4	42	AVCC0	—	—	—	—	—	—	—	—
93	M8	E9	57	G4	43	AVSS0	—	—	—	—	—	—	—	—
94	N8	F8	58	H5	44	VREFLO	P011	IRQ11	—	—	AN004	—	—	—
95	N7	F9	59	H6	45	VREFH0	P010	IRQ10	—	—	AN003	—	—	—
96	N9	E7	60	G5	46	—	P004	IRQ9	—	—	AN002/DA0	—	—	—
97	M9	F7	61	G6	47	—	P003	—	—	—	AN001	—	—	—
98	M10	G9	62	F5	48	—	P002	IRQ8	—	—	AN000	—	—	—
99	N10	G8	63	H7	—	—	P001	IRQ7	—	—	AN006	—	—	—
100	M11	G7	64	G7	—	—	P000	IRQ6	—	—	AN005	—	—	—
—	—	G5	—	—	—	VSS	—	—	—	—	—	—	—	—
—	—	G6	—	—	—	VSS	—	—	—	—	—	—	—	—
—	—	F4	—	—	—	VSS	—	—	—	—	—	—	—	—

2. 電気的特性

この電気的特性は、QFP/QFN のみに関するものです。BGA/WLCSP は開発中です。
特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

VCC (注1) = $AVCC0$ = VCC_USB = 1.6~3.6 V、 $VREFH0$ = 1.6 V~ $AVCC0$

VSS = $AVSS0$ = $VREFL0$ = VSS_USB = 0 V, T_a = T_{opr}

注 1. 通常は VCC = 3.3 V に設定されています。

図 2.1 は、タイミング条件を示しています。

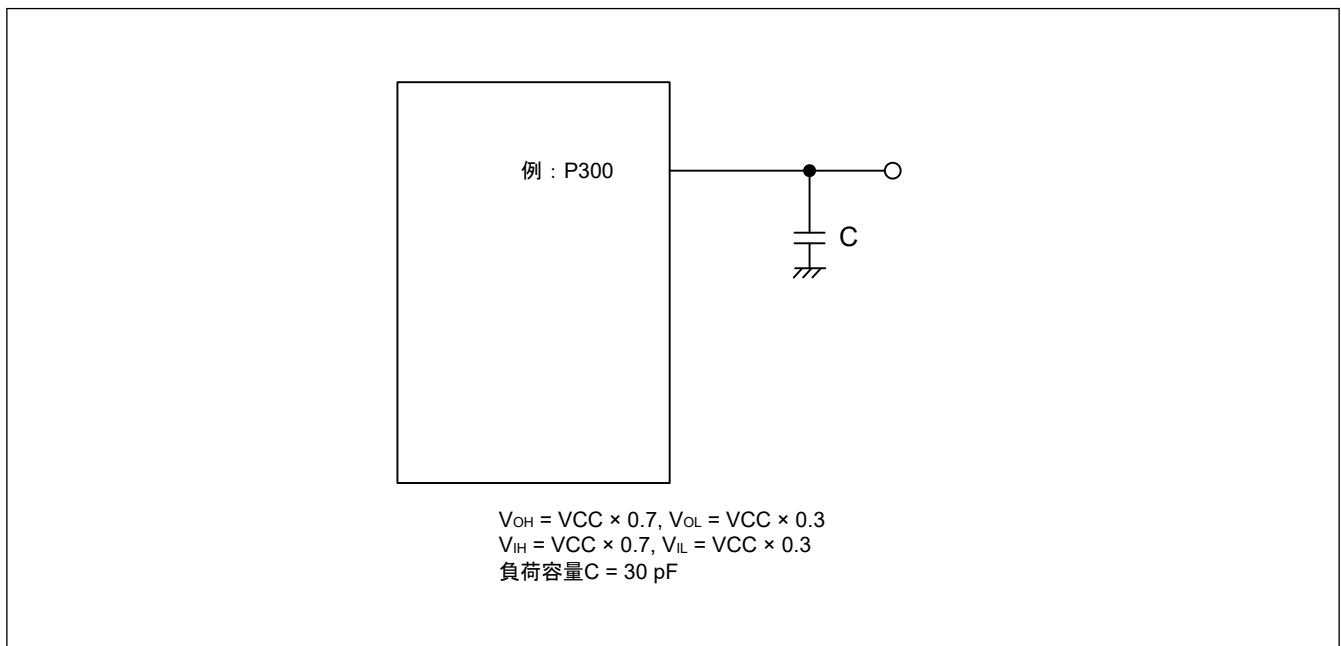


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

2.1 絶対最大定格

表 2.1 絶対最大定格

項目	シンボル	値	単位
電源電圧	VCC , VCC_USB (注2)	-0.5~+4.0	V
入力電圧	5V トレラントポート(注1)	V_{in}	-0.3~+6.5
	P000~P004、P010、P011	V_{in}	-0.3~ $AVCC0 + 0.3$
	その他	V_{in}	-0.3~ $VCC + 0.3$
リファレンス電源電圧	$VREFH0$	-0.3~+4.0	V
アナログ電源電圧	$AVCC0$ (注2)	-0.5~+4.0	V
アナログ入力電圧	AN000~AN006 使用時	V_{AN}	-0.3~ $AVCC0 + 0.3$
	AN017~AN025 使用時		-0.3~ $VCC + 0.3$
動作温度(注3) (注4)	T_{opr}	-40~+105 -40~+125	°C
保存温度	T_{stg}	-55~+140	°C

注 1. P301、P302、P400、P401、P407 は 5V トレラント対応ポートです。
デバイスの電源が切れている状態で信号や I/O ブルアップ電源を入力しないでください。信号または I/O ブルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部素子を劣化させる恐れがあります。

- 注 2. AVCC0 および VCC_USB を VCC に接続してください。
 注 3. 「2.2.1. Tj/Ta の定義」を参照してください。
 注 4. 動作温度の上限は、105 °C または 125 °C です（製品による）。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC12 の高電位基準電圧に選択されている場合にノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VREFH0 端子と VREFL0 端子の間には周波数の良いコンデンサを挿入してください。各電源端子になるべく近い場所に以下の値のコンデンサを配置し、最も短く重いトレースを使用してください。

- VCC と VSS : 約 0.1 μ F
- AVCC0 と AVSS0 : 約 0.1 μ F
- VREFH0 と VREFL0 : 約 0.1 μ F

また、コンデンサは安定容量として接続してください。

VCL 端子と VCL0 端子は、4.7 μ F のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 2.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位	
電源電圧	VCC(注1)(注2)	USB 未使用時	1.6	—	3.6	V
		USB 使用時	3.0	—	3.6	V
	VSS	—	0	—	V	
USB 電源電圧	VCC_USB	—	VCC	—	V	
	VSS_USB	—	0	—	V	
アナログ電源電圧	AVCC0(注1)(注2)	1.6	—	3.6	V	
	AVSS0	—	0	—	V	
	VREFH0	ADC12 基準として使用時	1.6	—	AVCC0	V
	VREFL0		—	0	—	V

注 1. 下記の条件で AVCC0 と VCC を使用してください：

AVCC0 = VCC

注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。
 VCC 端子および AVCC0 端子の電源供給を停止する場合、両方同時に電源供給を停止するか、最初に AVCC0 端子、次に VCC 端子の順番で電源供給を停止してください。

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.3 DC 特性

条件：動作温度 (Ta) が -40 ~ +125 °C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	140	°C	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード
			105(注1)		

注. $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。

注 1. 動作温度の上限は、105 °C または 125 °C です（製品による）。型名が動作温度の上限 85 °C を示している場合、Tj の最大値は 105 °C になります。それ以外の場合 140 °C になります。

2.2.2 I/O V_{IH} , V_{IL} 表 2.4 I/O V_{IH} , V_{IL} 条件 : $V_{CC} = AV_{CC0} = 1.6 \sim 3.6 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件	
シュミットトリガ入力電圧	IIC (SDA0_A, SCL0_A)/I3C (SMBus を除く) (注1)	V_{IH}	$V_{CC} \times 0.7$	—	5.8	V	—	
		V_{IL}	—	—	$V_{CC} \times 0.3$			
		ΔV_T	$V_{CC} \times 0.10$	—	—			—
			$V_{CC} \times 0.05$	—	—			
	RES、NMI、IIC (SDA0_A, SCL0_A)/I3C を除くその他の周辺入力端子	V_{IH}	$V_{CC} \times 0.8$	—	—		—	
		V_{IL}	—	—	$V_{CC} \times 0.2$			
		ΔV_T	$V_{CC} \times 0.10$	—	—			—
			$V_{CC} \times 0.05$	—	—			
シュミットトリガ入力端子を除く入力電圧	IIC/I3C (SMBus) ^(注2)	V_{IH}	2.0	—	—	—	VCC = 2.7 V~3.6 V	
		V_{IL}	—	—	0.5		VCC = 1.6 V~2.7 V	
	5 V トレラント対応ポート ^(注3)	V_{IH}	$V_{CC} \times 0.8$	—	5.8		—	
		V_{IL}	—	—	$V_{CC} \times 0.2$			
	P000~P004、P010、P011	V_{IH}	$AV_{CC0} \times 0.8$	—	—		—	
		V_{IL}	—	—	$AV_{CC0} \times 0.2$			
	P000~P004、P010、P011 を除く入力ポート端子	V_{IH}	$V_{CC} \times 0.8$	—	—		—	
		V_{IL}	—	—	$V_{CC} \times 0.2$			
								VCC = 2.7 V~3.6 V
								VCC = 1.6 V~2.7 V
								VCC = 1.8~3.6 V
								VCC = 1.8~3.6 V

注 1. SCL0_A、SDA0_A、I3C_SCL、I3C_SDA (合計 4 端子)

注 2. SCL0_A、SDA0_A、SCL0_B、SDA0_B、I3C_SCL、I3C_SDA (合計 6 端子)

注 3. P400、P401、P407、P301、P302 (合計 5 端子)

2.2.3 I/O I_{OH} , I_{OL} 表 2.5 I/O I_{OH} , I_{OL} (1/8)条件 : $V_{CC} = AV_{CC0} = 1.6 \sim 3.6 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (端子ごとの平均値)	I_{OH}	—	—	-4.0	mA	
	I_{OL}	—	—	8.0	mA	
許容出力電流 (端子ごとの最大値)	I_{OH}	—	—	-4.0	mA	
	I_{OL}	—	—	8.0	mA	

表 2.5 I/O I_{OH} , I_{OL} (2/8)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (全端子の最大値) (注1)	全製品共通	ポート P000~P004、P010、P011 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	AVCC0 = 2.7~3.6 V
				—	—	-8	mA	AVCC0 = 1.8~2.7 V
				—	—	-4	mA	AVCC0 = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	50	mA	AVCC0 = 2.7~3.6 V
				—	—	4	mA	AVCC0 = 1.8~2.7 V
				—	—	2	mA	AVCC0 = 1.6~1.8 V
		ポート P212、P213 の合計	ΣI_{OH}	—	—	-8.0	mA	VCC = 2.7~3.6 V
				—	—	-2	mA	VCC = 1.8~2.7 V
				—	—	-1	mA	VCC = 1.6~1.8 V
			ΣI_{OL}	—	—	16.0	mA	VCC = 2.7~3.6 V
				—	—	1.2	mA	VCC = 1.8~2.7 V
				—	—	0.6	mA	VCC = 1.6~1.8 V
	100 ピン QFP、100 ピン BGA(注2)	ポート P400~P415、P700、P708 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~3.6 V
				—	—	-8	mA	VCC = 1.8~2.7 V
				—	—	-4	mA	VCC = 1.6~1.8 V
$\Sigma I_{OL} (max)$			—	—	50	mA	VCC = 2.7~3.6 V	
			—	—	4	mA	VCC = 1.8~2.7 V	
			—	—	2	mA	VCC = 1.6~1.8 V	

表 2.5 I/O I_{OH} , I_{OL} (3/8)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件			
許容出力電流 (全端子の最大値) (注1)	100 ピン QFP, 100 ピン BGA(注2)	ポート P204~P211, P814, P815 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~3.6 V	
				—	—	-8	mA	VCC = 1.8~2.7 V	
				—	—	-4	mA	VCC = 1.6~1.8 V	
			$\Sigma I_{OL} (max)$	—	—	50	mA	VCC = 2.7~3.6 V	
				—	—	4	mA	VCC = 1.8~2.7 V	
				—	—	2	mA	VCC = 1.6~1.8 V	
			ポート P108~P112, P201, P300~P307 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~3.6 V
					—	—	-8	mA	VCC = 1.8~2.7 V
					—	—	-4	mA	VCC = 1.6~1.8 V
	$\Sigma I_{OL} (max)$	—		—	50	mA	VCC = 2.7~3.6 V		
		—		—	4	mA	VCC = 1.8~2.7 V		
		—		—	2	mA	VCC = 1.6~1.8 V		
	ポート P100~P107, P113~P115, P600~P603, P608~P610 の合計	ΣI_{OH}		—	—	-30	mA	VCC = 2.7~3.6 V	
				—	—	-8	mA	VCC = 1.8~2.7 V	
				—	—	-4	mA	VCC = 1.6~1.8 V	
		ΣI_{OL}	—	—	50	mA	VCC = 2.7~3.6 V		
			—	—	4	mA	VCC = 1.8~2.7 V		
			—	—	2	mA	VCC = 1.6~1.8 V		
		ポート P500~P513 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~3.6 V	
				—	—	-8	mA	VCC = 1.8~2.7 V	
				—	—	-4	mA	VCC = 1.6~1.8 V	
	$\Sigma I_{OL} (max)$		—	—	50	mA	VCC = 2.7~3.6 V		
			—	—	4	mA	VCC = 1.8~2.7 V		
			—	—	2	mA	VCC = 1.6~1.8 V		
全出力端子の総和	$\Sigma I_{OH} (max)$		—	—	-100	mA			
	$\Sigma I_{OL} (max)$		—	—	100	mA			

表 2.5 I/O I_{OH} , I_{OL} (4/8)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件		
許容出力電流 (全端子の最大値) (注1)	72 ピン WLCSP(注2) ポート P400~ P402、P407~ P411、P700 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~ 3.6 V	
			—	—	-8	mA	VCC = 1.8~ 2.7 V	
			—	—	-4	mA	VCC = 1.6~ 1.8 V	
		ΣI_{OL} (max)	—	—	50	mA	VCC = 2.7~ 3.6 V	
			—	—	4	mA	VCC = 1.8~ 2.7 V	
			—	—	2	mA	VCC = 1.6~ 1.8 V	
		ポート P201、 P205~P208、 P303、P304、 P814、P815 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~ 3.6 V
				—	—	-8	mA	VCC = 1.8~ 2.7 V
				—	—	-4	mA	VCC = 1.6~ 1.8 V
	ΣI_{OL} (max)		—	—	50	mA	VCC = 2.7~ 3.6 V	
			—	—	4	mA	VCC = 1.8~ 2.7 V	
			—	—	2	mA	VCC = 1.6~ 1.8 V	
	ポート P300~ P302、P108~ P115 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~ 3.6 V	
			—	—	-8	mA	VCC = 1.8~ 2.7 V	
			—	—	-4	mA	VCC = 1.6~ 1.8 V	
		ΣI_{OL} (max)	—	—	50	mA	VCC = 2.7~ 3.6 V	
			—	—	4	mA	VCC = 1.8~ 2.7 V	
			—	—	2	mA	VCC = 1.6~ 1.8 V	

表 2.5 I/O I_{OH}, I_{OL} (5/8)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件		
許容出力電流 (全端子の最大値) (注1)	72 ピン WLCSP(注2) ポート P100~P104、P500、P501、P506~P510 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~3.6 V	
			—	—	-8	mA	VCC = 1.8~2.7 V	
			—	—	-4	mA	VCC = 1.6~1.8 V	
		ΣI_{OL} (max)	—	—	50	mA	VCC = 2.7~3.6 V	
			—	—	4	mA	VCC = 1.8~2.7 V	
			—	—	2	mA	VCC = 1.6~1.8 V	
		全出力端子の総和	ΣI_{OH} (max)	—	—	-60	mA	
			ΣI_{OL} (max)	—	—	100	mA	
		64 ピン LQFP	ポート P400~P402、P407~P411、P700 の合計	ΣI_{OH} (max)	—	—	-30	mA
	—				—	-8	mA	VCC = 1.8~2.7 V
	—				—	-4	mA	VCC = 1.6~1.8 V
	ΣI_{OL} (max)			—	—	50	mA	VCC = 2.7~3.6 V
				—	—	4	mA	VCC = 1.8~2.7 V
				—	—	2	mA	VCC = 1.6~1.8 V
	ポート P201、P205~P208、P303、P304、P814、P815 の合計		ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~3.6 V
				—	—	-8	mA	VCC = 1.8~2.7 V
				—	—	-4	mA	VCC = 1.6~1.8 V
			ΣI_{OL} (max)	—	—	50	mA	VCC = 2.7~3.6 V
—				—	4	mA	VCC = 1.8~2.7 V	
—				—	2	mA	VCC = 1.6~1.8 V	

表 2.5 I/O I_{OH}, I_{OL} (6/8)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (全端子の最大値) (注1)	64 ピン LQFP	ポート P300~P302、P108~P113 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~3.6 V
				—	—	-8	mA	VCC = 1.8~2.7 V
				—	—	-4	mA	VCC = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	50	mA	VCC = 2.7~3.6 V
				—	—	4	mA	VCC = 1.8~2.7 V
				—	—	2	mA	VCC = 1.6~1.8 V
		ポート P100~P104、P500、P506~P509 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~3.6 V
				—	—	-8	mA	VCC = 1.8~2.7 V
				—	—	-4	mA	VCC = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	50	mA	VCC = 2.7~3.6 V
				—	—	4	mA	VCC = 1.8~2.7 V
				—	—	2	mA	VCC = 1.6~1.8 V
	全出力端子の総和	$\Sigma I_{OH} (max)$	—	—	-60	mA		
		$\Sigma I_{OL} (max)$	—	—	100	mA		
	64 ピン BGA(注2)	ポート P400~P402、P407~P411、P700 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~3.6 V
				—	—	-8	mA	VCC = 1.8~2.7 V
				—	—	-4	mA	VCC = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	50	mA	VCC = 2.7~3.6 V
				—	—	4	mA	VCC = 1.8~2.7 V
				—	—	2	mA	VCC = 1.6~1.8 V
				—	—	2	mA	VCC = 1.6~1.8 V

表 2.5 I/O I_{OH} , I_{OL} (7/8)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件		
許容出力電流 (全端子の最大値) (注1)	64 ピン BGA(注2) ポート P201、P205~P208、P303、P304、P814、P815 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~3.6 V	
			—	—	-8	mA	VCC = 1.8~2.7 V	
			—	—	-4	mA	VCC = 1.6~1.8 V	
		ΣI_{OL} (max)	—	—	50	mA	VCC = 2.7~3.6 V	
			—	—	4	mA	VCC = 1.8~2.7 V	
			—	—	2	mA	VCC = 1.6~1.8 V	
		ポート P300~P302、P108~P115 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~3.6 V
				—	—	-8	mA	VCC = 1.8~2.7 V
				—	—	-4	mA	VCC = 1.6~1.8 V
	ΣI_{OL} (max)		—	—	50	mA	VCC = 2.7~3.6 V	
			—	—	4	mA	VCC = 1.8~2.7 V	
			—	—	2	mA	VCC = 1.6~1.8 V	
	ポート P100~P104、P500、P506~P509 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~3.6 V	
			—	—	-8	mA	VCC = 1.8~2.7 V	
			—	—	-4	mA	VCC = 1.6~1.8 V	
		ΣI_{OL} (max)	—	—	50	mA	VCC = 2.7~3.6 V	
			—	—	4	mA	VCC = 1.8~2.7 V	
			—	—	2	mA	VCC = 1.6~1.8 V	
	全出力端子の総和	ΣI_{OH} (max)	—	—	-60	mA		
		ΣI_{OL} (max)	—	—	100	mA		

表 2.5 I/O I_{OH} , I_{OL} (8/8)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	Min	Typ	Max	単位	測定条件	
許容出力電流 (全端子の最大値) (注1)	48 ピン製品	ポート P400、P401、P407~P409、P814、P815 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~3.6 V
				—	—	-8	mA	VCC = 1.8~2.7 V
				—	—	-4	mA	VCC = 1.6~1.8 V
			ΣI_{OL} (max)	—	—	50	mA	VCC = 2.7~3.6 V
				—	—	4	mA	VCC = 1.8~2.7 V
				—	—	2	mA	VCC = 1.6~1.8 V
		ポート P108~P112、P201、P206、P207、P300~P302 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~3.6 V
				—	—	-8	mA	VCC = 1.8~2.7 V
				—	—	-4	mA	VCC = 1.6~1.8 V
	ΣI_{OL} (max)		—	—	50	mA	VCC = 2.7~3.6 V	
			—	—	4	mA	VCC = 1.8~2.7 V	
			—	—	2	mA	VCC = 1.6~1.8 V	
	ポート P100~P103、P500、P506~P509 の合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 2.7~3.6 V	
			—	—	-8	mA	VCC = 1.8~2.7 V	
			—	—	-4	mA	VCC = 1.6~1.8 V	
		ΣI_{OL} (max)	—	—	50	mA	VCC = 2.7~3.6 V	
			—	—	4	mA	VCC = 1.8~2.7 V	
			—	—	2	mA	VCC = 1.6~1.8 V	
	全出力端子の総和	ΣI_{OH} (max)	—	—	-60	mA		
		ΣI_{OL} (max)	—	—	100	mA		

注 1. デューティ比 $\leq 70\%$ の条件下での仕様です。
 デューティ比 $> 70\%$ の場合、出力電流値は次式で計算できます (デューティ比を 70% から n% に変更するとき)。

$$\text{端子の合計出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<例> n = 80% で、 $I_{OH} = -30.0$ mA のとき

$$\text{端子の合計出力電流} = (-30.0 \times 0.7) / (80 \times 0.01) \approx -26.2 \text{ mA}$$

ただし、1つの端子に入力可能な電流はデューティ比によって変化しません。

注 2. 仕様は暫定的なもので、変更されることがあります。

【使用上の注意】 MCU の信頼性を確保するため、出力電流値は表 2.5 の値を超えないようにしてください。

2.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性表 2.6 I/O V_{OH} 、 V_{OL} (1)

条件：VCC = AVCC0 = 2.7~3.6 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	P400, P401	V_{OH}	VCC - 0.27	—	—	V	$I_{OH} = -3.0$ mA
			VCC - 0.8	—	—		$I_{OH} = -4.0$ mA
	ポート P000~P004、P010、P011	V_{OH}	AVCC0 - 0.8	—	—		$I_{OH} = -4.0$ mA
	P000~P004、P010、P011、P400、P401 以外の出力端子(注1)	V_{OH}	VCC - 0.8	—	—		$I_{OH} = -4.0$ mA
	P400, P401	V_{OL}	—	—	0.27		$I_{OL} = 3.0$ mA
			—	0.4	—		$I_{OL} = 20$ mA (ICFER.FMPE = 1)
			—	—	0.8		$I_{OL} = 8.0$ mA
	P301, P302	V_{OL}	—	0.4	—		$I_{OL} = 20$ mA (ICFER.FMPE = 1)
			—	—	0.8		$I_{OL} = 8.0$ mA
	ポート P000~P004、P010、P011	V_{OL}	—	—	0.8		$I_{OL} = 8.0$ mA
P000~P004、P010、P011、P301、P302、P400、P401 以外の出力端子(注1)	V_{OL}	—	—	0.8	$I_{OL} = 8.0$ mA		

注 1. 入力ポートである P200、P214、および P215 を除きます。

表 2.7 I/O V_{OH} 、 V_{OL} (2)

条件：VCC = AVCC0 = 1.8~2.7 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000~P004、P010、P011	V_{OH}	AVCC0 - 0.5	—	—	V	$I_{OH} = -1.0$ mA
			VCC - 0.5	—	—		$I_{OH} = -1.0$ mA
	P301, P302, P400, P401	V_{OL}	—	0.4	—		$I_{OL} = 3.0$ mA
			—	0.6	—		$I_{OL} = 6.0$ mA
			—	—	0.4		$I_{OL} = 0.6$ mA
	ポート P000~P004、P010、P011	V_{OL}	—	—	0.4		$I_{OL} = 0.6$ mA
P000~P004、P010、P011、P301、P302、P400、P401 以外の出力端子(注1)	V_{OL}	—	—	0.4	$I_{OL} = 0.6$ mA		

注 1. 入力ポートである P200、P214、および P215 を除きます。

表 2.8 I/O V_{OH} 、 V_{OL} (3)

条件：VCC = AVCC0 = 1.6~1.8 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000~P004、P010、P011	V_{OH}	AVCC0 - 0.5	—	—	V	$I_{OH} = -0.5$ mA
			VCC - 0.5	—	—		$I_{OH} = -0.5$ mA
	ポート P000~P004、P010、P011	V_{OL}	—	—	0.4		$I_{OL} = 0.3$ mA
	P000~P004、P010、P011 以外の出力端子(注1)	V_{OL}	—	—	0.4		$I_{OL} = 0.3$ mA

注 1. 入力ポートである P200、P214、および P215 を除きます。

表 2.9 I/O その他の特性

条件：VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200、P214、P215	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0\text{ V}$ $V_{in} = VCC$
スリーステートリーク電流 (オフ状態)	5V トレラントポート(注1)	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0\text{ V}$ $V_{in} = 5.8\text{ V}$
	その他のポート (P200、P214、P215、および 5V トレラント対応ポートを除く)		—	—	1.0		$V_{in} = 0\text{ V}$ $V_{in} = VCC$
入力プルアップ抵抗	すべてのポート (ポート P200、P214、P215 を除く)	R_U	10	20	100	kΩ	$V_{in} = 0\text{ V}$
入力容量	P200	C_{in}	—	—	30	pF	$V_{in} = 0\text{ V}$, $f = 1\text{ MHz}$ $T_a = 25^\circ\text{C}$
	その他の入力端子		—	—	15		

注 1. P301、P302、P400、P401、および P407 (合計 5 端子)

2.2.5 動作電流とスタンバイ電流

表 2.10 High-speed モードでの電流

項目		シンボル	Typ	Max	単位	測定条件
最大動作(注1)(注2)		ICC(注3)	—	75	mA	ICLK = 80 MHz PCLKA = 80 MHz PCLKB = 40 MHz PCLKC = 40 MHz PCLKD = 80 MHz FCLK = 40 MHz
CoreMark®(注4)(注5)			20.4	—	mA	
			255	—	uA/MHz	
通常モード	すべての周辺クロックが有効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注5)		30.7	—	mA	
	すべての周辺クロックが無効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注4)(注5)		384	—	uA/MHz	
スリープモード	すべての周辺クロックが無効、かつキャッシュが無効。(注5)		13.4	—	mA	
	すべての周辺クロックが無効、かつキャッシュが無効。(注4)(注5)		168	—	uA/MHz	
BGO 動作時の増加分(注6)			22.8	—	mA	
		5.63	—	mA		
		2.74	—	mA		

注. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注. BGO 動作は含まれません。

注 1. 周辺機能にクロックが供給された状態で計測しました。

注 2. PLL 出力周波数 = 80 MHz。クロックソースは MOSC です。

注 3. ICC は、下記 (基準データ) に示すように、 $f(\text{ICLK})$ に依存します。

ICC Max. = $0.80 \times f + 9.51$ (最大動作時)

ICC Typ. = $0.15 \times f + 2.37$ (すべての周辺クロックが無効、かつキャッシュが無効のときの通常動作時)

ICC Typ. = $0.26 \times f + 3.39$ (すべての周辺クロックが有効、かつキャッシュが無効のときのスリープモード時)

注 4. PCLKA、PCLKB、PCLKC、および PCLKD は、64 分周 (1.25 MHz) に設定されています。

注 5. PLL 停止、HOCO 出力周波数 = 80 MHz

注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。

表 2.11 Middle-speed モードでの電流

項目		シンボル	Typ	Max	単位	測定条件
通常モード	すべての周辺クロックが有効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。	ICC(注1)	4.38	—	mA	ICLK = 8 MHz PCLKA = 8 MHz PCLKB = 8 MHz PCLKC = 8 MHz PCLKD = 8 MHz FCLK = 8 MHz
	すべての周辺クロックが無効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注2)		1.79	—		
スリープモード	すべての周辺クロックが有効、かつキャッシュが無効。		3.40	—		
	すべての周辺クロックが無効、かつキャッシュが無効。(注2)		0.81	—		
BGO 動作時の増加分(注3)			2			

注. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注. BGO 動作は含まれません。

注. クロックソースは MOCO です。

注 1. ICC は、下記 (基準データ) に示すように、f (ICLK) に依存します。

ICC Typ. = $0.49 \times f + 0.48$ (すべての周辺クロックが無効、かつキャッシュが無効のときの通常動作時)

注 2. PCLKA、PCLKB、PCLKC、および PCLKD は、64 分周 (125 kHz) に設定されています。

注 3. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。

表 2.12 Low-speed モードでの電流

項目		シンボル	Typ	Max	単位	測定条件
通常モード	すべての周辺クロックが有効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。	ICC(注1)	1.10	—	mA	ICLK = 1 MHz PCLKA = 1 MHz PCLKB = 1 MHz PCLKC = 1 MHz PCLKD = 1 MHz FCLK = 1 MHz
	すべての周辺クロックが無効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注2)		0.33	—		
スリープモード	すべての周辺クロックが有効、かつキャッシュが無効。		0.94	—		
	すべての周辺クロックが無効、かつキャッシュが無効。(注2)		0.22	—		

注. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注. BGO 動作は含まれません。

注. クロックソースは MOSC です。

注 1. ICC は、下記 (基準データ) に示すように、f (ICLK) に依存します。

ICC Typ. = $0.33 \times f + 0.02$ (すべての周辺クロックが無効、かつキャッシュが無効のときの通常動作時)

注 2. PCLKA、PCLKB、PCLKC、および PCLKD は、64 分周 (15.625 kHz) に設定されています。

表 2.13 Subosc-speed モードでの電流

項目		シンボル	Typ	Max	単位	測定条件
通常モード	すべての周辺クロックが有効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。	ICC	20	—	μA	ICLK = 32.768 kHz PCLKA = 32.768 kHz PCLKB = 32.768 kHz PCLKC = 32.768 kHz PCLKD = 32.768 kHz FCLK = 32.768 kHz
	すべての周辺クロックが無効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注1)		8.73	—		
スリープモード	すべての周辺クロックが有効、かつキャッシュが無効。		15	—		
	すべての周辺クロックが無効、かつキャッシュが無効。(注1)		4.26	—		

注. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注. BGO 動作は含まれません。

注. クロックソースは LOCO です。

注 1. PCLKA、PCLKB、PCLKC、および PCLKD は、64 分周 (512 Hz) に設定されています。

表 2.14 ソフトウェアスタンバイモードでの電流

項目	シンボル	Typ	Max	単位	測定条件	
すべての SRAM (0x2000_0000~0x2000_FFFF) がオン	Ta = 25 °C	ICC	1.70	—	μA	—
	Ta = 55 °C		6.00	—		
	Ta = 85 °C		21.40	—		
	Ta = 105 °C		50.00	—		
	Ta = 125 °C		117.00	—		
16KB SRAM (0x2000_0000~0x2000_3FFF) のみオン	Ta = 25 °C		1.65	—		

注. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。消費電流は、VCC に流れ込む合計電流です。

注. IWDT と LVD は動作していません。

注. RTC を動作したい場合は、表 2.15 に示す値を加算してください。

表 2.15 RTC 動作による電流の増加

項目	シンボル	Typ	Max	単位	測定条件		
LOCO(注1)	ICC	0.47	—	μA			
SOSC(注2) (通常モード)		RTC (通常動作モード)	0.89			—	SOMCR.SODRV[1:0] = 00b RCR4.ROPSEL = 0
		RTC (低消費電力クロックモード)	0.79			—	SOMCR.SODRV[1:0] = 00b RCR4.ROPSEL = 1
SOSC(注2) (低消費電力モード 3)		RTC (通常動作モード)	0.27			—	SOMCR.SODRV[1:0] = 11b RCR4.ROPSEL = 0
		RTC (低消費電力クロックモード)	0.11			—	SOMCR.SODRV[1:0] = 11b RCR4.ROPSEL = 1

注 1. 低速オンチップオシレータの電流を含みます。

注 2. サブクロック発振器の電流を含みます。

表 2.16 アナログ電流 (1/2)

項目	シンボル	Typ	Max	単位	測定条件	
アナログ電源電流	I _{AVCC0}	12 ビット A/D 変換中 (高速 A/D 変換モード時)	0.57	1	mA	—
		12 ビット A/D 変換中 (低消費電力 A/D 変換モード時)	0.24	0.8		
		12 ビット D/A 変換中(注1)	0.45	1		
		12 ビット A/D 変換および 12 ビット D/A 変換の待機時(注2)	—	4		
基準電源電流 (VREFH0)	I _{REFH0}	12 ビット A/D 変換中	—	150	μA	—
		12 ビット A/D 変換待機中	—	0.5		
温度センサ (TSN) 動作電流	I _{TSN}	110	—	μA	—	
低消費電力アナログコンパレータ (ACMPLP) の動作電流	I _{ACMPLP}	ウィンドウコンパレータ (High-speed モード)	12.5	25	μA	—
		コンパレータ (High-speed モード)	6.7	20		
		コンパレータ (Low-speed モード)	1.86	6		

表 2.16 アナログ電流 (2/2)

項目		シンボル	Typ	Max	単位	測定条件	
LCD 動作電流	外部抵抗分割方式 ^(注3)	I_{LCD} ^(注4)	0.04	—	μA	fLCD = fSUB (32.768 kHz) LCD クロック = 128 Hz (LCDC0 = 0x07) 1/3 バイアス、4 回スライス VCC = 3.0 V VL4 = 3.0 V	
			内部電圧昇圧方式	VL1 基準 VL1AMP が有効 (VLCD = 0x04)	0.59		—
			VL2 基準 VL2AMP が有効 (VLCD = 0x84)	0.48	—		μA
	容量分割方式		VCC 基準	0.3	—		μA
			VL4 基準 VL4AMP が有効	0.47	—		μA
USBFS 動作電流	ロースピード	I_{USBFS}	動作	1.36	6	mA	—
			スタンバイ	69	200	μA	—
	フルスピード		動作	1.68	8	mA	—
			スタンバイ	551	860	μA	—

- 注 1. D/A 変換の電源電流値には、基準電源電流も含まれています。
- 注 2. MCU がソフトウェアスタンバイモードまたは MSTPCRD.MSTPDRD16 (ADC120 モジュールストップビット) がモジュールストップ状態の場合
- 注 3. 外部抵抗分割法を使用する場合に外部分割抵抗に流れ込む電流を含みません。
- 注 4. セグメント機能として 20 端子を設定、および全点滅

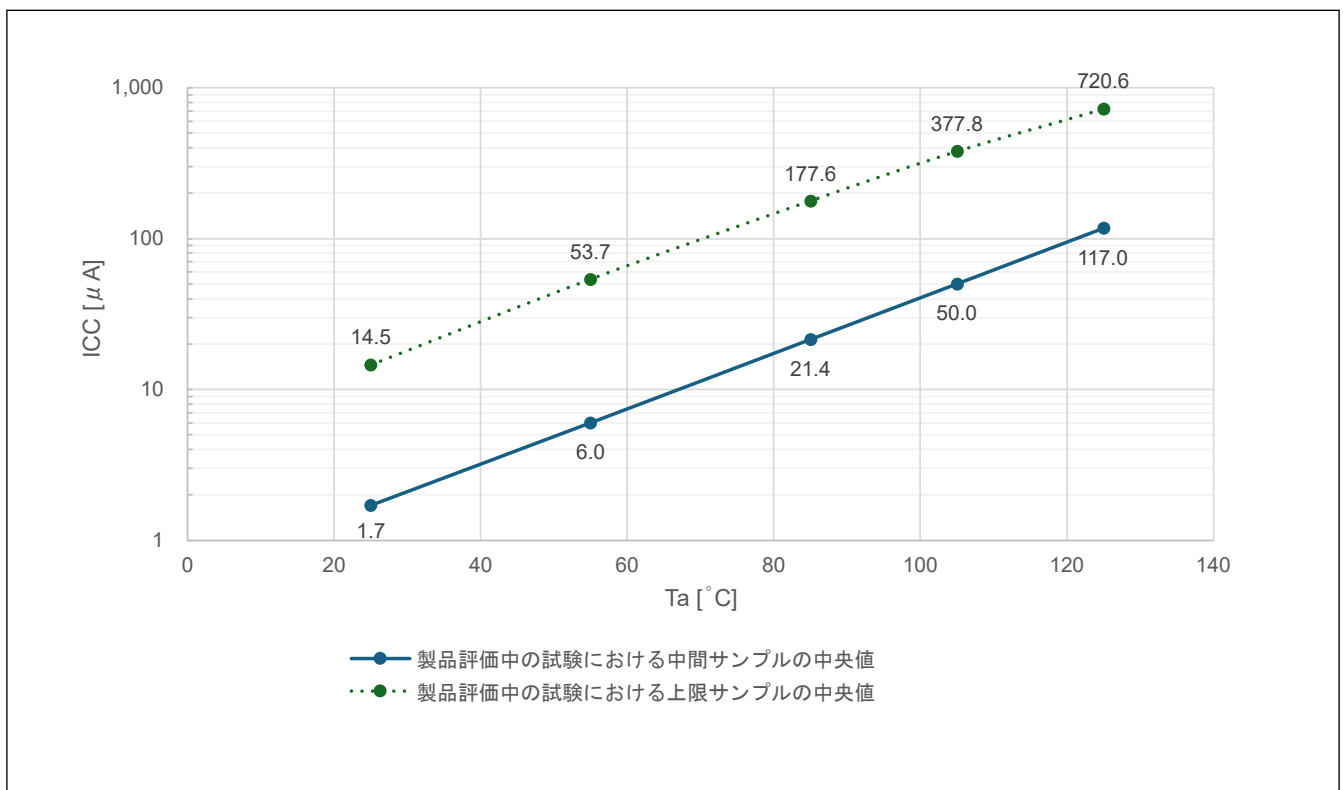


図 2.2 ソフトウェアスタンバイモードにおける温度依存性 (参考データ)

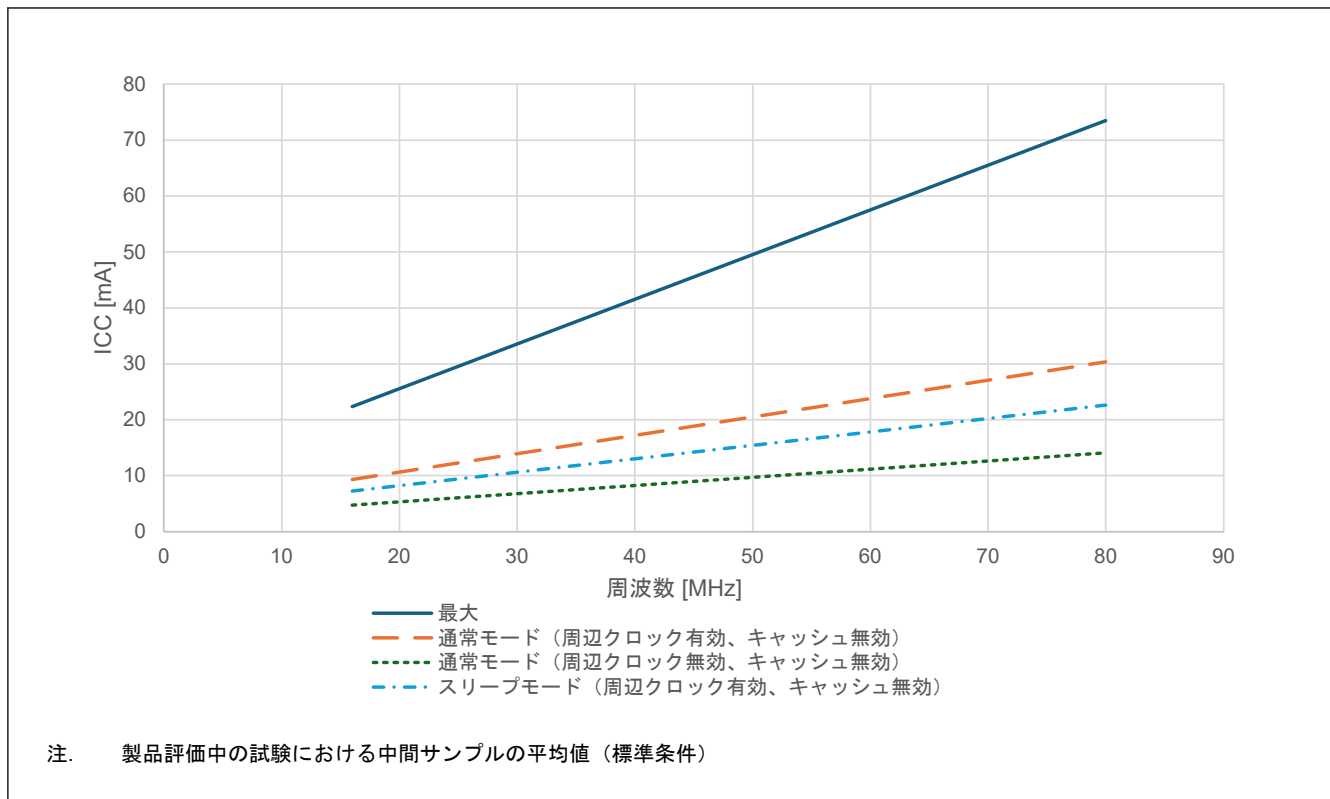


図 2.3 High-speed モードにおける周波数依存性 (参考データ)

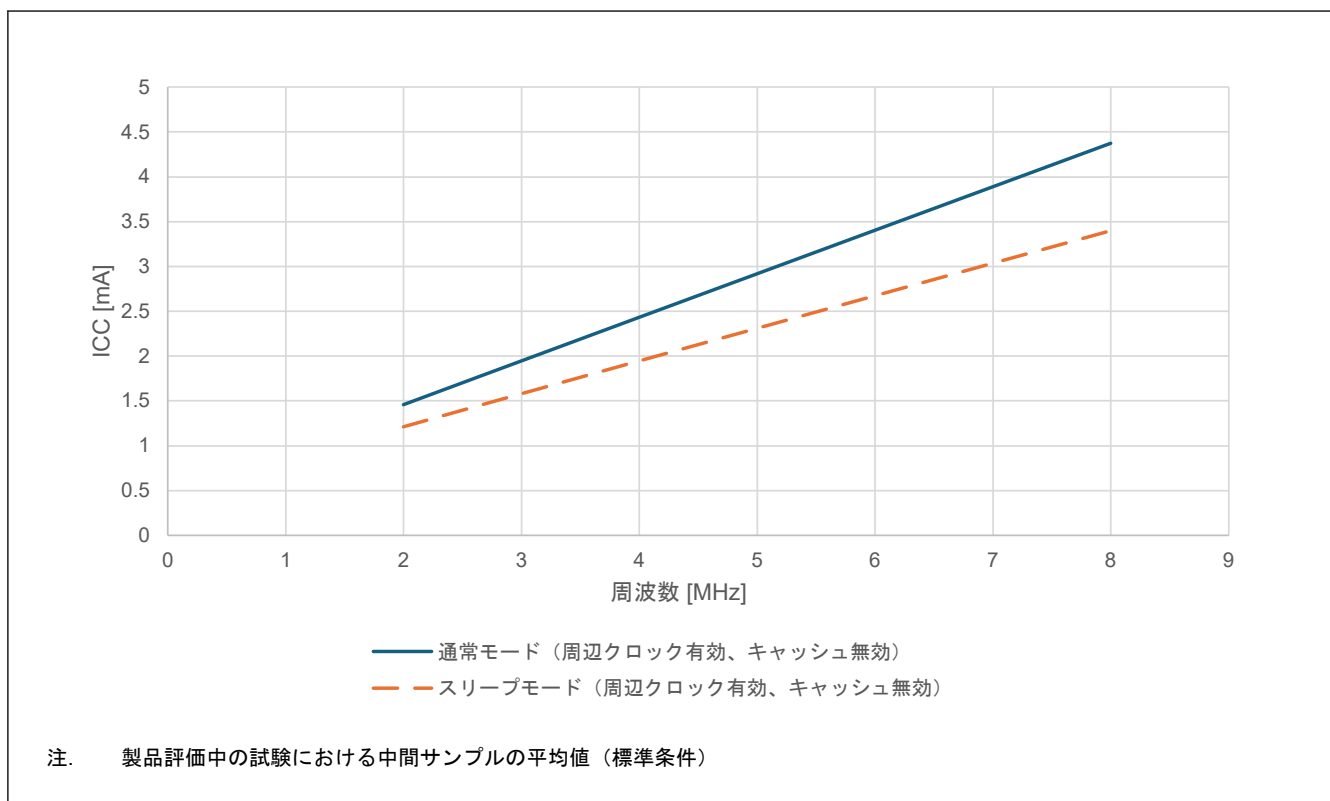


図 2.4 Middle-speed モードにおける周波数依存性 (参考データ)

2.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.17 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0~3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
電源投入時の VCC 立ち上がり 勾配	起動時電圧監視 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧監視 0 リセット有効(注1)(注2)				—		
	SCI/USB/SWD ブートモード(注2)				2		

注 1. OFS1.LVDAS = 0 のとき

注 2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 からのリセットは無効です。

表 2.18 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = 1.6~3.6 V

リップル電圧は、VCC 上限 (3.6 V) と下限 (1.6 V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。

VCC 変動が VCC±10% を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 2.5 $V_r(VCC) \leq VCC \times 0.2$
		—	—	1	MHz	図 2.5 $V_r(VCC) \leq VCC \times 0.08$
		—	—	10	MHz	図 2.5 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が VCC±10% を超える場合

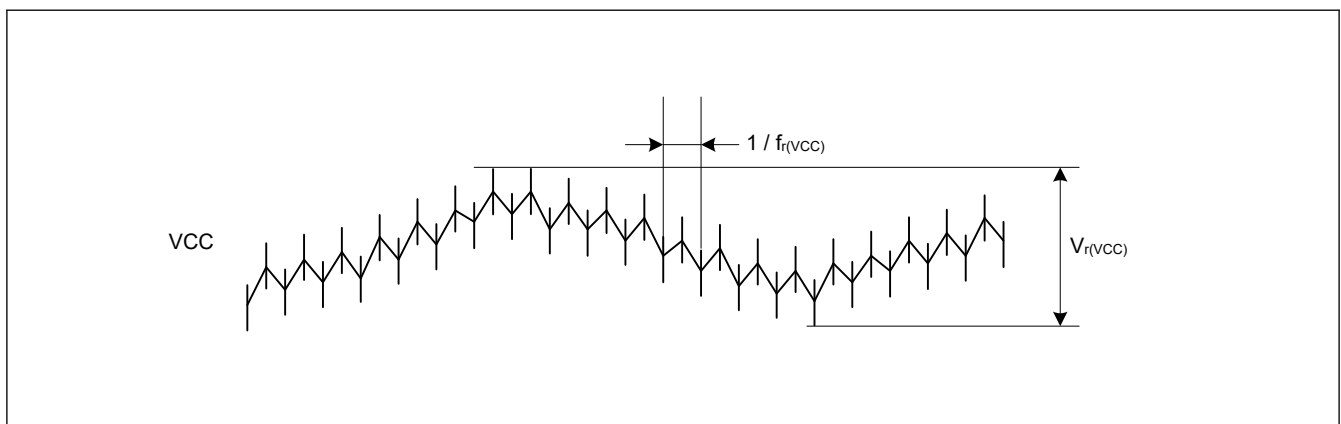


図 2.5 リップル波形

2.2.7 熱特性

ジャンクション温度 (T_j) の最大値は、「2.2.1. T_j/T_a の定義」の値を超えないようにしてください。

T_j は、以下のいずれかの式で計算されます。

- $T_j = T_a + \theta_{ja} \times \text{総消費電力}$
 - $T_j = T_t + \Psi_{jt} \times \text{総消費電力}$
- T_j : ジャンクション温度 (°C)
 T_a : 周囲温度 (°C)
 T_t : ケース上面中央部温度 (°C)
 θ_{ja} : 「ジャンクション」 - 「周囲」間の熱抵抗 (°C/W)
 Ψ_{jt} : 「ジャンクション」 - 「ケース上面中央部」間の熱抵抗 (°C/W)
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)

- IO のリーク電流 = $\Sigma (IOL \times VOL) / \text{電圧} + \Sigma (|IOH| \times |VCC - VOH|) / \text{電圧}$
- IO のダイナミック電流 = $\Sigma IO (Cin + Cload) \times IO \text{ のスイッチング周波数} \times \text{電圧}$

Cin : 入力容量

Cload : 出力容量

θ_{ja} と Ψ_{jt} については、表 2.19 を参照してください。

表 2.19 熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	48 ピン QFN	θ_{ja}	17.7	°C/W	JESD 51-2 および 51-7 準拠
	48 ピン LQFP		49.8		
	64 ピン LQFP		42.3		
	100 ピン LQFP		47.1		
	48 ピン QFN	Ψ_{jt}	0.05	°C/W	
	48 ピン LQFP		1.21		
	64 ピン LQFP		0.71		
	100 ピン LQFP		0.71		

注 1. 値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

2.2.7.1 I_{CCmax} の計算ガイド

各ユニットの消費電力を表 2.20 に示します。

表 2.20 各ユニットの消費電力 (1/2)

ダイナミック電流/ リーク電流	MCU ドメイン	カテゴリ	項目	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]
リーク電流	アナログ	LDO およびリーク (注2)	Ta = 25 °C(注3)	—	—	1.81
			Ta = 55 °C(注3)	—	—	1.87
			Ta = 75 °C(注3)	—	—	1.96
			Ta = 85 °C(注3)	—	—	2.07
			Ta = 95 °C(注3)	—	—	2.15
			Ta = 105 °C(注3)	—	—	2.34
			Ta = 115 °C(注3)	—	—	2.55
			Ta = 125 °C(注3)	—	—	2.83

表 2.20 各ユニットの消費電力 (2/2)

ダイナミック電流/ リーク電流	MCU ドメイン	カテゴリ	項目	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]	
ダイナミック電流	CPU	フラッシュおよび SRAM との動作	Coremark 動作	80	84.16	6.73	
			周辺ユニット	タイマ	GPT16 (4ch)(注4)	80	19.02
				GPT32 (2ch)(注4)	80	10.87	0.87
				POEG (4 グループ) (注4)	40	7.45	0.30
				AGT (2ch)(注4)	40	8.08	0.32
				RTC	40	3.82	0.15
				WDT	40	2.91	0.12
				IWDT	40	1.31	0.05
			通信インターフェース	USBFS	40	35.13	1.41
				SCI (6ch)(注4)	80	56.32	4.51
				Irda(注5)	80	10.49	0.84
				IIC	40	6.33	0.25
				I3C	80	30.35	2.43
				CANFD	40	19.97	0.80
				SPI	80	12.31	0.98
				QSPI	80	6.35	0.51
				SSIE	40	8.49	0.34
				UARTA (2ch)(注4)	40	16.70	0.67
			アナログ	ACMPLP (2ch)(注4)	40	3.41	0.14
				ADC12	80	8.01	0.64
				DAC12	80	2.02	0.16
			ヒューマンマシン インターフェース	CTSU2SLa	40	7.08	0.28
				SLCDC	40	9.54	0.38
			イベントリンク	ELC	40	5.25	0.21
			セキュリティ	RSIP-E04A	40	300.61	12.02
			データ処理	CRC	80	6.17	0.49
				DOC	80	0.90	0.07
			システム	CAC	40	3.24	0.13
			DMA	DMAC (1ch あたり)	80	24.96	2.00
				DTC	80	41.83	3.35

注 1. 値は設計によって保証されています。

注 2. LDO およびリークは、内部電圧レギュレータの電流と、MCU のリーク電流です。これは、Ta の温度に従って選択されます。

注 3. 電流測定のため、 $\Delta(T_j - T_a) = 20^\circ\text{C}$ とみなされます。

注 4. チャンネルごと、グループごと、またはユニットごとの消費電流を求めるには、電流[mA]をチャンネル数、グループ数、またはユニット数で割ります。

注 5. SCI の 1 チャンネルの電流を含みます。

各ユニットの動作の概要を表 2.21 に示します。

表 2.21 各ユニットの動作の概要 (1/2)

周辺機能	動作の概要
GPT	動作モードが、のこぎり波 PWM モードに設定されています。GPT が PCLKD で動作しています。

表 2.21 各ユニットの動作の概要 (2/2)

周辺機能	動作の概要
POEG	モジュールストップビットのクリアのみを行います。
AGT	AGT が PCLKB で動作しています。
RTC	RTC が LOCO で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。
USBFS	転送タイプがバルク転送に設定されています。USBFS がフルスピード転送 (12 Mbps) を使用して動作しています。
SCI	SCI がクロック同期式モードでデータを送信しています。
IrDA	SCI がクロック調歩同期式モードでデータを送信しています。IrDA はモジュールストップビットのクリアのみを行います。
IIC	通信フォーマットは I2C バスフォーマットになります。IIC がマスタモードでデータを送信しています。
I3C	通信フォーマットは I3C SDR フォーマットになります。I3C がマスタモードでデータを送信しています (5 MHz)。
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作 (4 線式) に設定されています。SPI マスタ/スレーブモードがマスタモードに設定されています。SPI が 32 ビット幅のデータを送信しています。
QSPI	QSPI がファストリード Quad I/O 命令を発行しています。
SSIE	通信モードがマスタに設定されています。システムワード長が 32 ビットに設定されています。データワード長が 20 ビットに設定されています。SSIE が I2S フォーマットを使用してデータを送信しています。
UARTA	UARTA が 8 ビット幅のデータを送信しています。
ACMPLP	ACMPLP が動作しています。
ADC12	分解能は 12 ビット精度に設定されます。データレジスタが A/D 変換値加算モードに設定されています。ADC12 がアナログ入力を連続スキャンモードで変換しています。
DAC12	DAC12 が変換結果の出力とデータレジスタ値の更新を行っています。
CTSU2SLa	CTSU が自己容量シングルスキャンモードで動作しています。
SLCDC	SLCDC は、波形 A、1/2 バイアス方式、2 タイムスライス、および外部抵抗分割方式で動作しています。
ELC	モジュールストップビットのクリアのみを行います。
RSIP-E04A	RSIP はセルフテスト動作を実行しています。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
DOC	DOC がデータ比較モードで動作しています。
CAC	測定対象クロックが PCLKB に設定されています。測定基準クロックが PCLKB に設定されています。CAC がクロック周波数精度を測定しています。
DMAC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。DMAC が SRAM0 から SRAM0 にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。DTC が SRAM0 から SRAM0 にデータを転送しています。

2.3 AC 特性

2.3.1 周波数

表 2.22 High-speed 動作モードの動作周波数

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	Min	Typ	Max(注4)	単位	
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8~3.6 V	f	0.03277	—	80(注5)	MHz
		1.6~1.8 V		0.03277	—	4	
	周辺モジュールクロック (PCLKA)	1.8~3.6 V		—	—	80(注5)	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKB)	1.8~3.6 V		—	—	40	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKC)(注3)	1.8~3.6 V		—	—	48	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKD)	1.8~3.6 V		—	—	80(注5)	
		1.6~1.8 V		—	—	4	
	FlashIF クロック (FCLK)	1.8~3.6 V		—	—	48	
		1.6~1.8 V		—	—	4	

注. ICLK が 8 MHz 未満のときは LDOCR.CHG0 に 0 を設定し、8 MHz 以上のときは 1 を設定します。

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.26 を参照してください。

注 5. これは Tj = 105 °C のときの条件です。Tj = 140 °C のときの仕様は 78 MHz。

表 2.23 Middle-speed モードの動作周波数

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	Min	Typ	Max(注4)	単位	
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8~3.6 V	f	0.03277	—	8	MHz
		1.6~1.8 V		0.03277	—	4	
	周辺モジュールクロック (PCLKA)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKB)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKC)(注3)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKD)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	
	FlashIF クロック (FCLK)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKC の下限周波数は 1 MHz です。

注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.26 を参照してください。

表 2.24 Low-speed モードの動作周波数

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	Min	Typ	Max(注4)	単位	
動作周波数	システムクロック (ICLK)(注1)(注2)	1.6~3.6 V	f	0.03277	—	1	MHz
	周辺モジュールクロック (PCLKA)	1.6~3.6 V	—	—	1		
	周辺モジュールクロック (PCLKB)	1.6~3.6 V	—	—	1		
	周辺モジュールクロック (PCLKC)(注3)	1.6~3.6 V	—	—	1		
	周辺モジュールクロック (PCLKD)	1.6~3.6 V	—	—	1		
	FlashIF クロック (FCLK)	1.6~3.6 V	—	—	1		

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKC の下限周波数は 1 MHz です。

注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.26 を参照してください。

表 2.25 Subosc-speed モードの動作周波数

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	Min	Typ	Max	単位	
動作周波数	システムクロック (ICLK)(注1)	1.6~3.6 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKA)	1.6~3.6 V	—	—	37.6832		
	周辺モジュールクロック (PCLKB)	1.6~3.6 V	—	—	37.6832		
	周辺モジュールクロック (PCLKC)	1.6~3.6 V	—	—	37.6832		
	周辺モジュールクロック (PCLKD)(注2)	1.6~3.6 V	—	—	37.6832		
	FlashIF クロック (FCLK)	1.6~3.6 V	—	—	37.6832		

注 1. フラッシュメモリのプログラムおよびイレースはできません。

注 2. ADC12 は使用できません。

2.3.2 クロックタイミング

表 2.26 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t _{Xcyc}	50	—	—	ns	図 2.6
EXTAL 外部クロック入力 High レベルパルス幅	t _{XH}	20	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t _{XL}	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t _{Xr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t _{Xf}	—	—	5	ns	
EXTAL 外部クロック入力待機時間(注1)	t _{EXWT}	0.3	—	—	μs	—
EXTAL 外部クロック入力周波数	f _{EXTAL}	—	—	20	MHz	1.8 ≤ VCC ≤ 3.6
		—	—	4		1.6 ≤ VCC < 1.8
メインクロック発振器発振周波数	f _{MAIN}	1	—	20	MHz	1.8 ≤ VCC ≤ 3.6
		1	—	4		1.6 ≤ VCC < 1.8
LOCO クロック発振周波数	f _{LOCO}	27.853	32.77	37.683	kHz	—
LOCO クロック発振安定時間	t _{LOCO}	—	—	100	μs	図 2.7
IWDT 専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f _{MOCO}	6.8	8	9.2	MHz	—

表 2.26 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
MOCO クロック発振安定時間	t_{MOCO}	—	—	1	μs	—
HOCO クロック発振周波数	f_{HOCO24}	23.76	24	24.24	MHz	$T_a = -40 \sim 125 \text{ }^\circ\text{C}$ $1.6 \leq V_{CC} \leq 3.6$
	f_{HOCO32}	31.68	32	32.32		$T_a = -40 \sim 125 \text{ }^\circ\text{C}$ $1.6 \leq V_{CC} \leq 3.6$
	f_{HOCO40}	39.6	40	40.4		$T_a = -40 \sim 125 \text{ }^\circ\text{C}$ $1.6 \leq V_{CC} \leq 3.6$
	f_{HOCO48}	47.52	48	48.48		$T_a = -40 \sim 125 \text{ }^\circ\text{C}$ $1.6 \leq V_{CC} \leq 3.6$
	f_{HOCO64}	63.36	64	64.64		$T_a = -40 \sim 125 \text{ }^\circ\text{C}$ $1.6 \leq V_{CC} \leq 3.6$
	f_{HOCO80}	79.2	80	80.8		$T_a = -40 \sim 125 \text{ }^\circ\text{C}$ $1.6 \leq V_{CC} \leq 3.6$
HOCO クロック発振周波数(注3)	f_{HOCOWT}	—	1.9	—	μs	図 2.8
PLL 入力周波数	f_{PLLIN}	4	—	12.5	MHz	—
PLL クロック周波数	f_{PLL}	24	—	80	MHz	—
PLL クロック発振安定待機時間	f_{PLLWT}	—	—	70	μs	図 2.9
サブクロック発振器発振周波数	f_{SUB}	—	32.77	—	kHz	—
サブクロック発振安定時間(注2)	t_{SUBOSC}	—	0.5	—	s	図 2.10

- 注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間
- 注 2. サブクロック発振器の動作を開始するために SOSCCR.SOSTP ビットの設定を変更したら、サブクロック発振器の使用は必ずサブクロック発振安定待機時間が経過してから開始してください。サブクロック発振安定待ち時間は発振器製造者の推奨値を使用してください。
- 注 3. リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

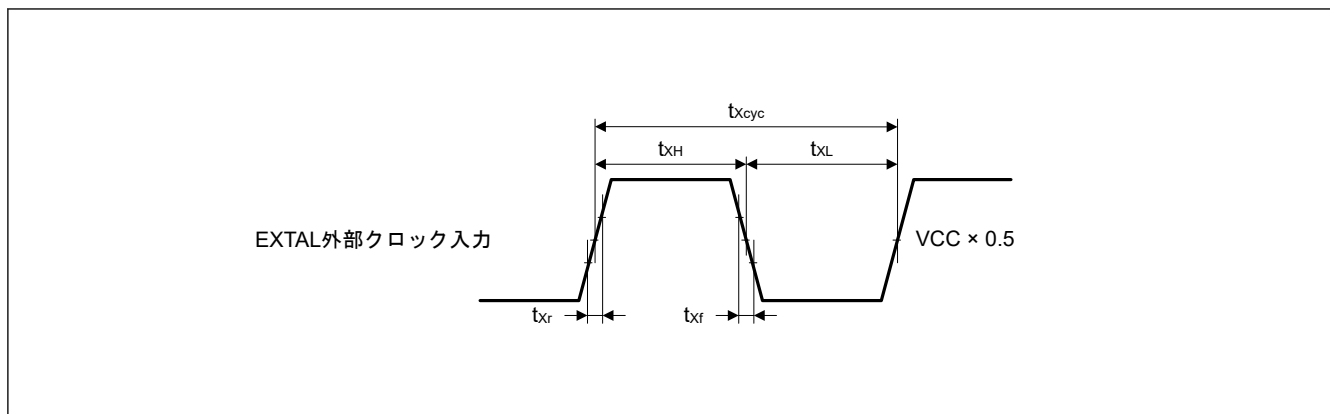


図 2.6 EXTAL 外部クロック入力タイミング

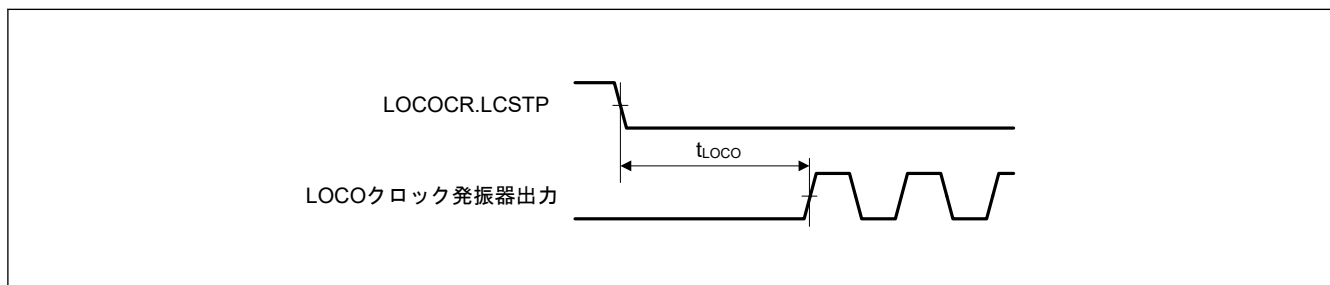


図 2.7 LOCO クロック発振開始タイミング

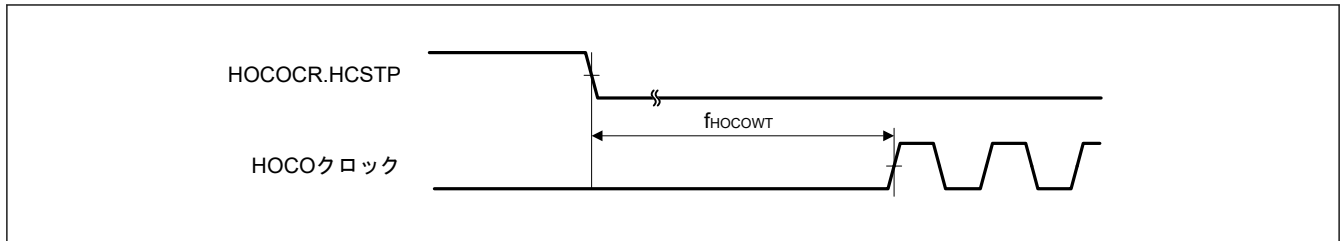


図 2.8 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定により開始)

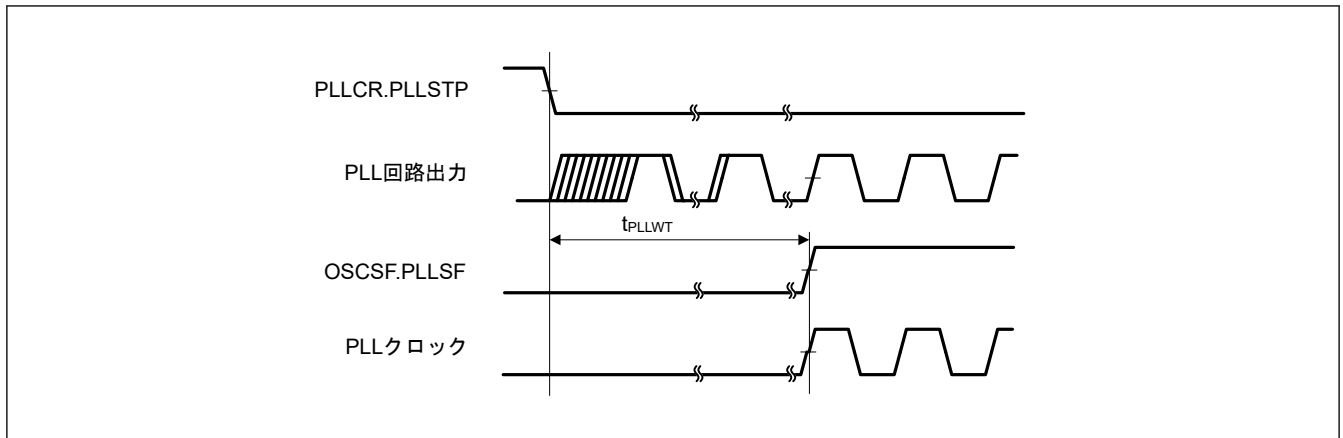


図 2.9 PLL クロック発振開始タイミング (メインクロックの発振安定後に PLL が動作)

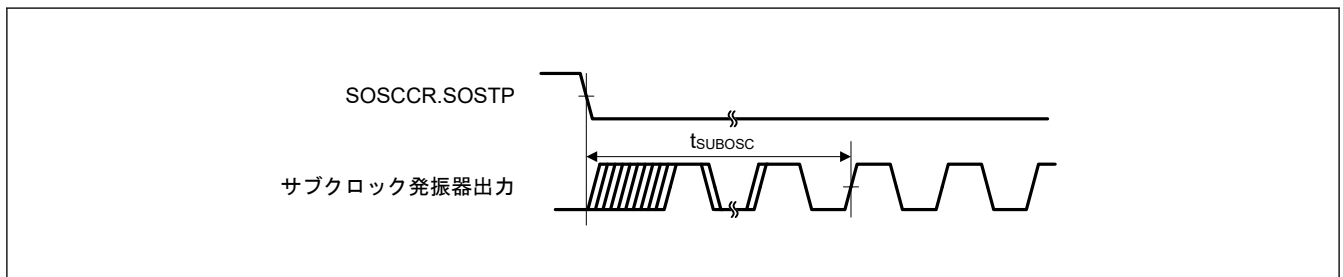


図 2.10 サブクロック発振開始タイミング

2.3.3 リセットタイミング

表 2.27 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	t_{RESWP}	13	—	—	ms	図 2.11
	電源投入時以外	t_{RESW}	30	—	—	μ s	図 2.12
RES 解除後の待機時間 (電源投入時)	LVD0 有効(注1)	t_{RESWT}	—	1.0	—	ms	図 2.11
	LVD0 無効(注2)		—	0.3	—		
RES 解除後の待機時間 (電源投入中)	LVD0 有効(注1)	t_{RESWT2}	—	0.9	—	ms	図 2.12
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間 (IWDT リセット、WDT リセット、RAM パリティエラーリセット、RAM ECC エラーリセット、バスマスタ MPU エラーリセット、TrustZone エラーリセット、キャッシュパリティエラーリセット、ソフトウェアリセット)	LVD0 有効(注1)	t_{RESWT3}	—	0.9	—	ms	図 2.13
	LVD0 無効(注2)		—	0.2	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

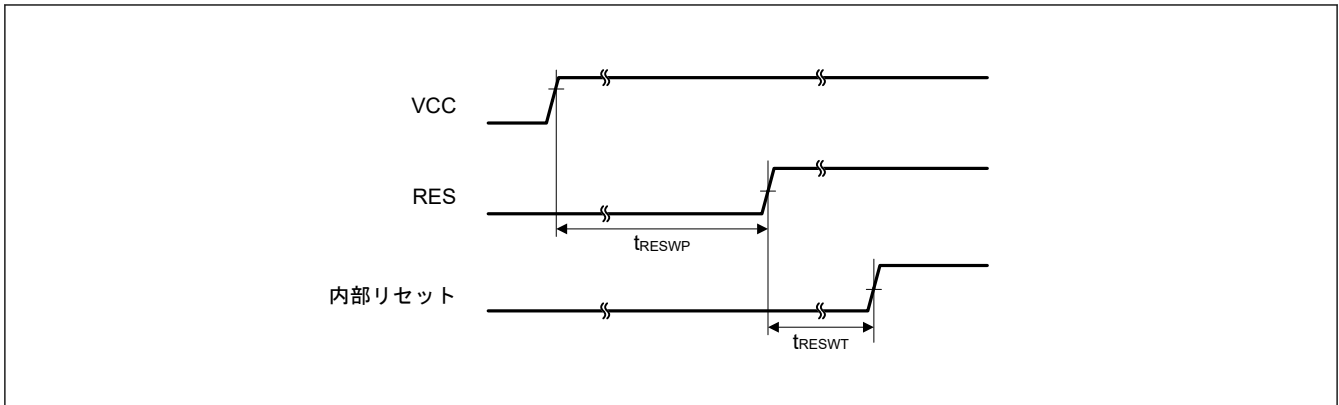


図 2.11 電源投入時リセット入力タイミング

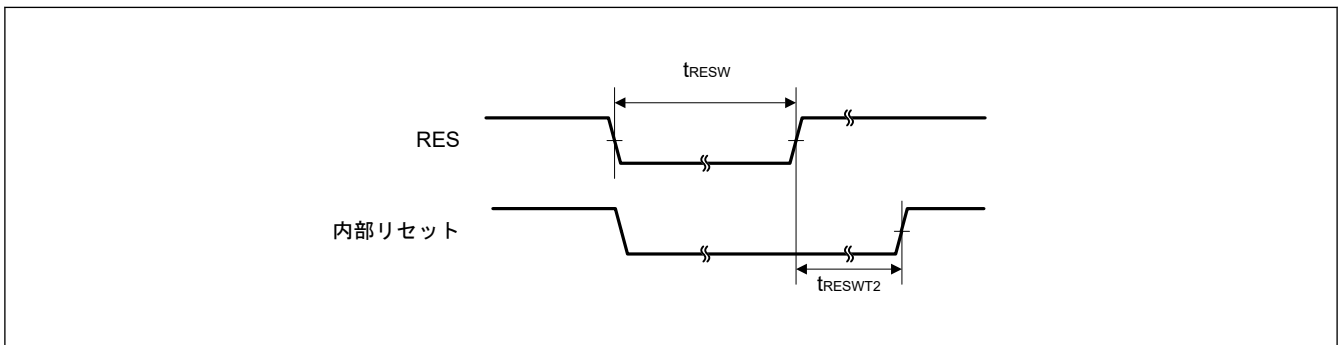


図 2.12 リセット入力タイミング (1)

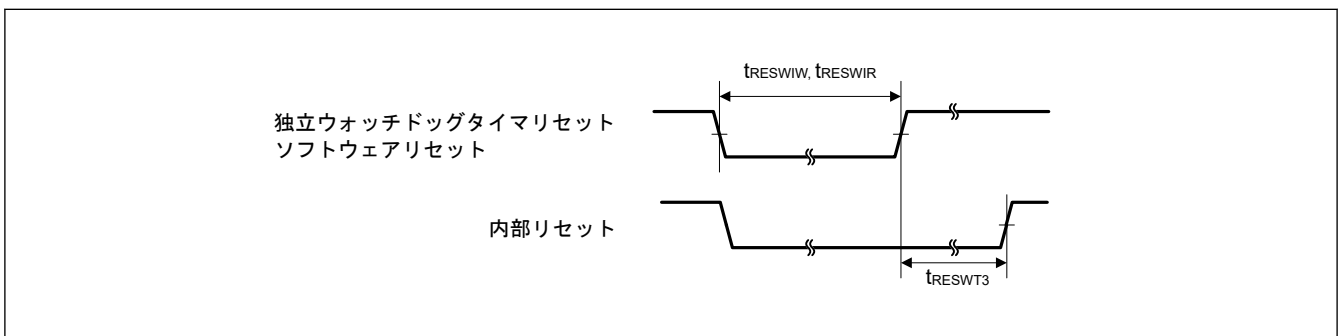


図 2.13 リセット入力タイミング (2)

2.3.4 ウェイクアップ時間

表 2.28 低消費電力モードからの復帰タイミング (1)

項目	シンボル	Min	Typ	Max	単位	測定条件		
ソフトウェアスタンバイモードからの復帰時間 ^(注1)	High-speed モード メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz) ^(注2) ^(注4)	t _{SBYMC}	—	2.1	2.7	ms	図 2.14
		システムクロックソースはメインクロック発振器を使用した PLL (48 MHz) ^(注2) ^(注5)	t _{SBYPC}	—	2.1	2.8	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz) ^(注3) ^(注4)	t _{SBYEX}	—	8.5	11	μs	
		システムクロックソースはメインクロック発振器を使用した PLL (48 MHz) ^(注3) ^(注5)	t _{SBYEX}	—	66	85	μs	
	システムクロックソースは HOCO (HOCO クロックは 32 MHz) ^(注6)	t _{SBYHO}	—	13.5	17.8	μs		
	システムクロックソースは HOCO (HOCO クロックは 48 MHz) ^(注5)	t _{SBYHO}	—	13.2	17.5	μs		
	システムクロックソースは MOCO (8 MHz) ^(注7)	t _{SBYMO}	—	3.5	5.1	μs		

注 1. ICLK、FCLK、および PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

注 4. ICLK は 20 MHz です。

注 5. ICLK は 48 MHz です。

注 6. ICLK は 32 MHz です。

注 7. ICLK は 8 MHz です。

表 2.29 低消費電力モードからの復帰タイミング (2)

項目	シンボル	Min	Typ	Max	単位	測定条件		
ソフトウェアスタンバイモードからの復帰時間 ^(注1)	Middle-speed モード メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz) ^(注2) ^(注4)	t _{SBYMC}	—	2.1	2.7	ms	図 2.14
		メインクロック発振器に外部クロックを入力	t _{SBYEX}	—	6	7.4	μs	
	システムクロックソースはメインクロック発振器 (4 MHz) ^(注3) ^(注5) VCC = 1.6 V~1.8 V	—		7.3	8.8	μs		
	システムクロックソースは HOCO (32 MHz) ^(注4)	t _{SBYHO}	VCC = 1.8 V~3.6 V ^(注6)	—	10	13	μs	
			VCC = 1.6 V~1.8 V ^(注7)	—	13	16		
	システムクロックソースは MOCO (8 MHz)	t _{SBYMO}	VCC = 1.8 V~3.6 V ^(注8)	—	3.5	5.1	μs	
VCC = 1.6 V~1.8 V ^(注9)			—	6.3	8.7			

注 1. ICLK、FCLK、および PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

注 4. ICLK は 5 MHz (20 MHz/4) です。

注 5. ICLK は 4 MHz です。

注 6. ICLK は 8 MHz (32 MHz/4) です。

注 7. ICLK は 4 MHz (32 MHz/8) です。

注 8. ICLK は 8 MHz です。
 注 9. ICLK は 4 MHz (8 MHz/2) です。

表 2.30 低消費電力モードからの復帰タイミング (3)

項目	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	メインクロック発振器に水晶振動子を接続	—	2.1	2.7	ms	図 2.14
	メインクロック発振器に外部クロックを入力	—	41	46	μs	
	システムクロックソースは MOCO (8 MHz) (注5)	—	23	30	μs	

注 1. ICLK、FCLK、および PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。
 注 4. ICLK は 0.625 MHz (20/32 MHz) です。
 注 5. ICLK は 1 MHz (8 MHz/8) です。

表 2.31 低消費電力モードからの復帰タイミング (4)

項目	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	システムクロックソースはサブクロック発振器 (32.768 kHz)	—	0.8	0.9	ms	図 2.14
	システムクロックソースは LOCO (32.768 kHz)	—	0.8	1	ms	

注 1. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

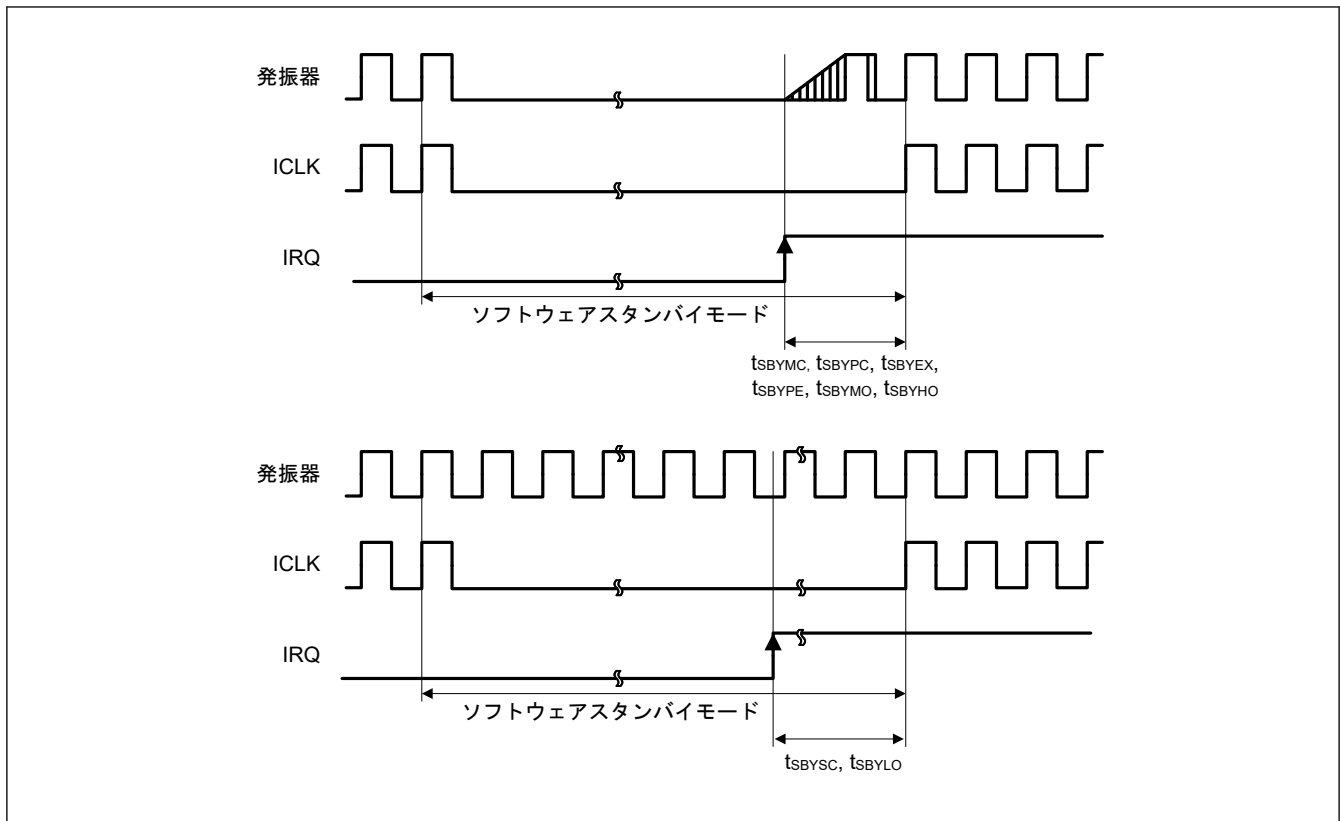


図 2.14 ソフトウェアスタンバイモード解除タイミング

表 2.32 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speed モード システムクロックソースは HOCO (32 MHz)(注1)	t_{SNZ}	—	7.4	9.3	μs	図 2.15
	Middle-speed モード システムクロックソースは HOCO (24 MHz)(注2) VCC = 1.8 V~3.6 V	t_{SNZ}	—	8.3	10.4	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz)(注3) VCC = 1.6 V~1.8 V	t_{SNZ}	—	9.5	11.8	μs	
	Low-speed モード システムクロックソースは MOCO (8 MHz)(注4)	t_{SNZ}	—	11.8	15.6	μs	

- 注 1. ICLK は 32 MHz です。
- 注 2. ICLK は 8 MHz (24 MHz/4) です。
- 注 3. ICLK は 4 MHz (24 MHz/8) です。
- 注 4. ICLK は 1 MHz (8 MHz/8) です。

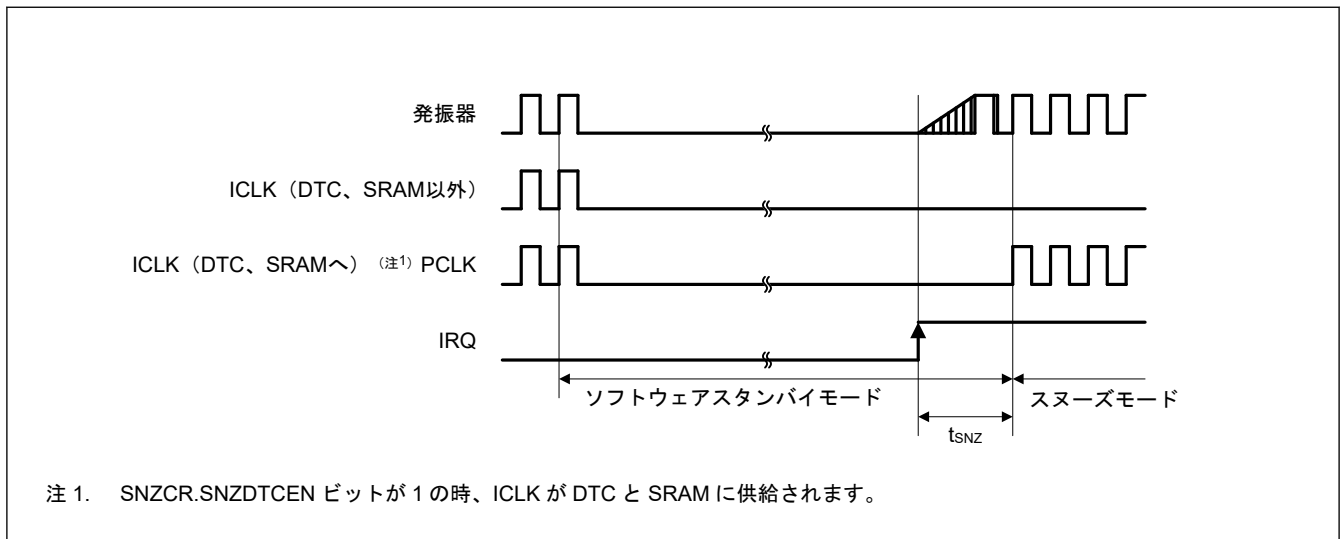


図 2.15 ソフトウェアスタンバイモードからスリープモードへの復帰タイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.33 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200 \text{ ns}$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200 \text{ ns}$
	t_{NMIW}	200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200 \text{ ns}$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200 \text{ ns}$
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200 \text{ ns}$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200 \text{ ns}$
	t_{IRQW}	200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200 \text{ ns}$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200 \text{ ns}$

- 注. ソフトウェアスタンバイモード時は最小 200 ns です。
- 注. クロックソースを切り替える場合、切り替えられるクロックソースの 4 クロックサイクルを足す必要があります。
- 注 1. t_{Pcyc} は PCLKB の周期を意味します。
- 注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します ($i = 0 \sim 7$)。

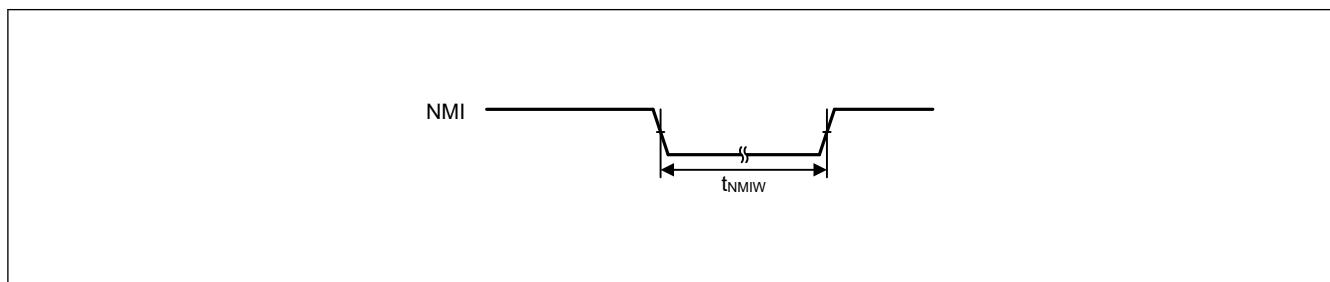


図 2.16 NMI 割り込み入力タイミング

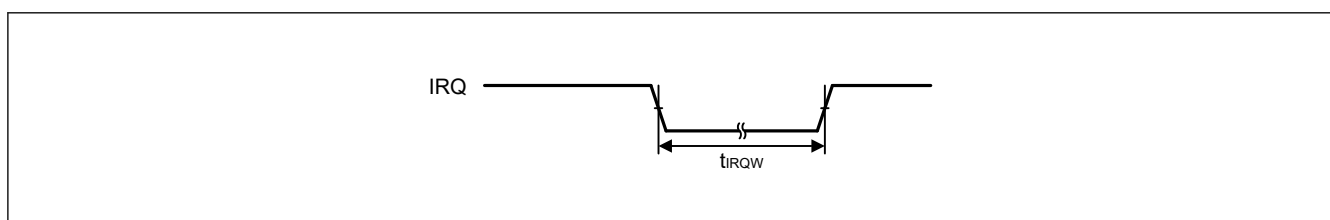


図 2.17 IRQ 割り込み入力タイミング

2.3.6 I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング

表 2.34 I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング

項目		シンボル	Min	Max	単位	測定条件	
I/O ポート	入力データパルス幅	t_{PRW}	$2.7\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	2	—	t_{Pcyc}	図 2.18
			$2.4\text{ V} \leq V_{CC} < 2.7\text{ V}$	3			
			$1.6\text{ V} \leq V_{CC} < 2.4\text{ V}$	4			
POEG	POEG 入力トリガパルス幅	t_{POEW}	3	—	t_{Pcyc}	図 2.19	
GPT	インプットキャプチャパルス幅	t_{GTICW}	単エッジ	1.5	—	t_{PDcyc}	図 2.20
			両エッジ	2.5	—		
AGT	AGTIO、AGTEE 入力サイクル	t_{ACYC} (注1)	$1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	250	—	ns	図 2.21
			$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$	2000	—	ns	
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	t_{ACKWH} t_{ACKWL}	$1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	100	—	ns	—
			$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$	800	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	t_{ACYC2}	$2.7\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	62.5	—	ns	図 2.21
$2.4\text{ V} \leq V_{CC} < 2.7\text{ V}$			125	—	ns		
$1.8\text{ V} \leq V_{CC} < 2.4\text{ V}$			250	—	ns		
$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$			500	—	ns		
ADC12	12 ビット A/D コンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 2.22	

注 1. AGTIO 入力の制約: $t_{Pcyc} \times 2$ (t_{Pcyc} : PCLKB サイクル) $< t_{ACYC}$

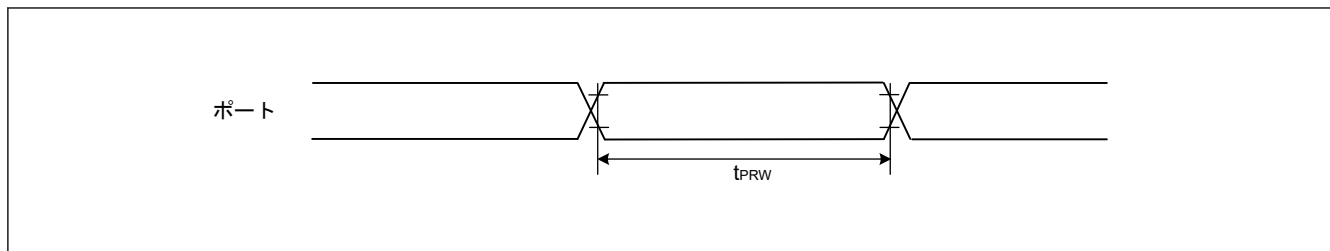


図 2.18 I/O ポート入カタイミング

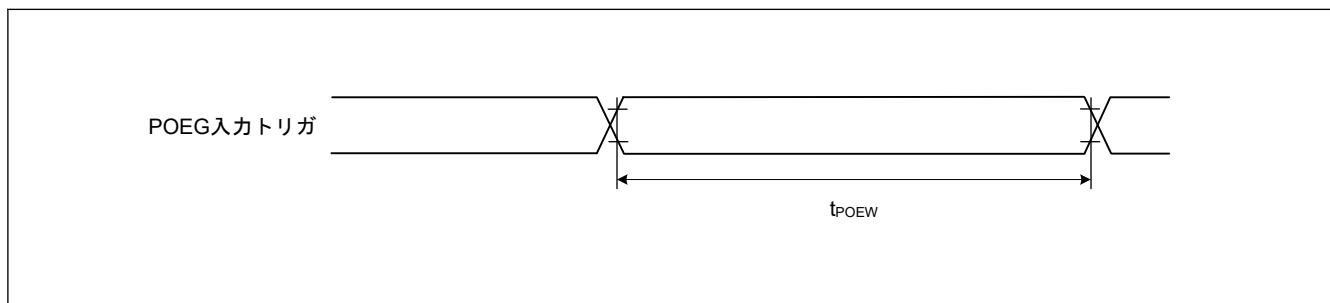


図 2.19 POEG 入カトリガタイミング

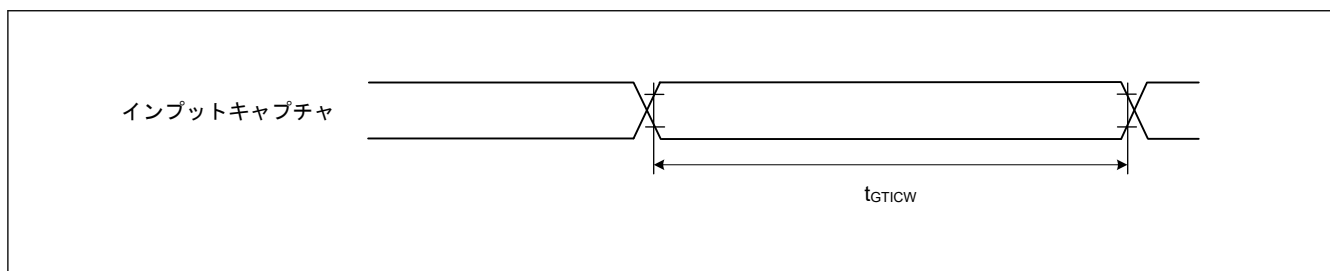


図 2.20 GPT インプットキャプチャタイミング

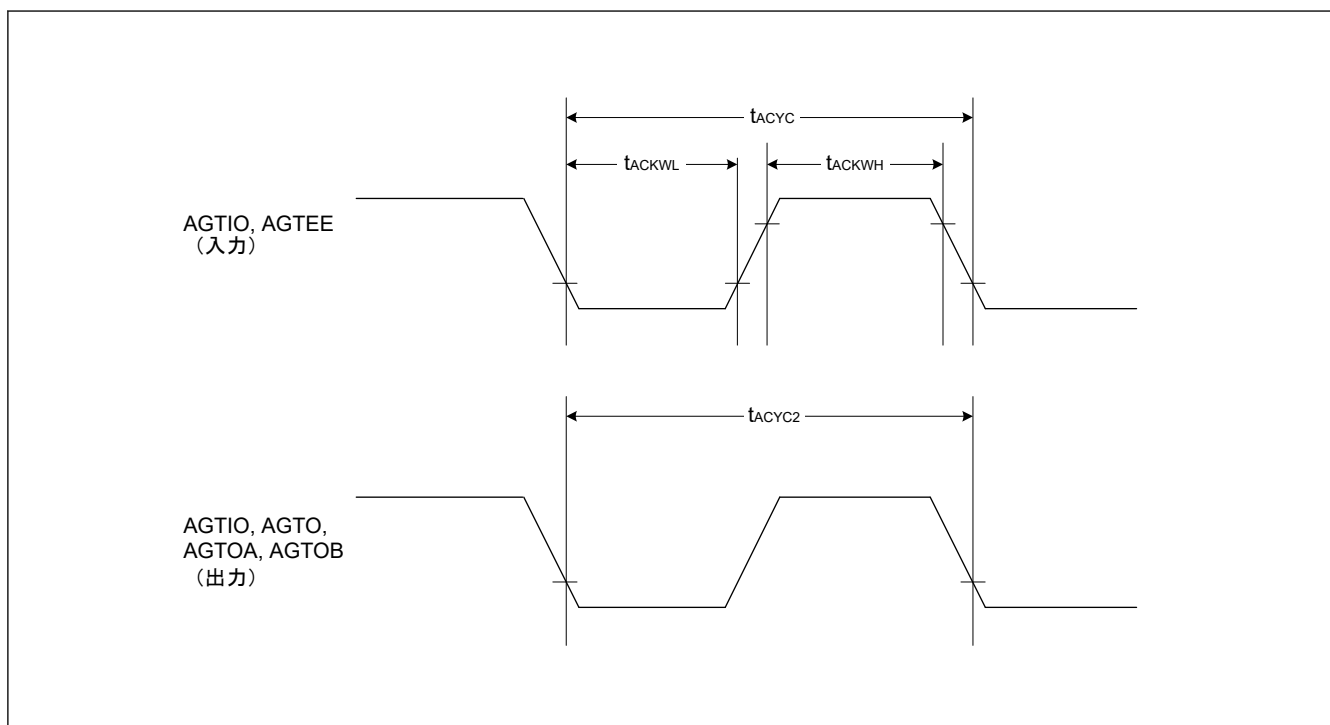


図 2.21 AGT I/O タイミング

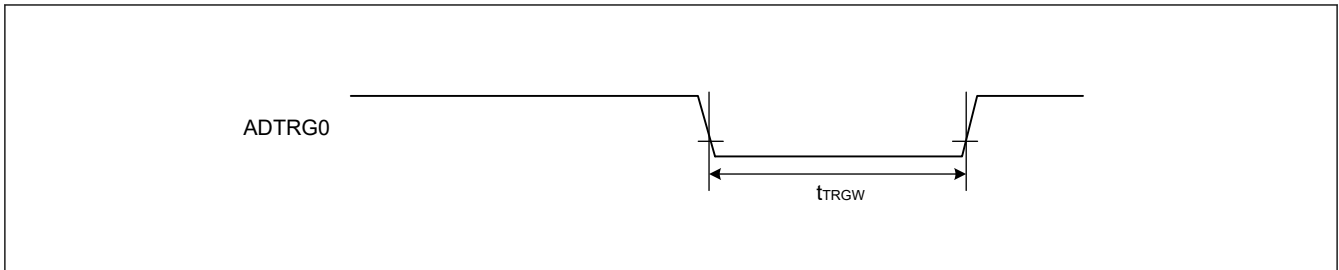


図 2.22 ADC12 トリガ入力タイミング

2.3.7 CAC タイミング

表 2.35 CAC タイミング

項目	シンボル	Min	Typ	Max	単位	測定条件	
CACREF 入力パルス幅	$t_{PBcyc} \leq t_{CAC}$ (注1)	t_{CACREF}	$4.5 \times t_{CAC} + 3 \times t_{PBcyc}$	—	—	ns	—
	$t_{PBcyc} > t_{CAC}$ (注1)		$5 \times t_{CAC} + 6.5 \times t_{PBcyc}$	—	—	ns	

注. t_{PBcyc} : PCLKB の周期注 1. t_{CAC} : CAC カウントクロックソースの周期

2.3.8 SCI タイミング

表 2.36 SCI タイミング (1) (1/2)

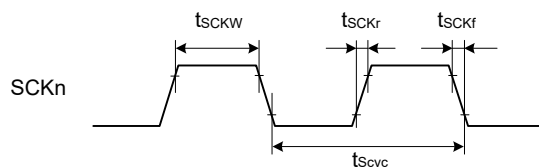
条件 : VCC = AVCC0 = 1.6~3.6 V

項目			シンボル	Min	Max	単位	測定条件	
SCI	入力クロックサイ クル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{Scyc}	75	—	ns	図 2.23
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		150	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		300	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—		
		クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$		100	—		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		200	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		400	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
	入力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間			t_{SCKr}	—	10	ns	
	入力クロック立ち下がり時間			t_{SCKf}	—	10	ns	
	出カクックサイ クル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{Scyc}	75 (SCI1 以外) 100 (SCI1)	—	ns	
$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$			150 (SCI1 以外) 200 (SCI1)		—			
$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$			300 (SCI1 以外) 400 (SCI1)		—			
$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			1500 (SCI1 以外) 2000 (SCI1)		—			
クロック同期式			$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$		75	—		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		150	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		300	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—		
出カクックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}		
出カクック立ち上がり時間		$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{SCKr}	—	7.5	ns		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			
出カクック立ち下がり時間		$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{SCKf}	—	7.5	ns		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			
送信データ遅延時 間 (マスタ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{TXD}	—	30	ns	図 2.24	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	35			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	75			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	125			
送信データ遅延時 間 (スレーブ)	クロック同期式	$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{TXD}	—	40	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	45			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	70			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	105			

表 2.36 SCI タイミング (1) (2/2)

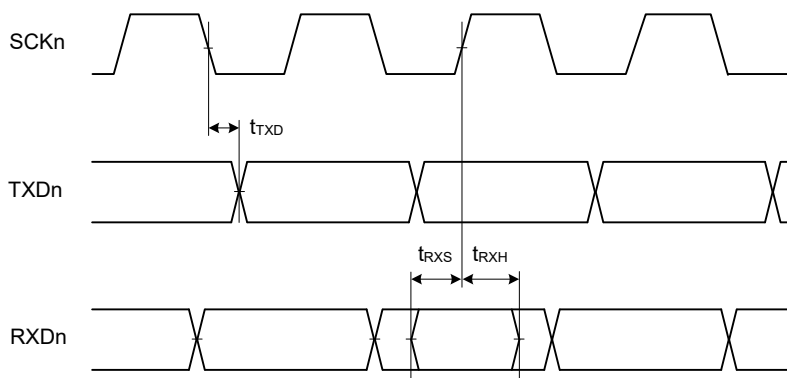
条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	Min	Max	単位	測定条件
SCI	受信データセットアップ時間 (マスター)	クロック同期式	$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	—	ns	図 2.24
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			
	受信データセットアップ時間 (スレーブ)	クロック同期式	$2.4\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	—	ns	
			$1.8\text{ V} \leq \text{VCC} \leq 2.4\text{ V}$			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$				
受信データホールド時間 (マスター)	クロック同期式	t_{RXH}	5	—	ns	
受信データホールド時間 (スレーブ)	クロック同期式	t_{RXH}	5	—	ns	



注. n = 0, 1, 3~5, 9

図 2.23 SCK クロック入力タイミング



注. n = 0, 1, 3~5, 9

図 2.24 クロック同期式モードにおける SCI 入出力タイミング

表 2.37 SCI タイミング (2) (1/2)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目			シンボル	Min	Max	単位	測定条件				
簡易 SPI	SCK クロックサイクル出力 (マスタ)	1.8 V \leq VCC \leq 3.6 V	t_{SPcyc}	75	—	ns	図 2.25				
		2.4 V \leq VCC < 2.7 V		150	—						
		1.8 V \leq VCC < 2.4 V		300	—						
		1.6 V \leq VCC < 1.8 V		1000	—						
	SCK クロックサイクル入力 (スレーブ)	1.8 V \leq VCC \leq 3.6 V		100	—						
		2.4 V \leq VCC < 2.7 V		200	—						
		1.8 V \leq VCC < 2.4 V		400	—						
		1.6 V \leq VCC < 1.8 V		1500	—						
	SCK クロック High レベルパルス幅			t_{SPCKWH}	0.4			0.6	t_{SPcyc}		
	SCK クロック Low レベルパルス幅			t_{SPCKWL}	0.4			0.6	t_{SPcyc}		
SCK クロック立ち上がり/立ち下がり時間			t_{SPCKr} , t_{SPCKf}	—	10	ns					
データ入力セットアップ時間	マスタ	2.7 V \leq VCC \leq 3.6 V	t_{SU}	40	—	ns	図 2.26~図 2.29				
		2.4 V \leq VCC < 2.7 V		50	—						
		1.8 V \leq VCC < 2.4 V		80	—						
		1.6 V \leq VCC < 1.8 V		110	—						
	スレーブ	1.8 V \leq VCC \leq 3.6 V		10	—						
		1.6 V \leq VCC < 1.8 V		45	—						
データ入力ホールド時間	マスタ		t_H	5	—	ns					
	スレーブ			18	—						
SS 入力セットアップ時間			t_{LEAD}	1	—	t_{SPcyc}					
SS 入力ホールド時間			t_{LAG}	1	—	t_{SPcyc}					
データ出力遅延時間	マスタ	2.4 V \leq VCC \leq 3.6 V	t_{OD}	—	35	ns					
		2.4 V \leq VCC \leq 2.7 V		—	35						
		1.8 V \leq VCC \leq 2.4 V		—	75						
		1.6 V \leq VCC < 1.8 V		—	125						
	スレーブ	2.7 V \leq VCC \leq 3.6 V		—	40						
		2.4 V \leq VCC \leq 2.7 V		—	40						
		1.8 V \leq VCC < 2.4 V		—	45						
		1.6 V \leq VCC < 1.8 V		—	100						
データ出力ホールド時間	マスタ	2.7 V \leq VCC \leq 3.6 V	t_{OH}	-5	—	ns					
		2.4 V \leq VCC < 2.7 V		-10	—						
		1.8 V \leq VCC < 2.4 V		-20	—						
		1.6 V \leq VCC < 1.8 V		-40	—						
	スレーブ			-5	—						
データ立ち上がり/立ち下がり時間	マスタ	1.8 V \leq VCC \leq 3.6 V	t_{Dr} , t_{Df}	—	5	ns					
	スレーブ	1.8 V \leq VCC \leq 3.6 V		—	5						

表 2.37 SCI タイミング (2) (2/2)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	Min	Max	単位	測定条件	
簡易 SPI	スレーブアクセス時間	$2.7\text{ V} \leq VCC \leq 3.6\text{ V}$	—	8	t_{Pcyc}	図 2.26~図 2.29
		$2.4\text{ V} \leq VCC < 2.7\text{ V}$	—	9		
		$1.8\text{ V} \leq VCC < 2.4\text{ V}$	—	13		
		$1.6\text{ V} \leq VCC < 1.8\text{ V}$	—	6		
	スレーブ出力解放時間	$1.8\text{ V} \leq VCC \leq 3.6\text{ V}$	—	8	t_{Pcyc}	
		$2.4\text{ V} \leq VCC < 2.7\text{ V}$	—	9		
		$1.8\text{ V} \leq VCC < 2.4\text{ V}$	—	13		
		$1.6\text{ V} \leq VCC < 1.8\text{ V}$	—	6		

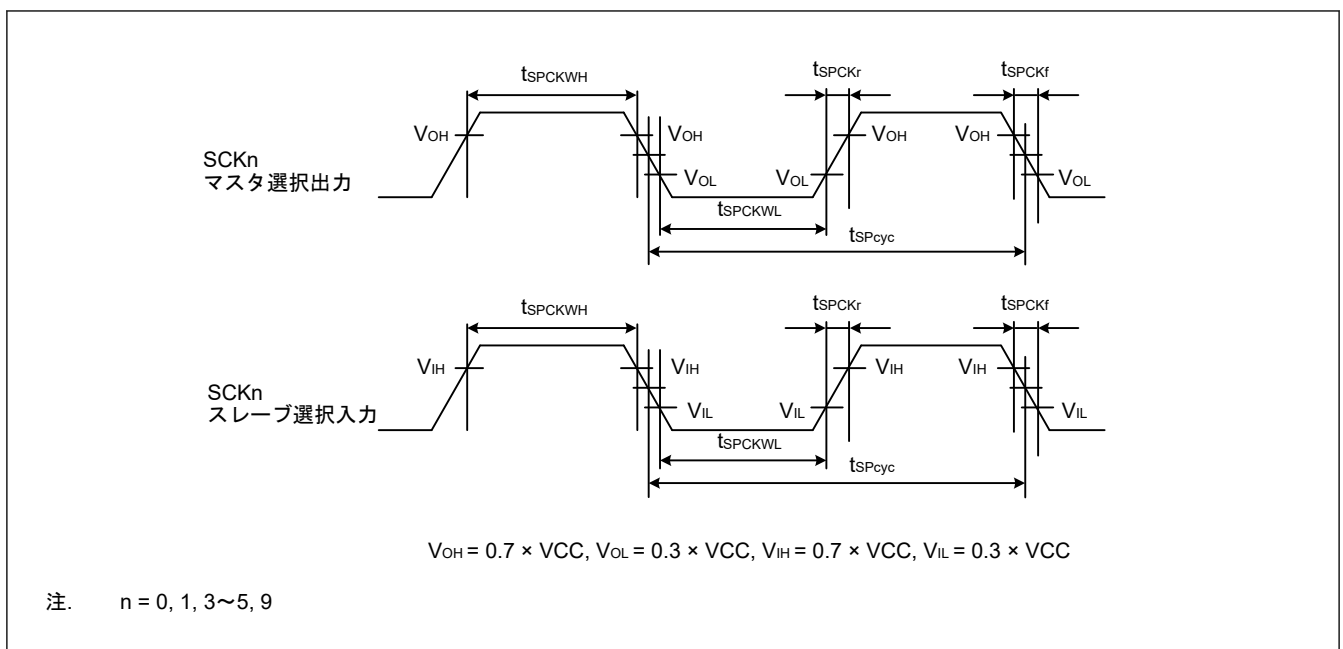


図 2.25 SCI 簡易 SPI モードクロックタイミング

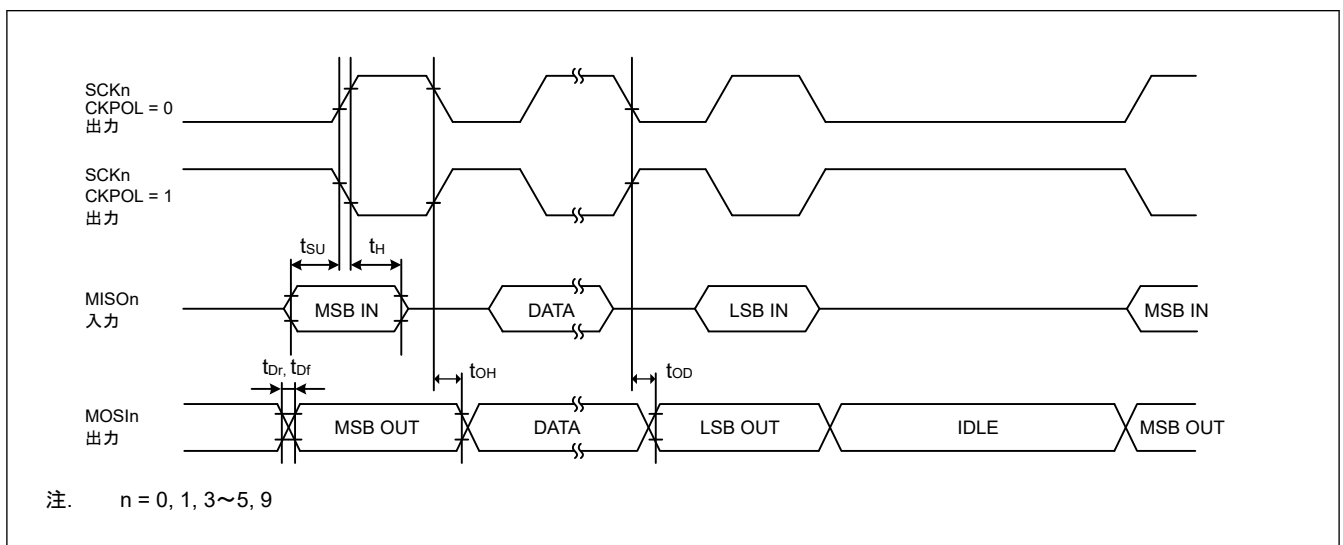


図 2.26 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

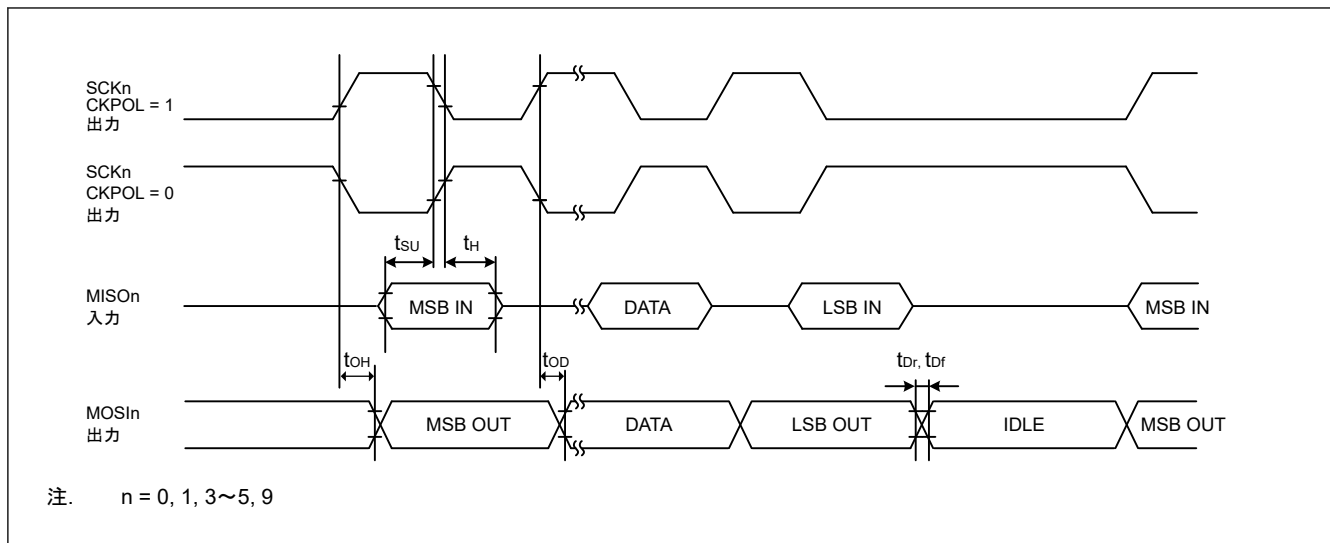


図 2.27 SPI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

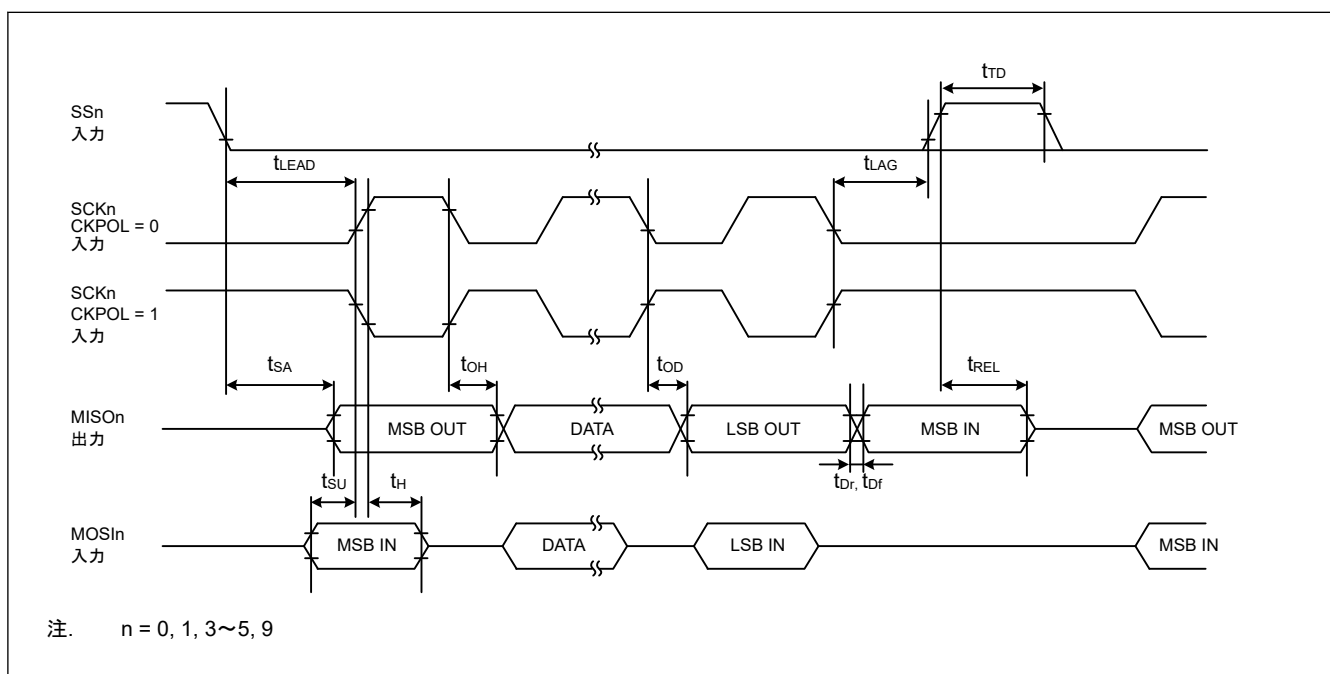


図 2.28 SPI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

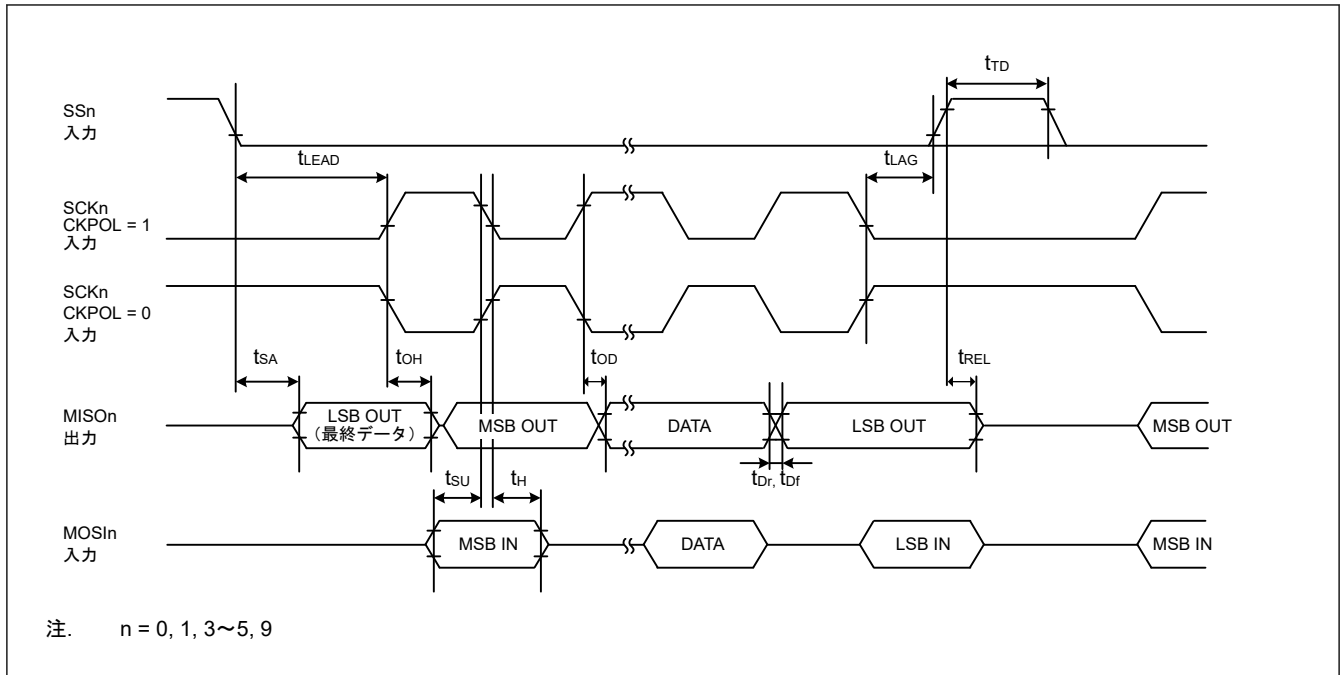


図 2.29 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 2.38 SCI タイミング (3)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.30
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{Sp}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b (注2)	—	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.30
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{Sp}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b (注2)	—	400	pF	

注 1. t_{IICcyc} : SMR.CKS[1:0]ビットによって選択されたクロックサイクル。

注 2. C_b はバスラインの容量総計を意味します。

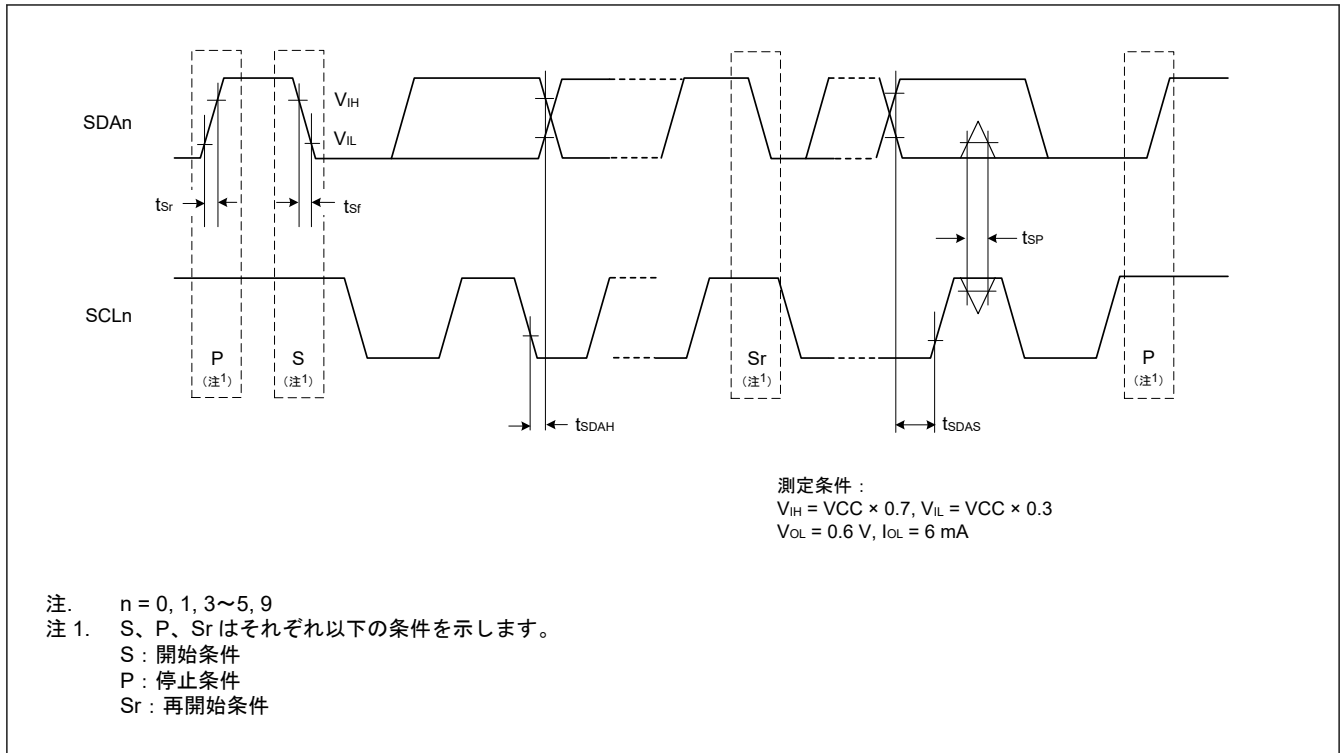


図 2.30 SCI 簡易 IIC モードタイミング

2.3.9 SPI タイミング

表 2.39 SPI タイミング (1/3)

項目	シンボル	Min	Max	単位	測定条件	
RSPCK クロック サイクル	マスタ	$2.7 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}$	$t_{SPcyc}^{(注1)}$	50	—	図 2.31 C = 30 pF
		$2.4 \text{ V} \leq V_{CC} < 2.7 \text{ V}$	100	—		
		$1.8 \text{ V} \leq V_{CC} < 2.4 \text{ V}$	200	—		
		$1.6 \text{ V} \leq V_{CC} < 1.8 \text{ V}$	500	—		
	スレーブ	$2.7 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}$	100	—		
		$2.4 \text{ V} \leq V_{CC} < 2.7 \text{ V}$	200	—		
		$1.8 \text{ V} \leq V_{CC} < 2.4 \text{ V}$	400	—		
		$1.6 \text{ V} \leq V_{CC} < 1.8 \text{ V}$	1500	—		
RSPCK クロック High レベルパルス幅	マスタ	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
	スレーブ	$0.4 \times t_{SPcyc}$	$0.6 \times t_{SPcyc}$			
RSPCK クロック Low レベルパルス幅	マスタ	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
	スレーブ	$0.4 \times t_{SPcyc}$	$0.6 \times t_{SPcyc}$			
RSPCK クロック 立ち上がり/立ち下がり時間	出力	$2.7 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}$	t_{SPCKr} , t_{SPCKf}	—	10	ns
		$2.4 \text{ V} \leq V_{CC} < 2.7 \text{ V}$	—	15		
		$1.8 \text{ V} \leq V_{CC} \leq 2.4 \text{ V}$	—	20		
		$1.6 \text{ V} \leq V_{CC} < 1.8 \text{ V}$	—	30		
	入力	—	—	1	μs	

表 2.39 SPI タイミング (2/3)

項目		シンボル	Min	Max	単位	測定条件
データ入力セットアップ時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{SU}	20	—	ns 図 2.32~図 2.37 C = 30 pF
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	22	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	37	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	10	—		
	スレーブ	$2.4\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	10	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	15	—		
データ入力ホールド時間	マスタ (RSPCK は PCLKA/2)		t_{HF}	0	—	ns
	マスタ (RSPCK は PCLKA/2 以外)		t_{H}	t_{Pcyc}	—	
	スレーブ		t_{H}	20	—	
SSL セットアップ時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{LEAD}	$-30 + N \times t_{\text{SpCyc}}$ ^(注1)	—	ns
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		$-50 + N \times t_{\text{SpCyc}}$ ^(注1)	—	
	スレーブ			$6 \times t_{\text{Pcyc}}$	—	ns
SSL ホールド時間	マスタ		t_{LAG}	$-30 + N \times t_{\text{SpCyc}}$ ^(注2)	—	ns
	スレーブ			$6 \times t_{\text{Pcyc}}$	—	ns
データ出力遅延時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{OD}	—	14	ns
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	14	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	14	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	14	
	スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$		—	41	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	45	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	65	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	82	
データ出力ホールド時間	マスタ		t_{OH}	0	—	ns
	スレーブ			0	—	
連続送信遅延時間	マスタ		t_{TD}	$t_{\text{SpCyc}} + 2 \times t_{\text{Pcyc}}$	$8 \times t_{\text{SpCyc}} + 2 \times t_{\text{Pcyc}}$	ns
	スレーブ			$4 \times t_{\text{SpCyc}}$	—	
MOSI、MISO 立ち上がり/立ち下がり時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	$t_{\text{Dr}}, t_{\text{Df}}$	—	5	ns 図 2.32~図 2.37 C = 30 pF
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	15	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	20	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30	
	入力			—	1	
SSL 立ち上がり/立ち下がり時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	$t_{\text{SSLr}}, t_{\text{SSLf}}$	—	5	ns
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	15	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	20	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30	
	入力			—	1	

表 2.39 SPI タイミング (3/3)

項目		シンボル	Min	Max	単位	測定条件
スレーブアクセス時間	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{SA}	—	$2 \times t_{Pcyc} + 11$	ns	図 2.36 と 図 2.37 C = 30 pF
	$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	$2 \times t_{Pcyc} + 15$		
	$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	$2 \times t_{Pcyc} + 35$		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	$2 \times t_{Pcyc} + 55$		
スレーブ出力開放時間	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{REL}	—	$2 \times t_{Pcyc} + 11$	ns	
	$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	$2 \times t_{Pcyc} + 15$		
	$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	$2 \times t_{Pcyc} + 35$		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	$2 \times t_{Pcyc} + 55$		

注. t_{Pcyc} : PCLKA の周期

注 1. N は SPCKD レジスタで設定可能な 1~8 の整数です。

注 2. N は SSLND レジスタで設定可能な 1~8 の整数です。

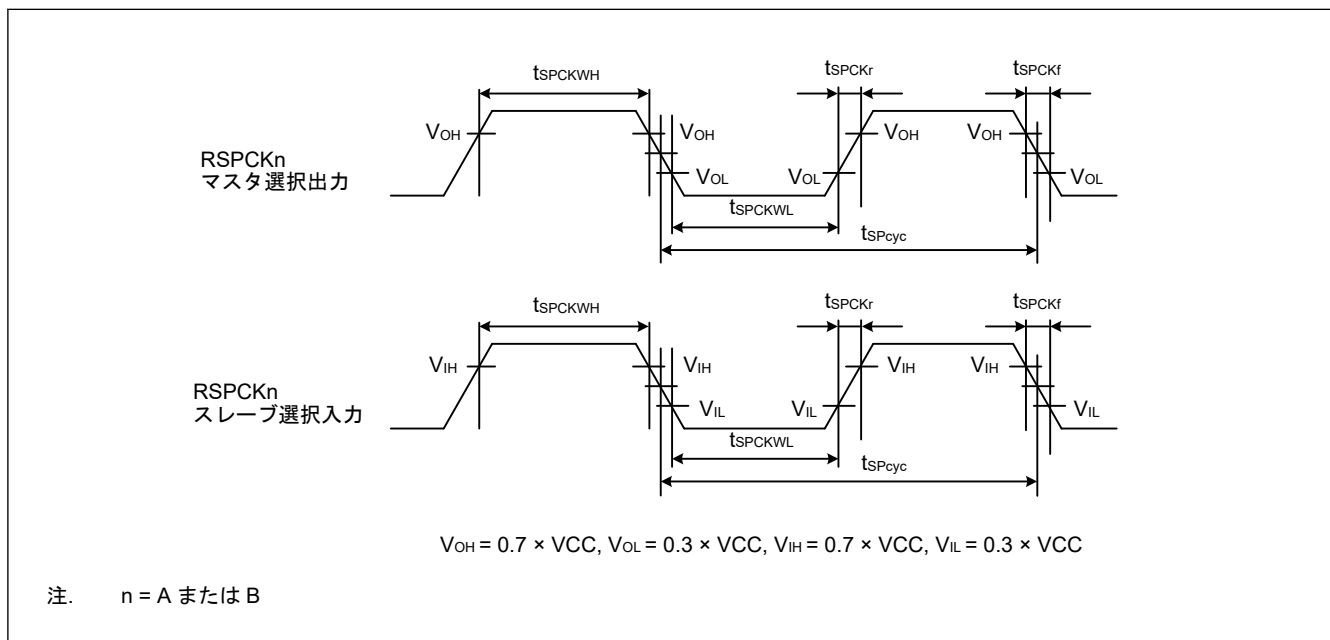


図 2.31 SPI クロックタイミング

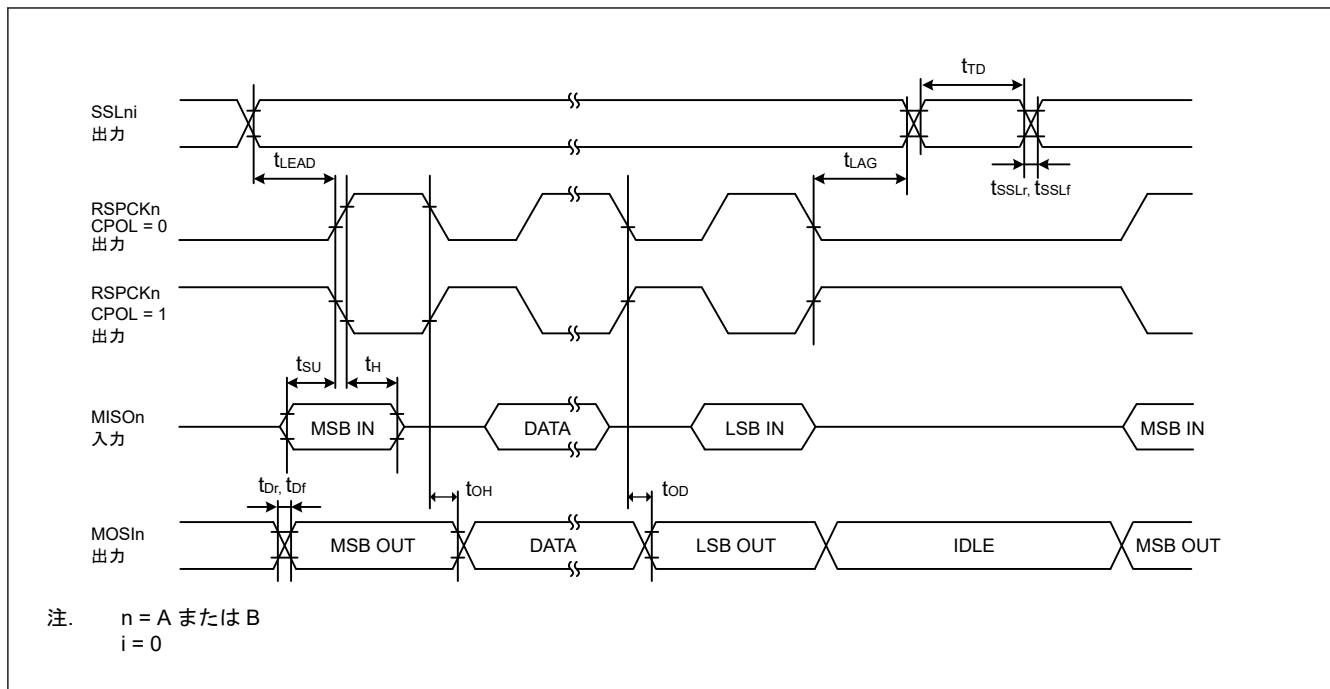


図 2.32 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定)

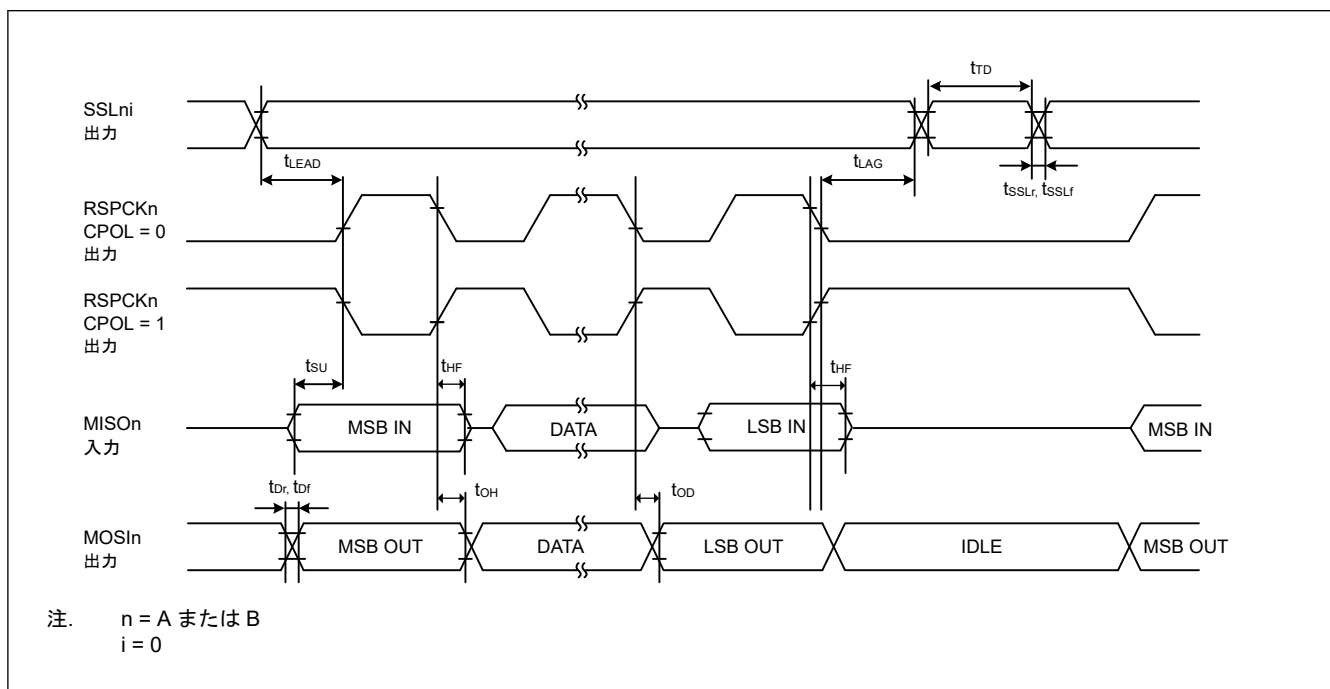


図 2.33 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

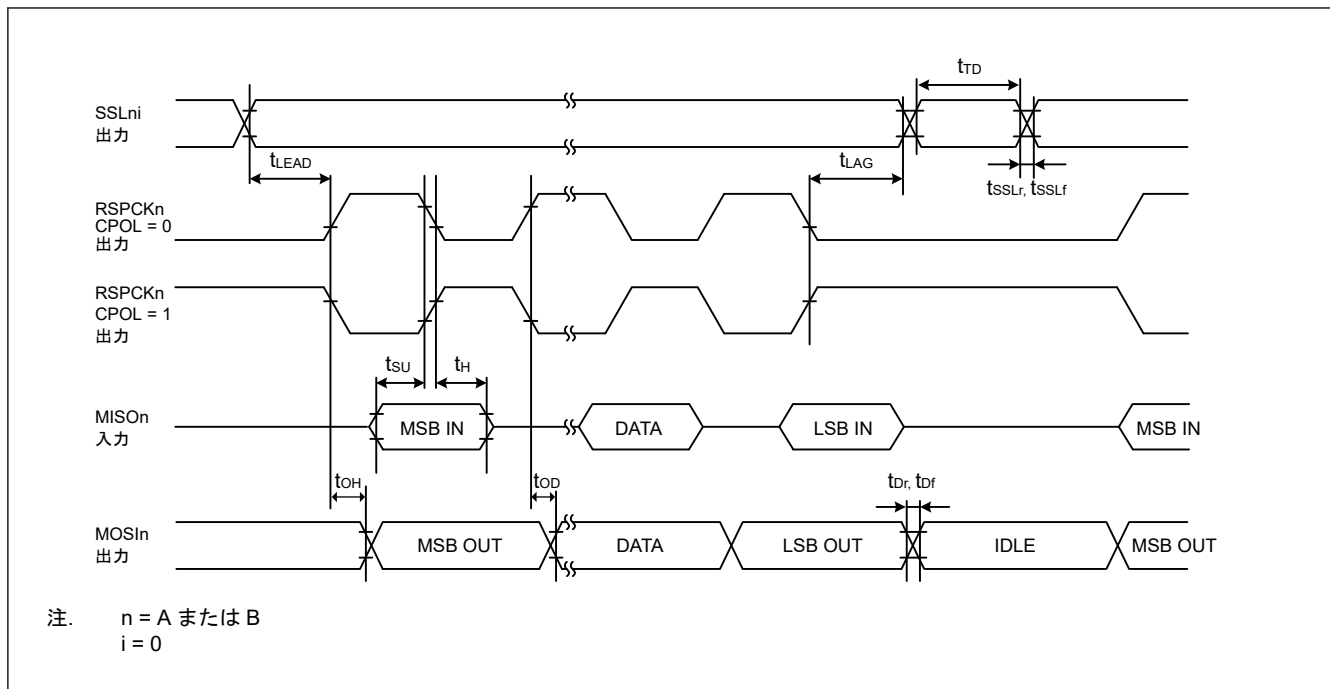


図 2.34 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定)

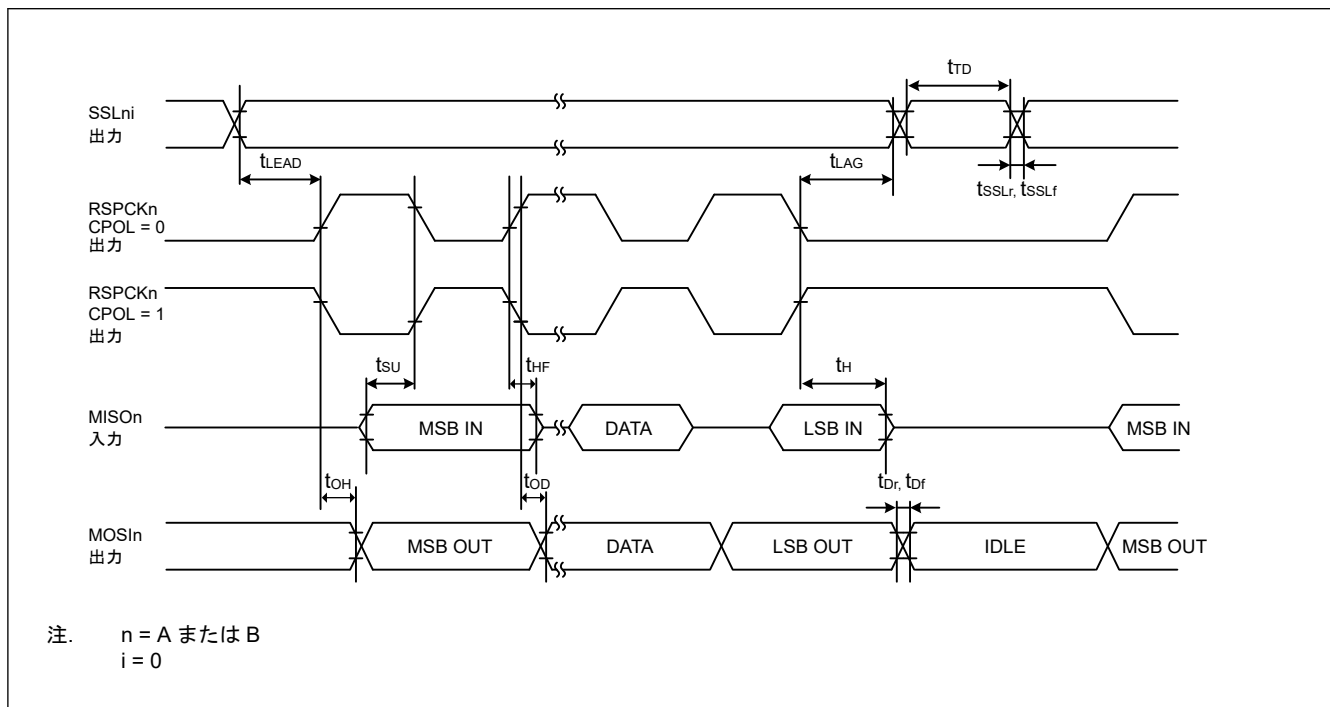


図 2.35 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

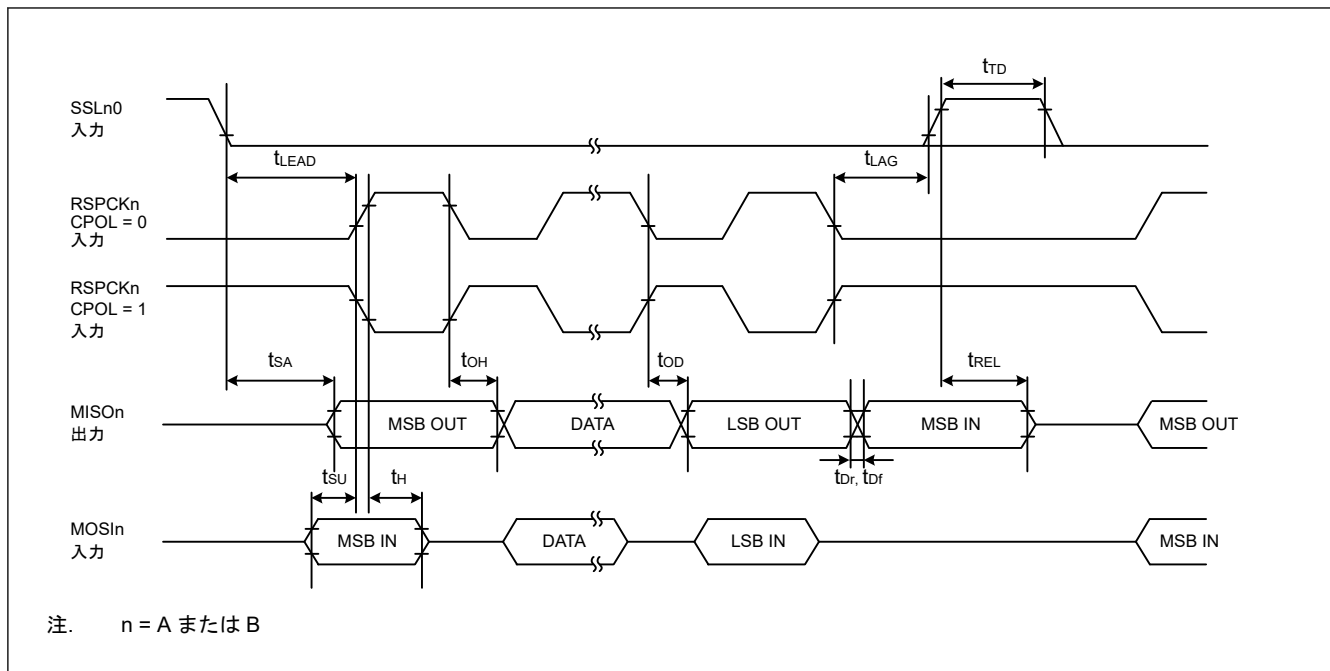


図 2.36 SPI タイミング (スレーブ、CPHA = 0)

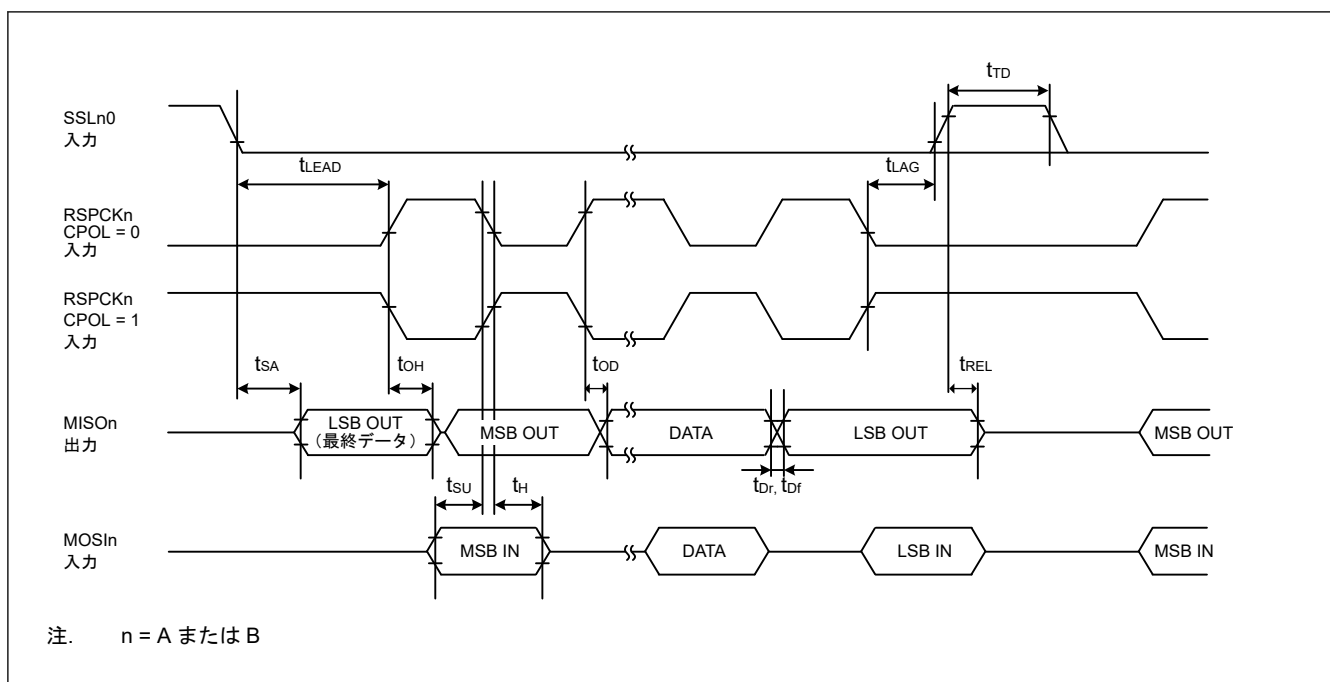


図 2.37 SPI タイミング (スレーブ、CPHA = 1)

2.3.10 QSPI タイミング

表 2.40 QSPI タイミング

項目	シンボル	Min	Max	単位	測定条件	
QSPCK クロックサイクル	t_{QScyc}	$2.4 \leq VCC \leq 3.6$	50	—	ns	図 2.38
		$1.8 \leq VCC < 2.4$	100	—	ns	
		$1.6 \leq VCC < 1.8$	500	—	ns	
QSPCK クロック High レベルパルス幅	t_{QSWH}	$t_{QScyc} \times 0.4$	—	ns		
QSPCK クロック Low レベルパルス幅	t_{QSWL}	$t_{QScyc} \times 0.4$	—	ns		
データ入力セットアップ時間	t_{Su}	$2.4 \leq VCC \leq 3.6$	10	—	ns	図 2.39
		$1.8 \leq VCC < 2.4$	15	—	ns	
		$1.6 \leq VCC < 1.8$	15	—	ns	
データ入力ホールド時間	t_{IH}	$1.8 \leq VCC < 3.6$	0	—	ns	
		$1.6 \leq VCC < 1.8$	4	—	ns	
QSSL セットアップ時間	t_{Su}	$2.4 \leq VCC \leq 3.6$	$(N + 0.5) \times t_{QScyc} - 9$ (注1)	$(N + 0.5) \times t_{QScyc} + 100$ (注1)	ns	
		$1.8 \leq VCC < 2.4$	$(N + 0.5) \times t_{QScyc} - 15$ (注1)	$(N + 0.5) \times t_{QScyc} + 100$ (注1)	ns	
		$1.6 \leq VCC < 1.8$	$(N + 0.5) \times t_{QScyc} - 24$ (注1)	$(N + 0.5) \times t_{QScyc} + 100$ (注1)	ns	
QSSL ホールド時間	t_{LAG}	$1.8 \leq VCC \leq 3.6$	$(N + 0.5) \times t_{QScyc} - 5$ (注2)	$(N + 0.5) \times t_{QScyc} + 100$ (注2)	ns	
		$1.6 \leq VCC < 1.8$	$(N + 0.5) \times t_{QScyc} - 8$ (注2)	$(N + 0.5) \times t_{QScyc} + 100$ (注2)	ns	
データ出力遅延時間	t_{OD}	$2.4 \leq VCC \leq 3.6$	—	9	ns	
		$1.8 \leq VCC < 2.4$	—	16	ns	
		$1.6 \leq VCC < 1.8$	—	24	ns	
データ出力ホールド時間	t_{OH}	$1.8 \leq VCC \leq 3.6$	-3.3	—	ns	
		$1.6 \leq VCC < 1.8$	-6.3	—	ns	
連続送信遅延時間	t_{TD}	1	16	t_{QScyc}		

注. t_{Pcyc} : PCLKA の周期

注 1. SFMSLD で N は 0 または 1 になっています。

注 2. SFMSHD で N は 0 または 1 になっています。

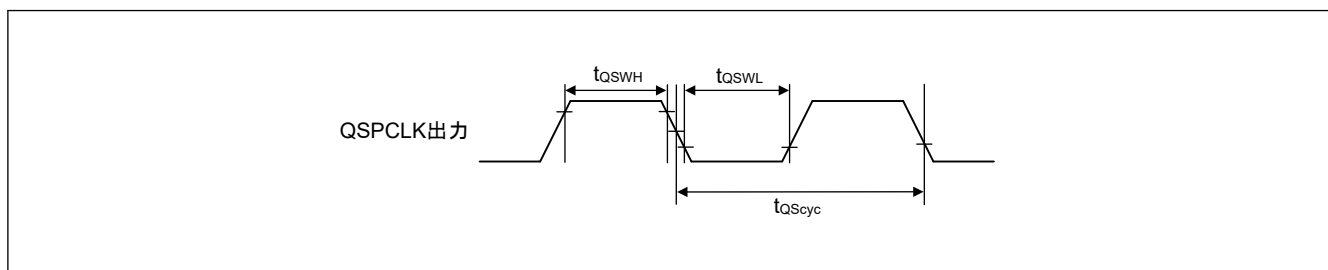


図 2.38 QSPI クロックタイミング

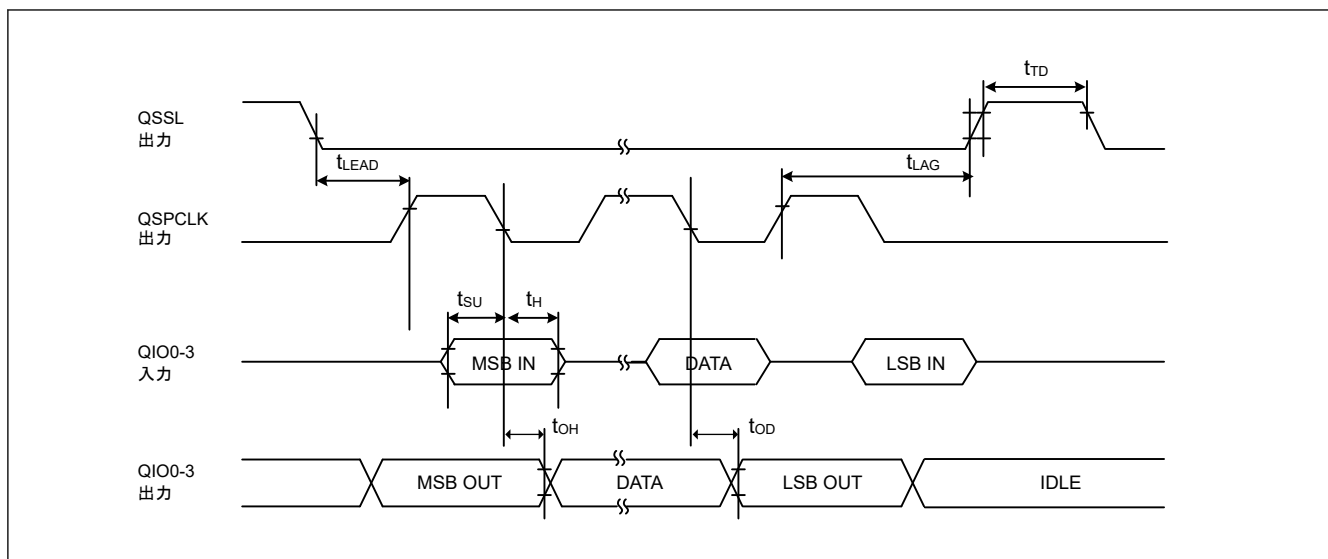


図 2.39 送受信タイミング

2.3.11 IIC タイミング

表 2.41 IIC タイミング (1) (1/2)

条件 : VCC = AVCC0 = 1.8~3.6 V

項目	シンボル	Min(注1)	Max(注1)	単位	測定条件	
IIC (標準モード、SMBus) ICFER.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図 2.40
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	ウェイクアップ機能が無効な場合の開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	ウェイクアップ機能が有効な場合の開始条件入力ホールド時間	t_{STAH}	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	再開条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
SCL、SDA の負荷容量	C_b (注2)	—	400	pF		

表 2.41 IIC タイミング (1) (2/2)

条件 : VCC = AVCC0 = 1.8~3.6 V

項目		シンボル	Min(注1)	Max(注1)	単位	測定条件
IIC (ファストモード) ICFER.FMPE = 0	SCL 入力サイクル時間	t _{SCL}	6 (12) × t _{IICcyc} + 600	—	ns	図 2.40
	SCL 入力 High レベルパルス幅	t _{SCLH}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL 入力 Low レベルパルス幅	t _{SCLL}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL、SDA 立ち上がり時間	t _{Sr}	—	300	ns	
	SCL、SDA 立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IICcyc}	ns	
	SDA 入力バスフリー時間 (ウェイクアップ機能無効時)	t _{BUF}	3 (6) × t _{IICcyc} + 300	—	ns	
	SDA 入力バスフリー時間 (ウェイクアップ機能有効時)	t _{BUF}	3 (6) × t _{IICcyc} + 4 × t _{Pcyc} + 300	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能無効時)	t _{STAH}	t _{IICcyc} + 300	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能有効時)	t _{STAH}	1 (5) × t _{IICcyc} + t _{Pcyc} + 300	—	ns	
	再開始条件入力セットアップ時間	t _{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	300	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C _b (注2)	—	400	pF	

注. 所属グループを示すため、"_A"や"_B"のように端子名の後ろに文字を付加した端子を使用してください。電気的特性の AC タイミングを各グループで測定しています。

注. t_{IICcyc} : IIC 内部基準クロック (IICφ) サイクル、t_{Pcyc} : PCLKB サイクル

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると () 内の値が適用されます。

注 2. C_b はバスラインの容量総計を意味します。

表 2.42 IIC タイミング (2)

条件 : VCC = AVCC0 = 2.7~3.6 V

項目	シンボル	Min(注1)	Max(注1)	単位	測定条件
IIC (ファストモード+) ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 240$	—	図 2.40
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 120$	—	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 120$	—	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	120	
	SCL、SDA 立ち下がり時間	t_{Srf}	—	120	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 120$	—	
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 120$	—	
	ウェイクアップ機能が無効な場合の開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 120$	—	
	ウェイクアップ機能が有効な場合の開始条件入力ホールド時間	t_{STAH}	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 120$	—	
	再開条件入力セットアップ時間	t_{STAS}	120	—	
	停止条件入力セットアップ時間	t_{STOS}	120	—	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 30$	—	
	データ入力ホールド時間	t_{SDAH}	0	—	
	SCL、SDA の負荷容量	C_b (注2)	—	550	

注. t_{IICcyc} : IIC 内部基準クロック (IICφ) サイクル、 t_{Pcyc} : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると () 内の値が適用されます。

注 2. C_b はバスラインの容量総計を意味します。

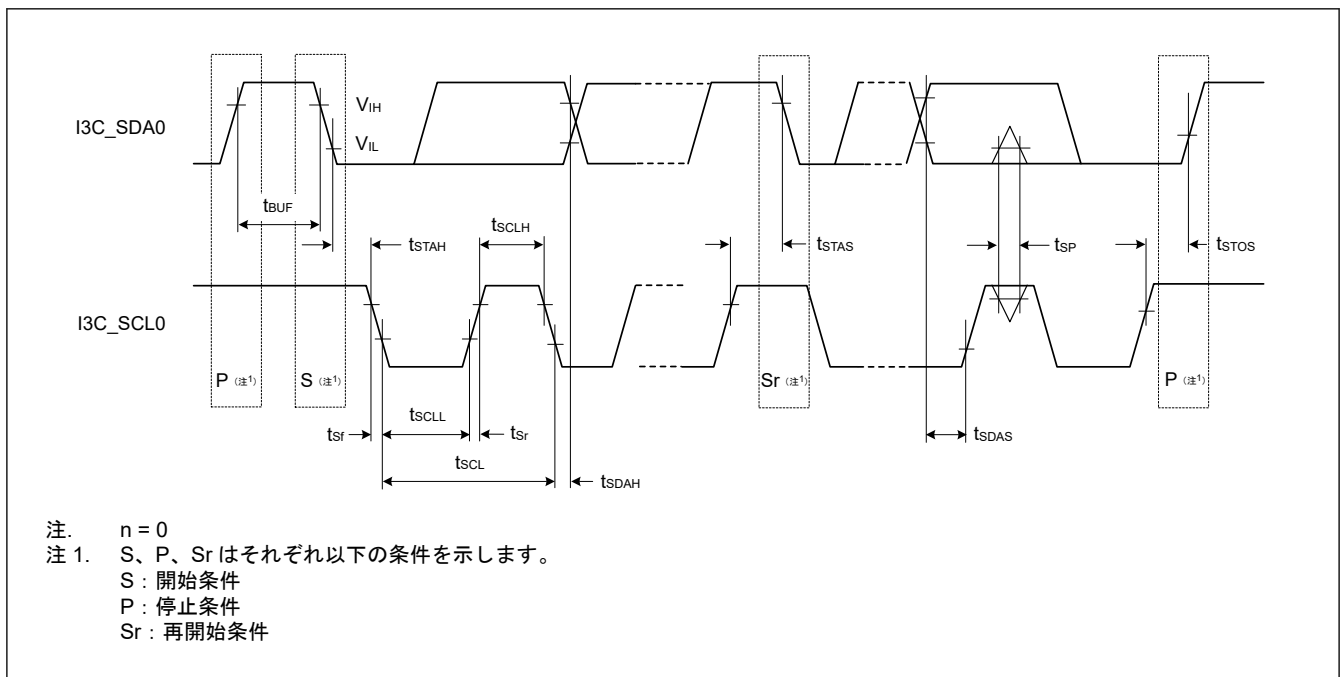


図 2.40 I²C バスインタフェース入出力タイミング

2.3.12 I3C タイミング

表 2.43 IIC タイミング (1)

条件 : VCC = AVCC0 = 1.8~3.6 V

パラメータ	シンボル	Min(注1)	Max(注1)	単位	
IIC (標準モード、SMBus) BFCTL.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	$10(18) \times t_{I3CCyc} + 1300$	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	$5(9) \times t_{I3CCyc} + 300$	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$5(9) \times t_{I3CCyc} + 300$	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{I3CCyc}$	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	$5(9) \times t_{I3CCyc} + 300$	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	$5(9) \times t_{I3CCyc} + 4 \times t_{TCyc} + 300$	—	ns
	ウェイクアップ機能が無効な場合の開始条件入力ホールド時間	t_{STAH}	$t_{I3CCyc} + 300$	—	ns
	ウェイクアップ機能が有効な場合の開始条件入力ホールド時間	t_{STAH}	$1(5) \times t_{I3CCyc} + t_{TCyc} + 300$	—	ns
	再開条件入力セットアップ時間	t_{STAS}	1000	—	ns
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns
	データ入力セットアップ時間	t_{SDAS}	$t_{I3CCyc} + 50$	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b (注2)	—	400	pF
IIC (ファストモード) BFCTL.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	$10(18) \times t_{I3CCyc} + 600$	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	$5(9) \times t_{I3CCyc} + 300$	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$5(9) \times t_{I3CCyc} + 300$	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	$20 \times (\text{外付けプルアップ電圧}/5.5 \text{ V})$	1000	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	$20 \times (\text{外付けプルアップ電圧}/5.5 \text{ V})$	300	ns
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{I3CCyc}$	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	$5(9) \times t_{I3CCyc} + 300$	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	$5(9) \times t_{I3CCyc} + 4 \times t_{TCyc} + 300$	—	ns
	ウェイクアップ機能が無効な場合の開始条件入力ホールド時間	t_{STAH}	$t_{I3CCyc} + 300$	—	ns
	ウェイクアップ機能が有効な場合の開始条件入力ホールド時間	t_{STAH}	$1(5) \times t_{I3CCyc} + t_{TCyc} + 300$	—	ns
	再開条件入力セットアップ時間	t_{STAS}	300	—	ns
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns
	データ入力セットアップ時間	t_{SDAS}	$t_{I3CCyc} + 50$	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b (注2)	—	400	pF

注. t_{I3CCyc} : I3C 内部基準クロック (I3C ϕ) サイクル、 t_{TCyc} : I3CCLK サイクル。

注 1. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0] が 0x3 であると括弧内の値が適用されます。

注 2. C_b はバスラインの容量総計を意味します。

表 2.44 IIC タイミング (ファストモード+)

条件 : VCC = AVCC0 = 2.7~3.6 V

パラメータ	シンボル	Min(注1)	Max(注1)	単位	
IIC (ファストモードプラス) BFCTL.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	$10(18) \times t_{I3C_{Cyc}} + 240$	ns	
	SCL 入力 High レベルパルス幅	t_{SCLH}	$5(9) \times t_{I3C_{Cyc}} + 120$	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$5(9) \times t_{I3C_{Cyc}} + 120$	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	120	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	—	120	ns
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{I3C_{Cyc}}$	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	$5(9) \times t_{I3C_{Cyc}} + 120$	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	$5(9) \times t_{I3C_{Cyc}} + 4 \times t_{T_{Cyc}} + 120$	—	ns
	ウェイクアップ機能が無効な場合の開始条件入力ホールド時間	t_{STAH}	$t_{I3C_{Cyc}} + 120$	—	ns
	ウェイクアップ機能が有効な場合の開始条件入力ホールド時間	t_{STAH}	$1(5) \times t_{I3C_{Cyc}} + t_{T_{Cyc}} + 120$	—	ns
	再開条件入力セットアップ時間	t_{STAS}	120	—	ns
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns
	データ入力セットアップ時間	t_{SDAS}	$t_{I3C_{Cyc}} + 30$	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b (注2)	—	550	pF

注. $t_{I3C_{Cyc}}$: I3C 内部基準クロック (I3Cφ) サイクル、 $t_{T_{Cyc}}$: I3CCLK サイクル。

注 1. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0] が 0x3 であると括弧内の値が適用されます。

注 2. C_b はバスラインの容量総計を意味します。

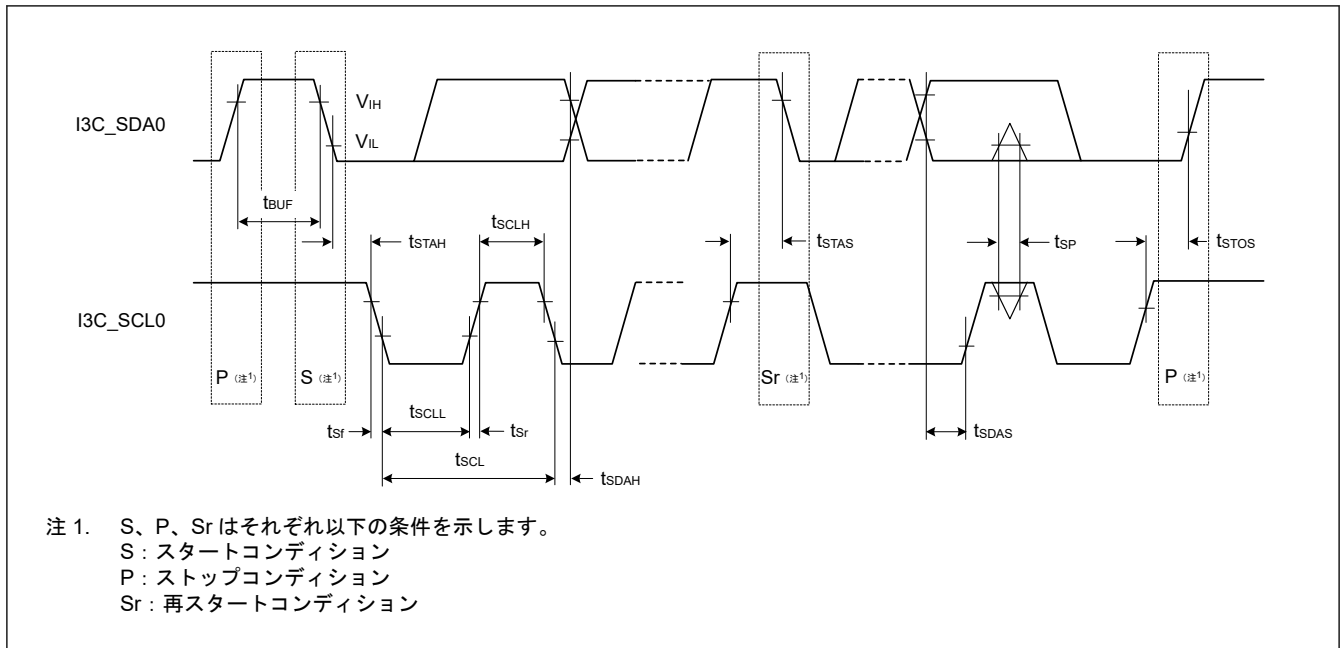


図 2.41 I²C バスインタフェース入出力タイミング

表 2.45 IIC タイミング (HS モード)

条件 : VCC = 2.7~3.60 V

パラメータ	シンボル	Min(注1)	Max(注1)	単位		
IIC (Hs モード) BFCTL.HSME = 1	SCL 入力サイクル時間	t_{SCL}	$55(57) \times t_{I3C_{Cyc}}$	— —	ns	
	SCL 入力 High レベル パルス幅	$C_b = 400 \text{ pF}$	t_{SCLH}	$43(44) \times t_{I3C_{Cyc}}$	—	ns
		$C_b = 100 \text{ pF}$		$23(24) \times t_{I3C_{Cyc}}$	—	
	SCL 入力 Low レベル パルス幅	$C_b = 400 \text{ pF}$	t_{SCLL}	$64(65) \times t_{I3C_{Cyc}}$	—	ns
		$C_b = 100 \text{ pF}$		$32(33) \times t_{I3C_{Cyc}}$	—	
	SCL 立ち上がり時間	$C_b = 400 \text{ pF}$	t_{SrCL}	—	80	ns
		$C_b = 100 \text{ pF}$		—	40	
	SDA 立ち上がり時間	$C_b = 400 \text{ pF}$	t_{SrDA}	—	160	ns
		$C_b = 100 \text{ pF}$		—	80	
	SCL 立ち下がり時間	$C_b = 400 \text{ pF}$	t_{SfCL}	—	80	ns
		$C_b = 100 \text{ pF}$		—	40	
	SDA 立ち下がり時間	$C_b = 400 \text{ pF}$	t_{SfDA}	—	160	ns
		$C_b = 100 \text{ pF}$		—	80	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(1) \times t_{I3C_{Cyc}}$	—	ns
	再開条件入力セットアップ時間	t_{STAS}	40	—	—	ns
停止条件入力セットアップ時間	t_{STOS}	40	—	—	ns	
データ入力セットアップ時間	t_{SDAS}	0	—	—	ns	
データ入力ホールド時間	$C_b = 400 \text{ pF}$	t_{SDAH}	0	150	ns	
	$C_b = 100 \text{ pF}$		0	70		
SCL、SDA の負荷容量	C_b (注2)	—	—	400	pF	

注. $t_{I3C_{Cyc}}$: I3C 内部基準クロック (I3Cφ) サイクル。

注 1. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0] が 0x3 であると括弧内の値が適用されます。

注 2. C_b はバスラインの容量総計を意味します。

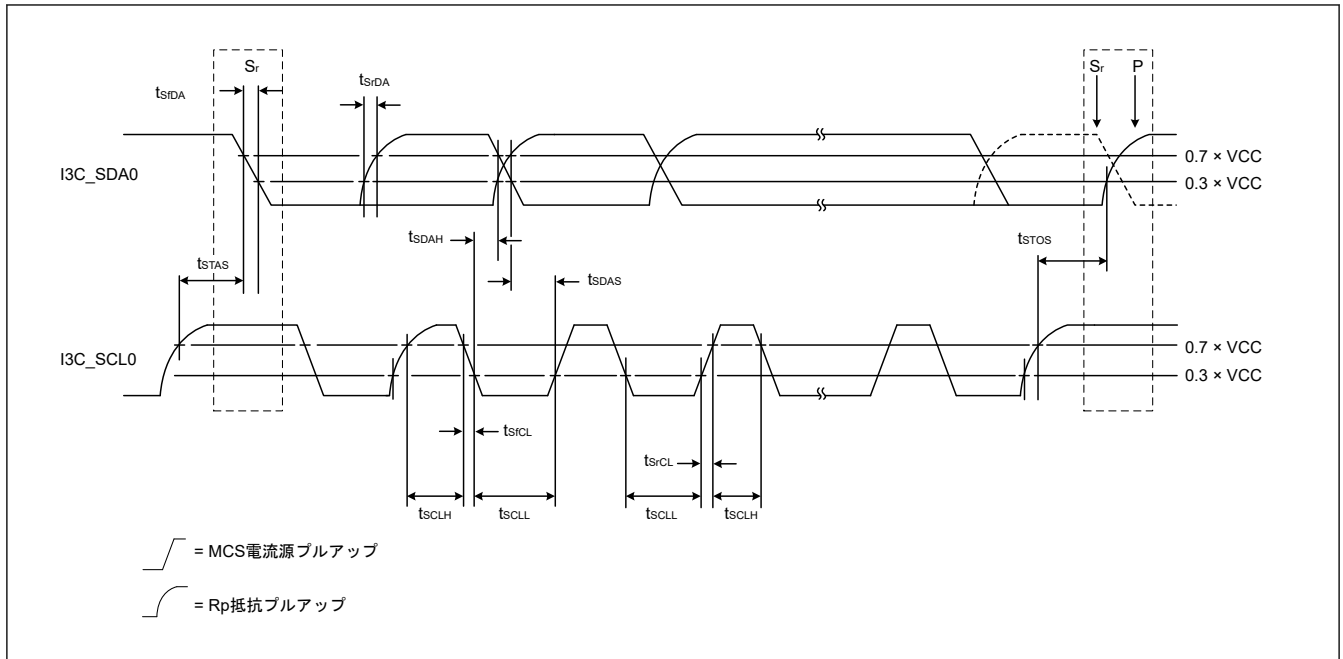


図 2.42 I²C バスインタフェース入出力タイミング (Hs モード)

表 2.46 I3C タイミング (オープンドレインタイミングパラメータ)

条件 : VCC = 3.0~3.60 V

パラメータ	シンボル	Min	Max	単位	測定条件	
I3C オープンドレインタイミングパラメータ	SCL クロック Low 期間	t _{LOW_OD} (注1)(注2)	200	—	ns	図 2.45
		t _{DIG_OD_L}	t _{LOW_ODmin} + t _{rDA_ODmin}	—	ns	図 2.45
	SCL クロック High 期間	t _{HIGH} (注3)(注4)	—	41	ns	図 2.43
		t _{DIG_H}	—	t _{HIGH} + t _{CF}	ns	図 2.43
	SDA 信号立ち下がり時間	t _{rDA_OD}	t _{CF}	33	ns	図 2.45
	SDA データセットアップ時間オープンドレインモード	t _{SU_OD} (注1)	24	—	ns	図 2.44
	スタート (S) コンディション後クロック	t _{CAS} (注5)(注6)	38.4 ナノ	ENAS0: 1 μ ENAS1: 100 μ ENAS2: 2 ミリ ENAS3: 50 ミリ	秒	図 2.45
	ストップ (P) コンディション前クロック	t _{CBP}	t _{CASmin} / 2	—	秒	図 2.46
	ハンドオフ中のカレントマスタからセカンダリマスタまでのオーバーラップ時間	t _{MMOverlap}	t _{DIG_OD_Lmin}	—	ns	図 2.51
	バス使用可能条件	t _{AVAIL} (注7)	1	—	μs	—
	バスアイドル条件	t _{DLE}	1	—	ms	—
SDA Low 駆動していない新マスタの内部時間	t _{MMLock}	t _{AVAILmin}	—	μs	図 2.51	

注 1. t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_ODmin} と近似的に同じです。
 注 2. 安全な場合、すなわち SDA がすでに VIH を上回っている場合、マスタは短い Low 期間を使用する可能性があります。
 注 3. t_{SPIKE}、立ち上がり/立ち下がり時間、インターコネクタに基づきます。
 注 4. この最大 High 期間は、レガシー I²C デバイスで信号を安全に確認できる場合や、インターコネクタを考慮した上で (バスが短い場合など)、超過する場合があります。
 製品仕様上、この最大値を保証できない場合、この最大値を変更し、ミックスバスで使用できないように指定してください。

注 5. I²C デバイスがスタートを確認する必要があるレガシーバス上

注 6. オプションの ENTASx CCC をサポートしていないスレーブは、ENTAS3 に示されている t_{CAS} 最大値を使用します。

注 7. Fm レガシー I²C デバイスのミックスバス上で、t_{AVAIL} は Fm バスフリー条件時間 (t_{BUF}) より 300 ns 短いです。

表 2.47 I3C タイミング (SDR モード用プッシュプルタイミングパラメータ)

条件: VCC = 3.0~3.60 V

パラメータ	シンボル	Min	Max	単位		
I3C プッシュプル タイミング SDR モードおよび HDR-DDR モード のパラメータ	SCL クロック周波数	f _{SCL} (注1)	0.01	6.38	MHz	
	SCL クロック Low 期間	t _{LOW}	71	—	ns	
		t _{DIG_L} (注2)(注4)	79	—	ns	
	ミックスバスにおける SCL ク ロックの High 期間	t _{HIGH_MIXED}	60	—	ns	
		t _{DIG_H_MIXED} (注2) (注3)	68	—	ns	
	SCL クロック High 期間	t _{HIGH}	60	—	ns	
		t _{DIG_H} (注2)	68	—	ns	
	スレーブ用データ出カクロック	t _{SCO}	—	33	ns	
	SCL クロック立ち上がり時間	t _{CR}	—	150 × 1 / f _{SCL} (上限 60)	ns	
	SCL クロック立ち下がり時間	t _{CF}	—	150 × 1 / f _{SCL} (上限 60)	μs	
	プッシュプルモード の SDA 信号データホ ールド	マスタ	t _{HD_PP} (注4)	t _{CR} + 3, t _{CF} + 3	—	—
		スレー ブ	t _{HD_PP}	0	—	—
	プッシュプルモードの SDA 信 号データセットアップ	t _{SU_PP}	27	N/A	ns	
	繰り返しのスタート (Sr) 後ク ロック	t _{CASr}	t _{CASmin}	N/A	ns	
繰り返しのスタート (Sr) 前ク ロック	t _{CBSr}	t _{CASmin} / 2	N/A	ns		
バスライン (SDA/SCL) ごとの 容量性負荷	C _b	—	50	pF		

注 1. $f_{SCL} = 1 / (t_{DIG_L} + t_{DIG_H})$

注 2. t_{DIG_L} および t_{DIG_H} は、V_{IL}、V_{IH} を使用した I3C バスのレシーバ終了時の Low および High 期間クロックです。

注 3. ミックスバス上で I3C デバイスと通信する際は、I²C デバイスが I3C シグナリングを有効な I²C シグナリングと解釈しないようにするため、t_{DIG_H_MIXED} 期間に制約を設ける必要があります。

注 4. 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。すなわち、立ち下がりエッジクロックに対して t_{CF} + 3、立ち上がりエッジクロックに対して t_{CR} + 3 です。

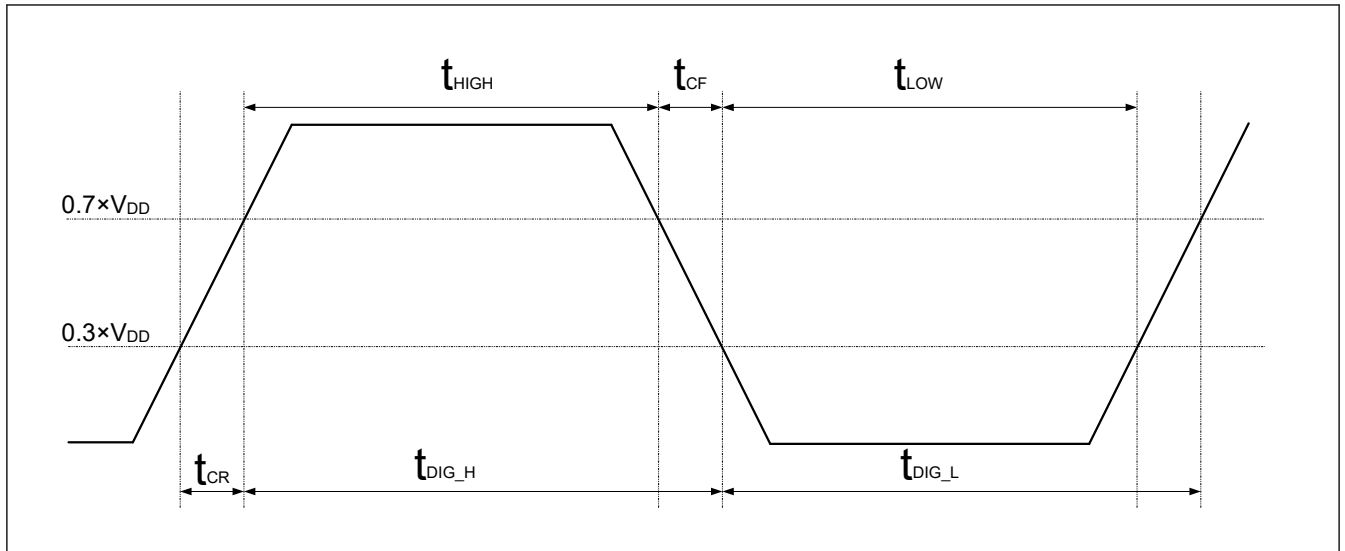


図 2.43 t_{DIG_H}、t_{DIG_L}

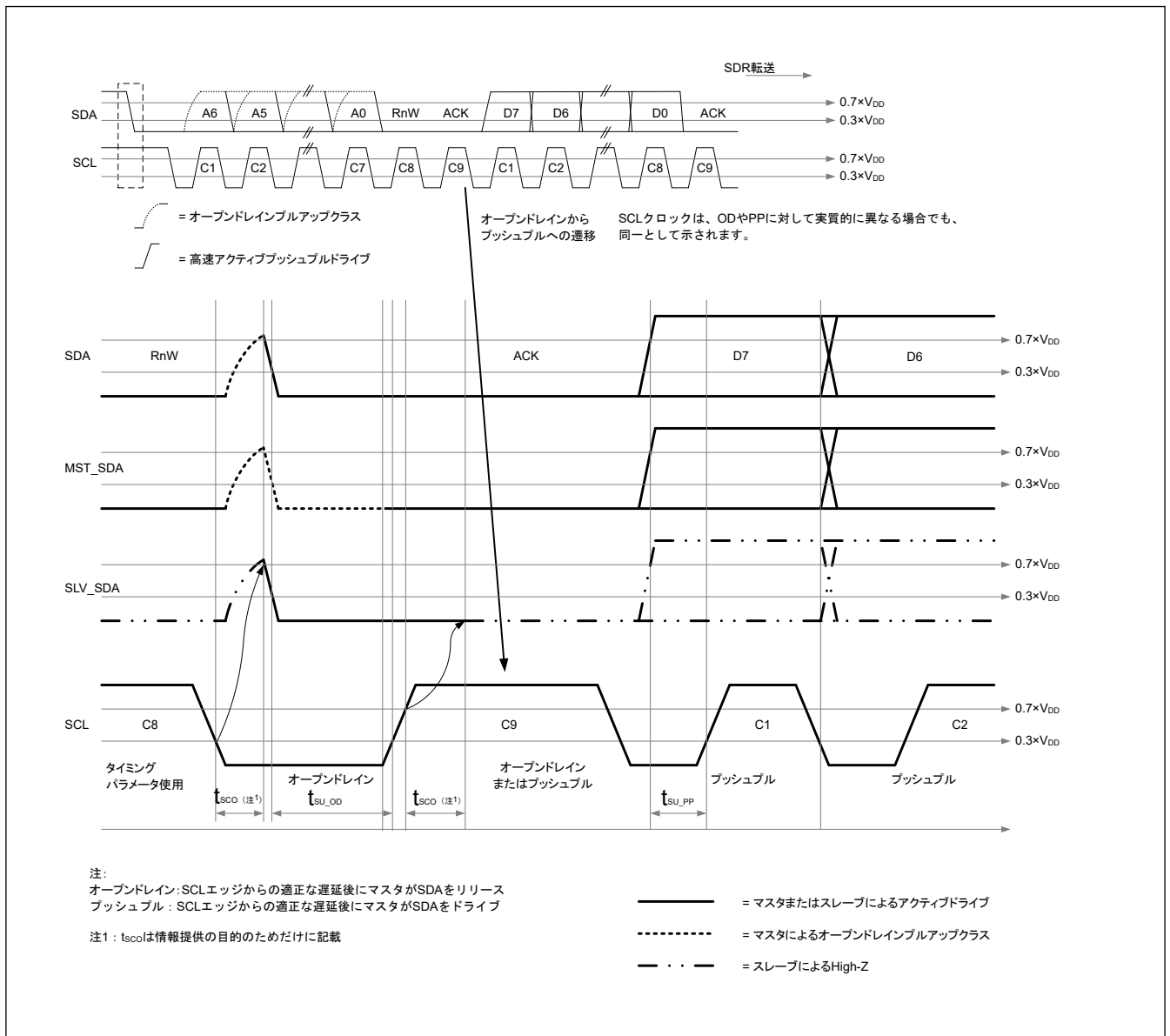


図 2.44 I3C データ転送 - スレーブによる ACK

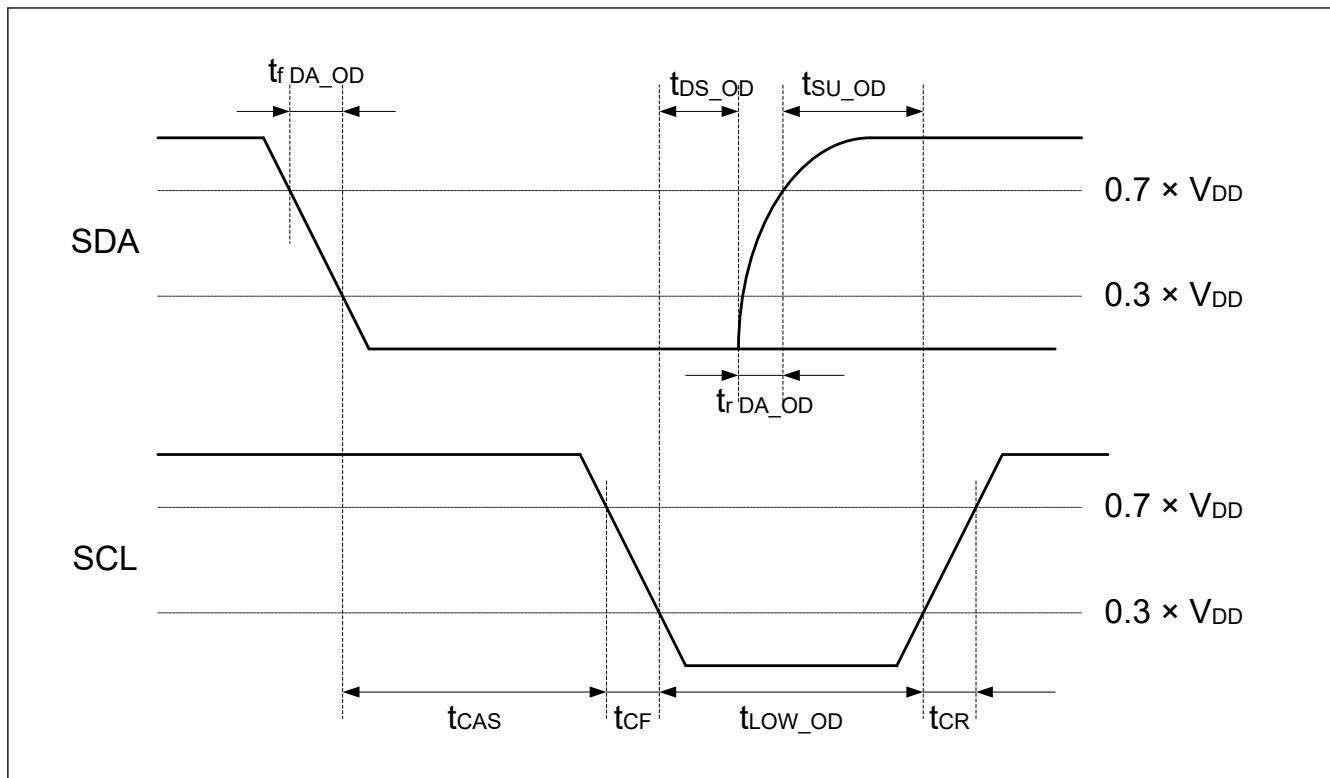


図 2.45 I3C スタートコンディションタイミング

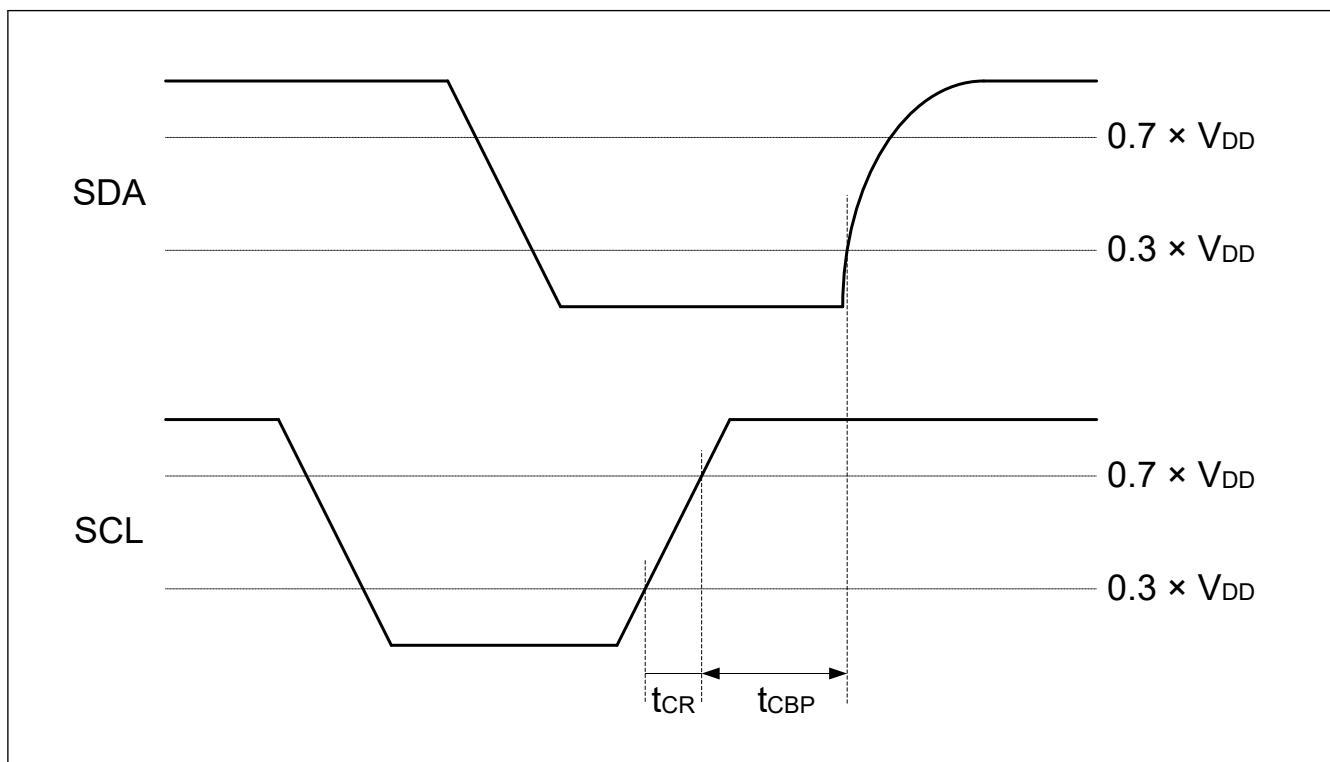


図 2.46 I3C ストップコンディションタイミング

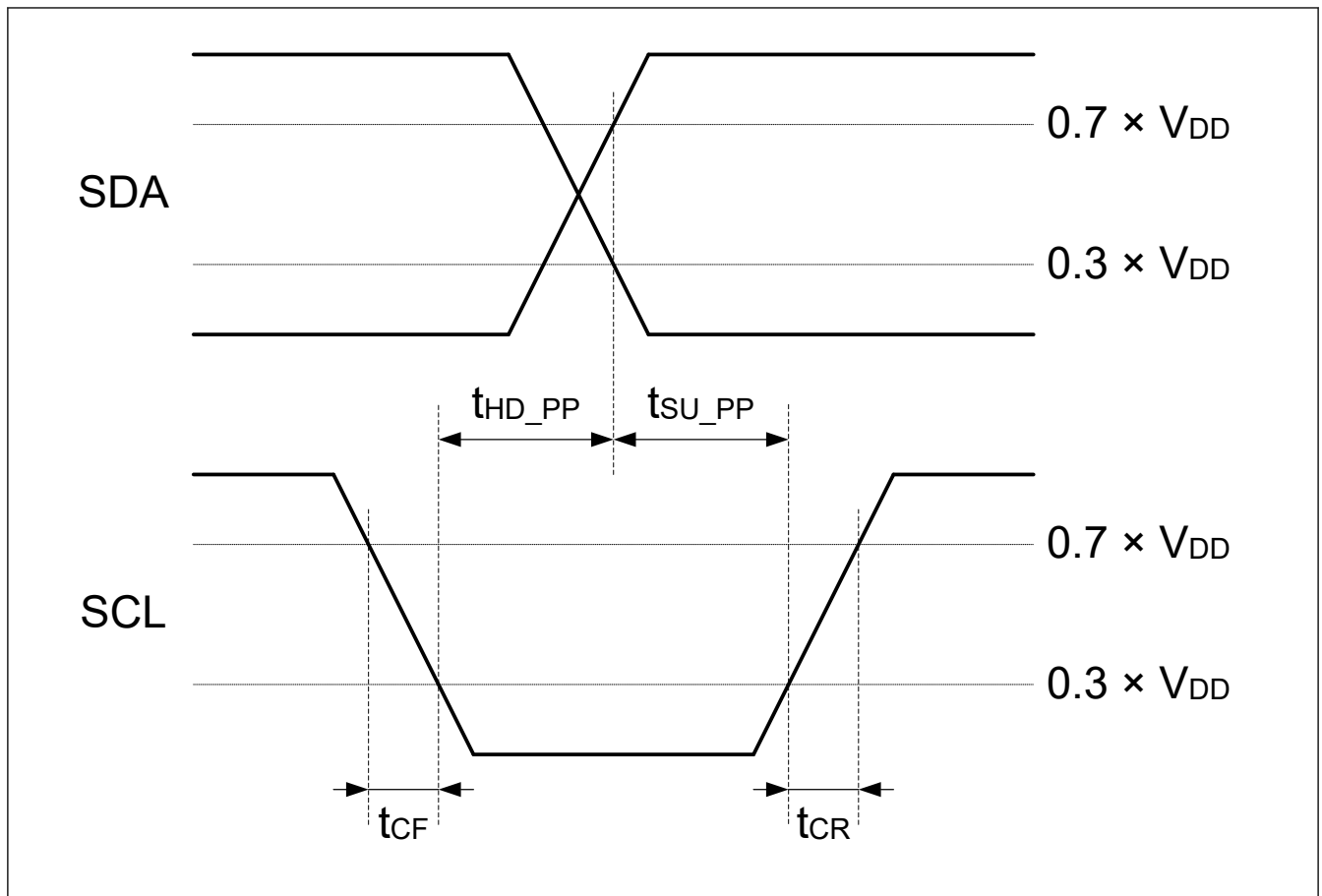


図 2.47 I3C マスタ出力タイミング

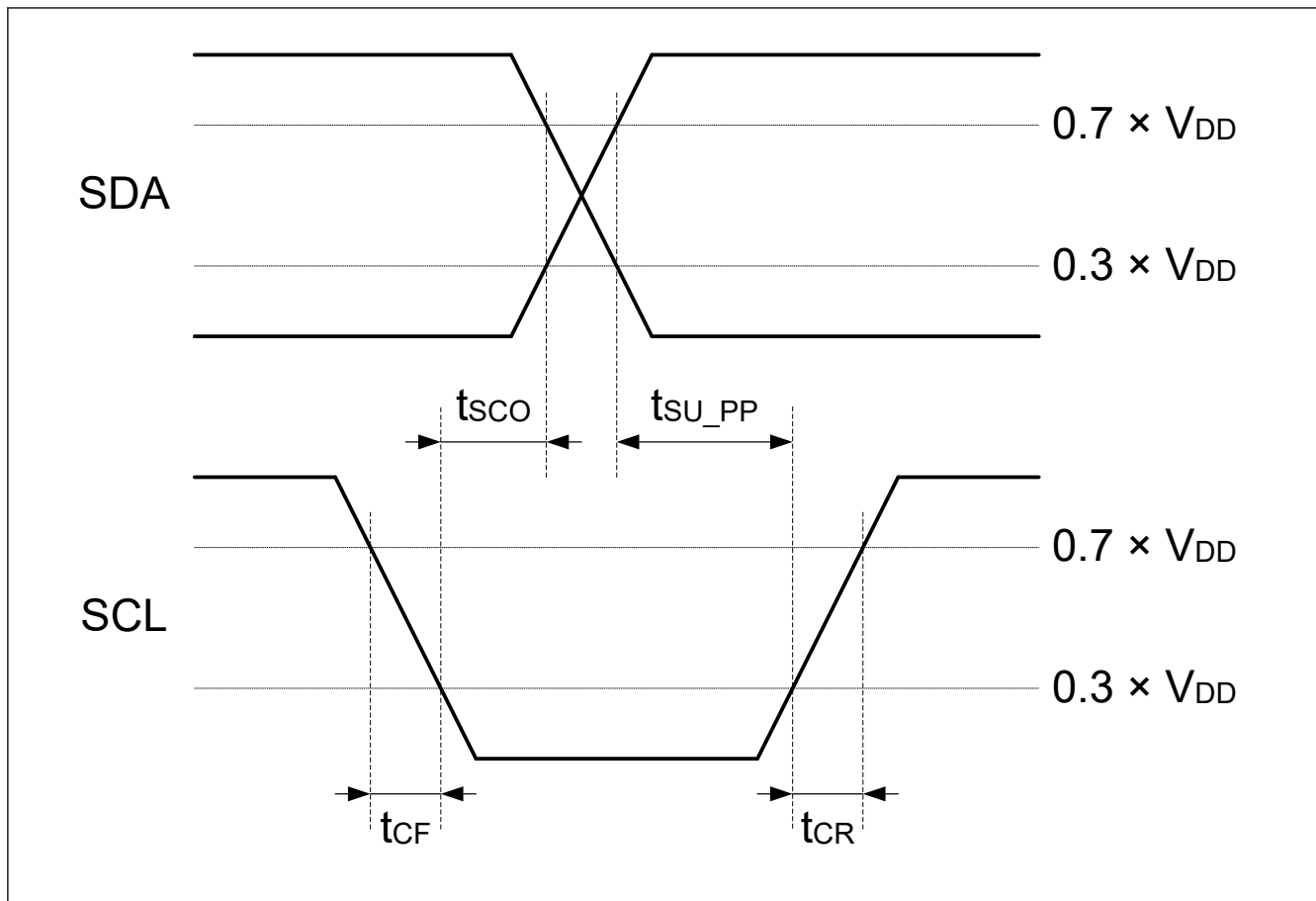


図 2.48 I3C スレーブ出カタイミング

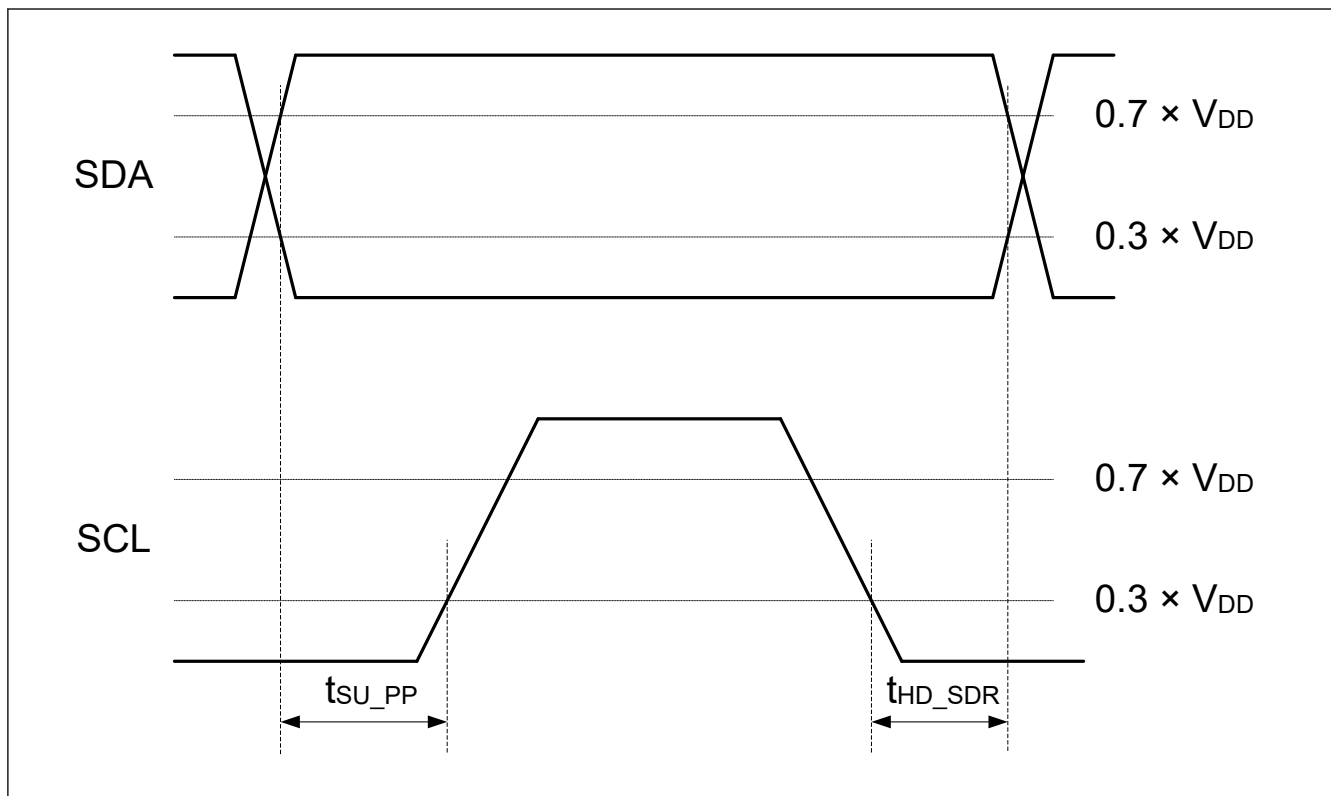


図 2.49 マスタ SDR タイミング

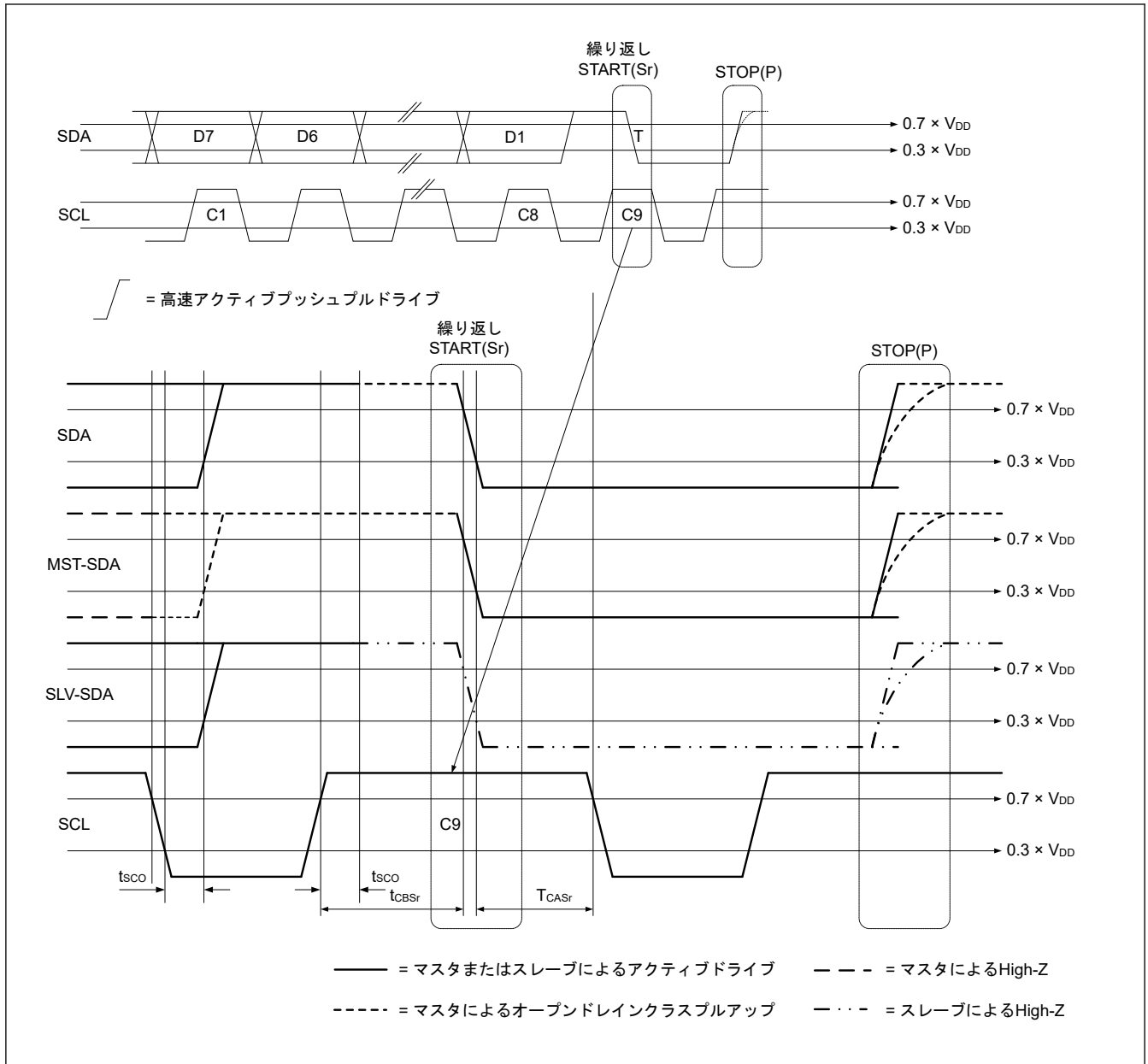


図 2.50 繰り返しのスタートコンディションおよびストップコンディションでのマスタ終了時の T ビット読み出し

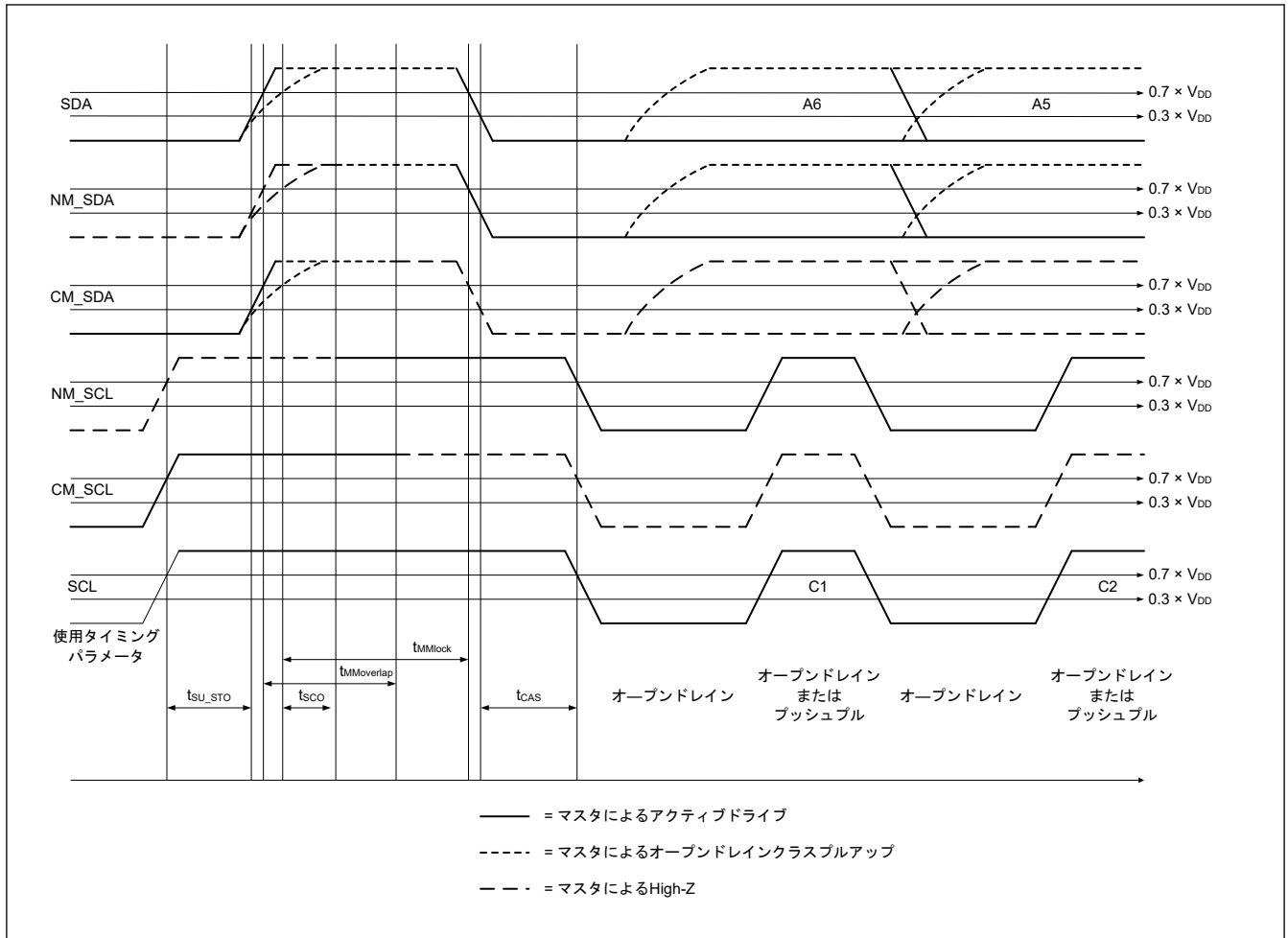


図 2.51 I3C タイミング (オープンドレインタイミングパラメータ)

2.3.13 SSIE タイミング

表 2.48 SSIE タイミング (1/2)

(1) 所属グループを示すため、"A"や"B"などのように端子名の後ろに文字を付加した端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目	シンボル	目標仕様		単位	測定条件			
		Min	Max					
SSIBCK0	サイクル	マスタ	$2.7 \leq VCC \leq 3.6$	t_o	150	—	ns	図 2.52
			$2.4 \leq VCC < 2.7$	200	—	ns		
			$1.8 \leq VCC < 2.4$	250	—	ns		
			$1.6 \leq VCC < 1.8$	1000	—	ns		
		スレーブ	$2.7 \leq VCC \leq 3.6$	t_i	150	—	ns	
			$2.4 \leq VCC < 2.7$	200	—	ns		
			$1.8 \leq VCC < 2.4$	250	—	ns		
			$1.6 \leq VCC < 1.8$	1000	—	ns		
	High レベル/Low レベル	マスタ	t_{HC}/t_{LC}	0.35	—	t_o		
		スレーブ	0.35	—	t_i			
立ち上がり時間/立ち下がり時間	マスタ	t_{RC}/t_{FC}	—	0.15	t_o / t_i			
	スレーブ	—	0.15	t_o / t_i				

表 2.48 SSIE タイミング (2/2)

(1) 所属グループを示すため、"_A"や"B"のように端子名の後ろに文字を付加した端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目	シンボル	目標仕様		単位	測定条件			
		Min	Max					
SSILRCK0/ SSIFS0、 SSITXD0、 SSIRXD0	入力セットアップ時間	マスタ	$2.7 \leq VCC \leq 3.6$	t_{SR}	30	—	ns	図 2.54, 図 2.55
			$2.4 \leq VCC < 2.7$	30	—	ns		
			$1.8 \leq VCC < 2.4$	45	—	ns		
			$1.6 \leq VCC < 1.8$	60	—	ns		
		スレーブ	$2.7 \leq VCC \leq 3.6$	10	—	ns		
			$1.8 \leq VCC < 2.7$	10	—	ns		
			$1.8 \leq VCC < 2.7$	10	—	ns		
			$1.6 \leq VCC < 1.8$	10	—	ns		
	入力ホールド時間	マスタ	t_{HR}	10	—	ns		
		スレーブ	18	—	ns			
	出力遅延時間	マスタ	$2.7 \leq VCC \leq 3.6$	t_{DTR}	0	15	ns	
			$2.4 \leq VCC < 2.7$	0	15			
			$1.8 \leq VCC < 2.4$	0	15			
			$1.6 \leq VCC < 1.8$	0	15			
		スレーブ	$2.7 \leq VCC \leq 3.6$	8	35	ns		
			$2.4 \leq VCC < 2.7$	10	40			
$1.8 \leq VCC < 2.4$			10	55				
$1.6 \leq VCC < 1.8$			10	65				
SSILRCK0/SSIFS0 変化時からの出力遅延時間	スレーブ	$2.7 \leq VCC \leq 3.6$	t_{DTRW}	10	35	ns		
		$2.4 \leq VCC < 2.7$	10	35				
		$1.8 \leq VCC < 2.4$	10	48				
		$1.6 \leq VCC < 1.8$	10	60				
GTIOC2A, AUDIO_CLK	サイクル	$1.8 \leq VCC < 3.6$	t_{EXcyc}	25	—	ns	図 2.53	
		$1.6 \leq VCC < 1.8$	250	—				
	High レベル/Low レベル	t_{EXL}/t_{EXH}	0.4	0.6	t_{EXcyc}			

注 1. SSIE はスレーブモード送信用に 1 本の経路を備え、その経路により SSILRCK0/SSIFS0 端子からの信号入力が送信データの生成に使用され、送信データが SSITXD0 端子へ論理出力されます。

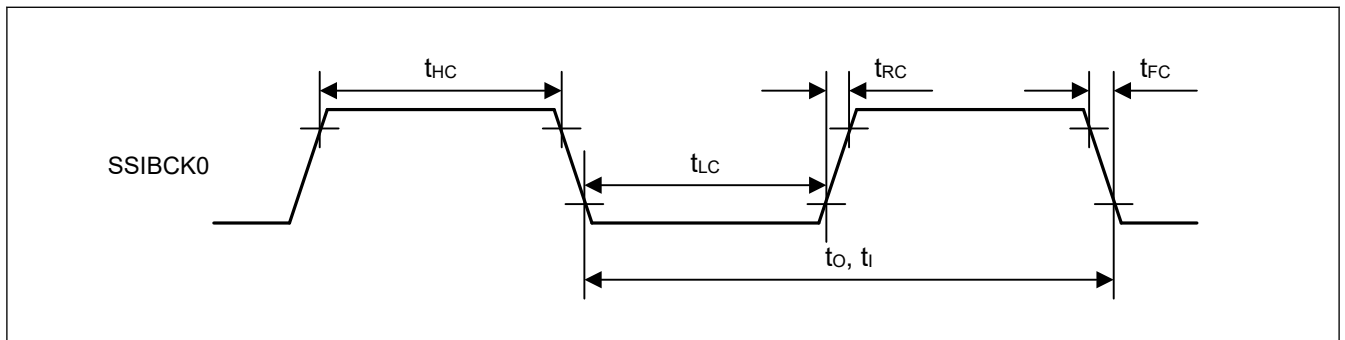


図 2.52 SSIE クロック入出力タイミング

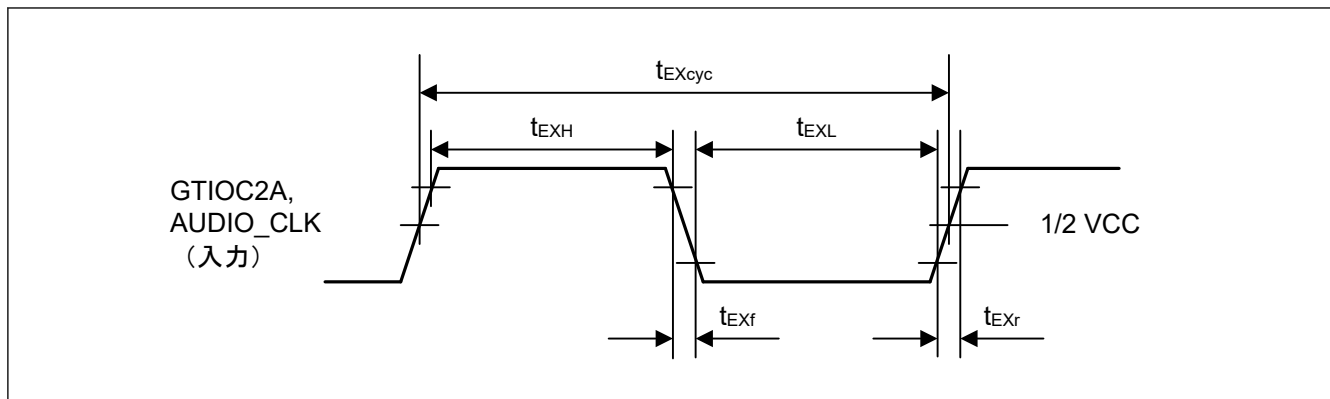


図 2.53 クロック入力タイミング

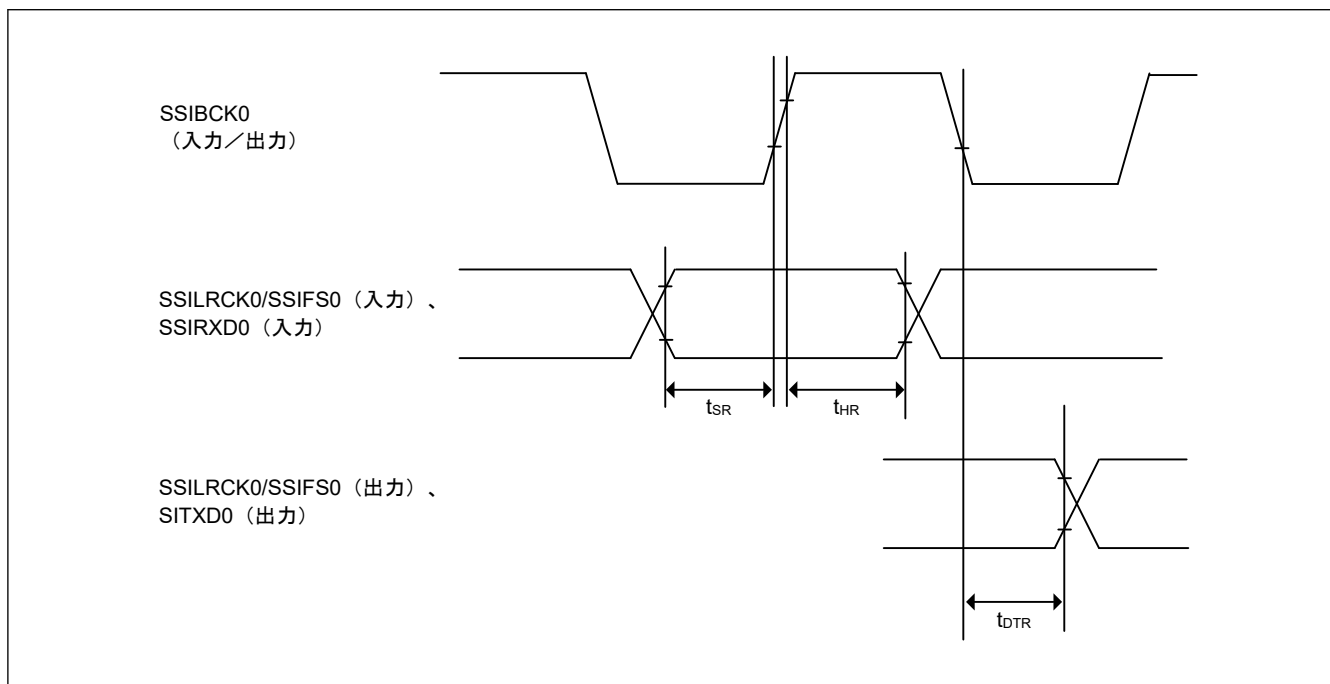


図 2.54 SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

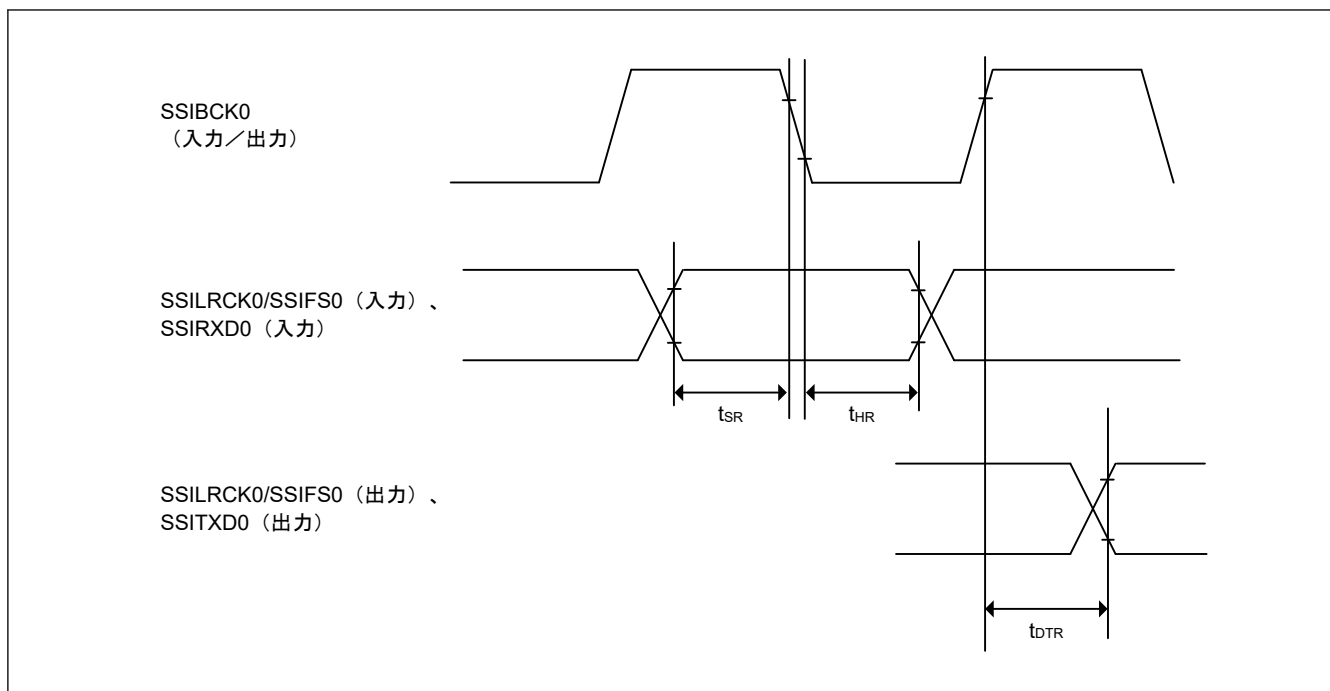


図 2.55 SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング

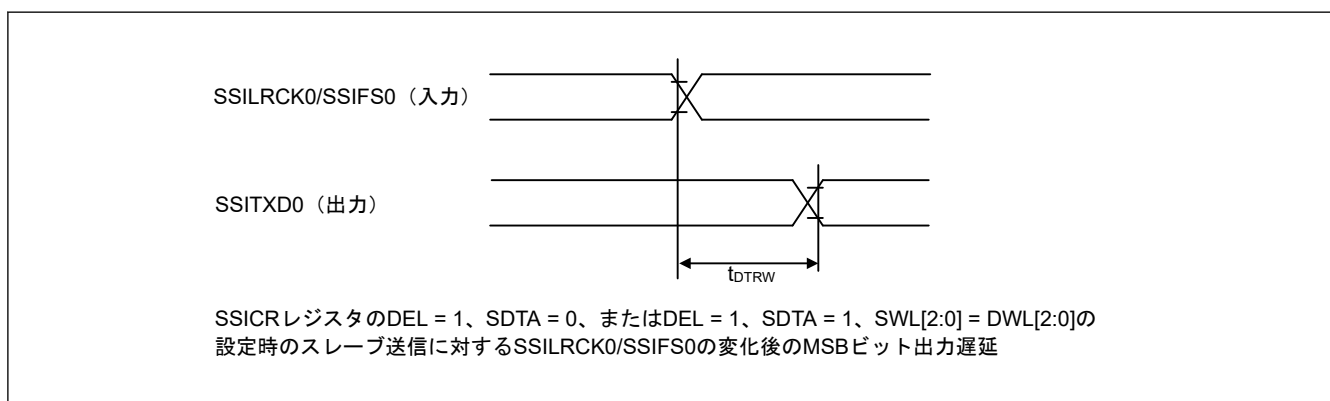


図 2.56 SSILRCK0/SSIFS0 変化時からの SSIE データ出力遅延

2.3.14 UARTA タイミング

表 2.49 UARTA インタフェースタイミング

項目	シンボル	Min	Max	単位	測定条件
転送速度	—	200	153600	bps	—

2.3.15 CANFD タイミング

表 2.50 CANFD インタフェースタイミング

項目	シンボル	CAN		CANFD		単位	測定条件
		Min	Max	Min	Max		
内部遅延時間	t_{node}	—	100	—	75	ns	図 2.57

注. $t_{node} = t_d(CTX) + t_d(CRX)$

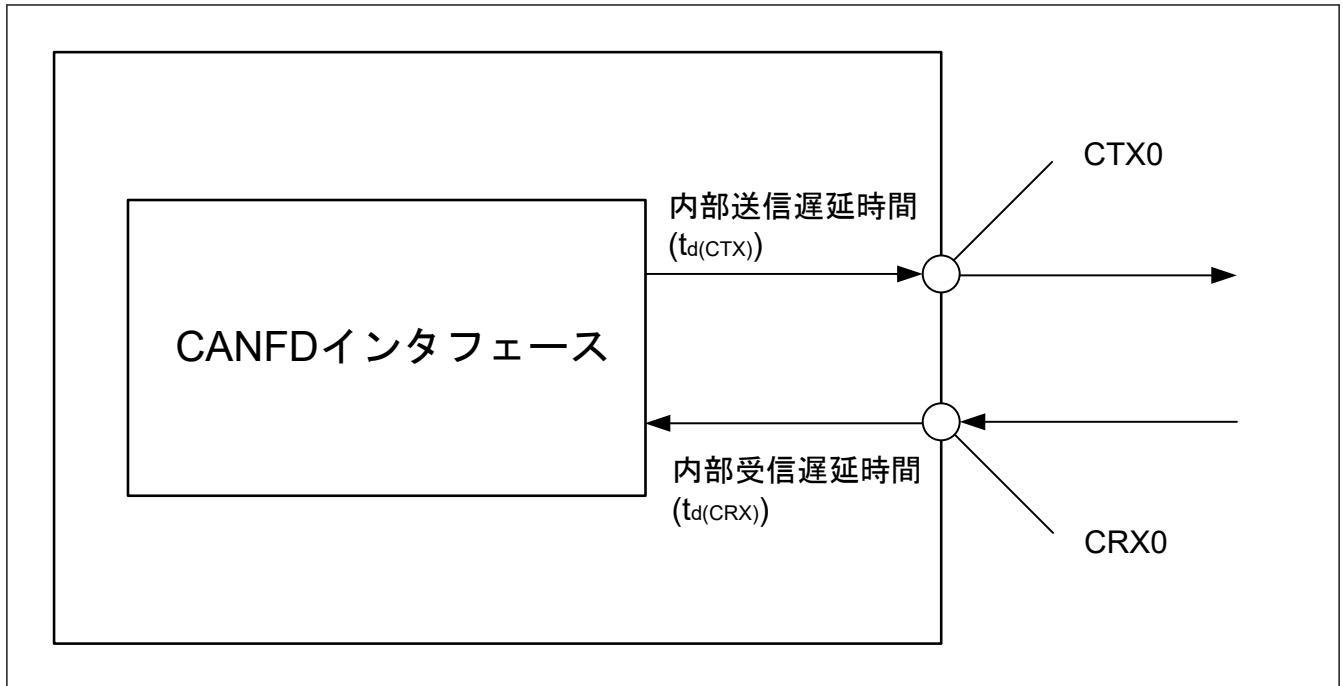


図 2.57 CANFD インタフェース条件

2.4 USB 特性

2.4.1 USBFS タイミング

表 2.51 USBFS フルスピード特性 (USB_DP 端子および USB_DM 端子特性)

条件 : VCC = AVCC0 = VCC_USB = 3.0~3.6 V、 $2.7 \leq VREFH0/VREFH \leq AVCC0$ 、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	$ USB_DP - USB_DM $
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	$I_{OH} = -200 \mu A$
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	$I_{OL} = 2 \text{ mA}$
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 2.58
	立ち上がり時間	t_{LR}	4	—	20	ns	
	立ち下がり時間	t_{LF}	4	—	20	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	90	—	111.11	%	t_{FR} / t_{FF}
	出力抵抗	Z_{DRV}	28	—	44	Ω	USBFS : $R_s = 27 \Omega$ 含む
プルアップ／プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	—	1.575	k Ω	アイドル状態の間
			1.425	—	3.090	k Ω	送受信中
	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	k Ω	—

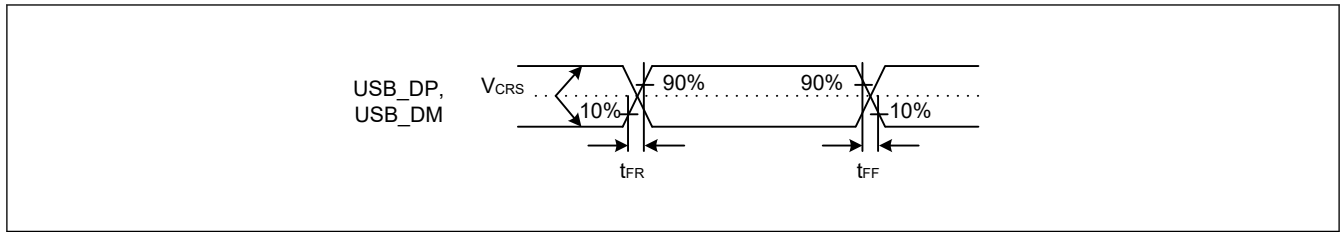


図 2.58 フルスピードモードにおける USB_DP、USB_DM の出カタイミング

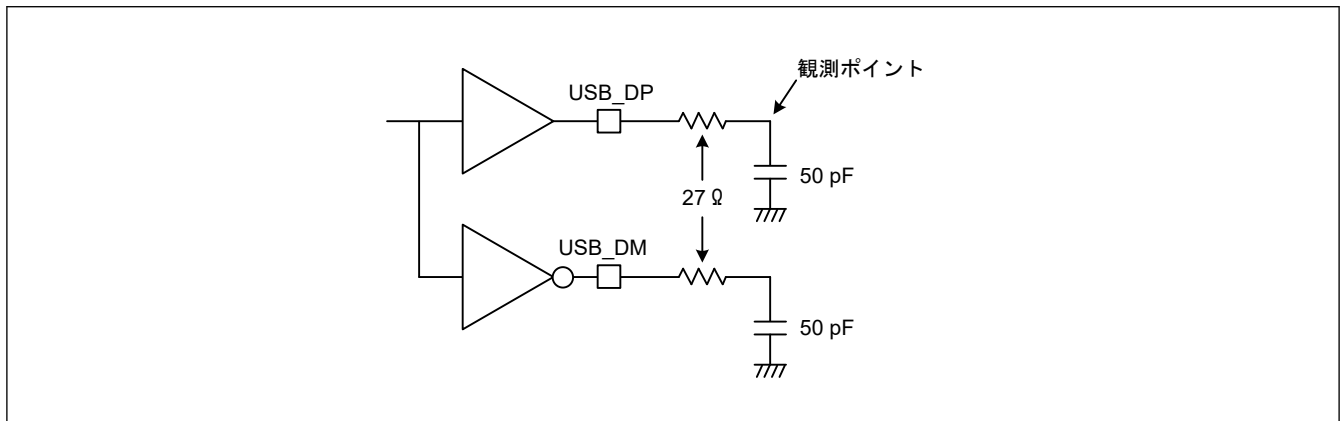


図 2.59 フルスピードモードにおける測定回路

2.5 ADC12 特性

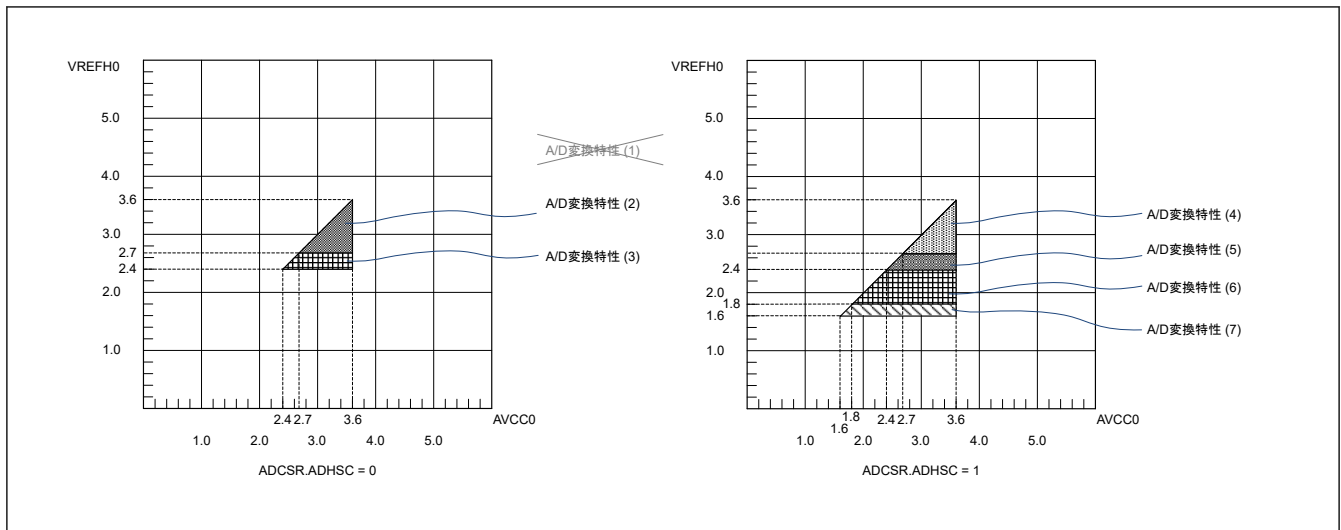


図 2.60 AVCC0~VREFH0 電圧範囲

表 2.52 高速 A/D 変換モードにおける A/D 変換特性 (1) (1/2)

条件 : VCC = AVCC0 = VREFH0 = 2.7~3.6 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKC (ADCLK) 周波数	1	—	48	MHz	—
アナログ入力容量(注2)	Cs	—	g(注3)	pF	高精度チャネル
			10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	1.9(注3)	kΩ	高精度チャネル
			6.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—

表 2.52 高速 A/D 変換モードにおける A/D 変換特性 (1) (2/2)

条件 : VCC = AVCC0 = VREFH0 = 2.7~3.6 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKC = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±5.5	LSB	高精度チャネル	
			±7.0	LSB	指定以外	
フルスケール誤差	—	±1.0	±5.5	LSB	高精度チャネル	
			±7.0	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±2.5	±6.0	LSB	高精度チャネル	
			±9.0	LSB	指定以外	
DNL 微分非直線性誤差	—	±1.0	—	LSB	—	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.53 高速 A/D 変換モードにおける A/D 変換特性 (2) (1/2)

条件 : VCC = AVCC0 = VREFH0 = 2.4~3.6 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKC (ADCLK) 周波数	1	—	32	MHz	—	
アナログ入力容量 ^(注2)	Cs	—	9 ^(注3)	pF	高精度チャネル	
			10 ^(注3)	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	2.2 ^(注3)	kΩ	高精度チャネル	
			7.0 ^(注3)	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKC = 32 MHz で動作時)	許容信号源インピーダンス Max = 1.3 kΩ	1.00 (0.328) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.94 (1.266) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1

表 2.53 高速 A/D 変換モードにおける A/D 変換特性 (2) (2/2)

条件 : VCC = AVCC0 = VREFH0 = 2.4~3.6 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min		Max	単位	測定条件
オフセット誤差	—	±1.0	±5.5	LSB	高精度チャネル
			±7.0	LSB	指定以外
フルスケール誤差	—	±1.0	±5.5	LSB	高精度チャネル
			±7.0	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.50	±6.0	LSB	高精度チャネル
			±9.0	LSB	指定以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.2 LSB/V 加算する必要があります。

表 2.54 低消費電力 A/D 変換モードにおける A/D 変換特性 (3) (1/2)

条件 : VCC = AVCC0 = VREFH0 = 2.7~3.6 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKC (ADCLK) 周波数	1	—	24	MHz	—	
アナログ入力容量 ^(注2)	Cs	—	9 ^(注3)	pF	高精度チャネル	
			10 ^(注3)	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	1.9 ^(注3)	kΩ	高精度チャネル	
			6 ^(注3)	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKC = 24 MHz で動作時)	許容信号源 インピーダンス Max = 1.1 kΩ	1.58 (0.438) ^(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		2.0 (0.854) ^(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±6.0	LSB	高精度チャネル	
			±7.5	LSB	指定以外	
フルスケール誤差	—	±1.25	±6.0	LSB	高精度チャネル	
			±7.5	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.25	±7.0	LSB	高精度チャネル	
			±10.0	LSB	指定以外	

表 2.54 低消費電力 A/D 変換モードにおける A/D 変換特性 (3) (2/2)

条件 : VCC = AVCC0 = VREFH0 = 2.7~3.6 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.55 低消費電力 A/D 変換モードにおける A/D 変換特性 (4)

条件 : VCC = AVCC0 = VREFH0 = 2.4~3.6 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKC (ADCLK) 周波数	1	—	16	MHz	—	
アナログ入力容量 ^(注2)	Cs	—	9 ^(注3)	pF	高精度チャネル	
		—	10 ^(注3)	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	2.2 ^(注3)	kΩ	高精度チャネル	
		—	7 ^(注3)	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKC = 16 MHz で動作時)	許容信号源インピーダンス Max = 2.2 kΩ	2.38 (0.656) ^(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		3.0 (1.281) ^(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±6.0	LSB	高精度チャネル	
			±7.5	LSB	指定以外	
フルスケール誤差	—	±1.25	±6.0	LSB	高精度チャネル	
			±7.5	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.25	±7.0	LSB	高精度チャネル	
			±10.0	LSB	指定以外	
DNL 微分非直線性誤差	—	±1.5	—	LSB	—	
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.56 低消費電力 A/D 変換モードにおける A/D 変換特性 (5)

条件：VCC = AVCC0 = VREFH0 = 1.8~3.6 V^(注5) (VCC < 2.0 V のとき、AVCC0 = VCC)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKC (ADCLK) 周波数	1	—	8	MHz	—	
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル	
		—	10 ^(注3)	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	6 ^(注3)	kΩ	高精度チャネル	
		—	14 ^(注3)	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKC = 8 MHz で動作時)	許容信号源 インピーダンス Max = 5 kΩ	4.75 (1.313) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		6.0 (2.563) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャネル	
			±10.0	LSB	指定以外	
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャネル	
			±10.0	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.75	±9.5	LSB	高精度チャネル	
			±13.5	LSB	指定以外	
DNL 微分非直線性誤差	—	±2.0	—	LSB	—	
INL 積分非直線性誤差	—	±2.25	±4.5	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.57 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (1/2)

条件：VCC = AVCC0 = VREFH0 = 1.6~3.6 V^(注5) (VCC < 2.0 V のとき、AVCC0 = VCC)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKC (ADCLK) 周波数	1	—	4	MHz	—
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル
		—	10 ^(注3)	pF	通常精度チャネル

表 2.57 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (2/2)

条件 : VCC = AVCC0 = VREFH0 = 1.6~3.6 V^(注5) (VCC < 2.0 V のとき、AVCC0 = VCC)、VSS = AVSS0 = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
アナログ入力抵抗	Rs	—	—	12 ^(注3)	kΩ	高精度チャネル
		—	—	28 ^(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間 ^(注1) (PCLKC = 4 MHz で動作時)	許容信号源インピーダンス Max = 9.9 kΩ	9.5 (2.625) ^(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		12.0 (5.125) ^(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
フルスケール誤差		—	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.75	±9.5	LSB	高精度チャネル
				±13.5	LSB	指定以外
DNL 微分非直線性誤差		—	±2.0	—	LSB	—
INL 積分非直線性誤差		—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

図 2.61 にアナログ入力の等価回路を示します。

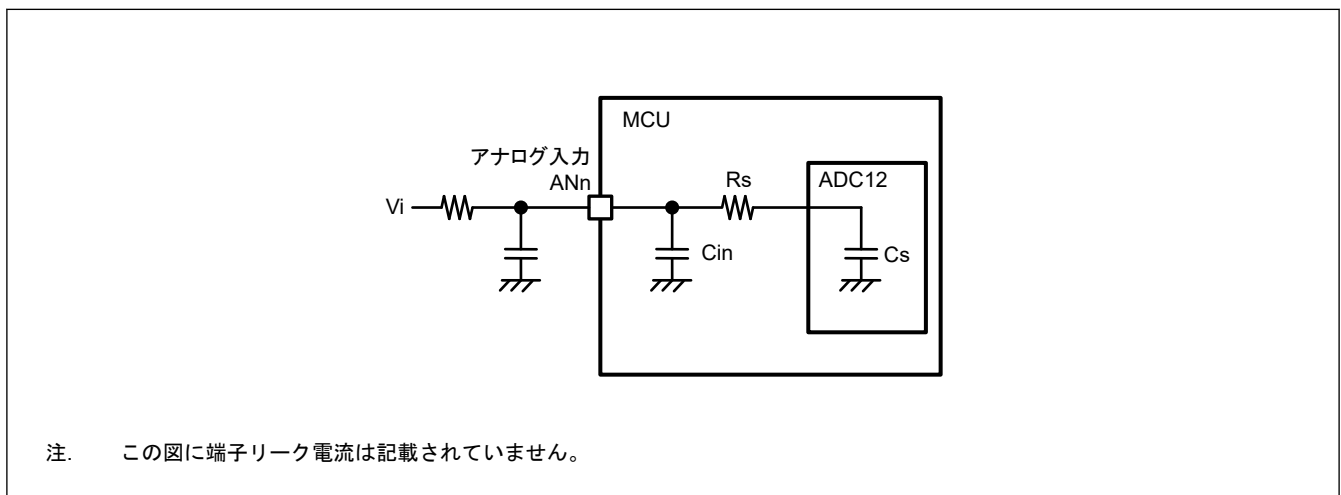


図 2.61 アナログ入力の等価回路

表 2.58 12 ビット A/D コンバータチャンネル分類

分類	チャンネル	条件	注意点
高精度チャンネル	AN000~AN006	AVCC0 = 1.6~3.6 V	AN000~AN006 端子は、汎用 I/O に使用不可 (A/D コンバータが使用中の場合)
通常精度チャンネル	AN017~AN025		
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 1.8~3.6 V	—
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 1.8~3.6 V	—
CTSU からの入力チャンネル	CTSU TSCAP 電圧	AVCC0 = 1.6~3.6 V	—

表 2.59 A/D 内部基準電圧特性

条件: VCC = AVCC0 = VREFH0 = 1.8~3.6 V(注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル(注2)	1.42	1.48	1.54	V	—
PCLKC (ADCLK) 周波数(注3)	1	—	2	MHz	—
サンプリング時間(注4)	5.0	—	—	μs	—

- 注 1. AVCC0 < 1.8 V のとき、内部基準電圧を入力チャンネルに選択することはできません。
- 注 2. 12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。
- 注 3. 高電位基準電圧に内部基準電圧を選択した場合
- 注 4. 内部基準電圧の変換時

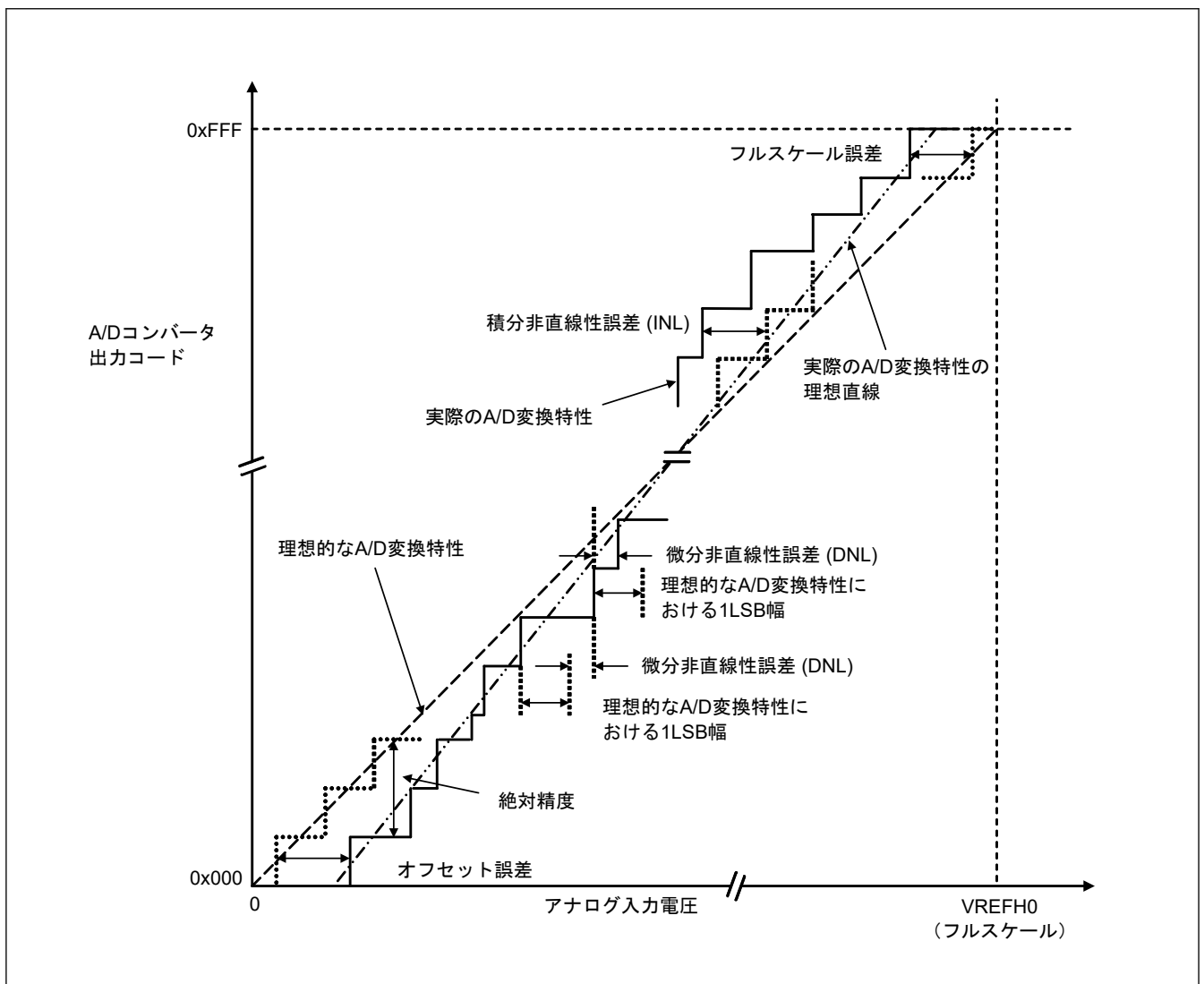


図 2.62 12 ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1-LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 $V_{REFH0} = 3.072 \text{ V}$ の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV 、 0.75 mV 、および 1.5 mV が使用されます。 $\pm 5 \text{ LSB}$ の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが $0x008$ であっても、実際の A/D 変換結果は $0x003 \sim 0x00D$ の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.6 DAC12 特性**表 2.60 12 ビット D/A 変換特性**

条件 : $V_{CC} = AV_{CC0} = 1.8 \sim 3.6 \text{ V}$

基準電圧 = AV_{CC0} または AV_{SS0} (選択した方)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
負荷抵抗	30	—	—	$k\Omega$	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.35	—	$AV_{CC0} - 0.47$	V	—
DNL 微分非直線性誤差	—	± 0.5	± 2.0	LSB	—
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	—
オフセット誤差	—	—	± 30	mV	—
フルスケール誤差	—	—	± 30	mV	—
出力インピーダンス	—	5	—	Ω	—
変換時間	—	—	30	μs	—

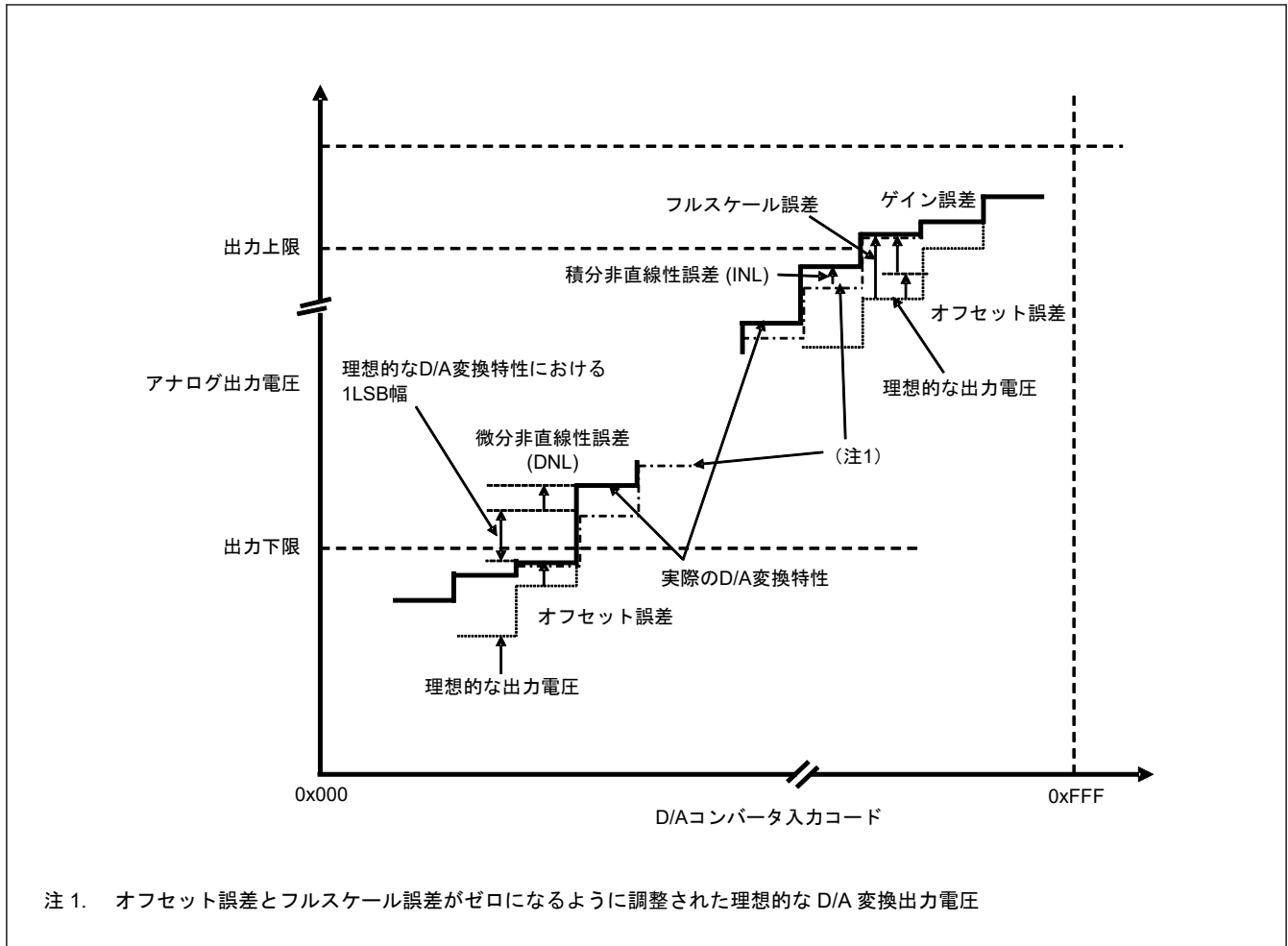


図 2.63 D/A コンバータ 特性用語の解説図

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な変換特性に基づく理想的な出力電圧と、実際の出力電圧との最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 D/A 変換特性に基づく 1-LSB の電圧幅と、実際の出力電圧幅との差です。

オフセット誤差

オフセット誤差とは、出力下限を下回る一番高い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

フルスケール誤差

フルスケール誤差とは、出力上限を上回る一番低い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

2.7 TSN 特性

表 2.61 TSN 特性 (1/2)

条件 : VCC = AVCC0 = 1.8~3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4 V 以上
		—	±2.0	—	°C	2.4 V 未満
温度傾斜	—	—	-3.3	—	mV/°C	—

表 2.61 TSN 特性 (2/2)

条件 : VCC = AVCC0 = 1.8~3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件
出力電圧 (25°C時)	—	—	1.05	—	V	VCC = 3.3 V
温度センサ起動時間	t _{START}	—	—	5	μs	—
サンプリング時間	—	5	—	—	μs	—

2.8 OSC 停止検出特性

表 2.62 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t _{dr}	—	—	1	ms	図 2.64

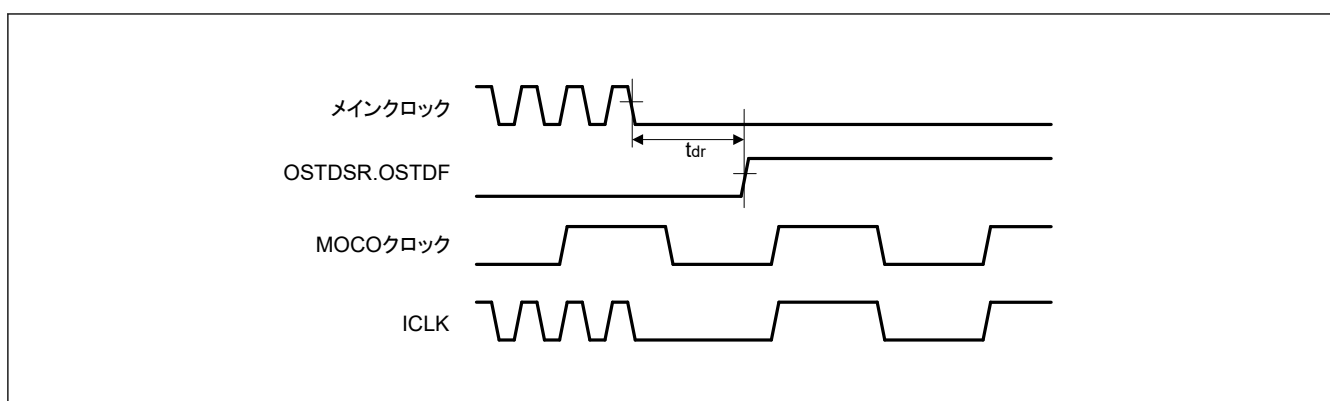


図 2.64 発振停止検出タイミング

2.9 POR と LVD の特性

表 2.63 パワーオンリセット回路、電圧検出回路の特性 (1) (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット (POR)	電源上昇時	V _{POR}	1.47	1.51	1.55	V	図 2.65、図 2.66
	電源下降時	V _{POR}	1.46	1.50	1.54		図 2.65
電圧検出回路 (LVD0) (注1)	電源上昇時	V _{det0_0}	2.73	2.9	3.01	V	図 2.67
	電源下降時		2.68	2.85	2.96		
	電源上昇時	V _{det0_1}	2.44	2.59	2.70		
	電源下降時		2.38	2.53	2.64		
	電源上昇時	V _{det0_2}	1.83	1.95	2.07		
	電源下降時		1.78	1.90	2.02		
	電源上昇時	V _{det0_3}	1.66	1.75	1.88		
	電源下降時		1.60	1.69	1.82		

表 2.63 パワーオンリセット回路、電圧検出回路の特性 (1) (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件		
電圧検出回路 (LVD1) (注2)	電源上昇時	V_{det1_0}	3.05	3.17	3.29	V	図 2.68		
	電源下降時		2.98	3.10	3.22				
	電源上昇時	V_{det1_1}	2.95	3.06	3.17				
	電源下降時		2.89	3.00	3.11				
	電源上昇時	V_{det1_2}	2.86	2.97	3.08				
	電源下降時		2.79	2.90	3.01				
	電源上昇時	V_{det1_3}	2.74	2.85	2.96				
	電源下降時		2.68	2.79	2.90				
	電源上昇時	V_{det1_4}	2.63	2.75	2.85				
	電源下降時		2.58	2.68	2.78				
	電源上昇時	V_{det1_5}	2.54	2.64	2.75				
	電源下降時		2.48	2.58	2.68				
	電源上昇時	V_{det1_6}	2.43	2.53	2.63				
	電源下降時		2.38	2.48	2.58				
	電源上昇時	V_{det1_7}	2.16	2.26	2.36				
	電源下降時		2.10	2.20	2.30				
	電源上昇時	V_{det1_8}	1.88	2	2.09				
	電源下降時		1.84	1.96	2.05				
	電源上昇時	V_{det1_9}	1.78	1.9	1.99				
	電源下降時		1.74	1.86	1.95				
	電源上昇時	V_{det1_A}	1.67	1.79	1.88				
	電源下降時		1.63	1.75	1.84				
	電源上昇時	V_{det1_B}	1.65	1.7	1.78				
	電源下降時		1.60	1.65	1.73				
電圧検出回路 (LVD2) (注3)	電源上昇時	V_{det2_0}	3.06	3.19	3.32	V	図 2.69		
	電源下降時		3.00	3.13	3.26				
	電源上昇時	V_{det2_1}	2.86	2.98	3.10				
	電源下降時		2.80	2.92	3.04				
	電源上昇時	V_{det2_2}	2.66	2.78	2.90				
	電源下降時		2.60	2.71	2.82				
	電源上昇時	V_{det2_3}	2.46	2.57	2.68				
	電源下降時		2.40	2.50	2.60				
	電源上昇時	V_{det2_4}	2.26	2.36	2.46				
	電源下降時		2.20	2.30	2.40				
	電源上昇時	V_{det2_5}	2.06	2.15	2.24				
	電源下降時		2.00	2.09	2.18				
	電源上昇時	V_{det2_6}	1.86	1.94	2.02				
	電源下降時		1.80	1.88	1.96				
	電源上昇時	V_{det2_7}	1.66	1.73	1.80				
	電源下降時		1.60	1.67	1.74				
									図 2.69

注. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。

注 1. $V_{det0_#}$ の#は OFS1.VDSEL0[1:0]ビットの値を示しています。

注 2. $V_{det1_#}$ の#は LVD1CMPCLR.LVD1LVL[3:0]ビットの値を示しています。

注 3. $V_{det2_#}$ の#は LVD2CMPCR.LVD2LVL[2:0]ビットの値を示しています。

表 2.64 パワーオンリセット回路、電圧検出回路の特性 (2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0 : 有効	t_{POR}	—	4.9	—	ms	—
	LVD0 : 無効	t_{POR}	—	4.2	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0 : 有効(注1)	$t_{LVD0, 1, 2}$	—	0.94	—	ms	—
	LVD0 : 無効(注2)	$t_{LVD1, 2}$	—	0.25	—	ms	—
パワーオンリセット応答遅延時間(注3)		t_{det}	—	—	500	μ s	図 2.65、図 2.66
LVD0 応答遅延時間(注3)		t_{det}	—	—	500	μ s	図 2.67
LVD1 応答遅延時間(注3)		t_{det}	—	—	600	μ s	図 2.68
LVD2 応答遅延時間(注3)		t_{det}	—	—	600	μ s	図 2.69
最小 VCC 低下時間	POR	$t_{V_{OFF}}$	500	—	—	μ s	図 2.65
	LVD0		300	—	—	μ s	図 2.67
	LVD1		300	—	—	μ s	図 2.68
	LVD2		600	—	—	μ s	図 2.69
パワーオンリセット有効時間		t_W (POR)	1	—	—	ms	図 2.66、VCC = 1.0 V 未満
LVD1 動作安定時間 (LVD1 有効切り替え後)		T_d (E-A)	—	—	350	μ s	図 2.68
LVD2 動作安定時間 (LVD2 有効切り替え後)		T_d (E-A)	—	—	600	μ s	図 2.69
ヒステリシス幅 (POR)		V_{PORH}	—	10	—	mV	—
ヒステリシス幅 (LVD0, LVD1, LVD2)		V_{LVH}	—	60	—	mV	LVD0 選択時
			—	70	—		$V_{det1_0} \sim V_{det1_5}$ を選択
			—	60	—		$V_{det1_6} \sim V_{det1_7}$ を選択
			—	50	—		$V_{det1_8} \sim V_{det1_B}$ を選択
			—	70	—		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} の最小値を下回っている時間です。

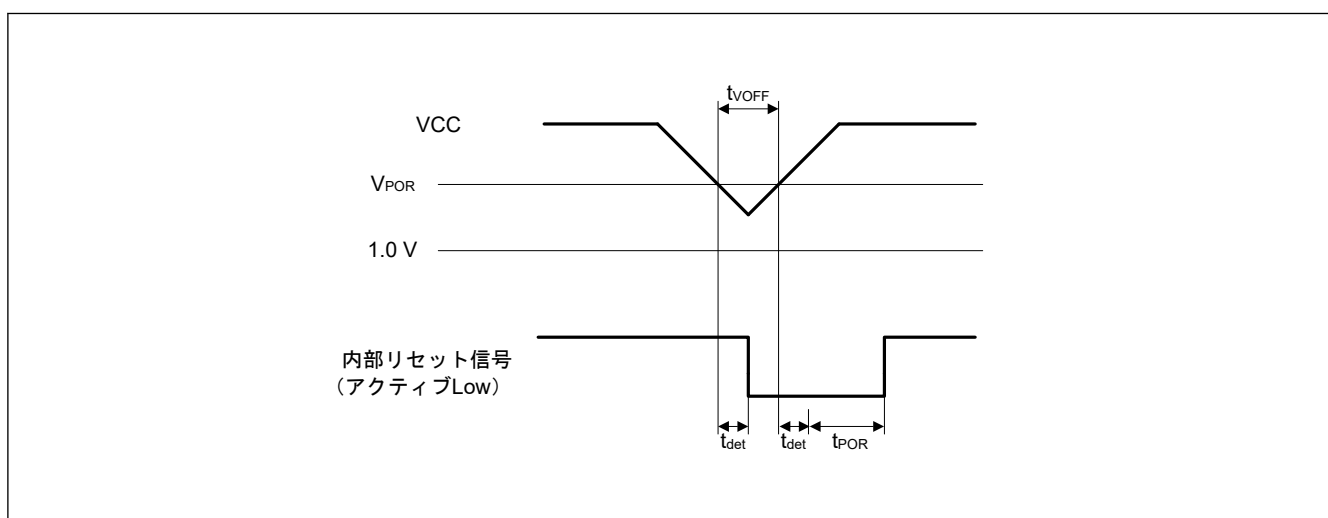


図 2.65 電圧検出リセットタイミング

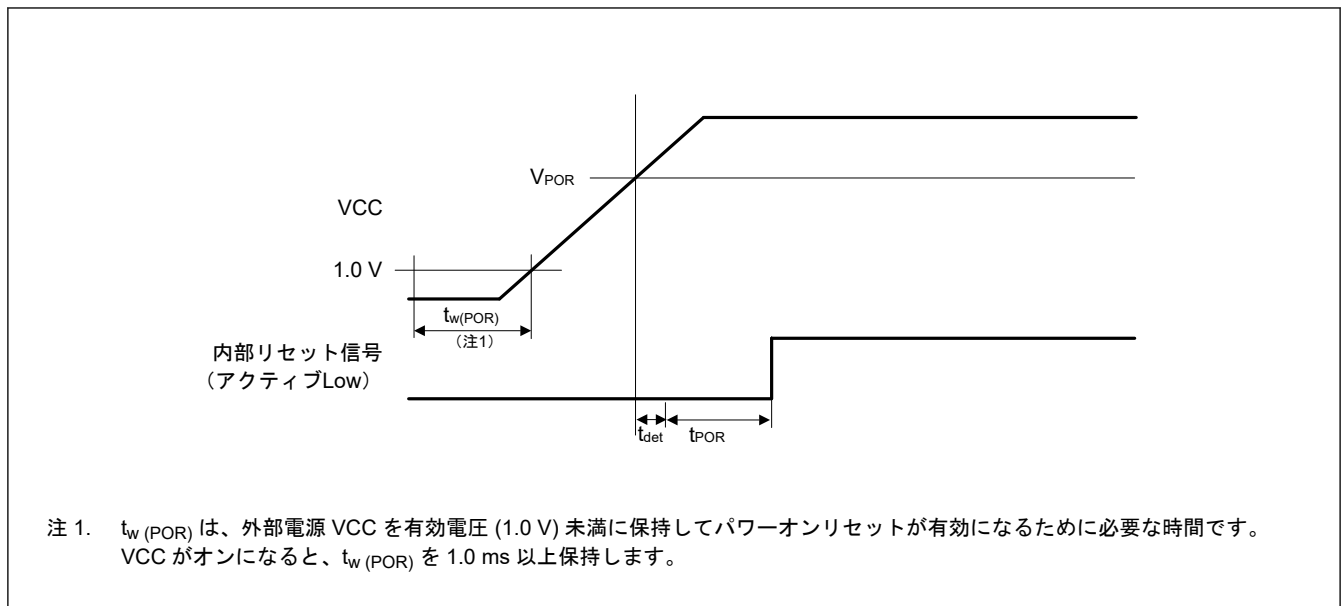


図 2.66 パワーオンリセットタイミング

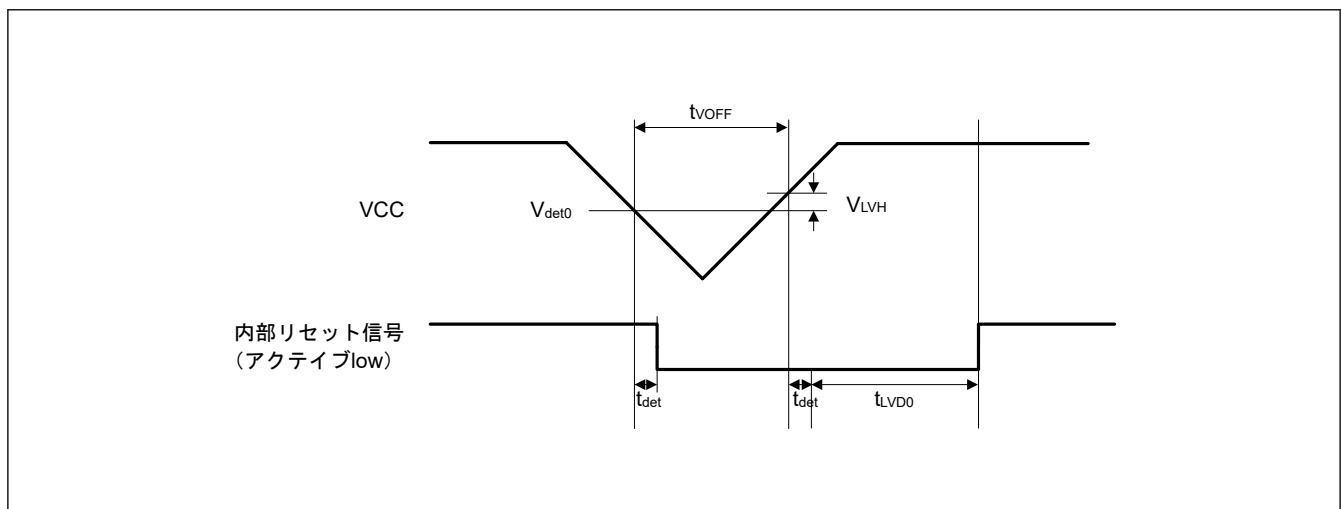


図 2.67 電圧検出回路タイミング (V_{det0})

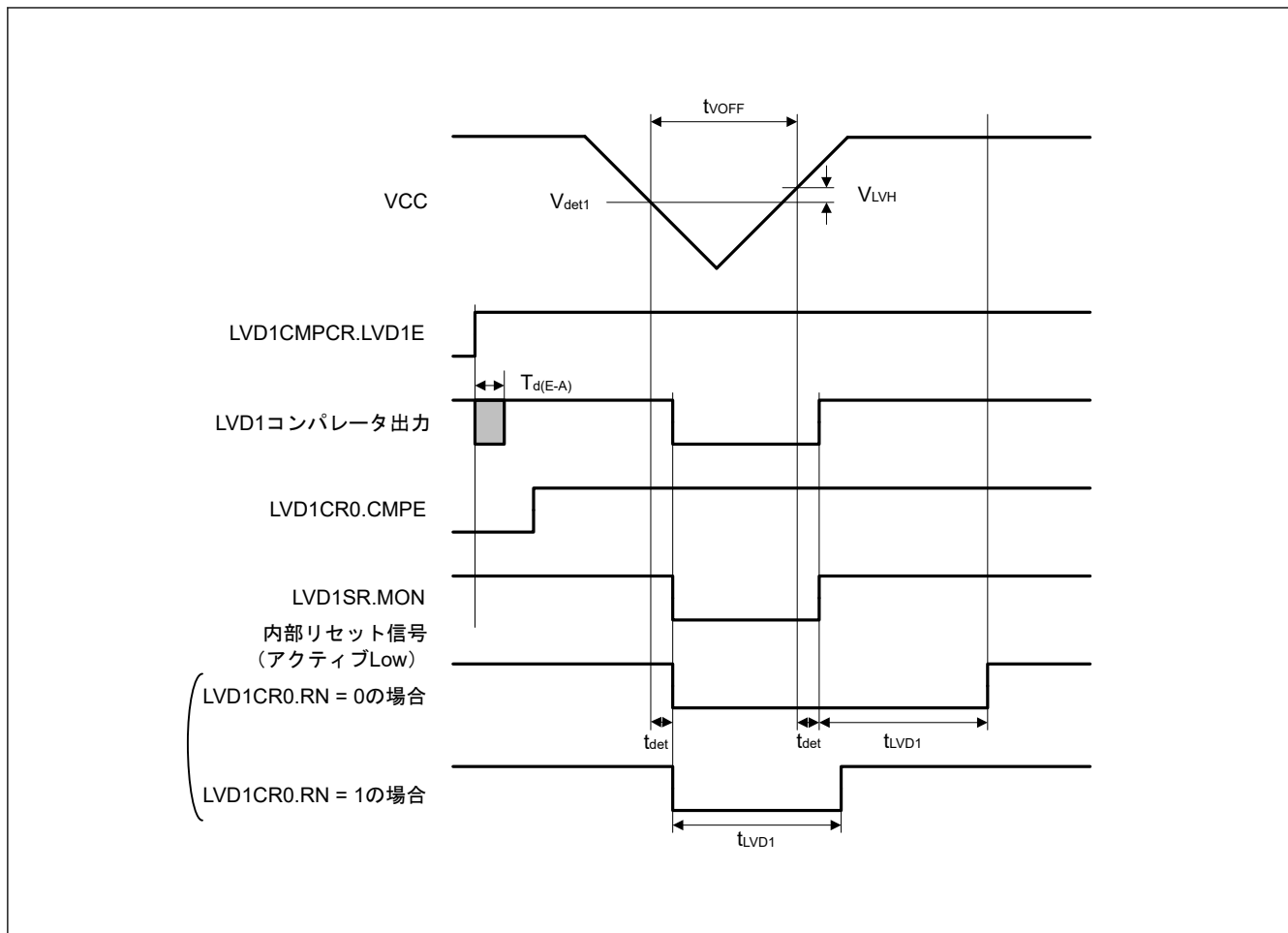


図 2.68 電圧検出回路タイミング (V_{det1})

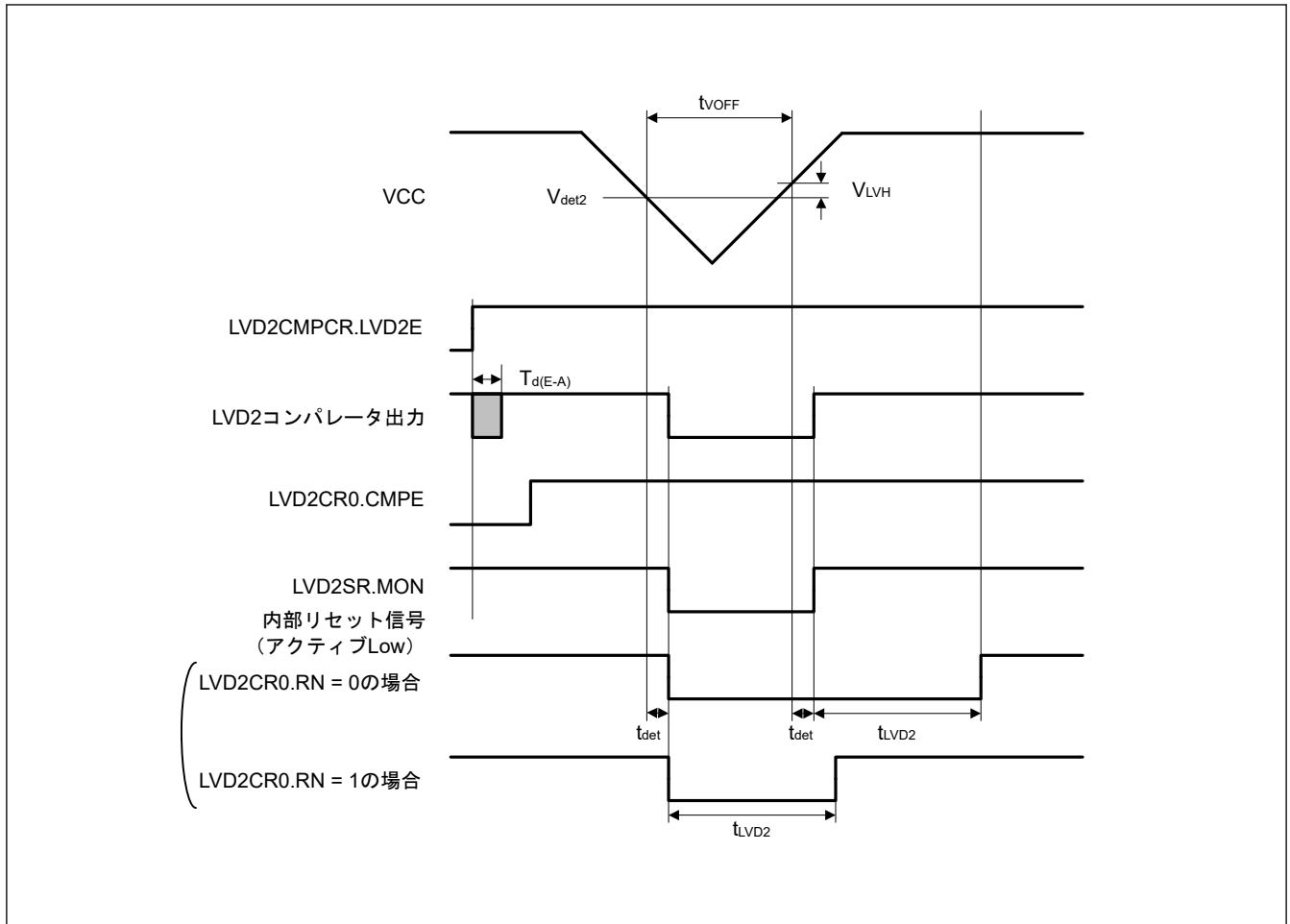


図 2.69 電圧検出回路タイミング (V_{det2})

2.10 CTSU 特性

表 2.65 CTSU 特性

条件: $VCC = AVCC0 = 1.8 \sim 3.6 V$

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP 端子に接続された外付け容量	C_{tscap}	9	10	11	nF	—

2.11 コンパレータ特性

表 2.66 ACMLP 特性 (1/2)

条件: $VCC = AVCC0 = 1.6 \sim 3.6 V$ 、 $VSS = AVSS0 = 0 V$

項目	シンボル	Min	Typ	Max	単位	測定条件	
基準電圧範囲	V_{REF}	0	—	$VCC - 1.4$	V	—	
入力電圧範囲	V_I	0	—	VCC	V	—	
内部基準電圧(注1)	—	1.34	1.44	1.54	V	—	
出力遅延時間	High-speed モード	T_d	—	—	1.2	μs	VCC = 3.0 V
	Low-speed モード		—	—	9	μs	
	ウィンドウモード		—	—	2	μs	
オフセット電圧	High-speed モード	—	—	50	mV	—	
	Low-speed モード	—	—	40	mV	—	
	ウィンドウモード	—	—	60	mV	—	

表 2.66 AC MPLP 特性 (2/2)

条件: $VCC = AVCC0 = 1.6 \sim 3.6 \text{ V}$, $VSS = AVSS0 = 0 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件	
ウィンドウモードの内部基準電圧	V_{RFH}	—	$0.76 \times VCC$	—	V	—	
	V_{RFL}	—	$0.24 \times VCC$	—	V	—	
動作安定待機時間	High-speed モード	T_{cmp}	100	—	—	μs	—
	Low-speed モード		200	—	—		

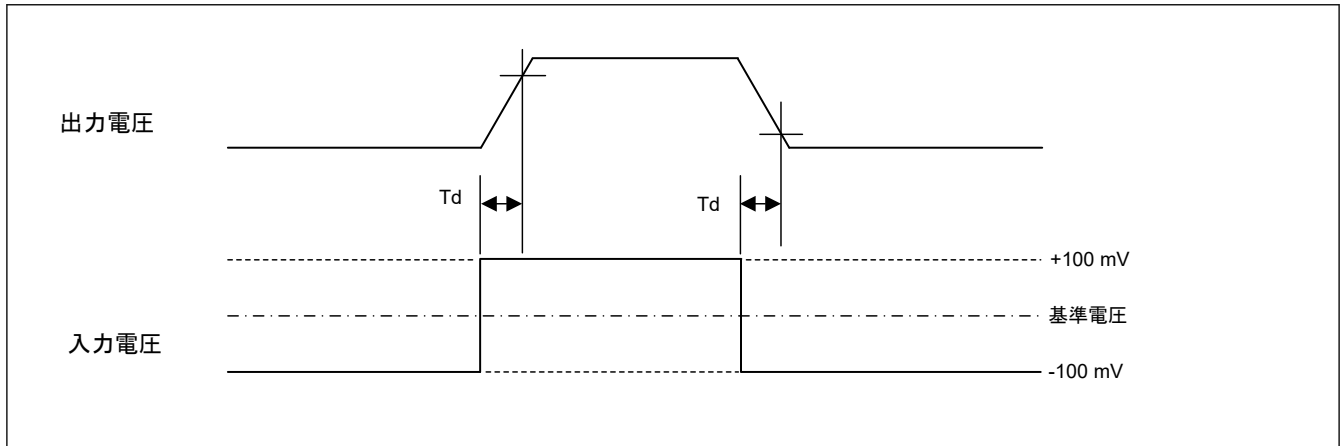
注 1. $2.94 \text{ V} \leq VCC \leq 3.6 \text{ V}$ であるときだけ、内部基準電圧を AC MPLP 基準電圧として選択できます。

図 2.70 出力遅延時間

2.12 セグメント LCD コントローラ特性

2.12.1 外部抵抗分割法

(1) スタティック表示モード

表 2.67 外部抵抗分割法の LCD 特性 (1)

条件: $V_{L4} (\text{Min}) \leq VCC = AVCC \leq 3.6 \text{ V}$, $VSS = AVSS = 0 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.0	—	VCC	V	—

(2) 1/2 バイアス法、1/4 バイアス法

表 2.68 外部抵抗分割法の LCD 特性 (2)

条件: $V_{L4} (\text{Min}) \leq VCC = AVCC \leq 3.6 \text{ V}$, $VSS = AVSS = 0 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.7	—	VCC	V	—

(3) 1/3 バイアス法

表 2.69 外部抵抗分割法の LCD 特性 (3)

条件: $V_{L4} (\text{Min}) \leq VCC = AVCC \leq 3.6 \text{ V}$, $VSS = AVSS = 0 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.5	—	VCC	V	—

2.12.2 内部電圧昇圧方式 (VL1 リファレンス)

(1) 1/3 バイアス法

表 2.70 内部電圧昇圧方式の LCD 特性 (1)

条件 : VCC = AVCC = 1.8 V ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD 出力電圧の変動範囲	VL1	C1~C4(注5) = 0.47 μF	VLCD(注1) = 0x04	0.97	1.01	1.04	V	—
			VLCD = 0x05	1.00	1.04	1.08	V	—
			VLCD = 0x06	1.04	1.07	1.11	V	—
			VLCD = 0x07	1.07	1.11	1.14	V	—
			VLCD = 0x08	1.10	1.14	1.18	V	—
			VLCD = 0x09	1.13	1.17	1.21	V	—
			VLCD = 0x0A	1.16	1.21	1.25	V	—
			VLCD = 0x0B	1.20	1.24	1.28	V	—
			VLCD = 0x0C	1.23	1.27	1.32	V	—
			VLCD = 0x0D	1.26	1.31	1.35	V	—
			VLCD = 0x0E	1.29	1.34	1.38	V	—
			VLCD = 0x0F	1.33	1.37	1.42	V	—
			VLCD = 0x10	1.36	1.40	1.45	V	—
			VLCD = 0x11	1.39	1.44	1.49	V	—
			VLCD = 0x12	1.42	1.47	1.52	V	—
			VLCD = 0x13	1.45	1.50	1.55	V	—
			VLCD = 0x14	1.49	1.54	1.59	V	—
			VLCD = 0x15	1.52	1.57	1.62	V	—
			VLCD = 0x16	1.55	1.60	1.66	V	—
VLCD = 0x17	1.58	1.64	1.69	V	—			
VLCD = 0x18	1.61	1.67	1.73	V	—			
VLCD = 0x19	1.65	1.70	1.76	V	—			
VLCD = 0x1A(注4)	1.68	1.74	1.79	V	—			
出力電圧 2 倍	VL2	C1~C4(注5) = 0.47 μF	$2 \times V_{L1} - 5\%$	$2 \times V_{L1}$	$2 \times V_{L1} + 5\%$	V	—	
出力電圧 3 倍	VL4	C1~C4(注5) = 0.47 μF	$3 \times V_{L1} - 6\%$	$3 \times V_{L1}$	$3 \times V_{L1} + 6\%$	V	—	
リファレンス電圧 起動時間(注2)	t _{VL1S}	—	10	—	—	ms	図 2.71	
電圧昇圧待機時間 (注3)	t _{VLWT}	—	500	—	—	ms	図 2.71	

- 注. 5 V の LCD パネル使用時に 0x0E~0x1A の設定が許可されます。1/3 バイアスで 3 V の LCD パネル使用時に 0x04~0x07 の設定が許可されます。
- 注 1. 内部電圧昇圧方式 (VL1 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 0、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 01 に設定されます。VLCD レジスタのビット[4:0] (VLCD4-0) は電圧変動の設定に使用されます。
- 注 2. リファレンス電圧が VLCD レジスタで指定されたとき (またはリファレンス電圧の初期値を使用時に、内部電圧昇圧方式が選択されたとき (LCDM0 レジスタの MDSET[1:0] ビットを 01b、VLCD レジスタの MDSET[2] ビットを 0 に設定)) から電圧昇圧が開始 (VLCON = 1) するまで、待機するのに必要な時間です。
- 注 3. 電圧昇圧が開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。
- 注 4. この設定は VCC ≥ VL1 の場合のみ使用可能です。
- 注 5. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ
 C2: VL1 と GND の間に接続されたコンデンサ
 C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F \pm 30%

(2) 1/4 バイアス法

表 2.71 内部電圧昇圧方式の LCD 特性 (2)

条件 : VCC = AVCC = 1.8 V ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD 出力電圧の変動範囲	VL1	C1~C5(注1) = 0.47 μ F	VLCD(注2) = 0x04	0.97	1.01	1.04	V	—
			VLCD = 0x05	1.00	1.04	1.08	V	—
			VLCD = 0x06	1.04	1.07	1.11	V	—
			VLCD = 0x07	1.07	1.11	1.14	V	—
			VLCD = 0x08	1.10	1.14	1.18	V	—
			VLCD = 0x09	1.13	1.17	1.21	V	—
			VLCD = 0x0A	1.16	1.21	1.25	V	—
			VLCD = 0x0B	1.20	1.24	1.28	V	—
			VLCD = 0x0C	1.23	1.27	1.32	V	—
VLCD = 0x0D	1.26	1.31	1.35	V	—			
出力電圧 2 倍	VL2	C1~C5(注1) = 0.47 μ F	2 × VL1 - 5%	2 × VL1	2 × VL1 + 5%	V	—	
出力電圧 3 倍	VL3	C1~C5(注1) = 0.47 μ F	3 × VL1 - 6%	3 × VL1	3 × VL1 + 6%	V	—	
出力電圧 4 倍	VL4(注5)	C1~C5(注1) = 0.47 μ F	4 × VL1 - 6%	4 × VL1	4 × VL1 + 6%	V	—	
リファレンス電圧起動時間(注3)	t _{VL1S}	—	10	—	—	ms	図 2.71	
電圧昇圧待機時間(注4)	t _{VLWT}	—	500	—	—	ms	図 2.71	

注 1. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL3 と GND の間に接続されたコンデンサ

C5: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = C5 = 0.47 μ F \pm 30%

注 2. 内部電圧昇圧方式 (VL1 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 0、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 01 に設定されます。VLCD レジスタのビット[4:0] (VLCD4-0) は電圧変動の設定に使用されます。

注 3. リファレンス電圧が VLCD レジスタで指定されたとき (またはリファレンス電圧の初期値を使用時に、内部電圧昇圧方式が選択されたとき (LCDM0 レジスタの MDSET[1:0] ビットを 01b、VLCD レジスタの MDSET[2] ビットを 0 に設定)) から電圧昇圧が開始 (VLCON = 1) するまで、待機するのに必要な時間です。

注 4. 電圧昇圧が開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 5. VL4 は 3.6 V 以下にする必要があります。

2.12.3 内部電圧昇圧方式 (VL2 リファレンス)

(1) 1/3 バイアス法

表 2.72 内部電圧昇圧方式の LCD 特性 (3) (1/2)

条件 : VCC = AVCC = VL2 (Max) + 0.1 ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
出力電圧 1/2 倍	VL1	C1~C4(注1) = 0.47 μ F	1/2 × VL2 - 5%	1/2 × VL2	1/2 × VL2 + 5%	V	—

表 2.72 内部電圧昇圧方式の LCD 特性 (3) (2/2)

条件 : VCC = AVCC = VL2 (Max) + 0.1~3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD 出力電圧の変動範囲	VL2	C1~C4(注1) = 0.47 μF	VLCD(注2) = 0x84	1.94	2.02	2.11	V	—
			VLCD = 0x85	2.00	2.09	2.18	V	—
			VLCD = 0x86	2.07	2.16	2.25	V	—
			VLCD = 0x87	2.13	2.22	2.32	V	—
			VLCD = 0x88	2.19	2.29	2.39	V	—
			VLCD = 0x89	2.26	2.36	2.46	V	—
			VLCD = 0x8A	2.32	2.42	2.53	V	—
			VLCD = 0x8B	2.39	2.49	2.59	V	—
			VLCD = 0x8C	2.45	2.56	2.66	V	—
			VLCD = 0x8D	2.51	2.62	2.73	V	—
			VLCD = 0x8E	2.58	2.69	2.80	V	—
			VLCD = 0x8F	2.64	2.76	2.87	V	—
			VLCD = 0x90	2.70	2.82	2.94	V	—
			VLCD = 0x91	2.77	2.89	3.01	V	—
			VLCD = 0x92	2.83	2.96	3.08	V	—
			VLCD = 0x93	2.90	3.02	3.15	V	—
			VLCD = 0x94	2.96	3.09	3.22	V	—
			VLCD = 0x95	3.02	3.15	3.29	V	—
			VLCD = 0x96	3.09	3.22	3.35	V	—
VLCD = 0x97	3.15	3.29	3.42	V	—			
VLCD = 0x98	3.21	3.35	3.49	V	—			
VLCD = 0x99	3.28	3.42	3.56	V	—			
VLCD = 0x9A	3.34	3.49	3.63	V	—			
出力電圧 2/3 倍	VL4(注5)	C1~C4(注1) = 0.47 μF	2/3 × VL2 - 6%	2/3 × VL2	2/3 × VL2 + 6%	V	—	
リファレンス電圧起動時間(注3)	tVL2S	—	10	—	—	ms	図 2.71	
電圧昇圧待機時間(注4)	tVLWT	—	500	—	—	ms	図 2.71	

注. 5 V の LCD パネル使用時に 0x8E~0x9A の設定が許可されます。1/3 バイアスで 3 V の LCD パネル使用時に 0x84~0x87 の設定が許可されます。

注 1. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μF ±30%

注 2. 内部電圧昇圧方式 (VL2 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 1、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 01 に設定されます。VLCD レジスタのビット[4:0] (VLCD4-0) は電圧変動の設定に使用されます。

注 3. リファレンス電圧が VLCD レジスタで指定されたとき (またはリファレンス電圧の初期値を使用時に、内部電圧昇圧方式が選択されたとき (LCDM0 レジスタの MDSET[1:0] ビットを 01b、VLCD レジスタの MDSET[2] ビットを 1 に設定)) から電圧昇圧が開始 (VLCON = 1) するまで、待機するのに必要な時間です。

注 4. 電圧昇圧が開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 5. VL4 は 3.6 V 以下にする必要があります。

2.12.4 容量分割方式 (VCC リファレンス)

(1) 1/3 バイアス法

表 2.73 容量分割方式の LCD 特性 (1)

条件 : VCC = AVCC = 2.2 V ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
VL4 電圧	V _{L4}	C1~C4(注2) = 0.47 μF	—	VCC	—	V	—
VL2 電圧	V _{L2}	C1~C4(注2) = 0.47 μF	$2/3 \times V_{L4} - 3\%$	$2/3 \times V_{L4}$	$2/3 \times V_{L4} + 3\%$	V	—
VL1 電圧	V _{L1}	C1~C4(注2) = 0.47 μF	$1/3 \times V_{L4} - 3\%$	$1/3 \times V_{L4}$	$1/3 \times V_{L4} + 3\%$	V	—
容量分割待機時間(注1)	t _{WAIT}	—	100	—	—	ms	図 2.71

注. 容量分割方式 (VCC リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 0、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 10 に設定されます。

注 1. 電圧バッキングが開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 2. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μF ±30%

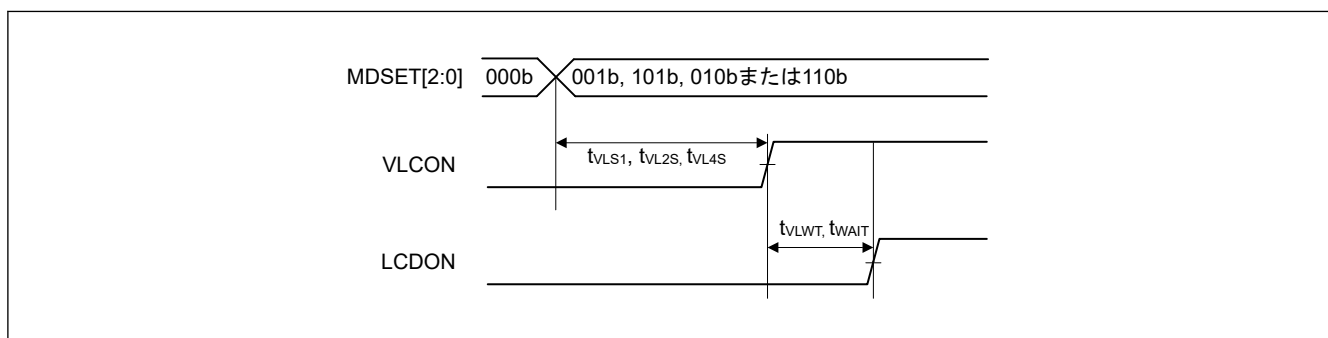


図 2.71 LCD リファレンス電圧起動時間、電圧昇圧待機時間、容量分割待機時間

2.12.5 容量分割方式 (VL4 リファレンス)

(1) 1/3 バイアス法

表 2.74 容量分割方式の LCD 特性 (3)

条件 : VCC = AVCC = 3.2 V ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
VL4 電圧	V _{L4}	C1~C4(注2) = 0.47 μF	2.89	3.04	3.20	V	—
VL2 電圧	V _{L2}	C1~C4(注2) = 0.47 μF	1.89	2.03	2.17	V	—
VL1 電圧	V _{L1}	C1~C4(注2) = 0.47 μF	0.94	1.01	1.08	V	—
リファレンス電圧 起動時間(注3)	t _{VLS4}	—	10	—	—	ms	図 2.71
容量分割待機時間 (注1)	t _{WAIT}	—	100	—	—	ms	図 2.71

注 1. 電圧バッキングが開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 2. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F \pm 30%

注 3. 容量分割方式 (VL4 リファレンス) に対して、VLCD レジスタのビット [7] (MDSET[2]) は 1、LCDM0 レジスタのビット [7:6] (MDSET[1:0]) は 10 に設定されます。

2.13 フラッシュメモリ特性

2.13.1 コードフラッシュメモリ特性

表 2.75 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル(注1)	N _{PEC}	1000	—	—	回	—	
データ保持時間	1000 回の N _{PEC} の後	t _{DRP}	20(注2) (注3)	—	—	年	T _a = +105 °C
			10	—	—	年	T _a = +125 °C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 1,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なるアドレスに 8 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. この結果は信頼性試験から得られたものです。

表 2.76 コードフラッシュ特性 (2)

High-speed 動作モード

条件: VCC = AVCC0 = 1.8~3.6 V

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	8 バイト	t _{P8}	—	128	1064	—	44.2	420	μ s
イレース時間	2 KB	t _{E2K}	—	14.1	390	—	5.5	214	ms
ブランクチェック時間	8 バイト	t _{BC8}	—	—	67.7	—	—	8.6	μ s
	2 KB	t _{BC2K}	—	—	7538	—	—	272	μ s
イレースサスペンド時間		t _{SED}	—	—	33.4	—	—	10.7	μ s
強制停止時間		t _{FD}	—	—	33.4	—	—	10.7	μ s
コンフィグレーション設定時間		t _{CFGs}	—	27	494	—	11	255	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μ s
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μ s

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は \pm 1.0% とします。クロックソースの周波数精度を確認してください。

表 2.77 コードフラッシュ特性 (3) (1/2)

Middle-speed 動作モード

条件: VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	ICLK = 1 MHz			ICLK = 8 MHz(注1)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	8 バイト	t _{P8}	—	128	1064	—	50.6	468	μ s
イレース時間	2 KB	t _{E2K}	—	14.1	390	—	6.32	231	ms
ブランクチェック時間	8 バイト	t _{BC8}	—	—	67.7	—	—	13.3	μ s
	2 KB	t _{BC2K}	—	—	7538	—	—	947	μ s

表 2.77 コードフラッシュ特性 (3) (2/2)

Middle-speed 動作モード

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	ICLK = 1 MHz			ICLK = 8 MHz(注1)			単位
		Min	Typ	Max	Min	Typ	Max	
イレースサスペンド時間	t _{SED}	—	—	33.4	—	—	13.1	μs
強制停止時間	t _{FD}	—	—	33.4	—	—	13.1	μs
コンフィグレーション設定時間	t _{CFGs}	—	27	494	—	12	277	ms
フラッシュメモリモード遷移待機時間 1	t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2	t _{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC = AVCC0 ≤ 3.6 V の場合

表 2.78 コードフラッシュ特性 (4)

Low-speed 動作モード

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	ICLK = 1 MHz			単位	
		Min	Typ	Max		
プログラム時間	8 バイト	t _{p8}	—	128	1064	μs
イレース時間	2 KB	t _{E2K}	—	14.1	390	ms
ブランクチェック時間	8 バイト	t _{BC8}	—	—	67.7	μs
	2 KB	t _{BC2K}	—	—	7538	μs
イレースサスペンド時間		t _{SED}	—	—	33.4	μs
強制停止時間		t _{FD}	—	—	33.4	μs
コンフィグレーション設定時間		t _{CFGs}	—	27	494	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

2.13.2 データフラッシュメモリ特性

表 2.79 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル(注1)	N _{DPEC}	100000	1000000	—	回	—	
データ保持時間	10000 回の N _{DPEC} の後	t _{DDRP}	20(注2) (注3)	—	—	年	Ta = +105 °C
		t _{DDRP}	10(注2) (注3)	—	—		Ta = +125 °C
	100000 回の N _{DPEC} の後	t _{DDRP}	5(注2) (注3)	—	—		Ta = +105 °C
	1000000 回の N _{DPEC} の後	t _{DDRP}	—	1(注2) (注3)	—		Ta = +25 °C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、256 バイトのブロックについて、それぞれ異なるアドレスに

1 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. これらの結果は目標仕様です。信頼性試験後に変更される可能性があります。

表 2.80 データフラッシュ特性 (2)

High-speed 動作モード

条件: VCC = AVCC0 = 1.8~3.6 V

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	112	903	—	33.9	317	μs
イレース時間	256 バイト	t _{DE256}	—	14.1	390	—	5.50	214	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	67.7	—	—	8.6	μs
	256 バイト	t _{DBC256}	—	—	7538	—	—	272	μs
イレース実行中のサスペンド時間		t _{DSED}	—	—	33.4	—	—	10.7	μs
強制停止時間		t _{FD}	—	—	33.4	—	—	10.7	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 2.81 データフラッシュ特性 (3)

Middle-speed 動作モード

条件: VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	ICLK = 1 MHz			ICLK = 8 MHz(注1)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	112	903	—	39.7	359	μs
イレース時間	256 バイト	t _{DE256}	—	14.1	390	—	6.32	231	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	67.7	—	—	13.3	μs
	256 バイト	t _{DBC256}	—	—	7538	—	—	947	μs
イレース実行中のサスペンド時間		t _{DSED}	—	—	33.4	—	—	13.1	μs
強制停止時間		t _{FD}	—	—	33.4	—	—	13.1	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC = AVCC0 ≤ 3.6 V の場合

表 2.82 データフラッシュ特性 (4) (1/2)

Low-speed 動作モード

条件: VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	ICLK = 1 MHz			単位	
		Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	112	903	μs
イレース時間	256 バイト	t _{DE256}	—	14.1	390	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	67.7	μs
	256 バイト	t _{DBC256}	—	—	7538	μs
イレース実行中のサスペンド時間		t _{DSED}	—	—	33.4	μs
強制停止時間		t _{FD}	—	—	33.4	μs

表 2.82 データフラッシュ特性 (4) (2/2)

Low-speed 動作モード

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	ICLK = 1 MHz			単位
		Min	Typ	Max	
データフラッシュ STOP 復帰時間	t _{DSTOP}	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

2.13.3 シリアルワイヤデバッグ (SWD)

表 2.83 SWD 特性 (1)

条件 : VCC = AVCC0 = 2.4~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t _{SWCKcyc}	80	—	—	ns	☒ 2.72
SWCLK クロック High レベルパルス幅	t _{SWCKH}	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	t _{SWCKL}	35	—	—	ns	
SWCLK クロック立ち上がり時間	t _{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t _{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t _{SWDS}	3	—	—	ns	☒ 2.73
SWDIO ホールド時間	t _{SWDH}	13	—	—	ns	
SWDIO データ遅延時間	t _{SWDD}	2	—	70	ns	

表 2.84 SWD 特性 (2)

条件 : VCC = AVCC0 = 1.6~2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t _{SWCKcyc}	250	—	—	ns	☒ 2.72
SWCLK クロック High レベルパルス幅	t _{SWCKH}	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t _{SWCKL}	120	—	—	ns	
SWCLK クロック立ち上がり時間	t _{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t _{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t _{SWDS}	50	—	—	ns	☒ 2.73
SWDIO ホールド時間	t _{SWDH}	50	—	—	ns	
SWDIO データ遅延時間	t _{SWDD}	2	—	170	ns	

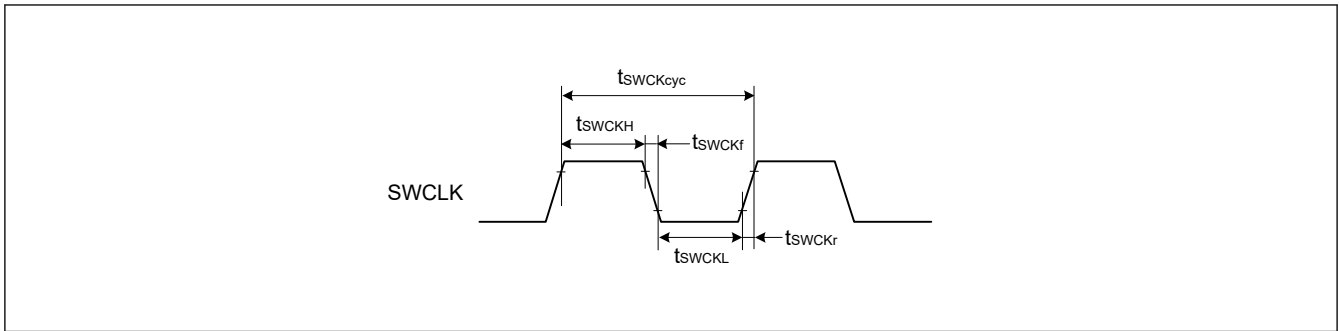


図 2.72 SWD SWCLK タイミング

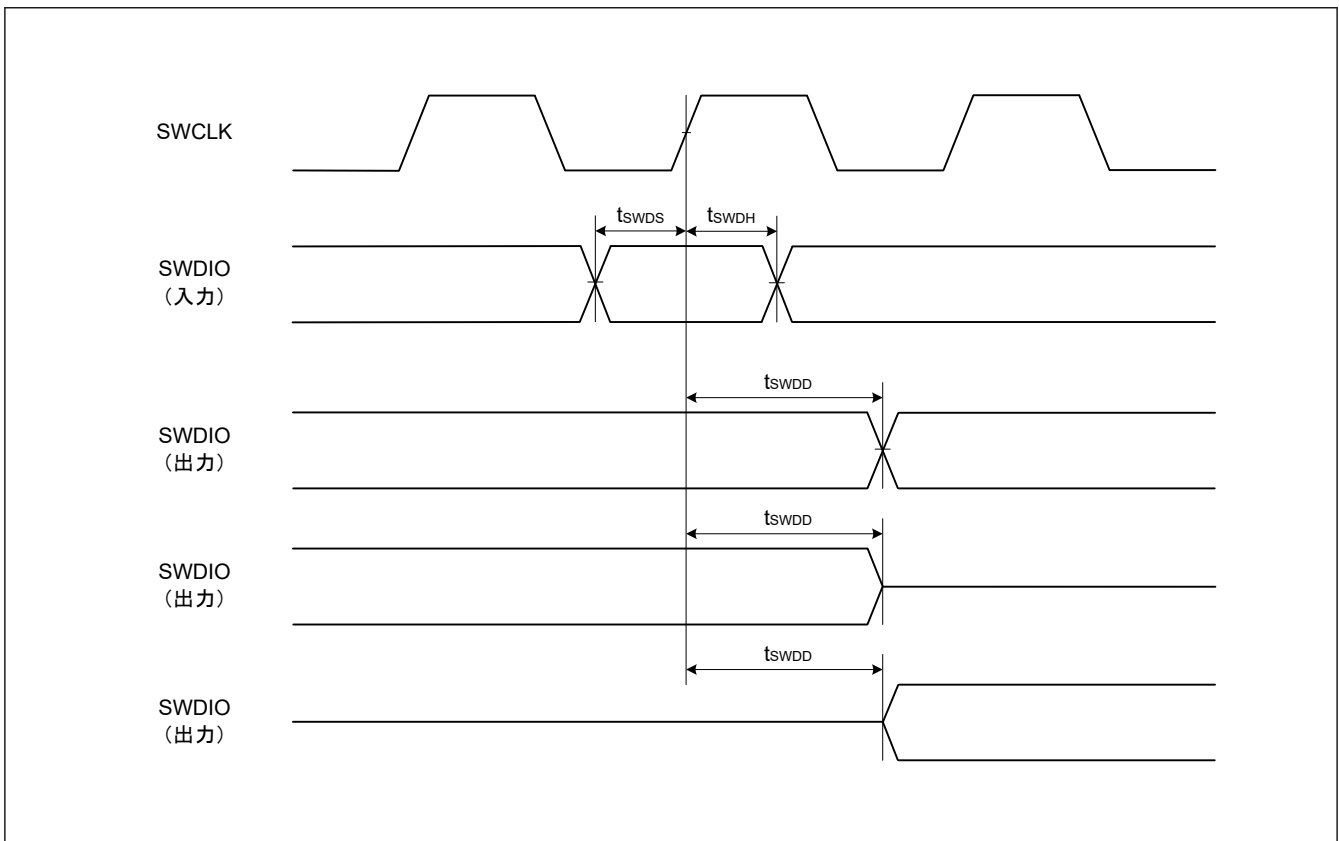


図 2.73 SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード
モード	MD	プルアップ	Keep-O
IRQ	IRQx	Hi-Z	Keep-O(注1)
AGT	AGTIO _n	Hi-Z	AGTIO _n 入力
	AGTO _n /AGTOA _n /AGTOB _n	Hi-Z	AGTO _n /AGTOA _n /AGTOB _n 出力
SCI	RXD0	Hi-Z	Keep-O(注1)
IIC	SCL _n /SDA _n	Hi-Z	Keep-O(注1)
I3C	I3C_SCL0/I3C_SDA0	Hi-Z	Keep-O(注1)
UARTA	CLKA _n	Hi-Z	CLKA _n 出力
	RxDA _n	Hi-Z	RxDA _n 入力
USBFS	USB_OVRCURx/USB_VBUS	Hi-Z	Keep-O(注1)
	USB_DP/USB_DM	Hi-Z	Keep-O(注2)
RTC	RTCICx	Hi-Z	RTCICx 入力
	RTCOU _T	Hi-Z	RTCOU _T 出力
ACMPLP	CMPIN _n /CMPREF _n	Hi-Z	CMPIN _n /CMPREF _n 入力
	VCOU _T	Hi-Z	VCOU _T 出力
CLKOUT	CLKOUT	Hi-Z	CLKOUT 出力
DAC	DA0	Hi-Z	D/A 出力保持
SLCDC	SEGx/COMx	Hi-Z	SEGx/COMx 出力
	VLx/CAPH/CAPL	Hi-Z	VLx/CAPH/CAPL 入力
その他	—	Hi-Z	Keep-O

注. H : High レベル

L : Low レベル

Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。

注 2. 入力端子として使用されている端子への入力は許可されています。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

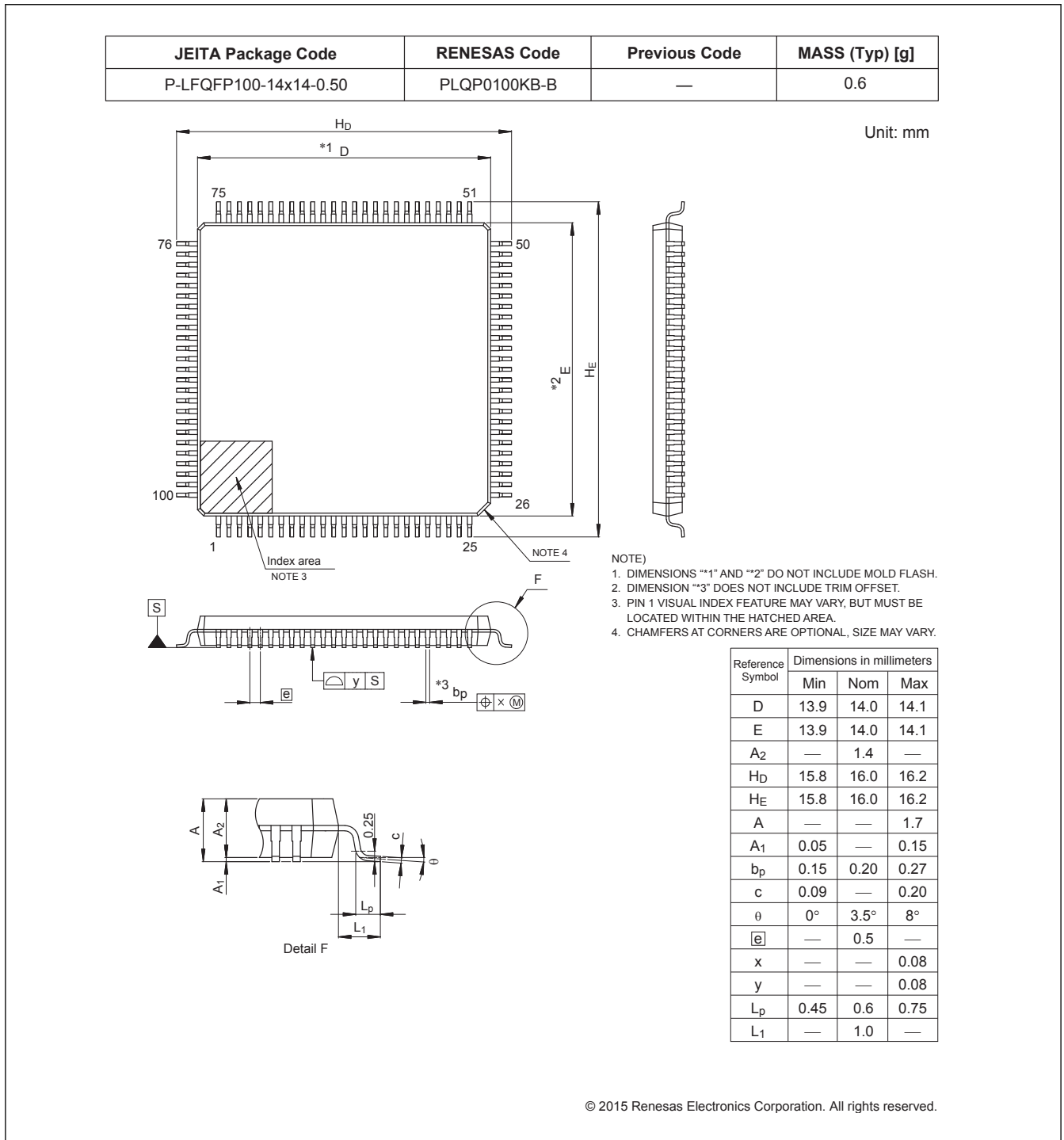
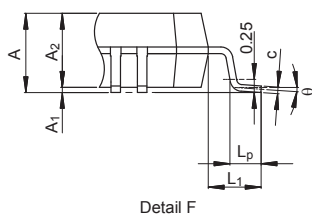
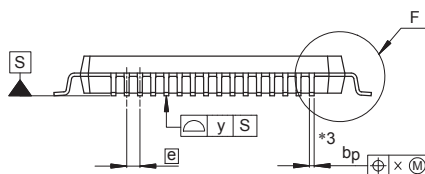
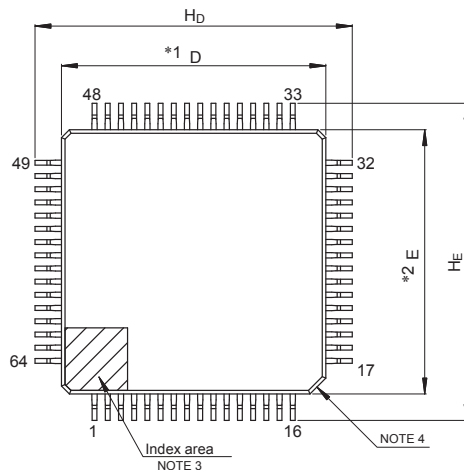


図 A2.1 LQFP 100 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

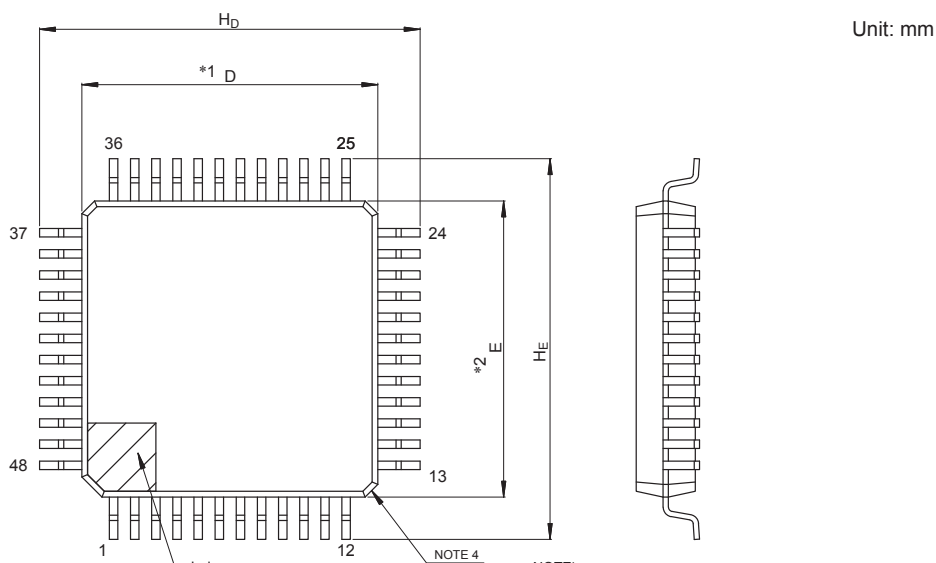
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

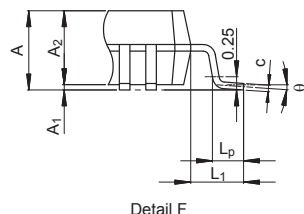
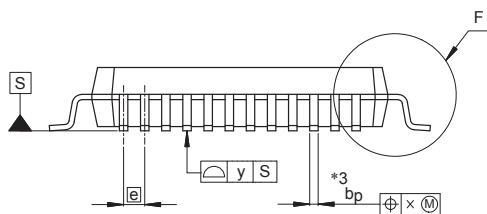
© 2015 Renesas Electronics Corporation. All rights reserved.

☒ A2.2 LQFP 64 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2



- NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

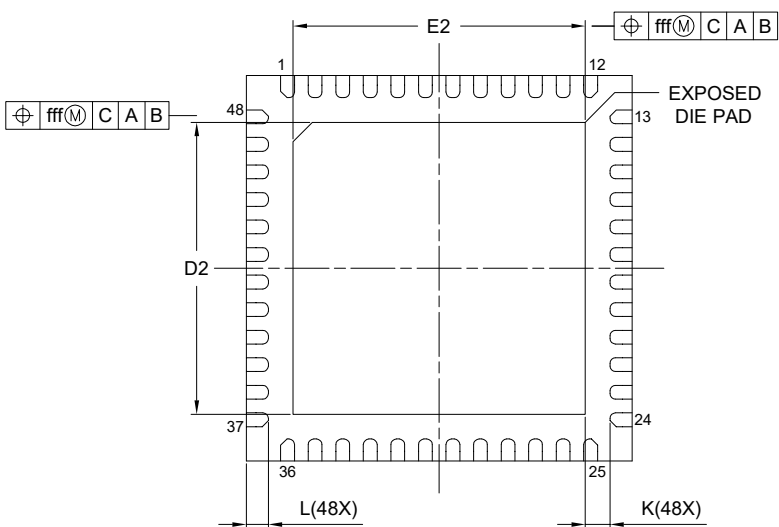
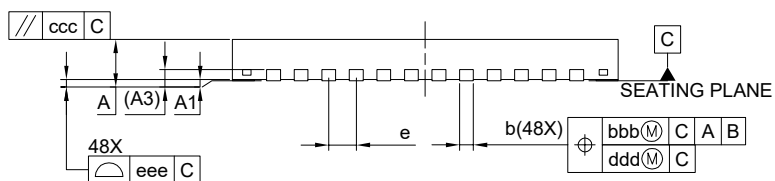
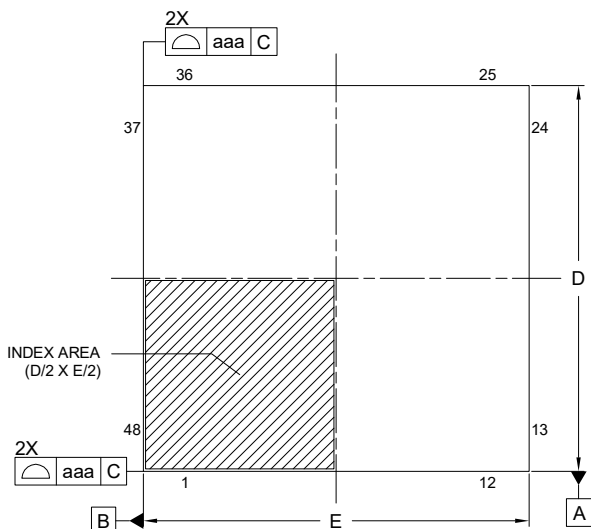


Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 A2.3 LQFP 48 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.25	5.30	5.35
E ₂	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.4 QFN 48 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	説明	ベースアドレス
RMPU	マスタメモリプロテクションユニット	0x4000_0000
TZF	TrustZone フィルタ	0x4000_0E00
SRAM	特殊機能レジスタ	0x4000_2000
BUS	バス制御	0x4000_3000
DMAC0	ダイレクトメモリアクセスコントローラ 0	0x4000_5000
DMAC1	ダイレクトメモリアクセスコントローラ 1	0x4000_5040
DMAC2	ダイレクトメモリアクセスコントローラ 2	0x4000_5080
DMAC3	ダイレクトメモリアクセスコントローラ 3	0x4000_50C0
DMAC4	ダイレクトメモリアクセスコントローラ 4	0x4000_5100
DMAC5	ダイレクトメモリアクセスコントローラ 5	0x4000_5140
DMAC6	ダイレクトメモリアクセスコントローラ 6	0x4000_5180
DMAC7	ダイレクトメモリアクセスコントローラ 7	0x4000_51C0
DMA	DMAC モジュール起動	0x4000_5200
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
キャッシュ	キャッシュ	0x4000_7000
CPSCU	CPU システムセキュリティコントロールユニット	0x4000_8000
DBG	デバッグ機能	0x4001_B000
FCACHE	フラッシュキャッシュ	0x4001_C100
SYSC	システムコントロール	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4001_F000
PORT1	ポート 1 コントロールレジスタ	0x4001_F020
PORT2	ポート 2 コントロールレジスタ	0x4001_F040
PORT3	ポート 3 コントロールレジスタ	0x4001_F060
PORT4	ポート 4 コントロールレジスタ	0x4001_F080
PORT5	ポート 5 コントロールレジスタ	0x4001_F0A0
PORT6	ポート 6 コントロールレジスタ	0x4001_F0C0
PORT7	ポート 7 コントロールレジスタ	0x4001_F0E0
PORT8	ポート 8 コントロールレジスタ	0x4001_F100
PFS	Pmn 端子機能コントロールレジスタ	0x4001_F800
ELC	イベントリンクコントローラ	0x4008_2000
RTC	リアルタイムクロック	0x4008_3000
IWDT	独立ウォッチドッグタイマ	0x4008_3200
WDT	ウォッチドッグタイマ	0x4008_3400
CAC	クロック周波数精度測定回路	0x4008_3600

表 3.1 周辺機能のベースアドレス (2/2)

名称	説明	ベースアドレス
MSTP	モジュールストップコントロール A、B、C、D、E	0x4008_4000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4008_A000
USBFS	USB 2.0 FS モジュール	0x4009_0000
UARTA	シリアルインタフェース UARTA	0x4009_7000
SSIE0	拡張シリアルサウンドインタフェース (SSIE)	0x4009_D000
IIC0	Inter-Integrated Circuit 0	0x4009_F000
CANFD	CANFD モジュール	0x400B_0000
CTSU	静電容量式タッチセンシングユニット	0x400D_0000
SLCDC	セグメント LCD コントローラ/ドライバ	0x400D_4000
PSCU	ペリフェラルセキュリティコントロールユニット	0x400E_0000
AGT0	低消費電力非同期汎用タイマ 0	0x400E_8000
AGT1	低消費電力非同期汎用タイマ 1	0x400E_8100
ACMPLP	低電力アナログコンパレータ	0x400F_4000
CRC	CRC 演算器	0x4010_8000
DOC	データ演算回路	0x4010_9000
SCI0	シリアルコミュニケーションインタフェース 0	0x4011_8000
SCI1	シリアルコミュニケーションインタフェース 1	0x4011_8100
SCI3	シリアルコミュニケーションインタフェース 3	0x4011_8300
SCI4	シリアルコミュニケーションインタフェース 4	0x4011_8400
SCI5	シリアルコミュニケーションインタフェース 5	0x4011_8500
SCI9	シリアルコミュニケーションインタフェース 9	0x4011_8900
SPI0	シリアルペリフェラルインタフェース 0	0x4011_A000
I3C	I3C バスインタフェース	0x4011_F000
ECCMB	MBRAM 用エラー補正回路	0x4012_F000
GPT320	32 ビット汎用 PWM タイマ 0	0x4016_9000
GPT321	32 ビット汎用 PWM タイマ 1	0x4016_9100
GPT162	16 ビット汎用 PWM タイマ 2	0x4016_9200
GPT163	16 ビット汎用 PWM タイマ 3	0x4016_9300
GPT164	16 ビット汎用 PWM タイマ 4	0x4016_9400
GPT165	16 ビット汎用 PWM タイマ 5	0x4016_9500
GPT_OPS	出力相切り替えコントローラ	0x4016_9A00
ADC120	12 ビット A/D コンバータ 0	0x4017_0000
DAC12	12 ビット D/A コンバータ	0x4017_1000
FLCN	フラッシュ I/O レジスタ	0x407E_C000
FACI	フラッシュアプリケーションコマンドインタフェース	0x407F_E000
QSPI	クワッド SPI	0x6400_0000
CPU_OCD	オンチップデバッグ	0x8000_0000

注: 名称 = 周辺機能の名称
 内容 = 周辺機能
 ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。
- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 3.2 アクセスサイクル (1/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
RMPU、TZF、SRAM、BUS、DMACn、DMA、DTC、ICU	0x4000_0000	0x4000_6FFF	4	3	4	3	ICLK	ルネサスメモリプロテクションユニット、TrustZone フィルタ、SRAM コントロール、バスコントロール、ダイレクトメモリアクセスコントローラ n、DMAC モジュール起動、DTC コントロールレジスタ、割り込みコントローラ
キャッシュ	0x4000_7000	0x4000_7FFF	4	5	4	5	ICLK	キャッシュ
CPSCU、DBG、FCACHE	0x4000_8000	0x4001_CFFF	4	3	4	3	ICLK	CPU システムセキュリティコントロールユニット、デバッグ機能、フラッシュキャッシュ
SYSC	0x4001_E000	0x4001_E5FF	6	5	6	5	ICLK	システムコントロール
PORTn、PFS	0x4001_F000	0x4001_FFFF	5(注2)	4	5(注2)	4	ICLK	ポート n コントロールレジスタ、Pmn 端子機能コントロールレジスタ
ELC、RTC、IWDI、WDT、CAC、MSTP、POEG	0x4008_2000	0x4008_AFFF	5	4	2~5	2~4	PCLKB	イベントリンクコントローラ、リアルタイムクロック、独立ウォッチドッグタイマ、ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール、GPT 用ポートアウトプットイネーブルモジュール
USBFS	0x4009_0000	0x4009_0FFF	6	5	3~6	3~5	PCLKB	USB 2.0 FS モジュール
UARTA	0x4009_7000	0x4009_7FFF	4	3	1~4	1~3	PCLKB	シリアルインタフェース UARTA

表 3.2 アクセスサイクル (2/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
SSIE0、IICn、IIC0WU、CANFD、CTSU	0x4009_D000	0x400D_0FFF	5	4	2~5	2~4	PCLKB	拡張シリアルサウンドインタフェース、Inter-Integrated Circuit n、Inter-Integrated Circuit 0、ウェイクアップユニット、CANFD モジュール、静電容量式タッチセンシングユニット
SLCDC	0x400D_4000	0x400D_4FFF	4	3	1~4	1~3	PCLKB	セグメント LCD コントローラ/ドライバ
PSCU	0x400E_0000	0x400E_0FFF	5	4	2~5	2~4	PCLKB	ペリフェラルセキュリティコントロールユニット
AGTn	0x400E_8000	0x400E_8FFF	7	4	4~7	2~4	PCLKB	低消費電力非同期汎用タイマ n
ACMPLP	0x400F_4000	0x400F_4FFF	4	3	1~4	1~3	PCLKB	低電力アナログコンパレータ
CRC、DOC	0x4010_8000	0x4010_9FFF	5	4	2~5	2~4	PCLKA	CRC 演算器、データ演算回路
SCIn	0x4011_8000	0x4011_8FFF	5(注3)	4(注3)	2~5(注3)	2~4(注3)	PCLKA	シリアルコミュニケーションインタフェース n
SPIn	0x4011_A000	0x4011_AFFF	5(注4)	4(注4)	2~5(注4)	2~4(注4)	PCLKA	シリアルペリフェラルインタフェース n
I3C、ECCMB	0x4011_F000	0x4012_FFFF	5	4	2~5	2~4	PCLKA	I3C バスインタフェース、MBRAM 用エラー補正回路
GPT32n、GPT16n、GPT_OPS	0x4016_9000	0x4016_9FFF	7	4	4~7	2~4	PCLKA	32 ビット汎用 PWM タイマ n、16 ビット汎用 PWM タイマ n、出力相切り替えコントローラ
ADC120、DAC12	0x4017_0000	0x4017_1FFF	5	4	2~5	2~4	PCLKA	12 ビット A/D コンバータ 0、12 ビット D/A コンバータ
QSPI	0x6400_0000	0x6400_000F	5	14~(注5)	2~5	14~(注5)	PCLKA	クワッド SPI
QSPI	0x6400_0010	0x6400_0013	25~(注5)	6~(注5)	25~(注5)	5~(注5)	PCLKA	クワッド SPI
QSPI	0x6400_0014	0x6400_0037	5	14~(注5)	2~5	14~(注5)	PCLKA	クワッド SPI
QSPI	0x6400_0804	0x6400_0807	4	3	1~4	1~3	PCLKA	クワッド SPI

表 3.2 アクセスサイクル (3/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = FCLK		ICLK > FCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
FLCN、FACI	0x407E_C000	0x407F_EFFF	5	4	3~5	2~4	FCLK	フラッシュ I/O レジスタ、フラッシュアプリケーションコマンドインタフェース

- 注 1. PCLK または FCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5~2.5 は 1~3 となります。
- 注 2. PRCNT2 レジスタと PFS レジスタのアクセスサイクルは PRWCNTR により異なります。詳細は、[x I/O ポート](#)を参照してください。
- 注 3. 16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR）にアクセスを行う場合は、[表 3.2](#)に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、および FRDRL）にアクセスを行う場合は、[表 3.2](#)に記載のアクセスサイクルとなります。
- 注 4. 32 ビットレジスタ（SPDR）にアクセスを行う場合は、[表 3.2](#)に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ（SPDR_HA）にアクセスを行う場合は、[表 3.2](#)に記載のアクセスサイクルとなります。
- 注 5. アクセスサイクルは QSPI バスサイクルによって異なります。

改訂履歴

Revision 1.10 — 2025 年 2 月 3 日

初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。