

RAA730101

R02DS0014JJ0200

Rev.2.00

 プログラマブル・ゲイン計装アンプ付き 16 ビット $\Delta\Sigma$ A/D コンバータ IC 2015.02.27

概要

RAA730101 は、流量・圧力計測に用いられる差動出力センサに最適なプログラマブル・ゲイン計装アンプ付き、16 ビット $\Delta\Sigma$ A/D コンバータ IC です。温度センサ回路、センサ（外部デバイス）用電源回路、内部基準電圧生成回路を内蔵しています。シリアル・ペリフェラル・インタフェース（SPI）通信、または調歩同期式シリアル通信（UART）を用い、各機能ブロックのシステム設定を外部デバイスから制御し、計測結果データを外部デバイスへ出力します。また、各機能ブロックのシステム設定データを格納するフラッシュ・メモリも内蔵しています。パッケージは、36 ピン FBGA を採用し、流量・圧力計測等のセットの小型化に貢献します。

特徴

- 16 ビット $\Delta\Sigma$ A/D コンバータを内蔵
- プログラマブル・ゲイン計装アンプ（ゲイン：1~32 倍／オフセット調整機能）を内蔵
- アナログ入力チャネル：4 本（差動入力モード／シングルエンド入力モードを入力チャネル毎に選択可能）
- 温度センサ回路を内蔵（内部で 16 ビット $\Delta\Sigma$ A/D コンバータに接続）
- センサ（外部デバイス）用電源回路を内蔵（出力電圧：1.2~2.2 V）
- 内蔵システム・クロック（OSC）用発振回路を搭載（クロック周波数：20MHz（Typ.））
- パワーオン・リセット（POR）回路を内蔵
- シリアル・インターフェース（SPI 通信／UART 通信の選択が可能）搭載
- システム設定データ格納用フラッシュ・メモリを内蔵（256 バイト）
- 動作電圧範囲：2.7 V \leq V_{DD} \leq 5.5 V
- 動作温度範囲：
 - ・ 125°C 品：-40°C \leq T_A \leq 125°C（通常動作時）， 105°C 品：-40°C \leq T_A \leq 105°C（通常動作時），
 - ・ 125°C 品， 105°C 品：10°C \leq T_A \leq 85°C（フラッシュ・メモリ・プログラミング時）
- パッケージ：36 ピン・プラスチック FBGA（4 mm \times 4mm， 0.5 mm ピッチ）

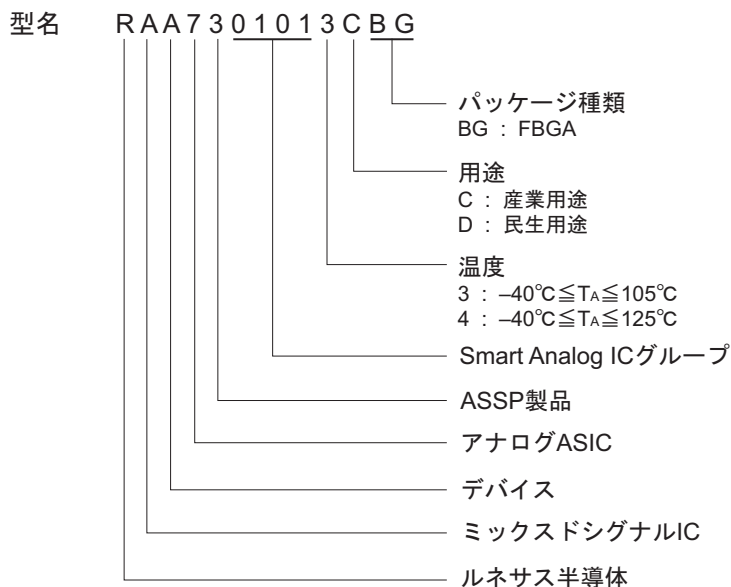
注意 フラッシュ・メモリ・プログラミングは、フラッシュ・メモリのデータ消去／書き込みを示します。

応用分野

- 圧力・流量・電力・温度計測等の産業機器
- 血圧・体重測定等のヘルスケア機器

オーダー情報

ピン数	パッケージ	オーダー名称
36ピン	36ピン・プラスチックFBGA (4×4)	RAA7301013CBG, RAA7301014CBG



読み方

このマニュアルを読むにあたっては、電気、電子回路の一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。

□改訂された箇所

→本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

凡例

データ表記の重み	: 左が上位桁、右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子、信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数...xxxxまたはxxxxB 10進数...xxxx 16進数...xxxxH

目次

1. 端子接続図.....	7
1.1 端子レイアウト (Top View)	7
1.2 全体ブロック図	8
1.3 端子機能.....	9
1.4 未使用端子の処理.....	10
1.5 入出力回路	11
2. 入力マルチプレクサ	13
2.1 概要	13
2.2 ブロック図	13
2.3 入力マルチプレクサを制御するレジスタ	14
3. プログラマブル・ゲイン計装アンプ (PGIA)	15
3.1 概要	15
3.2 ブロック図	16
3.3 入力電圧範囲.....	17
3.3.1 差動入力モードでの入力電圧範囲.....	17
3.3.2 シングルエンド入力モードおよび温度センサ入力モードでの入力電圧範囲.....	18
3.4 プログラマブル・ゲイン計装アンプ (PGIA) を制御するレジスタ	19
4. 16ビット $\Delta\Sigma$ A/D コンバータ	21
4.1 16ビット $\Delta\Sigma$ A/D コンバータ	21
4.1.1 概要.....	21
4.1.2 ブロック図.....	21
4.1.3 16ビット $\Delta\Sigma$ A/D コンバータへの入力電圧と A/D 変換結果	22
4.2 デジタル・フィルタ	23
4.2.1 概要.....	23
4.2.2 ブロック図.....	23
4.3 16ビット $\Delta\Sigma$ A/D コンバータを制御するレジスタ	25
4.4 A/Dコンバータの変換動作 (AUTOSCAN)	32
5. SPI.....	35
5.1 概要	35
5.2 SPIのコマンド・フォーマット	35
5.3 SPIの通信動作タイミング	37
5.4 通信仕様を制御するレジスタ	39

5.5	SPI使用時の注意事項	39
6.	UART	40
6.1	概要	40
6.2	通信仕様（UART設定）を制御するレジスタ	42
6.3	UART受信（UARTのコマンド・フォーマット）	44
6.4	UART送信	46
6.5	通信フロー	49
6.6	UART使用時の注意事項	50
6.7	PWM直接入力	51
6.8	差動出力	52
7.	割り込み信号出力機能（SPI通信時のみ）	53
7.1	概要	53
7.2	ブロック図	53
7.3	割り込み信号を制御するレジスタ	54
7.4	割り込み信号出力機能の動作	57
8.	電源回路	59
8.1	概要	59
8.2	電源回路全体ブロック図	59
8.3	内部基準電圧生成回路（VREF）	60
8.3.1	概要	60
8.3.2	ブロック図	60
8.3.3	内部基準電圧生成回路（VREF）を制御するレジスタ	61
8.3.4	内部基準電圧生成回路（VREF）の動作	61
8.4	センサ用電源回路（SBIAS）	62
8.4.1	概要	62
8.4.2	ブロック図	62
8.4.3	センサ用電源回路（SBIAS）を制御するレジスタ	63
8.4.4	センサ用電源回路（SBIAS）の動作	64
8.5	LDOレギュレータ	65
8.5.1	AREG（ AV_{DD} / IOV_{DD} への電源供給回路）	65
8.5.2	CREG（ ADV_{DD} / DV_{DD} への電源供給回路）	67
8.5.3	スリープ・モードでのLDOレギュレータの動作	69
9.	電源供給構成	70
9.1	概要	70
9.2	電源供給構成のブロック図	71

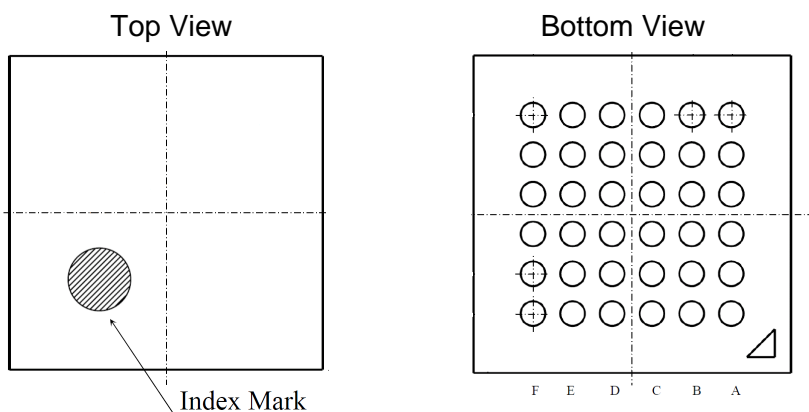
9.3	パワーオン／オフ、スタンバイ（待機状態）のシーケンス	74
9.4	フラッシュ・プログラミング時の設定	78
9.4.1	低電力アクセス（主にリード・アクセス）	78
9.4.2	AREG と RVDD のバイパス設定（電源供給構成の構成 2 を想定）	78
9.4.3	パワー／モード制御レジスタ（CHIPCNT）の保護機能	79
10.	クロックの構成	80
10.1	概要	80
10.2	ブロック図	80
10.3	クロックを制御するレジスタ	81
11.	温度センサ	82
11.1	概要	82
11.2	温度センサを制御するレジスタ	82
12.	パワーオン・リセット（POR）回路	83
12.1	概要	83
12.2	ブロック図	83
12.3	パワーオン・リセット（POR）回路を制御するレジスタ	84
12.4	パワーオン・リセット（POR）回路の動作	84
13.	フラッシュ・メモリ	85
13.1	概要	85
13.2	フラッシュ・メモリを制御するレジスタ	86
13.3	起動（パワーオン）シーケンス	87
13.4	フラッシュ・メモリを制御するコマンド	89
13.4.1	SPI コマンドによるフラッシュ・メモリの制御	89
13.4.2	UART コマンドによるフラッシュ・メモリの制御	90
14.	応用例	91
15.	電気的特性	93
15.1	絶対最大定格	93
15.2	動作条件	94
15.3	電源電流特性	94
15.4	各機能の電気的特性	95
15.4.1	プログラマブル・ゲイン計装アンプ、16 ビット $\Delta\Sigma$ A/D コンバータ	95
15.4.2	内部基準電圧生成回路（VREF）	97
15.4.3	センサ用電源回路（SBIAS）	97

15.4.4	AREG (AV _{DD} /IOV _{DD} への電源供給回路)	97
15.4.5	CREG (ADV _{DD} /DV _{DD} への電源供給回路)	98
15.4.6	パワーオン・リセット (POR) 回路	99
15.4.7	温度センサ回路	99
15.4.8	内蔵システム・クロック (OSC) 用発振回路	100
15.4.9	フラッシュ・メモリ	100
15.4.10	デジタル入出力	100
15.5	SPIアクセス・タイミング	101
15.6	累積パワーオン時間/ウェイク・アップ時間	102
16.	チップ識別	104
16.1	概要	104
16.2	チップ識別を行うレジスタ	104
17.	PKG 外形図	105
	特性曲線 (T _A = 25°C, TYP.) (参考値)	106

1. 端子接続図

1.1 端子レイアウト (Top View)

・ 36 ピン・プラスチック TFBGA (4×4mm, 0.5mm ピッチ)

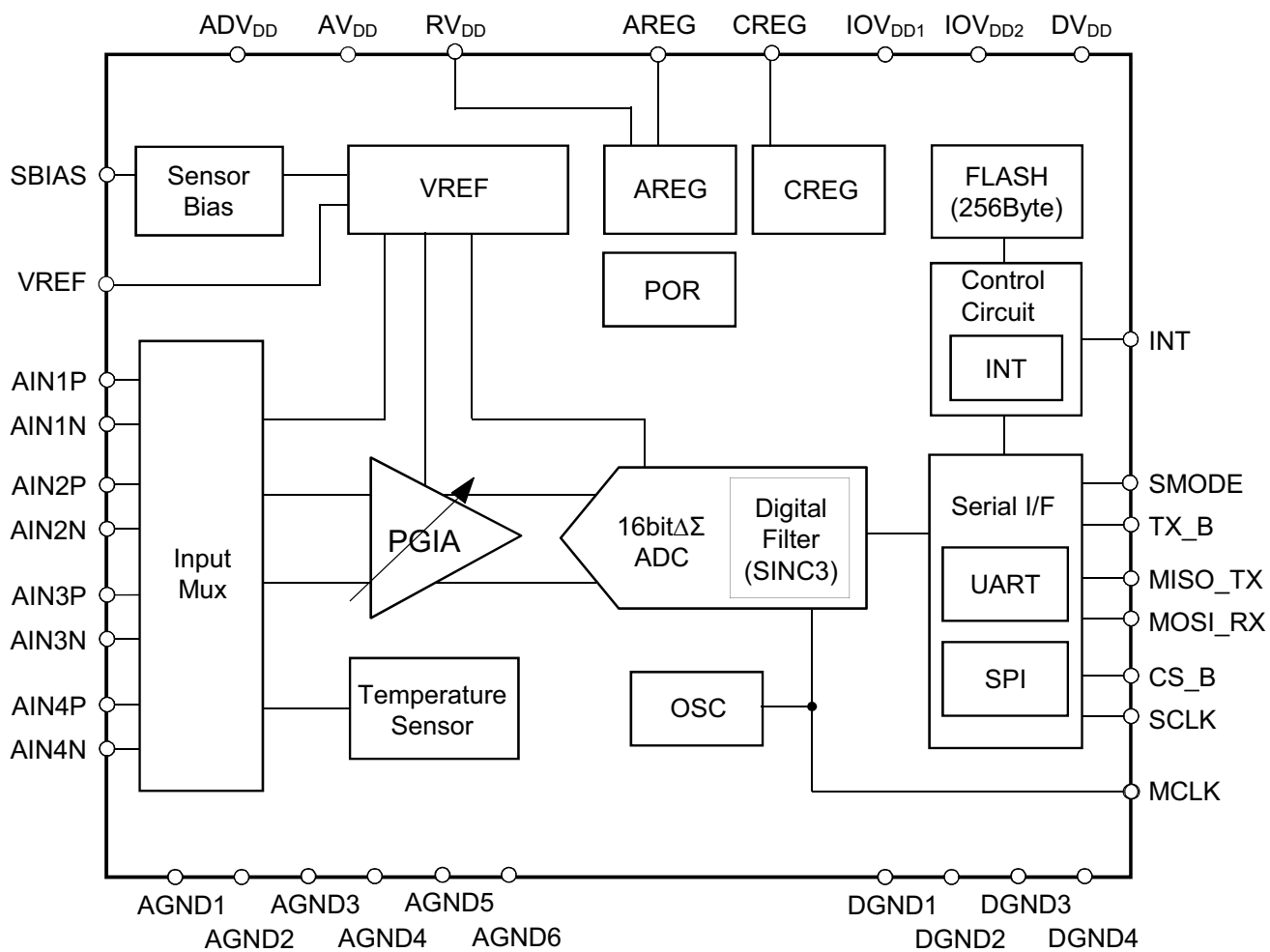


6	AGND1	SBIAS	AIN2N	AIN2P	AIN1P	AGND6
5	VREF	AGND2	AGND3	AGND5	AIN3N	AIN1N
4	CREG	AV _{DD}	DGND3	AGND4	AIN4N	AIN3P
3	AREG	IOV _{DD1}	SMODE	DGND4	ADV _{DD}	AIN4P
2	RV _{DD}	IOV _{DD2}	INT	TX_B	MCLK	DV _{DD}
1	DGND1	MOSI_RX	MISO_TX	SCLK	CS_B	DGND2
	A	B	C	D	E	F

- 注意 1. AGND (AGND1~6) と DGND (DGND1~4) は、同電位にしてください。
2. ADV_{DD} と DV_{DD} は、同電位にしてください。
 3. IOV_{DD1} と IOV_{DD2} は直接接続してください。
 4. RV_{DD} ≥ IOV_{DD} としてください。
 5. RV_{DD} はコンデンサ (0.47μF : 推奨値) を介し、AGND に接続してください。
 6. AREG はコンデンサ (0.47μF : 推奨値) を介し、AGND に接続してください。
 7. CREG はコンデンサ (0.22μF : 推奨値) を介し、AGND に接続してください。
 8. SBIAS はコンデンサ (0.22μF : 推奨値) を介し、AGND に接続してください。
 9. VREF はコンデンサ (0.1μF : 推奨値) を介し、AGND に接続してください。
 10. ADV_{DD} はコンデンサ (0.1μF : 推奨値) を介し、AGND に接続してください。

- 備考 1. 本マニュアルでは、AGND1, AGND2, AGND3, AGND4, AGND5, AGND6 を総称して AGND とします。
2. 本マニュアルでは、DGND1, DGND2, DGND3, DGND4 を総称して DGND とします。
 3. 本マニュアルでは、IOV_{DD1}, IOV_{DD2} を総称して IOV_{DD} とします。

1.2 全体ブロック図



1.3 端子機能

表 1.1 端子機能一覧

端子番号	端子名	Analog /Digital	入出力	入出力レベル	機能
A1	DGND1	-	-	-	デジタル回路用 GND 端子 1
A2	RV _{DD}	-	-	-	レギュレータ用電源端子
A3	AREG	A	出力	RV _{DD}	AV _{DD} 電源供給用 3.0V LDO 出力端子
A4	CREG	A	出力	AV _{DD}	ADV _{DD} 電源供給用 2.1V LDO 出力端子
A5	VREF	A	出力	AV _{DD}	VREF 電圧モニタ端子
A6	AGND1	-	-	-	アナログ回路用 GND 端子 1
B1	MOSI_RX	D	入力	IOV _{DD}	SPI シリアル・データ入力/UART 受信データ端子
B2	IOV _{DD2}	-	-	-	入出力回路用電源端子 2
B3	IOV _{DD1}	-	-	-	入出力回路用電源端子 1
B4	AV _{DD}	-	-	-	アナログ回路用電源端子
B5	AGND2	-	-	-	アナログ回路用 GND 端子 2
B6	SBIAS	A	出力	AV _{DD}	外部接続センサ用電源供給端子
C1	MISO_TX	D	出力	IOV _{DD}	SPI シリアル・データ出力/UART 送信データ端子
C2	INT	D	出力	IOV _{DD}	割り込み信号出力端子
C3	SMODE	D	入力	IOV _{DD}	シリアル・インタフェース・モード・セレクト端子
C4	DGND3	-	-	-	デジタル回路用 GND 端子 3
C5	AGND3	-	-	-	アナログ回路用 GND 端子 3
C6	AIN2N	A	入力	AV _{DD}	入力マルチプレクサ 2 (プログラマブル・ゲイン計装アンプ入力端子 2 (-))
D1	SCLK	D	入力	IOV _{DD}	SPI シリアル・クロック入力端子
D2	TX_B	D	出力	IOV _{DD}	UART 送信データ端子
D3	DGND4	-	-	-	デジタル回路用 GND 端子 4
D4	AGND4	-	-	-	アナログ回路用 GND 端子 4
D5	AGND5	-	-	-	アナログ回路用 GND 端子 5
D6	AIN2P	A	入力	AV _{DD}	入力マルチプレクサ 2 (プログラマブル・ゲイン計装アンプ入力端子 2 (+))
E1	CS_B	D	入力	IOV _{DD}	SPI チップ・セレクト/UART 受信モード・セレクト端子
E2	MCLK	D	入出力	IOV _{DD}	発振クロック・モニタ端子 (1 MHz), 外部クロック入力端子 (4 MHz)
E3	ADV _{DD}	-	-	-	A/D コンバータ用電源端子
E4	AIN4N	A	入力	AV _{DD}	入力マルチプレクサ 4 (プログラマブル・ゲイン計装アンプ入力端子 4 (-))
E5	AIN3N	A	入力	AV _{DD}	入力マルチプレクサ 3 (プログラマブル・ゲイン計装アンプ入力端子 3 (-))
E6	AIN1P	A	入力	AV _{DD}	入力マルチプレクサ 1 (プログラマブル・ゲイン計装アンプ入力端子 1 (+))
F1	DGND2	-	-	-	デジタル回路用 GND 端子 2
F2	DV _{DD}	-	-	-	デジタル回路用電源端子
F3	AIN4P	A	入力	AV _{DD}	入力マルチプレクサ 4 (プログラマブル・ゲイン計装アンプ入力端子 4 (+))
F4	AIN3P	A	入力	AV _{DD}	入力マルチプレクサ 3 (プログラマブル・ゲイン計装アンプ入力端子 3 (+))
F5	AIN1N	A	入力	AV _{DD}	入力マルチプレクサ 1 (プログラマブル・ゲイン計装アンプ入力端子 1 (-))
F6	AGND6	-	-	-	アナログ回路用 GND 端子 6

備考 デジタル入出力は CMOS インタフェースとシュミット・トリガ入力に対応しています。

1.4 未使用端子の処理

各端子の未使用時の処理を表 1.2 に示します。

表 1.2 未使用端子の処理

端子名	Analog /Digital	入出力	入出力レベル	機能
AREG	A	出力	RV _{DD}	コンデンサ (0.47 μ F : 推奨値) を介して、AGND に接続してください。 (AREGPD = 1 の場合は、RV _{DD} に接続してください。)
CREG	A	出力	AV _{DD}	コンデンサ (0.22 μ F : 推奨値) を介して、AGND に接続してください。
VREF	A	出力	AV _{DD}	コンデンサ (0.1 μ F : 推奨値) を介して、AGND に接続してください。
SBIAS	A	出力	AV _{DD}	コンデンサ (0.22 μ F : 推奨値) を介して、AGND に接続してください。
AIN1P	A	入力	AV _{DD}	AGND に直接接続してください。
AIN1N	A	入力	AV _{DD}	
AIN2P	A	入力	AV _{DD}	
AIN2N	A	入力	AV _{DD}	
AIN3P	A	入力	AV _{DD}	
AIN3N	A	入力	AV _{DD}	
AIN4P	A	入力	AV _{DD}	
AIN4N	A	入力	AV _{DD}	
CS_B ^注	D	入力	IOV _{DD}	IOV _{DD} , または DGND に直接接続してください。
SCLK	D	入力	IOV _{DD}	DGND に直接接続してください。
MOSI_RX	D	入力	IOV _{DD}	IOV _{DD} に直接接続してください。
MISO_TX	D	出力	IOV _{DD}	オープンにしてください。
TX_B	D	出力	IOV _{DD}	オープンにしてください。
SMODE	D	入力	IOV _{DD}	IOV _{DD} , または DGND に直接接続してください。
INT	D	出力	IOV _{DD}	オープンにしてください
MCLK	D	入出力	IOV _{DD}	オープンにしてください

注 SPI通信時は、必ず、CS_B端子を使用します。UART通信時は、PWM直接入力機能を使用する際のみ、CS_B端子を使用します。PWM直接入力機能の詳細は、**6.7 PWM直接入力**を参照してください。

1.5 入出力回路

図 1.1 入出力回路タイプ (1/2)

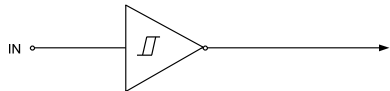
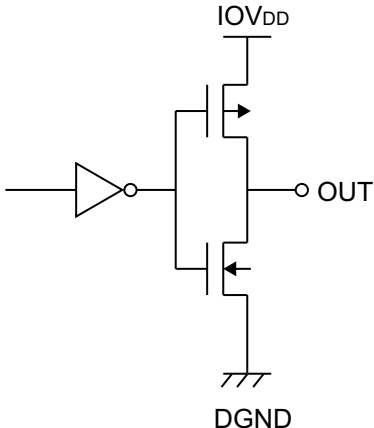
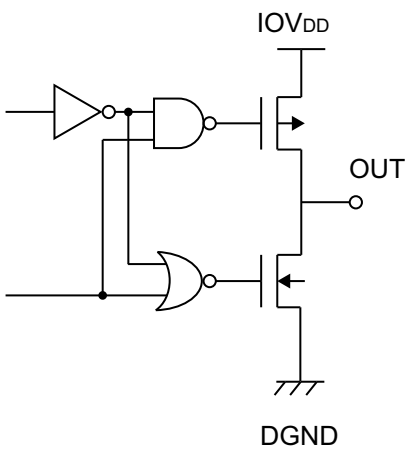
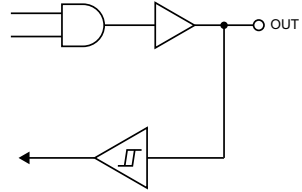
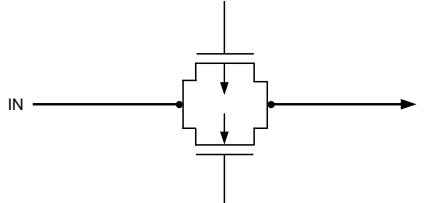
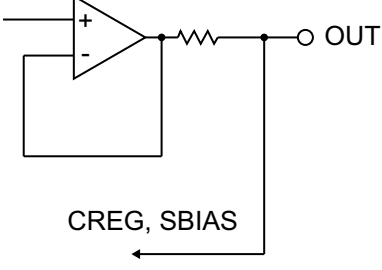
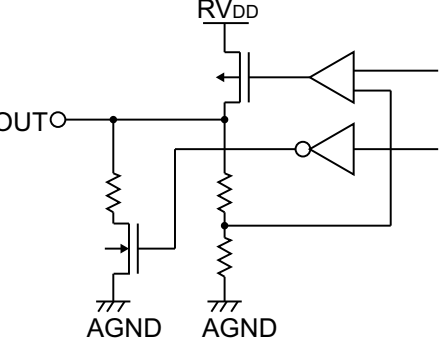
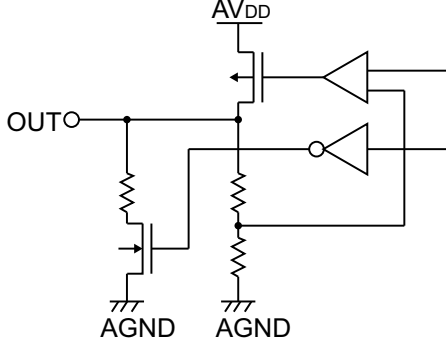
端子名	等価回路	端子名	等価回路
CS_B SCLK MOSI_RX SMODE	 <p data-bbox="359 660 758 683">ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	INT	
MISO_TX TX_B		MCLK	 <p data-bbox="997 1232 1412 1254">ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>

図 1.1 入出力回路タイプ (2/2)

端子名	等価回路	端子名	等価回路
AIN1P AIN1N AIN2P AIN2N AIN3P AIN3N AIN4P AIN4N		VREF	
AREG		CREG SBIAS	

2. 入力マルチプレクサ

2.1 概要

入力マルチプレクサは5本のアナログ入力チャンネルを持ちます。うち4本（入力マルチプレクサ $x : x = 1 \sim 4$ ）は外部からの信号入力が可能であり、残り1本（入力マルチプレクサ5）は内蔵の温度センサと接続されています。外部入力可能な4本（入力マルチプレクサ $x : x = 1 \sim 4$ ）のチャンネルは、チャンネルごとに差動入力、もしくはシングルエンド入力の入力設定を選択することができます。シングルエンド入力の場合、内部バイアス電圧（VBIAS）が接続されます。

同様に、内蔵温度センサからの出力を接続する場合、内部バイアス電圧（VBIAS）が接続されます。内部バイアス電圧に関する詳細は、8 電源回路を参照してください。

2.2 ブロック図

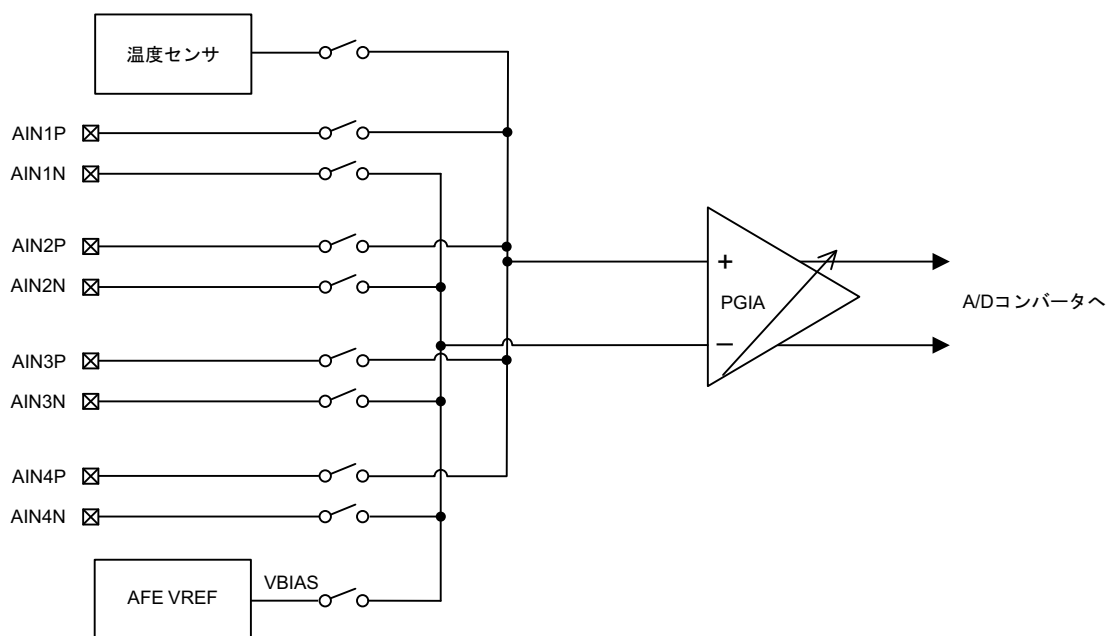


図 2.1 入力マルチプレクサのブロック図

2.3 入力マルチプレクサを制御するレジスタ

入力マルチプレクサでは、次のレジスタを使用します。

- 入力マルチプレクサ x (x = 1~4) A/D 変換設定レジスタ 2 (CHxCNT2)

(1) 入力マルチプレクサ x (x = 1~4) A/D 変換設定レジスタ 2 (CHxCNT2)

入力マルチプレクサのチャンネル毎に、差動入力かシングルエンド入力かを設定することができます。

リセット信号の発生により、10Hになります。

アドレス：11H リセット時：10H R/W

	7	6	5	4	3	2	1	0
CH1CNT2	AINSEL1	0	0	AIN1OFT4	AIN1OFT3	AIN1OFT2	AIN1OFT1	AIN1OFT0

AINSEL1	入力マルチプレクサ 1 の制御
0	差動入力
1	シングルエンド入力

注意 ビット 6, 5 は、書き換え不可です（読み出すと常に 0 を返します）。

アドレス：14H リセット時：10H R/W

	7	6	5	4	3	2	1	0
CH2CNT2	AINSEL2	0	0	AIN2OFT4	AIN2OFT3	AIN2OFT2	AIN2OFT1	AIN2OFT0

AINSEL2	入力マルチプレクサ 2 の制御
0	差動入力
1	シングルエンド入力

注意 ビット 6, 5 は、書き換え不可です（読み出すと常に 0 を返します）。

アドレス：17H リセット時：10H R/W

	7	6	5	4	3	2	1	0
CH3CNT2	AINSEL3	0	0	AIN3OFT4	AIN3OFT3	AIN3OFT2	AIN3OFT1	AIN3OFT0

AINSEL3	入力マルチプレクサ 3 の制御
0	差動入力
1	シングルエンド入力

注意 ビット 6, 5 は、書き換え不可です（読み出すと常に 0 を返します）。

アドレス：1AH リセット時：10H R/W

	7	6	5	4	3	2	1	0
CH4CNT2	AINSEL4	0	0	AIN4OFT4	AIN4OFT3	AIN4OFT2	AIN4OFT1	AIN4OFT0

AINSEL4	入力マルチプレクサ 4 の制御
0	差動入力
1	シングルエンド入力

注意 ビット 6, 5 は、書き換え不可です（読み出すと常に 0 を返します）。

3. プログラマブル・ゲイン計装アンプ (PGIA)

3.1 概要

プログラマブル・ゲイン計装アンプ (PGIA) は低オフセット電圧, 低 $1/f$ ノイズ, 高入力インピーダンスを特長とするアンプです。入力マルチプレクサの設定により, 差動入力モード, シングルエンド入力モード, 内蔵温度センサ入力モードの3つのモードになります。

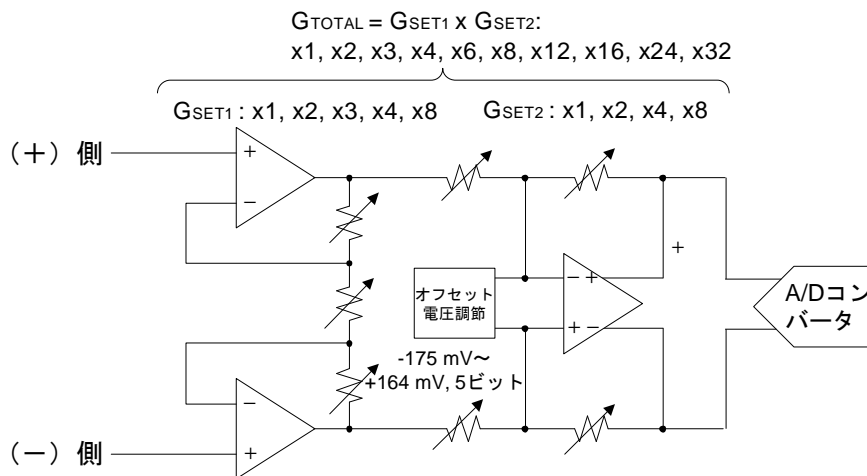
差動入力モードでは, 計装アンプの前段アンプのゲイン (G_{SET1}) と後段アンプのゲイン (G_{SET2}) の組み合わせにより, 1~32 倍までのゲイン (G_{TOTAL}) を設定することが可能です。シングルエンド入力モードでは, ゲイン 1 倍に設定することを推奨します。内蔵温度センサ入力モードでは, ゲインの設定は変更できません。 G_{SET1} と G_{SET2} は内部で 1 倍に固定されます ($G_{TOTAL} = 1$)。

また, 後段アンプには, オフセット電圧調整用の D/A コンバータが接続されています。差動入力モード, シングルエンド入力モードでは, この D/A コンバータによるオフセット電圧調整 (-175 mV~+164 mV, 32 階調: 5 ビット) が可能です。一方, 内蔵温度センサ入力モードでは, オフセット電圧調整ができません。D/A コンバータの出力は, 内部で 0 mV に固定されます。

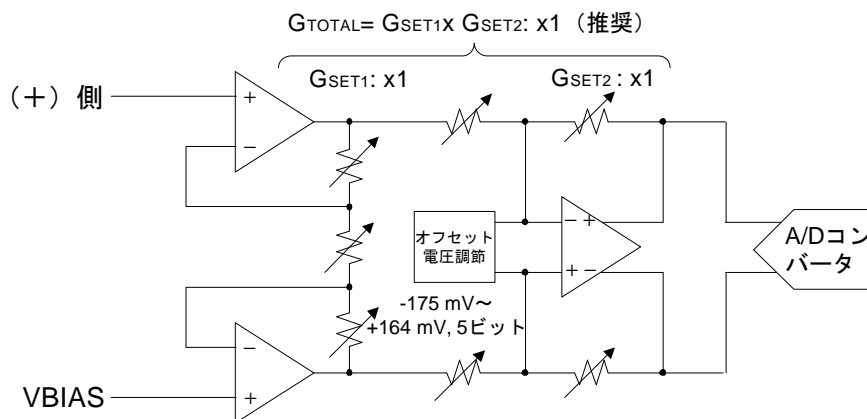
プログラマブル・ゲイン計装アンプ (PGIA) の制御に関する詳細は, **4.4 A/D コンバータの変換動作 (AUTOSCAN)** を参照して下さい。

3.2 ブロック図

〈差動入力モード〉



〈シングルエンド入力モード〉



〈内蔵温度センサ入力モード〉

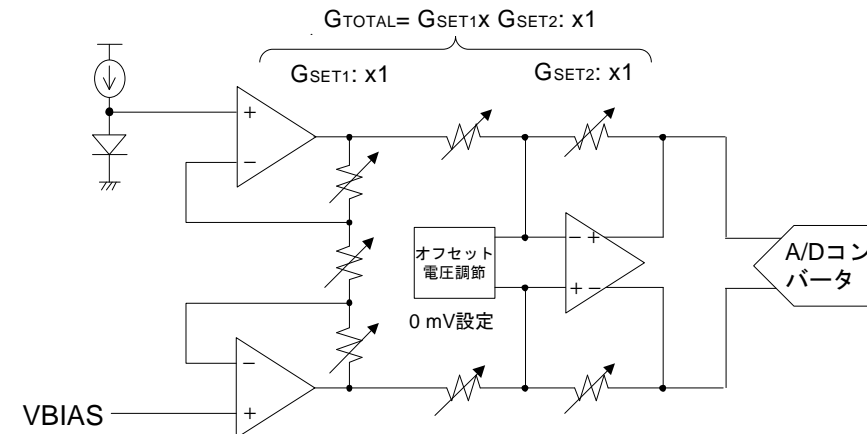


図 3.1 プログラマブル・ゲイン計装アンプ (PGIA) のブロック図

3.3 入力電圧範囲

プログラマブル・ゲイン計装アンプ (PGIA) の入力電圧範囲について説明します。図 3.2 に、差動入力モードとシングルエンド入力モードおよび温度センサ入力モードの入力電圧範囲を示します。

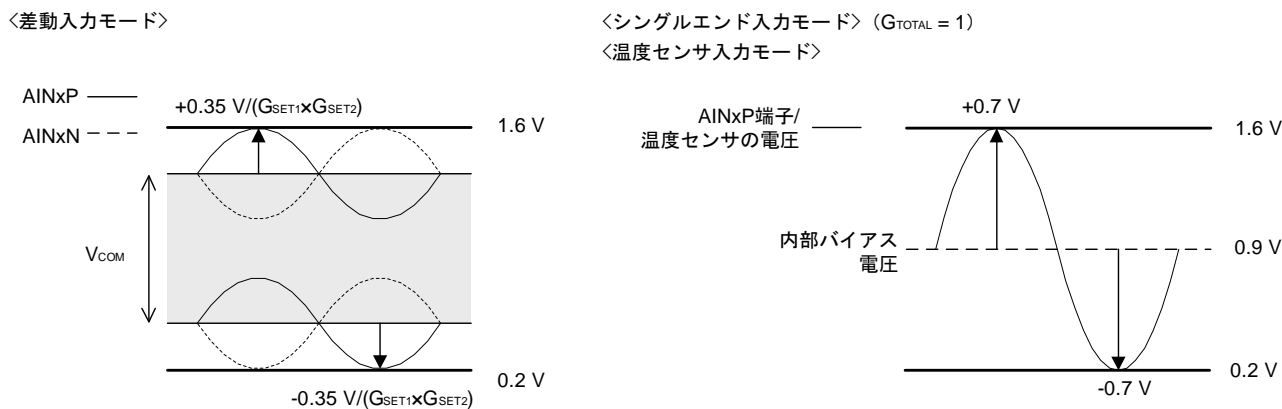


図 3.2 入力電圧範囲

3.3.1 差動入力モードでの入力電圧範囲

V_{SIG} は入力信号の差動電圧振幅、 V_{COM} は同相入力電圧、 d_{OFR} はオフセット電圧調整用 D/A コンバータの出力電圧を入力換算した値とします。アンプ段の入力電圧範囲は 0.2~1.6 V であります。したがって、計装アンプの前段アンプを通り、後段アンプに入力される信号は式 3.1 の条件を満たす必要があります。

また最終的には、計装アンプの前段アンプを通り、後段アンプから出力される信号は式 3.2 の条件を満たす必要があります。

$$0.2 \text{ V} + \frac{|V_{SIG}| \times G_{SET1}}{2} \leq V_{COM} \leq 1.6 \text{ V} - \frac{|V_{SIG}| \times G_{SET1}}{2} \dots (式 3.1)$$

$$-0.7 \text{ V} \leq (V_{SIG} + d_{OFR}) \times G_{TOTAL} \leq 0.7 \text{ V} \dots (式 3.2)$$

$d_{OFR} = 0\text{mV}$ の時、入力信号は差動入力電圧をフルスケールで取ることができます。 $V_{SIG} = V_{ID}$ (フルスケール差動入力電圧) とすると、 V_{COM} は下記の式 3.3 で表すことができます。

$$0.2 \text{ V} + \frac{|V_{ID}| \times G_{SET1}}{2} \leq V_{COM} \leq 1.6 \text{ V} - \frac{|V_{ID}| \times G_{SET1}}{2} \dots (式 3.3)$$

プログラマブル・ゲイン計装アンプ (PGIA) の各チャンネルにおける差動入力電圧の振幅の推移について、図 3.3 に示します。

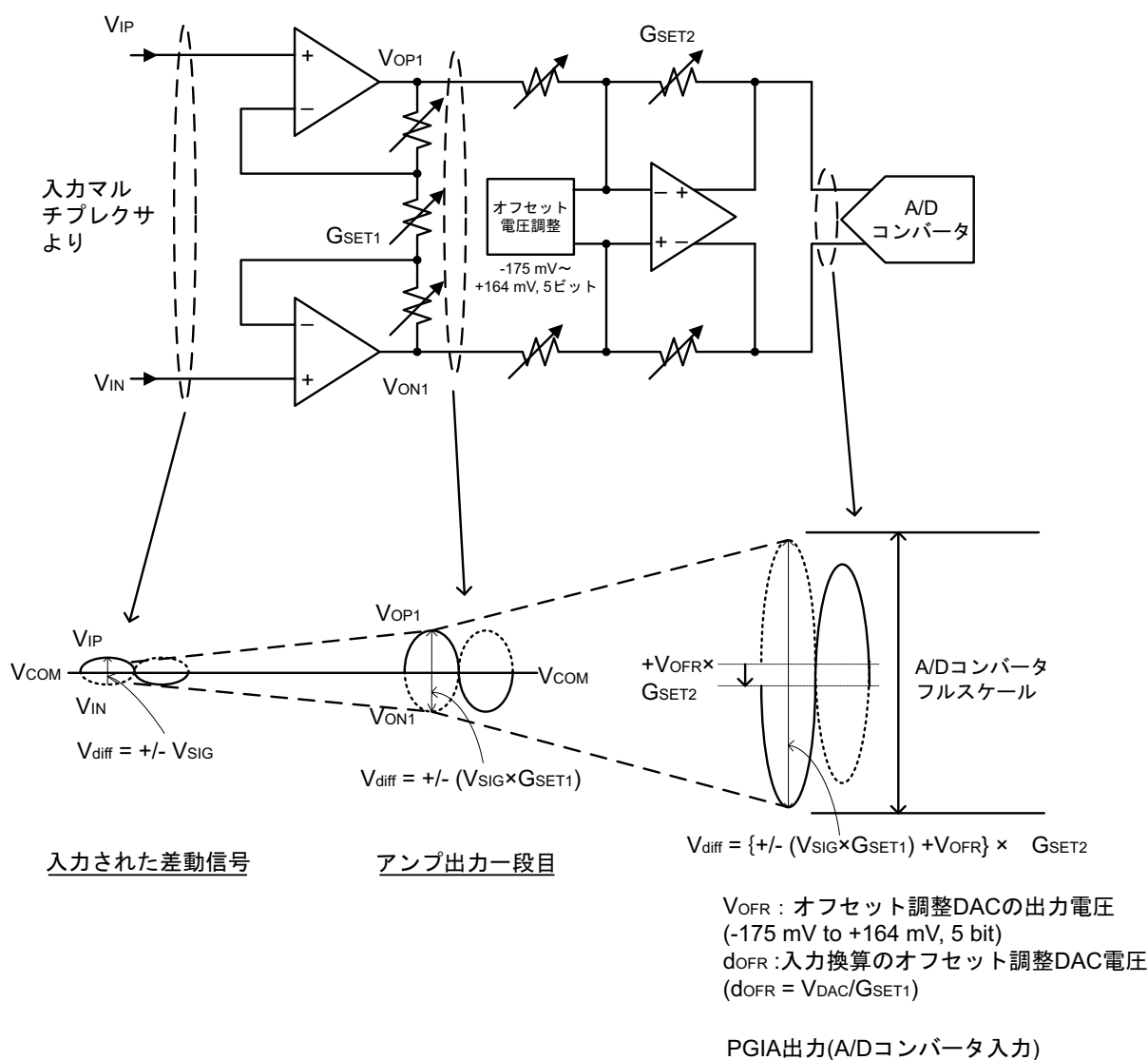


図 3.3 プログラマブル・ゲイン計装アンプ (PGIA) の各チャンネルにおける差動入力電圧の振幅の推移

3.3.2 シングルエンド入力モードおよび温度センサ入力モードでの入力電圧範囲

シングルエンド入力モード、および温度センサ入力モードでは、内部バイアス電圧 ($V_{BIAS}=0.9\text{ V (Typ.)}$) を基準電圧として使用し、プログラマブル・ゲイン計装アンプ (PGIA) の反転入力に接続します。一方、入力マルチプレクサ x ($x = 1 \sim 5$) からの信号は、プログラマブル・ゲイン計装アンプ (PGIA) の非反転入力に接続します。プログラマブル・ゲイン計装アンプ (PGIA) は $G_{TOTAL} = 1$ ($G_{SET1} = 1, G_{SET2} = 1$) 設定時、基準電圧を中心として $0.2 \sim 1.6\text{ V}$ の範囲の差動信号を出力します。内部バイアス電圧に関する詳細は、8. 電源回路を参照してください。

3.4 プログラマブル・ゲイン計装アンプ (PGIA) を制御するレジスタ

プログラマブル・ゲイン計装アンプ (PGIA) では、次の2種類のレジスタを使用します。

- 入力マルチプレクサ x (x = 1~4) A/D 変換設定レジスタ 1 (CHxCNT1)
- 入力マルチプレクサ x (x = 1~4) A/D 変換設定レジスタ 2 (CHxCNT2)

(1) 入力マルチプレクサ x (x = 1~4) A/D 変換設定レジスタ 1 (CHxCNT1)

入力マルチプレクサのチャンネル毎 (入力マルチプレクサ x : x = 1~4) に、プログラマブル・ゲイン計装アンプのゲインを設定することができます。

リセット信号の発生により、40Hになります。詳細は、4.4 A/Dコンバータの変換動作 (AUTOSCAN) を参照して下さい。

アドレス : 10H (x = 1), 13H (x = 2), 16H (x = 3), 19H (x = 4) リセット時 : 40H R/W

	7	6	5	4	3	2	1	0
CHxCNT1	AINxOSR2	AINxOSR1	AINxOSR0	AINxGC4	AINxGC3	AINxGC2	AINxGC1	AINxGC0

AINxGC4	AINxGC3	AINxGC2	AINxGC1	AINxGC0	ゲイン設定		
					GSET1	GSET2	GTOTAL
0	0	0	0	0	1	1	1
0	0	1	0	0	2	1	2
0	1	0	0	0	3	1	3
0	1	1	0	0	4	1	4
1	0	0	0	0	8	1	8
0	0	0	0	1	1	2	2
0	0	1	0	1	2	2	4
0	1	0	0	1	3	2	6
0	1	1	0	1	4	2	8
1	0	0	0	1	8	2	16
0	0	0	1	0	1	4	4
0	0	1	1	0	2	4	8
0	1	0	1	0	3	4	12
0	1	1	1	0	4	4	16
1	0	0	1	0	8	4	32
0	0	0	1	1	1	8	8
0	0	1	1	1	2	8	16
0	1	0	1	1	3	8	24
0	1	1	1	1	4	8	32
上記以外					設定禁止		

(2) 入力マルチプレクサ x (x = 1~4) A/D 変換設定レジスタ 2 (CHxCNT2)

入力マルチプレクサのチャンネル毎 (入力マルチプレクサx : x = 1~4) に、オフセット電圧を調整することができます。オフセット電圧調整用D/Aコンバータの出力電圧 d_{OFR} (d_{OFR} は入力換算の値) は以下の式で計算されます。

$$\text{(入力換算の) D/Aコンバータ出力電圧 } d_{OFR} \text{ (mV)} = (-175 + 350 / 32 \times m) \times 1 / G_{SET1}$$

(m = 0~31 : CHxCNT2レジスタに設定した値に対応)

リセット信号の発生により、10Hになります。詳細は、4.4 A/Dコンバータの変換動作 (AUTOSCAN) を参照して下さい。

アドレス : 11H (x = 1), 14H (x = 2), 17H (x = 3), 1AH (x = 4) リセット時 : 10H R/W

	7	6	5	4	3	2	1	0
CHxCNT2	AINSELx	0	0	AINxOFT4	AINxOFT3	AINxOFT2	AINxOFT1	AINxOFT0

AINxOFT4	AINxOFT3	AINxOFT2	AINxOFT1	AINxOFT0	m	d_{OFR} (mV)
0	0	0	0	0	0	-175.00 / G_{SET1}
0	0	0	0	1	1	-164.06 / G_{SET1}
0	0	0	1	0	2	-153.13 / G_{SET1}
.
.
.
1	0	0	0	0	16	0
.
.
.
1	1	1	0	1	29	+142.19 / G_{SET1}
1	1	1	1	0	30	+153.13 / G_{SET1}
1	1	1	1	1	31	+164.06 / G_{SET1}

- 注意 1. ビット 6, 5 は、書き換え不可です (読み出すと常に 0 を返します)。
- 2. 内蔵温度センサ入力モードでは、 d_{OFR} (mV) = 0 (m = 16) に固定されます。

4. 16 ビット $\Delta \Sigma$ A/D コンバータ

4.1 16 ビット $\Delta \Sigma$ A/D コンバータ

4.1.1 概要

RAA730101 は、16 ビット $\Delta \Sigma$ A/D コンバータを内蔵しています。入力マルチプレクサ (5 チャンネル) からの信号は、プログラマブル・ゲイン計装アンプ (PGIA) を経由し、16 ビット $\Delta \Sigma$ A/D コンバータへ入力されます。A/D 変換結果は、SINC3 デジタル・フィルタにてフィルタリングされた後、出力レジスタに格納されます。

A/D 変換は、内蔵システム・クロック (OSC) 用発振回路からのクロックによって実行されます (サンプリング周波数は 1MHz (Typ.))。また、外部クロックを使用することも可能です (詳細は、10. クロックの構成を参照)。A/D 変換は、AUTOSCAN と呼ばれる内蔵シーケンサに基づいて行われ、チャンネル毎にデータ・レート (A/D 変換結果の速度) を設定することも可能です。詳細は、4.4 A/D コンバータの変換動作 (AUTOSCAN) を参照して下さい。

4.1.2 ブロック図

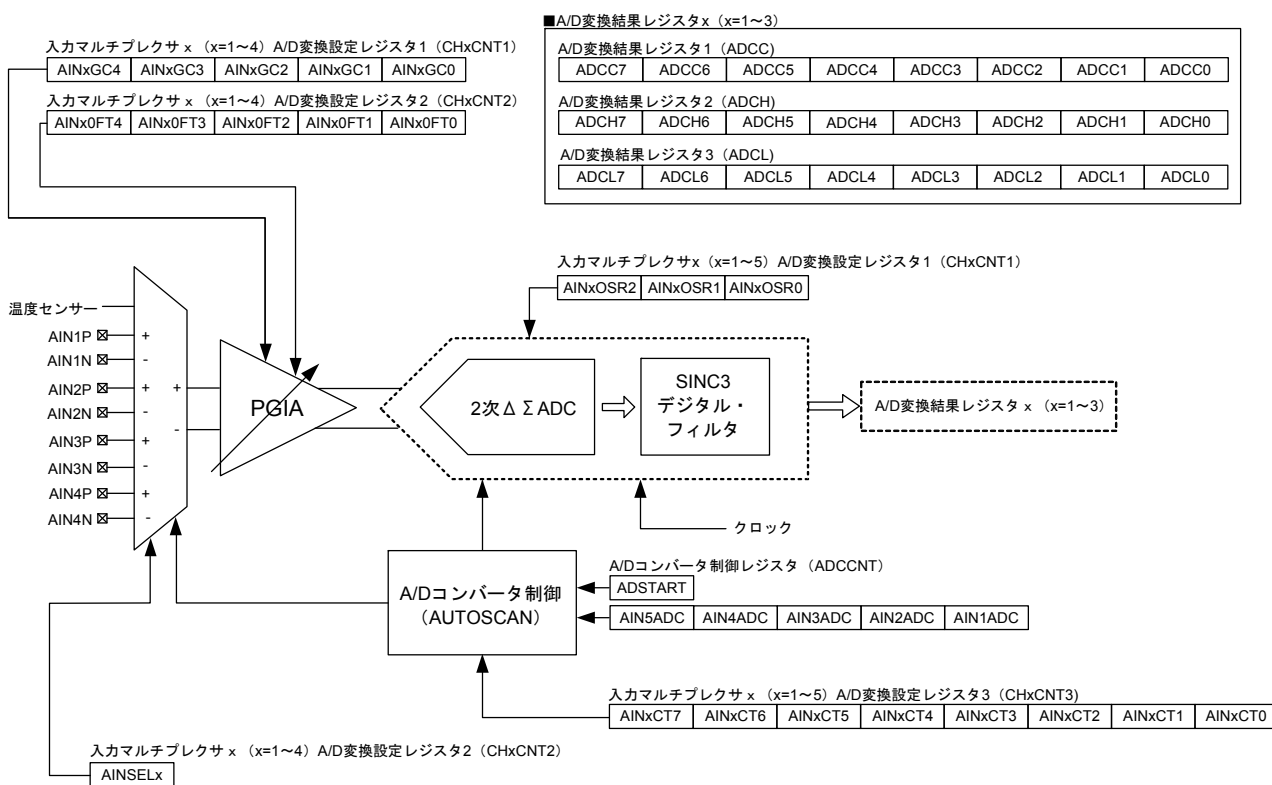


図 4.1 ブロック図

4.1.3 16 ビット $\Delta \Sigma$ A/D コンバータへの入力電圧と A/D 変換結果

16 ビット $\Delta \Sigma$ A/D コンバータへの入力電圧と A/D 変換結果について説明します。A/D コンバータへの入力電圧範囲をフルスケールとした場合の、A/D 変換結果を図 4.2 と表 4.1 に示します。

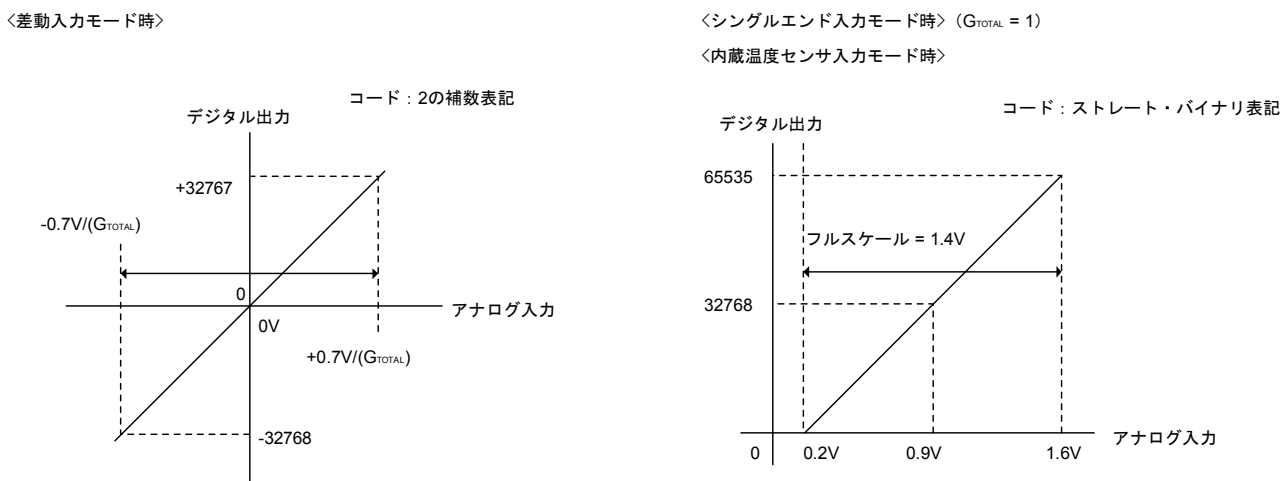


図 4.2 デジタル出力 (A/D 変換結果) とアナログ入力 (A/D コンバータへの入力電圧)

表 4.1 A/D 変換データ

差動入力モード		シングルエンド入力 (G _{TOTAL} =1) , 内蔵温度センサ入力モード	
A/Dコンバータへの 入力電圧	A/D変換結果 (2の補数表記)	A/Dコンバータへの 入力電圧	A/D変換結果 (ストレート・バイナリ表記)
+700mV / (G _{TOTAL})	32767	1.6V	65535
0V	0	0.9V	32768
-700mV / (G _{TOTAL})	-32768	0.2V	0

表 4.1 に示した結果は、下記の式を用いて算出することができます。

- 差動入力モードの場合

A/D コンバータへの入力電圧 = $(1.4V / G_{TOTAL}) \times (ADCDATA1 / 2^{16})$

ADCDATA1 : 16 ビット A/D 変換結果 (上位 8 ビット ADCH, 下位 8 ビット ADCL) の 2 の補数値

- シングルエンド入力モード (G_{TOTAL}=1) , 内蔵温度センサ入力モードの場合

A/D コンバータへの入力電圧 = $(1.4V / G_{TOTAL}) \times (ADCDATA2 / 2^{16}) + 0.2V$

ADCDATA2 : 16 ビット A/D 変換結果 (上位 8 ビット ADCH, 下位 8 ビット ADCL) のストレート・バイナリ値

4.2 デジタル・フィルタ

4.2.1 概要

A/D 変換結果のダウンサンプリングは、SINC3 デジタル・フィルタによって行われます。デジタル・フィルタの伝達関数は、以下の式で表されます。伝達関数の式に含まれる M の値は、デジタル・フィルタの間引き率であり、AINxOSRn (x = 0~5, n = 0~2) レジスタによって設定される OSR (オーバー・サンプリング比) によって決められます。

$$H(z) = \left[\frac{1}{M} \cdot \frac{1 - z^{-M}}{1 - z^{-1}} \right]^3$$

4.2.2 ブロック図

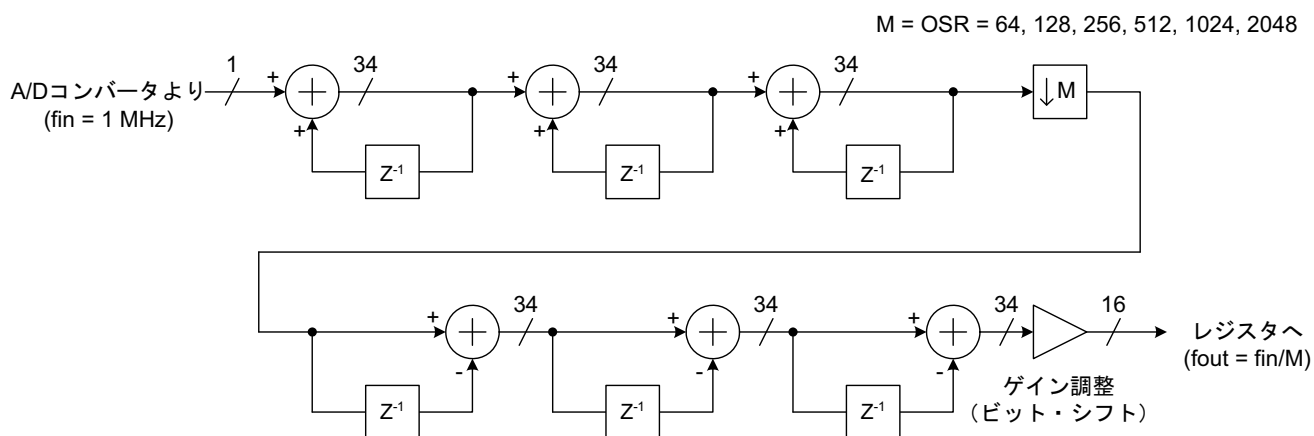


図 4.3 デジタル・フィルタのブロック図

図 4.3 に、デジタル・フィルタのブロック図を示します。3 段の積分器と 3 段の微分器をカスケード接続します。A/D コンバータの安定時間、デジタル・フィルタの入力段でのクロック同期、微分器 3 段分の遅延を考慮すると、セットリング・タイムとしてサンプリング期間の 4 倍の時間 (= 4 x 1/fout) を必要とします。(ただし、安定時間は 64 μs 以上で固定のため、M = 64 の場合は 5 倍の時間が必要になります。)

備考 セットリング・タイムは、内蔵シーケンサである AUTOSCAN にて自動的に生成されます。

図4.4に、SINC3フィルタの周波数応答を示します。

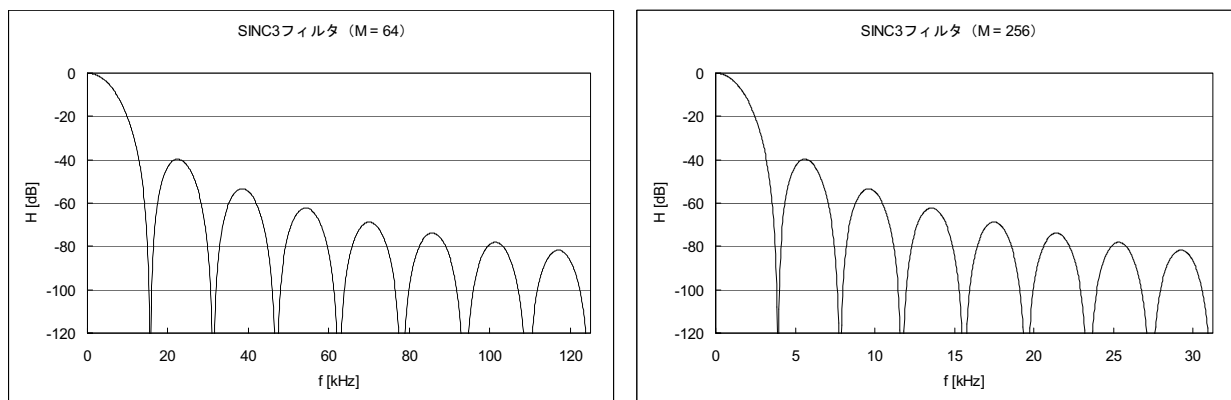


図 4.4 SINC3 フィルタの周波数応答 (M = 64, M = 256 の場合)

4.3 16 ビット $\Delta \Sigma$ A/D コンバータを制御するレジスタ

16 ビット $\Delta \Sigma$ A/D コンバータでは、次の 6 種類のレジスタを使用します。

- A/D コンバータ制御レジスタ (ADCCNT)
- 入力マルチプレクサ x (x = 1~5) A/D 変換設定レジスタ 1 (CHxCNT1)
- 入力マルチプレクサ x (x = 1~5) A/D 変換設定レジスタ 3 (CHxCNT3)
- A/D 変換結果レジスタ 1 (ADCC)
- A/D 変換結果レジスタ 2 (ADCH)
- A/D 変換結果レジスタ 3 (ADCL)

(1) A/D コンバータ制御レジスタ (ADCCNT)

A/D コンバータの変換動作開始/停止を制御します。また、入力マルチプレクサのチャンネル毎に、入力信号に対する A/D 変換動作の許可/禁止を制御することができます。

リセット信号の発生により、00H になります。詳細は、4.4 A/D コンバータの変換動作 (AUTOSCAN) を参照して下さい。

アドレス : 0FH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
ADCCNT	ADSTART	0	0	AIN5ADC	AIN4ADC	AIN3ADC	AIN2ADC	AIN1ADC

AIN1ADC	入力マルチプレクサ 1 からの信号	
0	A/D 変換を許可	
1	A/D 変換を禁止	

AIN2ADC	入力マルチプレクサ 2 からの信号	
0	A/D 変換を許可	
1	A/D 変換を禁止	

AIN3ADC	入力マルチプレクサ 3 からの信号	
0	A/D 変換を許可	
1	A/D 変換を禁止	

AIN4ADC	入力マルチプレクサ 4 からの信号	
0	A/D 変換を許可	
1	A/D 変換を禁止	

AIN5ADC	入力マルチプレクサ 5 (温度センサ) からの信号	
0	A/D 変換を許可	
1	A/D 変換を禁止	

ADSTART	A/D コンバータの制御	
0	A/D 変換を停止	
1	A/D 変換を開始	

注意 ビット 6, 5 は、書き換え不可です (読み出すと常に 0 を返します)。

(2) 入力マルチプレクサx (x = 1~5) A/D変換設定レジスタ1 (CHxCNT1)

入力マルチプレクサのチャンネル毎 (入力マルチプレクサx : x = 1~5) に、データ・レート (A/D変換結果の速度) を設定することができます。

リセット信号の発生により、40Hになります。詳細は、4.4 A/Dコンバータの変換動作 (AUTOSCAN) を参照して下さい。

アドレス : 10H (x = 1), 13H (x = 2), 16H (x = 3), 19H (x = 4) リセット時 : 40H R/W

	7	6	5	4	3	2	1	0
CHxCNT1	AINxOSR2	AINxOSR1	AINxOSR0	AINxGC4	AINxGC3	AINxGC2	AINxGC1	AINxGC0

アドレス : 1CH (x = 5) リセット時 : 40H R/W

	7	6	5	4	3	2	1	0
CH5CNT1	AIN5OSR2	AIN5OSR1	AIN5OSR0	0	0	0	0	0

注意 ビット 4, 3, 2, 1, 0 は、書き換え不可です (読み出すと常に 0 を返します)。

AINxOSR2	AINxOSR1	AINxOSR0	OSR (オーバー・サンプリング比)	データ・レート (sps)
0	0	0	64	15625.000
0	0	1	128	7812.500
0	1	0	256	3906.250
0	1	1	512	1953.125
1	0	0	1024	976.563
1	0	1	2048	488.281
上記以外			設定禁止	

備考 A/Dコンバータのサンプリング周波数は、1MHz (Typ.) とします。

(3) 入力マルチプレクサ x (x = 1~5) A/D 変換設定レジスタ 3 (CHxCNT3)

入力マルチプレクサのチャンネル毎 (入力マルチプレクサx : x = 1~5) に、AUTOSCANの1サイクルにおけるA/D変換回数を設定することができます。変換回数Nは、以下の式で表します。リセット信号の発生により、00Hになります。詳細は、

4.4 A/Dコンバータの変換動作 (AUTOSCAN) を参照して下さい。

$$N = 32 \times (2^n - 1) + m \times 2^n \quad (m, n \text{は, CHxCNT3レジスタに設定した値に対応})$$

アドレス : 12H (x = 1), 15H (x = 2), 18H (x = 3), 1BH (x = 4), 1EH (x = 5) リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
CHxCNT3	AINxCT7	AINxCT6	AINxCT5	AINxCT4	AINxCT3	AINxCT2	AINxCT1	AINxCT0

AINxCT4	AINxCT3	AINxCT2	AINxCT1	AINxCT0	m
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	2
.
.
.
1	0	0	0	0	16
.
.
.
1	1	1	0	1	29
1	1	1	1	0	30
1	1	1	1	1	31

AINxCT7	AINxCT6	AINxCT5	n
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

m, n の組み合わせにより、256 階調の A/D 変換回数を選択することができます。以下に、A/D 変換回数とレジスタ値から算出される階調数（0~255 通り）の相関について示します。

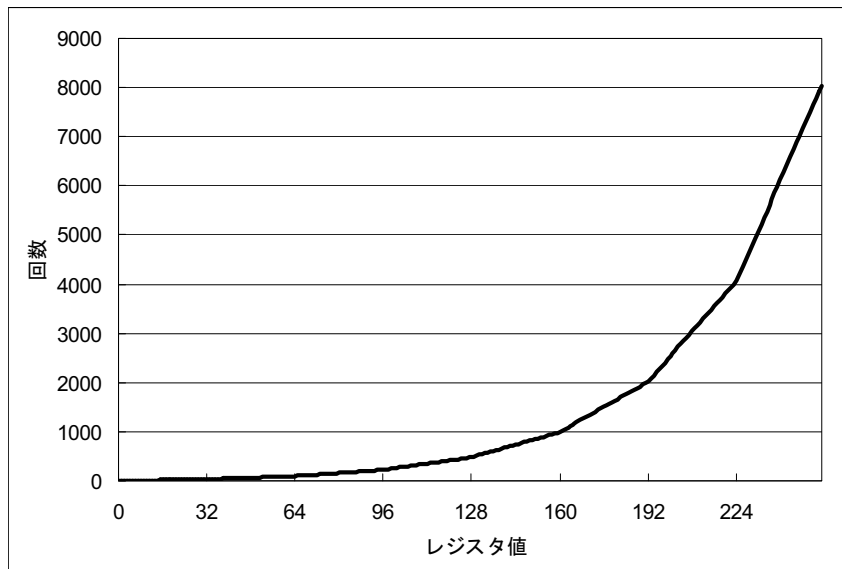


図 4.5 A/D 変換回数とレジスタ値から算出される階調数（0~255）

(4) A/D変換結果レジスタ1 (ADCC)

A/D変換結果を確認する読み出し専用のレジスタです。A/D変換の結果として、チェックサム、オーバーフロー・フラグ、変換結果に対応する入力マルチプレクサのチャンネル番号を確認することができます。

チェックサムの詳細に関しては、6. UARTを参照してください。

リセット信号の発生により、00Hになります。詳細は、4.4 A/Dコンバータの変換動作 (AUTOSCAN) を参照して下さい。

アドレス : 0CH リセット時 : 00H R/-

	7	6	5	4	3	2	1	0
ADCC	ADCC7	ADCC6	ADCC5	ADCC4	ADCC3	ADCC2	ADCC1	ADCC0

ADCC3	ADCC2	ADCC1	ADCC0	A/D変換結果に対して計算した値の表示
1 / 0	1 / 0	1 / 0	1 / 0	チェックサムの値

ADCC4	A/D変換結果に対するオーバーフロー・フラグの表示
0	範囲内
1	オーバーフロー発生 (結果はレジスタのMAX値となる)

ADCC7	ADCC6	ADCC5	変換結果に対応するチャンネル番号の表示
0	0	0	無効
0	0	1	入力マルチプレクサ1 (AIN1P / AIN1N)
0	1	0	入力マルチプレクサ2 (AIN2P / AIN2N)
0	1	1	入力マルチプレクサ3 (AIN3P / AIN3N)
1	0	0	入力マルチプレクサ4 (AIN4P / AIN4N)
1	0	1	入力マルチプレクサ5 (温度センサ)
1	1	0	無効
1	1	1	無効

(5) A/D変換結果レジスタ2 (ADCH)

A/D変換結果を確認する読み出し専用のレジスタです。16ビットの変換結果の上位8ビットの値を表示します。

リセット信号の発生により、00Hになります。詳細は、4.4 A/Dコンバータの変換動作 (AUTOSCAN) を参照して下さい。

アドレス : 0DH リセット時 : 00H R/-

	7	6	5	4	3	2	1	0
ADCH	ADCH7	ADCH6	ADCH5	ADCH4	ADCH3	ADCH2	ADCH1	ADCH0

(6) A/D変換結果レジスタ3 (ADCL)

A/D変換結果を確認する読み出し専用のレジスタです。16ビットの変換結果の下位8ビットの値を表示します。

リセット信号の発生により、00Hになります。詳細は、4.4 A/Dコンバータの変換動作 (AUTOSCAN) を参照して下さい。

アドレス : 0EH リセット時 : 00H R/-

	7	6	5	4	3	2	1	0
ADCL	ADCL7	ADCL6	ADCL5	ADCL4	ADCL3	ADCL2	ADCL1	ADCL0

4.4 A/D コンバータの変換動作 (AUTOSCAN)

A/D 変換の制御はすべて、AUTOSCAN と呼ばれる内蔵シーケンサに基づいて行われます。A/D コンバータ制御レジスタ (ADCCNT) の ADSTART ビットに 1 を書き込むと、AUTOSCAN の動作が開始されます。各入力チャネルからの信号は、ラウンドロビン方式で A/D 変換が実行されます。

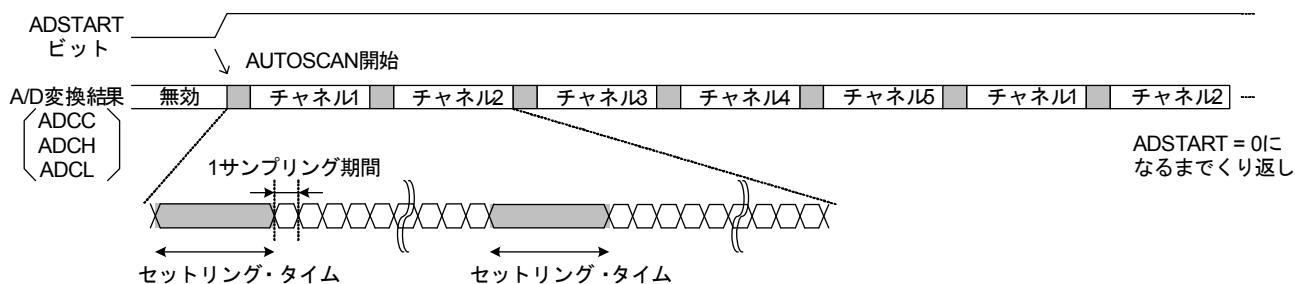
各入力チャネルからの信号に対し、A/D 変換をするか否かは、A/D コンバータ制御レジスタ (ADCCNT) の AIN5ADC, AIN4ADC, AIN3ADC, AIN2ADC, AIN1ADC ビットで制御することができます。

入力マルチプレクサ x ($x = 1 \sim 5$) A/D 変換設定レジスタ 3 (CHxCNT3) は、変換実行チャネルにおいて、次のチャネルに移動する前の A/D 変換の回数を設定します。CHxCNT3 = 00H の場合は、シングル・ショット動作となり、A/D 変換が一回終了する毎に動作が停止します。

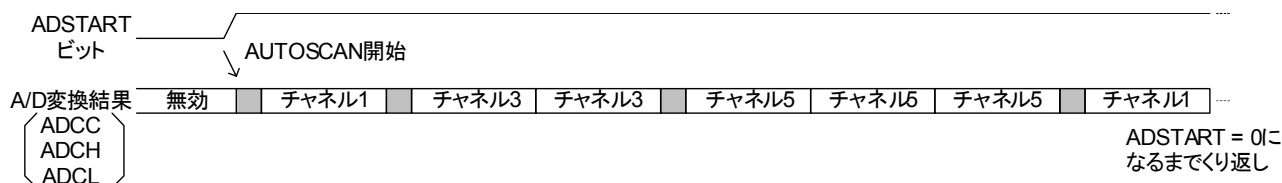
入力マルチプレクサ x ($x = 1 \sim 5$) A/D 変換設定レジスタ 1 (CHxCNT1) の AINxOSR2, AINxOSR1, AINxOSR0 ビットは、変換実行チャネルにおけるデータ・レート (A/D 変換結果の速度) を設定します。

A/D 変換の結果は、読み出し専用レジスタの ADCC (チェックサム, オーバーフロー・フラグ, チャネル番号), ADCH (変換結果の上位 8 ビット), ADCL (変換結果の下位 8 ビット) に格納されます。

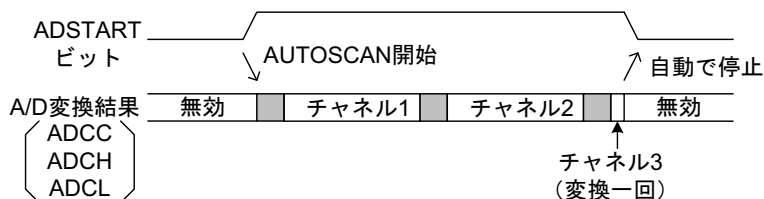
AUTOSCAN シーケンス



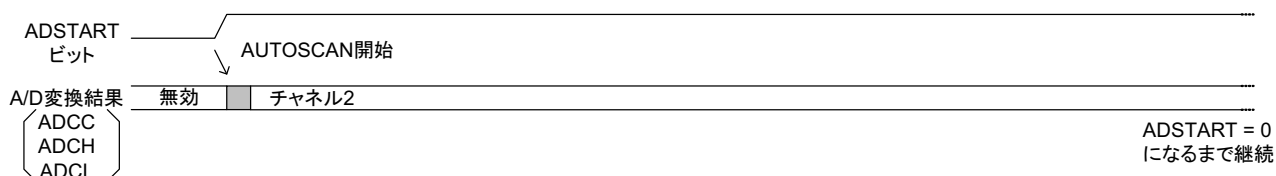
例 1 入力チャンネルからの信号に対し、A/D 変換をスキップする場合
 $AIN5ADC = AIN3ADC = AIN1ADC = 0$, $AIN4ADC = AIN2ADC = 1$
 $AIN1CTn [7:0] = 1$, $AIN3CTn [7:0] = 2$, $AIN5CTn [7:0] = 3$



例 2 チャンネル 3 からの信号に対し、A/D 変換のシングル・ショット動作をさせる場合
 $AIN3ADC = AIN2ADC = AIN1ADC = 0$, $AIN5ADC = AIN4ADC = 1$
 $AINxCTn [7:0] > 0$ ($x = 1, 2$) ※入力マルチプレクサ x ($x = 1, 2$) A/D 変換設定レジスタの値
 $AIN3CTn [7:0] = 0$ ※入力マルチプレクサ 3 A/D 変換設定レジスタの値



例 3 チャンネル 2 からの信号だけに対し、A/D 変換を連続で行う場合
 $AIN2ADC = 0$, $AIN5ADC = AIN4ADC = AIN3ADC = AIN1ADC = 1$
 $AIN2CTn [7:0] > 0$ ※入力マルチプレクサ 2 A/D 変換設定レジスタの値



備考 セットリング・タイムは、内蔵シーケンサである AUTOSCAN にて自動的に生成されます。

図 4.6-1 AUTOSCAN シーケンス

A/D 変換の結果をマイクロコントローラに送信する方法として、UART、SPI、割り込み (INT) 信号を用いない SPI、の 3 種類の通信が使用できます。以下に、それぞれのタイミングチャート (簡易版) を示します。詳細は、5. SPI、6. UART を参照してください。

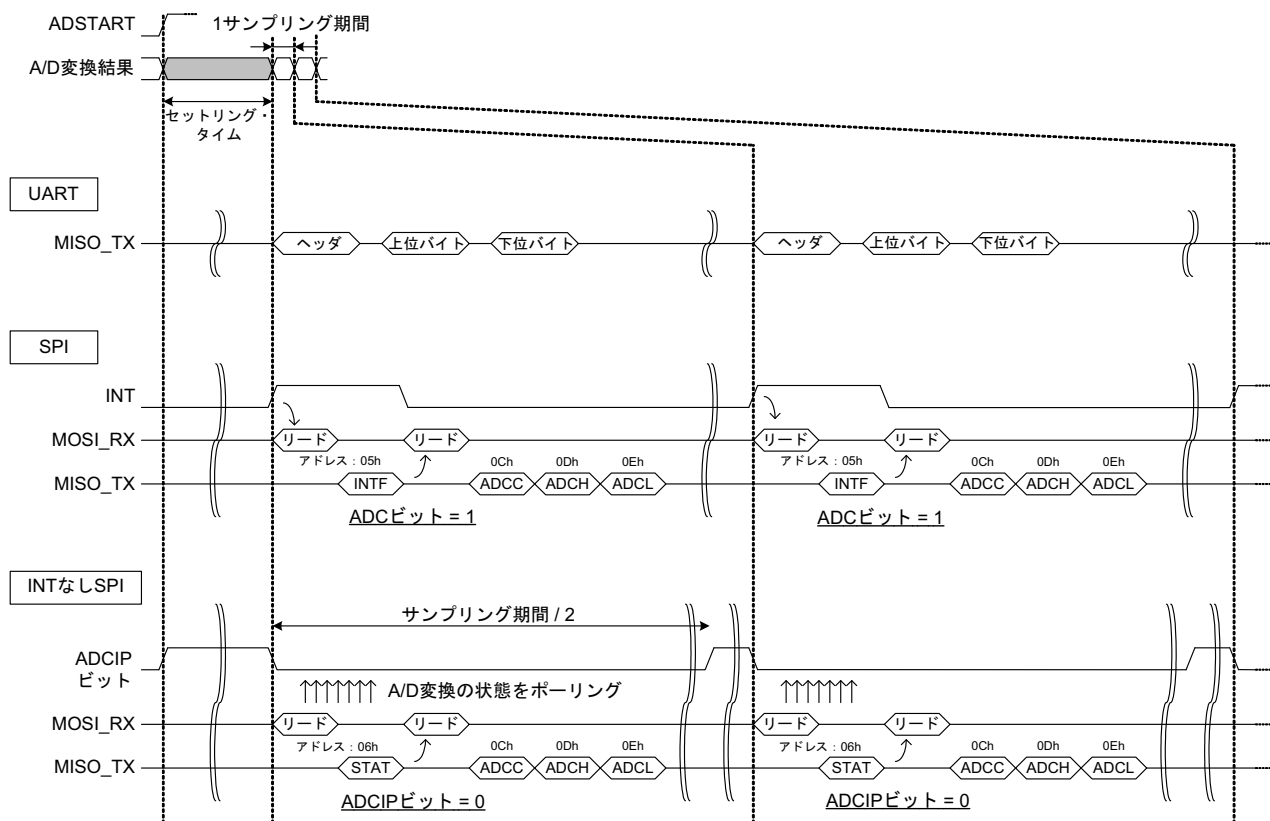


図 4.6-2 AUTOSCAN のインタフェース・タイミング

5. SPI

5.1 概要

SPIは、シリアル・クロック（SCLK）、シリアル・データ入力（MOSI_RX）、シリアル・データ出力（MISO_TX）、チップ・セレクト入力（CS_B）の、4本のラインによるクロック同期式通信インタフェースです。外部デバイスからの制御インタフェースとして使用します。

SMODE 端子の設定により、SPI 通信か、UART 通信かのいずれかの通信方法を選択します。SMODE 端子にハイ・レベルを入力すると SPI 通信となり、SMODE 端子にロウ・レベルを入力すると UART 通信となります。SPI 用の端子は、一部、UART 用の端子と兼用となり、SMODE の設定によって切り替えます（排他使用）。

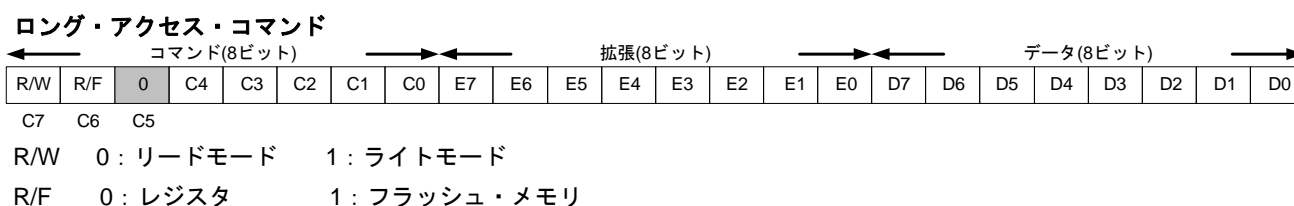
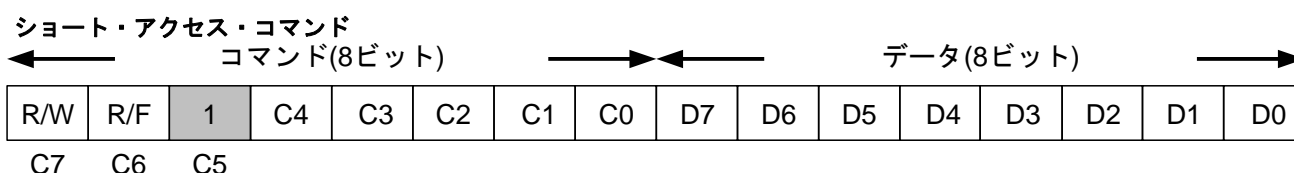
- SMODE = 1 : SPI 通信 (TGLSM = 0)
- SMODE = 0 : UART 通信 (TGLSM = 0)

★ RAA730101のSPIを使用する際に、注意事項があります。詳細に関しては、必ず、**5.5 SPI使用時の注意事項**を参照してください。

注意 起動シーケンス／通信制御レジスタ（STARTUP）の TGLSM ビットは、TGLSM = 0 に設定してください。詳細に関しては、**13. フラッシュ・メモリ**も参照してください。

5.2 SPI のコマンド・フォーマット

SPI 通信は、「ショート・アクセス」または「ロング・アクセス」の2種類のコマンドで構成されており、コマンドによって、いずれかのフォーマットになります。コマンド定義の詳細については、「SPI コマンド一覧」の表を参照してください。フラッシュ・メモリのリード起動には長い時間を要するため、2コマンド分のアクセスサイクルが必要となります。



以下に、SPIコマンド一覧を示します。

表 5.1 SPI コマンド一覧

No.	名称	コマンド				拡張 E7-E0	詳細
		C7	C6	C5	C4-C0		
1	Register Read	0	0	1	アドレス : 00h-1Fh	-	レジスタから1バイト分のデータを読み出します。
2	Register Write	1	0	1	アドレス : 00h-1Fh	-	レジスタに1バイト分のデータを書き込みます
3	Register Burst Read	0	0	0	データ長 1xxx ^{注1}	先頭アドレス 00h-1Fh	レジスタからデータ長分のデータを連続的に読み出します。 (指定された先頭アドレスより)
4	Register Burst Write	1	0	0	データ長 1xxx ^{注1}	先頭アドレス 00h-1Fh	レジスタにデータ長分のデータを連続的に書き込みます。 (指定された先頭アドレスより)
5	Register All Write from Flash	1	0	0	01111	-	フラッシュ・メモリのレジスタ・シャドウに格納された全データをレジスタへコピーします。
6	Buffer Refresh	1	0	0	01100	-	デフォルト・設定データをレジスタ・バッファ領域にコピーします。
7	Flash (Burst) Read ^{注3}	0	1	0	11111	先頭アドレス 00h-FFh	フラッシュ・メモリからデータを読み出します。読み出しの先頭アドレスを指定します。 (1つ目のコマンド)
		0	1	0	11100	データ長 00h-FFh ^{注2}	フラッシュ・メモリからデータを読み出します。読み出すデータのデータ長を指定します。 (2つ目のコマンド)
8	Flash Write	1	1	0	11111	アドレス : 00h-FFh	フラッシュ・メモリに1バイト分のデータを書き込みます。
9	Flash All Erase ^{注3}	1	1	1	11010	-	フラッシュ・メモリの全データを消去します。 (1つ目のコマンド)
		1	1	1	01011	-	フラッシュ・メモリの全データを消去します。 (2つ目のコマンド)

注 1. データ長 = “C3-C0 の値” + 1 (最大 16 バイト)

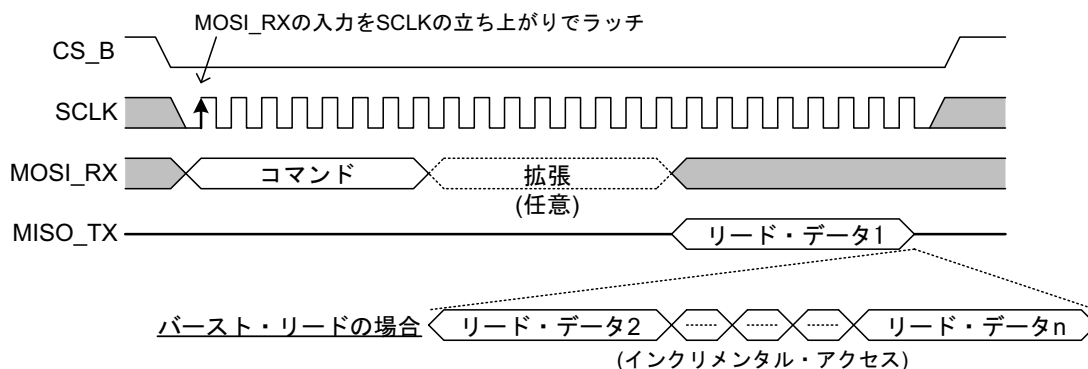
2. データ長 = “E7-E0 の値” + 1 (最大 256 バイト)

3. フラッシュ・リード (フラッシュ・バースト・リード) , 及び, データ消去には, 2 コマンドによる連続アクセスが必須です。

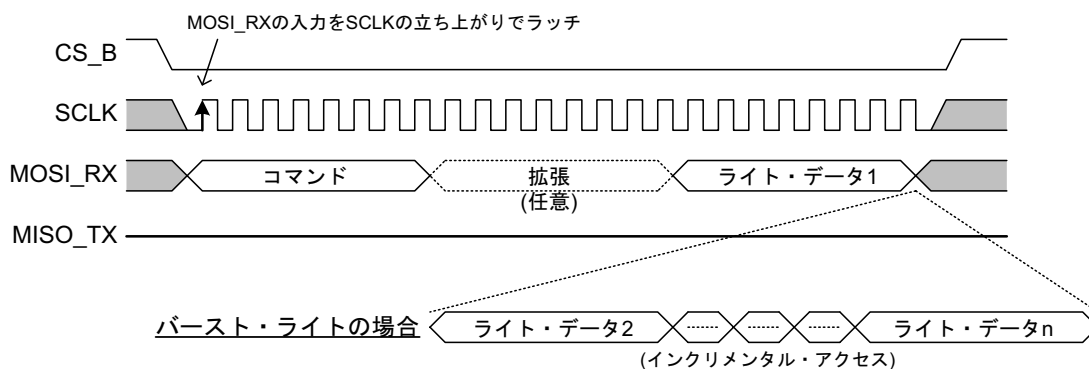
5.3 SPIの通信動作タイミング

以下に、SPIの通信動作タイミングを示します。

<Register Read / Register Burst Read に対応>



<Register Write / Register Burst Write / Flash Write 注に対応>



注 Flash Write には、バースト・ライトの機能はありません。1 バイト分のデータ書き込みとなります。

<Register All Write from Flash / Buffer Refresh に対応>

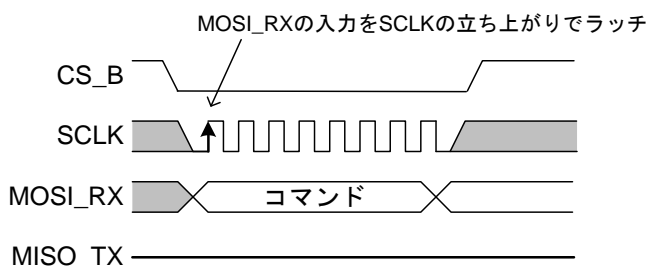


図 5.1 SPIの通信動作タイミング

<Flash (Burst) Read に対応>

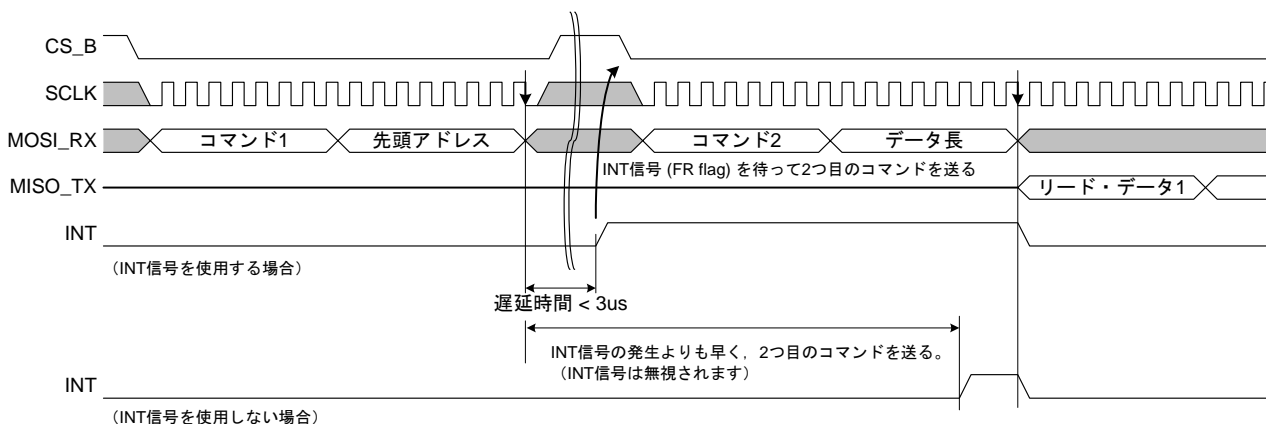


図 5.2 SPI の通信動作タイミング (フラッシュ・メモリへのリード・アクセス時)

<Flash All Erase に対応>

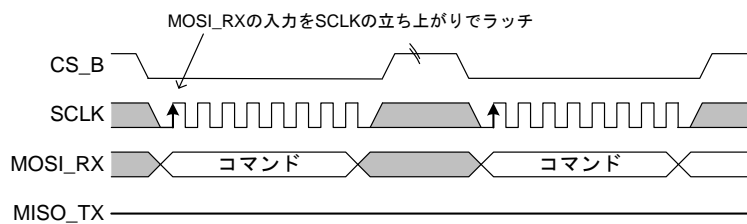


図 5.3 SPI の通信動作タイミング (フラッシュ・メモリの全データ消去時)

5.4 通信仕様を制御するレジスタ

- 起動シーケンス／通信制御レジスタ (STARTUP)

(1) 起動シーケンス／通信制御レジスタ (STARTUP)

起動シーケンス中のフラッシュ・メモリへのアクセスや、通信仕様の設定を制御します。リセット信号の発生により、00Hになります。詳細は、13 フラッシュ・メモリを参照して下さい。

TGLSM ビットには、必ず、TGLSM = 0 を設定してください。

アドレス：1FH リセット時：00H R/-

	7	6	5	4	3	2	1	0
STARTUP	0	0	0	TGLSM	0	0	SDCOR	CPSOR

TGLSM	SMODE 端子機能の制御
0	SMODE = 0 のとき UART 通信, SMODE = 1 のとき SPI 通信となります。
1	設定禁止

注意 ビット 7, 6, 5, 3, 2 は、書き換え不可です（読み出すと常に 0 を返します）。

★ 5.5 SPI 使用時の注意事項

SPI 使用時は、次の点に注意してください。

通信相手がリセット状態になった場合、CS_B 端子、及び SCLK 端子が不定状態となり、通信相手がリセット解除した後の最初の SPI 通信に失敗する場合があります。

CS_B 端子がハイ・レベルの時に、SCLK 端子がハイ・レベルとなる通信モードを使用する場合、通信相手がリセットを解除した後は、最初に CHIPID が正しく読み出せることを確認し、実際に必要な通信を開始してください。

6. UART

6.1 概要

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる一つのデータ・フレーム (パケット: キャラクタ長=10~12ビット) を単位として、通信相手と非同期で (内部ポー・レートを使用して) データを送受信します。

RAA730101のUARTを使用する際に、注意事項があります。詳細に関しては、必ず、**6.6 UART使用時の注意事項**を参照してください。

SMODE 端子の設定により、UART 通信か、SPI 通信かのいずれかの通信方法を選択します。SMODE 端子にハイ・レベルを入力すると SPI 通信となり、SMODE 端子にロウ・レベルを入力すると UART 通信となります。UART 用の端子は、一部、SPI 用の端子と兼用となり、SMODE の設定によって切り替えます (排他使用)。

- SMODE = 1 : SPI 通信 (TGLSM = 0)
- SMODE = 0 : UART 通信 (TGLSM = 0)

注意 起動シーケンス/通信制御レジスタ (STARTUP) の TGLSM ビットは、TGLSM = 0 に設定してください。詳細に関しては、**13. フラッシュ・メモリ**も参照してください。

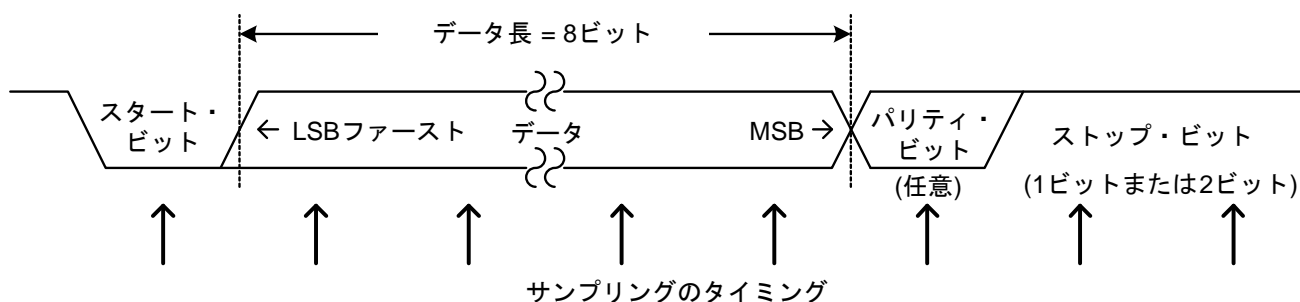


図 6.1 UART パケットのフォーマット

初期設定は、ボー・レート=4.8 kbps、パリティなし、ストップ・ビット数=1です。パワーオン・リセット後の最初の通信は、この初期設定で行われます。パワーオン・リセット後の最初の通信を、この初期設定以外の設定で行う場合は、フラッシュ・メモリのレジスタ・シャドウに、設定したいデータを書き込んでください。詳細は、13. フラッシュ・メモリを参照してください。

ボー・レート、パリティ・ビット、ストップ・ビットなどのUART通信パラメータは、レジスタ設定により選択可能です。詳細は、6.2 UART通信を制御するレジスタを参照してください。

また、特殊機能として、Rx端子の「PWM直接入力」、Tx端子の「差動出力」があります。詳細は、6.7 PWM直接入力、6.8 差動出力を参照してください。

また、UARTの送受信には、タイム・アウトが設定されています。詳細は、6.3 UART受信（UARTのコマンド・フォーマット）、6.4 UART送信を参照してください。

以下に、UARTの概要を示します。

表 6.1 UARTの概要

	受信側 (Rx通信)	送信側 (Tx通信)
ボー・レート	4.8 kbps (初期値) または250 kbps (設定レジスタのRXBRビットで選択)	4.8 kbps (初期値) または250 kbps (設定レジスタのTXBRビットで選択)
信号のフォーマット	NRZ ^{注1} またはPWM ^{注2} (CS_B端子のレベルにより選択)	NRZ ^{注1}
パケットのフォーマット (キャラクタ長=10~12ビット)	スタート・ビット -1ビット (固定)	
	データ長 -8ビット (固定) -LSBファースト	
	パリティ設定 -パリティなし (初期値) -奇数パリティ (設定レジスタのPEN, EPSビットで選択) -偶数パリティ (設定レジスタのPEN, EPSビットで選択)	
	ストップ・ビットのビット数 -1ビット (初期値) -2ビット (設定レジスタのSTBビットで選択)	
タイム・アウト時間	キャラクタ長×2	
特殊機能	PWM直接入力	差動出力

注 1. NRZ : Non Return to Zero

2. PWM : Pulse Width Modulation

6.2 通信仕様（UART 設定）を制御するレジスタ

UART では、次のレジスタを使用します。

- 起動シーケンス／通信制御レジスタ（STARTUP）
- クロック／UART 制御レジスタ（UARTCNT）

(1) 起動シーケンス／通信制御レジスタ（STARTUP）

起動シーケンス中のフラッシュ・メモリへのアクセスや、通信仕様の設定を制御します。リセット信号の発生により、00H になります。詳細は、13 フラッシュ・メモリを参照して下さい。

TGLSM ビットには、必ず、TGLSM = 0 を設定してください。

アドレス：1FH リセット時：00H R/-

	7	6	5	4	3	2	1	0
STARTUP	0	0	0	TGLSM	0	0	SDCOR	CPSOR

TGLSM	SMODE 端子機能の制御
0	SMODE = 0 のとき UART 通信，SMODE = 1 のとき SPI 通信となります。
1	設定禁止

注意 ビット 7, 6, 5, 3, 2 は、書き換え不可です（読み出すと常に 0 を返します）。

(2) クロック／UART 制御レジスタ (UARTCNT)

UART 通信のパラメータを設定、また、クロックの構成を制御するレジスタです。
リセット信号の発生により、00H になります。

アドレス：08H リセット時：00H R/W

	7	6	5	4	3	2	1	0
UARTCNT	EXTCLK	MONIOUT	DIFFOUT	STB	EPS	PEN	TXBR	RXBR

RXBR	受信時のボー・レートの設定
0	4.8 kbps (初期値)
1	250 kbps

TXBR	送信時のボー・レートの設定
0	4.8 kbps (初期値)
1	250 kbps

PEN	パリティ・ビットの有効／無効の設定
0	パリティなし (初期値)
1	パリティ・ビットを生成する (チェックする)

EPS	パリティ偶奇の切り替え
0	奇数パリティ (初期値) : データ 1 が書き込まれたビットが奇数個
1	偶数パリティ : データ 1 が書き込まれたビットが偶数個

STB	ストップ・ビットのビット数の設定
0	1 ビット (初期値)
1	2 ビット

DIFFOUT	送信時の差動出力の設定
0	差動出力無効 (初期値)
1	差動出力有効

備考 DIFFOUT = 0 の場合、TX_B 端子の出力はハイ・インピーダンスとなります。未使用時の処理としては、オープンにすることが可能です。詳細は、1.4 未使用端子の処理を参照してください。

6.3 UART 受信 (UART のコマンド・フォーマット)

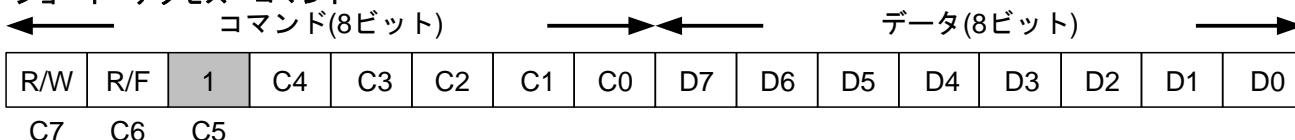
UART コマンドは、SPI コマンドと同様、1 コマンドに1 バイトまたは2 バイトの packets を使用します (「5.2 SPI のコマンド・フォーマット」を参照)。メッセージの受信には、タイム・アウトがあります。メッセージを構成する packets の間隔は、キャラクタ長×2 の間でなければなりません。受信できなかった場合は、UART 受信側が初期化されます。

UART 通信専用には、2 種類のコマンドがあります。一つは「ポー・レートの補正」コマンドです。このコマンドを受信すると、Tx 端子から9 ビットの論理ロウ・ビット (=スタート・ビット+0000_0000b データ) を送信します。外部デバイスは、ロウ期間をカウントすることにより、ポー・レートを調整することができます。

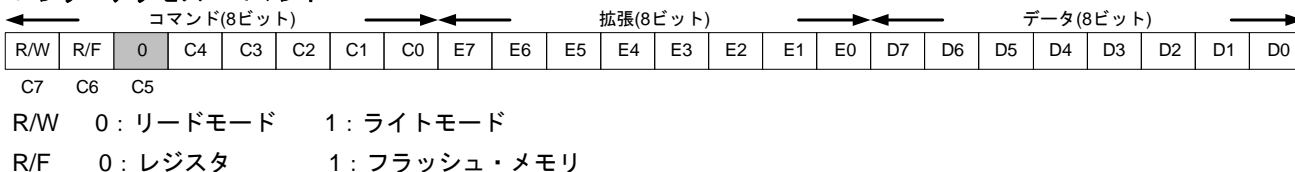
もう一つは、「再送信要求」コマンドです。このコマンドを受信すると、前回の送信メッセージを再送信します。パリティ・エラーやチェックサム・エラーの発生によってメッセージが失われた場合、このコマンドを用いることで、外部デバイスは、失われたメッセージを再度取得することができます。「再送信要求」は、後述する遅延応答にのみ有効です。

UART 受信に関し、注意事項があります。詳細に関しては、必ず、6.6 **UART 使用時の注意事項** を参照してください。

ショート・アクセス・コマンド



ロング・アクセス・コマンド



以下に、UARTコマンド一覧を示します。

表 6.2 UART コマンド一覧

No.	名称	コマンド				拡張 E7-E0	詳細
		C7	C6	C5	C4-C0		
1	Register Read	0	0	1	アドレス : 00h-1Fh	-	レジスタから1バイト分のデータを読み出します。
2	Register Write	1	0	1	アドレス : 00h-1Fh	-	レジスタに1バイト分のデータを書き込みます
3	Register Burst Read	0	0	0	データ長 1xxx ^{注1}	先頭アドレス 00h-1Fh	レジスタからデータ長分のデータを連続的に読み出します。 (指定された先頭アドレスより)
4	Register Burst Write	1	0	0	データ長 1xxx ^{注1}	先頭アドレス 00h-1Fh	レジスタにデータ長分のデータを連続的に書き込みます。 (指定された先頭アドレスより)
5	Register All Write from Flash	1	0	0	01111	-	フラッシュ・メモリのレジスタ・シャドウに格納された全データをレジスタへコピーします。
6	Buffer Refresh	1	0	0	01100	-	デフォルト・設定データをレジスタ・バッファ領域にコピーします。
7	Flash (Burst) Read ^{注3}	0	1	0	11111	先頭アドレス 00h-FFh	フラッシュ・メモリからデータを読み出します。読み出しの先頭アドレスを指定します。(1つ目のコマンド)
		0	1	0	11100	データ長 00h-FFh ^{注2}	フラッシュ・メモリからデータを読み出します。読み出すデータのデータ長を指定します。(2つ目のコマンド)
8	Flash Write	1	1	0	11111	アドレス 00h-FFh	フラッシュ・メモリに1バイト分のデータを書き込みます。
9	Flash All Erase ^{注3}	1	1	1	11010	-	フラッシュ・メモリの全データを消去します。(1つ目のコマンド)
		1	1	1	01011	-	フラッシュ・メモリの全データを消去します。(2つ目のコマンド)
10	ポー・レートの補正	0	0	0	00000	-	ポー・レートを補正します。 (UART通信のみ対応)
11	再送信要求	0	0	0	01111	-	前回の送信メッセージの再送信を要求します。(UART通信のみ対応)

注 1. データ長 = “C3-C0 の値” + 1 (最大 16 バイト)

2. データ長 = “E7-E0 の値” + 1 (最大 256 バイト)

3. フラッシュ・リード (フラッシュ・バースト・リード) , 及び, データ消去には, 2 コマンドによる連続アクセスが必須です。

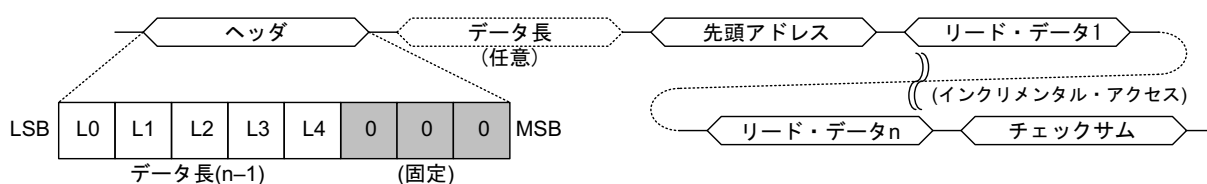
6.4 UART 送信

送信メッセージは、以下に示す3種類のメッセージ構造(タイプ)に対応しています。

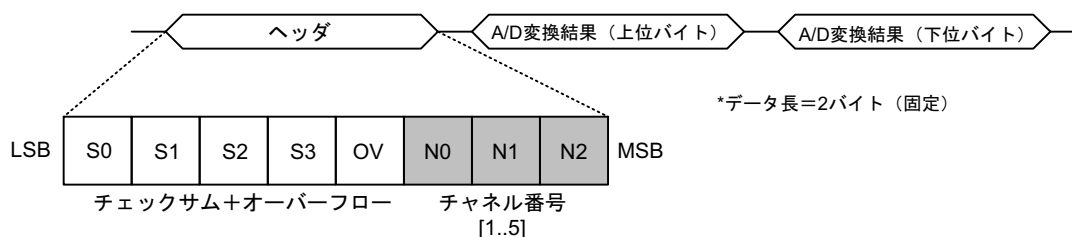
タイプ1は、UART コマンド一覧に示す Register Read, Register Burst Read, または Flash (Burst) Read に対する応答として送信されるメッセージです。タイプ2は、A/D 変換終了時に自動的に送信されるメッセージです。タイプ3は、割り込み要求が発生すると自動的に送信されるメッセージで、SPI 通信における INT 信号に相当します(詳細は、7 割り込み信号出力機能(SPI 通信時のみ)を参照)。

送信メッセージを構成するパケットの間隔は、キャラクタ長×2の間となります。キャラクタ長×2の間に、次のパケットが送信されない場合は、タイムアウトとみなしてください。

タイプ1: Register (Burst) Read / Flash (Burst) Read に対する応答メッセージ



タイプ2: A/D 変換結果のメッセージ



タイプ3: 状態を通知するメッセージ

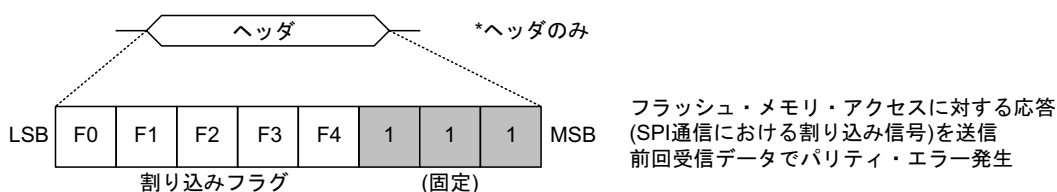


図 6.2 送信メッセージの構造

タイプ1のメッセージは、読み出したリード・データのデータ長を表すヘッダ、読み出しの先頭アドレス、リード・データで構成されます。ヘッダで表される最大のデータ長は32バイトです。リード・データが32バイト以上の場合は、ヘッダに続いて追加パケットが挿入され、実データ長はそちらに格納されます（データ長=n-1：32~256バイトまで）。

タイプ2のメッセージは、ヘッダ、A/D変換結果の上位バイト、A/D変換結果の下位バイトで構成されます。A/D変換結果レジスタ1（ADCC）、A/D変換結果レジスタ2（ADCH）、A/D変換結果レジスタ3（ADCL）の情報に相当します。ヘッダには、チェックサム、オーバー・フロー、A/D変換結果の対象となる入力チャネルの情報が格納されます。A/D変換の結果がレジスタのMAX値で切り落とされた場合、オーバーフロー・フラグが立ちます。

タイプ3のメッセージは、状態を通知するヘッダのみで構成されます。タイプ3に関して、各フラグの定義を示します。フラグの表示内容は、割り込み信号フラグ表示レジスタ（INTFLAG）と同じ内容です（詳細は、7.3 **割り込み信号出力を制御するレジスタ**を参照）。ただし、F4ビットはADCフラグではなく、PEフラグとなります。これは、UART通信の場合、A/D変換の結果はA/D変換終了後に自動的に送信され、ADCフラグが不要であるからです。

また、SPI通信同様、Register All Writeに対するフラグの表示は、Buffer Refresh コマンド（UART コマンド一覧のNo.6）を実行した際にも対応します。

- F0 : Flash Read (FR フラグ)
- F1 : Flash Write (FW フラグ)
- F2 : Flash All Erase (FAE フラグ)
- F3 : Register All Write (RAW フラグ)
- F4 : 前回の受信でパリティ・エラー発生 (PE フラグ)

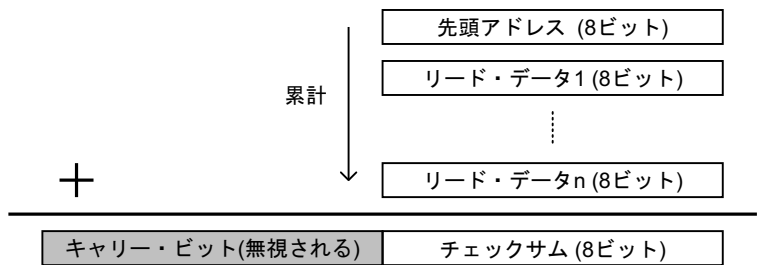
メッセージに含まれる5つのフラグのうち、どれか1つのフラグがハイ・レベルを表示すると、割り込み要求の送信が有効となり、メッセージが自動的に送信されます。パリティ・ビットが無効であっても、ビット並びをチェックすることで通信エラーを検出できます。

A/D変換の結果を連続してUARTで送信する場合は、必ず、ボー・レートの設定を250 kbpsに設定する必要があります。また、A/D変換のOSR（オーバー・サンプリング比）=64で行う場合、OSR=128にてUARTのパケット・フォーマットにパリティ・ビットや2ビットのストップ・ビットを設定した場合は、ボー・レートの設定を250 kbpsに設定しても通信速度が足りず、UARTでの送信は行えません。

ただし、A/D変換がシングル変換（一回変換）の場合は、通信速度に関する制限はありません。

チェックサムは以下のように算出します。外部デバイスからチェックサムの検証を行うときは、各タイプの算出方法を参照してください。

タイプ1 (Register Read / Flash Read) に対するチェックサム算出方法



タイプ2 (A/D 変換の結果) に対するチェックサム算出方法

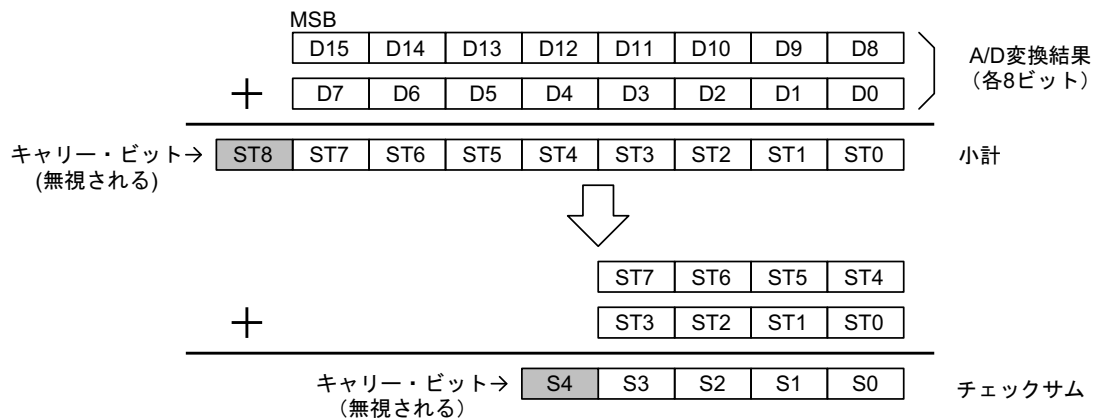


図 6.3 チェックサムの算出

6.5 通信フロー

コマンド条件、正常終了、異常終了にかかわらず、「即時応答」は常に発生します。一部のコマンドに関しては、「即時応答」に加え「遅延応答」も非同期に送信されます。コマンドを受けて、その応答（「遅延応答」を含む）が終了するまで、新たなコマンドは無視されます。受信コマンドと送信応答の関係について下記の表に示します。

タイプ3（PE）で示される「異常終了」とは、パリティ・エラーやフレーミング・エラーなどのエラーが発生、もしくは実行エラー（フラッシュ・メモリ・アクセス禁止時のフラッシュ・メモリ・アクセス実行など）が発生したことを意味します。

A/D変換の結果は非同期に送信されるため、応答メッセージ（データ）の「競合」が起こる可能性があります。応答メッセージは可能な限り送信バッファに保存されますが、「競合」状態が長く続くと送信バッファがフルになり、送信バッファは更新の際にA/D変換の結果が失われる場合があります。したがって、RAA730101がA/D変換結果を送信している際には、他の受信コマンドを発行しないことを推奨します。

表 6.3 受信コマンドと送信応答の関係

受信コマンド			送信応答				
No.	名称	→	即時応答 (正常終了) 注1	or	即時応答 (異常終了) 注2	→	遅延応答注3
1	Register Read	→	タイプ1	or	タイプ3 (PE)		
2	Register Write	→	タイプ3 (正常終了)	or	タイプ3 (PE)		
3	Register Burst Read	→	タイプ1	or	タイプ3 (PE)		
4	Register Burst Write	→	タイプ3 (正常終了)	or	タイプ3 (PE)		
5	Register All Write from Flash	→	タイプ3 (正常終了)	or	タイプ3 (PE)	→	タイプ3 (RAW)
6	Buffer Refresh	→	タイプ3 (正常終了)	or	タイプ3 (PE)	→	タイプ3 (RAW)
7	Flash (Burst) Read (1つ目のコマンド)	→	タイプ3 (正常終了)	or	タイプ3 (PE)	→	タイプ3 (FR)
	Flash (Burst) Read (2つ目のコマンド)	→	タイプ1	or	タイプ3 (PE)		
8	Flash Write	→	タイプ3 (正常終了)	or	タイプ3 (PE)	→	タイプ3 (FW)
9	Flash All Erase	→	タイプ3 (正常終了)	or	タイプ3 (PE)	→	タイプ3 (FAE)
10	ポー・レートの補正	→	ゼロ・データ (0000_0000b)	or	タイプ3 (PE) 注4		
11-1	再送信要求 (ADSTART = 0の時)	→	タイプ3 (PEを除く)	or	タイプ3 (PE)		
11-2	再送信要求 (ADSTART = 1の時)	→	タイプ2	or	タイプ3 (PE)		
A/D変換の結果 (ADSTART = 1の時) ※A/D変換の結果は自動的に送信されるので、結果送信のための受信コマンドは特に必要ありません。						→	タイプ2

注1. タイプ3（正常終了）のメッセージは、割り込みフラグ $Fx = 0$ ($x = 0 \sim 4$) となります（LSB ファーストで“00000111”）。

2. コマンド受信（またはコマンド実行）中にエラーが発生すると、タイプ3（PE）応答が送信されます（タイプ3（PE）のメッセージは、LSB ファーストで“00001111”）。

3. フラッシュ・メモリ・アクセスが終了するか、A/D変換の結果が更新されると、非同期で応答が送信されます。

4. 異常終了の場合でも、4ビットのゼロ・データ（LSB ファーストで“0000xxxx”）は常に発生するため、ポー・レートを調整する際は、正常終了のゼロ・データ（LSB ファーストで“00000000”）と区別がつくようにする必要があります。

6.6 UART 使用時の注意事項

UART 使用時は、次の点に注意してください。

★ (1) UART 受信のブロックについて

RAA730101 では、パリティ設定なし (PEN = 0) の状態で、且つ、MOSI_Rx 端子に一定期間 (キャラクタ長×3) 以上のロウ・レベルが入力されると、UART 受信がブロックされます。一旦、UART 受信がブロックされると、外部電源からのパワーオン・リセットによってのみ、UART 受信ブロックが解除されます。

UART 受信がブロックされる条件として、以下のような例があげられます。

- ・パワーオンの後、5ms を越えて、MOSI_Rx 端子へロウ・レベルが入力され続ける。
- ・RAA730101 のボー・レートを 250kbps に設定した後、外部デバイスが 4.8kbps で通信を試みる。

上記以外の条件でも、予期せぬ UART 受信ブロックを回避するために、以下の対策を実施してください。

1. MOSI_Rx 端子、及び MISO_Tx 端子は、抵抗を介し、IOV_{DD} の電源レベルに接続してください。
2. ボー・レートを 250kbps に設定 (RXBR = 1) する場合は、必ず、パリティを設定 (PEN = 1) してください。ボー・レートが 4.8kbps の設定 (RXBR = 0) の際も、パリティの設定 (PEN = 1) を推奨します。また、フラッシュ・メモリのレジスタ・シャドウからレジスタへのコピーにて、ボー・レートを 250kbps に設定 (RXBR = 1) する場合は、同様に、フラッシュ・メモリのレジスタ・シャドウからレジスタへのコピーにて、パリティを設定 (PEN = 1) してください。レジスタ・シャドウからレジスタへのコピーの詳細については、13. フラッシュ・メモリを参照してください。

★ (2) ADSTART の読み出しについて

UART 通信時に限り、ADSTART ビットの値を正しく読み出せません。

A/D コンバータの変換開始 (ADSTART ビットを書き込み成否) を確認する場合、書き込み時の即時応答にタイプ 3 の正常終了が返ることで行ってください。

A/D コンバータの動作状態 (ADSTART ビットの値) を確認する場合、読み出しを 2 回行い、2 回目を真値として扱ってください。

6.7 PWM 直接入力

RAA730101 は、PWM 信号のデューティ比によって、NRZ 信号のハイ・レベル (= 1) 、ロウ・レベル (= 0) を設定することができます。この機能は、「絶縁」通信での使用を想定しています。CS_B 端子にハイ・レベルを入力すると、PWM 直接入力の機能が有効となります。PWM 信号のデューティが 75%の時にハイ・レベル (= 1) に、デューティが 25%の時にロウ・レベル (= 0) になります。

従来、PWM 信号を NRZ 信号に復調するにはアナログ・フィルタを使用しますが、RAA730101 では、アナログ・フィルタの代わりに、デジタル PWM フィルタを用いて PWM 直接入力を実現しています。

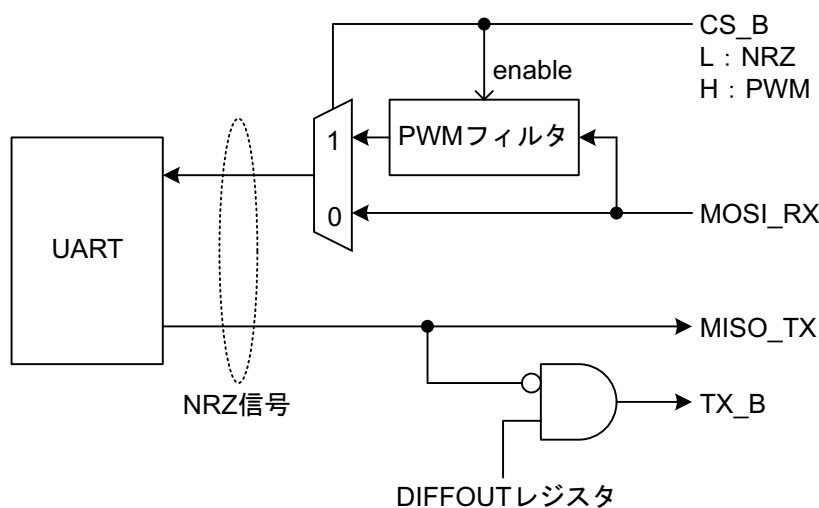


図 6.4 UART の特殊機能 (1) PWM 直接入力

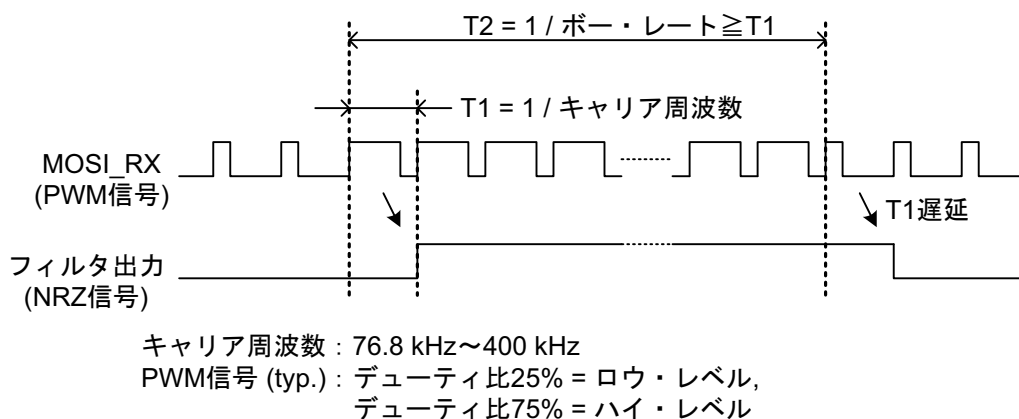


図 6.5 PWM フィルタのタイミング

6.8 差動出力

差動出力を用いて、出力振幅を大きくしたり、耐雑音性を高めたりすることができます。差動出力の設定は、クロック／UART 制御レジスタ (UARTCNT) の DIFFOUT ビットで設定します。詳細は、6.2 通信仕様 (UART 設定) を制御するレジスタを参照してください。

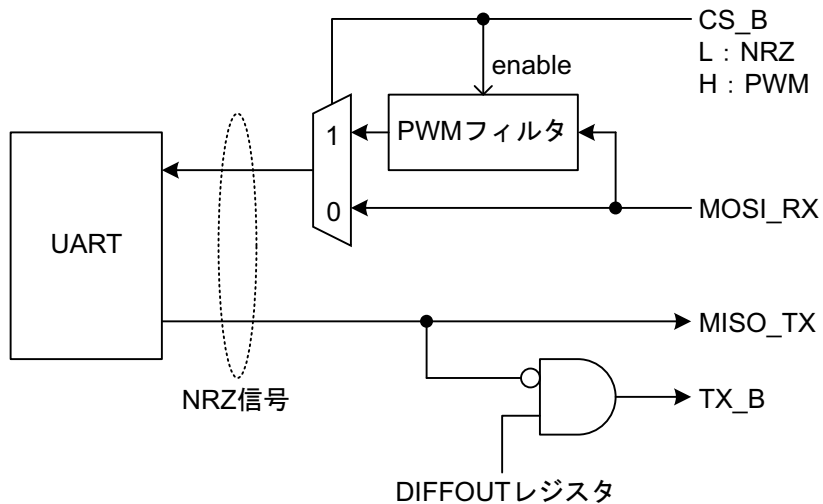


図 6.6 UART の特殊機能 (2) 差動出力

7. 割り込み信号出力機能（SPI 通信時のみ）

7.1 概要

RAA730101 には、割り込み信号出力機能が備えられています。この機能は、SPI 通信時のみ使用可能です。割り込み信号出力機能では、A/D 変換やフラッシュ・メモリへのアクセスが終了すると、INT 端子からハイ・レベルを出力します。この出力信号を、RAA730101 と接続する外部デバイスへ割り込み（INT）信号として入力することにより、外部デバイスへ A/D 変換の状態やフラッシュ・メモリへのアクセスの状態を通知することができます。詳細は、7.4 割り込み信号出力機能の動作を参照してください。

7.2 ブロック図

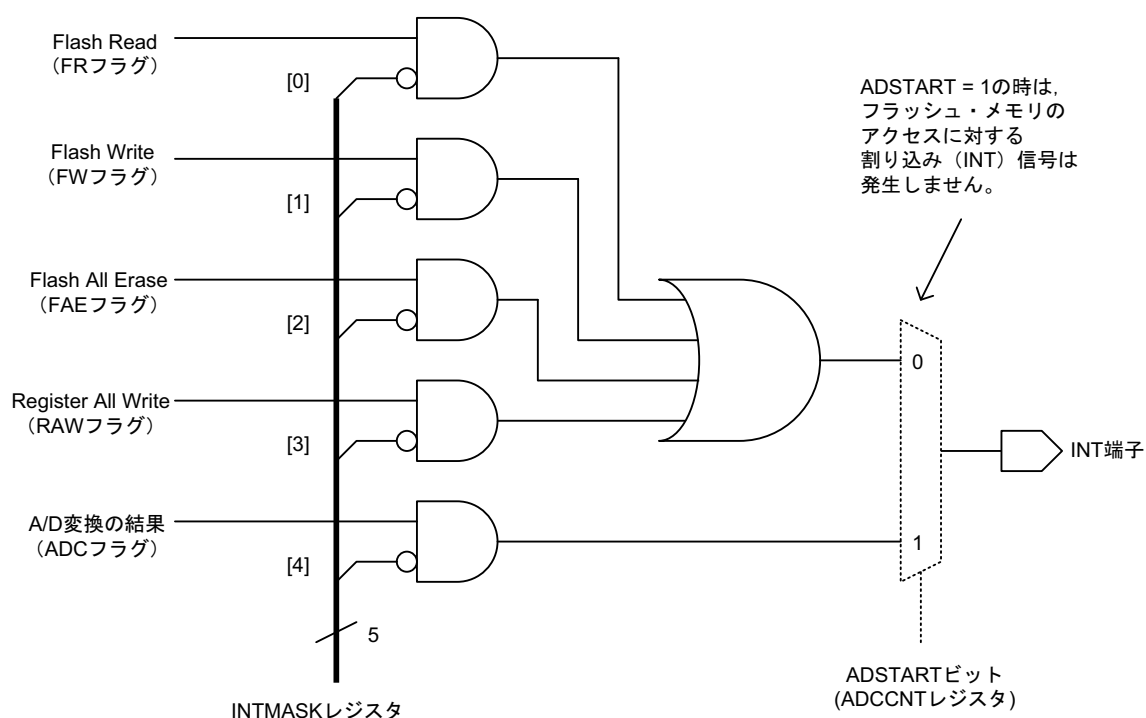


図 7.1 割り込み（INT）信号出力機能の構造

7.3 割り込み信号を制御するレジスタ

割り込み信号出力機能では、次の3種類のレジスタを使用します。

- 割り込み信号マスク設定レジスタ（INTMASK）
- 割り込み信号フラグ表示レジスタ（INTFLAG）
- 処理状態表示レジスタ（STATUS）

(1) 割り込み信号マスク設定レジスタ（INTMASK）

割り込み信号出力の許可／禁止を設定するレジスタです。リセット信号の発生により、00Hになります。

アドレス：04H リセット時：00H R/W

	7	6	5	4	3	2	1	0
INTMASK	0	0	0	MADC	MRAW	MFAE	MFW	MFR

MFR	Flash Read に対する割り込み信号出力の許可／禁止を設定
0	出力許可
1	出力禁止（出力をマスク）

MFW	Flash Write に対する割り込み信号出力の許可／禁止を設定
0	出力許可
1	出力禁止（出力をマスク）

MFAE	Flash ALL Erase に対する割り込み信号出力の許可／禁止を設定
0	出力許可
1	出力禁止（出力をマスク）

MRAW	Register All Write に対する割り込み信号出力の許可／禁止を設定
0	出力許可
1	出力禁止（出力をマスク）

MADC	A/D 変換に対する割り込み信号出力の許可／禁止を設定
0	出力許可
1	出力禁止（出力をマスク）

注意 ビット 7, 6, 5 は、書き換え不可です（読み出すと常に 0 を返します）。

(2) 割り込み信号フラグ表示レジスタ (INTFLAG)

割り込み信号出力の準備未了/完了 (フラグ) 状態を表示するレジスタです。

リセット信号の発生により、00H になります。

アドレス : 05H リセット時 : 00H R/-

	7	6	5	4	3	2	1	0
INTFLAG	0	0	0	ADC	RAW	FAE	FW	FR

FR	Flash Read に対する割り込み信号フラグの表示
0	出力準備未了
1	出力準備完了 (フラグ)

FW	Flash Write に対する割り込み信号フラグの表示
0	出力準備未了
1	出力準備完了 (フラグ)

FAE	Flash ALL Erase に対する割り込み信号フラグの表示
0	出力準備未了
1	出力準備完了 (フラグ)

RAW	Register All Write に対する割り込み信号フラグの表示
0	出力準備未了
1	出力準備完了 (フラグ)

ADC	A/D 変換 に対する割り込み信号フラグの表示
0	出力準備未了
1	出力準備完了 (フラグ)

注意 ビット 7, 6, 5 は、読み出すと常に 0 を返します。

(3) 処理状態表示レジスタ（STATUS）

Flash Write, Flash ALL Erase, Register All Write, A/D 変換の処理状態を表示するレジスタです。
リセット信号の発生により、00H になります。

アドレス：06H リセット時：00H R/-

	7	6	5	4	3	2	1	0
STATUS	0	0	0	ADCIP	RAWIP	FAEIP	FWIP	0

FWIP	Flash Write の処理状態を表示
0	処理完了
1	処理実行中

FAEIP	Flash ALL Erase の処理状態を表示
0	処理完了
1	処理実行中

RAWIP	Register All Write の処理状態を表示
0	処理完了
1	処理実行中

ADCIP	A/D 変換の処理状態を表示
0	処理完了
1	処理実行中

注意 ビット 7, 6, 5, 0 は、読み出すと常に 0 を返します。

7.4 割り込み信号出力機能の動作

SPI通信を介して、Flash Write, Flash ALL Erase, Register All Write, A/D変換開始のコマンドを実行すると、処理状態表示レジスタ (STATUS) がハイ・レベルとなります。続いて、これらの処理が完了すると、処理状態表示レジスタ (STATUS) がロウ・レベルとなります。この時、割り込み信号フラグ表示レジスタ (INTFLAG) がハイ・レベルを表示し、INT端子から割り込み (INT) 信号 (ハイ・レベル) が出力されます。割り込み信号フラグ表示レジスタ (INTFLAG) を読み出すと、割り込み信号フラグ表示レジスタ (INTFLAG) はリセットされ、0クリアとなり、INT端子からの出力もロウ・レベルとなります。

Flash Read時は、Flash Readの一つ目のコマンドを実行すると、割り込み信号フラグ表示レジスタ (INTFLAG) がハイ・レベルを表示し、INT端子から割り込み (INT) 信号 (ハイ・レベル) が出力されます。続いて、Flash Readの二つ目のコマンドを実行すると、割り込み信号フラグ表示レジスタ (INTFLAG) はリセットされ、0クリアとなり、INT端子からの出力もロウ・レベルとなります。

割り込み信号マスク設定レジスタ (INTMASK) は、INT端子からの割り込み (INT) 信号 (ハイ・レベル) の出力を制御します (図 7.1 割り込み信号出力機能の構造を参照)。Flash Read, Flash Write, Flash ALL Erase, Register All Write, A/D 変換のそれぞれ動作は、割り込み信号マスク設定レジスタ (INTMASK) にてマスクされると、それぞれの動作の処理が完了したとしても、割り込み (INT) 信号 (ハイ・レベル) を出力しません。また、A/D 変換とフラッシュ・メモリへのアクセスに対する割り込み (INT) 信号の出力は、どちらか一方の排他使用となり、A/D コンバータ制御レジスタ (ADCCNT) の ADSTART ビットに 1 が設定されると、フラッシュ・メモリへのアクセスに対する割り込み (INT) 信号は出力しません (詳細は、4.3 16 ビット $\Delta\Sigma$ A/D コンバータを制御するレジスタを参照してください)。

Register All Write に対する割り込み信号フラグの表示は、Buffer Refresh コマンド (SPI コマンド一覧の No.6) を実行した際にも対応します。Buffer Refresh コマンドが実行され、処理が完了すると、割り込み信号フラグ表示レジスタ (INTFLAG) がハイ・レベルを表示し、INT端子から割り込み (INT) 信号 (ハイ・レベル) が出力されます。

また、INT端子を使わなくても、処理状態表示レジスタ (STATUS) を常に監視することにより、AD 変換の状態やフラッシュ・メモリへのアクセス状態を確認することも可能です。

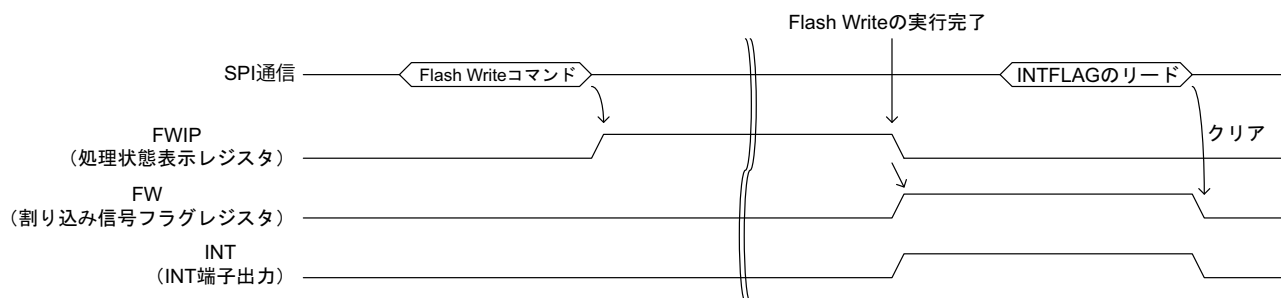


図 7.2 割り込み (INT) 信号出力のタイミング (Flash Write コマンドの場合)

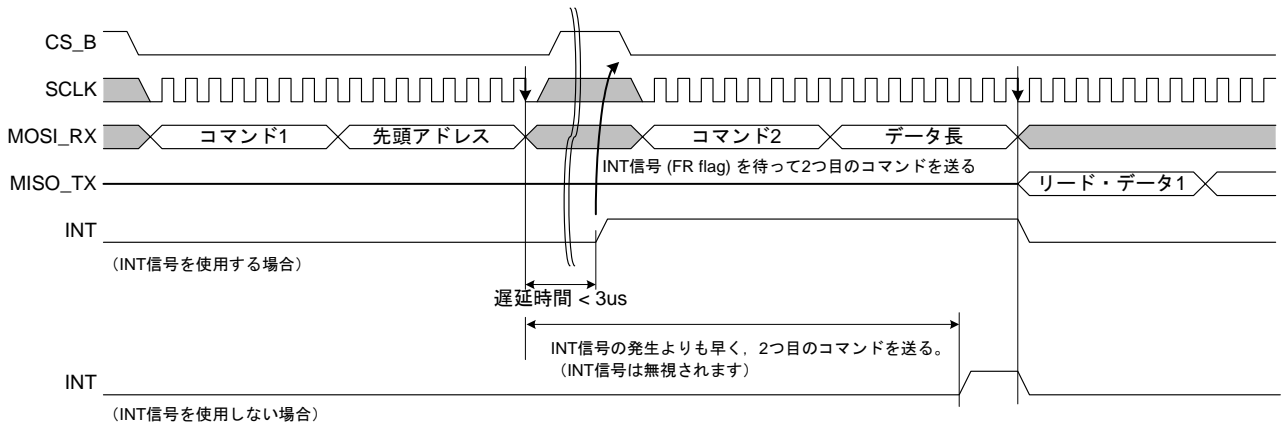


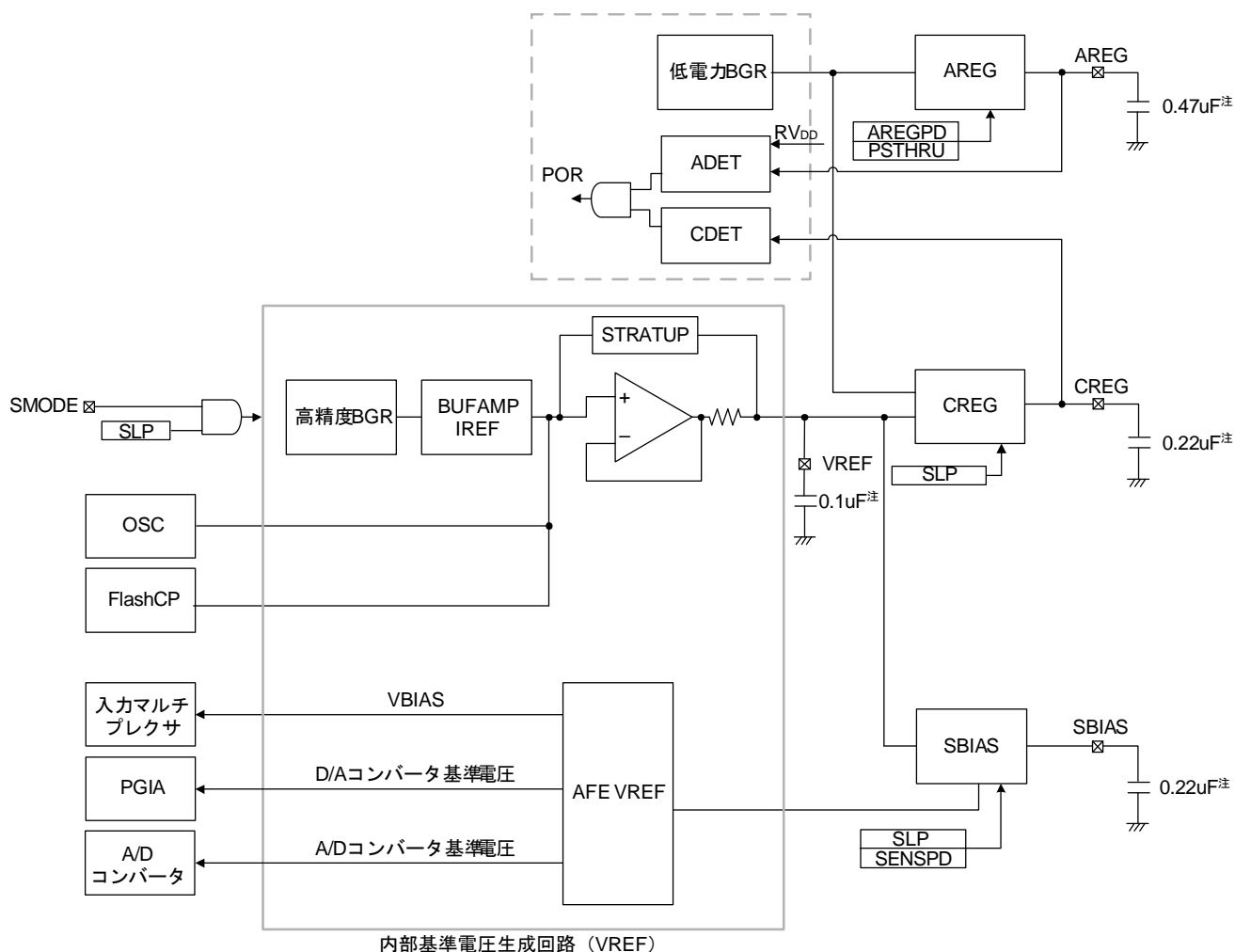
図 7.3 割り込み（INT）信号出力のタイミング（Flash (Burst) Read コマンドの場合）

8. 電源回路

8.1 概要

RAA730101 は、内部回路への電源供給用、または、外部デバイスへの電源供給用として、電源回路を内蔵しております。電源回路は、2チャンネルのバンドギャップ・リファレンス回路（高精度BGR、低電力BGR）と、2チャンネルのLDOレギュレータ（AREG、CREG）、外部デバイスとしてセンサを想定したセンサ用の電源回路（SBIAS）で構成されています。電源供給構成に関しては、9. 電源供給構成を参照してください。

8.2 電源回路全体ブロック図



注 各コンデンサの容量値は推奨値です。

図 8.1 電源回路全体ブロック図

8.3 内部基準電圧生成回路 (VREF)

8.3.1 概要

内部基準電圧生成回路 (VREF) は、高精度 BGR とアナログ回路用基準電圧生成回路 (AFE VREF) で構成されています。VREF は、高精度 BGR の出力電圧を基に、CREG と SBIAS の基準電圧を生成します。また、高精度 BGR からの出力電圧は、SBIAS、AFE VREF を経由して、A/D コンバータの基準電圧、D/A コンバータの基準電圧、更に、入力マルチプレクサに接続する内部バイアス電圧 (VBIAS) となります。高精度 BGR は出力電圧の温度依存性が低く、高い出力電圧精度が期待できます。

内部基準電圧生成回路 (VREF) には、VREF 端子に $0.1 \mu\text{F}$ (推奨値) の外付けコンデンサを接続することにより、内蔵抵抗とこの外付けコンデンサで構成されるローパス・フィルタが備えられます。

8.3.2 ブロック図

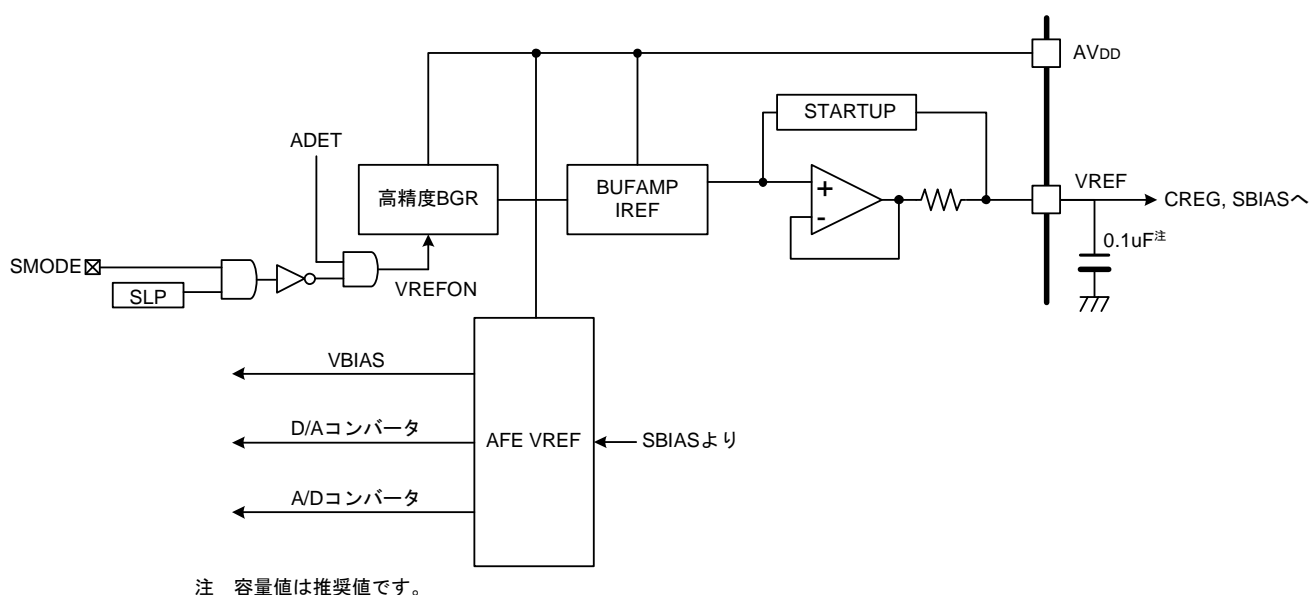


図 8.2 内部基準電圧生成回路 (VREF) のブロック図

8.3.3 内部基準電圧生成回路 (VREF) を制御するレジスタ

内部基準電圧生成回路 (VREF) では、次のレジスタを使用します。

- パワー／モード制御レジスタ (CHIPCNT)

(1) パワー／モード制御レジスタ (CHIPCNT)

内部基準電圧生成回路 (VREF) の通常動作／スリープ・モードへの移行を制御します。リセット信号の発生により、00H になります。詳細は、**8.3.4 内部基準電圧生成回路 (VREF) の動作**を参照して下さい。

アドレス : 01H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
CHIPCNT	0	0	PSTHRU	AREGPD	0	0	SENSPD	SLP

SLP	スリープ・モードの制御
0	通常動作
1	スリープ・モード

注意 ビット 7, 6, 3, 2 は、書き換え不可です (読み出すと常に 0 を返します)。

8.3.4 内部基準電圧生成回路 (VREF) の動作

パワー／モード制御レジスタ (CHIPCNT) の SLP ビットは、高精度 BGR のスリープ・モードへの移行を制御します。スリープ・モードへの移行は、SLP ビットのデータと SMODE 端子への入力データとの論理演算で実行されます。SPI 通信時 (SMODE = 1)、パワー／モード制御レジスタ (CHIPCNT) の SLP ビットに 1 を書き込むと、高精度 BGR はスリープ・モードへと移行、動作停止となります。一方、UART 通信時 (SMODE = 0) は、高精度 BGR は常に通常動作となります。

また、高精度 BGR が通常動作状態でも、SBIAS の動作が停止すると、AFE VREF が動作停止となり、A/D コンバータの基準電圧、D/A コンバータの基準電圧、更に、入力マルチプレクサに接続する内部バイアス電圧 (VBIAS) が生成されません。SBIAS の詳細については、**8.4 センサ用電源回路 (SBIAS)**を参照してください。

8.4 センサ用電源回路 (SBIAS)

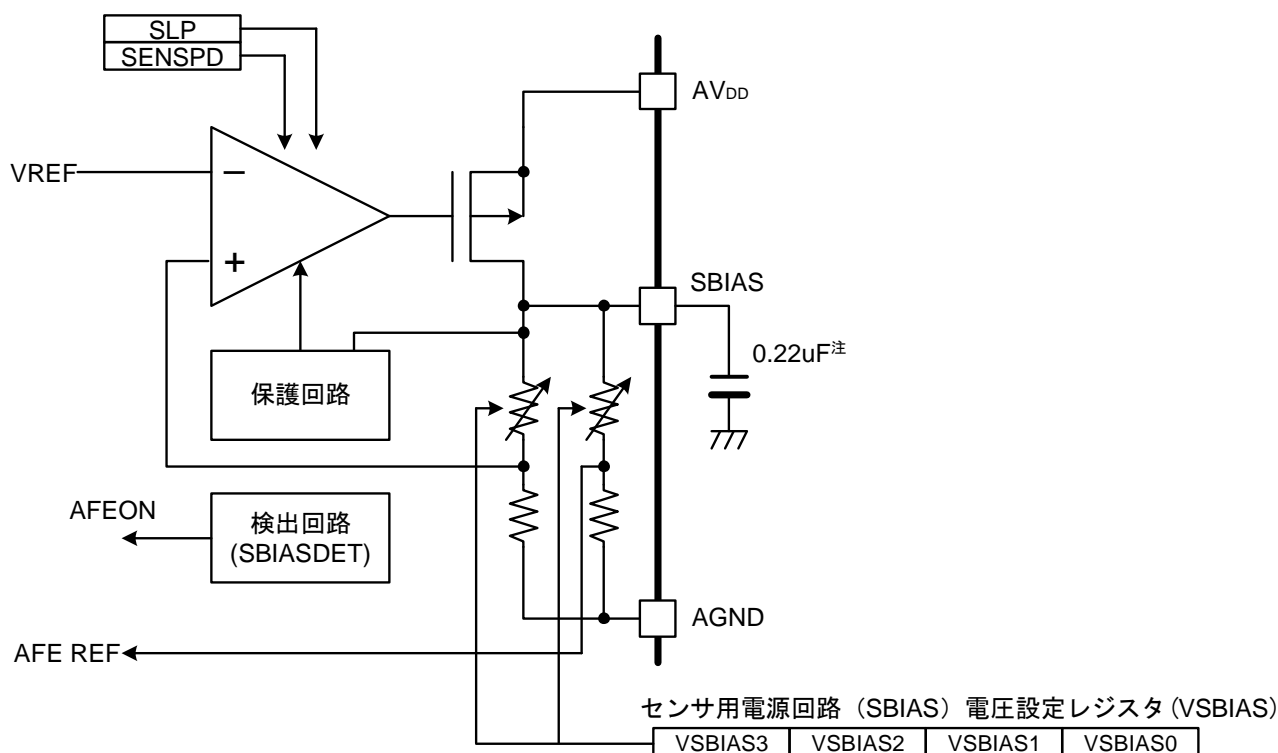
8.4.1 概要

SBIAS は、RAA730101 に接続されるセンサ用の電源です。VREF から基準電圧が入力されます。出力電圧は 1.2~2.2 V の範囲で可変であり、0.1 V 単位で設定可能です。出力電流 5 mA を供給可能です。SBIAS 端子には 0.22 μ F (推奨値) の外付けコンデンサが必要です。

SBIAS は、過電流からの保護回路を搭載しており、過電流状態が発生すると、保護回路が内部回路を保護します。また、SBIAS 自身の出力電圧を監視、検出する回路 (SBIASDET) を備えています。

VREF からの基準電圧は、SBIAS を経由し、A/D コンバータの基準電圧、D/A コンバータの基準電圧、更に、入力マルチプレクサに接続する内部バイアス電圧 (VBIAS) となります。詳細は、**8.4.4 センサ用電源回路 (SBIAS) の動作** を参照してください。

8.4.2 ブロック図



注 容量値は推奨値です。

図 8.3 センサ用電源回路 (SBIAS) のブロック図

8.4.3 センサ用電源回路（SBIAS）を制御するレジスタ

センサ用電源回路（SBIAS）では、次の2種類のレジスタを使用します。

- パワー／モード制御レジスタ（CHIPCNT）
- センサ用電源回路（SBIAS）電圧設定レジスタ（VSBIAS）

(1) パワー／モード制御レジスタ（CHIPCNT）

SBIAS の通常動作／動作停止／スリープ・モードへの移行を制御します。リセット信号の発生により、00H になります。詳細は、**8.4.4 センサ用電源回路（SBIAS）の動作**を参照して下さい。

アドレス：01H リセット時：00H R/W

	7	6	5	4	3	2	1	0
CHIPCNT	0	0	PSTHRU	AREGPD	0	0	SENSPD	SLP

SLP	スリープ・モードの制御
0	通常動作
1	スリープ・モード

SENSPD	SBIAS の通常動作／動作停止の制御
0	通常動作
1	動作停止

注意 ビット7、6、3、2は、書き換え不可です（読み出すと常に0を返します）。

(2) センサ用電源回路 (SBIAS) 電圧設定レジスタ (VSBIAS)

SBIAS の出力電圧値を設定します。リセット信号の発生により、00H になります。

アドレス : 02H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
VSBIAS	0	0	0	0	VSBIAS3	VSBIAS2	VSBIAS1	VSBIAS0

VSBIAS3	VSBIAS2	VSBIAS1	VSBIAS0	センサ用電源回路 (SBIAS) の出力電圧 (V)
0	0	0	0	1.2
0	0	0	1	1.3
0	0	1	0	1.4
0	0	1	1	1.5
0	1	0	0	1.6
0	1	0	1	1.7
0	1	1	0	1.8
0	1	1	1	1.9
1	0	0	0	2.0
1	0	0	1	2.1
1	0	1	0	2.2
上記以外				設定禁止

注意 ビット 7, 6, 5, 4 は、書き換え不可です (読み出すと常に 0 を返します)。

8.4.4 センサ用電源回路 (SBIAS) の動作

SBIAS は、RAA730101 に接続されるセンサへ電源供給するとともに、A/D コンバータの基準電圧、D/A コンバータの基準電圧、更に、入力マルチプレクサに接続する内部バイアス電圧 (VBIAS) など、アナログ回路で使用される基準電圧の生成にも関与します。

SBIAS は、SBIAS 自身の出力電圧を監視、検出する回路を (SBIASDET) 備えており、AFE VREF、プログラマブル・ゲイン計装アンプ (PGIA)、A/D コンバータと言ったアナログ回路の起動を制御します。SBIAS の出力電圧が確認できると SBIASDET が解除され、アナログ回路の起動が許可されます。一方、SBIAS の出力電圧が正常に立ち上がってこないことを SBIASDET が検知すると、アナログ回路の動作が停止します。

パワー／モード制御レジスタ (CHIPCNT) の SLP ビットに 1 が書き込まれると、SBIAS はスリープ・モードに移行、動作停止となります。また、パワー／モード制御レジスタ (CHIPCNT) の SENSPD ビットに 1 が書き込まれると、SBIAS の動作が停止します。いずれの場合も、SBIASDET が検知し、AFE VREF、PGIA、A/D コンバータと言ったアナログ回路の動作が停止します。AFE VREF が動作停止となると、A/D コンバータの基準電圧、D/A コンバータの基準電圧、更に、入力マルチプレクサに接続する内部バイアス電圧 (VBIAS) が生成されません。

8.5 LDO レギュレータ

LDO レギュレータは、AREG (AV_{DD}/IOV_{DD} への電源供給用) と CREG (ADV_{DD}/DV_{DD} への電源供給用) で構成されます。AREG, CREG の使用方法については、9. 電源供給構成を参照してください。

8.5.1 AREG (AV_{DD}/IOV_{DD} への電源供給回路)

8.5.1.1 概要

AREG は、低電力 BGR の出力電圧を基に電圧を生成し、AV_{DD}/IOV_{DD} への電源供給を行います。出力電圧は 3.0 V (Typ.), 出力電流 50 mA を供給可能です。AREG の出力端子には、0.47 μF (推奨値) の外付けコンデンサが必要です。

AREG は、過電流からの保護回路と低出力電圧検出回路 (ADET) を備えています。動作に関する詳細は、8.5.1.4 AREG (AV_{DD}/IOV_{DD} への電源供給回路) の動作を参照してください。

8.5.1.2 ブロック図

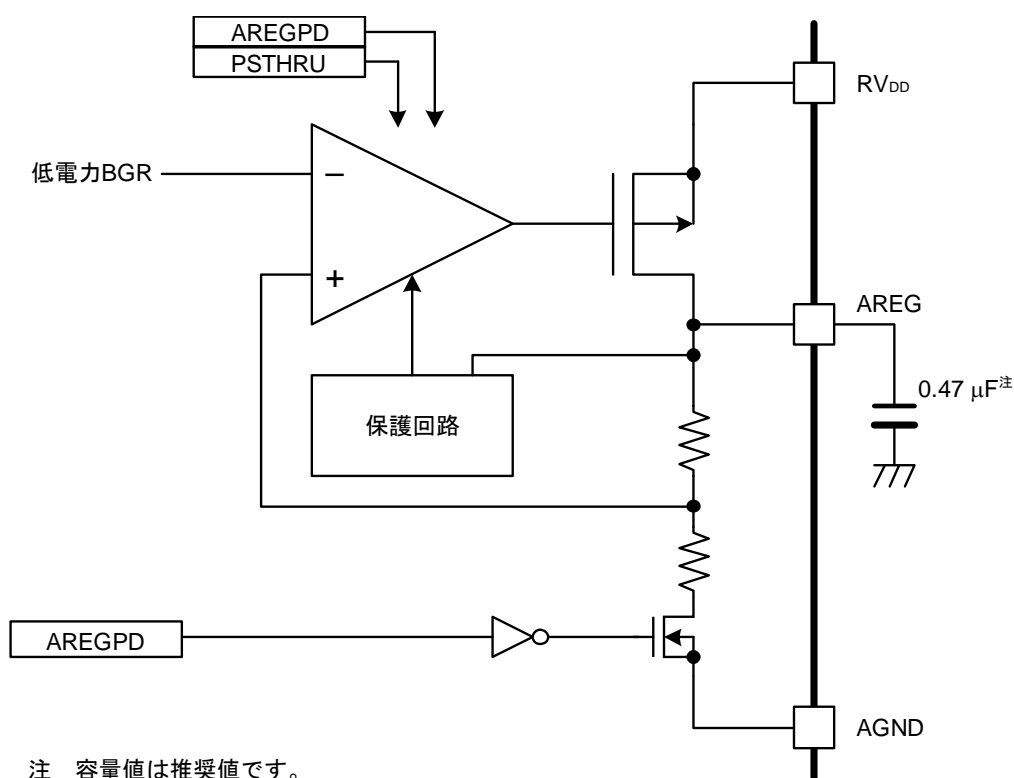


図 8.4 AREG のブロック図

8.5.1.3 AREG (AV_{DD}/IOV_{DD} への電源供給回路) を制御するレジスタ

AREG (AV_{DD}/IOV_{DD} への電源供給回路) では、次のレジスタを使用します。

- パワー／モード制御レジスタ (CHIPCNT)

(1) パワー／モード制御レジスタ (CHIPCNT)

AREG の通常動作／動作停止の切り替えと出力状態を制御します。リセット信号の発生により、00H になります。詳細は、**8.5.1.4 AREG (AV_{DD}/IOV_{DD} への電源供給回路) の動作**を参照して下さい。

アドレス：01H リセット時：00H R/W

	7	6	5	4	3	2	1	0
CHIPCNT	0	0	PSTHRU	AREGPD	0	0	SENSPD	SLP

PSTHRU	AREGPD	AREG の動作	AREG 端子の出力電圧
0	0	通常動作	3.0 V
1	0	動作停止	RV _{DD}
*	1	動作停止	Hi-Z

注意 ビット 7, 6, 3, 2 は、書き換え不可です (読み出すと常に 0 を返します)。

備考 * : don't care

8.5.1.4 AREG (AV_{DD}/IOV_{DD} への電源供給回路) の動作

パワー／モード制御レジスタ (CHIPCNT) の AREGPD ビット, PSTHRU ビットは、AREG の通常動作／動作停止の切り替えと出力状態を制御します。

AREG が正常起動した後に、AREGPD ビットに 1 を書き込むと AREG の動作が停止、出力を無効 (ハイ・インピーダンス) にすることができます。この場合、AREG 端子と RV_{DD} 端子を外部接続し、発振が起こらないようにする必要があります。且つ、RV_{DD}, AV_{DD}, IOV_{DD} には、外部より電源を供給する必要があります。詳細は、**9. 電源供給構成**を参照してください。

PSTHRU ビットに 1 を書き込むと AREG の動作が停止、AREG の出力が回路内部で RV_{DD} にバイパスされます。フラッシュ・プログラミング時に、IOV_{DD} に対し 3.0 V よりも高い電圧を供給する必要がある場合、このバイパス機能を使用することができます。詳細は、**9. 電源供給構成**を参照してください。

低出力電圧検出回路 (ADET) に関する詳細は、**12. パワーオン・リセット (POR) 回路**を参照してください。

注意 フラッシュ・メモリ・プログラミングは、フラッシュ・メモリのデータ消去／書き込みを示します。

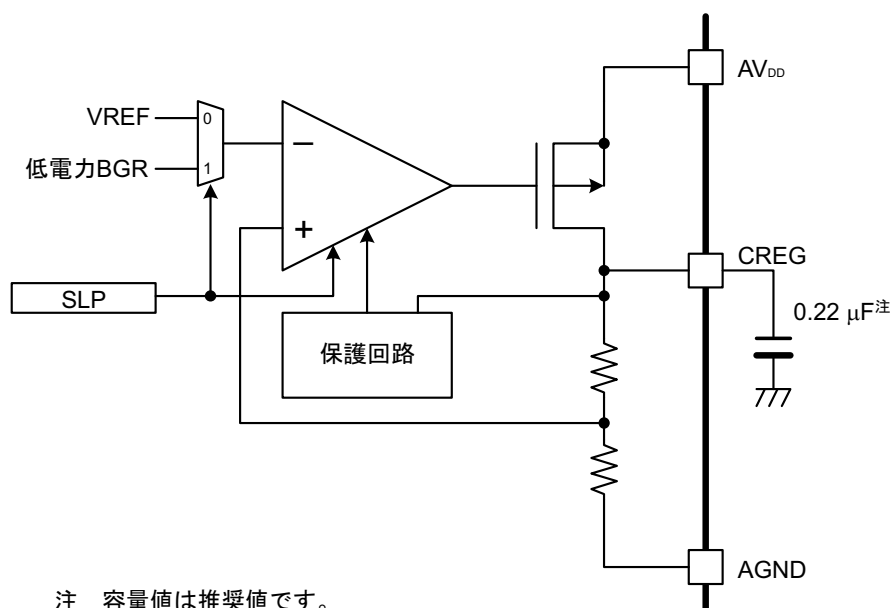
8.5.2 CREG (ADV_{DD}/DV_{DD} への電源供給回路)

8.5.2.1 概要

CREG は、高精度 BGR の出力電圧を基に電圧を生成し、ADV_{DD}/DV_{DD} への電源供給を行います。出力電圧は 2.1 V (Typ.)、出力電流 20 mA を供給可能です。CREG の出力端子には、0.22 μF (推奨値) の外付けコンデンサが必要です。

CREG は、過電流からの保護回路と低出力電圧検出回路 (CDET) を備えています。動作に関する詳細は、**8.5.2.4 CREG (ADV_{DD}/DV_{DD} への電源供給回路) の動作**を参照してください。

8.5.2.2 ブロック図



注 容量値は推奨値です。

図 8.5 CREG のブロック図

8.5.2.3 CREG (ADV_{DD}/DV_{DD} への電源供給回路) を制御するレジスタ

CREG (ADV_{DD}/DV_{DD} への電源供給回路) では、次のレジスタを使用します。

- パワー／モード制御レジスタ (CHIPCNT)

(1) パワー／モード制御レジスタ (CHIPCNT)

CREG の通常動作／スリープ・モードへの移行を制御します。リセット信号の発生により、00H になります。詳細は、

8.5.2.4 CREG (ADV_{DD}/DV_{DD} への電源供給回路) の動作を参照して下さい。

アドレス : 01H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
CHIPCNT	0	0	PSTHRU	AREGPD	0	0	SENSPD	SLP

SLP	スリープ・モードの制御
0	通常動作
1	スリープ・モード

注意 ビット 7, 6, 3, 2 は、書き換え不可です (読み出すと常に 0 を返します)。

8.5.2.4 CREG (ADV_{DD}/DV_{DD} への電源供給回路) の動作

パワー／モード制御レジスタ (CHIPCNT) の SLP ビットは、CREG のスリープ・モードへの移行を制御します。パワー／モード制御レジスタ (CHIPCNT) の SLP ビットに 1 を書き込むと、CREG はスリープ・モードへと移行、待機状態となります。待機状態では CREG は低電力動作となり、出力電流は 2 mA まで提供可能となります。また、基準電圧源も高精度 BGR から低電力 BGR に切り替わります。この場合でも、保護回路と低出力電圧検出回路 (CDET) の電源の供給は維持されます。

低出力電圧検出回路 (CDET) に関する詳細は、12. パワーオン・リセット (POR) 回路を参照してください。

8.5.3 スリープ・モードでの LDO レギュレータの動作

スリープ・モードにおける LDO レギュレータの動作は、SPI 通信、もしくは UART 通信のどちらの通信を選択するかによって異なります。

SPI 通信時 (SMODE = 1)、パワー／モード制御レジスタ (CHIPCNT) の SLP ビットに 1 を書き込むと、低電力 BGR、AREG、CREG 以外の電源回路は動作停止となります。一方、UART 通信時 (SMODE = 0)、パワー／モード制御レジスタ (CHIPCNT) の SLP ビットに 1 を書き込むと、低電力 BGR、AREG、CREG に加え、高精度 BGR も動作可能となります。UART 通信時 (SMODE = 0) には、内蔵システム・クロック (OSC) 用発振回路を動作させるために、高精度 BGR が通常動作となります。

また、スリープ・モード時の CREG は、SPI 通信時 (SMODE = 1)、UART 通信時 (SMODE = 0) のいずれにおいても、待機状態 (低電力動作状態) となります。

9. 電源供給構成

9.1 概要

RA730101 の電源供給構成は、以下の3通りとなります。

構成1：外部電源（3.3 V～5.5 V） = RV_{DD} = IOV_{DD}, AREG = AV_{DD}, CREG = ADV_{DD} = DV_{DD}

構成2：外部電源（3.3 V～5.5 V） = RV_{DD}, AREG = AV_{DD} = IOV_{DD}, CREG = ADV_{DD} = DV_{DD}

構成3：外部電源（2.7 V～3.6 V） = RV_{DD} = AV_{DD} = IOV_{DD}, AREG 無効（AREGPD = 1）, CREG = ADV_{DD} = DV_{DD}

表 9.1 に、上記電源供給構成をまとめます。詳細は、**9.2 電源供給構成のブロック図**を参照してください。

表 9.1 電源供給構成の概要

構成	外部電源の接続先 (外部電源の電圧)	AREGの接続先 (AREG = 3.0 V)	CREGの接続先 (CREG = 2.1 V)	該当図
構成1	RV _{DD} , IOV _{DD} (3.3～5.5 V)	AV _{DD}	ADV _{DD} , DV _{DD}	図9.1
構成2	RV _{DD} (3.3～5.5 V)	AV _{DD} , IOV _{DD}	ADV _{DD} , DV _{DD}	図9.2
構成3	RV _{DD} , AV _{DD} , IOV _{DD} (2.7～3.6 V)	RV _{DD} (AREGPD = 1 : 出力無効)	ADV _{DD} , DV _{DD}	図9.3

注意 IOV_{DD} の電源電圧範囲によって、シリアル通信の入出力の電圧範囲が決まります。

また、フラッシュ・プログラミング時、IOV_{DD}には、5 V (Typ.) の電源供給が必要となります。上記3種類の電源供給構成において、フラッシュ・プログラミングを実施する場合は、表9.2に示す設定に変更する必要があります。詳細は、**9.4 フラッシュ・プログラミング時の設定**を参照してください。

表 9.2 電源供給構成の概要（フラッシュ・プログラミング時）

構成	外部電源の接続先 (外部電源の電圧)	AREGの接続先 (AREG = 3.0 V)	CREGの接続先 (CREG = 2.1 V)	該当図
構成1	RV _{DD} , IOV _{DD} (4.5～5.5 V)	AV _{DD}	ADV _{DD} , DV _{DD}	-
構成2	RV _{DD} (4.6～5.5 V)	AV _{DD} , IOV _{DD} (PSTHRU = 1 : AREGは動作停止, AREGはRV _{DD} にバイパスされる)	ADV _{DD} , DV _{DD}	-
構成3	RV _{DD} , AV _{DD} , IOV _{DD} (4.5～5.5 V)	RV _{DD} (AREGPD = 1 : AREGは動作停止)	ADV _{DD} , DV _{DD}	-

注意 1. フラッシュ・メモリ・プログラミングは、フラッシュ・メモリのデータ消去／書き込みを示します。

2. IOV_{DD} の電源電圧範囲によって、シリアル通信の入出力の電圧範囲が決まります。

9.2 電源供給構成のブロック図

構成 1 : 外部電源 (3.3 V~5.5 V) = RV_{DD} = IOV_{DD}, AREG = AV_{DD}, CREG = ADV_{DD} = DV_{DD}

- 外部より 3.3 V~5.5 V を RV_{DD} と IOV_{DD} に供給する (RV_{DD} と IOV_{DD} は外部でショート接続)。
- AV_{DD} は AREG (3.0 V) より供給する。
- ADV_{DD} と DV_{DD} は CREG (2.1 V) より供給する。

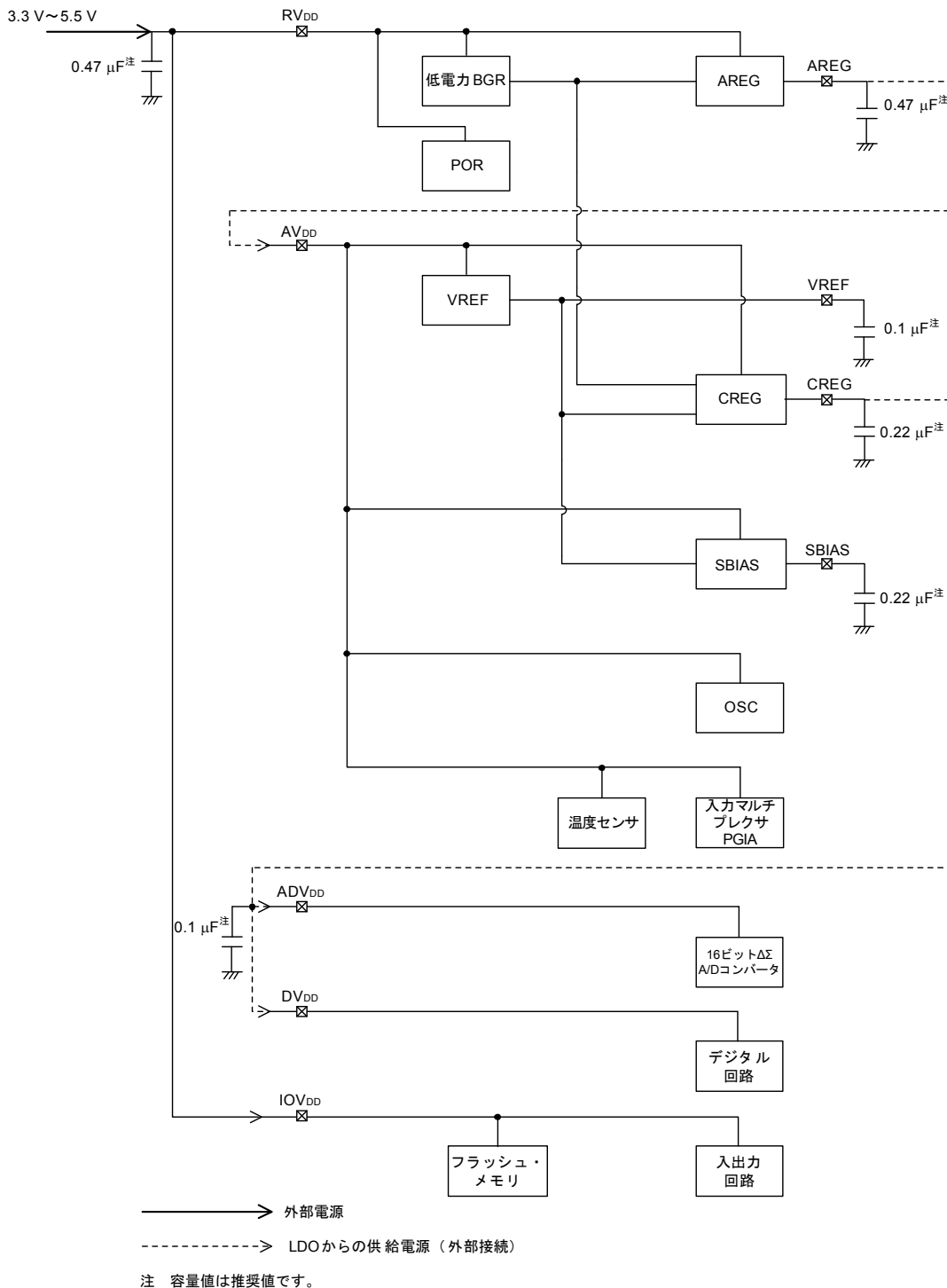


図 9.1 電源供給構成 (構成 1) のブロック図

構成 2 : 外部電源 (3.3 V~5.5 V) = RV_{DD}, AREG = AV_{DD} = IOV_{DD}, CREG = ADV_{DD} = DV_{DD}

- 外部より 3.3 V~5.5 V を RV_{DD} に供給する。
- AV_{DD} と IOV_{DD} は AREG (3.0 V) より供給する。
- ADV_{DD} と DV_{DD} は CREG (2.1 V) より供給する。

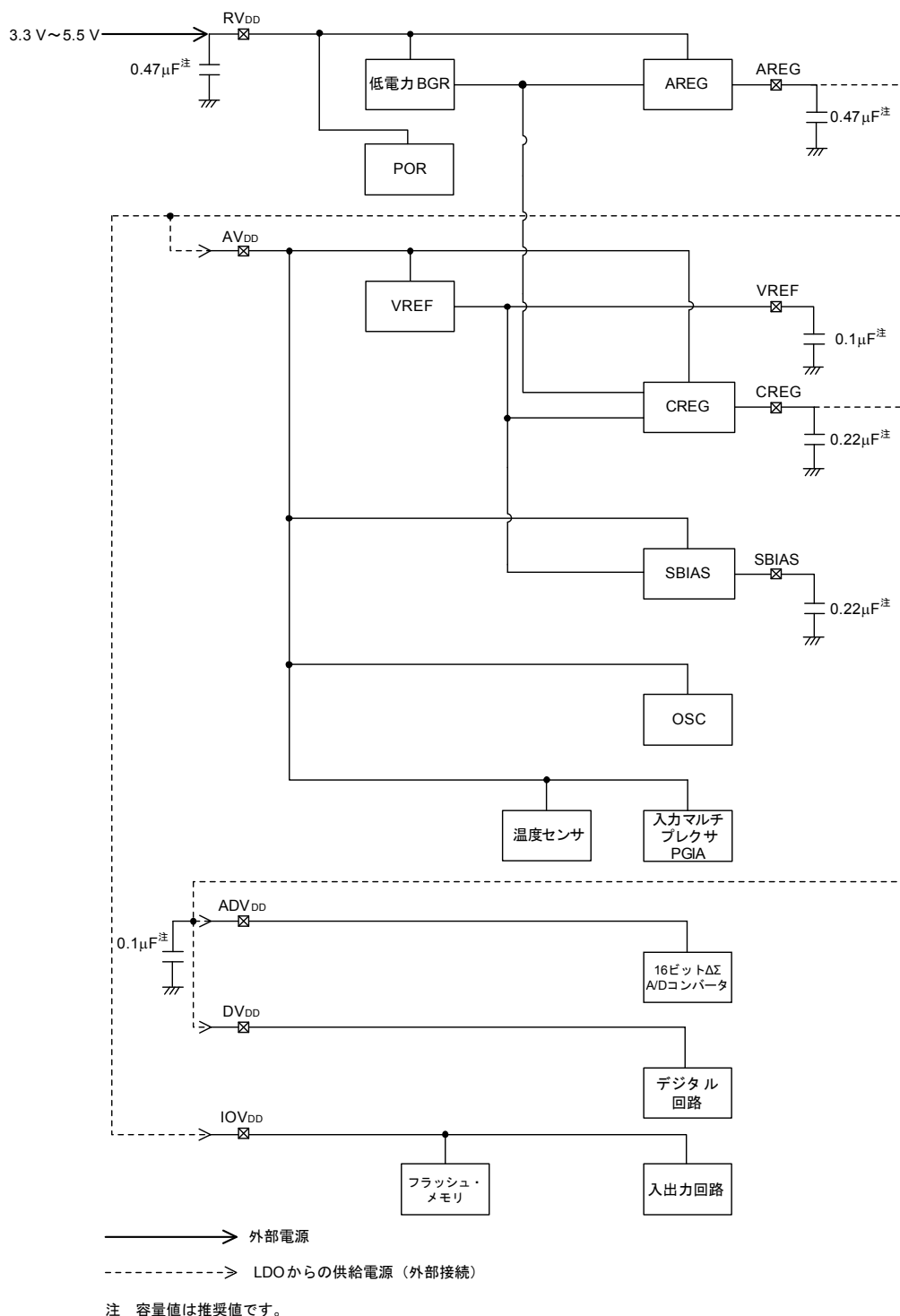


図 9.2 電源供給構成 (構成 2) のブロック図

構成 3 : 外部電源 (2.7 V~3.6 V) = RV_{DD} = AV_{DD} = IOV_{DD}, AREG 無効 (AREGPD = 1), CREG = ADV_{DD} = DV_{DD}

- 外部より 2.7 V~3.6 V を RV_{DD}, AV_{DD}, IOV_{DD} に供給する (RV_{DD}, AV_{DD}, IOV_{DD} は外部でショート接続)。
- 回路正常起動後, AREGPD ビットに 1 を設定する (AREG は RV_{DD} と外部でショート接続)。
- ADV_{DD} と DV_{DD} は CREG (2.1 V) より供給する。

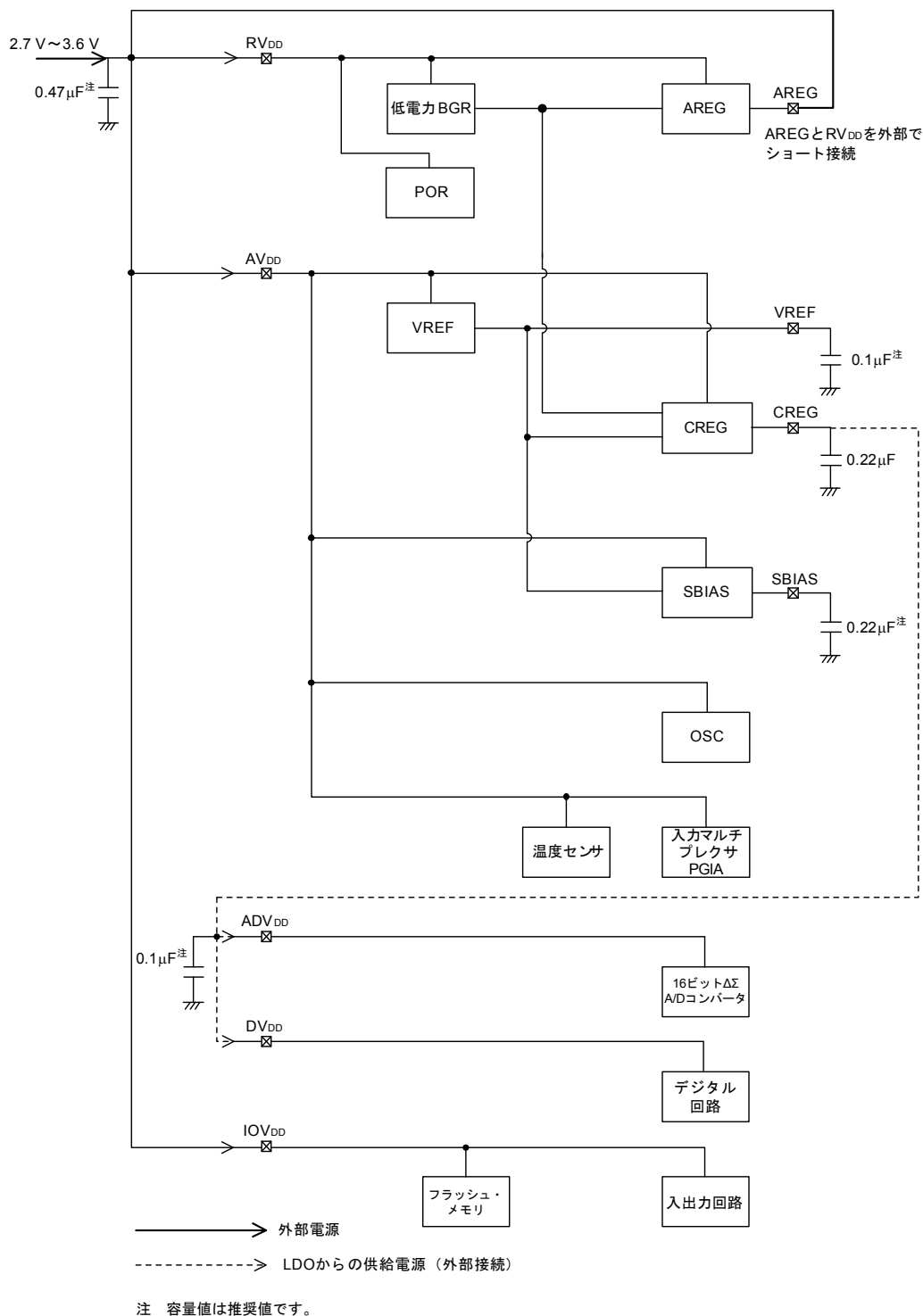


図 9.3 電源供給構成 (構成 3) のブロック図

9.3 パワーオン/オフ, スタンバイ (待機状態) のシーケンス

図9.4~9.7に, パワーオン/オフ, スタンバイ (待機状態) シーケンスのタイミング図を示します。

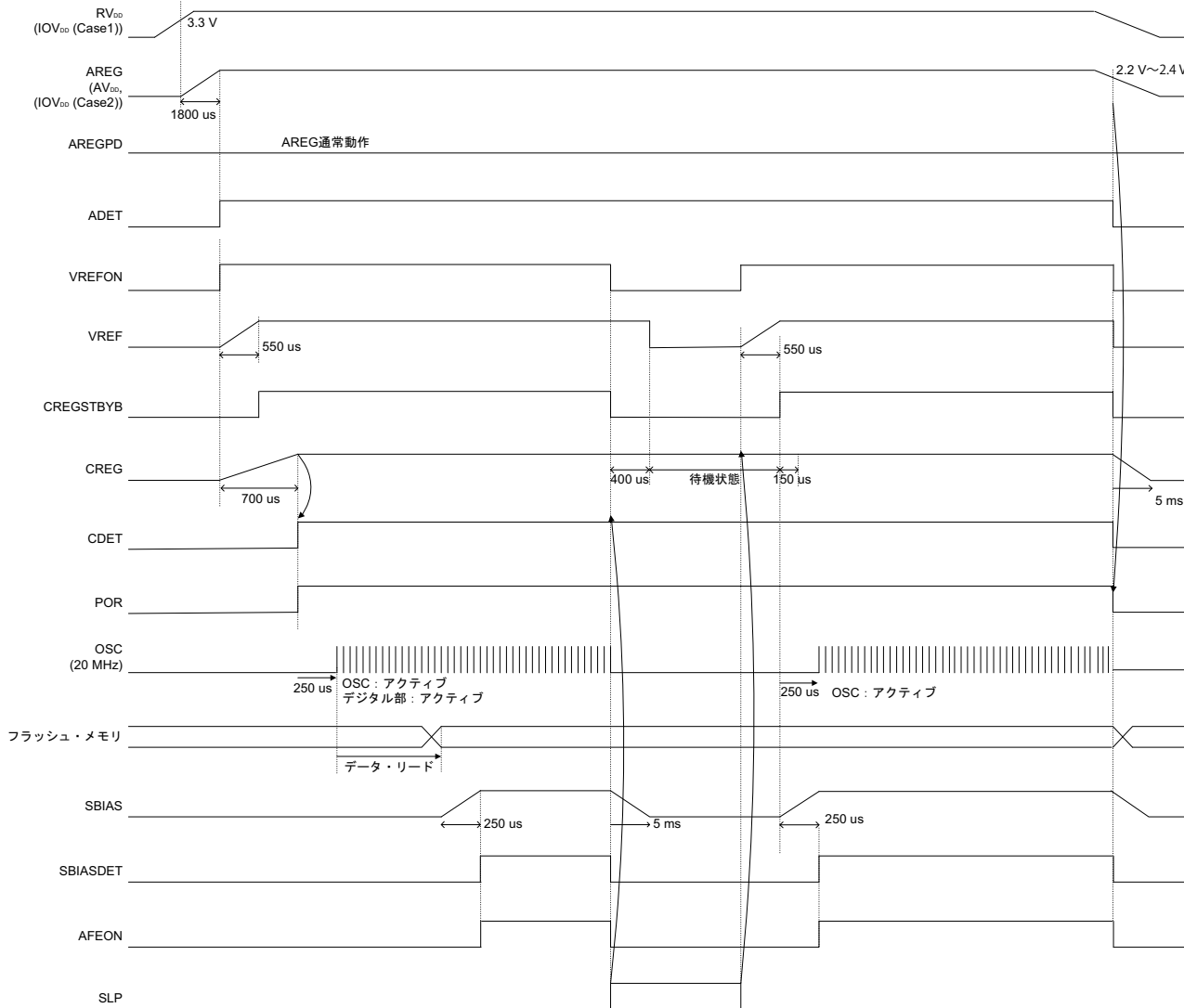


図 9.4 タイミング図 (1) (構成 1 及び 2, SPI 通信時 (SMODE = 1))

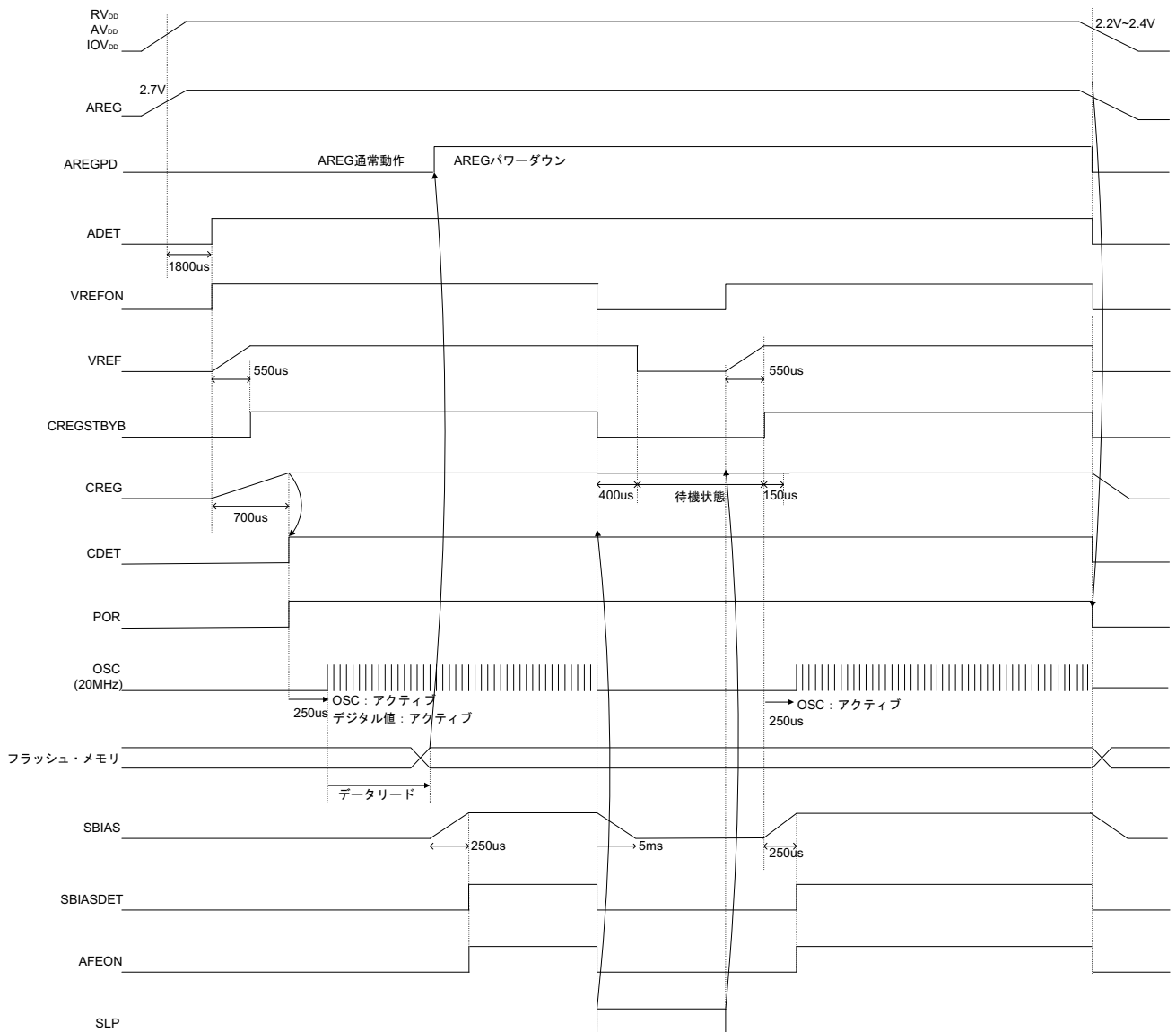


図 9.5 タイミング図 (2) (構成 3, SPI 通信時 (SMODE = 1))

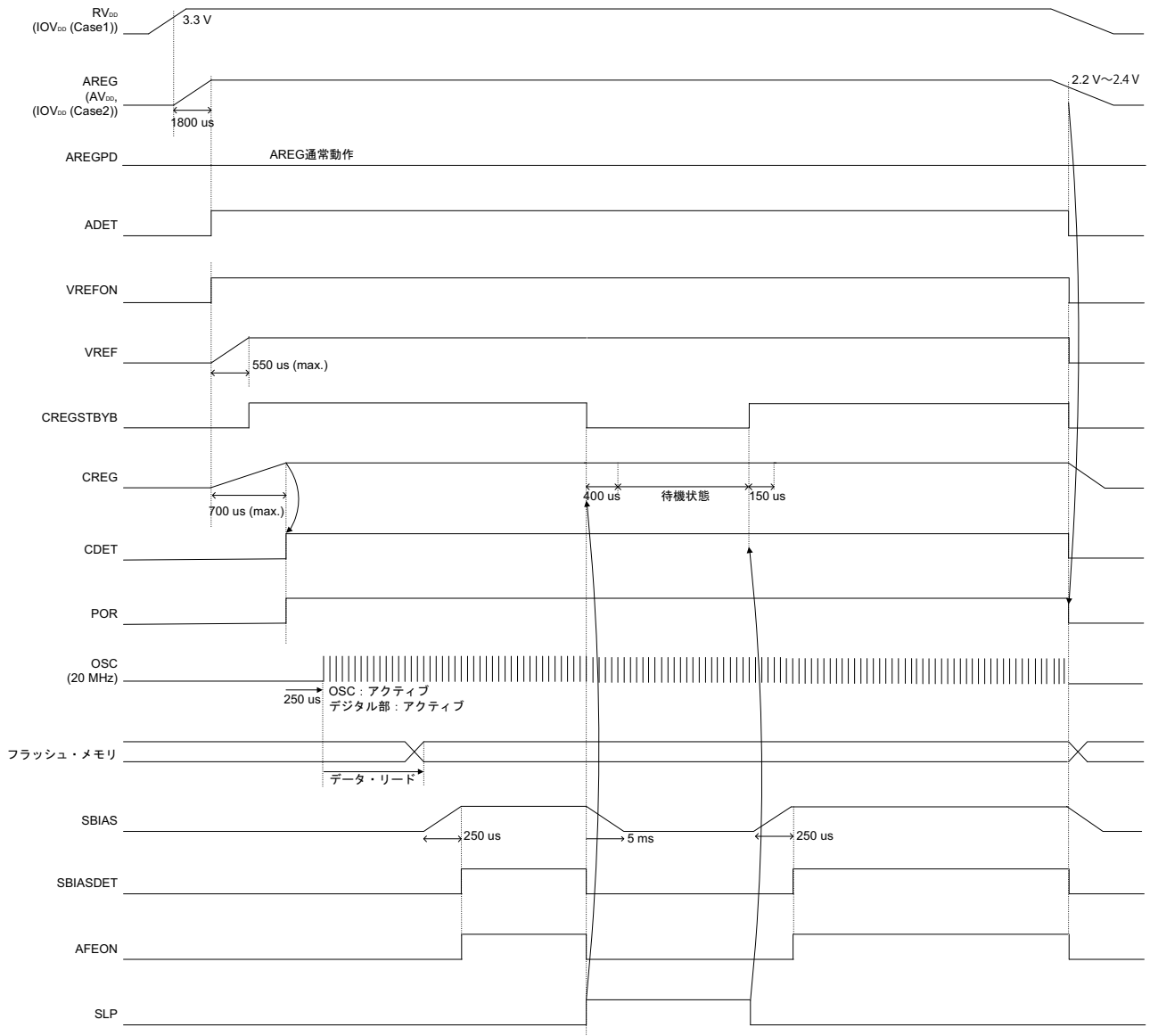


図 9.6 タイミング図 (3) (構成 1 及び 2, UART 通信時 (SMODE = 0))

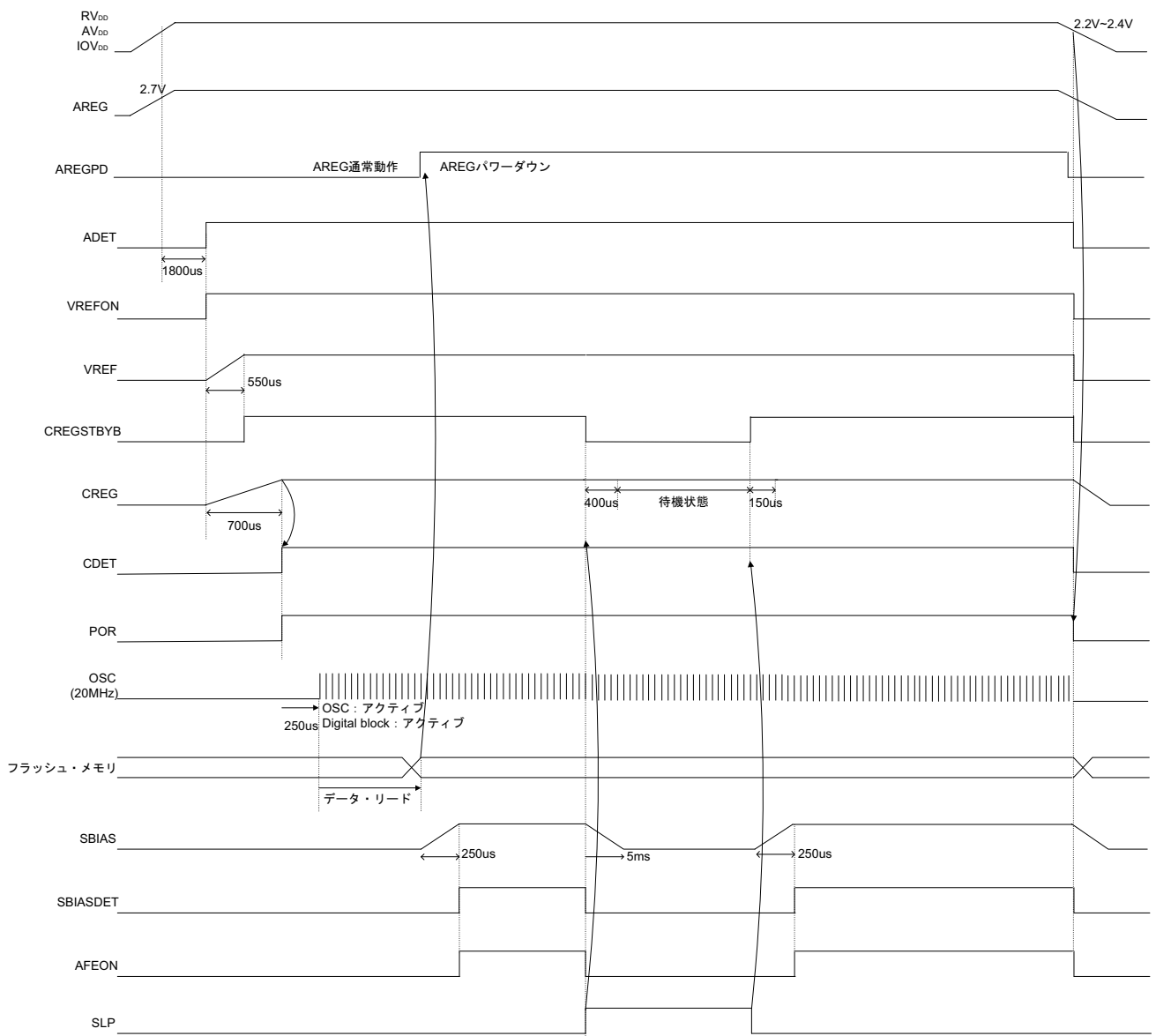


図 9.7 タイミング図 (4) (構成 3, UART 通信時 (SMODE = 0))

9.4 フラッシュ・プログラミング時の設定

9.4.1 低電力アクセス（主にリード・アクセス）

パワー／モード制御レジスタ（CHIPCNT）の SENSPD ビットにて、フラッシュ・メモリの低電力アクセス（主にリード・アクセス）が可能となります。パワー／モード制御レジスタ（CHIPCNT）の SENSPD ビットに 1 が書き込まれると、SBIAS の動作が停止し、PGIA、A/D コンバータと言ったアナログ回路の動作が停止します。これらアナログ回路は、フラッシュ・メモリにアクセスする際に使用されない機能であるため、電源供給を停止することにより消費電力を低減します。詳細は、**8.4.3 センサ用電源回路（SBIAS）を制御するレジスタ**、**8.4.4 センサ用電源回路（SBIAS）の動作**を参照して下さい。

9.4.2 AREG と RV_{DD} のバイパス設定（電源供給構成の構成 2 を想定）

電源供給構成の構成2のように、IOV_{DD}がAREG出力に接続されている場合でも、パワー／モード制御レジスタ（CHIPCNT）の PSTHRU ビットにて、フラッシュ・プログラミングが可能になります。パワー／モード制御レジスタ（CHIPCNT）の PSTHRU ビットに 1 が書き込まれると AREG の動作が停止、AREG の出力が回路内部で RV_{DD} にバイパスされます。詳細は、**8.5.1.3 AREG（AV_{DD}／IOV_{DD}への電源供給回路）を制御するレジスタ**、**8.5.1.4 AREG（AV_{DD}／IOV_{DD}への電源供給回路）の動作**を参照してください。

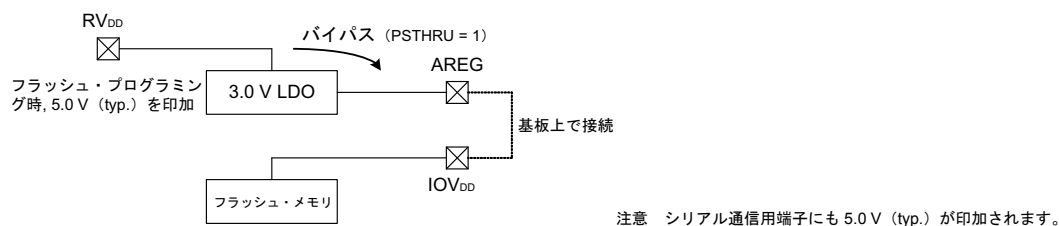


図 9.8 AREG と RV_{DD} のバイパス機能

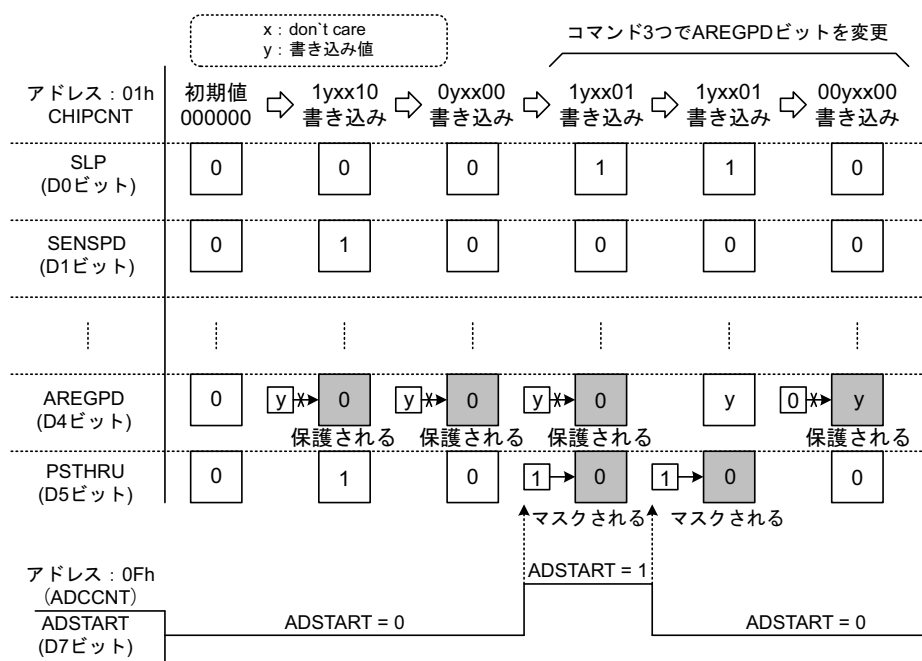
9.4.3 パワー／モード制御レジスタ（CHIPCNT）の保護機能

動作中に AREGPD, または PSTHRU ビットの値が意図せず書き変わると、重大なエラーや、容易に認識されない誤動作が発生する場合があります。このような問題を回避するために、パワー／モード制御レジスタ（CHIPCNT）には、2種類の保護機能が備えられております。

1つは、パワー／モード制御レジスタ（CHIPCNT）の AREGPD ビットへの書き込み保護機能です。この機能により、AREGPD ビットへの書き込みが保護され、データが保持されます。AREGPD ビットへのデータ書き込みには、パワー／モード制御レジスタ（CHIPCNT）の SLP ビットへの設定が関連します。AREGPD ビットへ書き込みを行う事前、且つ、書き込みが行われている最中に、SLP ビットに1が設定されている必要があります。それ以外の場合は、AREGPD ビットへの書き込みは無効となり、既に設定されたデータが保持されます。しかしながら、フラッシュ・メモリからレジスタ値をコピーする際には、この機能は無効となります。

もう1つは、パワー／モード制御レジスタ（CHIPCNT）の PSTHRU ビットのマスク機能です。この機能には、A/Dコンバータ制御レジスタ（ADCCNT）の ADSTART ビットが関連します。ADSTART ビットに1を書き込み、A/D変換を開始すると、PSTHRU ビットはマスクされ、常に0に設定されます。パワーオン・リセット（POR）が発生すると、PSTHRU ビットは、再び、書き込み可能となります。

図 9.9 に、パワー／モード制御レジスタ（CHIPCNT）へのアクセス例を示します。



ADSTARTビットが“1”になると、PSTHRUは“0”になり、マスクされる。

図 9.9 CHIPCNT レジスタの保護機能

10. クロックの構成

10.1 概要

RAA730101は、内蔵システム・クロック（OSC）用発振回路を搭載しております。各回路に必要なクロックは、全て、この発振回路（クロックの周波数は20 MHz（Typ.））にて生成されます。クロックは分周され、A/Dコンバータ、UART、フラッシュ・メモリ・コントローラに分配されます。ADC Logicは、A/Dコンバータ用のクロックを生成します。A/Dコンバータ用のクロックは、MCLK端子にてモニターすることができます。

また、A/Dコンバータには、外部クロックを入力することもできます。この時、MCLK端子を外部クロック入力端子として使用します。外部クロックは、SPI通信時（SMODE端子= 1）のみ有効です。UART通信時（SMODE端子= 0）は、外部クロックを入力することはできません。詳細は、**10.3 クロックを制御するレジスタ**を参照してください。

10.2 ブロック図

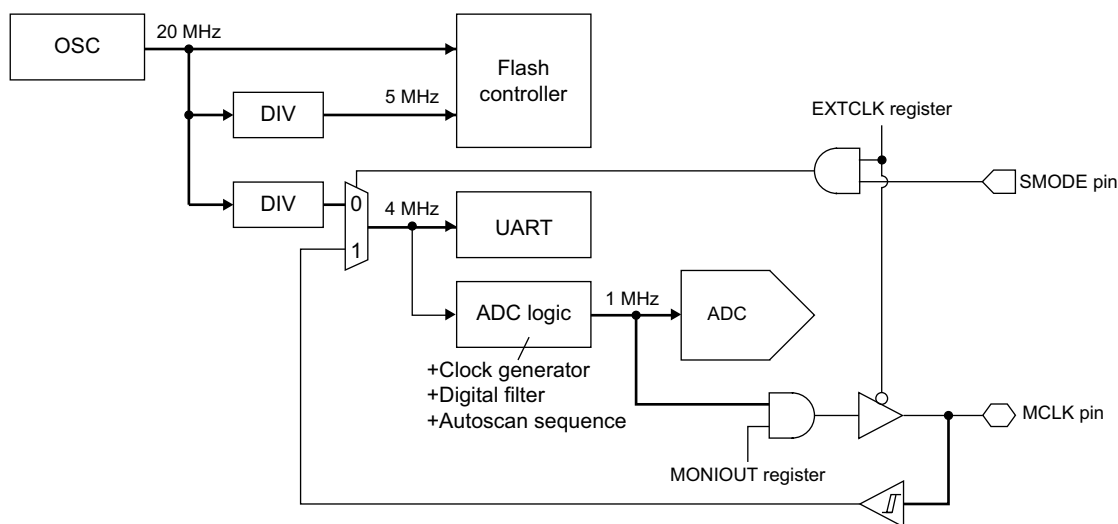


図 10.2 クロックの構成

備考 MONIOUT, EXTCLKについては、**10.3 クロックを制御するレジスタ**を参照してください。

10.3 クロックを制御するレジスタ

クロックを構成する際には、次のレジスタを使用します。

- クロック／UART 制御レジスタ (UARTCNT)

(1) クロック／UART 制御レジスタ (UARTCNT)

UART 通信のパラメータを設定、また、クロックの構成を制御するレジスタです。

リセット信号の発生により、00H になります。

アドレス：08H リセット時：00H R/W

	7	6	5	4	3	2	1	0
UARTCNT	EXTCLK	MONIOUT	DIFFOUT	STB	EPS	PEN	TXBR	RXBR

MONIOUT	MCLK 端子の出力モニターの設定
0	モニター無効 (初期値)
1	モニター有効

EXTCLK	A/D コンバータへの外部クロック入力の制御
0	外部クロック無効 (初期値)
1	外部クロック有効

備考 MONIOUT = 0 の場合、MCLK 端子の出力はロウ・レベルに固定されます (IC 内部で DGND にプルダウンされます)。未使用時の場合は、1.4 **未使用端子の処理**を参照してください。

11. 温度センサ

11.1 概要

RAA730101 は、温度センサ回路を 1ch 内蔵しています。温度センサ回路の出力は、入力マルチプレクサ 5 を通り、プログラマブルゲイン計装アンプを経由して、A/D コンバータに入力します。

11.2 温度センサを制御するレジスタ

温度センサ回路では、次の 6 種類のレジスタを使用します。

- A/D コンバータ制御レジスタ (ADCCNT)
- 入力マルチプレクサ 5 A/D 変換設定レジスタ 1 (CH5CNT1)
- 入力マルチプレクサ 5 A/D 変換設定レジスタ 3 (CH5CNT3)
- A/D 変換結果レジスタ 1 (ADCC)
- A/D 変換結果レジスタ 2 (ADCH)
- A/D 変換結果レジスタ 3 (ADCL)

詳細は、**4.3 16 ビット $\Delta\Sigma$ A/D コンバータを制御するレジスタ**を参照してください。

12. パワーオン・リセット (POR) 回路

12.1 概要

RAA730101 は、パワーオン・リセット (POR) 回路を内蔵しています。POR 回路は、電源回路の一部として組み込まれ、LDO レギュレータ (AREG, CREG) の出力電圧を監視/検出します。POR 回路は、AREG (バイパス時は, R_{VDD}) の出力電圧を監視/検出する回路 (ADET) と、CREG の出力電圧を監視/検出する回路 (CDET) で構成されます。動作の詳細は、12.4 パワーオン・リセット (POR) 回路の動作を参照してください。

12.2 ブロック図

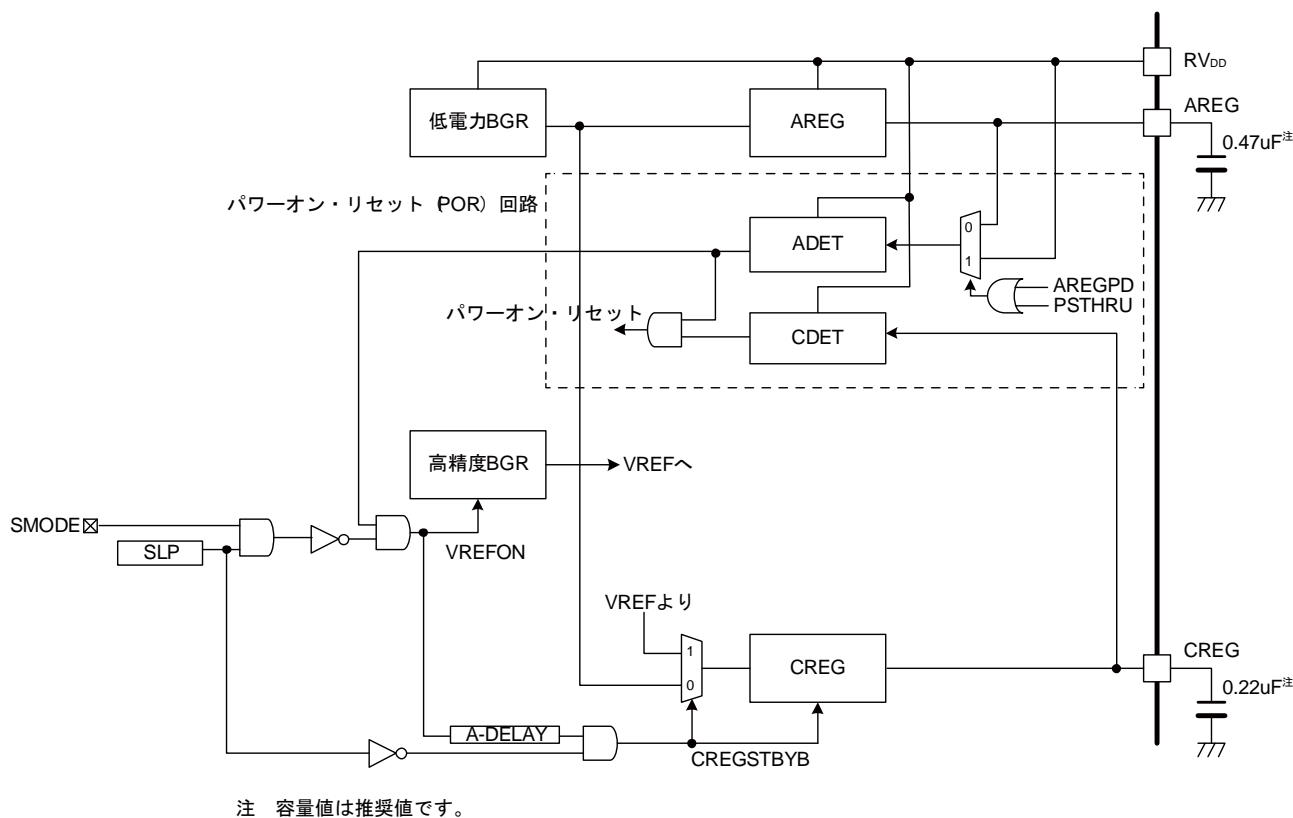


図 12.1 パワーオン・リセット (POR) 回路のブロック図

12.3 パワーオン・リセット (POR) 回路を制御するレジスタ

パワーオン・リセット (POR) 回路では、次のレジスタを使用します。

- パワー／モード制御レジスタ (CHIPCNT)

(1) パワー／モード制御レジスタ (CHIPCNT)

AREG (バイパス時は, R_{VDD}) の出力電圧を監視／検出する回路 (ADET) の、監視／検出先の切り替えを制御します。リセット信号の発生により、00H になります。詳細は、12.4 パワーオン・リセット (POR) 回路の動作を参照して下さい。

アドレス : 01H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
CHIPCNT	0	0	PSTHRU	AREGPD	0	0	SENSPD	SLP

PSTHRU	AREGPD	AREG の動作	ADET の監視／検出先
0	0	通常動作	AREG からの出力電圧
1	0	動作停止	R_{VDD} への印加電圧
*	1	動作停止	R_{VDD} への印加電圧

注意 ビット 7, 6, 3, 2 は、書き換え不可です (読み出すと常に 0 を返します)。

備考 * : don't care

12.4 パワーオン・リセット (POR) 回路の動作

POR 信号は、ADET と CDET の両回路の検出結果で生成されます。両方の回路が解除電圧より高い電圧を検出すると、POR 信号がハイ・レベルになり、内部ブロックがアクティブになります。いずれか一方の検出回路が検出電圧より低い電圧を検出すると、POR 信号がロウ・レベルになり、内部ブロックがリセットされます。

パワー／モード制御レジスタ (CHIPCNT) の AREGPD ビット、PSTHRU ビットは、ADET の監視／検出先の切り替えを制御します。AREGPD ビットに 1、もしくは、PSTHRU ビットに 1 が書き込まれると、ADET の監視／検出先は AREG の出力電圧から R_{VDD} への印加電圧に切り替わります。

また、パワー／モード制御レジスタ (CHIPCNT) の SLP ビットに 1 が書き込まれ、電源回路がスリープ・モードに移行したとしても、POR 回路は通常動作となります。詳細は、8. 電源回路を参照してください。

13. フラッシュ・メモリ

13.1 概要

RAA730101 は、接続したセンサの ID、センサを初期化した値、またはセンサの補正值、センサに対する RAA730101 内蔵回路のレジスタ設定など、RAA730101 に接続するセンサに固有な情報を保存するため、256 バイトのフラッシュ・メモリを実装しています。

アドレス空間の下位 32 バイトは「レジスタ・シャドウ」として定義され、レジスタにコピーしたいデータを格納することができます。レジスタ・シャドウに格納したデータは、パワーオン後の起動シーケンスの中で、レジスタ・シャドウからレジスタへコピーされます。また、起動シーケンス中ではなく、通常動作時においても要求に応じて、SPI 通信または UART 通信のコマンドを用いてレジスタにコピーすることができます。

リード/ライト・アクセスは 1 バイト単位で可能ですが、消去は全データに対し一度に実行されます。

A/D 変換実行中 (ADSTART = 1) のフラッシュ・メモリ・プログラミングは禁止です。スリープ・モード時 (SLP = 1) のフラッシュ・メモリ・プログラミングも禁止です。

動作の詳細は、13.3 起動 (パワーオン) シーケンスを参照してください。

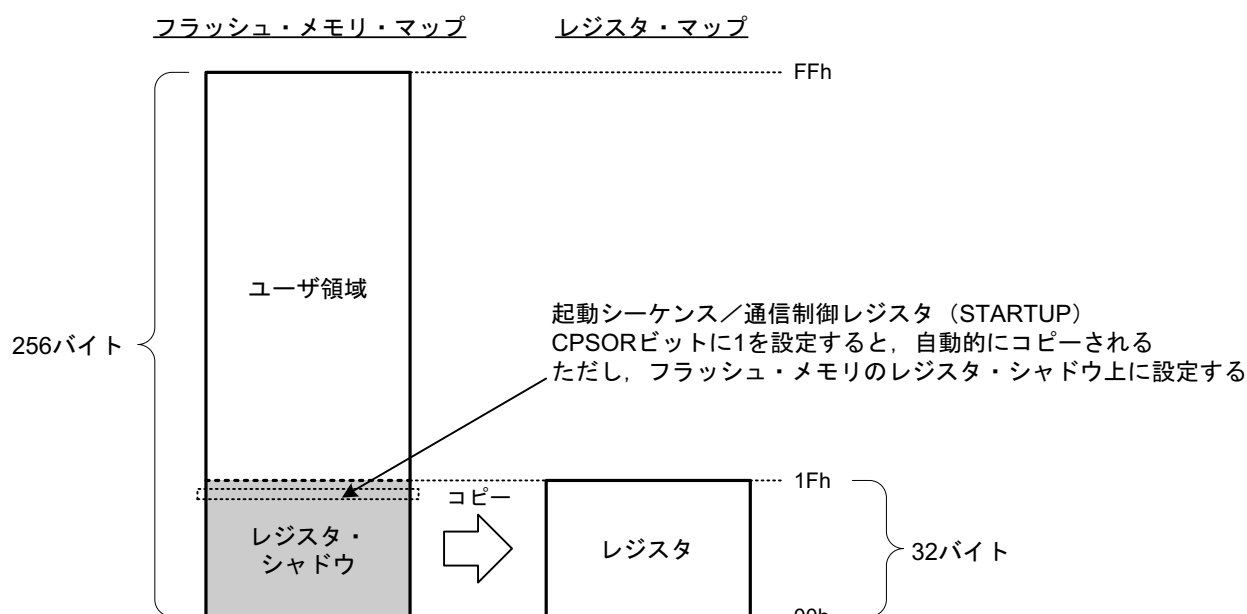


図 13.1 アドレス領域

- 注意 1. フラッシュ・メモリ・プログラミングは、フラッシュ・メモリのデータ消去／書き込みを示します。
2. フラッシュ・メモリ消去後から 30 日を過ぎた場合、再び、フラッシュ・メモリの消去を実施し、そのうえで必要なデータを書き込んでください。

13.2 フラッシュ・メモリを制御するレジスタ

フラッシュ・メモリでは、次のレジスタを使用します。

- 起動シーケンス／通信制御レジスタ (STARTUP)

(1) 起動シーケンス／通信制御レジスタ (STARTUP)

起動シーケンス中のフラッシュ・メモリへのアクセスや、通信仕様の設定を制御します。リセット信号の発生により、00H になります。詳細は、13.3 起動 (パワーオン) シーケンスを参照して下さい。

リード・オンリーのレジスタなので、SPI 通信や UART 通信のコマンドにより、レジスタを書き換えることはできません。しかしながら、起動シーケンスの中で、フラッシュ・メモリのレジスタ・シャドウからレジスタへコピーされる際に更新され、更新された値が有効となります。

また、TGLSM ビットには、必ず、TGLSM = 0 を設定してください。TGLSM についても、フラッシュ・メモリのレジスタ・シャドウからレジスタへコピーされる際に更新され、更新された値が有効となります。

アドレス : 1FH リセット時 : 00H R/-

	7	6	5	4	3	2	1	0
STARTUP	0	0	0	TGLSM	0	0	SDCOR	CPSOR

CPSOR	レジスタ・シャドウからレジスタへのデータコピーの制御
0	動作禁止
1	動作許可

SDCOR	UART 通信を介して外部デバイスへのデータ送信の制御
0	動作禁止
1	動作許可

TGLSM	SMODE 端子機能の制御
0	SMODE = 0 のとき UART 通信, SMODE = 1 のとき SPI 通信となります。
1	設定禁止

注意 ビット 7, 6, 5, 3, 2 は、書き換え不可です (読み出すと常に 0 を返します)。

13.3 起動（パワーオン）シーケンス

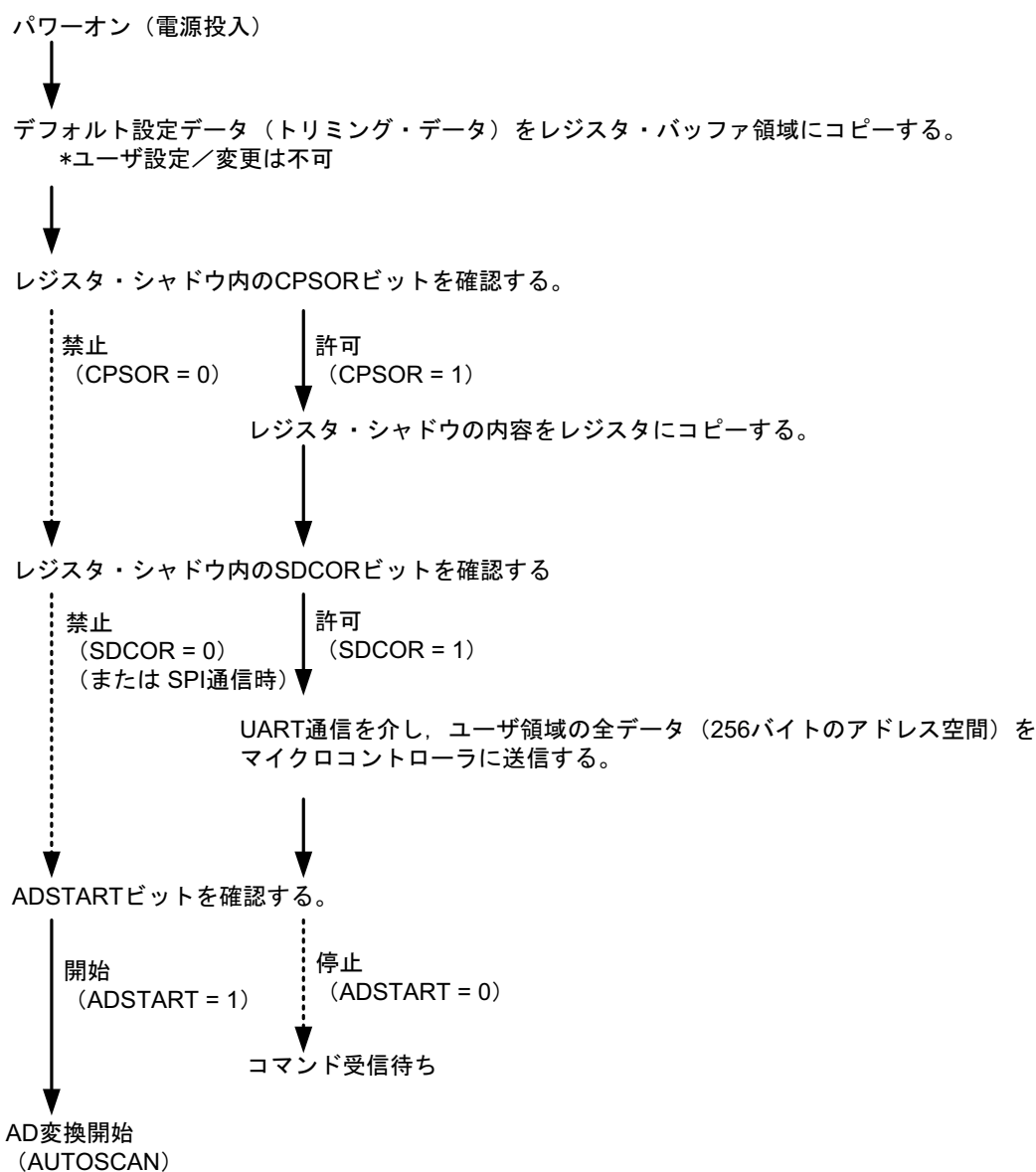


図 13.2 起動（パワーオン）シーケンス

パワーオン・リセット後、トリミング・データなどRAA730101のデフォルト設定データが、レジスタ・バッファ領域に自動的にコピーされます（デフォルト設定データの自動コピーは、必ず実行されます）。デフォルト設定データは、通常動作中にSPI通信やUART通信のコマンドを用い、レジスタ・バッファ領域にコピーすることも可能です。詳細は、5 SPI、6 UARTを参照してください。

次に、レジスタ・シャドウに書き込まれたCPSORビットを確認し、CPSOR = 1の場合、レジスタ・シャドウからレジスタへのコピーを実行します。続いて、レジスタ・シャドウに書き込まれたSDCORビットを確認し、SDCOR = 1の場合、フラッシュ・メモリのユーザー領域にある全256バイトのデータを、RAA730101と接続するマイクロ・コントローラへUART通信を介して送信します（SPI通信の場合は、送信されません）ここまでは、パワーオン・リセット後、自動的に実行されます。

パワーオン・リセット後の起動から最初の A/D 変換開始までの間に、プログラミング・ウィンドウ期間が設けてあり、この期間のみ、フラッシュ・メモリ・プログラミングが可能です。

ADSTART = 1 を設定し、A/D 変換が開始されると、フラッシュ・メモリ・プログラミングが不可となります。これにより、動作中の意図しないデータの消去と書き換えを防ぎます。フラッシュ・メモリ・プログラミングは、パワーオン・リセット (POR) が発生すると、再び可能となります。

ただし、上記の動作は、SPI 通信や UART 通信のコマンドによって ADSTART = 1 を設定した場合に限ります。ADSTART = 1 の設定が、レジスタ・シャドウからレジスタへコピーされただけでは、フラッシュ・メモリ・プログラミングが不可にはなりません。

- 注意 1. フラッシュ・メモリ・プログラミングは、フラッシュ・メモリのデータ消去／書き込みを示します。
2. レジスタ・シャドウからレジスタへのコピー機能を使用する際は、**6.6 UART 使用時の注意事項**も合わせて参照してください。

13.4 フラッシュ・メモリを制御するコマンド

13.4.1 SPI コマンドによるフラッシュ・メモリの制御

表 13.1 SPI コマンド一覧

No.	名称	コマンド				拡張	詳細
		C7	C6	C5	C4-C0	E7-E0	
1	Register Read	0	0	1	アドレス : 00h-1Fh	-	レジスタから1バイト分のデータを読み出します。
2	Register Write	1	0	1	アドレス : 00h-1Fh	-	レジスタに1バイト分のデータを書き込みます
3	Register Burst Read	0	0	0	データ長 1xxxx ^{注1}	先頭アドレス 00h-1Fh	レジスタからデータ長分のデータを連続的に読み出します。 (指定された先頭アドレスより)
4	Register Burst Write	1	0	0	データ長 1xxxx ^{注1}	先頭アドレス 00h-1Fh	レジスタにデータ長分のデータを連続的に書き込みます。 (指定された先頭アドレスより)
5	Register All Write from Flash	1	0	0	01111	-	フラッシュ・メモリのレジスタ・シャドウに格納された全データをレジスタへコピーします。
6	Buffer Refresh	1	0	0	01100	-	デフォルト・設定データをレジスタ・バッファ領域にコピーします。
7	Flash (Burst) Read ^{注3}	0	1	0	11111	先頭アドレス 00h-FFh	フラッシュ・メモリからデータを読み出します。読み出しの先頭アドレスを指定します。 (1つ目のコマンド)
		0	1	0	11100	データ長 00h-FFh ^{注2}	フラッシュ・メモリからデータを読み出します。読み出すデータのデータ長を指定します。 (2つ目のコマンド)
8	Flash Write	1	1	0	11111	アドレス : 00h-FFh	フラッシュ・メモリに1バイト分のデータを書き込みます。
9	Flash All Erase ^{注3}	1	1	1	11010	-	フラッシュ・メモリの全データを消去します。 (1つ目のコマンド)
		1	1	1	01011	-	フラッシュ・メモリの全データを消去します。 (2つ目のコマンド)

注 1. データ長 = “C3-C0 の値” +1 (最大 16 バイト)

2. データ長 = “E7-E0 の値” +1 (最大 256 バイト)

3. フラッシュ・リード (フラッシュ・バースト・リード) , 及び, データ消去には, 2 コマンドによる連続アクセスが必須です。

13.4.2 UART コマンドによるフラッシュ・メモリの制御

表 13.2 UART コマンド一覧

No.	名称	コマンド				拡張	詳細
		C7	C6	C5	C4-C0	E7-E0	
1	Register Read	0	0	1	アドレス : 00h-1Fh	-	レジスタから1バイト分のデータを読み出します。
2	Register Write	1	0	1	アドレス : 00h-1Fh	-	レジスタに1バイト分のデータを書き込みます
3	Register Burst Read	0	0	0	データ長 1xxx ^{注1}	先頭アドレス 00h-1Fh	レジスタからデータ長分のデータを連続的に読み出します。 (指定された先頭アドレスより)
4	Register Burst Write	1	0	0	データ長 1xxx ^{注1}	先頭アドレス 00h-1Fh	レジスタにデータ長分のデータを連続的に書き込みます。 (指定された先頭アドレスより)
5	Register All Write from Flash	1	0	0	01111	-	フラッシュ・メモリのレジスタ・シャドウに格納された全データをレジスタへコピーします。
6	Buffer Refresh	1	0	0	01100	-	デフォルト・設定データをレジスタ・バッファ領域にコピーします。
7	Flash (Burst) Read ^{注3}	0	1	0	11111	先頭アドレス 00h-FFh	フラッシュ・メモリからデータを読み出します。読み出しの先頭アドレスを指定します。(1つ目のコマンド)
		0	1	0	11100	データ長 00h-FFh ^{注2}	フラッシュ・メモリからデータを読み出します。読み出すデータのデータ長を指定します。(2つ目のコマンド)
8	Flash Write	1	1	0	11111	アドレス 00h-FFh	フラッシュ・メモリに1バイト分のデータを書き込みます。
9	Flash All Erase ^{注3}	1	1	1	11010	-	フラッシュ・メモリの全データを消去します。(1つ目のコマンド)
		1	1	1	01011	-	フラッシュ・メモリの全データを消去します。(2つ目のコマンド)
10	ポー・レートの補正	0	0	0	00000	-	ポー・レートを補正します。 (UART通信のみ対応)
11	再送信要求	0	0	0	01111	-	前回の送信メッセージの再送信を要求します。(UART通信のみ対応)

注 1. データ長 = “C3-C0 の値” + 1 (最大 16 バイト)

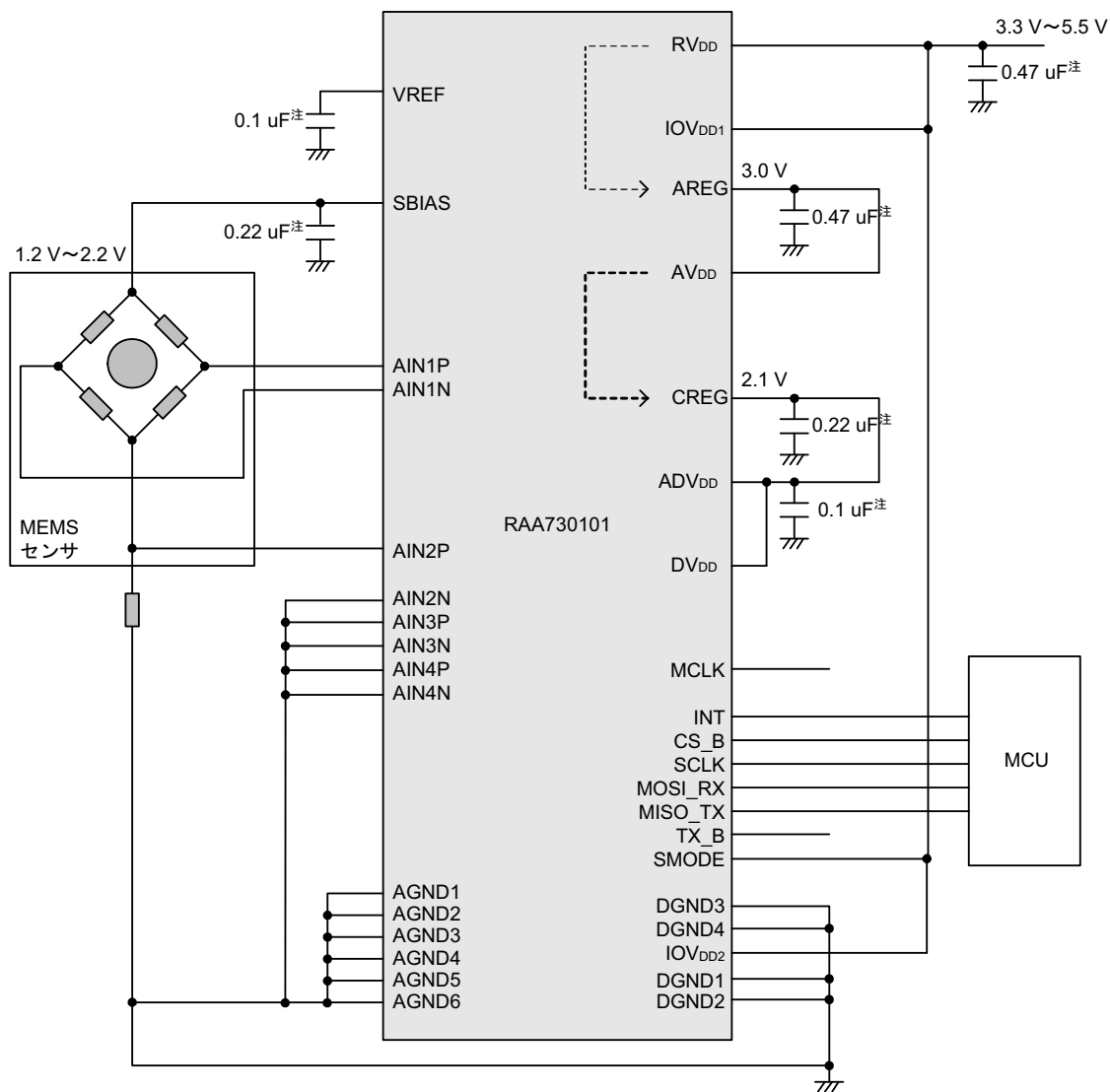
2. データ長 = “E7-E0 の値” + 1 (最大 256 バイト)

3. フラッシュ・リード (フラッシュ・バースト・リード), 及び, データ消去には, 2 コマンドによる連続アクセスが必須です。

14. 応用例

SPI双方向用途

- * RV_{DD}, IOV_{DD}は外部接続
- * AV_{DD}はAREGより供給
- * AIN1P, AIN1N端子：差動入力
- * AIN2P端子：シングルエンド入力
- * AIN2N, AIN3P, AIN3N, AIN4P, AIN4N端子：未使用

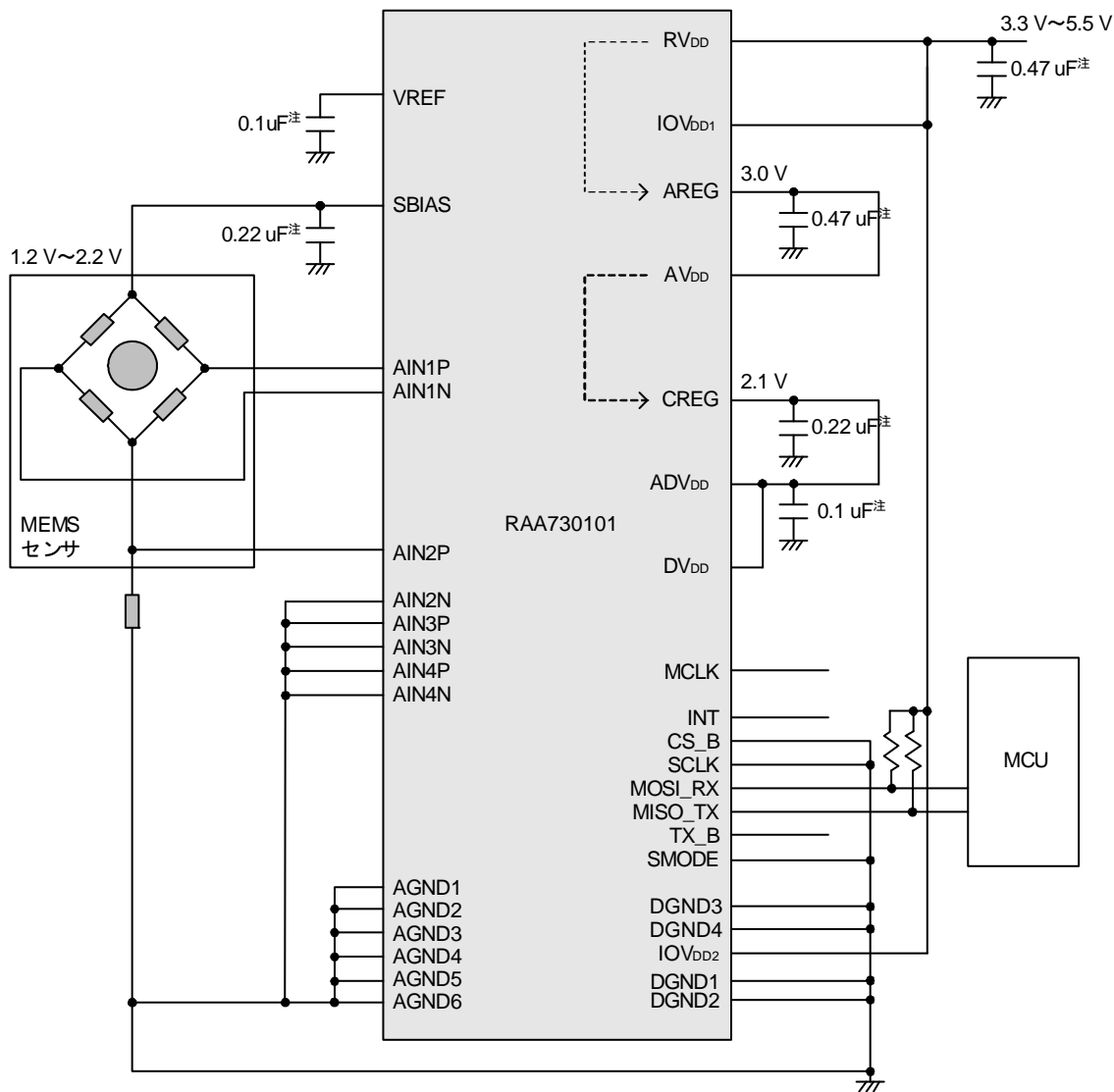


注 容量値は推奨値です。

図 14.1 センサ及びマイクロコントローラとの接続例 (SPI 通信時)

UART双方向用途

- * RV_{DD}, IOV_{DD1}は外部接続
- * AV_{DD}はAREGより供給
- * AIN1P, AIN1N端子：差動入力
- * AIN2P端子：シングルエンド入力
- * AIN2N, AIN3P, AIN3N, AIN4P, AIN4N端子：未使用



注 容量値は推奨値です。

図 14.2 センサ及びマイクロコントローラとの接続例 (UART 通信時)

15. 電気的特性

本節に記載された電気的特性データは、特に指定の無い限り、次の条件下でのデータとなります。

- 温度範囲は、 $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ (125°C品) , $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ (105°C品) となります。
- 各電源電圧範囲は、**15.2 動作条件**で示した値を満たします。
- Typ.値は、 $T_A = 25^{\circ}\text{C}$ 時の値です。
- 差動入力モード、 $F_S = 1 \text{ MHz}$, $F_{\text{DATA}} = 3.90625 \text{ ksps}$, $S_{\text{BIAS}} = 1.2 \text{ V}$, $d_{\text{OFR}} = 0 \text{ mV}$, $\text{EXTCLK} = 0$, $V_{\text{COM}} = 0.9 \text{ V}$ です。

15.1 絶対最大定格

項目	略号	条件	定 格	単 位
電源電圧	V _{DD1}	RV _{DD} , AV _{DD} , IOV _{DD}	-0.3~+6.5	V
	V _{DD2}	ADV _{DD} , DV _{DD}	-0.3~+2.8	V
	V _{SS}	AGND, DGND	-0.3~+0.3	V
入力電圧	V _{I2}	AIN1P, AIN1N, AIN2P, AIN2N, AIN3P, AIN3N, AIN4P, AIN4N	-0.3~AV _{DD} +0.3 ^注	V
	V _{I1}	CS_B, SCLK, MOSI_RX, SMODE, MCLK	-0.3~IOV _{DD} +0.3 ^注	V
出力電圧	V _{O1}	AREG	-0.3~RV _{DD} +0.3 ^注	V
	V _{O2}	CREG, SBIAS, VREF	-0.3~AV _{DD} +0.3 ^注	V
	V _{O3}	MISO_TX, TX_B, INT, MCLK	-0.3~IOV _{DD} +0.3 ^注	V
ロウ・レベル出力電流	I _{oL}	MISO_TX	10	mA
動作周囲温度	T _A	通常動作時 (125°C品)	-40~+125	°C
		通常動作時 (105°C品)	-40~+105	°C
		フラッシュ・メモリ・プログラミング時 (125°C品, 105°C品)	10~85	°C
保存温度	T _{STG}		-55~+150	°C

注 6.5 V 以下であること。

15.2 動作条件

項目	略号	条件	Min.	Typ.	Max.	単位
レギュレータ用電源電圧範囲	RV _{DD}	AREG : 通常動作時	3.3	5.0	5.5	V
		AREG : 動作停止時	2.7	3.0	3.6	V
アナログ回路用電源電圧範囲	AV _{DD}		2.7	3.0	3.6	V
A/Dコンバータ用電源電圧範囲	ADV _{DD}		2.0	2.1	2.2	V
デジタル回路用電源電圧範囲	DV _{DD}		2.0	2.1	2.2	V
入出力用電源電圧範囲	IOV _{DD}	RV _{DD} ≥ IOV _{DD} ^{注1}	2.7	5.0	5.5	V
フラッシュ・メモリ・プログラミング電圧範囲1	V _{FP1}	V _{FP1} = IOV _{DD} の時 ^{注2}	4.5		5.5	V
フラッシュ・メモリ・プログラミング電圧範囲2	V _{FP2}	V _{FP2} = RV _{DD} の時 ^{注3}	4.6		5.5	V

- 注 1. RV_{DD} ≥ IOV_{DD} となるようにしてください。
 2. 電源供給構成の構成 1 または構成 3 のとき。
 3. 電源供給構成の構成 2 かつ PSTHRU = 1 のとき。

注意 フラッシュ・メモリ・プログラミングは、フラッシュ・メモリのデータ消去／書き込みを示します。

15.3 電源電流特性

項目	略号	条件	Min.	Typ.	Max.	単位
スリープ・モード時の消費電流 (アナログ回路+ デジタル回路の総計)	I _{DD} S1	SMODE = 1, SLP = 1, AREGPD = 0		3	20	μA
	I _{DD} S2	SMODE = 1, SLP = 1, AREGPD = 1		1.5	15	μA
	I _{DD} S3	SMODE = 0, SLP = 1, AREGPD = 0		550	850	μA
アナログ電源電流 (RV _{DD} + AV _{DD} + ADV _{DD})	I _{DD} A1	A/D変換実施時 AREGPD = 0, SBIAS I _{OUT} = 0 mA		1.3	1.7	mA
	I _{DD} A2	SENSPD = 1, SLP = 0, AREGPD = 0		0.35	0.5	mA
デジタル電源電流 (DV _{DD})	I _{DD} D1	A/D変換実施時		0.25	0.4	mA
	I _{DD} D2	フラッシュ・メモリ読み出し時 ^注		1.3	1.7	mA
フラッシュ・メモリ・プログラミング時の消費電流 (IOV _{DD} + DV _{DD})	I _{DD} F1	フラッシュ・メモリ書き込み時 10°C ≤ T _A ≤ 85°C		1.2	3	mA
	I _{DD} F2	フラッシュ・メモリ消去時 10°C ≤ T _A ≤ 85°C		1.2	2	mA

注 フラッシュ・メモリにデータが書き込まれた状態での電流値です。

注意 フラッシュ・メモリ・プログラミングは、フラッシュ・メモリのデータ消去／書き込みを示します。

15.4 各機能の電気的特性

15.4.1 プログラマブル・ゲイン計装アンプ, 16ビット $\Delta\Sigma$ A/Dコンバータ

アナログ入力 (差動入力モード時)

項目	略号	条件	Min.	Typ.	Max.	単位
フルスケール差動入力電圧範囲	V _{ID}	V _{ID} = (A _{INxP} - A _{INxN}) (x = 1, 2, 3, 4)		± 700 /G _{TOTAL}		mV
入力電圧範囲	V _I	A _{INxP} , A _{INxN} の各端子 (x = 1, 2, 3, 4)	0.2		1.6	V
同相入力電圧範囲	V _{COM}	d _{OFFR} = 0 mV設定時	0.2+(V _{ID} x G _{SET1})/2		1.6-(V _{ID} x G _{SET1})/2	V
入カインピーダンス	Z _{IN}		5			MΩ

アナログ入力 (シングルエンド入力モード時)

項目	略号	条件	Min.	Typ.	Max.	単位
入力電圧範囲	V _I	G _{set1} =1, G _{set2} =1	0.2		1.6	V
入カインピーダンス	Z _{IN}		5			MΩ

プログラマブル・ゲイン計装アンプ, 16ビット $\Delta\Sigma$ A/Dコンバータ (1/2)

項目	略号	条件	Min.	Typ.	Max.	単位
サンプリング周波数	F _S			1		MHz
出力データ・レート	F _{DATA}		(0.48828)		(15.625)	ksps
ゲイン設定範囲	G _{TOTAL}	G _{TOTAL} = G _{SET1} x G _{SET2}	1		32	V/V
第一ゲイン設定範囲	G _{SET1}			1, 2, 3, 4, 8		V/V
第二ゲイン設定範囲	G _{SET2}			1, 2, 4, 8		V/V
オフセット調整ビット範囲	d _{OFFB}			5		bit
オフセット調整範囲	d _{OFFR}	入力換算	-175 /G _{SET1}		+164 /G _{SET1}	mV
オフセットの調整ステップ	d _{OFFS}	入力換算		11/G _{SET1}		mV

備考 () で示した数値は設計目標値であり, 出荷テストは行いません。

プログラマブル・ゲイン計装アンプ, 16ビット $\Delta\Sigma$ A/Dコンバータ (2/2)

項目	略号	条件	Min.	Typ.	Max.	単位
ゲイン誤差	E _G		-10		10	%
ゲイン・ドリフト ^注	dE _G	G _{SET1} = 1, G _{SET2} = 1 SBIASドリフトを除く			(22)	ppm/°C
オフセット誤差	E _{OS}	G _{SET1} = 1, G _{SET2} = 1	-5		5	mV
オフセット・ドリフト ^注	dE _{OS}	G _{SET1} = 1, G _{SET2} = 1			(16)	μV/°C
SN比	SNR	G _{SET1} = 1, G _{SET2} = 1 MEMSノイズを除く	82	85		dB
同相信号除去比	CMRR	f _{in} = 50 Hz, G _{SET1} = 1, G _{SET2} = 1	40	60		dB
電源電圧変動除去比	PSRR	AV _{DD} = 3.0 V + 0.1 V _{pp} ripple f _{in} = 50 Hz, G _{SET1} = 1, G _{SET2} = 1	(60)	(70)		dB
A/Dコンバータの 入カクロック周波数	f _{ADC}	EXTCLK = 1	3.8	4	4.2	MHz

注 以下の式で、ゲイン・ドリフト、オフセット・ドリフトを算出します。

(125°C品の場合)

ゲイン・ドリフトの算出式: $(\text{MAX}(E_G(T_{(-40)} \sim T_{(125)})) - \text{MIN}(E_G(T_{(-40)} \sim T_{(125)}))) / (125^\circ\text{C} - (-40^\circ\text{C}))$

オフセット・ドリフトの算出式: $(\text{MAX}(E_{OS}(T_{(-40)} \sim T_{(125)})) - \text{MIN}(E_{OS}(T_{(-40)} \sim T_{(125)}))) / (125^\circ\text{C} - (-40^\circ\text{C}))$

MAX(E_G(T₍₋₄₀₎~T₍₁₂₅₎)) : -40°C から 125°C の温度範囲におけるゲイン誤差の最大値

MIN(E_G(T₍₋₄₀₎~T₍₁₂₅₎)) : -40°C から 125°C の温度範囲におけるゲイン誤差の最小値

MAX(E_{OS}(T₍₋₄₀₎~T₍₁₂₅₎)) : -40°C から 125°C の温度範囲におけるオフセット誤差の最大値

MIN(E_{OS}(T₍₋₄₀₎~T₍₁₂₅₎)) : -40°C から 125°C の温度範囲におけるオフセット誤差の最小値

(105°C品の場合)

ゲイン・ドリフトの算出式: $(\text{MAX}(E_G(T_{(-40)} \sim T_{(105)})) - \text{MIN}(E_G(T_{(-40)} \sim T_{(105)}))) / (105^\circ\text{C} - (-40^\circ\text{C}))$

オフセット・ドリフトの算出式: $(\text{MAX}(E_{OS}(T_{(-40)} \sim T_{(105)})) - \text{MIN}(E_{OS}(T_{(-40)} \sim T_{(105)}))) / (105^\circ\text{C} - (-40^\circ\text{C}))$

MAX(E_G(T₍₋₄₀₎~T₍₁₀₅₎)) : -40°C から 105°C の温度範囲におけるゲイン誤差の最大値

MIN(E_G(T₍₋₄₀₎~T₍₁₀₅₎)) : -40°C から 105°C の温度範囲におけるゲイン誤差の最小値

MAX(E_{OS}(T₍₋₄₀₎~T₍₁₀₅₎)) : -40°C から 105°C の温度範囲におけるオフセット誤差の最大値

MIN(E_{OS}(T₍₋₄₀₎~T₍₁₀₅₎)) : -40°C から 105°C の温度範囲におけるオフセット誤差の最小値

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

15.4.2 内部基準電圧生成回路 (VREF)

(C_{OUT} = 0.1 μF)

項目	略号	条件	Min.	Typ.	Max.	単位
出力電圧	V _{OUT}		0.76	0.8	0.84	V
ターンオン時間	T _{ON}	V _{OUT} > 90%			(550)	μs

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

15.4.3 センサ用電源回路 (SBIAS)

(C_{OUT} = 0.22 μF)

項目	略号	条件	Min.	Typ.	Max.	単位
出力電圧範囲	V _{OUT}		1.2		2.2	V
出力電圧の設定ステップ	V _{STEP}			0.1		V
出力電圧精度	V _A	0 mA ≤ I _{OUT} ≤ 5 mA	-5		+5	%
出力電流	I _{OUT}		5			mA
出力電流限度	I _{LIMIT}			(40)	(60)	mA
短絡回路電流	I _{SHORT}	V _{OUT} = 0 V		40	65	mA
負荷レギュレーション	L _R	0 mA ≤ I _{OUT} ≤ 5 mA			15	mV
電源電圧変動除去比	PSRR	AV _{DD} = 3.0 V + 0.1 V _{pp} ripple f = 100 Hz, I _{OUT} = 2.5 mA	(45)	(50)		dB
ターンオン時間	T _{ON}	V _{OUT} > 90%			(250)	μs
ターンオフ時間	T _{OFF}	V _{OUT} < 10%			(5)	ms

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

15.4.4 AREG (AV_{DD}/IOV_{DD} への電源供給回路)(C_{OUT} = 0.47 μF)

項目	略号	条件	Min.	Typ.	Max.	単位
出力電圧	V _{OUT}	0 mA ≤ I _{OUT} ≤ 50 mA	2.85	3	3.15	V
出力電流	I _{OUT}		50			mA
出力電流限度	I _{LIMIT}			(110)	(150)	mA
短絡回路電流	I _{SHORT}	V _{OUT} = 0 V		40	65	mA
負荷レギュレーション	L _R	1 mA ≤ I _{OUT} ≤ 50 mA			40	mV
電源電圧変動除去比	PSRR	RV _{DD} = 5.0 V + 0.1 V _{pp} ripple f = 100 Hz, I _{OUT} = 25 mA	(35)	(45)		dB
ターンオン時間	T _{ON}	RV _{DD} ≥ 3.3 V, V _{OUT} > 90%, I _{OUT} = 0 mA			(1800)	μs

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

15.4.5 CREG (ADV_{DD}/DV_{DD} への電源供給回路)(C_{OUT} = 0.22 μF, 通常動作時)

項目	略号	条件	Min.	Typ.	Max.	単位
出力電圧	V _{OUT}	0 mA ≤ I _{OUT} ≤ 20 mA	2	2.1	2.2	V
出力電流	I _{OUT}		20			mA
出力電流限度	I _{LIMIT}			(60)	(90)	mA
短絡回路電流	I _{SHORT}	V _{OUT} = 0 V		40	65	mA
負荷レギュレーション	L _R	1 mA ≤ I _{OUT} ≤ 20 mA			20	mV
電源電圧変動除去比	PSRR	AV _{DD} = 3.0 V + 0.1 V _{pp ripple} f = 100 Hz, I _{OUT} = 10 mA	(45)	(50)		dB
ターンオン時間	T _{ON}	V _{OUT} > 90%, I _{OUT} = 0 mA VREFターンオン時間を含む			(700)	μs
ターンオフ時間	T _{OFF}	V _{OUT} < 10%, I _{OUT} = 0 mA			(5)	ms
モード切替え時間1	T _{SW1}	通常動作→待機状態			(400)	μs
モード切替え時間2	T _{SW2}	待機状態→通常動作 VREFターンオン時間を除く			(150)	μs

備考 () で示した数値は設計目標値であり, 出荷テストは行いません。

(C_{OUT} = 0.22 μF, 待機状態時)

項目	略号	条件	Min.	Typ.	Max.	単位
出力電圧	V _{OUT}	0 mA ≤ I _{OUT} ≤ 2 mA	2	2.1	2.2	V
出力電流	I _{OUT}		2			mA

15.4.6 パワーオン・リセット (POR) 回路

ADET (AREG/RV_{DD} 電圧監視検出回路)

項目	略号	条件	Min.	Typ.	Max.	単位
解除電圧	V _{POR}	AREG出力電圧立ち上がり時	2.4	2.5	2.6	V
検出電圧1	V _{PDR1}	AREG出力電圧立ち下がり時 AREGPD = 0	2.2	2.3	2.4	V
検出電圧2	V _{PDR2}	RV _{DD} 入力電圧立ち下がり時 AREGPD = 1	2.2	2.3	2.4	V

CDET (CREG 電圧監視検出回路)

項目	略号	条件	Min.	Typ.	Max.	単位
解除電圧	V _{POR}	CREG出力電圧立ち上がり時	1.82	1.9	1.98	V
検出電圧	V _{PDR}	CREG出力電圧立ち下がり時	1.75	1.83	1.91	V

15.4.7 温度センサ回路

項目	略号	条件	Min.	Typ.	Max.	単位
センサ温度係数	TC _{SNS}		(-2.1)	(-1.8)	(-1.5)	mV/°C
センサ出力電圧	V _{TEMP}	T _A = 25°C	580	680	780	mV

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

15.4.8 内蔵システム・クロック（OSC）用発振回路

項目	略号	条件	Min.	Typ.	Max.	単位
クロック周波数	f _{OSC}		19	20	21	MHz

15.4.9 フラッシュ・メモリ

(10°C ≤ T_A ≤ 85°C, 4.5(4.6) V^注 ≤ IOV_{DD} ≤ RV_{DD} ≤ 5.5 V)

項目	略号	条件	Min.	Typ.	Max.	単位
消去時間	T _{ER}			(5)		ms
書き込み時間	T _{WR}			(100)		μs
書き換え回数	C _{EW}		(100)			回
データ保持	T _{DR}		(10)			年

注 電源供給構成に応じて、印加電圧を設定してください。詳細は、9 電源供給構成を参照してください。電圧範囲については、15.2 動作条件を参照してください。

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

15.4.10 デジタル入出力

項目	略号	条件	Min.	Typ.	Max.	単位
ハイ・レベル入力電圧	V _{IH}	CS_B, SCLK, MOSI_RX, SMODE MCLK (EXTCLK = 1)	0.7 x IOV _{DD}		IOV _{DD}	V
ロウ・レベル入力電圧	V _{IL}	CS_B, SCLK, MOSI_RX, SMODE MCLK (EXTCLK = 1)	0		0.3 x IOV _{DD}	V
ハイ・レベル出力電圧	V _{OH}	MISO_TX, TX_B, INT, MCLK, IOH = -1 mA, 2.7V ≤ IOV _{DD} ≤ 5.5 V	IOV _{DD} - 0.5		IOV _{DD}	V
ロウ・レベル出力電圧1	V _{OL1}	MISO_TX, TX_B, INT, MCLK, IOL = 1 mA, 2.7 V ≤ IOV _{DD} ≤ 5.5 V	0		0.4	V
ロウ・レベル出力電圧2	V _{OL2}	MISO_TX, IOL = 5 mA, 2.7 V ≤ IOV _{DD} ≤ 5.5 V	0		0.7	V
入力リーク電流	I _{INL}	CS_B, SCLK, MOSI_RX, SMODE MCLK (EXTCLK = 1)	-1		1	μA

15.5 SPI アクセス・タイミング

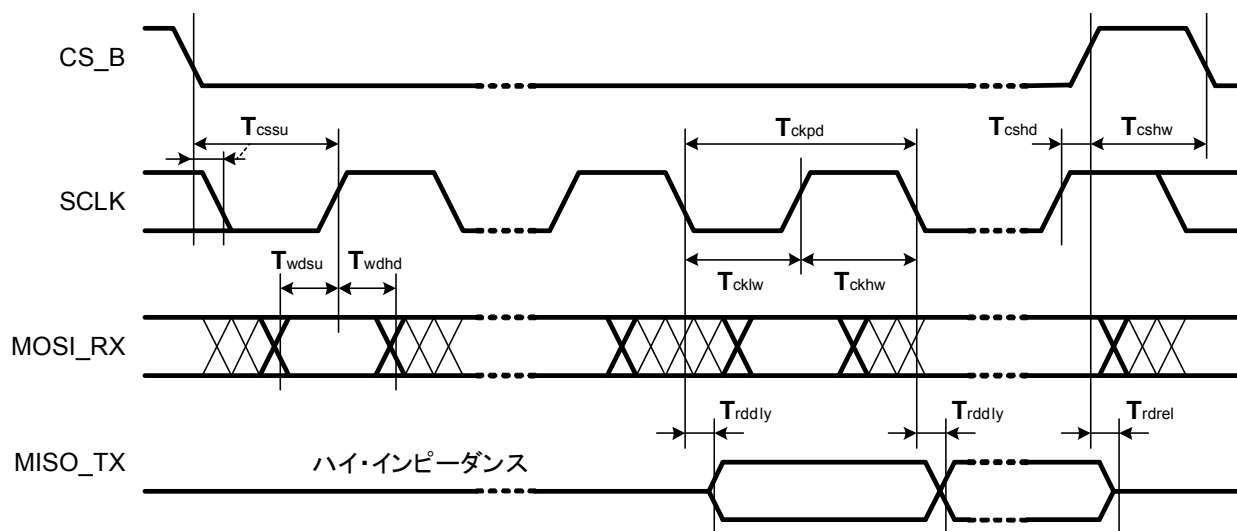


図 15.1 SPI アクセス・タイミング

IOV_{DD} = 2.7 V~5.5 V, C = 15 pF

略号	概要	Min.	Typ.	Max.	単位
T _{cssu}	CS_B立ち上がり→SCLK (最初の) 立ち下がり／立ち上がり	20			ns
T _{cshd}	SCLK立ち上がり→CS_B立ち上がり	20			ns
T _{cshw}	転送間CS_Bハイ・レベル幅	80			ns
T _{ckpd}	SCLKクロック周期	200 (500) ^注			ns
T _{ckhw}	SCLKハイ・レベル幅	80			ns
T _{cklw}	SCLKロウ・レベル幅	80			ns
T _{wdsu}	MOSI_RXセットアップ時間 (対SCLK↑)	20			ns
T _{wdhd}	MOSI_RXホールド時間 (対SCLK↑)	20			ns
T _{rdly}	SCLK立ち下がり→MISO_TX安定			40	ns
T _{rdrel}	CS_B立ち上がり→MISO_TX解放			40	ns

注 フラッシュ・メモリへのバースト・リード・アクセスは、最大 2 MHz です。

15.6 累積パワーオン時間／ウェイク・アップ時間

CPSOR = SDCOR = 0

	パワーオン時間 (μs)	ウェイク・アップ時間 (μs)	
		SPI通信時 (SMODE = 1)	UART通信時 (SMODE = 0)
シリアル通信準備完了まで	(3300)	-	-
A/D変換準備完了まで	(3570)	(820)	(270)
一回目のA/D変換が終了するまで	(3698 + 3T) 注	(948 + 3T) 注	(398 + 3T) 注
開始点	パワーオン	SLP = 1→0	

注 T: サンプリング期間 (= 1 / f_{OUT})

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

図 15.2 にパワーオンの、図 15.3 にウェイク・アップの状態遷移を示します。図 15.2, 図 15.3 に示した時間を参考に、パワーオン／ウェイク・アップの時間を見積もってください。実際にご使用になるシステムに応じ、マージンを見積もることも可能です。図中に示した各機能については、各節に記した詳細を参照してください。

図 15.2, 図 15.3 では、SBIAS の出力電圧が安定状態である期間中に、ADSTART = 1 を設定することを想定しています。その期間中に ADSTART = 1 を設定しない場合、実際の A/D 変換開始のタイミングは、ADSTART = 1 を設定するタイミングに応じて遅れます。

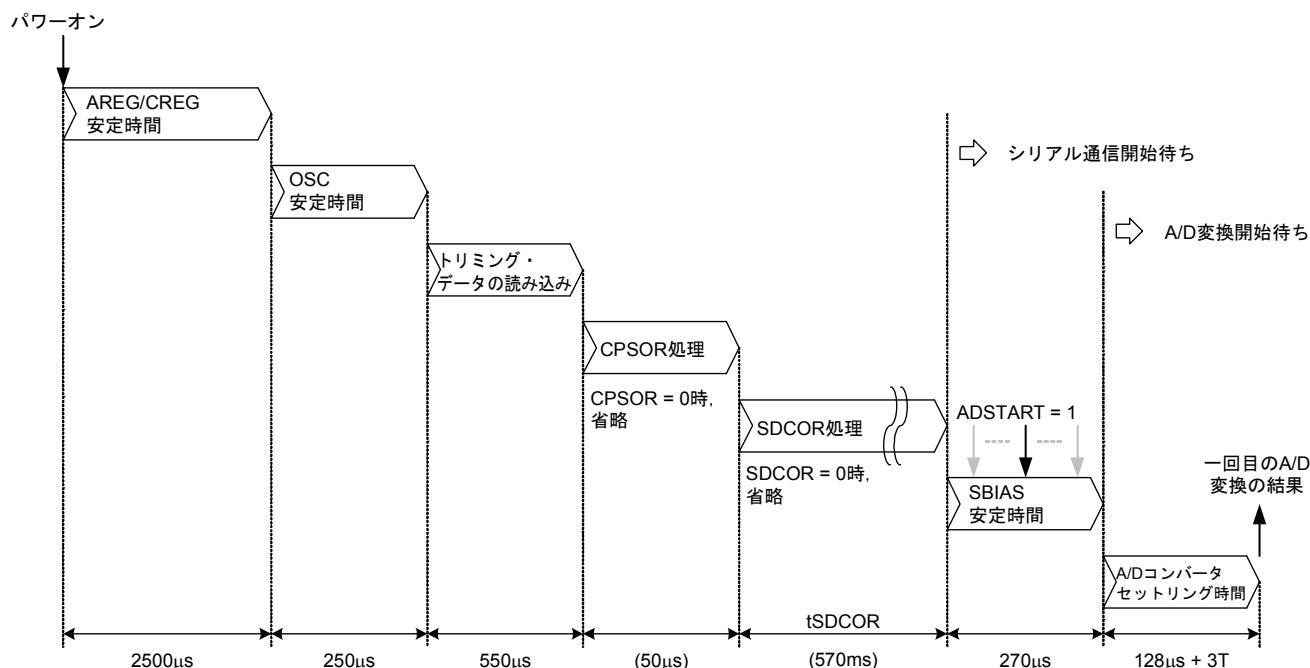


図 15.2 累積パワーオン時間

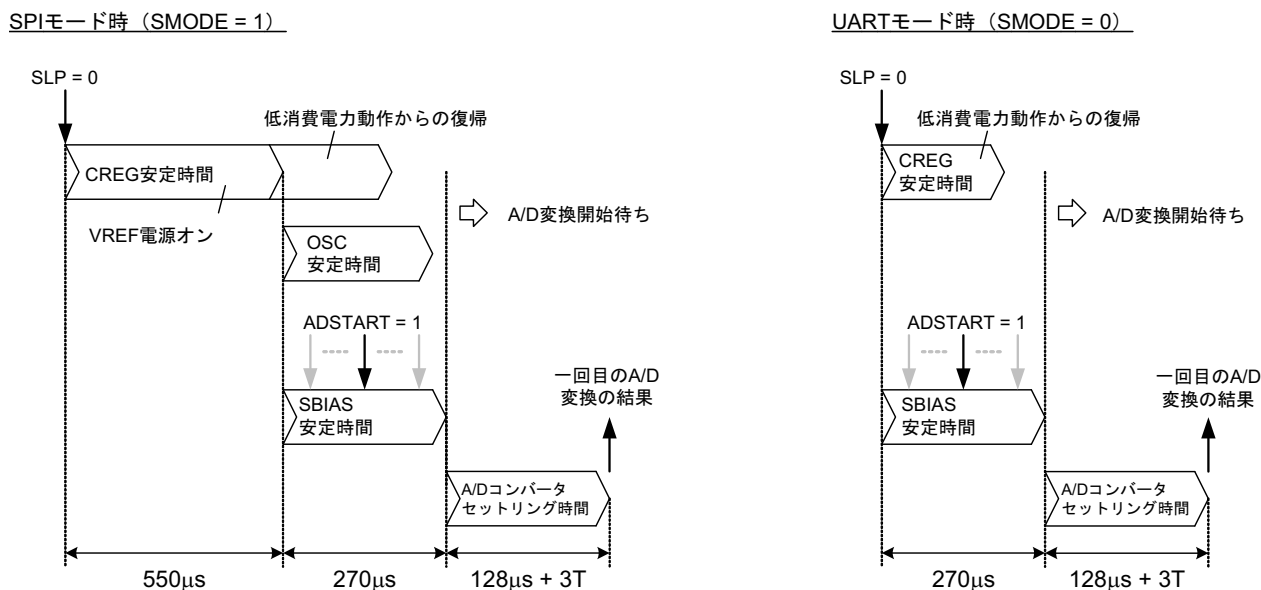


図 15.3 累積ウェイク・アップ時間

SDCOR 処理時間に関し、説明を補足します。

SDCOR 処理時間は、UART の設定により変わりますので、下記の式より算出します。

$$t_{SDCOR} [\text{秒}] = (1 / \text{ボー・レート}[\text{bps}]) \times \text{パケット長}[\text{ビット}] \times (256 + 4) [\text{パケット}]$$

図15.2では、ボー・レートが4.8kbps、パリティなし、ストップ・ビットのビット数1の場合を想定していますので、

$$t_{SDCOR} [\text{秒}] = (1 / 4800) \times 10 \times (256 + 4) = 0.54 [\text{秒}] \text{ となります。}$$

クロック周波数精度を考慮し、上記値に+5%程度のマージンを加算して、0.57 [秒] に設定します。

16. チップ識別

16.1 概要

RAA730101 は、チップ識別レジスタを搭載しています。

16.2 チップ識別を行うレジスタ

チップ識別では、次のレジスタを使用します。

- チップ識別レジスタ (CHIPID)

(1) チップ識別レジスタ (CHIPID)

チップ ID を格納した読み出し専用のレジスタです。初期値は、3AH になります。

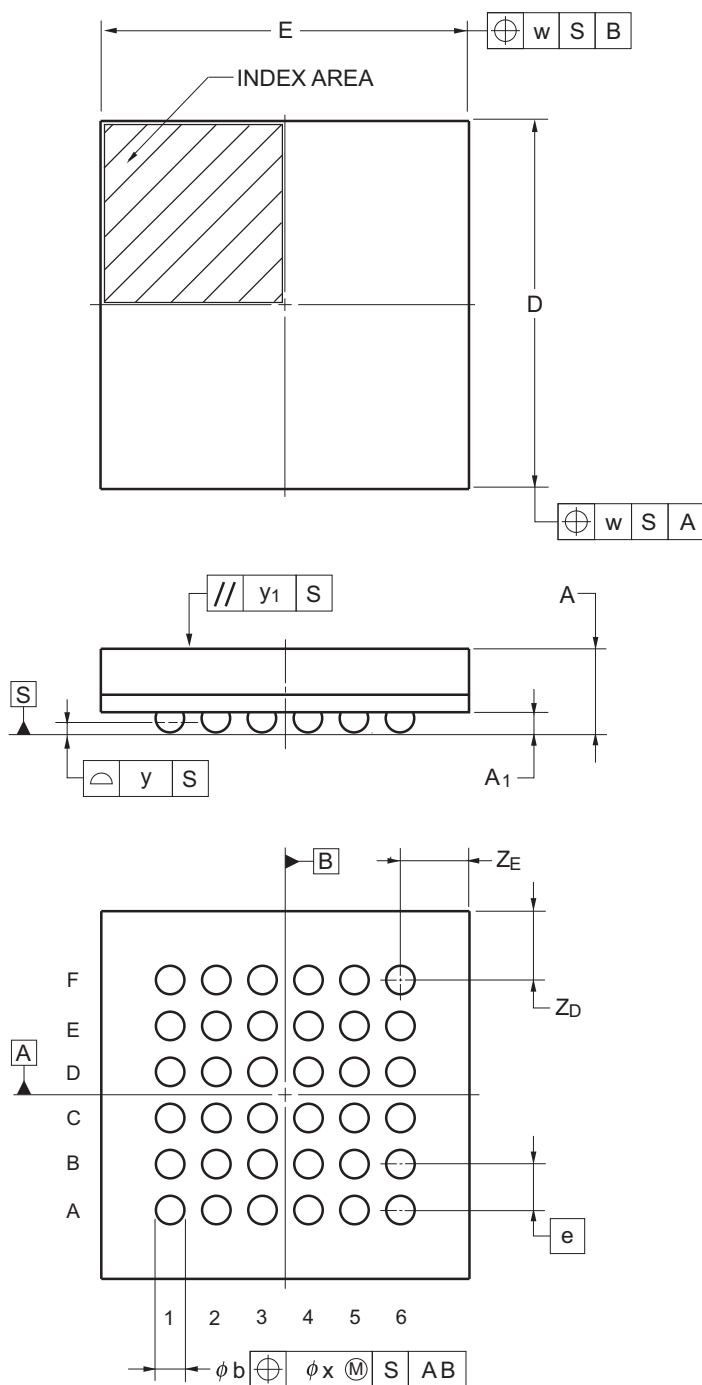
アドレス : 00H リセット時 : 3AH R/-

	7	6	5	4	3	2	1	0
CHIPID	0	0	1	1	1	0	1	0

17. PKG 外形图

4x4mm/36pin FBGA (0.50mm pitch)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-TFBGA36-4x4-0.50	PTBG0036KA-A	P36F1-50-AA6	0.027



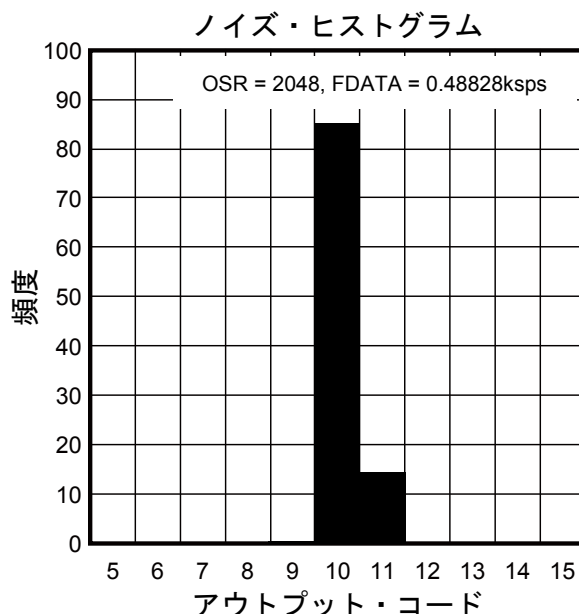
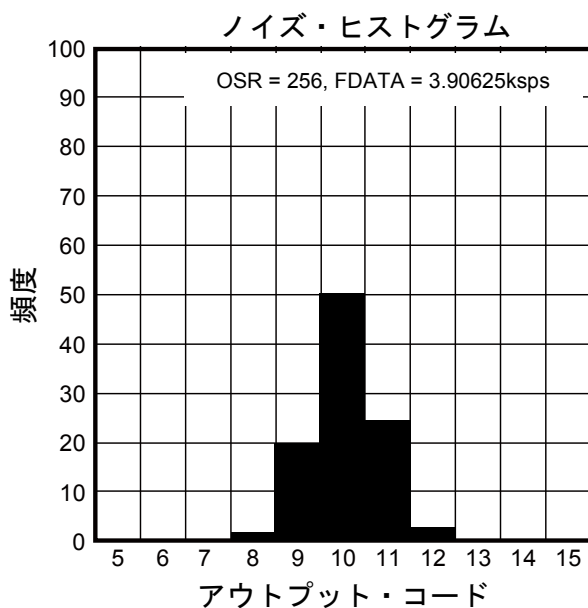
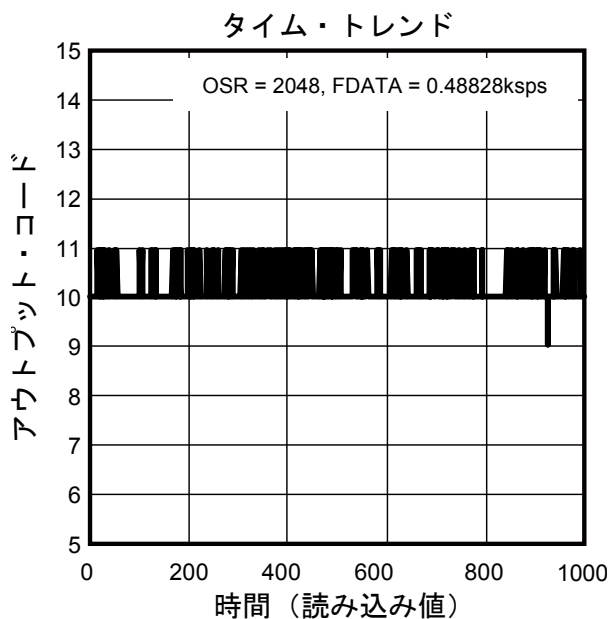
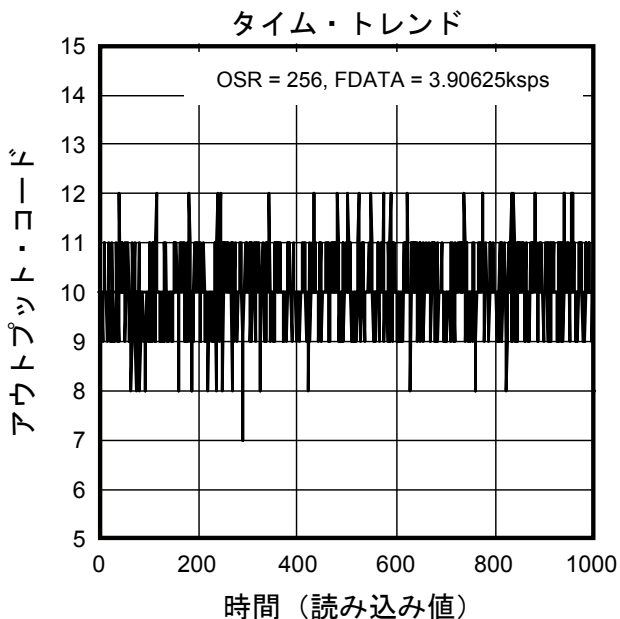
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	3.90	4.00	4.10
E	3.90	4.00	4.10
A	—	—	1.10
A ₁	0.17	0.22	0.27
\overline{e}	—	0.50	—
b	0.26	0.31	0.36
x	—	—	0.05
y	—	—	0.08
y ₁	—	—	0.20
Z _D	—	0.75	—
Z _E	—	0.75	—
w	—	—	0.20

© 2013 Renesas Electronics Corporation. All rights reserved.

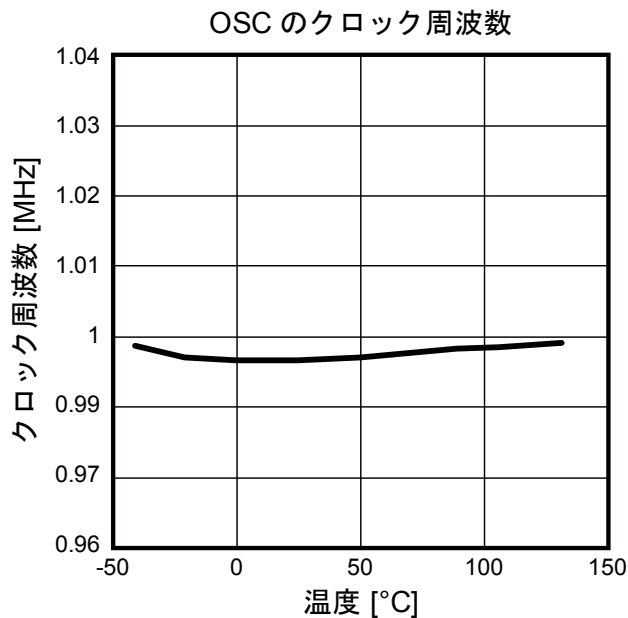
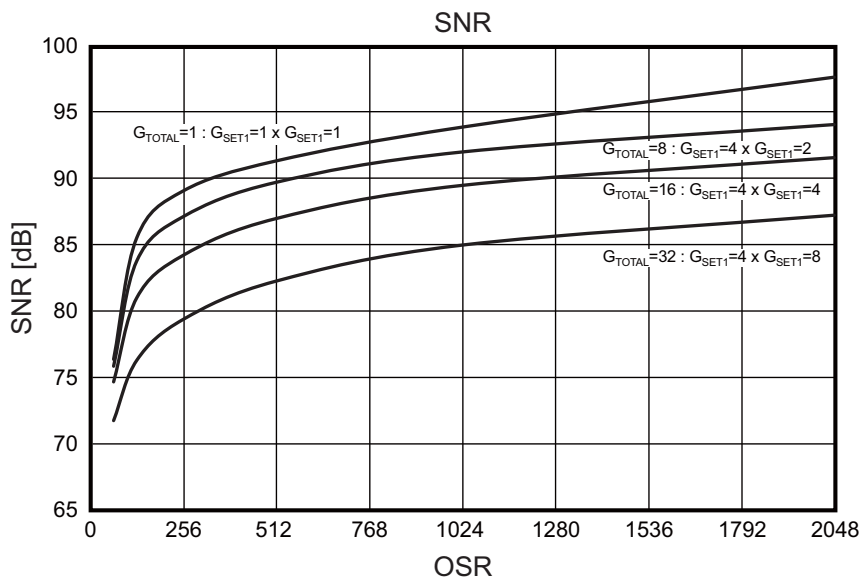
特性曲線 (TA = 25°C, TYP.) (参考値)

- プログラマブル・ゲイン計装アンプ, 16 ビット $\Delta\Sigma$ /D コンバータ

RV_{DD} = IOV_{DD} = 5.0V, AV_{DD} = 3.0V, ADV_{DD} = DV_{DD} = 2.1V,
 differential input mode, FS = 1MHz, SBIAS = 1.2V, d_{oFR} = 0mV, G_{TOTAL}=1

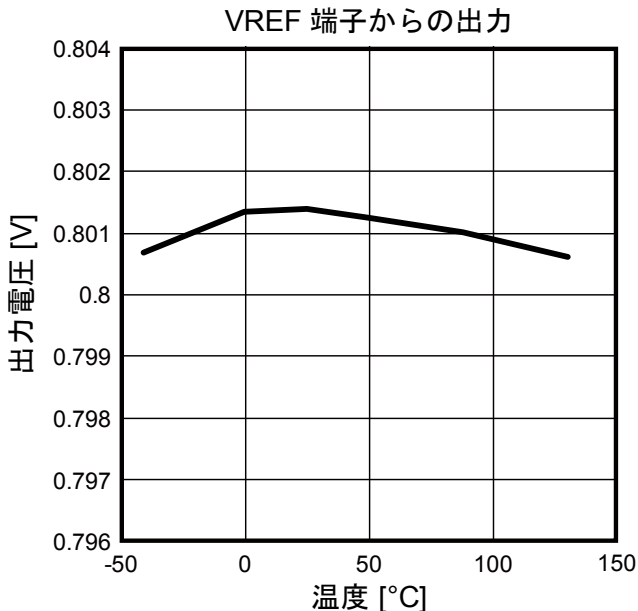


RV_{DD} = IOV_{DD} = 5.0V, AV_{DD} = 3.0V, ADV_{DD} = DV_{DD} = 2.1V, differential input mode, FS = 1MHz,
 FDATA = 3.90625ksps, SBIAS = 1.2V, doFR = 0mV, OSR = 256, G_{TOTAL}=1



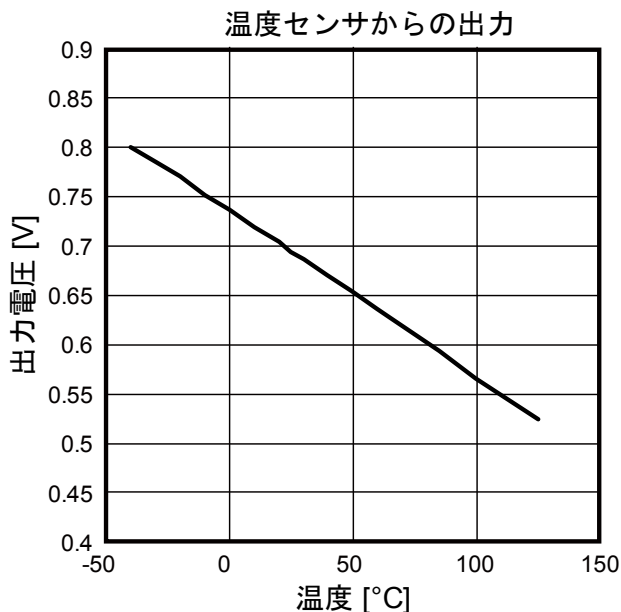
- 内部基準電圧回路 (VREF)

RV_{DD} = IOV_{DD} = 5.0V, AV_{DD} = 3.0V, ADV_{DD} = DV_{DD} = 2.1V, differential input mode, FS = 1MHz, FDATA = 3.90625ksps, SBIAS = 1.2V, d_{oFR} = 0mV, OSR = 256, G_{TOTAL}=1



- 温度センサ

RV_{DD} = IOV_{DD} = 5.0V, AV_{DD} = 3.0V, ADV_{DD} = DV_{DD} = 2.1V, differential input mode, FS = 1MHz, FDATA = 3.90625ksps, SBIAS = 1.2V, d_{oFR} = 0mV, OSR = 256, G_{TOTAL}=1



改訂記録	RAA730101 プログラマブル・ゲイン計装アンプ付き 16 ビット $\Delta \Sigma$ A/D コンバータ IC
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2013.09.30	-	初版草稿（翻訳版）
0.02	2013.11.30	-	初版発行
1.00	2014.03.31	7	1.1 端子レイアウト（Top View）に Top View と Bottom View の図を追加
		10	1.4 未使用端子の処理を変更
		22	図 4.2 誤記を訂正
		37, 38	図 5.1, 5.2, 5.3 各コマンドに対する SPI タイミング図を追加
		40-52	6. UART に関する記述の追加と修正
		50	6.6 UART 使用時の注意事項を追加
		58	図 7.3 タイミング図の変更
		92	図 14.2 接続例（UART 通信時）の変更
		93-103	15. 電気特性に関し、「（ターゲット）」を削除
		93-103	15. 125°C品、及び 105°C品の区分に関し記述を修正
		93	15.1 注に関する誤記を訂正
		97	15.4.3 条件に電流範囲を追加
		97	15.4.4 条件に電流範囲を追加
		98	15.4.5 条件に電流範囲を追加
		101	図 15.1 タイミング図の変更
104	16. チップ識別を追加		
1.10	2014.07.31	15	3.1 シングルエンド入力モード時のゲイン設定に関し記述を修正
		16	3.2 シングルエンド入力モード時のブロック図に（推奨）を追加
		17	3.3 図 3.2 入力電圧範囲のシングルエンド入力モードに(G _{TOTAL} =1)を追加
		18	3.3.2 シングルエンド入力モードおよび温度センサ入力モードの入力電圧範囲 G _{TOTAL} =1 の記載追加
		19	3.4 入力マルチプレクサ x (x=1~4) A/D 変換レジスタ 1 の注意事項を削除
		22	・ 図 4.2 シングルエンド入力モード時に (G _{TOTAL} =1) を追記 ・ 表 4.1 シングルエンド入力に (G _{TOTAL} =1) を追記 ・ A/D コンバータ入力電圧計算結果算出のシングルエンド入力モードに(G _{TOTAL} =1) を追記
		33	4.4 A/D コンバータの変換動作 AUTOSCAN シーケンス 例 1 変更
95	15.4.1 アナログ入力(シングルエンド入力モード時) 入力電圧範囲に条件追加		
2.00	2015.02.27	35	5.1 注意事項の参照に関し記述を追加
		39	5.5 SPI 使用時の注意事項を追加
		50	6.6 (1) UART 受信のブロックについて タイトル追加、(2) ADSTART の読み出しについて 項目追加

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc.からライセンスを受けた SuperFlash®を使用しています。

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

営業お問い合わせ窓口

<http://www.renesas.com>

営業お問い合わせ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問い合わせ窓口：<http://japan.renesas.com/contact/>