

RAA730502

モノリシック・プログラマブル・アナログ IC

R02DS0010JJ0120

Rev.1.20

2014.05.31

概要

RAA730502 は、モータ制御向け電流センス用アナログ・フロントエンド回路として、コンパレータ内蔵高速計装アンプ、D/A コンバータ、温度センサ等を一式内蔵したモノリシック・プログラマブル・アナログ IC です。外部デバイスからの各機能ブロックへの制御は、シリアル・ペリフェラル・インタフェース (SPI) を採用することでパッケージの小型化および制御ピン数の低減を実現します。また、パッケージは、48 ピン LQFP を採用し、セットの小型化に対応しています。

特徴

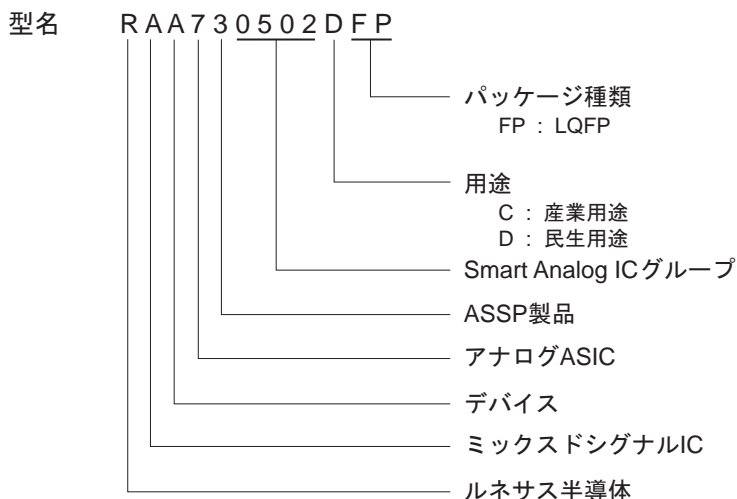
- コンパレータ内蔵高速計装アンプ 4 ch 内蔵
- D/A コンバータ 5 ch 内蔵
- 温度センサ回路 1 ch 内蔵
- SPI 1ch 内蔵
- 低消費電流モード内蔵
- 動作電圧範囲 : $3.0V \leq V_{DD} \leq 5.5V$
- 動作温度範囲 : $-40^{\circ}C \leq T_A \leq 105^{\circ}C$
- パッケージ : 48 ピン・プラスチック LQFP (ファインピッチ) (7×7)

応用分野

- 家電製品
 - 空気清浄機
 - エアコン
 - 冷蔵庫
 - 食器洗い機
- 電動自転車

オーダー情報

ピン数	パッケージ	オーダー名称
48ピン	48ピン・プラスチックLQFP(ファインピッチ) (7×7)	RAA730502CFP, RAA730502DFP



読み方

このマニュアルを読むにあたっては、電気、電子回路の一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。

□改訂された箇所

→本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

凡例

- データ表記の重み : 左が上位桁、右が下位桁
- アクティブ・ロウの表記 : $\overline{\text{×××}}$ (端子、信号名称に上線)
- 注 : 本文中につけた注の説明
- 注意 : 気をつけて読んでいただきたい内容
- 備考 : 本文の補足説明
- 数の表記 : 2進数 $\cdots \text{××××}$ または ××××_B
10進数 $\cdots \text{××××}$
16進数 $\cdots \text{××××}_H$

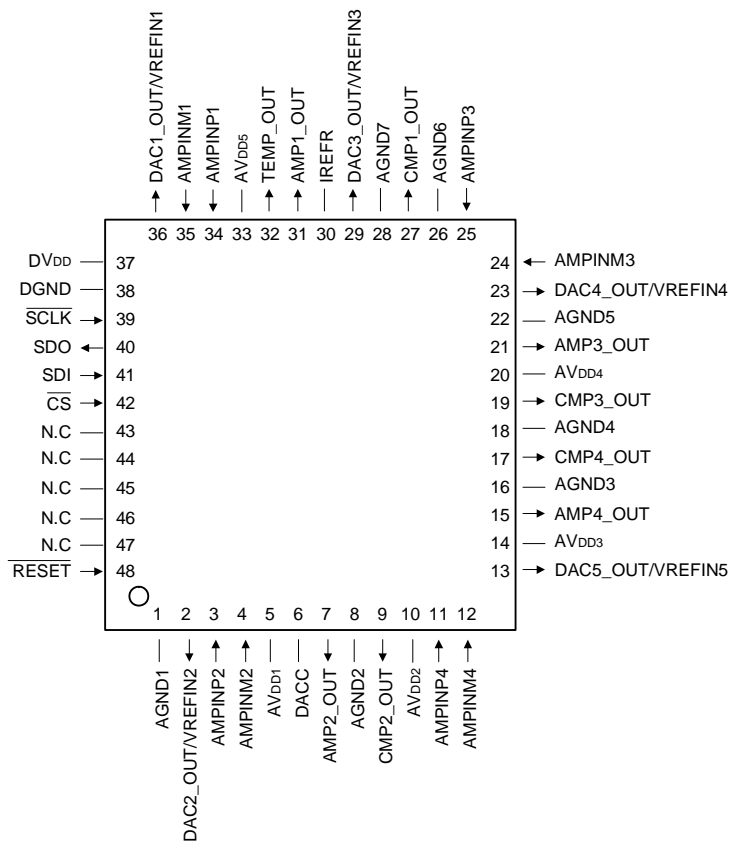
目次

1. 端子接続図.....	5
1.1 端子レイアウト.....	5
1.2 全体ブロック図.....	6
1.3 端子機能.....	7
1.4 未使用時の端子処理.....	9
1.5 入出力回路図.....	10
2. コンパレータ内蔵高速計装アンプ.....	15
2.1 コンパレータ内蔵高速計装アンプの機能概要.....	15
2.2 ブロック図.....	15
2.3 コンパレータ内蔵高速計装アンプを制御するレジスタ.....	16
2.4 コンパレータ内蔵高速計装アンプ.....	18
3. D/A コンバータ.....	19
3.1 D/Aコンバータの機能概要.....	19
3.2 ブロック図.....	19
3.3 D/Aコンバータを制御するレジスタ.....	20
3.4 D/Aコンバータの動作手順.....	22
3.5 D/Aコンバータ使用上の注意点.....	23
4. 温度センサ回路.....	24
4.1 温度センサ回路の機能概要.....	24
4.2 ブロック図.....	24
4.3 温度センサ回路を制御するレジスタ.....	25
4.4 温度センサの動作手順.....	26
5. SPI.....	27
5.1 SPIの機能.....	27
5.2 SPI通信動作.....	28
6. リセット機能.....	29
6.1 リセットの機能概要.....	29
6.2 リセットを制御するレジスタ.....	32
7. 電气的特性.....	33
7.1 絶対最大定格.....	33
7.2 動作条件.....	34

7.3	電源電流特性.....	34
7.4	各機能の電気的特性.....	35
8.	PKG 外形図	42

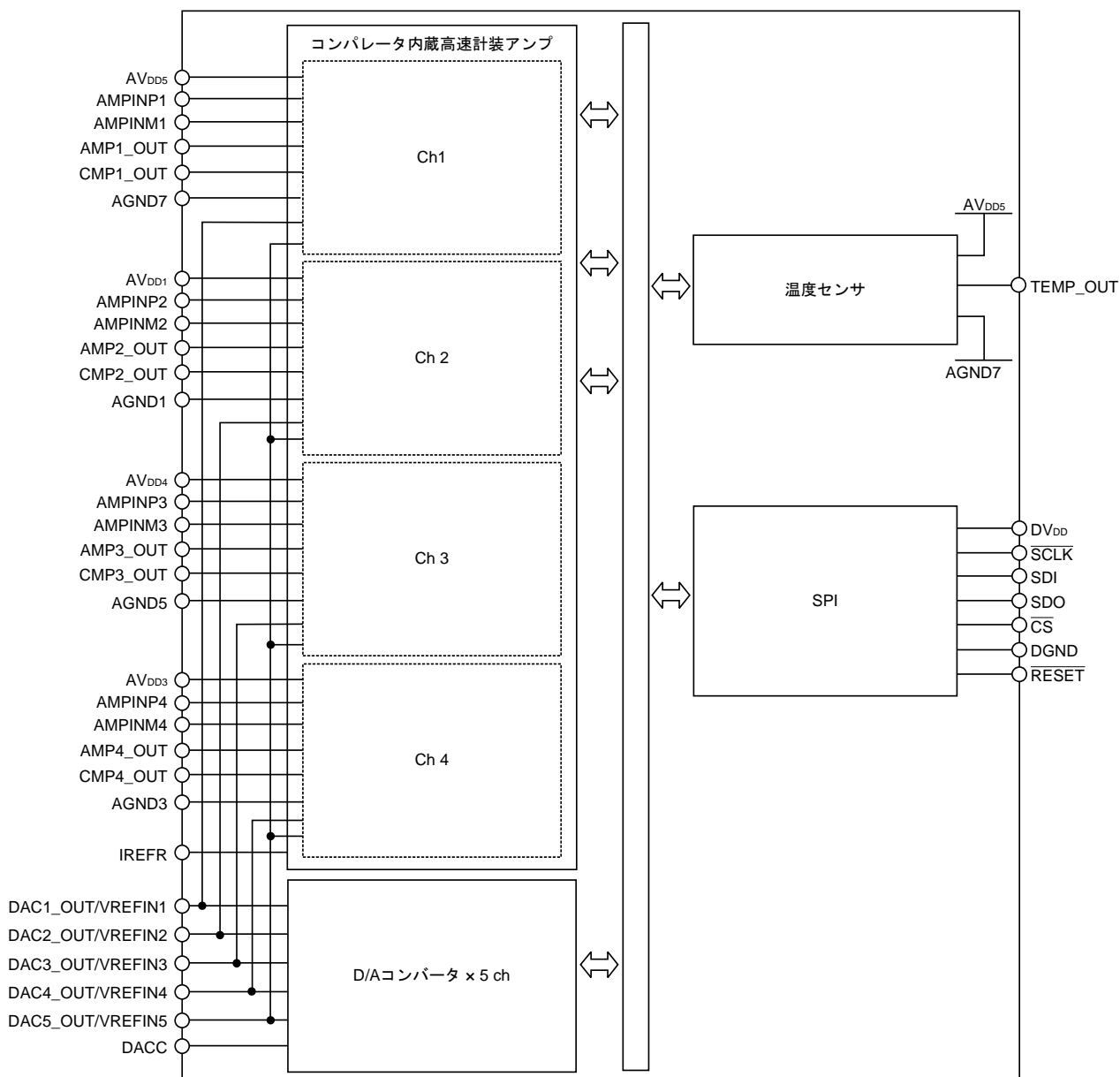
1. 端子接続図

1.1 端子レイアウト



- 注意
1. AGND1, AGND2, AGND3, AGND4, AGND5, AGND6, AGND7, DGND は同電位としてください。
 2. AVDD1, AVDD2, AVDD3, AVDD4, AVDD5, DVDD は同電位としてください。
 3. DACC はコンデンサ（100 nF：推奨）を介し、AGND2 に接続してください。
 4. IREFR は抵抗（56 kΩ：推奨）を介し、AGND7 に接続してください。
 5. N.C は AGND1 に接続してください。

1.2 全体ブロック図



1.3 端子機能

表 1-1 端子機能一覧 (1/2)

端子番号	端子名	入出力	端子機能
1	AGND1	-	コンパレータ内蔵高速計装アンプ Ch2 用 GND 端子
2	DAC2_OUT/ VREFIN2	入出力	D/A コンバータ Ch2 出力端子/ コンパレータ内蔵高速計装アンプ Ch2 基準電圧入力端子
3	AMPINP2	入力	コンパレータ内蔵高速計装アンプ Ch2 入力端子 (+)
4	AMPINM2	入力	コンパレータ内蔵高速計装アンプ Ch2 入力端子 (-)
5	AVDD1	-	コンパレータ内蔵高速計装アンプ Ch2 用電源端子
6	DACC	出力	D/A コンバータ抵抗アレイ安定容量接続端子
7	AMP2_OUT	出力	高速計装アンプ Ch2 出力端子
8	AGND2	-	D/A コンバータ用 GND 端子
9	CMP2_OUT	出力	コンパレータ Ch2 出力端子
10	AVDD2	-	D/A コンバータ用電源端子
11	AMPINP4	入力	コンパレータ内蔵高速計装アンプ Ch4 入力端子 (+)
12	AMPINM4	入力	コンパレータ内蔵高速計装アンプ Ch4 入力端子 (-)
13	DAC5_OUT/ VREFIN5	入出力	D/A コンバータ Ch5 出力端子/ コンパレータ用基準電圧入力端子
14	AVDD3	-	コンパレータ内蔵高速計装アンプ Ch4 用電源端子
15	AMP4_OUT	出力	高速計装アンプ Ch4 出力端子
16	AGND3	-	コンパレータ内蔵高速計装アンプ Ch4 用 GND 端子
17	CMP4_OUT	出力	コンパレータ Ch4 出力端子
18	AGND4	-	コンパレータ内蔵高速計装アンプ Ch2 用 GND 端子
19	CMP3_OUT	出力	コンパレータ Ch3 出力端子
20	AVDD4	-	コンパレータ内蔵高速計装アンプ Ch3 用電源端子
21	AMP3_OUT	出力	高速計装アンプ Ch3 出力端子
22	AGND5	-	コンパレータ内蔵高速計装アンプ Ch3 用 GND 端子
23	DAC4_OUT/ VREFIN4	入出力	D/A コンバータ Ch4 出力端子/ コンパレータ内蔵高速計装アンプ Ch4 基準電圧入力端子
24	AMPINM3	入力	コンパレータ内蔵高速計装アンプ Ch3 入力端子 (-)
25	AMPINP3	入力	コンパレータ内蔵高速計装アンプ Ch3 入力端子 (+)
26	AGND6	-	温度センサ用 GND 端子
27	CMP1_OUT	出力	コンパレータ Ch1 出力端子
28	AGND7	-	温度センサ用 GND 端子
29	DAC3_OUT/ VREFIN3	入出力	D/A コンバータ Ch3 出力端子/ コンパレータ内蔵高速計装アンプ Ch3 基準電圧入力端子
30	IREFR	出力	内部基準電流安定抵抗接続端子
31	AMP1_OUT	出力	高速計装アンプ Ch1 出力端子
32	TEMP_OUT	出力	温度センサ出力
33	AVDD5	-	コンパレータ内蔵高速計装アンプ Ch1 用電源端子
34	AMPINP1	入力	コンパレータ内蔵高速計装アンプ Ch1 入力端子 (+)
35	AMPINM1	入力	コンパレータ内蔵高速計装アンプ Ch1 入力端子 (-)

表 1-1 端子機能一覧 (2/2)

端子番号	端子名	入出力	端子機能
36	DAC1_OUT/ VREFIN1	入出力	D/A コンバータ Ch1 出力端子/ コンパレータ内蔵高速計装アンプ Ch1 基準電圧入力端子
37	DV _{DD}	–	SPI 用電源端子
38	DGND	–	SPI 用 GND 端子
39	$\overline{\text{SCLK}}$	入力	SPI 用シリアル・クロック入力端子
40	SDO	出力	SPI 用シリアル・データ出力端子
41	SDI	入力	SPI 用シリアル・データ入力端子
42	$\overline{\text{CS}}$	入力	SPI 用チップ・セレクト入力端子
43	N.C ^注	–	Non-connection
44	N.C ^注	–	
45	N.C ^注	–	
46	N.C ^注	–	
47	N.C ^注	–	
48	$\overline{\text{RESET}}$	入力	外部リセット入力端子

注 AGND1 に接続してください。

1.4 未使用時の端子処理

表 1-2. 未使用時の端子処理

端子名	入出力	未使用時の推奨接続方法
DAC2_OUT/ VREFIN2	入出力	オープンにしてください。
AMPINP2	入力	AGND1 に直接接続してください。
AMPINM2	入力	
AMP2_OUT	出力	オープンにしてください。
CMP2_OUT	出力	
AMPINP4	入力	AGND3 に直接接続してください。
AMPINM4	入力	
DAC5_OUT/ VREFIN5	入出力	オープンにしてください。
AMP4_OUT	出力	
CMP4_OUT	出力	
CMP3_OUT	出力	
AMP3_OUT	出力	
DAC4_OUT/ VREFIN4	入出力	
AMPINM3	入力	AGND5 に直接接続してください。
AMPINP3	入力	
CMP1_OUT	出力	オープンにしてください。
DAC3_OUT/ VREFIN3	出力	
AMP1_OUT	出力	
TEMP_OUT	出力	
AMPINP1	入力	
AMPINM1	入力	
DAC1_OUT/ VREFIN1	入出力	オープンにしてください。
SCLK	入力	
SDO	出力	
SDI	入力	
CS	入力	
N.C	-	AGND1 に直接接続してください。
RESET	入力	DV _{DD} に直接接続, または抵抗を介して接続してください。

1.5 入出力回路図

図 1-1 入出力回路タイプ (1/5)

端子名	等価回路	端子名	等価回路
AMPINM1 AMPINP1		AMPINM2 AMPINP2	
AMPINM3 AMPINP3		AMPINM4 AMPINP4	

図 1-1 入出力回路タイプ (2/5)

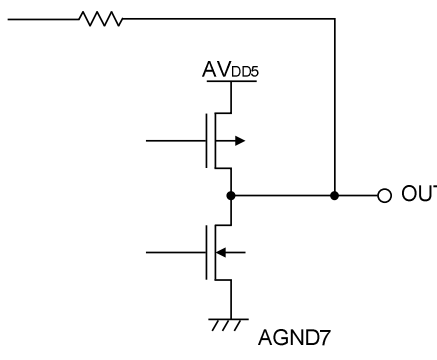
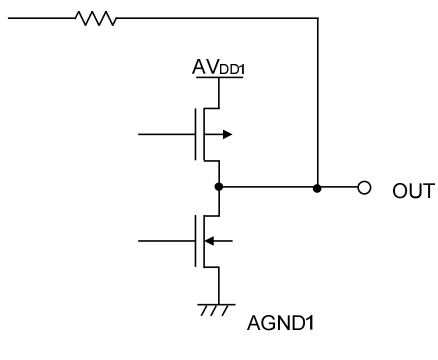
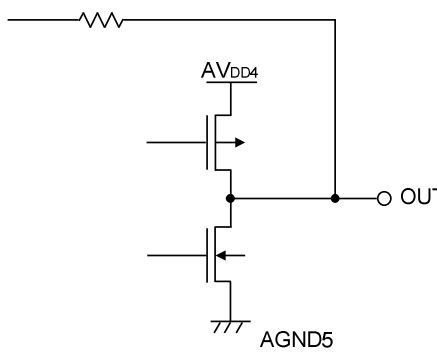
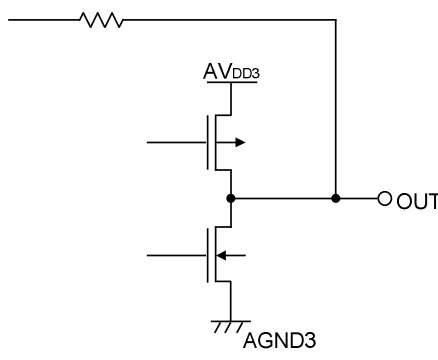
端子名	等価回路	端子名	等価回路
AMP1_OUT		AMP2_OUT	
AMP3_OUT		AMP4_OUT	

図 1-1 入出力回路タイプ (3/5)

端子名	等価回路	端子名	等価回路
CMP1_OUT		CMP2_OUT	
CMP3_OUT		CMP4_OUT	

図 1-1 入出力回路タイプ (4/5)

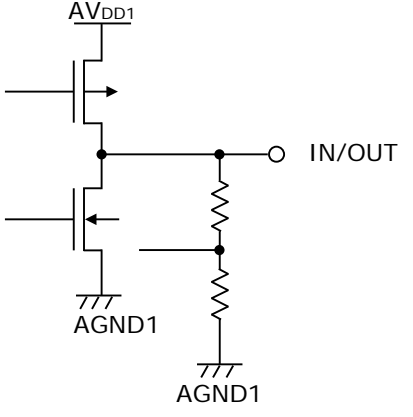
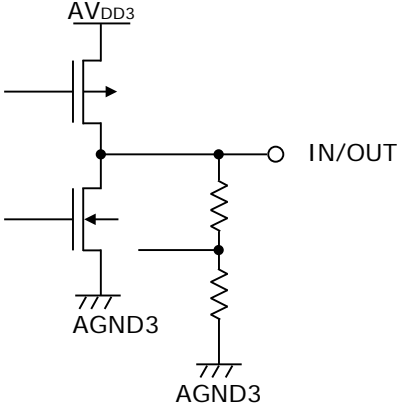
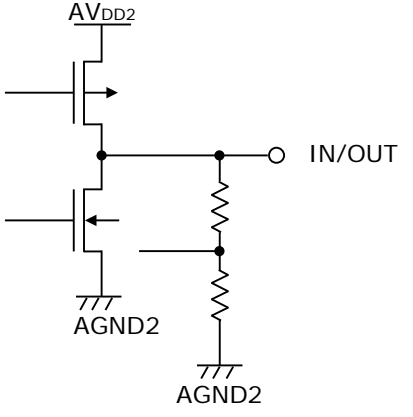
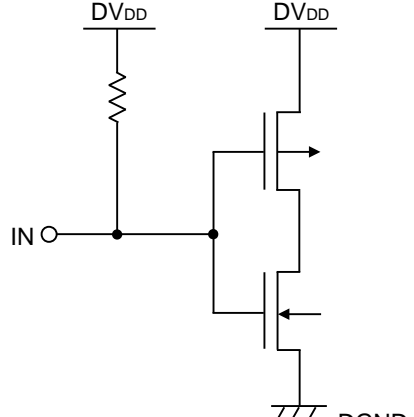
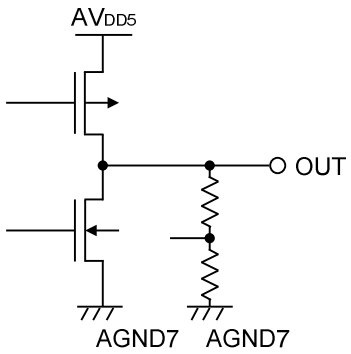
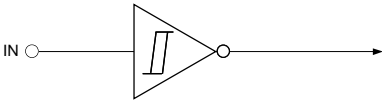
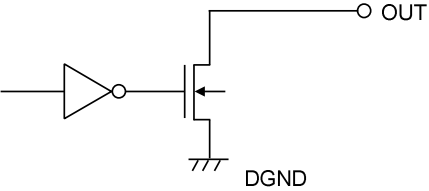
端子名	等価回路	端子名	等価回路
DAC1_OUT/ VREFIN1 DAC2_OUT/ VREFIN2		DAC3_OUT/ VREFIN3 DAC4_OUT/ VREFIN4	
DAC5_OUT/ VREFIN5		SCLK SDI CS	

図 1-1 入出力回路タイプ (5/5)

端子名	等価回路	端子名	等価回路
TEMP_OUT		RESET	 <p data-bbox="997 470 1428 504">ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>
SDO			

2. コンパレータ内蔵高速計装アンプ

RAA730502 は、コンパレータ内蔵高速計装アンプを 4 ch 搭載しています。

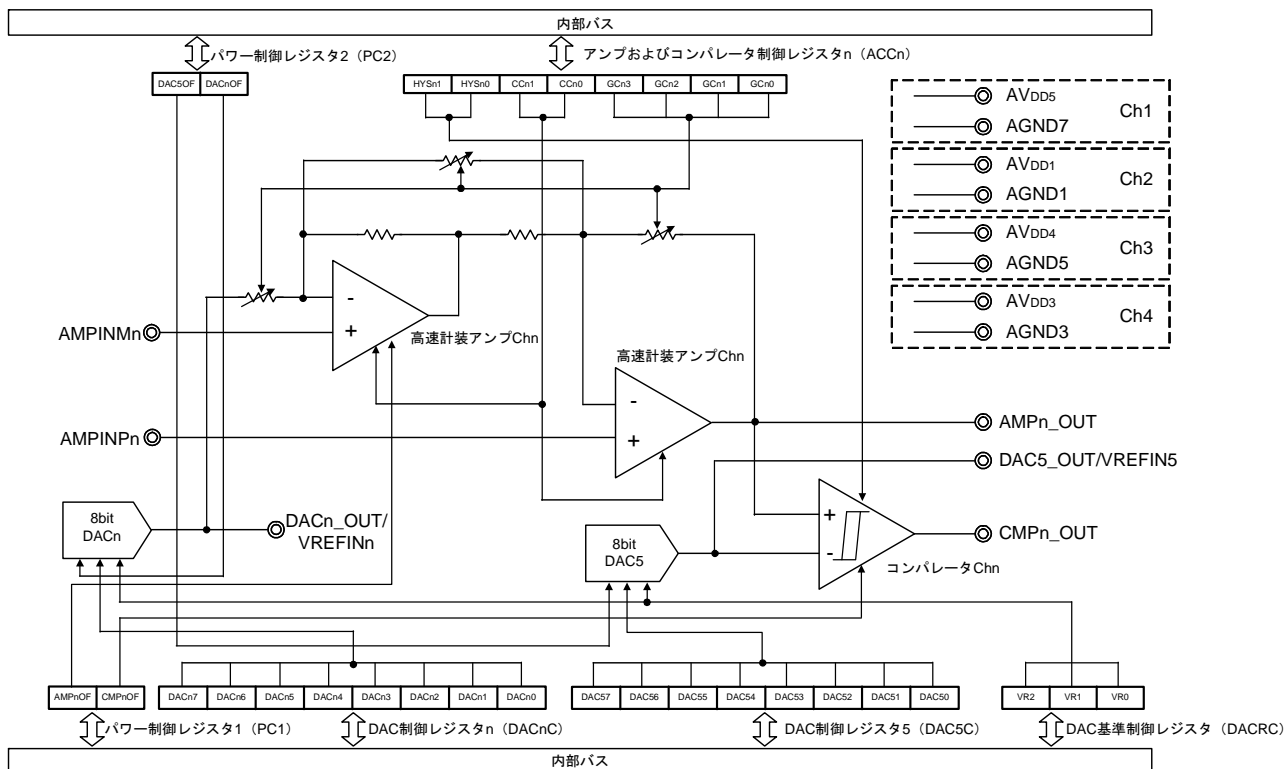
★2.1 コンパレータ内蔵高速計装アンプの機能概要

コンパレータ内蔵高速計装アンプは、高速計装アンプ部とコンパレータ部で構成されます。

- 高速計装アンプ部
 - 増幅率を10 dB～34 dBまで13ステップで選択可能
 - 動作モードを4通りから選択可能
 - D/AコンバータCh1～4で基準電圧を調整可能
 - パワーオフ機能を搭載
- コンパレータ部
 - 高速計装アンプの出力信号を、コンパレータの+側入力信号とし比較出力可能
 - D/AコンバータCh5で基準電圧を調整可能
 - パワーオフ機能を搭載

また、コンパレータ内蔵高速計装アンプでは、DACn_OUT (n = 1～5) 出力信号を基準電圧として使用できます。D/Aコンバータを使用しない場合は、DACn_OUT / VREFINn (n = 1～5) 端子から外部基準電圧を入力します。D/Aコンバータの使用に関しては、3. D/Aコンバータを参照してください。

2.2 ブロック図



注意 コンパレータ機能を使用する場合は、CMPn_OUT 端子にプルアップ抵抗 (2.2 kΩ : 推奨) を接続してください。
備考 n = 1～4

2.3 コンパレータ内蔵高速計装アンプを制御するレジスタ

コンパレータ内蔵高速計装アンプでは、次の2種類のレジスタを使用します。

- アンプおよびコンパレータ制御レジスタ 1, 2, 3, 4 (ACC1, ACC2, ACC3, ACC4)
- パワー制御レジスタ 1 (PC1)

(1) アンプおよびコンパレータ制御レジスタ 1, 2, 3, 4 (ACC1, ACC2, ACC3, ACC4)

コンパレータ内蔵高速計装アンプ Ch1~Ch4 の動作モード、増幅率およびコンパレータのヒステリシス幅を設定するレジスタです。リセット信号の発生により、00H になります。

アドレス : 00H (n = 1), 01H (n = 2), 02H (n = 3), 03H (n = 4) リセット時 : 00H RW

	7	6	5	4	3	2	1	0
ACCn	HYSn1	HYSn0	CCn1	CCn0	GCn3	GCn2	GCn1	GCn0

HYSn1	HYSn0	ヒステリシス幅 (Typ.)
0	0	200 mV
0	1	100 mV
1	0	50 mV
1	1	ヒステリシスなし

CCn1	CCn0	コンパレータ内蔵高速計装アンプの動作モード
0	0	高速モード
0	1	中速モード2
1	0	中速モード1
1	1	低速モード

GCn3	GCn2	GCn1	GCn0	コンパレータ内蔵高速計装アンプの増幅率 (Typ.)
0	0	0	0	10 dB
0	0	0	1	12 dB
0	0	1	0	14 dB
0	0	1	1	16 dB
0	1	0	0	18 dB
0	1	0	1	20 dB
0	1	1	0	22 dB
0	1	1	1	24 dB
1	0	0	0	26 dB
1	0	0	1	28 dB
1	0	1	0	30 dB
1	0	1	1	32 dB
1	1	0	0	34 dB
上記以外				設定禁止

備考 n = 1~4

(2) パワー制御レジスタ 1 (PC1)

コンパレータ内蔵高速計装アンプの動作許可/停止を設定するレジスタです。

使用しない機能は、動作停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータ内蔵高速計装アンプ Ch1~Ch4 を使用するときは、コンパレータ Ch1~Ch4 に、高速計装アンプ Ch1~Ch4 に対応する制御ビットに 1 を設定してください。

リセット信号の発生により、00H になります。

アドレス : 0AH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PC1	CMP4OF	CMP3OF	CMP2OF	CMP1OF	AMP4OF	AMP3OF	AMP2OF	AMP1OF

CMP4OF	コンパレータ Ch4 の動作制御
0	コンパレータ Ch4 動作停止
1	コンパレータ Ch4 動作許可

CMP3OF	コンパレータ Ch3 の動作制御
0	コンパレータ Ch3 動作停止
1	コンパレータ Ch3 動作許可

CMP2OF	コンパレータ Ch2 の動作制御
0	コンパレータ Ch2 動作停止
1	コンパレータ Ch2 動作許可

CMP1OF	コンパレータ Ch1 の動作制御
0	コンパレータ Ch1 動作停止
1	コンパレータ Ch1 動作許可

AMP4OF	高速計装アンプ Ch4 の動作制御
0	高速計装アンプ Ch4 動作停止
1	高速計装アンプ Ch4 動作許可

AMP3OF	高速計装アンプ Ch3 の動作制御
0	高速計装アンプ Ch3 動作停止
1	高速計装アンプ Ch3 動作許可

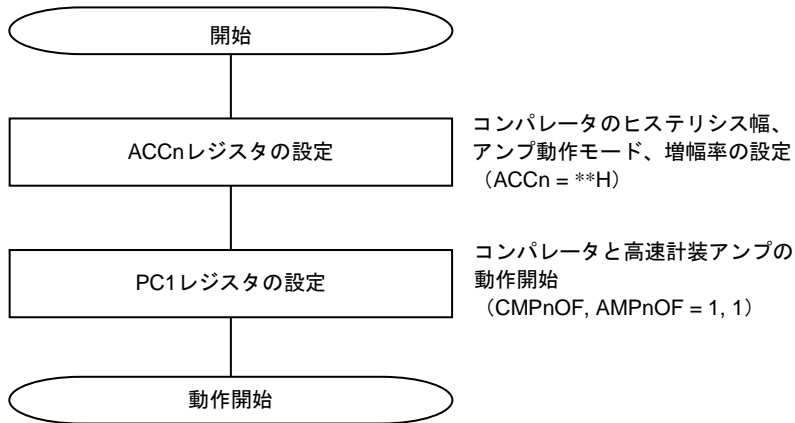
AMP2OF	高速計装アンプ Ch2 の動作制御
0	高速計装アンプ Ch2 動作停止
1	高速計装アンプ Ch2 動作許可

AMP1OF	高速計装アンプ Ch1 の動作制御
0	高速計装アンプ Ch1 動作停止
1	高速計装アンプ Ch1 動作許可

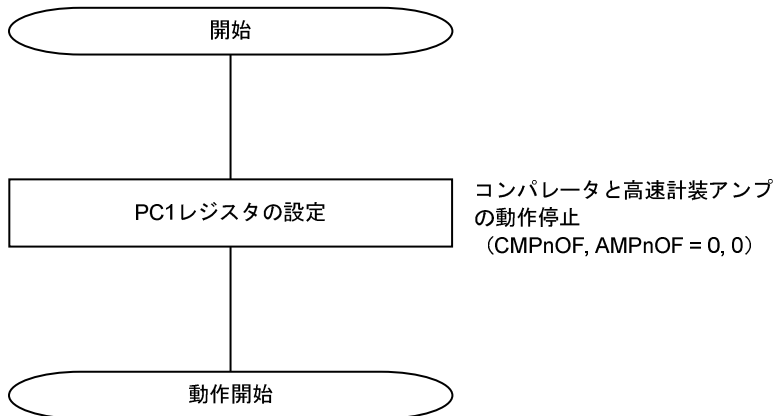
2.4 コンパレータ内蔵高速計装アンプ

コンパレータ内蔵高速計装アンプの動作開始手順と動作停止手順を以下に示します。

コンパレータ内蔵高速計装アンプ動作開始手順例



コンパレータ内蔵高速計装アンプ動作停止手順例



備考 * : don't care
n = 1~4

3. D/A コンバータ

RAA730502 は、D/A コンバータを 5ch 搭載しています。

★ 3.1 D/A コンバータの機能概要

D/A コンバータは、デジタル入力をアナログ信号に変換する 8 ビット分解能のコンバータです。
D/A コンバータには、次のような機能があります。

- 8 ビット分解能 (× 5ch : Ch1~Ch5)
- R-2R ラダー方式
- アナログ電圧出力 : 出力電圧値は、以下の式で計算できます。

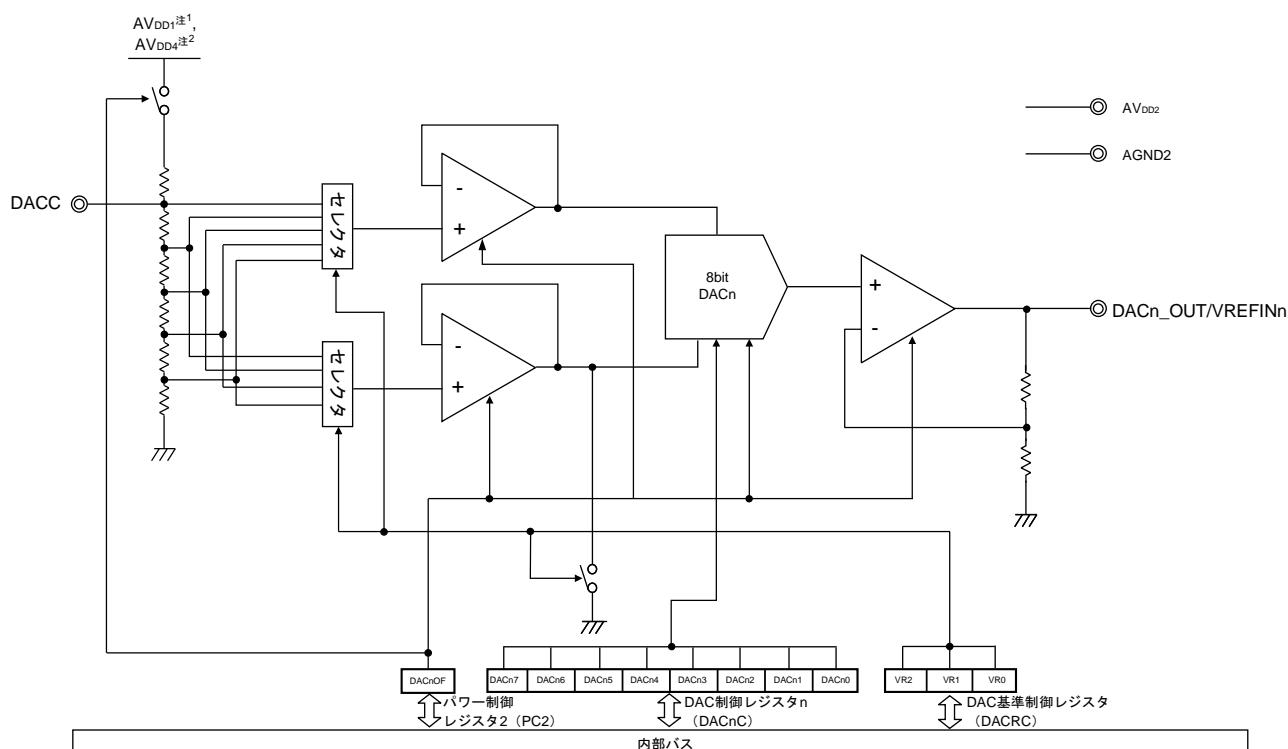
$$\text{出力電圧値} = \{ (\text{基準電圧上限値} - \text{基準電圧下限値}) \times m/256 \} + \text{基準電圧下限値}$$

(m = 0 ~ 255 : DACnC レジスタに設定した値)

- コンパレータ内蔵高速計装アンプの基準電圧調整機能
- パワーオフ機能を搭載

備考 n = 1~5

3.2 ブロック図



注1. D/AコンバータCh1, Ch2の場合
注2. D/AコンバータCh3~Ch5の場合

備考 n = 1~5

3.3 D/A コンバータを制御するレジスタ

D/A コンバータでは、次の3種類のレジスタを使用します。

- DAC 制御レジスタ 1, 2, 3, 4, 5 (DAC1C, DAC2C, DAC3C, DAC4C, DAC5C)
- DAC 基準制御レジスタ (DACRC)
- パワー制御レジスタ 2 (PC2)

(1) DAC 制御レジスタ 1, 2, 3, 4, 5 (DAC1C, DAC2C, DAC3C, DAC4C, DAC5C)

DACn_OUT 端子に出力するアナログ電圧値を設定するレジスタです。

DACn_OUT 出力信号は、コンパレータ内蔵高速計装アンプの基準電圧として使用できます。

リセット信号の発生により、80H になります。

アドレス : 04H (n = 1), 05H (n = 2), 06H (n = 3), 07H (n = 4), 08H (n = 5) リセット時 : 80H R/W

	7	6	5	4	3	2	1	0
DACnC	DACn7	DACn6	DACn5	DACn4	DACn3	DACn2	DACn1	DACn0

備考 1. n = 1~5

2. 出力電圧値の算出に関しては、3.1 D/Aコンバータの機能概要を参照してください。

★(2) DAC 基準制御レジスタ (DACRC)

D/A コンバータ Ch1~Ch5 の基準電圧の上限値 (VRT) と下限値 (VRB) を選択するレジスタです。

リセット信号の発生により、00H になります。

アドレス : 09H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
DACRC	0	0	0	0	0	VR2	VR1	VR0

VR2	VR1	VR0	基準電圧上限値 (Typ.)		基準電圧下限値 (Typ.)		
			D/A コンバータ Ch1, Ch2	D/A コンバータ Ch3~Ch5	D/A コンバータ Ch1, Ch2	D/A コンバータ Ch3~Ch5	
0	0	0	AV _{DD1}	AV _{DD4}	AGND1	AGND5	
0	0	1	AV _{DD1} × 1/5	AV _{DD4} × 1/5	AGND1	AGND5	
0	1	0	AV _{DD1} × 2/5	AV _{DD4} × 2/5	AV _{DD1} × 1/5	AV _{DD4} × 1/5	
0	1	1	AV _{DD1} × 3/5	AV _{DD4} × 3/5	AV _{DD1} × 2/5	AV _{DD4} × 2/5	
1	0	0	AV _{DD1} × 4/5	AV _{DD4} × 4/5	AV _{DD1} × 3/5	AV _{DD4} × 3/5	
1	0	1	AV _{DD1}	AV _{DD4}	AV _{DD1} × 4/5	AV _{DD4} × 4/5	
1	1	0	AV _{DD1} × 4/5	AV _{DD4} × 4/5	AV _{DD1} × 1/5	AV _{DD4} × 1/5	
1	1	1	設定禁止				

備考 ビット7~3は0固定です。(1ライトによる書き換え禁止)

(3) パワー制御レジスタ 2 (PC2)

D/A コンバータ、温度センサ回路の動作許可/停止を設定するレジスタです。

使用しない機能は、動作停止させることで、低消費電力化とノイズ低減をはかります。

D/A コンバータ Ch1~Ch5 のいずれかを使用するときは、必ずビット 4~0 の対応する制御ビットに 1 を設定してください。

リセット信号の発生により、00H になります。

アドレス : 0BH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PC2	0	0	TEMPOF	DAC5OF	DAC4OF	DAC3OF	DAC2OF	DAC1OF

DAC5OF	D/A コンバータ Ch5 の動作制御
0	D/A コンバータ Ch5 の動作停止
1	D/A コンバータ Ch5 の動作許可

DAC4OF	D/A コンバータ Ch4 の動作制御
0	D/A コンバータ Ch4 の動作停止
1	D/A コンバータ Ch4 の動作許可

DAC3OF	D/A コンバータ Ch3 の動作制御
0	D/A コンバータ Ch3 の動作停止
1	D/A コンバータ Ch3 の動作許可

DAC2OF	D/A コンバータ Ch2 の動作制御
0	D/A コンバータ Ch2 の動作停止
1	D/A コンバータ Ch2 の動作許可

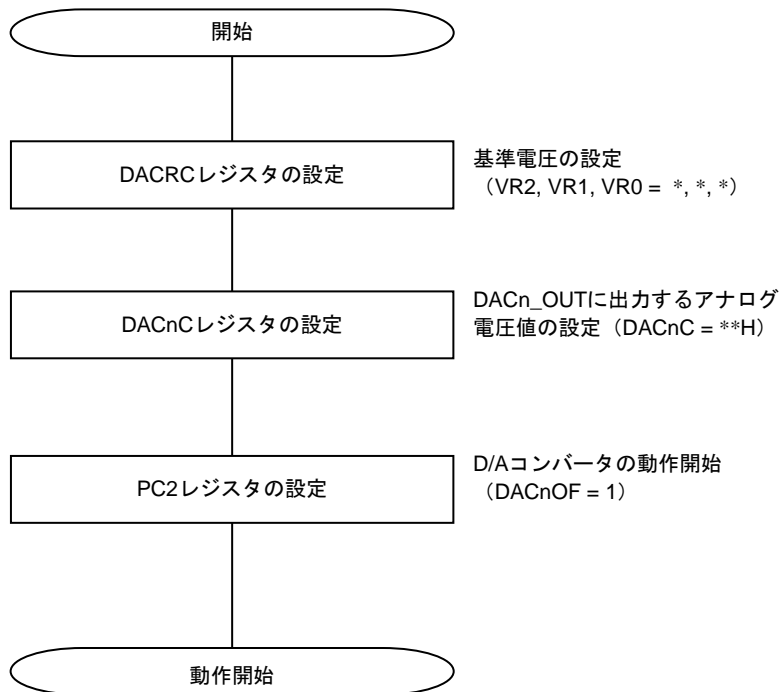
DAC1OF	D/A コンバータ Ch1 の動作制御
0	D/A コンバータ Ch1 の動作停止
1	D/A コンバータ Ch1 の動作許可

備考 ビット 7, 6 は 0 固定です。(1 ライトによる書き換え禁止)

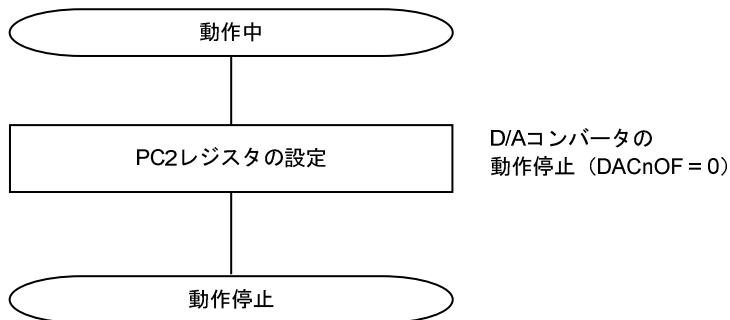
3.4 D/A コンバータの動作手順

D/A コンバータの動作開始手順と動作停止手順を以下に示します。

D/A コンバータ 動作開始手順例



D/A コンバータ 動作停止手順例



備考 * : don't care
n = 1~5

3.5 D/A コンバータ使用上の注意点

D/A コンバータを使用する際の注意事項を次に示します。

- (1) D/Aコンバータの出力インピーダンスが高いため、DACn_OUTから電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には、負荷とDACn_OUT端子の間にフォロアアンプを挿入して使用してください。また、フォロアアンプや負荷までの配線は極力短くするようにしてください（出力インピーダンスが高いため）。配線が長くなるような場合は、グラウンド・パターンで囲むなどの処置をしてください。
- (2) VREFIN_nに外部基準電源を入力する場合は、DACnOF = 0にしてください。

備考 n = 1~5

4. 温度センサ回路

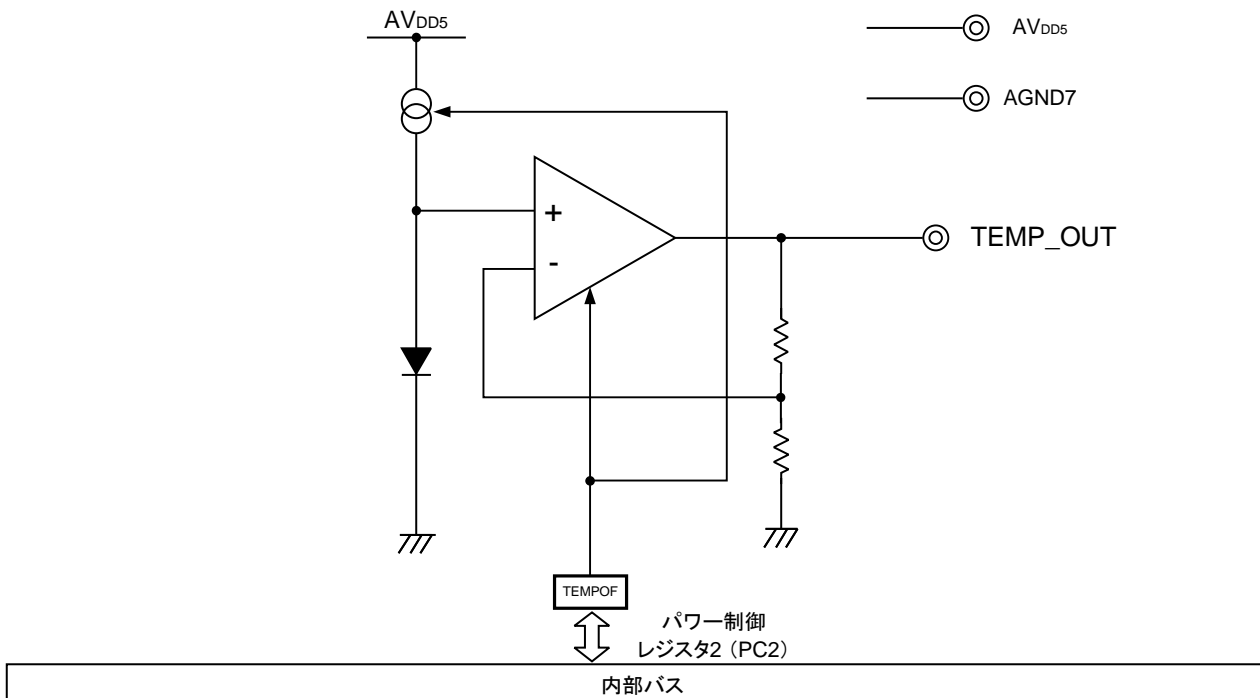
RAA730502 は、温度センサ回路を 1 ch 搭載しています。

4.1 温度センサ回路の機能概要

温度センサ回路には、次のような機能があります。

- 出力電圧温度係数：-5 mV/°C (Typ.)
- パワーオフ機能を搭載

4.2 ブロック図



4.3 温度センサ回路を制御するレジスタ

温度センサ回路では、次のレジスタを使用します。

- パワー制御レジスタ 2 (PC2)

(1) パワー制御レジスタ 2 (PC2)

温度センサ回路、D/A コンバータの動作許可／停止を設定するレジスタです。

使用しない機能は、動作停止させることで、低消費電力化とノイズ低減をはかります。

温度センサ回路を使用するときは、ビット 5 に 1 を設定してください。

リセット信号の発生により、00H になります。

アドレス : 0BH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PC2	0	0	TEMPOF	DAC5OF	DAC4OF	DAC3OF	DAC2OF	DAC1OF

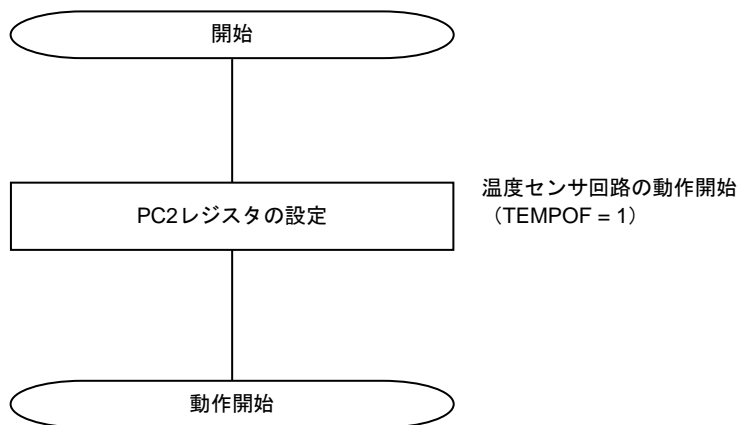
TEMPOF	温度センサ回路の動作制御
0	温度センサ回路の動作停止
1	温度センサ回路の動作許可

備考 ビット 7, 6 は 0 固定です。(1 ライトによる書き換え禁止)

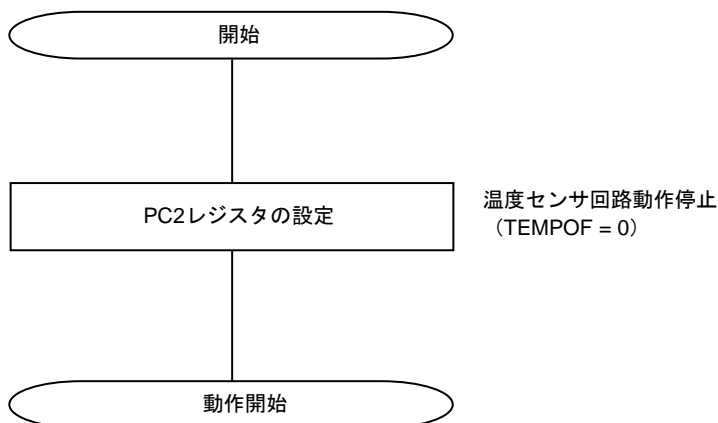
4.4 温度センサの動作手順

温度センサ回路の動作開始手順と動作停止手順を以下に示します。

温度センサ回路動作開始手順例



温度センサ回路 動作停止手順例



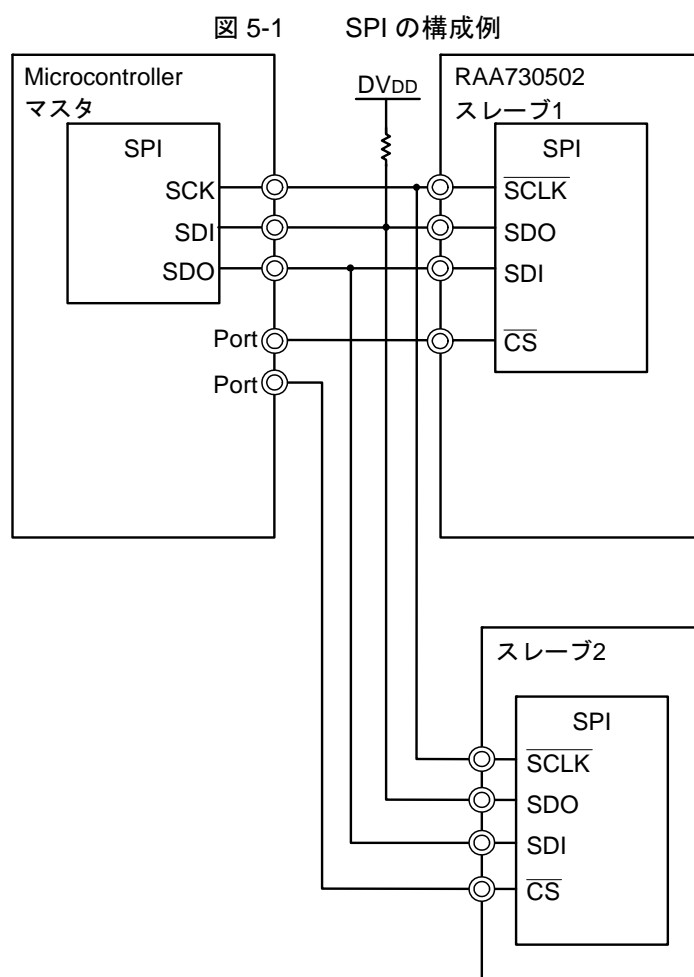
5. SPI

5.1 SPI の機能

SPI は、シリアル・クロック ($\overline{\text{SCLK}}$) とシリアル・データ (SDI, SDO)、チップ・セレクト入力 ($\overline{\text{CS}}$) の 4 本のラインによるクロック同期式通信にて、外部機器からの制御インタフェースに使用します。

[データ送受信]

- 16 ビット単位のデータ長
- MSB ファースト



- ★ 注意 DV_{DD}に電源投入後、SPI との通信を開始する前に、 $\overline{\text{RESET}}$ 端子に外部リセットを入力させる必要があります。詳細は、6. リセット機能を参照してください。

5.2 SPI 通信動作

16ビット単位でデータの送受信を行います。 $\overline{CS} = \text{Low}$ の場合、データの送受信が可能です。データは、シリアル・クロックの立ち下がりエッジに同期して1ビットごとに送信され、シリアル・クロックの立ち上がりエッジに同期して1ビットごとに受信します。 R/W ビット=1 の場合、 \overline{CS} の立ち下がり後 16 回目の $SCLK$ 立ち上がりエッジ検出時に、アドレス・データに応じた SPI 制御レジスタへデータが書き込まれ、その内容の動作が実行されます。 R/W ビット = 0 の場合、 \overline{CS} の立ち下がり後 9 回目以降の $SCLK$ 立ち下がりエッジに同期して、アドレス・データに応じたレジスタデータを出力します。

図 5-2 SPI 通信タイミング

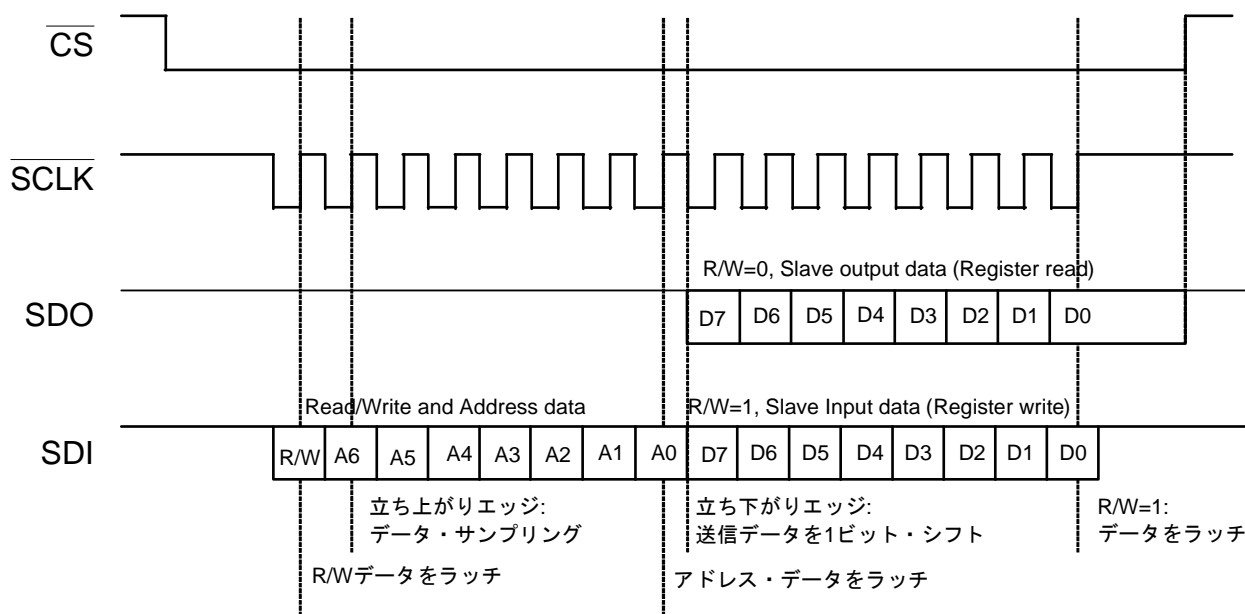


表 5-1 SPI 制御レジスタ一覧

アドレス	SPI制御レジスタ名称	R/W	リセット時
00H	アンプおよびコンパレータ制御レジスタ1 (ACC1)	R/W	00H
01H	アンプおよびコンパレータ制御レジスタ2 (ACC2)	R/W	00H
02H	アンプおよびコンパレータ制御レジスタ3 (ACC3)	R/W	00H
03H	アンプおよびコンパレータ制御レジスタ4 (ACC4)	R/W	00H
04H	DAC制御レジスタ1 (DAC1C)	R/W	80H
05H	DAC制御レジスタ2 (DAC2C)	R/W	80H
06H	DAC制御レジスタ3 (DAC3C)	R/W	80H
07H	DAC制御レジスタ4 (DAC4C)	R/W	80H
08H	DAC制御レジスタ5 (DAC5C)	R/W	80H
09H	DAC基準制御レジスタ (DACRC)	R/W	00H
0AH	パワー制御レジスタ1 (PC1)	R/W	00H
0BH	パワー制御レジスタ2 (PC2)	R/W	00H
0CH	リセット制御レジスタ (RC)	R/W	00H ^{注1}
0DH	テスト・レジスタ ^{注2}	R/W	00H

注 1. リセット制御レジスタ (RC) による内部リセットの場合、リセット制御レジスタ (RC) は初期化 (00H) されません。詳細は、6. リセット機能を参照してください。

2. テスト・レジスタの書き替えは禁止です。

★6. リセット機能

6.1 リセットの機能概要

RAA730502 は、リセット機能を搭載しています。リセットの発生により、SPI 制御レジスタが初期化されます。リセットを発生させる方法には、次の 3 種類があります。

- $\overline{\text{RESET}}$ 端子へのリセット信号入力による外部リセット
- リセット制御レジスタ (RC) による内部リセット (RESET ビットへの 1 ライト)
- パワーオン・リセット (POR) 回路による内部リセット

外部リセットと内部リセットの機能は、以下のとおりです。

- DV_{DD} に電源投入後、SPI との通信を開始する前に、 $\overline{\text{RESET}}$ 端子による外部リセットを発生させる必要があります。
- リセットがかかると、各機能ブロックは、表 6-1 に示すような状態になります。また、リセット受け付け後の SPI 制御レジスタの状態は、表 6-2 に示すような状態になり、その際の端子状態は、表 6-3 に示すような様態になります。
- 外部リセットでは、 $\overline{\text{RESET}}$ 端子にロー・レベルが入力されることでリセットがかかり、内部リセットでは、リセット制御レジスタ (RC) の RESET ビットへの 1 ライト、もしくは、POR 回路での電圧検出によりリセットがかかります。
- 外部リセットでは、 $\overline{\text{RESET}}$ 端子にロー・レベルが入力された後、ハイ・レベルが入力されると、リセットが解除されます。内部リセットでは、リセット制御レジスタ (RC) の RESET ビットへの 0 ライト、もしくは、POR 回路での電圧検出によりリセットが解除されます。
- POR 回路での電圧検出による内部リセットでは、電源電圧 ($\text{AV}_{\text{DD1}} \sim \text{AV}_{\text{DD5}}, \text{DV}_{\text{DD}}$) \leq 検出電圧 (V_{PDR}) になるとリセットがかかり、電源電圧 ($\text{AV}_{\text{DD1}} \sim \text{AV}_{\text{DD5}}, \text{DV}_{\text{DD}}$) \geq 検出電圧 (V_{POR}) になるとリセットが解除されます。検出電圧に関しては、7.4 (5) パワーオン・リセット (POR) 回路の電気的特性を参照してください。

注意 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に 10 μs 以上のロー・レベルを入力してください。

表 6-1 リセット期間中の動作状態

機能ブロック	RESET端子による外部リセット または、POR回路による内部リセット	リセット制御レジスタ (RC) による内部リセット
コンパレータ内蔵 高速計装アンプ	動作停止	
D/Aコンバータ	動作停止	
SPI	動作停止	動作可能

表 6-2 リセット受け付け後の SPI 制御レジスタの状態

アドレス	SPI制御レジスタ名称	リセット受け付け後の状態	
		外部リセット時	内部リセット時 (RCレジスタ)
		内部リセット時 (POR回路)	
00H	アンプおよびコンパレータ制御レジスタ1 (ACC1)	00H	00H
01H	アンプおよびコンパレータ制御レジスタ2 (ACC2)	00H	00H
02H	アンプおよびコンパレータ制御レジスタ3 (ACC3)	00H	00H
03H	アンプおよびコンパレータ制御レジスタ4 (ACC4)	00H	00H
04H	DAC制御レジスタ1 (DAC1C)	80H	80H
05H	DAC制御レジスタ2 (DAC2C)	80H	80H
06H	DAC制御レジスタ3 (DAC3C)	80H	80H
07H	DAC制御レジスタ4 (DAC4C)	80H	80H
08H	DAC制御レジスタ5 (DAC5C)	80H	80H
09H	DAC基準制御レジスタ (DACRC)	00H	00H
0AH	パワー制御レジスタ1 (PC1)	00H	00H
0BH	パワー制御レジスタ2 (PC2)	00H	00H
0CH	リセット制御レジスタ (RC)	00H	01H ^{注1}
0DH	テスト・レジスタ ^{注2}	00H	00H

注 1. リセット制御レジスタ (RC) による内部リセットの場合、リセット制御レジスタ (RC) は初期化 (00H) されません。RESET 端子への外部リセット入力、POR 回路による内部リセット、または、RESET ビットへの 0 ライトにより初期化 (00H) されます。

2. テスト・レジスタの書き替えは禁止です。

表 6-3 リセット後の端子状態

端子名	RESET端子による外部リセット または、POR回路による内部リセット	リセット制御レジスタ (RC) による内部リセット
DAC2_OUT/VREFIN2	プルダウン入力	プルダウン入力
AMPINP2	Hi-Z	Hi-Z
AMPINM2	Hi-Z	Hi-Z
AMP2_OUT	プルダウン	プルダウン
CMP2_OUT	Hi-Z (オープン・ドレイン)	Hi-Z (オープン・ドレイン)
AMPINP4	Hi-Z	Hi-Z
AMPINM4	Hi-Z	Hi-Z
DAC5_OUT/VREFIN5	プルダウン入力	プルダウン入力
AMP4_OUT	プルダウン	プルダウン
CMP4_OUT	Hi-Z (オープン・ドレイン)	Hi-Z (オープン・ドレイン)
CMP3_OUT	Hi-Z (オープン・ドレイン)	Hi-Z (オープン・ドレイン)
AMP_OUT3	プルダウン	プルダウン
DAC4_OUT/VREFIN4	プルダウン入力	プルダウン入力
AMPINM3	Hi-Z	Hi-Z
AMPINP3	Hi-Z	Hi-Z
CMP1_OUT	Hi-Z (オープン・ドレイン)	Hi-Z (オープン・ドレイン)
DAC3_OUT/VREFIN3	プルダウン入力	プルダウン入力
AMP1_OUT	プルダウン	プルダウン
TEMP_OUT	プルダウン	プルダウン
AMPINP1	Hi-Z	Hi-Z
AMPINM1	Hi-Z	Hi-Z
DAC1_OUT/VREFIN1	プルダウン入力	プルダウン入力
SCLK	プルアップ入力	プルアップ入力
SDO	Hi-Z (オープン・ドレイン)	Hi-Z (オープン・ドレイン)
SDI	プルアップ入力	プルアップ入力
CS	プルアップ入力	プルアップ入力

6.2 リセットを制御するレジスタ

(1) リセット制御レジスタ (RC)

リセット制御レジスタ (RC) は、リセットを制御するレジスタです。

RESET ビットへの 1 ライトにより、内部リセットを発生させることができます。リセット制御レジスタ (RC) 自身の初期化 (00H) は、 $\overline{\text{RESET}}$ 端子による外部リセット、または POR 回路による内部リセット、もしくは RESET ビットへの 0 ライトにより行います。

アドレス : 0CH リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
RC	0	0	0	0	0	0	0	RESET

RESET	内部リセット信号の要求
0	内部リセット信号を要求しない、または内部リセットの解除
1	内部リセット信号を要求、または内部リセット信号が発生中

注 リセット制御レジスタ (RC) による内部リセットの場合、リセット制御レジスタ (RC) は初期化 (00H) されません。 $\overline{\text{RESET}}$ 端子への外部リセット入力、POR 回路による内部リセット、または、RESET ビットへの 0 ライトにより初期化 (00H) されます。

注意 RESET ビット=1 の場合、リセット制御レジスタ (RC) 以外のレジスタへの書き込み動作は無視されます。外部リセットもしくは POR 回路での内部リセットによるリセット制御レジスタ (RC) の初期化 (00H)、もしくは RESET ビットへの 0 ライトにより、レジスタへの書き込みが可能となります。

備考 ビット 7~1 は 0 固定です。(1 ライトによる書き換え禁止)

7. 電気的特性

7.1 絶対最大定格

(T_A = 25°C)

項目	略号	条件	定格	単位
電源電圧	AV _{DD}	AV _{DD1} , AV _{DD2} , AV _{DD3} , AV _{DD4} , AV _{DD5}	-0.3~+6.0	V
	DV _{DD}	DV _{DD}	-0.3~+6.0	V
	AGND	AGND1, AGND2, AGND3, AGND4, AGND5, AGND6, AGND7	-0.3~+0.3	V
	DGND	DGND	-0.3~+0.3	V
入力電圧	V _{I1}	AMPINP1, AMPINP2, AMPINP3, AMPINP4, AMPINM1, AMPINM2, AMPINM3, AMPINM4, VREFIN1, VREFIN2, VREFIN3, VREFIN4, VREFIN5, RESET	-0.3~AV _{DD} + 0.3 注	V
	V _{I2}	SCL _K , SDI, CS	-0.3~DV _{DD} + 0.3 注	V
出力電圧	V _{O1}	AMP1_OUT, AMP2_OUT, AMP3_OUT, AMP4_OUT, CMP1_OUT, CMP2_OUT, CMP3_OUT, CMP4_OUT, TEMP_OUT, DAC1_OUT, DAC2_OUT, DAC3_OUT, DAC4_OUT, DAC5_OUT	-0.3~AV _{DD} + 0.3 注	V
	V _{O2}	SDO	-0.3~DV _{DD} + 0.3 注	V
出力電流	I _{O1}	AMP1_OUT, AMP2_OUT, AMP3_OUT, AMP4_OUT, TEMP_OUT, DAC1_OUT, DAC2_OUT, DAC3_OUT, DAC4_OUT, DAC5_OUT	1	mA
	I _{O2}	CMP1_OUT, CMP2_OUT, CMP3_OUT, CMP4_OUT	5	mA
	I _{O3}	SDO	-10	mA
動作周囲温度	T _A		-40~+105	°C
★ 保存温度	T _{stg}		-40~+125	°C

注 6.0 V 以下であること。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

★ 7.2 動作条件

項目	略号	条件	MIN	TYP	MAX	単位
電源電圧範囲	VDDOP	AVDD1, AVDD2, AVDD3, AVDD4, AVDD5, DVDD	3.0	—	5.5	V
動作温度範囲	TOP		-40	—	105	°C

7.3 電源電流特性

($-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$, $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = AV_{DD5} = DV_{DD} = 5.0\text{ V}$, $R_{IREFR} = 56\text{ k}\Omega$)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
電源電流	I _{stby1} ^注	PC1 = 00H, PC2 = 00H	—	340	520	μA
	I _{m11} ^注	PC1 = FFH, PC2 = 3FH CCn1, CCn2 = 0, 0	—	11.1	18.5	mA
	I _{m12} ^注	PC1 = FFH, PC2 = 3FH CCn1, CCn2 = 0, 1	—	9.8	16.8	mA
	I _{m21} ^注	PC1 = FFH, PC2 = 3FH CCn1, CCn2 = 1, 0	—	8.5	15.0	mA
	I _{m22} ^注	PC1 = FFH, PC2 = 3FH CCn1, CCn2 = 1, 1	—	7.7	13.9	mA

備考 n = 1~4

注 AVDD1, AVDD2, AVDD3, AVDD4, AVDD5, DVDD 内部電源に流れるトータル電流です。ただし、プルアップ抵抗に流れる電流は含みません。入力端子を AVDD1, AVDD2, AVDD3, AVDD4, AVDD5, DVDD または AGND1, AGND2, AGND3, AGND4, AGND5, AGND6, AGND7, DGND に固定した状態での入力リーク電流は含みます。

7.4 各機能の電気的特性

(1) コンパレータ内蔵高速計装アンプ（高速計装アンプ部）

($-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$, $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = AV_{DD5} = DV_{DD} = 5.0\text{ V}$, $V_{REFINn} = 1.75\text{ V}$, $AMPnOF = 1$, $CMPnOF = 0$, $R_{IREFR} = 56\text{ k}\Omega$)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流 注	lcc00	CCn1, CCn0 = 0, 0	–	2.04	2.82	mA
	lcc01	CCn1, CCn0 = 0, 1	–	1.7	2.36	mA
	lcc10	CCn1, CCn0 = 1, 0	–	1.28	1.88	mA
	lcc11	CCn1, CCn0 = 1, 1	–	1.02	1.58	mA
★ 入力電圧	VINL		AGND+0.72	–	–	V
	VINH		–	–	$AV_{DD} - 2.0$	V
出力電圧	VOU TL	IOL = -0.2 mA, CCn1, CCn0 = 0, 0	–	–	AGND+0.2	V
	VOU TH	IOH = +0.2 mA, CCn1, CCn0 = 0, 0	$AV_{DD} - 0.2$	–	–	V
セットリング・ タイム	tSET_AMP00	CCn1, CCn0 = 0, 0 GCn3, GCn2, GCn1, GCn0 = 0, 0, 0, 0 (10 dB) CL = 30 pF, 出力電圧 1V _{PP} 時, 出力収束電圧 V _{PP} = 999 mV	–	–	0.6	μs
	tSET_AMP01	CCn1, CCn0 = 0, 1 GCn3, GCn2, GCn1, GCn0 = 0, 0, 0, 0 (10 dB) CL = 30 pF, 出力電圧 1V _{PP} 時, 出力収束電圧 V _{PP} = 999 mV	–	–	0.7	μs
	tSET_AMP10	CCn1, CCn0 = 1, 0 GCn3, GCn2, GCn1, GCn0 = 0, 0, 0, 0 (10 dB) CL = 30 pF, 出力電圧 1V _{PP} 時, 出力収束電圧 V _{PP} = 999 mV	–	–	1.0	μs
	tSET_AMP11	CCn1, CCn0 = 1, 1 GCn3, GCn2, GCn1, GCn0 = 0, 0, 0, 0 (10 dB) CL = 30 pF, 出力電圧 1V _{PP} 時, 出力収束電圧 V _{PP} = 999 mV	–	–	1.8	μs
利得帯域幅	GBW00	RL = 無負荷, CL = 30 pF, VREFINn = 1.5~1.75 V CCn1, CCn0 = 0, 0 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	–	10	–	MHz
	GBW01	RL = 無負荷, CL = 30 pF, VREFINn = 1.5~1.75 V CCn1, CCn0 = 0, 1 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	–	8.5	–	MHz
	GBW10	RL = 無負荷, CL = 30 pF, VREFINn = 1.5~1.75 V CCn1, CCn0 = 1, 0 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	–	7	–	MHz
	GBW11	RL = 無負荷, CL = 30 pF, VREFINn = 1.5~1.75 V CCn1, CCn0 = 1, 1 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	–	5	–	MHz

注 コンパレータ部の動作停止状態における、高速計装アンプ×1チャンネル分の値です。

備考 n = 1~4

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
入力換算ノイズ	En00	f = 1 kHz, CCn1, CCn0 = 0, 0 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	-	125	-	nV/ $\sqrt{\text{Hz}}$
	En01	f = 1 kHz CCn1, CCn0 = 0, 1 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	-	130	-	nV/ $\sqrt{\text{Hz}}$
	En10	f = 1 kHz CCn1, CCn0 = 1, 0 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	-	135	-	nV/ $\sqrt{\text{Hz}}$
	En11	f = 1 kHz CCn1, CCn0 = 1, 1 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	-	155	-	nV/ $\sqrt{\text{Hz}}$
入力換算 オフセット電圧	VOFF	CCn1, CCn0 = 0, 0 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	-10	-	+10	mV
入力換算 オフセット 電圧温度係数	VOTC		-	± 6	-	$\mu\text{V}/^\circ\text{C}$
スルーレート	SR00	CL = 30 pF, CCn1, CCn0 = 0, 0 GCn3, GCn2, GCn1, GCn0 = 0, 0, 0, 0 (10 dB)	-	20	-	V/ μs
	SR01	CL = 30 pF, CCn1, CCn0 = 0, 1 GCn3, GCn2, GCn1, GCn0 = 0, 0, 0, 0 (10 dB)	-	15	-	V/ μs
	SR10	CL = 30 pF, CCn1, CCn0 = 1, 0 GCn3, GCn2, GCn1, GCn0 = 0, 0, 0, 0 (10 dB)	-	10	-	V/ μs
	SR11	CL = 30 pF, CCn1, CCn0 = 1, 1 GCn3, GCn2, GCn1, GCn0 = 0, 0, 0, 0 (10 dB)	-	5	-	V/ μs
同相信号除去比	CMRR00	f = 1 kHz, CCn1, CCn0 = 0, 0 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	-	75	-	dB
	CMRR01	f = 1 kHz CCn1, CCn0 = 0, 1 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	-	74	-	dB
	CMRR10	f = 1 kHz CCn1, CCn0 = 1, 0 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	-	73	-	dB
	CMRR11	f = 1 kHz CCn1, CCn0 = 1, 1 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB)	-	72	-	dB

備考 n = 1~4

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
電源電圧 変動除去比	PSRR00	f = 1 kHz, CCn1, CCn0 = 0, 0 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB) VCM = AGND + 0.72 V ~ AV _{DD} - 2.5 V	-	60	-	dB
	PSRR01	f = 1 kHz, CCn1, CCn0 = 0, 1 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB) VCM = AGND + 0.72 V ~ AV _{DD} - 2.5 V	-	63	-	dB
	PSRR10	f = 1 kHz, CCn1, CCn0 = 1, 0 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB) VCM = AGND + 0.72 V ~ AV _{DD} - 2.5 V	-	65	-	dB
	PSRR11	f = 1 kHz, CCn1, CCn0 = 1, 1 GCn3, GCn2, GCn1, GCn0 = 1, 0, 0, 0 (26 dB) VCM = AGND + 0.72 V ~ AV _{DD} - 2.5 V	-	65	-	dB
ゲイン設定誤差	GAIN_Accu1	T _A = 25°C VCM = AGND + 0.72V ~ AV _{DD} - 2.5 V	-0.8	-	0.8	dB
	GAIN_Accu2	T _A = -40~105°C VCM = AGND + 0.72V ~ AV _{DD} - 2.5 V	-1.2	-	1.2	dB

備考 n = 1~4

(2) コンパレータ内蔵高速計装アンプ (コンパレータ部)

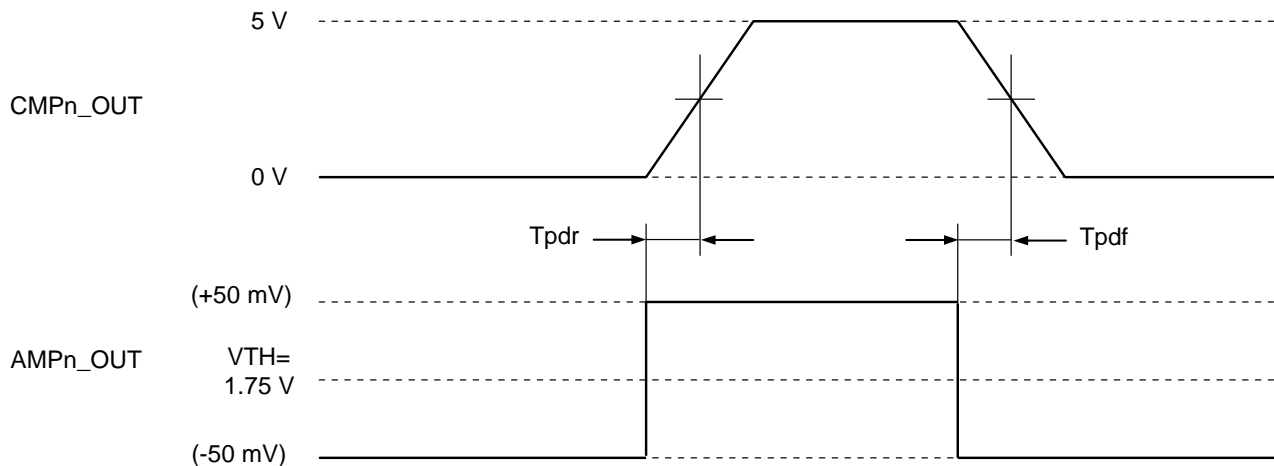
(-40°C ≤ T_A ≤ 105°C, AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = AV_{DD5} = DV_{DD} = 5.0V, VREFIN_n = 1.75 V, AMPnOF = 0, CMPnOF = 1, R_{IREFR} = 56 kΩ)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流 ^注	I _{cc00}		-	68	92	μA
同相入力 電圧範囲	V _{IL}	HYSn1, HYSn0 = 1, 1	AGND + 0.1	-	-	V
	V _{IH}	HYSn1, HYSn0 = 1, 1	-	-	AV _{DD} - 2.0	V
出力電圧範囲	VOL	RL = 2.2 kΩ ± 1 %	-	AGND + 0.1	AGND + 0.2	V
応答時間	T _{pdr}	VREFIN5 = 1.0V, HYSn1, HYSn0 = 1, 1, CL = 20 pF, RL = 2.2 kΩ, オーバー・ドライブ 電圧 = 100 mV	-	100	150	ns
	T _{pdf}		-	40	100	ns
ヒステリシス	HYST00	HYSn1, HYSn0 = 0, 0	100	200	305	mV
	HYST01	HYSn1, HYSn0 = 0, 1	45	100	151	mV
	HYST10	HYSn1, HYSn0 = 1, 0	19	50	78	mV
入力オフセット 電圧	VOFF	VREFIN5 = 1.75 V	-10	-	10	mV

注 高速計装アンプ部の動作停止状態における、コンパレータ × 1 チャンネル分の値です。

備考 n = 1~5

コンパレータ応答タイミング



備考 n=1~4

(3) D/A コンバータ

($-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$, $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = AV_{DD5} = DV_{DD} = 5.0\text{ V}$, $DACnOF = 1$, $R_{IREFR} = 56\text{ k}\Omega$)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流	I_DAC1	VR2, VR1, VR0 = 0, 0, 0	–	1.37	1.72	mA
	I_DAC2	VR2, VR1, VR0 = 0, 1, 0	–	2.13	2.7	mA
分解能	RES		–	–	8	bit
セットリング・ タイム	tSET		–	–	100	μs
微分直線性誤差 注	DNL	VR2, VR1, VR0 = 0, 0, 0	-2	–	2	LSB
積分直線性誤差	INL	VR2, VR1, VR0 = 0, 0, 0	-2	–	2	LSB

注 単調性は保証されません。

(4) 温度センサ回路

($-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$, $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = AV_{DD5} = DV_{DD} = 5.0\text{ V}$, $TEMPOF = 1$, $R_{IREFR} = 56\text{ k}\Omega$)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流	I _{CCA}		–	320	650	μA
出力電圧	V _O	T _A = 25°C	–	1.67	–	V
温度感度	T _{SE}		–	-5.0	–	mV/°C

(5) パワーオン・リセット (POR) 回路

($-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$, $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = AV_{DD5} = DV_{DD} = 5.0\text{ V}$, $R_{IREFR} = 56\text{ k}\Omega$)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
検出電圧	V _{POR}	電源立ち上がり時	1.45	2.19	2.8	V
	V _{PDR}	電源立ち下がり時	1.3	1.98	2.55	V
最小パルス幅	T _{PW}		200	–	–	μs

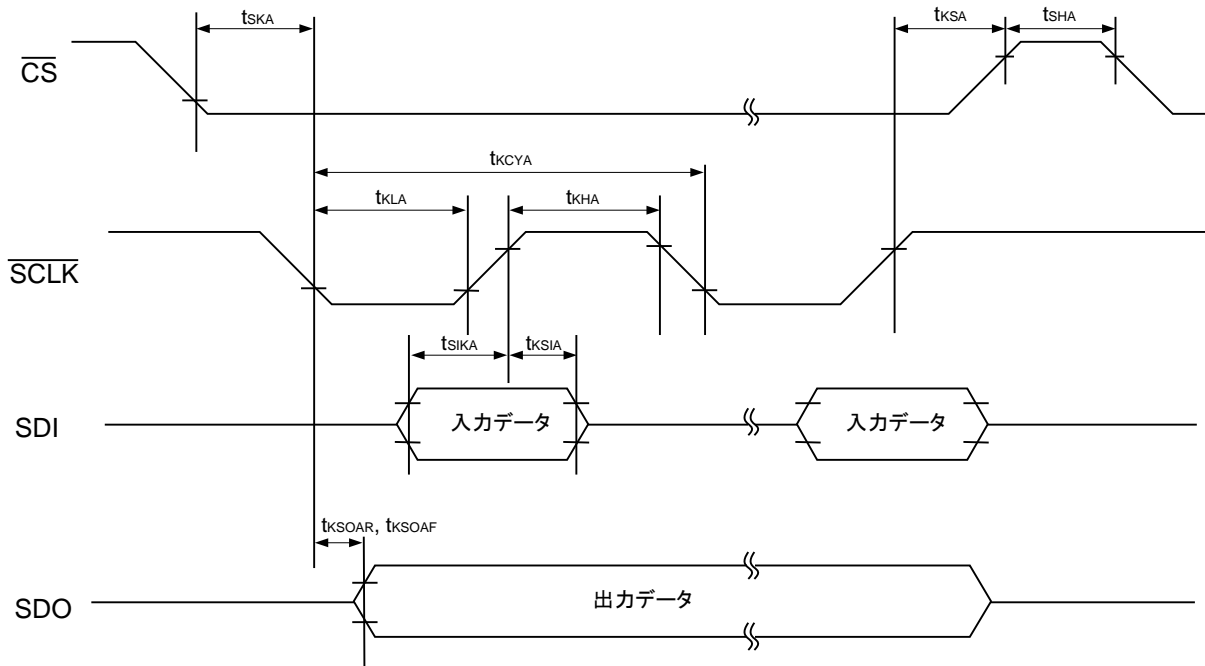
(6) SPI

(-40°C ≤ T_A ≤ 105°C, AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = AV_{DD5} = DV_{DD} = 5.0 V)

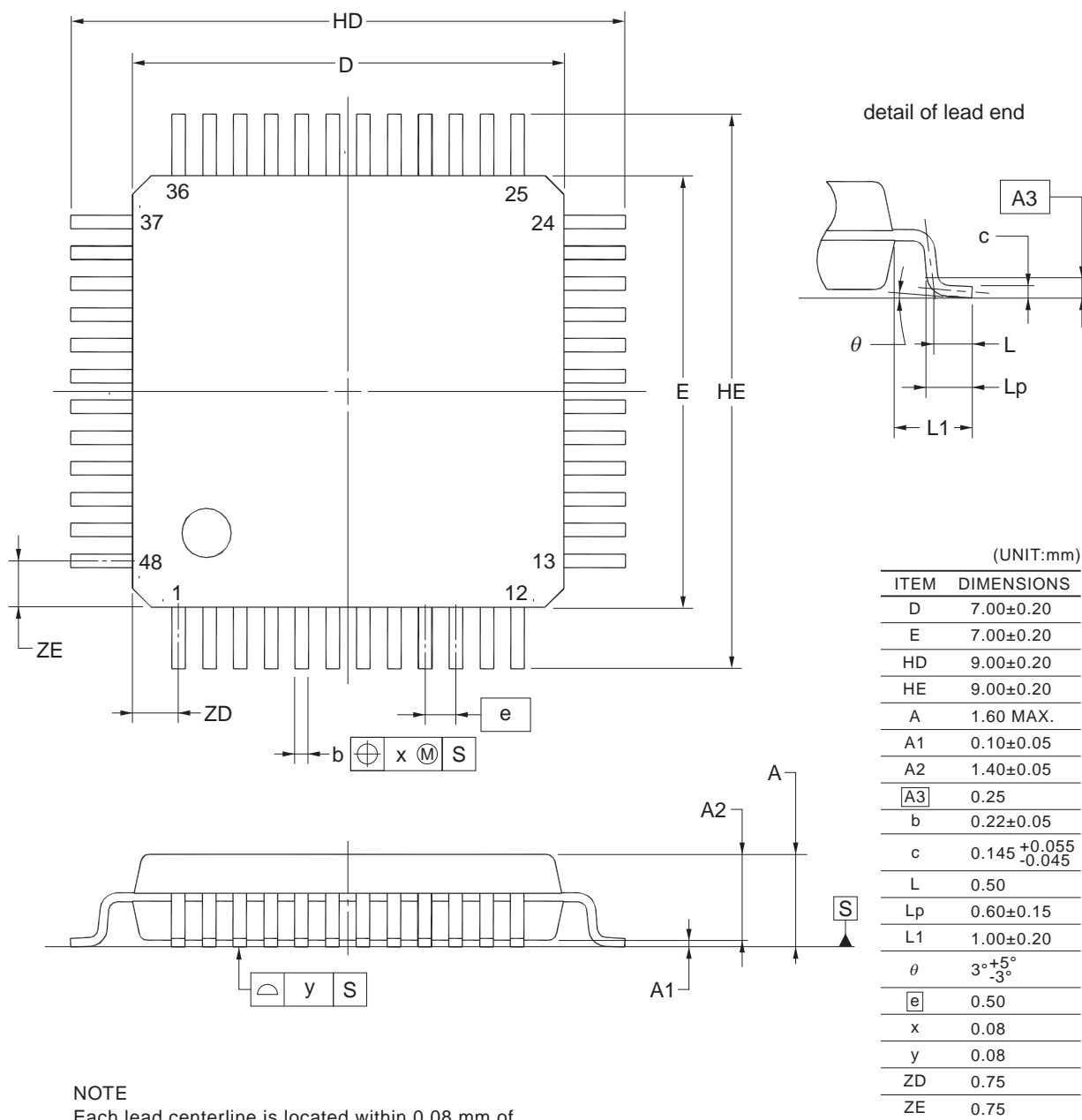
項目	略号	条件	規格			単位
			MIN	TYP	MAX	
ハイ・レベル入力電圧	V _{IH}	\overline{CS} 端子, SDI 端子, \overline{SCLK} 端子, \overline{RESET} 端子	2.0	DV _{DD}	DV _{DD} + 0.1	V
ロウ・レベル入力電圧	V _{IL}	\overline{CS} 端子, SDI 端子, \overline{SCLK} 端子, \overline{RESET} 端子	-0.1	DGND	0.7	V
ハイ・レベル 入カリーク電流	I _{leak_Hi1}	\overline{CS} 端子, SDI 端子, \overline{SCLK} 端子	-1	-	2	μA
	I _{leak_Hi2}	\overline{RESET} 端子	-1	-	2	μA
ロウ・レベル 入カリーク電流 ^注	I _{leak_Lo1}	\overline{CS} 端子, SDI 端子, \overline{SCLK} 端子	50	100	200	μA
	I _{leak_Lo2}	\overline{RESET} 端子	-1	-	2	μA
★ SDO 端子 ロウ・レベル出力電圧	V _{SDO_Lo}	I _o = -5 mA	-	120	300	mV
SDO 端子 OFF 時リーク電流	I _{leak_SDO}		-1	-	2	μA
プルアップ抵抗	R _{SPI}	\overline{CS} 端子, SDI 端子, \overline{SCLK} 端子	32.5	50	67.5	kΩ
\overline{SCLK} サイクル・タイム	t _{KCYA}		100	-	-	ns
\overline{SCLK} ハイ・レベル幅, ロウ・レベル幅	t _{KHA} , t _{KLA}		0.9t _{KCYA} /2	-	-	ns
SDI セットアップ時間 (対 \overline{SCLK} ↑)	t _{SIKA}		40	-	-	ns
★ SDI ホールド時間 (対 \overline{SCLK} ↑)	t _{KSIA}		10	-	-	ns
\overline{SCLK} ↓ → SDO 出力 遅延時間	t _{KSOAR}	プルアップ抵抗 10 kΩ、CL = 5 pF、 V _{SDO} = 5 V	-	250	300	ns
	t _{KSOAF}	プルアップ抵抗 10kΩ、CL = 5 pF、 V _{SDO} = 5 V	-	-	20	ns
\overline{CS} ハイ・レベル幅	t _{SHA}		200	-	-	ns
\overline{CS} ↓ → \overline{SCLK} ↓ 遅延時間	t _{SKA}		200	-	-	ns
\overline{SCLK} ↑ → \overline{CS} ↑ 遅延時間	t _{KSA}		200	-	-	ns

注 プルアップ抵抗に流れる電流を含みます。

SPI 転送クロック・タイミング



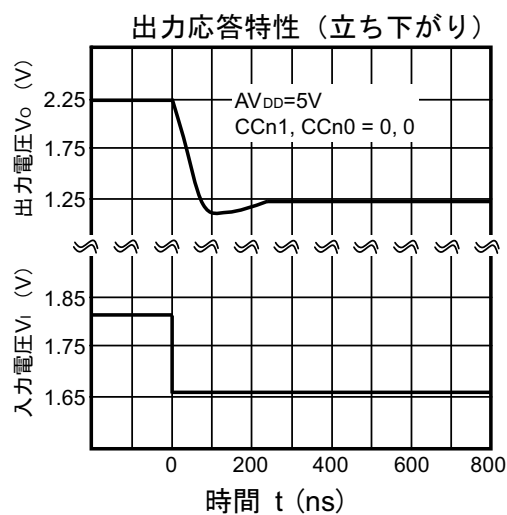
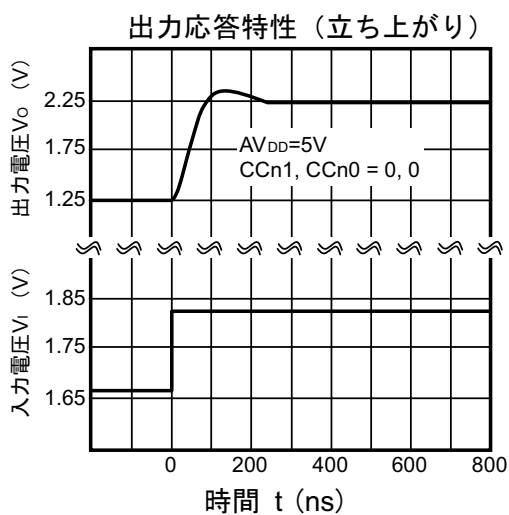
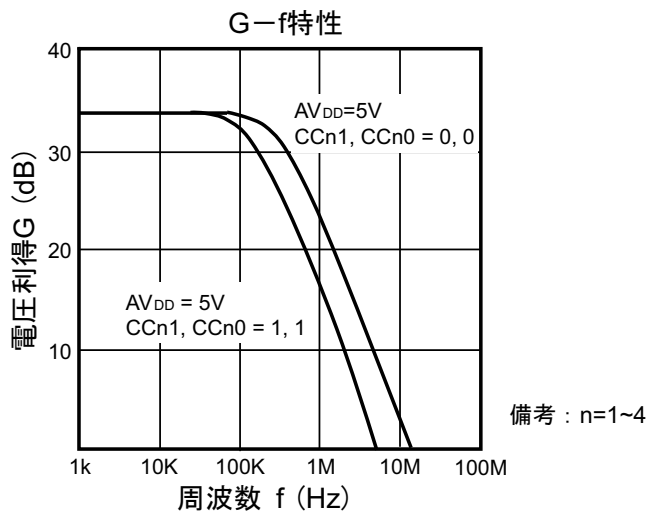
8. PKG 外形图



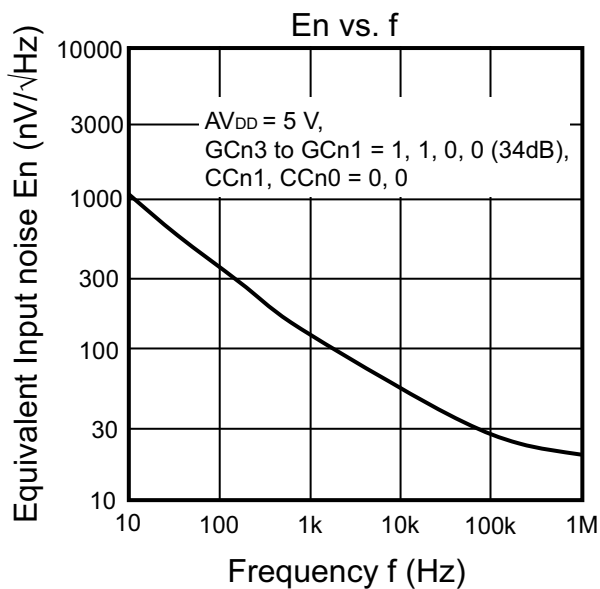
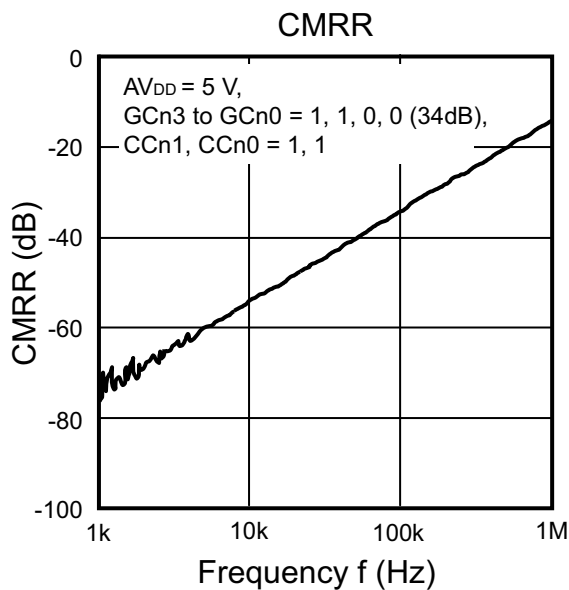
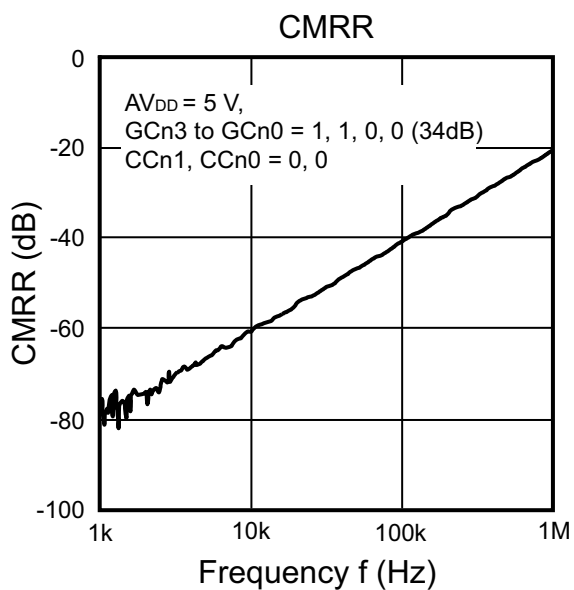
NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

特性曲線 (TA = 25°C, TYP.) (参考値)

- コンパレータ内蔵高速計装アンプ (高速計装アンプ部)

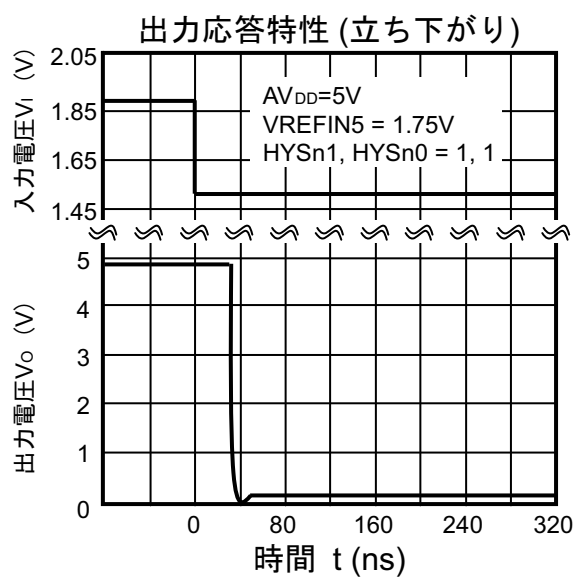
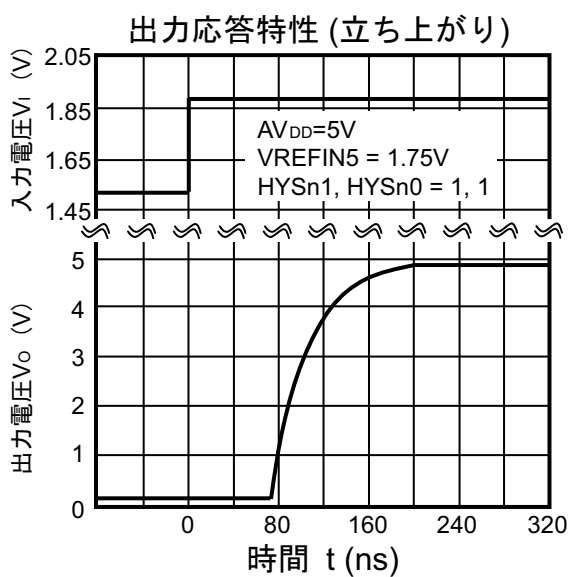


★



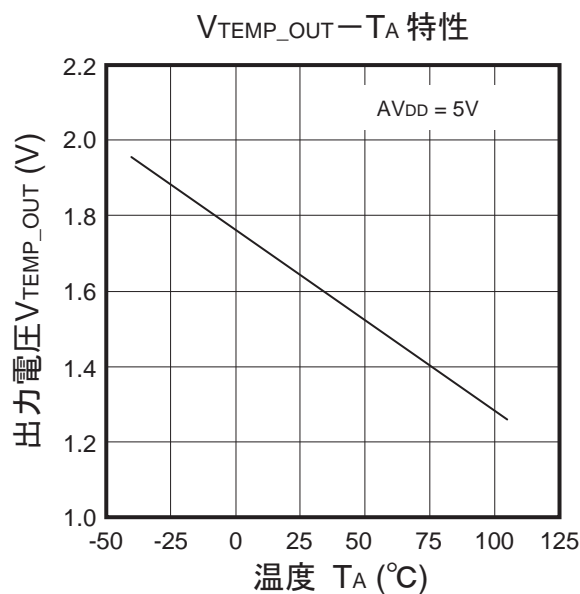
Remark: n=1 to 4

- コンパレータ内蔵高速計装アンプ (コンパレータ部)



備考 : n=1~4

- 温度センサ



改訂記録	RAA730502 モノリシック・プログラマブル・アナログ IC
------	-------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2011.09.05	-	初版発行
0.02	2012.02.24	8	表 1-2 未使用時の端子処理の端子を追加 (RESET)
		12	図 1-1 入出力回路タイプ (4/5) の等価回路を変更
		28	5.2 SPI 通信動作の説明, 図 5-2 SPI 通信タイミングを変更
		29	表 6-1 リセット期間中の動作状態を変更
		30	表 6-3 リセット後の端子状態を追加
		31	7.1 絶対最大定格の出力電流 IO1 の単位を変更
			7.1 絶対最大定格の出力電流 IO3 を追加
		32	7.2 電源電圧の条件 (AVDD1~AVDD5, DVDD) を追加
		34	7.4 (1) 利得帯域幅の規格値を変更
		35	(1) コンバータ内蔵高速計装アンプ (高速計装アンプ) に入力換算オフセット電圧温度係数 VOTC を追加
			(1) コンバータ内蔵高速計装アンプ (高速計装アンプ) の GAIN_Accu2 削除
		38	7.4 (3) セットリングタイムの単位、積分直線性誤差の規格値を訂正
		39	7.4 (5) SPI インターフェースの Plieak_Hi2, lieak_Lo2 を追加
			7.4 (5) SPI インターフェースの tKSOAR の規格値を変更
7.4 (5) SPI インターフェースに注を追加			
1.00	2012.08.30	2	オーダ情報, 型名を追加
		14	図 1-1 入出力回路タイプ (5/5) の等価回路を変更
		31	表 6-3 リセット後の端子状態の I/O を削除
		43	特性曲線 (TA = 25°C, TYP.) (参考値) を追加
1.01	2012.09.07	40	7.4 (6) SPI インターフェースの規格値を変更
1.10	2013.01.31	38	7.4 (2) コンパレータ内蔵高速計装アンプ(コンパレータ部)の応答時間の規格値を変更
		40	7.4 (6) SPI の FSCLK を削除
			7.4 (6) SPI にプルアップ抵抗を追加
1.20	2014.05.31	15	2.1 コンパレータ内蔵高速計装アンプ 基準電圧に関する記述の変更。
		19	3.1 D/A コンバータ出力電圧値の算出式を訂正。
		20	3.3 (2) DAC 基準制御レジスタ (DACRC) に関する記述の変更。
		27	5 SPI 外部リセットに関する注意の追加。
		29	6 リセット機能に関する記述の変更。
		33	7.1 ジャンクション温度を削除。
		34	7.2 「動作条件」に変更。
		35	7.4 (1) ゲイン設定誤差を追加。
		40	7.4 (6) SDO 端子ロウ・レベル出力電圧 (TYP.)、SDI ホールド時間を訂正。
		44	特性曲線 (TA = 25°C, TYP.) (参考値) を変更

すべての商標および登録商標は、それぞれの所有者に帰属します。

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>