

R-IN32M4-CL3

産業分野におけるイーサネット通信は従来と比較し、高速リアルタイム応答性などの高性能な機能の要求が強くなっています。従来する方法（イーサネットワーク処理そのものをハードウェア化する方法、または高速ネットワーク処理専用 CPU を用いる方法）では必ずしも実現できるわけではありません。

ルネサス製イーサネット通信 LSI 「R-IN32M4-CL3」は FA 分野におけるイーサネット通信に重要な「高速リアルタイム応答」「高精度通信制御（低ジッター通信）」を実現するために、以下の機能を搭載しております。

■CPU 機能

- Arm[®]社製 Cortex[®]-M4 コア内蔵
- ハードウェア・リアルタイム OS アクセラレータ（HW-RTOS）搭載

■周辺機能

- タイマ、WDT、I²C、UART、CSI、CAN、汎用 I/O ポート（GPIO）
- シリアル・フラッシュ・メモリ・コントローラ

■外部メモリ／外部 MCU（マイコン）インタフェース機能

- 外部メモリ接続モード：SRAM 等の外部デバイスを 16/32 ビットバス接続
- 外部 MCU 接続モード：ホスト MCU を 16/32 ビットバス接続

■イーサネット機能

- ギガビット・イーサネット MAC 内蔵
- カットスルー転送、IEEE 1588 タイマ、Device Level Ring (DLR) 機能を有するスイッチングハブを内蔵
- 2 ポートの 10/100/1000BASE-PHY 内蔵
- ネットワーク処理専用 DMA コントローラ及びバッファ

■対応可能な産業イーサネット・プロトコル

- CC-Link IE Field インテリジェントデバイス局、リモートデバイス局
- CC-Link IE TSN リモート局（Class B, Class A 対応）
- PROFINET RT
- EtherNet/IP
- Modbus TCP

■ターゲットアプリケーション

- リモート I/O
- インバータ、サーボドライブ
- 産業イーサネット対応通信ユニット

■その他

- R-IN32M4-CL2 からの置換を考慮した端子配置
- PHY 専用 2.5V レギュレータ内蔵

1. 概要

1.1 機能概要

表1.1 R-IN32M4-CL3 の機能概要 (1/3)

項目	品名	R9A06G064MGBG (23mm□パッケージ)	R9A06G064SGBG (17mm□パッケージ)
CPU コア		Arm 社 Cortex-M4 32 ビット RISC CPU +Real-Time OS Accelerator (Hardware Real-Time OS)	
動作周波数		100MHz	
命令セット		Thumb [®] -2 命令 Armv7-M アーキテクチャ	
浮動小数点 UNIT		Armv7M FPv4-SP (32bit 単精度)	
命令 RAM		768K バイト内蔵 (ECC 対応)	
データ RAM		512K バイト (ECC 対応)	
バッファ RAM		64K バイト (ECC 対応)	
ネットワーク RAM		128K バイト (ECC 対応)	
内部システム・バス		32 ビット・システム・バス 100MHz (AHB-Lite) 64 ビット・システム・バス 125MHz (AXI) 128 ビット・コミュニケーション・バス 100MHz	
DMA 機能 (システム・バス側)		4 チャンネル+1 チャンネル (リアルタイム・ポート用) ソフトウェア・トリガ、各種割り込み信号からの DMA 起動が可能	
ブート・モード		シリアル・フラッシュ ROM ブート 外部メモリ・ブート 外部マイコン・ブート	
外部メモリ・アクセス機能		<ul style="list-style-type: none"> ・バス・サイジング機能 (16 ビット/32 ビット) ・ページ ROM/ROM/SRAM インタフェース ・同期式バースト・メモリ・インタフェース ・プログラマブル・ウエイト機能 	
スタティック・メモリ用チップ・セレクト信号	4 本		4/3 本 ^{注1}
外部メモリ空間	256M バイト		256M/192M バイト ^{注1}
外部マイコン・インタフェース		<ul style="list-style-type: none"> ・バス・サイジング機能 (16 ビット/32 ビット) ・スタティック・メモリ用の汎用インタフェース ・アドレス空間: 2M バイト (Instruction RAM, Data RAM, レジスタ領域) ・内部アドレス空間マッピング切り替え機能 	
シリアル・フラッシュ ROM メモリ・コントローラ機能		<ul style="list-style-type: none"> ・各社 SPI 互換シリアル・インタフェース対応 ・シリアル・メモリ・デバイスから直接ブート可能 ・Fast Read, Fast Read Dual Output, Fast Read Dual I/O, Fast Read Quad Output, Fast Read Quad I/O モードに対応 ・メモリ空間に直接割り付け 	
割り込み		・外部割り込み 30 本	

注 1. 17mm□パッケージで非同期 SRAM MEMC を使用する際は、CSZ0-CSZ2 が使用可能です。

表1.1 R-IN32M4-CL3 の機能概要 (2/3)

項目	品名	R9A06G064MGBG (23mm□パッケージ)	R9A06G064SGBG (17mm□パッケージ)
内蔵周辺機能			
I/O ポート		CMOS 入出力：最大 106 本	CMOS 入出力：最大 101 本
タイマ (4 系統搭載)		<ul style="list-style-type: none"> ・ハードウェア RTOS 内蔵タイマ ・CPU 内蔵タイマ ・32 ビット・タイマ (4ch) ・16 ビット・タイマ (16ch) 	
ウォッチドッグ・タイマ		<ul style="list-style-type: none"> ・1 チャンネル ・ソフトウェア・トリガ・スタート・モード ・エラー時の動作 <ul style="list-style-type: none"> －NMI 要求の生成 －リセット要求の生成 ・カウンタ・オーバフロー値の 75% 割り込み 	
アシンクロナス・シリアル・インタフェース		<ul style="list-style-type: none"> ・2 チャンネル <ul style="list-style-type: none"> ・全二重通信 ・受信 FIFO (10 ビット×16)、送信 FIFO (8 ビット×16) 内蔵 ・受信エラーとステータス出力機能 ・キャラクタ長：7, 8 ビット ・パリティ機能：奇数、偶数、0、なし ・送信ストップ・ビット：1, 2 ビット 	
I2C シリアル・インタフェース		<ul style="list-style-type: none"> ・2 チャンネル ・動作モード (標準モード、高速モード) ・転送モード (シングル転送モード、連続転送モード) ・通信データ長：8 ビット 	
CAN コントローラ		<ul style="list-style-type: none"> ・2 チャンネル ・ISO11898 に準拠 ・標準フレームと拡張フレームの送受信が可能 ・転送速度：最大 1Mbps 	使用不可
クロック同期式 シリアル・インタフェース		<ul style="list-style-type: none"> ・2 チャンネル ・3 線式シリアル同期データ転送 ・マスタ・モードまたはスレーブ・モードを選択可能 ・ポーレート・ジェネレータを内蔵 ・通信データ長：7 ビット～16 ビット 	
10/100/1000Mbps Ethernet MAC		<ul style="list-style-type: none"> ・1 チャンネル ・スイッチ機能 (2 ポート) 	
Ethernet PHY		<ul style="list-style-type: none"> ・2 ポート IEEE 802.3 ・10BASE-T, 100BASE-TX, 1000BASE-T 	
CC-Link IE		2 種類の CC-Link IE (CC-Link IE Field と CC-Link IE TSN) を搭載しています。 2 種類の CC-Link IE は排他的に使用可能です。	
CC-Link IE Field		CC-Link IE Field (インテリジェントデバイス局/リモートデバイス局)	
CC-Link IE TSN		CC-Link IE TSN	

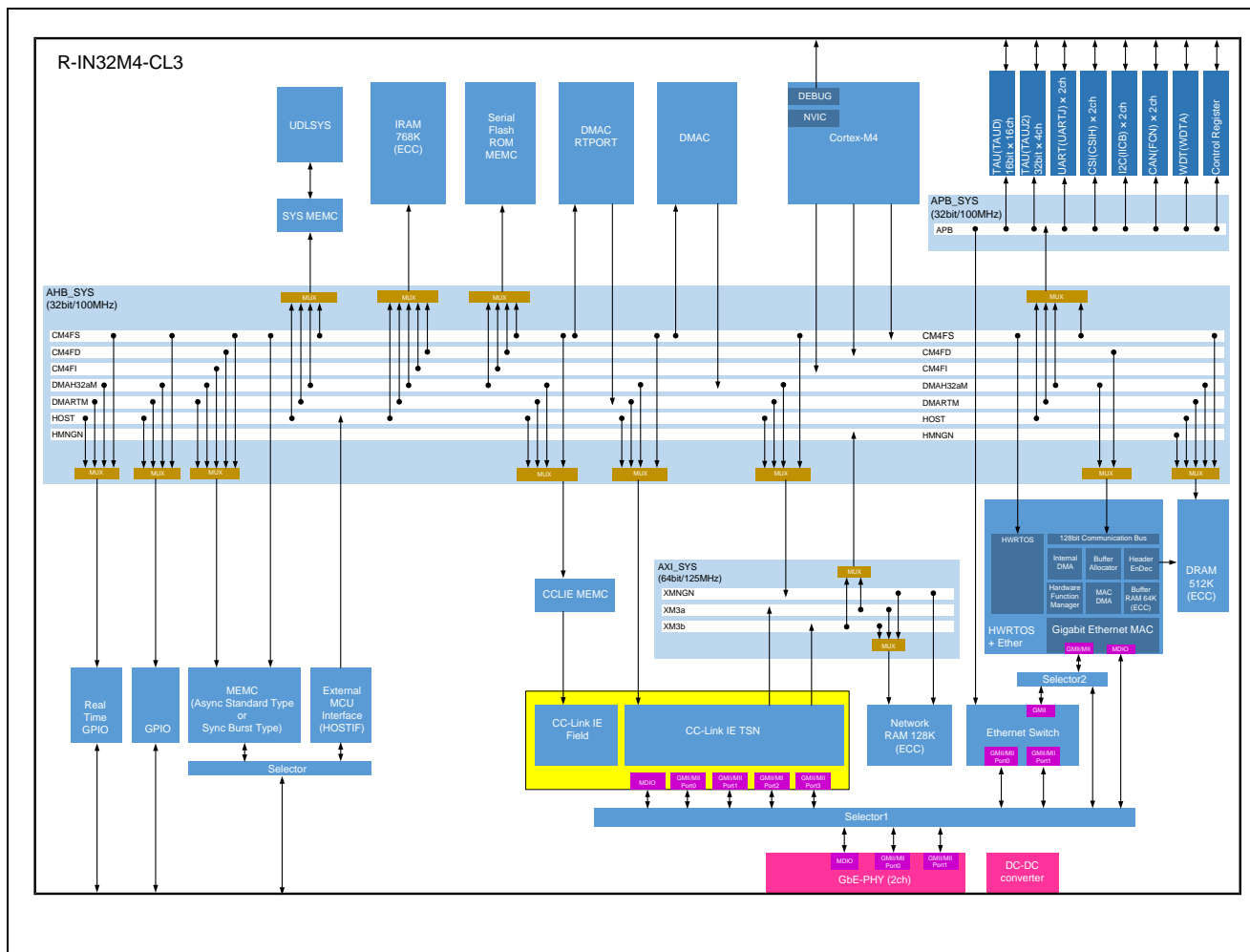
表1.1 R-IN32M4-CL3 の機能概要 (3/3)

項目	品名	R9A06G064MGBG (23mm□パッケージ)	R9A06G064SGBG (17mm□パッケージ)
オンチップ・デバッグ機能		<ul style="list-style-type: none"> ・シリアルワイヤもしくは JTAG の選択 ・フル・トレース機能 (ETM 内蔵) 	
内蔵 PLL		25MHz 入力で、各クロックを内蔵 PLL で生成	
内蔵レギュレータ		PHY 専用 2.5V を 3.3V 電源より生成可能	
電源電圧		VDD33 = 3.3 ± 0.165V ^{注2} VDD11 = 1.15 ± 0.06V ^{注2} VDD25 = 2.5 ± 0.125V ^{注1, 注2}	
動作温度		Tj = -40~+125°C, Ta = -40~+85°C	
パッケージ		484 ピン PBGA 23mm x 23mm, 1.0mm Pitch	356 ピン FBGA 17mm x 17mm, 0.8mm Pitch

注 1. 2.5V 電源 (VDD25) は、内蔵レギュレータにて生成可能です。

2. リップル込みの値です。目安として、DC 成分±3%以内、リップル成分±2%以内としてください。

1.2 機能ブロック構成



1.3 端子配置図 (Top View)

1.3.1 23mm口パッケージ 端子配置図 (Top View)

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	
22	GND	GND	RP21	RP23	RP25	RP27	RP02	RP00	GND/OPEN	GND/OPEN	GND/OPEN	P20	P22	P25	GND	P67	P65	P63	P60	P30	GND	GND	22
21	GND	RP20	RP22	RP24	RP26	RP04	RP03	RP01	GND/OPEN	GND/OPEN	GND/OPEN	P21	P23	P26	P27	P66	P64	P62	P61	P31	P32	GND	21
20	RP30	RP32	RP10	RP11	RP12	RP13	RP07	RP05	GND	VDD33	GND/OPEN	GND	P24	EXTP0	EXTP1	EXTP2	EXTP3	HWRZ SEL	HOT RESETZ	PONRZ	P33	RESETZ	20
19	RP31	RP33	RP37	RP14	RP15	RP16	RP17	RP06	GND	VDD33	GND/OPEN	GND	GND	TEST7	CLK2M SEL	VDD33	MEMC SEL	ADMUX MODE	BUS32 EN	RST OUTZ	P35	P34	19
18	BUS CLK	RP34	RP36	D15	GND	VDD33	GND	VDD33	GND	VDD33	VDD33	GND	GND	VDD11	GND	GND	VDD33	TEST6	MEMIF SEL	BOOT0	GND	CCL CLK2_0 97M	18
17	D6	RP35	D13	D14	TEST3	VDD33	GND	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	GND	VDD33	PLL_VDD	HIF SYNC	BOOT1	P36	GND	17
16	D4	D5	D11	D12	GND	VDD33	GND	VDD11	GND	GND	GND	GND	GND	GND	VDD11	GND	VDD33	PLL_GND	EXTP9	EXTP8	P37	GND	16
15	D2	D3	D9	D10	GND	GND	GND	VDD11	GND	GND	GND	GND	GND	GND	VDD11	GND	GND	GND	EXTP7	EXTP6	P70	XT2	15
14	D0	D1	D7	D8	GND	VDD33	GND	VDD11	GND	GND	GND	GND	GND	GND	VDD11	GND	GND	GND	EXTP5	EXTP4	P71	XT1	14
13	RDZ	WRSTB Z	CS20	A20	GND	GND	GND	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	GND	VDD33	GND	OSCTH	NMIZ	P73	P72	13
12	P10	P12	WR20	A19	GND	VDD33	VDD33	GND	VDD33	GND	VDD33	VDD33	GND	VDD33	GND	VDD33	VDD33	GND	GND	TRACE CLK	P75	P74	12
11	P11	P13	WR21	A18	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	TRACE DATA1	TRACE DATA0	P77	P76	11
10	P14	P15	A17	GND	GND	GND	GND	GND	GND	GND	GND/OPEN	GND	GND	GND	GND	GND	GND	GND	GND	TRACE DATA2	P01	P00	10
9	P16	P17	A15	A16	GND	GND	GND	GND	VDD33	VDD33	VDD33	VDD33	VDD33	VDD33	GND	GND	GND	GND	TRSTZ	TRACE DATA3	P03	P02	9
8	P47	P44	A13	A14	GND	GND	GND	GND	VDD33	GND	GND	GND	GND	VDD33	GND	GND	GND	GND	TDO	JTAG SEL	P05	P04	8
7	P45	P46	A11	A12	GND	GND	GND	GND	VDD11	GND	GND	GND	GND	VDD11	GND	GND	GND	GND	TCK	TMODE 2	P07	P06	7
6	P43	P41	A9	A10	REG_EN	GND	AVDD REG_33	GND	VDD11	GND	GND	GND	GND	VDD11	GND	GND	GND	GND	TDI	TMODE 1	P51	P50	6
5	P42	A7	A8	PHY ADD1	AGND	GND	VDD REG_33	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	TMS	TMODE 0	P53	P52	5
4	P40	A5	A6	PHY ADD2	AGND	REG_OUT	GND	REG_FB	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	TEST5	TEST4	P55	P54	4
3	A2	A3	A4	PHY ADD3	GND	GND	GND	GND	GND	VDD11A	VDD11A	GND	VDD25A	VDD25A	VDD25A	GND	GND	GND	GND	GND	P57	P56	3
2	GND	PHY0_LED0	PHY ADD4	GND	GND	GND	P0_D3N	P0_D2N	P0_D1N	P0_D0N	GND	REF_FILT	GND	P1_D3N	P1_D2N	P1_D1N	P1_D0N	GND	GND	GND	PHY1_LED0	GND	2
1	GND	GND	GND	GND	GND	GND	P0_D3P	P0_D2P	P0_D1P	P0_D0P	GND	REF_REXT	GND	P1_D3P	P1_D2P	P1_D1P	P1_D0P	GND	GND	GND	GND	GND	1

図1.1 23mm口パッケージ 端子配置図 (TOP View)

1.3.2 17mm□パッケージ 端子配置図 (Top View)

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y		
20	GND	GND	GND	RP21	RP23	RP25	RP27	RP05	RP02	P24	P25	P27	P66	P64	P60	P30	PONRZ	GND	GND	GND	20	
19	GND	RP37	RP20	RP22	RP24	RP26	RP04	RP03	RP01	P21	P26	P67	P65	P63	P61	P31	EXTP7	EXTP12	P32	GND	19	
18	RP36	RP30	RP32	RP14	RP11	RP16	RP17	RP06	RP00	P22	EXTP0	EXTP1	EXTP2	P62	EXTP3	HOT RESETZ	EXTP13	BUS32 EN	P33	RESETZ	18	
17	RP34	RP31	RP33	RP10	RP15	RP12	RP13	RP07	P20	P23	TEST7	CLK2M SEL	EXTP14	MEMC SEL	HWRZ SEL	ADMUX MODE	TEST6	MEMIF SEL	RST OUTZ	P34	17	
16	BUS CLK	RP35	D14	D15													PLL_VDD	BOOT0	P35	GND	16	
15	D11	D12	D13	D10	GND	VDD33	VDD33	GND	GND	GND	VDD33	VDD33	GND	GND			PLL_GND	BOOT1	P36	OCL_CLK2_097M	15	
14	D4	D5	D6	D9	GND	VDD11	GND	GND	VDD11	VDD11	GND	GND	VDD11	GND			EXTP9	HIF SYNC	P37	GND	14	
13	D2	D3	D7	D8	GND	VDD11	GND	GND	GND	GND	GND	GND	VDD11	VDD33			EXTP8	EXTP6	P70	XT2	13	
12	CSZ0	D0	D1	A20	VDD33	GND	GND	GND	GND	GND	GND	GND	GND	VDD33			EXTP5	EXTP4	P71	XT1	12	
11	WRSTB Z	RDZ	WRZ0	A19	VDD33	VDD11	GND	GND	GND	GND	GND	GND	VDD11	GND			NMIZ	OSCTH	P73	P72	11	
10	P15	P14	WRZ1	A18	GND	VDD11	GND	GND	GND	GND	GND	GND	VDD11	GND			GND	TRACE CLK	P75	P74	10	
9	P16	P17	A17	A15	GND	VDD11	GND	GND	GND	GND	GND	GND	GND	GND			TRACE DATA1	TRACE DATA0	P77	P76	9	
8	P47	P44	A13	A16	GND	VDD11	GND	GND	GND	GND	GND	GND	VDD11	VDD33			TRACE DATA3	TRACE DATA2	P01	P00	8	
7	P45	P46	A14	A11	VDD33	GND	GND	VDD11	VDD11	GND	GND	GND	GND	VDD33			TRSTZ	EXTP10	P03	P02	7	
6	P43	P41	A7	A12	REG_EN	GND	GND	GND	GND	GND	GND	GND	VDD11A	VDD11A	GND			TMODE 2	TDO	P05	P04	6
5	P42	P40	A9	A6													TCK	TMODE 1	JTAG SEL	EXTP11	5	
4	A10	A8	A2	A3	GND	GND	GND	REG_FB	GND	VDD25A	VDD25A	VDD25A	GND	GND	GND	TEST4	TEST5	TDI	P52	P50	4	
3	A5	A4	GND	AGND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	TMODE 0	P57	P51	3	
2	GND	PHY0_LED0	REG_OUT	AGND	GND	P0_D3N	P0_D2N	P0_D1N	P0_D0N	GND	REF_FILT	GND	P1_D3N	P1_D2N	P1_D1N	P1_D0N	GND	PHY1_LED0	TMS	GND	2	
1	GND	GND	VDD REG_33	AVDD REG_33	GND	P0_D3P	P0_D2P	P0_D1P	P0_D0P	GND	REF_REXT	GND	P1_D3P	P1_D2P	P1_D1P	P1_D0P	GND	GND	GND	GND	1	

図1.2 17mm□パッケージ 端子配置図 (TOP View)

1.4 外部端子一覧

1.4.1 23mm□パッケージ

表1.2 23mm□パッケージ 外部端子一覧 (1/4)

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
A1	GND	B15	D3	D7	A12	E21	RP26
A2	GND	B16	D5	D8	A14	E22	RP25
A3	A2	B17	RP35	D9	A16	F1	GND
A4	P40	B18	RP34	D10	GND	F2	GND
A5	P42	B19	RP33	D11	A18	F3	GND
A6	P43	B20	RP32	D12	A19	F4	REG_OUT
A7	P45	B21	RP20	D13	A20	F5	GND
A8	P47	B22	GND	D14	D8	F6	GND
A9	P16	C1	GND	D15	D10	F7	GND
A10	P14	C2	PHYADD4	D16	D12	F8	GND
A11	P11	C3	A4	D17	D14	F9	GND
A12	P10	C4	A6	D18	D15	F10	GND
A13	RDZ	C5	A8	D19	RP14	F11	GND
A14	D0	C6	A9	D20	RP11	F12	VDD33
A15	D2	C7	A11	D21	RP24	F13	GND
A16	D4	C8	A13	D22	RP23	F14	VDD33
A17	D6	C9	A15	E1	GND	F15	GND
A18	BUSCLK	C10	A17	E2	GND	F16	VDD33
A19	RP31	C11	WRZ1	E3	GND	F17	VDD33
A20	RP30	C12	WRZ0	E4	AGND	F18	VDD33
A21	GND	C13	CSZ0	E5	AGND	F19	RP16
A22	GND	C14	D7	E6	REG_EN	F20	RP13
B1	GND	C15	D9	E7	GND	F21	RP04
B2	PHY0_LED0	C16	D11	E8	GND	F22	RP27
B3	A3	C17	D13	E9	GND	G1	P0_D3P
B4	A5	C18	RP36	E10	GND	G2	P0_D3N
B5	A7	C19	RP37	E11	GND	G3	GND
B6	P41	C20	RP10	E12	GND	G4	GND
B7	P46	C21	RP22	E13	GND	G5	VDDREG_33
B8	P44	C22	RP21	E14	GND	G6	AVDDREG_33
B9	P17	D1	GND	E15	GND	G7	GND
B10	P15	D2	GND	E16	GND	G8	GND
B11	P13	D3	PHYADD3	E17	TEST3	G9	GND
B12	P12	D4	PHYADD2	E18	GND	G10	GND
B13	WRSTBZ	D5	PHYADD1	E19	RP15	G11	GND
B14	D1	D6	A10	E20	RP12	G12	VDD33

表1.2 23mm□パッケージ 外部端子一覧 (2/4)

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
G13	GND	J9	VDD33	L5	GND	N1	GND
G14	GND	J10	GND	L6	GND	N2	GND
G15	GND	J11	GND	L7	GND	N3	VDD25A
G16	GND	J12	VDD33	L8	GND	N4	GND
G17	GND	J13	VDD11	L9	VDD33	N5	GND
G18	GND	J14	GND	L10	GND/OPEN	N6	GND
G19	RP17	J15	GND	L11	GND	N7	GND
G20	RP07	J16	GND	L12	VDD33	N8	GND
G21	RP03	J17	VDD11	L13	VDD11	N9	VDD33
G22	RP02	J18	GND	L14	GND	N10	GND
H1	P0_D2P	J19	GND	L15	GND	N11	GND
H2	P0_D2N	J20	GND	L16	GND	N12	GND
H3	GND	J21	GND/OPEN	L17	VDD11	N13	VDD11
H4	REG_FB	J22	GND/OPEN	L18	VDD33	N14	GND
H5	GND	K1	P0_D0P	L19	GND/OPEN	N15	GND
H6	GND	K2	P0_D0N	L20	GND/OPEN	N16	GND
H7	GND	K3	VDD11A	L21	GND/OPEN	N17	VDD11
H8	GND	K4	GND	L22	GND/OPEN	N18	GND
H9	GND	K5	GND	M1	REF_REXT	N19	GND
H10	GND	K6	GND	M2	REF_FILT	N20	P24
H11	GND	K7	GND	M3	GND	N21	P23
H12	GND	K8	GND	M4	GND	N22	P22
H13	VDD11	K9	VDD33	M5	GND	P1	P1_D3P
H14	VDD11	K10	GND	M6	GND	P2	P1_D3N
H15	VDD11	K11	GND	M7	GND	P3	VDD25A
H16	VDD11	K12	GND	M8	GND	P4	GND
H17	VDD11	K13	VDD11	M9	VDD33	P5	GND
H18	VDD33	K14	GND	M10	GND	P6	VDD11
H19	RP06	K15	GND	M11	GND	P7	VDD11
H20	RP05	K16	GND	M12	VDD33	P8	VDD33
H21	RP01	K17	VDD11	M13	VDD11	P9	VDD33
H22	RP00	K18	VDD33	M14	GND	P10	GND
J1	P0_D1P	K19	VDD33	M15	GND	P11	GND
J2	P0_D1N	K20	VDD33	M16	GND	P12	VDD33
J3	GND	K21	GND/OPEN	M17	VDD11	P13	VDD11
J4	GND	K22	GND/OPEN	M18	GND	P14	GND
J5	GND	L1	GND	M19	GND	P15	GND
J6	VDD11	L2	GND	M20	GND	P16	GND
J7	VDD11	L3	VDD11A	M21	P21	P17	VDD11
J8	VDD33	L4	GND	M22	P20	P18	VDD11

表1.2 23mm□パッケージ 外部端子一覧 (3/4)

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
P19	TEST7	T15	GND	V11	GND	Y7	TMODE2
P20	EXTP0	T16	GND	V12	GND	Y8	JTAGSEL
P21	P26	T17	GND	V13	GND	Y9	TRACEDATA3
P22	P25	T18	GND	V14	GND	Y10	TRACEDATA2
R1	P1_D2P	T19	VDD33	V15	GND	Y11	TRACEDATA0
R2	P1_D2N	T20	EXTP2	V16	PLL_GND	Y12	TRACECLK
R3	VDD25A	T21	P66	V17	PLL_VDD	Y13	NMIZ
R4	GND	T22	P67	V18	TEST6	Y14	EXTP4
R5	GND	U1	P1_D0P	V19	ADMUXMODE	Y15	EXTP6
R6	GND	U2	P1_D0N	V20	HWRZSEL	Y16	EXTP8
R7	GND	U3	GND	V21	P62	Y17	BOOT1
R8	GND	U4	GND	V22	P63	Y18	BOOT0
R9	GND	U5	GND	W1	GND	Y19	RSTOUTZ
R10	GND	U6	GND	W2	GND	Y20	PONRZ
R11	GND	U7	GND	W3	GND	Y21	P31
R12	GND	U8	GND	W4	TEST5	Y22	P30
R13	VDD11	U9	GND	W5	TMS	AA1	GND
R14	VDD11	U10	GND	W6	TDI	AA2	PHY1_LED0
R15	VDD11	U11	GND	W7	TCK	AA3	P57
R16	VDD11	U12	VDD33	W8	TDO	AA4	P55
R17	VDD11	U13	VDD33	W9	TRSTZ	AA5	P53
R18	GND	U14	GND	W10	GND	AA6	P51
R19	CLK2MSEL	U15	GND	W11	TRACEDATA1	AA7	P07
R20	EXTP1	U16	VDD33	W12	GND	AA8	P05
R21	P27	U17	VDD33	W13	OSCTH	AA9	P03
R22	GND	U18	VDD33	W14	EXTP5	AA10	P01
T1	P1_D1P	U19	MEMCSEL	W15	EXTP7	AA11	P77
T2	P1_D1N	U20	EXTP3	W16	EXTP9	AA12	P75
T3	GND	U21	P64	W17	HIFSYNC	AA13	P73
T4	GND	U22	P65	W18	MEMIFSEL	AA14	P71
T5	GND	V1	GND	W19	BUS32EN	AA15	P70
T6	GND	V2	GND	W20	HOTRESETZ	AA16	P37
T7	GND	V3	GND	W21	P61	AA17	P36
T8	GND	V4	GND	W22	P60	AA18	GND
T9	GND	V5	GND	Y1	GND	AA19	P35
T10	GND	V6	GND	Y2	GND	AA20	P33
T11	GND	V7	GND	Y3	GND	AA21	P32
T12	VDD33	V8	GND	Y4	TEST4	AA22	GND
T13	GND	V9	GND	Y5	TMODE0	AB1	GND
T14	GND	V10	GND	Y6	TMODE1	AB2	GND

表1.2 23mm□パッケージ 外部端子一覧 (4/4)

端子番号	端子名
AB3	P56
AB4	P54
AB5	P52
AB6	P50
AB7	P06

端子番号	端子名
AB8	P04
AB9	P02
AB10	P00
AB11	P76
AB12	P74

端子番号	端子名
AB13	P72
AB14	XT1
AB15	XT2
AB16	GND
AB17	GND

端子番号	端子名
AB18	CCI_CLK2 _097M
AB19	P34
AB20	RESETZ
AB21	GND
AB22	GND

1.4.2 17mm□パッケージ

表1.3 17mm□パッケージ 外部端子一覧 (1/3)

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
A1	GND	B19	RP37	D17	RP10	G10	VDD11
A2	GND	B20	GND	D18	RP14	G11	VDD11
A3	A5	C1	VDDREG_33	D19	RP22	G12	GND
A4	A10	C2	REG_OUT	D20	RP21	G13	VDD11
A5	P42	C3	GND	E1	GND	G14	VDD11
A6	P43	C4	A2	E2	GND	G15	VDD33
A7	P45	C5	A9	E3	GND	G17	RP13
A8	P47	C6	A7	E4	GND	G18	RP17
A9	P16	C7	A14	E17	RP15	G19	RP04
A10	P15	C8	A13	E18	RP11	G20	RP27
A11	WRSTBZ	C9	A17	E19	RP24	H1	P0_D1P
A12	CSZ0	C10	WRZ1	E20	RP23	H2	P0_D1N
A13	D2	C11	WRZ0	F1	P0_D3P	H3	GND
A14	D4	C12	D1	F2	P0_D3N	H4	REG_FB
A15	D11	C13	D7	F3	GND	H6	GND
A16	BUSCLK	C14	D6	F4	GND	H7	GND
A17	RP34	C15	D13	F6	REG_EN	H8	GND
A18	RP36	C16	D14	F7	VDD33	H9	GND
A19	GND	C17	RP33	F8	GND	H10	GND
A20	GND	C18	RP32	F9	GND	H11	GND
B1	GND	C19	RP20	F10	GND	H12	GND
B2	PHY0_LED0	C20	GND	F11	VDD33	H13	GND
B3	A4	D1	AVDDREG_33	F12	VDD33	H14	GND
B4	A8	D2	AGND	F13	GND	H15	VDD33
B5	P40	D3	AGND	F14	GND	H17	RP07
B6	P41	D4	A3	F15	GND	H18	RP06
B7	P46	D5	A6	F17	RP12	H19	RP03
B8	P44	D6	A12	F18	RP16	H20	RP05
B9	P17	D7	A11	F19	RP26	J1	P0_D0P
B10	P14	D8	A16	F20	RP25	J2	P0_D0N
B11	RDZ	D9	A15	G1	P0_D2P	J3	GND
B12	D0	D10	A18	G2	P0_D2N	J4	GND
B13	D3	D11	A19	G3	GND	J6	GND
B14	D5	D12	A20	G4	GND	J7	VDD11
B15	D12	D13	D8	G6	GND	J8	GND
B16	RP35	D14	D9	G7	GND	J9	GND
B17	RP31	D15	D10	G8	VDD11	J10	GND
B18	RP30	D16	D15	G9	VDD11	J11	GND

表1.3 17mm□パッケージ 外部端子一覧 (2/3)

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
J12	GND	L17	TEST7	P1	P1_D2P	T17	ADMUXMODE
J13	GND	L18	EXTP0	P2	P1_D2N	T18	HOTRESETZ
J14	GND	L19	P26	P3	GND	T19	P31
J15	GND	L20	P25	P4	GND	T20	P30
J17	P20	M1	GND	P6	VDD11A	U1	GND
J18	RP00	M2	GND	P7	GND	U2	GND
J19	RP01	M3	GND	P8	VDD11	U3	GND
J20	RP02	M4	VDD25A	P9	GND	U4	TEST5
K1	GND	M6	GND	P10	VDD11	U5	TCK
K2	GND	M7	GND	P11	VDD11	U6	TMODE2
K3	GND	M8	GND	P12	GND	U7	TRSTZ
K4	VDD25A	M9	GND	P13	VDD11	U8	TRACEDATA3
K6	GND	M10	GND	P14	VDD11	U9	TRACEDATA1
K7	VDD11	M11	GND	P15	GND	U10	GND
K8	GND	M12	GND	P17	MEMCSEL	U11	NMIZ
K9	GND	M13	GND	P18	P62	U12	EXTP5
K10	GND	M14	GND	P19	P63	U13	EXTP8
K11	GND	M15	VDD33	P20	P64	U14	EXTP9
K12	GND	M17	CLK2MSEL	R1	P1_D1P	U15	PLL_GND
K13	GND	M18	EXTP1	R2	P1_D1N	U16	PLL_VDD
K14	VDD11	M19	P67	R3	GND	U17	TEST6
K15	GND	M20	P27	R4	GND	U18	EXTP13
K17	P23	N1	P1_D3P	R6	GND	U19	EXTP7
K18	P22	N2	P1_D3N	R7	VDD33	U20	PONRZ
K19	P21	N3	GND	R8	VDD33	V1	GND
K20	P24	N4	GND	R9	GND	V2	PHY1_LED0
L1	REF_REXT	N6	VDD11A	R10	GND	V3	TMODE0
L2	REF_FILT	N7	GND	R11	GND	V4	TDI
L3	GND	N8	GND	R12	VDD33	V5	TMODE1
L4	VDD25A	N9	GND	R13	VDD33	V6	TDO
L6	GND	N10	GND	R14	GND	V7	EXTP10
L7	GND	N11	GND	R15	GND	V8	TRACEDATA2
L8	GND	N12	GND	R17	HWRZSEL	V9	TRACEDATA0
L9	GND	N13	GND	R18	EXTP3	V10	TRACECLK
L10	GND	N14	GND	R19	P61	V11	OSCTH
L11	GND	N15	VDD33	R20	P60	V12	EXTP4
L12	GND	N17	EXTP14	T1	P1_D0P	V13	EXTP6
L13	GND	N18	EXTP2	T2	P1_D0N	V14	HIFSYNC
L14	VDD11	N19	P65	T3	GND	V15	BOOT1
L15	GND	N20	P66	T4	TEST4	V16	BOOT0

表1.3 17mm□パッケージ 外部端子一覧 (3/3)

端子番号	端子名
V17	MEMIFSEL
V18	BUS32EN
V19	EXTP12
V20	GND
W1	GND
W2	TMS
W3	P57
W4	P52
W5	JTAGSEL
W6	P05
W7	P03

端子番号	端子名
W8	P01
W9	P77
W10	P75
W11	P73
W12	P71
W13	P70
W14	P37
W15	P36
W16	P35
W17	RSTOUTZ
W18	P33

端子番号	端子名
W19	P32
W20	GND
Y1	GND
Y2	GND
Y3	P51
Y4	P50
Y5	EXTP11
Y6	P04
Y7	P02
Y8	P00
Y9	P76

端子番号	端子名
Y10	P74
Y11	P72
Y12	XT1
Y13	XT2
Y14	GND
Y15	CCI_CLK2_097M
Y16	GND
Y17	P34
Y18	RESETZ
Y19	GND
Y20	GND

2. 機能別端子一覧

本章における端子表の各項目および記号・略号の意味を以下に示します。

パッケージによって、使用できない端子及び機能があります。PKG 列を参照してください。

表2.1 端子一覧における項目の意味

項目	意味
機能名	下記「端子名」の端子が持つ機能名称です。
端子名	「1.3 端子配置図 (Top View)」で示した端子名称です。
PKG	パッケージタイプです。 23□ : 23mm□パッケージタイプ 17□ : 17mm□パッケージタイプ
入出力	対象端子の入出力方向です。
機能説明	対象端子の機能概略です。
アクティブ	対象端子のアクティブレベルです。
リセット中	リセット中は RSTOUTZ = Low 期間の端子状態を示します。 リセット仕様に関する詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照してください。

表2.2 端子一覧における記号・略号の意味

対象	記号・略号	意味
端子名	— (ハイフン)	ポート兼用がない専用端子です。
PKG	○	端子が存在します。
	×	端子が存在しません。
入出力	— (ハイフン)	電源/GND など入出力方向がない端子です。
アクティブレベル	— (ハイフン)	アクティブレベルがないことを示しています。(クロック/データ/アドレス)
	High	アクティブレベルは High です。
	Low	アクティブレベルは Low です。
リセット中	— (ハイフン)	リセット初期値がない入力専用端子です。
	High	リセット中の端子状態は、High です。
	Low	リセット中の端子状態は、Low です。
	Hi-Z (High)	リセット中の端子状態は、内蔵 Pull-up 抵抗による Hi-Z (High) です。
	Hi-Z (Low)	リセット中の端子状態は、内蔵 Pull-down 抵抗による Hi-Z (Low) です。

「2.2 イーサネット端子」～「2.15 動作モード設定端子」の各端子は「2.1 ポート端子、リアルタイム・ポート端子」に示した各ポート端子に兼用しています。詳細は「2.1 ポート端子、リアルタイム・ポート端子」の兼用機能 1～兼用機能 4 をご参照下さい。

2.1 ポート端子、リアルタイム・ポート端子

ポートは、3.3V インタフェース 8 ビット・ポートが 13 セット (EXTP のみ 15 ビット) あります。

このうち、ポート 0~3 (P00-P37)、ポート 4~7 (P40-P77)、リアルタイム・ポート 0~3 (RP00-RP37) は、4 ポートをまとめて 32 ビット・アクセスも可能です。

(1/5)

端子名	PKG		兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中
	23□	17□					
P00	○	○	INTPZ0	—	CCI_RUNLEDZ	—	Hi-Z (High)
P01	○	○	INTPZ1	—	—	—	
P02	○	○	INTPZ2	—	CCI_DLINKLEDZ	—	
P03	○	○	INTPZ3	—	CCI_ERRLEDZ	—	
P04	○	○	INTPZ4	—	CCI_LERR1LEDZ	—	
P05	○	○	INTPZ5	—	CCI_LERR2LEDZ	—	
P06	○	×	—	—	CCI_SDLEDZ	—	
P07	○	×	—	—	CCI_RDLEDZ	—	
P10	○	×	SMIO2	—	—	—	
P11	○	×	SMIO3	—	—	—	
P12	○	×	CSZ3	—	CCI_WDTIZ	—	
P13	○	×	CSZ2	—	—	—	
P14	○	○	SMSCK	—	—	—	
P15	○	○	SMIO0	—	—	—	
P16	○	○	SMIO1	—	—	—	
P17	○	○	SMCSZ	—	—	—	
P20	○	○	RXD0	—	—	—	
P21	○	○	TXD0	—	—	—	
P22	○	○	INTPZ8	—	—	—	
P23	○	○	INTPZ9	—	—	—	
P24	○	○	INTPZ10	ETHSWSYNCOUT	—	—	
P25	○	○	WDTOUTZ	—	—	—	
P26	○	○	TINJ1 / TIND5 ^{注1}	TOUTJ1 / TOUTD5 ^{注1}	—	—	
P27	○	○	TINJ0 / TIND4 ^{注1}	TOUTJ0 / TOUTD4 ^{注1}	—	—	

注 1. TMISSEL レジスタにて、TAUJ2/TAUD のどちらの端子を有効とするかを選択可能です。

詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

(2/5)

端子名	PKG		兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中	
	23□	17□						
P30	○	○	RXD1	—	—	—	Hi-Z (High)	
P31	○	○	TXD1	—	—	—		
P32	○	○	DMAREQZ1	—	—	—		
P33	○	○	DMAACKZ1	—	—	—		
P34	○	○	DMATCZ1	—	—	—		
P35	○	○	CSISCK1	INTPZ22	—	—	Hi-Z (Low)	
P36	○	○	CSISI1	INTPZ23	—	—	Hi-Z (High)	
P37	○	○	CSISO1	INTPZ24	—	—	Hi-Z (Low)	
P40	○	○	A1 / MA0	HA1	—	—	Hi-Z (High)	
P41	○	○	WAITZ	HWAITZ	INTPZ29	—	Hi-Z (High)	
P42	○	○	CSICS00	HERROUTZ	—	—		
P43	○	○	CSICS01	HBUSCLK	—	—		
P44	○	○	CSZ1	HPGCSZ	—	—		
P45	○	○	CSISCK0	WAITZ1	—	—		
P46	○	○	CSISI0	WAITZ2	—	—		
P47	○	○	CSISO0	WAITZ3	—	—		
P50	○	○	INTPZ6	—	—	—		
P51	○	○	INTPZ7	—	—	—		Hi-Z (Low)
P52	○	○	TINJ3 / TIND7 ^{注1}	TOUTJ3 / TOUTD7 ^{注1}	CCI_NMIZ	—		Hi-Z (High)
P53	○	×	CRXD0	CCI_INTZ	—	—		Hi-Z (High)
P54	○	×	CTXD0	—	—	—		
P55	○	×	CRXD1	—	—	—		
P56	○	×	CTXD1	—	—	—		
P57	○	○	TINJ2 / TIND6 ^{注1}	TOUTJ2 / TOUTD6 ^{注1}	—	—		

注 1. TMISEL レジスタにて、TAUJ2/TAUD のどちらの端子を有効とするかを選択可能です。
 詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

(3/5)

端子名	PKG		兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中
	23□	17□					
P60	○	○	SCL0	—	—	—	Hi-Z (High)
P61	○	○	SDA0	—	—	—	
P62	○	○	RTDMAREQZ	—	—	—	
P63	○	○	RTDMAACKZ	—	—	—	
P64	○	○	RTDMATCZ	—	—	—	
P65	○	○	DMAREQZ0	—	—	—	
P66	○	○	DMAACKZ0	—	—	—	
P67	○	○	DMATCZ0	—	—	—	
P70	○	○	CSICS10	—	—	—	
P71	○	○	CSICS11	—	—	—	
P72	○	○	SLEEPING	—	—	—	
P73	○	○	INTPZ11	—	—	—	
P74	○	○	INTPZ12	—	—	—	
P75	○	○	INTPZ13	—	—	—	
P76	○	○	INTPZ14	—	—	—	
P77	○	○	INTPZ15	—	—	—	

(4/5)

端子名	PKG		兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中
	23□	17□					
EXTP0	○	○	—	TOUTD0	—	TIND0	Hi-Z (High)
EXTP1	○	○	—	TOUTD1	—	TIND1	
EXTP2	○	○	—	TOUTD2	—	TIND2	
EXTP3	○	○	WDTOUTZ	TOUTD3	—	TIND3	
EXTP4	○	○	—	—	—	—	
EXTP5	○	○	—	—	—	—	
EXTP6	○	○	—	—	—	—	Hi-Z (Low)
EXTP7	○	○	—	—	—	—	Hi-Z (High)
EXTP8	○	○	—	—	—	—	
EXTP9	○	○	—	—	—	—	
EXTP10	×	○	SMIO2	CCI_INTZ	—	—	
EXTP11	×	○	SMIO3	CCI_WDTIZ	—	—	
EXTP12	×	○	CSZ3	CCI_SDLEDZ	—	—	
EXTP13	×	○	CSZ2	CCI_RDLEDZ	—	—	
EXTP14	×	○	IETYPE_LED	—	—	—	

ポート RP0x～ポート RP3x (x: 0-7) は、リアルタイム・ポートとして動作します。リアルタイム・ポート専用の DMA コントローラにより、32 ビット単位で DMA 転送トリガに同期して、ポートの入出力が行えます。

(5/5)

端子名	PKG		兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中	
	23□	17□						
RP00	○	○	INTPZ16	SCL1	—	—	Hi-Z (High)	
RP01	○	○	INTPZ17	SDA1	—	—		
RP02	○	○	INTPZ18	—	—	—		
RP03	○	○	INTPZ19	—	—	—		
RP04	○	○	INTPZ20	—	—	—		
RP05	○	○	INTPZ21	—	—	—		
RP06	○	○	WRZ2 / BENZ2	HWRZ2 / HBENZ2	—	—		
RP07	○	○	WRZ3 / BENZ3	HWRZ3 / HBENZ3	—	—		
RP10	○	○	D24 / MD24 / HD24	LED0_PHY0	—	—		
RP11	○	○	D25 / MD25 / HD25	LED1_PHY0	—	—		
RP12	○	○	D26 / MD26 / HD26	LED2_PHY0	—	—		
RP13	○	○	D27 / MD27 / HD27	LED3_PHY0	—	—		
RP14	○	○	D28 / MD28 / HD28	LED0_PHY1	—	—		
RP15	○	○	D29 / MD29 / HD29	LED1_PHY1	—	—		
RP16	○	○	D30 / MD30 / HD30	LED2_PHY1	—	—		
RP17	○	○	D31 / MD31 / HD31	LED3_PHY1	—	—		
RP20	○	○	BCYSTZ / ADVZ	HBCYSTZ	—	—		
RP21	○	×	A21 / MA20	—	—	—		Hi-Z (Low)
	×	○						Hi-Z (High)
RP22	○	×	A22 / MA21	—	—	—		Hi-Z (Low)
	×	○					Hi-Z (High)	
RP23	○	×	A23 / MA22	—	—	—	Hi-Z (Low)	
	×	○					Hi-Z (High)	
RP24	○	×	A24 / MA23	INTPZ25	—	—	Hi-Z (Low)	
	×	○					Hi-Z (High)	
RP25	○	×	A25 / MA24	INTPZ26	—	—	Hi-Z (Low)	
	×	○					Hi-Z (High)	
RP26	○	×	A26 / MA25	INTPZ27	—	—	Hi-Z (Low)	
	×	○					Hi-Z (High)	
RP27	○	×	A27 / MA26	INTPZ28	—	—	Hi-Z (Low)	
	×	○					Hi-Z (High)	
RP30	○	○	D16 / MD16 / HD16	TOUTD8	TIND8	—	Hi-Z (High)	
RP31	○	○	D17 / MD17 / HD17	TOUTD9	TIND9	—		
RP32	○	○	D18 / MD18 / HD18	TOUTD10	TIND10	—		
RP33	○	○	D19 / MD19 / HD19	TOUTD11	TIND11	—		
RP34	○	○	D20 / MD20 / HD20	TOUTD12	TIND12	—		
RP35	○	○	D21 / MD21 / HD21	TOUTD13	TIND13	—		
RP36	○	○	D22 / MD22 / HD22	TOUTD14	TIND14	—		
RP37	○	○	D23 / MD23 / HD23	TOUTD15	TIND15	—		

2.2 イーサネット端子

(1/2)

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中		
		23□	17□						
P0_D0N	—	○	○	入出力	PHY 0 Tx/Rx channel A negative signal	—	—		
P0_D0P	—	○	○		PHY 0 Tx/Rx channel A positive signal				
P0_D1N	—	○	○		PHY 0 Tx/Rx channel B negative signal				
P0_D1P	—	○	○		PHY 0 Tx/Rx channel B positive signal				
P0_D2N	—	○	○		PHY 0 Tx/Rx channel C negative signal				
P0_D2P	—	○	○		PHY 0 Tx/Rx channel C positive signal				
P0_D3N	—	○	○		PHY 0 Tx/Rx channel D negative signal				
P0_D3P	—	○	○		PHY 0 Tx/Rx channel D positive signal				
P1_D0N	—	○	○		PHY 1 Tx/Rx channel A negative signal				
P1_D0P	—	○	○		PHY 1 Tx/Rx channel A positive signal				
P1_D1N	—	○	○		PHY 1 Tx/Rx channel B negative signal				
P1_D1P	—	○	○		PHY 1 Tx/Rx channel B positive signal				
P1_D2N	—	○	○		PHY 1 Tx/Rx channel C negative signal				
P1_D2P	—	○	○		PHY 1 Tx/Rx channel C positive signal				
P1_D3N	—	○	○		PHY 1 Tx/Rx channel D negative signal				
P1_D3P	—	○	○		PHY 1 Tx/Rx channel D positive signal				
PHYADD1	—	○	×	入力	Device SMI Address bit 1. (Pull-down 抵抗付)	Low	High		
PHYADD2	—	○	×		Device SMI Address bit 2. (Pull-down 抵抗付)				
PHYADD3	—	○	×		Device SMI Address bit 3. (Pull-down 抵抗付)				
PHYADD4	—	○	×		Device SMI Address bit 4. (Pull-down 抵抗付)				
REF_FILT	—	○	○	入出力	Copper media reference filter pin.			High	
REF_REXT	—	○	○		Copper media reference external pin.				
VDD11A	—	○	○	—	1.15 V analog power requiring additional PCB power supply filtering				
VDD25A	—	○	○		2.5 V general analog power supply				
PHY0_LED0	—	○	○	出力	GbE-PHY の LED0_PHY0 出力信号				Hi-Z (High)
PHY1_LED0	—	○	○		GbE-PHY の LED0_PHY1 出力信号				
LED0_PHY0	RP10	○	○		GbE-PHY の LED 信号出力 (外部端子 PHY0_LED0 と同信号)				
LED1_PHY0	RP11	○	○		GbE-PHY の LED 信号出力				
LED2_PHY0	RP12	○	○		GbE-PHY の LED 信号出力				
LED3_PHY0	RP13	○	○		GbE-PHY の LED 信号出力				
LED0_PHY1	RP14	○	○		GbE-PHY の LED 信号出力 (外部端子 PHY1_LED0 と同信号)				
LED1_PHY1	RP15	○	○		GbE-PHY の LED 信号出力				
LED2_PHY1	RP16	○	○		GbE-PHY の LED 信号出力				
LED3_PHY1	RP17	○	○		GbE-PHY の LED 信号出力				
ETHSWSYNCOUT	P24	○	○	—	Ethernet Switch のイベント出力	High			

(2/2)

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
VDDREG_33	—	○	○	—	3.3 V power for 2.5V regulator	—	—
AVDDREG_33	—	○	○	—	3.3 V analog power for 2.5V regulator		
REG_EN	—	○	○	入力	2.5 V Regulator enable		
REG_FB	—	○	○		Feedback from the supply regulation point		
AGND	—	○	○	—	Analog ground for regulator		
REG_OUT ^{注1}	—	○	○	出力	2.5 V Regulator output		

**注 1. REG_OUT 端子による 2.5V 電源供給は、VDD25A 端子へのみ供給可能です。
他のデバイスへの 2.5V 電源供給としては使用できません。**

2.3 外部 SRAM／外部マイコン・インタフェース端子

外部 SRAM／外部マイコン・インタフェースは、排他利用となります。

MEMIFSEL 端子の設定により選択されます。（設定値が Low の時は外部 SRAM インタフェース、High の時は外部マイコン・インタフェースとなります。）

2.3.1 外部 SRAM インタフェース端子

(a) 非同期 SRAM MEMC (MEMCSEL = 0) 選択時

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
BUSCLK	—	○	○	出力	バス・クロック出力	—	クロック出力
CSZ0	—	○	○		チップ・セレクト信号出力	Low	Hi-Z (High)
CSZ1	P44	○	○				
CSZ2	P13	○	×				
	EXTP13	×	○				
CSZ3	P12	○	×				
	EXTP12	×	○				
A1	P40	○	○		アドレス出力	—	Hi-Z (Low)
A2–A20	—	○	○				Hi-Z (High)
A21–A27	RP21–RP27	○	○				Hi-Z (Low)
D0–D15	—	○	○	入出力	データ・バス		Hi-Z (High)
D16–D31	RP30–RP37、 RP10–RP17	○	○				
RDZ	—	○	○	出力	リード・ストロブ出力	Low	
WRSTBZ	—	○	○		ライト・ストロブ出力		
WRZ0 / BENZ0 ^{注1}	WRZ0	○	○		有効バイト・レーン・ ストロブ出力		
WRZ1 / BENZ1 ^{注1}	WRZ1	○	○				
WRZ2 / BENZ2 ^{注1}	RP06	○	○				
WRZ3 / BENZ3 ^{注1}	RP07	○	○				
WAITZ	P41	○	○	入力	ウェイト入力		
BCYSTZ	RP20	○	○	出力	バス・サイクル・スタート・ ステータス出力		

備考. 外部メモリ・インタフェース端子の BUSCLK 以外の端子は、内部リセット信号 (HRESETZ) のアクティブ期間中は、入力信号になります。

注 1. WREN レジスタで WRZ3–WRZ0 と BENZ3–BENZ0 を切り替えます。レジスタの詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

(b) 同期式バースト・アクセス MEMC (MEMCSEL = 1) 選択時

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23口	17口				
BUSCLK	—	○	○	出力	バス・クロック出力	—	Low
CSZ0	—	○	○		チップ・セレクト信号出力	Low	Hi-Z (High)
CSZ1	P44	○	○				
CSZ2	P13	○	×				
	EXTP13	×	○				
CSZ3	P12	○	×				
	EXTP12	×	○				
MA0	P40	○	○		アドレス出力	—	Hi-Z (Low)
MA1–MA19	A2–A20	○	○				Hi-Z (High)
MA20–MA26	RP21–RP27	○	○				Hi-Z (Low)
MD0–MD15 / MA0–MA15 注1	D0–D15	○	○	入出力	データ・バス	—	Hi-Z (Low)
MD16–MD31 / MA16–MA31 注1	RP30–RP37、 RP10–RP17	○	○				Hi-Z (High)
RDZ	—	○	○	出力	リード・ストロブ出力	Low	
WRSTBZ	—	○	○		ライト・ストロブ出力		
WRZ0 / BENZ0 注2	WRZ0	○	○		有効バイト・レーン・ ストロブ出力		
WRZ1 / BENZ1 注2	WRZ1	○	○				
WRZ2 / BENZ2 注2	RP06	○	○				
WRZ3 / BENZ3 注2	RP07	○	○				
WAITZ	P41	○	○	入力	ウエイト入力		
WAITZ1–WAITZ3	P45–P47	○	○				
ADVZ	RP20	○	○	出力	アドレス・バリッド出力		

備考. 外部メモリ・インタフェース端子の BUSCLK 以外の端子は、内部リセット信号 (HRESETZ) のアクティブ期間中は、入力信号になります。

注 1. ADMUXMODE 端子が High の場合、アドレス端子と兼用になります。

ADMUXMODE = 0 : MD0–MD31 (アドレス/データ分離)

ADMUXMODE = 1 : MD0–MD31/MA0–MA31 (アドレス/データ多重)

2. SET_OPMODE レジスタで WRZ3–WRZ0 と BENZ3–BENZ0 を切り替えます。

レジスタの詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

2.3.2 外部マイコン・インタフェース端子

(a) 非同期 SRAM MEMC (MEMCSEL = 0) 選択時

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
HBUSCLK 注1	P43	○	○	入力	バス・クロック入力	—	Hi-Z (High)
HCSZ	CSZ0	○	○		チップ・セレクト入力	Low	
HPGCSZ	P44	○	○		PageROM モード・ チップ・セレクト入力		
HWAITZ	P41	○	○	出力	ウェイト信号出力	—	Hi-Z (Low)
HA1	P40	○	○	入力	アドレス信号入力		
HA2-HA20	A2-A20	○	○	入出力	データ・バス		
HD0-HD15	D0-D15	○	○				
HD16-HD31	RP30-RP37、 RP10-RP17	○	○				
HRDZ	RDZ	○	○	入力	リード・ストロブ入力	Low	Hi-Z (High)
HWRSTBZ	WRSTBZ	○	○		ライト・ストロブ入力		
HWRZ0 / HBENZ0 注2	WRZ0	○	○		有効バイト・レーン・ ストロブ入力		
HWRZ1 / HBENZ1 注2	WRZ1	○	○				
HWRZ2 / HBENZ2 注2	RP06	○	○				
HWRZ3 / HBENZ3 注2	RP07	○	○				
HERROUTZ	P42	○	○	出力	エラー割り込み出力	High	
HBCYSTZ	RP20	○	○	入力	バス・サイクル入力	Hi-Z (High)	

注 1. HBUSCLK 端子は同期 SRAM 対応 MCU 接続モード (HIFSYNC 端子が High) の場合のみ使用します。
非同期 SRAM 対応 MCU 接続モード (HIFSYNC 端子が Low) の場合は使用しません。

なお、HBUSCLK 端子以外の外部マイコン・インタフェース端子の使用要否は各モード共通です。
端子接続例の詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ボード設計編」を参照してください。

2. HWRZSEL 端子の入力レベルによって、HWRZ3-HWRZ0 と HBENZ3-HBENZ0 を切り替えます。

備考. 外部マイコン・インタフェース端子は、リセット期間中でも外部マイコン・インタフェース端子として動作します。

(b) 同期式バースト・アクセス MEMC (MEMCSEL = 1) 選択時

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
HBUSCLK	P43	○	○	入力	バス・クロック入力	—	Hi-Z (High)
HCSZ	CSZ0	○	○		チップ・セレクト入力	Low	
HPGCSZ	P44	○	○		PageROM モード・ チップ・セレクト入力		
HWAITZ	P41	○	○	出力	ウエイト信号出力		
HA1 ^{注1}	P40	○	○	入力	アドレス信号入力	—	
HA2-HA20 ^{注1}	A2-A20	○	○				Hi-Z (Low)
HD0-HD15 ^{注1}	D0-D15	○	○	入出力	データ・バス		
HD16-HD31 ^{注1}	RP30-RP37、 RP10-RP17	○	○			Hi-Z (High)	
HRDZ	RDZ	○	○	入力	リード・ストロブ入力	Low	
HWRSTBZ	WRSTBZ	○	○		ライト・ストロブ入力		
HWRZ0 / HBENZ0 ^{注2}	WRZ0	○	○		有効バイト・レーン・ ストロブ入力		
HWRZ1 / HBENZ1 ^{注2}	WRZ1	○	○				
HWRZ2 / HBENZ2 ^{注2}	RP06	○	○				
HWRZ3 / HBENZ3 ^{注2}	RP07	○	○				
HERROUTZ	P42	○	○	出力	エラー割り込み出力		High
HBCYSTZ	RP20	○	○	入力	バス・サイクル入力		Hi-Z (High)

- 注 1. アドレス／データ・マルチプレクス・モード (ADMUXMODE 端子が High) 時と、アドレス／データ・セパレート・モード (ADMUXMODE 端子が Low) 時においてアドレス・データ端子の接続方法が異なります。
端子接続例の詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ボード設計編」を参照してください。
2. MEMCSEL 端子が High の場合、HWRZSEL 端子を High に設定することは禁止です。

備考. 外部マイコン・インタフェース端子は、リセット期間中でも外部マイコン・インタフェース端子として動作します。

2.4 シリアル・フラッシュ ROM インタフェース端子

シリアル・フラッシュ ROM メモリ・コントローラの端子です。

Fast Read、Fast Read Dual Output、Fast Read Dual I/O、Fast Read Quad Output、Fast Read Quad I/O の命令形式に対応しています。

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
SMSCK	P14	○	○	出力	シリアル・フラッシュ ROM 用シリアル・クロック出力信号	—	Hi-Z (High)
SMIO0	P15	○	○	入出力	シリアル・フラッシュ ROM 用シリアル・データ入出力信号 (シリアル ROM の IO0 端子に接続)	—	Hi-Z (High)
SMIO1	P16	○	○		シリアル・フラッシュ ROM 用シリアル・データ入出力信号 (シリアル ROM の IO1 端子に接続)		
SMIO2	P10	○	×		シリアル・フラッシュ ROM 用シリアル・データ入出力信号 (シリアル ROM の/WP (IO2) 端子に接続)		
	EXTP10	×	○				
SMIO3	P11	○	×		シリアル・フラッシュ ROM 用シリアル・データ入出力信号 (シリアル ROM の/HOLD (IO3)端子に接続)		
	EXTP11	×	○				
SMCSZ	P17	○	○	出力	シリアル・フラッシュ ROM 用チップ・セレクト出力	Low	

2.5 DMA インタフェース端子

DMA コントローラの外部インタフェース端子です。

R-IN32M4-CL3 に内蔵している 2 種類の DMA コントローラを外部 DMA インタフェースとして制御可能です。制御可能な DMA コントローラは、汎用 DMA コントローラのチャンネル 0、チャンネル 1 およびリアルタイム・ポート用 DMA コントローラです。

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
RTDMAREQZ	P62	○	○	入力	RTDMAC DMA 転送要求入力	Low	Hi-Z (High)
RTDMAACKZ	P63	○	○	出力	RTDMAC DMA アクノリッジ出力		
RTDMATCZ	P64	○	○		RTDMAC ターミナル・カウント出力		
DMAREQZ0	P65	○	○	入力	DMA 転送要求入力 0		
DMAACKZ0	P66	○	○	出力	DMA アクノリッジ出力 0		
DMATCZ0	P67	○	○		ターミナル・カウント出力 0		
DMAREQZ1	P32	○	○	入力	DMA 転送要求入力 1		
DMAACKZ1	P33	○	○	出力	DMA アクノリッジ出力 1		
DMATCZ1	P34	○	○		ターミナル・カウント出力 1		

注意. DMA インタフェース端子は、DMA コントローラのチャンネル固定です。任意の DMA コントローラ、任意のチャンネルに割り当てることはできません。

詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

2.6 外部割り込み入力端子

1本のノンマスクابل割り込みと、30本のマスクابل割り込み入力端子があります。

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
NMIZ	—	○	○	入力	ノンマスクابل外部割り込み 入力	Low	Hi-Z (High)
INTPZ0-INTPZ5	P00-P05	○	○		外部割り込み入力		Hi-Z (Low)
INTPZ6	P50	○	○		Hi-Z (High)		
INTPZ7	P51	○	○		Hi-Z (Low)		
INTPZ8-INTPZ10	P22-P24	○	○		Hi-Z (High)		
INTPZ11-INTPZ15	P73-P77	○	○		Hi-Z (Low)		
INTPZ16-INTPZ21	RP00-RP05	○	○		Hi-Z (High)		
INTPZ22	P35	○	○		Hi-Z (Low)		
INTPZ23	P36	○	○		Hi-Z (High)		
INTPZ24	P37	○	○		Hi-Z (Low)		
INTPZ25-INTPZ28	RP24-RP27	○	○		Hi-Z (High)		
INTPZ29	P41	○	○		Hi-Z (High)		

2.7 タイマ入出力端子

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
TINJ0 / TOUTJ0 ^{注1}	P27	○	○	入出力	タイマ TAUJ2 入出力端子	—	Hi-Z (High)
TINJ1 / TOUTJ1 ^{注1}	P26	○	○				
TINJ2 / TOUTJ2 ^{注1}	P57	○	○				
TINJ3 / TOUTJ3 ^{注1}	P52	○	○				
TIND0 / TOUTD0	EXTP0	○	○		タイマ TAUD 入出力端子		
TIND1 / TOUTD1	EXTP1	○	○				
TIND2 / TOUTD2	EXTP2	○	○				
TIND3 / TOUTD3	EXTP3	○	○				
TIND4 / TOUTD4 ^{注1}	P27	○	○				
TIND5 / TOUTD5 ^{注1}	P26	○	○				
TIND6 / TOUTD6 ^{注1}	P57	○	○				
TIND7 / TOUTD7 ^{注1}	P52	○	○				
TIND8 / TOUTD8	RP30	○	○				
TIND9 / TOUTD9	RP31	○	○				
TIND10 / TOUTD10	RP32	○	○				
TIND11 / TOUTD11	RP33	○	○				
TIND12 / TOUTD12	RP34	○	○				
TIND13 / TOUTD13	RP35	○	○				
TIND14 / TOUTD14	RP36	○	○				
TIND15 / TOUTD15	RP37	○	○				

注 1. TINJ0-TINJ3 と TIND4-TIND7、TOUTJ0-TOUTJ3 と TOUTD4-TOUTD7 は、それぞれ同一端子の兼用機能に割り当てられています。使用端子を TMISEL レジスタで選択してください。

レジスタ詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

なお、内部クロックによるインターバル・タイマ機能など、外部端子を利用しない場合は、TAUJ2/TAUD の双方のチャンネルの同時利用ができます。

2.8 ウォッチドッグ・タイマ出力端子

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
WDTOUTZ	P25 / EXTP3	○	○	出力	ウォッチドッグ・タイマ出力端子	Low	Hi-Z (High)

2.9 シリアル・インタフェース端子

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
TXD0	P21	○	○	出力	UART0 シリアル・データ出力	—	Hi-Z (High)
RXD0	P20	○	○	入力	UART0 シリアル・データ入力		
TXD1	P31	○	○	出力	UART1 シリアル・データ出力		
RXD1	P30	○	○	入力	UART1 シリアル・データ入力		
CSISCK0	P45	○	○	入出力	CSI0 シリアル・クロック入出力		
CSISI0	P46	○	○	入力	CSI0 シリアル・データ入力		
CSISO0	P47	○	○	出力	CSI0 シリアル・データ出力		
CSICS00	P42	○	○		CSI0 チップ・セレクト出力 0		
CSICS01	P43	○	○		CSI0 チップ・セレクト出力 1		
CSISCK1	P35	○	○	入出力	CSI1 シリアル・クロック入出力	—	Hi-Z (Low)
CSISI1	P36	○	○	入力	CSI1 シリアル・データ入力		Hi-Z (High)
CSISO1	P37	○	○	出力	CSI1 シリアル・データ出力		Hi-Z (Low)
CSICS10	P70	○	○		CSI1 チップ・セレクト出力 0	Low	Hi-Z (High)
CSICS11	P71	○	○		CSI1 チップ・セレクト出力 1		
SCL0 ^{注1}	P60	○	○	入出力	I ² C0 シリアル・クロック	—	
SDA0 ^{注1}	P61	○	○		I ² C0 シリアル・データ		
SCL1 ^{注1}	RP00	○	○		I ² C1 シリアル・クロック		
SDA1 ^{注1}	RP01	○	○		I ² C1 シリアル・データ		
CRXD0	P53	○	×	入力	CAN0 受信データ入力 (5V-tolerant 対応)		
CTXD0	P54	○	×	出力	CAN0 送信データ出力 (5V-tolerant 対応)		
CRXD1	P55	○	×	入力	CAN1 受信データ入力 (5V-tolerant 対応)		
CTXD1	P56	○	×	出力	CAN1 送信データ出力 (5V-tolerant 対応)		

注 1. SCLn, SDA_n 端子 (n = 0, 1) は、オープンドレイン出力になります。

詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照してください。

2.10 CC-Link IE 端子

CC-Link IE FieldおよびCC-Link IE TSNで使用する端子です。

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
CCI_RUNLEDZ	P00	○	○	出力	運転状態出力	Low	Hi-Z (High)
CCI_DLINKLEDZ	P02	○	○		サイクリック交信状態出力		
CCI_ERRLEDZ	P03	○	○		フィールド・ネットワーク・エラー状態出力		
CCI_LERR1LEDZ	P04	○	○		リンクエラー状態出力 1		
CCI_LERR2LEDZ	P05	○	○		リンクエラー状態出力 2		
CCI_SDLEDZ	P06	○	×		送信状態出力		
	EXTP12	×	○				
CCI_RDLEDZ	P07	○	×		ポート受信状態出力		
	EXTP13	×	○				
CCI_NMIZ	P52	○	○	マイコンへの NMI 割り込み出力			
CCI_WDTIZ	P12	○	×	入力	外部 WDT からの入力		
	EXTP11	×	○				
CCI_INTZ	P53	○	×	出力	マイコンへの割り込み出力		
	EXTP10	×	○				
CCI_CLK2_097M	—	○	○	入力	2.097152MHz クロック (水晶発振器)	—	—
CLK2MSEL ^{注1}	—	○	○		CC-Link IE Field クロック選択信号 入力 0: 2.097152MHz (CCI_CLK2_097M) 1: 2MHz (PLL 分周クロック)		

注 1. 詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

2.11 システム端子

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中	
		23□	17□					
XT1	—	○	○	出力	クロック入力端子	—	—	
XT2	—	○	○	入力	発振器使用時 (OSCTH=1) は、XT1 に GND、XT2 に発振器を接続。 発振器使用時 (OSCTH=0) は、XT1/XT2 に発振器を接続。	—	—	
RESETZ	—	○	○		リセット入力			Low
PONRZ	—	○	○		パワー・オン・リセット入力			High
HOTRESETZ	—	○	○		ホット・リセット入力			
OSCTH	—	○	○		外部クロック入力モード設定 0 : 発振器使用モード 1 : 外部クロック入力モード			
JTAGSEL	—	○	○		JTAG 端子の動作モード設定 0 : Cortex-M4 JTAG モード 1 : B-SCAN JTAG モード			—
RSTOUTZ	—	○	○	出力	外部へのリセット出力	Low	Low	
PLL_VDD	—	○	○	—	PLL 電源 (1.15V)	—	—	
PLL_GND	—	○	○		PLL GND			
VDD33	—	○	○		I/O 電源 (3.3V)			
VDD11	—	○	○		内部電源 (1.15V)			
GND	—	○	○		電源用グランド電位 (GND)			
GND/OPEN	—	○	×		電源用グランド電位 (GND) またはオープン			

2.12 トレース端子

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
TRACECLK	—	○	○	出力	トレース・ポート・クロック出力	—	クロック出力
TRACEDATA3 ^{注1}	—	○	○		トレース・ポート・データ出力		Hi-Z (High)
TRACEDATA2 ^{注1}	—	○	○				
TRACEDATA1 ^{注1}	—	○	○				
TRACEDATA0 ^{注1}	—	○	○				

注 1. 初期状態は入力ポートです。リセット解除 (RSTOUTZ 端子=Low→High) から 150~170ns 後に入力ポートから出力ポートに切り替わります。

2.13 CPU パワー制御端子

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
SLEEPING	P72	○	○	出力	CPU コアの SLEEP モード出力	High	Hi-Z (High)

2.14 テスト端子

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中		
		23□	17□						
TMODE0-TMODE2	—	○	○	入力	ルネサス専用テスト端子	—	—		
TEST3		○	×						
TEST4, TEST5		○	○	入出力					
TEST6		○	○	入力					
TEST7		○	○						
TMS		○	○	入出力				モード・セレクト信号	
TDI		○	○	入力				シリアル・データ入力	
TDO		○	○	出力				シリアル・データ出力	
TRSTZ		○	○	入力				リセット信号	Low
TCK		○	○					クロック信号 (JTAG クロック)	—

2.15 動作モード設定端子

機能名	端子名	PKG		入出力	機能説明	アクティブ	リセット中
		23□	17□				
BOOT1-BOOT0	—	○	○	入力	ブート・モード選択 00：外部メモリ・ブート 01：外部シリアル・フラッシュ ROM ブート 10：外部マイコン・ブート 11：命令 RAM ブート (デバッグ時のみ使用可能)	—	—
MEMIFSEL	—	○	○		外部メモリ・インタフェース種別選択 0：スレーブ・メモリ・インタフェース 1：外部マイコン・インタフェース		
MEMCSEL	—	○	○		内蔵するメモリ・コントローラの選択 0：非同期式 SRAM MEMC 1：同期式バースト・アクセス MEMC		
BUS32EN	—	○	○		外部メモリ・インタフェース・ バス幅選択 0：16 ビット・バス 1：32 ビット・バス		
HIFSYNC	—	○	○		外部マイコン・インタフェースの 動作モード 0：非同期式 SRAM インタフェース 1：同期式 SRAM インタフェース		
HWRZSEL	—	○	○		外部マイコン・インタフェース HWRZ/HBENZ 選択 0：HBENZ として使用 1：HWRZ として使用		
ADMUXMODE	—	○	○		アドレス/データのマルチプレクス設定 0：アドレス/データ分離 1：アドレス/データ多重		

本製品において使用可能な動作モード設定端子の組み合わせは下表の通りです。

ブート・モード 外部メモリ I/F	外部メモリ・ブート				外部マイコン・ブート				外部シリアル・フラッシュ ROM ブート							
	スレーブ・メモリ I/F				外部マイコン I/F				スレーブ・メモリ I/F				外部マイコン I/F			
	非同期		同期式		非同期		同期式		非同期		同期式		非同期		同期式	
外部バス幅	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
BOOT1-0	00	00	00	00	10	10	10	10	01	01	01	01	01	01	01	01
MEMIFSEL	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
MEMCSEL	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
BUS32EN	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
HIFSYNC	0	0	0	0	注1	注1	1	1	0	0	0	0	注1	注1	1	1
HWRZSEL	0	0	0	0	注2	注2	0	0	0	0	0	0	注2	注2	0	0
ADMUXMODE	0	0	注3	注3	0	0	注3	注3	0	0	注3	注3	0	0	注3	注3

注意. 動作モード設定端子は、上記以外の組み合わせは設定禁止です。

注1. HIFSYNC 端子によって外部マイコン・インタフェース機能を選択可能です。

HIFSYNC = 0 : 非同期 SRAM 対応 MCU 接続モード

HIFSYNC = 1 : 同期 SRAM 対応 MCU 接続モード

詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

2. HWRZSEL 端子によって外部マイコン・インタフェース HWRZ/HBENZ を選択可能です。

詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

3. ADMUXMODE 端子によってアドレス/データのマルチプレクス設定を選択可能です。

詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照して下さい。

備考1. 命令 RAM ブート (BOOT1-0 = 11) で使用可能な動作モード設定端子の組み合わせは、

外部メモリ・ブート (BOOT1-0 = 00) と同様です。

2. 非同期 : 非同期式 SRAM MEMC (MEMCSEL = 0) 、

同期式 : 同期式バースト・アクセス MEMC (MEMCSEL = 1) を示します。

3. 電気的特性

3.1 用語説明

表3.1 絶対最大定格に関する用語

項目	略号	意味
電源電圧	V_{DD}	V_{DD} 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電圧	V_I	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電圧	V_O	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電流	I_O	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じない DC 電流の許容絶対値を示します。
動作周囲温度	T_A	正常な論理動作をする 周囲温度範囲を示します。
保存温度	T_{Sgt}	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示します。

表3.2 推奨動作範囲に関する用語

項目	略号	意味
電源電圧	V_{DD}	$V_{SS} = 0V$ としたときに正常な論理動作をする電圧範囲を示します。
ハイ・レベル入力電圧	V_{IH}	R-IN32M4-CL3 の入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示します。 ● MIN 値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証します。
ロー・レベル入力電圧	V_{IL}	R-IN32M4-CL3 の入力に印加する電圧で、入力バッファが正常に動作するロー・レベル状態の電圧を示します。 ● MAX 値以下の電圧を印加すれば、入力電圧がロー・レベルであることを保証します。
ポジティブ・トリガ電圧	V_P	R-IN32M4-CL3 の入力をロー・レベル側からハイ・レベル側に変化させたときに、出力レベルが反転する入力レベルです。
ネガティブ・トリガ電圧	V_N	R-IN32M4-CL3 の入力をハイ・レベル側からロー・レベル側に変化させたときに、出力レベルが反転する入力レベルです。
ヒステリシス電圧	V_H	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差です。
入力立ち上がり時間	t_{riod} , t_{ric} , t_{ris}	R-IN32M4-CL3 の入力に印加する入力電圧が 10% から 90% に立ち上がる時間の制限値を示します。 t_{riod} , t_{ric} , t_{ris} は、それぞれデータ、クロック、シュミット・バッファの入力立ち上がり時間を示します。
入力立ち下がり時間	t_{rid} , t_{ric} , t_{ris}	R-IN32M4-CL3 の入力に印加する入力電圧が 90% から 10% に立ち下がる時間の制限値を示します。 t_{rid} , t_{ric} , t_{ris} は、それぞれデータ、クロック、シュミット・バッファの入力立ち下がり時間を示します。

表3.3 DC 特性に関する用語

項目	略号	意味
オフステート出力電流	I _{oz}	3 ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示します。
出力短絡電流	I _{os}	出力ハイ・レベルのときに、出力端子を GND と短絡した場合に流れ出す電流を示します。
入力リーク電流	I _{LI}	入力端子に電圧を印加したときに、入力端子を流れる電流を示します。
ロー・レベル出力電流	I _{oL}	規定されたロー・レベル出力電圧において、出力端子へ流れ込む電流を示します。
ハイ・レベル出力電流	I _{oH}	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示します。
ロー・レベル出力電圧	V _{oL}	ロー・レベル状態にある、出力オープン時の出力電圧を示します。
ハイ・レベル出力電圧	V _{oH}	ハイ・レベル状態にある、出力オープン時の出力電圧を示します。

3.2 絶対最大定格

表3.4 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD}	1.15V 系	-0.3 ~ +1.265	V
		2.5V 系	-0.3 ~ +2.75	V
		3.3V 系	-0.3 ~ +4.20	V
入出力電圧	V _I /V _O	3.3V バッファ V _I /V _O < V _{DD} + 0.3V	-0.3 ~ +4.20	V
		ギガビット・イーサネット PHY MDI (Px_DyP/Px_DyN) x = 0, 1, y = 0~3	-0.3 ~ +2.75	V
	V _I	5V-Tolerant バッファ	-0.3 ~ +5.80	V
	V _O		-0.3 ~ +4.20	V
出力電流 (3.3V バッファ)	I _o	8mA タイプ	16.0	mA
		10mA タイプ	22.3	mA
		12mA タイプ	27.6	mA
出力電流 (5V-Tolerant バッファ)	I _o	4mA タイプ (5V-Tolerant バッファ)	10.2	mA
動作周囲温度	T _A	—	-40 ~ +85	°C
保存温度	T _{Sgt}	—	-55 ~ +125	°C
ジャンクション温度	T _j	—	-40 ~ +125	°C

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

備考 入出力端子への印加は、必ず電源電圧が確定してから行ってください。

3.3 推奨動作範囲

表3.5 推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.15V 電源	1.09	1.15	1.21	V
		2.5V 電源	2.375	2.5	2.625	V
		3.3V 電源	3.135	3.3	3.465	V
ネガティブ・トリガ電圧	V _N	3.3V バッファ	0.8	—	1.8	V
		5V-Tolerant バッファ	0.8	—	1.8	V
ポジティブ・トリガ電圧	V _P	3.3V バッファ	1.1	—	2.4	V
		5V-Tolerant バッファ	1.1	—	2.1	V
ヒステリシス電圧	V _H	3.3V バッファ	0.15	—	1.1	V
		5V-Tolerant バッファ	0.15	—	1.1	V
ロー・レベル入力電圧	V _{IL}	3.3V バッファ	-0.3	—	0.8	V
		3.3V OSC バッファ	-0.3	—	0.8	V
		5V-Tolerant バッファ	-0.3	—	0.8	V
ハイ・レベル入力電圧	V _{IH}	3.3V バッファ	2.2	—	V _{DD} + 0.3	V
		3.3V OSC バッファ	2.4	—	V _{DD} + 0.3	V
		5V-Tolerant バッファ	2.2	—	5.8	V
入力立ち上がり／立ち下がり時間	t _{ried}	—	0	—	200	ns
	t _{fid}	—	0	—	200	ns
入力立ち上がり／立ち下がり時間 (クロック)	t _{ric}	—	0	—	4	ns
	t _{fic}	—	0	—	4	ns
入力立ち上がり／立ち下がり時間 (シュミット)	t _{ris}	—	0	—	1	ms
	t _{fis}	—	0	—	1	ms
動作周囲温度	T _A	—	-40	—	85	°C

3.4 DC 特性

表3.6 DC 特性 ($V_{DD} = 3.3 \pm 0.165V$, $T_A = -40 \sim +85^\circ C$) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
動作消費電流	I _{DD}	$V_I = V_{DD}$ or GND	2.5V 内蔵レギュレータ未使用時	VDD11, VDD11A	—	325	515	mA
				VDD25A	—	280	320	
				VDD33 ^{注2}	—	28	—	mA
		2.5V 内蔵レギュレータ使用時	VDD11, VDD11A	—	325	515	mA	
			VDD25A	—	—	—		
			VDD33 ^{注2}	—	28	—	mA	
VDDREG_33, AVDDREG_33	—	248	289	mA				
	—	—	—					
	—	—	—					
オフステート電流	I _{OZ}	$V_I = V_{DD}$ or GND	3.3V 出力	—	—	±10	μA	
		$V_I = GND$	5V-Tolerant バッファ	—	—	-10	μA	
		$V_I \leq 5.8V$		—	—	+10	μA	
出力短絡電流 ^{注1}	I _{OS}	$V_O = GND$	—	—	—	-250	mA	
入力リーク電流 (3.3V バッファ)	I _I	$V_I = V_{DD}$ or GND	通常入力	—	—	±10	μA	
		$V_I = GND$	プルアップ抵抗付き (130kΩ)	-6.7	—	-195	μA	
		$V_I = V_{DD}$	プルダウン抵抗付き (160kΩ)	6.7	—	195	μA	
入力リーク電流 (5V-Tolerant バッファ)	I _I	$V_I = GND$	プルアップ抵抗付き (130kΩ)	-6.7	—	-195	μA	

注1. 出力短絡電流は1秒以下で、1端子のみ。

2. I/Oの動作電流は使用条件(I/Oの負荷、波形なまり、トグル頻度等)によって異なります。
必ず実装環境での実測を行ってください。

備考. 表中の+、-は電流の方向を示しています。デバイスに流れ込む場合が+、流れ出す場合が-です。

表3.7 DC 特性 ($V_{DD} = 3.3 \pm 0.165V$, $T_A = -40 \sim +85^\circ C$) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロー・レベル出力電流 (3.3V バッファ)	I _{OL}	$V_{OL} = 0.4V$	8mA タイプ	8.0	—	—	mA
			10mA タイプ	10.0	—	—	mA
			12mA タイプ	12.0	—	—	mA
ロー・レベル出力電流 (5V-Tolerant バッファ)	I _{OL}	$V_{OL} = 0.4V$	4mA タイプ	4.0	—	—	mA
ハイ・レベル出力電流 (3.3V バッファ)	I _{OH}	$V_{OH} = V_{DD} - 0.4V$	8mA タイプ	-8.0	—	—	mA
			10mA タイプ	-10.0	—	—	mA
			12mA タイプ	-12.0	—	—	mA
ハイ・レベル出力電流 (5V-Tolerant バッファ)	I _{OH}	$V_{OH} = V_{DD} - 0.4V$	4mA タイプ	-4.0	—	—	mA
ロー・レベル出力電圧	V _{OL}	I _{OL} = 0mA	3.3V バッファ	—	—	0.1	V
			5V-Tolerant バッファ	—	—	0.1	V
ハイ・レベル出力電圧	V _{OH}	I _{OL} = 0mA	3.3V バッファ	$V_{DD} - 0.1$	—	—	V
			5V-Tolerant バッファ	$V_{DD} - 0.1$	—	—	V

表3.8 DC 特性 (2.5V 内蔵レギュレータ : $V_{DD} = 3.3 \pm 0.165V$, $T_A = -40 \sim +85^\circ C$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧	V_{DD}	REG_OUT 端子 ^注	2.5 - 3%	—	2.5 + 3%	V
出力電流	I_o		—	—	400	mA
変換効率	—	—	—	80	—	%

注. REG_OUT 端子による 2.5V 電源供給は、VDD25A 端子へのみ供給可能です。
他のデバイスへの 2.5V 電源供給としては使用できません。

3.5 プルアップ／プルダウン抵抗値

表3.9 プルアップ／プルダウン抵抗値 ($V_{DD} = 3.3 \pm 0.165V$, $T_A = -40 \sim +85^\circ C$)

項目	ライブラリ表現	MIN.	TYP.	MAX.	単位
Pull-up 抵抗 (3.3V バッファ)	130k Ω	18	130	450	k Ω
Pull-down 抵抗 (3.3V バッファ)	160k Ω	18	160	450	k Ω
Pull-up 抵抗 (5V-Tolerant バッファ)	130k Ω	18	130	450	k Ω

3.6 端子容量

表3.10 端子容量

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力バッファ	C _B	XT2 端子	—	—	7.0	pF
		XT2 端子以外	—	—	10.0	pF
出力バッファ		—	—	—	10.0	pF
入出力バッファ		—	—	—	10.0	pF

3.7 電源投入／遮断手順

R-IN32M4-CL3 に対する外部供給電源を表 3.11 に示します。電源投入/遮断シーケンスを、図 3.1、図 3.3 に示します。

電源投入順序について特に規定はありませんが、外部供給電源 VDD11 を投入した後に、外部供給電源 VDD33 を投入することを推奨します。逆に、電源遮断では、VDD33 を遮断した後に、VDD11 を遮断することを推奨します。

VDD33 を先に投入した場合は、VDD33 が立ち上がってから VDD11 が立ち上がるまでの期間、I/O バッファの入出力モードが確定せず不定出力となりますので、ご注意願います。

入力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行ってください。

表3.11 外部供給電源

外部供給電源	電圧[V]	外部端子名
VDD33	3.3±0.165 ^注	VDD33 VDDREG_33 AVDDREG_33
VDD25	2.5±0.125 ^注	VDD25A
VDD11	1.15±0.06 ^注	VDD11 VDD11A PLL_VDD

注. リップル込みの値です。目安として、DC 成分±3%以内、リップル成分±2%以内としてください。

3.7.1 2.5V 内蔵レギュレータ未使用時の電源投入／遮断規定

(1) 電源投入時

以下の2つの条件を同時に満たすように電源を投入してください。

- ① VDD33、VDD25、VDD11のうち、いずれかの電源が最初に10% VDD となってから全ての電源が90% VDD 以上となるまでの時間が100ms 以内
- ② VDD33、VDD25、VDD11のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以上となる時間が50ms 以内

(2) 電源遮断時

以下の2つの条件を同時に満たすように電源を遮断してください。

- ① VDD33、VDD25、VDD11のうち、いずれかの電源が最初に90% VDD となってから全ての電源が10% VDD 以下となるまでの時間が100ms 以内
- ② VDD33、VDD25、VDD11のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以下となる時間が50ms 以内

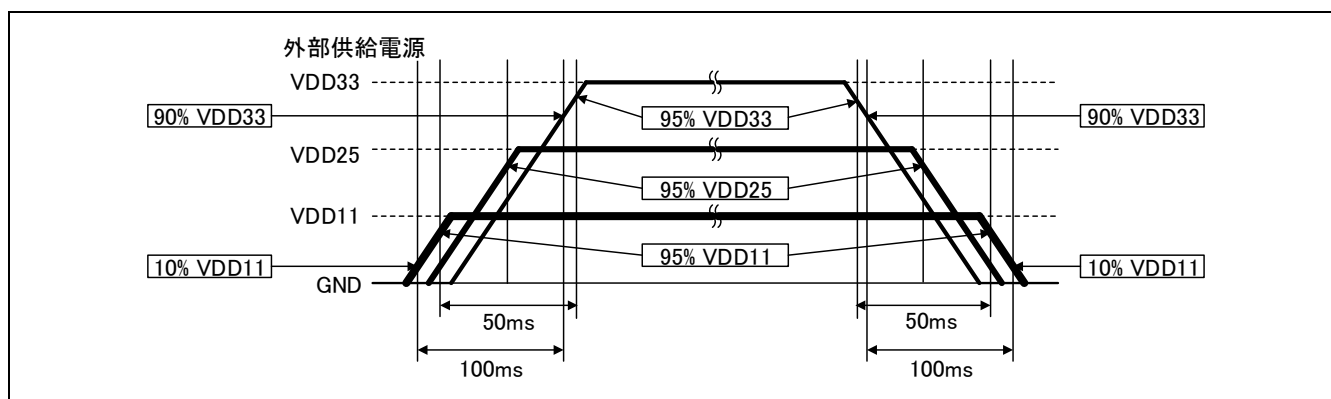


図3.1 電源投入/遮断シーケンス (2.5V 内蔵レギュレータ未使用時)

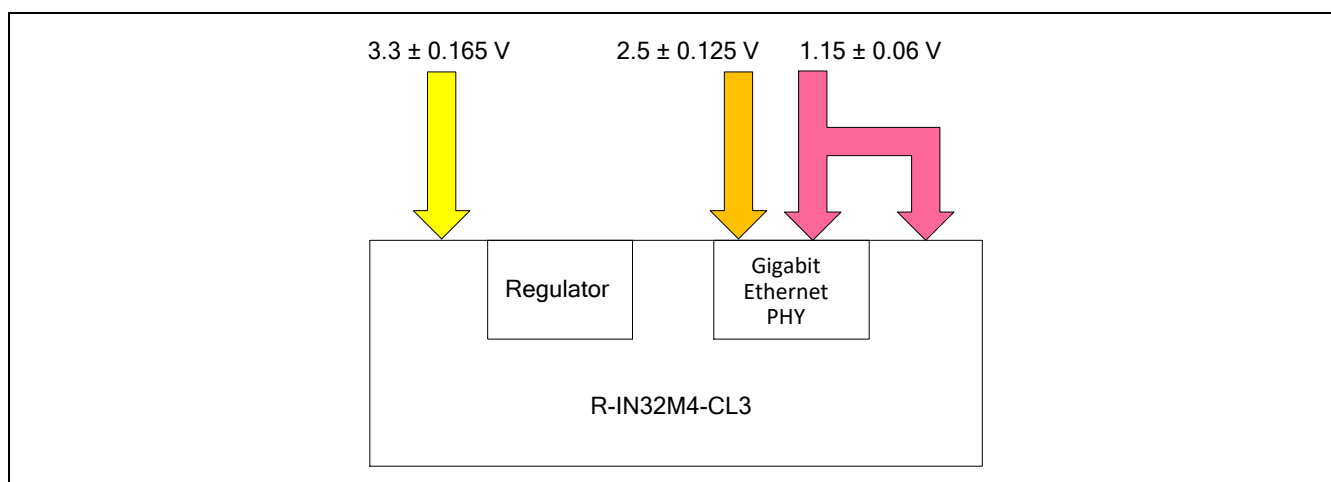


図3.2 R-IN32M4-CL3 電源供給経路 (2.5V 内蔵レギュレータ未使用時)

3.7.2 2.5V 内蔵レギュレータ使用時の電源投入／遮断規定

(1) 電源投入時

以下の2つの条件を同時に満たすように電源を投入してください。

- ① VDD33、VDD11のうち、いずれかの電源が最初に10% VDD となってから全ての電源が90% VDD 以上となるまでの時間が100ms 以内
- ② VDD33、VDD11のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以上となる時間が49ms 以内

(2) 電源遮断時

以下の2つの条件を同時に満たすように電源を遮断してください。

- ① VDD33、VDD11のうち、いずれかの電源が最初に90% VDD となってから全ての電源が10% VDD 以下となるまでの時間が100ms 以内
- ② VDD33、VDD11のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以下となる時間が49ms 以内

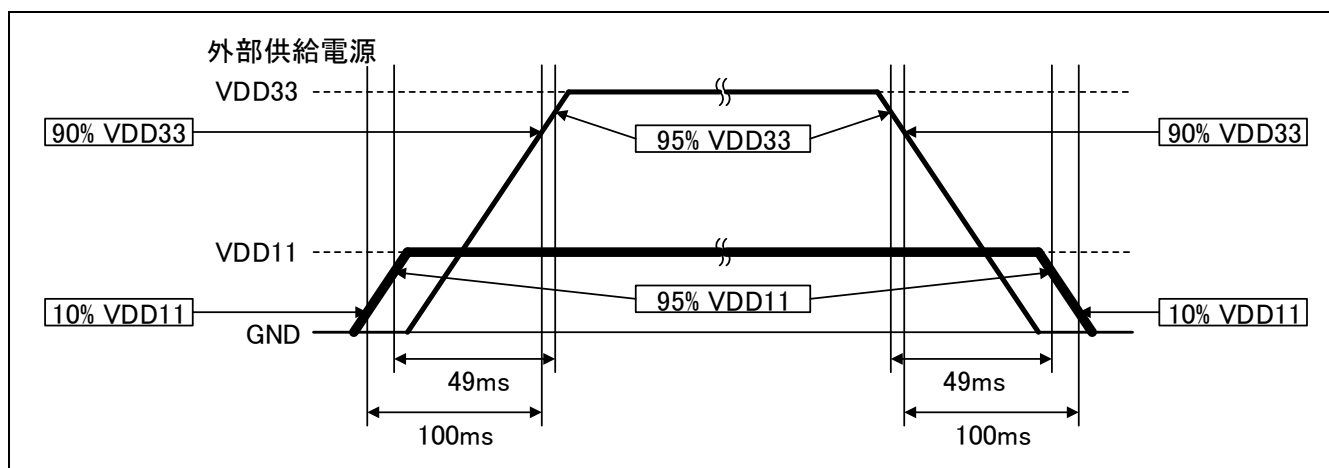


図3.3 電源投入/遮断シーケンス (2.5V 内蔵レギュレータ使用時)

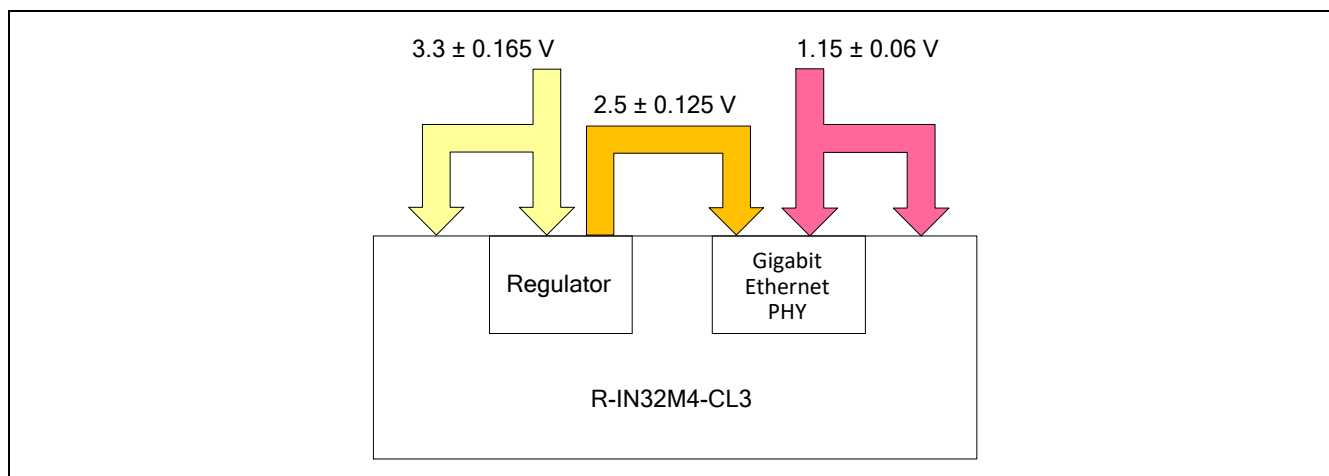


図3.4 R-IN32M4-CL3 電源供給経路 (2.5V 内蔵レギュレータ使用時)

3.8 AC 特性

3.8.1 クロック端子

(1) 入力クロック

項目	略号	条件	MIN	MAX	単位
XT1, XT2 クロック周波数	t _{SYSCLK}	発振子使用時 (OSCTH 端子=0)	25±50ppm, 5ps-rms		MHz
XT2 クロック周波数		発振器使用時	25±50ppm, 5ps-rms		MHz
XT2 クロックデューティ		(OSCTH 端子=1)	45	55	%
CCI_CLK2_097M	t _{CCLIECLK}	—	2.097152±100ppm		MHz
HBUSCLK	t _{HBUSCLK}	—	—	50	MHz
CSISCK0, CSISCK1	t _{CSISSCK}	スレーブ・モード	—	16.6	MHz
TCK	t _{TCK}	—	—	50	MHz

(2) 出力クロック

項目	略号	条件	MIN	MAX	単位
BUSCLK 出力周期	t _{BUSCLK}	C _L = 15pF	10	—	ns
BUSCLK ハイ・レベル幅	t _{BCKH}		$0.5 \times t_{BUSCLK} - 2.0$	$0.5 \times t_{BUSCLK} + 2.0$	ns
BUSCLK ロー・レベル幅	t _{BCKL}		$0.5 \times t_{BUSCLK} - 2.0$	$0.5 \times t_{BUSCLK} + 2.0$	ns
BUSCLK 立ち上がり時間	t _{BCKR}		—	1.2	ns
BUSCLK 立ち下がり時間	t _{BCKF}		—	1.2	ns
CSISCK0, CSISCK1 出力周波数	t _{CSIMSCK}	マスタ・モード C _L = 15pF	—	25	MHz
SCL0, SCL1 出力周波数	t _{SCL}	高速モード C _L = 30pF	—	400	kHz
SMSCK 出力周波数	t _{SMSCK}	C _L = 15pF	—	50	MHz
TRACECLK 出力周波数	t _{TRACECLK}	C _L = 15pF	—	50	MHz

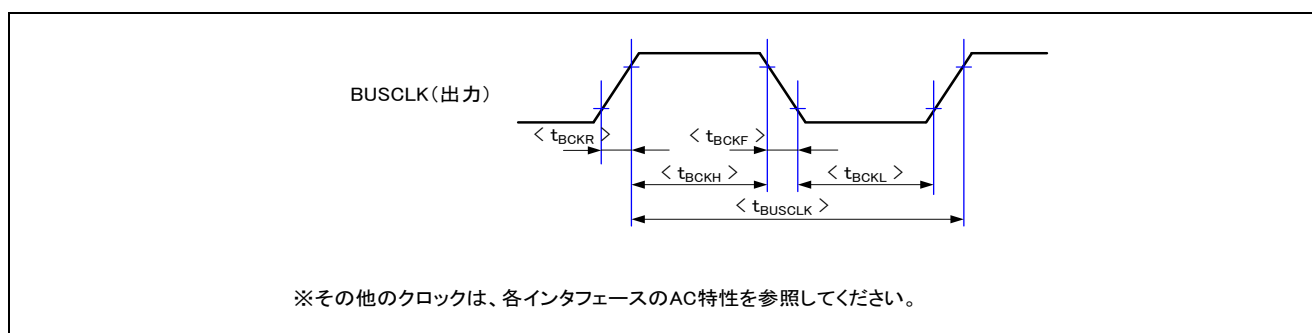


図3.5 出力クロック・タイミング

3.8.2 リセット端子

項目	略号	条件	MIN	MAX	単位
RESETZ 端子入力ロー・レベル幅	t_{WRSL}	—	(外部発振回路の発振安定時間+1 μ sec)を確保してください。	—	ns
HOTRESETZ 端子入力ロー・レベル幅	t_{WHRSL}	—		—	ns
PONRZ 端子入力ロー・レベル幅	t_{WPRSL}	—		—	ns
PONRZ 入力タイミング(対 RESETZ \uparrow)	t_{SKPR}	—	0	—	ns

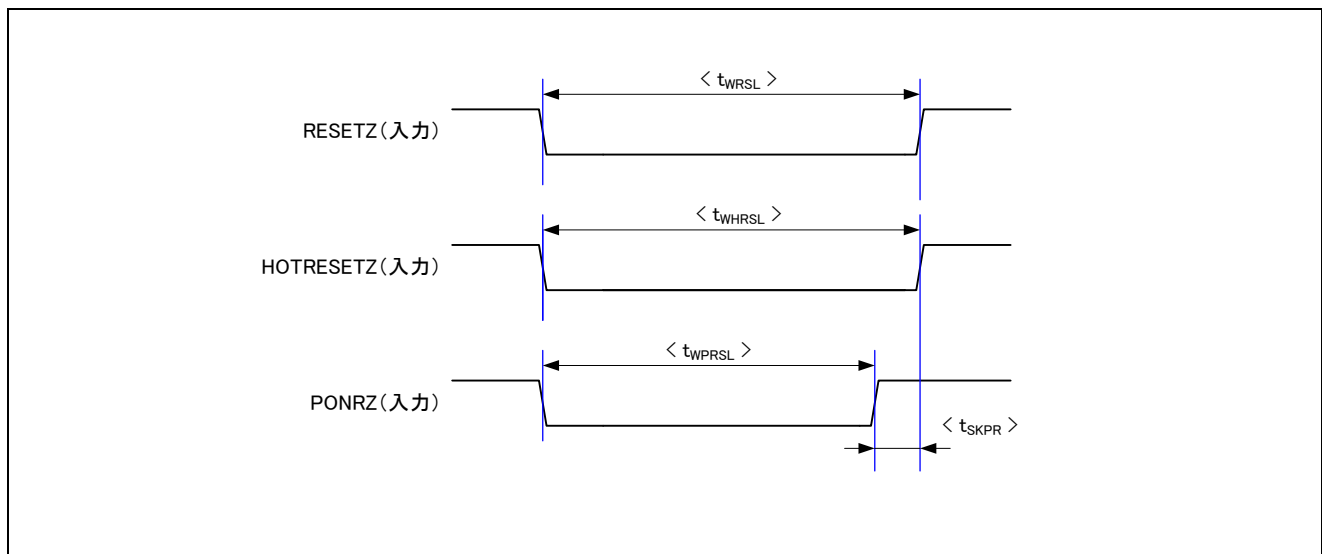


図3.6 リセット・タイミング

3.8.3 外部メモリ・インタフェース端子

(1) 外部負荷による遅延値計算方法

R-IN32M4-CL3 の外部メモリ・インタフェース端子は、負荷条件がユーザにおいて異なることを考慮し、負荷 0pF の値を記載しています。ユーザの負荷条件に応じて、タイミングを算出してください。また、基板上の配線遅延もユーザにて考慮いただく必要があります。

ドライブ能力	1pF あたりの遅延値 (ns)	
	MIN.	MAX.
8mA	0.024	0.064
12mA	0.013	0.039

計算例)

アドレス端子 (8mA 出力バッファ) に、30pF の負荷がある場合、実際の遅延情報は以下のようになります。

MIN. 1.0ns (0pF 時の MIN 遅延値) + (0.024×30) ns = 1.72ns

MAX. 7.0ns (0pF 時の MAX 遅延値) + (0.064×30) ns = 8.92ns

(2) 非同期 SRAM MEMC アクセス・タイミング

項目	略号	MIN	MAX	単位
アドレス、CSZ0–CSZ3 出力遅延時間 (対 BUSCLK↑)	tDKA	1.0 (1.72) 注	7.0 (8.92) 注	ns
RDZ 出力遅延時間 (対 BUSCLK↑)	tDKRD	1.0 (1.72) 注	7.0 (8.92) 注	ns
WRZ0–WRZ3 (BENZ0–BENZ3)、WRSTBZ 出力遅延時間 (対 BUSCLK↑)	tDKWR	1.0 (1.72) 注	7.0 (8.92) 注	ns
BCYSTZ 出力遅延時間 (対 BUSCLK↑)	tDKBSL	1.0 (1.72) 注	7.0 (8.92) 注	ns
WAITZ 入力設定時間 (対 BUSCLK↓)	tSKW	4.0	—	ns
WAITZ 入力保持時間 (対 BUSCLK↓)	tHKW	0	—	ns
データ入力設定時間 (対 BUSCLK↑)	tSKID	4.0	—	ns
データ入力保持時間 (対 BUSCLK↑)	tHKID	0	—	ns
データ出力遅延時間 (対 BUSCLK↑)	tDKOD	1.0 (1.72) 注	7.0 (8.92) 注	ns
データ・フロート遅延時間 (対 BUSCLK↑)	tHKOD	1.0 (1.72) 注	7.0 (8.92) 注	ns

注. カッコ内は、ドライブ能力 8mA、外部負荷 30pF 時の計算結果です。

(a) リード・タイミング

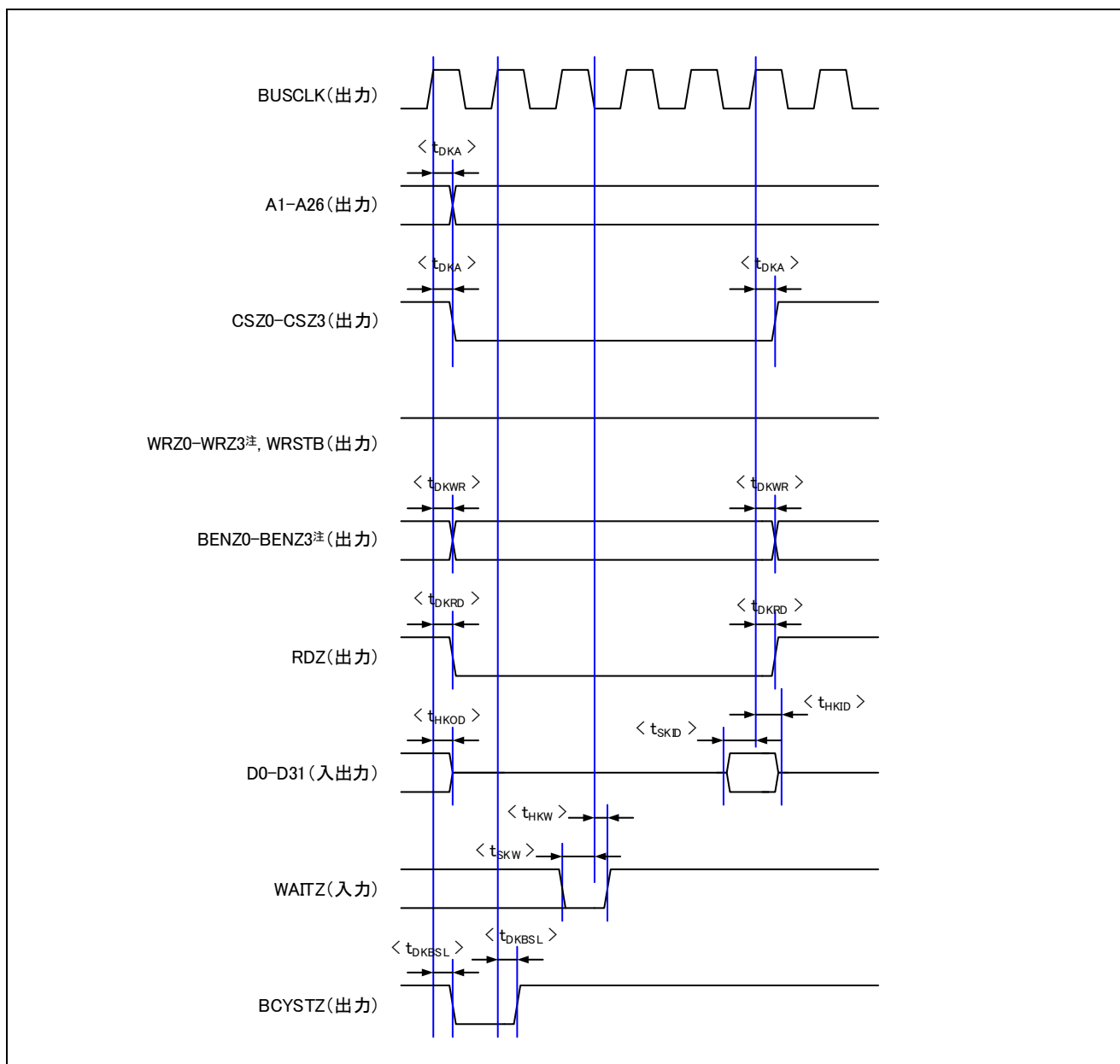


図3.7 メモリ・コントローラ・リード・タイミング（非同期メモリ）

注. WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。

リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ（WREN）で切り替えられます。

レジスタの詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照してください。

備考. SMCn レジスタによるアイドル・ウエイト数/ライト・リカバリ・ウエイト数/アドレス設定ウエイト数が0、データ・ウエイト数が3の場合のタイミングです。

(b) ライト・タイミング

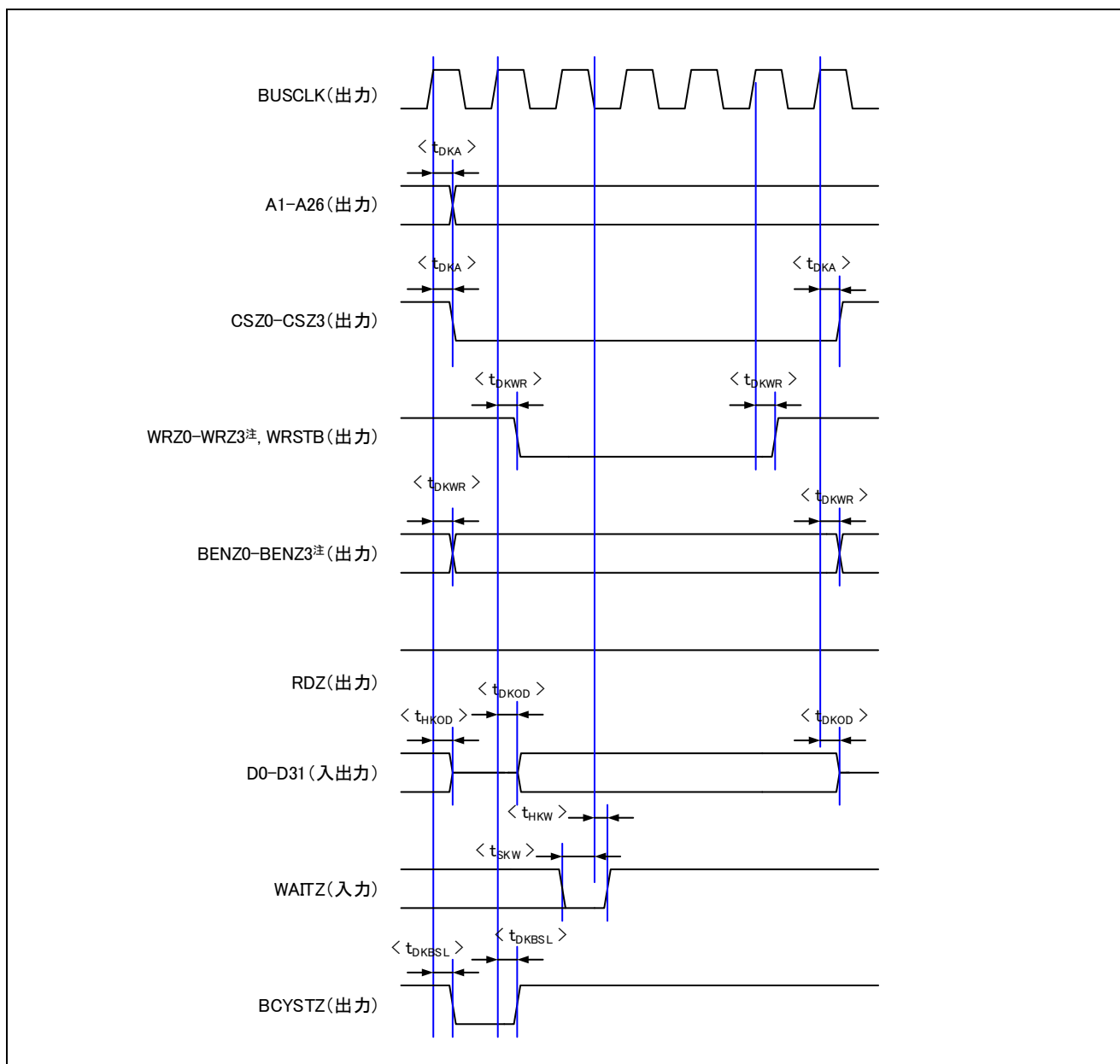


図3.8 メモリ・コントローラ・ライト・タイミング（非同期メモリ）

注. WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。

リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ（WREN）で切り替えられます。

レジスタの詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照してください。

備考. SMCn レジスタによるアイドル・ウエイト数/ライト・リカバリ・ウエイト数/アドレス設定ウエイト数が0、データ・ウエイト数が3の場合のタイミングです。

(3) 同期式バースト・アクセス MEMC アクセス・タイミング

項目	略号	MIN	MAX	単位
BUSCLK 出力周波数	t _{BUSCLK}	—	50	MHz
アドレス、CSZ0–CSZ3 出力遅延時間	t _{DKA}	1.0 (1.72) 注	7.8 (9.72) 注	ns
RDZ 出力遅延時間	t _{DKRD}	1.0 (1.72) 注	7.8 (9.72) 注	ns
WRZ0–WRZ3 (BENZ0–BENZ3)、WRSTBZ 出力遅延時間	t _{DKWR}	1.0 (1.72) 注	7.8 (9.72) 注	ns
ADVZ 出力遅延時間	t _{DKBSL}	1.0 (1.72) 注	7.8 (9.72) 注	ns
WAITZ、WAITZ1–WAITZ3 入力設定時間	t _{SKW}	5.3	—	ns
WAITZ、WAITZ1–WAITZ3 入力保持時間	t _{HKW}	0	—	ns
データ入力設定時間	t _{SKID}	5.3	—	ns
データ入力保持時間	t _{HKID}	0	—	ns
データ出力遅延時間	t _{DKOD}	1.0 (1.72) 注	7.8 (9.72) 注	ns
データ・フロート遅延時間	t _{HKOD}	1.0 (1.72) 注	7.8 (9.72) 注	ns

注. カッコ内は、ドライブ能力 8mA、外部負荷 30pF 時の計算結果です。

(a) リード・タイミング

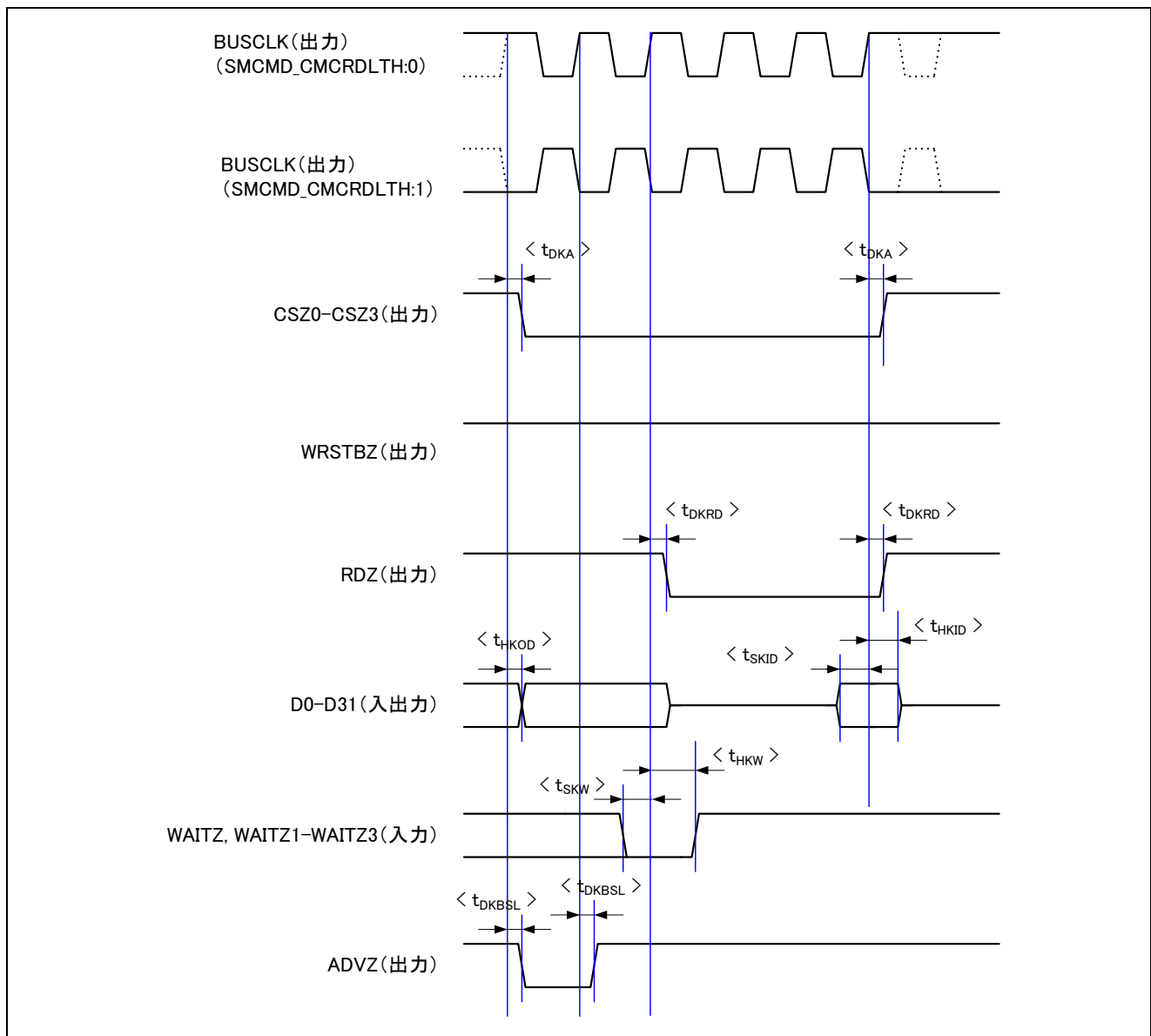


図3.9 メモリ・コントローラ・リード・タイミング (クロック同期式メモリ)

備考. t_{ceoe} が 2、 t_{rc} が 4 の場合のタイミングです。

(b) ライト・タイミング

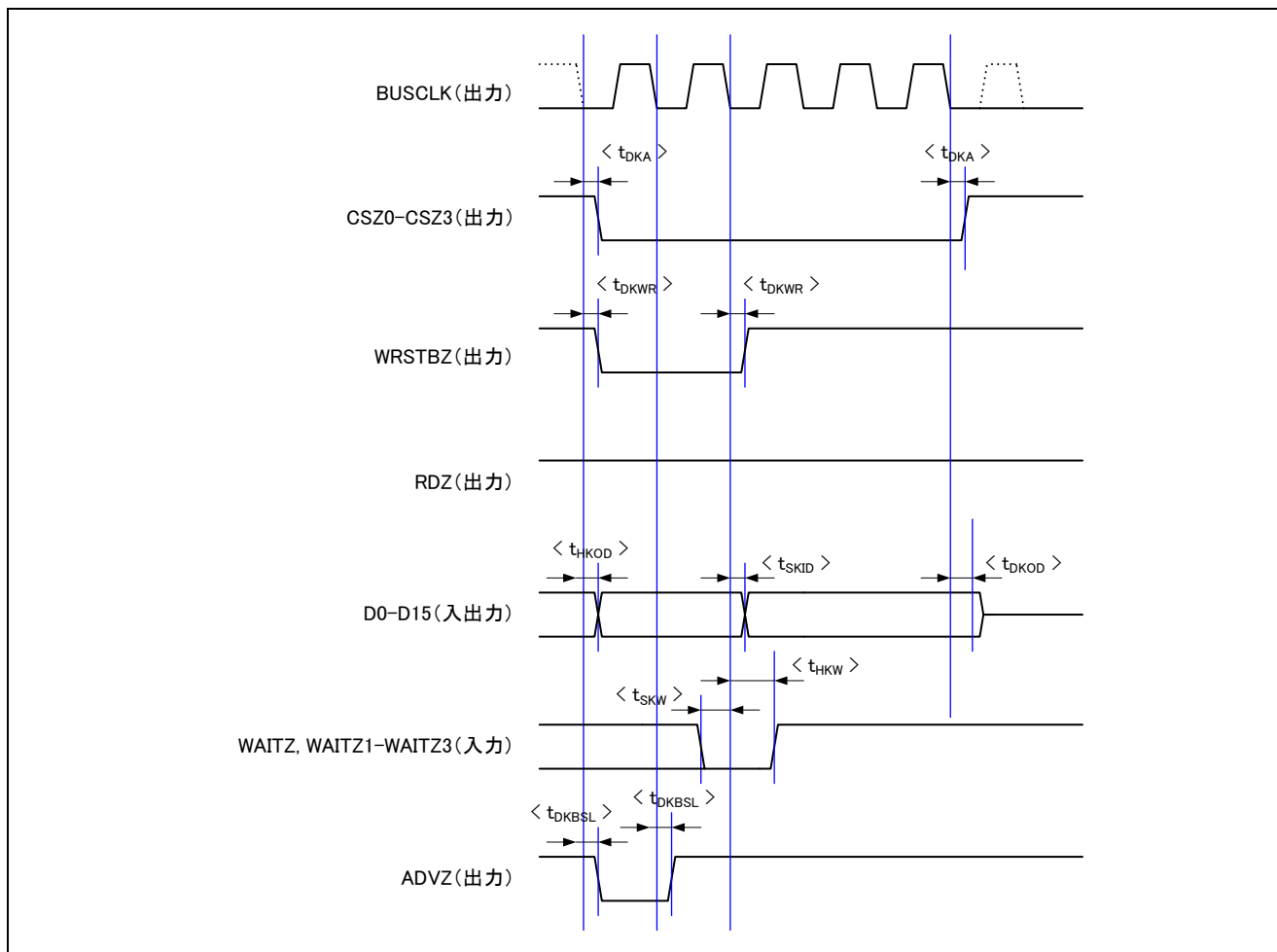


図3.10 メモリ・コントローラ・ライト・タイミング (クロック同期式メモリ)

備考. t_{wp} が 2、 t_{wc} が 5 の場合のタイミングです。

3.8.4 外部マイコン・インタフェース端子

外部マイコン・インタフェース端子の負荷条件は、65pF（HD 端子）、35pF（HWAITZ 端子）です。

(1) 同期モード

番号	項目	略号	MIN	MAX	単位
1	HBUSCLK ハイ・レベル幅	t _{HBHIGH}	$0.5 \times t_{\text{HBUSCLK}} - 2.1$	$0.5 \times t_{\text{HBUSCLK}} + 2.1$	ns
2	HBUSCLK ロー・レベル幅	t _{HBLOW}	$0.5 \times t_{\text{HBUSCLK}} - 2.1$	$0.5 \times t_{\text{HBUSCLK}} + 2.1$	ns
3	HBUSCLK 入力周期	t _{HBUSCLK}	20.0	—	ns
4	アドレス、HCSZ, HPGCSZ, HRDZ 入力設定時間 (対 HBUSCLK ↑)	t _{SKHA}	4.0	—	ns
5	HBENZ0-HBENZ3 (HWRZ0-HWRZ3)、 HWRSTBZ 入力設定時間 (対 HBUSCLK ↑)	t _{SKHWR}	4.0	—	ns
6	アドレス、HCSZ, HPGCSZ, HRDZ 入力保持時間 (対 HBUSCLK ↑)	t _{HKHA}	1.0	—	ns
7	HBENZ0-HBENZ3 (HWRZ0-HWRZ3)、 HWRSTBZ 入力保持時間 (対 HBUSCLK ↑)	t _{HKHWR}	1.0	—	ns
8	HWRZ0-HWRZ3, HWRSTBZ リカバリ時間 (ハイ幅)	t _{WHWR}	35.0	—	ns
9	データ入力設定時間 (対 HBUSCLK ↑)	t _{SKIHD}	4.0	—	ns
10	データ入力保持時間 (対 HBUSCLK ↑)	t _{HKIHD}	1.0	—	ns
11	HWAITZ 出力遅延時間 (対 HCSZ, HPGCSZ ↓)	t _{DKHD}	2.2	—	ns
12	HWAITZ 出力遅延時間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↓)	t _{DKHWT}	2.2	—	ns
13	HWAITZ 有効データ出力遅延時間 (対 HBUSCLK ↑)	t _{DKHWTV}	2.0	11.0	ns
14	HWAITZ 有効データ保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)	t _{HKHWTV}	4.2	—	ns
15	HWAITZ 出力保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)	t _{HKWTWR}	—	16.8	ns
16	データ、HWAITZ の出力保持時間 (対 HCSZ, HPGCSZ ↑)	t _{HKWTCs}	—	16.8	ns
17	HRDZ リカバリ時間 (ハイ幅)	t _{WHRD}	35.0	—	ns
18	データ、HWAITZ 出力遅延時間 (対 HRDZ ↓)	t _{DKHDHR}	2.2	—	ns
19	データ確定時間 (対 HWAITZ ↑)	t _{SKHDHWT}	$t_{\text{HBUSCLK}} - 10.0$	—	ns
20	データ、HWAITZ 有効データ出力保持時間 (対 HRDZ ↑)	t _{HKHWTHR}	2.2	—	ns
21	データ、HWAITZ 出力保持時間 (対 HRDZ ↑)	t _{HKOHD}	—	16.8	ns
22	オンページ・アクセス時のデータ、HWAITZ 出力遅延時間 (対アドレス)	t _{DKPON}	4.2	15.4	ns
23	オフページ・アクセス時のデータ、HWAITZ 出力遅延時間 (対アドレス) (16Byte 境界を超えない場合)	t _{DKPOFF}	4.2	15.4	ns
	オフページ・アクセス時のデータ、HWAITZ 出力遅延時間 (対アドレス) (16Byte 境界を超える場合)	t _{DKPOFF}	4.2	49.5	ns
24	HWAITZ 有効データ出力遅延時間 (対 HCSZ, HPGCSZ ↓)	t _{DKWTVCS}	—	15.4	ns

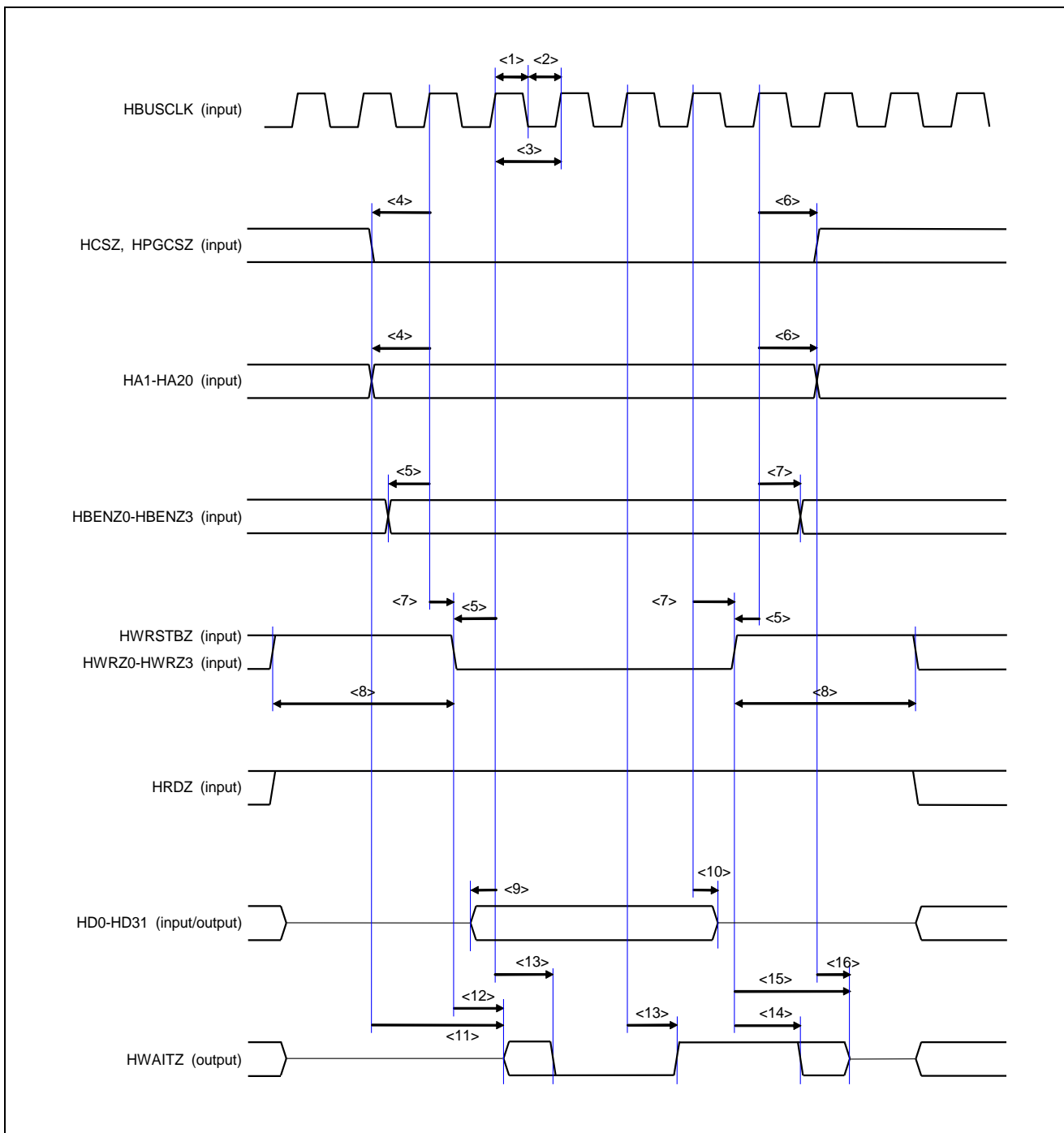


図3.11 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=L, HIFSYNC=H)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

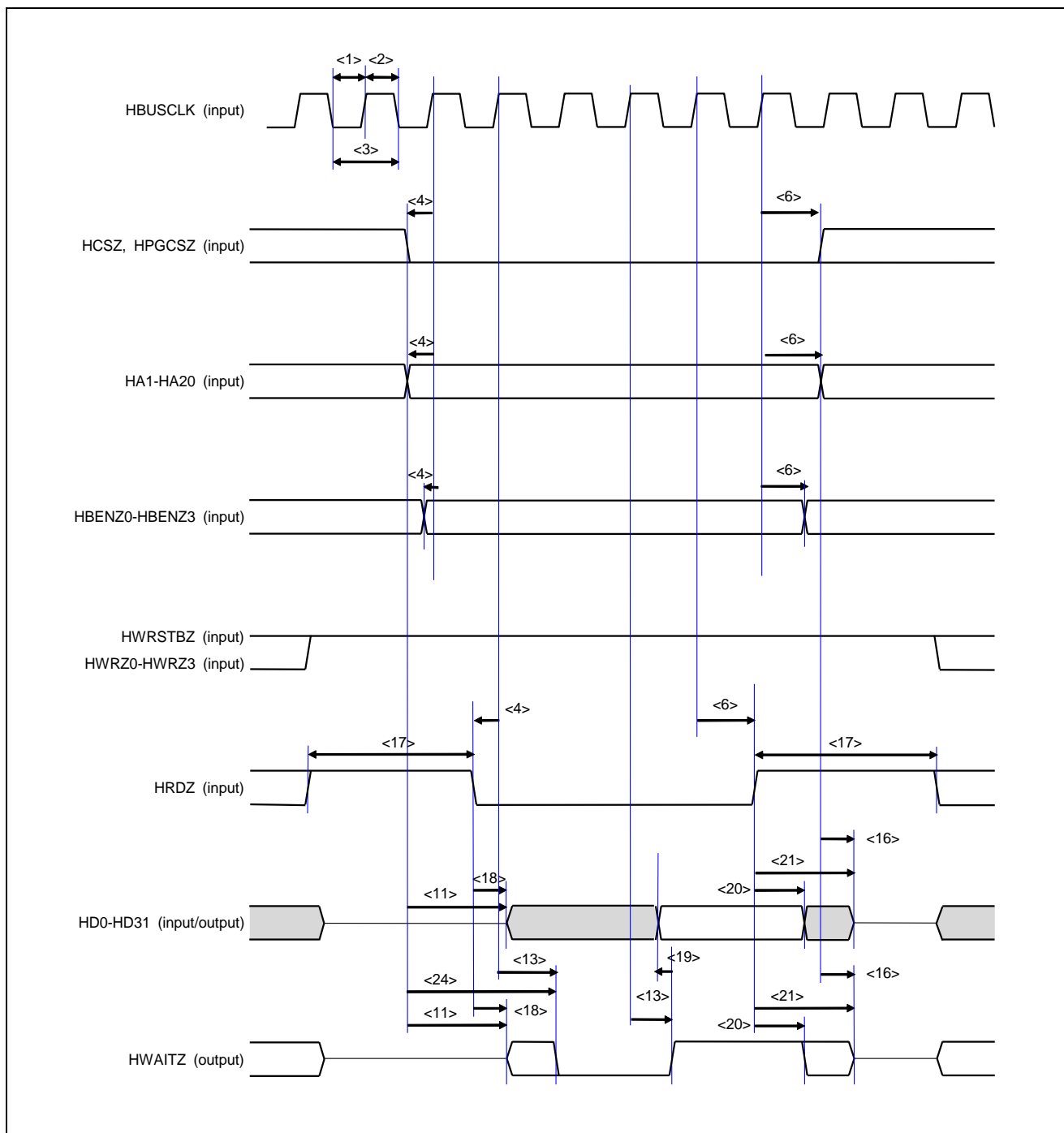


図3.12 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=H)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

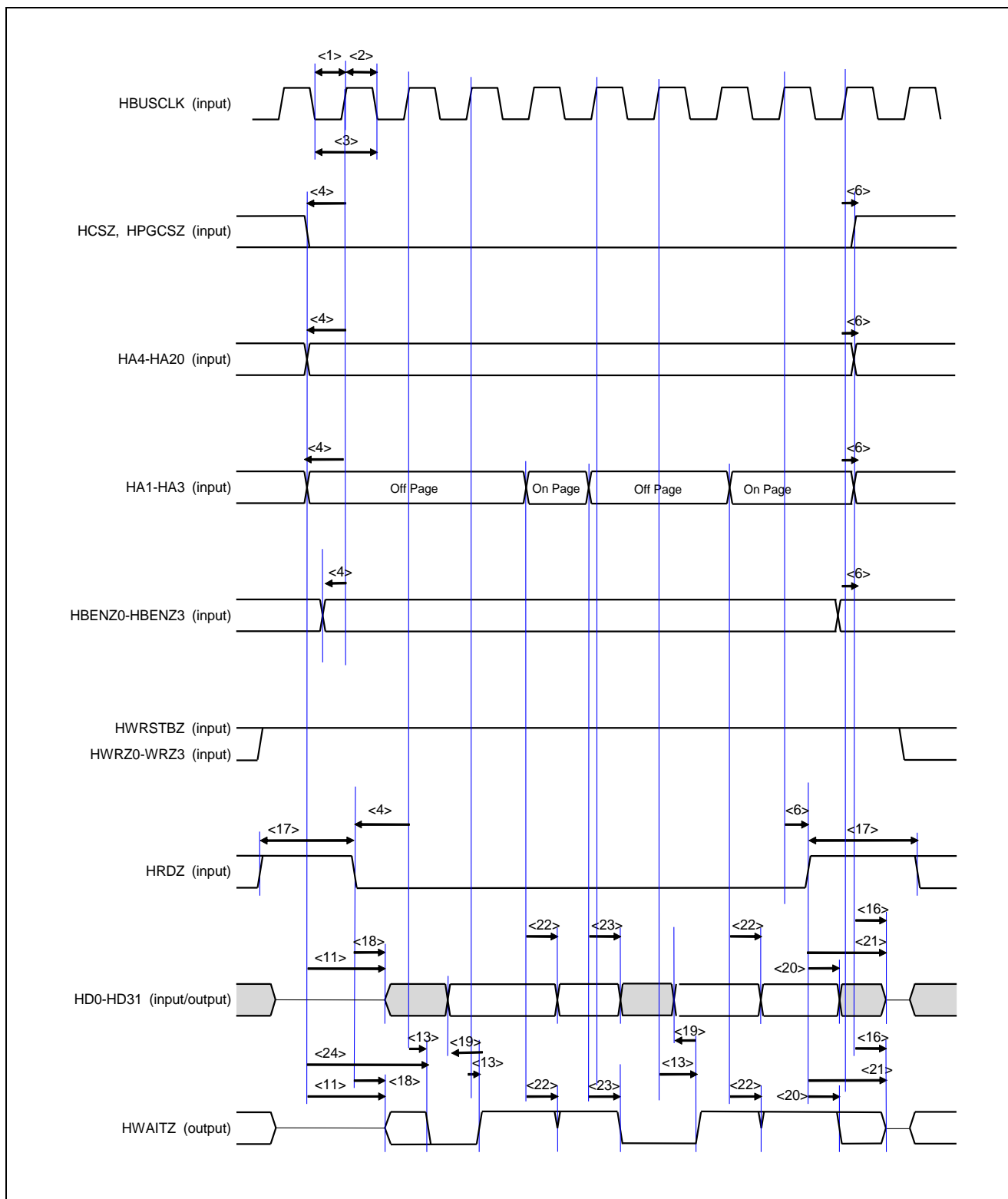


図3.13 外部マイコン・インタフェース・ページ・リード・タイミング (MEMCSEL=L, HIFSYNC=H)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

(2) 非同期モード

番号	項目	略号	MIN	MAX	単位
1	アドレス、HCSZ/HPGCSZ、HBENZ0-HBENZ3 入力設定時間（対 HWRSTBZ, HWRZ0-HWRZ3 ↓）	t _{ADDWRS}	7.0 ^{注1} - 10 × n	—	ns
2	HWRZ0-HWRZ3, HWRSTBZ リカバリ時間（ハイ幅）	t _{WRW}	35.0	—	ns
3	データ入力設定時間（対 HWRSTBZ, HWRZ0-HWRZ3 ↓）	t _{WRS}	7.0 ^{注1} - 10 × n	—	ns
4	データ入力保持時間（対 HWRSTBZ, HWRZ0-HWRZ3 ↑）	t _{WRH}	7.0	—	ns
5	HWAITZ 出力遅延時間（対 HCSZ or HPGCSZ ↓）	t _{CLZ}	2.2	—	ns
6	HWAITZ 出力遅延時間（対 HWRSTBZ, HWRZ0-HWRZ3 ↓）	t _{WAITD}	2.2	—	ns
7	HWAITZ 有効データ出力遅延時間 （対 HWRSTBZ, HWRZ0-HWRZ3 ↓）	t _{WRWAITF}	—	15.4	ns
8	HWAITZ 有効データ出力保持時間 （対 HWRSTBZ, HWRZ0-HWRZ3 ↑）	t _{WAITVH}	4.2	—	ns
9	HWAITZ 出力保持時間（対 HWRZ0-3, HWRSTBZ ↑）	t _{WAITH}	—	16.8	ns
10	アドレス、HWAITZ 出力保持時間（対 HCSZ, HPGCSZ ↑）	t _{CHZ}	—	16.8	ns
11	アドレス、HCSZ, HPGCSZ 入力設定時間（対 HRDZ ↓）	t _{ADDRDS}	6.2 ^{注2} - 10 × n	—	ns
12	ページ・アクセス時のアドレス入力保持時間（対 HRDZ ↑）	t _{ADDRDH}	7.0	—	ns
13	HRDZ リカバリ時間（ハイ幅）	t _{RDW}	35.0	—	ns
14	データ、HWAITZ 出力遅延時間（対 HRDZ ↓）	t _{RDLZ}	2.2	—	ns
15	HWAITZ 有効データ出力遅延時間（対 HRDZ ↓）	t _{RDWAITF}	—	15.4	ns
16	データ確定時間（対 HWAITZ ↑）	t _{WAITR}	—	-6.2 ^{注3} + 10 × n	ns
17	データ、HWAITZ 有効データ出力保持時間（対 HRDZ ↑）	t _{DATAOH}	2.2	—	ns
18	データ、HWAITZ 出力保持時間（対 HRDZ ↑）	t _{RDHZ}	—	16.8	ns
19	オンページ・アクセス時のデータ、HWAITZ 出力遅延時間 （対アドレス）	t _{PAGEOND}	4.2	15.4	ns
20	オフページ・アクセス時のデータ、HWAITZ 出力遅延時間 （対アドレス）（16Byte 境界を超えない場合）	t _{PAGEOFD}	4.2	15.4	ns
	オフページ・アクセス時のデータ、HWAITZ 出力遅延時間 （対アドレス）（16Byte 境界を超える場合）	t _{PAGEOFD}	4.2	49.5	ns
21	HWAITZ 有効データ出力遅延時間（対 HCSZ, HPGCSZ ↓）	t _{WAITVD}	—	15.4	ns

注 1. HIFBTC レジスタの WRSTD2-WRSTD0 の値が 000B の場合です。

n : WRSTD2-WRSTD0 の設定値

注 2. HIFBTC レジスタの RDSTD1-RDSTD0 の値が 00B の場合です。

n : RDSTD1-RDSTD0 の設定値

注 3. HIFBTC レジスタの RDDTS1-RDDTS0 の値が 00B の場合です。

n : RDDTS1-RDDTS0 の設定値

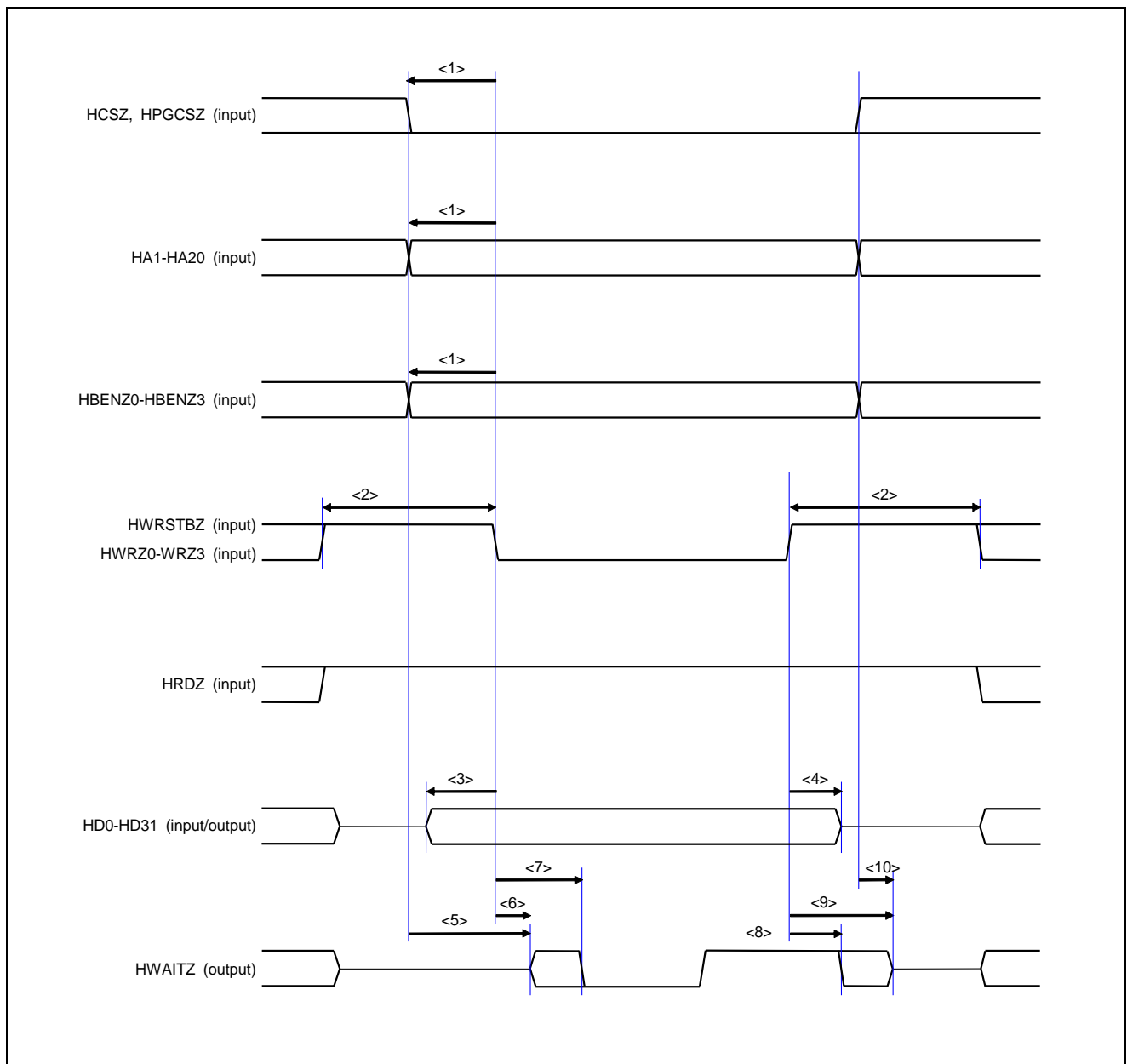


図3.14 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=L, HIFSYNC=L)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

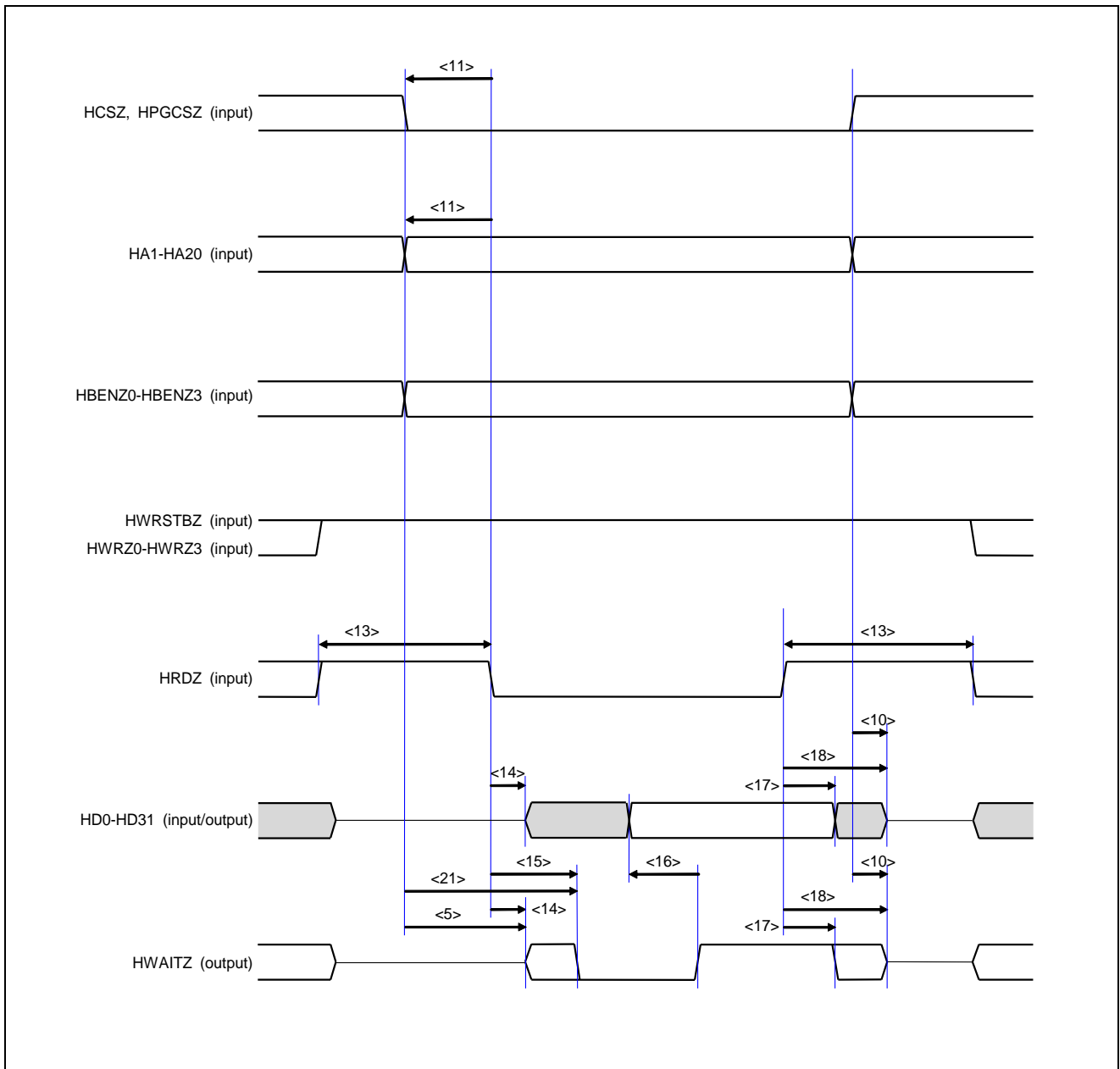


図3.15 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=L)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

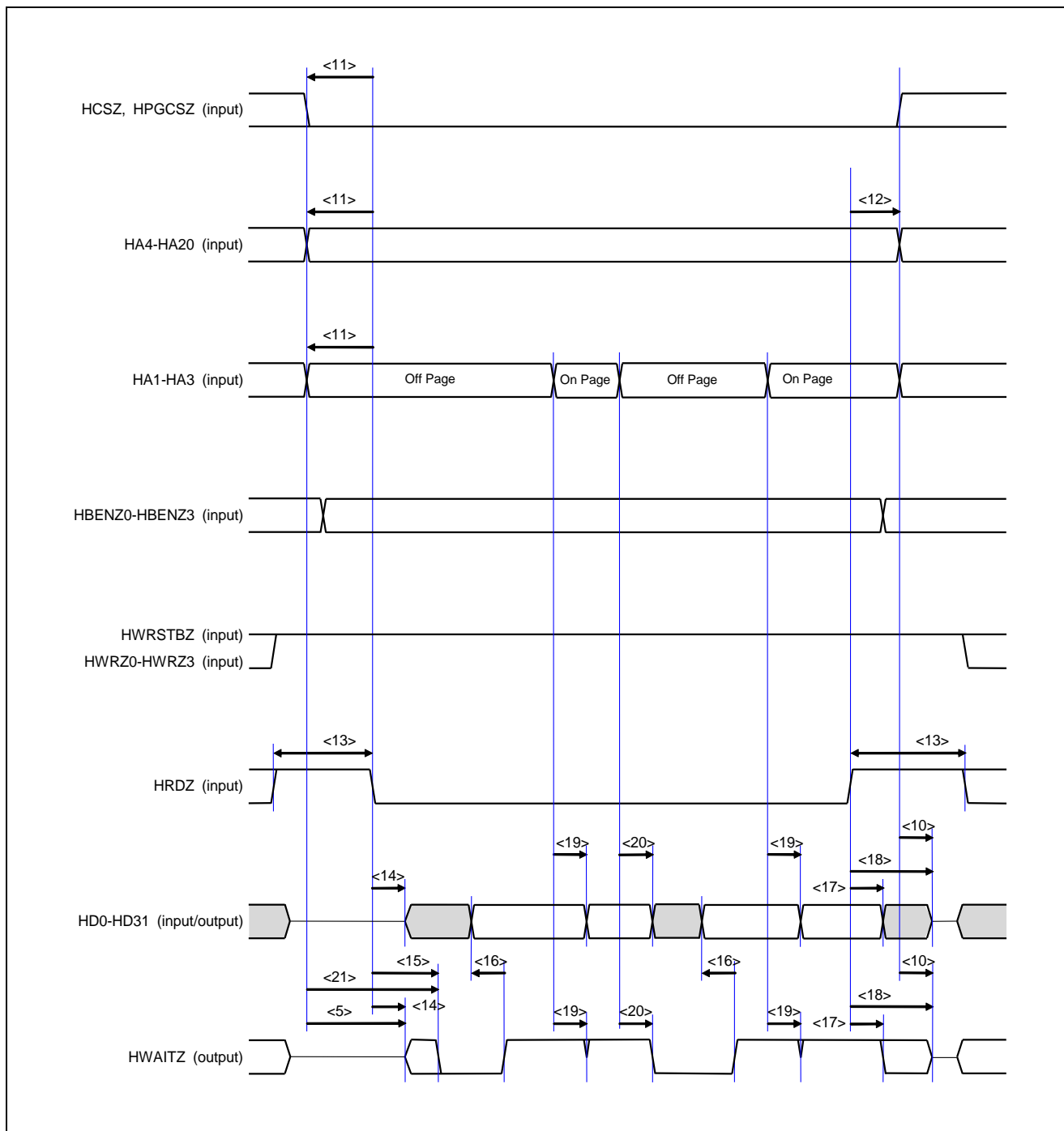


図3.16 外部マイコン・インタフェース・ページ・リード・タイミング (MEMCSEL=L, HIFSYNC=L)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

(3) 同期式 SRAM タイプ転送モード

番号	項目	略号	MIN	MAX	単位
1	HBUSCLK ハイ・レベル幅	t _{HBHIGH}	0.5 × t _{HBUSCLK} - 2.1	0.5 × t _{HBUSCLK} + 2.1	ns
2	HBUSCLK ロー・レベル幅	t _{HBLOW}	0.5 × t _{HBUSCLK} - 2.1	0.5 × t _{HBUSCLK} + 2.1	ns
3	HBUSCLK 入力周期	t _{HBUSCLK}	20	—	ns
4	アドレス、HCSZ/HPGCSZ 入力設定時間 (対 HBUSCLK ↑)	t _{SKPHA}	4.0	—	ns
5	アドレス、HCSZ/HPGCSZ 入力保持時間 (対 HBUSCLK ↑)	t _{HKPCS}	1.0	—	ns
6	アドレス、HCSZ/HPGCSZ 入力設定時間 (対 HBUSCLK ↓)	t _{SKNHA}	4.0	—	ns
7	アドレス、HCSZ/HPGCSZ 入力保持時間 (対 HBUSCLK ↓)	t _{HKNHA}	1.0	—	ns
8	HWRZ0-HWRZ3 入力設定時間(対 HBUSCLK ↑)	t _{SKPHWR}	4.0	—	ns
9	HWRZ0-HWRZ3 入力保持時間(対 HBUSCLK ↑)	t _{HKPHWR}	1.0	—	ns
10	HWRZ0-HWRZ3 入力設定時間(対 HBUSCLK ↓)	t _{SKNHWR}	4.0	—	ns
11	HWRZ0-HWRZ3 入力保持時間(対 HBUSCLK ↓)	t _{HKNHWR}	1.0	—	ns
12	HBCYSTZ, HWRSTBZ 入力設定時間(対 HBUSCLK ↑)	t _{SKPHBCY}	4.0	—	ns
13	HBCYSTZ, HWRSTBZ 入力保持時間(対 HBUSCLK ↑)	t _{HKPHBCY}	1.0	—	ns
14	HBCYSTZ, HWRSTBZ 入力設定時間(対 HBUSCLK ↓)	t _{SKNHBCY}	4.0	—	ns
15	HBCYSTZ, HWRSTBZ 入力保持時間(対 HBUSCLK ↓)	t _{HKNHBCY}	1.0	—	ns
16	HRDZ 入力設定時間 (対 HBUSCLK ↑)	t _{SKPHRD}	4.0	—	ns
17	HRDZ 入力保持時間 (対 HBUSCLK ↑)	t _{HKPHRD}	1.0	—	ns
18	HRDZ 入力設定時間 (対 HBUSCLK ↓)	t _{SKNHRD}	4.0	—	ns
19	HRDZ 入力保持時間 (対 HBUSCLK ↓)	t _{HKNHRD}	1.0	—	ns
20	データ入力設定時間 (対 HBUSCLK ↑)	t _{SKPHD}	4.0	—	ns
21	データ入力保持時間 (対 HBUSCLK ↑)	t _{HKPHD}	1.0	—	ns
22	データ入力設定時間 (対 HBUSCLK ↓)	t _{SKNHD}	4.0	—	ns
23	データ入力保持時間 (対 HBUSCLK ↓)	t _{HKNHD}	1.0	—	ns
24	データ出力遅延時間 (対 HRDZ ↓)	t _{DKNHRD}	2.2	—	ns
25	データ出力保持時間 (対 HRDZ ↑)	t _{HKPHRD}	—	16.8	ns
26	データ出力遅延時間 (対 HBUSCLK ↑)	t _{DKPHD}	2.0	10.0	ns
27	データ出力遅延時間 (対 HBUSCLK ↓)	t _{DKNHD}	2.0	10.0	ns
28	HWAITZ 出力遅延時間 (対 HBUSCLK ↑)	t _{DKPHWT}	2.0	11.0	ns
29	HWAITZ 出力遅延時間 (対 HBUSCLK ↓)	t _{DKNHWT}	2.0	11.0	ns
30	データ出力保持時間 (対 HCSZ/HPGCSZ ↑)	t _{HKPHCS}	—	16.8	ns

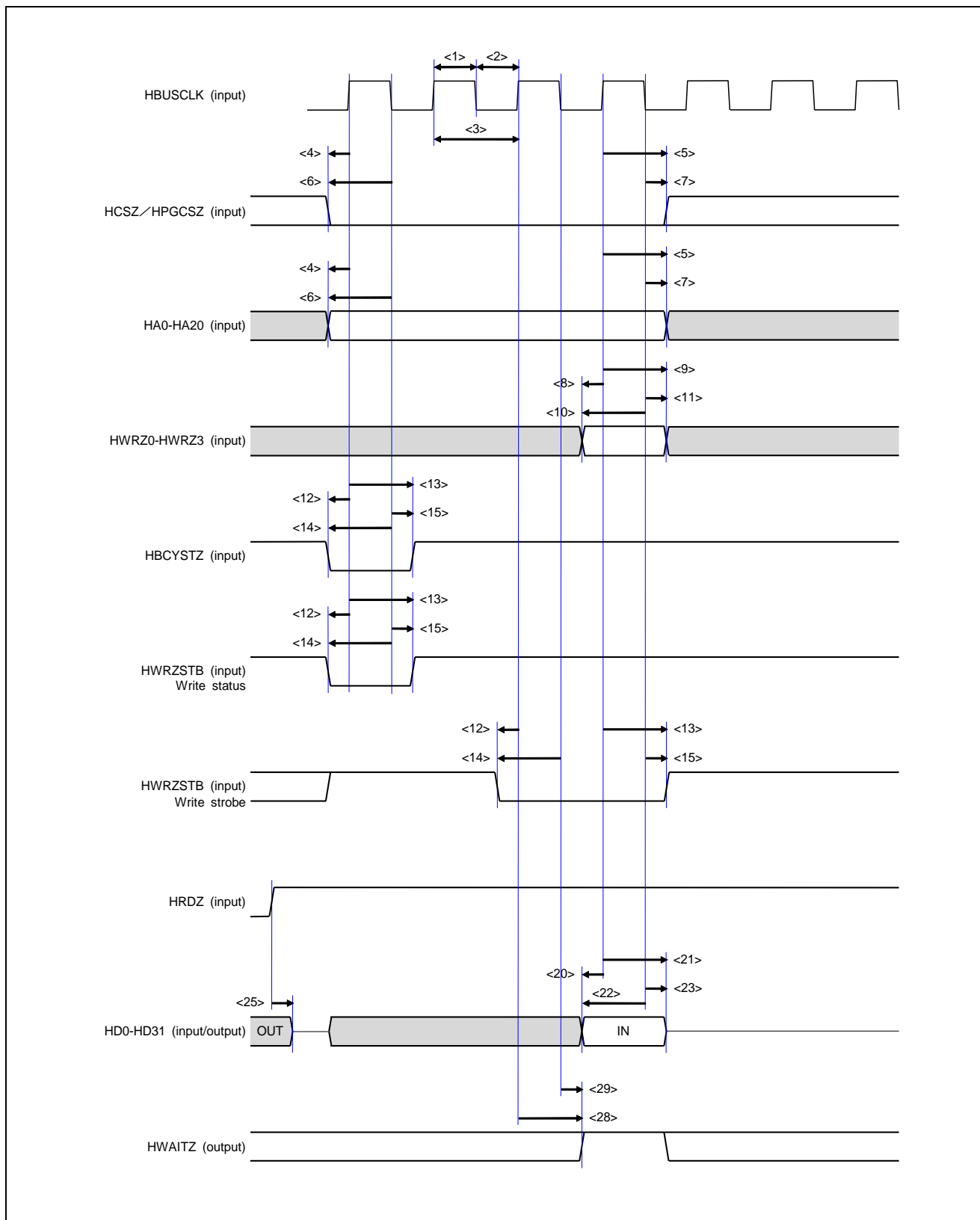


図3.17 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=L)

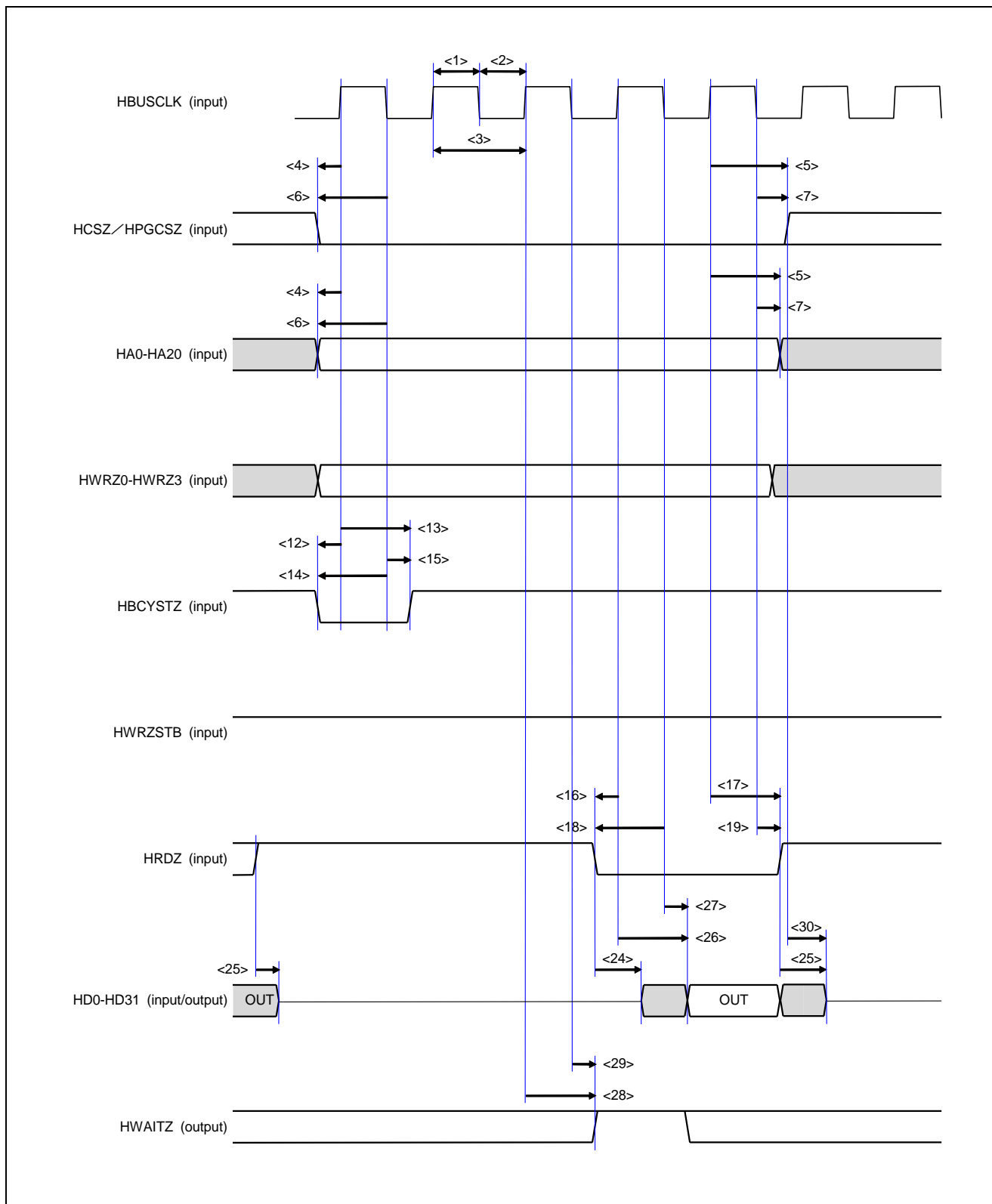


図3.18 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=L)

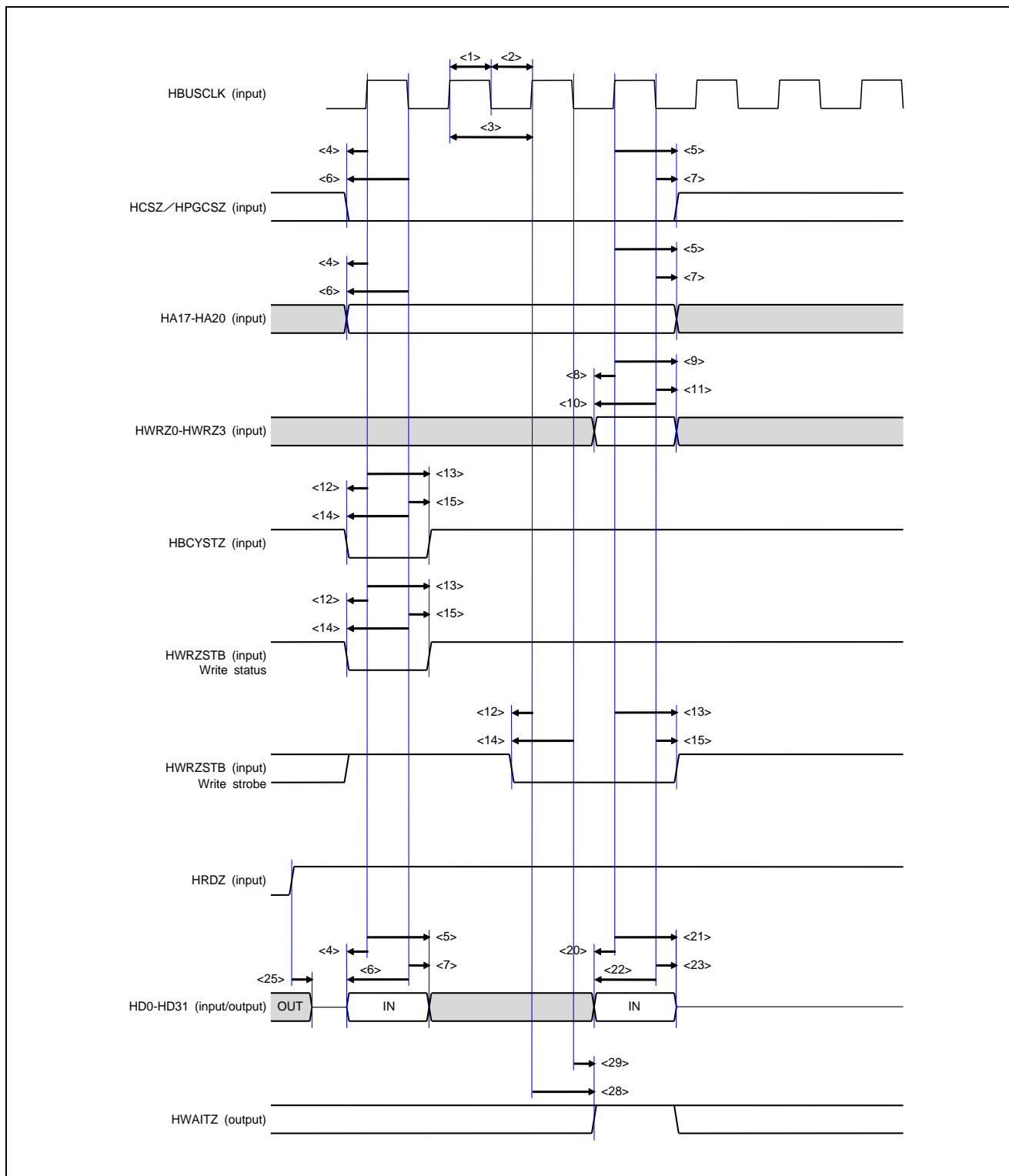


図3.19 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=H)

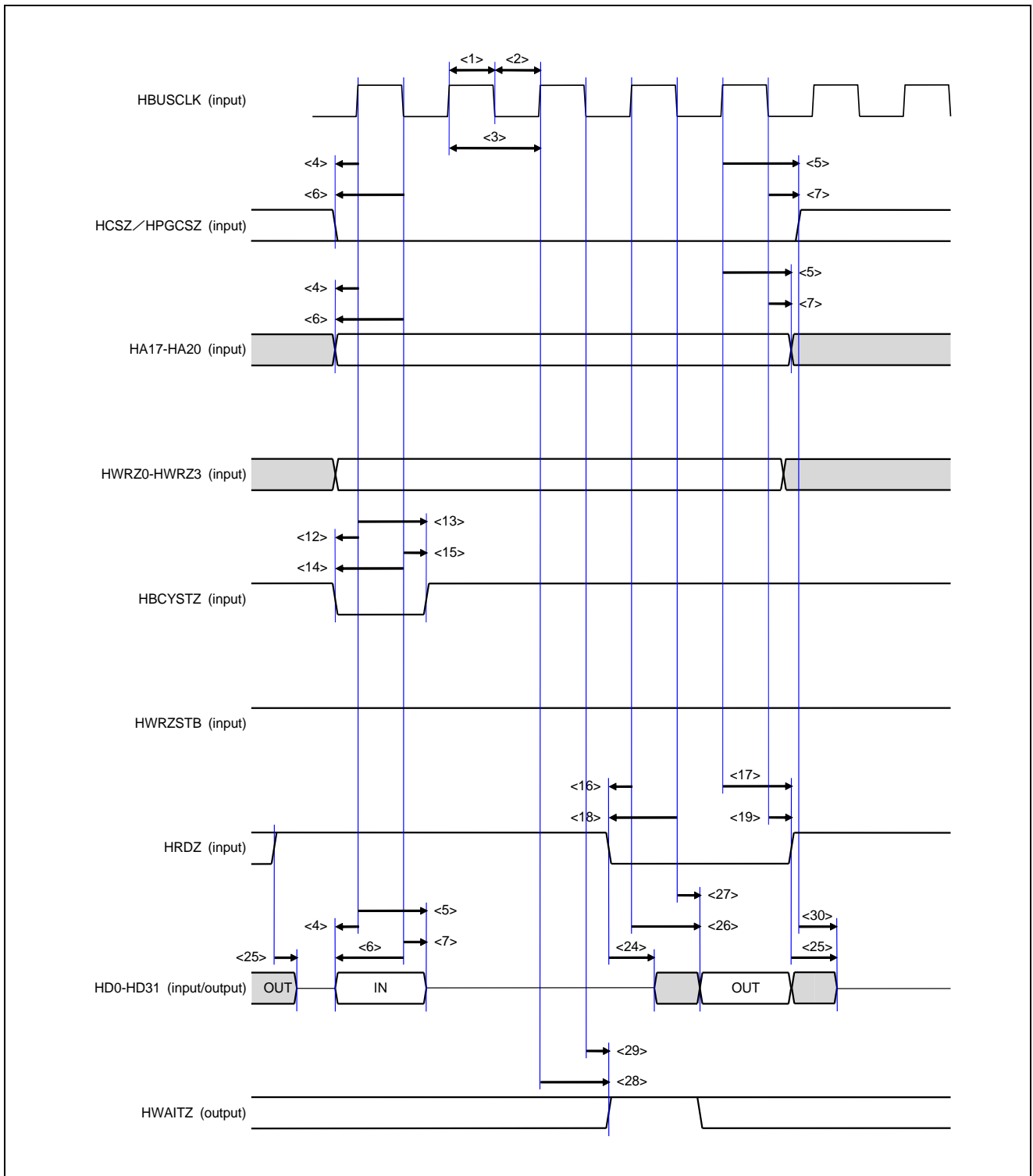


図3.20 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=H)

3.8.5 シリアル・フラッシュ ROM インタフェース

項目	略号	条件	MIN	MAX	単位
SMCSZ 出力周期	t_{SFRCYC}	$C_L = 15pF$	20	—	ns
SMCSZ ハイ・レベル幅	t_{SMCKH}	$C_L = 15pF$	$0.5 \times t_{SFRCYC} - 2.0$	$0.5 \times t_{SFRCYC} + 2.0$	ns
SMCSZ ロー・レベル幅	t_{SMCKL}		$0.5 \times t_{SFRCYC} - 2.0$	$0.5 \times t_{SFRCYC} + 2.0$	ns
SMCSZ 立ち上がり時間	t_{SMCKR}		—	1.9	ns
SMCSZ 立ち下がり時間	t_{SMCKF}		—	1.9	ns
SMCSZ の立ち下りから SMCSZ の立ち上がりまでの遅延時間	t_{DSMCSZ}		$C_L = 15pF$ Freq = 50MHz	6.0 ^注	—
SMCSZ の立ち上がりに対する SMCSZ の立ち上がりまでの保持時間	$t_{DSMCKCS}$	$C_L = 15pF$ Freq = 50MHz	9.0 ^注	—	ns
SMCSZ のハイ幅	t_{SMCSH}	$C_L = 15pF$	14 ^注	—	ns
SMIO0-3 入力設定時間(対 SMCSZ ↓)	t_{SSMIO}	—	6.0	—	ns
SMIO0-3 入力保持時間(対 SMCSZ ↓)	t_{HSMIO}	—	0	—	ns
SMIO0-3 出力遅延時間(対 SMCSZ ↓)	t_{DSMIO}	$C_L = 15pF$	-1.0	5.0	ns

注. SFMSSC レジスタの設定により、タイミングを延ばせます。
 詳細は「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」を参照してください。

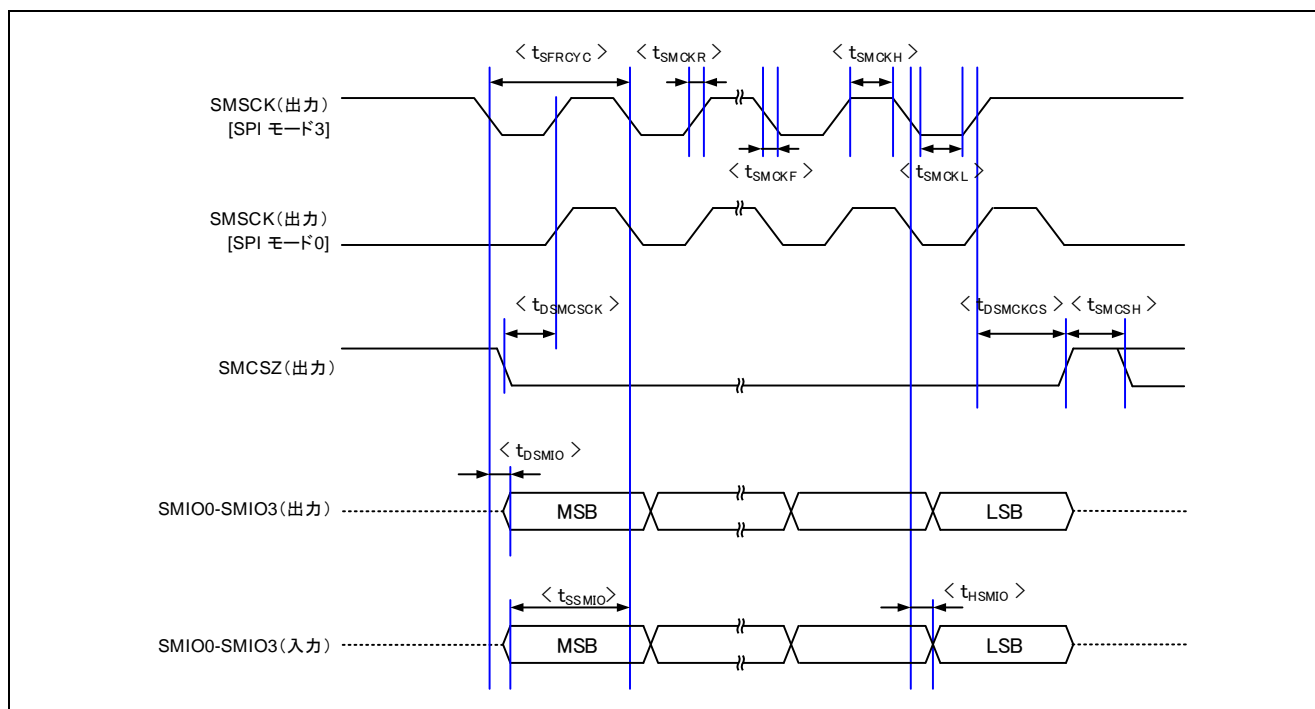


図3.21 シリアル Flash メモリ・アクセス・タイミング

3.8.6 外部 DMA インタフェース

項目	略号	条件	MIN	MAX	単位
DMAREQZn, RTDMAREQZ 入力設定時間 (対 BUSCLK ↑)	t _{SKDR}	—	7.0	—	ns
DMAREQZn, RTDMAREQZ 入力保持時間 1	t _{HKDR1}	—	DMAACKZ ↓, RTDMAACKZ ↓ まで	—	ns
DMAREQZn, REDMAREQZ 入力保持時間 2 (対 BUSCLK ↑)	t _{HKDR2}	—	—	t _{BUSCLK} ^{注1} × m ^{注2} - 7.0	ns
DMAACKZn, RTDMAACKZ 出力遅延時間 (対 BUSCLK ↑)	t _{DKDA}	C _L = 30pF	2.0	10.0	ns
DMAACKZ, RTDMAACKZ 出力ロー・レベル幅	t _{WDAL}	—	t _{BUSCLK} ^{注1} × m ^{注2} - 8	t _{BUSCLK} ^{注1} × m ^{注2} + 8	ns
DMATCZn, RTDMATCZ 出力遅延時間 (対 BUSCLK ↑)	t _{DKTC}	C _L = 30pF	2.0	10.0	ns

注 1. t_{BUSCLK} は BUSCLK の周期 (10ns) です。

注 2. n = 0, 1, m = 1-31 (DMAIFC0, DMAIFC1, RTDMAIFC レジスタ設定)。

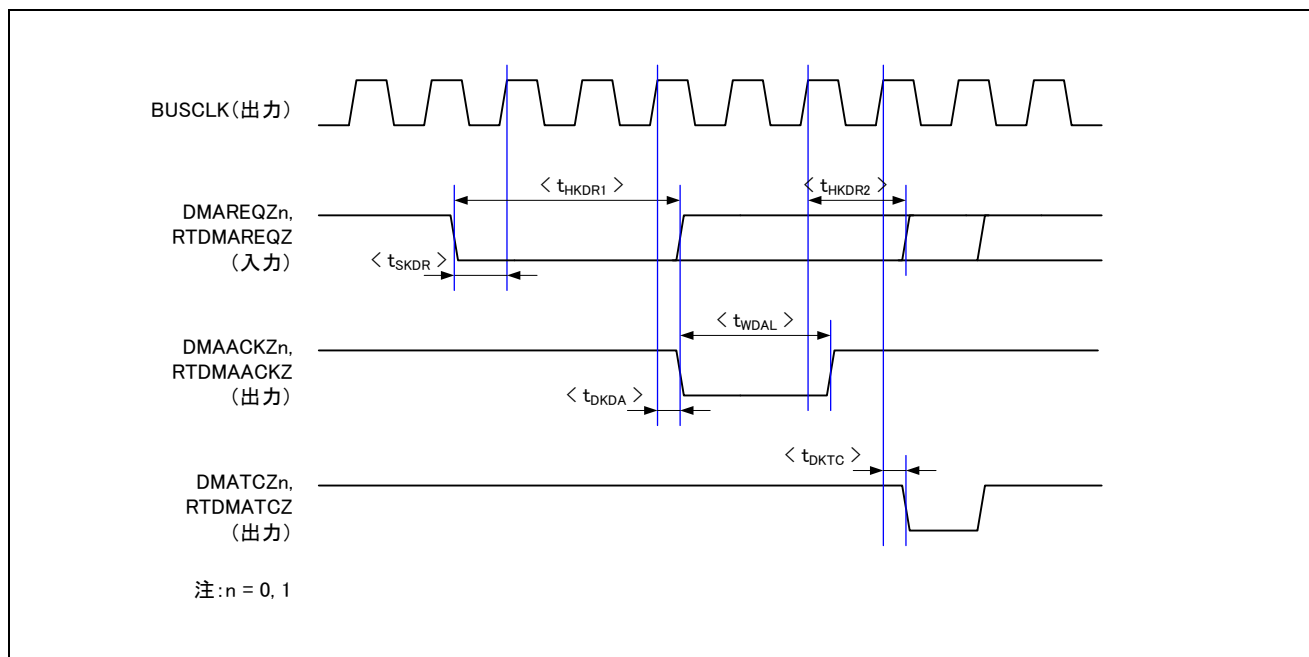


図3.22 外部 DMA アクセス・タイミング

3.8.7 CSI インタフェース

CSI (クロック同期式シリアル・インタフェース) は、マスタ・モードとスレーブ・モードがあります。

(1) マスタ・モード

項目	略号	条件	MIN	MAX	単位
CSISCKn 出力周期	t_{CSIMSK}	$C_L = 15pF$	40	—	ns
CSISCKn 出力ハイ・レベル幅	t_{WSKH}	$C_L = 15pF$	$0.5 \times t_{CSIMSK} - 5.0$	—	ns
CSISCKn 出力ロー・レベル幅	t_{WSKL}	$C_L = 15pF$	$0.5 \times t_{CSIMSK} - 5.0$	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↑)	t_{SMSI}	—	8.5	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↓)	t_{SMSI}	—	8.5	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↑)	t_{HMSI}	—	7.0	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↓)	t_{HMSI}	—	7.0	—	ns
CSISOn 出力遅延時間 (対 CSISCKn ↑)	t_{DMSO}	$C_L = 15pF$	—	7.0	ns
CSISOn 出力遅延時間 (対 CSISCKn ↓)	t_{DMSO}		—	7.0	ns
CSISOn 出力保持時間 (対 CSISCKn ↑)	t_{HMSO}		$0.5 \times t_{CSIMSK} - 5.0$	—	ns
CSISOn 出力保持時間 (対 CSISCKn ↓)	t_{HMSO}		$0.5 \times t_{CSIMSK} - 5.0$	—	ns

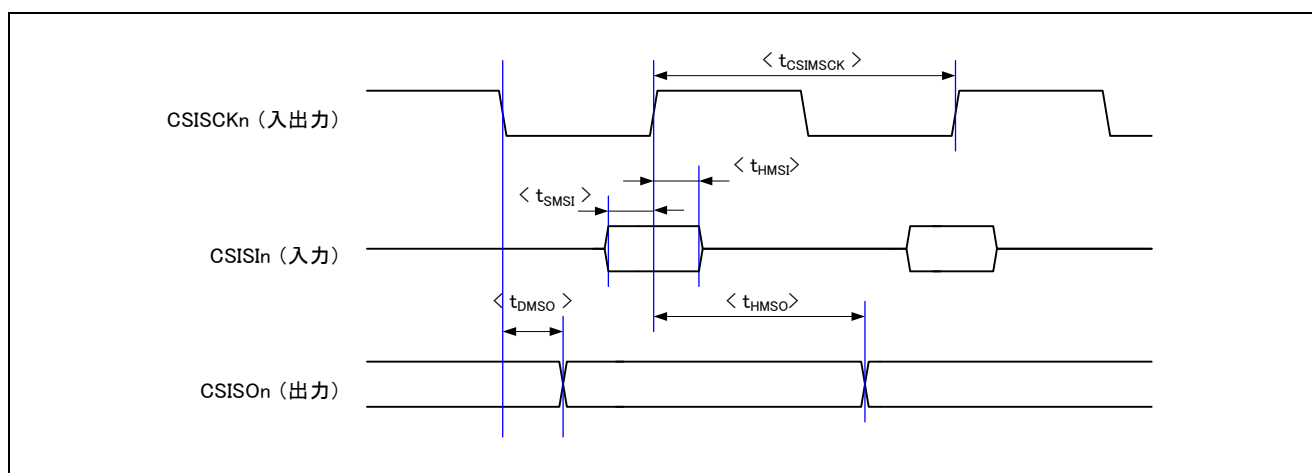


図3.23 CSI アクセス・タイミング (マスタ・モード)

備考 1. $n = 0, 1$

2. 上図は「対 CSISCKn ↓」のデータ出力、「対 CSISCKn ↑」のデータ入力を例にしたタイミング図となっています。動作モードに合わせて、参照タイミングを読み替えてください。

(2) スレーブ・モード

項目	略号	条件	MIN	MAX	単位
CSISCKn 入力周期	t _{CSISSCK}	—	60	—	ns
CSISCKn 入力ハイ・レベル幅	t _{WSKH}	—	$0.5 \times t_{CSISSCK} - 5.0$	—	ns
CSISCKn 入力ロー・レベル幅	t _{WSKL}	—	$0.5 \times t_{CSISSCK} - 5.0$	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↑)	t _{SSSI}	—	10.0	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↓)	t _{SSSI}	—	10.0	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↑)	t _{HSSI}	—	15	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↓)	t _{HSSI}	—	15	—	ns
CSISOn 出力遅延時間 (対 CSISCKn ↑)	t _{DSSO}	C _L = 15pF	—	10.0	ns
CSISOn 出力遅延時間 (対 CSISCKn ↓)	t _{DSSO}		—	10.0	ns
CSISOn 出力保持時間 (対 CSISCKn ↑)	t _{HSSO}		$0.5 \times t_{CSISSCK} - 5.0$	—	ns
CSISOn 出力保持時間 (対 CSISCKn ↓)	t _{HSSO}		$0.5 \times t_{CSISSCK} - 5.0$	—	ns

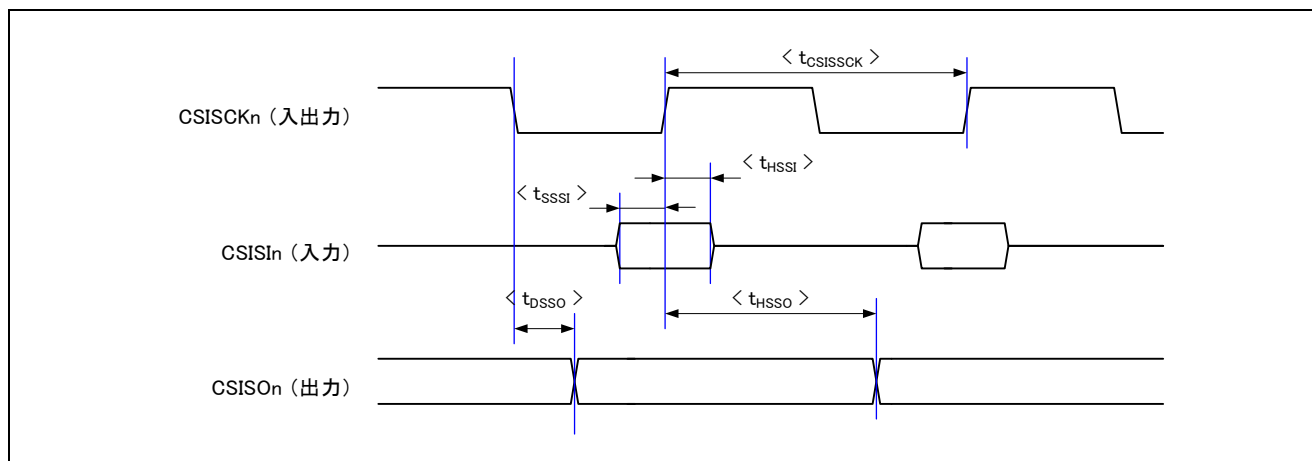


図3.24 CSI アクセス・タイミング (スレーブ・モード)

備考 1. n = 0, 1

2. 上図は「対 CSISCKn ↓」のデータ出力、「対 CSISCKn ↑」のデータ入力を例にしたタイミング図となっています。動作モードに合わせて、参照タイミングを読み替えてください。

3.8.8 I²C インタフェース

項目	略号	条件	標準モード		高速モード		単位	
			MIN	MAX	MIN	MAX		
SCLn 入出力周波数	t _{SCL}	C _L = 30pF	0	100	0	400	kHz	
ストップ・コンディションとスタート・コンディションの間のバス・フリー・タイム	t _{BUF}		4.7	—	1.3	—	μs	
ホールド・タイム	t _{HSTA}		4.0	—	0.6	—	μs	
SCLn クロックのロー・レベル幅	t _{SCLL}		4.7	—	1.3	—	μs	
SCLn クロックのハイ・レベル幅	t _{SCLH}		4.0	—	0.6	—	μs	
スタート・コンディションおよびリスタート・コンディションのセットアップ時間	t _{SSTA}		4.7	—	0.6	—	μs	
データ・ホールド・タイム	CBUS 互換マスタ I ² C バス		t _{HDAT}	5.0	—	—	—	μs
				0	—	0	0.9	μs
データ・セットアップ・タイム	t _{SDAT}		250	—	100	—	ns	
SDAn および SCLn の立ち上がり時間	t _{SCLR}		—	1000	20 + 0.1 × C _b	300	ns	
SDAn および SCLn の立ち下がり時間	t _{SCLF}		—	300	20 + 0.1 × C _b	300	ns	
ストップ・コンディションのセットアップ・タイム	t _{SSTO}		4.0	—	0.6	—	μs	
入力フィルタによって抑制されるスパイクの パルス幅	t _{SP}		—	—	0	50	ns	
各バス・ラインの容量性負荷	C _b		—	400	—	400	pF	

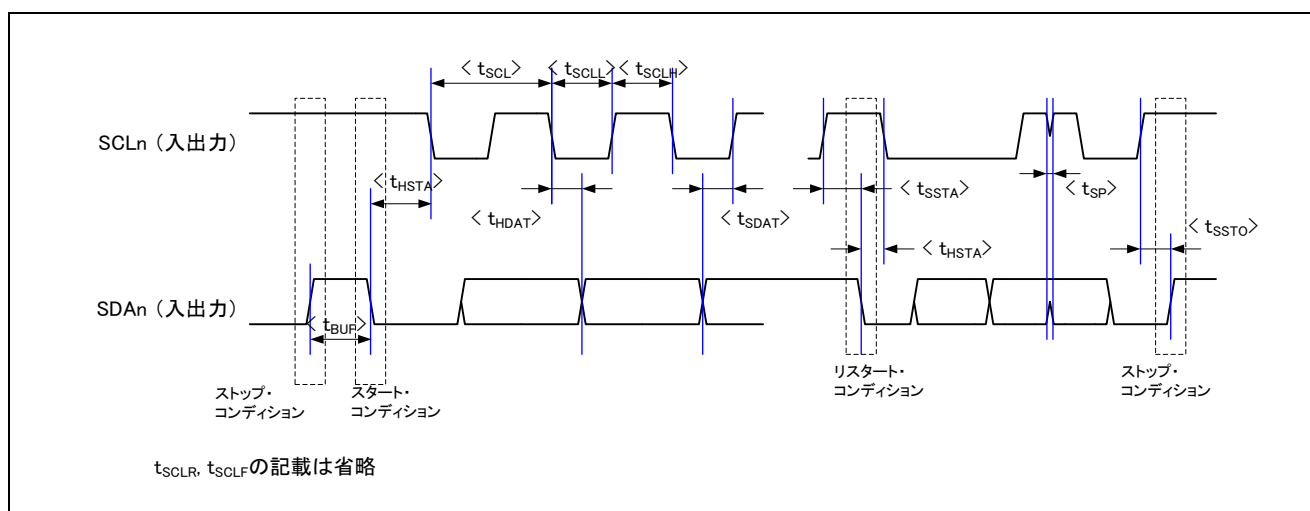


図3.25 I²C アクセス・タイミング

備考. n = 0, 1

3.8.9 CAN インタフェース

項目	略号	条件	MIN	MAX	単位
内部遅延時間	t _{NODE}	C _L = 30pF	—	75	ns

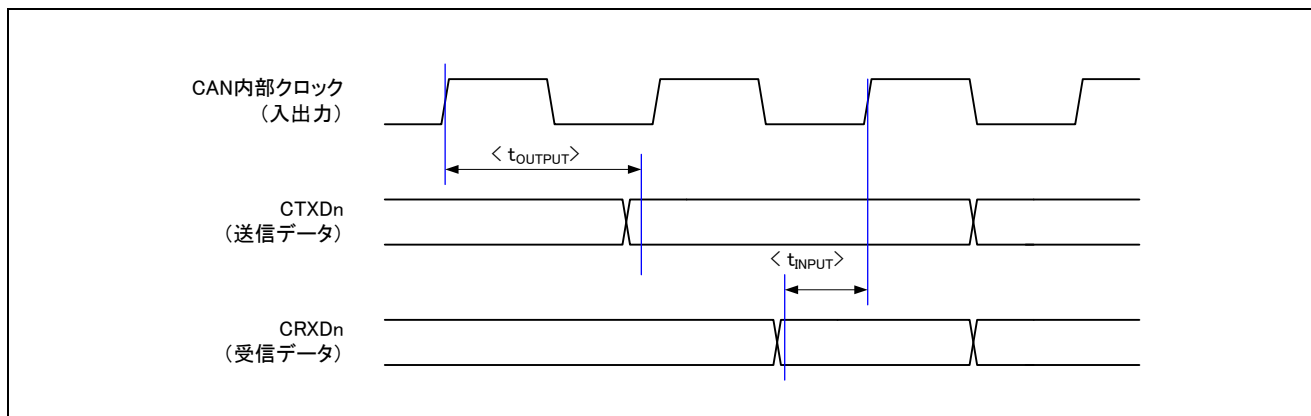


図3.26 CAN アクセス・タイミング

内部遅延時間 (t_{NODE}) = 内部送信遅延時間 (t_{OUTPUT}) + 内部受信遅延時間 (t_{INPUT})

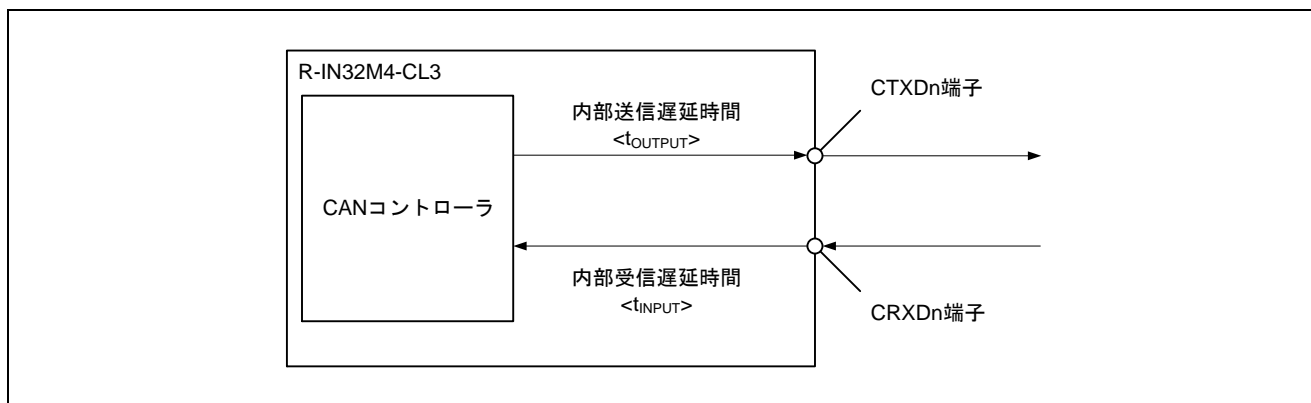


図3.27 CAN アクセス・タイミング (補足)

備考 1. n = 0, 1

2. CAN 内部クロック (f_{CAN}) : CAN ボー・レート・クロック

3.8.10 デバッグ・インタフェース

(1) デバッグ・シリアル・インタフェース

項目	略号	条件	MIN	MAX	単位
TCK 入力周期	t_{TCK}	—	20	—	ns
TMS 入力設定時間 (対 TCK↑)	t_{STMS}	—	6.5	—	ns
TMS 入力保持時間 (対 TCK↑)	t_{HTMS}	—	0	—	ns
TDI 入力設定時間 (対 TCK↑)	t_{STDI}	—	6.5	—	ns
TDI 入力保持時間 (対 TCK↑)	t_{HTDI}	—	0	—	ns
TDO 出力遅延時間 (対 TCK↓)	t_{DTDO}	$C_L = 30pF$	3.0	13.0	ns

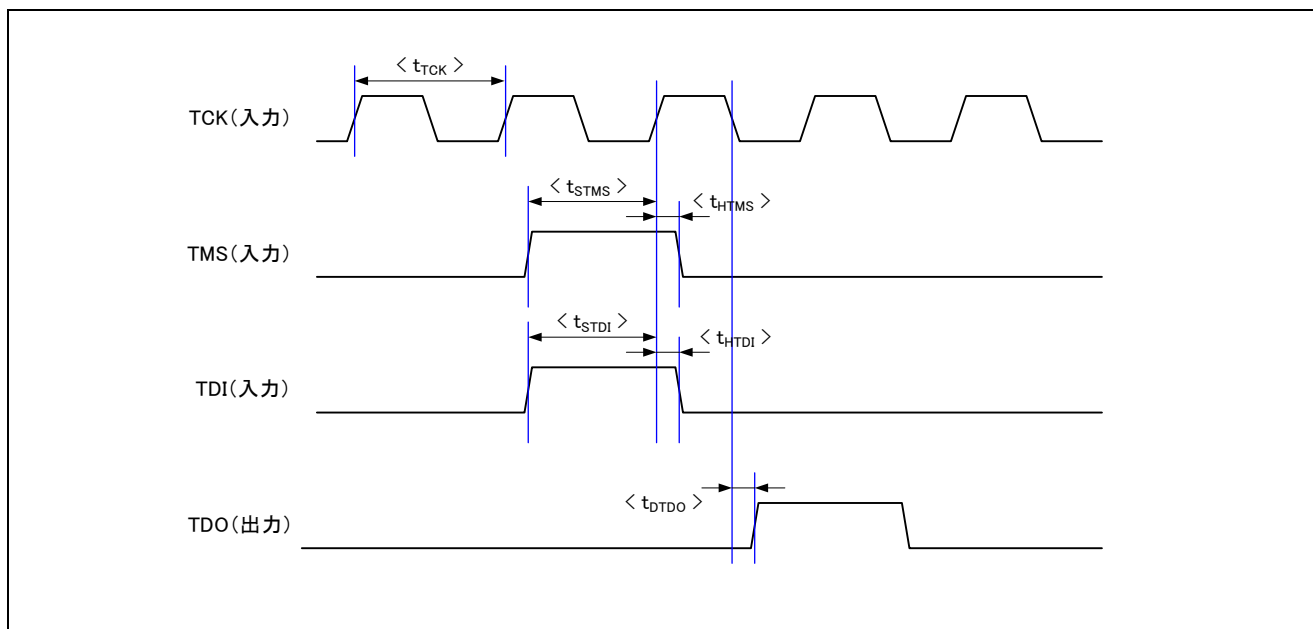


図3.28 デバッグ・シリアル・インタフェース

(2) トレース・インタフェース

項目	略号	条件	MIN	MAX	単位
TRACECLK 出力周期	t _{TRCCLK}	C _L = 15pF	20	—	ns
TRACEDATAn 出力遅延時間 (対 TRACECLK)	t _{DTRCDAT}	C _L = 15pF	0.26	8.43	ns

備考. n = 0-3

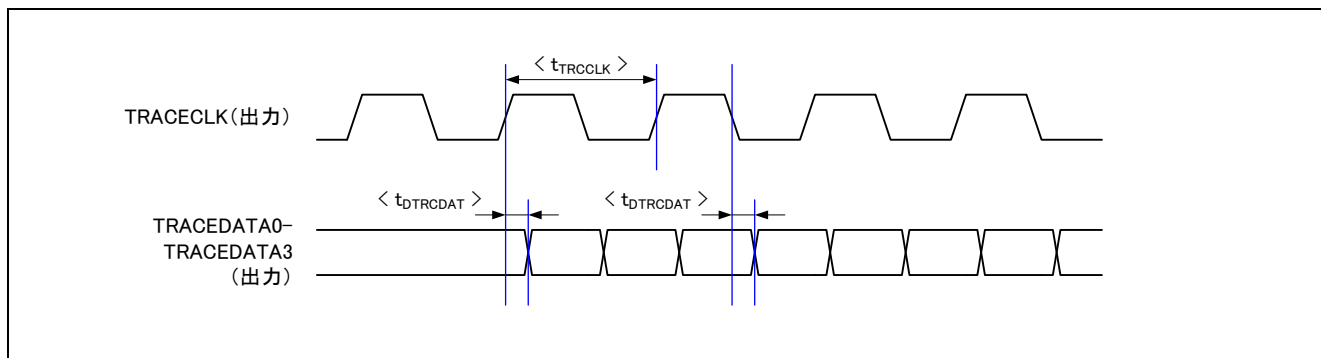


図3.29 トレース・インタフェース

3.9 2.5V 内蔵レギュレータ特性

項目	略号	条件	MIN	MAX	単位
VDD25A 立ち上がり時間	t _{VDD25AH}	REG_EN = High	—	1 注1	ms
VDD25A 立ち下がり時間	t _{VDD25AL}	REG_EN = High	—	—注2	ms

注 1. R-IN32M4-CL3 ユーザーズ・マニュアル ボード設計編で示した回路構成にて、周辺回路を構成した条件で規定しています。

注 2. AVDDREG_33, VDDREG_33 電源を OFF にすることにより VDD25A も OFF します。タイミング規定はありません。

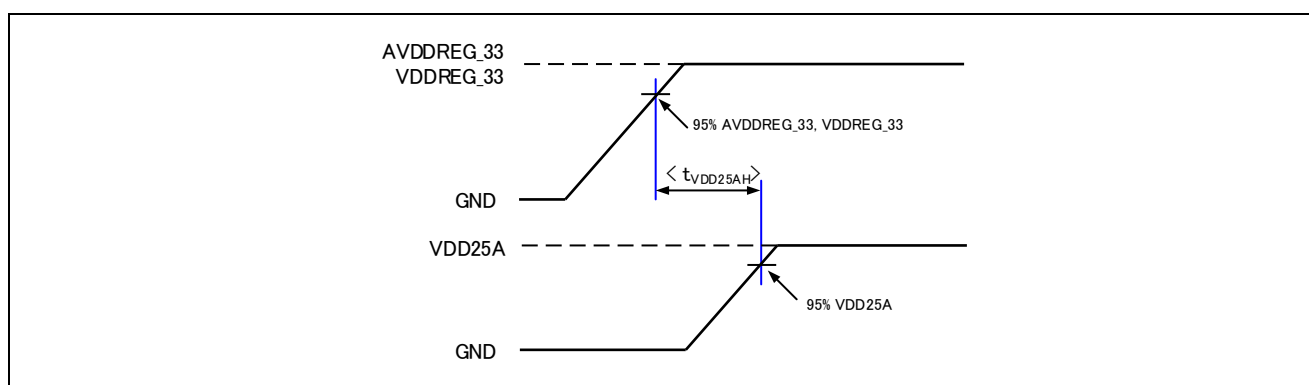


図3.30 VDD25A 立ち上がりタイミング

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.11.21	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

○Arm®およびCortex®はArm Limited（またはその子会社）のEUおよびその他の国における商標および登録商標です。All rights reserved.

○Ethernetおよびイーサネットは、富士ゼロックス株式会社の登録商標です。

○IEEEは、the Institute of Electrical and Electronics Engineers, Inc. の登録商標です。

○TRONは“The Real-time Operation system Nucleus”の略称です。

○ITRONは“Industrial TRON”の略称です。

○μITRONは“Micro Industrial TRON”の略称です。

○TRON、ITRON、およびμITRONは、特定の商品ないし商品群を指す名称ではありません。

○CC-Link IE Field 及び CC-Link IE TSN は、CC-Link協会（CC-Link Partner Association : CLPA）の登録商標です。

○その他、本資料中の製品名やサービス名は全てそれぞれの所有者に属する商標または登録商標です。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。