

超低消費電力48MHz Arm® Cortex®-M23コア、最大256KBのコードフラッシュメモリ、32KBのSRAM、静電容量式タッチセンシングユニット、16ビットA/Dコンバータ、24ビットシグマデルタA/Dコンバータ、12ビットD/Aコンバータ、8ビットD/Aコンバータ、オペアンプ、セキュリティ&セーフティ機能

特長

■ Arm Cortex-M23 コア

- Armv8-M アーキテクチャ
- 最高動作周波数：48MHz
- Arm メモリプロテクションユニット (Arm MPU) (8 領域)
- デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

■ メモリ

- 最大 256KB のコードフラッシュメモリ
- 8KB データフラッシュメモリ (100000 回のプログラム/イレース (P/E) サイクル)
- 最大 32KB の SRAM
- フラッシュキャッシュ (FCACHE)
- メモリプロテクションユニット (MPU)
- メモリミラー機能 (MMF)
- 128 ビットの固有の ID

■ 接続性

- USB2.0 フルスピード (USBFS) モジュール
 - オンチップトランシーバ (電圧レギュレータ付き)
 - USB バッテリチャージ規格 1.2 に準拠
- シリアルコミュニケーションインタフェース (SCI) × 3
 - UART
 - 簡易 IIC
 - 簡易 SPI
- シリアルペリフェラルインタフェース (SPI) × 2
- I²C バスインタフェース (IIC) × 2
- CAN (Controller Area Network) モジュール

■ アナログ

- 16 ビット A/D コンバータ (ADC16)
 - 1.2Msps
 - 差動入力モード
 - シングルエンド入力モード
- 24 ビットシグマデルタ A/D コンバータ (SDADC24)
 - 15.6ksps
 - 差動入力モード
 - シングルエンド入力モード
- 12 ビット D/A コンバータ (DAC12)
- 8 ビット D/A コンバータ (DAC8) × 2
- 高速アナログコンパレータ (ACMPHS)
- 低消費電力アナログコンパレータ (ACMLP) × 2
- オペアンプ (OPAMP) × 3
- 温度センサ (TSN)

■ タイマ

- 32 ビット汎用 PWM タイマ (GPT32)
- 16 ビット汎用 PWM タイマ (GPT16) × 6
- 低消費電力非同期汎用タイマ (AGT) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ

- ECC 搭載の SRAM
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション

- メインクロック発振器停止検出
- 不正メモリアクセス

■ システムおよびパワーマネジメント

- 低消費電力モード
- リアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 電圧設定が可能な低電圧検出 (LVD)

■ セキュリティおよび暗号化

- AES128/256
- 真性乱数発生器 (TRNG)

■ ヒューマンマシーンインタフェース (HMI)

- 静電容量式タッチセンシングユニット (CTSU)

■ マルチクロックソース

- メインクロック発振器 (MOSC)
 - (1 ~ 20MHz、VCC = 2.4 ~ 5.5V の場合)
 - (1 ~ 8MHz、VCC = 1.8 ~ 5.5V の場合)
 - (1 ~ 4MHz、VCC = 1.6 ~ 5.5V の場合)
- サブクロック発振器 (SOSC) (32.768kHz)
- 高速オンチップオシレータ (HOCO)
 - (24, 32, 48, 64MHz、VCC = 2.4 ~ 5.5V の場合)
 - (24, 32, 48MHz、VCC = 1.8 ~ 5.5V の場合)
 - (24, 32MHz、VCC = 1.6 ~ 5.5V の場合)
- 中速オンチップオシレータ (MOCO) (8MHz)
- 低速オンチップオシレータ (LOCO) (32.768kHz)
- 独立ウォッチドッグタイマオンチップオシレータ (15kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

■ 汎用入出力ポート

- 最大 49 本の入出力端子
 - 最大 3 本の CMOS 入力
 - 最大 46 本の CMOS 入出力
 - 最大 9 本の 5V トレラント入出力
 - 最大 3 本の大電流端子 (20mA)

■ 動作電圧

- VCC : 1.6 ~ 5.5V

■ 動作温度およびパッケージ

- Ta = -40 °C ~ +85 °C
 - 36 ピン BGA (5mm × 5mm、0.8mm ピッチ)
- Ta = -40 °C ~ +105 °C
 - 64 ピン LQFP (10mm × 10mm、0.5mm ピッチ)
 - 32 ピン LQFP (7mm × 7mm、0.8mm ピッチ)
 - 48 ピン QFN (7mm × 7mm、0.5mm ピッチ)
 - 40 ピン QFN (6mm × 6mm、0.5mm ピッチ)

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm[®] ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU にはエネルギー効率の高い Arm Cortex[®]-M23 32 ビットコアが搭載されているため、特にコスト重視の低消費電力機器に適しており、以下の特徴があります。

- 最大 256KB のコードフラッシュメモリ
- 32KB の SRAM
- 16 ビット A/D コンバータ (ADC16)
- 24 ビットシグマデルタ A/D コンバータ (SDADC24)
- 12 ビット D/A コンバータ (DAC12)
- 8 ビット D/A コンバータ (DAC8)
- 設定スイッチ付きオペアンプ (OPAMP)
- セキュリティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	<ul style="list-style-type: none"> • 最高動作周波数 : 48MHz • Arm Cortex-M23 コア <ul style="list-style-type: none"> - リビジョン : r1p0-00rel0 - Armv8-M アーキテクチャプロファイル - シングルサイクル整数乗算器 - 17 サイクル整数除算器 • Arm メモリプロテクションユニット (Arm MPU) <ul style="list-style-type: none"> - Armv8 保護メモリシステムアーキテクチャ - 8 つの保護領域 • SysTick タイマ <ul style="list-style-type: none"> - SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	256KB のコードフラッシュメモリ。ユーザーズマニュアルの「43. フラッシュメモリ」を参照してください。
データフラッシュメモリ	8KB のデータフラッシュメモリ。ユーザーズマニュアルの「43. フラッシュメモリ」を参照してください。
メモリミラー機能 (MMF)	メモリミラー機能 (MMF) を構成することで、コードフラッシュメモリ内の目的のアプリケーションイメージのロードアドレスを、未使用の 23 ビットメモリ空間におけるアプリケーションイメージのリンクアドレス (メモリミラー空間アドレス) へミラーすることが可能です。ユーザアプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクします。ユーザアプリケーションコードでは、コードフラッシュメモリ内に格納されるときにロードアドレスを認識する必要がありません。ユーザーズマニュアルの「5. メモリミラー機能 (MMF)」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。ユーザーズマニュアルの「7. オプション設定メモリ」を参照してください。
SRAM	パリティビットまたは誤り訂正コード (ECC) を有する高速オンチップ SRAM を内蔵しています。ユーザーズマニュアルの「42. SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2種類の動作モード： <ul style="list-style-type: none"> • シングルチップモード • SCIブートモード ユーザーズマニュアルの「3. 動作モード」を参照してください。
リセット	13種類のリセットを内蔵： <ul style="list-style-type: none"> • RES端子リセット • パワーオンリセット • 独立ウォッチドッグタイマリセット • ウォッチドッグタイマリセット • 電圧監視0リセット • 電圧監視1リセット • 電圧監視2リセット • SRAMパリティエラーリセット • SRAM ECCエラーリセット • バスマスタMPUエラーリセット • バススレーブMPUエラーリセット • CPUスタックポインタエラーリセット • ソフトウェアリセット ユーザーズマニュアルの「6. リセット」を参照してください。
低電圧検出 (LVD)	低電圧検出 (LVD) は、VCC端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。ユーザーズマニュアルの「8. 低電圧検出 (LVD)」を参照してください。
クロック	<ul style="list-style-type: none"> • メインクロック発振器 (MOSC) • サブクロック発振器 (SOSC) • 高速オンチップオシレータ (HOCO) • 中速オンチップオシレータ (MOCO) • 低速オンチップオシレータ (LOCO) • 独立ウォッチドッグタイマオンチップオシレータ • クロックアウトのサポート ユーザーズマニュアルの「9. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求が発生します。ユーザーズマニュアルの「10. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、NVIC/DTCモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。ユーザーズマニュアルの「13. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込みは、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子に立ち上がりエッジ/立ち下がりエッジを入力することで発生させることができます。ユーザーズマニュアルの「19. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。ユーザーズマニュアルの「11. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。ユーザーズマニュアルの「12. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	メモリ保護のために4つのメモリプロテクションユニット (MPU) とCPUスタックポインタモニタ機能が備えられています。ユーザーズマニュアルの「15. メモリプロテクションユニット (MPU)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、MCUをリセットするために使用できます。また、アンダーフローにより、ノンマスカブル割り込みまたは割り込みを発生させることもできます。カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、この許可期間を暴走検知の条件として使用できます。ユーザーズマニュアルの「24. ウォッチドッグタイマ (WDT)」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットダウンカウンタで構成されますが、このカウンタはアンダーフロー防止のために定期的に動作させる必要があります。独立ウォッチドッグタイマ (IWDT) には、MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み/ノンマスクابل割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCUをフェールセーフ機構として既知の状態に戻すことに特に役立ちます。独立ウォッチドッグタイマ (IWDT) は、リセット、アンダーフロー、またはリフレッシュエラー時に自動的に起動します。あるいはレジスタのカウント値のリフレッシュによっても起動します。ユーザーズマニュアルの「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPUを介さずにモジュール間の直接的な相互作用を可能にします。ユーザーズマニュアルの「17. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは割り込み要求による起動時に、データ転送を行います。ユーザーズマニュアルの「16. データトランスファコントローラ (DTC)」を参照してください。

表 1.6 タイマ

機能	機能の説明
汎用PWMタイマ (GPT)	汎用PWMタイマ (GPT) は、1チャンネルの32ビットタイマの場合と、6チャンネルの16ビットタイマの場合があります。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。ユーザーズマニュアルの「21. 汎用PWMタイマ (GPT)」を参照してください。
GPT用のポートアウトプットイネーブル (POEG)	汎用PWMタイマ (GPT) の出力端子を出力禁止状態とするには、GPT用ポートアウトプットイネーブル (POEG) 機能を使用します。ユーザーズマニュアルの「20. GPT用ポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルスの出力、外部パルスの幅/周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。ユーザーズマニュアルの「22. 低消費電力非同期汎用タイマ (AGT)」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードがあります。これらはレジスタ設定により切り替えて使用します。カレンダーカウントモードでは、RTCは2000年から2099年までの100年間のカレンダーを内蔵しており、うるう年を自動調整します。バイナリカウントモードは、秒をカウントし、その情報をシリアル値として保持するモードです。バイナリカウントモードは、西暦以外のカレンダーに使用できます。ユーザーズマニュアルの「23. リアルタイムクロック (RTC)」を参照してください。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) は、下記の5種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。 <ul style="list-style-type: none"> 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA)) 8ビットクロック同期式インタフェース 簡易 IIC (マスタのみ) 簡易 SPI スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。 SCI0 は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のポーレートジェネレータを用いて、データ転送速度の個別設定が可能です。ユーザーズマニュアルの「27. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
I ² C バスインタフェース (IIC)	2チャンネル I ² C バスインタフェース (IIC) は、NXP 社が提唱する I ² C バス (Inter-Integrated Circuit Bus) インタフェース方式に準拠しており、そのサブセット機能を提供しています。ユーザーズマニュアルの「28. I ² C バスインタフェース (IIC)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	2つの独立したシリアルペリフェラルインタフェース (SPI) チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です。ユーザーズマニュアルの「30. シリアルペリフェラルインタフェース (SPI)」を参照してください。
CAN (Controller Area Network) モジュール	CAN (Controller Area Network) モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供しています。 CAN モジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠しており、通常のメールボックスモードおよび FIFO モードを送受信用に設定可能な最大 32 個のメールボックスをサポートしています。標準 (11 ビット) と拡張 (29 ビット) の両方のメッセージフォーマットに対応しています。ユーザーズマニュアルの「29. CAN (Controller Area Network) モジュール」を参照してください。
USB2.0 フルスピードモジュール (USBFS)	USB2.0 フルスピード (USBFS) モジュールは、デバイスコントローラとして動作可能な USB コントローラです。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピードおよびロースピード転送に対応しています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。 USB はデータ転送用のバッファメモリを内蔵し、最大 5 本のパイプを使用できます。パイプ 0 およびパイプ 4~7 に対しては、通信を行う周辺デバイスやユーザーシステムに合わせて任意のエンドポイント番号の割り付けが可能です。 本 MCU は、バッテリーチャージ規格のリビジョン 1.2 に準拠しています。本 MCU は 5V で動作するため、USB LDO レギュレータは内蔵 USB トランシーバの電源に 3.3V を供給します。ユーザーズマニュアルの「26. USB2.0 フルスピードモジュール (USBFS)」を参照してください。

表 1.8 アナログ

機能	機能の説明
16ビットA/Dコンバータ (ADC16)	逐次比較方式の16ビットA/Dコンバータ (ADC16) を内蔵しています。シングルエンドアナログ入力チャネルは最大17チャネルまで、差動アナログ入力チャネルは最大4チャネルまで選択可能です。変換にはSDADC24の基準電圧、温度センサ出力および内部基準電圧を選択できます。正確なA/D変換を行うために、キャリブレーション機能は、使用条件下でコンデンサアレイDACおよびゲイン/オフセット補正値を計算します。ユーザーズマニュアルの「32. 16ビットA/Dコンバータ (ADC16)」を参照してください。
24ビットシグマデルタA/Dコンバータ (SDADC24)	プログラマブルゲイン計装アンプ付きの24ビットシグマデルタA/Dコンバータ (SDADC24) を内蔵しています。シングルエンドアナログ入力チャネルは最大10チャネルまで、差動アナログ入力チャネルは最大5チャネルまで選択可能です。これらのアナログ入力チャネルのうち、シングルエンドアナログ入力チャネル2本または差動アナログ入力チャネル1本は、内部OPAMPからの入力です。アナログ入力マルチプレクサは、プログラマブルゲイン計装アンプ (PGA) によりシグマデルタA/Dコンバータに入力されます。A/D変換結果は、SINC3デジタルフィルタによりフィルタリングされた後、出力レジスタに保存されます。正確なA/D変換を行うために、キャリブレーション機能は、使用条件下でゲインエラー値およびオフセットエラー値を計算します。ユーザーズマニュアルの「33. 24ビットシグマデルタA/Dコンバータ (SDADC24)」を参照してください。
12ビットD/Aコンバータ (DAC12)	12ビットD/Aコンバータ (DAC12) を内蔵しています。ユーザーズマニュアルの「34. 12ビットD/Aコンバータ (DAC12)」を参照してください。
8ビットD/Aコンバータ (DAC8)	8ビットD/Aコンバータ (DAC8) を内蔵しています。ユーザーズマニュアルの「35. 8ビットD/Aコンバータ (DAC8)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。出力された電圧はADC16で変換されてから、末端の応用機器で使用できます。ユーザーズマニュアルの「36. 温度センサ (TSN)」を参照してください。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は、基準電圧とアナログ入力電圧を比較します。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準電圧としては、IVREF _i (i = 0, 1) 端子への入力、内部D/Aコンバータからの出力、または本MCUで内部生成された内部基準電圧 (Vref) から選択できます。こうした柔軟性は、必ずしもA/D変換を必要とせずに、アナログ信号に対して実行/中止の比較を行わなければならないアプリケーションに有効です。ユーザーズマニュアルの「38. 高速アナログコンパレータ (ACMPHS)」を参照してください。
低消費電力アナログコンパレータ (ACMPLP)	アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧を比較します。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準電圧は、CMPREF _i (i = 0, 1) 端子への入力、内部D/Aコンバータからの出力、または本MCUで内部生成された内部基準電圧 (Vref) から選択できます。ACMPLPの応答速度は、動作開始前に設定可能です。High-speedモードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。Low-speedモードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。ユーザーズマニュアルの「39. 低消費電力アナログコンパレータ (ACMPLP)」を参照してください。
オペアンプ (OPAMP)	オペアンプ (OPAMP) を使用して、小さいアナログ入力電圧を増幅して出力することができます。入力端子2つと出力端子1つを備えた差動オペアンプユニットが合計で3つ搭載されています。すべてのユニットには、入力信号を選択できるスイッチがあります。さらに、出力アンプ0には、出力端子を選択するためにスイッチがあります。ユーザーズマニュアルの「37. オペアンプ (OPAMP)」を参照してください。

表 1.9 ヒューマンマシーンインタフェース (HMI)

機能	機能の説明
静電容量式タッチセンシングユニット (CTSUS)	静電容量式タッチセンシングユニット (CTSUS) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は電気絶縁体で覆われており、指が電極に直接接触することはありません。ユーザーズマニュアルの「40. 静電容量式タッチセンシングユニット (CTSUS)」を参照してください。

表 1.10 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC) 演算器は、CRCコードを生成してデータエラーを検出します。LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることができます。さらに、さまざまなCRC生成多項式を使用できます。スヌープ機能により、特定のアドレスの読み出し/書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントでCRCコードの自動生成が必要となるアプリケーションで役立ちます。ユーザーズマニュアルの「31. 巡回冗長検査 (CRC) 演算器」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16ビットのデータを比較、加算、または減算する機能です。ユーザーズマニュアルの「41. データ演算回路 (DOC)」を参照してください。

表 1.11 セキュリティ

機能	機能の説明
AES	ユーザーズマニュアルの「44. AESエンジン」の章を参照してください。
真性乱数発生器 (TRNG)	ユーザーズマニュアルの「45. 真性乱数発生器 (TRNG)」を参照してください。

表 1.12 I/Oポート

機能	機能の説明
I/Oポート	<ul style="list-style-type: none"> • 64ピンLQFP <ul style="list-style-type: none"> - 入出力：46 - 入力：3 - プルアップ抵抗：44 - Nチャンネルオープンドレイン出力：24 - 5Vトレラント：9 • 48ピンQFN <ul style="list-style-type: none"> - 入出力：30 - 入力：3 - プルアップ抵抗：28 - Nチャンネルオープンドレイン出力：17 - 5Vトレラント：6 • 40ピンQFN <ul style="list-style-type: none"> - 入出力：22 - 入力：3 - プルアップ抵抗：20 - Nチャンネルオープンドレイン出力：13 - 5Vトレラント：3 • 36ピンBGA <ul style="list-style-type: none"> - 入出力：19 - 入力：3 - プルアップ抵抗：17 - Nチャンネルオープンドレイン出力：13 - 5Vトレラント：3 • 32ピンLQFP <ul style="list-style-type: none"> - 入出力：19 - 入力：1 - プルアップ抵抗：19 - Nチャンネルオープンドレイン出力：15 - 5Vトレラント：4

1.2 ブロック図

図 1.1 に、本 MCU スーパーセットのブロック図を示します。グループ内の個々のデバイスによっては、その機能のサブセットを持つ場合があります。

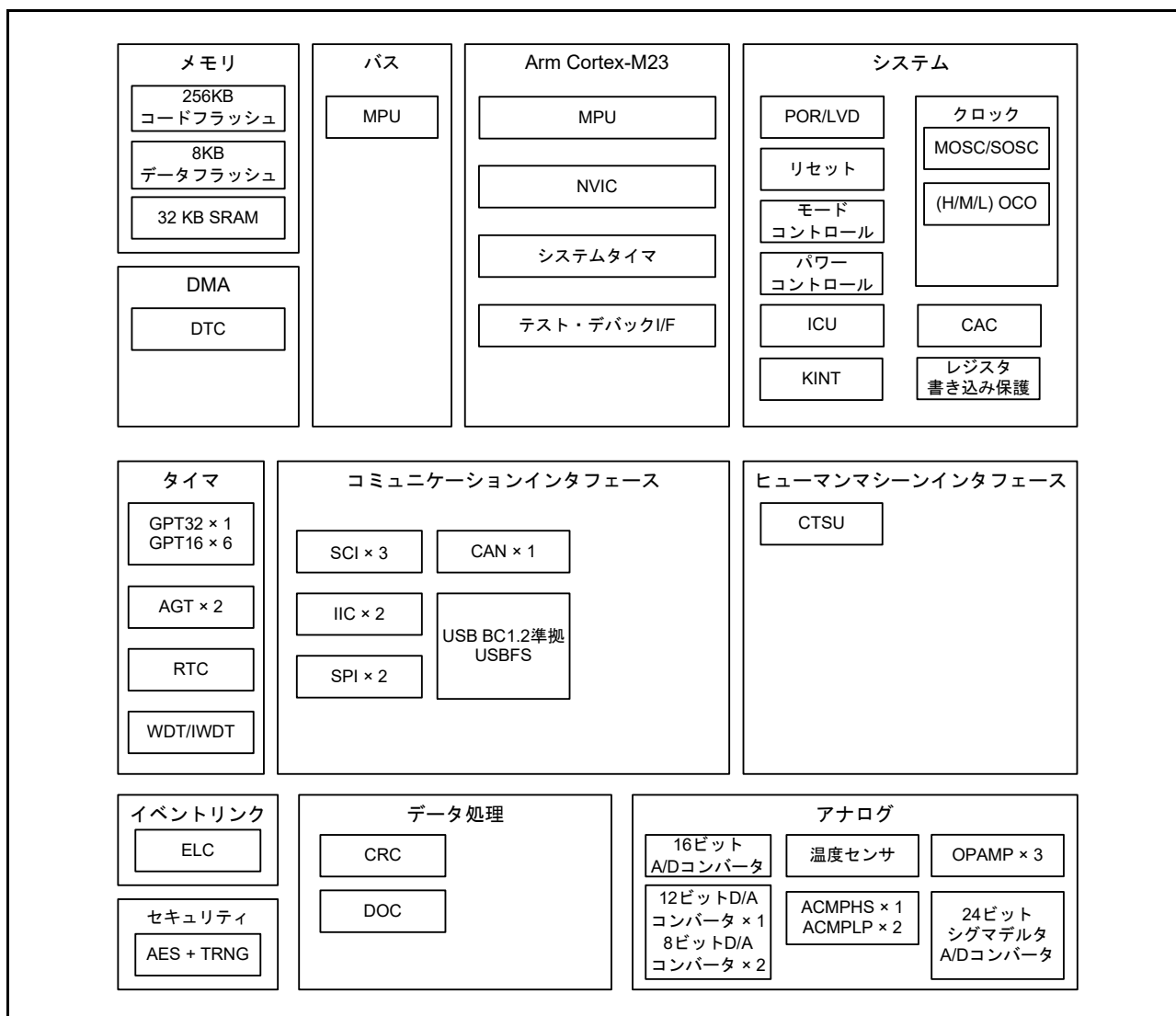


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.13 に製品一覧を示します。

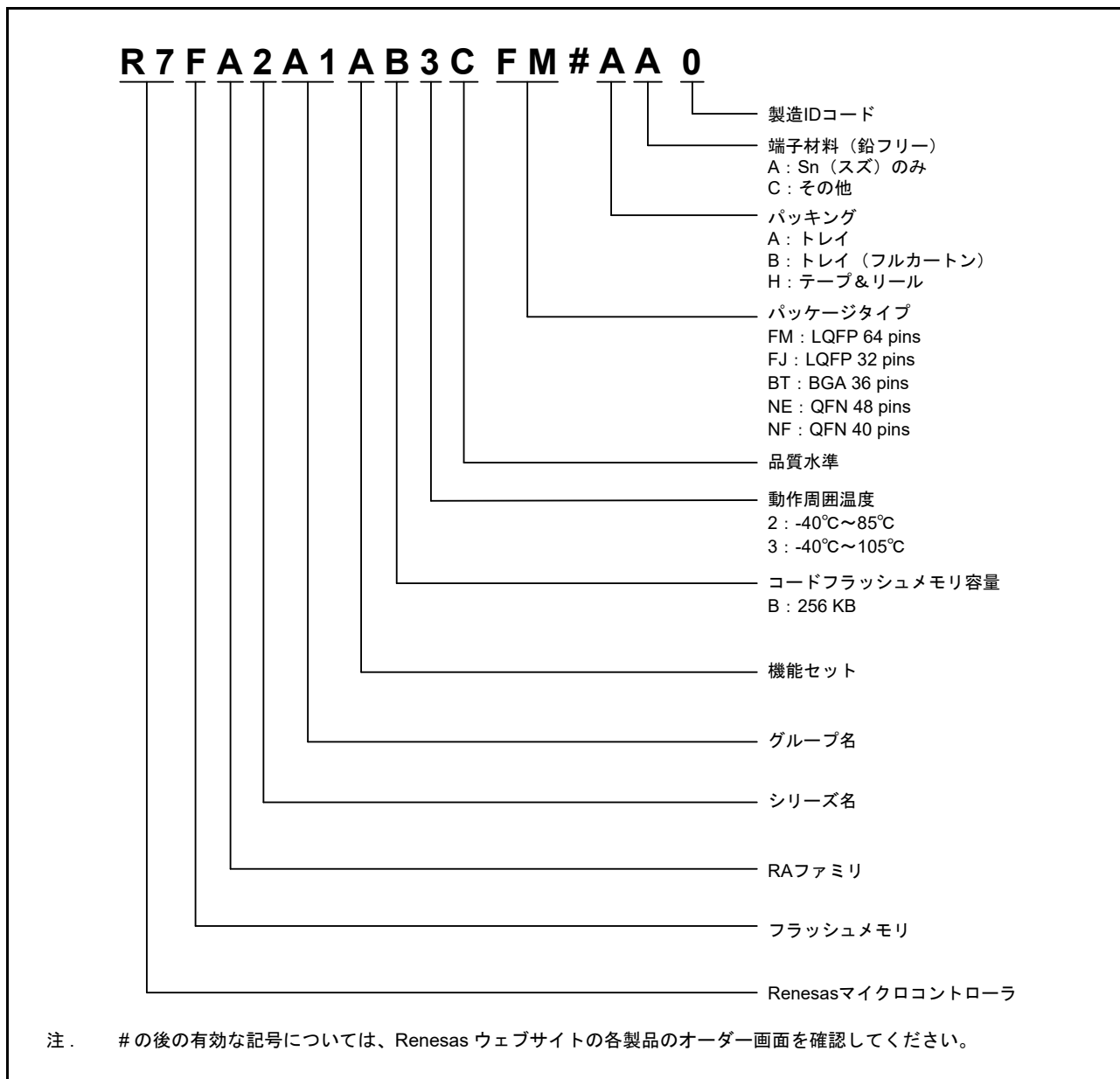


図 1.2 型名の読み方

表 1.13 製品リスト

製品の型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA2A1AB3CFM	PLQP0064KB-C	256KB	8KB	32KB	-40 ~ +105 °C
R7FA2A1AB3CNE	PWQN0048KB-A				-40 ~ +105 °C
	PWQN0048KC-A				
R7FA2A1AB3CNF	PWQN0040KC-A				-40 ~ +105 °C
	PWQN0040KD-A				
R7FA2A1AB2CBT	PLBG0036GA-A				-40 ~ +85 °C
R7FA2A1AB3CFJ	PLQP0032GB-A	-40 ~ +105 °C			

1.4 機能の比較

表 1.14 機能の比較

型名	R7FA2A1AB3CFM	R7FA2A1AB3CNE	R7FA2A1AB3CNF	R7FA2A1AB2CBT	R7FA2A1AB3CFJ	
端子総数	64	48	40	36	32	
パッケージ	LQFP	QFN	QFN	BGA	LQFP	
コードフラッシュメモリ	256KB					
データフラッシュメモリ	8KB					
SRAM	32KB					
	パリティ 16KB					
	ECC 16KB					
システム	CPUクロック 48MHz					
	サブクロック発振器	あり			なし	
	ICU	あり				
	KINT	8	6	4	4	3
イベントコントロール	ELC	あり				
DMA	DTC	あり				
タイマ	GPT32	1				
	GPT16	6	6	4	3	4
	AGT	2				
	RTC	あり				
	WDT/IWDT	あり				
通信	SCI	3				
	IIC	2				
	SPI	2		1		2
	CAN	あり				
	USBFS	あり				なし
アナログ	ADC16	17 (注1)	12 (注1)	8 (注1)	5 (注1)	5 (注1)
	SDADC24	8 (注1)	6 (注1)	4 (注1)	2 (注1)	2 (注1)
	DAC12	1				
	DAC8	2	2 (注2)		2 (注3)	
	ACMPHS	1				
	ACMPLP	2				
	OPAMP	3	2	1	1	1
	TSN	あり				
HMI	CTSU	26	16	11	9	11
データ処理	CRC	あり				
	DOC	あり				
セキュリティ	AESおよびTRNG					
I/Oポート	入出力	46	30	22	19	19
	入力	3	3	3	3	1
	プルアップ抵抗	44	28	20	17	19
	Nチャンネルオープンドレイン出力	24	17	13	13	15
	5Vトレラント	9	6	3	3	4

注 1. 差動アナログ入力のチャンネル数

注 2. DA8_1 の端子出力機能は使用できません。

注 3. DA8_0 および DA8_1 の端子出力機能は使用できません。

1.5 端子機能

表 1.15 端子機能 (1/4)

機能	信号	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介してVSS端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グラウンド端子。システムの電源（0V）に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。これらの端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。この端子がLowになると、MCUはリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0～IRQ7	入力	マスクブル割り込み要求端子
GPT	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIOC0A～GTIOC6A, GTIOC0B～GTIOC6B	入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力（正相U相）
	GTOULO	出力	BLDCモータ制御用3相PWM出力（逆相U相）
	GTOVUP	出力	BLDCモータ制御用3相PWM出力（正相V相）
	GTOVLO	出力	BLDCモータ制御用3相PWM出力（逆相V相）
	GTOWUP	出力	BLDCモータ制御用3相PWM出力（正相W相）
	GTOWLO	出力	BLDCモータ制御用3相PWM出力（逆相W相）
AGT	AGTEE0, AGTEE1	入力	外部イベント入力許可
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力
	AGTO0, AGTO1	出力	パルス出力
	AGTOA0, AGTOA1	出力	出力コンペアマッチA出力
	AGTOB0, AGTOB1	出力	出力コンペアマッチB出力
RTC	RTCOUT	出力	1Hz/64Hzクロック用の出力端子

表 1.15 端子機能 (2/4)

機能	信号	入出力	説明
SCI	SCK0, SCK1, SCK9	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD0, RXD1, RXD9	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD0, TXD1, TXD9	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS0_RTS0, CTS1_RTS1, CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブLow
	SCL0, SCL1, SCL9	入出力	IICクロック用の入出力端子 (簡易IIC)
	SDA0, SDA1, SDA9	入出力	IICデータ用の入出力端子 (簡易IIC)
	SCK0, SCK1, SCK9	入出力	クロック用の入出力端子 (簡易SPI)
	MISO0, MISO1, MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易SPI)
	MOSI0, MOSI1, MOSI9	入出力	データのマスタ送信用の入出力端子 (簡易SPI)
	SS0, SS1, SS9	入力	チップセレクト選択入力端子 (簡易SPI)、アクティブLow
IIC	SCL0, SCL1	入出力	クロック用の入出力端子
	SDA0, SDA1	入出力	データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタから出力されたデータの入出力
	MISOA, MISOB	入出力	スレーブから出力されたデータの入出力
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3, SSLB1~SSLB3	出力	スレーブ選択用の出力端子
CAN	CRX0	入力	受信データ
	CTX0	出力	送信データ
USBFS	VSS_USB	入力	グランド端子
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VCC_USB	入出力	入力: USBトランシーバ用の電源端子 出力: USB LDOレギュレータ出力端子。この端子は外部コンデンサに接続してください。
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。この端子はUSBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。この端子はUSBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。USBモジュールがデバイスコントローラとして選択されているときのVBUSの接続/切断を検出することが可能です。

表 1.15 端子機能 (3/4)

機能	信号	入出力	説明
アナログ電源	AVCC0	入力	ADC16、DAC12、DAC8、ACMPHS、ACMPLP、およびOPAMP用アナログ電源端子
	AVSS0	入力	ADC16、DAC12、DAC8、ACMPHS、ACMPLP、およびOPAMP用アナロググランド端子
	AVCC1	入力	SDADC24用のアナログ電圧源端子
	AVSS1	入力	SDADC24用のアナロググランド端子
	VREFH0	入力	ADC16用のアナログ基準電圧源端子。ADC16を使用しない場合はAVCC0に接続してください。
	VREFL0	入力	ADC16用のアナログ基準グランド端子。ADC16を使用しない場合はAVSS0に接続してください。
	VREFH	入力	DAC12用のアナログ基準電圧源端子
	VREFL	入力	DAC12用のアナログ基準グランド端子
ADC16	AN000 ~ AN008, AN016 ~ AN023	入力	A/Dコンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子、アクティブLow
SDADC24	ANS0P ~ ANSD3P	入力	SDADC24で処理されるアナログ信号用の入力端子
	ANS0N ~ ANSD3N	入力	SDADC24で処理されるアナログ信号用の入力端子
	ADREG	出力	SDADC24用レギュレータ容量
	SBIAS	出力	センサ電源
	VREFI	入力	SDADC24用の外部基準電圧源端子
DAC12	DA12_0	出力	12ビットD/Aコンバータで処理されるアナログ信号用の出力端子
DAC8	DA8_0, DA8_1	出力	8ビットD/Aコンバータで処理されるアナログ信号用の出力端子
コンパレータ出力	VCOUT	出力	コンパレータ出力端子
ACMPHS	IVREF0 ~ IVREF2	入力	基準電圧入力端子
	IVCMP0 ~ IVCMP2	入力	アナログ電圧入力端子
ACMPLP	CMPREF0, CMPREF1	入力	基準電圧入力端子
	CMPIN0, CMPIN1	入力	アナログ電圧入力端子
OPAMP	AMP0+ ~ AMP2+	入力	アナログ電圧入力端子
	AMP0- ~ AMP2-	入力	アナログ電圧入力端子
	AMP00 ~ AMP20	出力	アナログ電圧出力端子
CTS0	TS00 ~ TS25	入力	静電容量式タッチ検出端子 (タッチ端子)
	TSCAP	-	タッチドライバ用の二次電源端子
KINT	KR00 ~ KR07	入力	キー割り込み入力端子

表 1.15 端子機能 (4/4)

機能	信号	入出力	説明
I/Oポート	P000～P003, P012～P015	入出力	汎用入出力端子
	P100～P112	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P204～ P206, P212, P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300～P304	入出力	汎用入出力端子
	P400～P403, P407～P411	入出力	汎用入出力端子
	P500～P502	入出力	汎用入出力端子
	P914, P915	入出力	汎用入出力端子

1.6 ピン配置図

図 1.3 ~ 図 1.7 にピン配置図を示します。

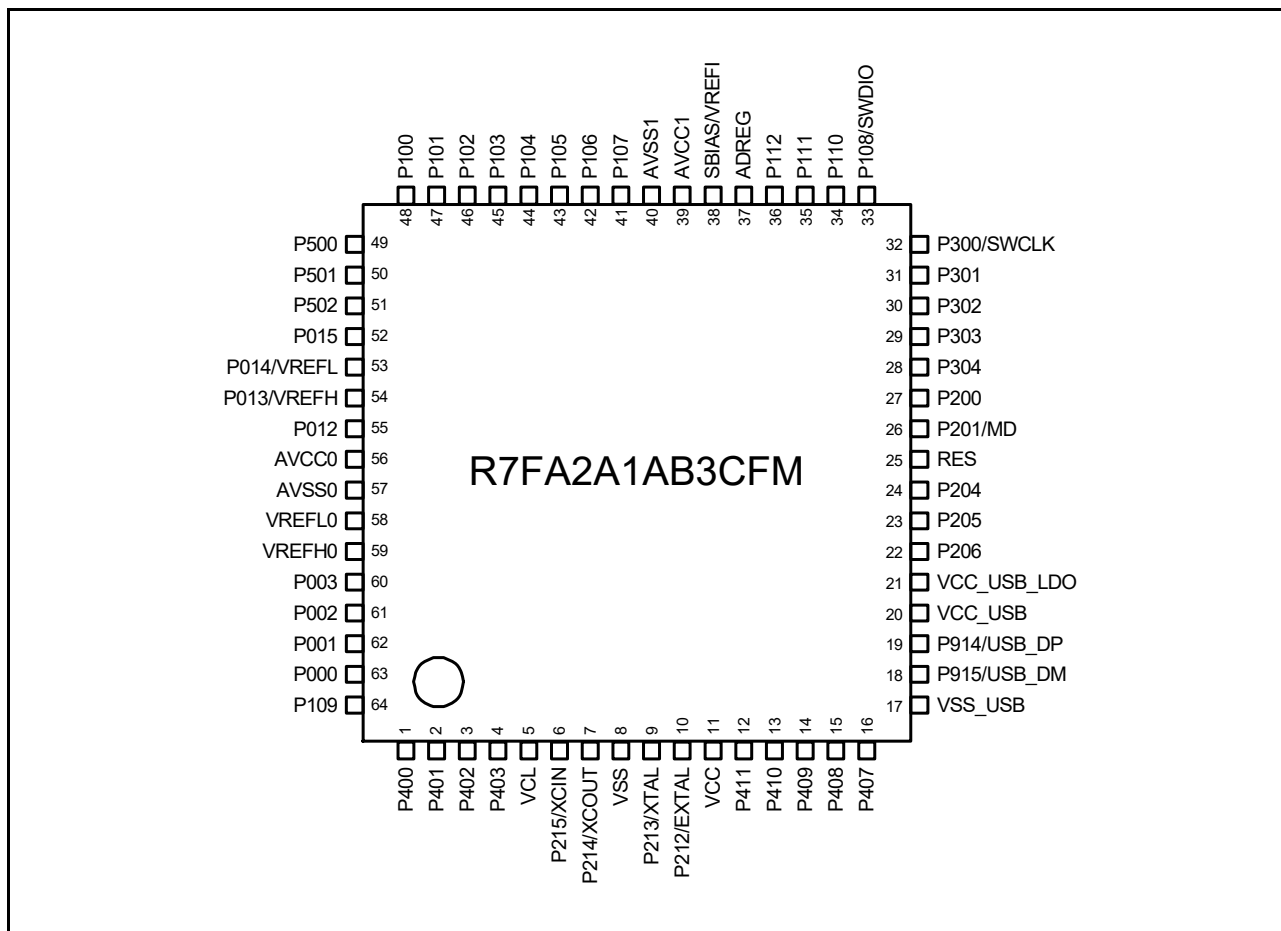


図 1.3 64-pin LQFP のピン配置

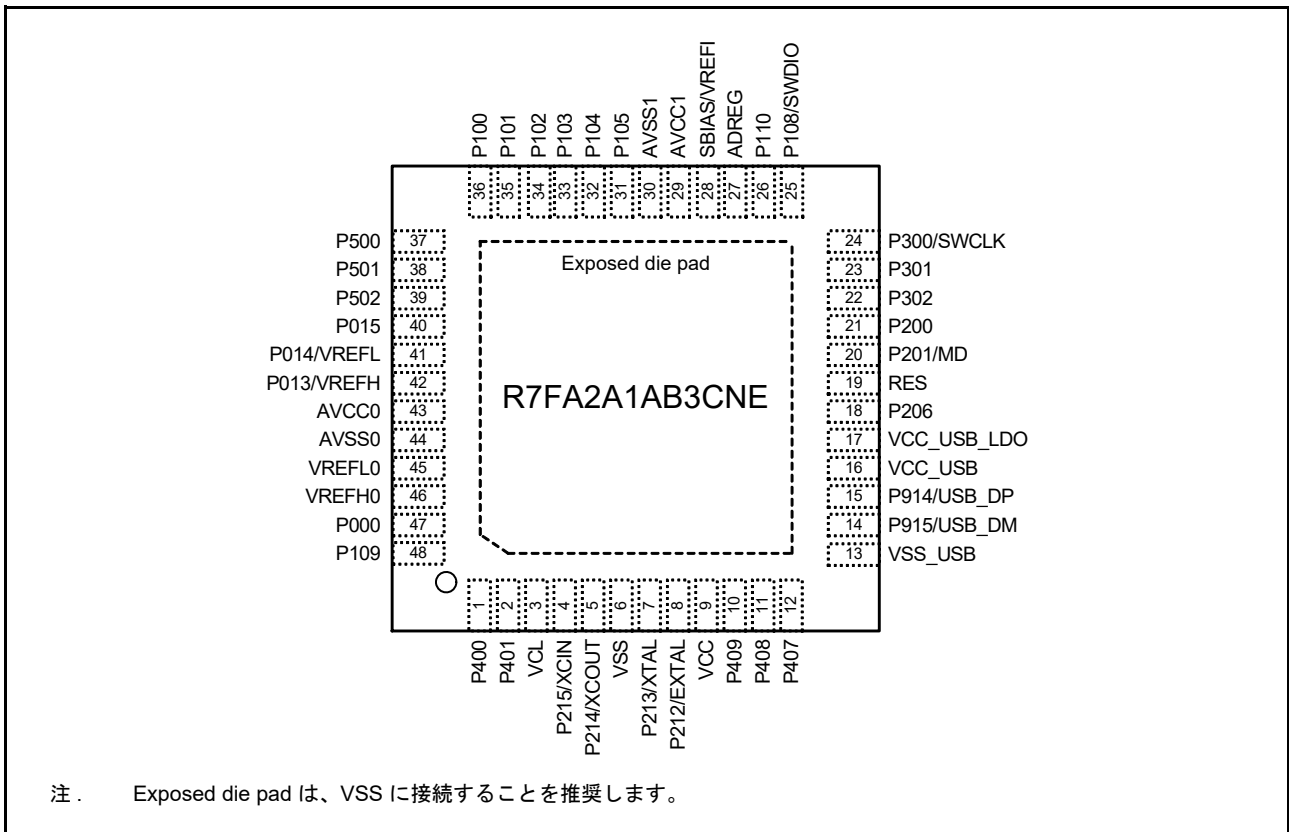


図 1.4 48-pin QFN のピン配置

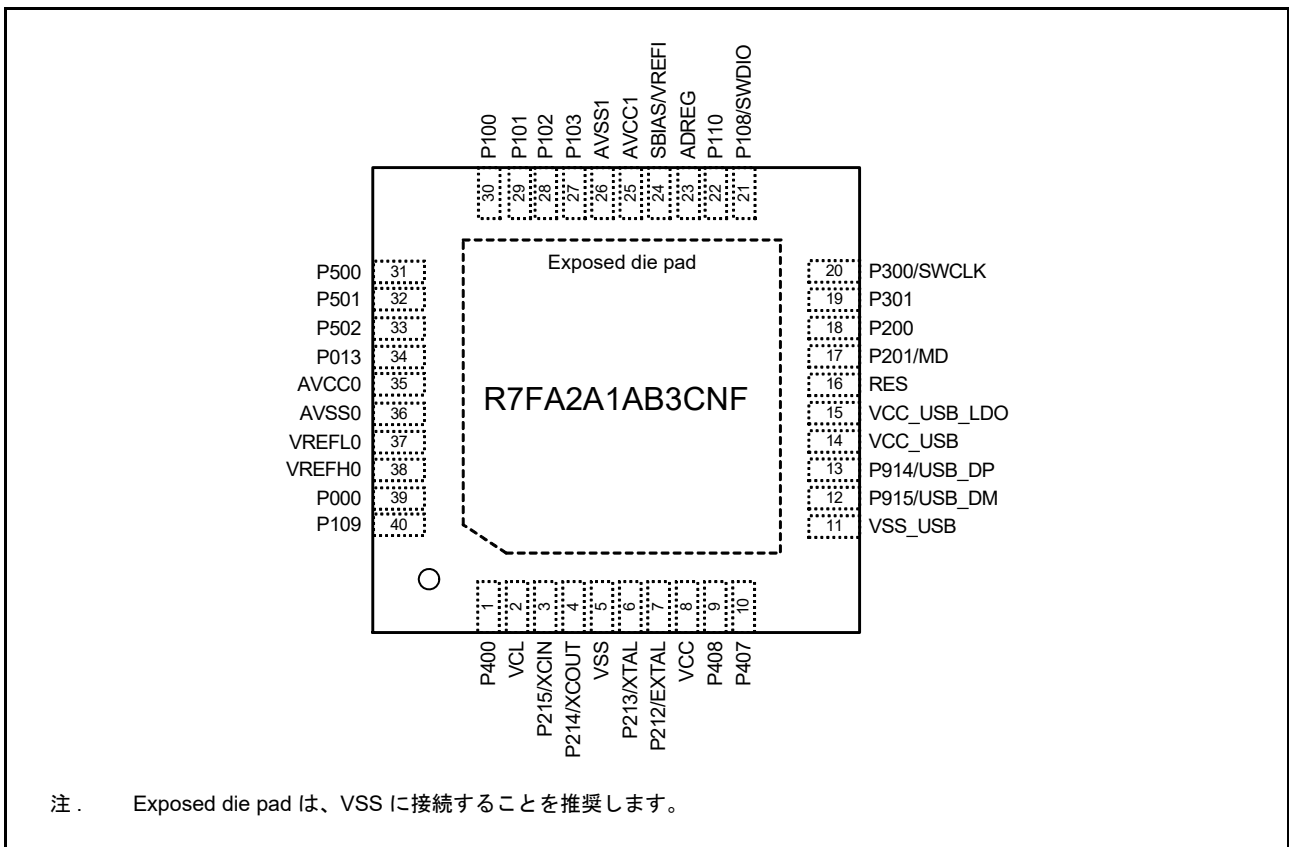


図 1.5 40-pin QFN のピン配置

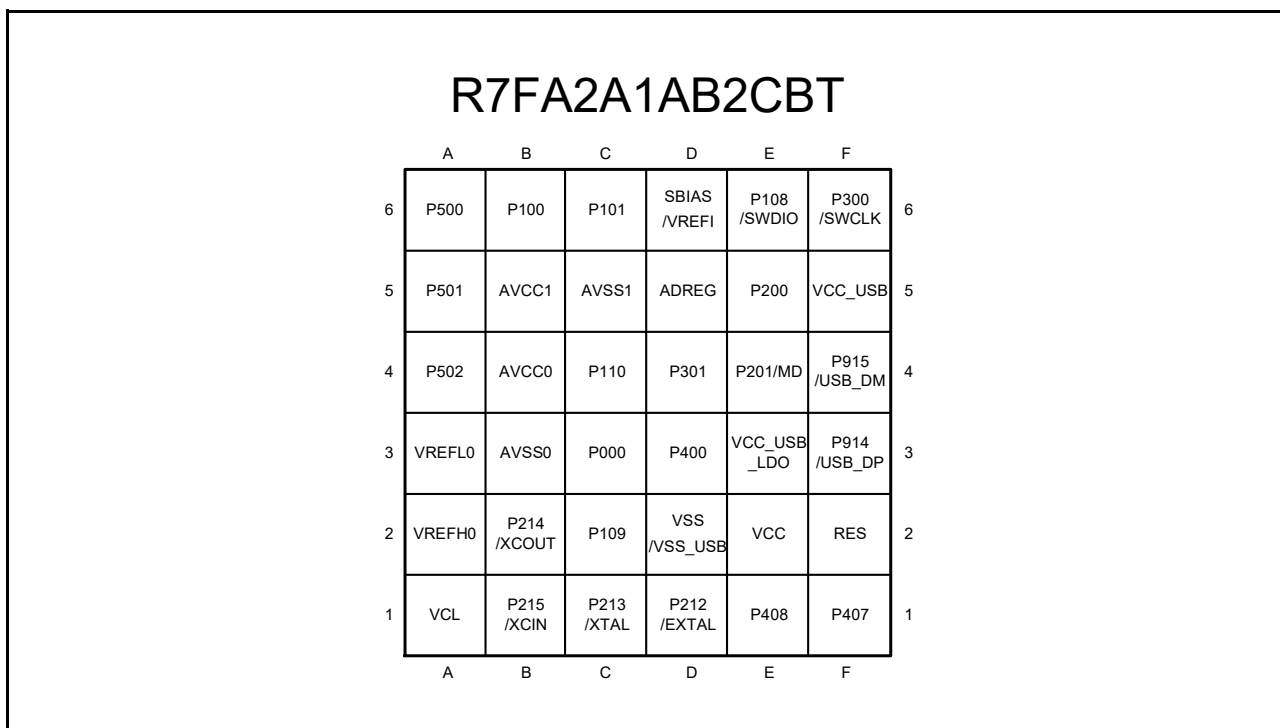


図 1.6 36-pin BGA のピン配置 (上面図、パッド側が下面)

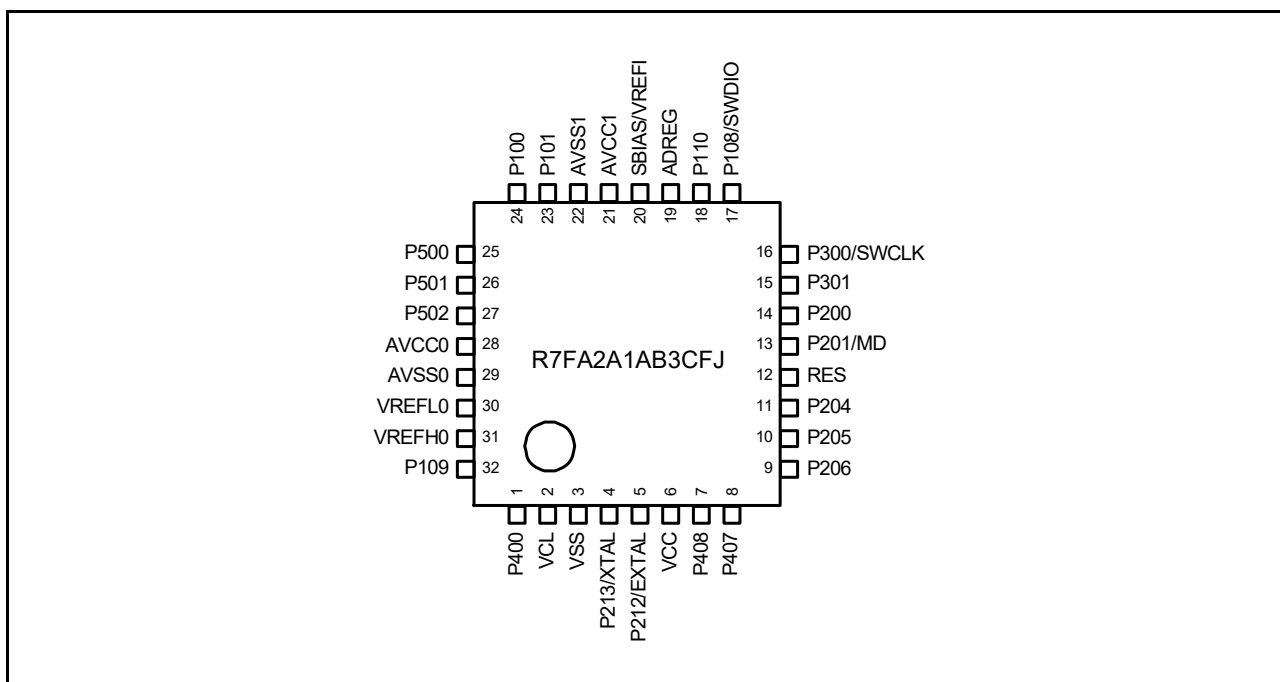


図 1.7 32-pin LQFP のピン配置

1.7 端子一覧

ピン番号					I/Oポート	タイマ				通信インタフェース				アナログ				HMI				
LQFP64	QFN48	QFN40	BGA36	LOFP32		電源、システム、クロック、デバッグ、CAC	AGT	GPT_OPS, POEG	GPT	RTC	USBFS, CAN	SCI	IIC	SPI	ADC16	SDADC24	DAC12, DAC8	ACMPHS, ACMPLP	OPAMP	CTS0	割り込み	
1	1	1	D3	1		P400	AGTEE0_A	GTETRGA_A	GTIOC1A_A	RTCOUT_C			CTS0_RT S0_D/ SS0_D/ RXD1_C/ MISO1_C/ SCL1_C	SDA1_A	MOSIA_A			CMPIN0		TS00	KR02/ IRQ0_A	
2	2	-	-	-		P401	AGTEE1_A	GTIU_A	GTIOC4A_A				SCK0_D/ SCK9_A	SDA0_C	SSLB1_A			VCOUT_B		TS01	KR03/ IRQ5_B	
3	-	-	-	-		P402		GTIV_A	GTIOC0A_D				CTS9_RT S9_C/ SS9_C		SSLB2_A					TS02		
4	-	-	-	-		P403		GTIW_A	GTIOC0B_C				SCK1_B		SSLB3_A					TS03		
5	3	2	A1	2	VCL																	
6	4	3	B1	-	XCIN	P215																
7	5	4	B2	-	XCOUT	P214																
8	6	5	D2	3	VSS																	
9	7	6	C1	4	XTAL	P213	AGTEE1_B	GTETRGA_B	GTIOC0A_B				RXD1_D/ MISO1_D/ SCL1_D								IRQ2_B	
10	8	7	D1	5	EXTAL	P212	AGTIO0_A	GTETRGA_B	GTIOC0B_B				TXD1_D/ MOSI1_D/ SDA1_D								IRQ3_B	
11	9	8	E2	6	VCC																	
12	-	-	-	-		P411			GTIOC5A_A				TXD0_F/ MOSI0_F/ SDA0_F/ RXD1_B/ MISO1_B/ SCL1_B		SSLA3_A					TS04		
13	-	-	-	-		P410			GTIOC5B_A				CTS0_RT S0_A/ SS0_A/ TXD1_B/ MOSI1_B/ SDA1_B		SSLA2_A					TS05		
14	10	-	-	-		P409	AGTO1_A		GTIOC0A_C		CTX0_B		SCK0_A/ CTS1_RT S1_B/ SS1_B	SCL0_B	SSLA1_A					TSCAP_E	IRQ7_A	
15	11	9	E1	7		P408	AGTO0_A	GTOUUA_A	GTIOC0A_A		CRX0_B		RXD0_A/ MISO0_A/ SCL0_A/ TXD1_C/ MOSI1_C/ SDA1_C	SDA0_B	SSLA0_A		CMPIN1		TS06	IRQ1_A		
16	12	10	F1	8	CACREF_B	P407	AGTIO0_C	GTOULA_A	GTIOC0B_A		USB_VB US/ CTX0_D		TXD0_A/ MOSI0_A/ SDA0_A/ TXD9_A/ MOSI9_A/ SDA9_A	SCL0_A	RSPCKB_B					TSCAP_D	IRQ1_B	
17	13	11	D2	-	VSS_USB																	
18	14	12	F4	-		P915						USB_DM										
19	15	13	F3	-		P914						USB_DP										
20	16	14	F5	-	VCC_US B																	
21	17	15	E3	-	VCC_US B_LDO																	
22	18	-	-	9		P206	AGTIO0_B	GTOVUA_A	GTIOC3A_A				CTS0_RT S0_C/ SS0_C/ TXD1_A/ MOSI1_A/ SDA1_A	SCL1_B	SSLB0_A					TS07	IRQ6_A	
23	-	-	-	10		P205		GTOVLA_A	GTIOC3B_A				TXD0_C/ MOSI0_C/ SDA0_C/ CTS1_RT S1_A/ SS1_A	SDA1_B	MISOB_B					TS08	IRQ0_C	
24	-	-	-	11		P204							RXD0_C/ MISO0_C/ SCL0_C/ SCK9_B		MOSIB_B						TS09	
25	19	16	F2	12	RES																	
26	20	17	E4	13	MD	P201																
27	21	18	E5	14		P200																
28	-	-	-	-		P304			GTIOC6A_A		CTX0_A		SCK0_B/ TXD9_C/ MOSI9_C/ SDA9_C		MISOA_B					TS10	KR07	
29	-	-	-	-		P303			GTIOC6B_A		CRX0_A		CTS0_RT S0_B/ SS0_B/ SCK1_A		MOSIA_B						TS11	KR06
30	22	-	-	-	CACREF_A	P302	AGTOA1_A	GTOVLA_B	GTIOC3B_B				TXD0_B/ MOSI0_B/ SDA0_B/ RXD1_A/ MISO1_A/ SCL1_A		RSPCKB_A					TS12	KR05/ IRQ4_B	

ピン番号					電源、システム、クロック、デバッグ、CAC	I/Oポート	タイマ				通信インタフェース				アナログ				HMI		
LQFP64	QFN48	QFN40	BGA36	LQFP32			AGT	GPT_OPS, POEG	GPT	RTC	USBFS, CAN	SCI	IIC	SPI	ADC16	SDADC24	DAC12, DAC8	ACMPHS, ACMPLP	OPAMP	CTSU	割り込み
31	23	19	D4	15		P301	AGTOB1_A	GTOWU_P_A	GTIOC2_A_B	RTCOUT_A			RXD0_B/ MISO0_B/ SCL0_B/ CTS9_RT S9_B/ SS9_B	SDA0_A	MOSIB_A				TS13	KR04/ IRQ5_A	
32	24	20	F6	16	SWCLK	P300															
33	25	21	E6	17	SWDIO	P108															
34	26	22	C4	18	CLKOUT_A	P110	AGTOB0_A	GTOWL_O_A	GTIOC2_B_B		CTX0_C		TXD0_D/ MOSI0_D/ SDA0_D/ RXD9_B/ MISO9_B/ SCL9_B	SDA1_D	RSPCKA_A	ADTRG0_A	CMPREF1		TSCAP_A	IRQ2_A	
35	-	-	-	-		P111								SCL1_C	RSPCKA_B				TS14	IRQ6_B	
36	-	-	-	-	CLKOUT_B	P112								SDA1_C	SSLA0_B				TSCAP_B	IRQ7_B	
37	27	23	D5	19	ADREG																
38	28	24	D6	20	SBIAS/ VREFI																
39	29	25	B5	21	AVCC1																
40	30	26	C5	22	AVSS1																
41	-	-	-	-		P107									AN023	ANSD3N					
42	-	-	-	-		P106									AN022	ANSD3P					
43	31	-	-	-		P105								MOSIB_C	AN021	ANSD2N			TS18	IRQ7_C	
44	32	-	-	-		P104								MISOB_C	AN020	ANSD2P			TS19	IRQ6_C	
45	33	27	-	-		P103			GTIOC6_A_B					RSPCKB_C	AN019	ANSD1N			TS20		
46	34	28	-	-		P102			GTIOC6_B_B				CTS9_RT S9_D/ SS9_D	SSLB0_C	AN018	ANSD1P			TS21		
47	35	29	C6	23		P101			GTIOC5_A_B				RXD9_C/ MISO9_C/ SCL9_C		AN017	ANSD0N	IVREF2		TS22	IRQ5_C	
48	36	30	B6	24		P100			GTIOC5_B_B				TXD9_D/ MOSI9_D/ SDA9_D		AN016	ANSD0P	IVCMP2		TS23	IRQ4_C	
49	37	31	A6	25		P500			GTIOC5_A_C				RXD0_D/ MISO0_D/ SCL0_D		AN000		DA12_0	IVCMP0	AMP0+	TS24	IRQ3_C
50	38	32	A5	26		P501			GTIOC5_B_C				TXD0_E/ MOSI0_E/ SDA0_E		AN001		IVREF0	AMP0-	TS25	IRQ2_C	
51	39	33	A4	27		P502							CTS0_RT S0_E/ SS0_E		AN002				AMP00		IRQ1_C
52	40	-	-	-		P015									AN003				AMP10		
53	41	-	-	-	VREFL	P014			GTIOC6_A_C						AN004		IVREF1	AMP1-			
54	42	34	-	-	VREFH	P013			GTIOC6_B_C						AN005		DA8_0	IVCMP1	AMP1+		
55	-	-	-	-		P012									AN008				AMP20		
56	43	35	B4	28	AVCC0																
57	44	36	B3	29	AVSS0																
58	45	37	A3	30	VREFL0																
59	46	38	A2	31	VREFH0																
60	-	-	-	-		P003									AN006				AMP2-		
61	-	-	-	-		P002									AN007		DA8_1		AMP2+		
62	-	-	-	-		P001				RTCOUT_D			CTS9_RT S9_A/ SS9_A		RSPCKB_D					TS15	IRQ0_B
63	47	39	C3	-		P000	AGTIO1_A		GTIOC4_B_B				RXD9_A/ MISO9_A/ SCL9_A	SCL0_C	MISOB_A					TS16	KR00/ IRQ4_A
64	48	40	C2	32		P109	AGTOA0_A	GTETR_GB_A	GTIOC1_B_B				SCK0_C/ TXD9_B/ MOSI9_B/ SDA9_B	SCL1_A	MISOA_A	ADTRG0_B		CMPREF0/ VCOUT_A		TS17	KR01/ IRQ3_A

注． いくつかの端子名には、_A、_B、_C、_D、_E、_F という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

2. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- VCC (注1) = $AVCC0$ = $AVCC1$ = VCC_USB (注2) = VCC_USB_LDO (注2) = 1.6 ~ 5.5V
- $VREFH$ = $VREFH0$ = 1.6 ~ $AVCC0$
- VSS = $AVSS0$ = $AVSS1$ = $VREFL$ = $VREFL0$ = VSS_USB = 0V
- T_a = T_{opr}

注1. 通常は VCC = 3.3V に設定されています。

注2. USBFS 不使用時。

図 2.1 は、タイミング条件を示しています。

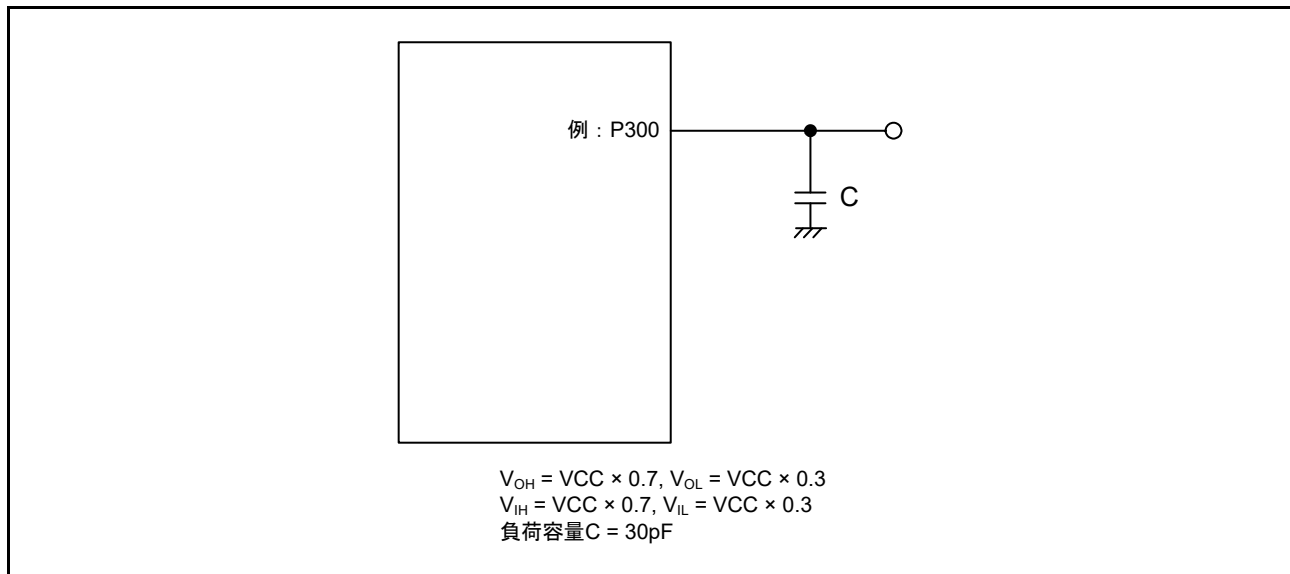


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子には、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

2.1 絶対最大定格

表 2.1 絶対最大定格

項目	シンボル	値	単位	
電源電圧	VCC	-0.5 ~ +6.5	V	
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5	V
	P002, P003, P012 ~ P015, P500 ~ P502	V_{in}	-0.3 ~ AVCC0+0.3	V
	P100 ~ P107	V_{in}	-0.3 ~ AVCC1+0.3	V
	その他	V_{in}	-0.3 ~ VCC+0.3	V
リファレンス電源電圧	VREFH0	-0.3 ~ +6.5	V	
	VREFH	-0.3 ~ +6.5	V	
	VREFI	-0.3 ~ AVCC1+0.3	V	
アナログ電源電圧	AVCC0, AVCC1 (注5)	-0.5 ~ +6.5	V	
USB電源電圧	VCC_USB	-0.5 ~ +6.5	V	
	VCC_USB_LDO	-0.5 ~ +6.5	V	
アナログ入力電圧	AN000 ~ AN008使用時	V_{AN}	-0.3 ~ AVCC0+0.3	V
	AN016 ~ AN023使用時		-0.3 ~ AVCC1+0.3	V
	ANSD0P ~ ANSD3Pおよび ANSD0N ~ ANSD3N使用時		-0.3 ~ AVCC1+0.3	V
動作温度 (注2) (注3) (注4)	T_{opr}	-40 ~ +85 -40 ~ +105	°C	
保存温度	T_{stg}	-55 ~ +125	°C	

注 1. ポート P000, P111, P112, P205, P206, P301, P401, P407, および P409 は 5V トレラント対応ポートです。デバイスの電源が切れている状態で信号や I/O ブルアップ電源を入力しないでください。信号または I/O ブルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部要素を劣化させる恐れがあります。

注 2. 2.2.1 Tj/Ta の定義を参照してください。

注 3. Ta = +85 ~ +105 °C の場合のディレーティング動作については、ルネサスエレクトロニクスの営業担当までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

注 4. 動作温度の上限は、85 °C または 105 °C です (製品による)。詳細は、「1.3 型名」を参照してください。

注 5. AVCC0 と VCC は同一の条件下で使用してください。
AVCC0 = AVCC1

【使用上の注意】 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC16 の高電位基準電圧に選択されている場合にノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、AVCC1 端子と AVSS1 端子の間、VCC_USB 端子と VSS_USB 端子の間、VREFH 端子と VREFL 端子の間、および VREFH0 端子と VREFL0 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に以下の値のコンデンサを配置し、最も短く重いトレースを使用してください。

- VCC と VSS : 約 0.1μF
- AVCC0 と AVSS0 : 約 0.1μF
- AVCC1 と AVSS1 : 約 0.1μF
- VREFH と VREFL : 約 0.1μF
- VREFH0 と VREFL0 : 約 10μF

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7μF のコンデンサを介して VSS 端子に接続してください。VREFADC が ADC16 の高電位基準電圧に選択されている場合、1μF (-25% ~ +25%) コンデンサを介して VREFH0 端子を VREFL0 端子に接続してください。ADREG 端子は、0.47μF (-50% ~ +20%) のコンデンサを介して AVSS1 端子に接続してください。SBIAS/VREFI 端子は、0.22μF (-20% ~ +20%) のコンデンサを介して AVSS1 端子に接続してください。各コンデンサは必ず端子近くに配置してください。

表 2.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC (注1) (注2)	USBFS不使用時	1.6	-	5.5	V
		USBFS使用時 USBレギュレータ無効	VCC_USB	-	3.6	V
		USBFS使用時 USBレギュレータ有効	VCC_USB _LDO	-	5.5	V
	VSS	-	0	-	V	
USB電源電圧	VCC_USB	USBFS不使用時	-	VCC	-	V
		USBFS使用時 USBレギュレータ無効 (入力)	3.0	3.3	3.6	V
		VCC_USB_LDO	USBFS不使用時	-	VCC	-
	USBFS使用時 USBレギュレータ無効	-	VCC	-	V	
	USBFS使用時 USBレギュレータ有効	3.8	-	5.5	V	
	VSS_USB	-	0	-	V	
アナログ電源電圧	AVCC0 (注1) (注2)		1.6	-	5.5	V
	AVSS0		-	0	-	V
	AVCC1 (注1) (注2)		-	AVCC0	-	V
	AVSS1		-	0	-	V
	VREFH0	ADC16基準として使用時	1.7	-	AVCC0	V
	VREFL0		-	0	-	V
	VREFH	DAC12基準として使用時	1.7	-	AVCC0	V
	VREFL		-	0	-	V
	VREFI	SDADC24基準として使用時 (注3)	0.8	-	2.4	V

注 1. 下記の条件で AVCC0、AVCC1、および VCC を使用してください：

VCC \geq 2.2V で AVCC0 = AVCC1 \geq 2.2V のとき、AVCC0、AVCC1 および VCC は動作範囲内で個別に設定可能

VCC < 2.2V または AVCC0 = AVCC1 < 2.2V のとき、AVCC0 = AVCC1 = VCC

注 2. VCC 端子、AVCC0 端子および AVCC1 端子に電源を投入する場合、全端子同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子と AVCC1 端子の順番で電源投入してください。

注 3. SDADC24 の基準電圧用外部入力使用時の条件

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.3 DC 特性

条件：動作温度 (T_a) が -40 ~ +105°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	-	125	°C	High-speedモード Middle-speedモード Low-speedモード Low-voltageモード Subosc-speedモード
			105 (注1)		

注. $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。

注1. 動作温度の上限は、85°Cまたは105°Cです (製品による)。詳細は、「1.3 型名」を参照してください。型名が85°Cでの動作温度を示している場合は、Tjの最大値は105°Cになります。それ以外の場合125°Cになります。

2.2.2 I/O V_{IH}, V_{IL}表 2.4 I/O V_{IH}, V_{IL}

条件：VCC = AVCC0 = AVCC1 = VCC_USB = VCC_USB_LDO = 1.6 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミットトリガ 入力電圧	IIC (SMBusを除く) (注1)	V _{IH}	VCC × 0.7	-	5.8	V	-
		V _{IL}	-	-	VCC × 0.3		
		ΔV _T	VCC × 0.05	-	-		
	RES, NMI IICを除くその他の周辺入力 端子	V _{IH}	VCC × 0.8	-	-		
		V _{IL}	-	-	VCC × 0.2		
		ΔV _T	VCC × 0.1	-	-		
入力電圧 (シュ ミットトリガ入力 端子を除く)	IIC (SMBus) (注2)	V _{IH}	2.2	-	-	VCC = 3.6 ~ 5.5V	
		V _{IH}	2.0	-	-	VCC = 2.7 ~ 3.6V	
		V _{IL}	-	-	0.8	VCC = 2.7 ~ 5.5V	
	5Vトレラント対応ポート (注3)	V _{IH}	VCC × 0.8	-	5.8	-	
		V _{IL}	-	-	VCC × 0.2		
	P002, P003, P012 ~ P015, P500 ~ P502	V _{IH}	AVCC0 × 0.8	-	-	-	
		V _{IL}	-	-	AVCC0 × 0.2		
	P100 ~ P107	V _{IH}	AVCC1 × 0.8	-	-	-	
	P100 ~ P107	V _{IL}	-	-	AVCC1 × 0.2		
	P914, P915	V _{IH}	VCC_USB × 0.8	-	VCC_USB + 0.3	-	
		V _{IL}	-	-	VCC_USB × 0.2		
	EXTAL 入力ポート端子 (P002, P003, P012 ~ P015, P100 ~ P107, P500 ~ P502, P914, P915を除く)	V _{IH}	VCC × 0.8	-	-	-	
		V _{IL}	-	-	VCC × 0.2		

注1. SCL0_A, SCL0_B, SCL0_C, SDA0_A, SDA0_C, SCL1_B, SCL1_C, SDA1_B, SDA1_C (合計9端子)

注2. SCL0_A, SCL0_B, SCL0_C, SDA0_A, SDA0_B, SDA0_C, SCL1_A, SCL1_B, SCL1_C, SDA1_A, SDA1_B, SDA1_C, SDA1_D (合計13端子)

注3. P000, P111, P112, P205, P206, P301, P401, P407, P409 (合計9端子)

2.2.3 I/O I_{OH} , I_{OL} 表 2.5 I/O I_{OH} , I_{OL}

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_USB_LDO = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
許容出力電流 (端子ごとの平均値)	ポート P212、P213	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	ポート P407、P408、P409	低駆動 (注1)	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		IIC 用中駆動ファストモードおよび SPI (注4)	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
		中駆動 (注2) VCC = 3.0 ~ 5.5V	I_{OH}	-	-	-20.0	mA
			I_{OL}	-	-	20.0	mA
	ポート P914、P915	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	その他の出力端子 (注3)	低駆動 (注1)	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		中駆動 (注2)	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
許容出力電流 (端子ごとの最大値)	ポート P212、P213	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	ポート P407、P408、P409	低駆動 (注1)	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		IIC 用中駆動ファストモードおよび SPI (注4)	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
		中駆動 (注2) VCC = 3.0 ~ 5.5V	I_{OH}	-	-	-20.0	mA
			I_{OL}	-	-	20.0	mA
	ポート P914、P915	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	その他の出力端子 (注3)	低駆動 (注1)	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		中駆動 (注2)	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
許容出力電流 (全端子の最大値)	ポート P002、P003、P012 ~ P015、P500 ~ P502 の合計	-	$\Sigma I_{OH} (max)$	-	-	-30	mA
			$\Sigma I_{OL} (max)$	-	-	30	mA
	ポート P100 ~ P107 の合計	-	$\Sigma I_{OH} (max)$	-	-	-30	mA
			$\Sigma I_{OL} (max)$	-	-	30	mA
	ポート P914 と P915 の合計	-	ΣI_{OH}	-	-	-4.0	mA
			ΣI_{OL}	-	-	4.0	mA
	全出力端子の総和 (注5)	-	$\Sigma I_{OH} (max)$	-	-	-60	mA
			$\Sigma I_{OL} (max)$	-	-	60	mA

注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 入力ポートである P200、P214、P215 を除きます。

注 4. PmnPFS レジスタのポート駆動能力ビットで IIC ファストモードおよび SPI に対して中駆動が選択されている場合の値です。

注 5. CTSU の許容出力電流の詳細については、2.12 CTSU 特性を参照してください。

【使用上の注意】 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μ s の間に計測した電流の平均値を意味します。

2.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性表 2.6 I/O V_{OH} 、 V_{OL} (1)条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_USB_LDO = 4.0 \sim 5.5V$

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	IIC (注1)	V_{OL}	-	-	0.4	V	$I_{OL} = 3.0mA$	
		V_{OL} (注2) (注5)	-	-	0.6		$I_{OL} = 6.0mA$	
	ポート P407、P408、 P409	低駆動	V_{OH}	$VCC - 0.8$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 2.0mA$
		IIC用中駆動 ファストモードおよび SPI (注5)	V_{OH}	$VCC - 0.8$	-		-	$I_{OH} = -4.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 4.0mA$
		中駆動 (注2) (注3)	V_{OH}	$VCC - 1.0$	-		-	$I_{OH} = -20mA$
			V_{OL}	-	-		1.0	$I_{OL} = 20mA$
	ポート P002、P003、 P012 ~ P015、 P500 ~ P502	低駆動	V_{OH}	$AVCC0 - 0.8$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 2.0mA$
		中駆動	V_{OH}	$AVCC0 - 0.8$	-		-	$I_{OH} = -4.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 4.0mA$
	ポート P100 ~ P107	低駆動	V_{OH}	$AVCC1 - 0.8$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 2.0mA$
		中駆動	V_{OH}	$AVCC1 - 0.8$	-		-	$I_{OH} = -4.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 4.0mA$
	ポート P914、P915		V_{OH}	$VCC_USB - 0.8$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 2.0mA$
	その他の出力端子 (注4)	低駆動	V_{OH}	$VCC - 0.8$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 2.0mA$
中駆動 (注6)		V_{OH}	$VCC - 0.8$	-	-	$I_{OH} = -4.0mA$		
		V_{OL}	-	-	0.8	$I_{OL} = 4.0mA$		

注 1. SCL0_A、SCL0_B、SCL0_C、SDA0_A、SDA0_B、SDA0_C、SCL1_A、SCL1_B、SCL1_C、SDA1_A、SDA1_B、SDA1_C、SDA1_D (合計 13 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づくもので、本番試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

注 5. PmnPFS レジスタの P407、P408 および P409 に対するポート駆動能力ビットで IIC および SPI に対して中駆動が選択されている場合の値です。

注 6. P212、P213 を除きます。

表 2.7 I/O V_{OH} , V_{OL} (2)条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_USB_LDO} = 2.7 \sim 4.0V$

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	IIC (注1)	V_{OL}	-	-	0.4	V	$I_{OL} = 3.0mA$	
		V_{OL} (注2) (注5)	-	-	0.6		$I_{OL} = 6.0mA$	
	ポート P407、P408、 P409	低駆動	V_{OH}	$V_{CC} - 0.5$	-		-	$I_{OH} = -1.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 1.0mA$
		IIC用中駆動 ファストモードおよ びSPI (注5)	V_{OH}	$V_{CC} - 0.5$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 2.0mA$
		中駆動 (注2) (注3)	V_{OH}	$V_{CC} - 1.0$	-		-	$I_{OH} = -20mA$ $V_{CC} = 3.3V$
			V_{OL}	-	-		1.0	$I_{OL} = 20mA$ $V_{CC} = 3.3V$
	ポート P002、P003、 P012~P015 P500~P502	低駆動	V_{OH}	$AV_{CC0} - 0.5$	-		-	$I_{OH} = -1.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 1.0mA$
		中駆動	V_{OH}	$AV_{CC0} - 0.5$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 2.0mA$
	ポート P100~P107	低駆動	V_{OH}	$AV_{CC1} - 0.5$	-		-	$I_{OH} = -1.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 1.0mA$
		中駆動	V_{OH}	$AV_{CC1} - 0.5$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 2.0mA$
	ポート P914、P915		V_{OH}	$V_{CC_USB} - 0.5$	-		-	$I_{OH} = -1.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 1.0mA$
	他の出力端子 (注4)	低駆動	V_{OH}	$V_{CC} - 0.5$	-		-	$I_{OH} = -1.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 1.0mA$
中駆動 (注6)		V_{OH}	$V_{CC} - 0.5$	-	-	$I_{OH} = -2.0mA$		
		V_{OL}	-	-	0.5	$I_{OL} = 2.0mA$		

注 1. SCL0_A、SCL0_B、SCL0_C、SDA0_A、SDA0_B、SDA0_C、SCL1_A、SCL1_B、SCL1_C、SDA1_A、SDA1_B、SDA1_C、SDA1_D (合計 13 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づくもので、本番試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

注 5. PmnPFS レジスタの P407、P408 および P409 に対するポート駆動能力ビットで IIC および SPI に対して中駆動が選択されている場合の値です。

注 6. P212、P213 を除きます。

表 2.8 I/O V_{OH} , V_{OL} (3)条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_USB_LDO} = 1.6 \sim 2.7V$

項目			シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポートP407、 P408、P409	低駆動	V_{OH}	$V_{CC} - 0.3$	-	-	V	$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
		IIC用中駆動 ファストモードおよびSPI (注2)	V_{OH}	$V_{CC} - 0.3$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.3		$I_{OL} = 1.0mA$
	ポートP002、 P003、 P012~P015 P500~P502	低駆動	V_{OH}	$AV_{CC0} - 0.3$	-	-		$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	V_{OH}	$AV_{CC0} - 0.3$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.3		$I_{OL} = 1.0mA$
	ポートP100~ P107	低駆動	V_{OH}	$AV_{CC0} - 0.3$	-	-		$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	V_{OH}	$AV_{CC0} - 0.3$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.3		$I_{OL} = 1.0mA$
	ポートP914、P915		V_{OH}	$V_{CC_USB} - 0.3$	-	-		$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
	その他の出力端子 (注1)	低駆動	V_{OH}	$V_{CC} - 0.3$	-	-		$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
中駆動 (注3)		V_{OH}	$V_{CC} - 0.3$	-	-	$I_{OH} = -1.0mA$		
		V_{OL}	-	-	0.3	$I_{OL} = 1.0mA$		

注 1. 入力ポートである P200、P214、P215 を除きます。

注 2. PmnPFS レジスタの P407、P408 および P409 に対するポート駆動能力ビットで IIC および SPI に対して中駆動が選択されている場合の値です。

注 3. P212、P213 を除きます。

表 2.9 I/O その他の特性

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_USB_LDO} = 1.6 \sim 5.5V$

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポートP200、P214、 P215	$ I_{in} $	-	-	1.0	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$
スリーステートリーク 電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	-	-	1.0	μA	$V_{in} = 0V$ $V_{in} = 5.8V$
	その他のポート		-	-	1.0		$V_{in} = 0V$ $V_{in} = V_{CC}$
入力プルアップ抵抗	すべてのポート (P200、P214、P215、P914、 P915を除く)	R_U	10	20	50	$k\Omega$	$V_{in} = 0V$
入力容量	P012~P015、P200、P502、 P914、P915	C_{in}	-	-	30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25^\circ C$
	その他の入力端子		-	-	15		

2.2.5 入出力端子出力特性（低駆動能力）

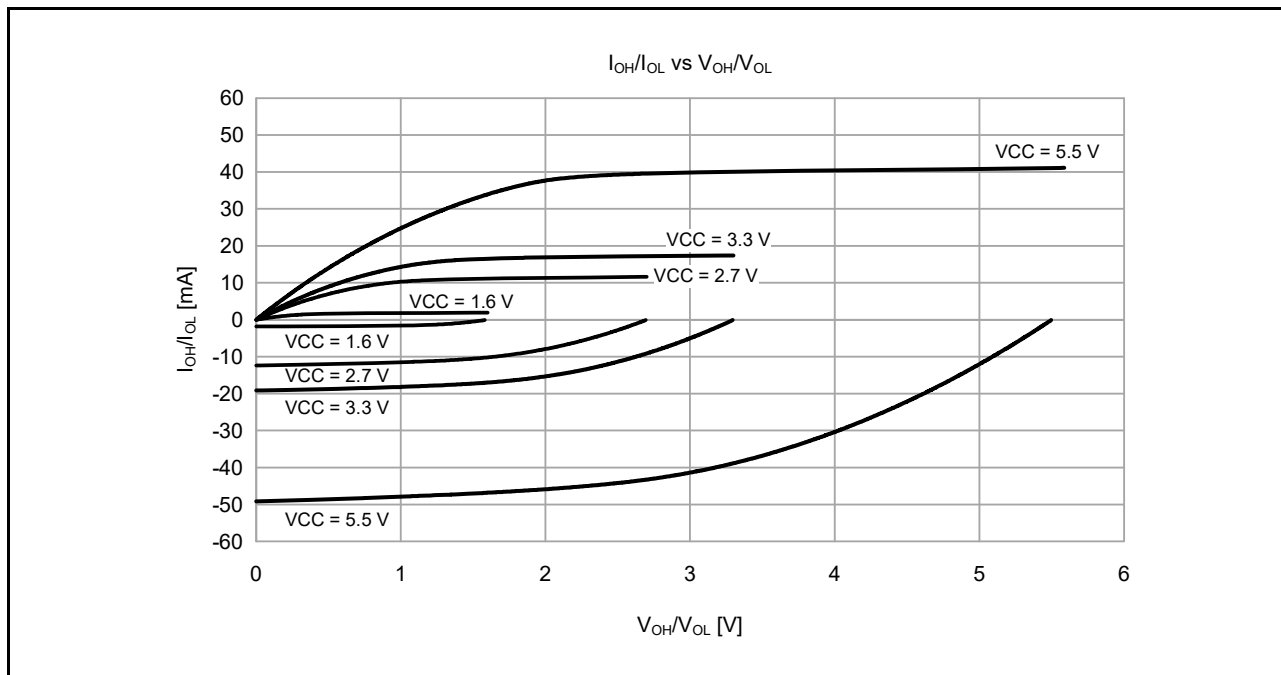


図 2.2 低駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性（参考データ、P914 および P915 を除く）

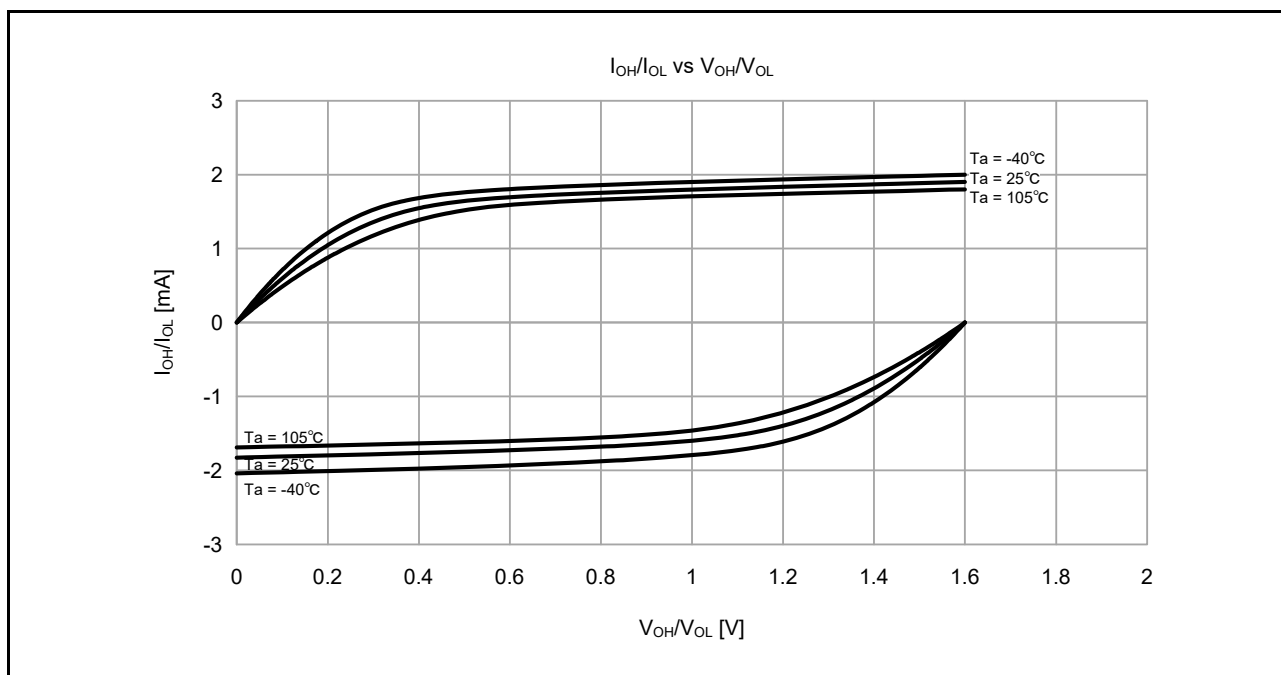


図 2.3 低駆動出力選択時の $V_{CC} = 1.6\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

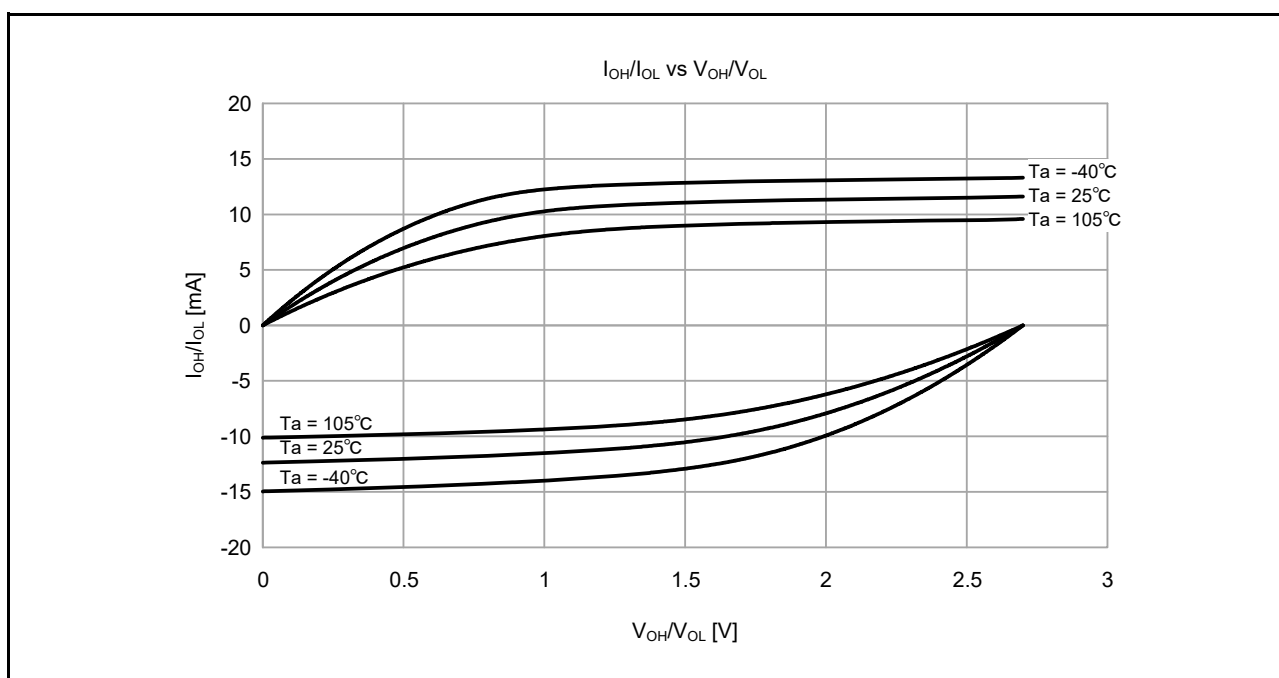


図 2.4 低駆動出力選択時の $V_{CC} = 2.7V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

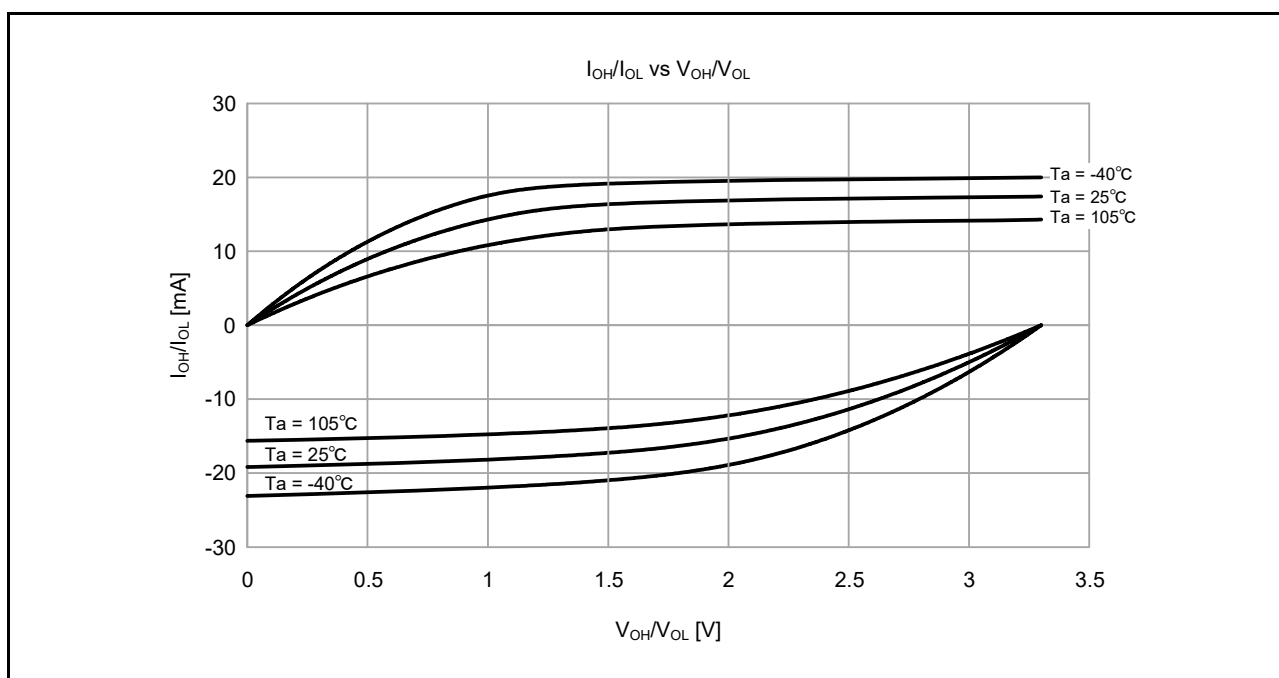


図 2.5 低駆動出力選択時の $V_{CC} = 3.3V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

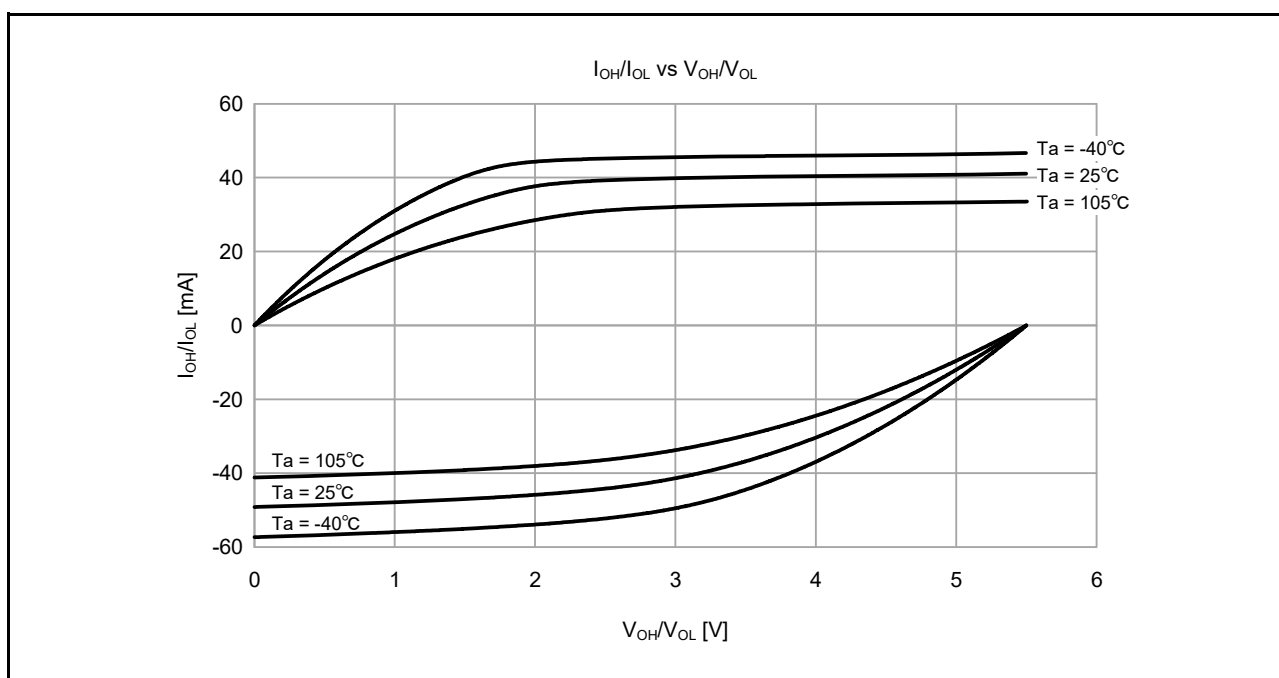


図 2.6 低駆動出力選択時の $V_{CC} = 5.5V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

2.2.6 入出力端子出力特性（中駆動能力）

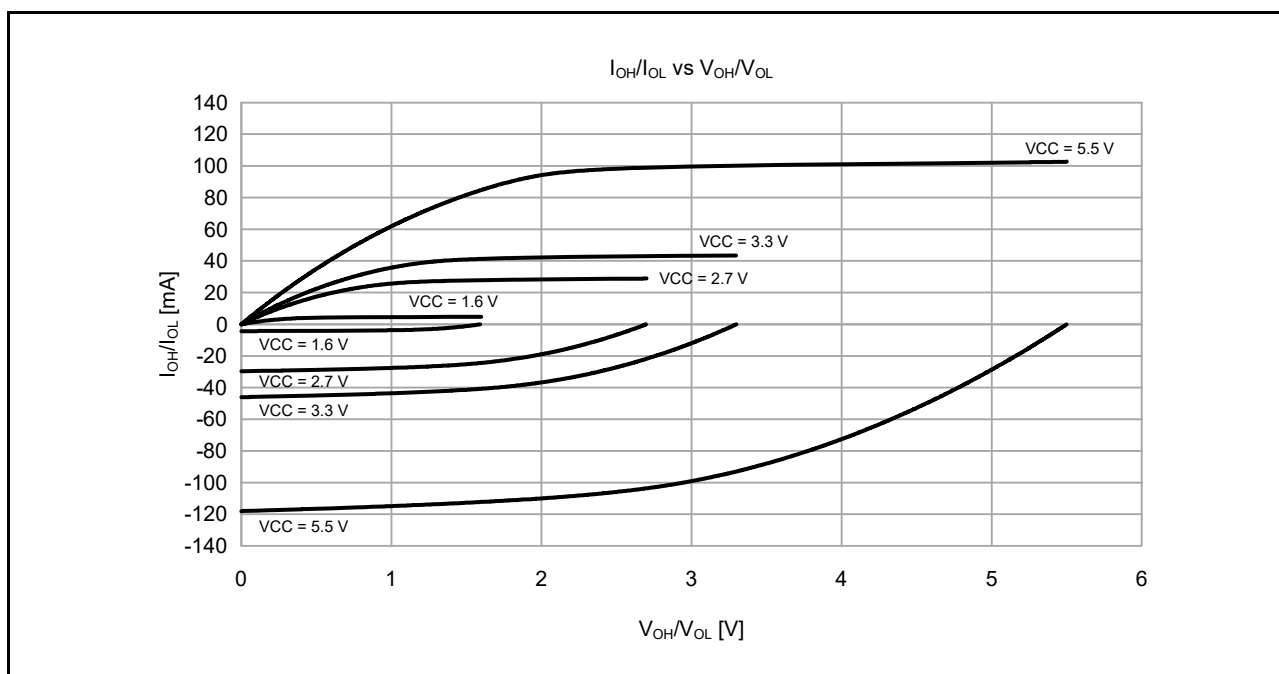


図 2.7 中駆動出力選択時の $T_a = 25^\circ C$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性（参考データ、P914 および P915 を除く）

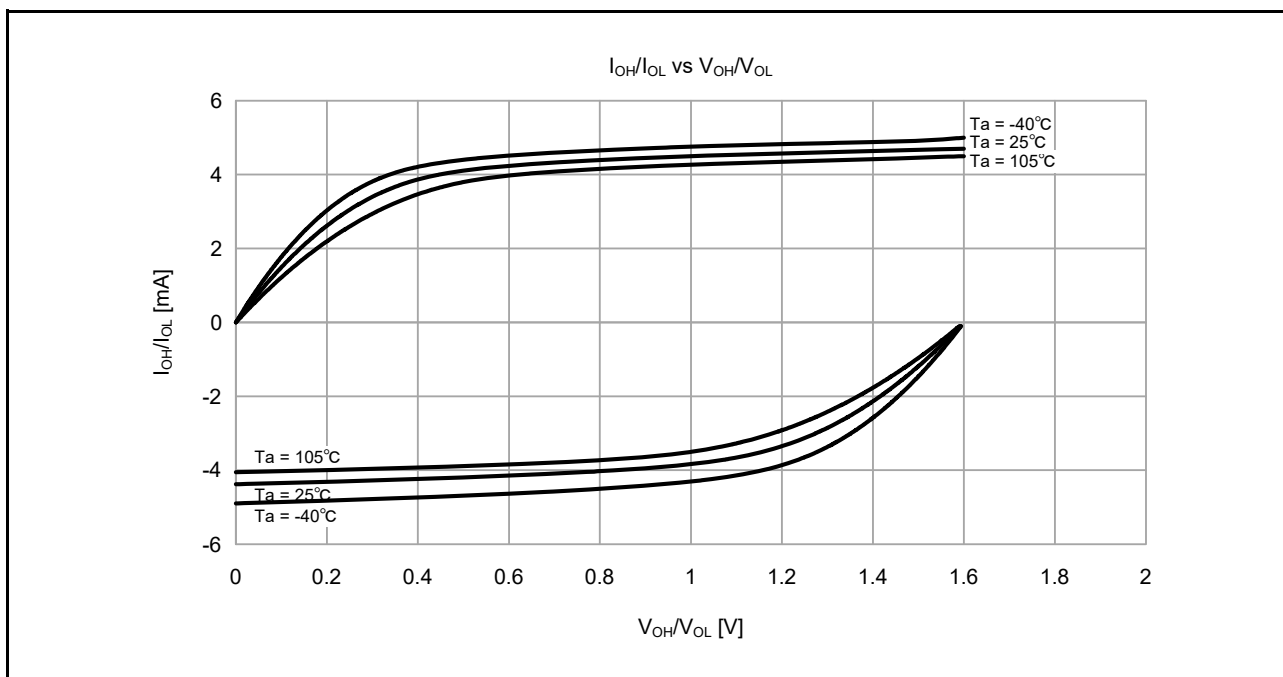


図 2.8 中駆動出力選択時の $V_{CC} = 1.6V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

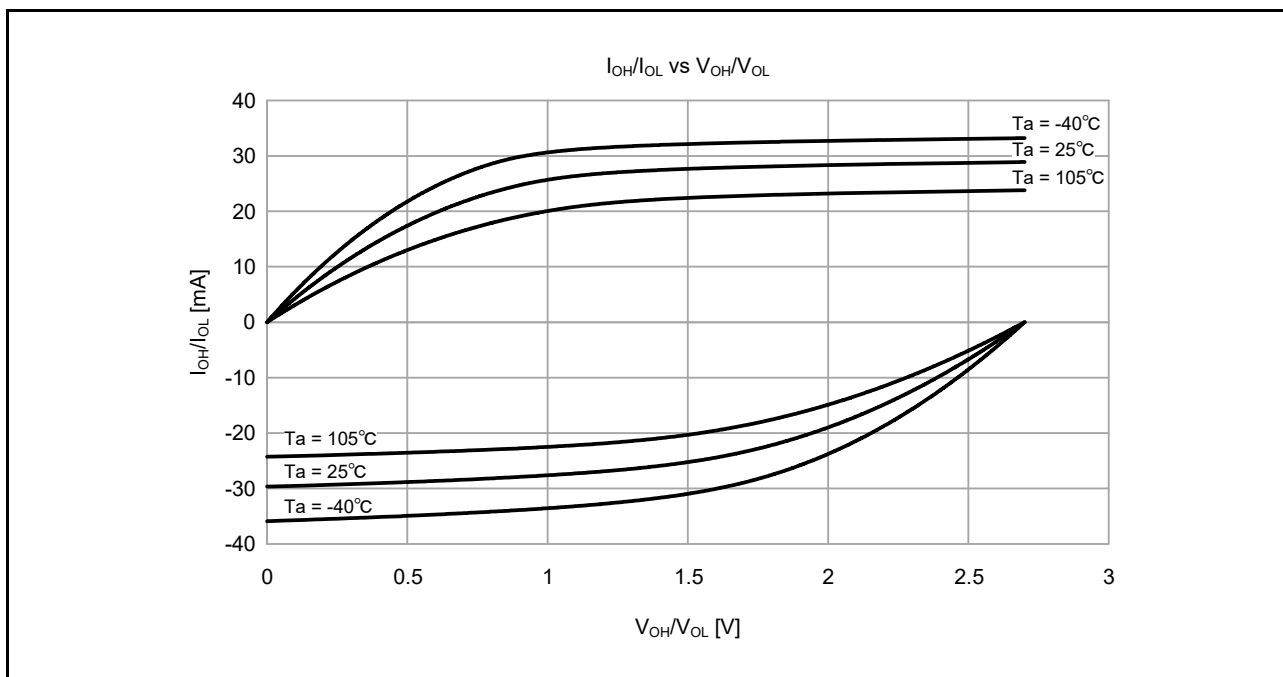


図 2.9 中駆動出力選択時の $V_{CC} = 2.7V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

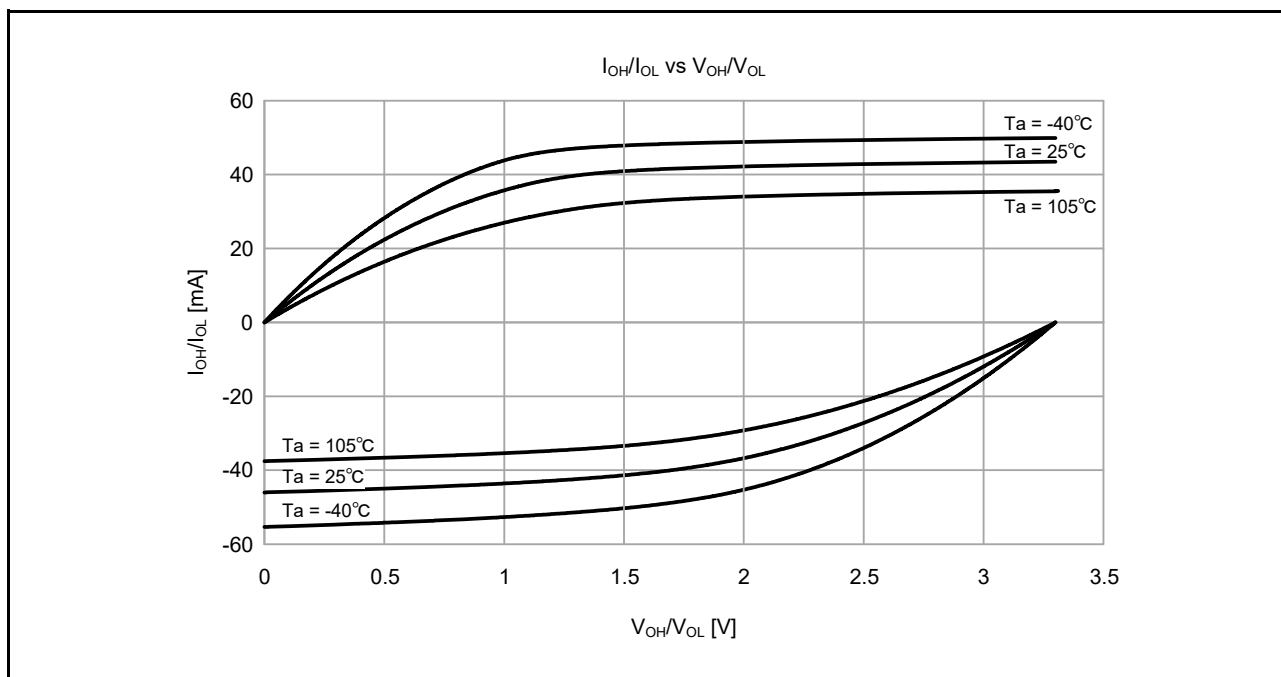


図 2.10 中駆動出力選択時の $V_{CC} = 3.3V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

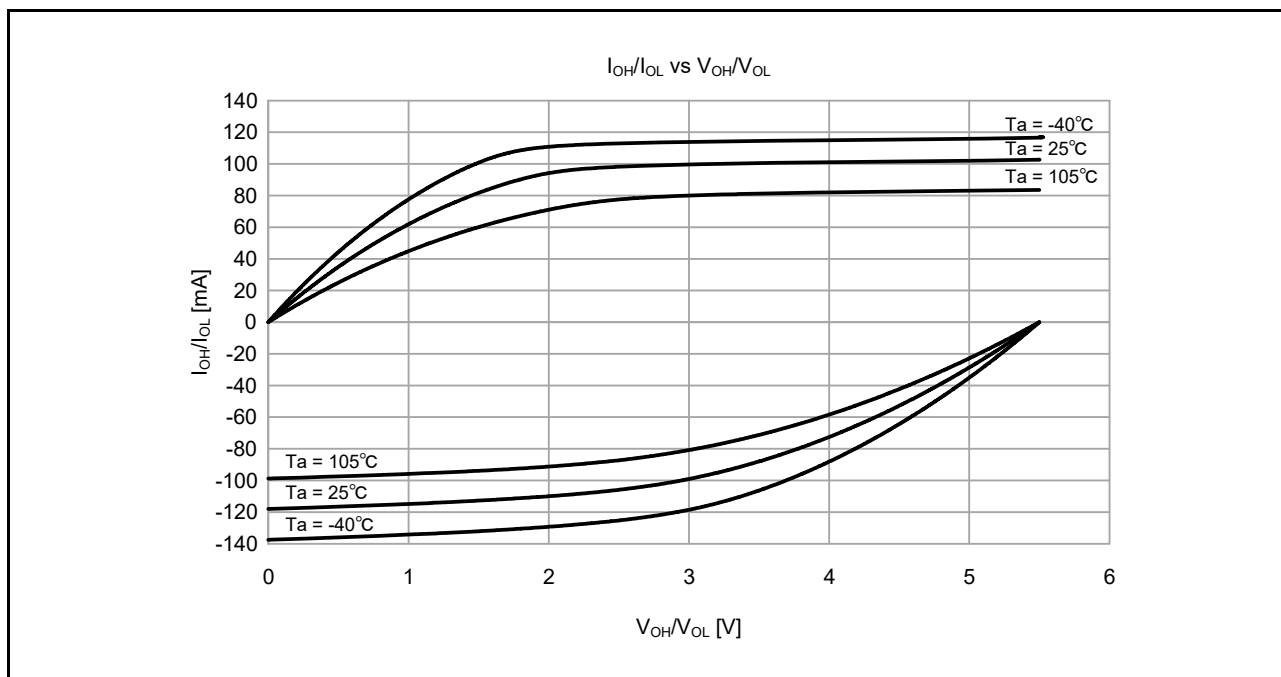
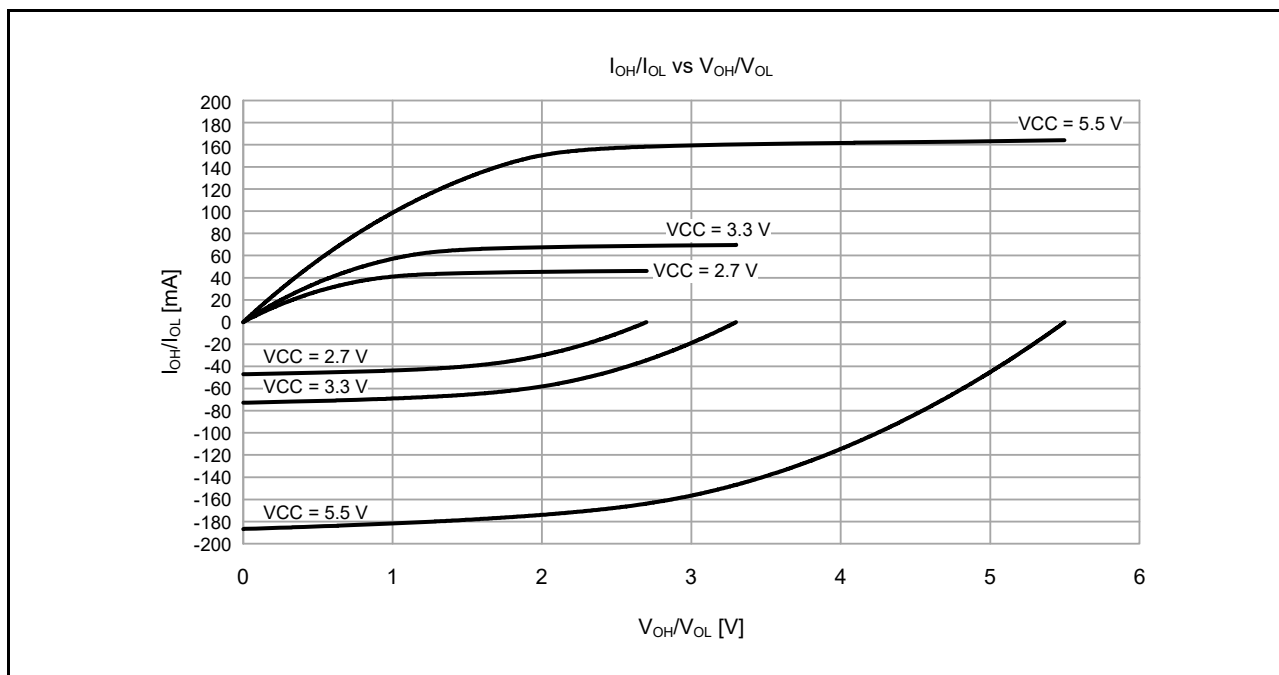
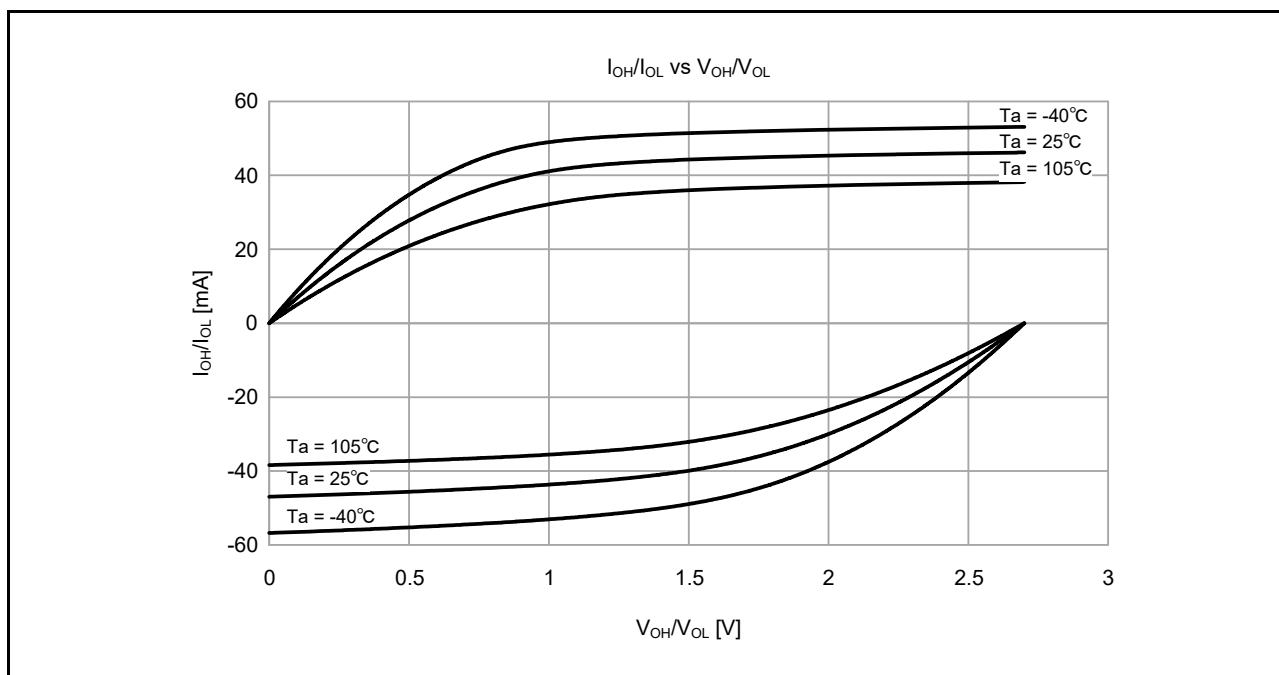


図 2.11 中駆動出力選択時の $V_{CC} = 5.5V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

2.2.7 P407、P408 および P409 入出力端子の出力特性（中駆動能力）

図 2.12 中駆動出力選択時の Ta = 25 °Cでの V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性（参考データ）図 2.13 中駆動出力選択時の VCC = 2.7Vでの V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ）

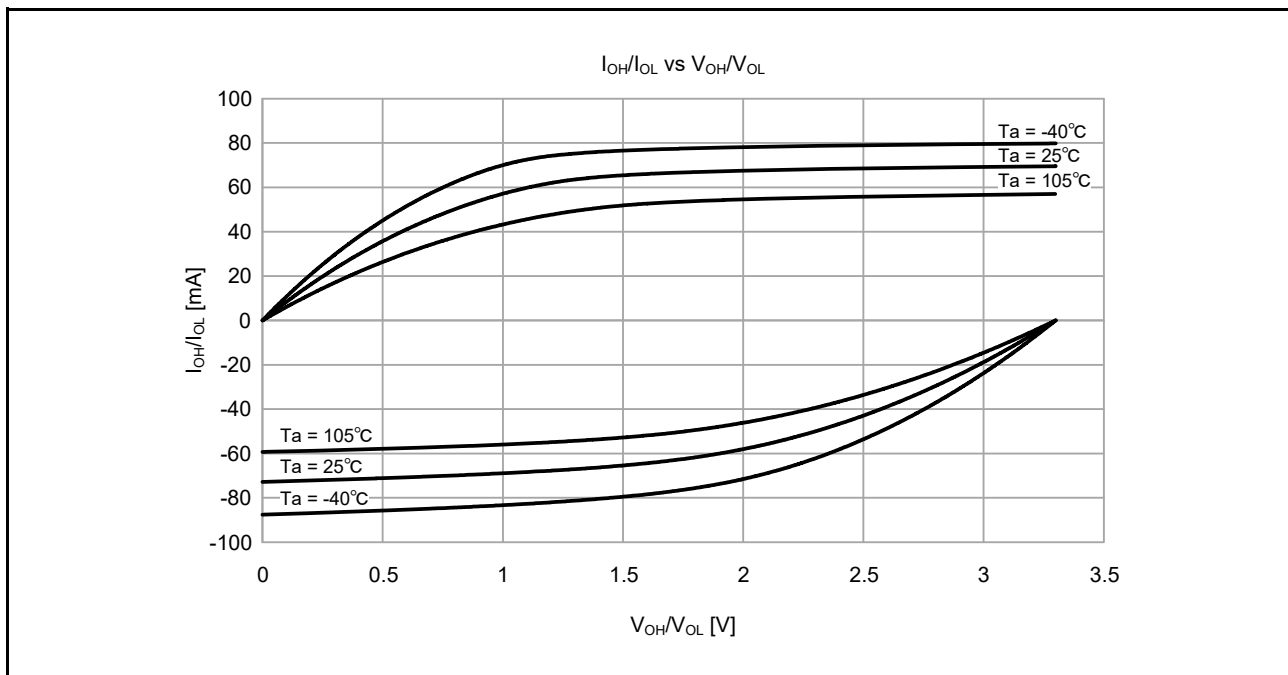


図 2.14 中駆動出力選択時の $V_{CC} = 3.3V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

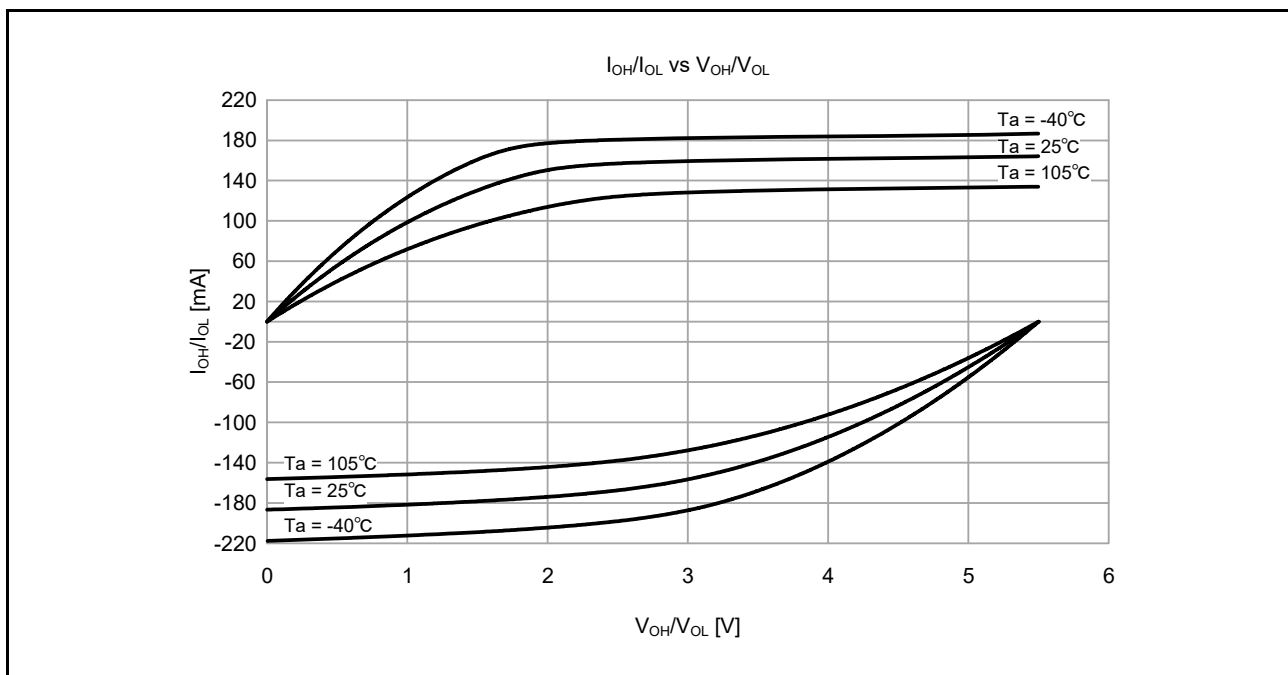
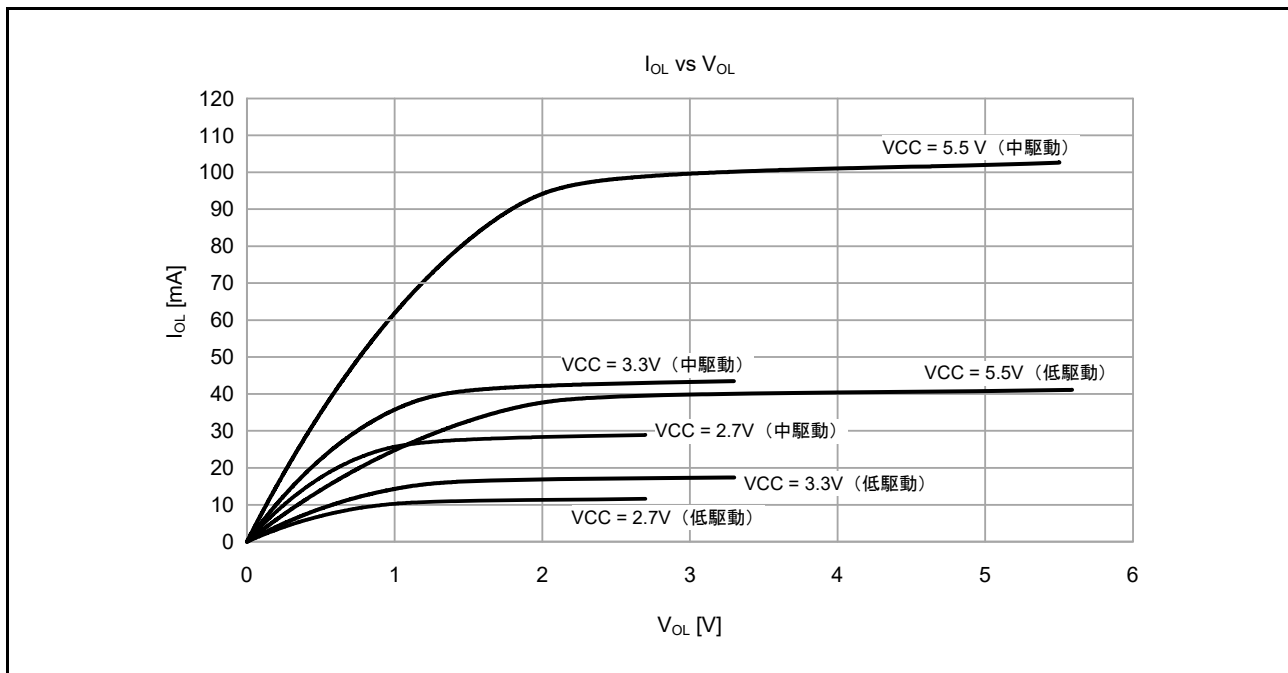


図 2.15 中駆動出力選択時の $V_{CC} = 5.5V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

2.2.8 IIC 入出力端子の出力特性

図 2.16 $T_a = 25\text{ }^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性

2.2.9 動作電流とスタンバイ電流

表 2.10 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目				シンボル	Typ (注10)	Max	単位	測定条件		
消費電流 (注1)	High-speed モード (注2)	通常モード	すべての周辺クロックが 無効、(1) コードはフ ラッシュから実行 (注5)	ICLK = 48MHz	I _{CC}	5.2	-	mA	(注7) (注11)	
				ICLK = 32MHz		3.8	-			
				ICLK = 16MHz		2.3	-			
				ICLK = 8MHz		1.6	-			
			すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)	ICLK = 48MHz		12.1	-			
				ICLK = 32MHz		8.3	-			
				ICLK = 16MHz		4.6	-			
				ICLK = 8MHz		2.8	-			
		すべての周辺クロックが 有効、(1) コードはフ ラッシュから実行 (注5)	ICLK = 48MHz	12.6	-	(注9) (注11)				
			ICLK = 32MHz	10.9	-	(注8) (注11)				
			ICLK = 16MHz	5.9	-					
			ICLK = 8MHz	3.4	-					
		スリープモード	すべての周辺クロックが 無効 (注5)	ICLK = 48MHz	I _{CC}	-	28.5		(注9) (注11)	
				ICLK = 32MHz		2.7	-		(注7)	
				ICLK = 16MHz		2.1	-			
				ICLK = 8MHz		1.5	-			
	すべての周辺クロックが 有効 (注5)		ICLK = 48MHz	9.8		-	(注9)			
			ICLK = 32MHz	8.9		-	(注8)			
			ICLK = 16MHz	5.0		-				
			ICLK = 8MHz	2.9		-				
	BGO動作中に増加 (注6)					2.5	-	-		
	Middle-speed モード (注2)	通常モード	すべての周辺クロックが 無効、(1) コードはフ ラッシュから実行 (注5)	ICLK = 12MHz	I _{CC}	1.6	-	mA	(注7) (注11)	
				ICLK = 8MHz		1.3	-			
				すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)		ICLK = 12MHz	3.4			-
ICLK = 8MHz						2.6	-			
すべての周辺クロックが 有効、(1) コードはフ ラッシュから実行 (注5)			ICLK = 12MHz			4.3	-			(注8) (注11)
			ICLK = 8MHz			3.1	-			
			すべての周辺クロックが 有効、コードはフラッ シュから実行 (注5)	ICLK = 12MHz		-	12.6			
				ICLK = 8MHz						
スリープモード		すべての周辺クロックが 無効 (注5)		ICLK = 12MHz		1.0	-		(注7)	
				ICLK = 8MHz		0.9	-			
		すべての周辺クロックが 有効 (注5)	ICLK = 12MHz	3.6		-	(注8)			
			ICLK = 8MHz	2.7		-				
BGO動作中に増加 (注6)					2.5	-	-			

表 2.10 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
供給電流 (注1)	Low-speed モード (注3)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 1MHz	I _{CC}	0.3	-	mA	(注7) (注11)
			すべての周辺クロックが無効、CoreMark コードはフラッシュから実行 (注5)	ICLK = 1MHz		0.4	-		
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 1MHz		0.5	-		(注8) (注11)
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 1MHz		-	2.5		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 1MHz	0.2	-	(注7)		
			すべての周辺クロックが有効 (注5)	ICLK = 1MHz	0.4	-	(注8)		
	Low-voltage モード (注3)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 4MHz	I _{CC}	1.5	-	mA	(注7) (注11)
			すべての周辺クロックが無効、CoreMark コードはフラッシュから実行 (注5)	ICLK = 4MHz		2.2	-		
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 4MHz		2.5	-		(注8) (注11)
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 4MHz		-	7.0		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 4MHz	1.3	-	(注7)		
			すべての周辺クロックが有効 (注5)	ICLK = 4MHz	2.3	-	(注8)		
	Subosc- speedモード (注4)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 32.768kHz	I _{CC}	6.5	-	μA	(注8) (注11)
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 32.768kHz		12.1	-		
すべての周辺クロックが有効、コードはフラッシュから実行 (注5)			ICLK = 32.768kHz	-		190.0			
スリープモード		すべての周辺クロックが無効 (注5)	ICLK = 32.768kHz	4.5	-	(注8)			
		すべての周辺クロックが有効 (注5)	ICLK = 32.768kHz	10.2	-	(注8)			

注 1. 供給電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS が OFF 状態のとき、この値が適用されます。

注 2. クロックソースは HOCO です。

注 3. クロックソースは MOCO です。

注 4. クロックソースはサブクロック発振器です。

注 5. BGO 動作は含まれません。

注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。

注 7. FCLK、PCLKB、および PCLKD は、64 分周に設定されています。

注 8. FCLK、PCLKB、および PCLKD は、ICLK と同じ周波数です。

注 9. FCLK と PCLKB は、2 分周に設定されています。PCLKD は、ICLK と同じ周波数です。

注 10. VCC = 3.3V

注 11. フラッシュキャッシュは動作中です。

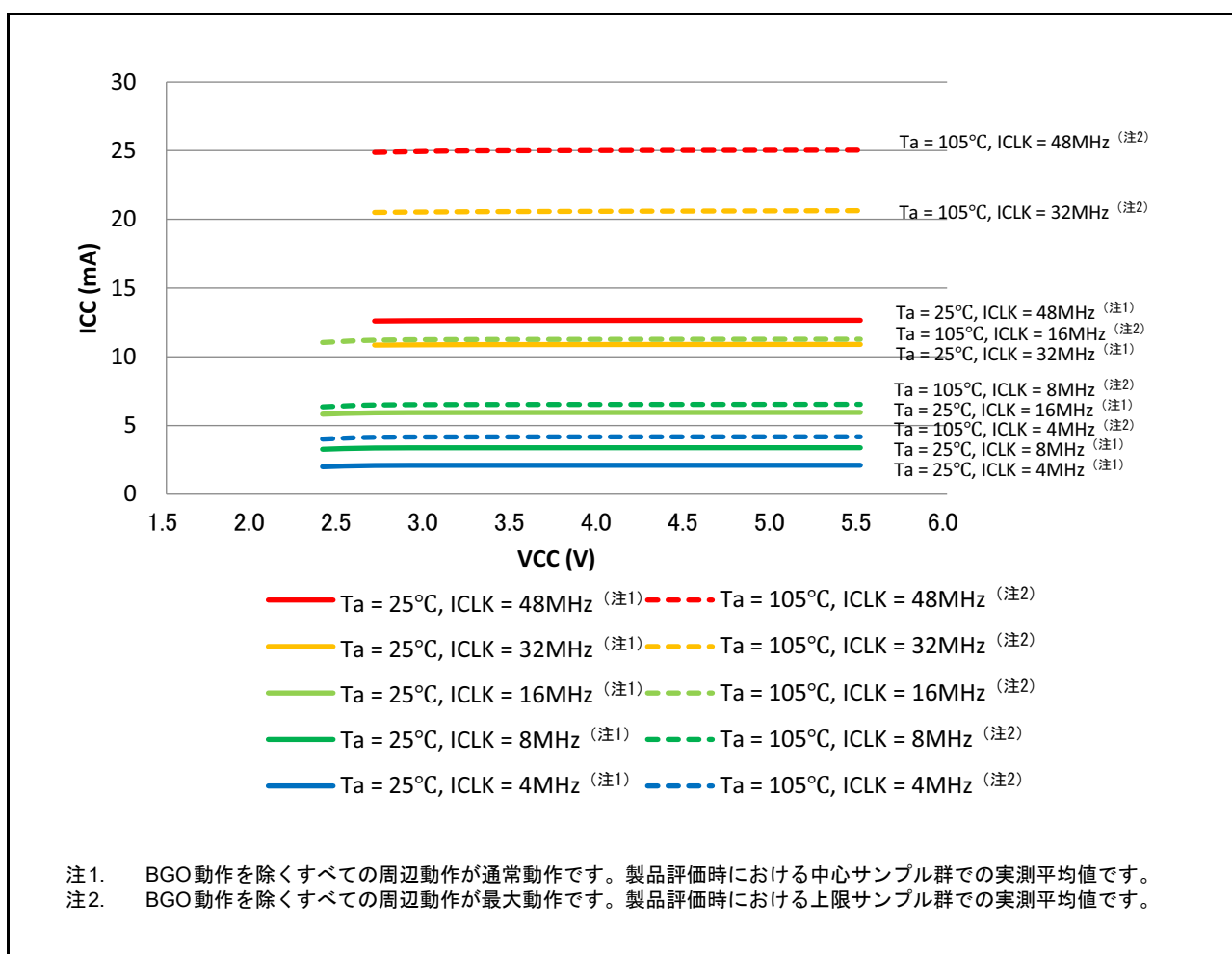


図 2.17 High-speed モードにおける電圧依存性 (参考データ)

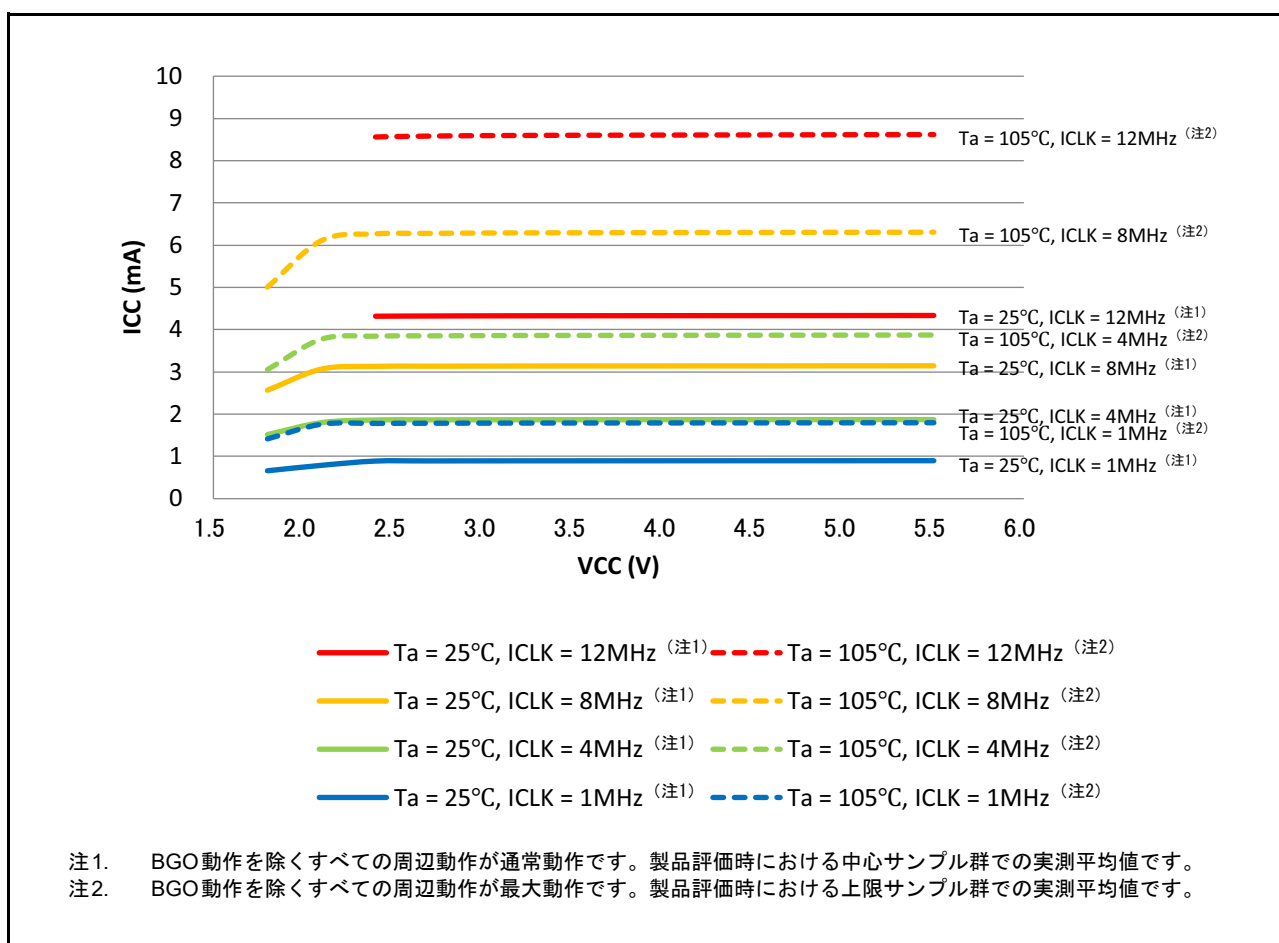


図 2.18 Middle-speed モードにおける電圧依存性 (参考データ)

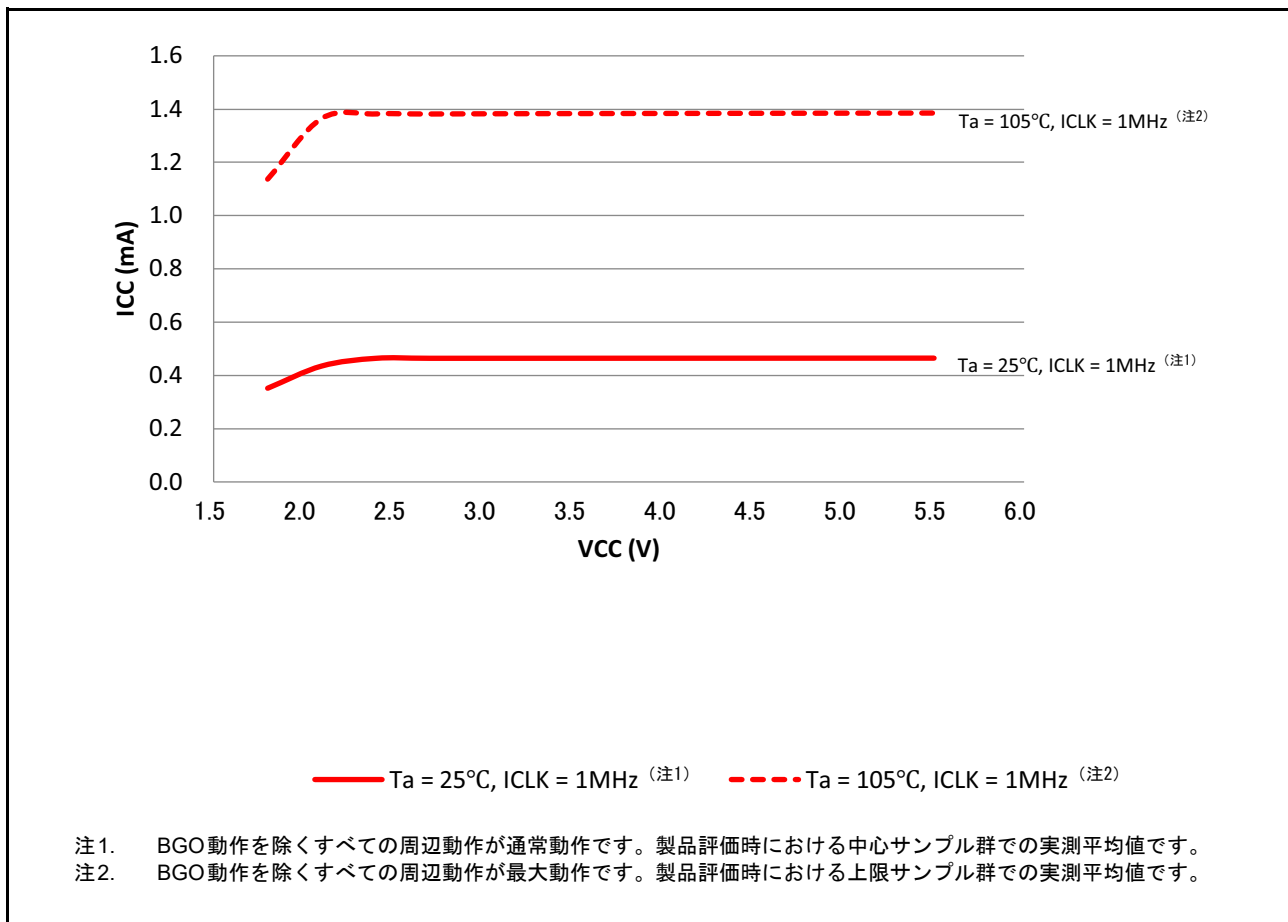


図 2.19 Low-speed モードにおける電圧依存性 (参考データ)

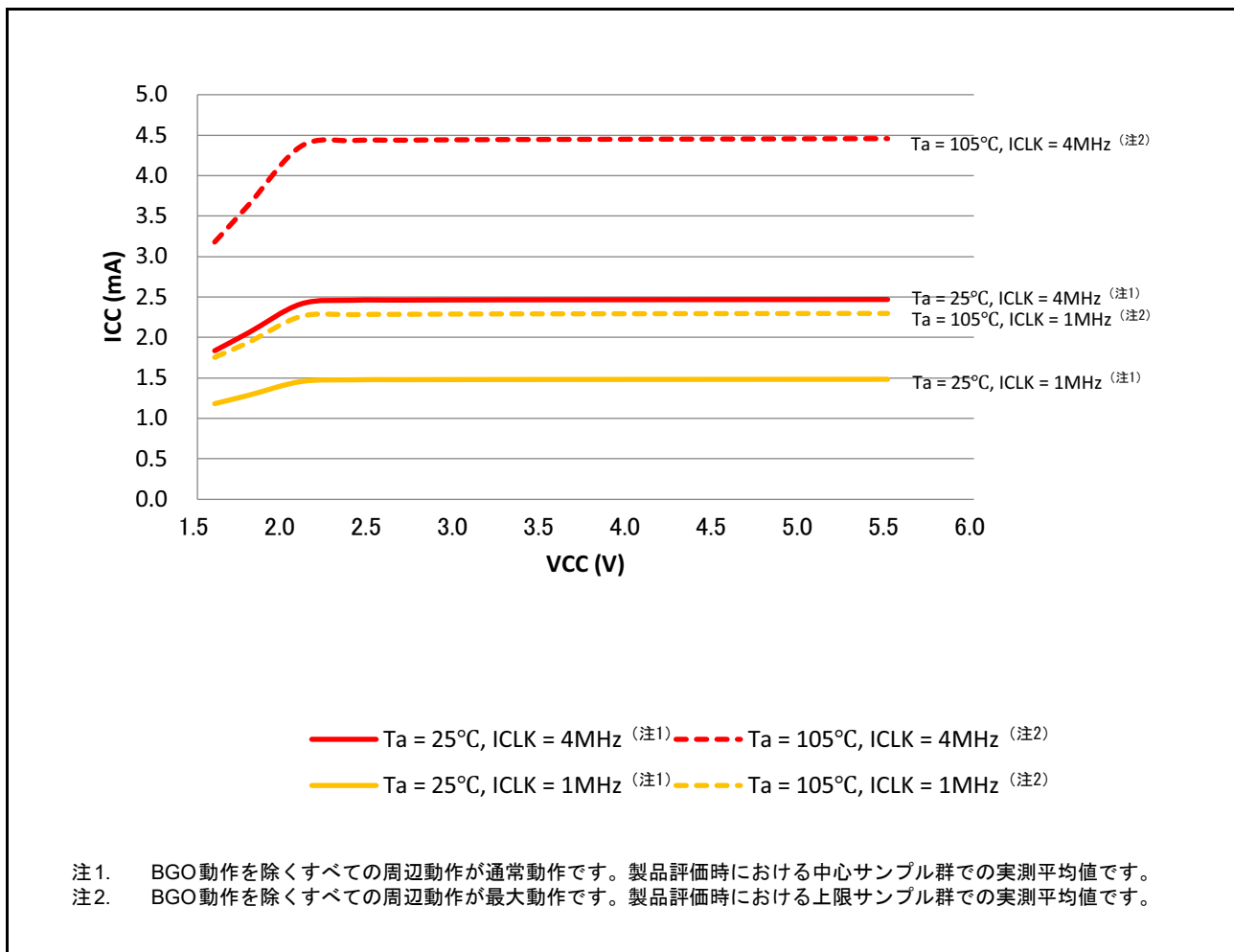


図 2.20 Low-voltage モードにおける電圧依存性 (参考データ)

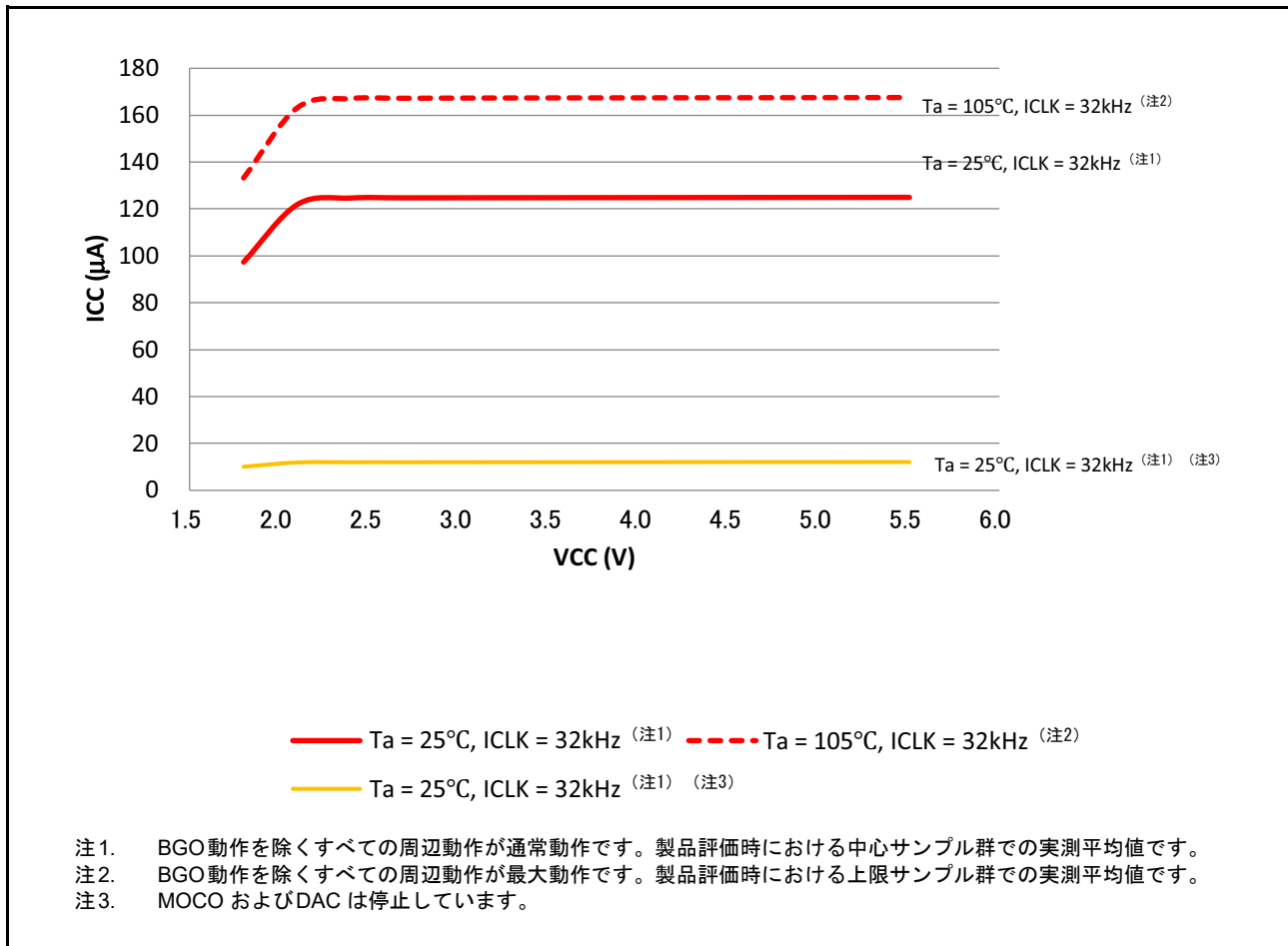


図 2.21 Subosc-speed モードにおける電圧依存性 (参考データ)

表 2.11 動作電流とスタンバイ電流 (2)

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目		シンボル	Typ (注3)	Max	単位	測定条件	
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	I _{CC}	T _a = 25°C	0.5	2.0	μA	-
			T _a = 55°C	0.8	7.0		
			T _a = 85°C	1.8	17.0		
			T _a = 105°C	4.4	45.0		
	低速オンチップオシレータでのRTC動作時増加分 (注4)	0.4	-	-			
サブクロックオシレータでのRTC動作時増加分 (注4)	0.5	-	SOMCR.SODRV[1:0] = 11b (低消費電力モード3)				
	1.3	-	SOMCR.SODRV[1:0] = 00b (通常モード)				

注1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。

注2. IWDT と LVD は動作していません。

注3. VCC = 3.3V

注4. 低速オンチップオシレータまたはサブ発振回路の電流を含みます。

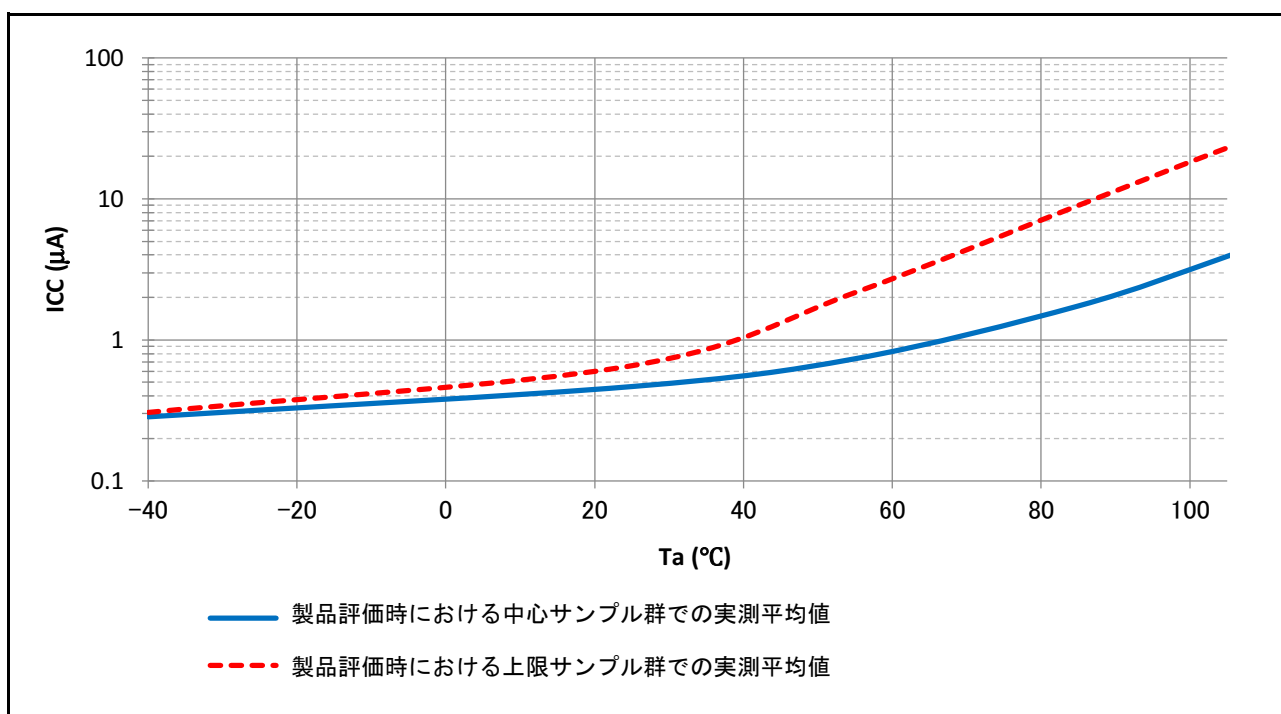
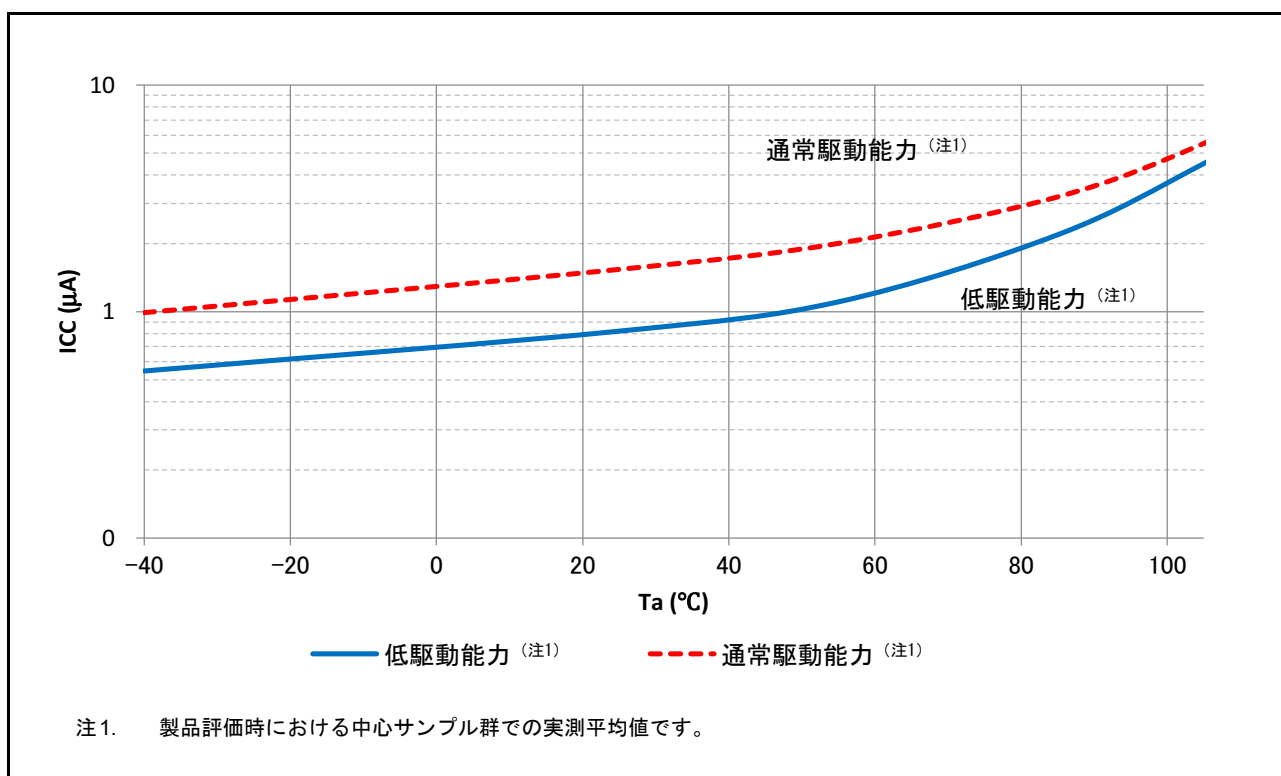


図 2.22 ソフトウェアスタンバイモード時の温度依存性 (参考データ)



注1. 製品評価時における中心サンプル群での実測平均値です。

図 2.23 RTC 動作の温度依存性 (参考データ)

表 2.12 動作電流とスタンバイ電流 (3)

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件	
アナログ電源電流	16ビットA/D変換中	I _{AVCC0}	-	-	1.5	mA	-	
	8ビットD/A変換中 (チャンネル当り) (注1)		-	-	1.6	mA	-	
	12ビットD/A変換中 (チャンネル当り) (注1)		-	-	0.9	mA	-	
	16ビットA/D、8ビットD/Aおよび12ビットD/A変換待機時 (全ユニット) (注5)		-	-	2.0	μA	-	
	24ビットシグマデルタA/D変換中 (通常モード)	I _{AVCC1}	-	-	1.29	mA	-	
	24ビットシグマデルタA/D変換中 (低消費電力変換時)		-	-	1.06	mA	G _{SET1} = 8、 または G _{TOTAL} = 24,32	
	24ビットシグマデルタA/D変換待ち (注6)		-	-	0.9	mA	G _{SET1} 、G _{TOTAL} = その他	
基準電源電流	16ビットA/D変換中	I _{REFH0}	-	-	80	μA	-	
	16ビットA/D変換待ち		-	-	60	nA	-	
	12ビットD/A変換中	I _{REFH}	-	-	650	μA	-	
	12ビットD/A変換待ち		-	-	100	nA	-	
	24ビットシグマデルタA/D変換中	I _{REFI}	-	-	30	μA	外部VREFモード	
温度センサ (TSN) 動作電流		I _{TNS}	-	75	-	μA	-	
低消費電力アナログコンパレータ (ACMPLP) の動作電流	ウィンドウコンパレータ (High-speedモード)	I _{CMPLP}	-	15	-	μA	-	
	コンパレータ (High-speedモード)		-	10	-	μA	-	
	コンパレータ (Low-speedモード)		-	2	-	μA	-	
高速アナログコンパレータ (ACMPHS) の動作電流		I _{CPMHS}	-	70	100	μA	AVCC0 ≥ 2.7V	
オペアンプ (OPAMP) の動作電流	低消費電力モード	I _{AMP}	1ユニット動作時	-	10	16	μA	-
			2ユニット動作時	-	19	30	μA	-
			3ユニット動作時	-	28	44	μA	-
	Middle-speedモード		1ユニット動作時	-	280	360	μA	-
			2ユニット動作時	-	530	690	μA	-
			3ユニット動作時	-	770	1020	μA	-
	High-speedモード		1ユニット動作時	-	0.74	0.91	mA	-
			2ユニット動作時	-	1.41	1.74	mA	-
			3ユニット動作時	-	2.07	2.57	mA	-
ADC16動作電流用内部基準電圧		I _{VREFADC}	-	65	130	μA	-	
USBFS動作電流	以下の設定および条件でのUSB通信時： • ファンクションコントローラはフルスピードモード - バルクOUT転送は (64バイト) × 1 - バルクIN転送は (64バイト) × 1 • ホストデバイスはUSBポートから1メートルのUSBケーブルで接続	I _{USBF} (注2)	-	3.6 (VCC) 1.1 (VCC_USB) (注4)	-	mA	-	
	以下の設定および条件でのサスペンド状態時： • ファンクションコントローラはフルスピードモード (USB_DP端子はプルアップ) • ソフトウェアスタンバイモード • ホストデバイスはUSBポートから1メートルのUSBケーブルで接続	I _{SUSP} (注3)	-	0.35 (VCC) 170 (VCC_USB) (注4)	-	μA	-	

注 1. D/A 変換の電源電流値には、リファレンス電源電流も含まれています。

注 2. 電流は、USBFS のみ消費します。

注 3. サスペンド状態における MCU 消費電流の他に、USB_DP 端子のプルアップ抵抗からホストデバイスのプルダウン抵抗への供給電流が含まれます。

注 4. VCC = VCC_USB = 3.3V のとき

注 5. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD16 (ADC160 モジュールストップビット) がモジュールストップ状態の場合

注 6. MSTPCRD.MSTPD17 (SDADC24 モジュールストップビット) がモジュールストップ状態の場合

2.2.10 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.13 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = AVCC1 = 0 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時のVCC 立ち上がり勾配	起動時電圧モニタ0リセット無効	SrVCC	0.02	-	2	ms/V	-
	起動時電圧モニタ0リセット有効 (注1) (注2)				-		
	SCI/USB ブートモード (注2)				2		

注1. OFS1.LVDAS = 0 のとき

注2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ0からのリセットは無効です。

表 2.14 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

リップル電圧は、VCC上限 (5.5V) と下限 (1.6V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。
VCC変動がVCC±10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	-	-	10	kHz	図 2.24 $V_r(VCC) \leq VCC \times 0.2$
		-	-	1	MHz	図 2.24 $V_r(VCC) \leq VCC \times 0.08$
		-	-	10	MHz	図 2.24 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	-	-	ms/V	VCC変動がVCC±10%を超える場合

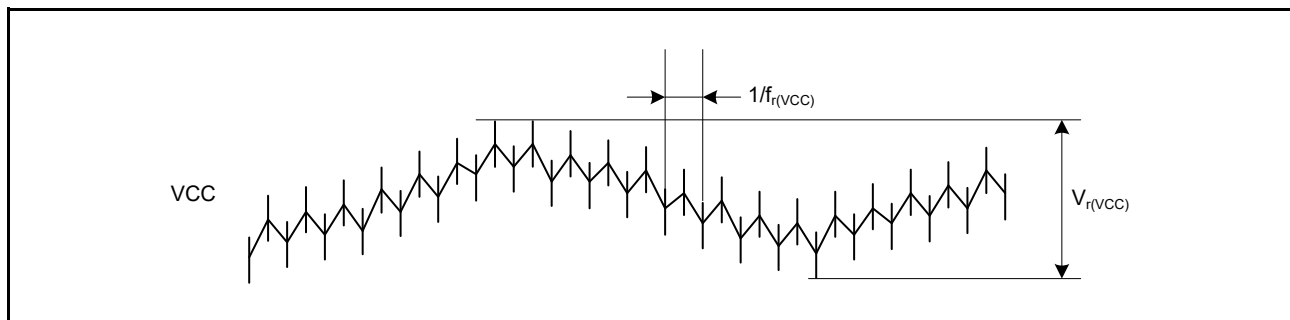


図 2.24 リップル波形

2.3 AC 特性

2.3.1 周波数

表 2.15 High-speed動作モードでの動作周波数

条件：VCC = AVCC0 = AVCC1 = 2.4 ~ 5.5V

項目			シンボル	Min	Typ	Max (注7)	単位
動作周波数	システムクロック (ICLK) (注6)	2.7 ~ 5.5V	f	0.032768	-	48	MHz
		2.4 ~ 2.7V		0.032768	-	16	
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注6)	2.7 ~ 5.5V		0.032768	-	32	
		2.4 ~ 2.7V		0.032768	-	16	
	周辺モジュールクロック (PCLKB) (注5) (注6)	2.7 ~ 5.5V		-	-	32	
		2.4 ~ 2.7V		-	-	16	
	周辺モジュールクロック (PCLKD) (注3) (注6)	2.7 ~ 5.5V		-	-	64 (注4)	
		2.4 ~ 2.7V		-	-	16	

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。
- 注 3. ADC16 使用時の PCLKD の下限周波数は 1MHz です。
- 注 4. ADC16 使用時の PCLKD の上限周波数は 32MHz です。
- 注 5. SDADC24 使用時の PCLKB の下限周波数は 1MHz です。
- 注 6. ICLK、PCLKB、PCLKD、および FCLK の周波数関係についてはユーザーズマニュアルの「9. クロック発生回路」を参照してください。
- 注 7. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.20 クロックタイミングを参照してください。

表 2.16 Middle-speed動作モードでの動作周波数

条件：VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max (注6)	単位
動作周波数	システムクロック (ICLK) (注5)	2.7 ~ 5.5V	f	0.032768	-	12	MHz
		2.4 ~ 2.7V		0.032768	-	12	
		1.8 ~ 2.4V		0.032768	-	8	
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注5)	2.7 ~ 5.5V		0.032768	-	12	
		2.4 ~ 2.7V		0.032768	-	12	
		1.8 ~ 2.4V		0.032768	-	8	
	周辺モジュールクロック (PCLKB) (注4) (注5)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	
	周辺モジュールクロック (PCLKD) (注3) (注5)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。
- 注 3. ADC16 使用時の PCLKD の下限周波数は 1MHz です。
- 注 4. SDADC24 使用時の PCLKB の下限周波数は 1MHz です。
- 注 5. ICLK、PCLKB、PCLKD、および FCLK の周波数関係についてはユーザーズマニュアルの「9. クロック発生回路」を参照してください。
- 注 6. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.20 クロックタイミングを参照してください。

表 2.17 Low-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max (注6)	単位
動作周波数	システムクロック (ICLK) (注5)	1.8 ~ 5.5V	f	0.032768	-	1	MHz
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注5)	1.8 ~ 5.5V		0.032768	-	1	
	周辺モジュールクロック (PCLKB) (注4) (注5)	1.8 ~ 5.5V		-	-	1	
	周辺モジュールクロック (PCLKD) (注3) (注5)	1.8 ~ 5.5V		-	-	1	

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。
- 注 3. ADC16 使用時の PCLKD の下限周波数は 1MHz です。
- 注 4. SDADC24 使用時の PCLKB の下限周波数は 1MHz です。
- 注 5. ICLK、PCLKB、PCLKD、および FCLK の周波数関係についてはユーザーズマニュアルの「9. クロック発生回路」を参照してください。
- 注 6. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.20 クロックタイミングを参照してください。

表 2.18 Low-voltage 動作モードでの動作周波数

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max (注6)	単位
動作周波数	システムクロック (ICLK) (注5)	1.6 ~ 5.5V	f	0.032768	-	4	MHz
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注5)	1.6 ~ 5.5V		0.032768	-	4	
	周辺モジュールクロック (PCLKB) (注4) (注5)	1.6 ~ 5.5V		-	-	4	
	周辺モジュールクロック (PCLKD) (注3) (注5)	1.6 ~ 5.5V		-	-	4	

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。
- 注 3. ADC16 使用時の PCLKD の下限周波数は 1MHz です。
- 注 4. SDADC24 使用時の PCLKB の下限周波数は 1MHz です。
- 注 5. ICLK、PCLKB、PCLKD、および FCLK の周波数関係についてはユーザーズマニュアルの「9. クロック発生回路」を参照してください。
- 注 6. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.20 クロックタイミングを参照してください。

表 2.19 Subosc-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注4)	1.8 ~ 5.5V	f	27.8528	32.768	37.6832	kHz
	フラッシュインタフェースクロック (FCLK) (注1) (注4)	1.8 ~ 5.5V		27.8528	32.768	37.6832	
	周辺モジュールクロック (PCLKB) (注3) (注4)	1.8 ~ 5.5V		-	-	37.6832	
	周辺モジュールクロック (PCLKD) (注2) (注4)	1.8 ~ 5.5V		-	-	37.6832	

- 注 1. フラッシュメモリのプログラムまたはイレースはできません。
- 注 2. ADC16 は使用できません。
- 注 3. SDADC24 は使用できません。
- 注 4. ICLK、PCLKB、PCLKD、および FCLK の周波数関係についてはユーザーズマニュアルの「9. クロック発生回路」を参照してください。

2.3.2 クロックタイミング

表 2.20 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	-	-	ns	図 2.25
EXTAL外部クロック入力Highレベルパルス幅	t_{XH}	20	-	-	ns	
EXTAL外部クロック入力Lowレベルパルス幅	t_{XL}	20	-	-	ns	
EXTAL外部クロック立ち上がり時間	t_{Xr}	-	-	5	ns	
EXTAL外部クロック立ち下がり時間	t_{Xf}	-	-	5	ns	
EXTAL外部クロック入力待機時間 (注1)	t_{EXWT}	0.3	-	-	μ s	-
EXTAL外部クロック入力周波数	f_{EXTAL}	-	-	20	MHz	$2.4 \leq VCC \leq 5.5$
		-	-	8		$1.8 \leq VCC < 2.4$
		-	-	1		$1.6 \leq VCC < 1.8$
メインクロック発振器発振周波数	f_{MAIN}	1	-	20	MHz	$2.4 \leq VCC \leq 5.5$
		1	-	8		$1.8 \leq VCC < 2.4$
		1	-	4		$1.6 \leq VCC < 1.8$
LOCOクロック発振周波数	f_{LOCO}	27.8528	32.768	37.6832	kHz	-
LOCOクロック発振安定時間	t_{LOCO}	-	-	100	μ s	図 2.26
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	-
MOCOクロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	-
MOCOクロック発振安定時間	t_{MOCO}	-	-	1	μ s	-
HOCOクロック発振周波数	f_{HOCO24}	23.64	24	24.36	MHz	$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		22.68	24	25.32		$T_a = -40 \sim -85^\circ\text{C}$ $1.6 \leq VCC < 1.8$
		23.76	24	24.24		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		23.52	24	24.48		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO32}	31.52	32	32.48		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		30.24	32	33.76		$T_a = -40 \sim 85^\circ\text{C}$ $1.6 \leq VCC < 1.8$
		31.68	32	32.32		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		31.36	32	32.64		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO48} (注3)	47.28	48	48.72		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		47.52	48	48.48		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		47.04	48	48.96		$T_a = -40 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO64} (注4)	63.04	64	64.96		$T_a = -40 \sim -20^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
		63.36	64	64.64		$T_a = -20 \sim 85^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
		62.72	64	65.28		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	HOCOクロック発振安定時間 (注5) (注6)	Low-voltage モード 以外	t_{HOCO24}	-		-
t_{HOCO32}			-	-		
t_{HOCO48}			-	-		
Low-voltage モード		t_{HOCO24}	-	-		
		t_{HOCO32}	-	-		
		t_{HOCO64}	-	-		

表 2.20 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック発振器発振周波数	f_{SUB}	-	32.768	-	kHz	-
サブクロック発振安定時間 (注2)	t_{SUBOSC}	-	0.5	-	s	図 2.28

- 注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間
- 注 2. SOSCCR.SOSTP ビットを変更してサブクロック発振器の動作が開始したら、サブクロック発振安定待機時間が経過してからサブクロック発振器の使用を開始してください。サブクロック発振安定待機時間は発振器製造者の推奨値以上にしてください。
- 注 3. 48MHz HOCO は、VCC = 1.8 ~ 5.5V の範囲内で使用できます。
- 注 4. 64MHz HOCO は、VCC = 2.4 ~ 5.5V の範囲内で使用できます。
- 注 5. MOCO 停止状態で HOCO.CR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振時に HOCO.CR.HCSTP ビットを 0 (発振) にすると、この仕様は 1 μ s に短縮されます。
- 注 6. OSCSF.HOCOSF を確認して、安定時間が経過したか確認してください。

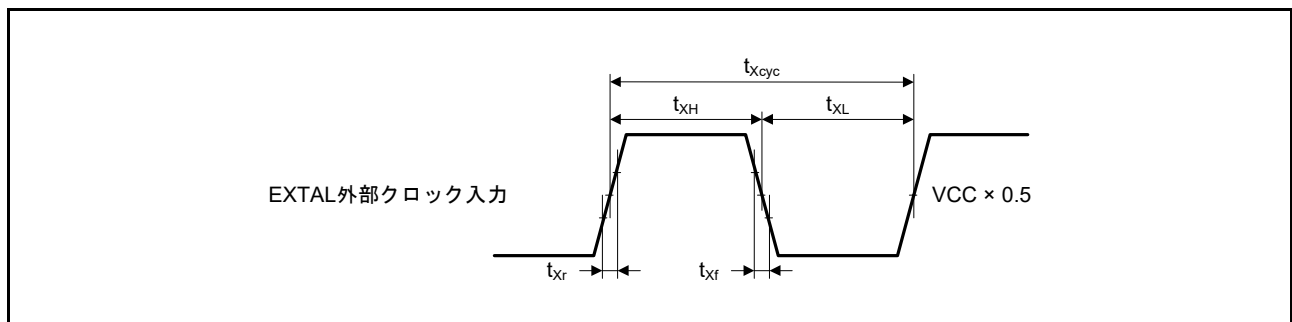


図 2.25 EXTAL 外部クロック入力タイミング

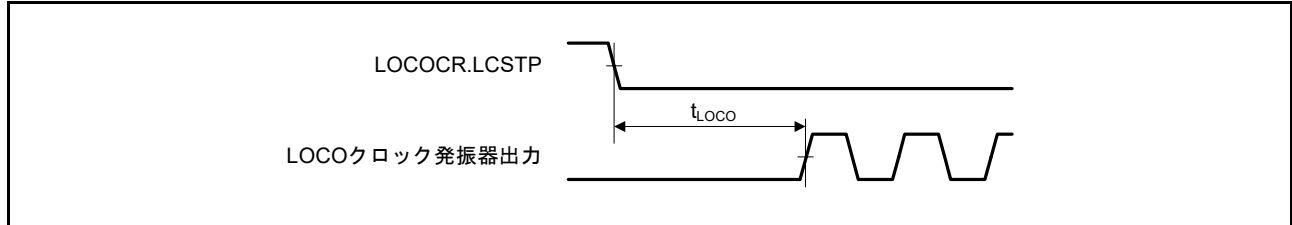


図 2.26 LOCO クロック発振開始タイミング

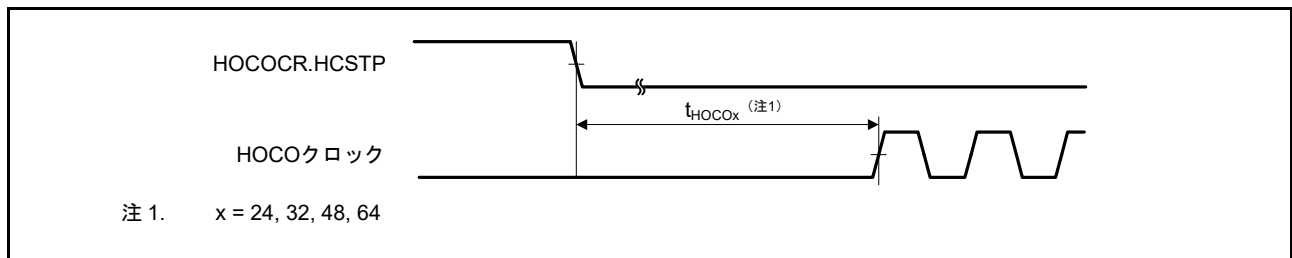


図 2.27 HOCO クロック発振開始タイミング (HOCO.CR.HCSTP ビット設定により開始)

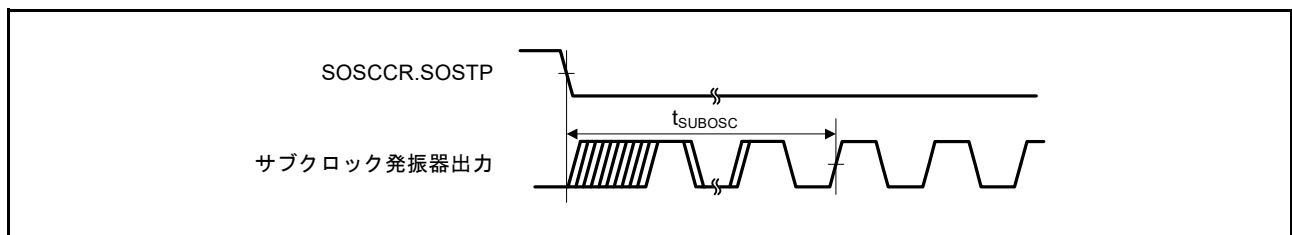


図 2.28 サブクロック発振開始タイミング

2.3.3 リセットタイミング

表 2.21 リセットタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件	
RESパルス幅	電源投入時	t_{RESWP}	3	-	-	ms	図 2.29
	電源投入時以外	t_{RESW}	30	-	-	μ s	図 2.30
RES解除後の待機時間 (電源投入時)	LVD0有効(注1)	t_{RESWT}	-	0.7	-	ms	図 2.29
	LVD0無効(注2)		-	0.3	-		
RES解除後の待機時間 (電源投入中)	LVD0有効(注1)	t_{RESWT2}	-	0.5	-	ms	図 2.30
	LVD0無効(注2)		-	0.1	-		
内部リセット解除後の待機時間 (ウォッチドッグタイマリセット、 SRAMパリティエラーリセット、 SRAM ECCエラーリセット、バス マスタMPUエラーリセット、バス スレーブMPUエラーリセット、 スタックポインタエラーリセット、 ソフトウェアリセット)	LVD0有効(注1)	t_{RESWT3}	-	0.6	-	ms	図 2.31
	LVD0無効(注2)		-	0.15	-		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

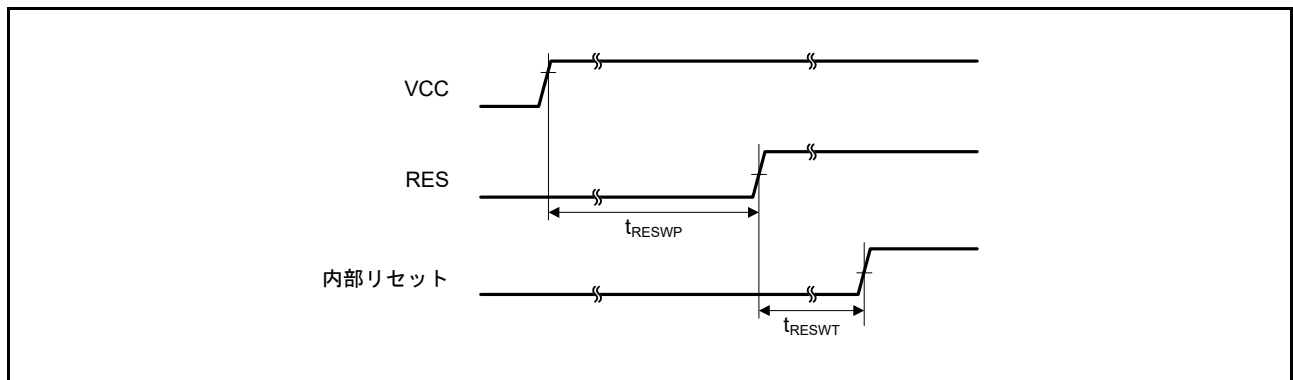


図 2.29 電源投入時リセット入力タイミング

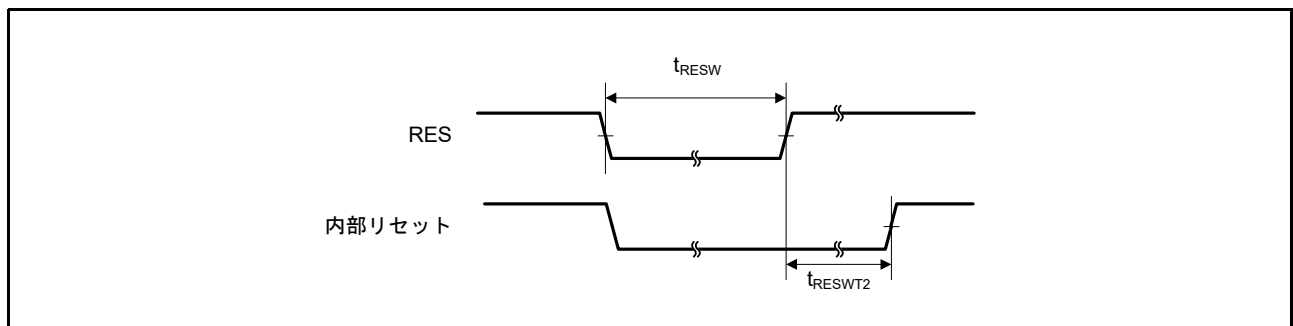


図 2.30 リセット入力タイミング (1)

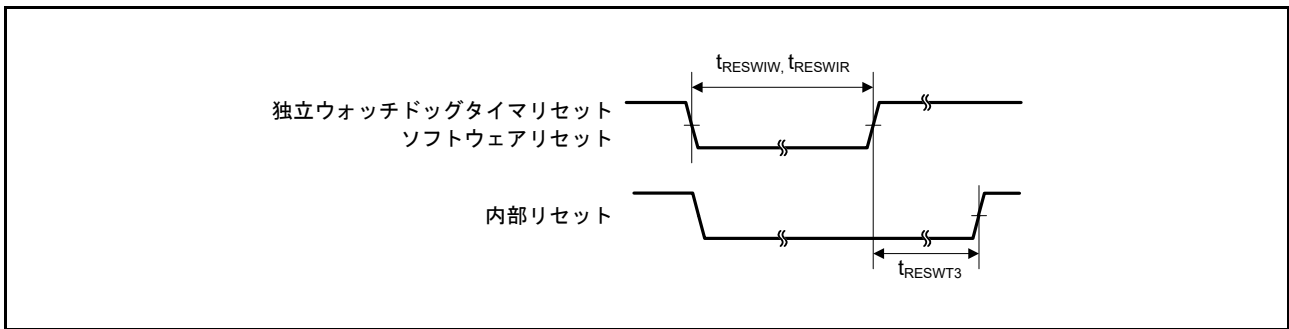


図 2.31 リセット入カタイミング (2)

2.3.4 ウェイクアップ時間

表 2.22 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	High-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 2.32
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20MHz) (注3)	t_{SBYEX}	-	14	25	μ s	
		システムクロックソースはHOCO (注4) (HOCOクロックは32MHz)		t_{SBYHO}	-	43	52	μ s	
		システムクロックソースはHOCO (注4) (HOCOクロックは48MHz)		t_{SBYHO}	-	44	52	μ s	
		システムクロックソースはHOCO (注5) (HOCOクロックは64MHz)		t_{SBYHO}	-	82	110	μ s	
		システムクロックソースはMOCO		t_{SBYMO}	-	16	25	μ s	

- 注 1. ICK および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。
 注 4. HOCO クロック待機コントロールレジスタ (HOCOWTCR) の設定値は 05h です。
 注 5. HOCO クロック待機コントロールレジスタ (HOCOWTCR) の設定値は 06h です。

表 2.23 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (12MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 2.32
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (12MHz) (注3)	t_{SBYEX}	-	2.9	10	μ s	
		システムクロックソースはHOCO (注4)		t_{SBYHO}	-	38	50	μ s	
		システムクロックソースはMOCO (8MHz)		t_{SBYMO}	-	3.5	5.5	μ s	

- 注 1. ICK、FCK、および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。
 注 4. システムクロックは 12MHz です。

表 2.24 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (1MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 2.32
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (1MHz) (注3)	t_{SBYEX}	-	28	50	μ s	
		システムクロックソースはMOCO (1MHz)		t_{SBYMO}	-	25	35	μ s	

注 1. ICK、FCK、および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 2.25 低消費電力モードからの復帰タイミング (4)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-voltage モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (4MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 2.32
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (4MHz) (注3)	t_{SBYEX}	-	108	130	μ s	
		システムクロックソースはHOCO (4MHz)		t_{SBYHO}	-	108	130	μ s	

注 1. ICK、FCK、および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 2.26 低消費電力モードからの復帰タイミング (5)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768kHz)	t_{SBYSC}	-	0.85	1	ms	図 2.32
		システムクロックソースはLOCO (32.768kHz)	t_{SBYLO}	-	0.85	1.2	ms	

注 1. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

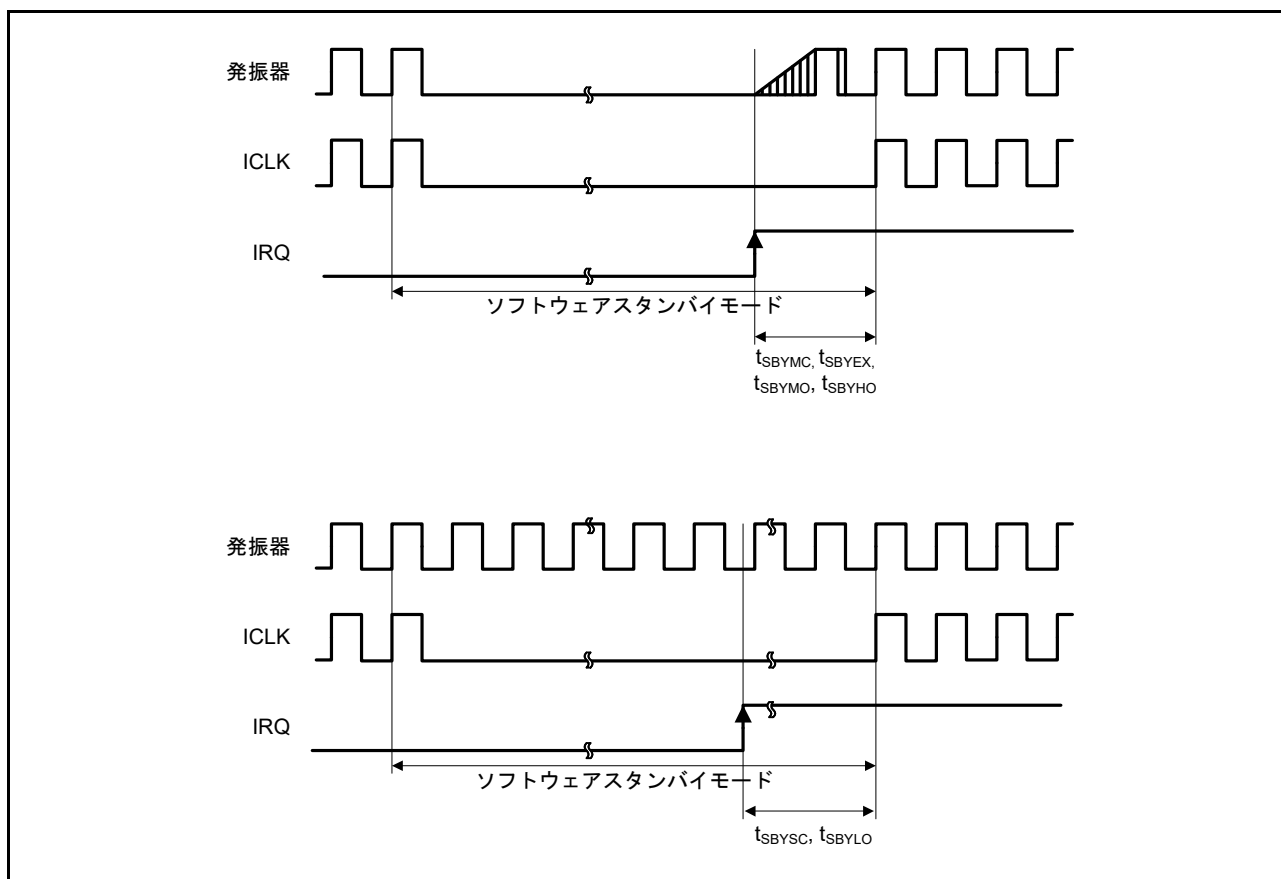


図 2.32 ソフトウェアスタンバイモード解除タイミング

表 2.27 低消費電力モードからの復帰タイミング (6)

項目	シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speedモード システムクロックソースはHOCO	t_{SNZ}	-	36	45	μs	図 2.33
	Middle-speedモード システムクロックソースはMOCO (8MHz)	t_{SNZ}	-	1.3	3.6	μs	
	Low-speedモード システムクロックソースはMOCO (1MHz)	t_{SNZ}	-	10	13	μs	
	Low-voltageモード システムクロックソースはHOCO (4MHz)	t_{SNZ}	-	87	110	μs	

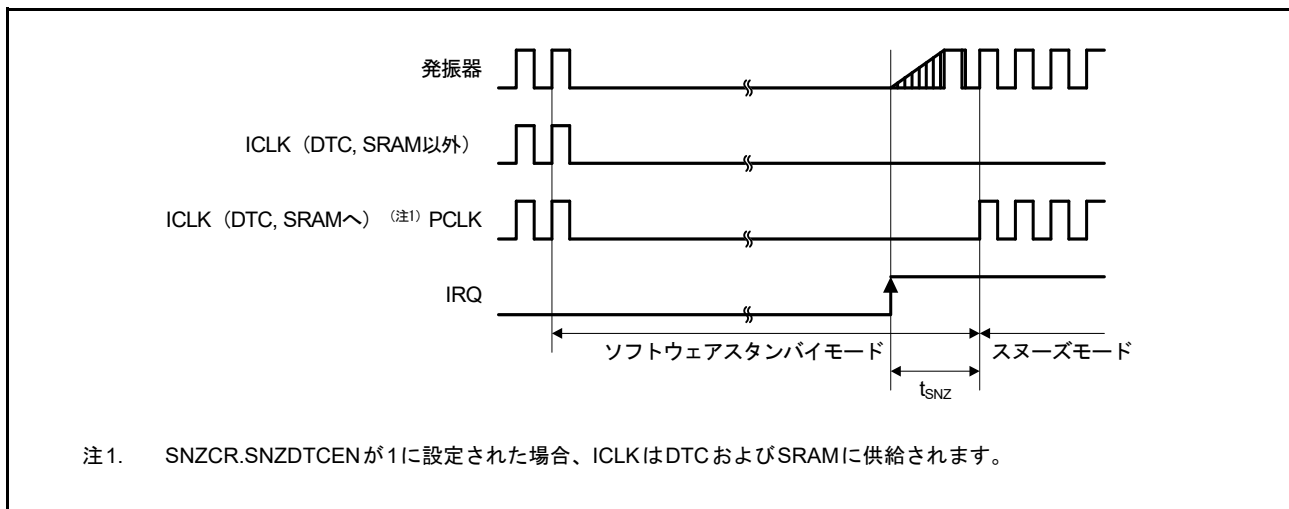


図 2.33 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.28 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	-	-	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	-	-			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	-	-	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	-	-			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小 200ns です。

注. クロックソース切り替え時、切り替えられたソースの 4 クロックサイクルを追加します。

注 1. t_{Pcyc} は PCLKB の周期を意味します。

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQ_i デジタルフィルタサンプリングクロックの周期を示します (i = 0 ~ 7)。

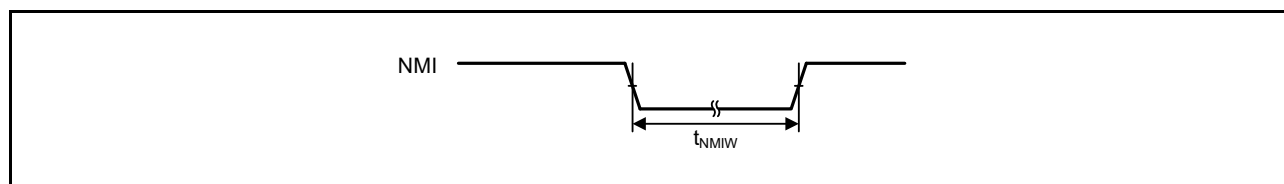


図 2.34 NMI 割り込み入力タイミング

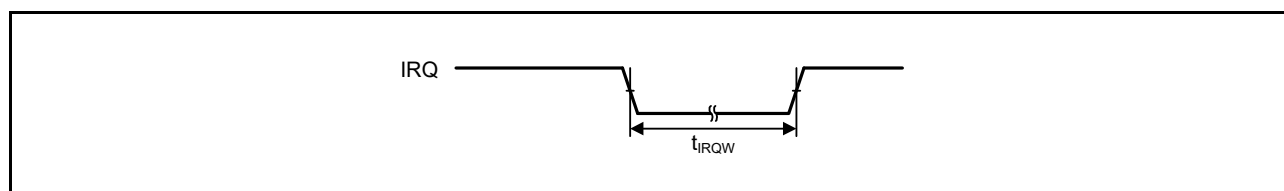


図 2.35 IRQ 割り込み入力タイミング

2.3.6 I/Oポート、POEG、GPT、AGT、KINT、ADC16のトリガタイミング

表 2.29 I/Oポート、POEG、GPT、AGT、KINT、ADC16のトリガタイミング

項目		シンボル	Min	Max	単位	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	-	t_{Pcyc}	図 2.36	
POEG	POEG入力トリガパルス幅	t_{POEW}	3	-	t_{Pcyc}	図 2.37	
GPT	インプットキャプチャパルス幅	t_{GTICW}	単エッジ	1.5	-	t_{PDcyc}	図 2.38
			両エッジ	2.5	-		
AGT	AGTIO、AGTEE入力サイクル	t_{ACYC} (注1)	$2.7V \leq VCC \leq 5.5V$	250	-	ns	図 2.39
			$2.4V \leq VCC < 2.7V$	500	-	ns	
			$1.8V \leq VCC < 2.4V$	1000	-	ns	
			$1.6V \leq VCC < 1.8V$	2000	-	ns	
	AGTIO、AGTEE入力Highレベル幅、Lowレベル幅	t_{ACKWH} 、 t_{ACKWL}	$2.7V \leq VCC \leq 5.5V$	100	-	ns	
			$2.4V \leq VCC < 2.7V$	200	-	ns	
			$1.8V \leq VCC < 2.4V$	400	-	ns	
			$1.6V \leq VCC < 1.8V$	800	-	ns	
	AGTIO、AGTO、AGTOA、AGTOB出力周期	t_{ACYC2}	$2.7V \leq VCC \leq 5.5V$	62.5	-	ns	
			$2.4V \leq VCC < 2.7V$	125	-	ns	
			$1.8V \leq VCC < 2.4V$	250	-	ns	
			$1.6V \leq VCC < 1.8V$	500	-	ns	
ADC16	16ビットA/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	-	t_{Pcyc}	図 2.40	
KINT	KRn (n = 00~07) パルス幅	t_{KR}	250	-	ns	図 2.41	

注. t_{Pcyc} : PCLKB サイクル、 t_{PDcyc} : PCLKD サイクル

注 1. 入力サイクルの制約事項:

ソースクロックを切り替えない場合は、 $t_{Pcyc} \times 2 < t_{ACYC}$ を満足すること。

ソースクロックを切り替える場合は、 $t_{Pcyc} \times 6 < t_{ACYC}$ を満足すること。

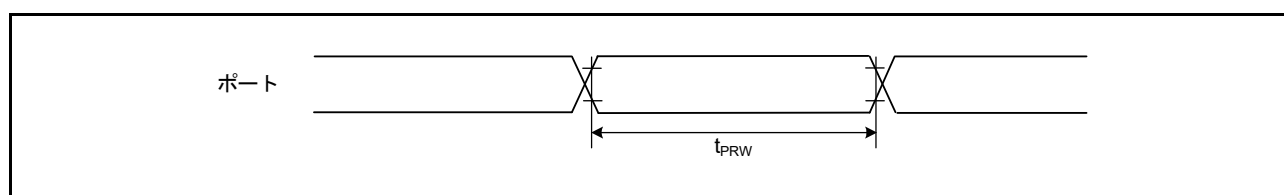


図 2.36 I/Oポート入力タイミング

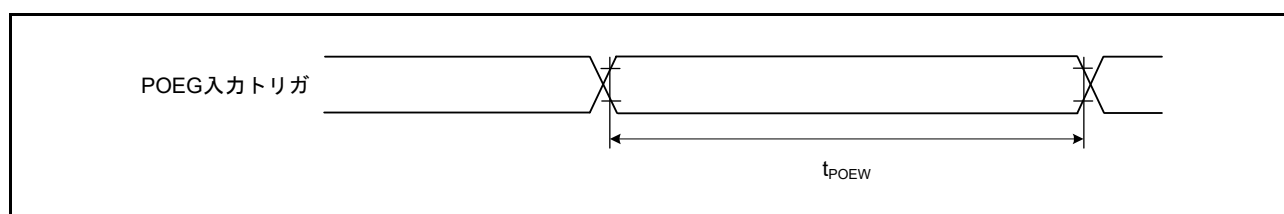


図 2.37 POEG 入力トリガタイミング

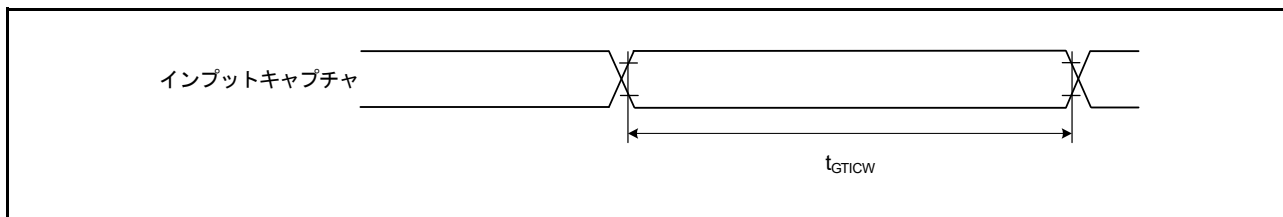


図 2.38 GPT インプットキャプチャタイミング

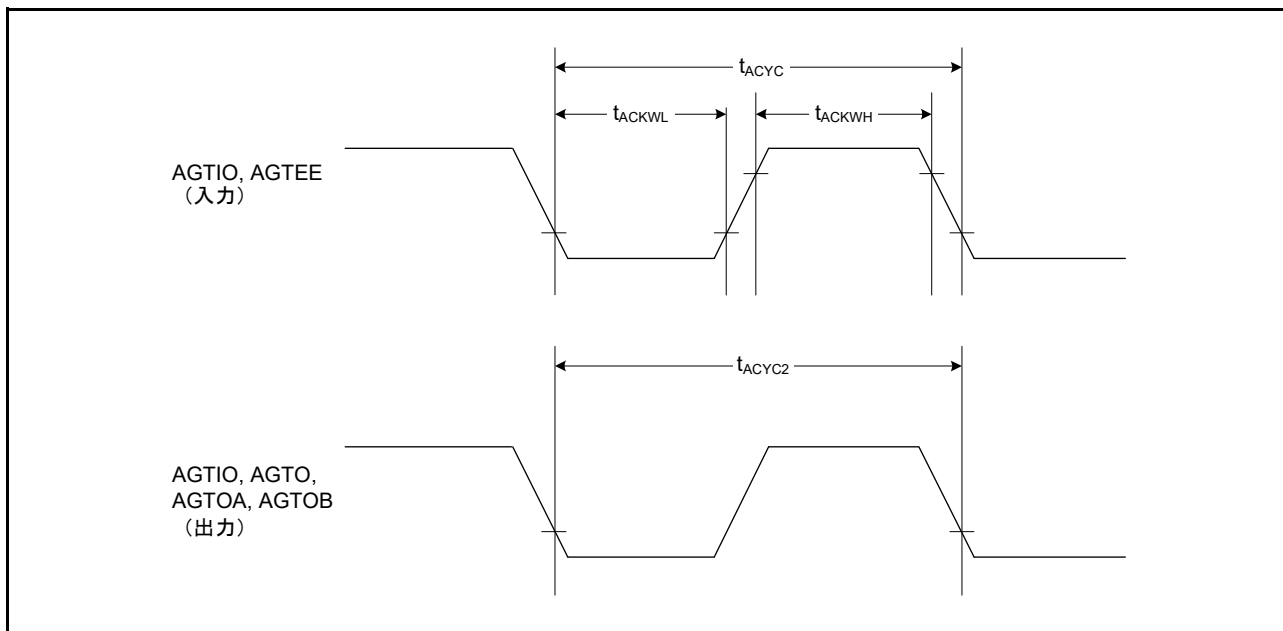


図 2.39 AGT 入出力タイミング

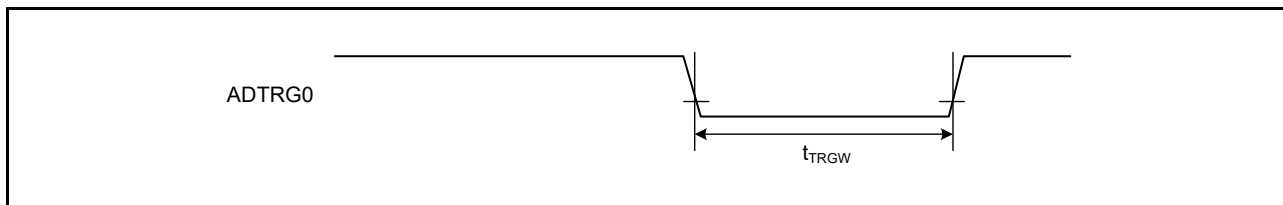


図 2.40 ADC16 トリガ入力タイミング

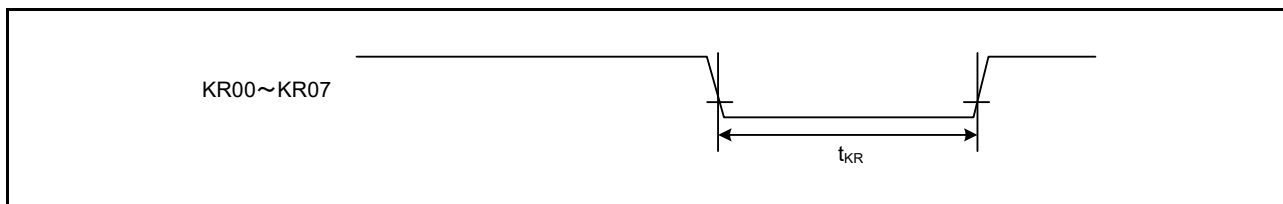


図 2.41 キー割り込み入力タイミング

2.3.7 CAC タイミング

表 2.30 CAC タイミング

条件：VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件	
CAC	CACREF 入力パルス幅	$t_{Pcyc}^{(注1)} \leq t_{cac}^{(注2)}$	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{Pcyc}$	-	-	ns	-
		$t_{Pcyc}^{(注1)} > t_{cac}^{(注2)}$		$5 \times t_{cac} + 6.5 \times t_{Pcyc}$	-	-	ns	

注 1. t_{Pcyc} : PCLKB の周期注 2. t_{cac} : CAC カウントクロックソースの周期

2.3.8 SCI タイミング

表 2.31 SCI タイミング (1)

条件：VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目		シンボル	Min	Max	単位 (注1)	測定条件			
SCI	入カクロックサイクル	調歩同期式	t_{Scyc}	4	-	t_{Pcyc}	図 2.42		
		クロック同期式		6	-				
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}			
	入カクロック立ち上がり時間		t_{SCKr}	-	20	ns			
	入カクロック立ち下がり時間		t_{SCKf}	-	20	ns			
	出カクロックサイクル	調歩同期式	t_{Scyc}	6	-	t_{Pcyc}			
		クロック同期式		4	-				
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}			
	出カクロック立ち上がり時間	$1.8V \leq VCC \leq 5.5V$	t_{SCKr}	-	20	ns			
		$1.6V \leq VCC < 1.8V$		-	30				
	出カクロック立ち下がり時間	$1.8V \leq VCC \leq 5.5V$	t_{SCKf}	-	20	ns			
		$1.6V \leq VCC < 1.8V$		-	30				
	送信データ遅延時間 (マスタ)	クロック同期式	$1.8V \leq VCC \leq 5.5V$	t_{TXD}	-	40		ns	図 2.43
			$1.6V \leq VCC < 1.8V$		-	45			
送信データ遅延時間 (スレーブ)	クロック同期式	$2.7V \leq VCC \leq 5.5V$	t_{TXD}	-	55	ns			
		$2.4V \leq VCC < 2.7V$		-	60				
		$1.8V \leq VCC < 2.4V$		-	100				
		$1.6V \leq VCC < 1.8V$		-	125				
受信データセットアップ時間 (マスタ)	クロック同期式	$2.7V \leq VCC \leq 5.5V$	t_{RXS}	45	-	ns			
		$2.4V \leq VCC < 2.7V$		55	-				
		$1.8V \leq VCC < 2.4V$		90	-				
		$1.6V \leq VCC < 1.8V$		110	-				
受信データセットアップ時間 (スレーブ)	クロック同期式	$2.7V \leq VCC \leq 5.5V$	t_{RXS}	40	-	ns			
		$1.6V \leq VCC < 2.7V$		45	-				
受信データホールド時間 (マスタ)	クロック同期式	t_{RXH}	5	-	ns				
受信データホールド時間 (スレーブ)	クロック同期式	t_{RXH}	40	-	ns				

注 1. t_{Pcyc} : PCLKB の周期

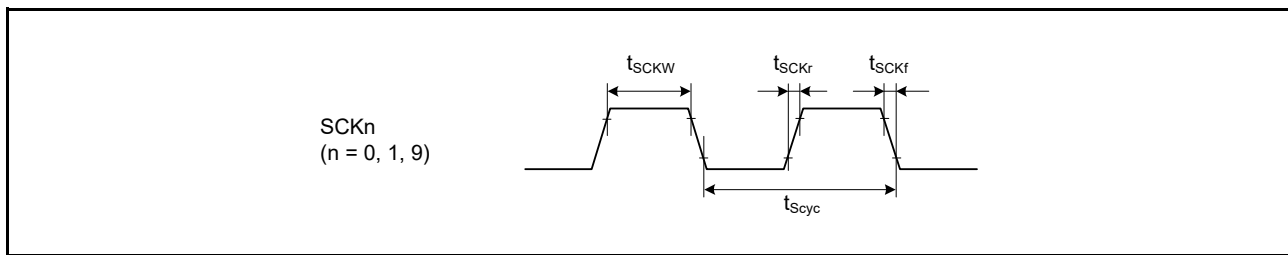


図 2.42 SCK クロック入力タイミング

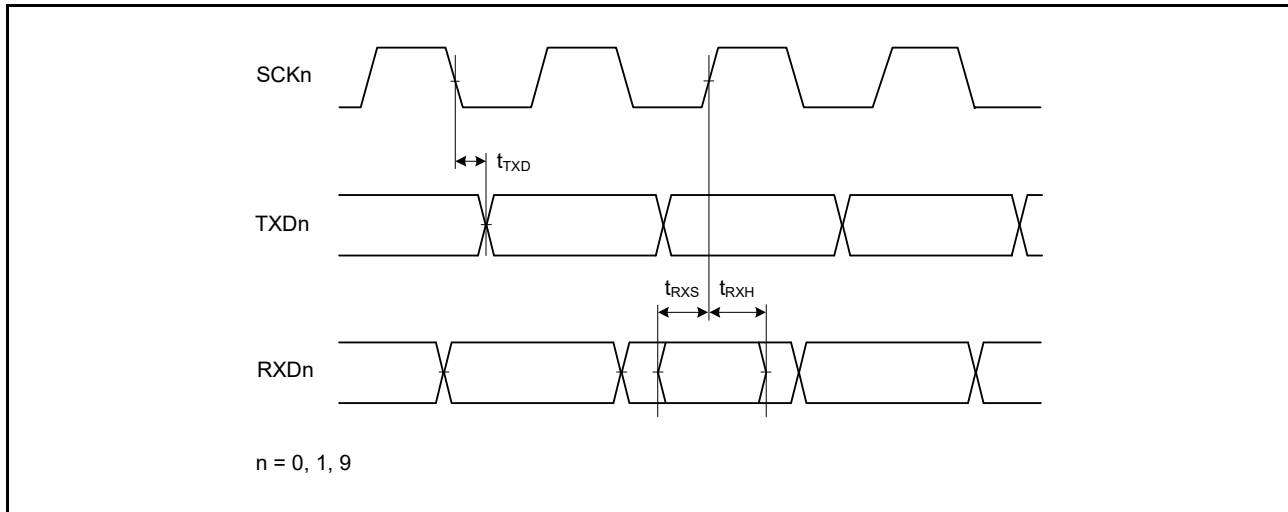


図 2.43 クロック同期式モードにおける SCI 入出力タイミング

表 2.32 SCI タイミング (2)

条件: VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目			シンボル	Min	Max	単位 (注1)	測定条件		
簡易 SPI	SCKクロックサイクル出力 (マスタ)		t_{SPCyc}	4	65536	t_{Pcyc}	図 2.44		
	SCKクロックサイクル入力 (スレーブ)			6	65536				
	SCKクロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPCyc}			
	SCKクロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPCyc}			
	SCKクロック立ち上がり/立ち下がり時間	1.8V \leq VCC \leq 5.5V		t_{SPCKr}	-	20		ns	
		1.6V \leq VCC < 1.8V		t_{SPCKf}	-	30			
	データ入力セットアップ時間	マスタ	2.7V \leq VCC \leq 5.5V	t_{SU}	45	-	ns	図 2.45 ~ 図 2.48	
			2.4V \leq VCC < 2.7V		55	-			
			1.8V \leq VCC < 2.4V		80	-			
			1.6V \leq VCC < 1.8V		110	-			
		スレーブ	2.7V \leq VCC \leq 5.5V		40	-			
			1.6V \leq VCC < 2.7V		45	-			
	データ入力ホールド時間	マスタ			t_H	33.3	-		ns
		スレーブ				40	-		
	SS入力セットアップ時間			t_{LEAD}	1	-	t_{SPCyc}		
SS入力ホールド時間			t_{LAG}	1	-	t_{SPCyc}			
データ出力遅延時間	マスタ	1.8V \leq VCC \leq 5.5V	t_{OD}	-	40	ns			
		1.6V \leq VCC < 1.8V		-	50				
	スレーブ	2.4V \leq VCC \leq 5.5V		-	65				
		1.8V \leq VCC < 2.4V		-	100				
		1.6V \leq VCC < 1.8V		-	125				
データ出力ホールド時間	マスタ	2.7V \leq VCC \leq 5.5V	t_{OH}	-10	-	ns			
		2.4V \leq VCC < 2.7V		-20	-				
		1.8V \leq VCC < 2.4V		-30	-				
		1.6V \leq VCC < 1.8V		-40	-				
	スレーブ				-10		-		
データ立ち上がり/立ち下がり時間	マスタ	1.8V \leq VCC \leq 5.5V	t_{Dr}, t_{Df}	-	20	ns			
		1.6V \leq VCC < 1.8V		-	30				
	スレーブ	1.8V \leq VCC \leq 5.5V		-	20				
		1.6V \leq VCC < 1.8V		-	30				
簡易 SPI	スレーブアクセス時間		t_{SA}	-	6	t_{Pcyc}	図 2.48		
	スレーブ出力解放時間		t_{REL}	-	6	t_{Pcyc}			

注 1. t_{Pcyc} : PCLKB の周期

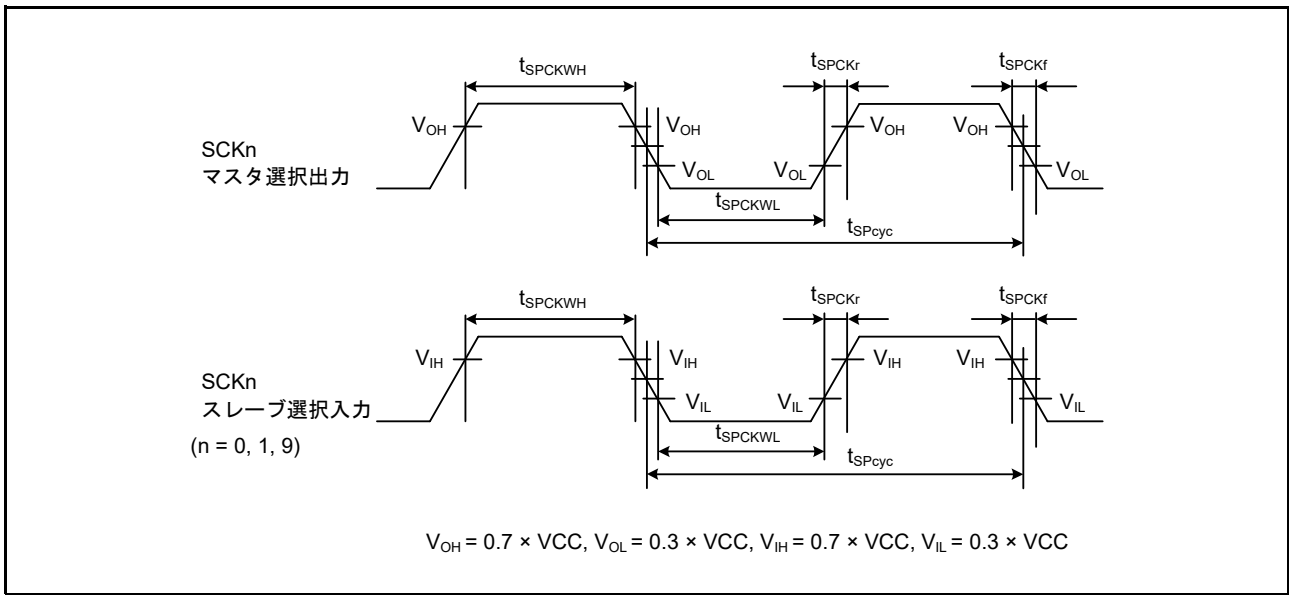


図 2.44 SCI 簡易 SPI モードクロックタイミング

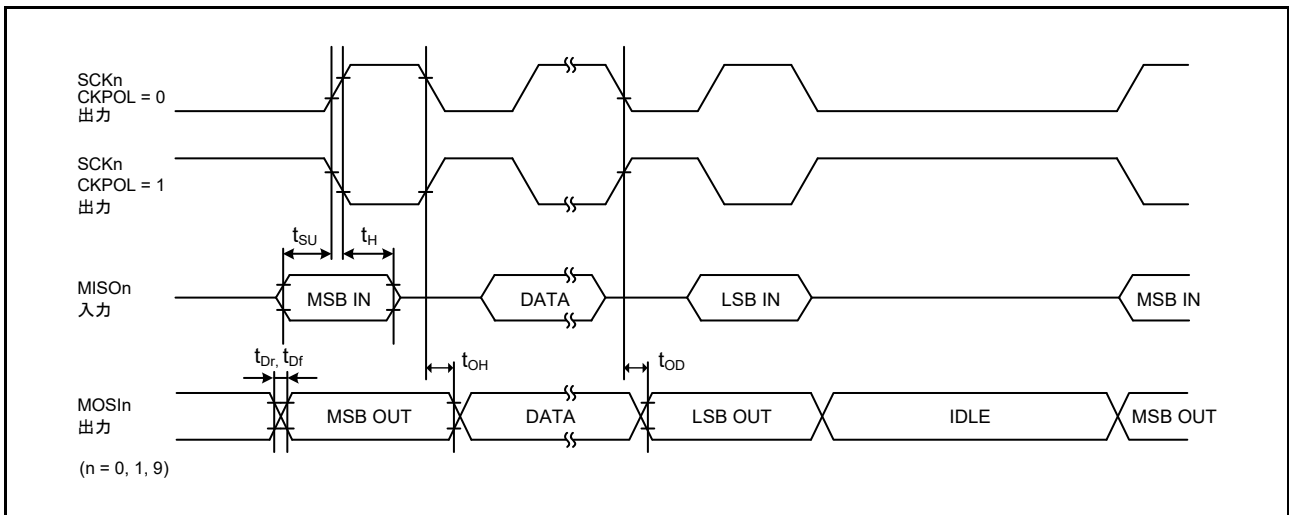


図 2.45 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

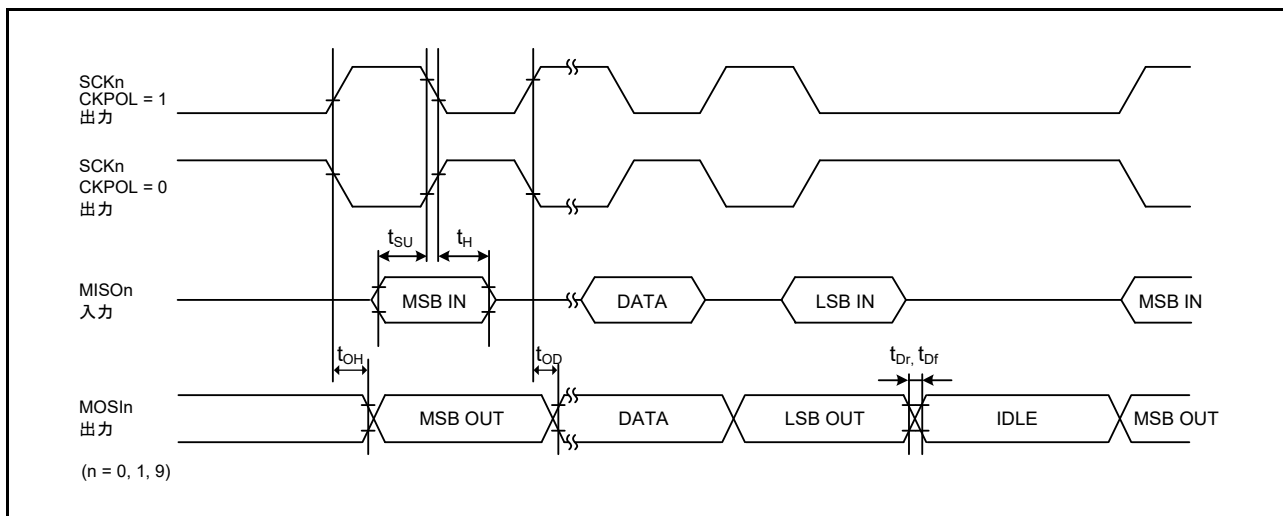


図 2.46 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

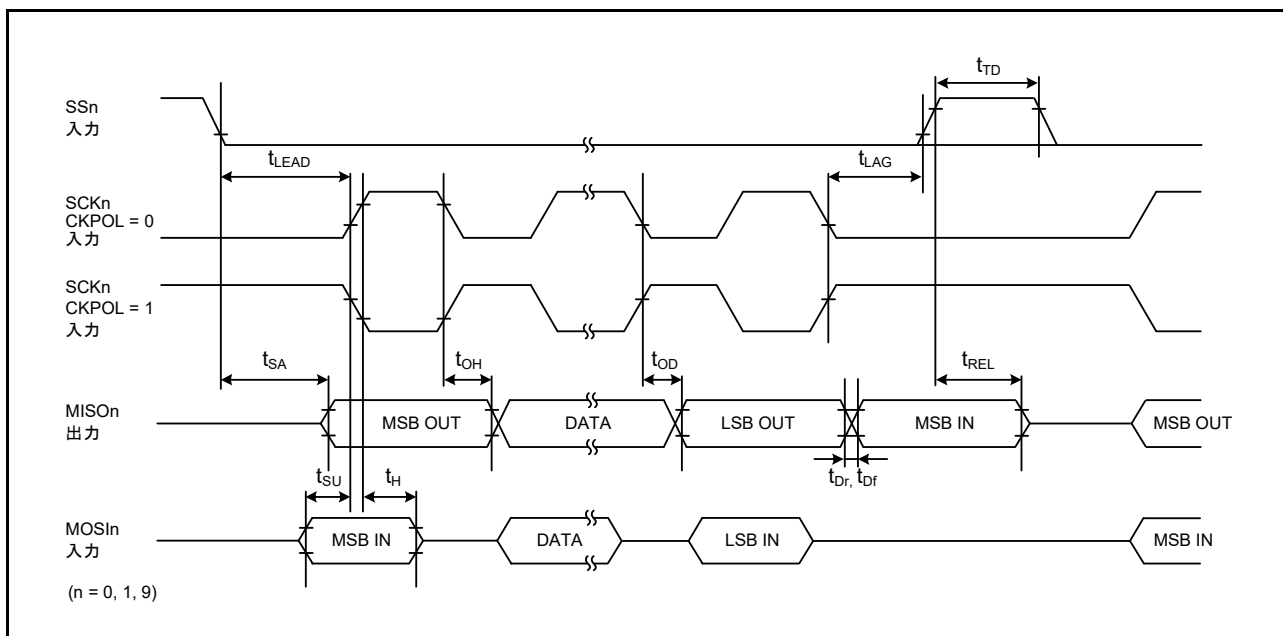


図 2.47 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

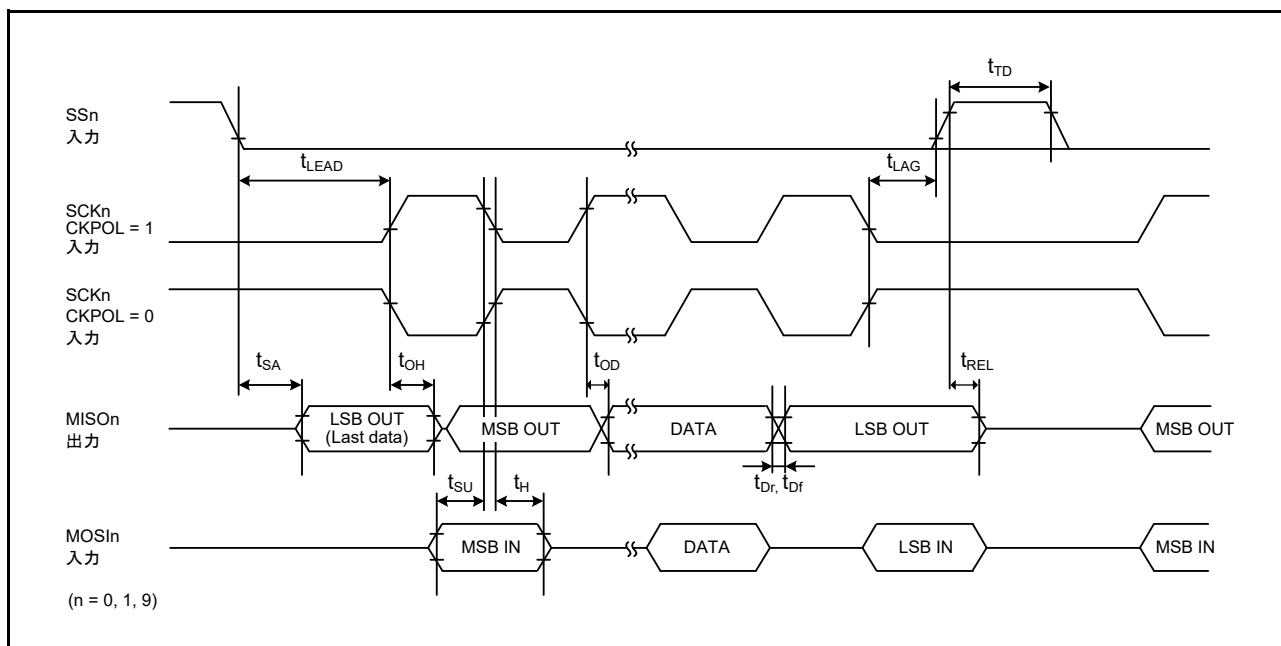


図 2.48 SCI 簡易 SPI モードタイミング (スレープ、CKPH = 0)

表 2.33 SCI タイミング (3)

条件 : VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	t_{Sr}	-	1000	ns	図 2.49
	SDA 入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入カセットアップ時間	t_{SDAS}	250	-	ns	
	データ入カホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の容量性負荷	C_b (注2)	-	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	-	300	ns	図 2.49
	SDA 入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入カセットアップ時間	t_{SDAS}	100	-	ns	
	データ入カホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の容量性負荷	C_b (注2)	-	400	pF	

注 1. t_{IICcyc} : SMR.CKS[1:0] ビットによって選択されたクロックサイクル。

注 2. C_b はバスラインの容量総計を意味します。

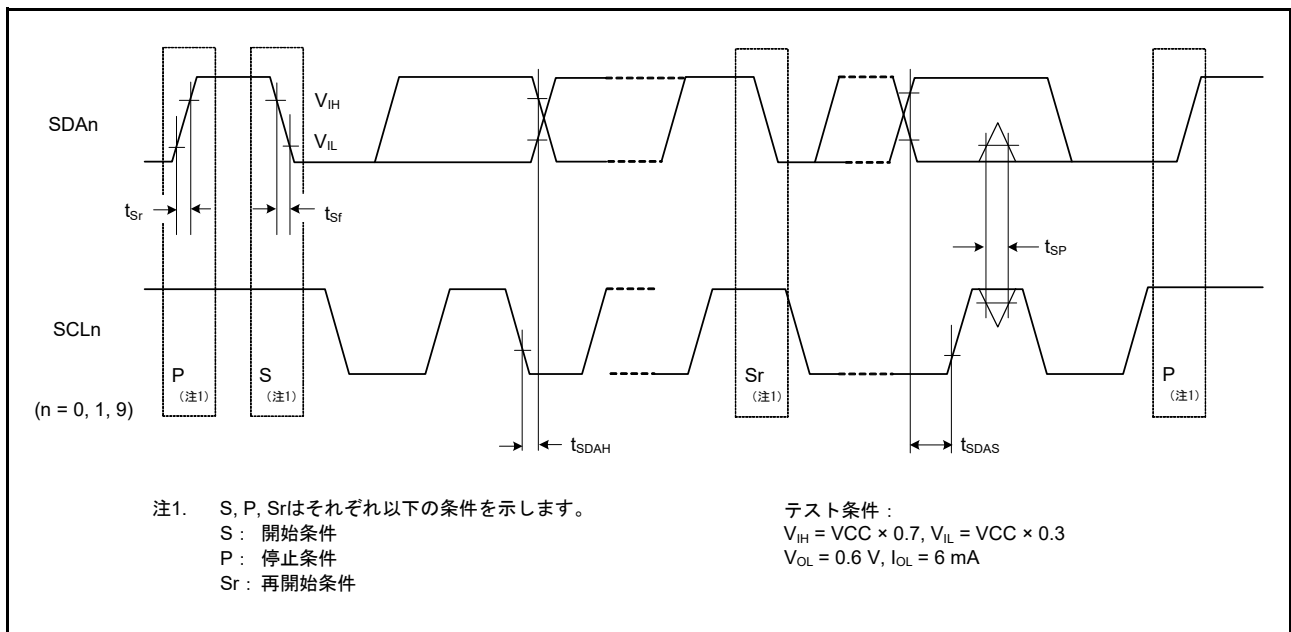


図 2.49 SCI 簡易 IIC モードタイミング

2.3.9 SPI タイミング

表 2.34 SPI タイミング (1/2)

条件：PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位 (注1)	測定条件	
SPI	RSPCKクロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc}	図 2.50 C = 30pF	
		スレーブ		6	4096			
	RSPCKクロック Highレベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	-	ns		
		スレーブ		$3 \times t_{Pcyc}$	-			
	RSPCKクロック Lowレベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	-	ns		
		スレーブ		$3 \times t_{Pcyc}$	-			
	RSPCKクロック立ち上がり／立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{SPCKr} t_{SPCKf}	-	10		ns
			$2.4V \leq VCC < 2.7V$		-	15		
			$1.8V \leq VCC \leq 2.4V$		-	20		
			$1.6V \leq VCC < 1.8V$		-	30		
		入力	-	1	μs			
	データ入力セットアップ時間	マスタ	t_{SU}	10	-	ns		図 2.51 ~ 図 2.56 C = 30pF
スレーブ		$2.4V \leq VCC \leq 5.5V$		10	-			
		$1.8V \leq VCC < 2.4V$		15	-			
		$1.6V \leq VCC < 1.8V$		20	-			
データ入力ホールド時間	マスタ (RSPCKはPCLKB/2)	t_{HF}	0	-	ns			
	マスタ (RSPCKはPCLKB/2以外)	t_H	t_{Pcyc}	-				
	スレーブ	t_H	20	-				
SSLセットアップ時間	マスタ	$1.8V \leq VCC \leq 5.5V$	t_{LEAD}	$-30 + N \times t_{SPcyc}$ (注2)	-	ns		
		$1.6V \leq VCC < 1.8V$		$-50 + N \times t_{SPcyc}$ (注2)	-			
	スレーブ	$6 \times t_{Pcyc}$		-	ns			
SSLホールド時間	マスタ	t_{LAG}	$-30 + N \times t_{SPcyc}$ (注3)	-	ns			
	スレーブ		$6 \times t_{Pcyc}$	-		ns		

表 2.34 SPI タイミング (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位 (注1)	測定条件	
SPI	データ出力遅延時間	マスタ	t_{OD}	$2.7V \leq VCC \leq 5.5V$	-	14	ns	図 2.51 ~ 図 2.56 C = 30pF
				$2.4V \leq VCC < 2.7V$	-	20		
				$1.8V \leq VCC < 2.4V$	-	25		
				$1.6V \leq VCC < 1.8V$	-	30		
		スレーブ		$2.7V \leq VCC \leq 5.5V$	-	50		
				$2.4V \leq VCC < 2.7V$	-	60		
				$1.8V \leq VCC < 2.4V$	-	85		
				$1.6V \leq VCC < 1.8V$	-	110		
	データ出力ホールド時間	マスタ	t_{OH}	0	-	ns		
		スレーブ		0	-			
	連続転送遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns		
		スレーブ		$6 \times t_{Pcyc}$	-			
MOSI、MISOの立ち上がり/ 立ち下がり時間	出力	t_{Dr}, t_{Df}	$2.7V \leq VCC \leq 5.5V$	-	10	ns		
			$2.4V \leq VCC < 2.7V$	-	15			
			$1.8V \leq VCC < 2.4V$	-	20			
			$1.6V \leq VCC < 1.8V$	-	30			
	入力		-	1	μs			
SSL立ち上がり/立ち下がり 時間	出力	$t_{SSLr},$ t_{SSLf}	$2.7V \leq VCC \leq 5.5V$	-	10	ns		
			$2.4V \leq VCC < 2.7V$	-	15			
			$1.8V \leq VCC < 2.4V$	-	20			
			$1.6V \leq VCC < 1.8V$	-	30			
	入力		-	1	μs			
スレーブアクセス時間		t_{SA}	$2.4V \leq VCC \leq 5.5V$	-	$2 \times t_{Pcyc} + 100$	ns	図 2.55 および 図 2.56 C = 30pF	
			$1.8V \leq VCC < 2.4V$	-	$2 \times t_{Pcyc} + 140$			
			$1.6V \leq VCC < 1.8V$	-	$2 \times t_{Pcyc} + 180$			
スレーブ出力解放時間		t_{REL}	$2.4V \leq VCC \leq 5.5V$	-	$2 \times t_{Pcyc} + 100$	ns		
			$1.8V \leq VCC < 2.4V$	-	$2 \times t_{Pcyc} + 140$			
			$1.6V \leq VCC < 1.8V$	-	$2 \times t_{Pcyc} + 180$			

注 1. t_{Pcyc} : PCLKB の周期

注 2. N は SPCKD レジスタにより、1 ~ 8 の整数に設定されます。

注 3. N は SSLND レジスタにより、1 ~ 8 の整数に設定されます。

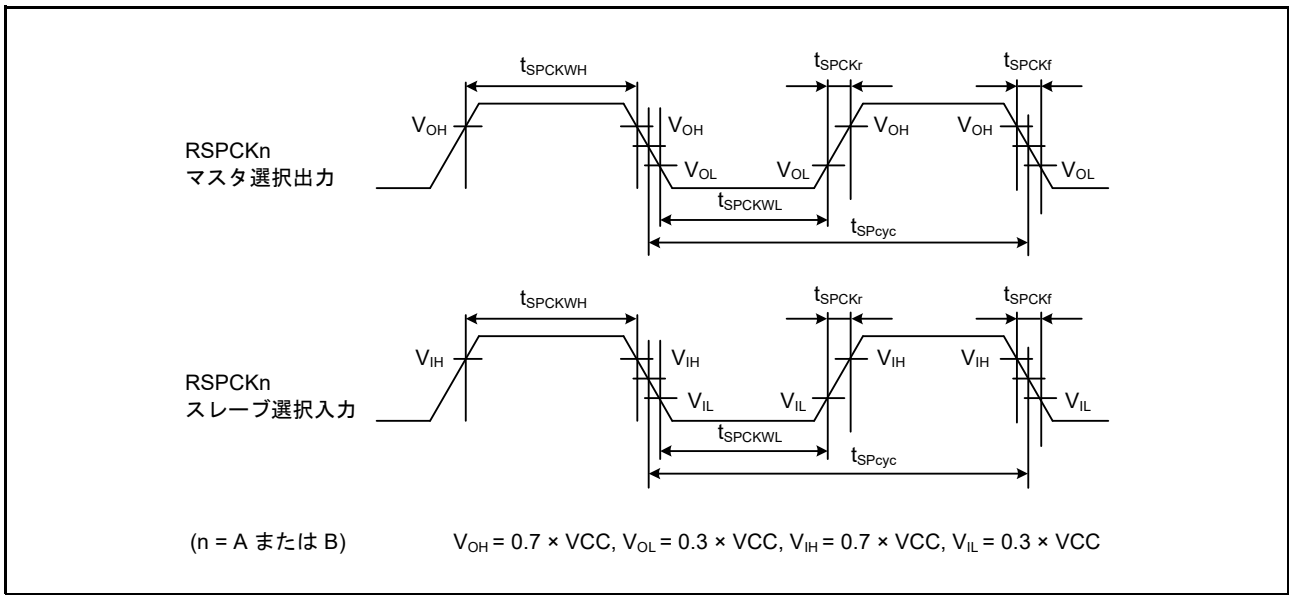


図 2.50 SPI クロックタイミング

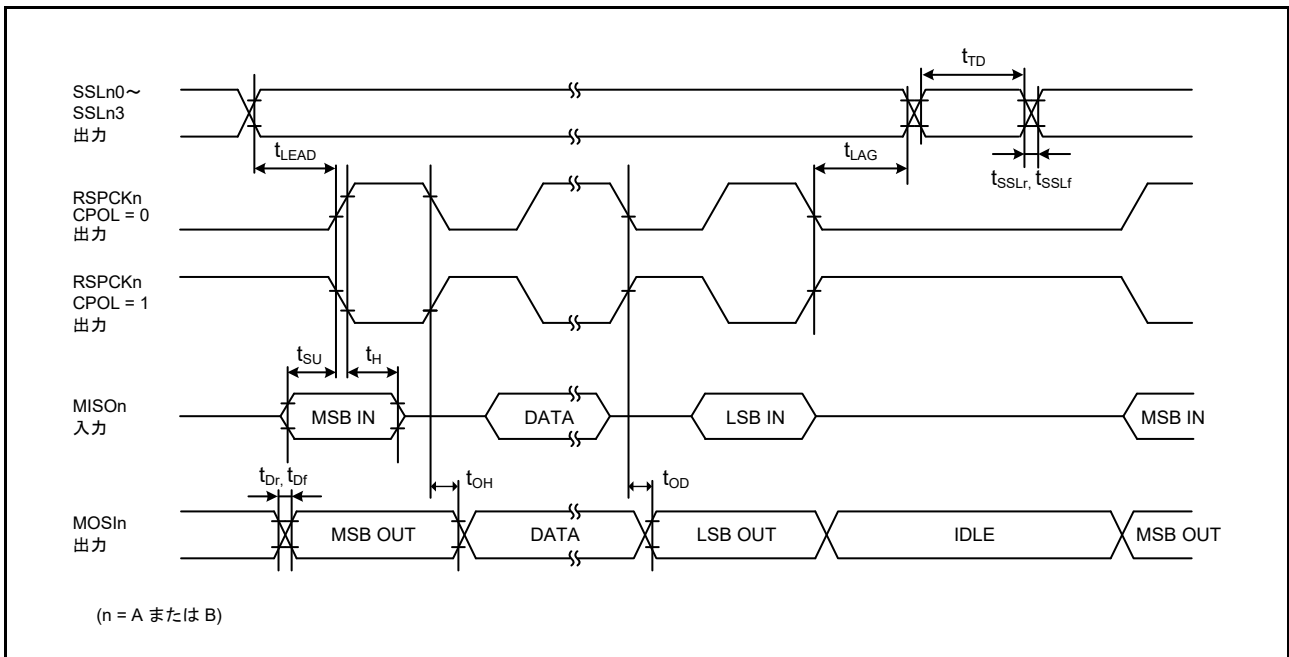


図 2.51 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定)

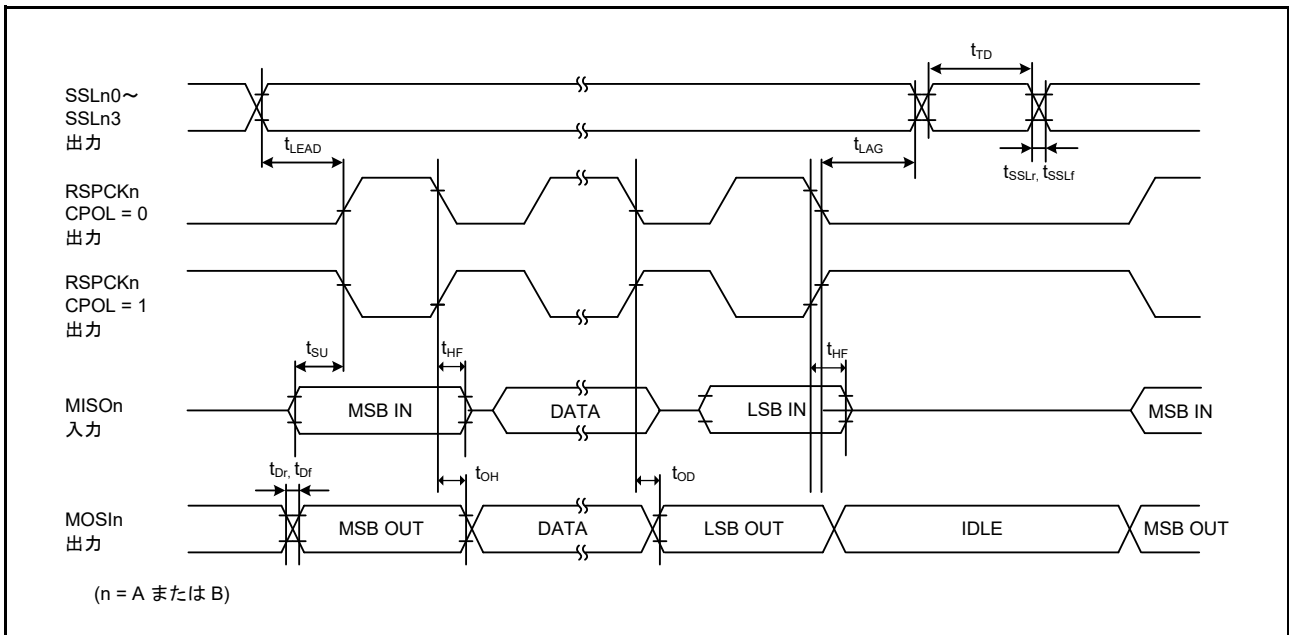


図 2.52 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

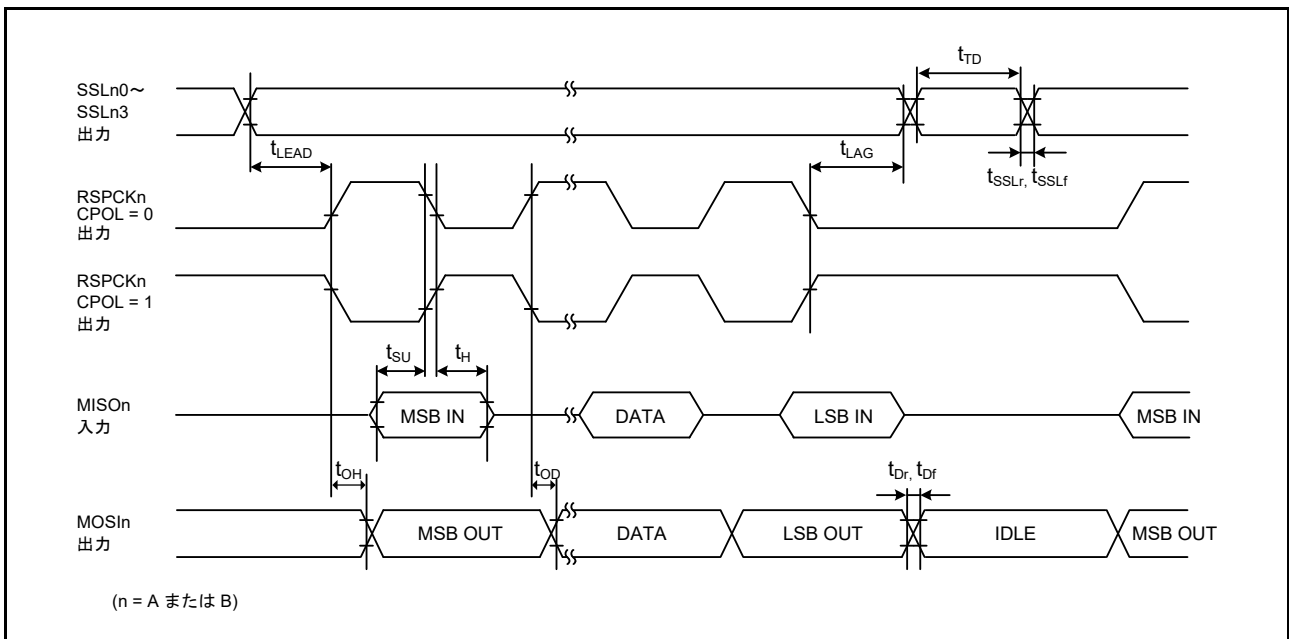


図 2.53 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定)

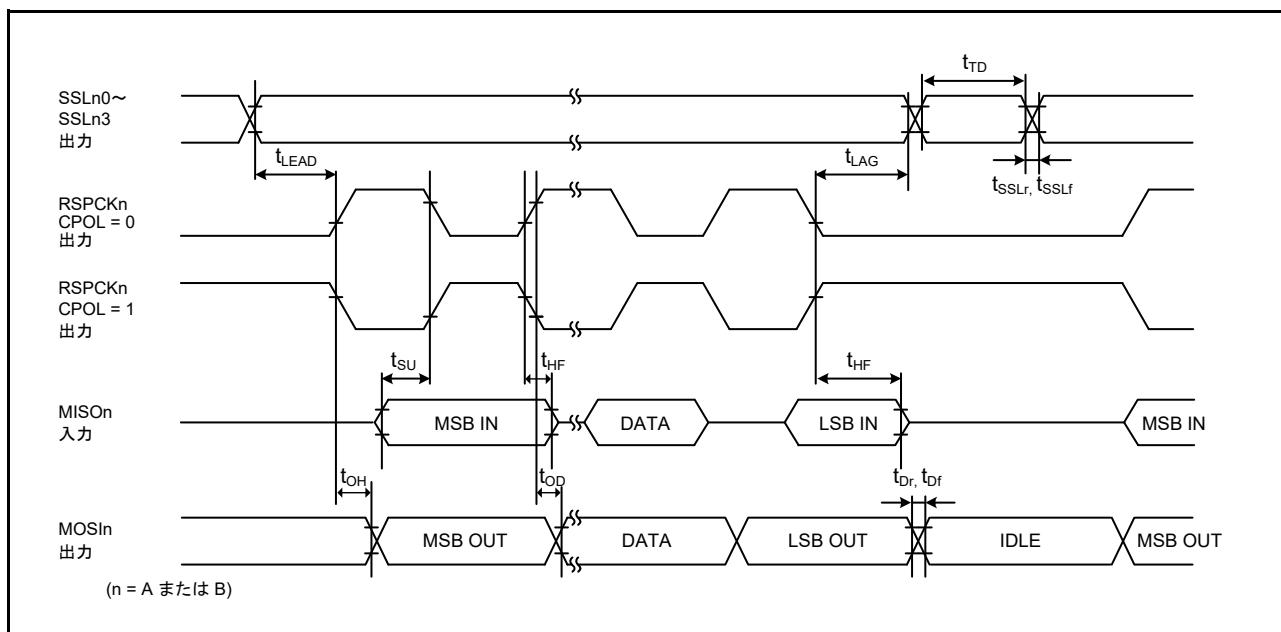


図 2.54 SPI タイミング (マスター、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

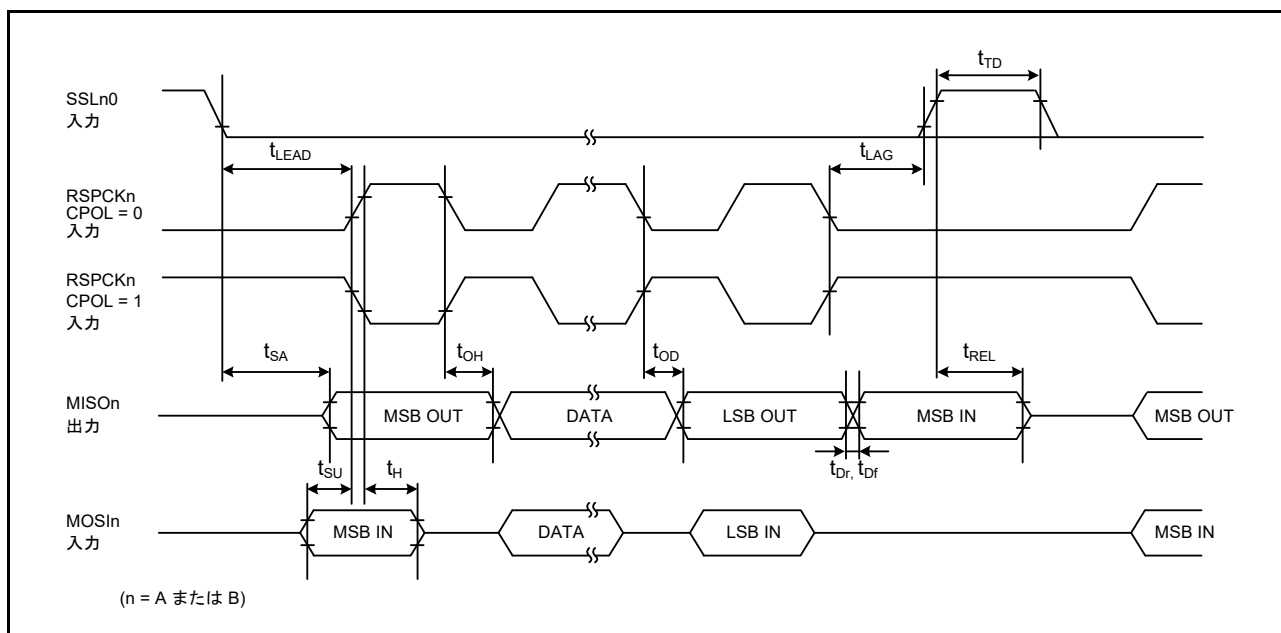


図 2.55 SPI タイミング (スレーブ、CPHA = 0)

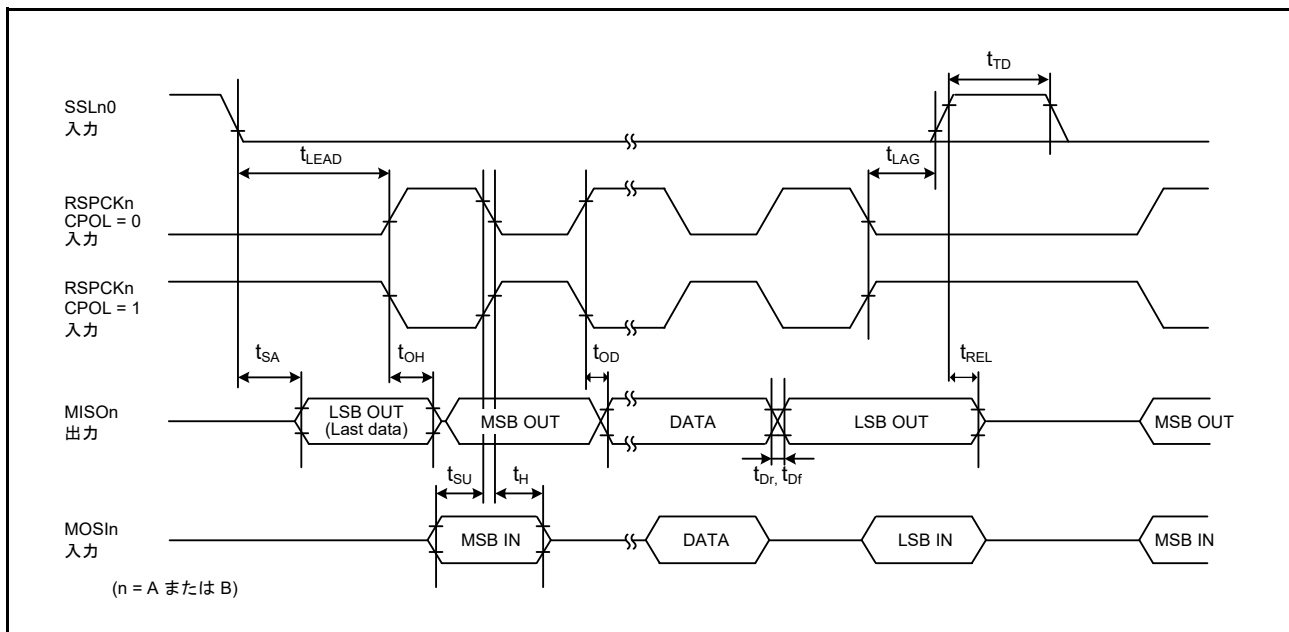


図 2.56 SPI タイミング (スレーブ、CPHA = 1)

2.3.10 IIC タイミング

表 2.35 IIC タイミング

条件 : VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V

項目		シンボル	Min (注1)	Max	単位	測定条件
IIC (標準モード、 SMBus)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	-	ns	図 2.57
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	-	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	-	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	t_{STAS}	1000	-	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	-	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの容量性負荷	C_b	-	400	pF	
	IIC (ファストモード)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	-	
SCL入力Highレベルパルス幅		t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	-	ns	
SCL入力Lowレベルパルス幅		t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	-	ns	
SCL、SDA入力立ち上がり時間		t_{Sr}	-	300	ns	
SCL、SDA入力立ち下がり時間		t_{Sf}	-	300	ns	
SCL、SDA入カスパイクパルス除去時間		t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
SDA入カバスフリー時間 (ウェイクアップ機能無効時)		t_{BUF}	$3(6) \times t_{IICcyc} + 300$	-	ns	
SDA入カバスフリー時間 (ウェイクアップ機能有効時)		t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
START条件入力ホールド時間 (ウェイクアップ機能無効時)		t_{STAH}	$t_{IICcyc} + 300$	-	ns	
START条件入力ホールド時間 (ウェイクアップ機能有効時)		t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
再送START条件入力セットアップ時間		t_{STAS}	300	-	ns	
STOP条件入力セットアップ時間		t_{STOS}	300	-	ns	
データ入力セットアップ時間		t_{SDAS}	$t_{IICcyc} + 50$	-	ns	
データ入力ホールド時間		t_{SDAH}	0	-	ns	
SCL、SDAの容量性負荷		C_b	-	400	pF	

注 . t_{IICcyc} : IIC 内部基準クロック (IICφ) の周期、 t_{Pcyc} : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると () 内の値が適用されます。

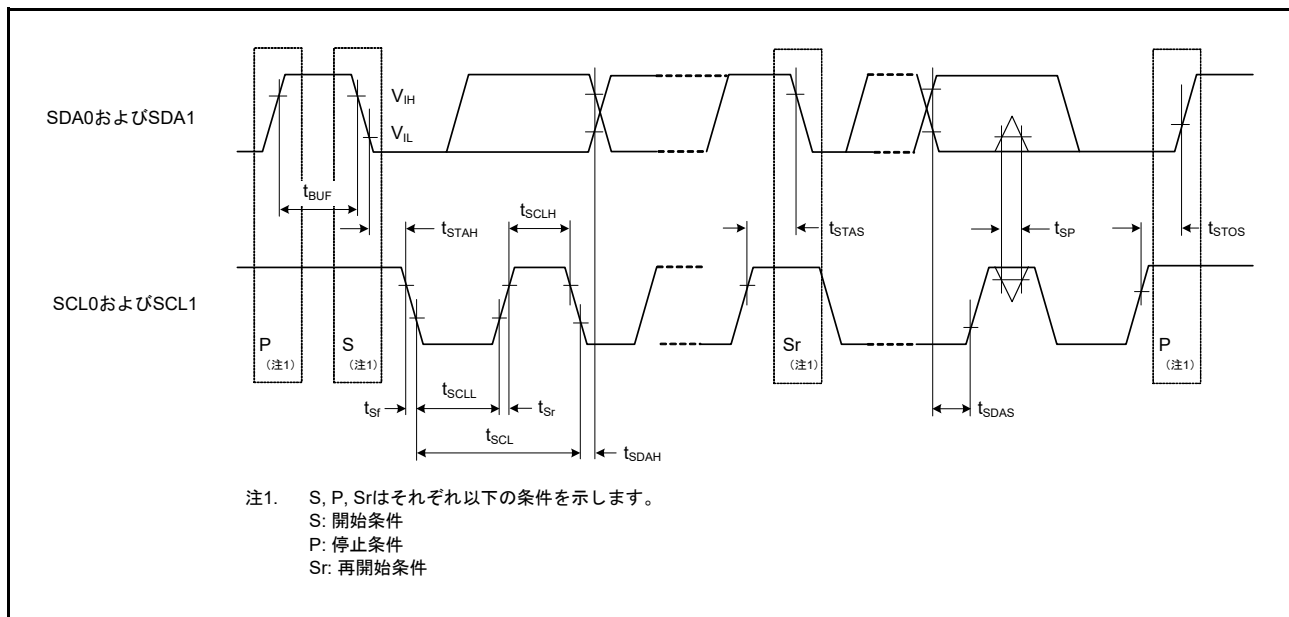


図 2.57 I²C バスインタフェース入出カタイミング

2.3.11 CLKOUT タイミング

表 2.36 CLKOUT タイミング

項目		シンボル	Min	Max	単位	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注1)	$2.7V \leq VCC \leq 5.5V$	t_{Cyc}	62.5	-	ns	図 2.58
		$1.8V \leq VCC < 2.7V$		125	-		
		$1.6V \leq VCC < 1.8V$		250	-		
	CLKOUT 端子 High レベルパルス幅 (注2)	$2.7V \leq VCC \leq 5.5V$	t_{CH}	15	-	ns	
		$1.8V \leq VCC < 2.7V$		30	-		
		$1.6V \leq VCC < 1.8V$		150	-		
	CLKOUT 端子 Low レベルパルス幅 (注2)	$2.7V \leq VCC \leq 5.5V$	t_{CL}	15	-	ns	
		$1.8V \leq VCC < 2.7V$		30	-		
		$1.6V \leq VCC < 1.8V$		150	-		
	CLKOUT 端子出力立ち上がり時間	$2.7V \leq VCC \leq 5.5V$	t_{Cr}	-	12	ns	
		$1.8V \leq VCC < 2.7V$		-	25		
		$1.6V \leq VCC < 1.8V$		-	50		
CLKOUT 端子出力立ち下がり時間	$2.7V \leq VCC \leq 5.5V$	t_{Cf}	-	12	ns		
	$1.8V \leq VCC < 2.7V$		-	25			
	$1.6V \leq VCC < 1.8V$		-	50			

注 1. EXTAL 外部クロック入力または発振器の 1 分周 (CKOCR.CKOSSEL[2:0] ビット = 011b かつ CKOCR.CKODIV[2:0] ビット = 000b) を使用して CLKOUT から出力する場合は、入力デューティサイクル 45 ~ 55% で表 2.36 の仕様を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSSEL[2:0] ビット = 001b)、クロック出力分周比を 2 分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

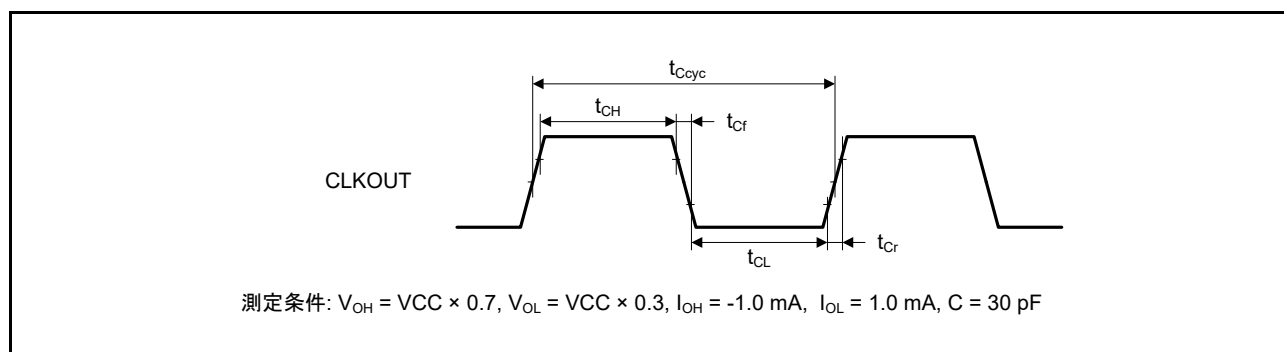


図 2.58 CLKOUT 出力タイミング

2.4 USB 特性

2.4.1 USBFS タイミング

表 2.37 USB 特性

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = 3.0 ~ 3.6V、Ta = -20 ~ +85°C

項目		シンボル	Min	Max	単位	測定条件	
入力特性	入力Highレベル電圧	V_{IH}	2.0	-	V	-	
	入力Lowレベル電圧	V_{IL}	-	0.8	V	-	
	差動入力感度	V_{DI}	0.2	-	V	USB_DP - USB_DM	
	差動共通モードレンジ	V_{CM}	0.8	2.5	V	-	
出力特性	出力Highレベル電圧	V_{OH}	2.8	VCC_USB	V	$I_{OH} = -200\mu A$	
	出力Lowレベル電圧	V_{OL}	0.0	0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V	図 2.59、 図 2.60、 図 2.61	
	立ち上がり時間	FS	t_r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t_f	4	20		ns
		LS		75	300		
	立ち上がり/立ち下がり時間比	FS	t_r/t_f	90	111.11		%
LS			80	125			
出力抵抗		Z_{DRV}	28	44	Ω	(外部要素の抵抗を調整する必要なし)	
VBUS特性	VBUS入力電圧	V_{IH}	$VCC \times 0.8$	-	V	-	
		V_{IL}	-	$VCC \times 0.2$	V	-	
ブルアップ、ブルダウン	ブルダウン抵抗	R_{PD}	14.25	24.80	k Ω	-	
	ブルアップ抵抗	R_{PUI}	0.9	1.575	k Ω	アイドル状態の間	
		R_{PUA}	1.425	3.09	k Ω	受信時	
バッテリーチャージング規格 Ver 1.2	D+シンク電流	I_{DP_SINK}	25	175	μA	-	
	D-シンク電流	I_{DM_SINK}	25	175	μA	-	
	D+ソース電流	I_{DP_SRC}	7	13	μA	-	
	データ検出電圧	V_{DAT_REF}	0.25	0.4	V	-	
	D+ソース電圧	V_{DP_SRC}	0.5	0.7	V	出力電流 = 250 μA	
	D-ソース電圧	V_{DM_SRC}	0.5	0.7	V	出力電流 = 250 μA	

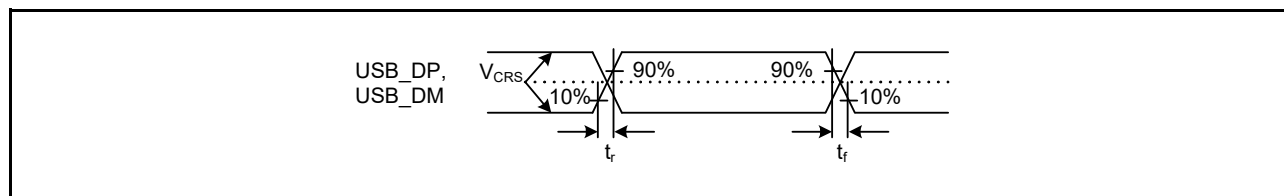


図 2.59 USB_DP および USB_DM 出力タイミング

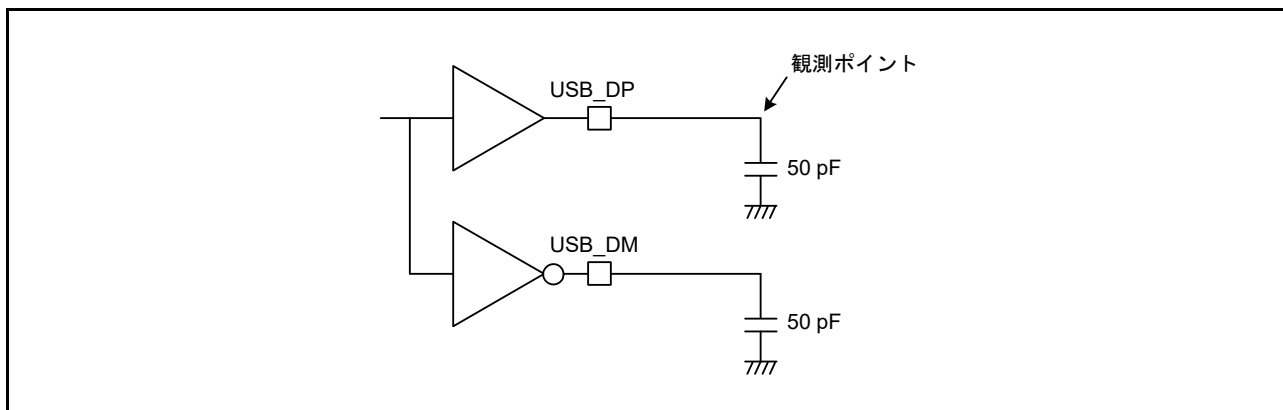


図 2.60 フルスピード (FS) 接続の測定回路

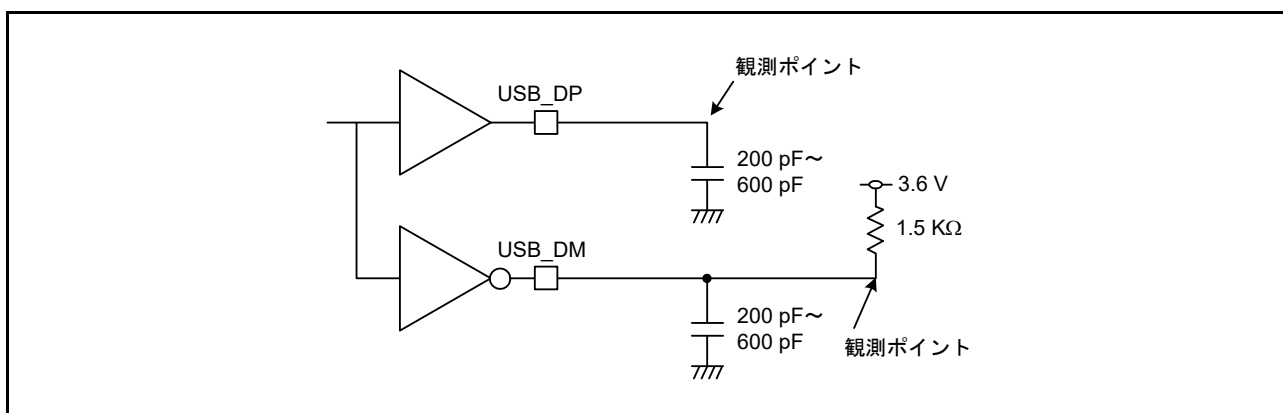


図 2.61 ロースピード (LS) 接続の測定回路

2.4.2 USB 外部供給

表 2.38 USBレギュレータ

項目		Min	Typ	Max	単位	測定条件
VCC_USB 供給電流	$3.8V \leq VCC_USB_LDO < 4.5V$	-	-	50	mA	-
	$4.5V \leq VCC_USB_LDO \leq 5.5V$	-	-	100	mA	-
VCC_USB 電源電圧		3.0	-	3.6	V	-

2.5 ADC16 特性

表 2.39 16ビットA/D変換、電源、および入力範囲条件

条件：VCC = AVCC0 = AVCC1 = 1.7~5.5V、VREFH0 = 1.7~5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
高電位基準電圧		1.5	3.3	AVCC0	V	-
低電位基準電圧		-	AVSS0	-	V	-
アナログ入力電圧範囲		0	-	VREFH0	V	-
入力コモンモードレンジ	Acm	0	VREFH0/2	VREFH0	V	差動アナログ入力
アナログ入力容量 (注2)	Cs	-	-	4.3	pF	-
アナログ入力抵抗 (注1)	Rs	-	-	0.7	kΩ	高精度チャンネル 2.7V ≤ AVCC0 ≤ 5.5V
		-	-	1.5		高精度チャンネル 1.7V ≤ AVCC0 < 2.7V
		-	-	2.5		通常精度チャンネル 2.7V ≤ AVCC0 ≤ 5.5V
		-	-	3.8		通常精度チャンネル 1.7V ≤ AVCC0 < 2.7V

- 注1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。
 注2. I/O入力容量 (Cin) 以外は、2.2.4 I/O VOH、VOL、その他の特性を参照してください。

図 2.62 にアナログ入力の等価回路を示します。

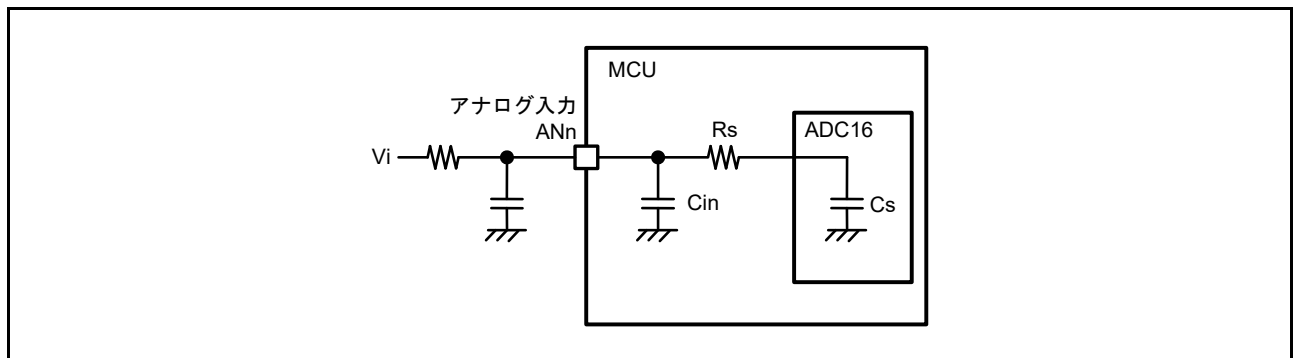


図 2.62 アナログ入力の等価回路

表 2.40 16ビットA/D変換、タイミングパラメータ (1/2)

条件：VCC = AVCC0 = AVCC1 = 1.7~5.5V、VREFH0 = 1.7~5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V
 基準電圧範囲をVREFH0およびVREFL0に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
周波数	ADCLK	1	-	32	MHz	3.0V ≤ AVCC0 ≤ 5.5V、 3.0V ≤ VREFH0
		1	-	24		2.7V ≤ AVCC0 ≤ 5.5V、 2.7V ≤ VREFH0
		1	-	16		2.4 ≤ AVCC0 ≤ 5.5V、 1.5V ≤ VREFH0
		1	-	8		1.8V ≤ AVCC0 ≤ 5.5V、 1.5V ≤ VREFH0
		1	-	4		1.7V ≤ AVCC0 ≤ 5.5V、 1.5V ≤ VREFH0
変換速度	Fs	-	-	1 / (tSPL + 18 / ADCLK)	S/s	-

表 2.40 16ビットA/D変換、タイミングパラメータ (2/2)

条件：VCC = AVCC0 = AVCC1 = 1.7~5.5V、VREFH0 = 1.7~5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V
 基準電圧範囲をVREFH0およびVREFL0に印加

項目	シンボル	Min	Typ	Max	単位	測定条件	
サンプリング時間 (注1)	許容信号源インピーダンス Max = 0.5kΩ	t _{SPL}	0.25	-	-	μs	高精度チャネル 2.7V ≤ AVCC0 ≤ 5.5V
		3	-	-	高精度チャネル 1.7V ≤ AVCC0 < 2.7V		
		3	-	-	通常精度チャネル 2.7V ≤ AVCC0 ≤ 5.5V		
		10	-	-	通常精度チャネル 1.7V ≤ AVCC0 < 2.7V		
安定時間 (注1)	t _{START}	-	-	1	μs	2.7V ≤ AVCC0 ≤ 5.5V	
		-	-	3.2		1.8V ≤ AVCC0 < 2.7V	
		-	-	8.9		1.7V ≤ AVCC0 < 1.8V	

注1. これらの値はシミュレーションに基づきます。本番テストは行っていません。

表 2.41 16ビットA/D変換、直線性パラメータ

条件：VCC = AVCC0 = AVCC1 = 1.7~5.5V、VREFH0 = 1.7~5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V
 外部クロック入力使用。基準電圧範囲をVREFH0およびVREFL0に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
分解能	-	-	16	-	ビット	-
積分非直線性 (注1)	INL	-	±4	±8	LSB	2.7V ≤ AVCC0 ≤ 5.5V、2.7V ≤ VREFH0
		-	-	±16		1.7V ≤ AVCC0 < 2.7V
微分非直線性 (注1)	DNL	-	-1~+2	-	LSB	-
オフセット誤差 (注1)	Ofst	-	±4	-	LSB	-
ゲイン誤差 (注1)	Gerr	-	-	±0.1	%	2.7V ≤ VREFH0

注. 16ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差に量子化誤差は含まれていません。

注1. これらの値はシミュレーションに基づきます。本番テストは行っていません。

表 2.42 16ビットA/D変換、動的パラメータ (1) (1/2)

条件：VCC = AVCC0 = AVCC1 = 1.7~5.5V、VREFH0 = 1.7~5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V
 外部クロック入力使用。基準電圧範囲をVREFH0およびVREFL0に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
SN比と歪み (注2)	SINAD	67	81	-	dB	差動入力、Fin = 1kHz、 VREFH0 = 1.7V~5.5V、 AVCC0 = 1.7~5.5V
		78	81	-		差動入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V
		-	92	-		差動入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V、 ADADC.ADC[2:0] = 101b
		61	75	-		シングル入力、Fin = 1kHz、 VREFH0 = 1.7V~5.5V、 AVCC0 = 1.7~5.5V
		72	75	-		シングル入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V

表 2.42 16ビットA/D変換、動的パラメータ (1) (2/2)

条件: VCC = AVCC0 = AVCC1 = 1.7 ~ 5.5V、VREFH0 = 1.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V
外部クロック入力使用。基準電圧範囲をVREFH0およびVREFL0に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
有効ビット数 (注2)	ENOB	11	13.2	-	ビット	差動入力、Fin = 1kHz、 VREFH0 = 1.7V ~ 5.5V、 AVCC0 = 1.7 ~ 5.5V
		12.7	13.2	-		差動入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V
		-	15	-		差動入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V、 ADADC.ADC[2:0] = 101b
		10	12.2	-		シングル入力、Fin = 1kHz、 VREFH0 = 1.7V ~ 5.5V、 AVCC0 = 1.7 ~ 5.5V
		11.7	12.2	-		シングル入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V
総高調波ひずみ (注1) (注2)	THD	-	-100	-	dB	差動入力、Fin = 1kHz、 AVCC0 = 3.3V
		-	-90	-		シングル入力、Fin = 1kHz、 AVCC0 = 3.3V
コモンモード低減比 (注2)	CMRR	-	100	-	dB	差動入力、 1kHzで Acm = 0 ~ VREFH0、 AVCC0 = 3.3V

注. 16ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。

注1. THD = HD2 + HD3 + HD4 + HD5

注2. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

表 2.43 16ビットA/D変換、動的パラメータ (2)

条件: VCC = AVCC0 = AVCC1 = 1.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V
外部クロック入力使用。

項目	シンボル	Min	Typ	Max	単位	測定条件
SN比と歪み (注1)	SINAD	-	78.6	-	dB	差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 2.5V
		-	76.6	-		差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 2.0V
		-	74.2	-		差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 1.5V
有効ビット数 (注1)	ENOB	-	12.8	-	ビット	差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 2.5V
		-	12.4	-		差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 2.0V
		-	12.0	-		差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 1.5V

注. 16ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。

注1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

表 2.44 16ビットA/Dコンバータチャネル分類

分類	チャネル	条件
高精度チャネル	AN000～AN008	AVCC0 = 1.7～5.5V
通常精度チャネル	AN016～AN023	
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 2.0～5.5V
温度センサ入力チャネル	温度センサ出力	AVCC0 = 2.0～5.5V

表 2.45 16ビットADC (VREFADC) 特性用内部基準電圧

条件: VCC = AVCC0 = AVCC1 = 1.7V～5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V

項目	Min	Typ	Max	単位	測定条件
出力電圧範囲	1.41	1.5	1.59	V	VREFAMPCNT.VREFADCG[1:0] = 00b AVCC0 ≥ 1.7V
	1.88	2	2.12		VREFAMPCNT.VREFADCG[1:0] = 10b AVCC0 ≥ 2.2V
	2.35	2.5	2.65		VREFAMPCNT.VREFADCG[1:0] = 11b AVCC0 ≥ 2.7V
BGR安定時間 (注2) (BGR有効後)	-	-	150	μs	VREFAMPCNT.BGREN = 1
VREF AMP安定時間 (注2) (VREFAMP有効後)	-	-	1500	μs	VREFAMPCNT.VREFADCEN = 1
過電流検出 (注2)	-	20	40	mA	-
負荷容量 (注1)	0.75	1	1.25	μF	-

- 注 1. VREFADC 使用時、VREFH0 端子と VREFL0 端子間に安定容量としてコンデンサを接続してください。
 注 2. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

表 2.46 A/D 内部基準電圧特性

条件: VCC = AVCC0 = AVCC1 = VREFH0 = 2.0～5.5V (注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャネル (注2)	1.36	1.43	1.50	V	-
サンプリング時間 (注3)	5.0	-	-	μs	-

- 注 1. AVCC0 < 2.0V のとき、入力チャネルに内部基準電圧は選択できません。
 注 2. 16 ビット A/D 内部基準電圧は、内部基準電圧が 16 ビット A/D コンバータに入力されたときの電圧を示します。
 注 3. これは、内部基準電圧が ADC16 のアナログ入力チャネルに選択された場合の ADC16 用パラメータです。

2.6 SDADC24 特性

表 2.47 アナログ入力特性 (1/2)

条件: VCC = AVCC0 = AVCC1 = 2.7～5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件	
フルスケール範囲	F _{SR}	-	± 0.8 / G _{TOTAL}	-	V	-	
差動入力モードでのアナログ入力	差動入力電圧範囲	V _{ID}	-0.8 / G _{TOTAL}	-	0.8 / G _{TOTAL}	V	V _{ID} = ANSDnP - ANSDnN、または AMP00 - AMP10 (n = 0～3), d _{OFR} = 0mV
	入力電圧範囲	V _I	0.2	-	1.8	V	V _I = ANSDnP、ANSDnN、AMP00、または AMP10 (n = 0～3)
	コモンモード入力電圧範囲	V _{COM}	0.2 + (V _{ID} × G _{SET1}) / 2	1.0	1.8 - (V _{ID} × G _{SET1}) / 2	V	d _{OFR} = 0mV

表 2.47 アナログ入力特性 (2/2)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
シングルエンド入力モードでのアナログ入力	V_I	0.2	-	1.8	V	$V_I = \text{ANSdnP}, \text{ANSdNn}, \text{AMP00}$, または AMP10 ($n = 0 \sim 3$)、 $V_{\text{COM}} = 1.0\text{V}$ 、 $d_{\text{OFR}} = 0\text{mV}$ 、 $G_{\text{SET1}} = 1$ 、 $G_{\text{SET2}} = 1$ 、 $\text{OSR} = 256$

注 1. シングルエンド入力モードは、 $d_{\text{OFR}} = 0\text{mV}$ 、 $G_{\text{SET1}} = 1$ 、 $G_{\text{SET2}} = 1$ かつ $\text{OSR} = 256$ のみサポートします。

表 2.48 プログラマブルゲイン計装アンプおよびシグマデルタ A/D コンバータ (1)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
分解能	RES	-	24	-	ビット	-
オーバーサンプリング周波数	通常 A/D 変換モード	Fos	-	1	MHz	-
	低消費電力 A/D 変換モード	-	0.125	-		
出力データ速度	f_{DATA1}	0.48828	-	15.625	ksps	通常 A/D 変換モード
	f_{DATA2}	61.03615	-	1953.125	sps	低消費電力 A/D 変換モード
ゲイン設定範囲	G_{TOTAL}	1	-	32	V/V	$G_{\text{TOTAL}} = G_{\text{SET1}} \times G_{\text{SET2}}$
第1ゲイン設定範囲	G_{SET1}	-	1, 2, 3, 4, 8	-	V/V	-
第2ゲイン設定範囲	G_{SET2}	-	1, 2, 4, 8	-	V/V	-
オフセット調整ビット範囲	d_{OFB}	-	5	-	ビット	-
オフセット調整範囲	d_{OFR}	$-164.06 / G_{\text{SET1}}$	-	$+164.06 / G_{\text{SET1}}$	mV	入力基準
オフセット調整単位	d_{OFS}	-	$350 / 32 / G_{\text{SET1}}$	-	mV	入力基準

表 2.49 プログラマブルゲイン計装アンプおよびシグマデルタ A/D コンバータ (2)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

特に記載のない限り、電気的仕様は差動入力モード、外部クロック入力使用、 $F_{\text{OS}} = 1\text{MHz}$ 、 $d_{\text{OFR}} = 0\text{mV}$ 適用を前提としています。

項目	シンボル	Min	Typ	Max	単位	測定条件	
SN比 (注1) (注3) $V_{\text{ID}} = 0\text{V}$	SNR	83	86	-	dB	$G_{\text{SET1}} = 1$, $G_{\text{SET2}} = 1$	OSR = 256
		81	84	-		$G_{\text{SET1}} = 8$, $G_{\text{SET2}} = 4$	OSR = 1024
SN比と歪み率 (注1) (注2) (注3) $f_{\text{in}} = 50\text{Hz}$	SINAD	82	85	-	dB	$G_{\text{SET1}} = 1$, $G_{\text{SET2}} = 1$	OSR = 256
		79	82	-		$G_{\text{SET1}} = 8$, $G_{\text{SET2}} = 4$	OSR = 1024
		74	80	-		$G_{\text{SET1}} = 1$, $G_{\text{SET2}} = 1$	OSR = 256, シングルエンド入力モード

注. 24ビットシグマデルタ A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。

注 1. SNR および SINAD は、アナログ入力のフルスケール範囲 (FSR) に対する比率です。アナログ入力のノイズは含まれません。

注 2. V_{ID} が事実上 $\pm 0.8 / G_{\text{TOTAL}}$ と等しい場合、デジタル出力はゲイン誤差 ($\pm 0.8 / G_{\text{TOTAL}}$)、オフセット誤差 (E_{OS}) などによりオーバーフローする可能性があります。

その結果、SINAD が劣化します。アナログ入力とデジタル出力の関係については、ユーザーズマニュアルの表 33.7 を参照してください。

注 3. 本番テストは行っておりませんが、設計および特性解析により保証されています。

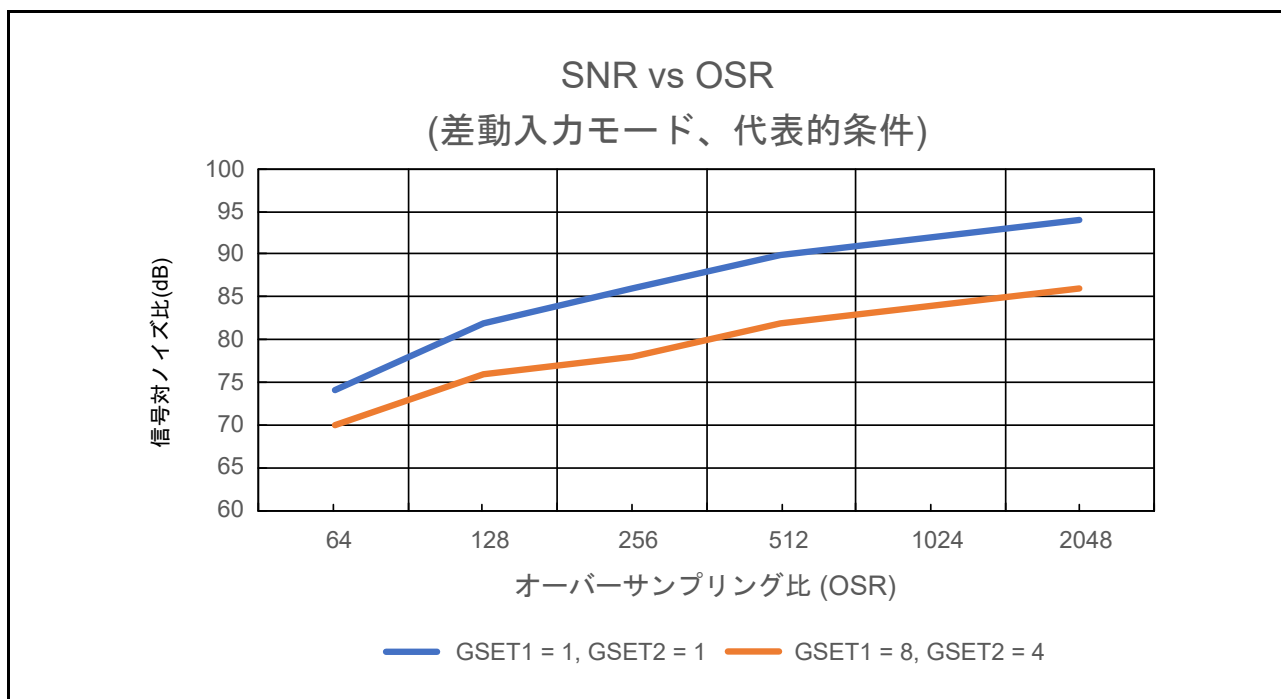


図 2.63 SNR vs OSR (参考データ)

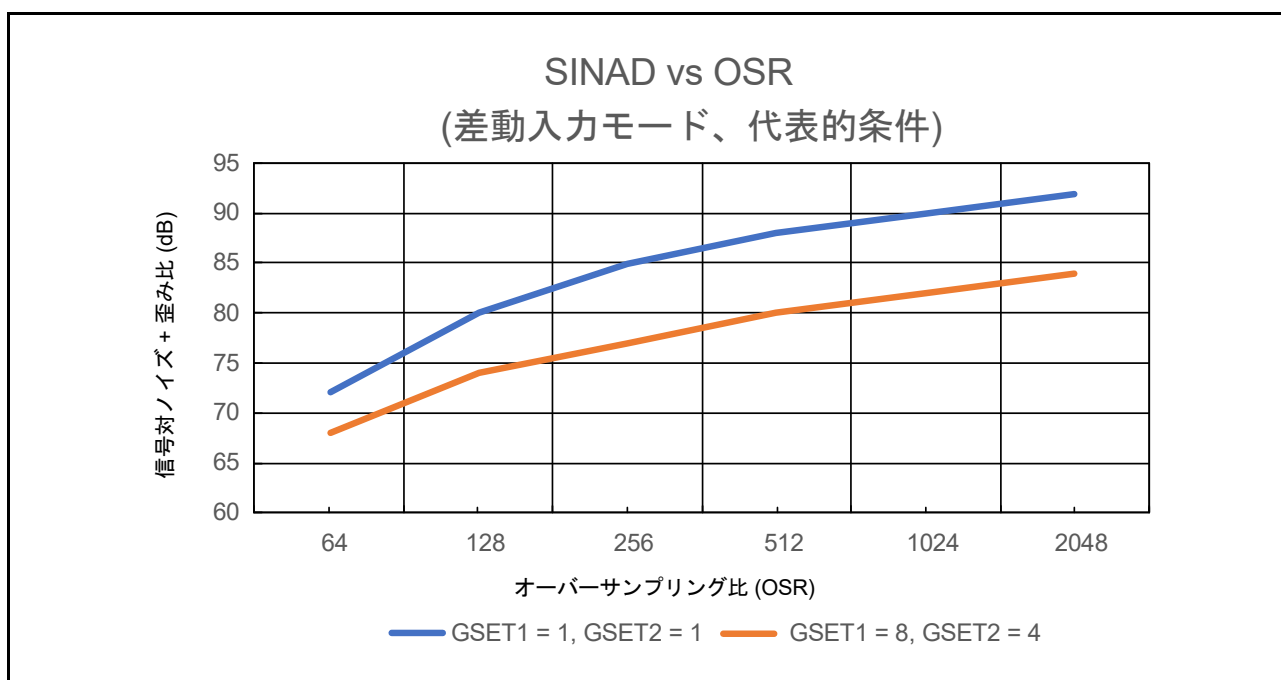


図 2.64 SINAD vs OSR (参考データ)

表 2.50 プログラマブルゲイン計装アンプおよびシグマデルタ A/D コンバータ (3)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V, VSS = AVSS0 = AVSS1 = 0V

特に記載のない限り、電氣的仕様は差動入力モード、外部クロック入力使用、Fos = 1MHz、OSR = 256、 $d_{OFR} = 0mV$ 適用を前提としています。

項目	シンボル	Min	Typ	Max	単位	測定条件
ゲイン誤差 (注2) (SINC3周波数応答特性を 除く)	E _G	-0.5	-	0.5	%	内部キャリブレーション後、 SBIAS 誤差および VREFI 誤差を除く、 G _{SET1} = 1、G _{SET2} = 1
		-3	-	3		シングルエンド入力モード、 SBIAS 誤差および VREFI 誤差を除く、 G _{SET1} = 1、G _{SET2} = 1、
ゲインドリフト (注1) (注2)	dE _G	-	6	22	ppm/°C	SBIAS 誤差および VREFI 誤差を除く、 G _{SET1} = 1、G _{SET2} = 1、
オフセット誤差 (注2)	E _{OS}	-1	-	1	mV	内部キャリブレーション後、 G _{SET1} = 1、G _{SET2} = 1、入力基準
		-50	-	50		シングルエンド入力モード、 SBIAS 誤差含む、 G _{SET1} = 1、G _{SET2} = 1、入力基準
オフセットドリフト (注1) (注2)	dE _{OS}	-	2	6	μV/°C	入力基準
		-	-	120		シングルエンド入力モード、 SBIAS 誤差含む、 G _{SET1} = 1、G _{SET2} = 1
積分非直線性 (注2)	INL	-	15	-	FSR の ppm	入力 = DC、 OSR = 2048
コモンモード低減比 (注2)	CMRR	-	80	-	dB	V _{COM} = 1.0 ± 0.8V、 f _{in} = 50Hz、 G _{SET1} = 1、G _{SET2} = 1
電源 低減比 (注2)	PSRR	-	70	-	dB	AVCC1 = 5.0 V + 0.1V _{pp_ripple} 、 f _{in} = 50Hz、 G _{SET1} = 1、G _{SET2} = 1、SBIAS 誤差 または VREFI 誤差を除く
入力絶対電流 (注2)	I _{IN}	-	2	-	nA	V _I = 1V
入力オフセット電流 (注2)	I _{INOFR}	-	1	-	nA	V _{ID} = 0V、V _{COM} = 1V
入力インピーダンス (注2)	Z _{IN}	-	500	-	Mohm	V _{ID} = 1V、V _{COM} = 1V
オフセット調整ゲイン誤差 (注2)	d _{OFGE}	-5	-	5	%	SBIAS 誤差含む、 d _{OFR} ≠ 0mV
オフセット調整 積分非直線性 (注2)	d _{OFINL}	-0.5	-	0.5	LSB	d _{OFR} ≠ 0mV

注. 24 ビットシグマデルタ A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。

注 1. ゲインオフセットは、(Max (E_G (T (-40 °C) ~ T (125 °C))) - Min (E_G (T (-40 °C) ~ T (125 °C)))) / (125 °C - (-40 °C)) で計算されます。オフセットドリフトは、(Max (E_{OS} (T (-40 °C) ~ T (125 °C))) - Min (E_{OS} (T (-40 °C) ~ T (125 °C)))) / (125 °C - (-40 °C)) で計算されます。

注 2. 本番テストは行っておりませんが、設計および特性解析により保証されています。

表 2.51 ADC (ADREG) 特性用 2.1V LDO リニアレギュレータ

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V, VSS = AVSS0 = AVSS1 = 0V

ADREG 端子は、0.47μF (-50% ~ +20%) のコンデンサを介して AVSS1 端子に接続してください。

項目	シンボル	Min	Typ	Max	単位	測定条件
ADREG 出力電圧	V _{ADREG}	-	2.1	-	V	-

表 2.52 ADC 外部基準電圧 (VREFI) 特性 (1/2)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V, VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
外部基準電圧範囲 (注1)	VREFI	0.8	-	2.4	V	SDADCSTC1.VREFSEL = 1

表 2.52 ADC 外部基準電圧 (VREFI) 特性 (2/2)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
外部基準電圧単位	VR _{STEP}	-	0.2	-	V	SDADCSTC1.VREFSEL = 1
外部基準電圧精度	VR _A	-3	-	3	%	SDADCSTC1.VREFSEL = 1

注 1. STC1.VSBIAS[3:0] で基準電圧入力値を選択してください。

表 2.53 センサバイアス (SBIAS) 特性

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

SBIAS/VREFI 端子は、0.22μF (-20% ~ +20%) を介して AVSS1 端子に接続してください。

項目	シンボル	Min	Typ	Max	単位	測定条件
出力電圧範囲 (注2)	SBIAS	0.8	-	2.2	V	-
出力電圧単位	SV _{STEP}	-	0.2	-	V	-
出力電圧精度 (注1)	SV _A	-3	-	3	%	SI _{OUT} = 1mA
出力電流 (注1)	SI _{OUT}	-	-	10	mA	-
短絡電流 (注1)	SI _{SHORT}	-	35	65	mA	SBIAS = 0V
負荷変動率 (注1)	SL _R	-	-	15	mV	1mA ≤ SI _{OUT} ≤ 5mA
		-	-	20	mV	1mA ≤ SI _{OUT} ≤ 10mA
電源低減比 (注1)	SPSRR	-	50	-	dB	AVCC1 = 5.0V + 0.1V _{pp_ripple} , f = 100Hz, SI _{OUT} = 2.5mA
1ステップの遷移時間 (注1) (注3)	ST _{TS}	-	-	80	μs	SBIAS < SV _A ±3%
		-	-	-	-	1mA ≤ SI _{OUT} ≤ SI _{OUT_MAX}

注 1. 本番テストは行っておりませんが、設計および特性解析により保証されています。

注 2. STC1.VSBIAS[3:0] でセンサ用基準電圧出力値を選択してください。

注 3. SBIAS の出力段は Pch オープンドレインなので、1mA 以上の負荷電流が必要です。元々の負荷電流が小さい場合は、外部負荷抵抗を追加する必要があります。

2.7 DAC12 特性

表 2.54 12ビット D/A 変換特性

条件: VCC = AVCC0 = AVCC1 = 1.7V ~ 5.5V、VREFH = 1.7V ~ 5.5V、VSS = AVSS0 = AVSS1 = VREFL = 0V

項目		Min	Typ	Max	単位	測定条件
分解能		-	-	12	ビット	-
チャージポンプ安定時間 (注1)		-	-	100	μs	-
SW 安定時間 (注1)		-	-	50	μs	-
変換時間 (注1)	DAC Ref. = AVCC または VREFH ≥ 2.7V	-	-	1.0	μs	Cl _{oad} = 38pF, @ 1 LSB ステップ Cl _{oad} = 8 pF, @ フルレンジ
	DAC Ref. = AVCC または VREFH < 2.7V	-	-	1.2	μs	-
ウェークアップ時間 (注1)		-	-	1.0	μs	-
絶対精度		-	-	±12	LSB	負荷抵抗 2MΩ
DNL 微分非直線性誤差	DAC Ref. = AVCC または VREFH ≥ 2.7V	-	-	±1.0	LSB	-
	DAC Ref. = AVCC または VREFH < 2.7V	-	-	±2.0	LSB	-
INL 積分非直線性誤差		-	-	±7.0	LSB	-
RO 出力抵抗		-	3.5	-	kΩ	-
負荷抵抗		2	2	-	MΩ	-
負荷容量	1 LSB ステップ	-	38	-	pF	-
	フルレンジ	-	8	-	pF	-

注 1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

2.8 DAC8 特性

表 2.55 8ビットD/A変換特性

条件：VCC = AVCC0 = AVCC1 = 1.7V~5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	Min	Typ	Max	単位	測定条件
分解能	-	-	8	ビット	-
チャージポンプ安定時間 (注1)	-	-	100	μs	-
切り替え安定時間 (注1)	-	-	50	μs	-
変換時間 (注1)	VCC = 2.7~5.5V	-	3.0	μs	容量性負荷 35pF
	VCC = 1.7~2.7V	-	6.0	μs	
絶対精度	VCC = 2.4~5.5V	-	±3.0	LSB	負荷抵抗 2MΩ
	VCC = 1.7~2.4V	-	±3.5	LSB	
	VCC = 2.4~5.5V	-	±2.0	LSB	負荷抵抗 4MΩ
	VCC = 1.7~2.4V	-	±2.5	LSB	
RO出力抵抗	-	7.4	-	kΩ	-

注1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

2.9 TSN 特性

表 2.56 TSN特性

条件：VCC = AVCC0 = AVCC1 = 2.0~5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	-	-	±1.5	-	°C	2.4V以上
		-	±2.0	-	°C	2.4V未満
温度傾斜	-	-	-3.65	-	mV/°C	-
出力電圧 (25°C)	-	-	1.05	-	V	VCC = 3.3V
温度センサ起動時間	t _{START}	-	-	5	μs	-
サンプリング時間	-	5	-	-	μs	-

2.10 OSC 停止検出特性

表 2.57 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t _{dr}	-	-	1	ms	図 2.65

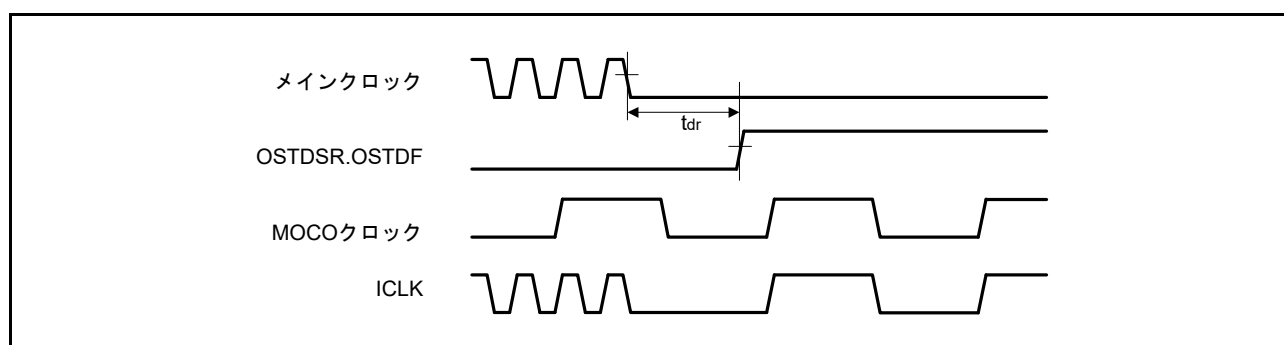


図 2.65 発振停止検出タイミング

2.11 POR/LVD 特性

表 2.58 パワーオンリセット回路、電圧検出回路の特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	パワーオンリセット (POR)	V_{POR}	1.27	1.42	1.57	V	図 2.66、図 2.67
	電圧検出回路 (LVD0) (注2)	V_{det0_0}	3.68	3.85	4.00	V	図 2.68 立ち下がリエッジ VCCにて
		V_{det0_1}	2.68	2.85	2.96		
		V_{det0_2}	2.38	2.53	2.64		
		V_{det0_3}	1.78	1.90	2.02		
		V_{det0_4}	1.60	1.69	1.82		
	電圧検出回路 (LVD1) (注3)	V_{det1_0}	4.13	4.29	4.45	V	図 2.69 立ち下がリエッジ VCCにて
		V_{det1_1}	3.98	4.16	4.30		
		V_{det1_2}	3.86	4.03	4.18		
		V_{det1_3}	3.68	3.86	4.00		
		V_{det1_4}	2.98	3.10	3.22		
		V_{det1_5}	2.89	3.00	3.11		
		V_{det1_6}	2.79	2.90	3.01		
		V_{det1_7}	2.68	2.79	2.90		
		V_{det1_8}	2.58	2.68	2.78		
		V_{det1_9}	2.48	2.58	2.68		
		V_{det1_A}	2.38	2.48	2.58		
		V_{det1_B}	2.10	2.20	2.30		
		V_{det1_C}	1.84	1.96	2.05		
		V_{det1_D}	1.74	1.86	1.95		
V_{det1_E}		1.63	1.75	1.84			
V_{det1_F}	1.60	1.65	1.73				
電圧検出回路 (LVD2) (注4)	V_{det2_0}	4.11	4.31	4.48	V	図 2.70 立ち下がリエッジ VCCにて	
	V_{det2_1}	3.97	4.17	4.34			
	V_{det2_2}	3.83	4.03	4.20			
	V_{det2_3}	3.64	3.84	4.01			

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. $V_{det0_#}$ の # は OFS1.VDSEL1[2:0] ビットの値を示しています。

注 3. $V_{det1_#}$ の # は LVDLVL.R.LVD1LVL[4:0] ビットの値を示しています。

注 4. $V_{det2_#}$ の # は LVDLVL.R.LVD2LVL[2:0] ビットの値を示しています。

表 2.59 パワーオンリセット回路、電圧検出回路の特性 (2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
パワーオンリセット解除後の待機時間	LVD0 : 有効	t_{POR}	-	1.7	-	ms	-
	LVD0 : 無効	t_{POR}	-	1.3	-	ms	-
電圧監視0、1、2リセット解除後の待機時間	LVD0 : 有効 (注1)	$t_{LVD0,1,2}$	-	0.6	-	ms	-
	LVD0 : 無効 (注2)	$t_{LVD1,2}$	-	0.2	-	ms	-
応答遅延時間 (注3)	t_{det}	-	-	350	μ s	図 2.66、図 2.67	
最小VCC低下時間	t_{VOFF}	450	-	-	μ s	図 2.66, VCC = 1.0V 以上	
パワーオンリセット有効時間	t_W (POR)	1	-	-	ms	図 2.67, VCC = 1.0V 未満	
LVD動作安定時間 (LVD有効切り替え後)	T_d (E-A)	-	-	300	μ s	図 2.69, 図 2.70	
ヒステリシス幅 (POR)	V_{PORH}	-	110	-	mV	-	
ヒステリシス幅 (LVD0、LVD1、LVD2)	V_{LVH}	-	60	-	mV	LVD0 選択時	
		-	100	-		$V_{det1_0} \sim V_{det1_2}$ を選択	
		-	60	-		$V_{det1_3} \sim V_{det1_9}$ を選択	
		-	50	-		$V_{det1_A} \sim V_{det1_B}$ を選択	
		-	40	-		$V_{det1_C} \sim V_{det1_F}$ を選択	
		-	60	-		LVD2 選択時	

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} および V_{det2} の最小値を下回っている時間です。

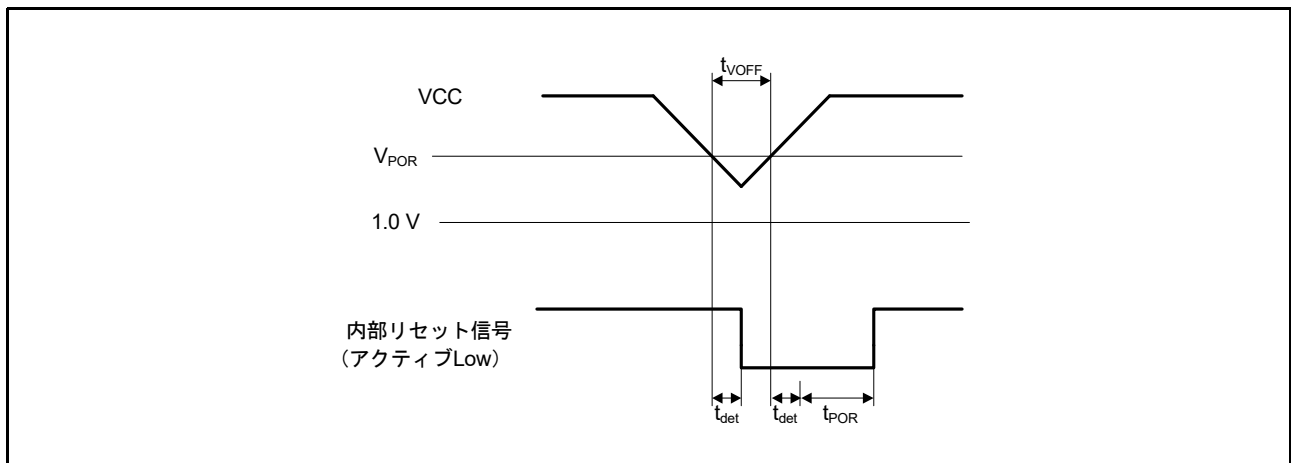


図 2.66 電圧検出リセットタイミング

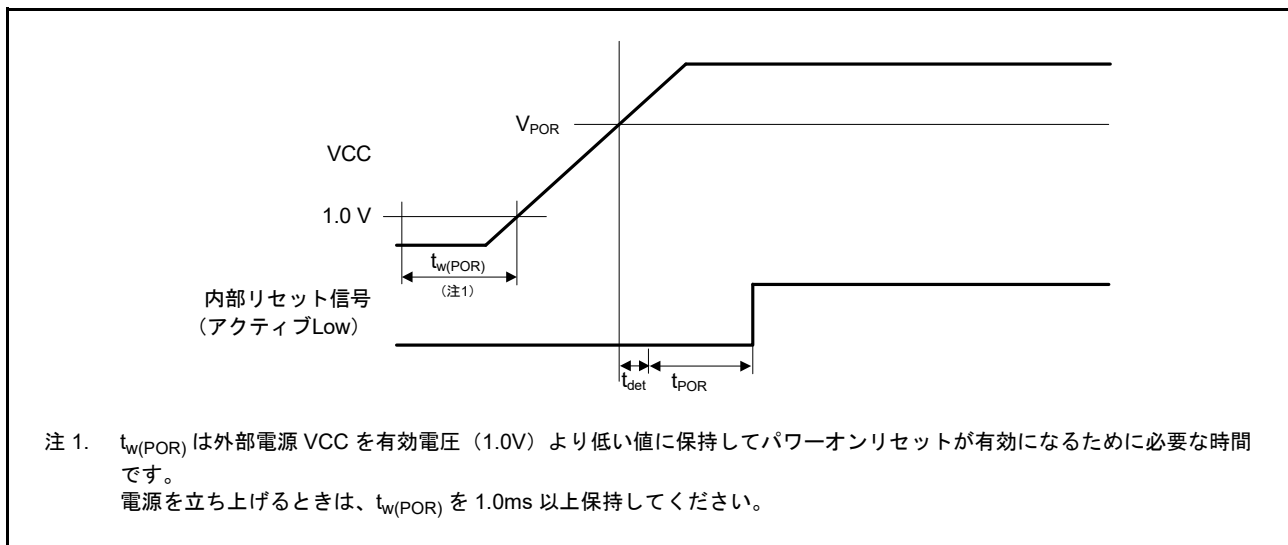
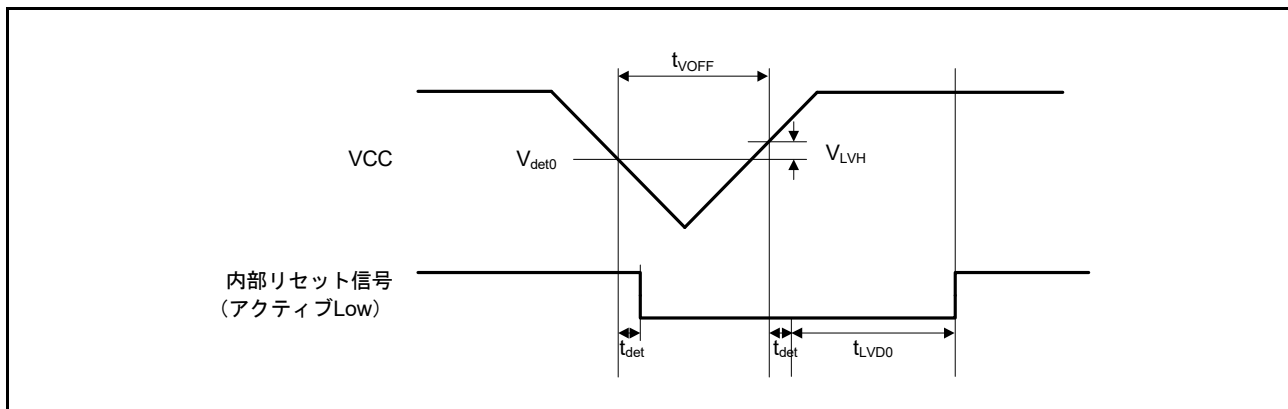


図 2.67 パワーオンリセットタイミング

図 2.68 電圧検出回路タイミング (V_{det0})

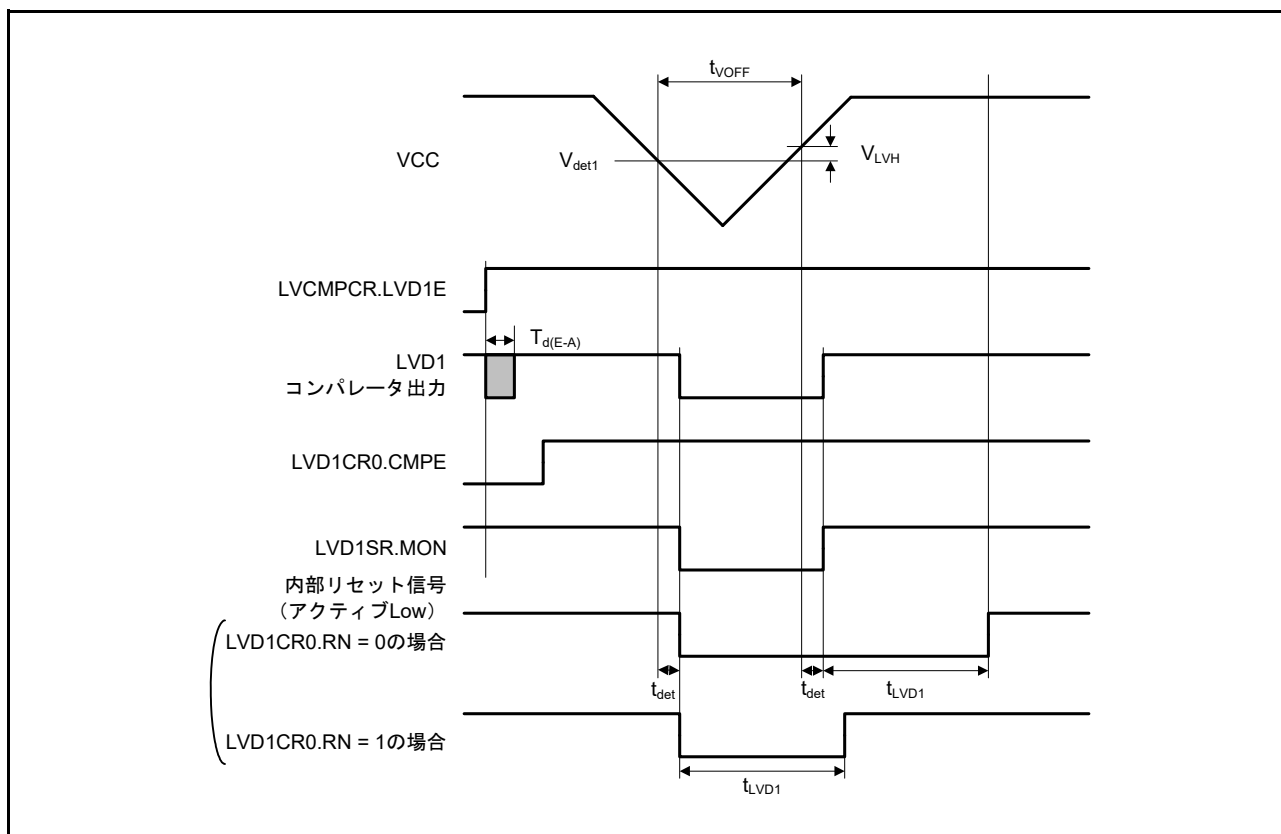


図 2.69 電圧検出回路タイミング (V_{det1})

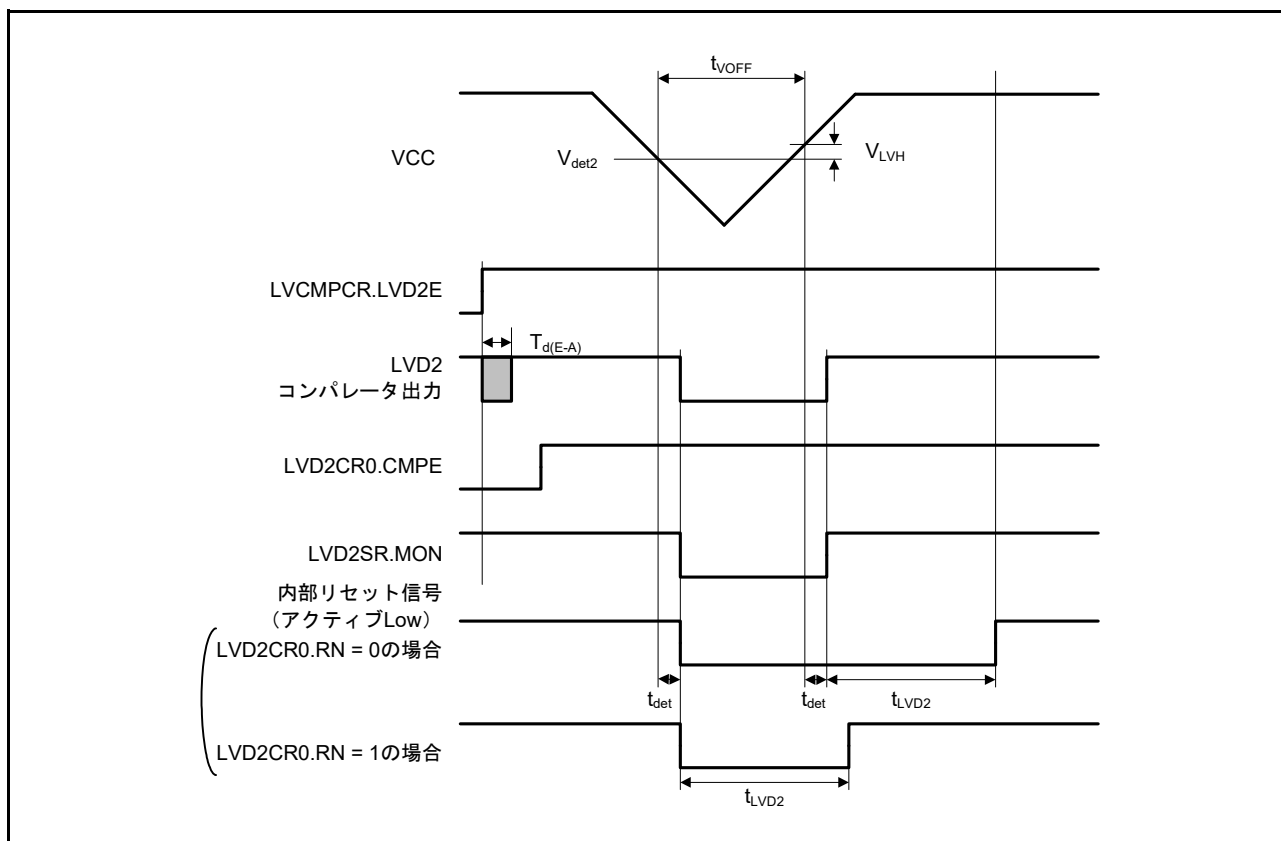


図 2.70 電圧検出回路タイミング (V_{det2})

2.12 CTSU 特性

表 2.60 CTSU 特性

条件 : VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP 端子に接続された外付け容量	C_{Tscap}	9	10	11	nF	-
TS 端子の容量性負荷	C_{base}	-	-	50	pF	-
許容大電流出力	ΣI_{OH}	-	-	-24	mA	相互容量方式が適用され、送信チャンネルに TS07 ~ TS14 が使用されない場合
		-	-	-14		

2.13 コンパレータ特性

表 2.61 ACMPHS 特性

条件 : VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
入力オフセット電圧	V_{IOCOMP}	-	± 5	± 40	mV	-
入力電圧範囲	V_{ICPM}	0	-	AVCC0	V	-
内部基準電圧入力 (注3)	V_{ref}	1.36	1.43	1.50	V	AVCC0 \geq 2.0V
入力信号サイクル	t_{PCMP}	10	-	-	μ s	-
出力遅延時間	T_d	-	50	100	ns	入力振幅 ± 100 mV
入力チャンネル切り替え時の安定待機時間 (注1)	T_{WAIT}	300	-	-	ns	入力振幅 ± 100 mV
動作安定待機時間 (注2)	T_{cmp}	1	-	-	μ s	$3.3V \leq AVCC0 \leq 5.5V$
		3	-	-	μ s	$2.7V \leq AVCC0 < 3.3V$

注 1. コンパレータ入力チャンネルの切り替え時から、切り替え結果が出力に反映されるまでの時間です。

注 2. コンパレータ動作を許可 (CPMCTL.HCMPON = 1) してから、コンパレータが DC/AC 特性を満たすまでの時間です。

注 3. AVCC0 < 2.0V のとき、入力チャンネルに内部基準電圧は選択できません。

表 2.62 ACMPLP 特性

条件 : VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件	
入力電圧範囲	IVREF0	V_{REF}	0	-	VCC - 1.4 (注1)	V	-
	IVREF1 (標準モード)		0	-	VCC - 1.4	V	
	IVREF1 (ウィンドウモード)		1.4 (注1)	-	VCC	V	
	IVCMP0、IVCMP1		V_I	0	-	VCC	
内部基準電圧 (注2)	-	1.36	1.44	1.50	V	VCC \geq 2.0V	
出力遅延	コンパレータ High-speed モード (標準モード)	T_d	-	-	1.2	μ s	VCC = 3.0 入力信号のスルーレート > 50mV/ μ s
	コンパレータ High-speed モード (ウィンドウモード)		-	-	2.0	μ s	
	コンパレータ Low-speed モード (標準モード)		-	-	5.0	μ s	

表 2.62 ACMP LP 特性

条件 : VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目		シンボル	Min	Typ	Max	単位	測定条件
オフセット電圧	コンパレータ High-speed モード (標準モード)	-	-	-	50	mV	-
	コンパレータ High-speed モード (ウィンドウモード)		-	-	60	mV	
	コンパレータ Low-speed モード (標準モード)		-	-	40	mV	
動作安定待機時間		T _{cmp}	100	-	-	μs	-

注 1. ウィンドウモードでは、 $V_{REF1} - V_{REF0} \geq 0.2V$ でなければなりません。

注 2. VCC < 2.0V のとき、入力チャンネルに内部基準電圧は選択できません

2.14 OPAMP 特性

表 2.63 OPAMP 特性 (1/3)

条件 : VCC = AVCC0 = AVCC1 = 1.7V ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	条件	Min	Typ	Max	単位
供給電圧範囲	AVCC0	低消費電力モード	1.7	-	5.5	V
		Middle-speed モード	2.1	-	5.5	V
		High-speed モード	2.4	-	5.5	V
チャージポンプ安定時間 (注1)	-	-	-	-	100	μs
SW 安定時間 (注1)	-	-	-	-	50	μs
入力電圧範囲	V _{icm1}	低消費電力モード	AVSS0	-	AVCC0	V
	V _{icm2}	Middle-speed モード				
	V _{icm3}	High-speed モード				
出力電圧範囲	V _{olh1}	低消費電力モード、 I _{load} = 100μA	AVSS0	-	AVCC0	V
	V _{olh2}	Middle-speed モード、 I _{load} = 100μA				
	V _{olh3}	High-speed モード、 I _{load} = 100μA				
入力オフセットトリミング範囲 (注1)	V _{offadj2l}	Middle-speed モード、 V _{in} = 0.1V、 T _j = 25°C	-3	-	3	mV
	V _{offadj2h}	Middle-speed モード、 V _{in} = AVCC0 - 0.1V、 T _j = 25°C				
	V _{offadj3l}	High-speed モード、 V _{in} = 0.1V、 T _j = 25°C				
	V _{offadj3h}	High-speed モード、 V _{in} = AVCC0 - 0.1V、 T _j = 25°C				

表 2.63 OPAMP 特性 (2/3)

条件: VCC = AVCC0 = AVCC1 = 1.7V ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	条件	Min	Typ	Max	単位
入力オフセット (注1)	V _{ioff1a}	低消費電力モード、 V _{in} < AVCC0 - 1.0V	-5.0	-	5.0	mV
	V _{ioff1b}	低消費電力モード、 V _{in} ≥ AVCC0 - 1.0V	-8.0	-	8.0	
	V _{ioff2a}	Middle-speed モード、 V _{in} < AVCC0 - 1.2V	-3.0	-	3.0	
	V _{ioff2b}	Middle-speed モード、 V _{in} ≥ AVCC0 - 1.2V	-3.0	-	3.0	
	V _{ioff3a}	High-speed モード、 V _{in} < AVCC0 - 1.2V	-2.5	-	2.5	
	V _{ioff3b}	High-speed モード、 V _{in} ≥ AVCC0 - 1.2V	-2.5	-	2.5	
オフセットドリフト (注1)	Drift1a	低消費電力モード、 V _{in} < AVCC0 - 1.0V	-70	-	70	μV/°C
	Drift1b	低消費電力モード、 V _{in} ≥ AVCC0 - 1.0V	-70	-	70	
	Drift2a	Middle-speed モード、 V _{in} < AVCC0 - 1.2V	-30	-	30	
	Drift2b	Middle-speed モード、 V _{in} ≥ AVCC0 - 1.2V	-30	-	30	
	Drift3a	High-speed モード、 V _{in} < AVCC0 - 1.2V	-30	-	30	
	Drift3b	High-speed モード、 V _{in} ≥ AVCC0 - 1.2V	-30	-	30	
オープンゲイン (注1)	Av1	低消費電力モード	70	130	-	dB
	Av2	Middle-speed モード	70	120	-	
	Av3	High-speed モード	60	130	-	
ゲイン帯域製品 (注1)	GBW1	低消費電力モード	-	90	-	kHz
	GBW2	Middle-speed モード	-	2	-	MHz
	GBW3	High-speed モード	-	4.8	-	MHz
位相マージン (注1)	Pm1	低消費電力モード	35	-	-	deg
	PM2	Middle-speed モード	35	-	-	
	PM3	High-speed モード	35	-	-	
ゲインマージン (注1)	GM1	低消費電力モード	10	-	-	dB
	GM2	Middle-speed モード	10	-	-	
	GM3	High-speed モード	10	-	-	
入力ノイズ密度 (注1)	V _{ind11}	低消費電力モード、 f = 10Hz	-	860	-	nV/√Hz
	V _{ind12}	低消費電力モード、 f = 1kHz	-	260	-	
	V _{ind21}	Middle-speed モード、 f = 1kHz	-	50	-	
	V _{ind22}	Middle-speed モード、 f = 100kHz	-	30	-	
	V _{ind31}	High-speed モード、 f = 1kHz	-	40	-	
	V _{ind32}	High-speed モード、 f = 100kHz	-	20	-	
電源低減比 (注1)	PSRR1	低消費電力モード	-	90	-	dB
	PSRR2	Middle-speed モード	-	90	-	
	PSRR3	High-speed モード	-	90	-	

表 2.63 OPAMP 特性 (3/3)

条件: VCC = AVCC0 = AVCC1 = 1.7V ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	条件	Min	Typ	Max	単位
コモンモード低減比 (注1)	CMRR1	低消費電力モード	-	90	-	dB
	CMRR2	Middle-speed モード	-	90	-	
	CMRR3	High-speed モード	-	90	-	
安定時間 (注1)	T _{set1}	低消費電力モード	-	70	200	μS
	T _{set2}	Middle-speed モード	-	2.8	8	
	T _{set3}	High-speed モード	-	1.2	3.2	
スルーレート (注1)	SR1	低消費電力モード	0.02	0.05	-	V/μS
	SR2	Middle-speed モード	0.8	1.3	-	
	SR3	High-speed モード	1.8	3.0	-	
ターンオン時間 (注1)	T _{turn1}	低消費電力モード、 AMPENx = 0 → 1、 IREFEN = 0 → 1	-	80	220	μS
	T _{turn2}	Middle-speed モード、 AMPENx = 0 → 1、 IREFEN = 0 → 1	-	3	10	
	T _{turn3}	High-speed モード、 AMPENx = 0 → 1、 IREFEN = 0 → 1	-	1.3	4	
入力オフセットトリミング単位 (注1)	V _{iofst2}	Middle-speed モード、 Vin < AVCC0 - 1.2V	0.3	0.459	0.58	mV/code
		Middle-speed モード、 Vin ≥ AVCC0 - 1.2V	0.24	-	0.56	
	V _{iofst3}	High-speed モード、 Vin < AVCC0 - 1.2V	0.35	0.52	0.65	
		High-speed モード、 Vin ≥ AVCC0 - 1.2V	0.28	-	0.61	
トリミング後の待ち時間 (注1)	T _{turn_tm2}	Middle-speed モード	-	-	1.5	μS
	T _{turn_tm3}	High-speed モード	-	-	1	
負荷電流	I _{load}	-	-	-	100	μA
負荷容量	C _L	-	-	-	20	pF

注 1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

2.15 フラッシュメモリ特性

2.15.1 コードフラッシュメモリ特性

表 2.64 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル (注1)	N _{PEC}	1000	-	-	回	-	
データ保持時間	1000回のN _{PEC} の後	t _{DRP}	20 (注2) (注3)	-	-	年	T _a = +85°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 1000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、1KB のブロックについて、それぞれ異なる番地に 4 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください。)

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 2.65 コードフラッシュ特性 (2)

High-speed動作モード

条件: VCC = AVCC0 = AVCC1 = 2.7~5.5V

項目		シンボル	FCLK = 1MHz			FCLK = 32MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8バイト	t _{P8}	-	116	998	-	54	506	μs
イレース時間	2KB	t _{E2K}	-	9.03	287	-	5.67	222	ms
ブランクチェック時間	8バイト	t _{BC8}	-	-	56.8	-	-	16.6	μs
	2KB	t _{BC2K}	-	-	1899	-	-	140	μs
イレースサスペンド時間		t _{SED}	-	-	22.5	-	-	10.7	μs
スタートアップ領域切り替え設定時間		t _{SAS}	-	21.9	585	-	12.1	447	ms
アクセスウィンドウ時間		t _{AWS}	-	21.9	585	-	12.1	447	ms
OCD/シリアルプログラマID設定時間		t _{OSIS}	-	21.9	585	-	12.1	447	ms
フラッシュメモリモード遷移待機時間1		t _{DIS}	2	-	-	2	-	-	μs
フラッシュメモリモード遷移待機時間2		t _{MS}	5	-	-	5	-	-	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

表 2.66 コードフラッシュ特性 (3)

Middle-speed動作モード

条件: VCC = AVCC0 = AVCC1 = 1.8~5.5V、Ta = -40~+85°C

項目		シンボル	FCLK = 1MHz			FCLK = 8MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8バイト	t _{P8}	-	157	1411	-	101	966	μs
イレース時間	2KB	t _{E2K}	-	9.10	289	-	6.10	228	ms
ブランクチェック時間	8バイト	t _{BC8}	-	-	87.7	-	-	52.5	μs
	2KB	t _{BC2K}	-	-	1930	-	-	414	μs
イレースサスペンド時間		t _{SED}	-	-	32.7	-	-	21.6	μs
スタートアップ領域切り替え設定時間		t _{SAS}	-	22.8	592	-	14.2	465	ms
アクセスウィンドウ時間		t _{AWS}	-	22.8	592	-	14.2	465	ms
OCD/シリアルプログラマID設定時間		t _{OSIS}	-	22.8	592	-	14.2	465	ms
フラッシュメモリモード遷移待機時間1		t _{DIS}	2	-	-	2	-	-	μs
フラッシュメモリモード遷移待機時間2		t _{MS}	720	-	-	720	-	-	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

2.15.2 データフラッシュメモリ特性

表 2.67 データフラッシュ特性 (1)

項目		シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル (注1)		N_{DPEC}	100000	1000000	-	回	-
データ保持時間	10000回の N_{DPEC} の後	t_{DDRP}	20 (注2) (注3)	-	-	年	$T_a = +85^\circ\text{C}$
	100000回の N_{DPEC} の後		5 (注2) (注3)	-	-	年	
	1000000回の N_{DPEC} の後		-	1 (注2) (注3)	-	-	年

- 注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 ($n = 100000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、1 バイトのブロックについて、それぞれ異なる番地に 1 バイト書き込みを 1000 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください)
- 注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。
- 注 3. 信頼性試験から得られた結果です。

表 2.68 データフラッシュ特性 (2)

High-speed 動作モード

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = 2.7 \sim 5.5\text{V}$

項目	シンボル	FCLK = 4MHz			FCLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t_{DP1}	-	52.4	463	-	42.1	387	μs
イレース時間	1KB	t_{DE1K}	-	8.98	286	-	6.42	237	ms
ブランクチェック時間	1バイト	t_{DBC1}	-	-	24.3	-	-	16.6	μs
	1KB	t_{DBC1K}	-	-	1872	-	-	512	μs
イレース実行中のサスペンド時間		t_{DSED}	-	-	13.0	-	-	10.7	μs
データフラッシュ STOP 復帰時間		t_{DSTOP}	5	-	-	5	-	-	μs

- 注 . ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含まれません。
- 注 . フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
- 注 . フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。

表 2.69 データフラッシュ特性 (3)

Middle-speed 動作モード

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = 1.8 \sim 5.5\text{V}$ 、 $T_a = -40 \sim +85^\circ\text{C}$

項目	シンボル	FCLK = 4MHz			FCLK = 8MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t_{DP1}	-	94.7	886	-	89.3	849	μs
イレース時間	1KB	t_{DE1K}	-	9.59	299	-	8.29	273	ms
ブランクチェック時間	1バイト	t_{DBC1}	-	-	56.2	-	-	52.5	μs
	1KB	t_{DBC1K}	-	-	2.17	-	-	1.51	ms
イレース実行中のサスペンド時間		t_{DSED}	-	-	23.0	-	-	21.7	μs
データフラッシュ STOP 復帰時間		t_{DSTOP}	720	-	-	720	-	-	ns

- 注 . ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含まれません。
- 注 . フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
- 注 . フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。

2.15.3 シリアルワイヤデバッグ (SWD)

表 2.70 SWD特性 (1)

条件 : VCC = AVCC0 = AVCC1 = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	t_{SWCKcyc}	80	-	-	ns	図 2.71
SWCLKクロック High レベルパルス幅	t_{SWCKH}	35	-	-	ns	
SWCLKクロック Low レベルパルス幅	t_{SWCKL}	35	-	-	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	-	-	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	-	-	5	ns	
SWDIOセットアップ時間	t_{SWDS}	16	-	-	ns	図 2.72
SWDIOホールド時間	t_{SWDH}	16	-	-	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	-	70	ns	

表 2.71 SWD特性 (2)

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	t_{SWCKcyc}	250	-	-	ns	図 2.71
SWCLKクロック High レベルパルス幅	t_{SWCKH}	120	-	-	ns	
SWCLKクロック Low レベルパルス幅	t_{SWCKL}	120	-	-	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	-	-	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	-	-	5	ns	
SWDIOセットアップ時間	t_{SWDS}	50	-	-	ns	図 2.72
SWDIOホールド時間	t_{SWDH}	50	-	-	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	-	150	ns	

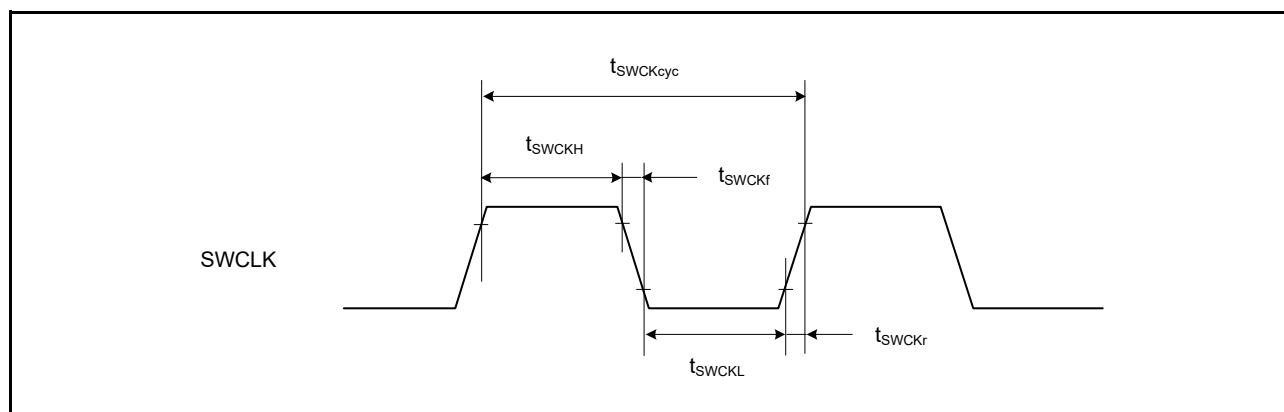


図 2.71 SWD SWCLK タイミング

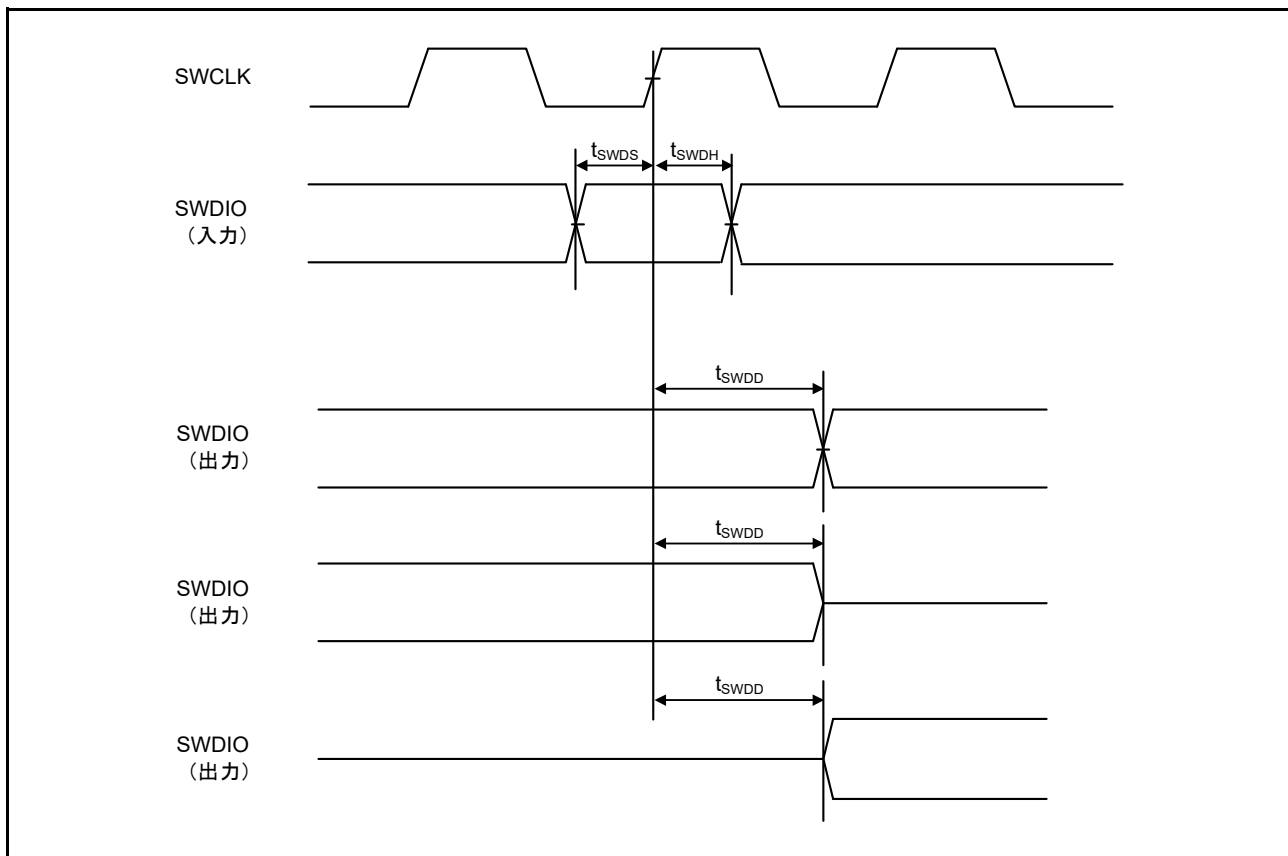


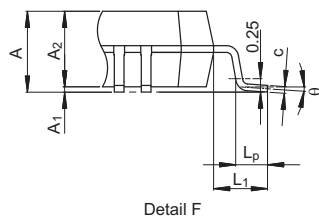
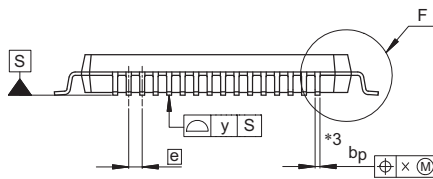
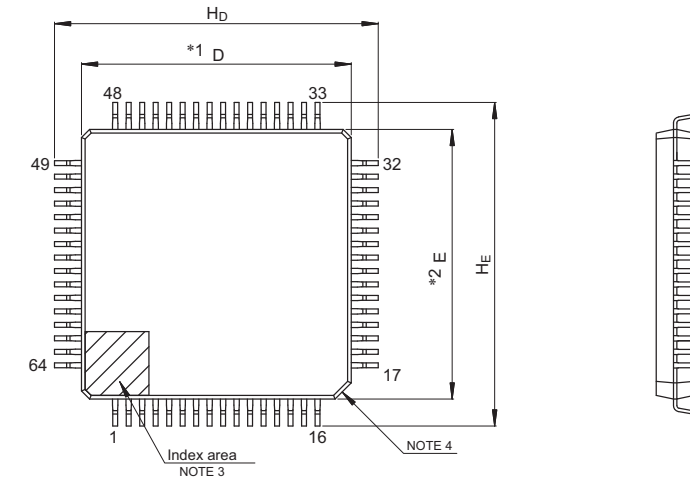
図 2.72 SWD 入出力タイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスのウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 1.1 LQFP 64 ピン

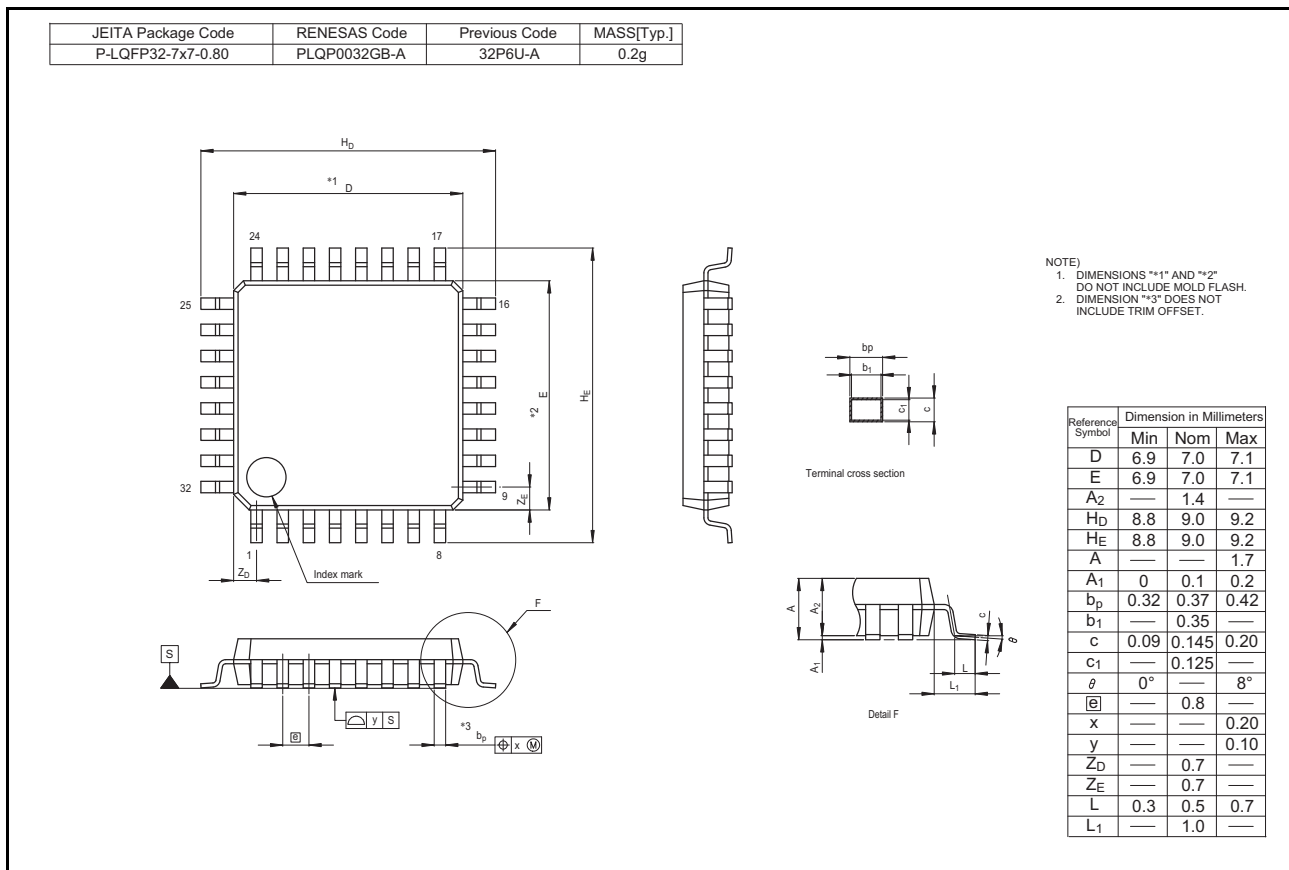


図 1.2 LQFP 32 ピン

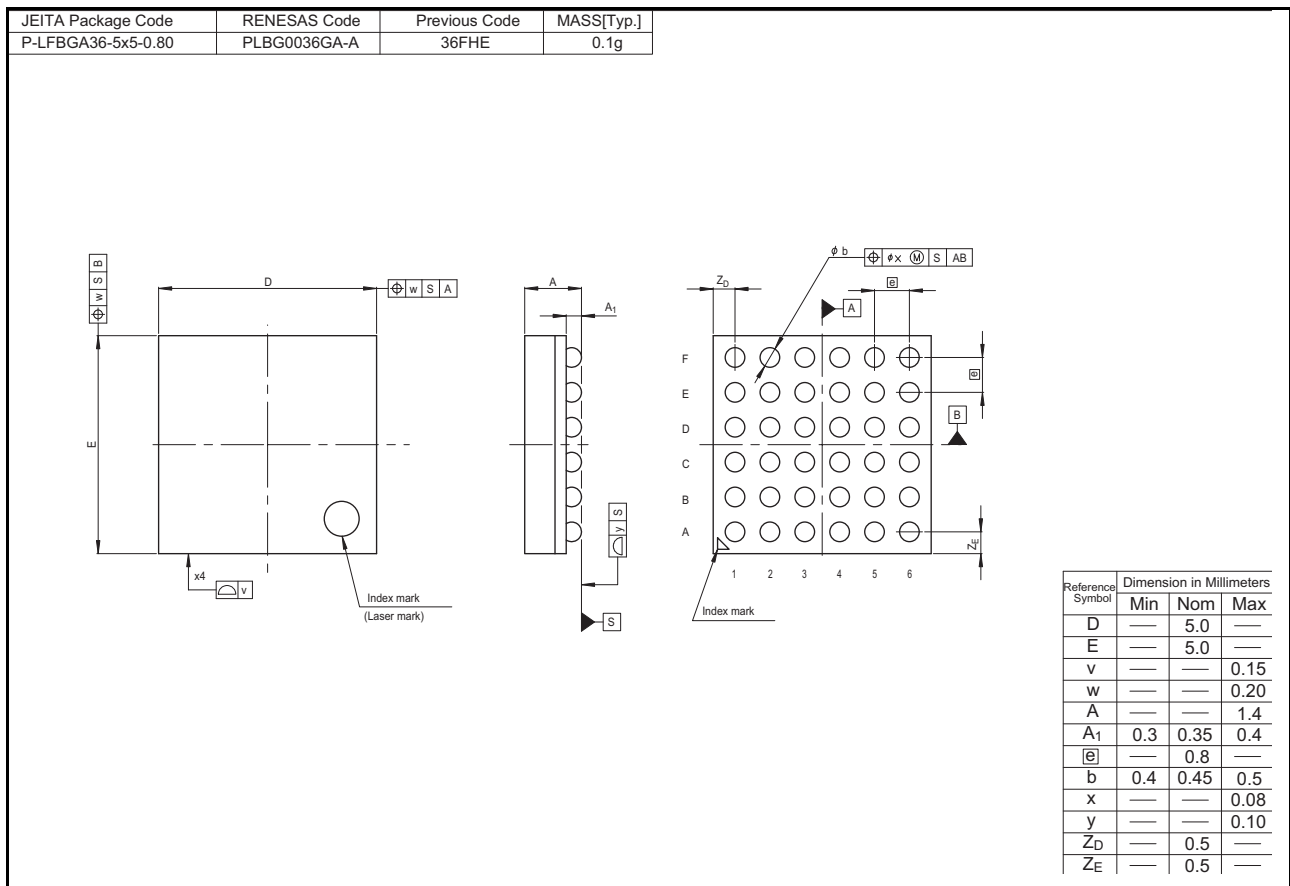
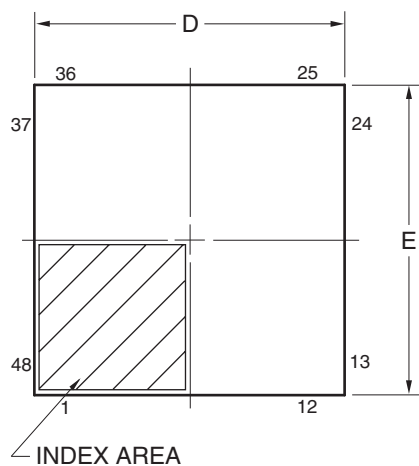
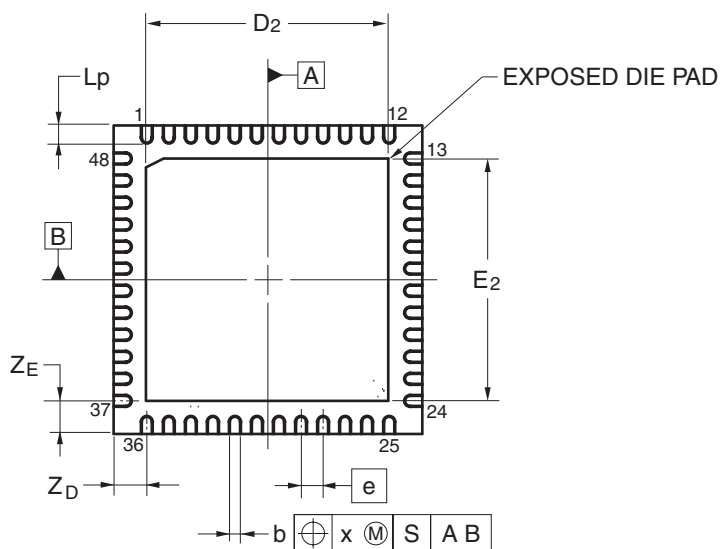
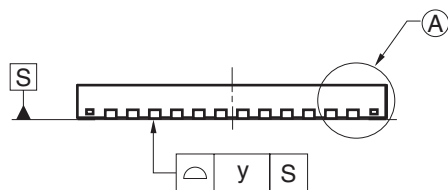
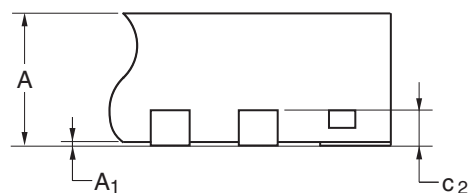


図 1.3 BGA 36 ピン

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-6	0.13



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.95	7.00	7.05
E	6.95	7.00	7.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	5.50	—
E ₂	—	5.50	—

©2013 Renesas Electronics Corporation. All rights reserved.

図 1.4 QFN48 ピン (1)

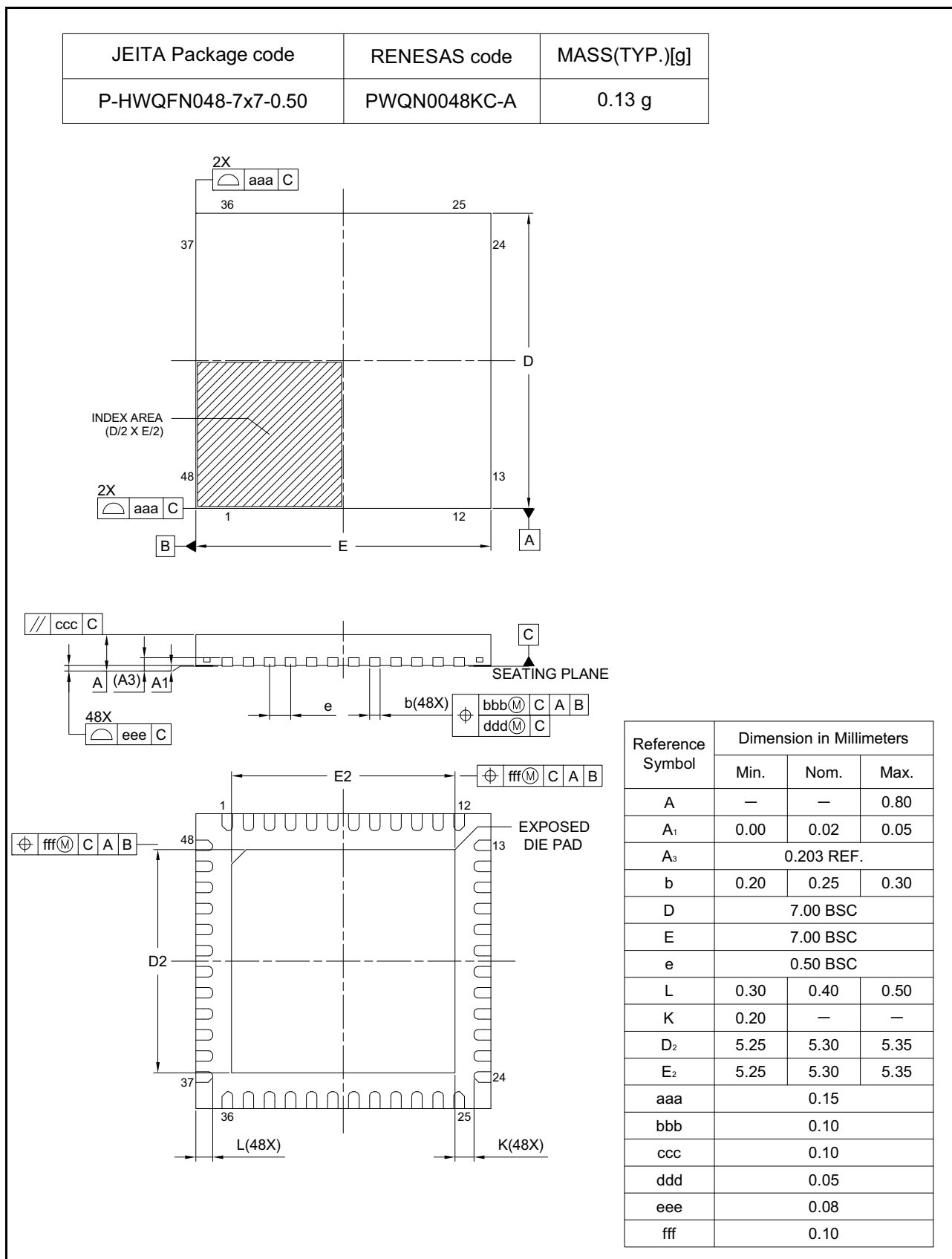
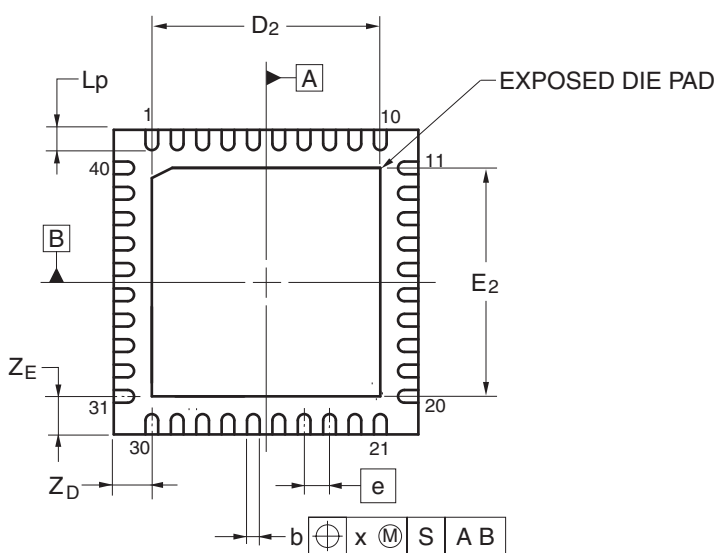
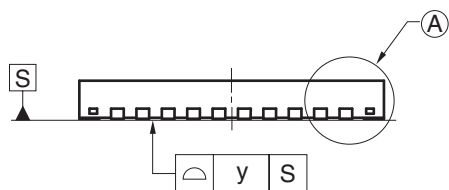
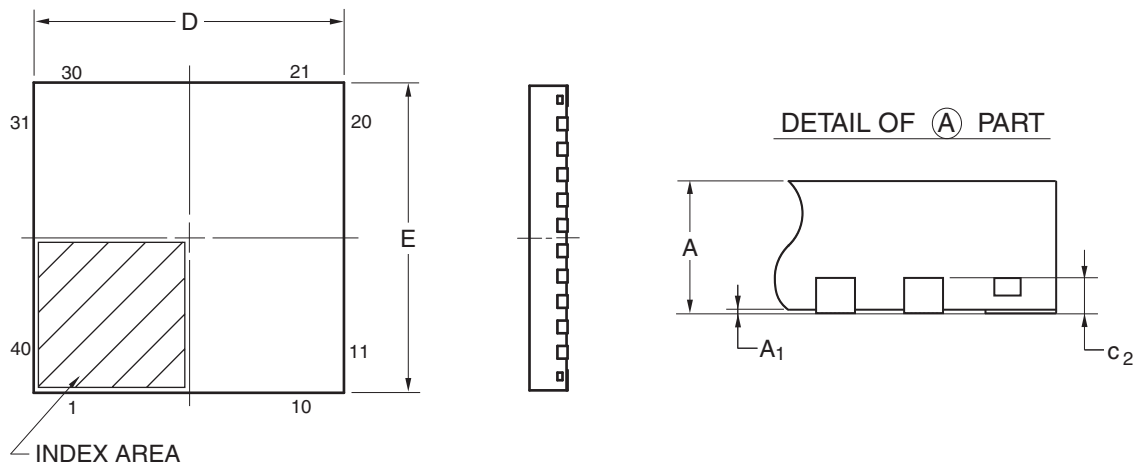


図 1.5 QFN48 ピン (2)

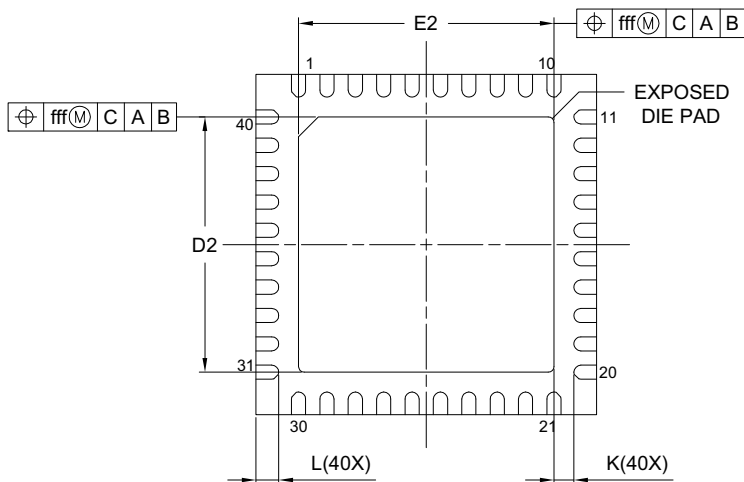
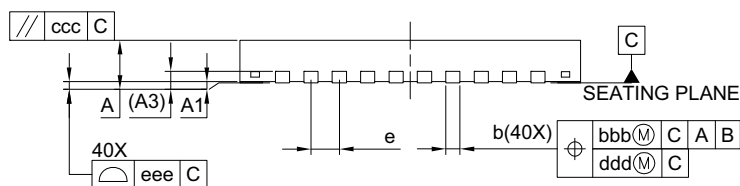
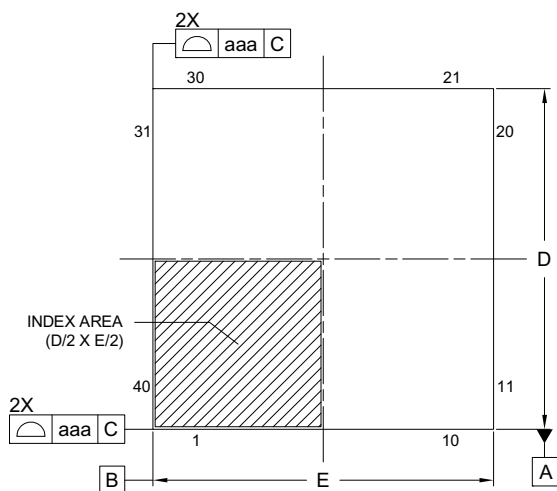
JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-5	0.09



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	5.95	6.00	6.05
E	5.95	6.00	6.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	4.50	—
E ₂	—	4.50	—

図 1.6 QFN40 ピン (1)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.45	4.50	4.55
E ₂	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 1.7 QFN40 ピン (2)

改訂記録	RA2A1 グループデータシート
------	------------------

Rev.	発行日	章	改訂内容
1.00	2020.03.24	—	初版発行
1.10	2023.07.14	—	第 1.10 版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング等、その他、不適切に使用しないでください。かかる改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/