

RMLV0816BGSA – 4S2

8Mbit 低消費電力 SRAM (512k word × 16bit / 1024k word × 8bit)

R10DS0252JJ0201

Rev.2.01

2020.02.20

概要

RMLV0816BGSA は、524,288 ワード × 16 ビット構成の 8M ビットスタティック RAM です。Advanced LPSRAM 技術を採用し、高密度、高性能、低消費電力を実現しております。したがって、RMLV0816BGSA は、バッテリーバックアップシステムに最適です。また、RMLV0816BGSA は、48 ピンの薄型パッケージ（TSOP/ 12mm × 20mm [ピンピッチ 0.50mm]）に収納されており、高密度実装に最適です。

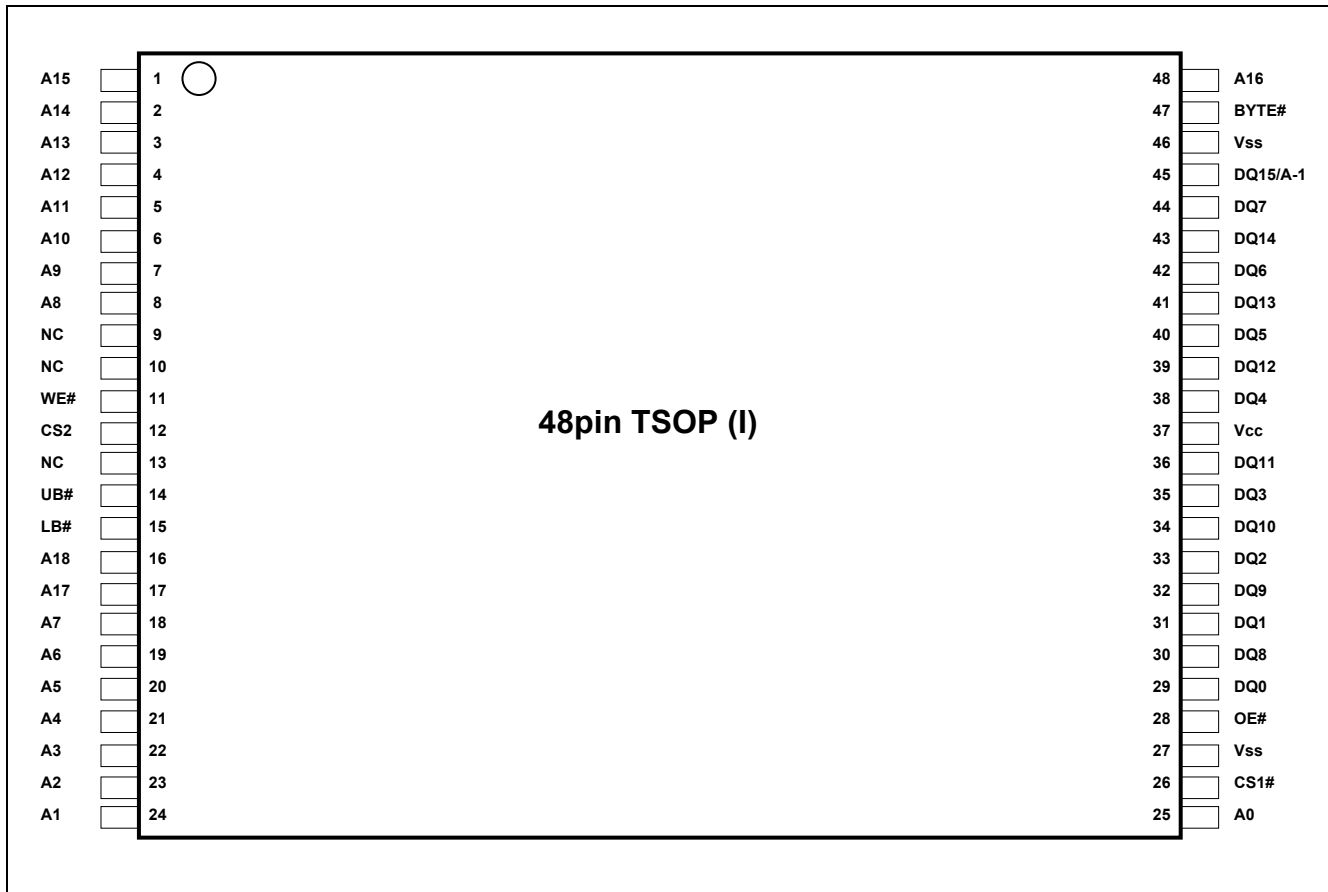
特長

- 3V 単一電源：2.4V ~ 3.6V
- アクセス時間：
 - 電源電圧 2.7V~3.6V 時：45ns (max.)
 - 電源電圧 2.4V~2.7V 時：55ns (max.)
- 消費電流：
 - スタンバイ時：0.45μA (typ.)
- アクセスとサイクル時間が同じです。
- データ入力と出力が共通端子です。
 - スリーステート出力
- すべての入出力が、TTL コンパチブルです。
- バッテリーバックアップ動作が可能です。

製品ラインアップ

| Part Name | Power supply | Access time | Temperature Range | Package |
|------------------|--------------|-------------|-------------------|------------------------------------|
| RMLV0816BGSA-4S2 | 2.7V to 3.6V | 45 ns | -40 ~ +85°C | 12mm x 20mm 48pin plastic TSOP (I) |
| | 2.4V to 2.7V | 55 ns | | |

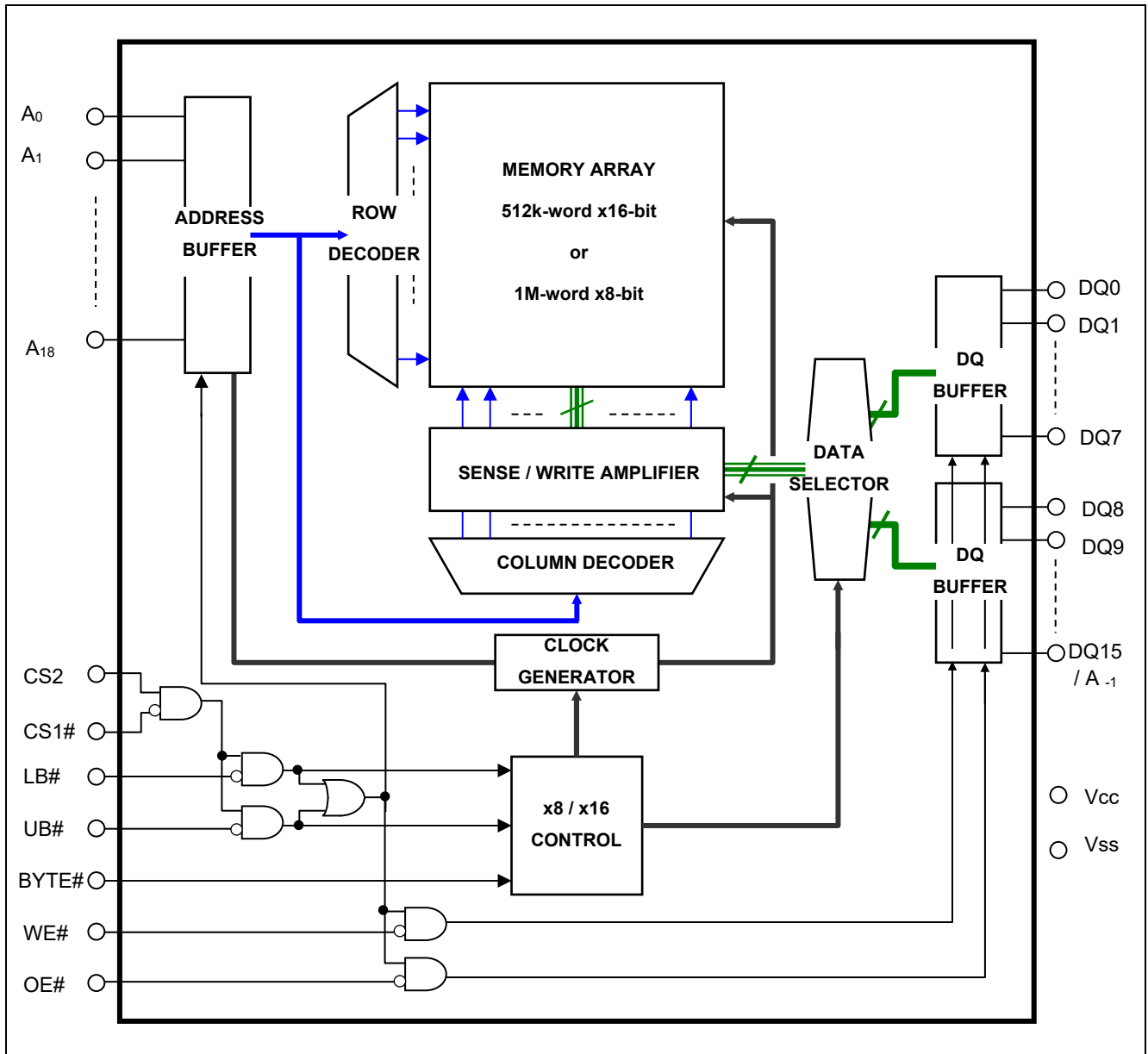
ピン配置



ピン説明

| Pin name | Function |
|-----------------|---------------------------|
| V _{CC} | Power supply |
| V _{SS} | Ground |
| A0 to A18 | Address input (word mode) |
| A-1 to A18 | Address input (byte mode) |
| DQ0 to DQ15 | Data input/output |
| CS1# | Chip select 1 |
| CS2 | Chip select 2 |
| OE# | Output enable |
| WE# | Write enable |
| LB# | Lower byte select |
| UB# | Upper byte select |
| BYTE# | Byte control mode enable |
| NC | No connection |

ブロックダイアグラム



動作表

| CS1# | CS2 | BYTE# | UB# | LB# | WE# | OE# | DQ0~7 | DQ8~14 | DQ15 | Operation |
|------|-----|-------|-----|-----|-----|-----|--------|--------|--------|---------------------|
| H | X | X | X | X | X | X | High-Z | High-Z | High-Z | Stand-by |
| X | L | X | X | X | X | X | High-Z | High-Z | High-Z | Stand-by |
| X | X | H | H | H | X | X | High-Z | High-Z | High-Z | Stand-by |
| L | H | H | H | L | L | X | Din | High-Z | High-Z | Write in lower byte |
| L | H | H | H | L | H | L | Dout | High-Z | High-Z | Read in lower byte |
| L | H | H | H | L | H | H | High-Z | High-Z | High-Z | Output disable |
| L | H | H | L | H | L | X | High-Z | Din | Din | Write in upper byte |
| L | H | H | L | H | H | L | High-Z | Dout | Dout | Read in upper byte |
| L | H | H | L | H | H | H | High-Z | High-Z | High-Z | Output disable |
| L | H | H | L | L | L | X | Din | Din | Din | Word write |
| L | H | H | L | L | H | L | Dout | Dout | Dout | Word read |
| L | H | H | L | L | H | H | High-Z | High-Z | High-Z | Output disable |
| L | H | L | X | X | L | X | Din | High-Z | A-1 | Byte write |
| L | H | L | X | X | H | L | Dout | High-Z | A-1 | Byte read |
| L | H | L | X | X | H | H | High-Z | High-Z | A-1 | Output disable |

【注】 1 : H: V_{IH} L: V_{IL} X: V_{IH} or V_{IL}

絶対最大定格

| Parameter | Symbol | Value | unit |
|--|------------|----------------------------|------|
| Power supply voltage relative to V_{SS} | V_{CC} | -0.5 to +4.6 | V |
| Terminal voltage on any pin relative to V_{SS} | V_T | -0.5^2 to $V_{CC}+0.3^3$ | V |
| Power dissipation | P_T | 0.7 | W |
| Operation temperature | T_{opr} | -40 to +85 | °C |
| Storage temperature range | T_{stg} | -65 to +150 | °C |
| Storage temperature range under bias | T_{bias} | -40 to +85 | °C |

【注】 2. パルス半値幅 30ns 以下の場合、-3.0V (Min.)

3. 最大電圧 +4.6V

DC 動作条件

| Parameter | Symbol | Min. | Typ. | Max. | Unit | Test conditions | Note |
|---------------------------|----------|------|------|--------------|------|-------------------------|------|
| Supply voltage | V_{CC} | 2.4 | 3.0 | 3.6 | V | | |
| | V_{SS} | 0 | 0 | 0 | V | | |
| Input high voltage | V_{IH} | 2.0 | — | $V_{CC}+0.2$ | V | $V_{CC}=2.4V$ to $2.7V$ | |
| | | 2.2 | — | $V_{CC}+0.2$ | V | $V_{CC}=2.7V$ to $3.6V$ | |
| Input low voltage | V_{IL} | -0.2 | — | 0.4 | V | $V_{CC}=2.4V$ to $2.7V$ | 4 |
| | | -0.2 | — | 0.6 | V | $V_{CC}=2.7V$ to $3.6V$ | 4 |
| Ambient temperature range | T_a | -40 | — | +85 | °C | | |

【注】 4. パルス半値幅 30ns 以下の場合、-3.0V (Min.)

DC 特性

| Parameter | Symbol | Min. | Typ. | Max. | Unit | Test conditions |
|---------------------------|------------|------|-------------|------|---------------|---|
| Input leakage current | $ I_{LI} $ | — | — | 1 | μA | $V_{in} = V_{SS}$ to V_{CC} |
| Output leakage current | $ I_{LO} $ | — | — | 1 | μA | BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ CS1# = V_{IH} or CS2 = V_{IL} or OE# = V_{IH} or WE# = V_{IL} or LB# = UB# = V_{IH} , $V_{I/O} = V_{SS}$ to V_{CC} |
| Average operating current | I_{CC1} | — | 20^{*5} | 25 | mA | Cycle = 55ns, duty = 100%, $I_{I/O} = 0\text{mA}$, BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ CS1# = V_{IL} , CS2 = V_{IH} , Others = V_{IH}/V_{IL} |
| | | — | 25^{*5} | 30 | mA | Cycle = 45ns, duty = 100%, $I_{I/O} = 0\text{mA}$, BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ CS1# = V_{IL} , CS2 = V_{IH} , Others = V_{IH}/V_{IL} |
| | I_{CC2} | — | 1.5^{*5} | 3 | mA | Cycle = 1 μs , duty = 100%, $I_{I/O} = 0\text{mA}$, BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ CS1# $\leq 0.2\text{V}$, CS2 $\geq V_{CC} - 0.2\text{V}$, $V_{IH} \geq V_{CC} - 0.2\text{V}$, $V_{IL} \leq 0.2\text{V}$ |
| Standby current | I_{SB} | — | — | 0.3 | mA | BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ CS2 = V_{IL} , Others = V_{SS} to V_{CC} |
| Standby current | I_{SB1} | — | 0.45^{*5} | 2 | μA | $\sim +25^{\circ}\text{C}$ Vin = V_{SS} to V_{CC} , BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ |
| | | — | 0.6^{*6} | 4 | μA | $\sim +40^{\circ}\text{C}$ BYTE# $\leq 0.2\text{V}$ |
| | | — | — | 7 | μA | $\sim +70^{\circ}\text{C}$ (1) CS2 $\leq 0.2\text{V}$ or (2) CS1# $\geq V_{CC} - 0.2\text{V}$, CS2 $\geq V_{CC} - 0.2\text{V}$ or |
| | | — | — | 10 | μA | $\sim +85^{\circ}\text{C}$ (3) LB# = UB# $\geq V_{CC} - 0.2\text{V}$, CS1# $\leq 0.2\text{V}$, CS2 $\geq V_{CC} - 0.2\text{V}$ |
| Output high voltage | V_{OH} | 2.4 | — | — | V | BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ $I_{OH} = -1\text{mA}$ $V_{CC} \geq 2.7\text{V}$ |
| | V_{OH2} | 2.0 | — | — | V | BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ $I_{OH} = -0.1\text{mA}$ |
| Output low voltage | V_{OL} | — | — | 0.4 | V | BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ $I_{OL} = 2\text{mA}$ $V_{CC} \geq 2.7\text{V}$ |
| | V_{OL2} | — | — | 0.4 | V | BYTE# $\geq V_{CC} - 0.2\text{V}$ or BYTE# $\leq 0.2\text{V}$ $I_{OL} = 0.1\text{mA}$ |

【注】 5. $V_{CC} = 3.0\text{V}$ 、 $T_a = +25^{\circ}\text{C}$ における参考値6. $V_{CC} = 3.0\text{V}$ 、 $T_a = +40^{\circ}\text{C}$ における参考値

容量

(Ta = 25°C, f = 1MHz)

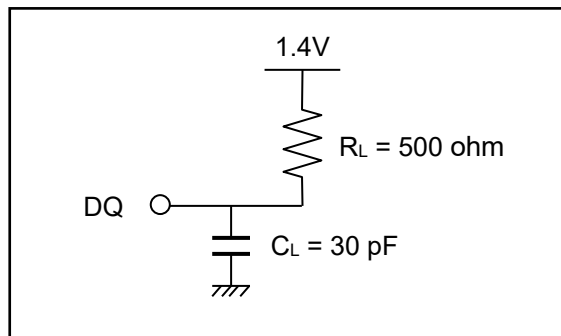
| Parameter | Symbol | Min. | Typ. | Max. | Unit | Test conditions | Note |
|----------------------------|--------|------|------|------|------|-----------------------|------|
| Input capacitance | C in | — | — | 8 | pF | $V_{in} = 0\text{V}$ | 7 |
| Input / output capacitance | C I/O | — | — | 10 | pF | $V_{I/O} = 0\text{V}$ | 7 |

【注】 7. このパラメータは全数測定されたものではなく、サンプル値です。

AC 特性

測定条件($V_{CC} = 2.4V \sim 3.6V$, $T_a = -40 \sim +85^{\circ}C$)

- 入力パルスレベル :
 $V_{IL} = 0.4V$, $V_{IH} = 2.4V$ ($V_{CC} = 2.7V \sim 3.6V$)
 $V_{IL} = 0.4V$, $V_{IH} = 2.2V$ ($V_{CC} = 2.4V \sim 2.7V$)
- 入力上昇/下降時間 : 5ns
- 入出力タイミング参照レベル : 1.4V
- 出力負荷 : 右図参照 (スコープ、ジグ容量を含む)



リードサイクル

| Parameter | Symbol | $V_{CC}=2.7V$ to 3.6V | | $V_{CC}=2.4V$ to 2.7V | | Unit | Note |
|------------------------------------|------------|-----------------------|------|-----------------------|------|------|--------|
| | | Min. | Max. | Min. | Max. | | |
| Read cycle time | t_{RC} | 45 | — | 55 | — | ns | |
| Address access time | t_{AA} | — | 45 | — | 55 | ns | |
| Chip select access time | t_{ACS1} | — | 45 | — | 55 | ns | |
| | t_{ACS2} | — | 45 | — | 55 | ns | |
| Output enable to output valid | t_{OE} | — | 22 | — | 30 | ns | |
| Output hold from address change | t_{OH} | 10 | — | 10 | — | ns | |
| LB#, UB# access time | t_{BA} | — | 45 | — | 55 | ns | |
| Chip select to output in low-Z | t_{CLZ1} | 10 | — | 10 | — | ns | 8,9 |
| | t_{CLZ2} | 10 | — | 10 | — | ns | 8,9 |
| LB#, UB# enable to low-Z | t_{BLZ} | 5 | — | 5 | — | ns | 8,9 |
| Output enable to output in low-Z | t_{OLZ} | 5 | — | 5 | — | ns | 8,9 |
| Chip deselect to output in high-Z | t_{CHZ1} | 0 | 18 | 0 | 20 | ns | 8,9,10 |
| | t_{CHZ2} | 0 | 18 | 0 | 20 | ns | 8,9,10 |
| LB#, UB# disable to high-Z | t_{BHZ} | 0 | 18 | 0 | 20 | ns | 8,9,10 |
| Output disable to output in high-Z | t_{OHZ} | 0 | 18 | 0 | 20 | ns | 8,9,10 |

- 【注】 8. このパラメータは全数測定されたものではなくサンプル値です。
9. 温度、電圧条件が同一の場合には、 t_{CHZ1} max は t_{CLZ1} min より小さく、 t_{CHZ2} max は t_{CLZ2} min より小さく、 t_{BHZ} max は t_{BLZ} min より小さく、 t_{OHZ} max は t_{OLZ} min より小さくなります。
10. t_{CHZ1} 、 t_{CHZ2} 、 t_{BHZ} 、 t_{OHZ} は、DQ 端子がハイ・インピーダンス(High-Z)状態に入る時間として規定され、その時の DQ 端子の電圧レベルには依りません。

ライトサイクル

| Parameter | Symbol | Vcc=2.7V to 3.6V | | Vcc=2.4V to 2.7V | | Unit | Note |
|------------------------------------|------------------|------------------|------|------------------|------|------|-------|
| | | Min. | Max. | Min. | Max. | | |
| Write cycle time | t _{WC} | 45 | — | 55 | — | ns | |
| Address valid to write end | t _{AW} | 35 | — | 50 | — | ns | |
| Chip select to write end | t _{CW} | 35 | — | 50 | — | ns | |
| Write pulse width | t _{WP} | 35 | — | 40 | — | ns | 11 |
| LB#,UB# valid to write end | t _{BW} | 35 | — | 50 | — | ns | |
| Address setup time to write start | t _{AS} | 0 | — | 0 | — | ns | |
| Write recovery time from write end | t _{WR} | 0 | — | 0 | — | ns | |
| Data to write time overlap | t _{DW} | 25 | — | 25 | — | ns | |
| Data hold from write end | t _{DH} | 0 | — | 0 | — | ns | |
| Output enable from write end | t _{OW} | 5 | — | 5 | — | ns | 12 |
| Output disable to output in high-Z | t _{OHZ} | 0 | 18 | 0 | 20 | ns | 12,13 |
| Write to output in high-Z | t _{WHZ} | 0 | 18 | 0 | 20 | ns | 12,13 |

【注】 11. t_{WP} は書き込み開始から書き込み終了までの時間です。

書き込み開始は、(CS1#)、(WE#)、(LB#と UB#の両方またはどちらか一方) および (CS2) のすべてが活性(アサート)となった時点で規定され、(CS1#)、(WE#)、(LB#と UB#の両方またはどちらか一方) が各々Low かつ (CS2) が High の状態がすべてオーバーラップする期間に書き込みが行われます。

書き込み終了は、(CS1#)、(WE#)、(LB#と UB#の両方またはどちらか一方) および (CS2) のうちどれか一つでも非活性(ネゲート)になった時点で規定されます。

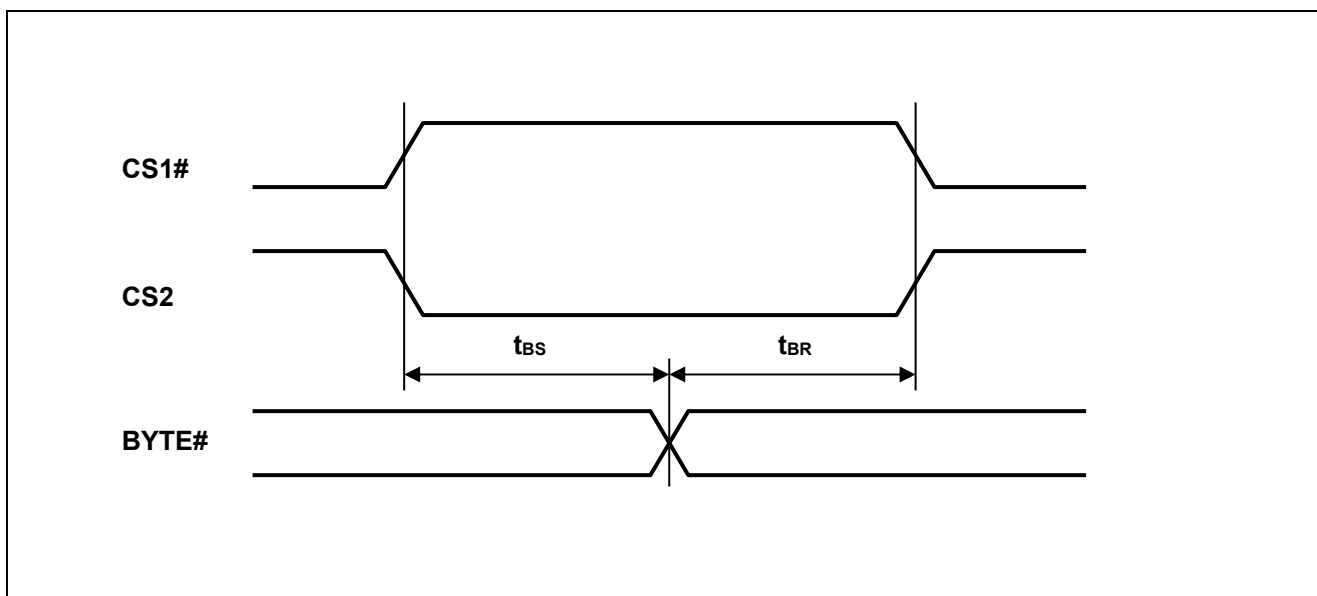
12. このパラメータは全数測定されたものではなくサンプル値です。

13. t_{OHZ}、t_{WHZ} は、DQ 端子がハイ・インピーダンス(High-Z)状態に入る時間として規定され、その時の DQ 端子の電圧レベルには依りません。

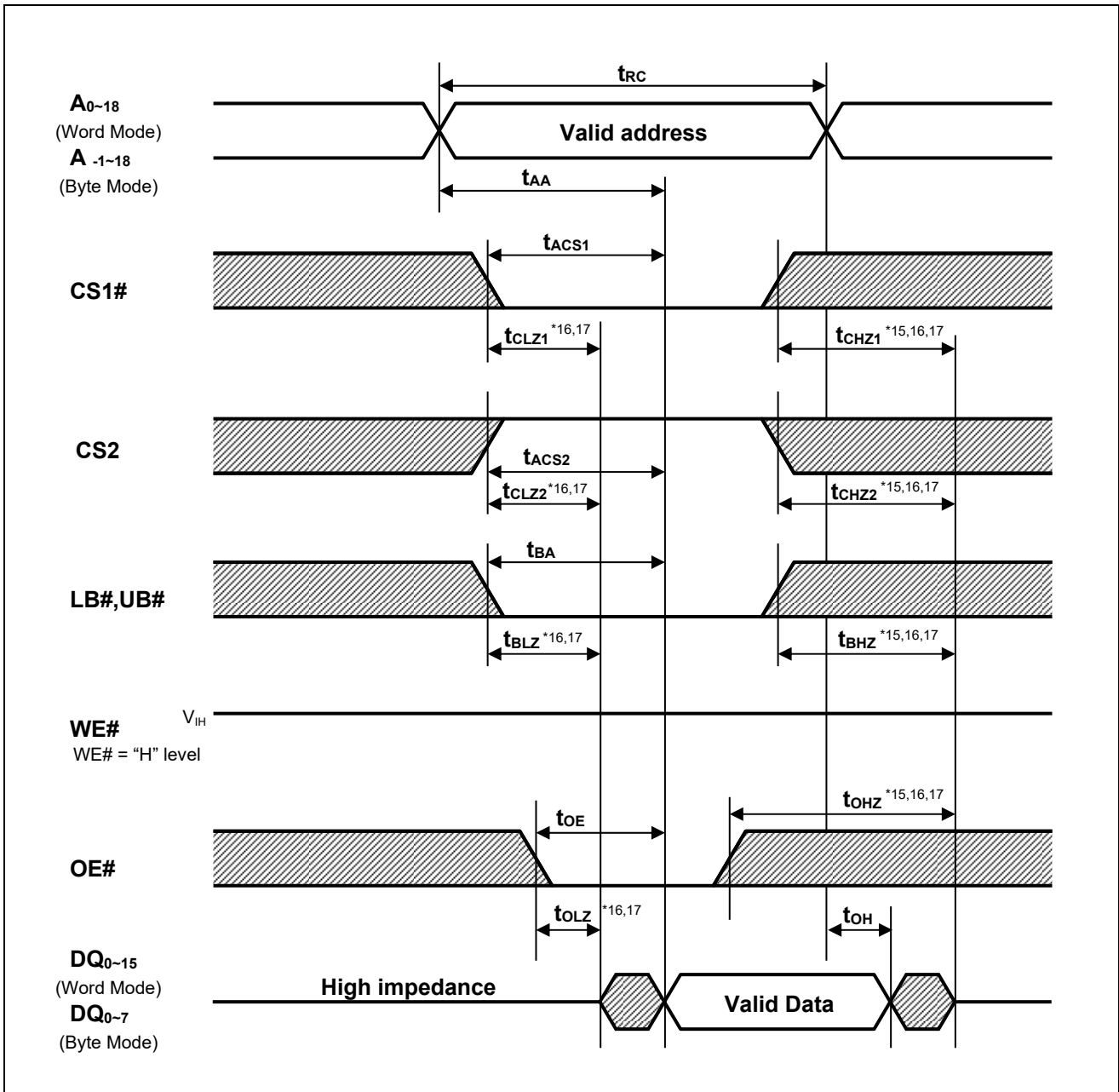
BYTE#タイミング必要条件

| Parameter | Symbol | Vcc=2.7V to 3.6V | | Vcc=2.4V to 2.7V | | Unit | Note |
|--------------------|-----------------|------------------|------|------------------|------|------|------|
| | | Min. | Max. | Min. | Max. | | |
| Byte setup time | t _{BS} | 5 | — | 5 | — | ms | |
| Byte recovery time | t _{BR} | 5 | — | 5 | — | ms | |

BYTE#タイミング波形



タイミング波形

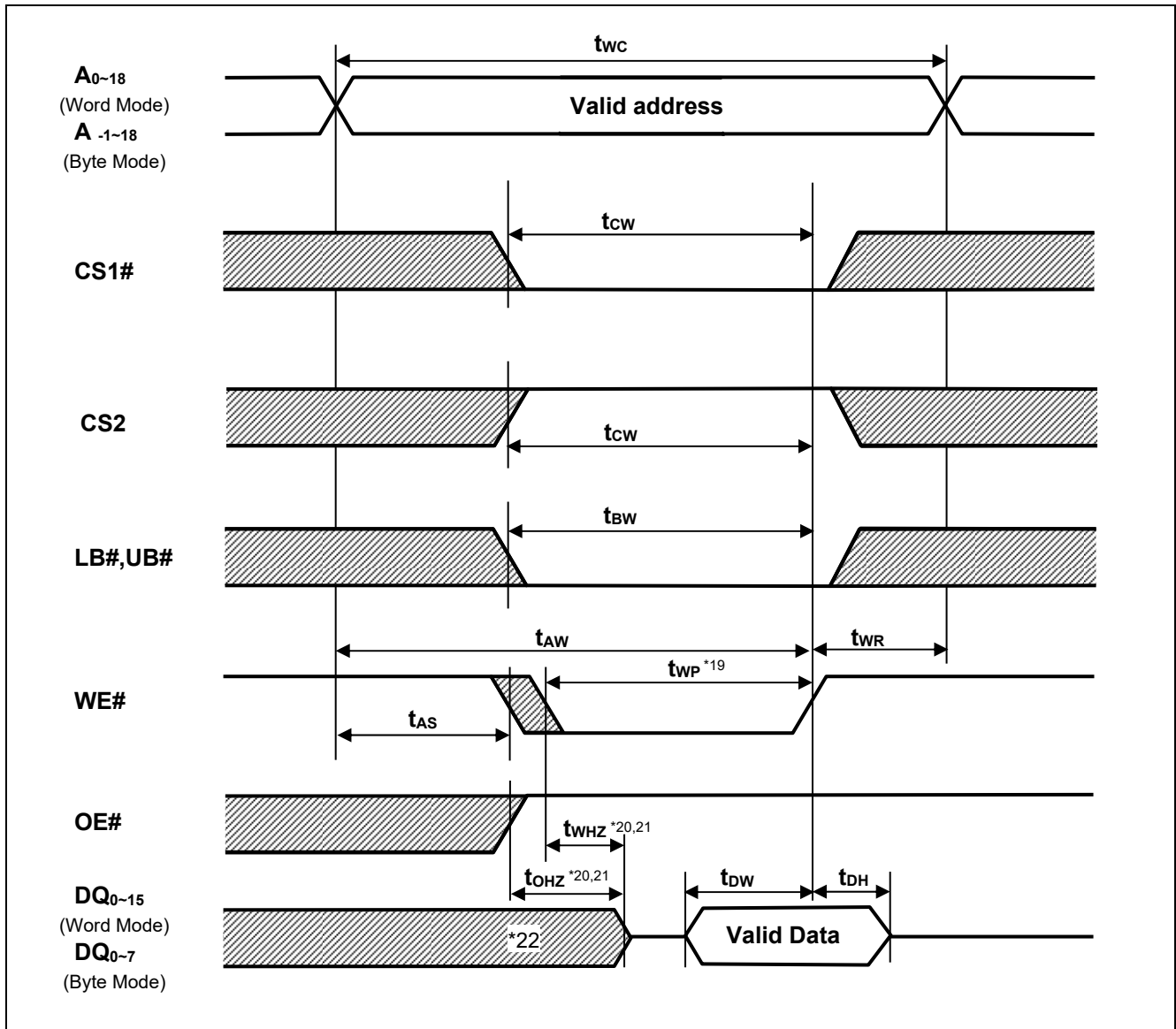
リードサイクル^{*14}

【注】 14. $BYTE\# \geq V_{CC} - 0.2V$ or $BYTE\# \leq 0.2V$

15. t_{CHZ1} 、 t_{CHZ2} 、 t_{BHZ} 、 t_{OHZ} は、DQ 端子がハイ・インピーダンス(High-Z)状態に入る時間として規定され、その時の DQ 端子の電圧レベルには依りません。

16. このパラメータは全数測定されたものではなくサンプル値です。

17. 温度、電圧条件が同一の場合には、 $t_{CHZ1\ max}$ は $t_{CLZ1\ min}$ より小さく、 $t_{CHZ2\ max}$ は $t_{CLZ2\ min}$ より小さく、 $t_{BHZ\ max}$ は $t_{BLZ\ min}$ より小さく、 $t_{OHZ\ max}$ は $t_{OLZ\ min}$ より小さくなります。

ライトサイクル(1)^{*18} (WE#クロック、ライト時 OE# = "H")

【注】 18. $BYTE\# \geq V_{CC} - 0.2V$ or $BYTE\# \leq 0.2V$

19. t_{WP} は書き込み開始から書き込み終了までの時間です。

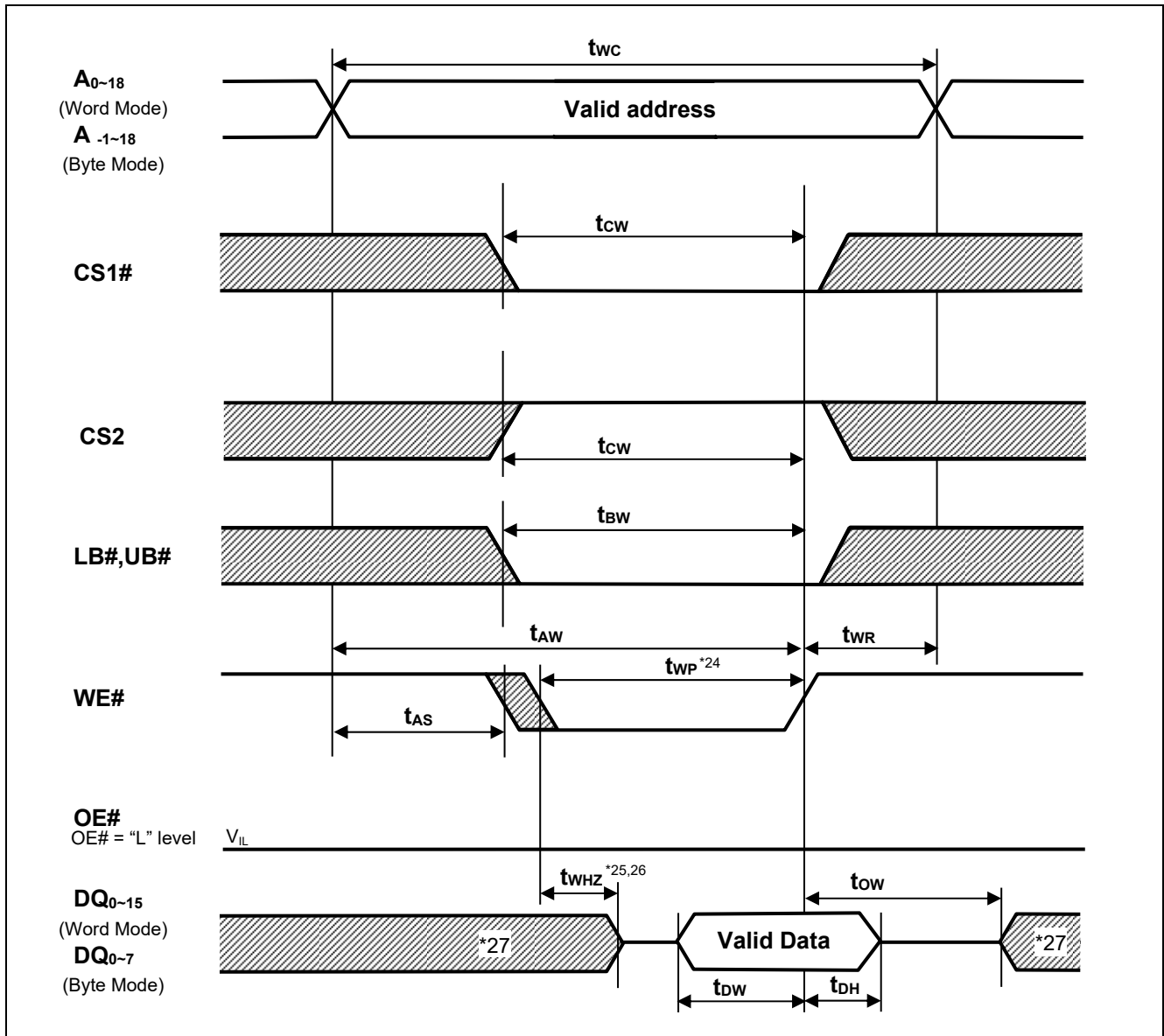
書き込み開始は、(CS1#)、(WE#)、(LB#と UB#の両方またはどちらか一方) および (CS2) のすべてが活性(アサート)となった時点で規定され、(CS1#)、(WE#)、(LB#と UB#の両方またはどちらか一方) が各々Low かつ (CS2) が High の状態がすべてオーバーラップする期間に書き込みが行われます。

書き込み終了は、(CS1#)、(WE#)、(LB#と UB#の両方またはどちらか一方) および (CS2) のうちどれか一つでも非活性(ネゲート)になった時点で規定されます。

20. t_{OHZ} 、 t_{WHZ} は、DQ 端子がハイ・インピーダンス(High-Z)状態に入る時間として規定され、その時の DQ 端子の電圧レベルには依りません。

21. このパラメータは全数測定されたものではなくサンプル値です。

22. この期間中、メモリ側の DQ 端子はロウ・インピーダンス(Low-Z)になっており、システム側から入力信号を DQ 端子に印加してはなりません。

ライトサイクル(2)^{*23} (WE#クロック、OE# = "L")

【注】 23. $BYTE\# \geq V_{CC} - 0.2V$ or $BYTE\# \leq 0.2V$

24. t_{WP} は書き込み開始から書き込み終了までの時間です。

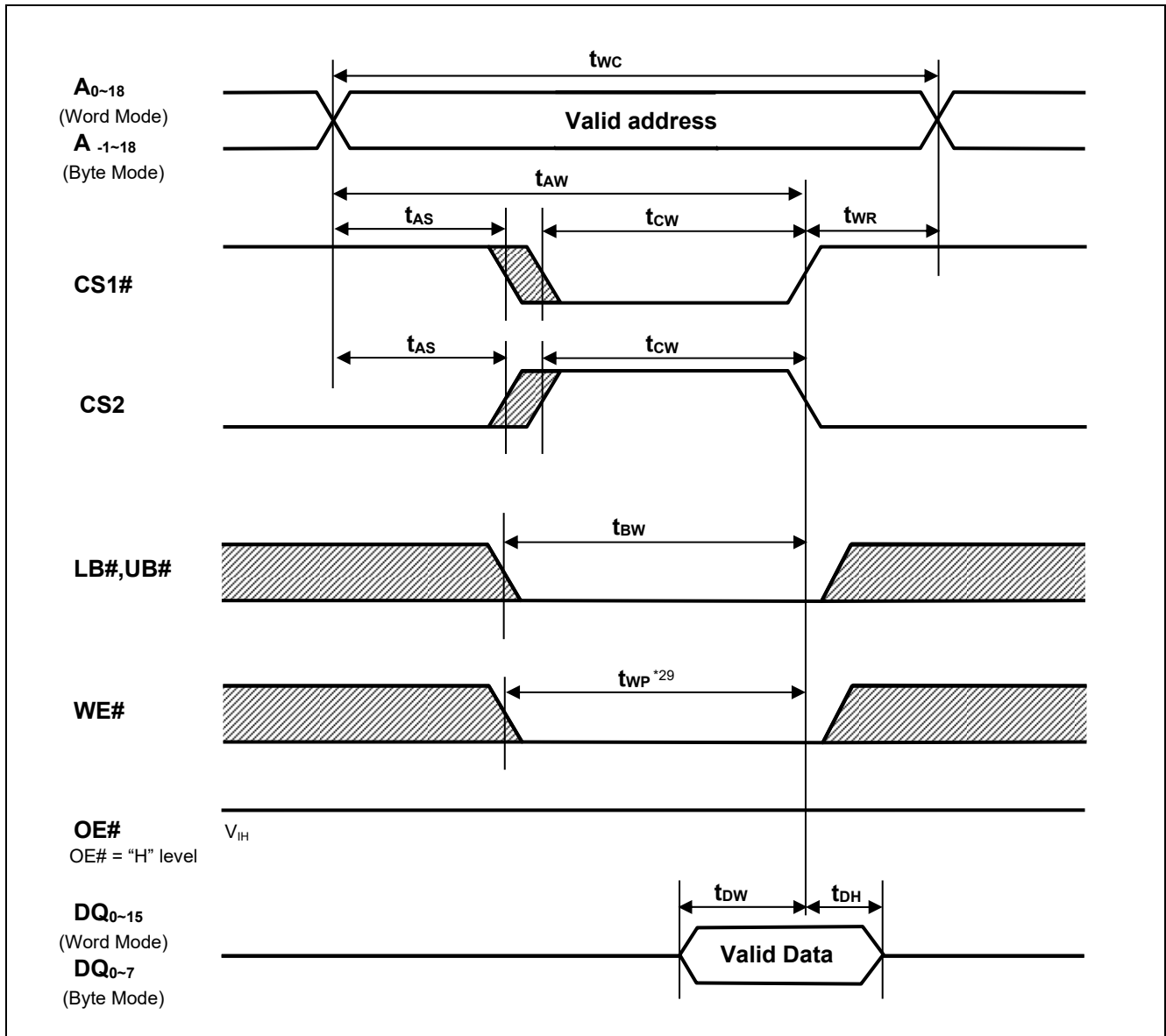
書き込み開始は、(CS1#)、(WE#)、(LB#とUB#の両方またはどちらか一方) および (CS2) のすべてが活性(アサート)となった時点で規定され、(CS1#)、(WE#)、(LB#とUB#の両方またはどちらか一方) が各々Lowでかつ (CS2) が High の状態がすべてオーバーラップする期間に書き込みが行われます。

書き込み終了は、(CS1#)、(WE#)、(LB#とUB#の両方またはどちらか一方) および (CS2) のうちどれか一つでも非活性(ネゲート)になった時点で規定されます。

25. t_{WHZ} は、DQ 端子がハイ・インピーダンス(High-Z)状態に入る時間として規定され、その時の DQ 端子の電圧レベルには依りません。

26. このパラメータは全数測定されたものではなくサンプル値です。

27. この期間中、メモリ側の DQ 端子はロウ・インピーダンス(Low-Z)になっており、システム側から入力信号を DQ 端子に印加してはなりません。

ライトサイクル(3)^{*28} (CS1#,CS2 クロック)

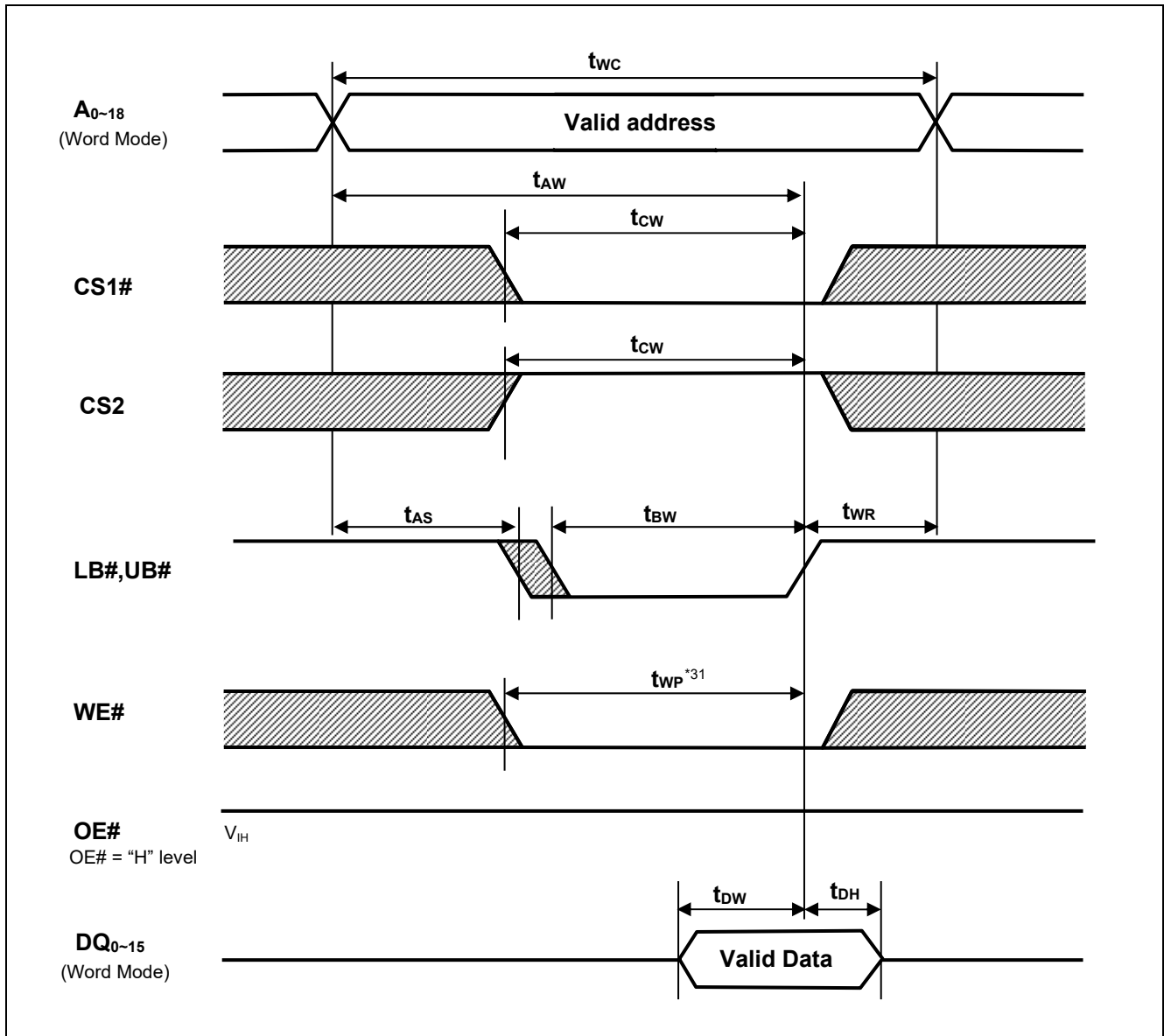
【注】 28. $BYTE\# \geq V_{CC} - 0.2V$ or $BYTE\# \leq 0.2V$

29. t_{WP} は書き込み開始から書き込み終了までの時間です。

書き込み開始は、(CS1#)、(WE#)、(LB#とUB#の両方またはどちらか一方) および (CS2) のすべてが活性(アサート)となった時点で規定され、(CS1#)、(WE#)、(LB#とUB#の両方またはどちらか一方) が各々Low かつ (CS2) が High の状態がすべてオーバーラップする期間に書き込みが行われます。

書き込み終了は、(CS1#)、(WE#)、(LB#とUB#の両方またはどちらか一方) および (CS2) のうちどれか一つでも非活性(ネゲート)になった時点で規定されます。

ライトサイクル(4)^{*30} (LB#,UB# クロック, Word Mode 時のみ適用)



【注】 30. $BYTE\# \geq V_{CC} - 0.2V$

31. t_{WP} は書き込み開始から書き込み終了までの時間です。

書き込み開始は、(CS1#)、(WE#)、(LB#とUB#の両方またはどちらか一方) および (CS2) のすべてが活性(アサート)となった時点で規定され、(CS1#)、(WE#)、(LB#とUB#の両方またはどちらか一方) が各々Lowでかつ (CS2) が High の状態がすべてオーバーラップする期間に書き込みが行われます。

書き込み終了は、(CS1#)、(WE#)、(LB#とUB#の両方またはどちらか一方) および (CS2) のうちどれか一つでも非活性(ネゲート)になった時点で規定されます。

データ保持特性

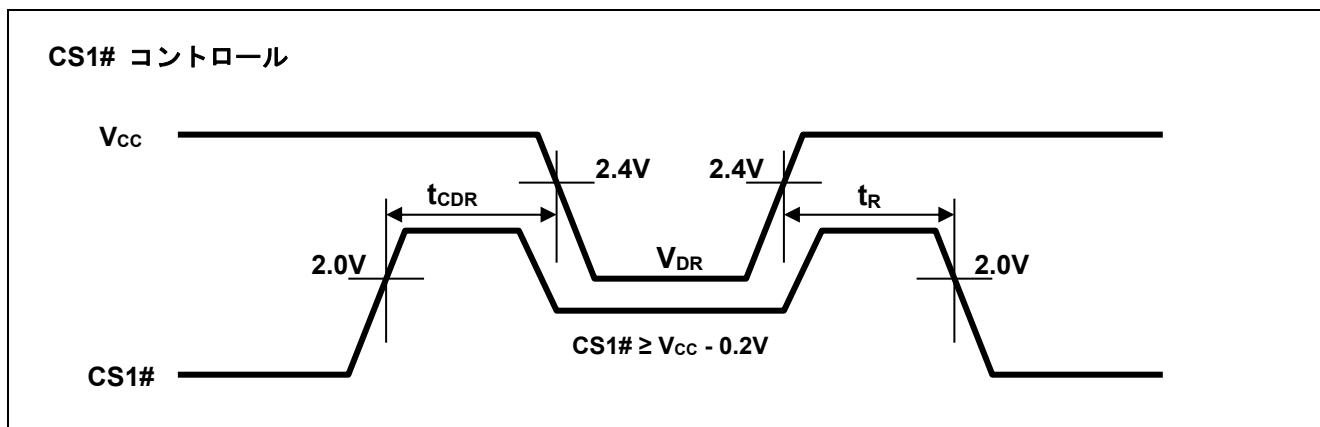
| Parameter | Symbol | Min. | Typ. | Max. | Unit | Test conditions*34 | |
|--------------------------------------|------------|------|---------|------|---------|--|--|
| V_{CC} for data retention | V_{DR} | 1.5 | — | 3.6 | V | $V_{in} \geq 0V$, $BYTE\# \geq V_{CC} - 0.2V$ or $BYTE\# \leq 0.2V$ (1) $CS2 \leq 0.2V$ or $CS1\# \geq V_{CC} - 0.2V$, $CS2 \geq V_{CC} - 0.2V$ or (3) $LB\# = UB\# \geq V_{CC} - 0.2V$, $CS1\# \leq 0.2V$, $CS2 \geq V_{CC} - 0.2V$ | |
| Data retention current | I_{CCDR} | — | 0.45*32 | 2 | μA | ~+25°C | $V_{CC} = 3.0V$, $V_{in} \geq 0V$, $BYTE\# \geq V_{CC} - 0.2V$ or $BYTE\# \leq 0.2V$ (1) $CS2 \leq 0.2V$ or $CS1\# \geq V_{CC} - 0.2V$, $CS2 \geq V_{CC} - 0.2V$ or (3) $LB\# = UB\# \geq V_{CC} - 0.2V$, $CS1\# \leq 0.2V$, $CS2 \geq V_{CC} - 0.2V$ |
| | | — | 0.6*33 | 4 | μA | ~+40°C | |
| | | — | — | 7 | μA | ~+70°C | |
| | | — | — | 10 | μA | ~+85°C | |
| Chip deselect time to data retention | t_{CDR} | 0 | — | — | ns | See retention waveform. | |
| Operation recovery time | t_R | 5 | — | — | ms | | |

【注】 32. $V_{CC} = 3.0V$ 、 $T_a = +25^\circ C$ における参考値

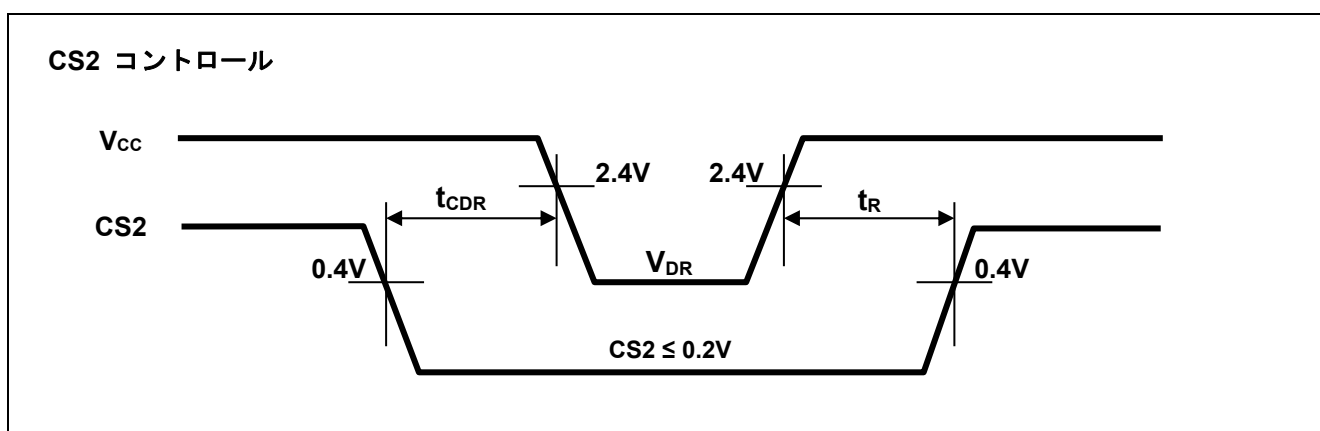
33. $V_{CC} = 3.0V$ 、 $T_a = +40^\circ C$ における参考値

34. CS2 ピンは、アドレスバッファ、WE#バッファ、CS1#バッファ、OE#バッファ、LB#バッファ、UB#バッファ、Din バッファを制御します。CS2 がデータ保持モードを制御する場合、入力レベル（アドレス、WE#、CS1#、OE#、LB#、UB#、DQ）は High-Z 状態にしてもかまいません。CS1#がデータ保持モードを制御する場合、CS2 は $CS2 \geq V_{CC} - 0.2V$ または $CS2 \leq 0.2V$ でなければなりません。他の入力レベル（アドレス、WE#、OE#、LB#、UB#、DQ）は High-Z 状態にしてもかまいません。

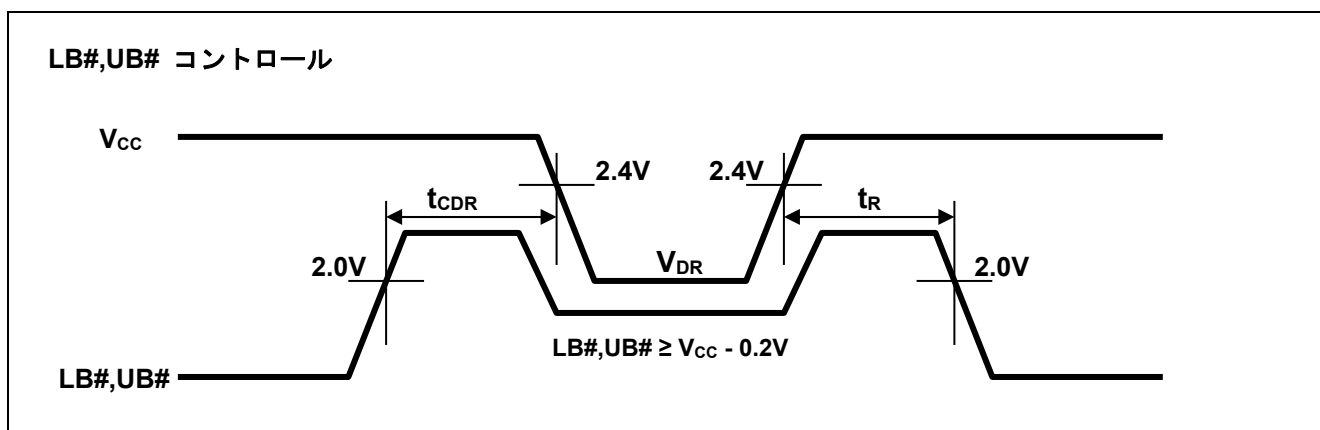
データ保持タイミング波形(1) (CS1# Controlled)*35



データ保持タイミング波形(2) (CS2 Controlled)*35



データ保持タイミング波形(3) (LB#,UB# Controlled, Word Mode 時のみ適用)*36



【注】 35. $BYTE\# \geq V_{CC} - 0.2V$ or $BYTE\# \leq 0.2V$

36. $BYTE\# \geq V_{CC} - 0.2V$

| | |
|------|---------------------|
| 改訂記録 | RMLV0816BGSA データシート |
|------|---------------------|

| Rev. | 発行日 | 改訂内容 | |
|------|------------|-----------------------|---|
| | | ページ | ポイント |
| 1.00 | 2014.11.28 | — | 正式版 |
| 2.00 | 2015.06.26 | P.1, 5 P.5 P.13 | Standby current I_{SB1} : 25°C 0.6μA ->0.45μA (typ.), 40°C 2μA ->0.6μA (typ.) Average operating current I_{CC2} : 25°C 2mA ->1.5mA (typ.) Data retention current I_{CCDR} : 25°C 0.6μA ->0.45μA (typ.), 40°C 2μA ->0.6μA (typ.) |
| 2.01 | 2020.02.20 | 最終ページ | ご注意書きを最新版に更新 |
| | | | |

すべての商標および登録商標は、それぞれの所有者に帰属します。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレストシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。