

RX111 グループ

ルネサスマイクロコンピュータ

R01DS0190JJ0130

Rev.1.30

2016.05.31

32MHz、32ビットRX MCU、50DMIPS、最大512Kバイトフラッシュメモリ、
USB2.0 フルスピード ホスト/ファンクション/OTG、最大6本の通信機能、
12ビットA/D、8ビットD/A、RTC

特長

■ 32ビットRX CPU コア内蔵

- 最大動作周波数 32MHz
50DMIPS の性能 (32MHz 動作時)
- 32×32 → 64 ビット演算結果 (1 命令) のアキュムレータ
- 乗除算器 32×32 ビット (乗算命令は 1CPU クロック)
- 高速割り込み
- 5 段パイプラインの CISC ハードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

■消費電力低減機能

- 1.8V ~ 3.6V 動作の単一電源
- 3 種類の低消費電力モード
- 消費電流
高速動作モード: 0.11mA/MHz
ソフトウェアスタンバイモード: 0.44μA
- ソフトウェアスタンバイからの復帰時間: 4.8μs

■内蔵コードフラッシュメモリ (ウェイトなし)

- 32MHz 動作、31.25ns 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 16K ~ 512K バイトの容量
- 1.8V で書き換え可能
- 命令、オペランド用

■内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■内蔵 SRAM (ウェイトなし)

- 8K ~ 64K バイトの容量

■ DTC

- 4 種類の転送モード
- 割り込要因ごとに転送設定可能

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態でも、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御

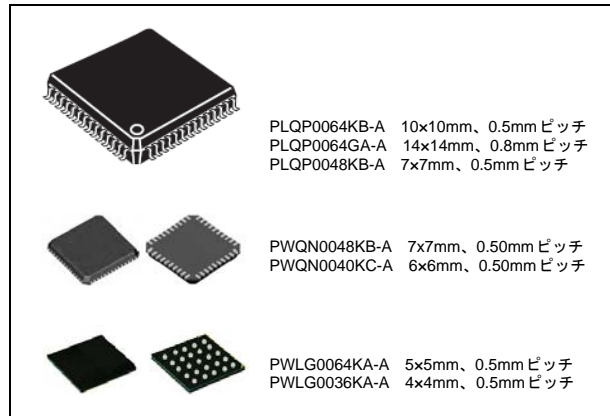
- パワーオンリセット (POR) など 6 種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■クロック機能

- 外部クロック入力周波数: ~ 20MHz
- メインクロック発振子周波数: 1 ~ 20MHz
- サブクロック発振子周波数: 32.768kHz
- PLL 回路入力: 4MHz ~ 8MHz
- 低速オンチップオシレータ: 4MHz
- 高速オンチップオシレータ: 32MHz±1% (-20 ~ 85 °C)
- IWDT 専用オンチップオシレータ内蔵: 15kHz
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■リアルタイムクロック内蔵

- 補正機能 (30 秒、うるうる年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能
- RTC でソフトウェアスタンバイモードから復帰可能



■独立ウォッチドッグタイマ内蔵

- 15kHz IWDT 専用低速オンチップオシレータクロック動作

■IEC60730 対応機能内蔵

- クロック周波数精度測定回路、独立ウォッチドッグタイマ、RAM テストアシスト機能など

■最大 6 本の通信機能を内蔵

- USB: USB2.0 ホスト (ROM サイズ 32K バイト以上) / ファンクション/OTG (ON-The-Go) (1 チャンネル)、フルスピード (12Mbps)、ロースピード (1.5Mbps)、アイソクロナス転送、BC (バッテリーチャージャ) に対応
- SCI: 調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード (最大 3 チャンネル)
- I²C バスインタフェース最大 400kbps 転送 SMBus に対応 (1 チャンネル)
- RSPI: 最大 16Mbps (1 チャンネル)

■最大 8 本の拡張タイマ機能

- 16 ビット MTU: インพุットキャプチャ、アウトプットコンペア、相補 PWM 出力、位相計数モード (6 チャンネル)
- 16 ビット CMT (2 チャンネル)

■12 ビット A/D コンバータ内蔵

- 最大 14 チャンネル
- 最小 1.0μs 変換が可能
- モータ制御に適したダブルトリガ (データ 2 重化) 機能

■8 ビット D/A コンバータ内蔵

- 2 チャンネル (64 ピンのみ)

■温度センサ内蔵

■汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

■MPC

- 周辺機能の入出力端子を複数箇所から選択可能

■ユニーク ID

- マイコン個体ごとの 32 バイト長の ID コード

■動作周囲温度

- 40 ~ + 85 °C
- 40 ~ + 105 °C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 3)

分類	モジュール／機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：32MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×8本 アキュムレータ：64ビット×1本 基本命令：73種類 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン／ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット バレルシフタ：32ビット
メモリ	ROM	<ul style="list-style-type: none"> 容量：16K/32K/64K/96K/128K/256K/384K/512Kバイト 32MHz、ノーウェイトアクセス 書き換え方法：シリアルライタプログラミング（調歩同期式シリアル通信/USB通信）、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：8K/10K/16K/32K/64Kバイト 32MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：1,000,000回（typ）
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTP専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路（CAC）：あり システムクロック（ICLK）、周辺モジュールクロック（PCLK）、FlashIFクロック（FCLK）を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 32MHz 周辺モジュールはPCLK同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 32MHz ICLKの周波数は、FCLK、PCLKB、PCLKDのn倍（n:1, 2, 4, 8, 16, 32, 64）のみ設定可能
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路（LVDAa）	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出1は検出電圧を10レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード、低速動作モード
割り込み	割り込みコントローラ（ICUb）	<ul style="list-style-type: none"> 割り込みベクタ数：82 外部割り込み：要因数9（NMI、IRQ0～IRQ7端子） ノンマスクابل割り込み：要因数4（NMI端子、電圧監視1割り込み、電圧監視2割り込み、IWDTP割り込み） 16レベルの割り込み優先順位を設定可能

表 1.1 仕様概要 (2 / 3)

分類	モジュール/機能	説明
DMA	データトランスファコントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	64ピン/48ピン/40ピン/36ピン <ul style="list-style-type: none"> 入出力：46/30/24/20 入力：2/2/1/1 プルアップ抵抗：38/24/19/16 オープンドレイン出力：34/24/19/16 5Vトレラント：4/4/4/4
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 35種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートBのイベントリンク動作が可能
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンクションタイマパルスユニット2 (MTU2a)	<ul style="list-style-type: none"> (16ビット×6チャンネル) ×1ユニット 16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能 チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) インプットキャプチャ機能 21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ パルス出力モード 相補PWM出力モード リセット同期PWMモード 位相計数モード A/Dコンバータの変換開始トリガを生成可能
	ポートアウトプットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル) ×1ユニット 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイムクロック (RTCA)	<ul style="list-style-type: none"> クロックソース：サブクロックにて動作 カレンダーカウントモード/バイナリカウントモードを選択可能 割り込み：アラーム割り込み、周期割り込み、桁上げ割り込み
通信機能	シリアルコミュニケーションインタフェース (SCIE、SCIF)	<ul style="list-style-type: none"> 3チャンネル (チャンネル1、5：SCIE、チャンネル12：SCIF) シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 MTU2からの平均転送レートクロック入力が可能 簡易I²C機能 簡易SPI機能 マスタ/スレーブモードをサポート (SCIFのみ) スタートフレーム、インフォメーションフレームから構成 (SCIFのみ) 調歩同期式モード時のスタートビットの検出：Lowまたは立ち下がリエッジを選択可能
	I ² Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット：I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応

表 1.1 仕様概要 (3 / 3)

分類	モジュール/機能	説明
通信機能	シリアル ペリフェラル インタフェース (RSPI)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
	USB2.0 ホスト/ ファンクション モジュール (USBc)	<ul style="list-style-type: none"> USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵 ホスト (ROMサイズ32Kバイト以上) /ファンクションモジュール: 1ポート USBバージョン2.0準拠 転送スピード: フルスピード (12Mbps)、ローススピード (1.5Mbps) OTG (ON-The-Go) に対応 アイソクロナス転送に対応 BC (バッテリーチャージャ) に対応
12ビットA/Dコンバータ (S12ADb)		<ul style="list-style-type: none"> 1ユニット (1ユニット×14チャンネル) 分解能: 12ビット 最小変換時間: 1チャンネル当たり1.0μs (ADCLK = 32MHz動作時) 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グルーブスキャンモード) ダブルトリガモード (A/D変換データ2重化機能) A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ、ELC
温度センサ (TEMPSA)		<ul style="list-style-type: none"> 1チャンネル 温度を電圧に変換し12ビットA/Dコンバータでデジタル化
D/Aコンバータ (DA)		<ul style="list-style-type: none"> 2チャンネル 分解能: 8ビット 出力電圧: 0V~VCC
CRC演算器 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
ユニークID		マイコン個体ごとの32バイト長のIDコード
電源電圧/動作周波数		VCC = 1.8 ~ 2.4V : 8MHz、VCC = 2.4 ~ 2.7V : 16MHz、VCC = 2.7 ~ 3.6V : 32MHz
消費電流		3.2mA@32MHz (typ)
動作周囲温度		Dバージョン: -40 ~ +85°C、Gバージョン: -40 ~ +105°C
パッケージ		64ピンLFQFP (PLQP0064KB-A) 10×10mm、0.5mmピッチ 64ピンLQFP (PLQP0064GA-A) 14×14mm、0.8mmピッチ 64ピンWFLGA (PWLG0064KA-A) 5×5mm、0.5mmピッチ 48ピンLFQFP (PLQP0048KB-A) 7×7mm、0.5mmピッチ 48ピンHWQFN (PWQN0048KB-A) 7×7mm、0.5mmピッチ 40ピンHWQFN (PWQN0040KC-A) 6×6mm、0.50mmピッチ 36ピンWFLGA (PWLG0036KA-A) 4×4mm、0.5mmピッチ
オンチップデバッキングシステム		E1エミュレータ (FINEインタフェース)

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX111グループ			
		64ピン	48ピン	40ピン	36ピン
割り込み	外部割り込み	NMI、IRQ0～IRQ7			
DMA	データトランスファコントローラ	あり			
タイマ	マルチファンクションタイマパルスユニット2	6チャンネル (MTU0～MTU5)			
	ポートアウトプットイネーブル2	POE0#～POE3#、POE8#		POE0#、POE2#、POE3#、POE8#	
	コンペアマッチタイマ	2チャンネル×1ユニット			
	リアルタイムクロック	あり		なし	
	独立ウォッチドッグタイマ	あり			
通信機能	シリアルコミュニケーションインタフェース (SCle) [簡易I ² C、簡易SPI]	2チャンネル (SCI1、5)			
	シリアルコミュニケーションインタフェース (SCIf) [簡易I ² C、簡易SPI]	1チャンネル (SCI12)			
	I ² Cバスインタフェース	1チャンネル			
	シリアルペリフェラルインタフェース	1チャンネル	1チャンネル (SSLA1、3なし)		1チャンネル (SSLA1～3なし)
	USB2.0ホスト/ファンクションモジュール (USBc)	1チャンネル (Host/Function/OTG)	1チャンネル (Host/Function)		
12ビットA/Dコンバータ (内、高精度チャンネル)		14チャンネル (6チャンネル)	10チャンネル (4チャンネル)	8チャンネル (3チャンネル)	7チャンネル (2チャンネル)
D/Aコンバータ		2チャンネル	なし		
温度センサ		あり			
CRC演算器		あり			
イベントリンクコントローラ		あり			
パッケージ		64ピンLFQFP 64ピンLQFP 64ピンWFLGA	48ピンLFQFP 48ピンHWQFN	40ピンHWQFN	36ピンWFLGA

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 2)

グループ	品名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	動作周囲温度
RX111	R5F51118AGFM	R5F51118AGFM#3A	PLQP0064KB-A	512Kバイト	64Kバイト	8Kバイト	32MHz	-40 ~ +105℃
	R5F51118AGFK	R5F51118AGFK#3A	PLQP0064GA-A					
	R5F51118AGFL	R5F51118AGFL#3A	PLQP0048KB-A					
	R5F51118AGNE	R5F51118AGNE#UA	PWQN0048KB-A					
	R5F51117AGFM	R5F51117AGFM#3A	PLQP0064KB-A	384Kバイト				
	R5F51117AGFK	R5F51117AGFK#3A	PLQP0064GA-A					
	R5F51117AGFL	R5F51117AGFL#3A	PLQP0048KB-A					
	R5F51117AGNE	R5F51117AGNE#UA	PWQN0048KB-A					
	R5F51116AGFM	R5F51116AGFM#3A	PLQP0064KB-A	256Kバイト	32Kバイト			
	R5F51116AGFK	R5F51116AGFK#3A	PLQP0064GA-A					
	R5F51116AGFL	R5F51116AGFL#3A	PLQP0048KB-A					
	R5F51116AGNE	R5F51116AGNE#UA	PWQN0048KB-A					
	R5F51115AGFM	R5F51115AGFM#3A	PLQP0064KB-A	128Kバイト	16Kバイト			
	R5F51115AGFK	R5F51115AGFK#3A	PLQP0064GA-A					
	R5F51115AGFL	R5F51115AGFL#3A	PLQP0048KB-A					
	R5F51115AGNE	R5F51115AGNE#UA	PWQN0048KB-A					
	R5F51114AGFM	R5F51114AGFM#3A	PLQP0064KB-A	96Kバイト				
	R5F51114AGFK	R5F51114AGFK#3A	PLQP0064GA-A					
	R5F51114AGFL	R5F51114AGFL#3A	PLQP0048KB-A					
	R5F51114AGNE	R5F51114AGNE#UA	PWQN0048KB-A					
	R5F51113AGFM	R5F51113AGFM#3A	PLQP0064KB-A	64Kバイト	10Kバイト			
	R5F51113AGFK	R5F51113AGFK#3A	PLQP0064GA-A					
	R5F51113AGFL	R5F51113AGFL#3A	PLQP0048KB-A					
	R5F51113AGNE	R5F51113AGNE#UA	PWQN0048KB-A					
	R5F51113AGNF	R5F51113AGNF#UA	PWQN0040KC-A	32Kバイト				
	R5F51111AGFM	R5F51111AGFM#3A	PLQP0064KB-A					
	R5F51111AGFK	R5F51111AGFK#3A	PLQP0064GA-A					
	R5F51111AGFL	R5F51111AGFL#3A	PLQP0048KB-A					
R5F51111AGNE	R5F51111AGNE#UA	PWQN0048KB-A	16Kバイト	8Kバイト				
R5F51111AGNF	R5F51111AGNF#UA	PWQN0040KC-A						
R5F5111JAGFM	R5F5111JAGFM#3A	PLQP0064KB-A						
R5F5111JAGFK	R5F5111JAGFK#3A	PLQP0064GA-A						
R5F5111JAGFL	R5F5111JAGFL#3A	PLQP0048KB-A	16Kバイト	8Kバイト				
R5F5111JAGNE	R5F5111JAGNE#UA	PWQN0048KB-A						
R5F5111JAGNF	R5F5111JAGNF#UA	PWQN0040KC-A						

表 1.3 製品一覧表 (2 / 2)

グループ	品名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	動作周囲温度
RX111	R5F51118ADFM	R5F51118ADFM#3A	PLQP0064KB-A	512Kバイト	64Kバイト	8Kバイト	32MHz	-40 ~ +85 °C
	R5F51118ADFK	R5F51118ADFK#3A	PLQP0064GA-A					
	R5F51118ADLF	R5F51118ADLF#UA	PWLG0064KA-A					
	R5F51118ADFL	R5F51118ADFL#3A	PLQP0048KB-A					
	R5F51118ADNE	R5F51118ADNE#UA	PWQN0048KB-A					
	R5F51117ADFM	R5F51117ADFM#3A	PLQP0064KB-A	384Kバイト				
	R5F51117ADFK	R5F51117ADFK#3A	PLQP0064GA-A					
	R5F51117ADLF	R5F51117ADLF#UA	PWLG0064KA-A					
	R5F51117ADFL	R5F51117ADFL#3A	PLQP0048KB-A					
	R5F51117ADNE	R5F51117ADNE#UA	PWQN0048KB-A					
	R5F51116ADFM	R5F51116ADFM#3A	PLQP0064KB-A	256Kバイト	32Kバイト			
	R5F51116ADFK	R5F51116ADFK#3A	PLQP0064GA-A					
	R5F51116ADLF	R5F51116ADLF#UA	PWLG0064KA-A					
	R5F51116ADFL	R5F51116ADFL#3A	PLQP0048KB-A					
	R5F51116ADNE	R5F51116ADNE#UA	PWQN0048KB-A					
	R5F51115ADFM	R5F51115ADFM#3A	PLQP0064KB-A	128Kバイト	16Kバイト			
	R5F51115ADFK	R5F51115ADFK#3A	PLQP0064GA-A					
	R5F51115ADLF	R5F51115ADLF#UA	PWLG0064KA-A					
	R5F51115ADFL	R5F51115ADFL#3A	PLQP0048KB-A					
	R5F51115ADNE	R5F51115ADNE#UA	PWQN0048KA-A					
	R5F51114ADFM	R5F51114ADFM#3A	PLQP0064KB-A	96Kバイト				
	R5F51114ADFK	R5F51114ADFK#3A	PLQP0064GA-A					
	R5F51114ADLF	R5F51114ADLF#UA	PWLG0064KA-A					
	R5F51114ADFL	R5F51114ADFL#3A	PLQP0048KB-A					
	R5F51114ADNE	R5F51114ADNE#UA	PWQN0048KB-A					
	R5F51113ADFM	R5F51113ADFM#3A	PLQP0064KB-A	64Kバイト	10Kバイト			
	R5F51113ADFK	R5F51113ADFK#3A	PLQP0064GA-A					
	R5F51113ADLF	R5F51113ADLF#UA	PWLG0064KA-A					
	R5F51113ADFL	R5F51113ADFL#3A	PLQP0048KB-A					
	R5F51113ADNE	R5F51113ADNE#UA	PWQN0048KB-A					
	R5F51113ADLM	R5F51113ADLM#UA	PWLG0036KA-A					
	R5F51113ADNF	R5F51113ADNF#UA	PWQN0040KC-A					
R5F51111ADFM	R5F51111ADFM#3A	PLQP0064KB-A	32Kバイト					
R5F51111ADFK	R5F51111ADFK#3A	PLQP0064GA-A						
R5F51111ADLF	R5F51111ADLF#UA	PWLG0064KA-A						
R5F51111ADFL	R5F51111ADFL#3A	PLQP0048KB-A						
R5F51111ADNE	R5F51111ADNE#UA	PWQN0048KB-A						
R5F51111ADLM	R5F51111ADLM#UA	PWLG0036KA-A						
R5F51111ADNF	R5F51111ADNF#UA	PWQN0040KC-A						
R5F5111JADFM	R5F5111JADFM#3A	PLQP0064KB-A	16Kバイト	8Kバイト				
R5F5111JADFK	R5F5111JADFK#3A	PLQP0064GA-A						
R5F5111JADLF	R5F5111JADLF#UA	PWLG0064KA-A						
R5F5111JADFL	R5F5111JADFL#3A	PLQP0048KB-A						
R5F5111JADNE	R5F5111JADNE#UA	PWQN0048KB-A						
R5F5111JADLM	R5F5111JADLM#UA	PWLG0036KA-A						
R5F5111JADNF	R5F5111JADNF#UA	PWQN0040KC-A						

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

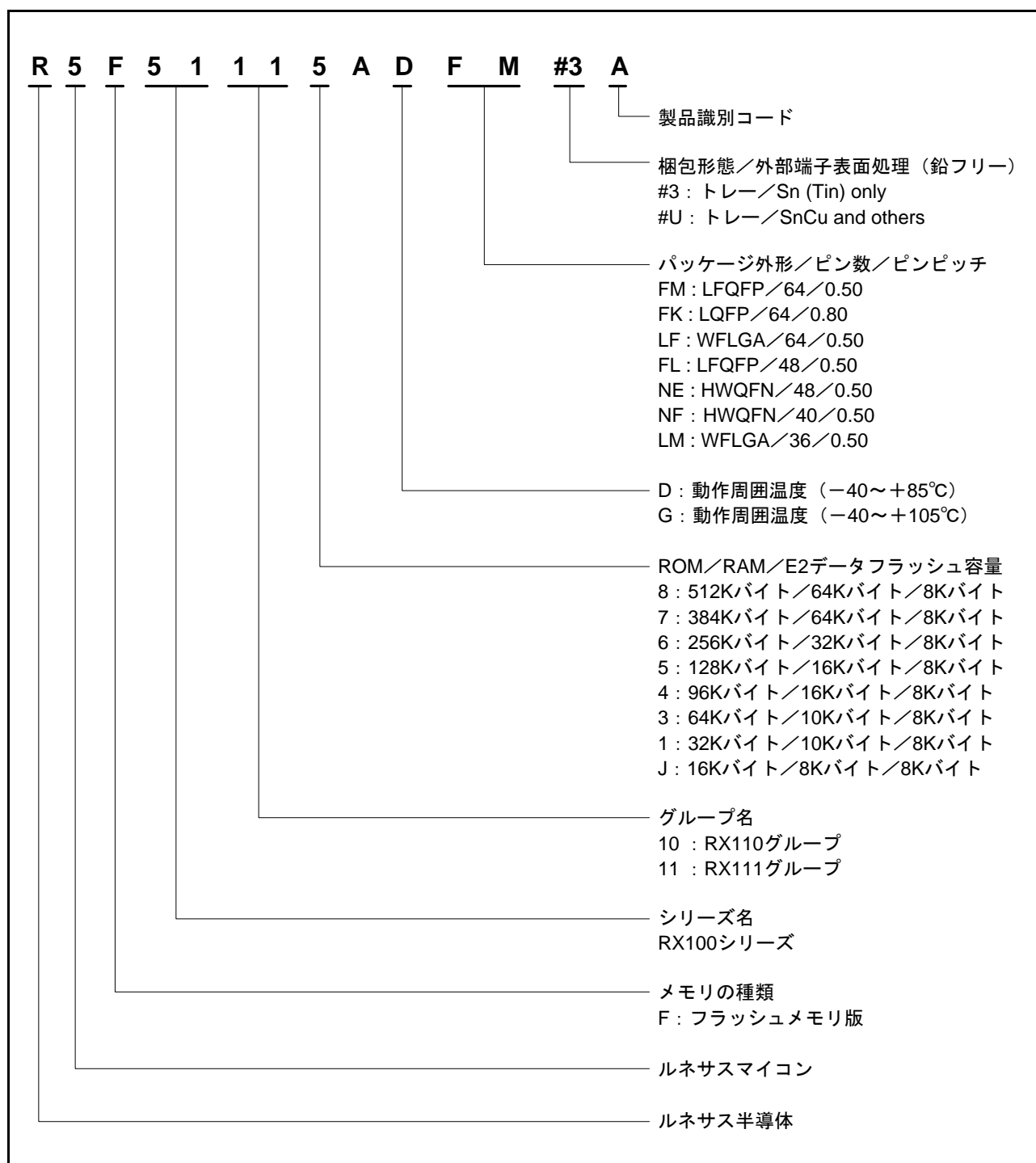


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

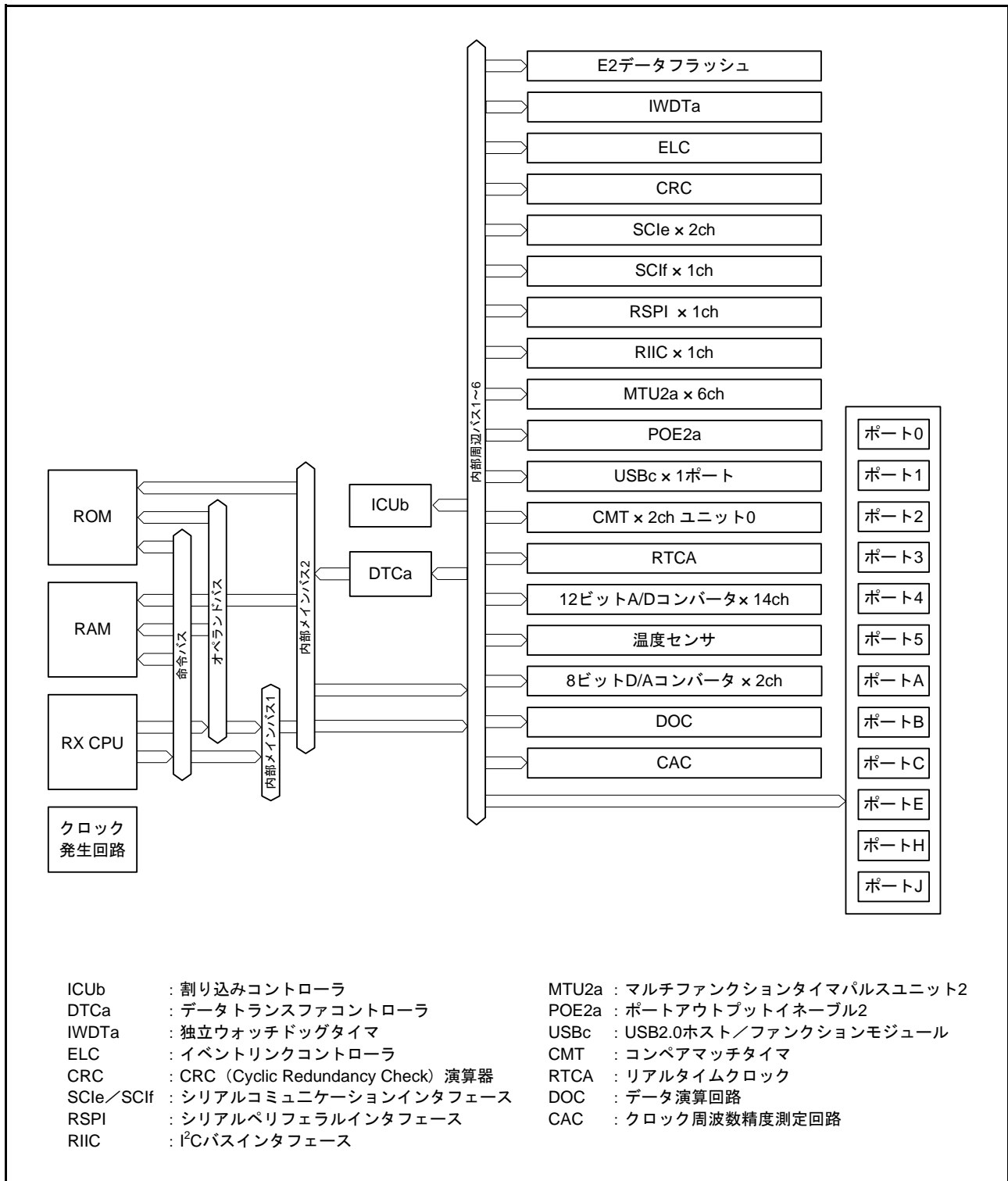


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (4.7 μ F) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
	VCC_USB	入力	USB用電源端子。VCCに接続してください
	VSS_USB	入力	USB用グランド端子。VSSに接続してください
アナログ電源	AVCC0	入力	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータのアナロググランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
クロック	XTAL	出力/ 入力 (注1)	水晶発振器接続端子。また、XTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶発振器を接続してください
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
	UB#	入力	ブートモード (USBインタフェース) で使用する端子
	UPSEL	入力	ブートモード (USBインタフェース) で使用する端子
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
LVD	CMPA2	入力	電圧検出2用検出対象電圧端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0 ~ IRQ7	入力	割り込み要求端子
マルチファンクションタイムパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0 ~ TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3 ~ TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4 ~ TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子

表 1.4 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
ポートアウトプットイネーブル2	POE0#~POE3#、POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
シリアル コミュニケーション インタフェース (SC1e)	• 調歩同期式モード/クロック同期式モード		
	SCK1、SCK5	入出力	クロック入出力端子
	RXD1、RXD5	入力	受信データ入力端子
	TXD1、TXD5	出力	送信データ出力端子
	CTS1#、CTS5#	入力	送受信開始制御用入力端子
	RTS1#、RTS5#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL1、SSCL5	入出力	I ² Cクロック入出力端子
	SSDA1、SSDA5	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK1、SCK5	入出力	クロック入出力端子
	SMISO1、SMISO5	入出力	スレーブ送出データ入出力端子
	SMOSI1、SMOSI5	入出力	マスタ送出データ入出力端子
	SS1#、SS5#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース (SC1f)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	SC1f受信データ入力端子
	TXDX12	出力	SC1f送信データ出力端子
	SIOX12	入出力	SC1f送受信データ入出力端子
	I ² Cバスインタフェース	SCL0	入出力
SDA0		入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子

表 1.4 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
USB2.0 ホスト/ ファンクション モジュール	USB0_DP	入出力	USB内蔵トランシーバD+ 入出力端子
	USB0_DM	入出力	USB内蔵トランシーバD- 入出力端子
	USB0_VBUS	入力	USBケーブル接続モニタ端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS (5V) の供給許可信号
	USB0_OVRCURA、 USB0_OVRCURB	入力	外部オーバカレント検出端子
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
12ビットA/Dコンバータ	AN000～AN004、AN006、 AN008～AN015	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
I/Oポート	P03、P05	入出力	2ビットの入出力端子
	P14～P17	入出力	4ビットの入出力端子
	P26、P27	入出力	2ビットの入出力端子
	P30～P32、P35	入出力	4ビットの入出力端子 (P35は入力端子)
	P40～P44、P46	入出力	6ビットの入出力端子
	P54、P55	入出力	2ビットの入出力端子
	PA0、PA1、PA3、PA4、PA6	入出力	5ビットの入出力端子
	PB0、PB1、PB3、PB5～PB7	入出力	6ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PH7	入力	1ビットの入力端子
	PJ6、PJ7	入出力	2ビットの入出力端子

注1. 外部クロックを入力する場合は。

1.5 ピン配置図

図 1.3 ~ 図 1.7 にピン配置図を示します。また、表 1.5 ~ 表 1.9 に機能別端子一覧を示します。

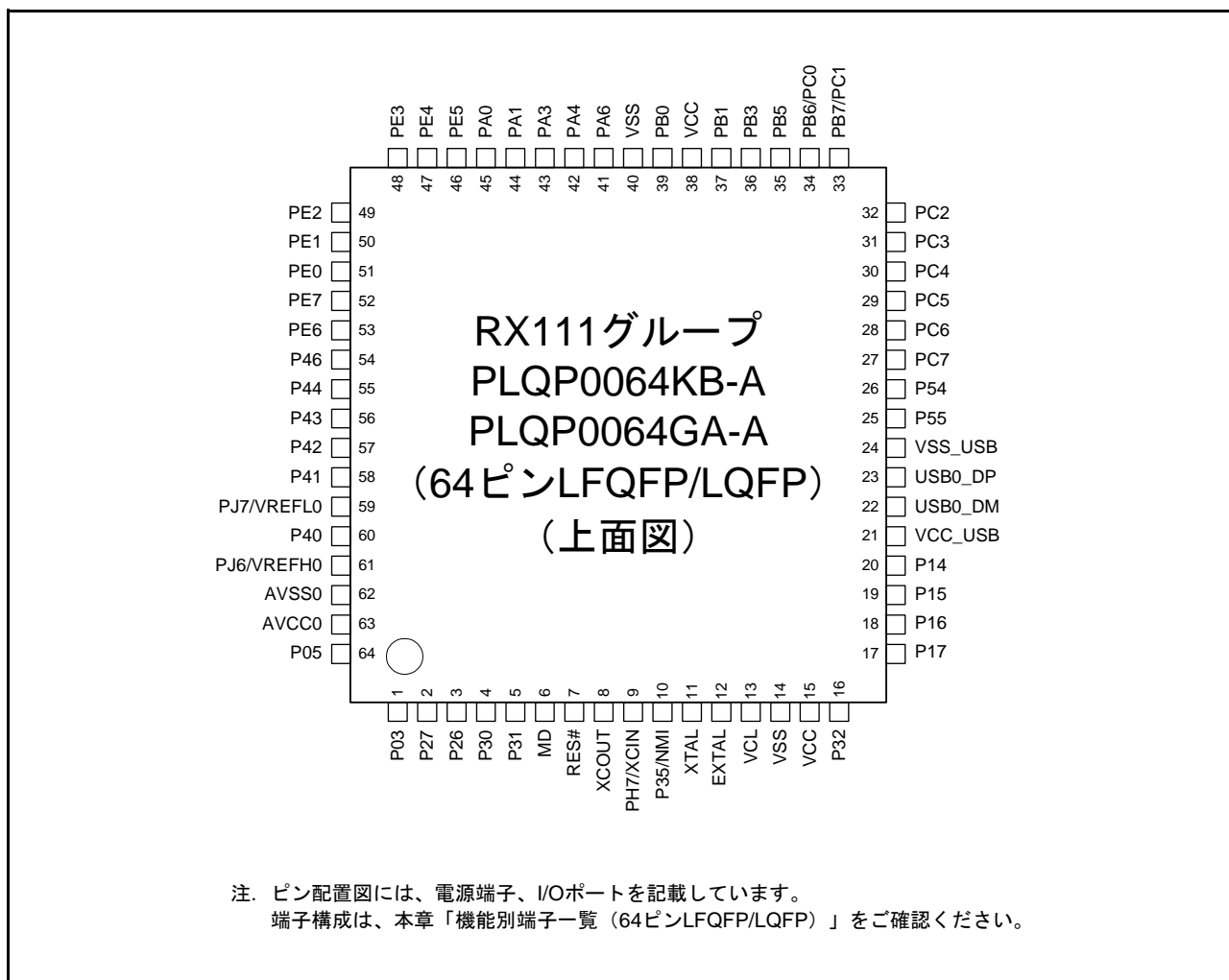


図 1.3 64ピン LQFP/LQFP ピン配置図

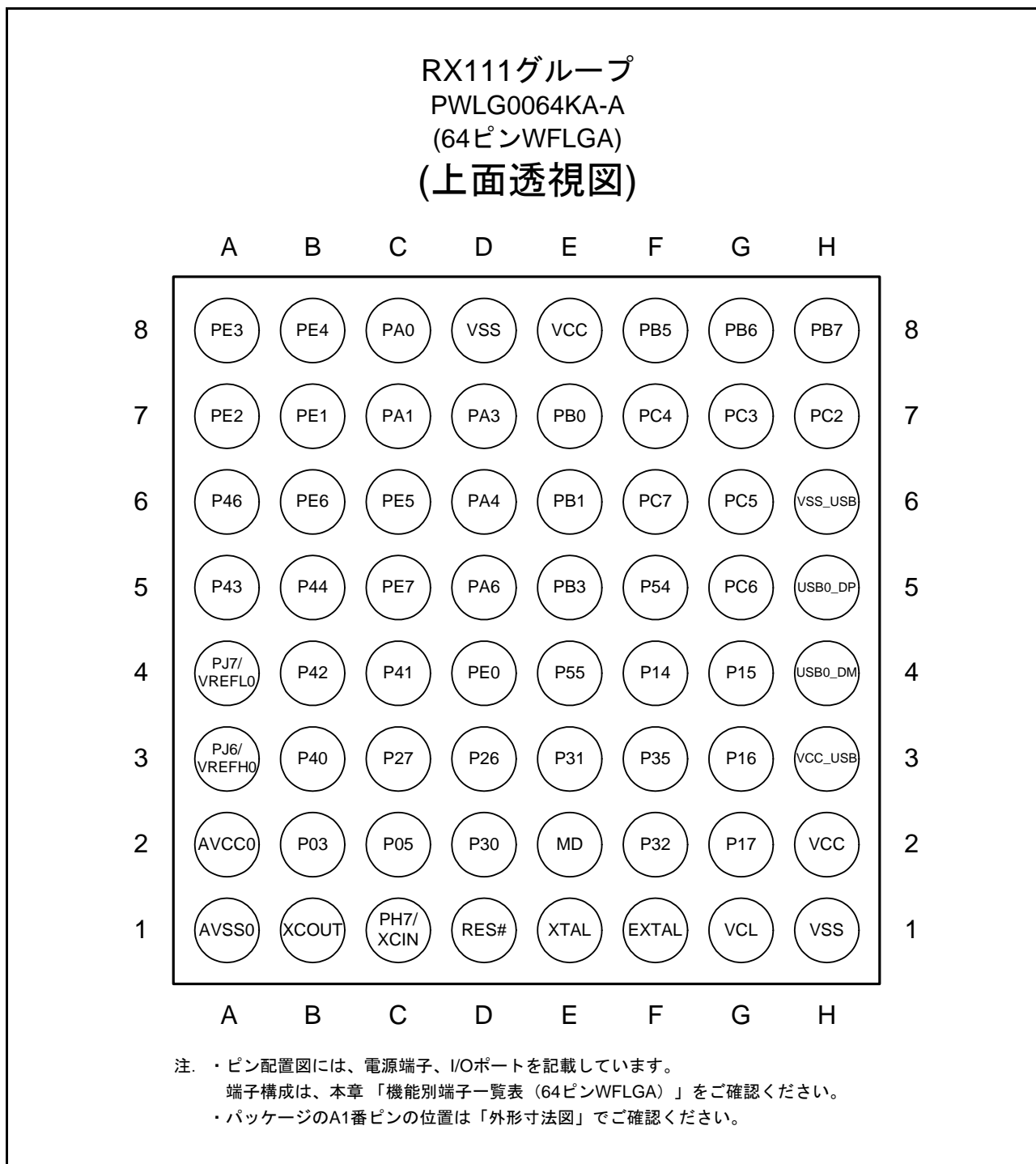
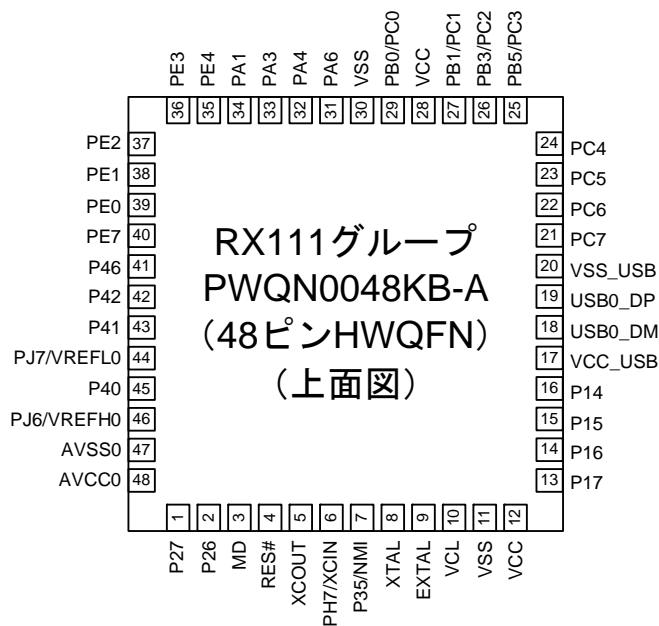
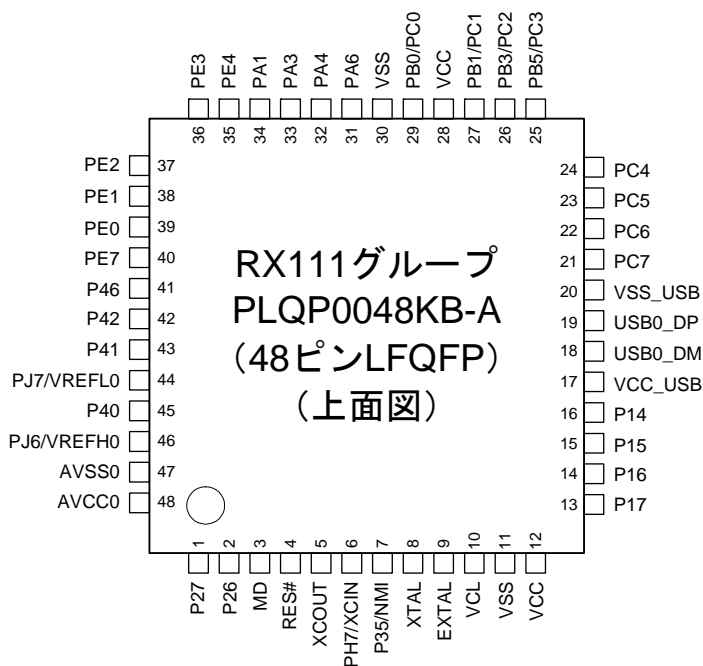


図 1.4 64ピンWFLGAピン配置図



注. ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、本章「機能別端子一覧（48ピンLQFP/HWQFN）」をご確認ください。
 注. HWQFNのExposed die padは、VSSに接続することを推奨します。

図 1.5 48ピンLQFP/HWQFNピン配置図

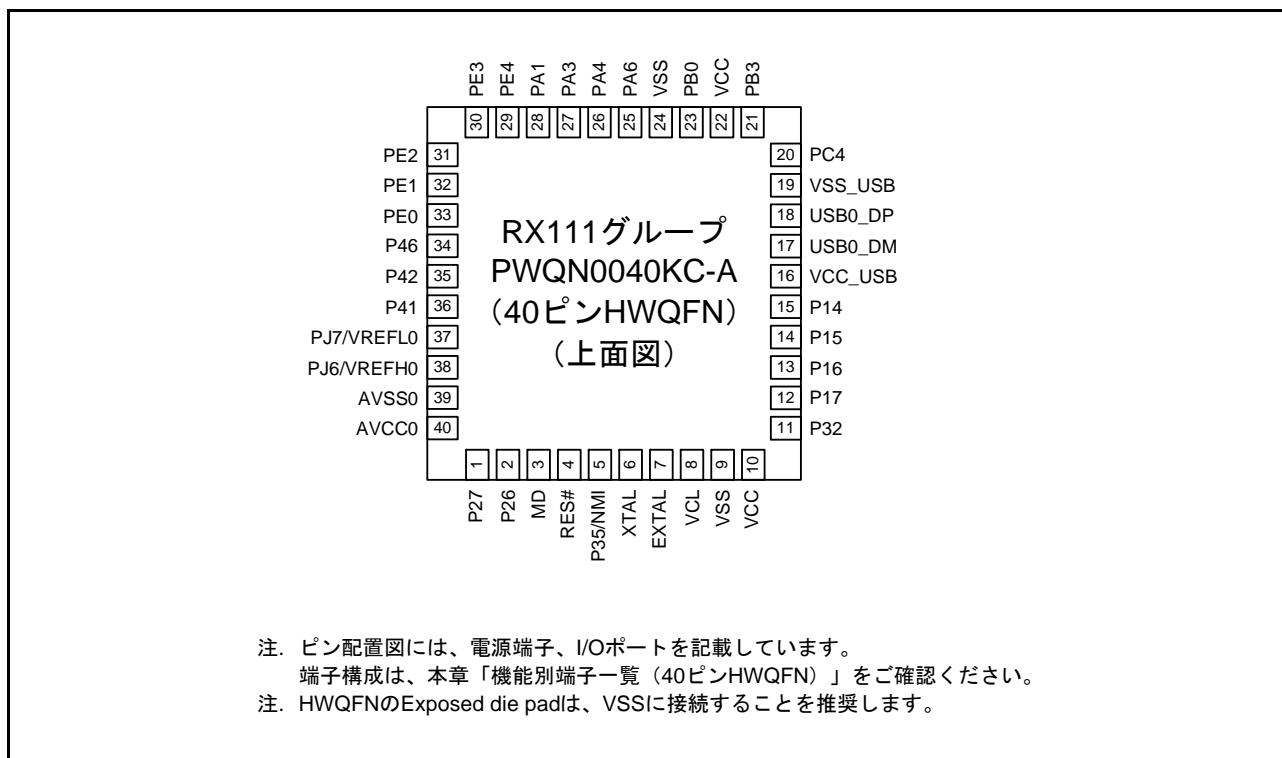
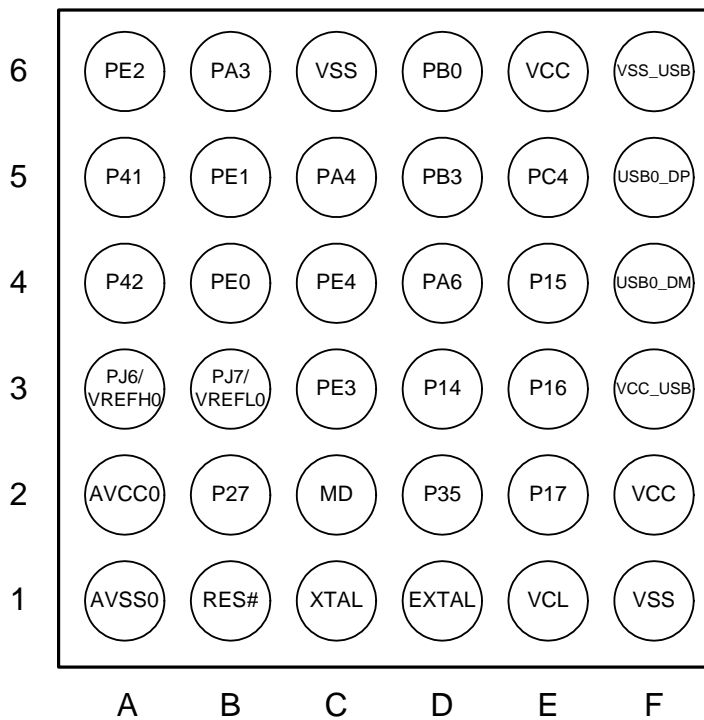


図 1.6 40 ピン HWQFN ピン配置図

RX111グループ
PWLG0036KA-A
(36ピンWFLGA)
(上面透視図)



- 注. ・ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、本章「機能別端子一覧表（36ピンWFLGA）」をご確認ください。
・パッケージのA1番ピンの位置は「外形寸法図」をご確認ください。

図 1.7 36ピンWFLGAピン配置図

表 1.5 機能別端子一覧 (64ピンLFQFP/LQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、POE、RTC)	通信 (SCle、SCI、RSPI、RIIC、USB)	その他
1		P03			DA0
2		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ ADTRG0#
3		P26	MTIOC2A	TXD1/SMOSI1/SSDA1/ USB0_VBUSEN	
4		P30	MTIOC4B/POE8#	RXD1/SMISO1/SSCL1	IRQ0
5		P31	MTIOC4D	CTS1#/RTS1#/SS1#	IRQ1
6	MD				FINED
7	RES#				
8	XCOUT				
9	XCIN	PH7			
10	UPSEL	P35			NMI
11	XTAL				
12	EXTAL				
13	VCL				
14	VSS				
15	VCC				
16		P32	MTIOC0C/RTCOUT		IRQ2
17		P17	MTIOC0C/MTIOC3A/ MTIOC3B/POE8#	SCK1/MISOA/SDA0/RXD12/ RXDX12/SMISO12/SSCL12	IRQ7
18		P16	MTIOC3C/MTIOC3D/ RTCOUT	TXD1/SMOSI1/SSDA1/MOSIA/ SCL0/USB0_VBUS/ USB0_VBUSEN/USB0_OVRCURB	IRQ6/ADTRG0#
19		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
20	UB#	P14	MTIOC0A/MTIOC3A/ MTCLKA	CTS1#/RTS1#/SS1#/SSLA0/TXD12/ TXDX12/SIOX12/SMOSI12/ SSDA12/USB0_OVRCURA	IRQ4
21	VCC_USB				
22				USB0_DM	
23				USB0_DP	
24	VSS_USB				
25		P55	MTIOC4D		
26		P54	MTIOC4B		
27		PC7	MTIOC3A/MTCLKB	TXD1/SMOSI1/SSDA1/MISOA/ USB0_OVRCURB	CACREF
28		PC6	MTIOC3C/MTCLKA	RXD1/SMISO1/SSCL1/MOSIA/ USB0_EXICEN	
29		PC5	MTIOC3B/MTCLKD	SCK1/RSPCKA/USB0_ID	
30		PC4	MTIOC3D/MTCLKC/POE0#	SCK5/SSLA0/USB0_VBUS (注1) / USB0_VBUSEN	IRQ2/CLKOUT
31		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
32		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	
33		PB7/PC1	MTIOC3B		
34		PB6/PC0	MTIOC3D		
35		PB5	MTIOC2A/MTIOC1B/POE1#		
36		PB3	MTIOC0A/MTIOC3B/ MTIOC4A/POE3#	USB0_OVRCURA	
37		PB1	MTIOC0C/MTIOC4C		IRQ4
38	VCC				
39		PB0	MTIC5W/MTIOC0C/ RTCOUT	SCL0/RSPCKA	IRQ2/ADTRG0#
40	VSS				

表 1.5 機能別端子一覧 (64ピンLFQFP/LQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、POE、RTC)	通信 (SCle、SCIf、RSPI、RIIC、USB)	その他
41		PA6	MTIC5V/MTCLKB/MTIOC2A/POE2#	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
42		PA4	MTIC5U/MTCLKA/MTIOC2B	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
43		PA3	MTIOC0D/MTCLKD/MTIOC1B/POE0#	RXD5/SMISO5/SSCL5/MISOA	IRQ6
44		PA1	MTIOC0B/MTCLKC/RTCOU	SCK5/SSLA2	
45		PA0	MTIOC4A	SSLA1	CACREF
46		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
47		PE4	MTIOC4D/MTIOC1A/MTIOC3A	MOSIA	IRQ4/AN012
48		PE3	MTIOC0A/MTIOC1B/MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
49		PE2	MTIOC4A	RXD12/RXDX12/SMISO12/SSCL12	IRQ7/AN010
50		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/SMOSI12/SSDA12	IRQ1/AN009
51		PE0	MTIOC2A/POE3#	SCK12	IRQ0/AN008
52		PE7			IRQ7/AN015
53		PE6			IRQ6/AN014
54		P46 (注2)			AN006
55		P44 (注2)			AN004
56		P43 (注2)			AN003
57		P42 (注2)			AN002
58		P41 (注2)			AN001
59	VREFL0	PJ7 (注2)			
60		P40 (注2)			AN000
61	VREFH0	PJ6 (注2)			
62	AVSS0				
63	AVCC0				
64		P05			DA1

注1. 5Vトレラントではありません。

注2. これら端子の入出力バッファの電源はAVCC0です。

表 1.6 機能別端子一覧 (64ピンWFLGA) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、POE、RTC)	通信 (SCIE、SCIF、RSPI、RIIC、USB)	その他
A1	AVSS0				
A2	AVCC0				
A3	VREFH0	PJ6 (注2)			
A4	VREFL0	PJ7 (注2)			
A5		P43 (注2)			AN003
A6		P46 (注2)			AN006
A7		PE2	MTIOC4A	RXD12/RXD12#/SMISO12/SSCL12	IRQ7/AN010
A8		PE3	MTIOC0A/MTIOC1B/ MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
B1	XCOUT				
B2		P03			DA0
B3		P40 (注2)			AN000
B4		P42 (注2)			AN002
B5		P44 (注2)			AN004
B6		PE6			IRQ6/AN014
B7		PE1	MTIOC4C	TXD12/TXD12#/SIOX12/SMOSI12/ SSDA12	IRQ1/AN009
B8		PE4	MTIOC1A/MTIOC3A/ MTIOC4D	MOSIA	IRQ4/AN012
C1	XCIN	PH7			
C2		P05			DA1
C3		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ ADTRG0#
C4		P41 (注2)			AN001
C5		PE7			IRQ7/AN015
C6		PE5	MTIOC2B/MTIOC4C		IRQ5/AN013
C7		PA1	MTIOC0B/MTCLKC/ RTCOUT	SCK5/SSLA2	
C8		PA0	MTIOC4A	SSLA1	CACREF
D1	RES#				
D2		P30	MTIOC4B/POE8#	RXD1/SMISO1/SSCL1	IRQ0
D3		P26	MTIOC2A	TXD1/SMOSI1/SSDA1/ USB0_VBUSEN	
D4		PE0	MTIOC2A/POE3#	SCK12	IRQ0/AN008
D5		PA6	MTIC5V/MTIOC2A/MTCLKB/ POE2#	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
D6		PA4	MTIC5U/MTIOC2B/MTCLKA	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
D7		PA3	MTIOC0D/MTCLKD/ MTIOC1B/POE0#	RXD5/SMISO5/SSCL5/MISOA	IRQ6
D8	VSS				
E1	XTAL				
E2	MD				FINED
E3		P31	MTIOC4D	CTS1#/RTS1#/SS1#	IRQ1
E4		P55	MTIOC4D		
E5		PB3	MTIOC0A/MTIOC3B/ MTIOC4A/POE3#	USB0_OVRCURA	
E6		PB1	MTIOC0C/MTIOC4C		IRQ4
E7		PB0	MTIC5W/MTIOC0C/ RTCOUT	SCL0/RSPCKA	IRQ2/ADTRG0#
E8	VCC				
F1	EXTAL				

表 1.6 機能別端子一覧 (64ピンWFLGA) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、POE、RTC)	通信 (SCIE、SCIF、RSPI、RIIC、USB)	その他
F2		P32	MTIOC0C/RTCOUT		IRQ2
F3	UPSEL	P35			NMI
F4	UB#	P14	MTIOC0A/MTIOC3A/ MTCLKA	CTS1#/RTS1#/SS1#/TXD12/ TXDX12/SIOX12/SMOSI12/ SSDA12/SSLA0/USB0_OVRCURA	IRQ4
F5		P54	MTIOC4B		
F6		PC7	MTIOC3A/MTCLKB	TXD1/SMOSI1/SSDA1/MISOA/ USB0_OVRCURB	CACREF
F7		PC4	MTCLKC/MTIOC3D/POE0#	SCK5/SSLA0/USB0_VBUSEN/ USB0_VBUS (注1)	IRQ2/CLKOUT
F8		PB5	MTIOC1B/MTIOC2A/POE1#		
G1	VCL				
G2		P17	MTIOC0C/MTIOC3A/ MTIOC3B/POE8#	SCK1/MISOA/SDA0/RXD12/ RXDX12/SMISO12/SSCL12	IRQ7
G3		P16	MTIOC3C/MTIOC3D/ RTCOUT	TXD1/SMOSI1/SSDA1/SCL0/ MOSIA/USB0_VBUSEN/ USB0_OVRCURB/USB0_VBUS	IRQ6/ADTRG0#
G4		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
G5		PC6	MTIOC3C/MTCLKA	RXD1/SMISO1/SSCL1/MOSIA/ USB0_EXICEN	
G6		PC5	MTIOC3B/MTCLKD	SCK1/RSPCKA/USB0_ID	
G7		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
G8		PB6/PC0	MTIOC3D		
H1	VSS				
H2	VCC				
H3	VCC_USB				
H4				USB0_DM	
H5				USB0_DP	
H6	VSS_USB				
H7		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	
H8		PB7/PC1	MTIOC3B		

注1. 5Vトレラントではありません。

注2. これら端子の入出力バッファの電源はAVCC0です。

表 1.7 機能別端子一覧 (48ピンLFQFP/HWQFN) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、POE、RTC)	通信 (SCle、SCIf、RSPI、RIIC、USB)	その他
1		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ ADTRG0#
2		P26	MTIOC2A	TXD1/SMOSI1/SSDA1/ USB0_VBUSEN	
3	MD				FINED
4	RES#				
5	XCOUT				
6	XCIN	PH7			
7	UPSEL	P35			NMI
8	XTAL				
9	EXTAL				
10	VCL				
11	VSS				
12	VCC				
13		P17	MTIOC0C/MTIOC3A/ MTIOC3B/POE8#	SCK1/MISOA/SDA0/RXD12/ RXDX12/SMISO12/SSCL12	IRQ7
14		P16	MTIOC3C/MTIOC3D/ RTCOUT	TXD1/SMOSI1/SSDA1/MOSIA/ SCL0/USB0_VBUS/ USB0_VBUSEN/USB0_OVRCURB	IRQ6/ADTRG0#
15		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
16	UB#	P14	MTIOC0A/MTIOC3A/ MTCLKA	CTS1#/RTS1#/SS1#/SSLA0/TXD12/ TXDX12/SIOX12/SMOSI12/ SSDA12/USB0_OVRCURA	IRQ4
17	VCC_USB				
18				USB0_DM	
19				USB0_DP	
20	VSS_USB				
21		PC7	MTIOC3A/MTCLKB	TXD1/SMOSI1/SSDA1/MISOA/ USB0_OVRCURB	CACREF
22		PC6	MTIOC3C/MTCLKA	RXD1/SMISO1/SSCL1/MOSIA/ USB0_EXICEN	
23		PC5	MTIOC3B/MTCLKD	SCK1/RSPCKA/USB0_ID	
24		PC4	MTIOC3D/MTCLKC/POE0#	SCK5/SSLA0/USB0_VBUS (注1) / USB0_VBUSEN	IRQ2/CLKOUT
25		PB5/PC3	MTIOC2A/MTIOC1B/POE1#		
26		PB3/PC2	MTIOC0A/MTIOC3B/ MTIOC4A/POE3#	USB0_OVRCURA	
27		PB1/PC1	MTIOC0C/MTIOC4C		IRQ4
28	VCC				
29		PB0/PC0	MTIC5W/MTIOC0C/ RTCOUT	SCL0/RSPCKA	IRQ2/ADTRG0#
30	VSS				
31		PA6	MTIC5V/MTCLKB/MTIOC2A/ POE2#	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
32		PA4	MTIC5U/MTCLKA/MTIOC2B	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
33		PA3	MTIOC0D/MTCLKD/ MTIOC1B/POE0#	RXD5/SMISO5/SSCL5/MISOA	IRQ6
34		PA1	MTIOC0B/MTCLKC/ RTCOUT	SCK5/SSLA2	
35		PE4	MTIOC4D/MTIOC1A/ MTIOC3A	MOSIA	IRQ4/AN012
36		PE3	MTIOC0A/MTIOC1B/ MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
37		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12	IRQ7/AN010

表 1.7 機能別端子一覧 (48ピンLFQFP/HWQFN) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、POE、RTC)	通信 (SCIE、SCIF、RSPI、RIIC、USB)	その他
38		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/SSDA12	IRQ1/AN009
39		PE0	MTIOC2A/POE3#	SCK12	IRQ0/AN008
40		PE7			IRQ7/AN015
41		P46 (注2)			AN006
42		P42 (注2)			AN002
43		P41 (注2)			AN001
44	VREFL0	PJ7 (注2)			
45		P40 (注2)			AN000
46	VREFH0	PJ6 (注2)			
47	AVSS0				
48	AVCC0				

注1. 5Vトレラントではありません。

注2. これら端子の入出力バッファの電源はAVCC0です。

表 1.8 機能別端子一覧 (40ピンHWQFN) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、POE、RTC)	通信 (SCIE、SCIF、RSPI、RIIC、USB)	その他
1		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ADTRG0#
2		P26	MTIOC2A	TXD1/SMOSI1/SSDA1/USB0_VBUSEN	
3	MD				FINED
4	RES#				
5	UPSEL	P35			NMI
6	XTAL				
7	EXTAL				
8	VCL				
9	VSS				
10	VCC				
11		P32	MTIOC0C		IRQ2
12		P17	MTIOC0C/MTIOC3A/MTIOC3B/POE8#	SCK1/MISOA/SDA0/RXD12/RXD12/SMISO12/SSCL12	IRQ7
13		P16	MTIOC3C/MTIOC3D	TXD1/SMOSI1/SSDA1/SCL0/MOSIA/USB0_VBUSEN/USB0_OVRCURB/USB0_VBUS	IRQ6/ADTRG0#
14		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
15	UB#	P14	MTIOC0A/MTIOC3A/MTCLKA	CTS1#/RTS1#/SS1#/SSLA0/TXD12/TXD12/SIOX12/SMOSI12/SSDA12/USB0_OVRCURA	IRQ4
16	VCC_USB				
17				USB0_DM	
18				USB0_DP	
19	VSS_USB				
20		PC4	MTIOC3D/MTCLKC/POE0#	SCK5/SSLA0/USB0_VBUS (注1) / USB0_VBUSEN	IRQ2/CLKOUT
21		PB3	MTIOC0A/MTIOC3B/MTIOC4A/POE3#	USB0_OVRCURA	
22	VCC				
23		PB0	MTIOC0C/MTIC5W	SCL0/RSPCKA	IRQ2/ADTRG0#
24	VSS				
25		PA6	MTIOC2A/MTIC5V/MTCLKB/POE2#	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
26		PA4	MTIOC2B/MTIC5U/MTCLKA	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
27		PA3	MTIOC0D/MTIOC1B/MTCLKD/POE0#	RXD5/SMISO5/SSCL5/MISOA	IRQ6
28		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	
29		PE4	MTIOC1A/MTIOC3A/MTIOC4D	MOSIA	IRQ4/AN012
30		PE3	MTIOC0A/MTIOC1B/MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
31		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12	IRQ7/AN010
32		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/SSDA12	IRQ1/AN009
33		PE0	MTIOC2A/POE3#	SCK12	IRQ0/AN008
34		P46 (注2)			AN006
35		P42 (注2)			AN002
36		P41 (注2)			AN001
37	VREFL0	PJ7 (注2)			
38	VREFH0	PJ6 (注2)			
39	AVSS0				

表 1.8 機能別端子一覧 (40ピンHWQFN) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、POE、RTC)	通信 (SCIE、SCIF、RSPI、RIIC、USB)	その他
40	AVCC0				

注1. 5Vトレラントではありません。

注2. これら端子の入出力バッファの電源はAVCC0です。

表 1.9 機能別端子一覧 (36ピンWFLGA)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、POE、RTC)	通信 (SCIE、SCIF、RSPI、RIIC、USB)	その他
A1	AVSS0				
A2	AVCC0				
A3	VREFH0	PJ6 (注2)			
A4		P42 (注2)			AN002
A5		P41 (注2)			AN001
A6		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12	IRQ7/AN010
B1	RES#				
B2		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ADTRG0#
B3	VREFL0	PJ7 (注2)			
B4		PE0	MTIOC2A/POE3#	SCK12	IRQ0/AN008
B5		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/SSDA12	IRQ1/AN009
B6		PA3	MTIOC0D/MTCLKD/MTIOC1B/POE0#	RXD5/SMISO5/SSCL5/MISOA	IRQ6
C1	XTAL				
C2	MD				FINED
C3		PE3	MTIOC0A/MTIOC1B/MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
C4		PE4	MTIOC1A/MTIOC3A/MTIOC4D	MOSIA	IRQ4/AN012
C5		PA4	MTIOC2B/MTIC5U/MTCLKA	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
C6	VSS				
D1	EXTAL				
D2	UPSEL	P35			NMI
D3	UB#	P14	MTIOC0A/MTIOC3A/MTCLKA	CTS1#/RTS1#/SS1#/SSLA0/TXD12/TXD12/SIOX12/SMOSI12/SSDA12/USB0_OVRCURA	IRQ4
D4		PA6	MTIC5V/MTCLKB/MTIOC2A/POE2#	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
D5		PB3	MTIOC0A/MTIOC3B/MTIOC4A/POE3#	USB0_OVRCURA	
D6		PB0	MTIOC0C/MTIC5W	SCL0/RSPCKA	IRQ2/ADTRG0#
E1	VCL				
E2		P17	MTIOC0C/MTIOC3A/MTIOC3B/POE8#	SCK1/MISOA/SDA0/RXD12/RXD12/SMISO12/SSCL12	IRQ7
E3		P16	MTIOC3C/MTIOC3D	TXD1/SMOSI1/SSDA1/SCL0/MOSIA/USB0_VBUSEN/USB0_OVRCURB/USB0_VBUS	IRQ6/ADTRG0#
E4		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
E5		PC4	MTIOC3D/MTCLKC/POE0#	SCK5/SSLA0/USB0_VBUSEN/USB0_VBUS (注1)	IRQ2/CLKOUT
E6	VCC				
F1	VSS				
F2	VCC				
F3	VCC_USB				
F4				USB0_DM	
F5				USB0_DP	
F6	VSS_USB				

注1. 5Vトレラントではありません。

注2. これら端子の入出力バッファの電源はAVCC0です。

2. CPU

図 2.1 に CPU のレジスタ構成を示します。

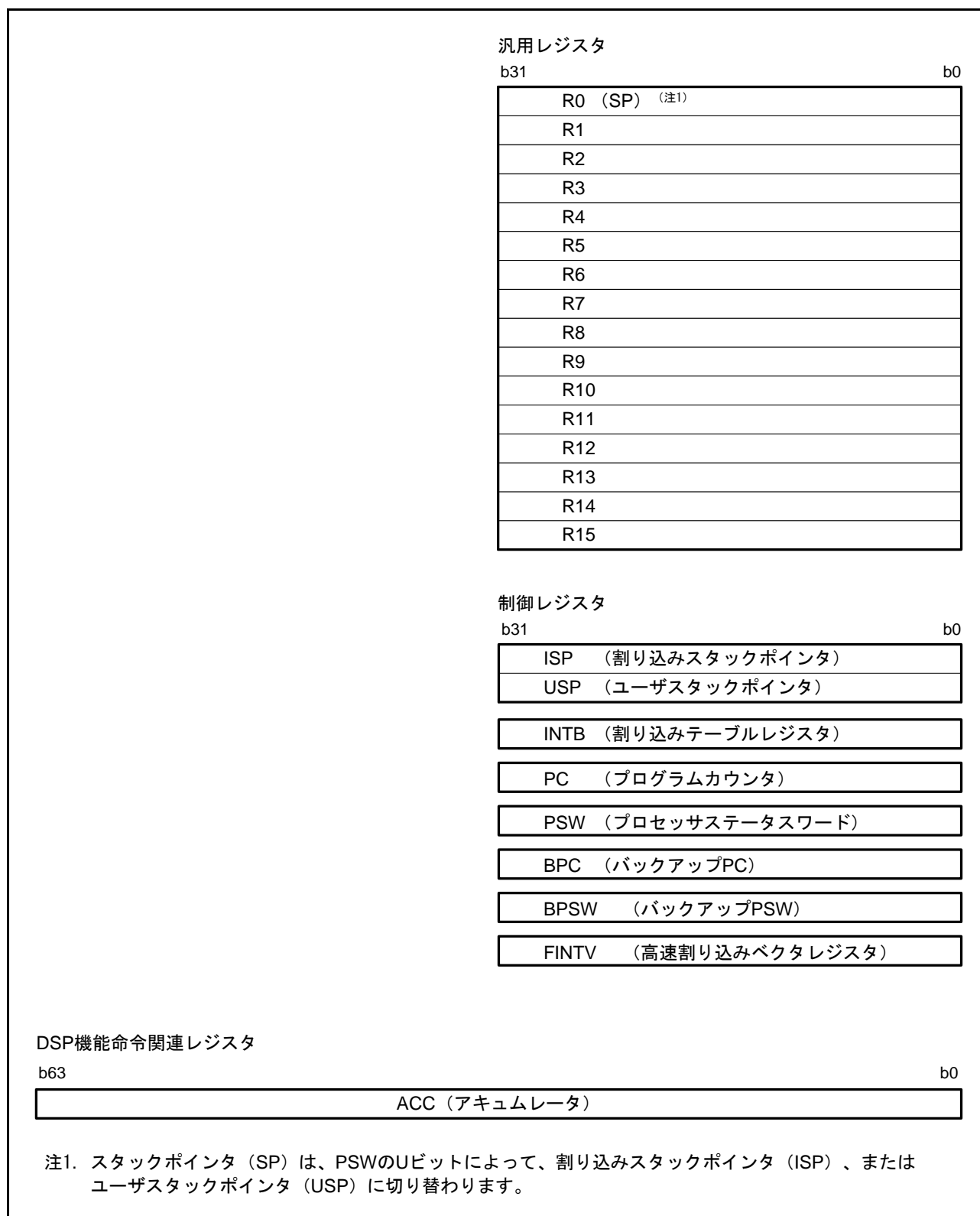


図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

(3) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(4) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

(5) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(6) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

(7) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.3 DSP 機能命令関連レジスタ

(1) アキュムレータ (ACC)

アキュムレータ (ACC) は、64ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32ビット (b63 ~ b32)、MVFACMI 命令で中央の 32ビット (b47 ~ b16) のデータをそれぞれ読みます。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 にメモリマップを示します。

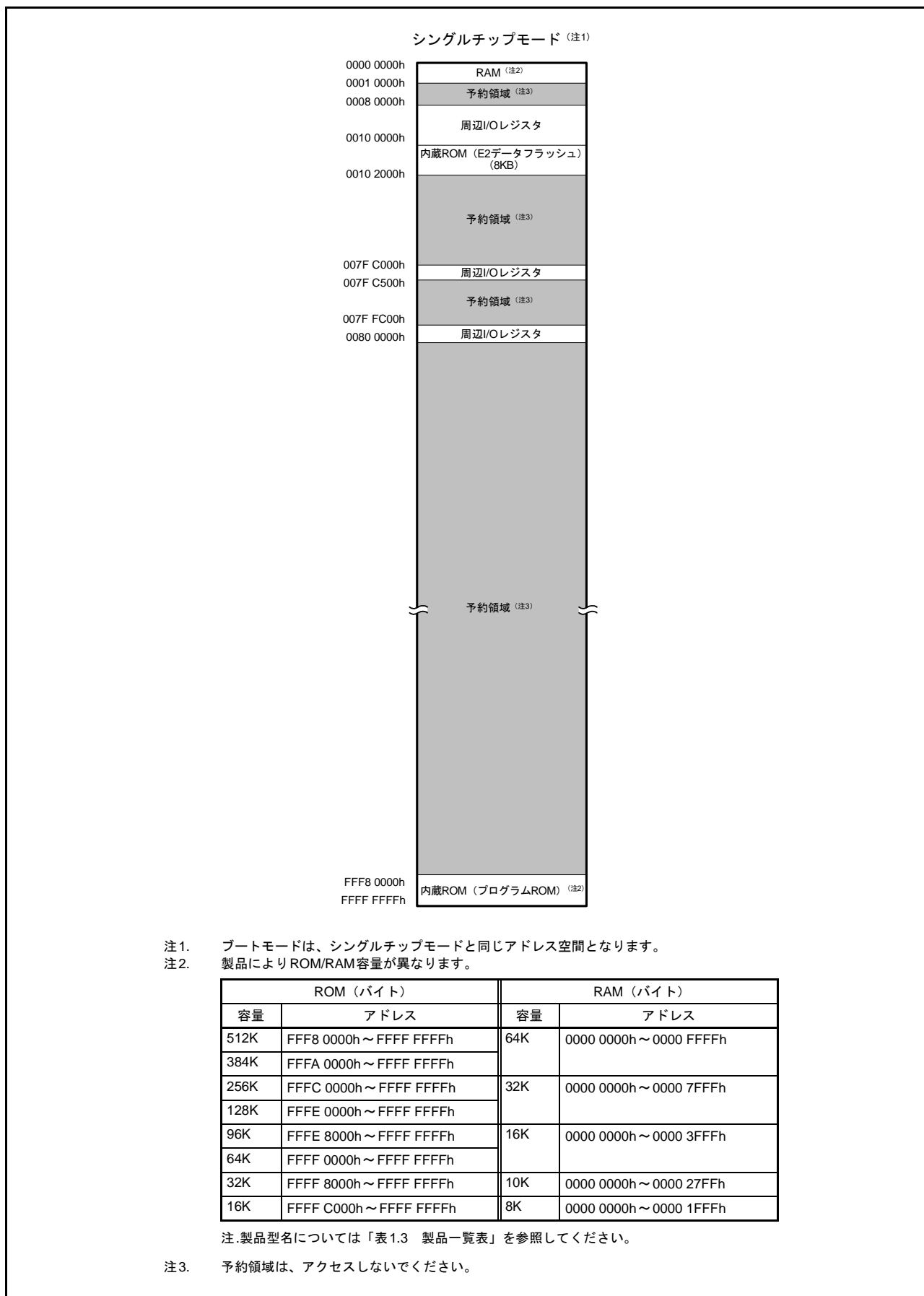


図 3.1 メモリマップ

4. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENjビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 4.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\begin{aligned} \text{I/O レジスタアクセスサイクル数} = & \text{内部メインバス 1 のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス 1 ～ 6 のバスサイクル数} \end{aligned}$$

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK（または FCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （または FCLK ）の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（または FCLK）で最大 1 サイクルとなるため、表 4.1 では 1PCLK（または FCLK）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または FCLK ）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

注 1. CPU からのレジスタアクセスが、異なるバスマスタ（DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 4.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

4.1 I/Oレジスタアドレス一覧（アドレス順）

表 4.1 I/Oレジスタアドレス一覧（1 / 15）

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16	3ICLK
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK
0008 00A5h	SYSTEM	高速オンチップオシレータウェイトコントロールレジスタ	HOCOWTCR	8	8	3ICLK
0008 00AAh	SYSTEM	サブ動作電力コントロールレジスタ	SOPCCR	8	8	3ICLK
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK
0008 7024h	ICU	割り込み要求レジスタ 036	IR036	8	8	2ICLK
0008 7025h	ICU	割り込み要求レジスタ 037	IR037	8	8	2ICLK
0008 7026h	ICU	割り込み要求レジスタ 038	IR038	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (2 / 1 5)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK
0008 703Fh	ICU	割り込み要求レジスタ 063	IR063	8	8	2ICLK
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK
0008 705Ah	ICU	割り込み要求レジスタ 090	IR090	8	8	2ICLK
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK
0008 705Dh	ICU	割り込み要求レジスタ 093	IR093	8	8	2ICLK
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (3 / 1 5)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2ICLK
0008 70F3h	ICU	割り込み要求レジスタ 243	IR243	8	8	2ICLK
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2ICLK
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK
0008 711Bh	ICU	DTC 起動許可レジスタ 027	DTCER027	8	8	2ICLK
0008 711Ch	ICU	DTC 起動許可レジスタ 028	DTCER028	8	8	2ICLK
0008 711Dh	ICU	DTC 起動許可レジスタ 029	DTCER029	8	8	2ICLK
0008 7124h	ICU	DTC 起動許可レジスタ 036	DTCER036	8	8	2ICLK
0008 7125h	ICU	DTC 起動許可レジスタ 037	DTCER037	8	8	2ICLK
0008 712Dh	ICU	DTC 起動許可レジスタ 045	DTCER045	8	8	2ICLK
0008 712Eh	ICU	DTC 起動許可レジスタ 046	DTCER046	8	8	2ICLK
0008 7140h	ICU	DTC 起動許可レジスタ 064	DTCER064	8	8	2ICLK
0008 7141h	ICU	DTC 起動許可レジスタ 065	DTCER065	8	8	2ICLK
0008 7142h	ICU	DTC 起動許可レジスタ 066	DTCER066	8	8	2ICLK
0008 7143h	ICU	DTC 起動許可レジスタ 067	DTCER067	8	8	2ICLK
0008 7144h	ICU	DTC 起動許可レジスタ 068	DTCER068	8	8	2ICLK
0008 7145h	ICU	DTC 起動許可レジスタ 069	DTCER069	8	8	2ICLK
0008 7146h	ICU	DTC 起動許可レジスタ 070	DTCER070	8	8	2ICLK
0008 7147h	ICU	DTC 起動許可レジスタ 071	DTCER071	8	8	2ICLK
0008 7166h	ICU	DTC 起動許可レジスタ 102	DTCER102	8	8	2ICLK
0008 7167h	ICU	DTC 起動許可レジスタ 103	DTCER103	8	8	2ICLK
0008 716Ah	ICU	DTC 起動許可レジスタ 106	DTCER106	8	8	2ICLK
0008 7172h	ICU	DTC 起動許可レジスタ 114	DTCER114	8	8	2ICLK
0008 7173h	ICU	DTC 起動許可レジスタ 115	DTCER115	8	8	2ICLK
0008 7174h	ICU	DTC 起動許可レジスタ 116	DTCER116	8	8	2ICLK
0008 7175h	ICU	DTC 起動許可レジスタ 117	DTCER117	8	8	2ICLK
0008 7179h	ICU	DTC 起動許可レジスタ 121	DTCER121	8	8	2ICLK
0008 717Ah	ICU	DTC 起動許可レジスタ 122	DTCER122	8	8	2ICLK
0008 717Dh	ICU	DTC 起動許可レジスタ 125	DTCER125	8	8	2ICLK
0008 717Eh	ICU	DTC 起動許可レジスタ 126	DTCER126	8	8	2ICLK
0008 7181h	ICU	DTC 起動許可レジスタ 129	DTCER129	8	8	2ICLK
0008 7182h	ICU	DTC 起動許可レジスタ 130	DTCER130	8	8	2ICLK
0008 7183h	ICU	DTC 起動許可レジスタ 131	DTCER131	8	8	2ICLK
0008 7184h	ICU	DTC 起動許可レジスタ 132	DTCER132	8	8	2ICLK
0008 7186h	ICU	DTC 起動許可レジスタ 134	DTCER134	8	8	2ICLK
0008 7187h	ICU	DTC 起動許可レジスタ 135	DTCER135	8	8	2ICLK
0008 7188h	ICU	DTC 起動許可レジスタ 136	DTCER136	8	8	2ICLK
0008 7189h	ICU	DTC 起動許可レジスタ 137	DTCER137	8	8	2ICLK
0008 718Ah	ICU	DTC 起動許可レジスタ 138	DTCER138	8	8	2ICLK
0008 718Bh	ICU	DTC 起動許可レジスタ 139	DTCER139	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (4 / 1 5)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数
0008 718Ch	ICU	DTC 起動許可レジスタ 140	DTCER140	8	8	2ICLK
0008 718Dh	ICU	DTC 起動許可レジスタ 141	DTCER141	8	8	2ICLK
0008 71DBh	ICU	DTC 起動許可レジスタ 219	DTCER219	8	8	2ICLK
0008 71DCh	ICU	DTC 起動許可レジスタ 220	DTCER220	8	8	2ICLK
0008 71DFh	ICU	DTC 起動許可レジスタ 223	DTCER223	8	8	2ICLK
0008 71E0h	ICU	DTC 起動許可レジスタ 224	DTCER224	8	8	2ICLK
0008 71EFh	ICU	DTC 起動許可レジスタ 239	DTCER239	8	8	2ICLK
0008 71F0h	ICU	DTC 起動許可レジスタ 240	DTCER240	8	8	2ICLK
0008 71F7h	ICU	DTC 起動許可レジスタ 247	DTCER247	8	8	2ICLK
0008 71F8h	ICU	DTC 起動許可レジスタ 248	DTCER248	8	8	2ICLK
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK
0008 7324h	ICU	割り込み要因プライオリティレジスタ 036	IPR036	8	8	2ICLK
0008 7325h	ICU	割り込み要因プライオリティレジスタ 037	IPR037	8	8	2ICLK
0008 7326h	ICU	割り込み要因プライオリティレジスタ 038	IPR038	8	8	2ICLK
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK
0008 733Fh	ICU	割り込み要因プライオリティレジスタ 063	IPR063	8	8	2ICLK
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK
0008 7358h	ICU	割り込み要因プライオリティレジスタ 088	IPR088	8	8	2ICLK
0008 7359h	ICU	割り込み要因プライオリティレジスタ 089	IPR089	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (5 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 090	IPR090	8	8	2ICLK
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 092	IPR092	8	8	2ICLK
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 093	IPR093	8	8	2ICLK
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2ICLK
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK
0008 73AAh	ICU	割り込み要因プライオリティレジスタ 170	IPR170	8	8	2ICLK
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2ICLK
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2ICLK
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242	IPR242	8	8	2ICLK
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243	IPR243	8	8	2ICLK
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2ICLK
0008 73F5h	ICU	割り込み要因プライオリティレジスタ 245	IPR245	8	8	2ICLK
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2~3PCLKB
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLKB

表 4.1 I/O レジスタアドレス一覧 (6 / 1 5)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLKB	
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLKB	
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2~3PCLKB	
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDTCSTPR	8	8	2~3PCLKB	
0008 80C0h	DA	D/A データレジスタ 0	DADR0	16	16	2~3PCLKB	
0008 80C2h	DA	D/A データレジスタ 1	DADR1	16	16	2~3PCLKB	
0008 80C4h	DA	D/A 制御レジスタ	DACR	8	8	2~3PCLKB	
0008 80C5h	DA	DADRm フォーマット選択レジスタ	DADPR	8	8	2~3PCLKB	
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLKB	
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLKB	
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ 1	ICCR1	8	8	2~3PCLKB	
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ 2	ICCR2	8	8	2~3PCLKB	
0008 8302h	RIIC0	I ² Cバスモードレジスタ 1	ICMR1	8	8	2~3PCLKB	
0008 8303h	RIIC0	I ² Cバスモードレジスタ 2	ICMR2	8	8	2~3PCLKB	
0008 8304h	RIIC0	I ² Cバスモードレジスタ 3	ICMR3	8	8	2~3PCLKB	
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	
0008 8308h	RIIC0	I ² Cバスステータスレジスタ 1	ICSR1	8	8	2~3PCLKB	
0008 8309h	RIIC0	I ² Cバスステータスレジスタ 2	ICSR2	8	8	2~3PCLKB	
0008 830Ah	RIIC0	スレーブアドレスレジスタ L0	SARL0	8	8	2~3PCLKB	
0008 830Ah	RIIC0	タイムアウト内部カウンタ L	TMOCNTL	8	8	2~3PCLKB	
0008 830Bh	RIIC0	スレーブアドレスレジスタ U0	SARU0	8	8	2~3PCLKB	
0008 830Bh	RIIC0	タイムアウト内部カウンタ U	TMOCNTU	8	8 (注1)	2~3PCLKB	
0008 830Ch	RIIC0	スレーブアドレスレジスタ L1	SARL1	8	8	2~3PCLKB	
0008 830Dh	RIIC0	スレーブアドレスレジスタ U1	SARU1	8	8	2~3PCLKB	
0008 830Eh	RIIC0	スレーブアドレスレジスタ L2	SARL2	8	8	2~3PCLKB	
0008 830Fh	RIIC0	スレーブアドレスレジスタ U2	SARU2	8	8	2~3PCLKB	
0008 8310h	RIIC0	I ² Cバスビットレート Low レジスタ	ICBRL	8	8	2~3PCLKB	
0008 8311h	RIIC0	I ² Cバスビットレート High レジスタ	ICBRH	8	8	2~3PCLKB	
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2~3PCLKB	
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLKB	
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2~3PCLKB	
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2~3PCLKB	
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2~3PCLKB	2ICLK
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2~3PCLKB	
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLKB	
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2~3PCLKB	
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2~3PCLKB	
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2~3PCLKB	
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLKB	
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2~3PCLKB	
0008 838Fh	RSPI0	RSPI制御レジスタ 2	SPCR2	8	8	2~3PCLKB	
0008 8390h	RSPI0	RSPIコマンドレジスタ 0	SPCMD0	16	16	2~3PCLKB	
0008 8392h	RSPI0	RSPIコマンドレジスタ 1	SPCMD1	16	16	2~3PCLKB	
0008 8394h	RSPI0	RSPIコマンドレジスタ 2	SPCMD2	16	16	2~3PCLKB	
0008 8396h	RSPI0	RSPIコマンドレジスタ 3	SPCMD3	16	16	2~3PCLKB	
0008 8398h	RSPI0	RSPIコマンドレジスタ 4	SPCMD4	16	16	2~3PCLKB	
0008 839Ah	RSPI0	RSPIコマンドレジスタ 5	SPCMD5	16	16	2~3PCLKB	
0008 839Ch	RSPI0	RSPIコマンドレジスタ 6	SPCMD6	16	16	2~3PCLKB	
0008 839Eh	RSPI0	RSPIコマンドレジスタ 7	SPCMD7	16	16	2~3PCLKB	

表 4.1 I/Oレジスタアドレス一覧 (7 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2~3PCLKB
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2~3PCLKB
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB
0008 860Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2~3PCLKB
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2~3PCLKB
0008 860Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2~3PCLKB
0008 860Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2~3PCLKB
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2~3PCLKB
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2~3PCLKB
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2~3PCLKB
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2~3PCLKB
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2~3PCLKB
0008 8622h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2~3PCLKB
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2~3PCLKB
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2~3PCLKB
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2~3PCLKB
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2~3PCLKB
0008 8632h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2~3PCLKB
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2~3PCLKB
0008 8636h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2~3PCLKB
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2~3PCLKB
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2~3PCLKB
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2~3PCLKB
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2~3PCLKB
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2~3PCLKB
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8, 16	2~3PCLKB
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8, 16	2~3PCLKB
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8, 16	2~3PCLKB
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8, 16	2~3PCLKB
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2~3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (8 / 1 5)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2~3PCLKB
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2~3PCLKB
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2~3PCLKB
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2~3PCLKB
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2~3PCLKB
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2~3PCLKB
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKB
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2~3PCLKB
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2~3PCLKB
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKB
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKB
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2~3PCLKB
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2~3PCLKB
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2~3PCLKB
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2~3PCLKB
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2~3PCLKB
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2~3PCLKB
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2~3PCLKB
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2~3PCLKB
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2~3PCLKB
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2~3PCLKB
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2~3PCLKB
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2~3PCLKB
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2~3PCLKB
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2~3PCLKB
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2~3PCLKB
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8、16	2~3PCLKB
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8、16	2~3PCLKB
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8、16	2~3PCLKB
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	8	8	2~3PCLKB
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8、16	2~3PCLKB
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB
0008 9004h	S12AD	A/Dチャンネル選択レジスタA	ADANSA	16	16	2~3PCLKB

表 4.1 I/Oレジスタアドレス一覧(9 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2~3PCLKB
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2~3PCLKB
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB
0008 9014h	S12AD	A/Dチャネル選択レジスタB	ADANSB	16	16	2~3PCLKB
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2~3PCLKB
0008 901Ah	S12AD	A/D温度センサデータレジスタ	ADTSRDR	16	16	2~3PCLKB
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2~3PCLKB
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB
0008 9030h	S12AD	A/Dデータレジスタ8	ADDR8	16	16	2~3PCLKB
0008 9032h	S12AD	A/Dデータレジスタ9	ADDR9	16	16	2~3PCLKB
0008 9034h	S12AD	A/Dデータレジスタ10	ADDR10	16	16	2~3PCLKB
0008 9036h	S12AD	A/Dデータレジスタ11	ADDR11	16	16	2~3PCLKB
0008 9038h	S12AD	A/Dデータレジスタ12	ADDR12	16	16	2~3PCLKB
0008 903Ah	S12AD	A/Dデータレジスタ13	ADDR13	16	16	2~3PCLKB
0008 903Ch	S12AD	A/Dデータレジスタ14	ADDR14	16	16	2~3PCLKB
0008 903Eh	S12AD	A/Dデータレジスタ15	ADDR15	16	16	2~3PCLKB
0008 9060h	S12AD	A/Dサンプリングステートレジスタ0	ADSSSTR0	8	8	2~3PCLKB
0008 9061h	S12AD	A/DサンプリングステートレジスタL	ADSSSTRL	8	8	2~3PCLKB
0008 9070h	S12AD	A/DサンプリングステートレジスタT	ADSSSTRT	8	8	2~3PCLKB
0008 9071h	S12AD	A/DサンプリングステートレジスタO	ADSSSTRO	8	8	2~3PCLKB
0008 9073h	S12AD	A/Dサンプリングステートレジスタ1	ADSSSTR1	8	8	2~3PCLKB
0008 9074h	S12AD	A/Dサンプリングステートレジスタ2	ADSSSTR2	8	8	2~3PCLKB
0008 9075h	S12AD	A/Dサンプリングステートレジスタ3	ADSSSTR3	8	8	2~3PCLKB
0008 9076h	S12AD	A/Dサンプリングステートレジスタ4	ADSSSTR4	8	8	2~3PCLKB
0008 9078h	S12AD	A/Dサンプリングステートレジスタ6	ADSSSTR6	8	8	2~3PCLKB
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB

表 4.1 I/O レジスタアドレス一覧 (10 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセ ス サイズ	アクセ ス サイ クル 数
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2~3PCLKB
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2~3PCLKB
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2~3PCLKB
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB

表4.1 I/Oレジスタアドレス一覧(11/15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB
0008 B32Ah	SCI12	Control Field 0コンペイネーブルレジスタ	CF0CR	8	8	2~3PCLKB
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2~3PCLKB
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2~3PCLKB
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2~3PCLKB
0008 B32Eh	SCI12	Control Field 1コンペイネーブルレジスタ	CF1CR	8	8	2~3PCLKB
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2~3PCLKB
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C02Ch	PORTC	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C032h	PORTJ	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C045h	PORT5	ポート入カデータレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C04Ah	PORTA	ポート入カデータレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C04Bh	PORTB	ポート入カデータレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB

表4.1 I/Oレジスタアドレス一覧(12/15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB
0008 C120h	PORT	ポート切り替えレジスタB	PSRB	8	8	2~3PCLKB
0008 C121h	PORT	ポート切り替えレジスタA	PSRA	8	8	2~3PCLKB
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2~3PCLKB
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (1 3 / 1 5)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB
0008 C1D6h	MPC	PJ6端子機能制御レジスタ	PJ6PFS	8	8	2~3PCLKB
0008 C1D7h	MPC	PJ7端子機能制御レジスタ	PJ7PFS	8	8	2~3PCLKB
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4~5PCLKB
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2~3PCLKB
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2~3PCLKB
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2~3PCLKB
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2~3PCLKB
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2~3PCLKB
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2~3PCLKB
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2~3PCLKB
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2~3PCLKB
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2~3PCLKB
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2~3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (14 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2~3PCLKB
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2~3PCLKB
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2~3PCLKB
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2~3PCLKB
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2~3PCLKB
0008 C416h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2~3PCLKB
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2~3PCLKB
0008 C418h	RTC	バイナリカウンタ0アラームイネーブルレジスタ	BCNT0AER	8	8	2~3PCLKB
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2~3PCLKB
0008 C41Ah	RTC	バイナリカウンタ1アラームイネーブルレジスタ	BCNT1AER	8	8	2~3PCLKB
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2~3PCLKB
0008 C41Ch	RTC	バイナリカウンタ2アラームイネーブルレジスタ	BCNT2AER	16	16	2~3PCLKB
0008 C41Eh	RTC	年アラームイネーブルレジスタ	RYRAREN	8	8	2~3PCLKB
0008 C41Eh	RTC	バイナリカウンタ3アラームイネーブルレジスタ	BCNT3AER	8	8	2~3PCLKB
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2~3PCLKB
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3~4PCLKB
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	16	3~4PCLKB
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	16	3~4PCLKB
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	16	3~4PCLKB
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3~4PCLKB
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3~4PCLKB
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上
000A 003Ch	USB0	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上
000A 004Ch	USB0	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB以上
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上
000A 0056h	USB0	USBリクエストバリュレジスタ	USBVAL	16	16	9PCLKB以上
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上
000A 005Ah	USB0	USBリクエストレンクスレジスタ	USBLENG	16	16	9PCLKB以上
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB以上
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PEMAMP	16	16	9PCLKB以上
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上

表 4.1 I/O レジスタアドレス一覧 (15 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセ ス サイズ	アクセ ス サイ クル 数
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB 以上
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB 以上
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB 以上
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB 以上
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB 以上
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB 以上
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB 以上
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB 以上
000A 0090h	USB0	パイプ1トランザクションカウンタインーブルレジスタ	PIPE1TRE	16	16	9PCLKB 以上
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB 以上
000A 0094h	USB0	パイプ2トランザクションカウンタインーブルレジスタ	PIPE2TRE	16	16	9PCLKB 以上
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB 以上
000A 0098h	USB0	パイプ3トランザクションカウンタインーブルレジスタ	PIPE3TRE	16	16	9PCLKB 以上
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB 以上
000A 009Ch	USB0	パイプ4トランザクションカウンタインーブルレジスタ	PIPE4TRE	16	16	9PCLKB 以上
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB 以上
000A 00A0h	USB0	パイプ5トランザクションカウンタインーブルレジスタ	PIPE5TRE	16	16	9PCLKB 以上
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB 以上
000A 00B0h	USB0	BCコントロールレジスタ0	USBBCCTRL0	16	16	7PCLKB 以上
000A 00CCh	USB0	USBモジュール制御レジスタ	USBMC	16	16	7PCLKB 以上
000A 00D0h	USB0	デバイスアドレス0コンフィギュレーションレジスタ	DEVADD0	16	16	9PCLKB 以上
000A 00D2h	USB0	デバイスアドレス1コンフィギュレーションレジスタ	DEVADD1	16	16	9PCLKB 以上
000A 00D4h	USB0	デバイスアドレス2コンフィギュレーションレジスタ	DEVADD2	16	16	9PCLKB 以上
000A 00D6h	USB0	デバイスアドレス3コンフィギュレーションレジスタ	DEVADD3	16	16	9PCLKB 以上
000A 00D8h	USB0	デバイスアドレス4コンフィギュレーションレジスタ	DEVADD4	16	16	9PCLKB 以上
000A 00DAh	USB0	デバイスアドレス5コンフィギュレーションレジスタ	DEVADD5	16	16	9PCLKB 以上
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2~3FCLK
007F C0ACh	TEMPS	温度センサ校正データレジスタ	TSCDRL	8	8	1~2PCLKB
007F C0ADh	TEMPS	温度センサ校正データレジスタ	TSCDRH	8	8	1~2PCLKB
007F C0B0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK
007F C0B2h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2~3FCLK
007F C0B4h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2~3FCLK
007F C0B6h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2~3FCLK
007F C0B7h	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2~3FCLK
007F C0B8h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2~3FCLK
007F C0BAh	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	8	8	2~3FCLK
007F C0C0h	FLASH	プロテクト解除レジスタ	FPR	8	8	2~3FCLK
007F C0C1h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2~3FCLK
007F C0C2h	FLASH	フラッシュリードバッファレジスタL	FRBL	16	16	2~3FCLK
007F C0C4h	FLASH	フラッシュリードバッファレジスタH	FRBH	16	16	2~3FCLK
007F FF80h	FLASH	フラッシュ P/E モード制御レジスタ	FPMCR	8	8	2~3FCLK
007F FF81h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2~3FCLK
007F FF82h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2~3FCLK
007F FF84h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	8	8	2~3FCLK
007F FF85h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2~3FCLK
007F FF86h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2~3FCLK
007F FF88h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	8	8	2~3FCLK
007F FF89h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2~3FCLK
007F FF8Ah	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3FCLK
007F FF8Bh	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK
007F FF8Ch	FLASH	フラッシュライトバッファレジスタL	FWBL	16	16	2~3FCLK
007F FF8Eh	FLASH	フラッシュライトバッファレジスタH	FWBH	16	16	2~3FCLK
007F FF82h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2~3FCLK

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMCNTL レジスタのアドレスへアクセスしてください。「ユーザーズマニュアルハードウェア編」の表27.6に16ビットアクセスのレジスタ配置を示します。

5. 電気的特性

5.1 絶対最大定格

表5.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = VSS_USB = 0V

項目	記号	定格値	単位
電源電圧	VCC、VCC_USB	-0.3 ~ +4.6	V
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5
	ポートP40~P44、P46、 ポートPJ6、PJ7	V_{in}	-0.3 ~ AVCC0+0.3
	上記以外のポート	V_{in}	-0.3 ~ VCC+0.3
リファレンス電源電圧	VREFH0	-0.3 ~ AVCC0+0.3	V
アナログ電源電圧	AVCC0	-0.3 ~ +4.6	V
アナログ入力電圧	V_{AN}	-0.3 ~ AVCC0+0.3 (AN000 ~ AN004、AN006 使用時) -0.3 ~ VCC+0.3 (AN008 ~ AN015 使用時)	V
動作温度 (注2)	T_{opr}	-40 ~ +85 -40 ~ +105	°C
保存温度	T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VCC_USB端子とVSS_USB端子間、VREFH0端子とVREFL0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。また安定化容量を接続ください。

VCL端子は、4.7μFのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。詳細は、「5.12.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには、-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポートP16、P17、PA6、PB0は、5Vトレラント対応です。

注2. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は「1.2 製品一覧」を参照ください。

表5.2 推奨動作条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC (注1)	USB未使用時	1.8	—	3.6	V
		USB使用時	3.0	—	3.6	V
	VSS	—	0	—	V	
USB電源電圧	VCC_USB	—	VCC	—	V	
	VSS_USB	—	0	—	V	
アナログ電源電圧	AVCC0 (注1、注2)	—	1.8	—	3.6	V
	AVSS0	—	—	0	—	V
	VREFH0	—	1.8	—	AVCC0	V
	VREFL0	—	—	0	—	V

注1. AVCC0とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。

注2. 詳細は、「ユーザーズマニュアルハードウェア編」の「30.7.10 アナログ電源端子他の設定範囲」を参照してください。

5.2 DC 特性

表5.3 DC特性 (1)

条件: $2.7V \leq VCC = VCC_USB \leq 3.6V$ 、 $2.7V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V_{IH}	$VCC \times 0.7$	—	5.8	V	
	ポートP16、P17、ポートPA6、 ポートPB0 (5Vトレラント)		$VCC \times 0.8$	—	5.8		
	ポートP03、P05、 ポートP14、P15、 ポートP26、P27、 ポートP30~P32、P35、 ポートP54、P55、 ポートPA0、PA1、PA3、PA4、 ポートPB1、PB3、PB5~PB7、 ポートPC2~PC7、 ポートPE0~PE7、 ポートPH7、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	RIIC入力端子 (SMBusを除く)	V_{IL}	-0.3	—	$VCC \times 0.3$		
	RIIC入力端子以外		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMBusを除く)	ΔV_T	$VCC \times 0.05$	—	—		
	RIIC入力端子以外		$VCC \times 0.1$	—	—		
入力電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	XTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポートP40~P44、P46、 ポートPJ6、PJ7		$AVCC0 \times 0.7$	—	$AVCC0 + 0.3$		
	RIIC入力端子 (SMBus)	2.1	—	$VCC + 0.3$			
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	XTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		
	ポートP40~P44、P46、 ポートPJ6、PJ7		-0.3	—	$AVCC0 \times 0.3$		
	RIIC入力端子 (SMBus)		-0.3	—	0.8		

表5.4 DC特性 (2)

条件: $1.8V \leq VCC = VCC_USB < 2.7V$ 、 $1.8V \leq AVCC0 < 2.7V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	ポートP16、P17、ポートPA6、 ポートPB0 (5Vトレラント)	V_{IH}	$VCC \times 0.8$	—	5.8	V	
	ポートP03、P05、 ポートP14、P15、 ポートP26、P27、 ポートP30~P32、P35、 ポートP54、P55、 ポートPA0、PA1、PA3、PA4、 ポートPB1、PB3、PB5~PB7、 ポートPC2~PC7、 ポートPE0~PE7、 ポートPH7、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	全端子	-0.3	—	$VCC \times 0.2$			
	全端子	ΔV_T	$VCC \times 0.01$	—	—		
入力電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	XTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポートP40~P44、P46、 ポートPJ6、PJ7		$AVCC0 \times 0.7$	—	$AVCC0 + 0.3$		
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	XTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		
	ポートP40~P44、P46、 ポートPJ6、PJ7		-0.3	—	$AVCC0 \times 0.3$		

表5.5 DC特性 (3)

条件: $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#、MD、ポートP35、 ポートPH7	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V$ 、 VCC
スリーステートリーク 電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V$ 、 $5.8V$
	それ以外の端子		—	—	1.0		$V_{in} = 0V$ 、 VCC
入力容量	全入力端子 (ポートP16、ポートP35、 USB0_DM、USB0_DP以外)	C_{in}	—	—	15	pF	$V_{in} = 0mV$ 、 周波数: 1MHz、 $T_a = 25^\circ C$
	ポートP16、ポートP35、 USB0_DM、USB0_DP		—	—	30		

表5.6 DC特性 (4)

条件: $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (ポートP35、ポートPH7を除く)	R_U	10	20	100	k Ω	$V_{in} = 0V$

[フラッシュメモリの容量が 128K バイト以下の場合]

表 5.7 DC 特性 (5) (1 / 2)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件					
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 32MHz	I _{CC}	3.2	—	mA					
				ICLK = 16MHz		2.2	—						
				ICLK = 8MHz		1.7	—						
			全周辺動作 通常動作 (注3)	ICLK = 32MHz		10.6	—						
				ICLK = 16MHz		6.1	—						
				ICLK = 8MHz		3.7	—						
			全周辺動作 最大動作 (注3)	ICLK = 32MHz		—	24						
				スリープモード			I _{CC}		1.8	—			
				周辺動作なし (注2)		ICLK = 32MHz					1.8	—	
		ICLK = 16MHz	1.4			—							
		ICLK = 8MHz	1.1			—							
		全周辺動作 通常動作 (注3)	ICLK = 32MHz	6.4		—							
			ICLK = 16MHz	3.7		—							
			ICLK = 8MHz	2.4		—							
		ディープ スリープモード	周辺動作なし (注2)	ICLK = 32MHz		1.2					—		
	ICLK = 16MHz			1.0	—								
	ICLK = 8MHz			0.90	—								
	全周辺動作 通常動作 (注3)		ICLK = 32MHz	4.6	—								
			ICLK = 16MHz	2.8	—								
			ICLK = 8MHz	1.8	—								
	フラッシュメモリ書き換え時の増加分 (注5)					2.5	—						
	中速動作モード		通常動作モード	周辺動作なし (注6)	ICLK = 12MHz	I _{CC}	2.0	—	mA				
					ICLK = 8MHz					1.3	—		
		ICLK = 1MHz			0.75					—			
		全周辺動作 通常動作 (注7)			ICLK = 12MHz					4.9	—		
					ICLK = 8MHz					3.5	—		
					ICLK = 1MHz					1.2	—		
全周辺動作 最大動作 (注7)		ICLK = 12MHz			—					11			
		スリープモード			I _{CC}					1.4	—		
		周辺動作なし (注6)										ICLK = 12MHz	1.4
ICLK = 8MHz				0.85								—	
ICLK = 1MHz				0.65								—	
全周辺動作 通常動作 (注7)		ICLK = 12MHz		3.2								—	
		ICLK = 8MHz		2.2								—	
		ICLK = 1MHz		1.0								—	
ディープ スリープモード		周辺動作なし (注6)		ICLK = 12MHz								1.2	—
			ICLK = 8MHz	0.70		—							
			ICLK = 1MHz	0.60	—								
		全周辺動作 通常動作 (注7)	ICLK = 12MHz	2.5	—								
			ICLK = 8MHz	1.8	—								
			ICLK = 1MHz	0.90	—								
		フラッシュメモリ書き換え時の増加分 (注5)					2.5	—					

表5.7 DC特性 (5) (2 / 2)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件
消費電流 (注1)	低速動作モード	通常動作モード	周辺動作なし (注8)	I _{CC}	4.0	—	μA	
			全周辺動作 通常動作 (注9、注10)		11.5	—		
			全周辺動作 最大動作 (注9、注10)		—	40		
		スリープモード	周辺動作なし (注8)		2.2	—		
			全周辺動作 通常動作 (注9)		7.1	—		
			ディープ スリープモード		周辺動作なし (注8)	1.8		
	全周辺動作 通常動作 (注9)	5.3		—				

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC = 3.3Vの値です。
- 注5. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態。クロックソースはサブクロック発振器です。FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態。クロックソースはサブクロック発振器です。FCLK、PCLKはICLKと同じ周波数です。
- 注10. MSTPCRA.MSTPA17(12ビットA/Dコンバータモジュールストップ設定ビット)をモジュールストップ状態に設定した時の値です。

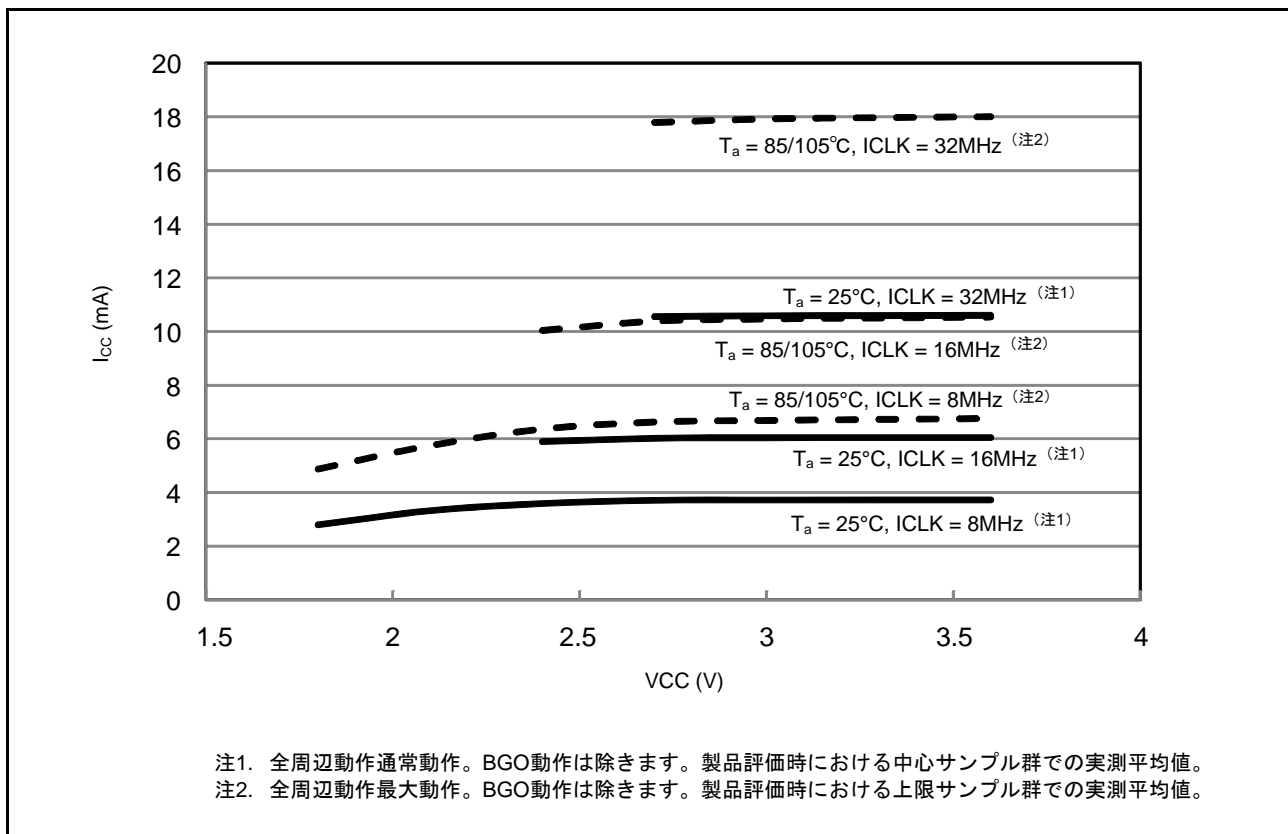


図 5.1 高速動作モードの電圧依存性 (参考データ)

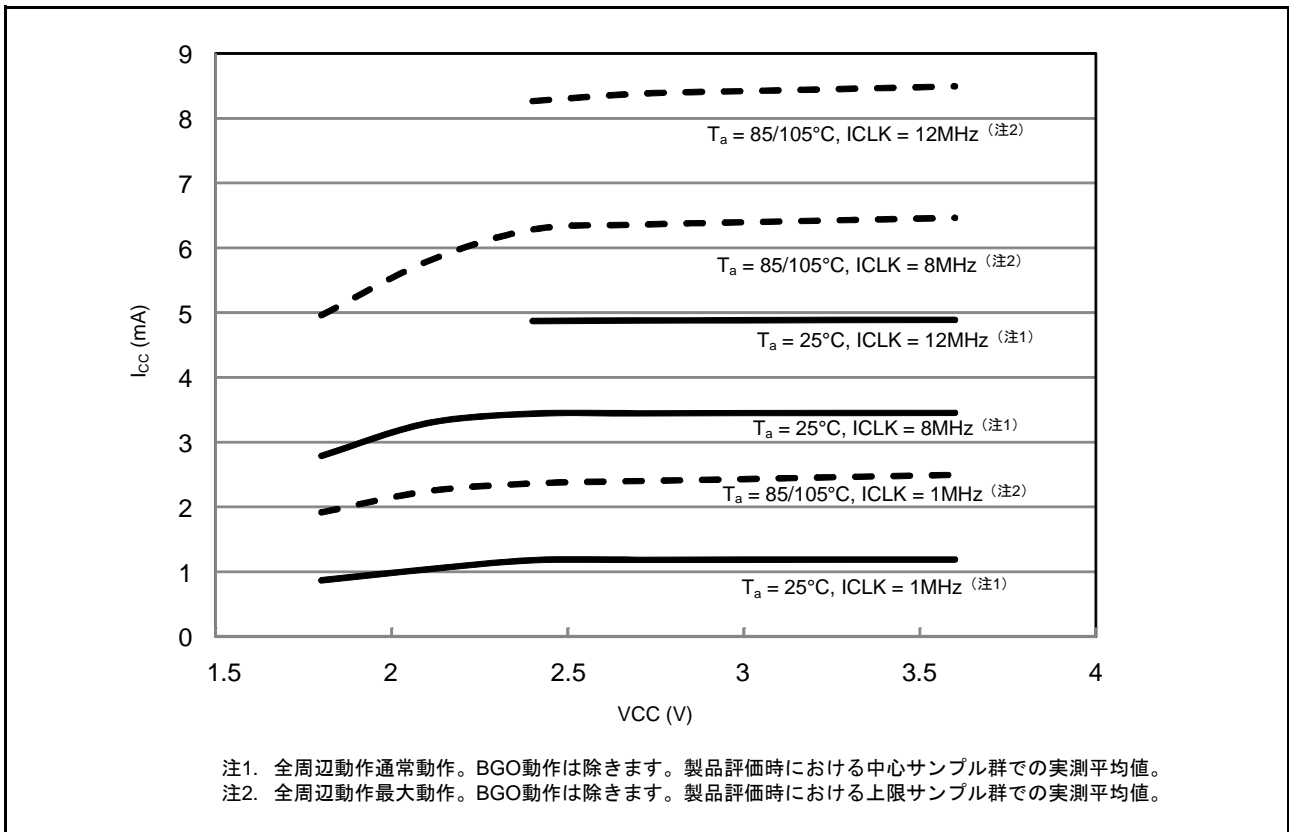


図 5.2 中速動作モードの電圧依存性 (参考データ)

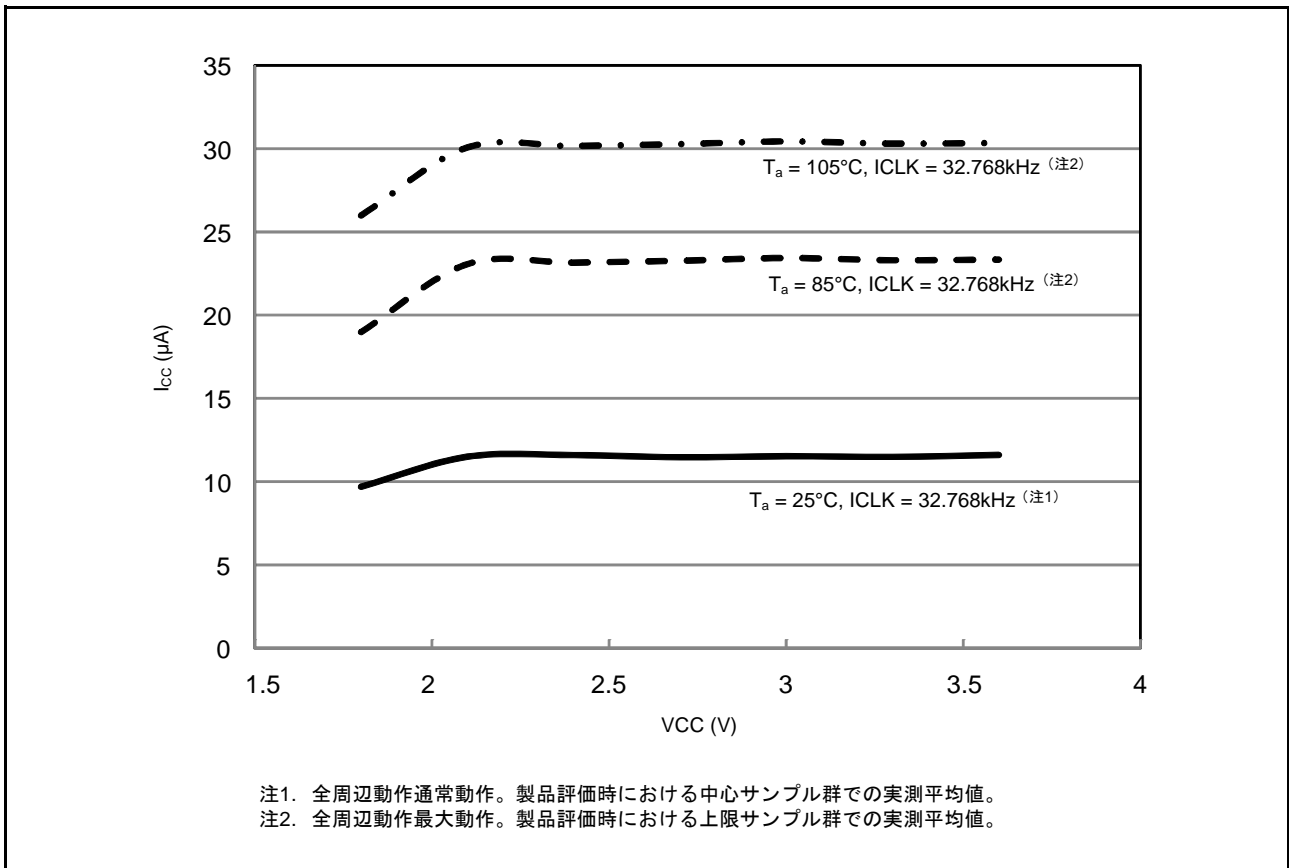


図 5.3 低速動作モードの電圧依存性 (参考データ)

[フラッシュメモリの容量が256Kバイト以上の場合]

表5.8 DC特性 (6) (1 / 2)

条件 : 1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目				記号	typ (注4)	max	単位	測定条件						
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 32MHz	I _{CC}	3.6	—	mA						
				ICLK = 16MHz		2.4	—							
				ICLK = 8MHz		1.8	—							
			全周辺動作 通常動作 (注3)	ICLK = 32MHz		13.4	—							
				ICLK = 16MHz		7.5	—							
				ICLK = 8MHz		4.5	—							
			全周辺動作 最大動作 (注3)	ICLK = 32MHz		—	27							
				スリープモード			I _{CC}			—	—			
				周辺動作なし (注2)		ICLK = 32MHz						1.9	—	
		ICLK = 16MHz	1.5			—								
		ICLK = 8MHz	1.3			—								
		全周辺動作 通常動作 (注3)	ICLK = 32MHz	7.6		—								
			ICLK = 16MHz	4.4		—								
			ICLK = 8MHz	2.8		—								
		ディープ スリープモード	周辺動作なし (注2)	ICLK = 32MHz		1.1						—		
	ICLK = 16MHz			1.0	—									
	ICLK = 8MHz			0.9	—									
	全周辺動作 通常動作 (注3)		ICLK = 32MHz	5.8	—									
			ICLK = 16MHz	3.4	—									
			ICLK = 8MHz	2.1	—									
	フラッシュメモリ書き換え時の増加分 (注5)					2.5	—							
	中速動作モード		通常動作モード	周辺動作なし (注6)	ICLK = 12MHz	I _{CC}	2.1	—		mA				
					ICLK = 8MHz							1.4	—	
		ICLK = 1MHz			0.8							—		
		全周辺動作 通常動作 (注7)			ICLK = 12MHz							5.9	—	
					ICLK = 8MHz							4.2	—	
					ICLK = 1MHz							1.3	—	
全周辺動作 最大動作 (注7)		ICLK = 12MHz			—				12.2					
		スリープモード			I _{CC}				—			—		
		周辺動作なし (注6)											ICLK = 12MHz	1.4
ICLK = 8MHz				0.9									—	
ICLK = 1MHz				0.7									—	
全周辺動作 通常動作 (注7)		ICLK = 12MHz		3.6									—	
		ICLK = 8MHz		2.5									—	
		ICLK = 1MHz		1.1									—	
ディープ スリープモード		周辺動作なし (注6)		ICLK = 12MHz									1.1	—
			ICLK = 8MHz	0.6		—								
			ICLK = 1MHz	0.6	—									
		全周辺動作 通常動作 (注7)	ICLK = 12MHz	2.9	—									
			ICLK = 8MHz	2.0	—									
			ICLK = 1MHz	0.9	—									
		フラッシュメモリ書き換え時の増加分 (注5)					2.5	—						

表 5.8 DC 特性 (6) (2 / 2)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$, $1.8V \leq AVCC0 \leq 3.6V$, $VSS = AVSS0 = VSS_USB = 0V$, $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件
消費電流 (注1)	低速動作モード	通常動作モード	周辺動作なし (注8)	I _{CC}	4.3	—	μA	
			全周辺動作 通常動作 (注9、注10)		14.7	—		
			全周辺動作 最大動作 (注9、注10)		—	60		
		スリープモード	周辺動作なし (注8)		2.2	—		
			全周辺動作 通常動作 (注9)		8.3	—		
			ディープ スリープモード		周辺動作なし (注8)	1.7		
	全周辺動作 通常動作 (注9)	6.7		—				

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC = 3.3Vの値です。
- 注5. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態。クロックソースはサブクロック発振器です。FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態。クロックソースはサブクロック発振器です。FCLK、PCLKはICLKと同じ周波数です。
- 注10. MSTPCRA.MSTPA17(12ビットA/Dコンバータモジュールストップ設定ビット)をモジュールストップ状態に設定した時の値です。

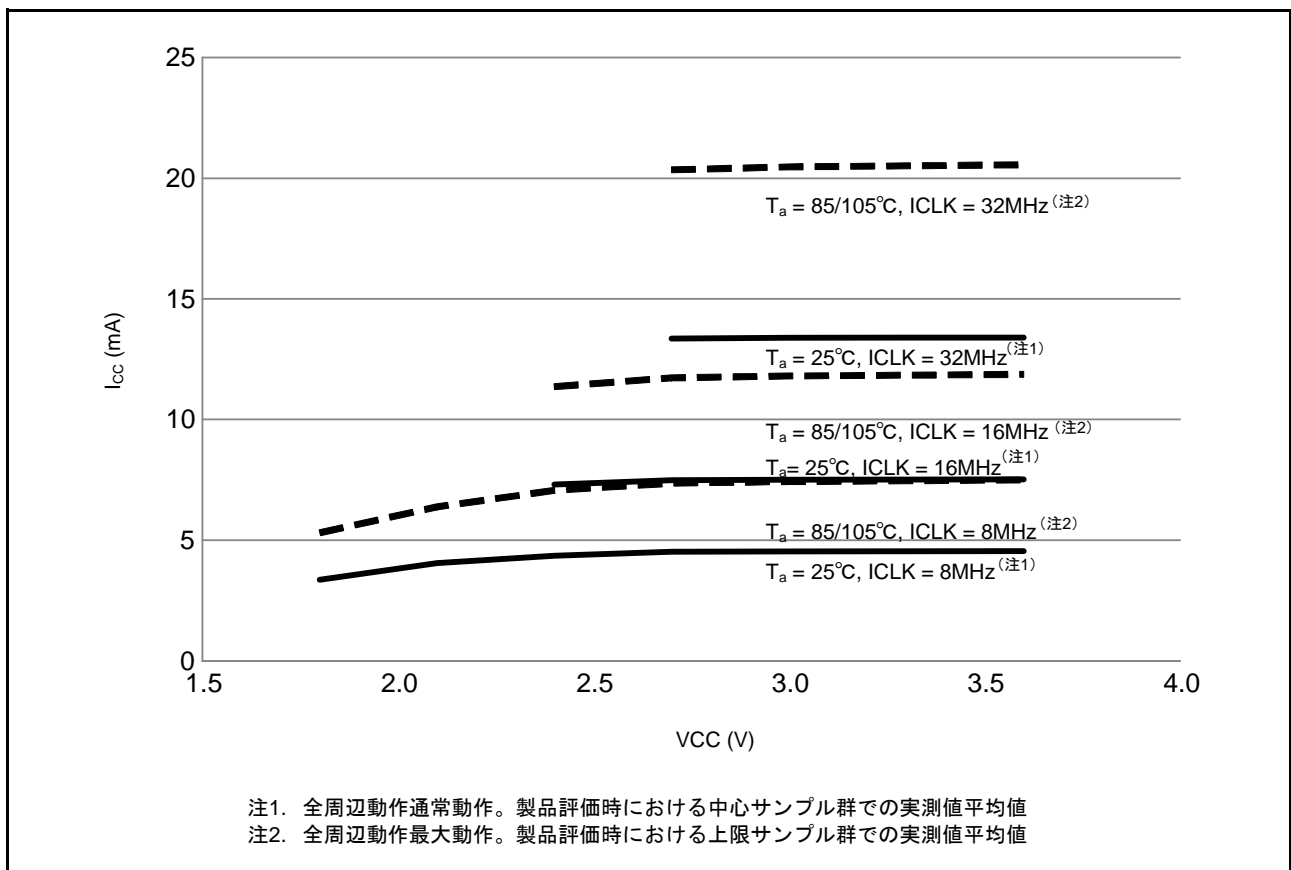


図 5.4 高速動作モードの電圧依存性 (参考データ)

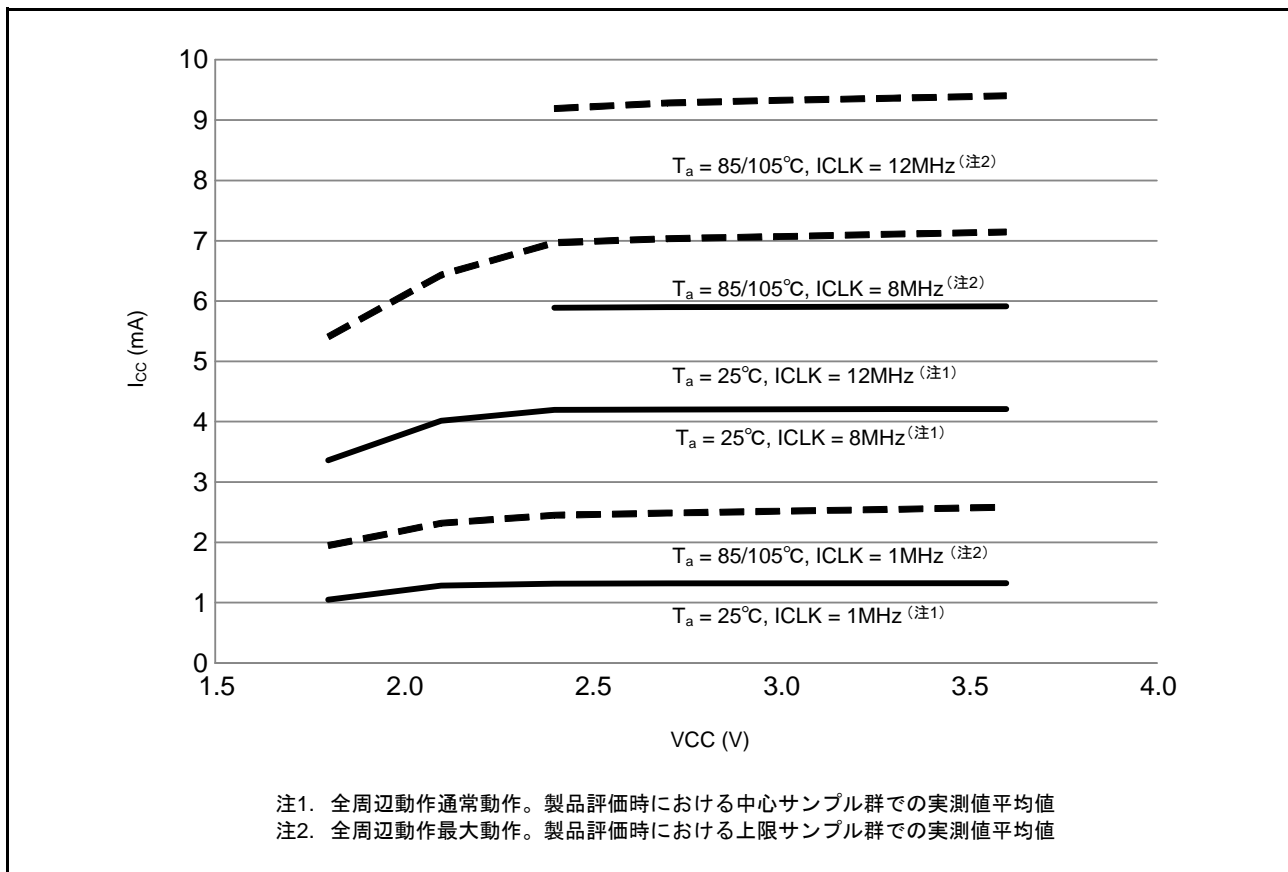


図 5.5 中速動作モードの電圧依存性 (参考データ)

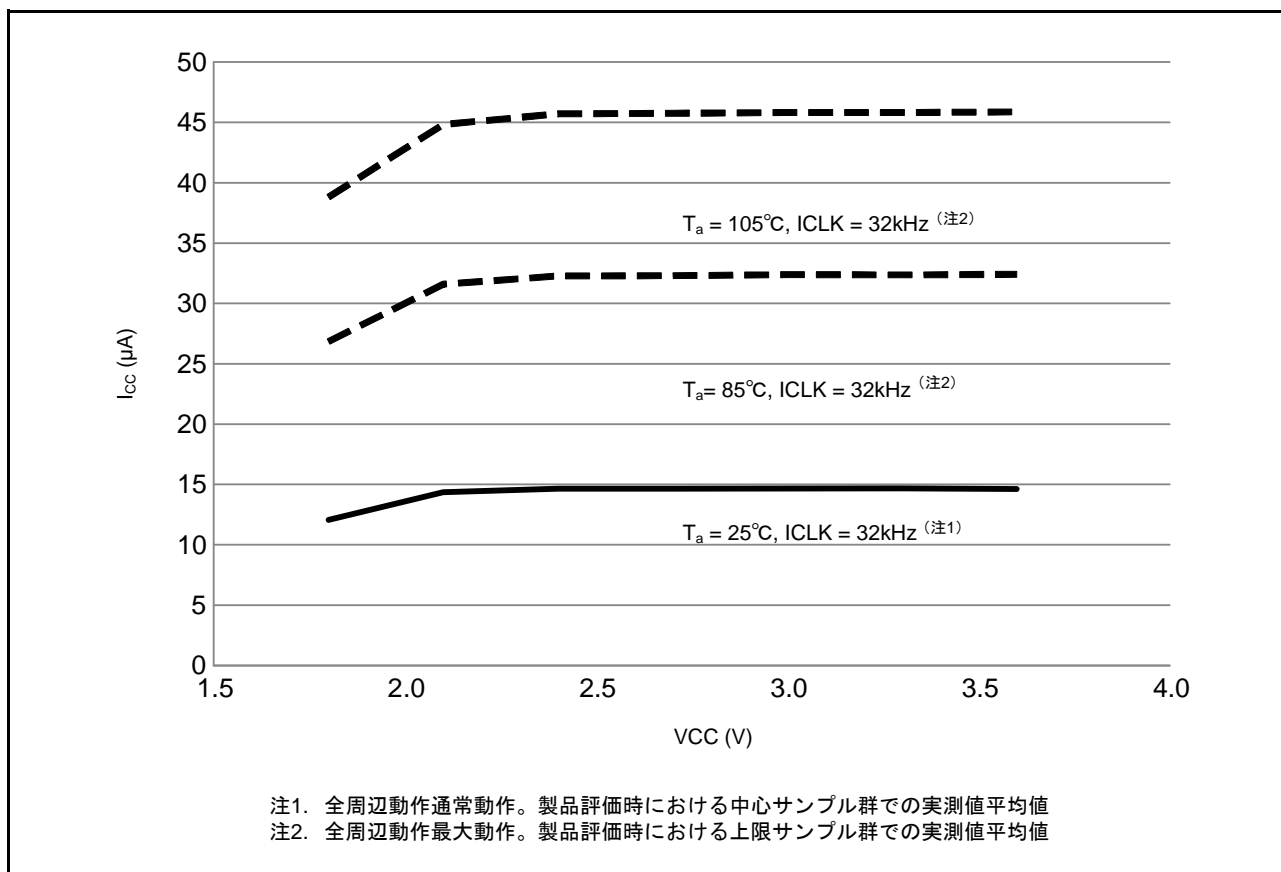


図 5.6 低速動作モードの電圧依存性 (参考データ)

[フラッシュメモリの容量が 128K バイト以下の場合]

表 5.9 DC 特性 (7)

条件 : $1.8\text{V} \leq \text{VCC} = \text{VCC_USB} \leq 3.6\text{V}$ 、 $1.8\text{V} \leq \text{AVCC0} \leq 3.6\text{V}$ 、 $\text{VSS} = \text{AVSS0} = \text{VSS_USB} = 0\text{V}$ 、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	I_{CC}	$T_a = 25^\circ\text{C}$	0.35	0.53	µA	
			$T_a = 55^\circ\text{C}$	0.58	1.45		
			$T_a = 85^\circ\text{C}$	1.60	7.30		
			$T_a = 105^\circ\text{C}$	3.30	16.50		
	RTC動作の増加分 (注4)			0.31	—		
			1.09	—	RCR3.RTCDV[2:0] = 100bの場合		
独立ウォッチドックタイマ動作の増加分			0.37				

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. IWDTとLVDは動作停止です。
- 注3. VCC = 3.3Vの場合です。
- 注4. 発振回路を含みます。

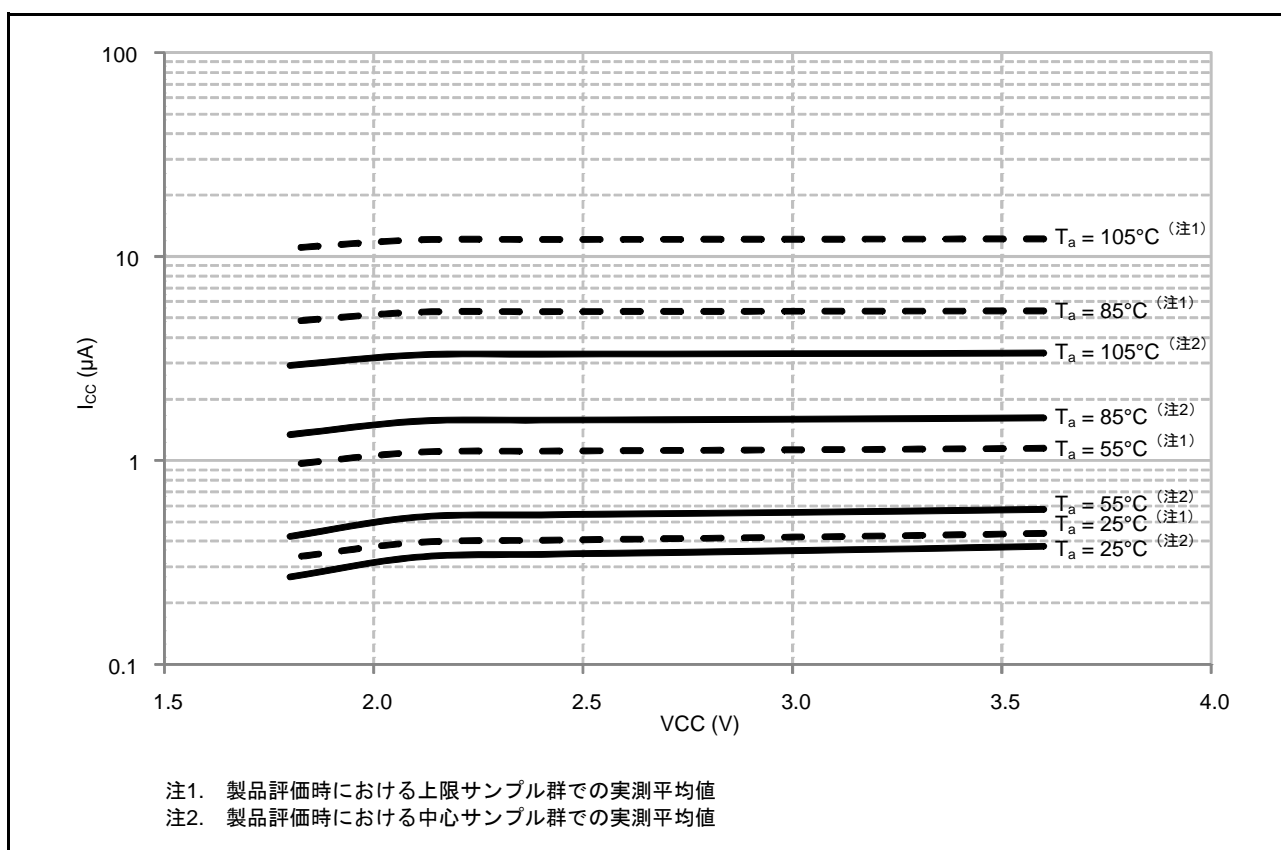


図 5.7 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

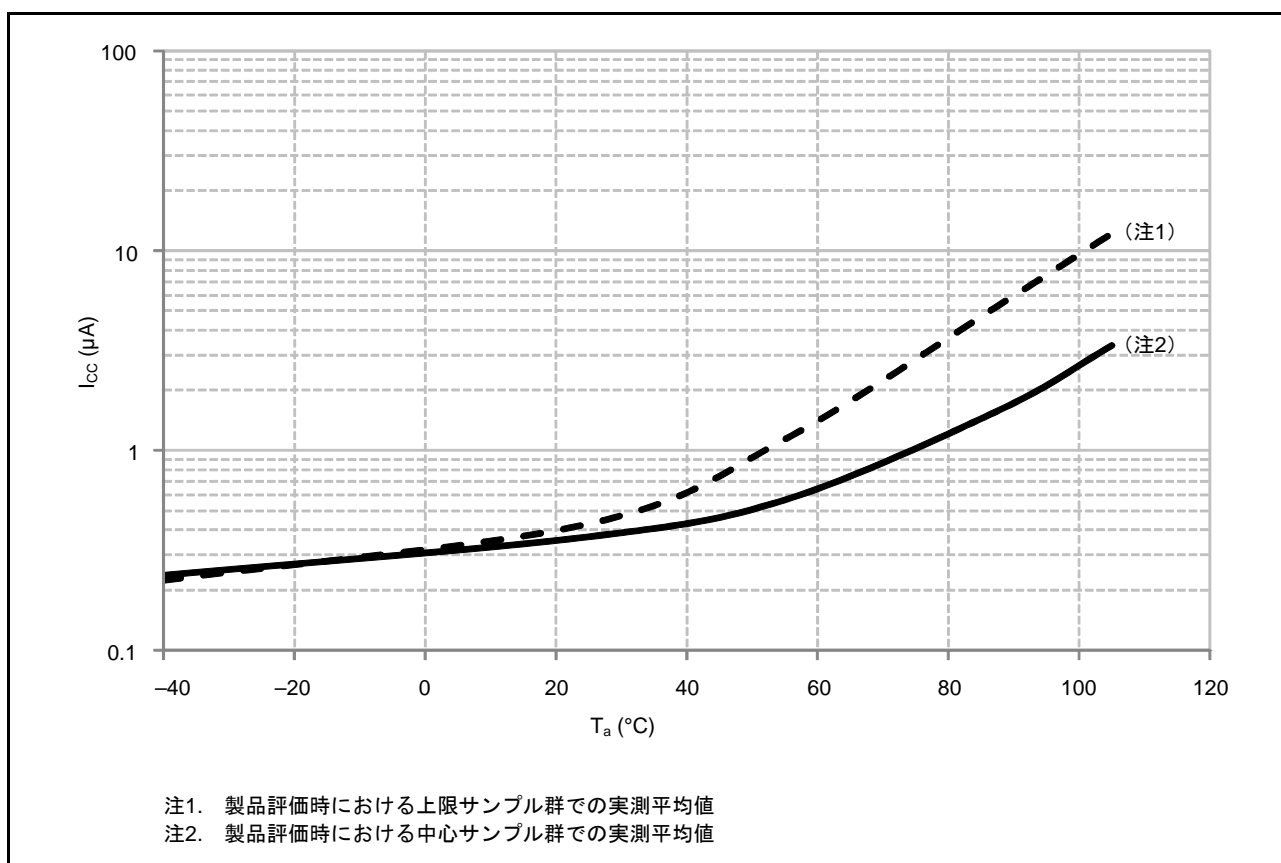


図 5.8 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

[フラッシュメモリの容量が256Kバイト以上の場合]

表5.10 DC特性 (8)

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	I _{CC}	T _a = 25°C	0.44	0.98	μA	RCR3.RTCDV[2:0] = 010bの場合 RCR3.RTCDV[2:0] = 100bの場合
			T _a = 55°C	0.80	3.47		
			T _a = 85°C	2.7	12.0		
			T _a = 105°C	6.17	42.7		
	RTC動作の増加分 (注4)			0.31	—		
	独立ウォッチドックタイマ動作 の増加分			1.09	—		
			0.37	—			

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. IWDTCとLVDは動作停止です。
- 注3. VCC = 3.3Vの場合です。
- 注4. 発振回路を含みます。

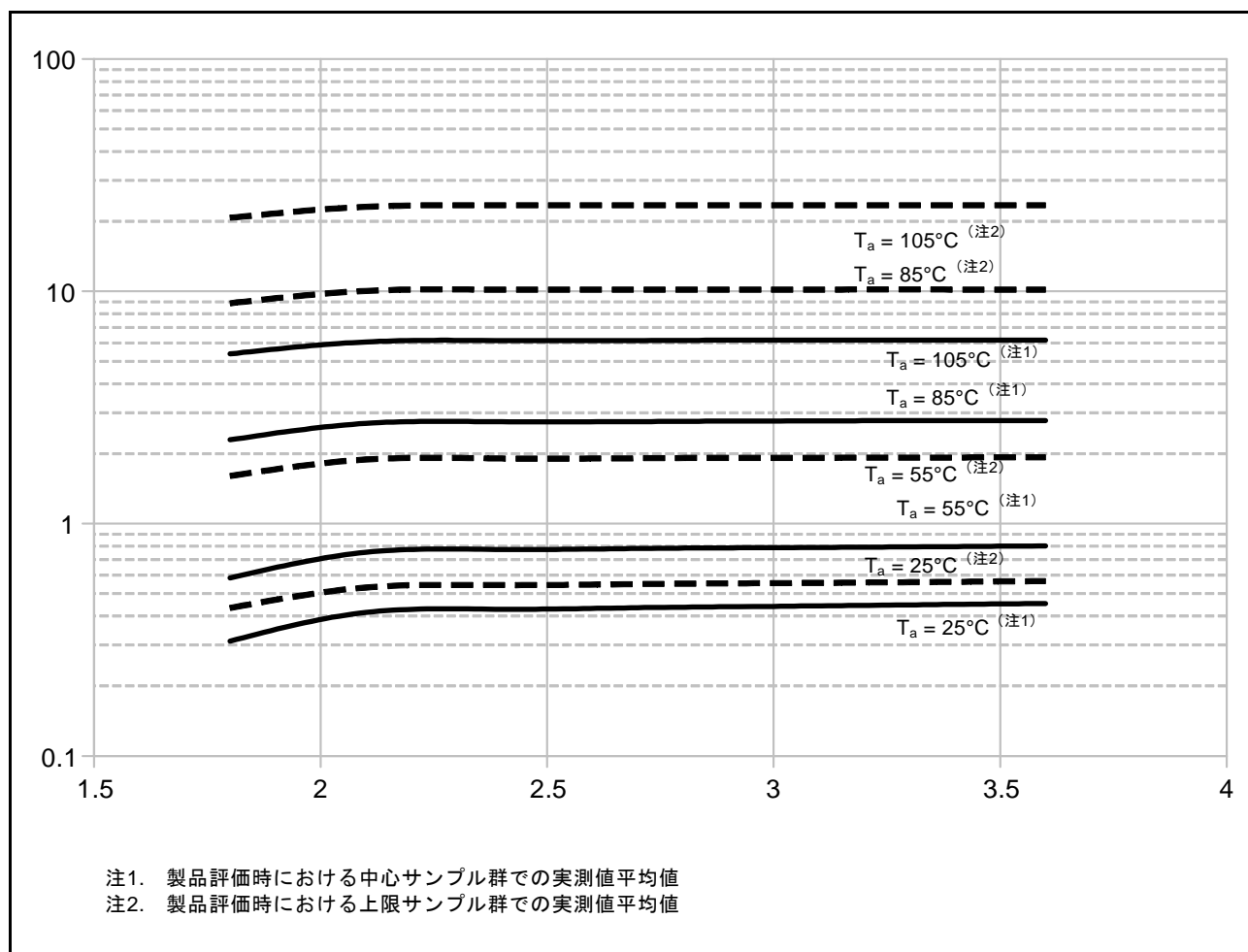


図 5.9 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

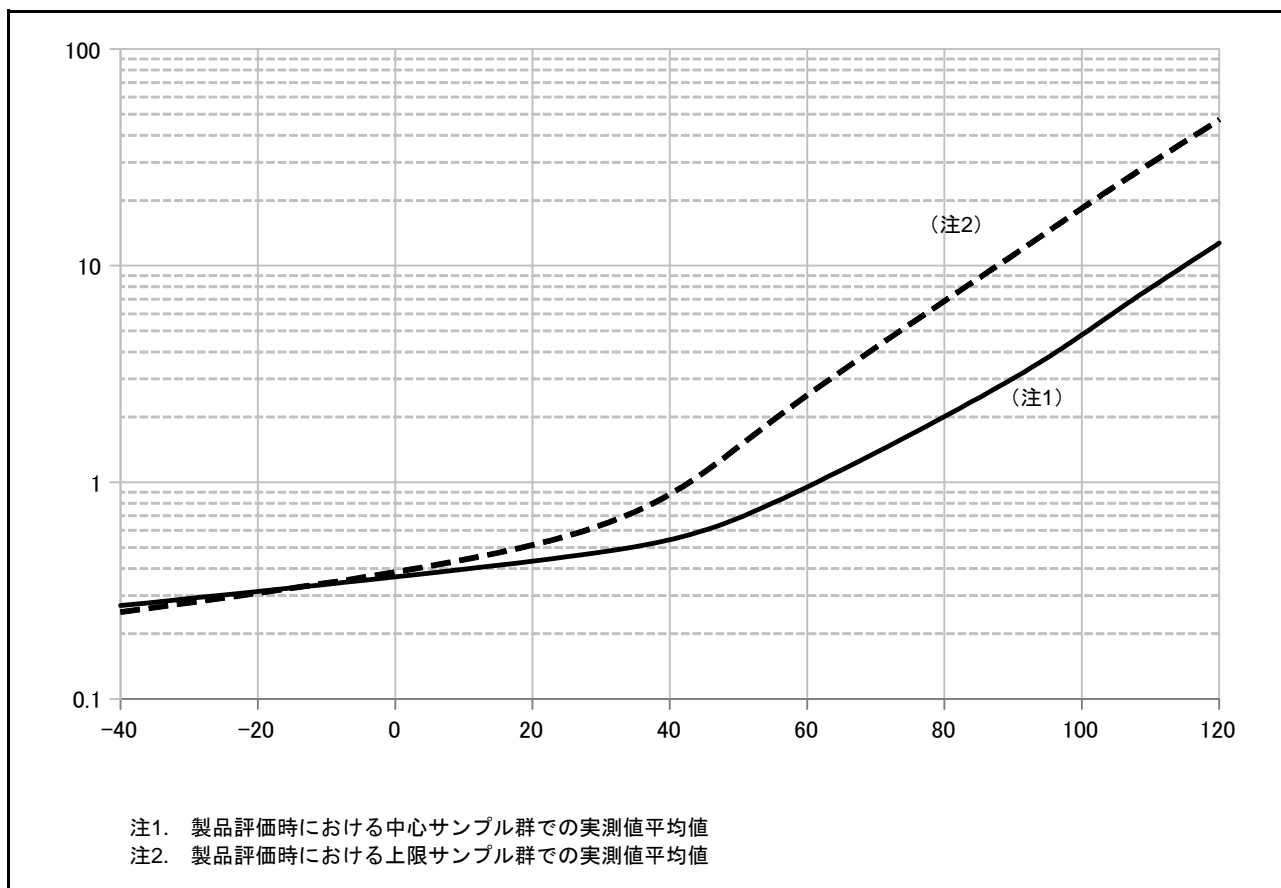


図 5.10 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 5.11 DC特性 (9)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	300	mW	Dバージョン ($-40 \leq T_a \leq 85^\circ C$)
		—	105		Gバージョン ($-40 \leq T_a \leq 105^\circ C$) (注2)

注1. チップ全体 (出力電流を含む) の総電力です。

注2. $T_a = 85^\circ C \sim 105^\circ C$ で使用する場合のディレーティングについては、当社営業および発売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格から軽減することです。

表 5.12 DC 特性 (10)

条件: $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ (注7)	max	単位	測定条件	
アナログ電源電流	A/D変換中 (高速変換時)	I_{AVCC}	—	0.7	1.2	mA		
	A/D変換待機時 (全ユニット)		—	—	0.3	μA		
	D/A変換中 (1チャンネル当り) (注5)		—	—	1.5	mA		
リファレンス電源電流	A/D変換中 (高速変換時)	I_{REFH0}	—	25	52	μA		
	A/D変換待機時 (全ユニット)		—	—	60	nA		
温度センサ (注6)		I_{TEMP}	—	75	—	μA		
LVD1, 2	1チャンネル当り	I_{LVD}	—	0.15	—	μA		
USB動作電流	以下の設定, 条件におけるUSB通信動作時 <ul style="list-style-type: none"> フルスピードモードのホスト動作設定 バルクOUT転送 (64バイト) 1本、 バルクIN転送 (64バイト) 1本 USBポートからUSBケーブル (1m) を経由して周辺機器に接続 	I_{USBH} (注2)	—	4.3 (VCC) 0.9 (VCC_USB) (注4)	—	mA		
	以下の設定, 条件におけるUSB通信動作時 <ul style="list-style-type: none"> フルスピードモードのファンクション動作設定 バルクOUT転送 (64バイト) 1本 バルクIN転送 (64バイト) 1本 USBポートからUSBケーブル (1m) を経由してホスト機器に接続 		I_{USBF} (注2)	—	3.6 (VCC) 1.1 (VCC_USB) (注4)	—		mA
	以下の設定, 条件におけるサスペンド時 <ul style="list-style-type: none"> フルスピードモードのファンクション動作設定 (USB0_DP端子をプルアップ) ソフトウェアスタンバイモード USBポートからUSBケーブル (1m) を経由してホスト機器に接続 			I_{SUSP} (注3)	—	0.35 (VCC) 170 (VCC_USB) (注4)		—

- 注1. D/Aコンバータの電源電流の値はリファレンス電源電流も含まれます。
注2. USBモジュールのみの消費電流です。
注3. サスペンド状態における本製品の自己消費電流に加えて、USB0_DP端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。
注4. $VCC = VCC_USB = 3.3V$ のとき。
注5. VCCに流れる電流値です。
注6. 電源 (VCC) の消費電流です。
注7. $VCC=AVCC0=VCC_USB=3.3V$ のとき。

表 5.13 DC 特性 (11)

条件: $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V_{RAM}	1.8	—	—	V	

表 5.14 DC 特性 (12)

条件: $0V \leq VCC = VCC_USB \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時 (注1)	$SrVCC$	0.02	—	20	ms/V	
	起動時間短縮時 (注2)		0.02	—	2		
	起動時電圧監視1リセット有効時 (注3、注4)		0.02	—	—		

- 注. AVCC0とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。
注1. OFS1.(STUPLVD1REN, FASTSTUP) = 11bを設定した場合です。
注2. OFS1.(STUPLVD1REN, FASTSTUP) = 10bを設定した場合です。
注3. OFS1.STUPLVD1REN = 0を設定した場合です。
注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表5.15 DC特性 (13)

条件： $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$
 電源リップルは、VCCの上限（3.6V）と下限（1.8V）は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。
 VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 5.11 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図 5.11 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図 5.11 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

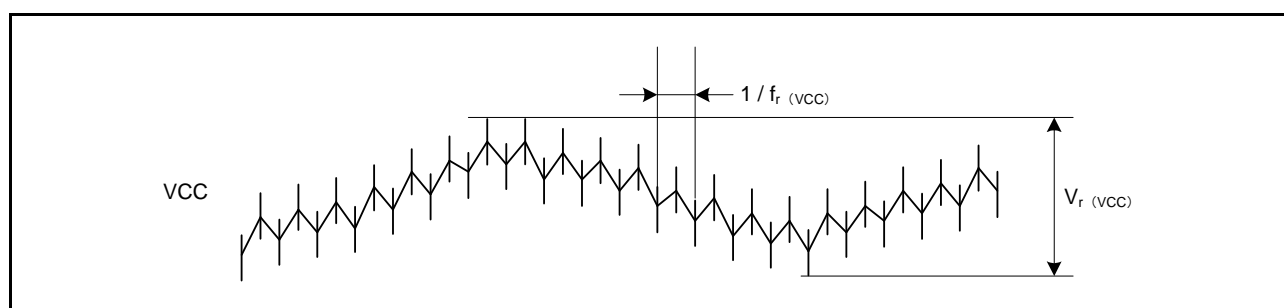


図 5.11 電源リップル波形

表5.16 DC特性 (14)

条件： $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量 許容誤差	C_{VCL}	1.4	4.7	7.0	μF	

注. 推奨は4.7 μF です。接続するコンデンサのばらつきは、上記の範囲内にしてください。

表5.17 出力許容電流値 (1)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、
 $T_a = -40 \sim +85^\circ C$ (Dバージョン)

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	ポートP40～P44、P46、ポートPJ6、PJ7	I_{OL}	0.4	mA
	上記以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	ポートP40～P44、P46、ポートPJ6、PJ7		0.4	
	上記以外のポート		8.0	
出力Lowレベル許容電流	ポートP40～P44、P46、ポートPJ6、PJ7の合計	ΣI_{OL}	2.4	
	ポートP03、P05、ポートP26、P27、 ポートP30、P31の合計		30	
	ポートP14～P17、ポートP32、ポートP54、P55、 ポートPB0、PB1、PB3、PB5～PB7、 ポートPC2～PC7の合計		30	
	ポートPA0、PA1、PA3、PA4、PA6、 ポートPE0～PE7の合計		30	
	全出力端子の総和		60	
出力Highレベル許容電流 (1端子あたりの平均値)	ポートP40～P44、P46、ポートPJ6、PJ7	I_{OH}	-0.1	
	上記以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	ポートP40～P44、P46、ポートPJ6、PJ7		-0.1	
	上記以外のポート		-4.0	
出力Highレベル許容電流	ポートP40～P44、P46、ポートPJ6、PJ7の合計	ΣI_{OH}	-0.6	
	ポートP03、P05、ポートP26、P27、 ポートP30、P31の合計		-10	
	ポートP14～P17、ポートP32、ポートP54、P55、 ポートPB0、PB1、PB3、PB5～PB7、 ポートPC2～PC7の合計		-15	
	ポートPA0、PA1、PA3、PA4、PA6、 ポートPE0～PE7の合計		-15	
	全出力端子の総和		-40	

注. 許容総消費電流は超えないようにしてください。

表5.18 出力許容電流値 (2)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$ (Gバージョン)

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	ポートP40～P44、P46、ポートPJ6、PJ7	I_{OL}	0.4	mA
	上記以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	ポートP40～P44、P46、ポートPJ6、PJ7		0.4	
	上記以外のポート		8.0	
出力Lowレベル許容電流	ポートP40～P44、P46、ポートPJ6、PJ7の合計	ΣI_{OL}	1.6	
	ポートP03、P05、ポートP26、P27、 ポートP30、P31の合計		20	
	ポートP14～P17、ポートP32、ポートP54、P55、 ポートPB0、PB1、PB3、PB5～PB7、 ポートPC2～PC7の合計		20	
	ポートPA0、PA1、PA3、PA4、PA6、 ポートPE0～PE7の合計		20	
	全出力端子の総和		40	
出力Highレベル許容電流 (1端子あたりの平均値)	ポートP40～P44、P46、ポートPJ6、PJ7	I_{OH}	-0.1	
	上記以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	ポートP40～P44、P46、ポートPJ6、PJ7		-0.1	
	上記以外のポート		-4.0	
出力Highレベル許容電流	ポートP40～P44、P46、ポートPJ6、PJ7の合計	ΣI_{OH}	-0.6	
	ポートP03、P05、ポートP26、P27、 ポートP30、P31の合計		-10	
	ポートP14～P17、ポートP32、ポートP54、P55、 ポートPB0、PB1、PB3、PB5～PB7、 ポートPC2～PC7の合計		-15	
	ポートPA0、PA1、PA3、PA4、PA6、 ポートPE0～PE7の合計		-15	
	全出力端子の総和		-40	

注. 許容総消費電流は超えないようにしてください。

表 5.19 出力電圧値 (1)

条件 : $2.7V \leq VCC = VCC_USB \leq 3.6V$ 、 $2.7V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
Low レベル 出力電圧	全出力端子 (RIIC、ポート P40~P44、 P46、ポート PJ6、PJ7 以外)	V_{OL}	—	0.6	V	$I_{OL} = 3.0mA$	
			—	0.4		$I_{OL} = 1.5mA$	
	ポート P40~P44、P46、ポート PJ6、PJ7		—	0.4		$I_{OL} = 0.4mA$	
	RIIC 端子		スタンダードモード	—		0.4	$I_{OL} = 3.0mA$
			ファストモード	—		0.6	$I_{OL} = 6.0mA$
High レベル 出力電圧	全出力端子 (ポート P40~P44、P46、 ポート PJ6、PJ7 以外)	V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -2.0mA$	
	ポート P40~P44、P46、ポート PJ6、PJ7		$AVCC0 - 0.5$	—		$I_{OH} = -0.1mA$	

表 5.20 出力電圧値 (2)

条件 : $1.8V \leq VCC = VCC_USB \leq 2.7V$ 、 $1.8V \leq AVCC0 \leq 2.7V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件
Low レベル 出力電圧	全出力端子 (ポート P40~P44、P46、 ポート PJ6、PJ7 以外)	V_{OL}	—	0.6	V	$I_{OL} = 1.5mA$
	ポート P40~P44、P46、ポート PJ6、PJ7		—	0.4		$I_{OL} = 0.4mA$
High レベル 出力電圧	全出力端子 (ポート P40~P44、P46、 ポート PJ6、PJ7 以外)	V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -1.0mA$
	ポート P40~P44、P46、ポート PJ6、PJ7		$AVCC0 - 0.5$	—		$I_{OH} = -0.1mA$

5.2.1 標準 I/O 端子出力特性 (1)

図 5.12 ~ 図 5.15 に汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外) の特性を示します。

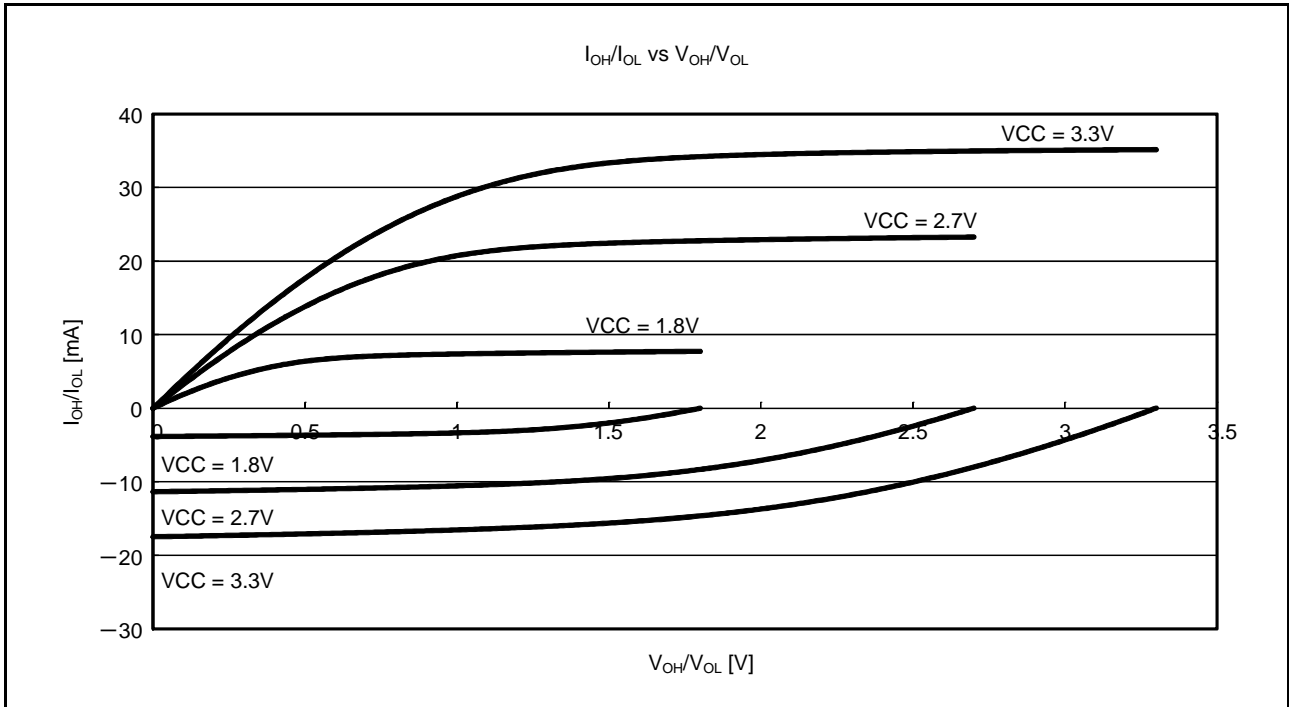


図 5.12 汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外) の V_{OH}/V_{OL}、I_{OH}/I_{OL} 電圧特性 T_a = 25 °C (参考データ)

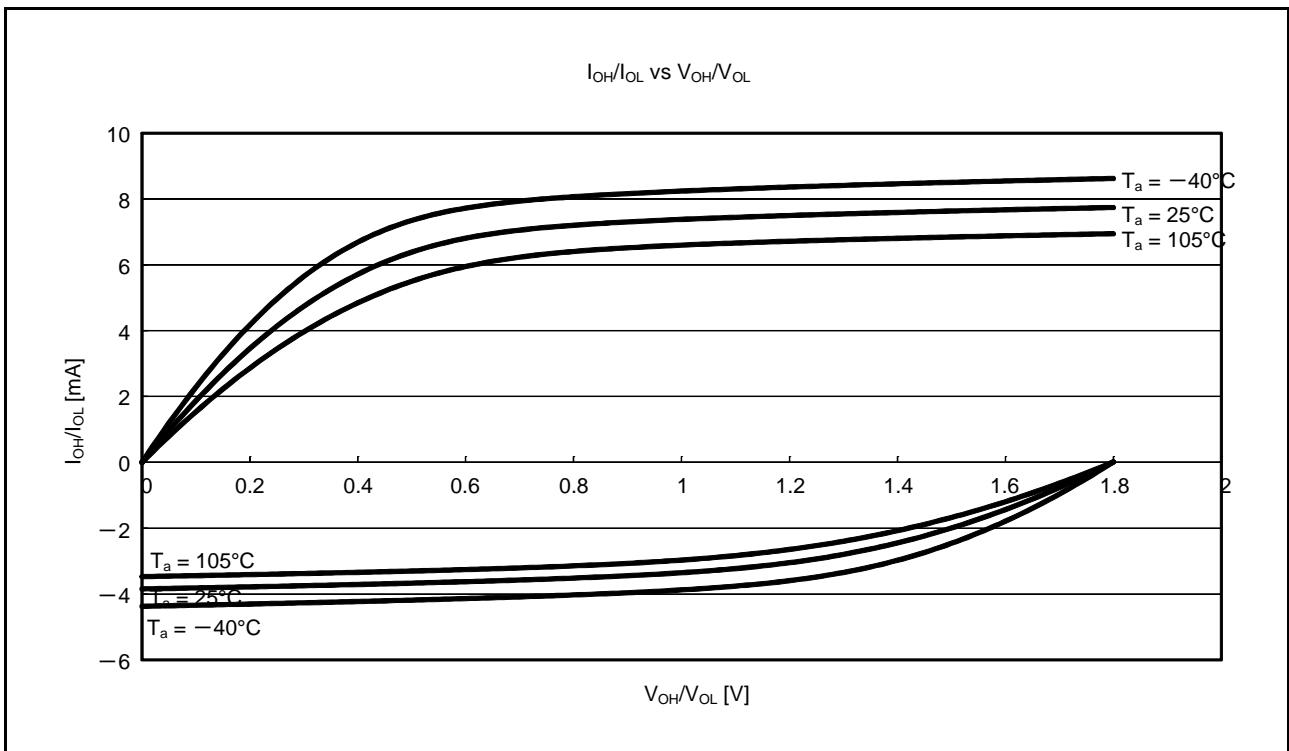


図 5.13 汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外) の V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 VCC = 1.8V (参考データ)

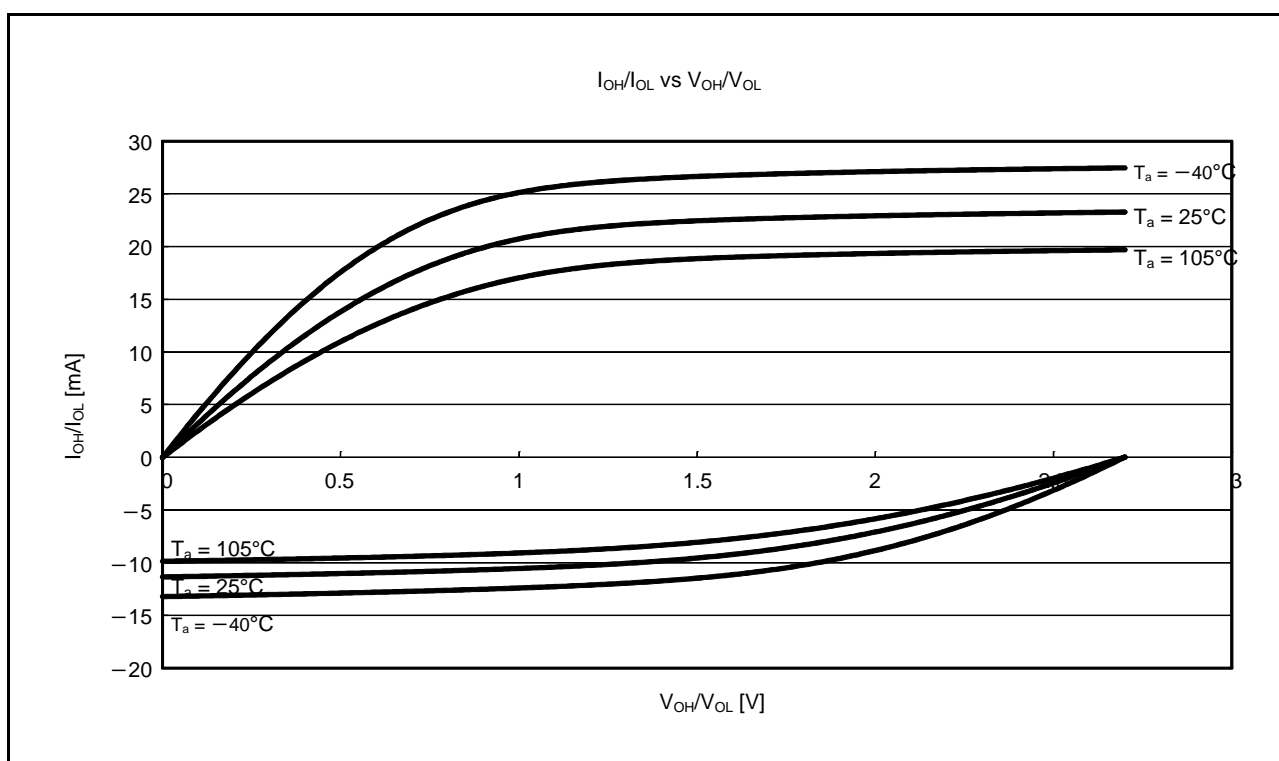


図 5.14 汎用ポート（RIIC 出力端子、ポート P40～P44、P46、ポート PJ6、PJ7 以外）の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7\text{V}$ （参考データ）

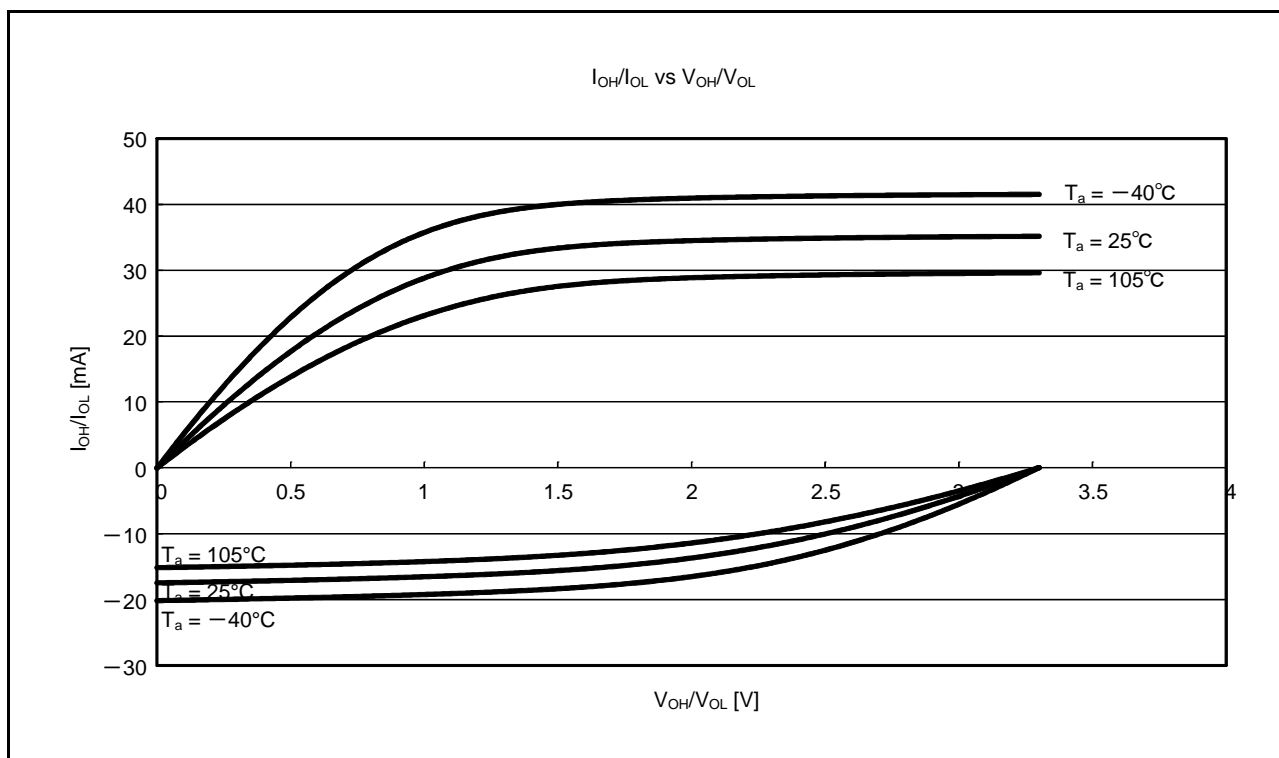


図 5.15 汎用ポート（RIIC 出力端子、ポート P40～P44、P46、ポート PJ6、PJ7 以外）の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3\text{V}$ （参考データ）

5.2.2 標準 I/O 端子出力特性 (2)

図 5.16 ~ 図 5.18 に RIIC 出力端子の特性を示します。

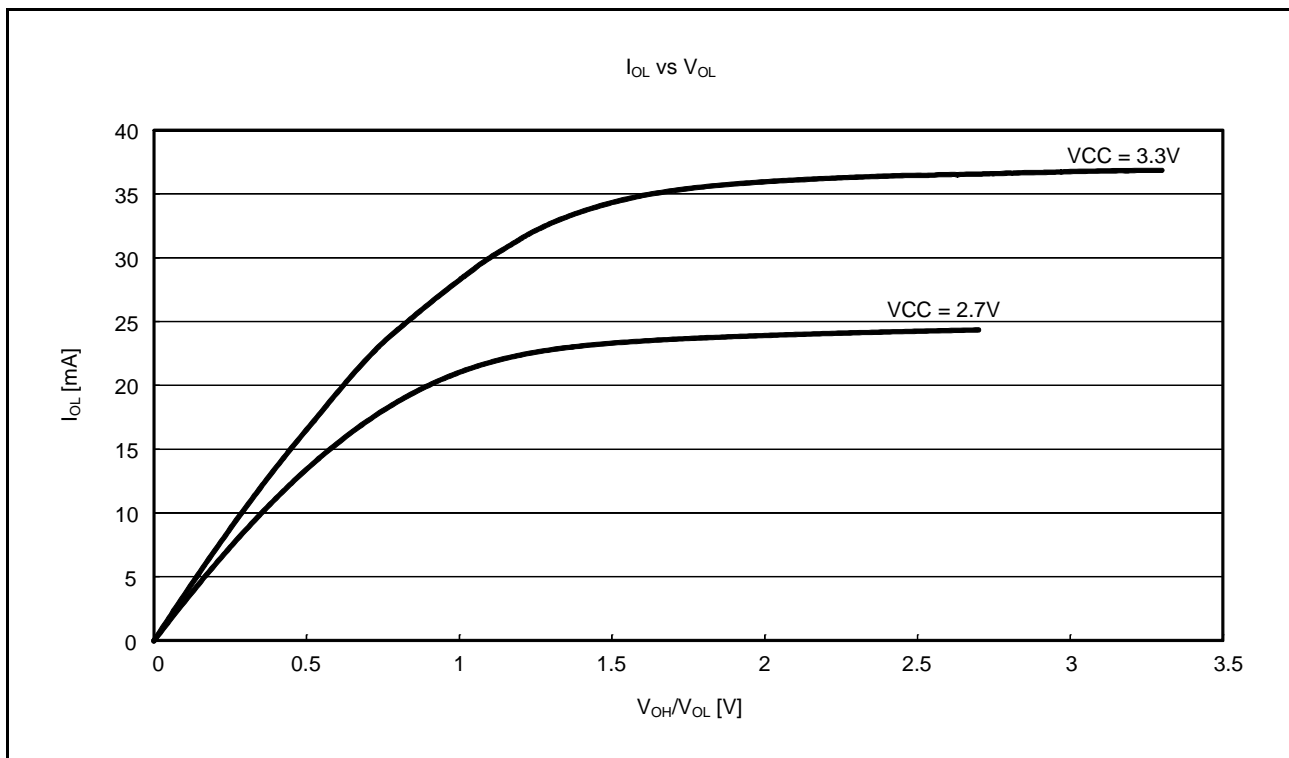


図 5.16 RIIC 出力端子の V_{OL}、I_{OL} 電圧特性 T_a = 25 °C (参考データ)

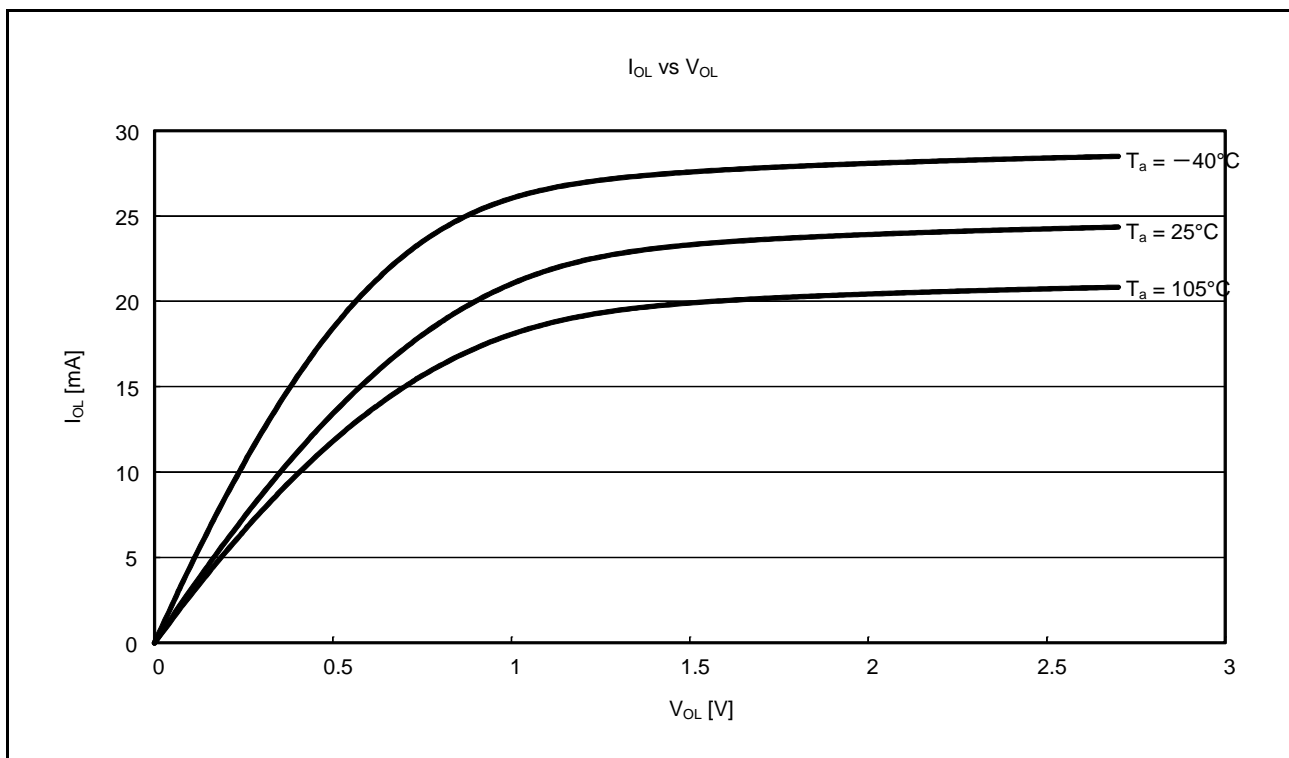


図 5.17 RIIC 出力端子の V_{OL}、I_{OL} 温度特性 VCC = 2.7V (参考データ)

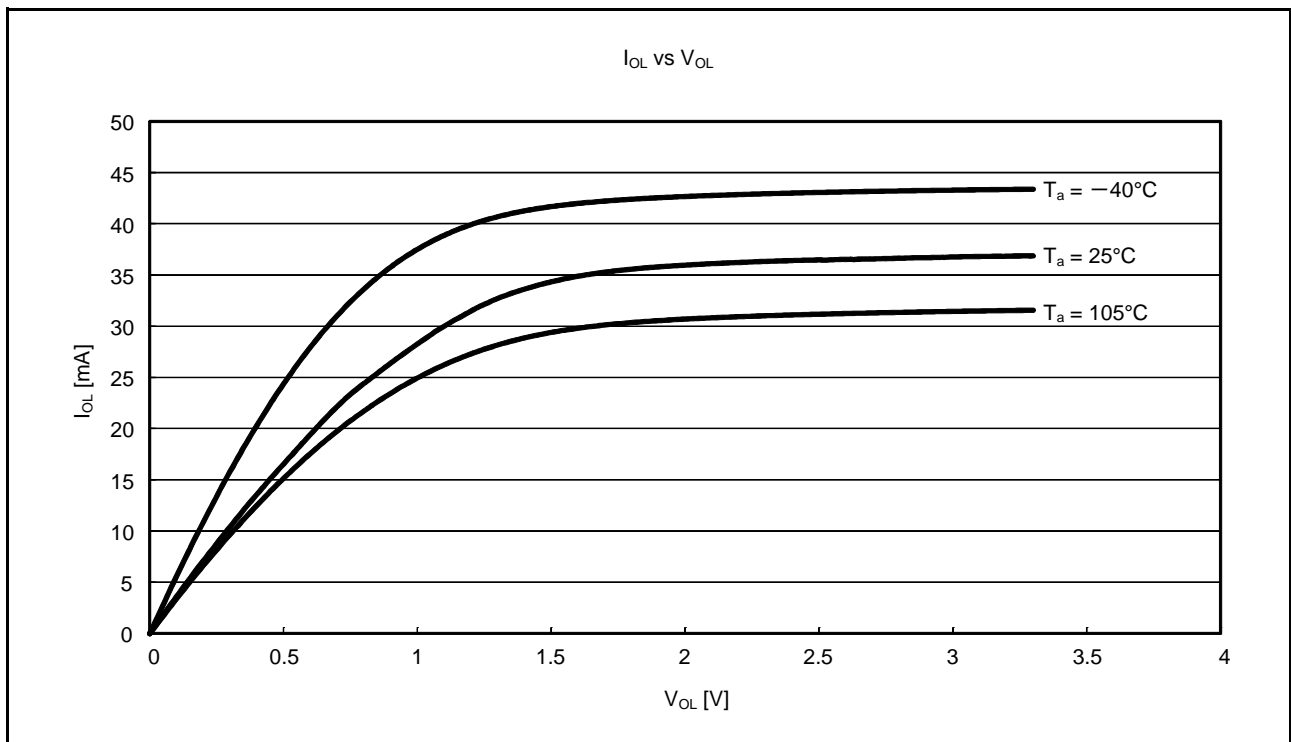


図 5.18 RIIC 出力端子の V_{OL}、I_{OL} 温度特性 VCC = 3.3V (参考データ)

5.2.3 標準 I/O 端子出力特性 (3)

図 5.19 ~ 図 5.22 にポート P40 ~ P44、P46、ポート PJ6、PJ7 以外の特性を示します。

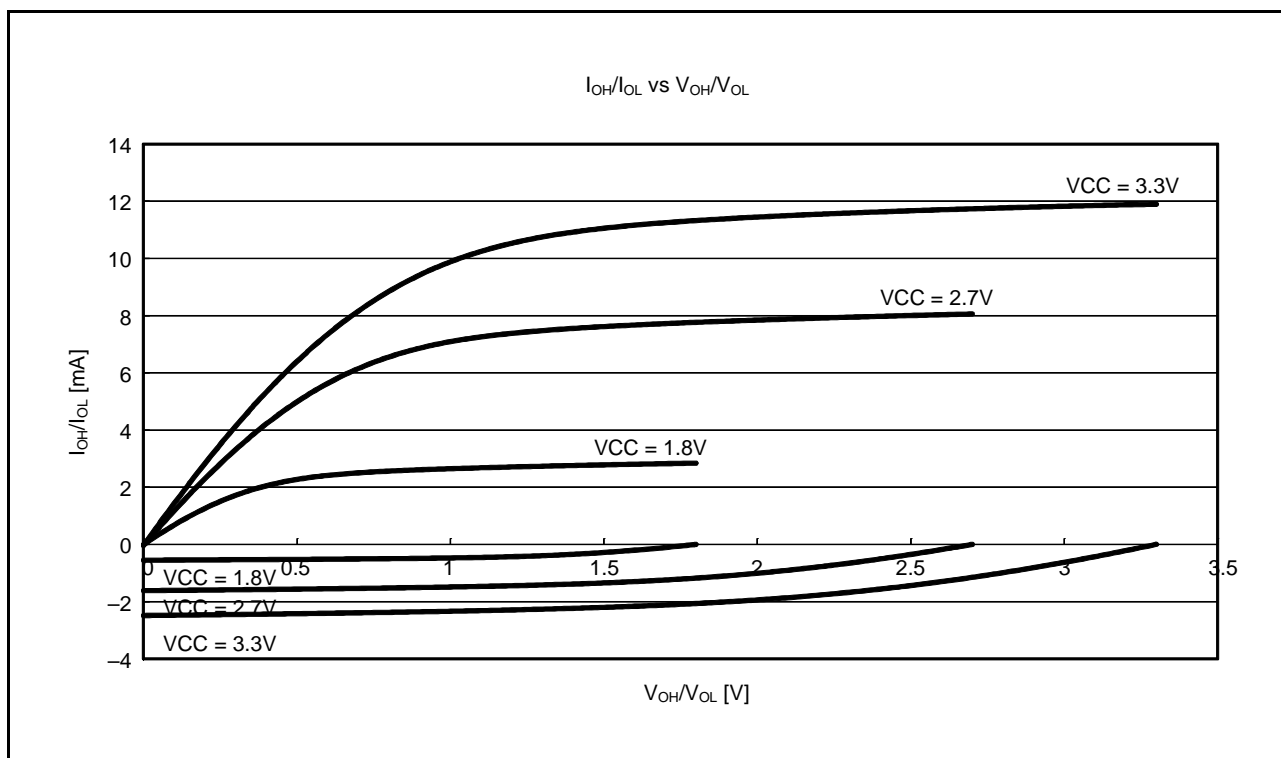


図 5.19 ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

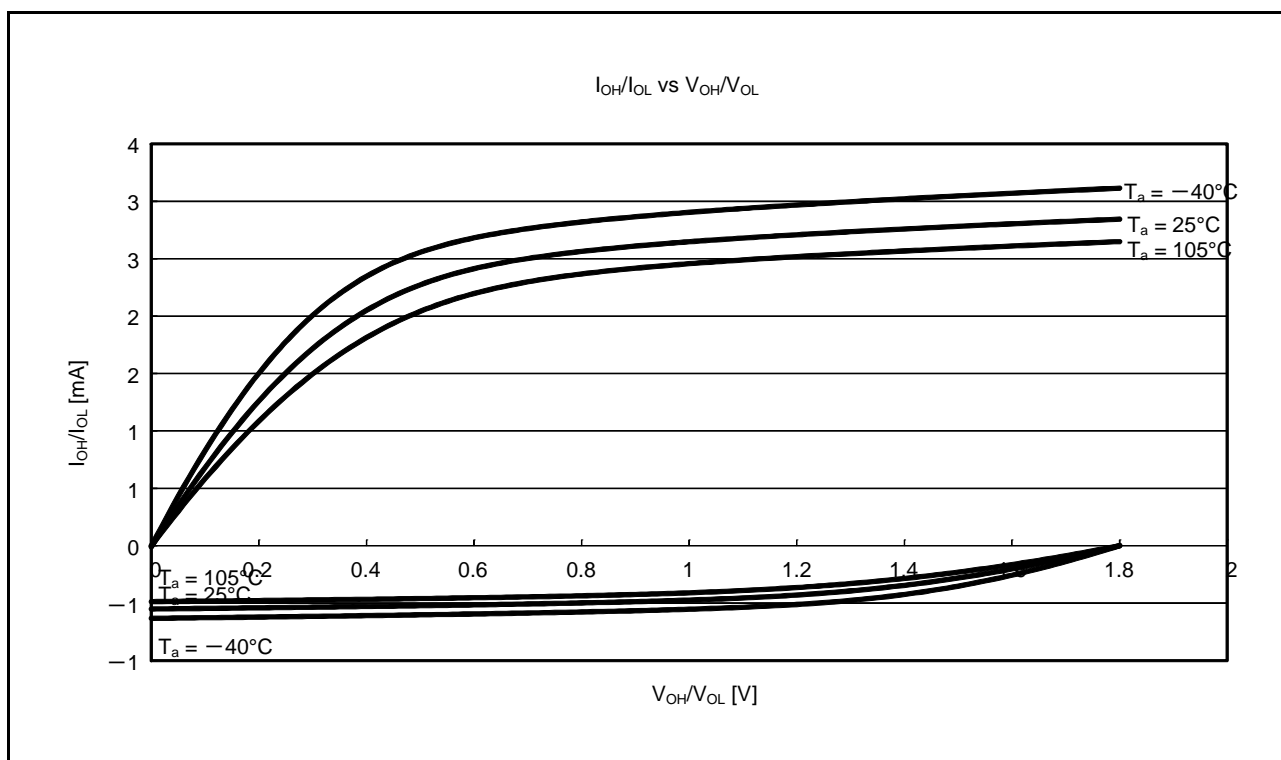


図 5.20 ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8\text{V}$ (参考データ)

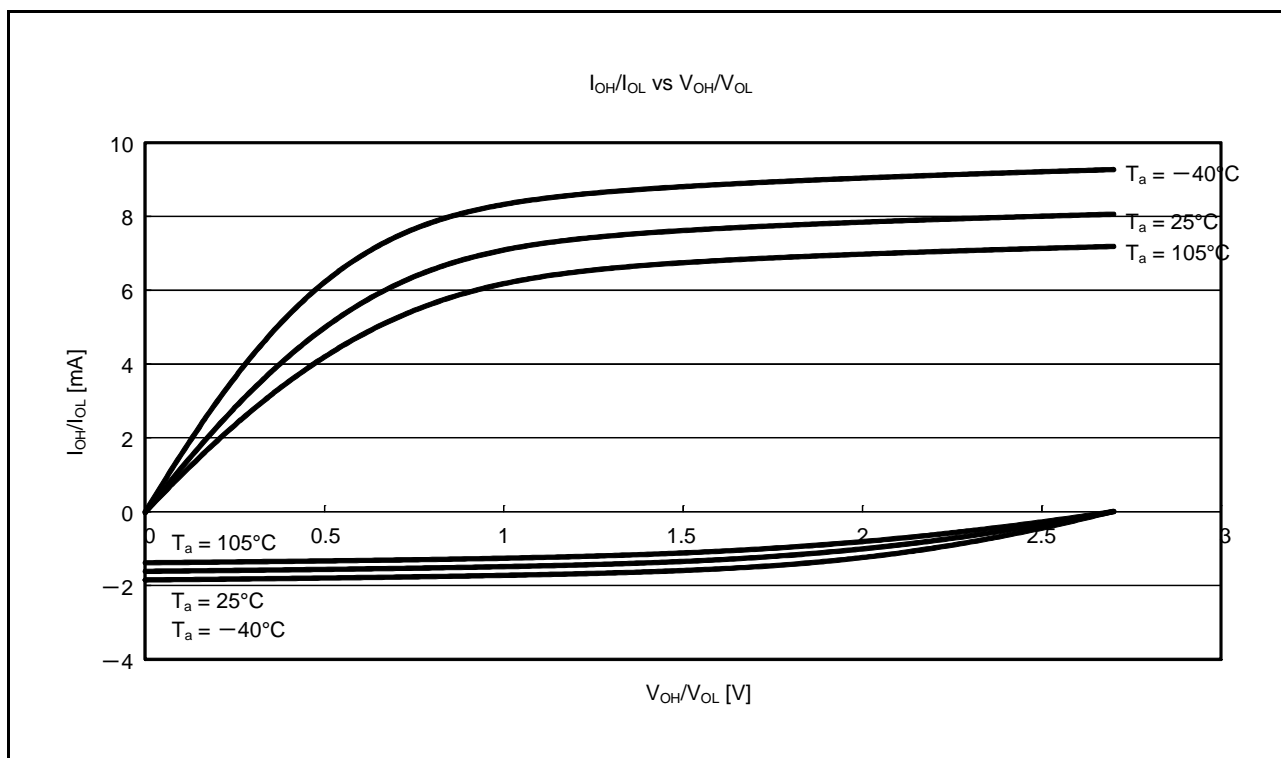


図 5.21 ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

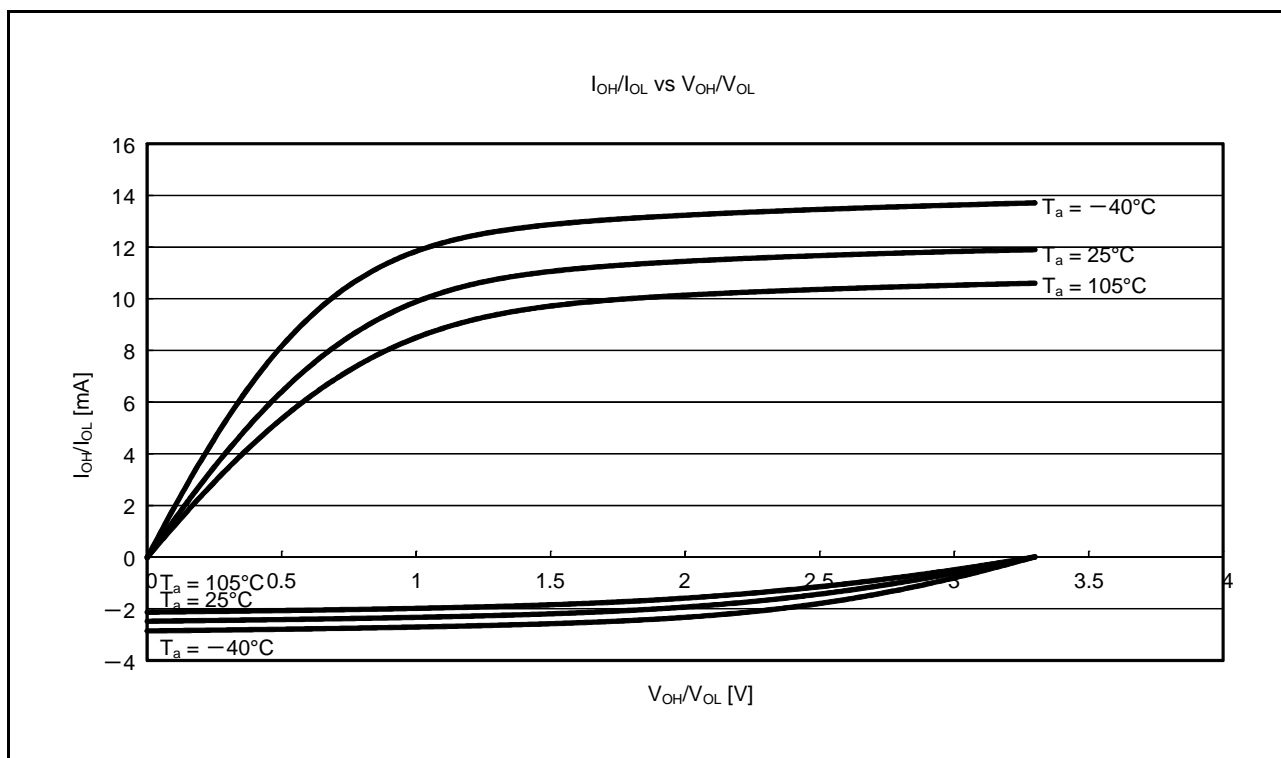


図 5.22 ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

5.3 AC 特性

5.3.1 クロックタイミング

表5.21 動作周波数（高速動作モード）

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	VCC				単位	
		1.8~2.4V	2.4~2.7V	2.7~3.6V	USB使用時 (注4)		
最大動作周波数	システムクロック (ICLK)	f _{max}	8	16	32	24	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	16	32	24	
	周辺モジュールクロック (PCLKB)		8	16	32	24	
	周辺モジュールクロック (PCLKD) (注3)		8	16	32	24	
	USBクロック (UCLK)	f _{usb}	—	—	—	48	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は2.4V以上では4MHz、2.4V未満では1MHzです。

注4. USBクロック使用時のVCC_USBは3.0~3.6Vです。

表5.22 動作周波数（中速動作モード）

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	VCC				単位	
		1.8~2.4V	2.4~2.7V	2.7~3.6V	USB使用時 (注4)		
最大動作周波数	システムクロック (ICLK)	f _{max}	8	12	12	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	12	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	12	
	周辺モジュールクロック (PCLKD) (注3)		8	12	12	12	
	USBクロック (UCLK)	f _{usb}	—	—	—	48	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は2.4V以上では4MHz、2.4V未満では1MHzです。

注4. USBクロック使用時のVCC_USBは3.0~3.6Vです。

表5.23 動作周波数（低速動作モード）

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	VCC			単位	
		1.8~2.4V	2.4~2.7V	2.7~3.6V		
最大動作周波数	システムクロック (ICLK)	f _{max}	32.768			kHz
	FlashIFクロック (FCLK) (注1)		32.768			
	周辺モジュールクロック (PCLKB)		32.768			
	周辺モジュールクロック (PCLKD) (注2)		32.768			

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

表5.24 クロックタイミング

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
XTAL外部クロック入力サイクル時間	t _{Xcyc}	50	—	—	ns	図5.23	
XTAL外部クロック入力パルス幅Highレベル	t _{XH}	20	—	—	ns		
XTAL外部クロック入力パルス幅Lowレベル	t _{XL}	20	—	—	ns		
XTAL外部クロック立ち上がり時間	t _{Xr}	—	—	5	ns		
XTAL外部クロック立ち下がり時間	t _{Xf}	—	—	5	ns		
XTAL外部クロック入力待機時間 (注1)	t _{EXWT}	0.5	—	—	μs	図5.25	
メインクロック発振器発振周波数	f _{MAIN}	2.4 ≤ VCC ≤ 3.6	1	—	20		MHz
		1.8 ≤ VCC < 2.4	1	—	8		
メインクロック発振安定時間 (水晶振動子) (注2)	t _{MAINOSC}	—	3	—	ms		
メインクロック発振安定時間 (セラミック共振子) (注2)	t _{MAINOSC}	—	50	—	μs		
LOCOクロック発振周波数	f _{LOCO}	3.44	4.0	4.56	MHz	図5.26	
LOCOクロック発振安定時間	t _{LOCO}	—	—	0.5	μs		
IWDT専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	図5.24	
IWDT専用クロック発振安定時間	t _{ILOCO}	—	—	50	μs		
HOCOクロック発振周波数	f _{HOCO}	31.52	32	32.48	MHz	T _a = -40 ~ 85°C	
		31.68	32	32.32		T _a = -20 ~ 85°C	
		31.36	32	32.64		T _a = -40 ~ 105°C	
HOCOクロック発振安定時間	t _{HOCO}	—	—	56	μs	図5.28	
PLL入力周波数 (注3)	f _{PLLIN}	4	—	8	MHz	図5.29	
PLL回路発振周波数 (注3)	f _{PLL}	32	—	48	MHz		
PLLクロック発振安定時間	t _{PLL}	—	—	50	μs		
PLL自動発振周波数	f _{PLLFR}	—	8	—	MHz		
サブクロック発振器発振周波数 (注5)	f _{SUB}	—	32.768	—	kHz		
サブクロック発振安定時間 (注4)	t _{SUBOSC}	—	0.5	—	s	図5.30	

- 注1. 外部クロックが安定している場合に、メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) にしてから、使用できるまでの時間です。
- 注2. 8MHzの発振子を使用した場合の参考値です。
メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値を MOSCWTCR レジスタに設定してください。
MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。
- 注3. PLLが使用可能なVCC範囲は2.4~3.6Vです。
- 注4. SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。
32.768kHzの発振子を使用した参考値です。
- 注5. 32.768kHzのみ使用可能です。

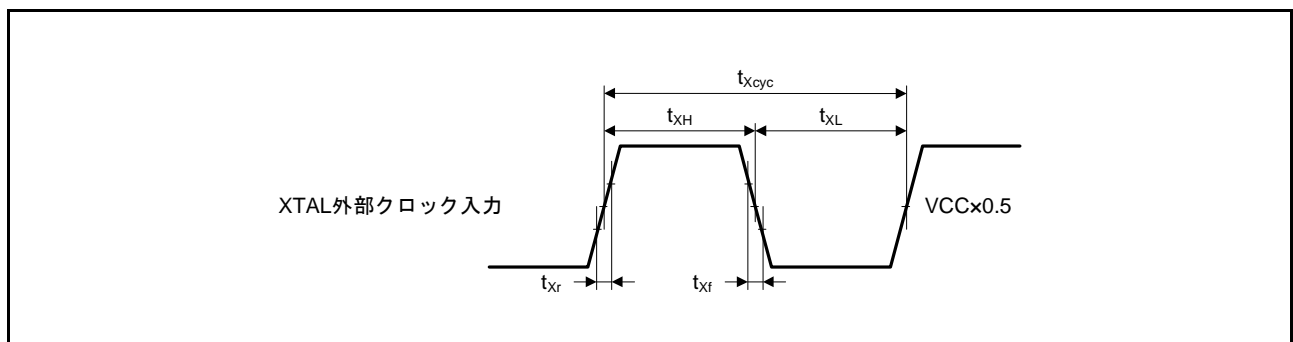


図5.23 XTAL外部クロック入力タイミング

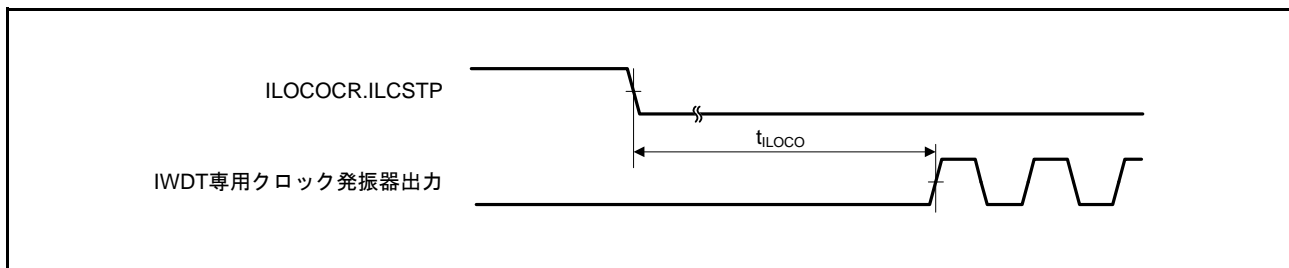


図 5.24 IWDW 専用クロック発振開始タイミング

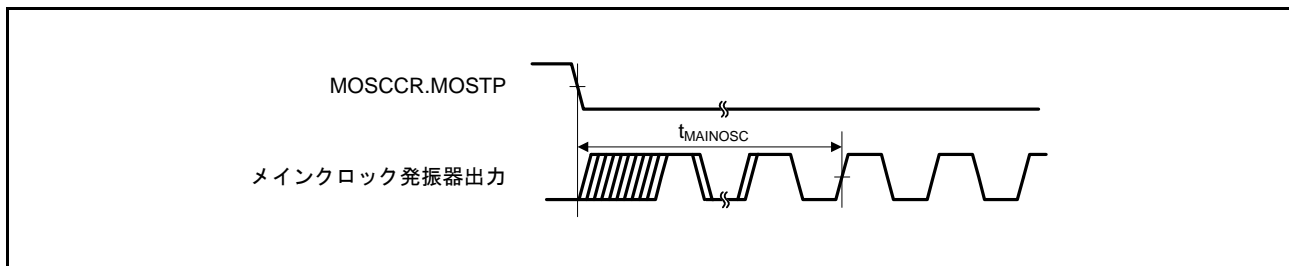


図 5.25 メインクロック発振開始タイミング

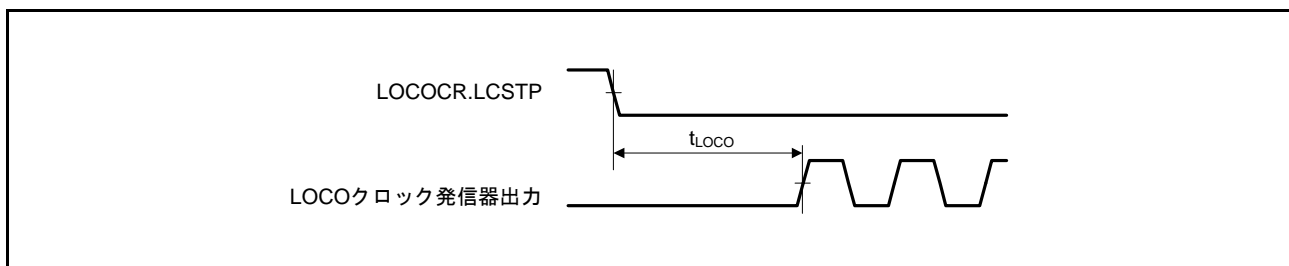


図 5.26 LOCO クロック発振開始タイミング

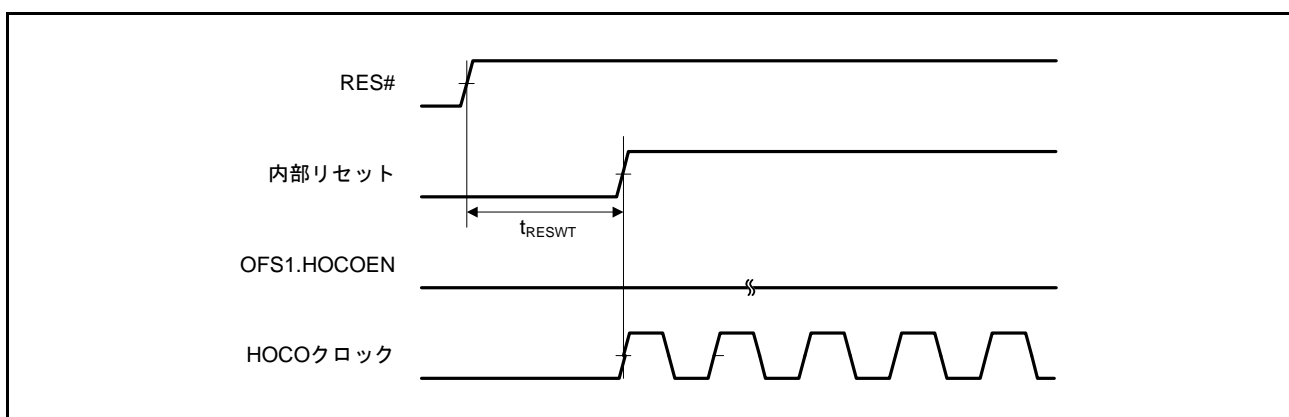


図 5.27 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

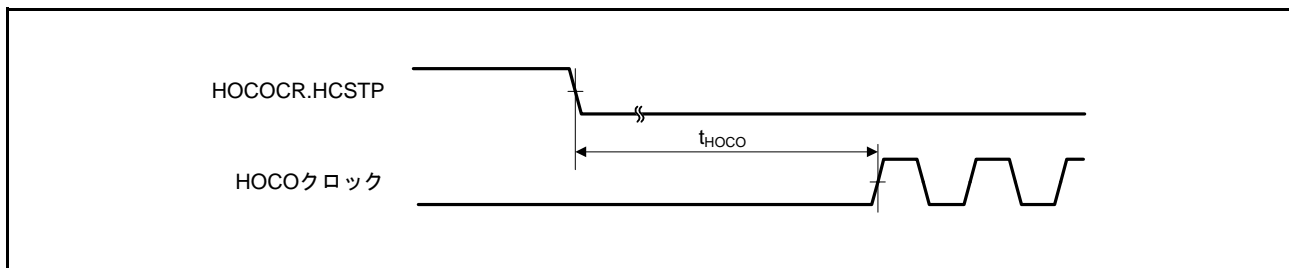


図 5.28 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

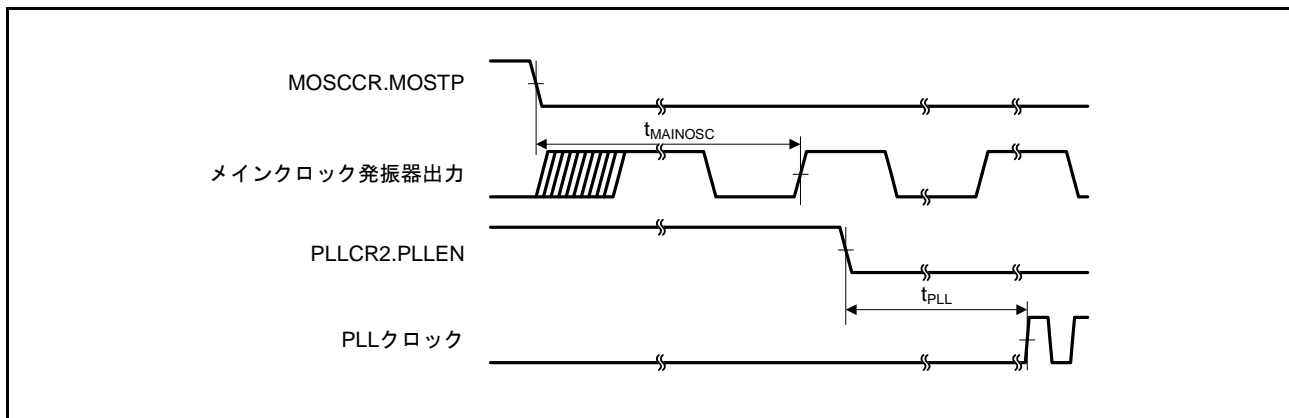


図 5.29 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

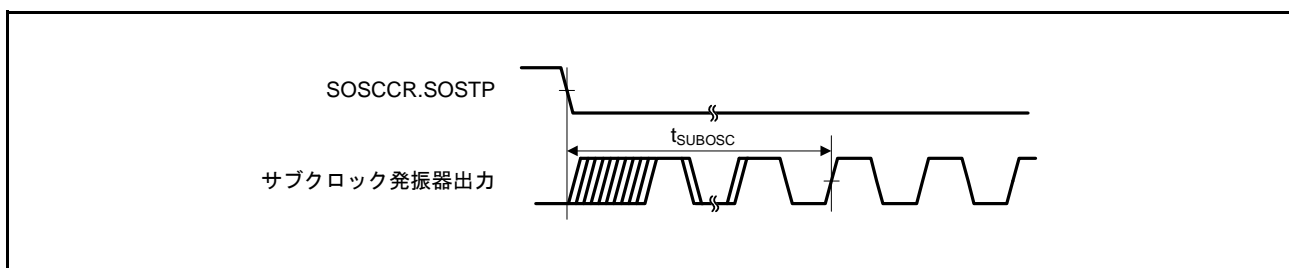


図 5.30 サブクロック発振開始タイミング

5.3.2 リセットタイミング

表5.25 リセットタイミング

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	3	—	—	ms	図 5.31
	上記以外	t _{RESW}	30	—	—	μs	図 5.32
RES#解除後待機時間 (電源投入時)	通常起動時 (注1)	t _{RESWT}	—	8.5	—	ms	図 5.31
	起動時間短縮時 (注2)	t _{RESWT}	—	560	—	μs	
RES#解除後待機時間 (電源立ち上がった状態)		t _{RESWT}	—	114	—	μs	図 5.32
独立ウォッチドッグタイマリセット期間		t _{RESWIW}	—	1	—	IWDT clock cycle	図 5.33
ソフトウェアリセット期間		t _{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間 (注3)		t _{RESW2}	—	300	—	μs	
ソフトウェアリセット解除後待機時間		t _{RESW2}	—	168	—	μs	

注1. OFS1.(STUPLVD1REN, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(STUPLVD1REN, FASTSTUP) ≠ 11bを設定した場合です。

注3. IWDTCR.CKS[3:0] = 0000bを設定した場合です。

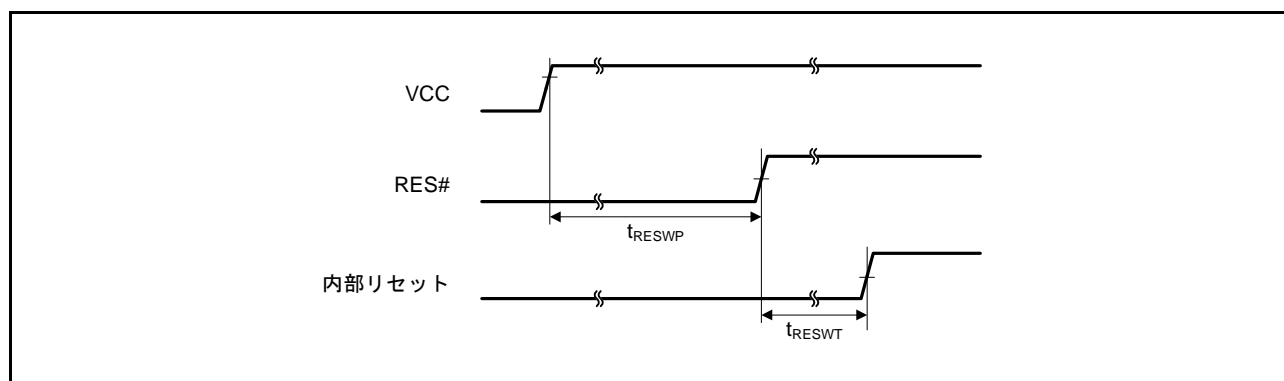


図 5.31 電源投入時リセット入力タイミング

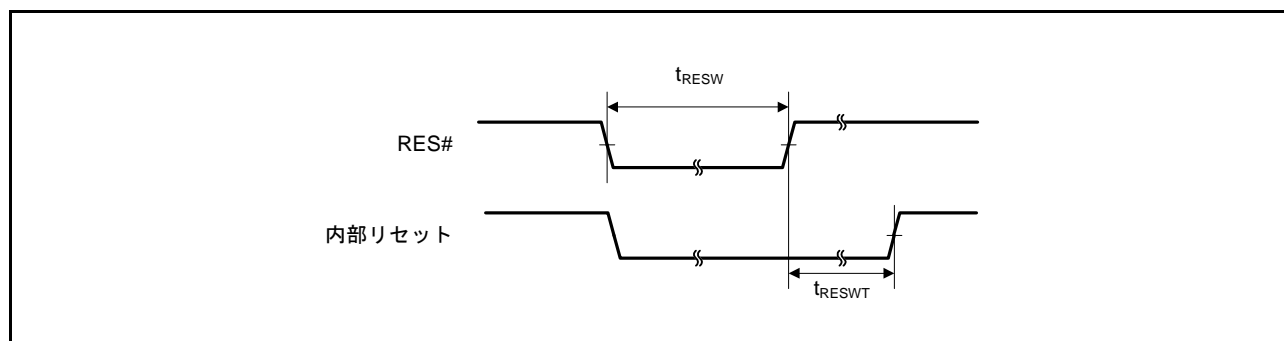


図 5.32 リセット入力タイミング (1)

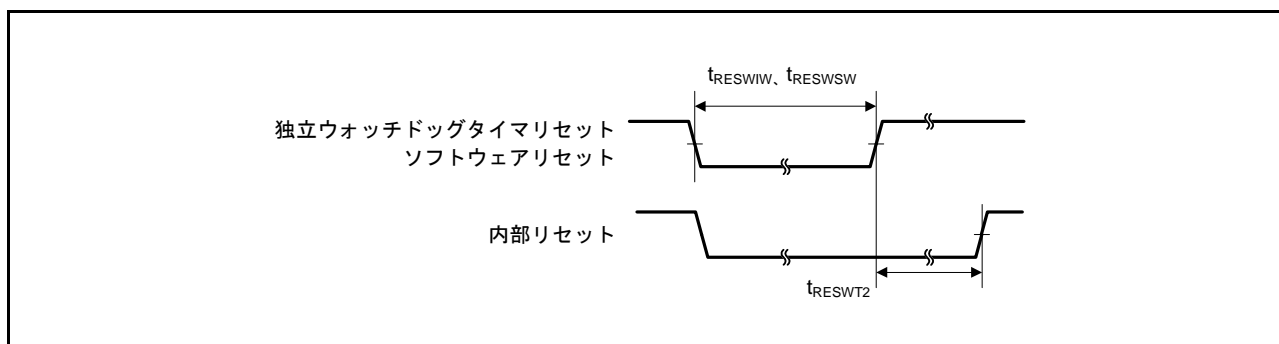


図 5.33 リセット入力タイミング (2)

5.3.3 低消費電力状態からの復帰タイミング

表5.26 低消費電力状態からの復帰タイミング (1)

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (注1)	高速モード メインクロック発振器に水晶振動子を接続	メインクロック発振器動作 (注2)	t _{SBYMC}	—	2	3	ms	図 5.34
		メインクロック発振器、PLL回路動作 (注3)	t _{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注4)	t _{SBYEX}	—	35	50	μs	
		メインクロック発振器、PLL回路動作 (注5)	t _{SBYPE}	—	70	95	μs	
	サブクロック発振器動作		t _{SBYSC}	—	650	800	μs	
	HOCOクロック動作 (注6)		t _{SBYHO}	—	40	55	μs	
	LOCOクロック動作		t _{SBYLO}	—	40	55	μs	

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。各項目に記載している発振器のみ動作しており、他の発振器は停止している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。

注3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注4. PLLの周波数が32MHzの場合です。

注5. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注6. 外部クロックの周波数が20MHzの場合です。

注7. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注8. PLLの周波数が32MHzの場合です。

注9. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注10. HOCOの周波数が32MHzの場合です。

注11. 高速クロック発振器ウェイトコントロールレジスタ (HOCOWTCR) に“05h”を設定した場合です。

表5.27 低消費電力状態からの復帰タイミング (2)

条件: $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (注1)	中速モード	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作 (注2)	t _{SBYMC}	—	2	3	ms	図 5.34
			メインクロック発振器、PLL回路動作 (注3)	t _{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注4)	t _{SBYEX}	—	3	4	μs		
		メインクロック発振器、PLL回路動作 (注5)	t _{SBYPE}	—	65	85	μs		
	サブクロック発振器動作		t _{SBYSC}	—	600	750	μs		
	HOCOクロック動作 (注6)		t _{SBYHO}	—	40	50	μs		
	LOCOクロック動作		t _{SBYLO}	—	4.8	7	μs		

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。各項目に記載している発振器のみ動作しており、他の発振器は停止している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。

メインクロック発振器ウエイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. PLLの周波数が12MHzの場合です。

メインクロック発振器ウエイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注4. 外部クロックの周波数が12MHzの場合です。

メインクロック発振器ウエイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注5. PLLの周波数が12MHzの場合です。

メインクロック発振器ウエイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注6. HOCOの周波数が8MHzの場合です。

高速クロック発振器ウエイトコントロールレジスタ (HOCOWTCR) に“05h”を設定した場合です。

表5.28 低消費電力状態からの復帰タイミング (3)

条件: $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (注1)	低速モード	サブクロック発振器動作	t _{SBYSC}	—	600	750	μs	図 5.34

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. 低速モード時のソフトウェアスタンバイモードではサブクロックは発振を継続します。

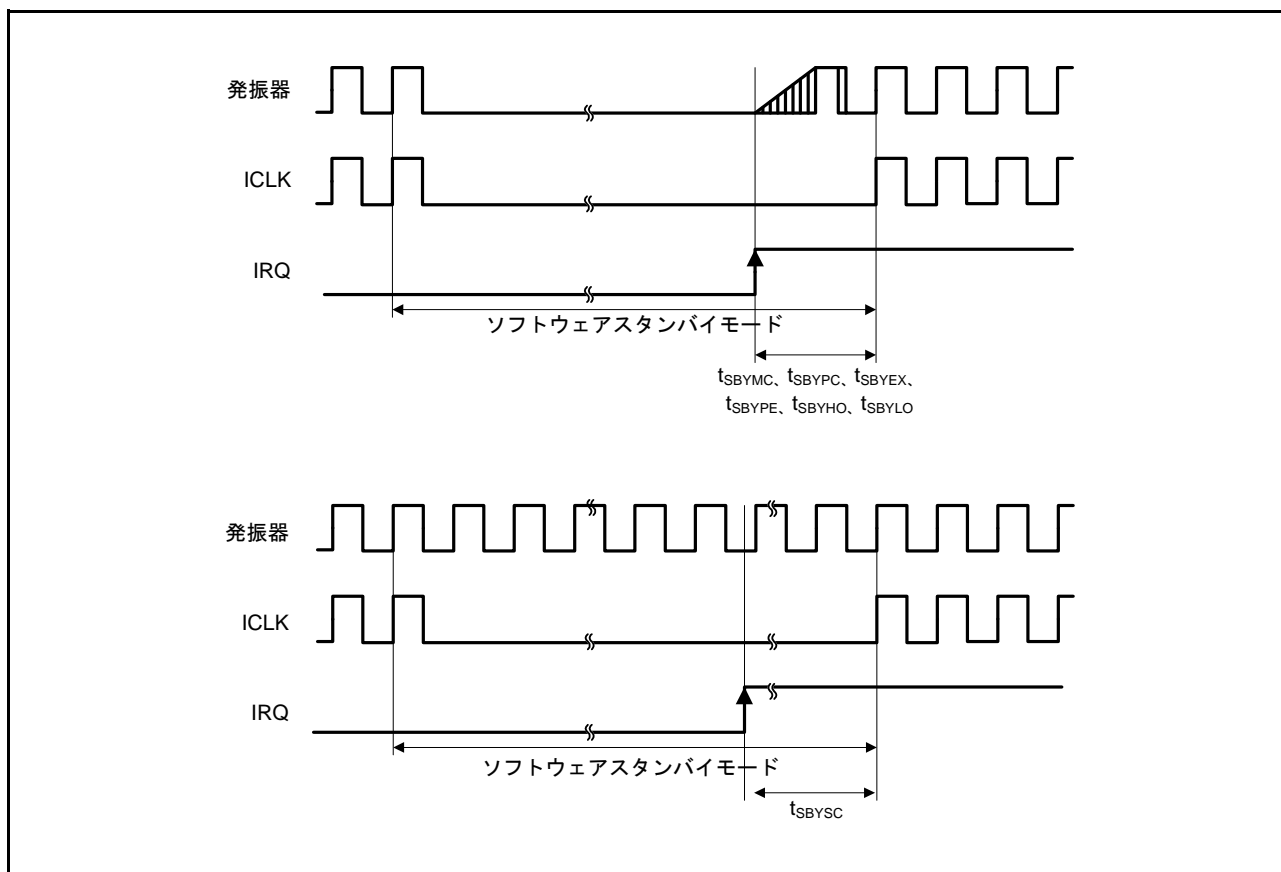


図 5.34 ソフトウェアスタンバイモード解除タイミング

表5.29 低消費電力状態からの復帰タイミング (4)

条件： $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
ディープスリープモード 解除後復帰時間 (注1)	高速モード (注2)	$t_{DSL P}$	—	2	3.5	μs
	中速モード (注3)	$t_{DSL P}$	—	3	4	μs
	低速モード (注4)	$t_{DSL P}$	—	400	500	μs

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. ディープスリープモードでは発振器は発振を継続します。

注2. システムクロック周波数が32MHzの場合です。

注3. システムクロック周波数が12MHzの場合です。

注4. システムクロック周波数が32.768kHzの場合です。

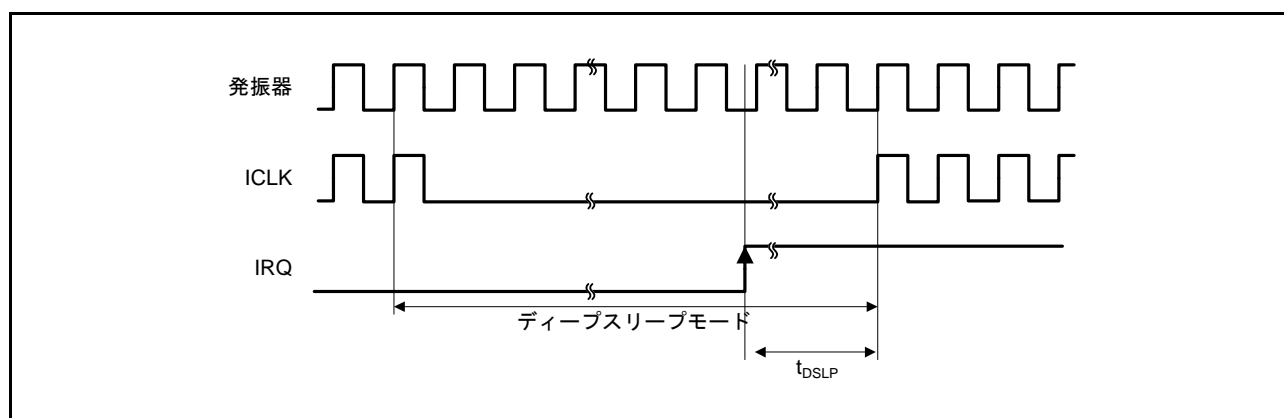


図 5.35 ディープスリープモード解除タイミング

表5.30 低消費電力状態からの復帰タイミング (5) 動作モード遷移時間

条件： $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs
低速動作モード	中速動作・高速動作モード	32.768kHz	—	213.62	—	μs
中速動作・高速動作モード	低速動作モード	32.768kHz	—	183.11	—	μs

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

5.3.4 制御信号タイミング

表5.31 制御信号タイミング

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t _{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	t _{NMICK} × 3 ≤ 200ns
		t _{NMICK} × 3.5 (注2)	—	—			t _{NMICK} × 3 > 200ns
IRQパルス幅	t _{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	t _{IRQCK} × 3 ≤ 200ns
		t _{IRQCK} × 3.5 (注3)	—	—			t _{IRQCK} × 3 > 200ns

注. ソフトウェアスタンバイ時は最小200nsです。

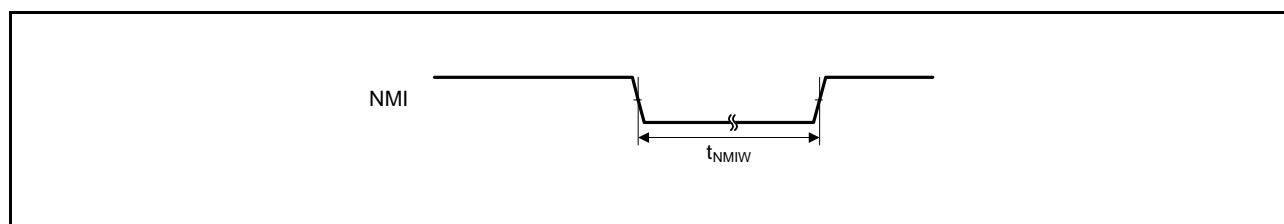
注1. t_{Pcyc}はPCLKBの周期を指します。注2. t_{NMICK}はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK}はIRQiデジタルフィルタサンプリングクロック (i = 0~7) の周期を指します。

図 5.36 NMI 割り込み入力タイミング

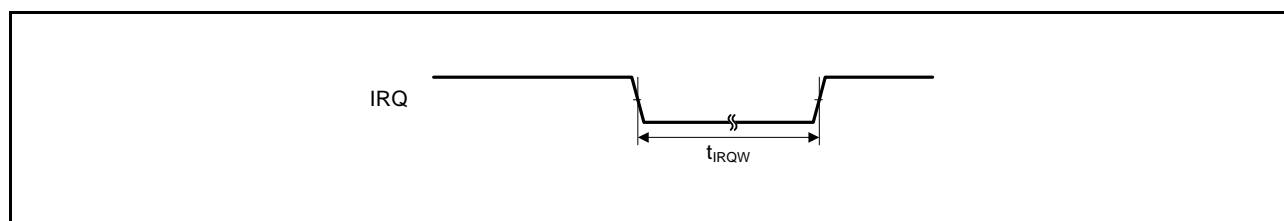


図 5.37 IRQ 割り込み入力タイミング

5.3.5 内蔵周辺モジュールタイミング

表5.32 内蔵周辺モジュールタイミング (1)

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t _{PRW}	1.5	—	t _{Pcyc}	図5.38	
MTU2	インプットキャプチャ入力パルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図5.39	
		両エッジ指定	2.5	—			
	タイマクロックパルス幅	単エッジ指定	t _{TCKWH} 、 t _{TCKWL}	1.5	—	t _{Pcyc}	図5.40
両エッジ指定		2.5		—			
位相係数モード		2.5		—			
POE	POE#入力パルス幅	t _{POEW}	1.5	—	t _{Pcyc}	図5.41	
SCI	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{Pcyc}	図5.42
		クロック同期		6	—		
	入力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc}	図5.43 C = 30pF	
	入力クロック立ち上がり時間	t _{SCKr}	—	20	ns		
	入力クロック立ち下がり時間	t _{SCKf}	—	20	ns		
	出力クロックサイクル	調歩同期	t _{Scyc}	16	—		t _{Pcyc}
		クロック同期		4	—		
	出力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc}		
	出力クロック立ち上がり時間	t _{SCKr}	—	20	ns		
	出力クロック立ち下がり時間	t _{SCKf}	—	20	ns		
	送信データ遅延時間 (マスタ)	クロック同期	t _{TXD}	—	40		ns
	送信データ遅延時間 (スレーブ)	クロック同期		2.7V以上	—		65
			1.8V以上	—	100		ns
	受信データセットアップ 時間 (マスタ)	クロック同期	t _{RXS}	2.7V以上	65		—
1.8V以上				90	—		ns
受信データセットアップ 時間 (スレーブ)	クロック同期	t _{RXS}	40	—	ns		
受信データホールド時間	クロック同期	t _{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t _{TRGW}	1.5	—	t _{Pcyc}	図5.44	
CAC	CACREF入力パルス幅	t _{CACREF}	t _{Pcyc} ≤ t _{cac} (注2)	4.5 t _{cac} + 3 t _{Pcyc}	—	ns	
			t _{Pcyc} > t _{cac} (注2)	5 t _{cac} + 6.5 t _{Pcyc}	—		
CLKOUT	CLKOUT 端子出力サイクル (注4)	t _{Ccyc}	VCC = 2.7V以上	125	—	ns	
			VCC = 1.8V以上	250	—		
	CLKOUT 端子Highレベルパルス幅 (注3)	t _{CH}	VCC = 2.7V以上	35	—	ns	
			VCC = 1.8V以上	70	—		
	CLKOUT 端子Lowレベルパルス幅 (注3)	t _{CL}	VCC = 2.7V以上	35	—	ns	
			VCC = 1.8V以上	70	—		
	CLKOUT 端子出力立ち上がり時間	t _{Cr}	VCC = 2.7V以上	—	15	ns	
			VCC = 1.8V以上	—	30		
	CLKOUT 端子出力立ち下がり時間	t _{Cr}	VCC = 2.7V以上	—	15	ns	
			VCC = 1.8V以上	—	30		

注1. t_{Pcyc} : PCLKの周期注2. t_{cac} : CACカウントクロックソースの周期

注3. クロック出力ソースにLOCO選択 (CKOCR.CKOSEL[2:0]ビット = 000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0]ビット = 001b) に設定してください。

注4. XTAL外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSEL[2:0]ビット = 010bかつCKOCR.CKODIV[2:0]ビット = 000b) をCLKOUTより出力する場合は、入力デューティ比45~55%で上記を満たします。

表5.33 内蔵周辺モジュールタイミング (2)

条件 : 1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、
T_a = -40 ~ +105°C、C = 30pF

項目		記号	min	max	単位	測定条件		
RSPI	RSPCKクロックサイクル	マスタ	t _{SPcyc}	2	4096	t _{Pcyc} (注1)	図5.46	
		スレーブ		8	4096			
	RSPCKクロック Highレベルパルス幅	マスタ	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		図5.47 ~ 図5.52
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック Lowレベルパルス幅	マスタ	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック 立ち上がり/立ち下がり 時間	出力	2.7V以上	t _{SPCKr} , t _{SPCKf}	—	10	ns	
			1.8V以上		—	15		
		入力		—	1	μs		
	データ入力セットアップ 時間	マスタ	2.7V以上	t _{SU}	10	—	ns	
			1.8V以上		30	—		
		スレーブ		25 - t _{Pcyc}	—			
	データ入力ホールド時間	マスタ	RSPCKをPCLKB の2分周以外に 設定	t _H	t _{Pcyc}	—	ns	
			RSPCKをPCLKB の2分周に設定	t _{HF}	0	—		
		スレーブ		t _H	20 + 2 × t _{Pcyc}	—		
	SSLセットアップ時間	マスタ	t _{LEAD}	-30 + N (注2) × t _{SPcyc}	—	ns		
		スレーブ		2	—	t _{Pcyc}		
	SSLホールド時間	マスタ	t _{LAG}	-30 + N (注3) × t _{SPcyc}	—	ns		
		スレーブ		2	—	t _{Pcyc}		
	データ出力遅延時間	マスタ	2.7V以上	t _{OD}	—	14	ns	
1.8V以上				—	30			
スレーブ		2.7V以上		—	3 × t _{Pcyc} + 65			
		1.8V以上		—	3 × t _{Pcyc} + 105			
データ出力ホールド時間	マスタ	2.7V以上	t _{OH}	0	—	ns		
		1.8V以上		-20	—			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{Pcyc}	8 × t _{SPcyc} + 2 × t _{Pcyc}	ns			
	スレーブ		4 × t _{Pcyc}	—				
MOSI、MISO 立ち上がり/立ち下がり 時間	出力	2.7V以上	t _{Dr} , t _{Df}	—	10	ns		
		1.8V以上		—	20			
	入力		—	1	μs			
SSL立ち上がり/立ち下がり 時間	出力	t _{SSLr} , t _{SSLf}	—	20	ns			
	入力		—	1	μs			
スレーブアクセス時間	2.7V以上	t _{SA}	—	6	t _{Pcyc}	図5.51、 図5.52		
	1.8V以上		—	7				
スレーブ出力開放時間	2.7V以上	t _{REL}	—	5	t _{Pcyc}			
	1.8V以上		—	6				

注1. t_{Pcyc} : PCLKの周期

注2. N : RSPIクロック遅延レジスタ (SPCKD) にて設定可能な1~8の整数

注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND) にて設定可能な1~8の整数

表5.34 内蔵周辺モジュールタイミング (3)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、 $C = 30pF$

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t_{SPcyc}	4	65536	t_{Pcyc}	図 5.46	
	SCKクロックサイクル入力 (スレーブ)		6	65536	t_{Pcyc}		
	SCK入カクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCK入カクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	2.7V以上	t_{SU}	65	—	ns	図 5.47、 図 5.49
		1.8V以上		95	—		
	データ入力セットアップ時間 (スレーブ)			40	—		
	データ入力ホールド時間		t_H	40	—	ns	
	SS入力セットアップ時間		t_{LEAD}	3	—	t_{SPcyc}	
	SS入力ホールド時間		t_{LAG}	3	—	t_{SPcyc}	
	データ出力遅延時間 (マスタ)		t_{OD}	—	40	ns	
	データ出力遅延時間 (スレーブ)	2.7V以上		—	65		
		1.8V以上		—	100		
	データ出力ホールド時間 (マスタ)	2.7V以上	t_{OH}	-10	—	ns	
		1.8V以上		-20	—		
データ出力ホールド時間 (スレーブ)			-10	—			
データ立ち上がり/立ち下がり時間		t_{Dr} , t_{Df}	—	20	ns		
SS入力立ち上がり/立ち下がり時間		t_{SSLr} , t_{SSLf}	—	20	ns		
スレーブアクセス時間		t_{SA}	—	6	t_{Pcyc}	図 5.51、 図 5.52	
スレーブ出力開放時間		t_{REL}	—	6	t_{Pcyc}		

注1. t_{Pcyc} : PCLKの周期

表5.35 内蔵周辺モジュールタイミング (4)

条件 : $2.7V \leq VCC = VCC_USB \leq 3.6V$ 、 $2.7V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL0入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図5.53
	SCL0入力Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL0入力Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL0、SDA0入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL0、SDA0入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL0、SDA0入カスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA0入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL0、SDA0の容量性負荷	C_b	—	400	pF	
RIIC (ファストモード)	SCL0入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 600$	—	ns	図5.53
	SCL0入力Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL0入力Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL0、SDA0入力立ち上がり時間	t_{Sr}	— (注2)	300	ns	
	SCL0、SDA0入力立ち下がり時間	t_{Sf}	— (注2)	300	ns	
	SCL0、SDA0入カスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA0入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL0、SDA0の容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIICの内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. ファストモードのtsr/tsfのmin規格は設定していません。

表 5.36 内蔵周辺モジュールタイミング (5)

条件 : $2.7V \leq VCC = VCC_USB \leq 3.6V$ 、 $2.7V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA0入力立ち上がり時間	t_{Sr}	—	1000	ns	図 5.53
	SDA0入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA0入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{pcyc}$ (注 1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL0、SDA0の容量性負荷	C_b	—	400	pF	
簡易I ² C (ファストモード)	SCL0、SDA0入力立ち上がり時間	t_{Sr}	—	300	ns	図 5.53
	SCL0、SDA0入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL0、SDA0入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{pcyc}$ (注 1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL0、SDA0の容量性負荷	C_b	—	400	pF	

注. t_{pcyc} : PCLKの周期

注1. SNFR.NFEビット=1でデジタルフィルタを有効にした状態でSMR.CKS[1:0]ビット=00b、SNFR.NFCS[2:0]ビット=010bの場合を示します。

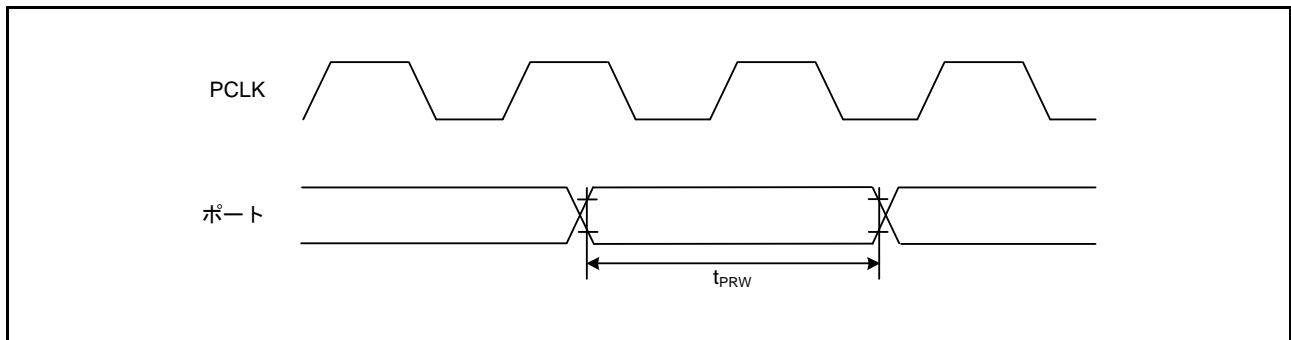


図 5.38 I/Oポート入力タイミング

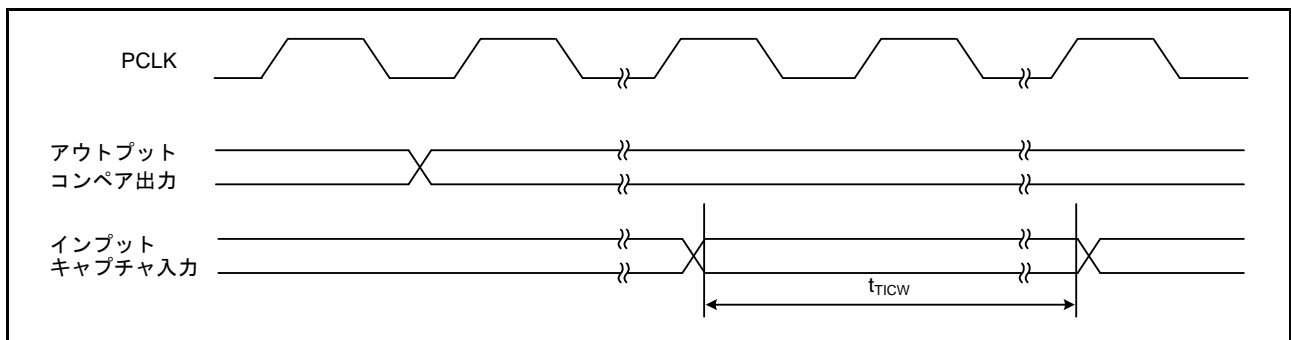


図 5.39 MTU2 入出力タイミング

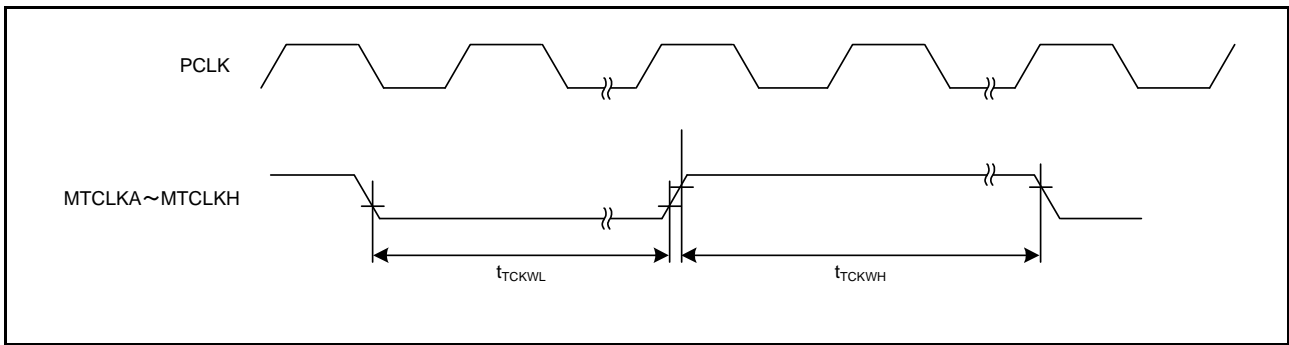


図 5.40 MTU2 クロック入力タイミング

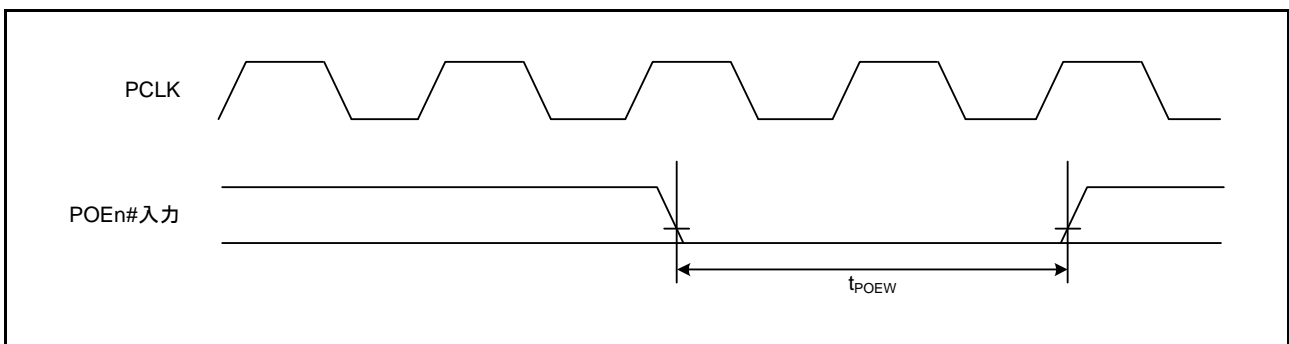


図 5.41 POE# 入力タイミング

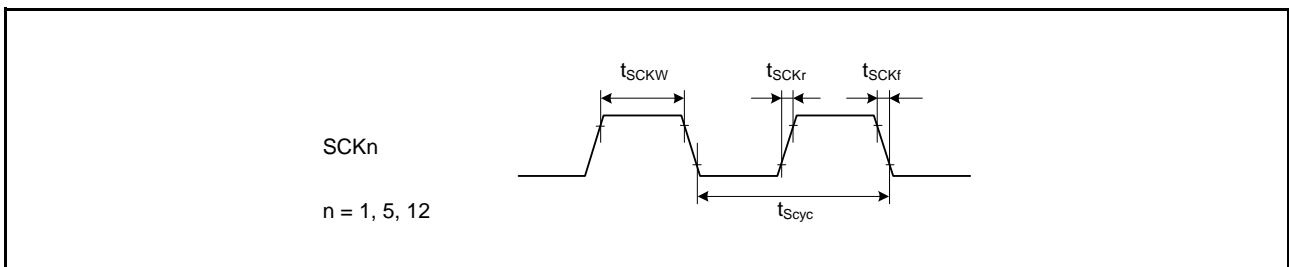


図 5.42 SCK クロック入力タイミング

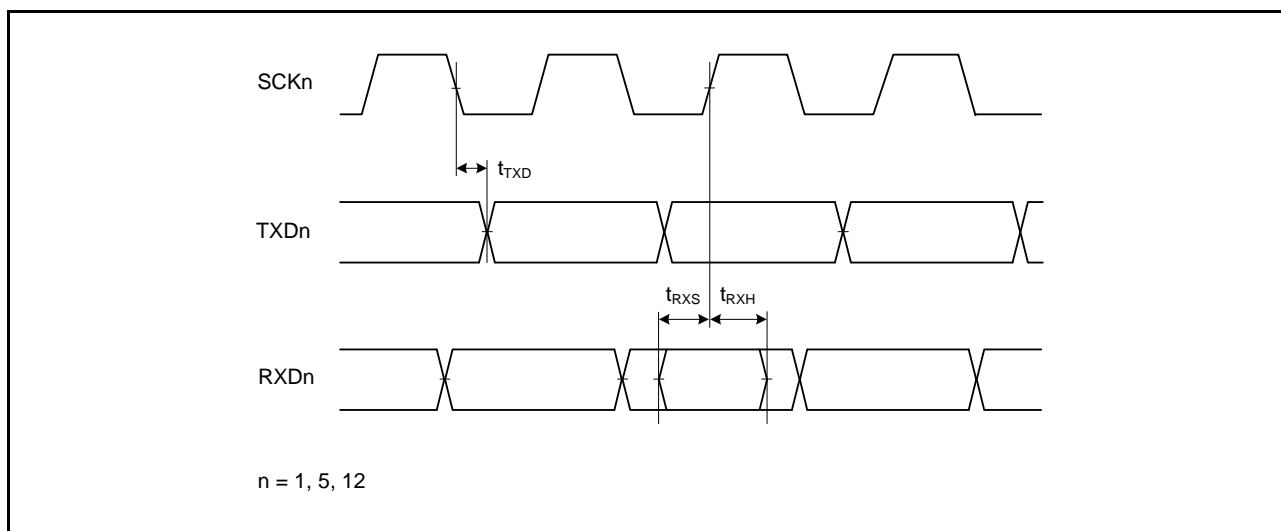


図 5.43 SCI 入出カタイミング/クロック同期式モード

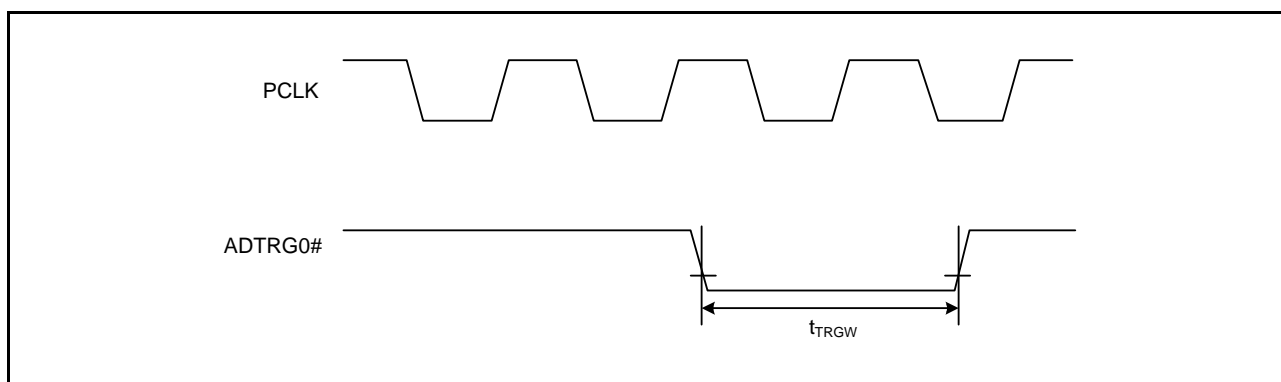


図 5.44 A/D コンバータ外部トリガ入力カタイミング

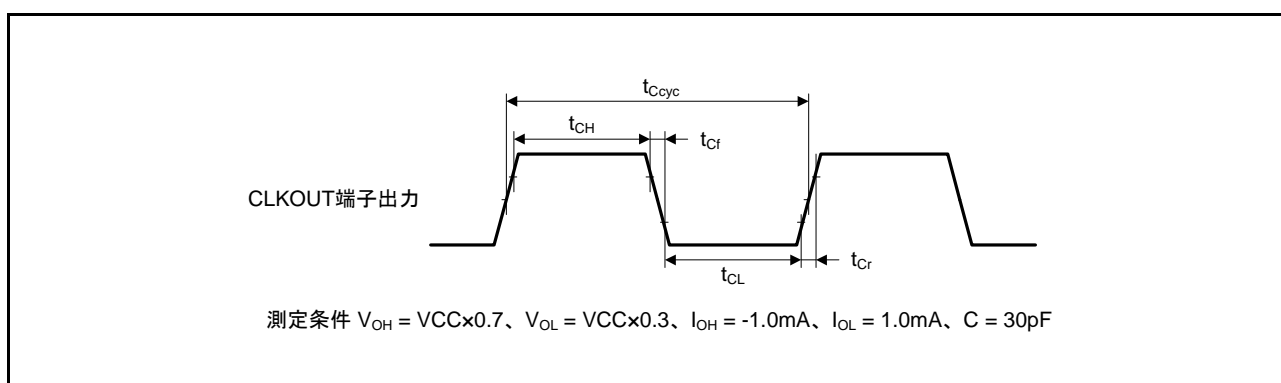


図 5.45 CLKOUT 出カタイミング

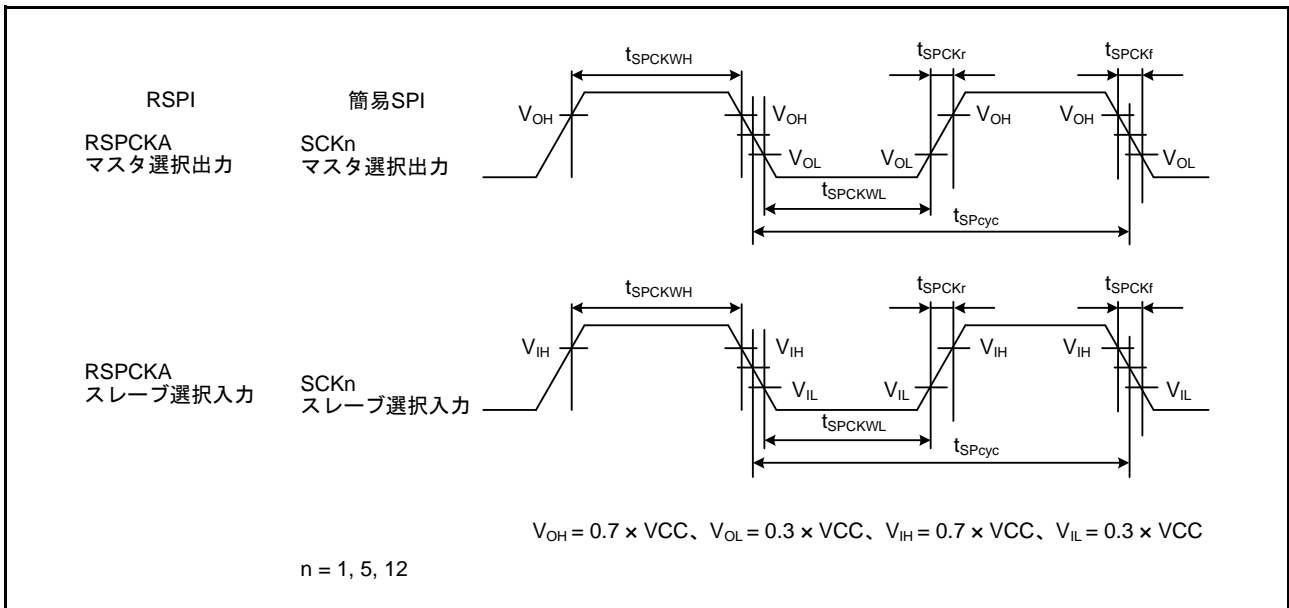


図 5.46 RSPI クロックタイミング / 簡易 SPI クロックタイミング

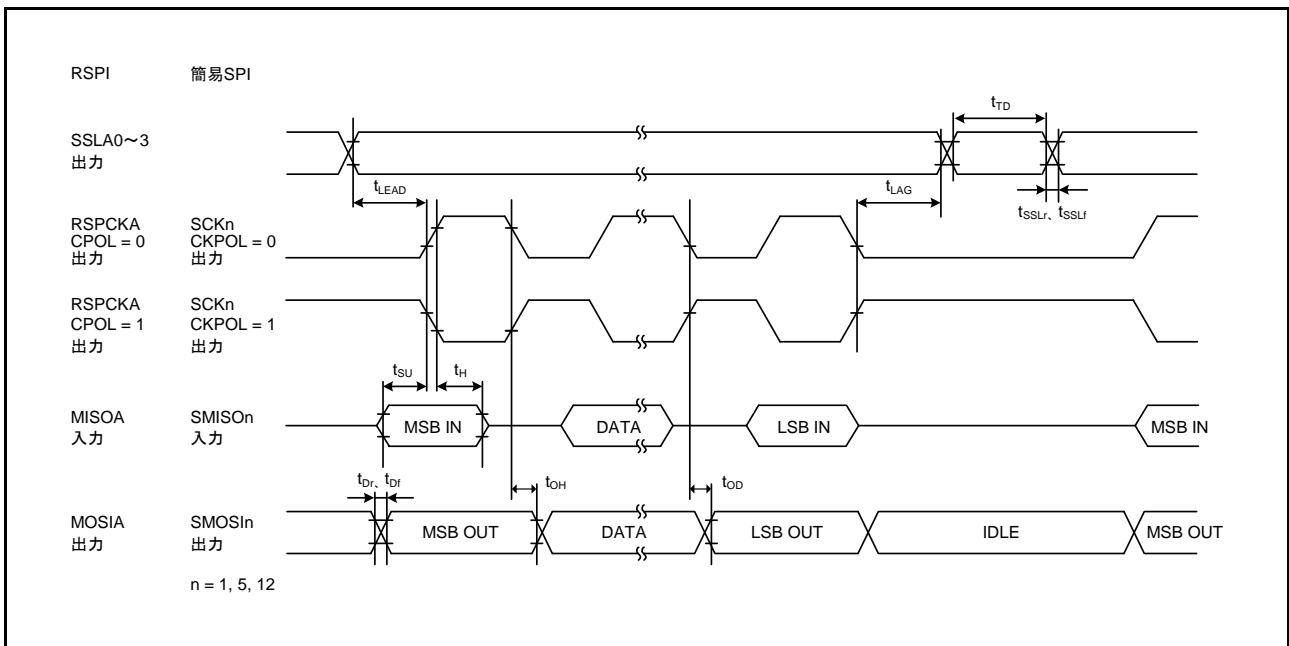


図 5.47 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

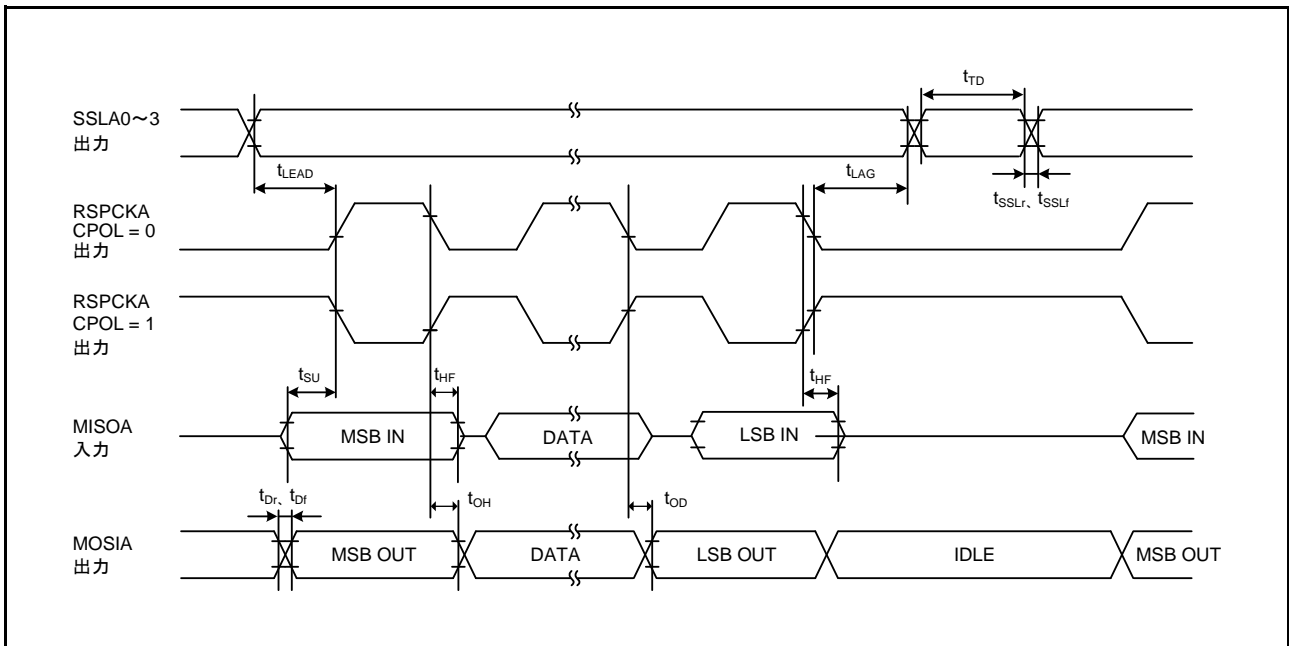


図 5.48 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

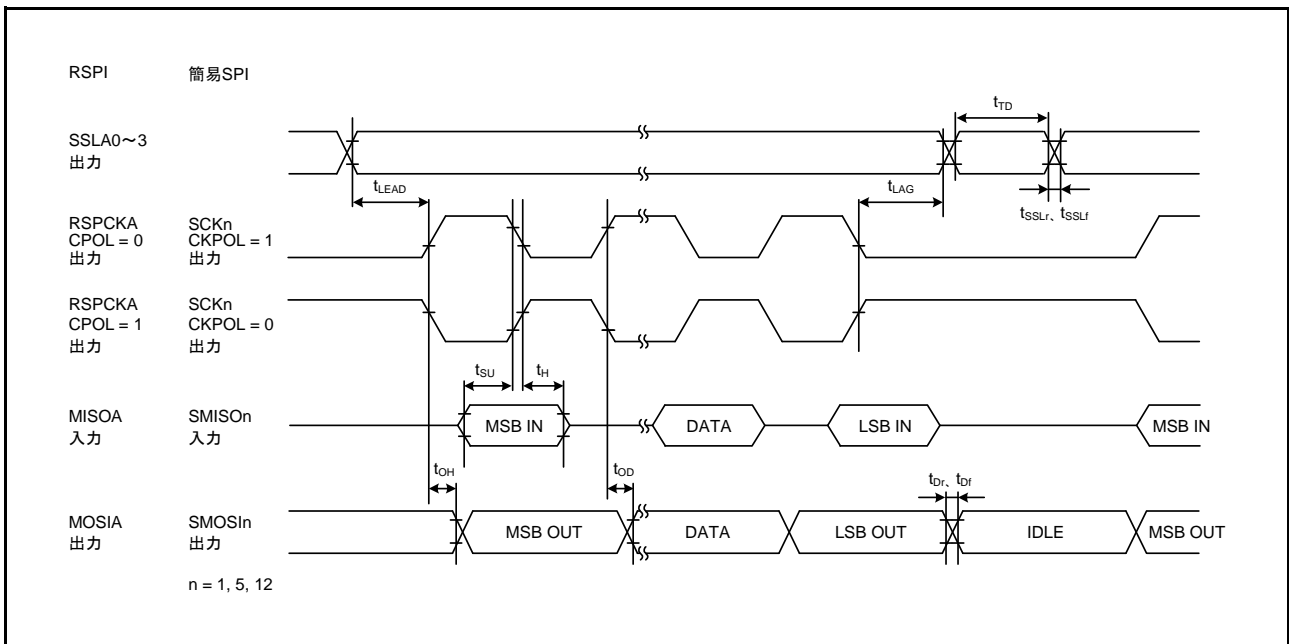


図 5.49 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

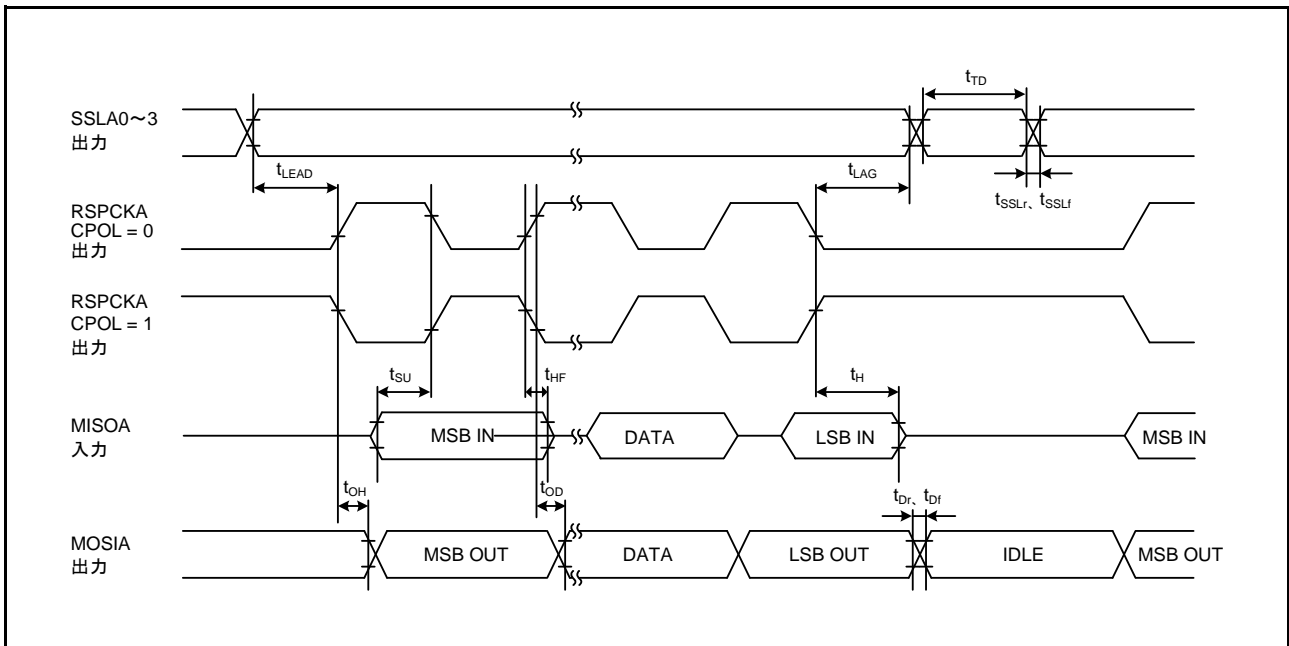


図 5.50 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

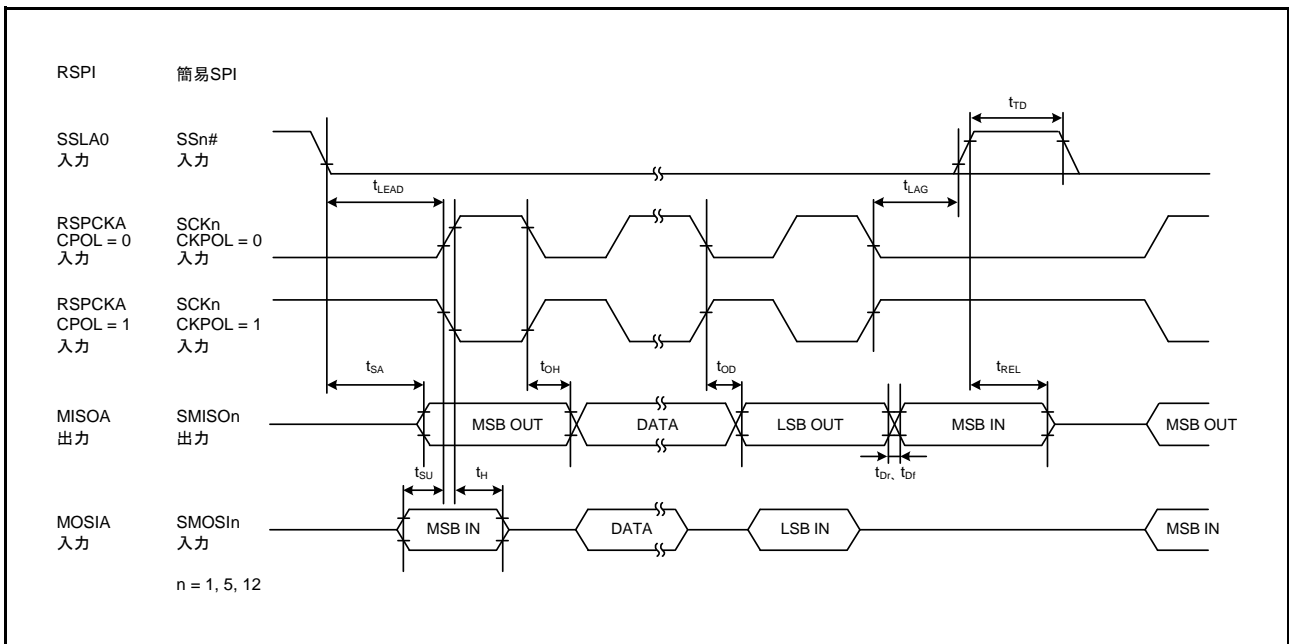


図 5.51 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

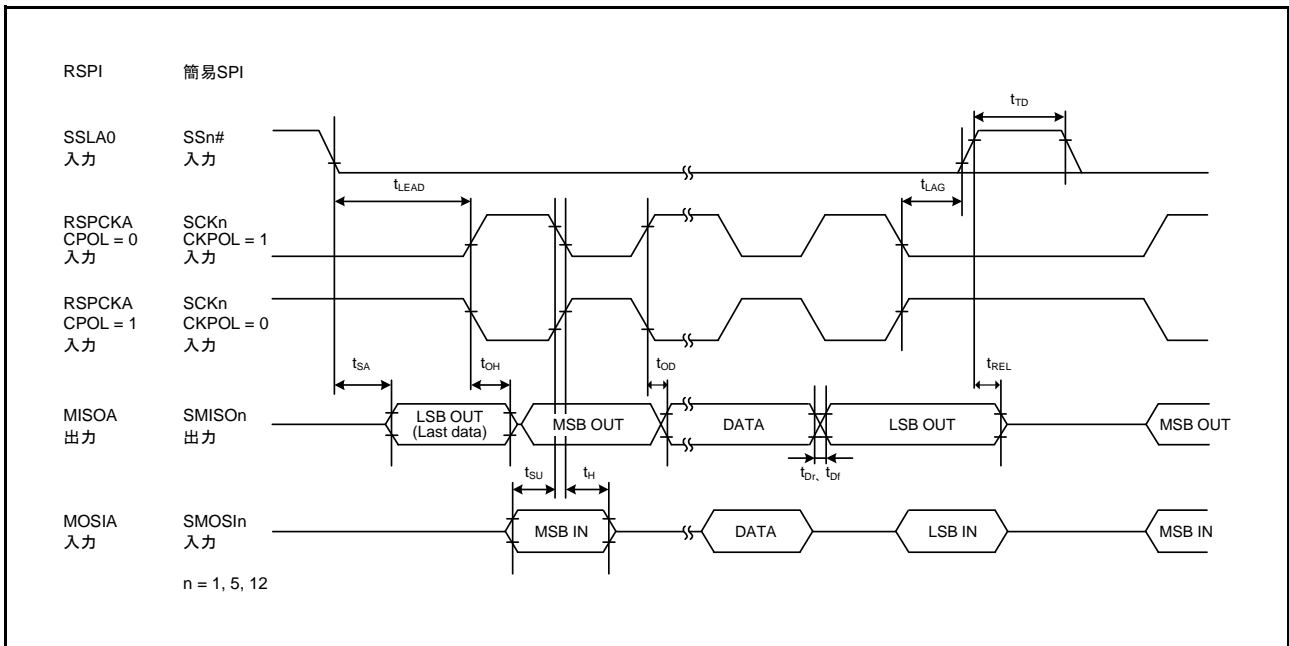


図 5.52 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

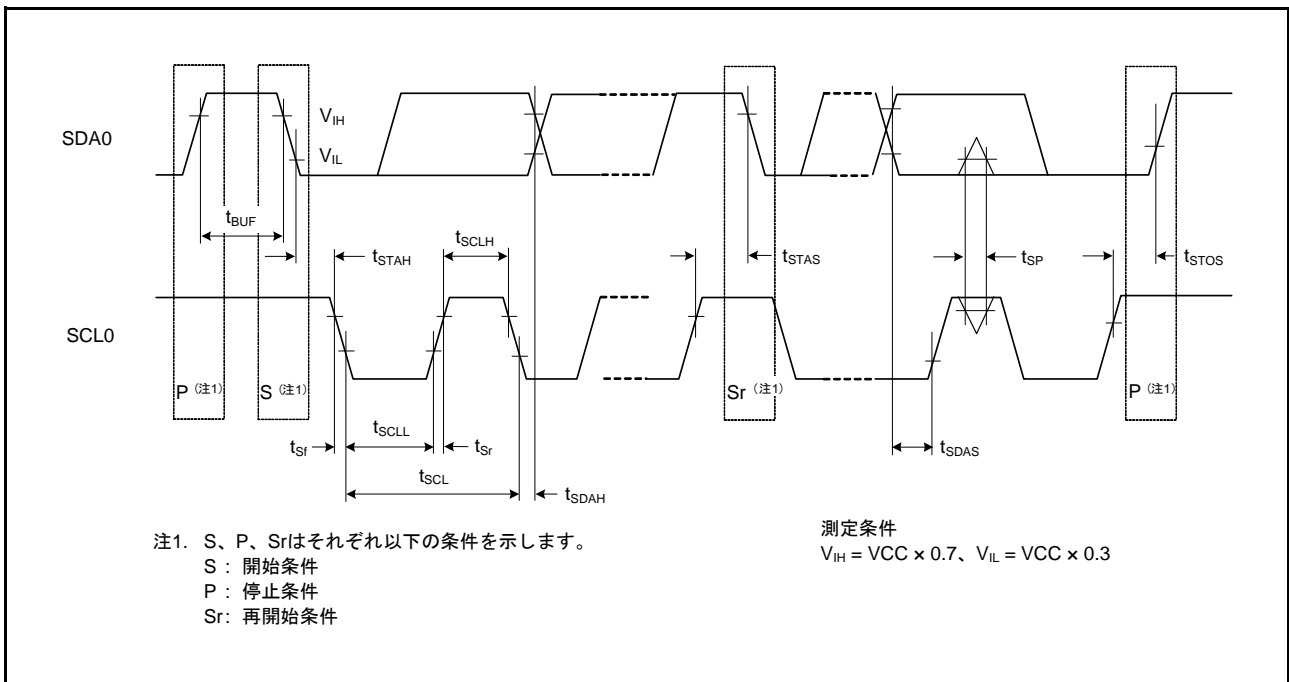


図 5.53 I²C バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

5.4 USB 特性

表5.37 USB 特性 (USB0_DP, USB0_DM 端子特性)

条件 : $3.0V \leq VCC = VCC_USB \leq 3.6V$ 、 $3.0V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
入力特性	入力Highレベル電圧	V_{IH}	2.0	—	V		
	入力Lowレベル電圧	V_{IL}	—	0.8	V		
	差動入力感度	V_{DI}	0.2	—	V	$ USB0_DP - USB0_DM $	
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V		
出力特性	出力Highレベル電圧	V_{OH}	2.8	VCC_USB	V	$I_{OH} = -200\mu A$	
	出力Lowレベル電圧	V_{OL}	0.0	0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V	図5.54 図5.55	
	立ち上がり時間	FS	t_r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t_f	4	20		ns
		LS		75	300		
	立ち上がり/ 立ち下がり時間比	FS	t_r/t_f	90	111.11		%
LS		80		125			
出力抵抗		Z_{DRV}	28	44	Ω	(外部素子による抵抗調整不要)	
VBUS特性	VBUS入力電圧	V_{IH}	$VCC \times 0.8$	—	V		
		V_{IL}	—	$VCC \times 0.2$	V		
	VBUS(P16)入力リーク電流	$ I_{VBUSIN} $	—	10	μA	$USB0_VBUS = 5.5V$	
プルアップ、 プルダウン	プルダウン抵抗	R_{PD}	14.25	24.80	$k\Omega$		
	プルアップ抵抗	R_{PUI}	0.9	1.575	$k\Omega$	アイドル時	
		R_{PUA}	1.425	3.09	$k\Omega$	受信時	
バッテリー チャージング 規格 Ver1.2	USB0_DPシンク電流	I_{DP_SINK}	25	175	μA		
	USB0_DMシンク電流	I_{DM_SINK}	25	175	μA		
	DCDソース電流	I_{DP_SRC}	7	13	μA		
	データ検出電圧	V_{DAT_REF}	0.25	0.4	V		
	USB0_DPソース電圧	V_{DP_SRC}	0.5	0.7	V	出力電流=250 μA	
	USB0_DMソース電圧	V_{DM_SRC}	0.5	0.7	V	出力電流=250 μA	

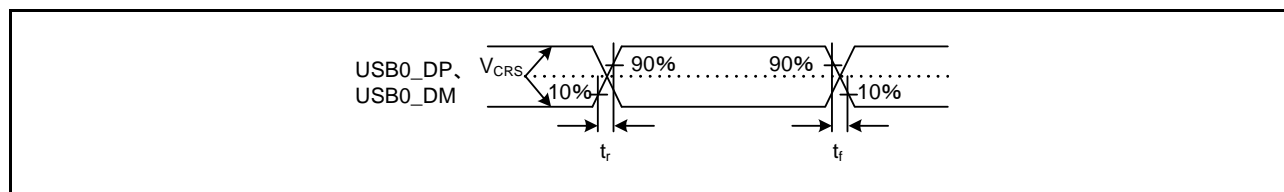


図 5.54 USB0_DP、USB0_DM 出力タイミング

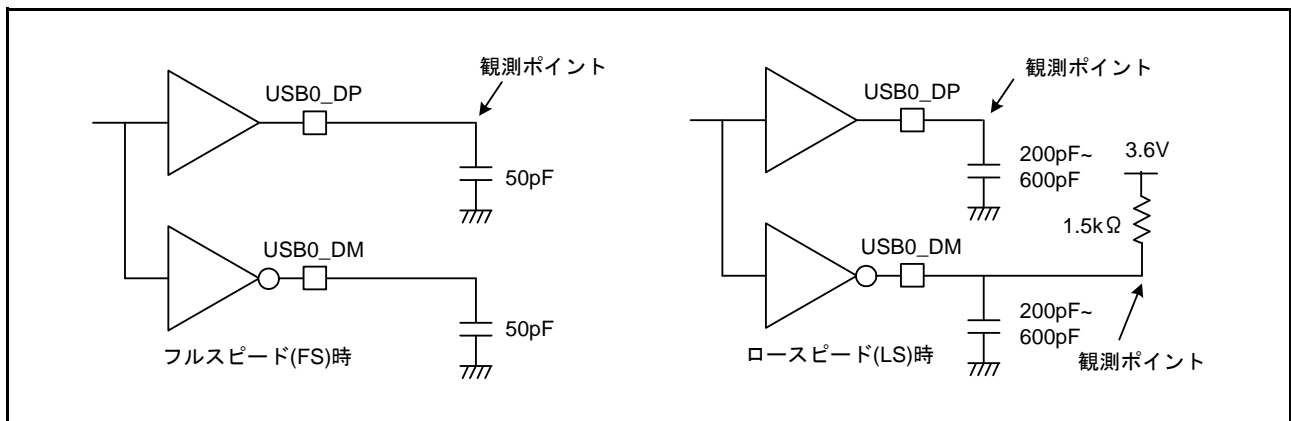


図 5.55 測定回路

5.5 A/D 変換特性

表 5.38 A/D 変換特性 (1)

条件 : $2.7V \leq VCC = VCC_USB \leq 3.6V$ 、 $2.7V \leq AVCC0 \leq 3.6V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、
 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	4	—	32	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 32MHz時)	許容信号源 インピーダンス max = 0.3k Ω	1.031 (0.313) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSC ビット= 1 ADSSTRn.SST[7:0] ビット= 09h
		1.375 (0.641) (注2)	—	—	μs	通常精度チャンネル ADCSR.ADHSC ビット= 1 ADSSTRn.SST[7:0] ビット= 14h
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	± 0.5	± 4.5	LSB	高精度チャンネル PJ6PFS.ASEL ビット= 1 PJ7PFS.ASEL ビット= 1	
			± 6.0	LSB	上記以外	
フルスケール誤差	—	± 0.75	± 4.5	LSB	高精度チャンネル PJ6PFS.ASEL ビット= 1 PJ7PFS.ASEL ビット= 1	
			± 6.0	LSB	上記以外	
量子化誤差	—	± 0.5	—	LSB		
絶対精度	—	± 1.25	± 5.0	LSB	高精度チャンネル PJ6PFS.ASEL ビット= 1 PJ7PFS.ASEL ビット= 1	
			± 8.0	LSB	上記以外	
DNL 微分非直線性誤差	—	± 1.0	—	LSB		
INL 積分非直線性誤差	—	± 1.0	± 3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

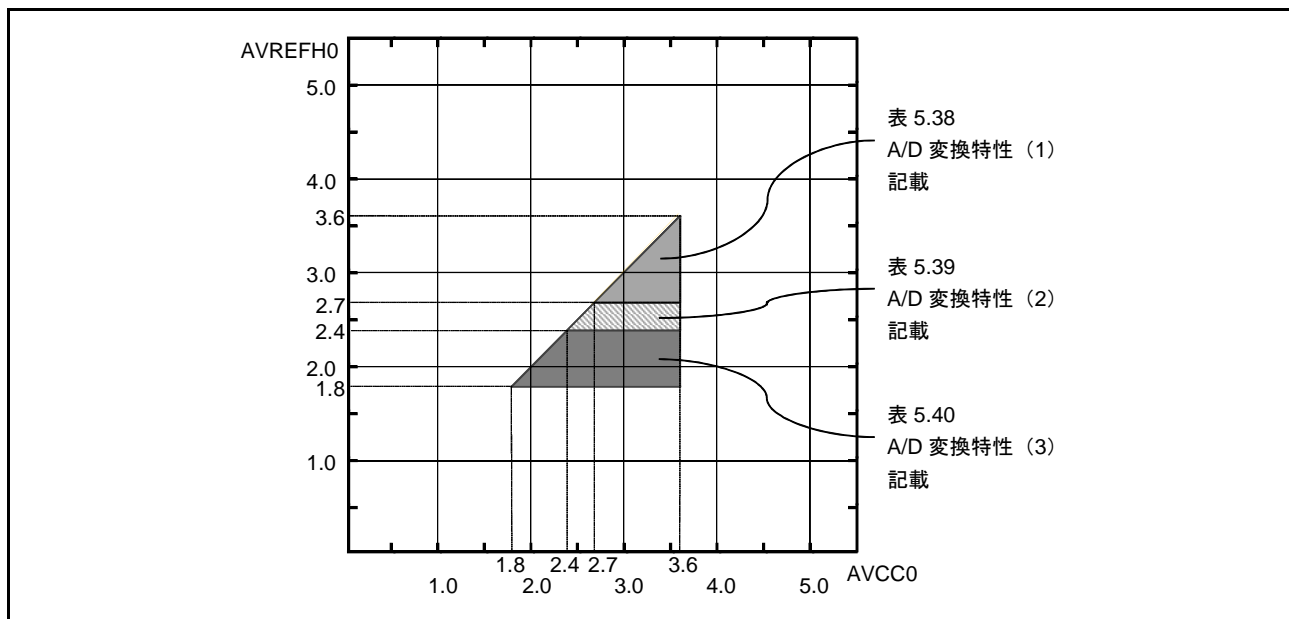


図 5.56 AVCC0-AVREFH0 電圧範囲

表 5.39 A/D変換特性 (2)

条件 : $2.4V \leq VCC = VCC_USB \leq 3.6V$ 、 $2.4V \leq AVCC0 \leq 3.6V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、
 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	4	—	16	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 16MHz時)	許容信号源 インピーダンス max = 1.0k Ω	2.062 (0.625) (注2)	—	—	μs	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRn.SST[7:0]ビット=09h
		2.750 (1.313) (注2)	—	—	μs	通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRn.SST[7:0]ビット=14h
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	± 0.5	± 6.0	LSB		
フルスケール誤差	—	± 1.25	± 6.0	LSB		
量子化誤差	—	± 0.5	—	LSB		
絶対精度	—	± 3.0	± 8.0	LSB		
DNL 微分非直線性誤差	—	± 1.0	—	LSB		
INL 積分非直線性誤差	—	± 1.5	± 3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表 5.40 A/D変換特性 (3)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $1.8V \leq VREFH0 \leq AVCC0$ 、
 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	1	—	8	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 8MHz時)	許容信号源 インピーダンス max = 5.0k Ω	4.875 (1.250) (注2)	—	—	μs	高精度チャネル ADCSR.ADHSCビット=0 ADSSTRn.SST[7:0]ビット=09h
		6.250 (2.625) (注2)	—	—	μs	通常精度チャネル ADCSR.ADHSCビット=0 ADSSTRn.SST[7:0]ビット=14h
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	± 0.5	± 24.0	LSB		
フルスケール誤差	—	± 1.25	± 24.0	LSB		
量子化誤差	—	± 0.5	—	LSB		
絶対精度	—	± 2.75	± 32.0	LSB		
DNL 微分非直線性誤差	—	± 1.0	—	LSB		
INL 積分非直線性誤差	—	± 1.25	± 12.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表5.41 A/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
高精度チャンネル	AN000～AN004、AN006	AVCC0 = 1.8～3.6V	A/Dコンバータ使用時、AN000～AN004、AN006端子をデジタル出力として使用することはできません。
通常精度チャンネル	AN008～AN015		
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 2.0～3.6V	
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 2.0～3.6V	

表5.42 A/D内部基準電圧特性

条件： $2.0V \leq VCC = VCC_USB \leq 3.6V$ 、 $2.0V \leq AVCC0 \leq 3.6V$ (注1)、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャンネル (注2)	1.36	1.43	1.50	V	

注1. AVCC0<2.0Vで、内部基準電圧を入力チャンネルに選択することはできません。

注2. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

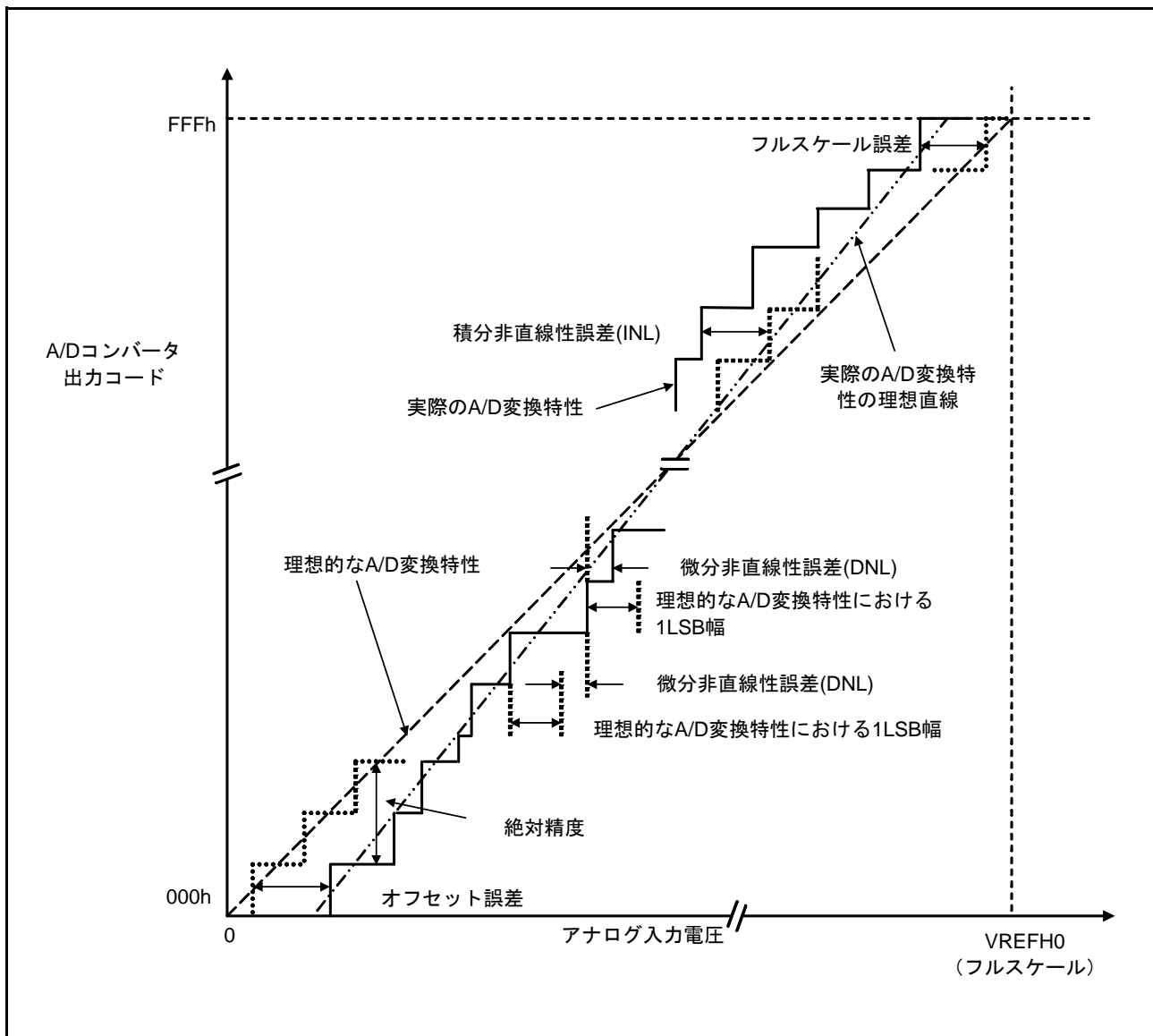


図 5.57 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 3.072V）の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード“008h”を期待できますが、実際の A/D 変換結果は“003h”～“00Dh”になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

5.6 D/A 変換特性

表5.43 D/A変換特性

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、fPCLKB ≤ 32MHz、
T_a = -40 ~ +105°C

項目		min	typ	max	単位	測定条件
分解能		—	—	8	ビット	
変換時間	VCC = 2.7 ~ 3.6V	—	—	3.0	μs	負荷容量 35pF
	VCC = 1.6 ~ 2.7V	—	—	6.0		
絶対精度	VCC = 2.4 ~ 3.6V	—	—	±3.0	LSB	負荷抵抗 2MΩ
	VCC = 1.8 ~ 2.4V	—	—	±3.5		
	VCC = 2.4 ~ 3.6V	—	—	±2.0	LSB	負荷抵抗 4MΩ
	VCC = 1.8 ~ 2.4V	—	—	±2.5		
RO出力抵抗		—	6.4	—	kΩ	

5.7 温度センサ特性

表5.44 温度センサ特性

条件：2.0V ≤ VCC = VCC_USB ≤ 3.6V、2.0V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4V 以上
		—	±2.0	—		2.4V 未満
温度傾斜	—	—	-3.65	—	mV/°C	
出力電位 (25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	
サンプリング時間	—	5	—	—	μs	

5.8 パワーオンリセット回路、電圧検出回路特性

表5.45 パワーオンリセット回路、電圧検出回路特性 (1)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V_{POR}	1.35	1.50	1.65	V	図 5.58、図 5.59
	電圧検出回路 (LVD1) (注1)	V_{det1_4}	3.00	3.10	3.20	V	図 5.60 VCC 立ち下がり時
		V_{det1_5}	2.91	3.00	3.09		
		V_{det1_6}	2.81	2.90	2.99		
		V_{det1_7}	2.70	2.79	2.88		
		V_{det1_8}	2.60	2.68	2.76		
		V_{det1_9}	2.50	2.58	2.66		
		V_{det1_A}	2.40	2.48	2.56		
		V_{det1_B}	1.99	2.06	2.13		
		V_{det1_C}	1.90	1.96	2.02		
V_{det1_D}	1.80	1.86	1.92				

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号 V_{det1_n} の n は、LVDLVLR.LVD1LVL[3:0] ビットの値です。

表5.46 パワーオンリセット回路、電圧検出回路特性 (2)

条件 : $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	電圧検出回路 (LVD2) (注1)	V_{det2_0}	2.71	2.90	3.09	V	図 5.61 VCC 立ち下がり時
		V_{det2_1}	2.43	2.60	2.77		
		V_{det2_2}	1.87	2.00	2.13		
		V_{det2_3} (注2)	1.69	1.80	1.91		
パワーオンリセット解除後待機時間	通常起動時 (注3)	t_{POR}	—	9.1	—	ms	図 5.59
	起動時間短縮時 (注4)	t_{POR}	—	1.6	—		
電圧監視1リセット解除後待機時間	起動時電圧監視1リセット無効時 (注3)	t_{LVD1}	—	568	—	μs	図 5.60
	起動時電圧監視1リセット有効時 (注4)		—	100	—		
電圧監視2リセット解除後待機時間	t_{LVD2}	—	100	—	μs	図 5.61	
応答遅延時間	t_{det}	—	—	350	μs	図 5.58	
最小VCC低下時間 (注5)	t_{VOFF}	350	—	—	μs	図 5.58、VCC = 1.0V 以上	
パワーオンリセット有効時間	t_W (POR)	1	—	—	ms	図 5.59、VCC = 1.0V 未満	
LVD動作安定時間 (LVD有効切り替え時)	T_d (E-A)	—	—	300	μs	図 5.60、図 5.61	
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))	V_{LVH}	—	70	—	mV	Vdet1_4 選択時	
		—	60	—		Vdet1_5 ~ 9, LVD2 選択時	
		—	50	—		Vdet1_A ~ B 選択時	
		—	40	—		Vdet1_C ~ D 選択時	

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD1) の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号 V_{det2_n} の n は、LVDLVLR.LVD2LVL[3:0] ビットの値です。

注2. V_{det2_3} 選択はCMPA2端子入力電圧選択時のみ使用可能で、電源電圧 (VCC) 選択時は使用できません。

注3. OFS1.(STUPLVD1REN, FASTSTUP) = 11b を設定した場合です。

注4. OFS1.(STUPLVD1REN, FASTSTUP) = 11b 以外を設定した場合です。

注5. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} の min 値を下回っている時間です。

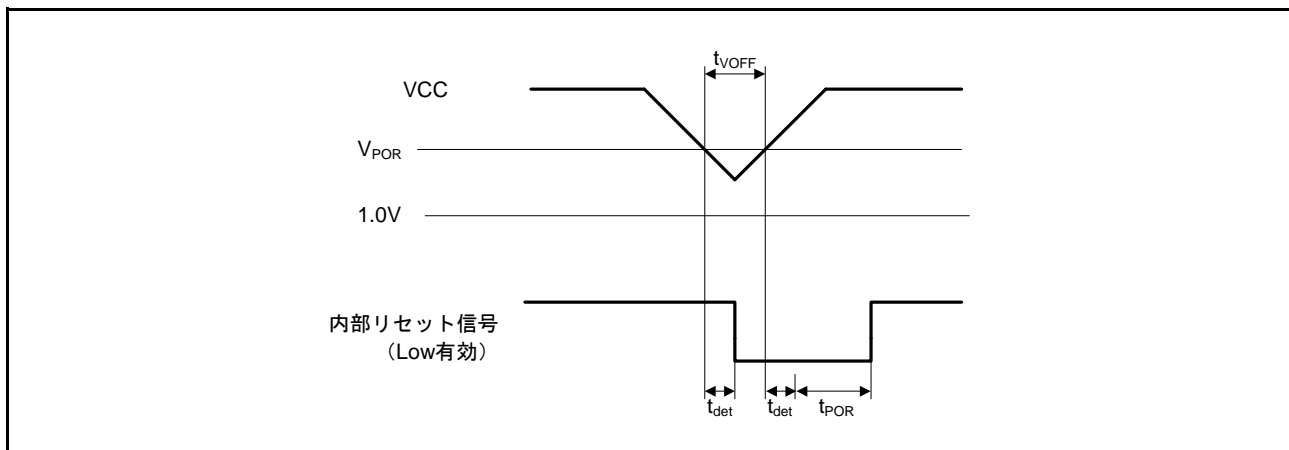
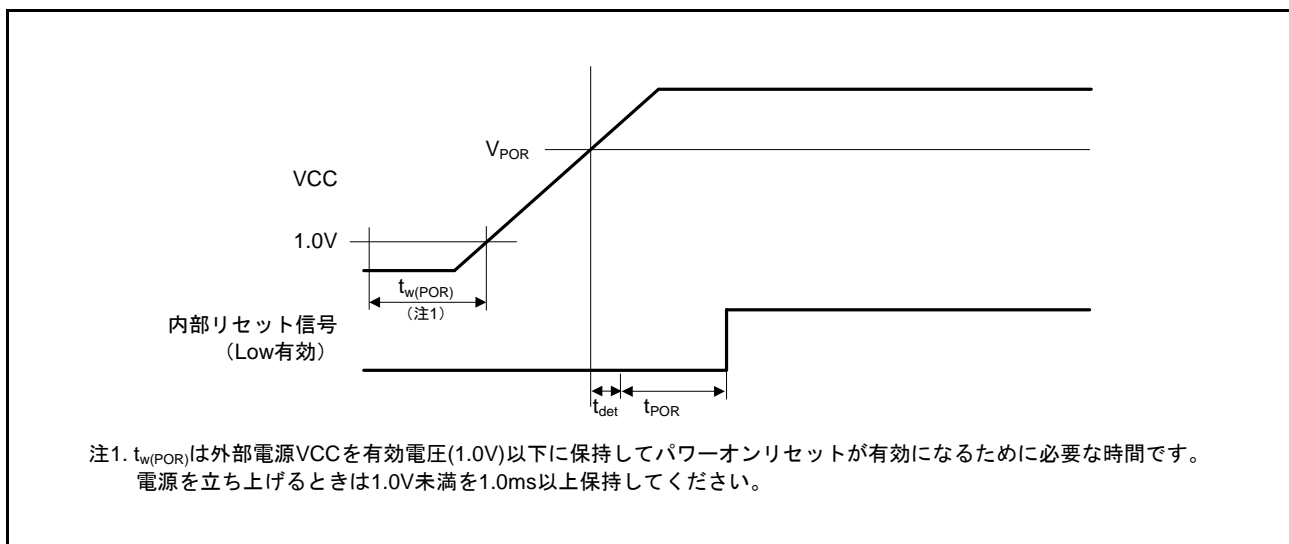


図 5.58 電圧検出リセットタイミング



注1. $t_{w(POR)}$ は外部電源VCCを有効電圧(1.0V)以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を立ち上げるときは1.0V未満を1.0ms以上保持してください。

図 5.59 パワーオンリセットタイミング

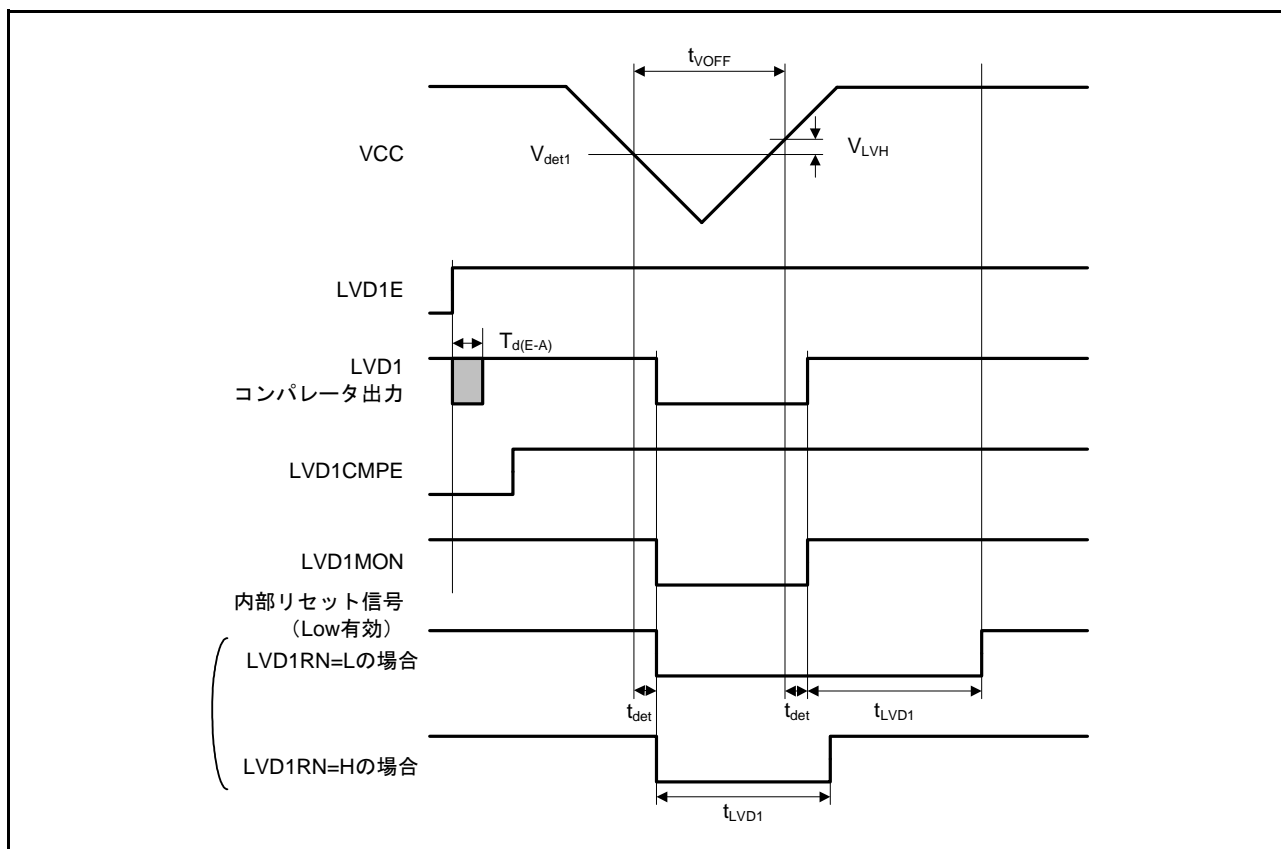


図 5.60 電圧検出回路タイミング (V_{det1})

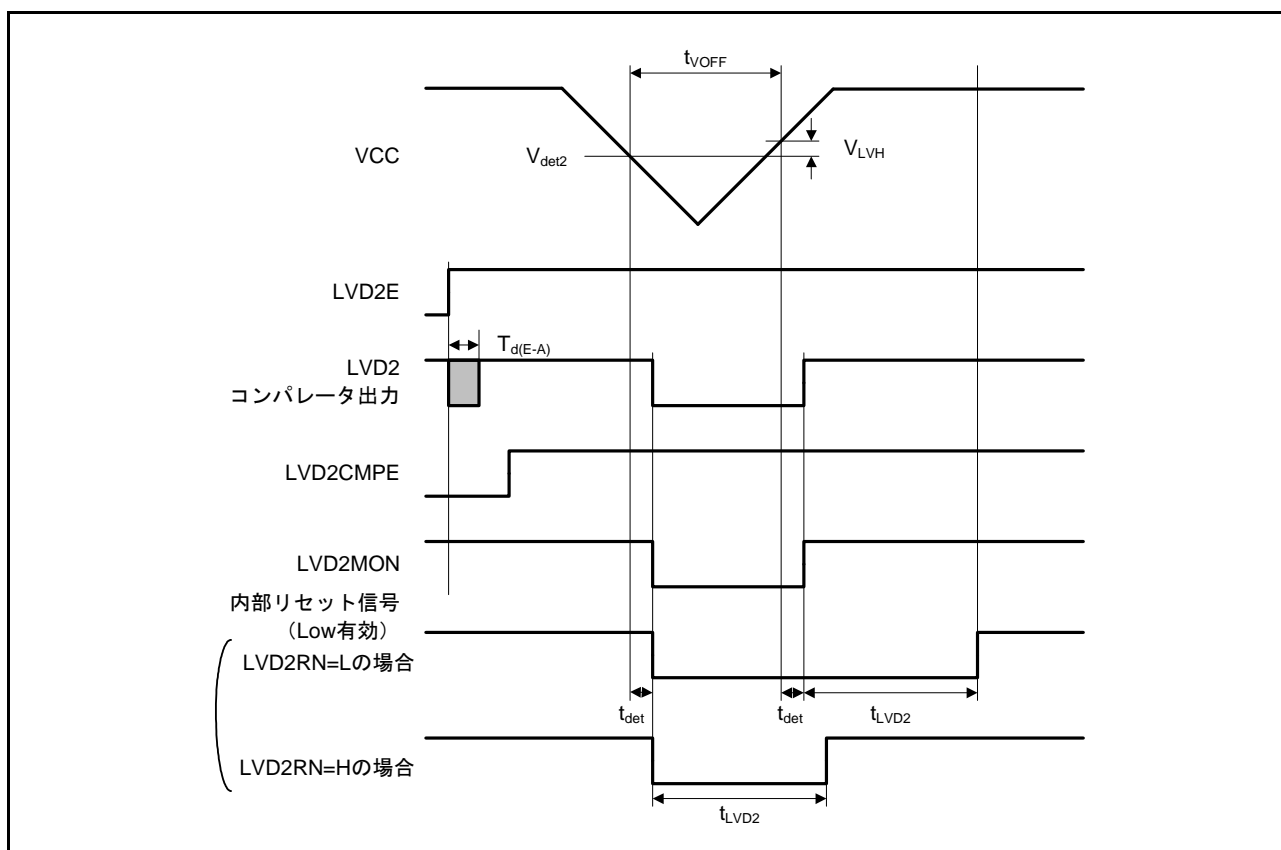


図 5.61 電圧検出回路タイミング (V_{det2})

5.9 発振停止検出タイミング

表5.47 発振停止検出回路特性

条件： $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 5.62

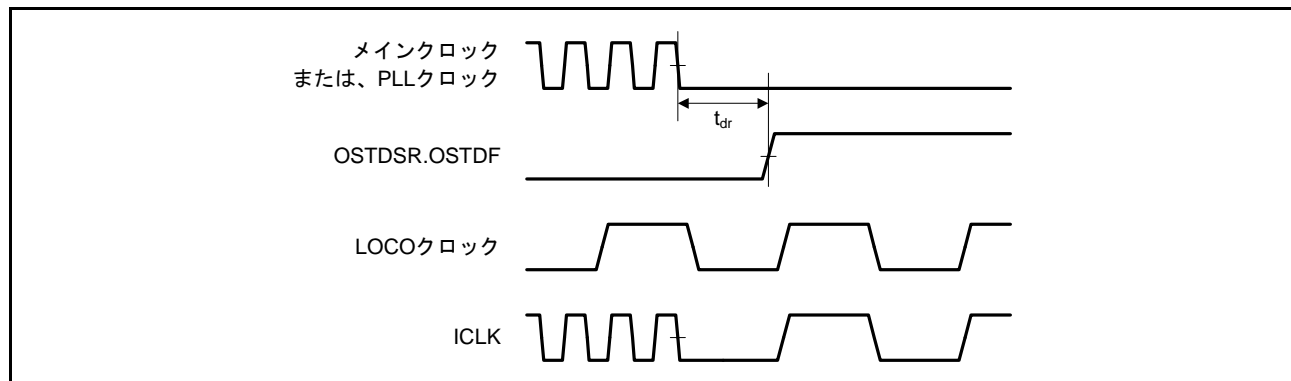


図 5.62 発振停止検出タイミング

5.10 ROM（コード格納用フラッシュメモリ）特性

表5.48 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20（注2、注3）	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表5.49 ROM（コード格納用フラッシュメモリ）特性（2）

高速動作モード 条件：2.7V ≤ VCC = VCC_USB ≤ 3.6V、2.7V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V
プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	4バイト	t _{P4}	—	103	931	—	52	489	μs
イレーズ時間	1Kバイト	t _{E1K}	—	8.23	267	—	5.48	214	ms
	256Kバイト	t _{E256K}	—	407	925	—	39	457	ms
ブランクチェック時間	4バイト	t _{BC4}	—	—	48	—	—	15.9	μs
	1Kバイト	t _{BC1K}	—	—	1.58	—	—	0.127	ms
イレーズ処理強制停止時間	t _{SED}	—	—	21.6	—	—	12.8	μs	
スタートアップ領域入れ替え設定時間	t _{SAS}	—	12.6	543	—	6.16	432	ms	
アクセスウィンドウ設定時間	t _{AWS}	—	12.6	543	—	6.16	432	ms	
ROMモード遷移待ち時間1	t _{DIS}	2	—	—	2	—	—	μs	
ROMモード遷移待ち時間2	t _{MS}	5	—	—	5	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

表5.50 ROM（コード格納用フラッシュメモリ）特性（3）

中速動作モード 条件： $1.8V \leq VCC = VCC_USB \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ プログラム/イレーズ時の動作温度範囲： $T_a = -40 \sim +85^\circ C$

項目		記号	FCLK = 1MHz			FCLK = 8MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	4バイト	t_{P4}	—	143	1330	—	96.8	932	μs
イレーズ時間	1Kバイト	t_{E1K}	—	8.3	269	—	5.85	219	ms
	256Kバイト	t_{E256K}	—	407	928	—	93	520	ms
ブランクチェック時間	4バイト	t_{BC4}	—	—	78	—	—	50	μs
	1Kバイト	t_{BC1K}	—	—	1.61	—	—	0.369	ms
イレーズ処理強制停止時間		t_{SED}	—	—	33.6	—	—	25.6	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	13.2	549	—	7.6	445	ms
アクセスウィンドウ設定時間		t_{AWS}	—	13.2	549	—	7.6	445	ms
ROMモード遷移待ち時間1		t_{DIS}	2	—	—	2	—	—	μs
ROMモード遷移待ち時間2		t_{MS}	3	—	—	3	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

5.11 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表5.51 E2データフラッシュ特性（1）

項目		記号	min	typ	max	単位	条件
再プログラム/イレースサイクル（注1）		N _{DPEC}	100000	1000000	—	回	
データ保持時間	N _{DPEC} 10000回後	t _{DDRP}	20 （注2、注3）	—	—	年	T _a = +85°C
	N _{DPEC} 100000回後		5 （注2、注3）	—	—	年	
	N _{DPEC} 1000000回後	—	1 （注2、注3）	—	年	T _a = +25°C	

注1. 再プログラム/イレースサイクルの定義：再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルがn回(n = 100000回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表5.52 E2データフラッシュ特性（2）高速動作モード

条件：2.7V ≤ VCC ≤ 3.6V、2.7V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V

プログラム/イレース時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	86	761	—	40.5	374	μs
イレース時間	1Kバイト	t _{DE1K}	—	17.4	456	—	6.15	228	ms
	8Kバイト	t _{DE8K}	—	60.4	499	—	9.3	231	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	48	—	—	15.9	μs
	1Kバイト	t _{DBC1K}	—	—	1.58	—	—	0.127	μs
イレース処理強制停止時間	t _{DSED}	—	—	21.5	—	—	12.8	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	5	—	—	5	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

表5.53 E2データフラッシュ特性（3）中速動作モード

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V

プログラム/イレース時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	126	1160	—	85.4	818	μs
イレース時間	1Kバイト	t _{DE1K}	—	17.5	457	—	7.76	259	ms
	8Kバイト	t _{DE8K}	—	60.5	500	—	16.7	267.6	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	78	—	—	50	μs
	1Kバイト	t _{DBC1K}	—	—	1.61	—	—	0.369	ms
イレース処理強制停止時間	t _{DSED}	—	—	33.5	—	—	25.5	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	720	—	—	720	—	—	ns	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

5.12 使用上の注意事項

5.12.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサ接続方法を図 5.63 ～ 図 5.64 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μ F（推奨値）を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「30. 12 ビット A/D コンバータ (S12ADb)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ)でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

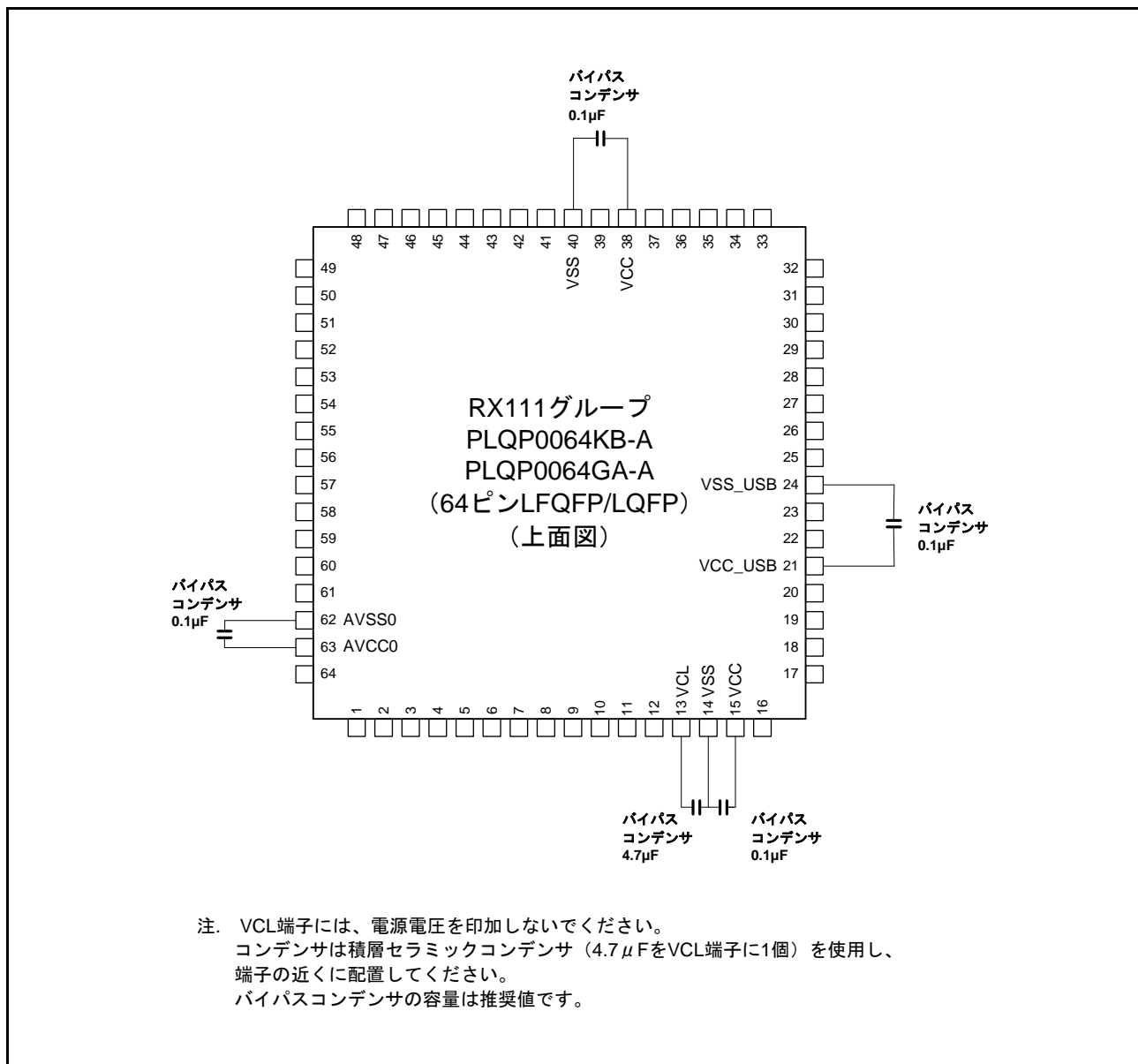


図 5.63 コンデンサ接続方法（64ピン）

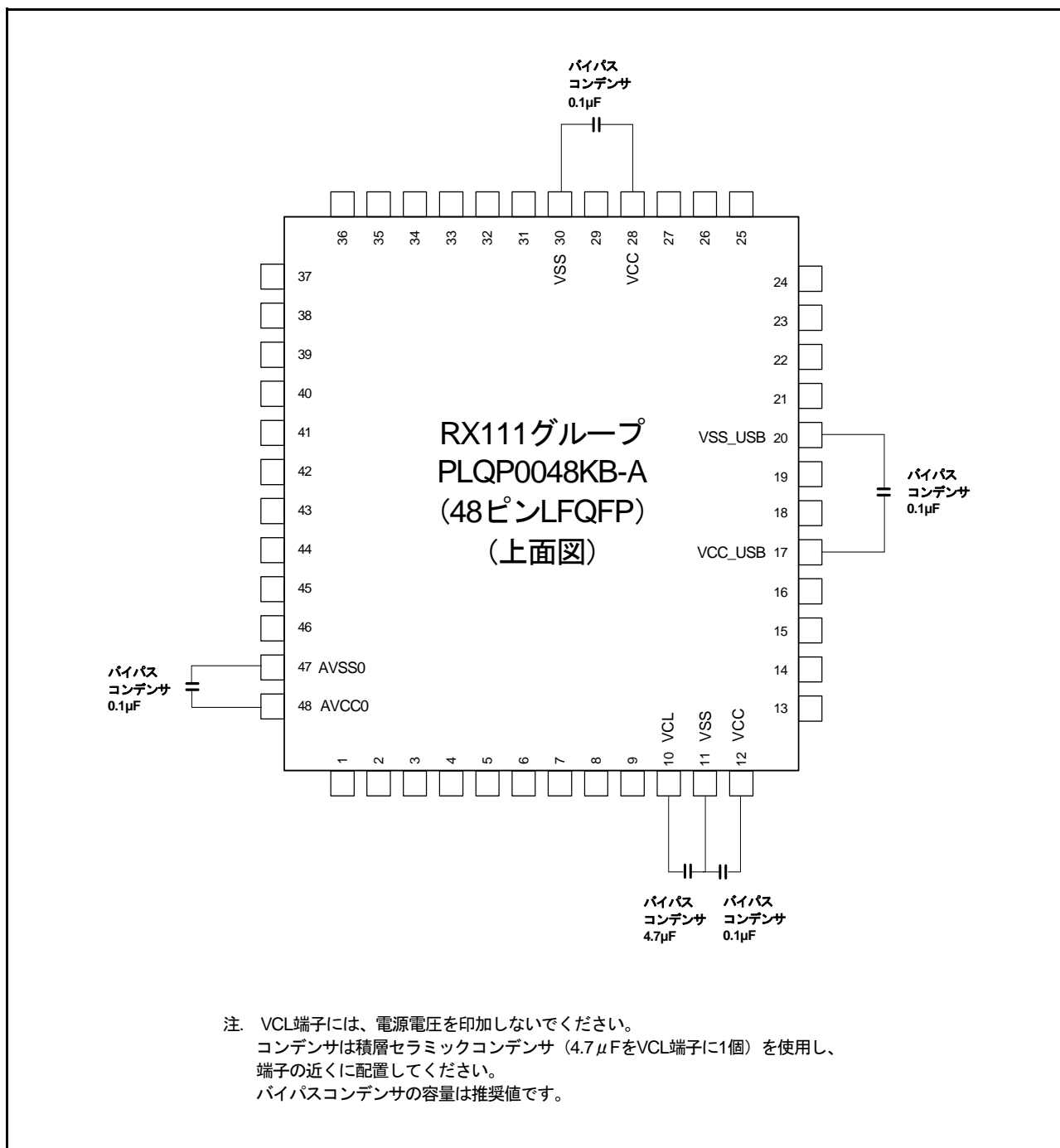


図 5.64 コンデンサ接続方法（48ピンLFQFP）

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

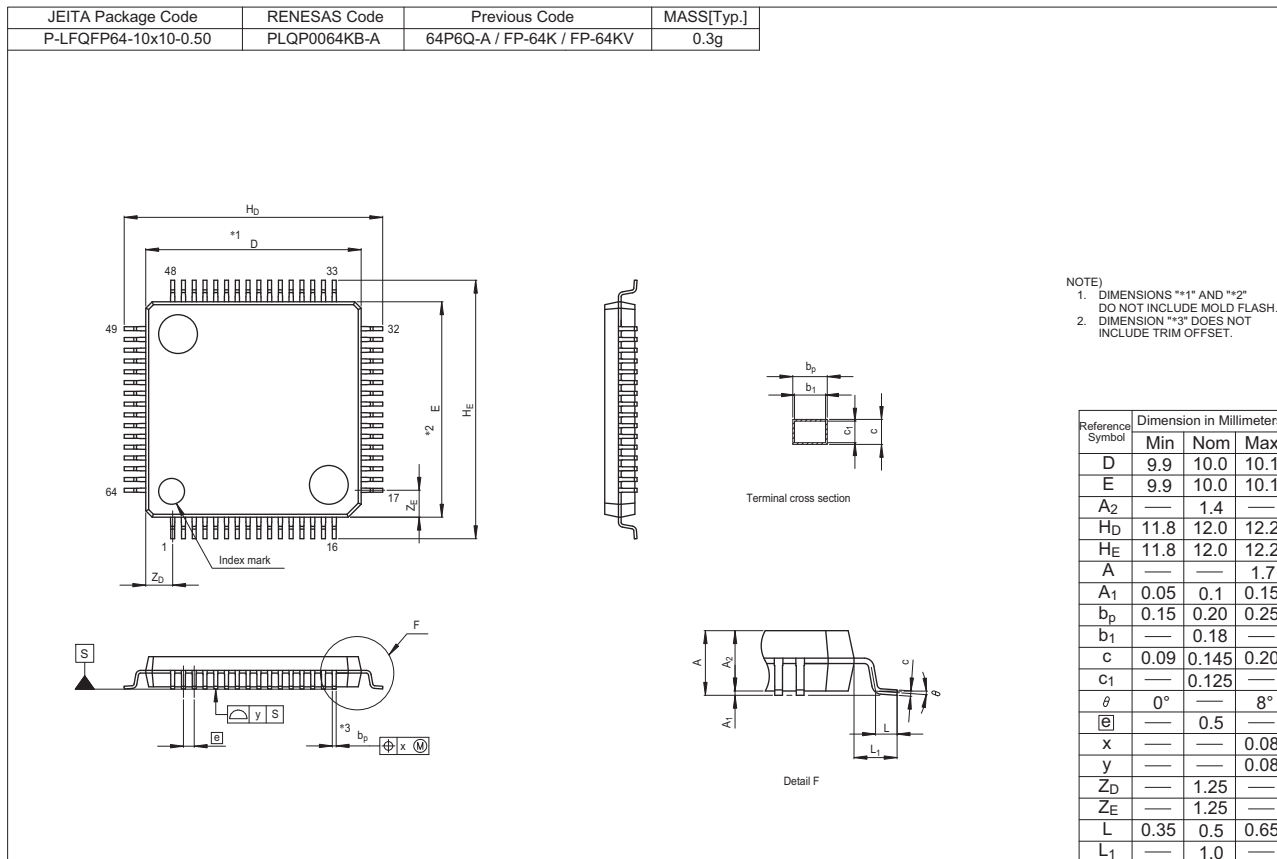


図 A. 64ピンLFQFP (PLQP0064KB-A)

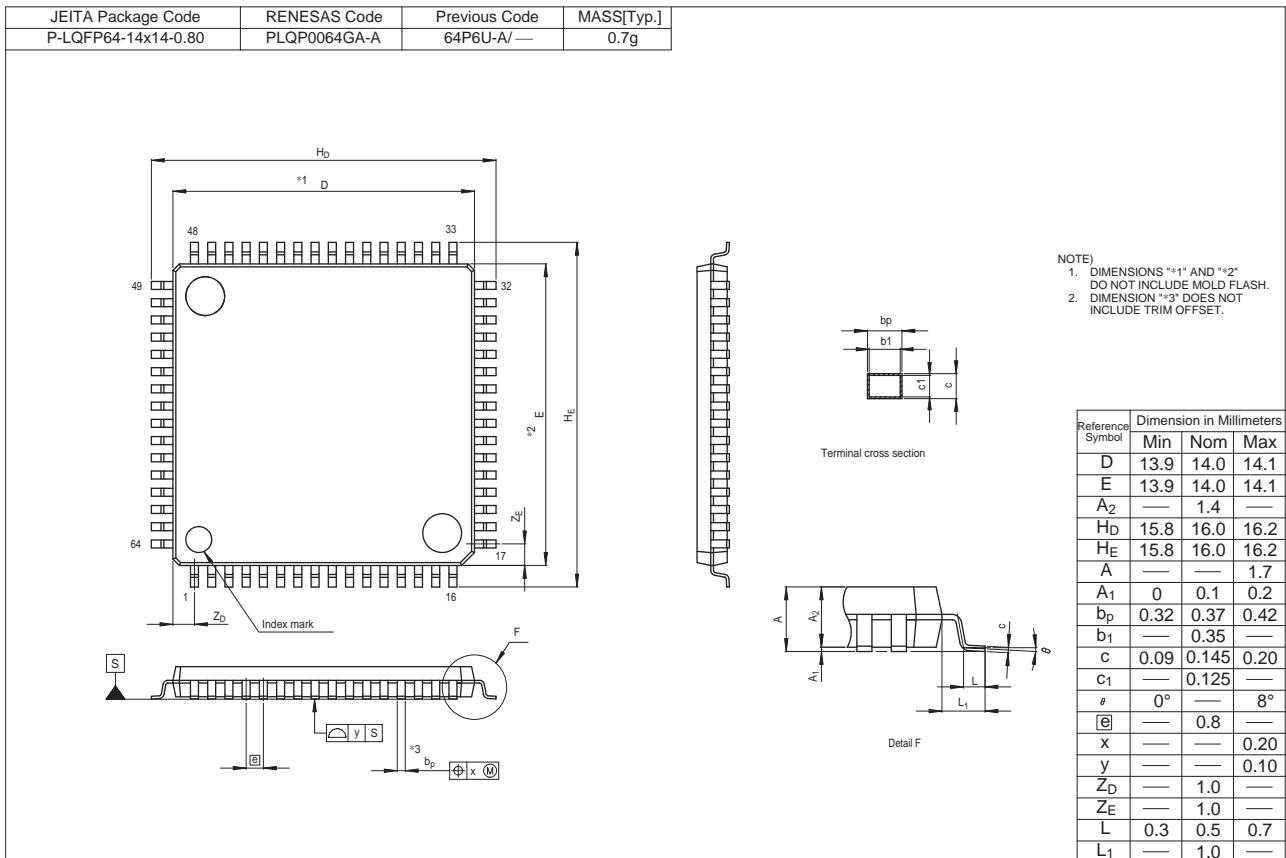


図 B. 64 ピン LQFP (PLQP0064GA-A)

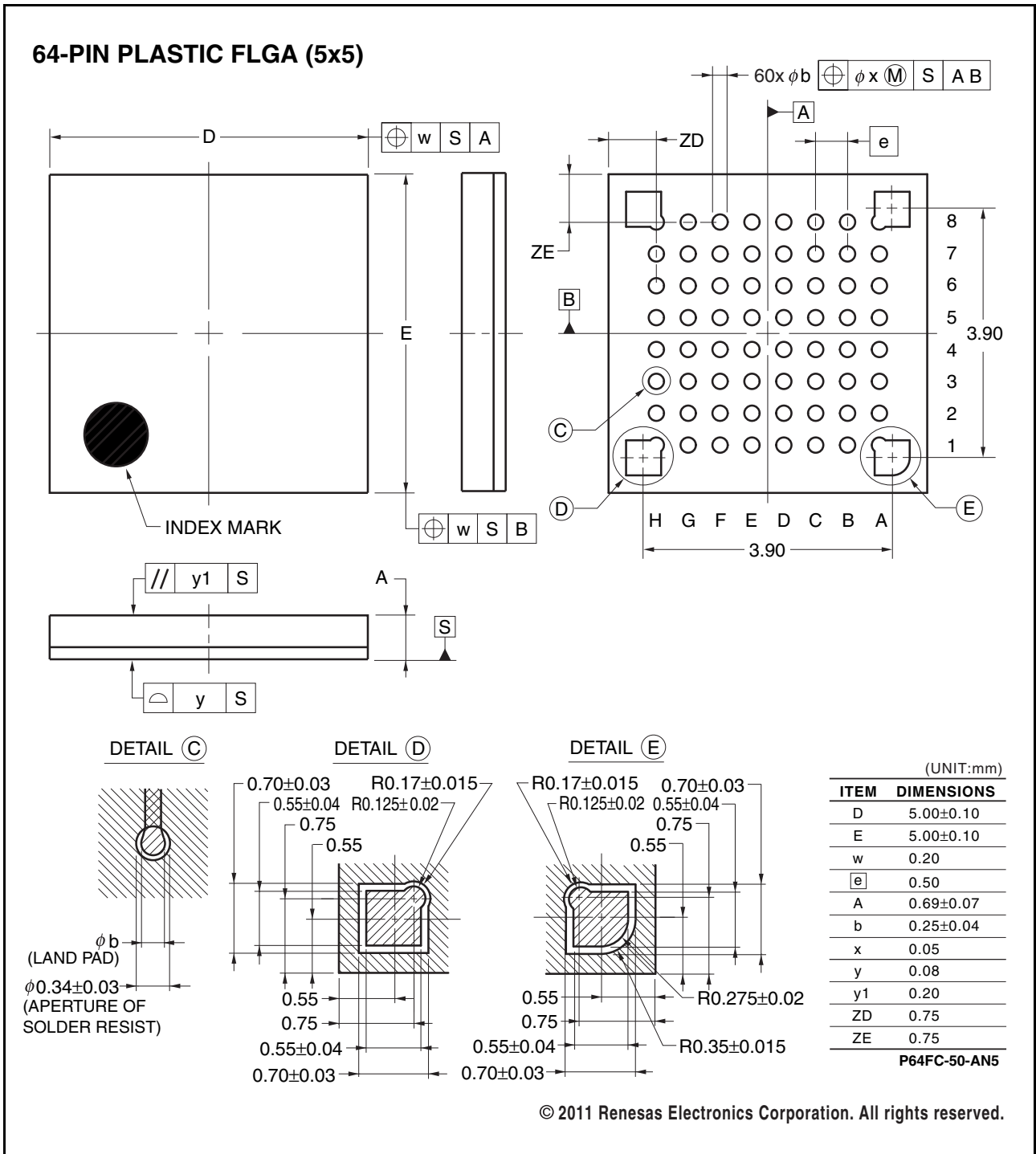


図 C. 64ピンWFLGA (PWLG0064KA-A)

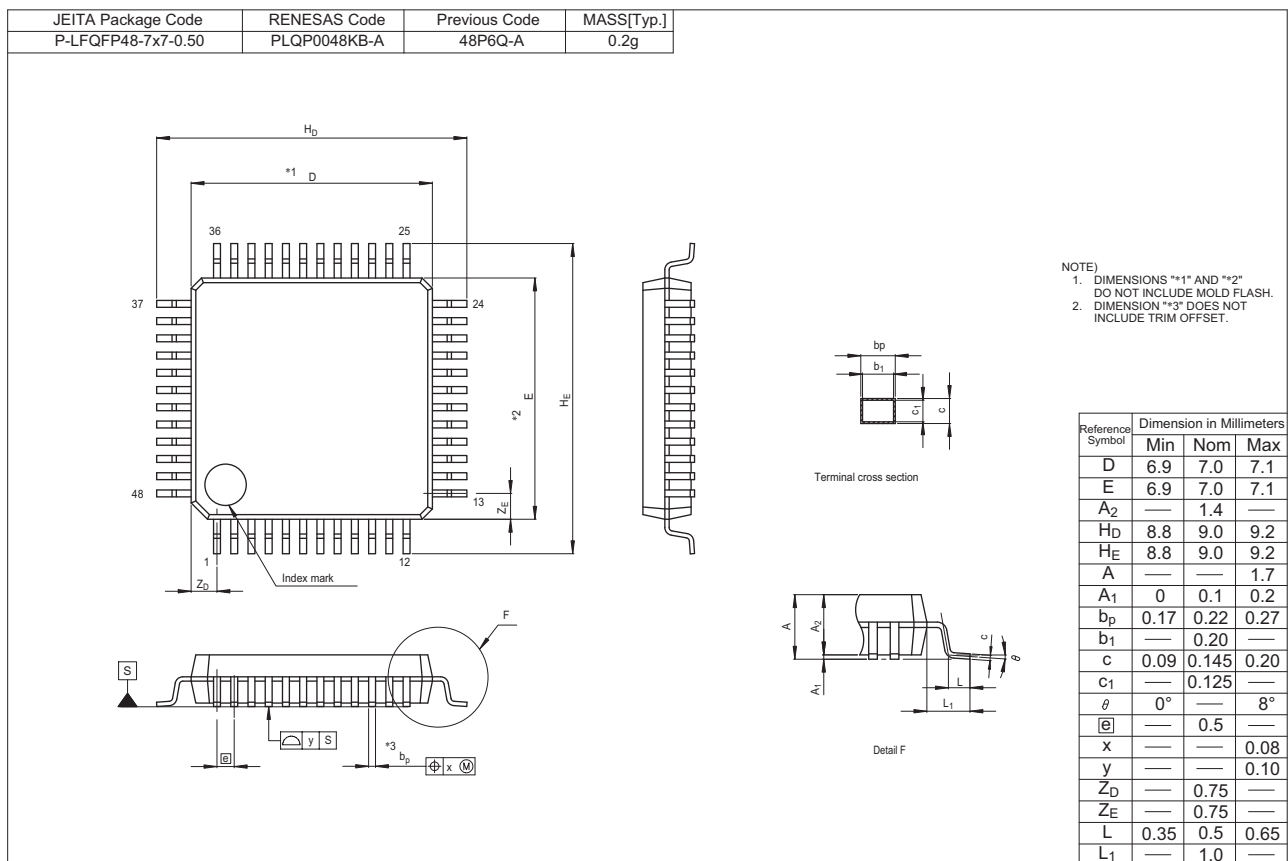
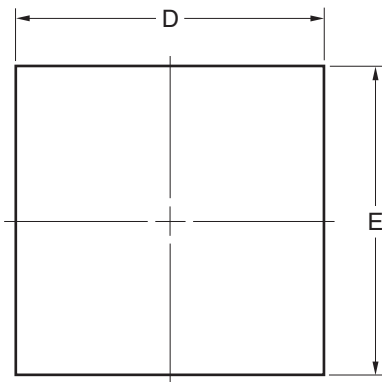
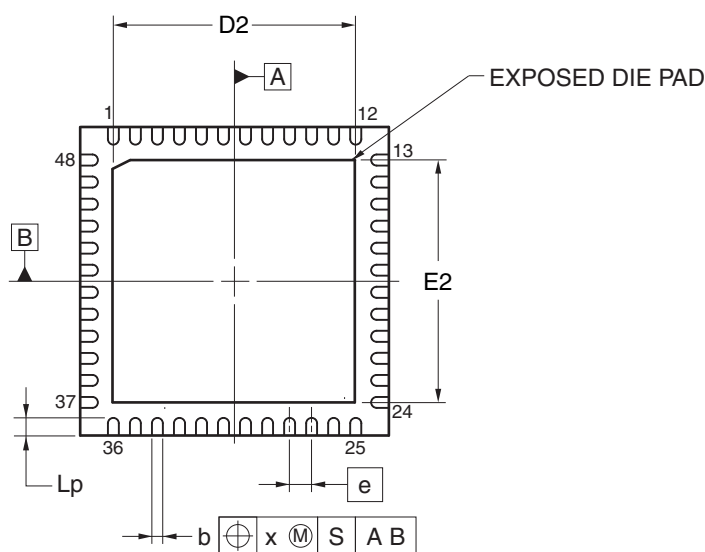
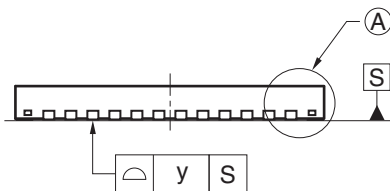
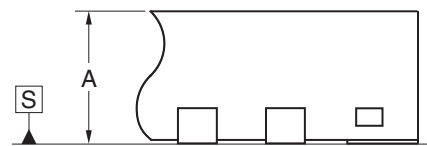


図 D. 48 ピン LFQFP (PLQP0048KB-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-5	0.13



DETAIL OF (A) PART



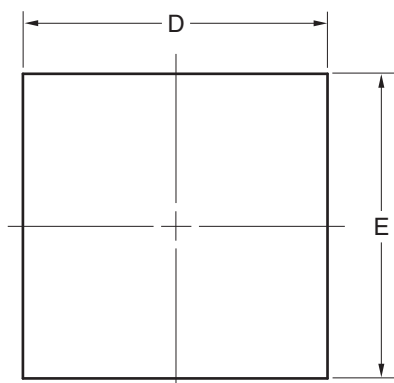
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.95	7.00	7.05
E	6.95	7.00	7.05
A	0.70	0.75	0.80
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05

ITEM	A	D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS	A	5.45	5.50	5.55	5.45	5.50	5.55

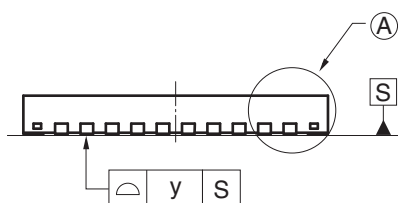
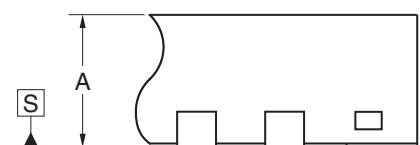
© 2012 Renesas Electronics Corporation. All rights reserved.

図 E. 48 ピン HWQFN (PWQN0048KB-A)

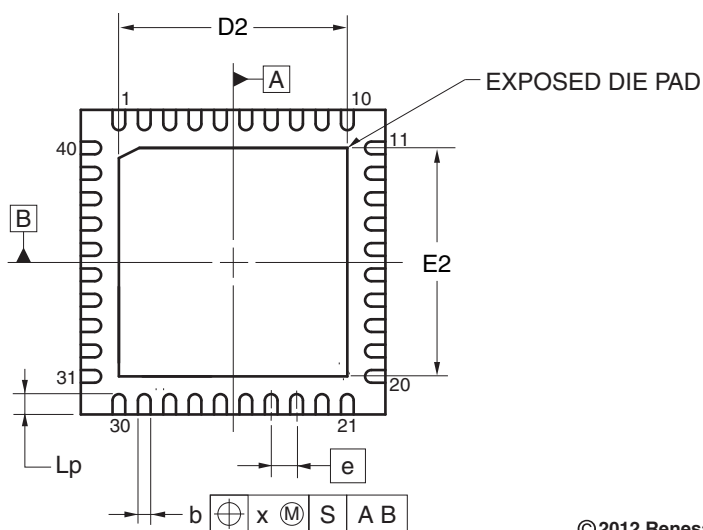
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-4	0.09



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	5.95	6.00	6.05
E	5.95	6.00	6.05
A	0.70	0.75	0.80
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05



ITEM	A	D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS		4.45	4.50	4.55	4.45	4.50	4.55

©2012 Renesas Electronics Corporation. All rights reserved.

図 F. 40ピン HWQFN (PWQN0040KC-A)

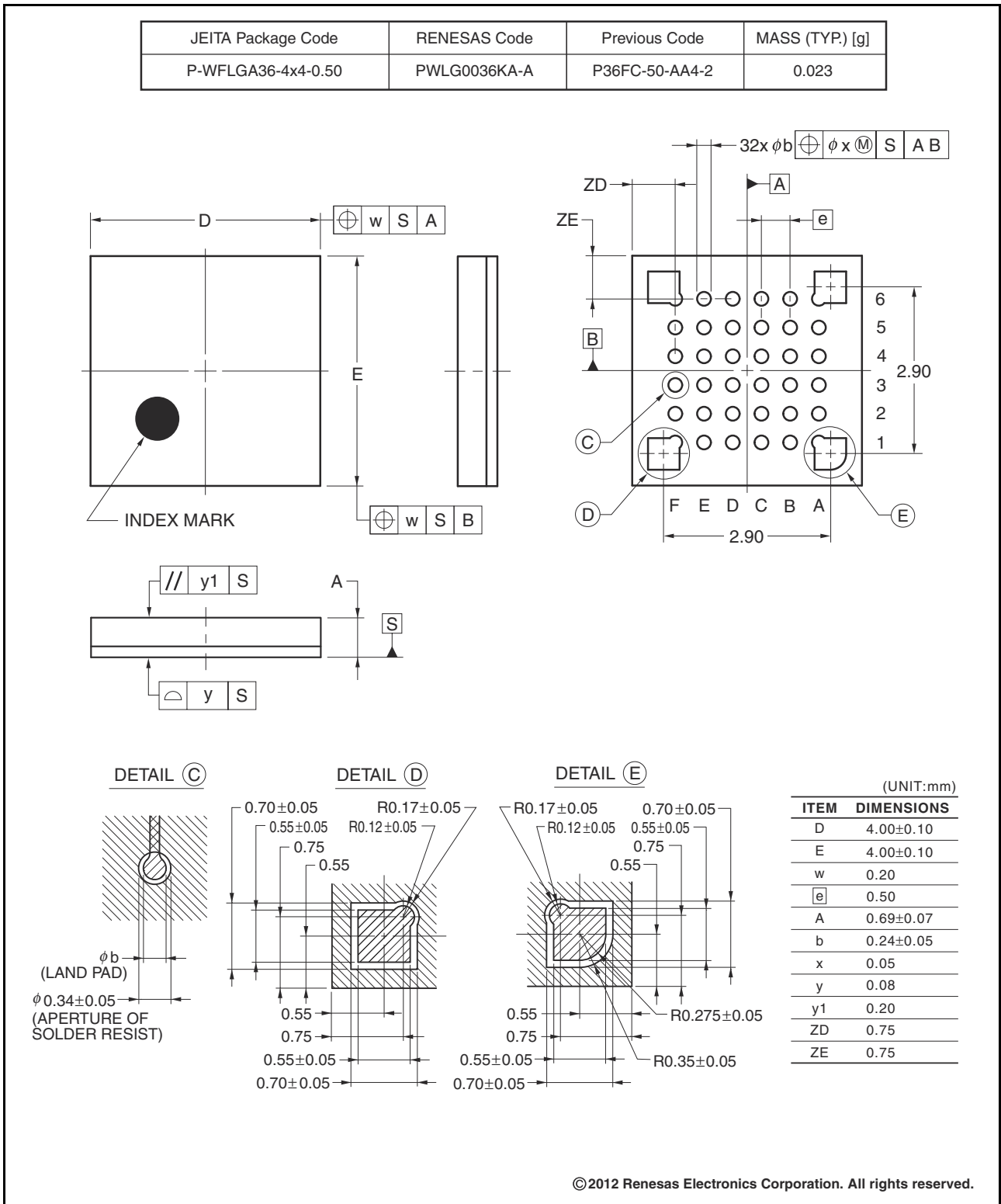


図 G. 36 ピン WFLGA (PWLG0036KA-A)

改訂記録	RX111 グループ データシート
------	-------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.60	2013.04.15	—	初版発行
0.90	2013.05.15	特長	
		1	変更
		1. 概要	
		2~4	表 1.1 仕様概要 変更
		10~12	表 1.4 端子機能一覧 変更
		13	図 1.3 64ピンLQFPピン配置図 変更
		14	図 1.4 64ピンWFLGAピン配置図 変更
		15	図 1.5 48ピンLQFP/HWQFNピン配置図 変更
		18、19	表 1.5 機能別端子一覧 (64ピンLQFP) 変更、注1 追記
		20、21	表 1.6 機能別端子一覧 (64ピンWFLGA) 変更、注1 追記
		22、23	表 1.7 機能別端子一覧 (48ピンLQFP/HWQFN) 変更、注1 追記
		24、25	表 1.8 機能別端子一覧 (40ピンHWQFN) 変更、注1 追記
		26	表 1.9 機能別端子一覧 (36ピンWFLGA) 変更、注1 追記
		4. I/Oレジスタ	
33~47	表 4.1 I/Oレジスタアドレス一覧 変更		
1.00	2013.06.05	1. 概要	
		9	図 1.2 ブロック図 変更
		20、21	表 1.6 機能別端子一覧 (64ピンWFLGA) 変更
		24、25	表 1.8 機能別端子一覧 (40ピンHWQFN) 変更
		26	表 1.9 機能別端子一覧 (36ピンWFLGA) 変更
		4. I/Oレジスタ	
		33~47	表 5.1 I/Oレジスタアドレス一覧 変更
		5. 電気的特性	
48~98	追記		
1.20	2014.09.29	1. 概要	
		2~4	表 1.1 仕様概要 ROM容量、RAM容量 変更、ユニークID 追加
		6、7	表 1.3 製品一覧表 変更
		8	図 1.1 型名とメモリサイズ・パッケージ 変更
		9	図 1.2 ブロック図 変更
		15	図 1.5 48ピンLQFP/HWQFNピン配置図 注 追加
		16	図 1.6 40ピンHWQFNピン配置図 注 追加
		3. アドレス空間	
		30	図 3.1 メモリマップ 変更
		4. I/Oレジスタ	
		33~47	4.1 I/Oレジスタアドレス一覧 変更
		5. 電気的特性	
		48	表 5.1 絶対最大定格、表 5.2 推奨動作条件 変更
		49	表 5.3 DC特性 (1)、表 5.4 DC特性 (2) 変更
		50	表 5.5 DC特性 (3) 変更
		54、55	表 5.8 DC特性 (6) 追加
		55	表 5.9 DC特性 (7) 変更
		57	表 5.10 DC特性 (8) 追加
		58	表 5.13 DC特性 (11) 変更
		60	表 5.19 出力電圧値 (1)、表 5.20 出力電圧値 (2) 変更
		65	5.2.3 標準I/O端子出力特性 (3) 変更
		67	表 5.22 動作周波数 (中速動作モード) 変更、注4 追記
		68	表 5.24 クロックタイミング 変更
		80	表 5.35 内蔵周辺モジュールタイミング (4) 変更
		81	表 5.36 内蔵周辺モジュールタイミング (5) 注2 削除
		88	表 5.37 USB特性 (USB0_DP, USB0_DM端子特性)、図 5.49 USB0_DP、USB0_DM出力タイミング 変更
		89	図 5.50 測定回路 変更
		90	表 5.38 A/D変換特性 (1)、図 5.51 AVCC0-AVREFH0電圧範囲 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2014.09.29	91	表5.39 A/D変換特性 (2)、表5.40 A/D変換特性 (3) 変更
		96	表5.46 パワーオンリセット回路、電圧検出回路特性 (2)、注2 変更
		100	表5.49 ROM (コード格納用フラッシュメモリ) 特性 (2)、表5.50 ROM (コード格納用フラッシュメモリ) 特性 (3) 変更
		101	表5.52 E2データフラッシュ特性 (2)、表5.53 E2データフラッシュ特性 (3) 中速動作モード 変更
1.21	2014.12.09	1. 概要	
		2~4	表1.1 仕様概要 ユニークID 変更
		5. 電気的特性	
		49	表5.3 DC特性 (1)、表5.4 DC特性 (2) 変更
		60	表5.19 出力電圧値 (1)、表5.20 出力電圧値 (2) 変更
101	表5.52 E2データフラッシュ特性 (2) 高速動作モード、表5.53 E2データフラッシュ特性 (3) 中速動作モード 変更		

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.30	2016.05.31	1. 概要			
		18~26	表1.5~表1.9 ポート (P4、PJ6、PJ7) のI/O電源がAVCC0であること(注2)を追記		
		5. 電気的特性			
		48	表5.1 絶対最大定格 項目：アナログ電源電圧 AVCC0 追加		
		48	表5.2 推奨動作条件 項目：VREFH0/VREFL0 追加		
		55	図5.4 高速動作モードの電圧依存性 (参考データ) 追加		
		56	図5.5 中速動作モードの電圧依存性 (参考データ) 追加		
		57	図5.6 低速動作モードの電圧依存性 (参考データ) 追加		
		57	表5.9 DC特性(7) 項目：独立ウォッチドックタイマ動作の増加分 追加		
		59	表5.10 DC特性(8) 項目：独立ウォッチドックタイマ動作の増加分 追加		
		59	図5.9 ソフトウェアスタンバイモード時の電圧依存性 (参考データ) 追加		
		60	図5.10 ソフトウェアスタンバイモード時の温度依存性 (参考データ) 追加		
		60	表5.11 DC特性 (9) 追加		TN-RX*-A134A/J
		61	表5.12 DC特性 (10) 項目：LVD1, 2 追加		
		63, 64	表5.18 出力許容電流値 (1) を(Dバージョン)と(Gバージョン)に分割		TN-RX*-A134A/J
		106	表5.49 ROM (コード格納用フラッシュメモリ) 特性 (2) 項目：イレーズ時間に256Kバイト 追加		TN-RX*-A132A/J
		107	表5.50 ROM (コード格納用フラッシュメモリ) 特性 (3) プログラム/イレーズ時の動作温度範囲 変更 項目：イレーズ時間に256Kバイト 追加		TN-RX*-A132A/J
108	表5.52 E2データフラッシュ特性 (2) 高速動作モード 低速側のFCLK 変更 項目：イレーズ時間に8Kバイト 追加	TN-RX*-A132A/J			
108	表5.53 E2データフラッシュ特性 (3) 中速動作モード プログラム/イレーズ時の動作温度範囲 変更 低速側のFCLK 変更 項目：イレーズ時間に8Kバイト 追加	TN-RX*-A132A/J			
109~111	5.12 使用上の注意事項を追記				

すべての商標および登録商標は、それぞれの所有者に帰属します。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>