

RX13Tグループ ルネサスマイクロコンピュータ

R01DS0341JJ0110
Rev.1.10
2021.03.16

32 MHz、32ビットRX MCU、FPU内蔵、50 DMIPS、電源5 V対応
12ビットADC (3 ch同時S/H回路、3 chプログラマブルゲインアンプ、コンパレータ)
32 MHz PWM (三相相補1 ch)、データフラッシュメモリ内蔵

特長

■ 32ビットRX CPU コア内蔵

- 最大動作周波数 32 MHz
50 DMIPS の性能 (32 MHz 動作時)
- 32×32 → 64ビット演算結果 (1命令) のアキュムレータ
- 乗除算器 32×32ビット (乗算命令は1 CPU クロック)
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 高速割り込み
- 5段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

■ 消費電力低減機能

- 2.7 V ~ 5.5 V 動作の単一電源
- 3種類の低消費電力モード

■ 内蔵コードフラッシュメモリ (ウェイトなし)

- 64 K/128 K バイトの容量
- オンボード及びオフボードによるユーザ書き込み
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 4 K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 12 K バイト SRAM

■ DMA

- DTCb: 5種類の転送モード

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など 7種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- 外部クロック入力周波数: ~ 20 MHz
- メインクロック発振子周波数: 1 ~ 20 MHz
- PLL 回路入力: 4 MHz ~ 8 MHz
- 低速オンチップオシレータ: 4 MHz
- 高速オンチップオシレータ: 32 MHz ±1%
- IWDT 専用オンチップオシレータ内蔵: 15 kHz
- クロック周波数精度測定回路 (CAC) 内蔵

■ 独立ウォッチドッグタイマ内蔵

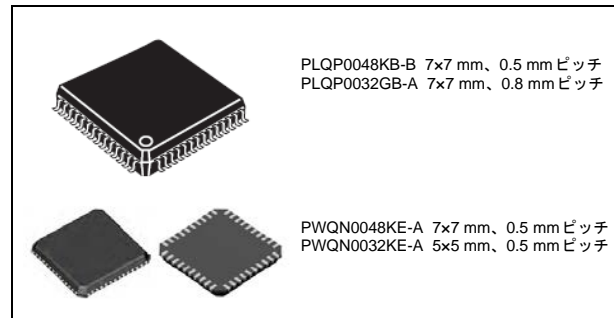
- 15 kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能



■ 最大4本の通信機能を内蔵

- 多彩な機能に対応した SCI (3 ch)
調歩同期モード / クロック同期モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I²C / 拡張シリアルモードから選択
- I²C バスインタフェース 最大 400 kbps 転送 (1 ch)

■ 最大8本の16ビット拡張タイマ機能

- 16ビット MTU3 (6 ch): 32 MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 1 ch 出力、CPU に負担をかけない相補 PWM、位相計数モード (2 ch)
- 16ビット CMT (2 ch)

■ 12ビットA/Dコンバータ 8ch 内蔵

- サンプル & ホールド回路内蔵 12ビット×最大3 ch
- チャンネルごとにサンプリング時間を設定可能
- グループスキャン優先制御モード搭載 (3 レベル)
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵 (IEC60730 対応)
- プログラマブルゲインアンプによる入力信号増幅機能 (3 ch)
- ADC: 3 ch 同時サンプル & ホールド回路 (3 shunt 方式)、ダブルデータレジスタ (1 shunt 方式)、アンプ (3 ch)、コンパレータ (3 ch)

■ 重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

■ 最大39本のGPIO内蔵

- 5 V トレラント、オープンドレイン、入力プルアップ

■ 動作周囲温度

- 40°C ~ +85°C
- 40°C ~ +105°C

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/3)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：32MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×9本 アキュムレータ：64ビット×1本 基本命令：73種類 可変長命令形式 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット バレルシフタ：32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点(32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：64K/128Kバイト 32MHz以下、ノーウェイトアクセス 書き換え方法：シリアルライタプログラミング(調歩同期式シリアル通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：12Kバイト 32MHz以下、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：4Kバイト プログラム/イレーズ回数：1,000,000回(typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路(CAC)：あり システムクロック(ICLK)、周辺モジュールクロック(PCLK)、FlashIFクロック(FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 32MHz 周辺モジュールはPCLK同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 32MHz ICLKの周波数は、FCLK、PCLKB、PCLKDのn倍(n：1, 2, 4, 8, 16, 32, 64)のみ設定可能
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路(LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を3レベルから選択可能 電圧検出1は検出電圧を9レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード

表 1.1 仕様概要 (2/3)

分類	モジュール/機能	説明
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：256 外部割り込み：要因数 7 (NMI、IRQ0～IRQ5 端子) ノンマスクابل割り込み：要因数 5 (NMI 端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、IWDWT 割り込み) 16レベルの割り込み優先順位を設定可能
DMA	データトランスファコントローラ (DTCb)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：割り外部割り込み、周辺機能割り込み シーケンス転送が可能
I/Oポート	汎用入出力ポート	48ピン/32ピン <ul style="list-style-type: none"> 入出力：38/22 入力：1/1 プルアップ抵抗：38/22 オープンドレイン出力：30/18 5Vトレラント：2/2
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンクションタイマパルスユニット3 (MTU3c)	<ul style="list-style-type: none"> 6チャンネル(16ビット×6チャンネル) 最大16本のパルス入出力と3本のパルス入力が可能 14種類のカウンタクロック (PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/32, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A) を選択可能 (チャンネル1、3、4は11種類、チャンネル2は12種類、チャンネル5は10種類) 26本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ (TCNT) への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 28種類の割り込み要因 レジスタデータの自動転送 パルス出力モード <ul style="list-style-type: none"> トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード <ul style="list-style-type: none"> 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード <ul style="list-style-type: none"> 任意のデューティ比の正相・逆相PWM波形を3相出力 位相計数モード：16ビットモード (チャンネル1、2)/32ビットモード (チャンネル1、2) デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能 A/Dコンバータ開始間引き機能 インプットキャプチャ、外部カウンタクロック端子にデジタルフィルタあり
	ポートアウトプットイネーブル3 (POE3C)	MTU波形出力端子のハイインピーダンス制御
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル) × 1ユニット 4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) を選択可能
	独立ウォッチドッグタイマ (IWDWTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウンタクロック：IWDWT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周

表 1.1 仕様概要 (3/3)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SClg, SClh)	<ul style="list-style-type: none"> 3チャンネル(チャンネル1、5 : SClg、チャンネル12 : SClh) SClg シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 MTUからの平均転送レートクロック入力が可能 スタートビット検出 : レベルおよびエッジを選択可能 簡易I ² Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート <ul style="list-style-type: none"> SClh (SClgに以下の機能を付加) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
12ビットA/Dコンバータ (S12ADF)		<ul style="list-style-type: none"> 12ビット(8チャンネル×1ユニット) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり1.4μs (ADCLK = 32MHz動作時) 動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) <ul style="list-style-type: none"> サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 <ul style="list-style-type: none"> 自己診断機能 ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出アシスト機能 A/D変換開始条件 ソフトウェアトリガ、タイマ(MTU)のトリガ、外部トリガ <ul style="list-style-type: none"> サンプルホールド機能 サンプル&ホールド回路を搭載(3チャンネル) <ul style="list-style-type: none"> プログラマブルゲインアンプによる入力信号増幅機能(3チャンネル) 増幅率 : 2.000倍、2.500倍、3.077倍、5.000倍、8.000倍、10.000倍(計6ステップ)
コンパレータC (CMPC)		<ul style="list-style-type: none"> 3チャンネル リファレンス電圧とアナログ入力電圧の比較機能 リファレンス電圧 : 2種類から選択可能 アナログ入力電圧 : 4種類入力
コンパレータC用リファレンス電圧生成専用D/Aコンバータ (DA)		<ul style="list-style-type: none"> 1チャンネル 分解能 : 8ビット 出力電圧 : 0V ~ AVCC0 コンパレータC用リファレンス電圧生成専用回路
CRC演算器 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$ 、 $X^{16} + X^{15} + X^2 + 1$ 、 $X^{16} + X^{12} + X^5 + 1$ <ul style="list-style-type: none"> LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 2.7 ~ 5.5V : 32MHz
消費電流		11mA@32MHz (typ)
動作周囲温度		Dバージョン : -40 ~ +85°C、Gバージョン : -40 ~ +105°C
パッケージ		48ピン LQFP (PLQP0048KB-B) 7 × 7mm、0.5mm ピッチ 32ピン LQFP (PLQP0032GB-A) 7 × 7mm、0.8mm ピッチ 48ピン HWQFN (PWQN0048KE-A) 7 × 7mm、0.5mm ピッチ 32ピン HWQFN (PWQN0032KE-A) 5 × 5mm、0.5mm ピッチ
デバッグインタフェース		FINEインタフェース

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX13T	
		48ピン	32ピン
割り込み	外部割り込み	NMI, IRQ0~IRQ5	NMI, IRQ0~IRQ2, IRQ5
DTC	データトランスファコントローラ	あり	
タイマ	マルチファンクションタイマ パルスユニット3	6チャンネル	
	ポートアウトプットイネーブル3	POE0#, POE8#, POE10#	POE8#, POE10#
	コンペアマッチタイマ	2チャンネル×1ユニット	
	独立ウォッチドッグタイマ	あり	
通信機能	シリアルコミュニケーションインタフェース (SCIg)	2チャンネル (SCI1, SCI5)	
	シリアルコミュニケーションインタフェース (SCIh)	1チャンネル (SCI12)	
	I ² Cバスインタフェース	1チャンネル	
12ビットA/Dコンバータ		8チャンネル	5チャンネル
コンパレータC		3チャンネル	
CRC演算器		あり	
データ演算回路		あり	
クロック周波数精度測定回路		あり	
パッケージ		48ピンLFQFP (0.5mm) 48ピンHWQFN (0.5mm)	32ピンLQFP (0.8mm) 32ピンHWQFN (0.5mm)

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2 データ フラッシュ	動作周波数 (max)	動作周囲温度
RX13T (Dバージョン)	R5F513T5ADFL	R5F513T5ADFL#30	PLQP0048KB-B	128Kバイト	12Kバイト	4Kバイト	32MHz	-40~+85°C
	R5F513T5ADNE	R5F513T5ADNE#20	PWQN0048KE-A					
	R5F513T5ADFJ	R5F513T5ADFJ#30	PLQP0032GB-A					
	R5F513T5ADNH	R5F513T5ADNH#20	PWQN0032KE-A	64Kバイト				
	R5F513T3ADFL	R5F513T3ADFL#30	PLQP0048KB-B					
	R5F513T3ADNE	R5F513T3ADNE#20	PWQN0048KE-A					
	R5F513T3ADFJ	R5F513T3ADFJ#30	PLQP0032GB-A					
R5F513T3ADNH	R5F513T3ADNH#20	PWQN0032KE-A						
RX13T (Gバージョン)	R5F513T5AGFL	R5F513T5AGFL#30	PLQP0048KB-B	128Kバイト	12Kバイト	4Kバイト	32MHz	-40~+105°C
	R5F513T5AGNE	R5F513T5AGNE#20	PWQN0048KE-A					
	R5F513T5AGFJ	R5F513T5AGFJ#30	PLQP0032GB-A					
	R5F513T5AGNH	R5F513T5AGNH#20	PWQN0032KE-A	64Kバイト				
	R5F513T3AGFL	R5F513T3AGFL#30	PLQP0048KB-B					
	R5F513T3AGNE	R5F513T3AGNE#20	PWQN0048KE-A					
	R5F513T3AGFJ	R5F513T3AGFJ#30	PLQP0032GB-A					
R5F513T3AGNH	R5F513T3AGNH#20	PWQN0032KE-A						

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。
最新の発注型名は弊社ホームページでご確認ください。

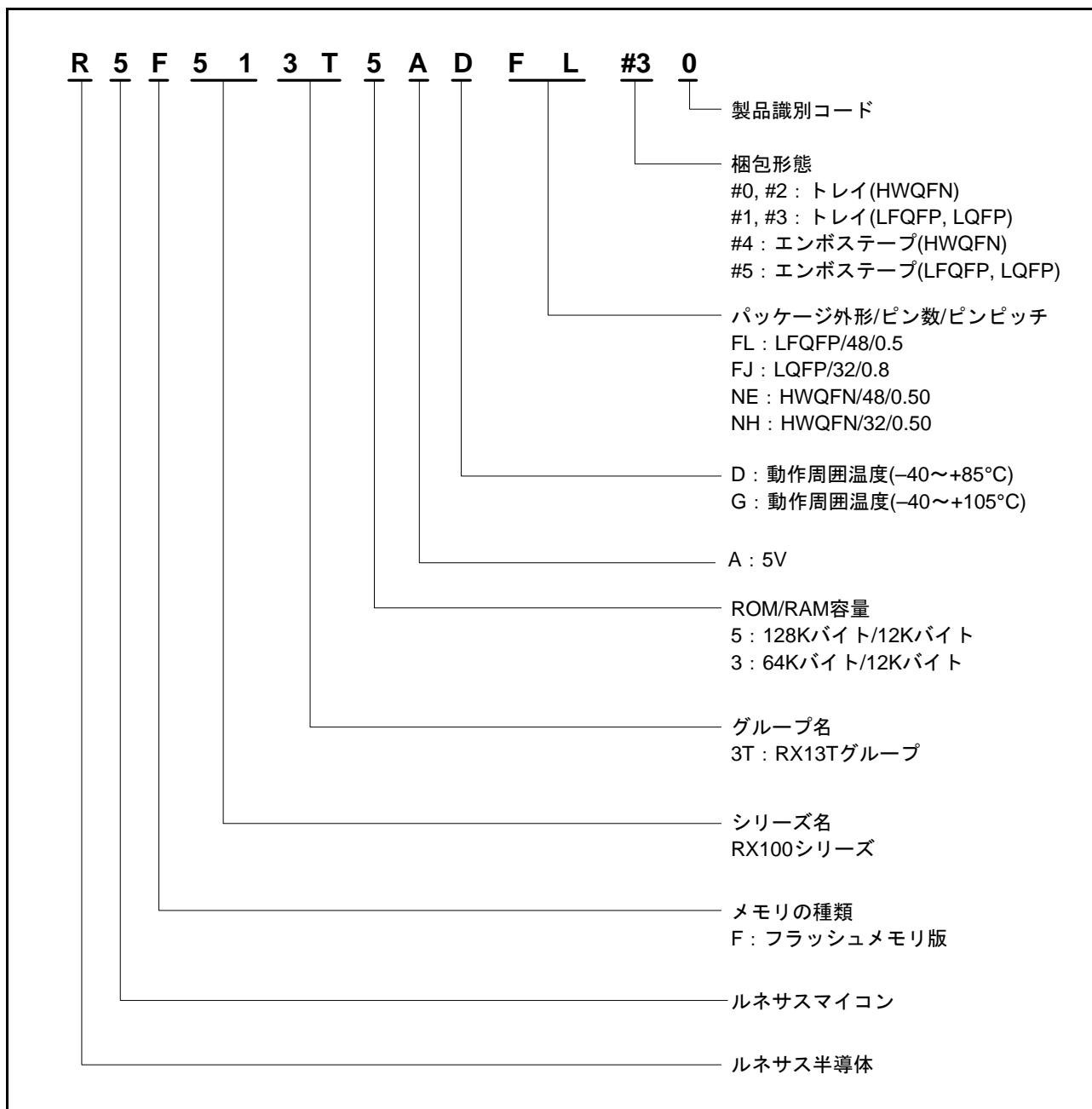


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

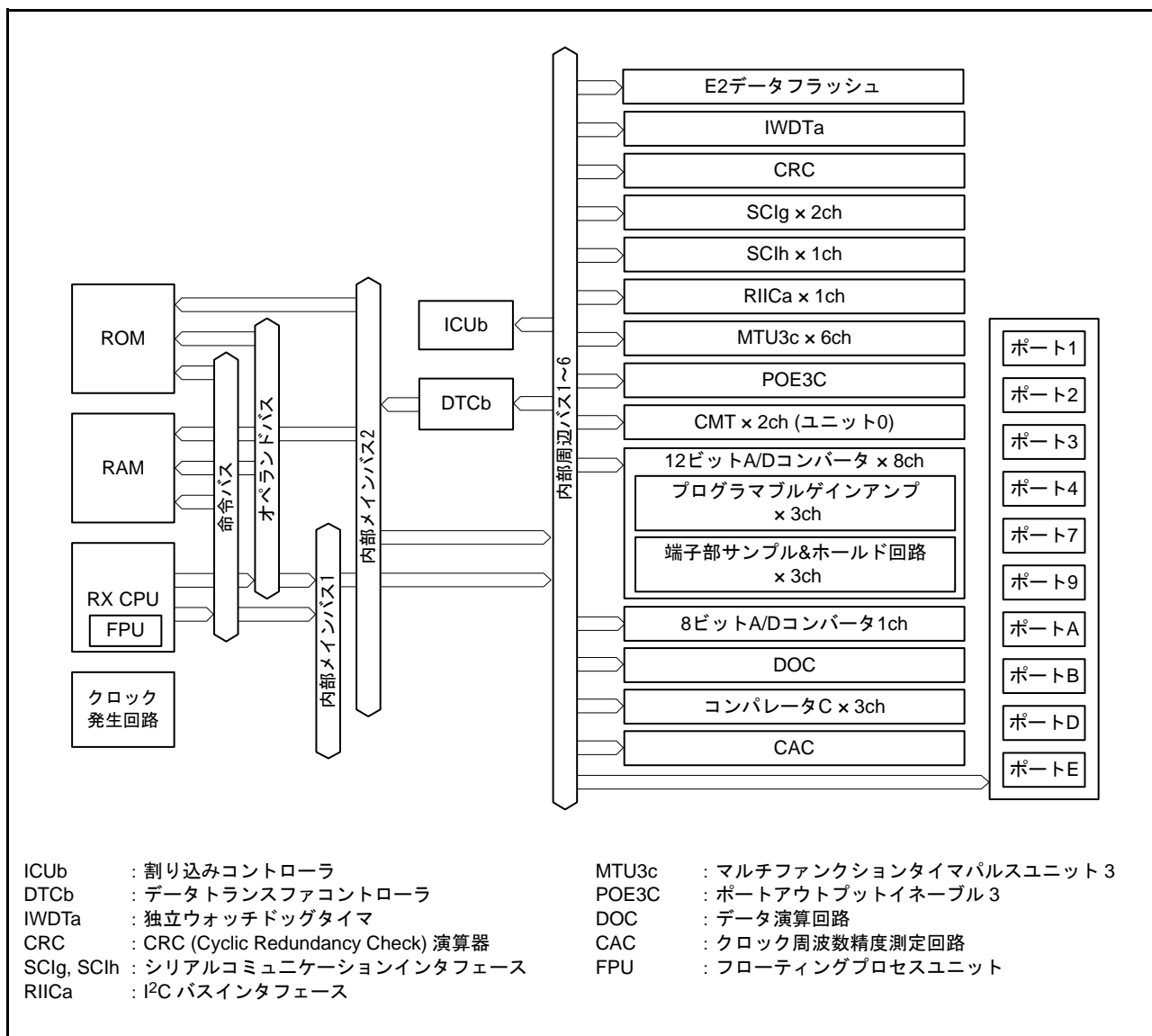


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ(4.7μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0~IRQ5	入力	割り込み要求端子
マルチファンクション タイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	ADSM0	出力	A/Dトリガ出力端子
ポートアウトプット イネーブル3	POE0#, POE8#, POE10#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
シリアル コミュニケーション インタフェース(SCIg)	• 調歩同期モード/クロック同期モード		
	SCK1, SCK5	入出力	クロック入出力端子
	RXD1, RXD5	入力	受信データ入力端子
	TXD1, TXD5	出力	送信データ出力端子
	CTS1#, CTS5#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL1, SSCL5	入出力	I ² Cクロック入出力端子
	SSDA1, SSDA5	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK1, SCK5	入出力	クロック入出力端子
	SMISO1, SMISO5	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5	入出力	マスタ送出データ入出力端子
	SS1#, SS5#	入力	チップセレクト入力端子

表 1.4 端子機能一覧 (2/3)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易 I ² C モード		
	SSCL12	入出力	I ² C クロック入出力端子
	SSDA12	入出力	I ² C データ入出力端子
	• 簡易 SPI モード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	SCIh 受信データ入力端子
TXDX12	出力	SCIh 送信データ出力端子	
SIOX12	入出力	SCIh 送受信データ入出力端子	
I ² C バスインタフェース	SCL0	入出力	I ² C バスインタフェースのクロック入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
	SDA0	入出力	I ² C バスインタフェースのデータ入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
12ビット A/D コンバータ	AN000 ~ AN007	入力	A/D コンバータのアナログ入力端子
	ADTRG0#	入力	A/D 変換開始のための外部トリガ入力端子
	ADST0	出力	A/D 変換中を示すステータス出力端子
コンパレータ C	CMPC00, CMPC02, CMPC03	入力	CMPC0 用アナログ入力端子
	CMPC10, CMPC12, CMPC13	入力	CMPC1 用アナログ入力端子
	CMPC20, CMPC22	入力	CMPC2 用アナログ入力端子
	COMP0 ~ COMP2	出力	コンパレータ検出結果出力端子
	CVREFC0	入力	コンパレータ C 用のリファレンス電圧端子
アナログ電源	AVCC0	入力	12ビット A/D コンバータとコンパレータ C とコンパレータ C 用リファ レンス電圧生成専用 8ビット D/A コンバータのアナログ電源端子。12 ビット A/D コンバータとコンパレータ C とコンパレータ C 用リファ レンス電圧生成専用 8ビット D/A コンバータを使用しない場合は、VCC に接続してください
	AVSS0	入力	12ビット A/D コンバータとコンパレータ C とコンパレータ C 用リファ レンス電圧生成専用 8ビット D/A コンバータのアナロググランド端子。 12ビット A/D コンバータとコンパレータ C とコンパレータ C 用リファ レンス電圧生成専用 8ビット D/A コンバータを使用しない場合は、 VSS に接続してください

表 1.4 端子機能一覧 (3/3)

分類	端子名	入出力	機能
I/Oポート	P10, P11	入出力	2ビットの入出力端子
	P22～P24	入出力	3ビットの入出力端子
	P36, P37	入出力	2ビットの入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P70～P76	入出力	7ビットの入出力端子
	P93, P94	入出力	2ビットの入出力端子
	PA2, PA3	入出力	2ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PD3～PD6	入出力	4ビットの入出力端子
	PE2	入力	1ビットの入力端子

1.5 ピン配置図

1.5.1 48ピンLFQFP

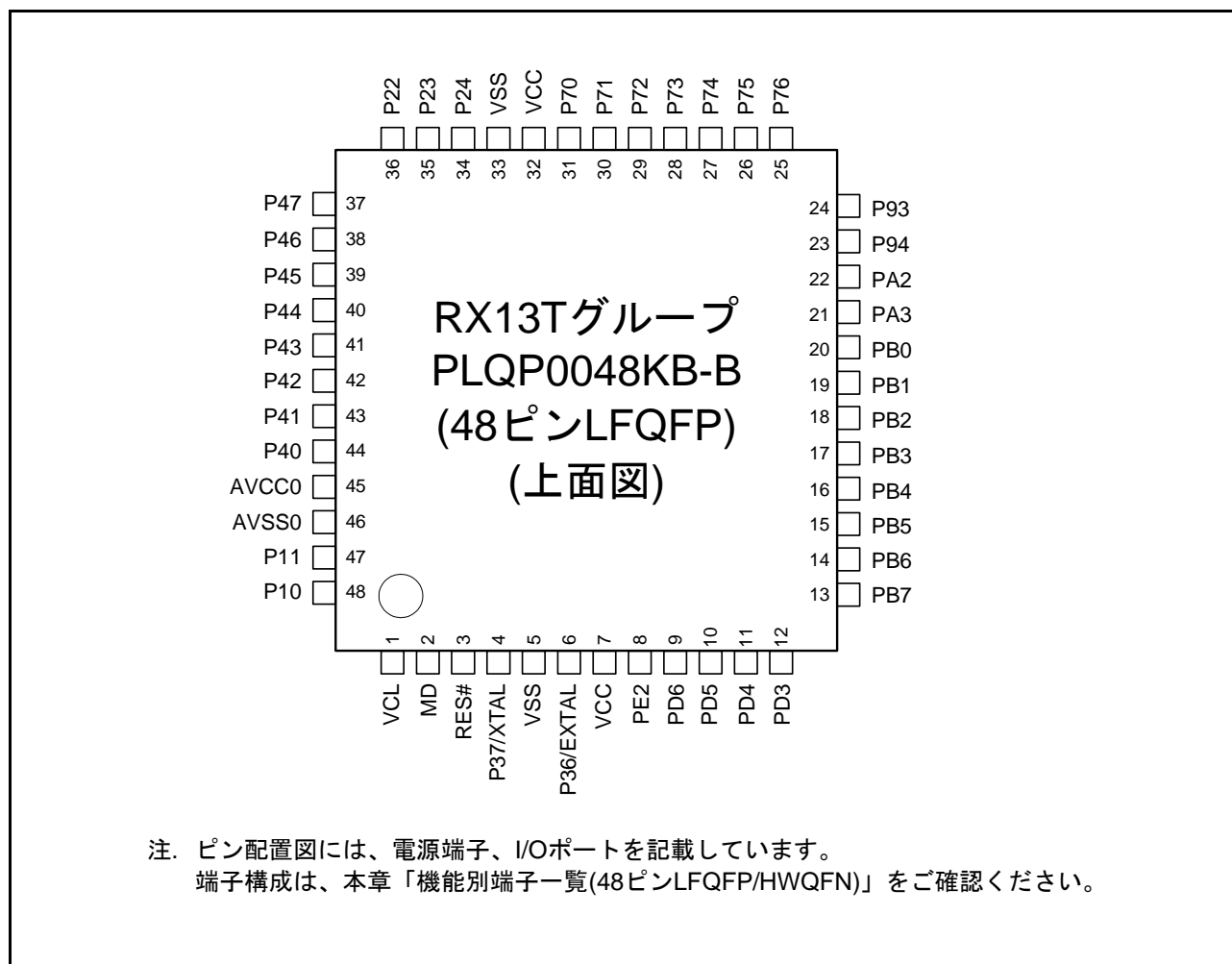


図 1.3 48ピンLFQFPピン配置図

1.5.2 48ピンHWQFN

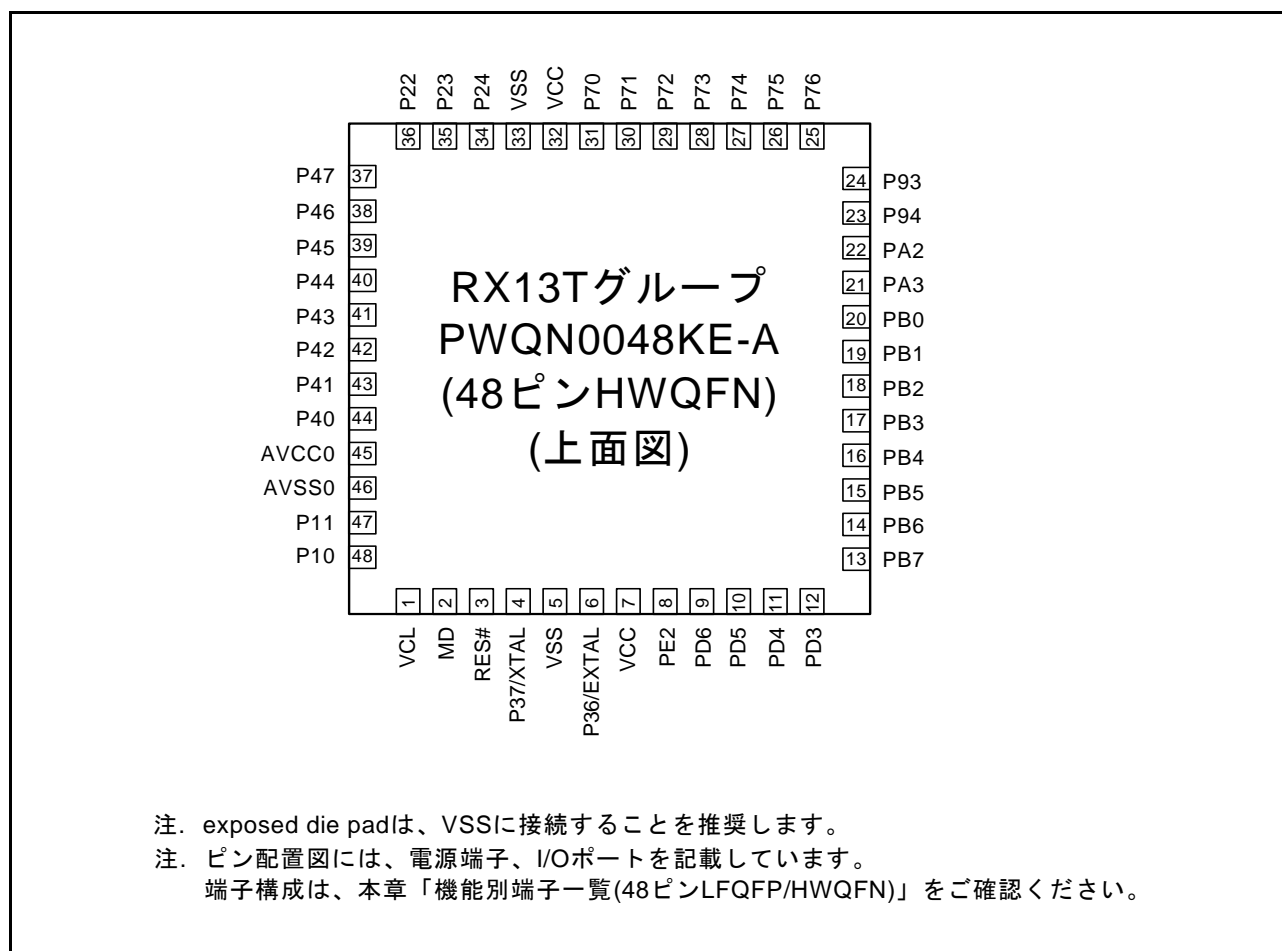


図 1.4 48ピンHWQFNピン配置図

1.5.3 32ピンLQFP

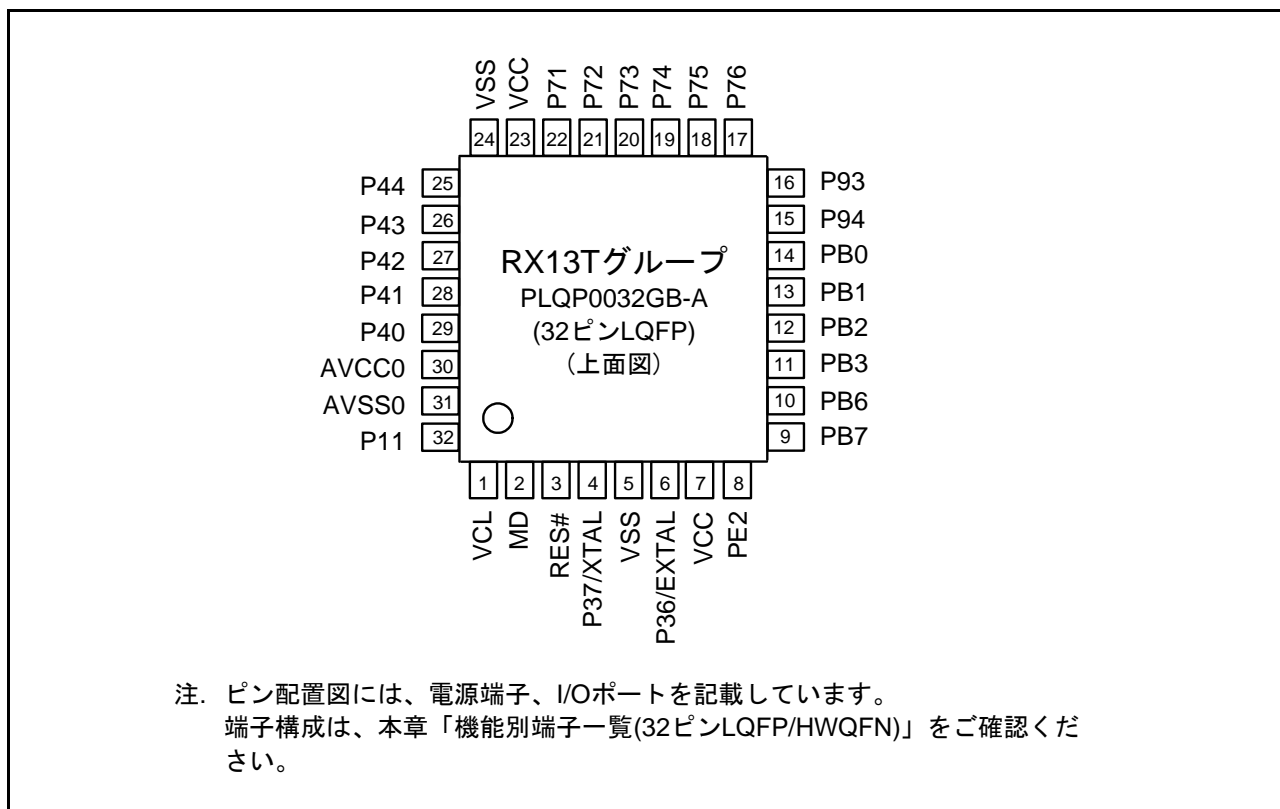


図 1.5 32ピンLQFPピン配置図

1.5.4 32ピン HWQFN

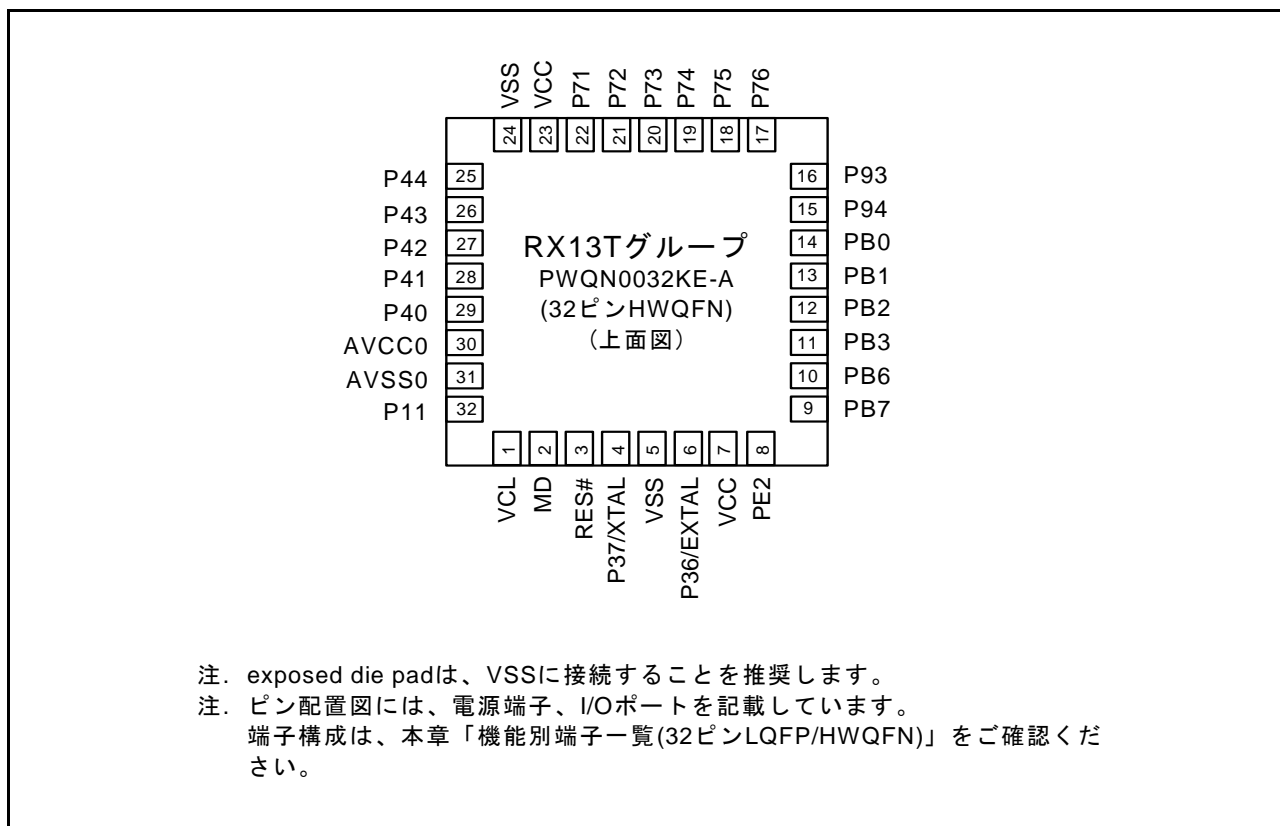


図 1.6 32ピン HWQFN ピン配置図

1.6 機能別端子一覧

1.6.1 48ピンLFQFP/HWQFN

表 1.5 機能別端子一覧(48ピンLFQFP/HWQFN) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, CAC)	通信 (SCI, RIIC)	その他
1	VCL				
2	MD				FINED
3	RES#				
4	XTAL	P37			
5	VSS				
6	EXTAL	P36			
7	VCC				
8		PE2	POE10#		NMI/IRQ0
9		PD6	MTIOC0D	CTS1#/RTS1#/SS1#	IRQ5/ADST0
10		PD5	MTIOC0C	RXD1/SMISO1/SSCL1	IRQ3
11		PD4	MTIOC0B	SCK1	IRQ2
12		PD3	MTIOC0A	TXD1/SMOSI1/SSDA1	
13		PB7	MTIOC3C/MTCLKD	RXD1/SMISO1/SSCL1/RXD5/ SMISO5/SSCL5	IRQ5
14		PB6	MTIOC1B/MTIOC3A	TXD1/SMOSI1/SSDA1/TXD5/ SMOSI5/SSDA5	
15		PB5			ADTRG0#
16		PB4	POE8#		IRQ3
17		PB3	MTIOC0A/CACREF	SCK5/SCK12	
18		PB2	MTIOC0B/MTCLKC/ADSM0	TXD5/SMOSI5/SSDA5/SDA0	
19		PB1	MTIOC0C/MTIC5W/MTCLKA	RXD5/SMISO5/SSCL5/SCL0	IRQ2
20		PB0	MTIOC0D/MTIOC2A/MTCLKB	TXD12/TXDX12/SIOX12/SMOSI12/ SSDA12	
21		PA3	MTIOC1B/MTIOC2A	CTS12#/RTS12#/SS12#	
22		PA2	MTIOC1A/MTIOC2B	CTS5#/RTS5#/SS5#	IRQ4
23		P94	MTIOC2B/MTIC5U/MTCLKA	RXD12/RXDX12/SMISO12/SSCL12	IRQ1
24		P93	MTIOC1A/MTIC5V	SCK5/SCK12	IRQ0/ADTRG0#
25		P76	MTIOC4D		
26		P75	MTIOC4C		
27		P74	MTIOC3D		
28		P73	MTIOC4B		
29		P72	MTIOC4A		
30		P71	MTIOC3B		
31		P70	POE0#		IRQ5
32	VCC				
33	VSS				
34		P24	MTIC5U	RXD5/SMISO5/SSCL5	IRQ3/COMP0
35		P23	MTIC5V/CACREF	TXD5/SMOSI5/SSDA5	IRQ4/COMP1
36		P22	MTIC5W		IRQ2/COMP2
37		P47 (注1)			AN007/CMPC13
38		P46 (注1)			AN006/CMPC03
39		P45 (注1)			AN005/CMPC22

表 1.5 機能別端子一覧(48ピンLFQFP/HWQFN) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, CAC)	通信 (SCI, RIIIC)	その他
40		P44 (注1)			AN004/CMPC12
41		P43 (注1)			AN003/CMPC02
42		P42 (注1)			AN002/CMPC20
43		P41 (注1)			AN001/CMPC10
44		P40 (注1)			AN000/CMPC00
45	AVCC0				
46	AVSS0				
47		P11	MTIOC3A/MTCLKA/POE8#		IRQ1/CVREFC0
48		P10	MTCLKB		IRQ0

注1. これら端子の入出力バッファの電源はAVCC0です。

1.6.2 32ピンLQFP/HWQFN

表 1.6 機能別端子一覧(32ピンLQFP/HWQFN)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, CAC)	通信 (SCI, RIIC)	その他
1	VCL				
2	MD				FINED
3	RES#				
4	XTAL	P37			
5	VSS				
6	EXTAL	P36			
7	VCC				
8		PE2	POE10#		NMI/IRQ0
9		PB7	MTIOC3C/MTCLKD	RXD1/SMISO1/SSCL1/RXD5/ SMISO5/SSCL5	IRQ5
10		PB6	MTIOC1B/MTIOC3A	TXD1/SMOSI1/SSDA1/TXD5/ SMOSI5/SSDA5	
11		PB3	MTIOC0A/CACREF	SCK5/SCK12	
12		PB2	MTIOC0B/MTCLKC/ADSM0	TXD5/SMOSI5/SSDA5/SDA0	
13		PB1	MTIOC0C/MTIC5W/MTCLKA	RXD5/SMISO5/SSCL5/SCL0	IRQ2
14		PB0	MTIOC0D/MTIOC2A/MTCLKB	TXD12/TXDX12/SIOX12/SMOSI12/ SSDA12	
15		P94	MTIOC2B/MTIC5U/MTCLKA	RXD12/RXDX12/SMISO12/SSCL12	IRQ1
16		P93	MTIOC1A/MTIC5V	SCK5/SCK12	IRQ0/ADTRG0#
17		P76	MTIOC4D		
18		P75	MTIOC4C		
19		P74	MTIOC3D		
20		P73	MTIOC4B		
21		P72	MTIOC4A		
22		P71	MTIOC3B		
23	VCC				
24	VSS				
25		P44 (注1)			AN004/CMPC12
26		P43 (注1)			AN003/CMPC02
27		P42 (注1)			AN002/CMPC20
28		P41 (注1)			AN001/CMPC10
29		P40 (注1)			AN000/CMPC00
30	AVCC0				
31	AVSS0				
32		P11	MTIOC3A/MTCLKA/POE8#		IRQ1/CVREFC0

注1. これら端子の入出力バッファの電源はAVCC0です。

2. 電気的特性

2.1 絶対最大定格

表2.1 絶対最大定格
条件：VSS = AVSS0 = 0 V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	P40 ~ P47	V _{in}	-0.3 ~ AVCC0+0.3	V
	PB1, PB2 (5Vトレラント)		-0.3 ~ +6.5	
	上記以外		-0.3 ~ VCC+0.3	
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN007 使用時	V _{AN}	-0.3 ~ AVCC0+0.3	V
保存温度		T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0端子間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μFのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

当該デバイスの電源がOFFのときに、5Vトレラントポート以外のポートに入力信号を入れないでください。入力信号からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5 Vの電圧を入力してもMCU破壊などの問題は発生しません。

2.2 推奨動作条件

表2.2 推奨動作条件(1)

項目		記号	min	typ	max	単位
電源電圧		VCC (注1、注2)	2.7	—	5.5	V
		VSS	—	0	—	
アナログ電源電圧		AVCC0 (注1、注2)	VCC	—	5.5	V
		AVSS0	—	0	—	
動作温度	Dバージョン	T _{opr}	-40	—	85	°C
	Gバージョン		-40	—	105	

注1. AVCC0とVCCは使用範囲内で独立に設定可能です。

注2. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

表2.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C _{VCL}	4.7 μF ±30% (注1)

注1. 静電容量の公称値が4.7 μF、静電容量許容差が±30%以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表2.4 DC特性(1)

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V_{IH}	$0.7 \times VCC$	—	5.8	V	
	PB1、PB2 (5Vトレラント)		$0.8 \times VCC$	—	5.8		
	P10, P11, P22 ~ P24, P36, P37, P70 ~ P76, P93, P94, PA2, PA3, PB0, PB3 ~ PB7, PD3 ~ PD6, PE2, RES#		$0.8 \times VCC$	—	$VCC + 0.3$		
	P40 ~ P47		$0.8 \times AVCC0$	—	$AVCC0 + 0.3$		
	RIIC入力端子(SMBusを除く)	V_{IL}	-0.3	—	$0.3 \times VCC$		
	P40 ~ P47		-0.3	—	$0.2 \times AVCC0$		
	P40 ~ P47、RIIC入力端子以外		-0.3	—	$0.2 \times VCC$		
シュミットトリ ガ入力ヒステリ シス	RIIC入力端子(SMBusを除く)	ΔV_T	$0.05 \times VCC$	—	—		
	P40 ~ P47		$0.1 \times AVCC0$	—	—		
	P40 ~ P47、RIIC入力端子以外		$0.1 \times VCC$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$0.9 \times VCC$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$0.8 \times VCC$	—	$VCC + 0.3$		
	RIIC入力端子(SMBus)		2.1	—	$VCC + 0.3$		
	MD	V_{IL}	-0.3	—	$0.1 \times VCC$		
	EXTAL (外部クロック入力)		-0.3	—	$0.2 \times VCC$		
	RIIC入力端子(SMBus)		-0.3	—	0.8		

表2.5 DC特性(2)

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD, PE2	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0 V, VCC$
スリーステートリーク 電流(オフ状態)	P40 ~ P47	$ I_{TSL} $	—	—	1.0	μA	$V_{in} = 0 V, AVCC0$
	PB1, PB2 (5Vトレラント)		—	—	1.0		$V_{in} = 0 V, 5.8 V$
	上記以外		—	—	0.2		$V_{in} = 0 V, VCC$
入力容量	全入力端子	C_{in}	—	4	15	pF	$V_{in} = 0 mV,$ $f = 1 MHz,$ $T_a = 25^\circ C$
入力プルアップ抵抗	全ポート(PE2以外)	R_U	10	20	50	k Ω	$V_{in} = 0 V$

表 2.6 DC 特性(3)
 条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目				記号	typ (注4)	max	単位	測定条件							
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 32 MHz	I _{CC}	3.1	—	mA							
				ICLK = 16 MHz		2.1	—								
				ICLK = 8 MHz		1.6	—								
			全周辺動作 通常動作 (注3)	ICLK = 32 MHz		10.6	—								
				ICLK = 16 MHz		6.0	—								
				ICLK = 8 MHz		3.6	—								
			全周辺動作 最大動作 (注3)	ICLK = 32 MHz		—	18.1								
				スリープモード		周辺動作なし (注2)	ICLK = 32 MHz			1.5	—				
							ICLK = 16 MHz			1.2	—				
				ICLK = 8 MHz	1.0		—								
				全周辺動作 通常動作 (注3)	ICLK = 32 MHz	5.6	—								
					ICLK = 16 MHz	3.3	—								
					ICLK = 8 MHz	2.1	—								
				ディープ スリープモード	周辺動作なし (注2)	ICLK = 32 MHz	1.0			—					
						ICLK = 16 MHz	0.9			—					
			ICLK = 8 MHz			0.8	—								
			全周辺動作 通常動作 (注3)		ICLK = 32 MHz	3.8	—								
				ICLK = 16 MHz	2.3	—									
				ICLK = 8 MHz	1.6	—									
	BGO動作時の増加分 (注5)					2.5	—								
	中速動作モード	通常動作モード	周辺動作なし (注6)	ICLK = 12 MHz	I _{CC}	1.9	—								
										ICLK = 8 MHz	1.3	—			
													ICLK = 1 MHz	0.3	—
				全周辺動作 通常動作 (注7)											
										ICLK = 8 MHz	3.3	—			
										ICLK = 1 MHz	0.9	—			
				全周辺動作 最大動作 (注7)						ICLK = 12 MHz	—	8.2			
										スリープモード		周辺動作なし (注6)	ICLK = 12 MHz	1.2	—
													ICLK = 8 MHz	0.7	—
						ICLK = 1 MHz	0.2			—					
						全周辺動作 通常動作 (注7)	ICLK = 12 MHz			2.8	—				
							ICLK = 8 MHz			1.9	—				
							ICLK = 1 MHz			0.7	—				
			ディープ スリープモード	周辺動作なし (注6)		ICLK = 12 MHz	1.0		—						
						ICLK = 8 MHz	0.6		—						
		ICLK = 1 MHz			0.1	—									
		全周辺動作 通常動作 (注7)		ICLK = 12 MHz	2.1	—									
			ICLK = 8 MHz	1.5	—										
			ICLK = 1 MHz	0.6	—										
BGO動作時の増加分 (注5)					2.5	—									

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップ抵抗を無効にした場合の値です。
 注2. 周辺機能クロック停止時。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
 注3. 周辺機能クロック供給時。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。
 注4. VCC = 5 Vの値です。
 注5. プログラム実行中に、ROM、またはE2データフラッシュをプログラム/イレーズした場合の増加分です。
 注6. 周辺機能クロック停止時。クロックソースはICLK = 12 MHzのときはPLL、ICLK = 8 MHzの時はHOCO、その他はLOCOです。FCLK、PCLKは64分周設定です。
 注7. 周辺機能クロック供給時。クロックソースはICLK = 12 MHzのときはPLL、ICLK = 8 MHzの時はHOCO、その他はLOCOです。FCLK、PCLKはICLKと同じ周波数です。

表2.7 DC特性(4)

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	I _{CC}	T _a = 25°C	0.44	0.74	μA
			T _a = 55°C	0.60	1.78	
			T _a = 85°C	1.16	8.36	
			T _a = 105°C	2.38	20.49	

- 注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。
 注2. IWDTとLVDは動作停止です。
 注3. VCC = 5 Vの場合です。

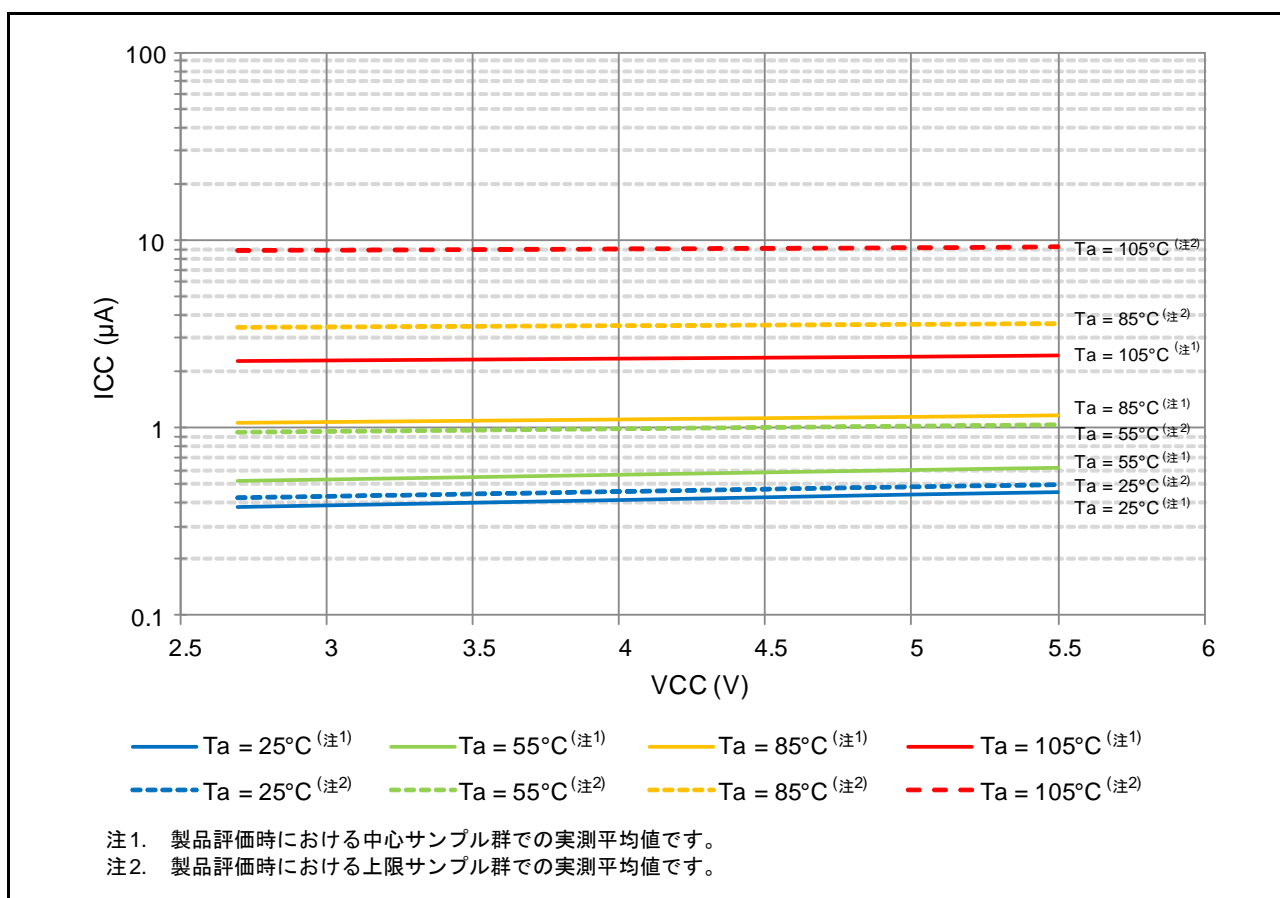


図 2.1 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

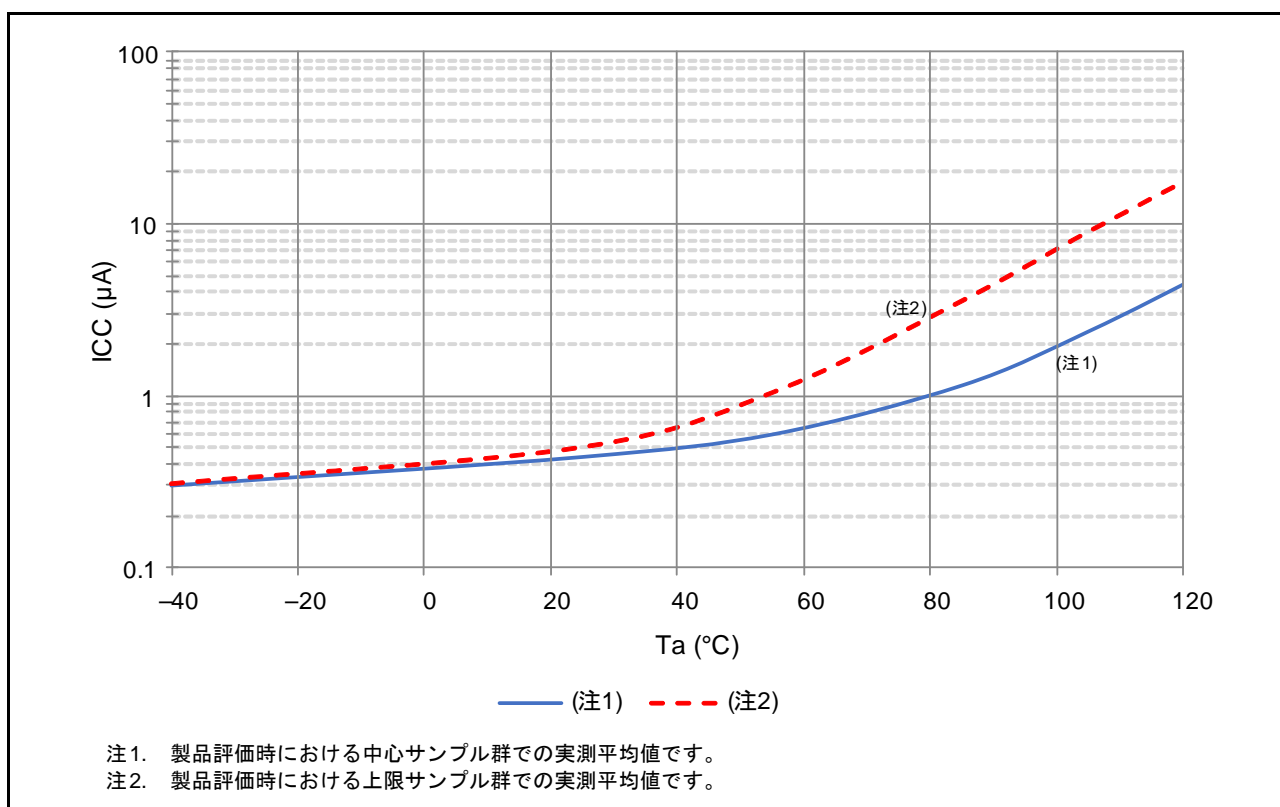


図 2.2 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表2.8 DC特性(5)

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
許容総消費電力(注1)	Pd	—	—	300	mW	Dバージョン製品
許容総消費電力(注1)	Pd	—	—	105	mW	Gバージョン製品

注. Gバージョン製品のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格から軽減することです。

注1. チップ全体(出力電流を含む)の総電力です。

表2.9 DC特性(6)

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	typ(注2)	max	単位	測定条件
アナログ電源電流	A/D変換中 (サンプルホールド回路使用時、プログラマブルゲインアンプ使用時)	I _{AVCC}	—	4.6	6.9	mA	
	A/D変換中 (サンプルホールド回路使用、プログラマブルゲインアンプ未使用時)		—	3.1	4.8		
	A/D変換中 (サンプルホールド回路未使用、プログラマブルゲインアンプ使用時)		—	2.5	3.9		
	A/D変換中 (サンプルホールド回路未使用、プログラマブルゲインアンプ未使用時)		—	1.0	1.8		
	D/A変換中(注1)		—	0.7	1.0		
	A/D、D/A変換待機時(全ユニット)		—	—	1.4	μA	
コンパレータC動作電流(注3)	コンパレータ有効(1チャンネル当り)	I _{CMP}	—	40	60	μA	

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. VCC = AVCC0 = 5 Vのとき。

注3. コンパレータCモジュールのみの消費電流です。

表2.10 DC特性(7)

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時	SrVCC	0.02	—	20	ms/V	
	起動時電圧監視0リセット有効時(注1、注2)		0.02	—	—		

注1. OFS1.LVDAS = 0を設定した場合です。

注2. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表2.11 DC特性(8)

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

電源リップルは、VCCの上限(5.5 V)と下限(2.7 V)は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動がVCC±10%を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図2.3 $V_r(VCC) \leq 0.2 \times VCC$ の場合
		—	—	1	MHz	図2.3 $V_r(VCC) \leq 0.08 \times VCC$ の場合
		—	—	10		図2.3 $V_r(VCC) \leq 0.06 \times VCC$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動がVCC±10%を超える場合

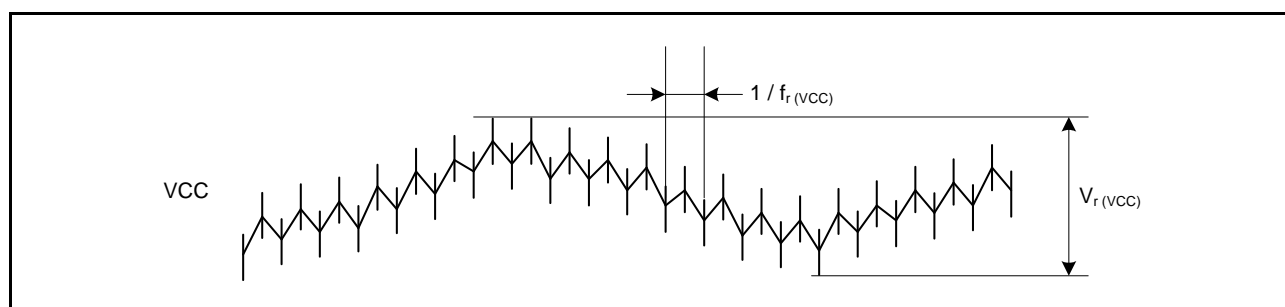


図 2.3 電源リップル波形

表2.12 出力許容電流値

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	max	単位	
Low レベル出力許容電流	大電流端子 (P71 ~ P76, PB6)	I_{OL}	10.0	mA	
	RIIC入力端子		6.0		
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
Low レベル出力許容電流	大電流端子の合計	ΣI_{OL}	50	mA	
	全出力端子の総和		110		
High レベル出力許容電流	大電流端子 (P71 ~ P76, PB6)	I_{OH}	-5.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
	High レベル出力許容電流		大電流端子の合計		ΣI_{OH}
全出力端子の総和			-35		

注. 許容総消費電流は超えないようにしてください。

表2.13 出力電圧値(1)

条件 : $V_{CC} = 2.7\text{ V} \sim 4.0\text{ V}$, $AVCC0 = V_{CC} \sim 4.0\text{ V}$, $V_{SS} = AVSS0 = 0\text{ V}$, $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	max	単位	測定条件	
Lowレベル出力電圧	大電流端子 (P71 ~ P76, PB6)	V_{OL}	—	0.5	V	$I_{OL} = 10.0\text{ mA}$	
	RIIC端子		スタンダードモード	—		0.4	$I_{OL} = 3.0\text{ mA}$
			ファストモード	—		0.6	$I_{OL} = 6.0\text{ mA}$
	上記以外の出力端子		通常出力時	—		0.5	$I_{OL} = 1.0\text{ mA}$
			高駆動出力時	—		0.5	$I_{OL} = 2.0\text{ mA}$
Highレベル出力電圧	大電流端子 (P71 ~ P76, PB6)	V_{OH}	$V_{CC} - 0.5$	—	V	$I_{OH} = -5.0\text{ mA}$	
	P40 ~ P47		$AVCC0 - 0.5$	—		$I_{OH} = -1.0\text{ mA}$	
	上記以外の出力端子		通常出力時	$V_{CC} - 0.5$		—	$I_{OH} = -1.0\text{ mA}$
			高駆動出力時	$V_{CC} - 0.5$		—	$I_{OH} = -2.0\text{ mA}$

表2.14 出力電圧値(2)

条件 : $V_{CC} = 4.0\text{ V} \sim 5.5\text{ V}$, $AVCC0 = V_{CC} \sim 5.5\text{ V}$, $V_{SS} = AVSS0 = 0\text{ V}$, $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	max	単位	測定条件	
Lowレベル出力電圧	大電流端子 (P71 ~ P76, PB6)	V_{OL}	—	0.8	V	$I_{OL} = 10.0\text{ mA}$	
	RIIC端子		スタンダードモード	—		0.4	$I_{OL} = 3.0\text{ mA}$
			ファストモード	—		0.6	$I_{OL} = 6.0\text{ mA}$
	上記以外の出力端子		通常出力時	—		0.8	$I_{OL} = 2.0\text{ mA}$
			高駆動出力時	—		0.8	$I_{OL} = 4.0\text{ mA}$
Highレベル出力電圧	大電流端子 (P71 ~ P76, PB6)	V_{OH}	$V_{CC} - 0.8$	—	V	$I_{OH} = -5.0\text{ mA}$	
	P40 ~ P47		$AVCC0 - 0.8$	—		$I_{OH} = -2.0\text{ mA}$	
	上記以外の出力端子		通常出力時	$V_{CC} - 0.8$		—	$I_{OH} = -2.0\text{ mA}$
			高駆動出力時	$V_{CC} - 0.8$		—	$I_{OH} = -4.0\text{ mA}$

2.3.1 標準 I/O 端子出力電圧特性

表 2.15 標準 I/O 端子 V_{OH} 電圧特性 (参考値)
 条件 : $V_{CC} = AV_{CC0} = 3.3 \text{ V}$, $V_{SS} = AV_{SS0} = 0 \text{ V}$, $T_a = 25^\circ\text{C}$

項目			記号	min	typ	max	単位	測定条件
High レベル出力電圧	全出力端子 (P71 ~ P76, PB6 以外)	通常駆動	V_{OH}	—	3.27	—	V	$I_{OH} = -0.5 \text{ mA}$
				—	3.24	—		$I_{OH} = -1.0 \text{ mA}$
				—	3.19	—		$I_{OH} = -2.0 \text{ mA}$
				—	3.06	—		$I_{OH} = -4.0 \text{ mA}$
				—	2.79	—		$I_{OH} = -8.0 \text{ mA}$
		高駆動	V_{OH}	—	3.29	—	V	$I_{OH} = -0.5 \text{ mA}$
				—	3.28	—		$I_{OH} = -1.0 \text{ mA}$
				—	3.25	—		$I_{OH} = -2.0 \text{ mA}$
				—	3.21	—		$I_{OH} = -4.0 \text{ mA}$
				—	3.11	—		$I_{OH} = -8.0 \text{ mA}$
	P71 ~ P76, PB6	大電流駆動	V_{OH}	—	3.29	—	V	$I_{OH} = -1.0 \text{ mA}$
				—	3.27	—		$I_{OH} = -2.0 \text{ mA}$
				—	3.24	—		$I_{OH} = -4.0 \text{ mA}$
				—	3.23	—		$I_{OH} = -5.0 \text{ mA}$
				—	3.15	—		$I_{OH} = -10.0 \text{ mA}$

表 2.16 標準 I/O 端子 V_{OH} 電圧特性 (参考値)
 条件 : $V_{CC} = AV_{CC0} = 5.0 \text{ V}$, $V_{SS} = AV_{SS0} = 0 \text{ V}$, $T_a = 25^\circ\text{C}$

項目			記号	min	typ	max	単位	測定条件
High レベル出力電圧	全出力端子 (P71 ~ P76, PB6 以外)	通常駆動	V_{OH}	—	4.98	—	V	$I_{OH} = -0.5 \text{ mA}$
				—	4.96	—		$I_{OH} = -1.0 \text{ mA}$
				—	4.92	—		$I_{OH} = -2.0 \text{ mA}$
				—	4.83	—		$I_{OH} = -4.0 \text{ mA}$
				—	4.65	—		$I_{OH} = -8.0 \text{ mA}$
		高駆動	V_{OH}	—	4.99	—	V	$I_{OH} = -0.5 \text{ mA}$
				—	4.98	—		$I_{OH} = -1.0 \text{ mA}$
				—	4.97	—		$I_{OH} = -2.0 \text{ mA}$
				—	4.93	—		$I_{OH} = -4.0 \text{ mA}$
				—	4.86	—		$I_{OH} = -8.0 \text{ mA}$
	P71 ~ P76, PB6	大電流駆動	V_{OH}	—	4.99	—	V	$I_{OH} = -1.0 \text{ mA}$
				—	4.98	—		$I_{OH} = -2.0 \text{ mA}$
				—	4.96	—		$I_{OH} = -4.0 \text{ mA}$
				—	4.95	—		$I_{OH} = -5.0 \text{ mA}$
				—	4.89	—		$I_{OH} = -10.0 \text{ mA}$

表 2.17 標準 I/O 端子 V_{OL} 電圧特性 (参考値)
 条件 : $V_{CC} = AV_{CC0} = 3.3\text{ V}$, $V_{SS} = AV_{SS0} = 0\text{ V}$, $T_a = 25^\circ\text{C}$

項目			記号	min	typ	max	単位	測定条件
Low レベル出力電圧	全出力端子 (P71 ~ P76, PB6 以外)	通常駆動	V_{OL}	—	0.02	—	V	$I_{OL} = 0.5\text{ mA}$
				—	0.05	—		$I_{OL} = 1.0\text{ mA}$
				—	0.09	—		$I_{OL} = 2.0\text{ mA}$
				—	0.20	—		$I_{OL} = 4.0\text{ mA}$
				—	0.43	—		$I_{OL} = 8.0\text{ mA}$
		高駆動	V_{OL}	—	0.01	—	V	$I_{OL} = 0.5\text{ mA}$
				—	0.02	—		$I_{OL} = 1.0\text{ mA}$
				—	0.04	—		$I_{OL} = 2.0\text{ mA}$
				—	0.08	—		$I_{OL} = 4.0\text{ mA}$
				—	0.16	—		$I_{OL} = 8.0\text{ mA}$
	P71 ~ P76, PB6	大電流駆動	V_{OL}	—	0.01	—	V	$I_{OL} = 1.0\text{ mA}$
				—	0.02	—		$I_{OL} = 2.0\text{ mA}$
				—	0.05	—		$I_{OL} = 4.0\text{ mA}$
				—	0.06	—		$I_{OL} = 5.0\text{ mA}$
				—	0.12	—		$I_{OL} = 10.0\text{ mA}$

表 2.18 標準 I/O 端子 V_{OL} 電圧特性 (参考値)
 条件 : $V_{CC} = AV_{CC0} = 5.0\text{ V}$, $V_{SS} = AV_{SS0} = 0\text{ V}$, $T_a = 25^\circ\text{C}$

項目			記号	min	typ	max	単位	測定条件
Low レベル出力電圧	全出力端子 (P71 ~ P76, PB6 以外)	通常駆動	V_{OL}	—	0.02	—	V	$I_{OL} = 0.5\text{ mA}$
				—	0.03	—		$I_{OL} = 1.0\text{ mA}$
				—	0.07	—		$I_{OL} = 2.0\text{ mA}$
				—	0.14	—		$I_{OL} = 4.0\text{ mA}$
				—	0.29	—		$I_{OL} = 8.0\text{ mA}$
		高駆動	V_{OL}	—	0.01	—	V	$I_{OL} = 0.5\text{ mA}$
				—	0.01	—		$I_{OL} = 1.0\text{ mA}$
				—	0.03	—		$I_{OL} = 2.0\text{ mA}$
				—	0.05	—		$I_{OL} = 4.0\text{ mA}$
				—	0.11	—		$I_{OL} = 8.0\text{ mA}$
	P71 ~ P76, PB6	大電流駆動	V_{OL}	—	0.01	—	V	$I_{OL} = 1.0\text{ mA}$
				—	0.02	—		$I_{OL} = 2.0\text{ mA}$
				—	0.03	—		$I_{OL} = 4.0\text{ mA}$
				—	0.04	—		$I_{OL} = 5.0\text{ mA}$
				—	0.09	—		$I_{OL} = 10.0\text{ mA}$

2.4 AC 特性

2.4.1 クロックタイミング

表2.19 動作周波数(高速動作モード)

条件: VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min.	typ.	max.	単位
最高動作周波数 (注4)	システムクロック (ICLK)	f _{max}	—	—	32	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	32	
	周辺モジュールクロック (PCLKB)		—	—	32	
	周辺モジュールクロック (PCLKD) (注3)		—	—	32	

注1. フラッシュメモリ P/E 時、FCLK の下限周波数は 1 MHz です。FCLK を 4 MHz 未満で使用する場合は、設定可能な周波数は 1 MHz、2 MHz、3 MHz です。たとえば 1.5 MHz のように整数値でない周波数は設定できません。

注2. FCLK の周波数精度は ±3.5% である必要があります。

注3. A/D コンバータ使用時の PCLKD の下限周波数は 1 MHz。

注4. 最高動作周波数には、HOCO の誤差、PLL ジッタは含んでいません。「表2.21 クロックタイミング」を参照してください。

表2.20 動作周波数(中速動作モード)

条件: VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min.	typ.	max.	単位
最高動作周波数 (注4)	システムクロック (ICLK)	f _{max}	—	—	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	12	
	周辺モジュールクロック (PCLKB)		—	—	12	
	周辺モジュールクロック (PCLKD) (注3)		—	—	12	

注1. フラッシュメモリ P/E 時、FCLK の下限周波数は 1 MHz です。FCLK を 4 MHz 未満で使用する場合は、設定可能な周波数は 1 MHz、2 MHz、3 MHz です。たとえば 1.5 MHz のように整数値でない周波数は設定できません。

注2. FCLK の周波数精度は ±3.5% である必要があります。

注3. A/D コンバータ使用時の PCLKD の下限周波数は 1 MHz。

注4. 最高動作周波数には、HOCO の誤差、PLL ジッタは含んでいません。「表2.21 クロックタイミング」を参照してください。

表2.21 クロックタイミング

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図2.4
EXTAL外部クロック入力Highレベルパルス幅	t_{XH}	20	—	—	ns	
EXTAL外部クロック入力Lowレベルパルス幅	t_{XL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間(注1)	t_{EXWT}	0.5	—	—	μ s	
メインクロック発振器発振周波数(注2)	f_{MAIN}	1	—	20	MHz	
メインクロック発振安定時間(水晶振動子)(注2)	$t_{MAINOSC}$	—	3	—	ms	図2.5
メインクロック発振安定時間(セラミック共振子)(注2)	$t_{MAINOSC}$	—	50	—	μ s	
LOCOクロック発振周波数	f_{LOCO}	3.44	4.0	4.56	MHz	
LOCOクロック発振安定時間	t_{LOCO}	—	—	0.5	μ s	図2.6
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	
IWDT専用クロック発振安定時間	t_{ILOCO}	—	—	50	μ s	図2.7
HOCOクロック発振周波数	f_{HOCO}	31.52	32	32.48	MHz	Ta = -40 ~ +85°C
		31.68	32	32.32		Ta = -20 ~ +85°C
		31.36	32	32.64		Ta = -40 ~ +105°C
HOCOクロック発振安定時間	t_{HOCO}	—	—	41.3	μ s	図2.9
PLL回路発振周波数	f_{PLL}	24	—	32	MHz	
PLLクロック発振安定時間	t_{PLL}	—	—	74.4	μ s	図2.10
PLL自励発振周波数	f_{PLLFR}	—	8	—	MHz	

注1. 外部クロックが安定している場合に、メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

注2. 8 MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

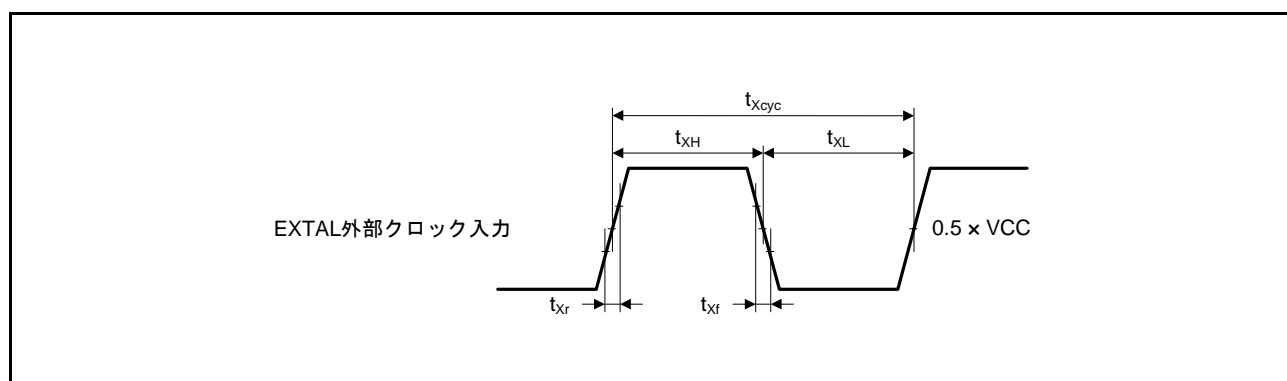


図2.4 EXTAL 外部クロック入力タイミング

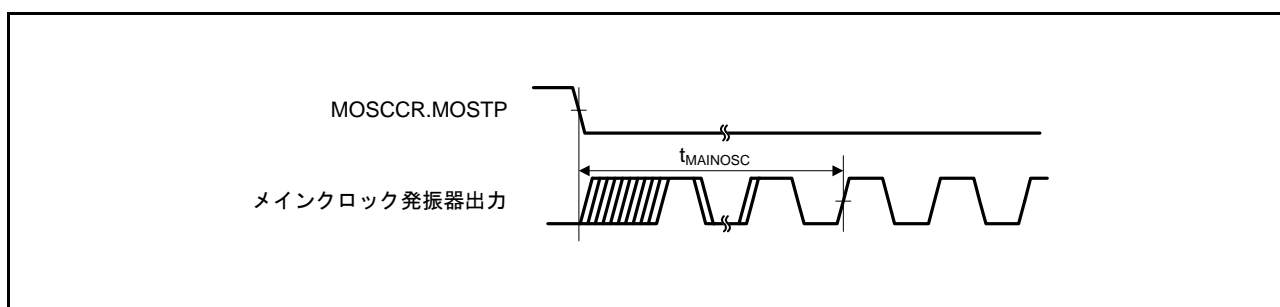


図 2.5 メインクロック発振開始タイミング

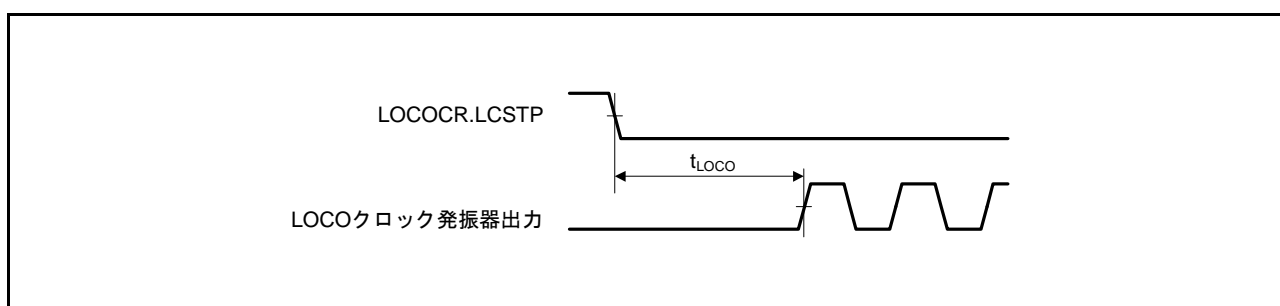


図 2.6 LOCO クロック発振開始タイミング

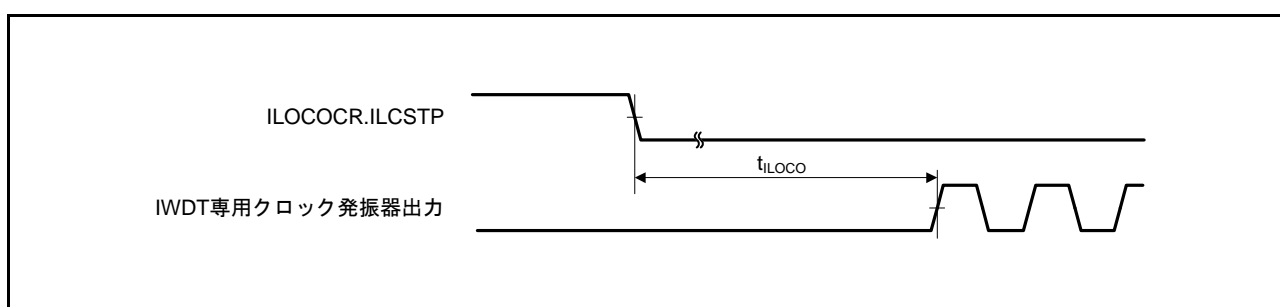


図 2.7 IWDT 専用クロック発振開始タイミング

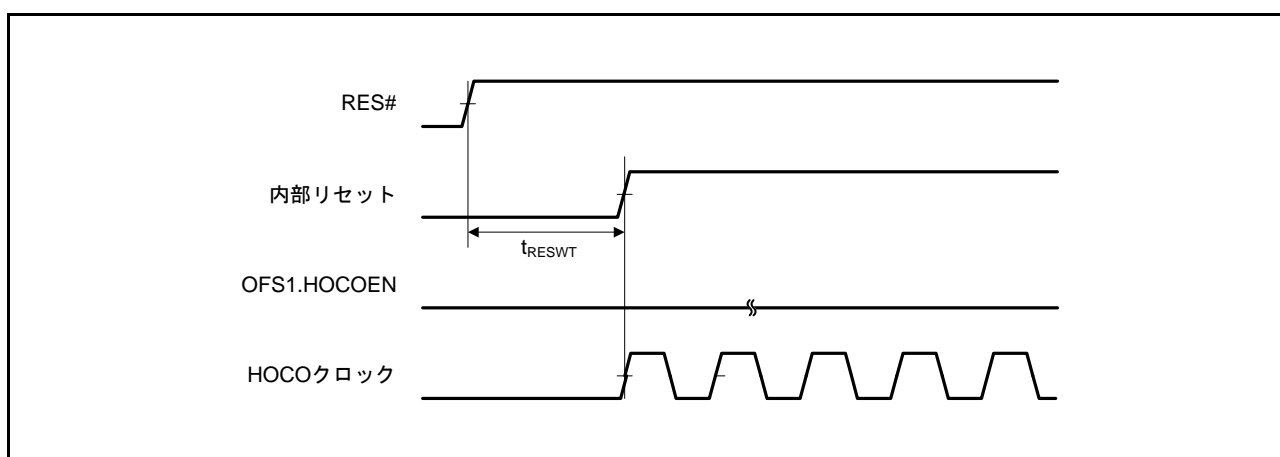


図 2.8 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット "0" 設定時のリセット解除後)

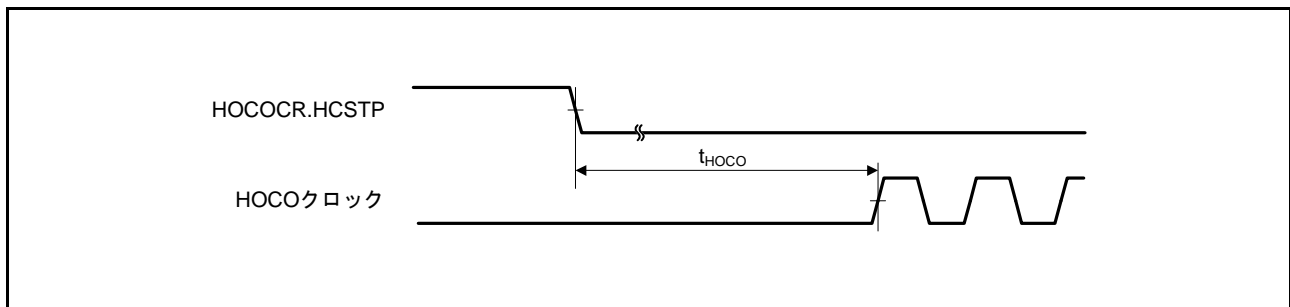


図 2.9 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

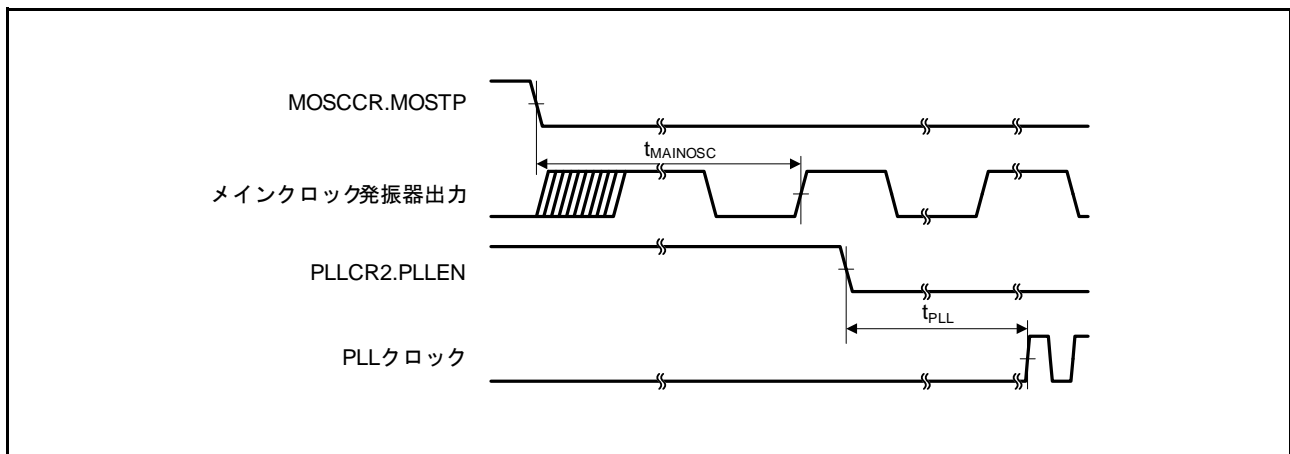


図 2.10 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

2.4.2 リセットタイミング

表2.22 リセットタイミング

条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	3	—	—	ms	図2.11
	上記以外	t_{RESW}	30	—	—	μ s	図2.12
RES#解除後待機時間(電源投入時)	t_{RESWT}	—	27.5	—	ms	図2.11	
RES#解除後待機時間(電源立ち上がった状態)	t_{RESWT}	—	120	—	μ s	図2.12	
独立ウォッチドッグタイマリセット期間	t_{RESWIW}	—	1	—	IWDT clock cycle	図2.13	
ソフトウェアリセット期間	t_{RESWSW}	—	1	—	ICLK cycle		
独立ウォッチドッグタイマリセット解除後待機時間(注1)	t_{RESW2}	—	300	—	μ s		
ソフトウェアリセット解除後待機時間	t_{RESW2}	—	170	—	μ s		

注1. IWDT.CR.CKS[3:0] = 0000bを設定した場合です。

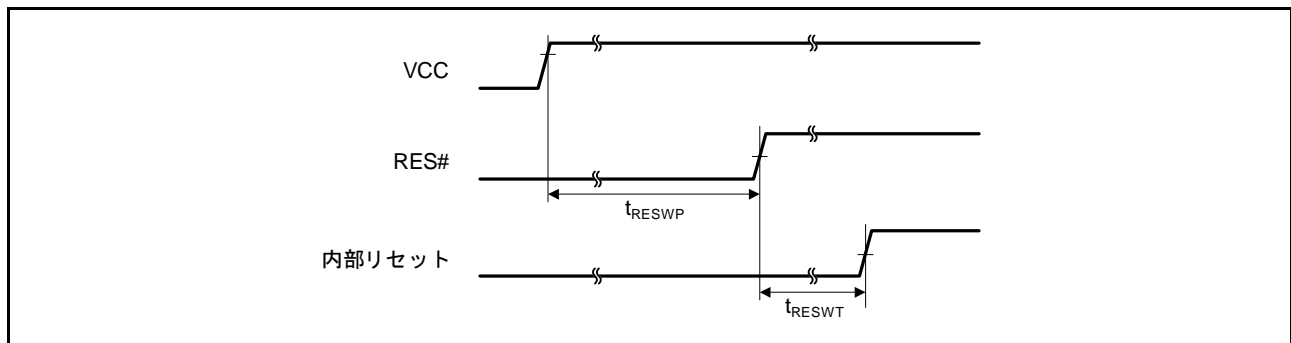


図 2.11 電源投入時リセット入力タイミング

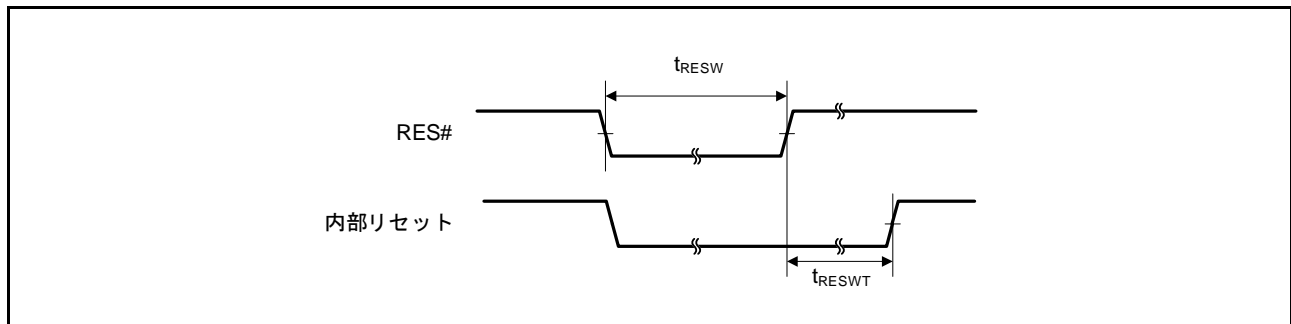


図 2.12 リセット入力タイミング (1)

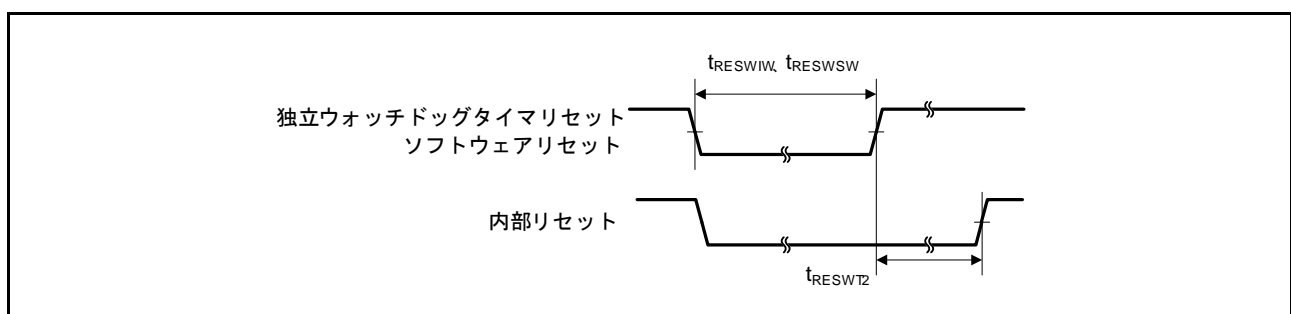


図 2.13 リセット入力タイミング (2)

2.4.3 低消費電力状態からの復帰タイミング

表2.23 低消費電力状態からの復帰タイミング(1)

条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間(注1)	高速モード メインクロック発振器に水晶振動子を接続	メインクロック発振器動作(注2)	t _{SBYMC}	—	2	3	ms	図2.14
		メインクロック発振器、PLL回路動作(注3)	t _{SBYPC}	—	2	3		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作(注4)	t _{SBYEX}	—	35	50	μs	
		メインクロック発振器、PLL回路動作(注5)	t _{SBYPE}	—	70	95		
	HOCOクロック動作		t _{SBYHO}	—	40	55		
	LOCOクロック動作		t _{SBYLO}	—	40	55		

注. PCLKB、PCLKD、FCLK を分周していない設定時の値です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20 MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。

注3. PLLの周波数が32 MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。

注4. 外部クロックの周波数が20 MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。

注5. PLLの周波数が32 MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。

表2.24 低消費電力状態からの復帰タイミング(2)

条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間(注1)	中速モード メインクロック発振器に水晶振動子を接続	メインクロック発振器動作(注2)	t _{SBYMC}	—	2	3	ms	図2.14
		メインクロック発振器、PLL回路動作(注3)	t _{SBYPC}	—	2	3		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作(注4)	t _{SBYEX}	—	3	4	μs	
		メインクロック発振器、PLL回路動作(注5)	t _{SBYPE}	—	65	85		
	HOCOクロック動作		t _{SBYHO}	—	40	50		
	LOCOクロック動作		t _{SBYLO}	—	5	7		

注. PCLKB、PCLKD、FCLK を分周していない設定時の値です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12 MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。

注3. PLLの周波数が24 MHzで、ICLKが12 MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。

注4. 外部クロックの周波数が12 MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。

注5. PLLの周波数が24 MHzで、ICLKが12 MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。

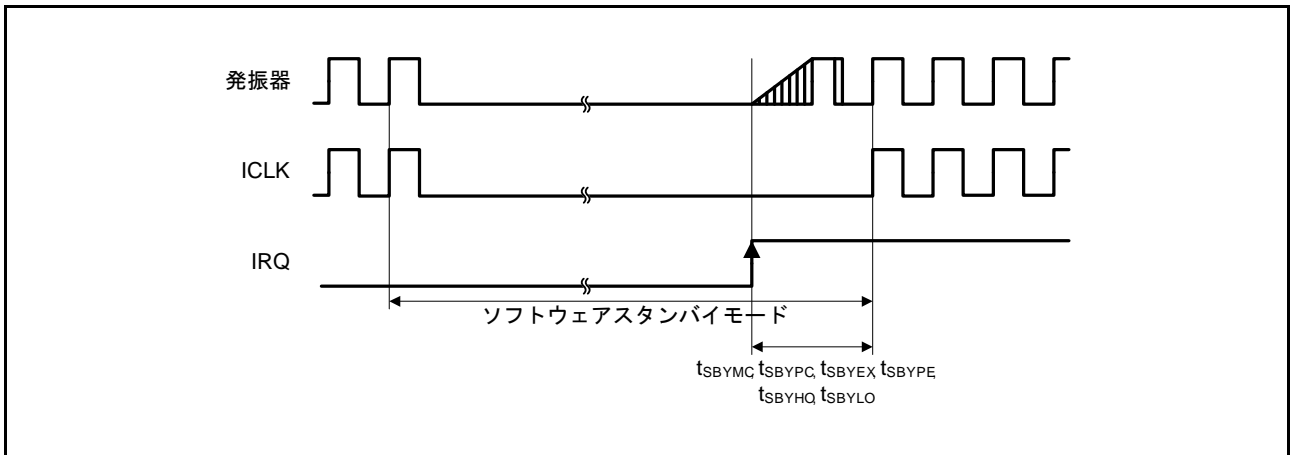


図 2.14 ソフトウェアスタンバイモード復帰タイミング

表 2.25 低消費電力状態からの復帰タイミング(3)

条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
ディープスリープモード解除後復帰時間(注1)	高速モード(注2)	t _{DSL} P	—	2	3.5	μs	図 2.15
	中速モード(注3)	t _{DSL} P	—	3	4		

注. PCLKB、PCLKD、FCLK を分周していない設定時の値です。

注1. ディープスリープモードでは発振器は発振を継続します。

注2. システムクロック周波数が32 MHzの場合です。

注3. システムクロック周波数が12 MHzの場合です。

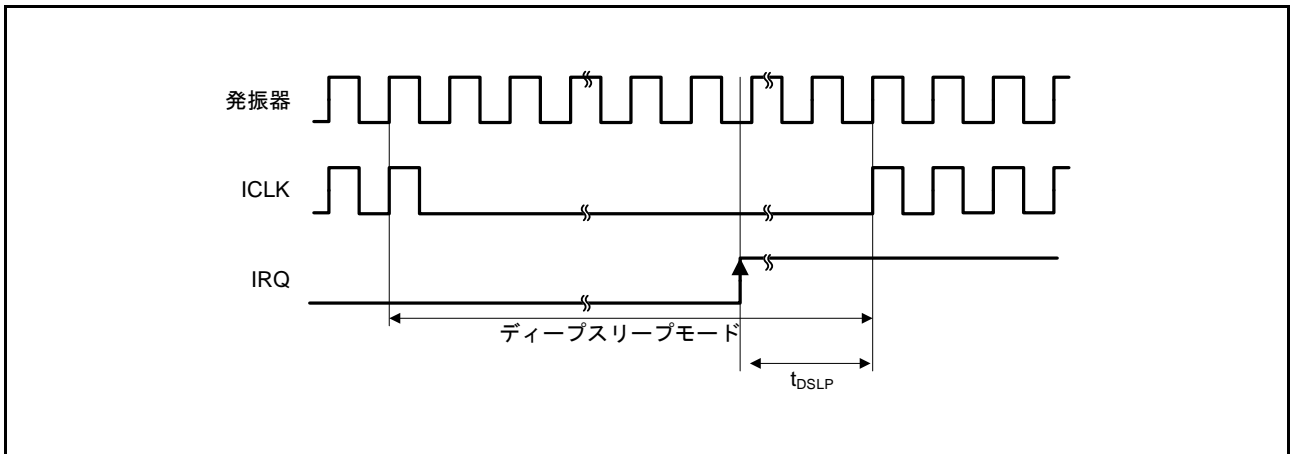


図 2.15 ディープスリープモード解除タイミング

表 2.26 動作モード遷移時間

条件 : VCC = 2.7 V ~ AVCC0, AVCC0 = 2.7 V ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8 MHz	—	10	—	μs
中速動作モード	高速動作モード	8 MHz	—	37.5	—	μs

注. PCLKB、PCLKD、FCLK を分周していない設定時の値です。

2.4.4 制御信号タイミング

表2.27 制御信号タイミング

条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$t_{Pcyc} \times 2 \leq 200$ ns
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$t_{NMICK} \times 3 \leq 200$ ns
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200$ ns
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$t_{Pcyc} \times 2 \leq 200$ ns
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$t_{IRQCK} \times 3 \leq 200$ ns
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

注. ソフトウェアスタンバイモード時は最小200 nsです。

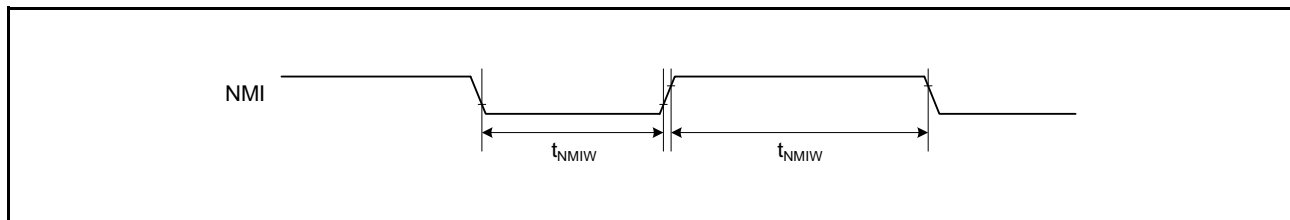
注1. t_{Pcyc} はPCLKBの周期を指します。注2. t_{NMICK} はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK} はIRQiデジタルフィルタサンプリングクロック(i = 0~5)の周期を指します。

図 2.16 NMI 割り込み入力タイミング

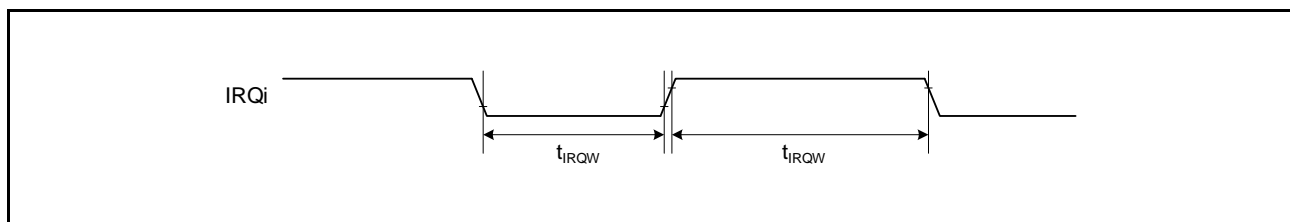


図 2.17 IRQ 割り込み入力タイミング

2.4.5 内蔵周辺モジュールタイミング

2.4.5.1 I/Oポート

表2.28 I/Oポートタイミング

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入カデータパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図2.18

注1. t_{Pcyc} : PCLKの周期

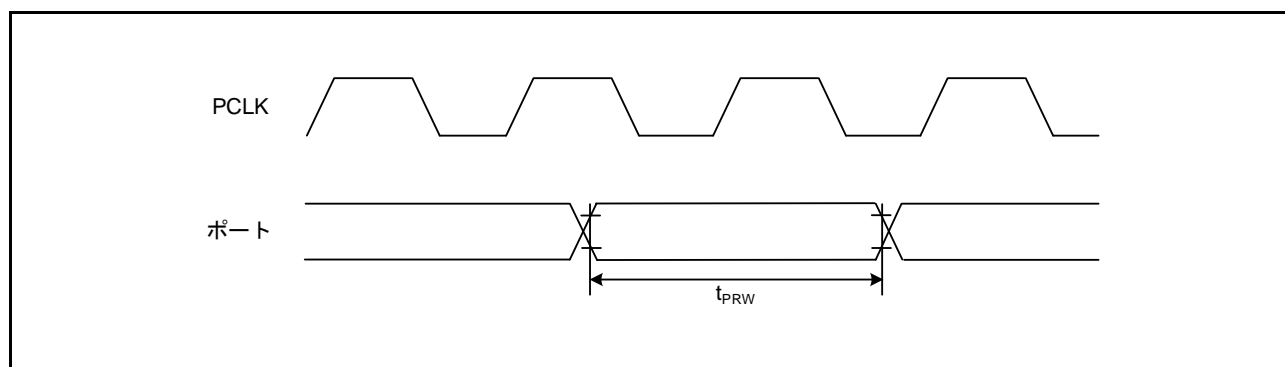


図 2.18 I/Oポート入力タイミング

2.4.5.2 MTU

表2.29 MTUタイミング

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件	
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図2.19	
		両エッジ指定	2.5	—			
	タイマクロックパルス幅	単エッジ指定	1.5	—		t _{TCKWH} , t _{TCKWL}	図2.20
		両エッジ指定	2.5	—			
		位相計数モード	2.5	—			

注1. t_{Pcyc} : PCLKの周期

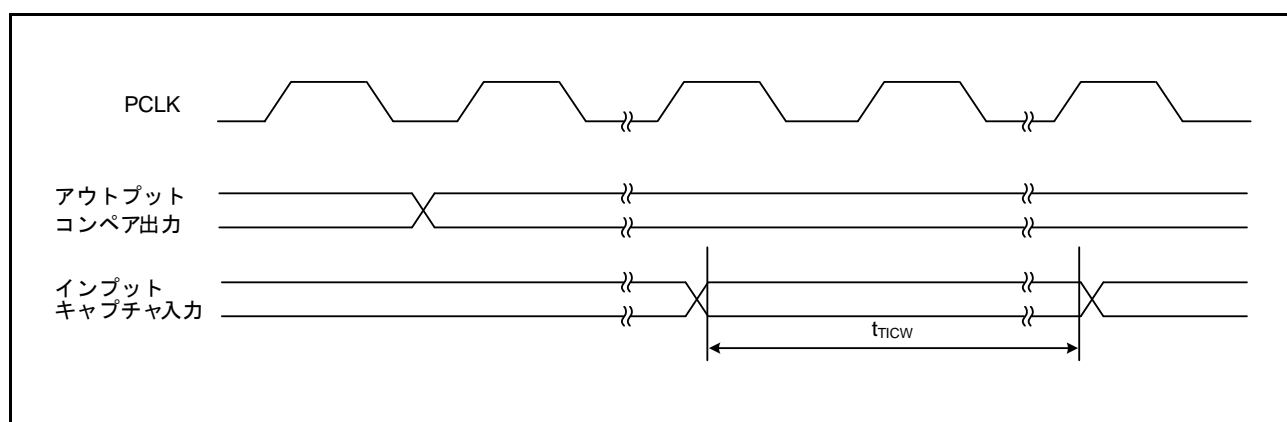


図 2.19 MTU 入出力タイミング

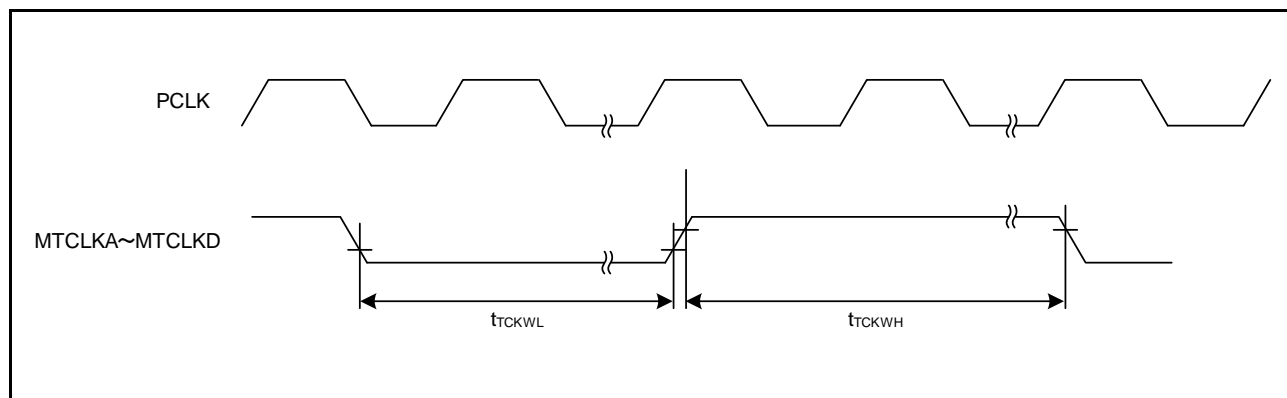


図 2.20 MTU クロック入力タイミング

2.4.5.3 POE

表 2.30 POE タイミング

条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件	
POE	POE# 入力パルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図 2.21	
	出力ディセーブル時間	POE# 端子の変化	t_{POEDI}	—	$5t_{Pcyc}+0.24$	μs	図 2.22 立ち下がりエッジ検出時 (ICSRm.POE _n M[3:0] = 0000 (m = 1, 3, 4; n = 0, 8, 10))
		出力端子の短絡	t_{POEDO}	—	$3t_{Pcyc}+0.2$		図 2.23
		コンパレータ出力検出	t_{POEDC}	—	$5t_{Pcyc}+0.2$		図 2.24 コンパレータ C のノイズフィルタ不使用時 (CMPCTL.CDFS[1:0] = 00)、コンパレータ C の検出時間は除く
		レジスタ設定	t_{POEDS}	—	$1t_{Pcyc}+0.2$		図 2.25 レジスタアクセス時間は除く
		発振停止検出	t_{POEDOS}	—	21		図 2.26

注 1. t_{Pcyc} : PCLK の周期

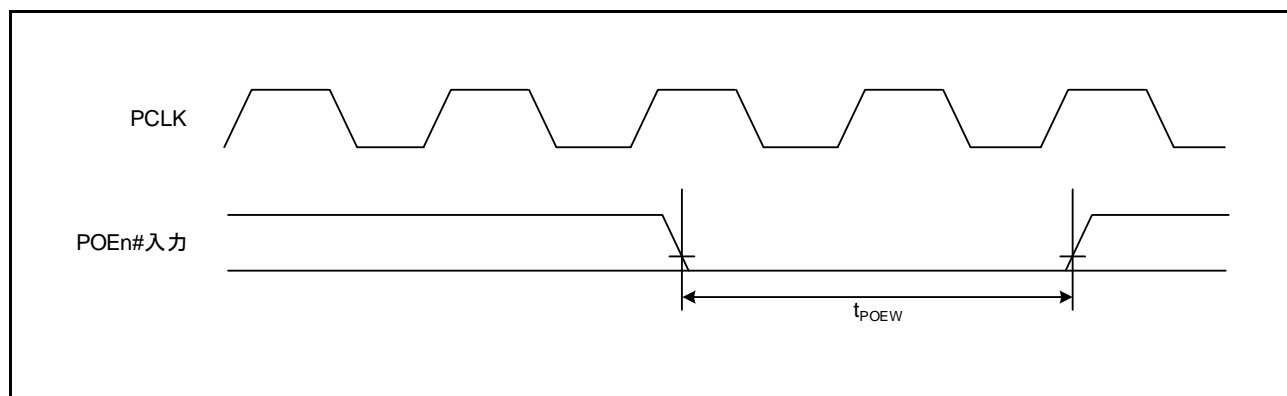


図 2.21 POE# 入力タイミング (n = 0, 8, 10)

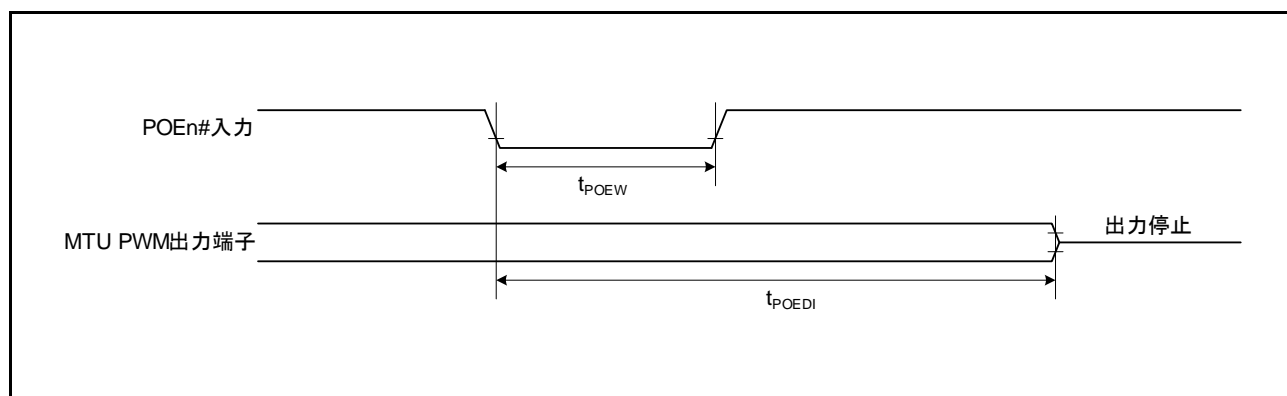


図 2.22 POE 出力ディセーブル時間 (POEn# 端子の変化) (n = 0, 8, 10)

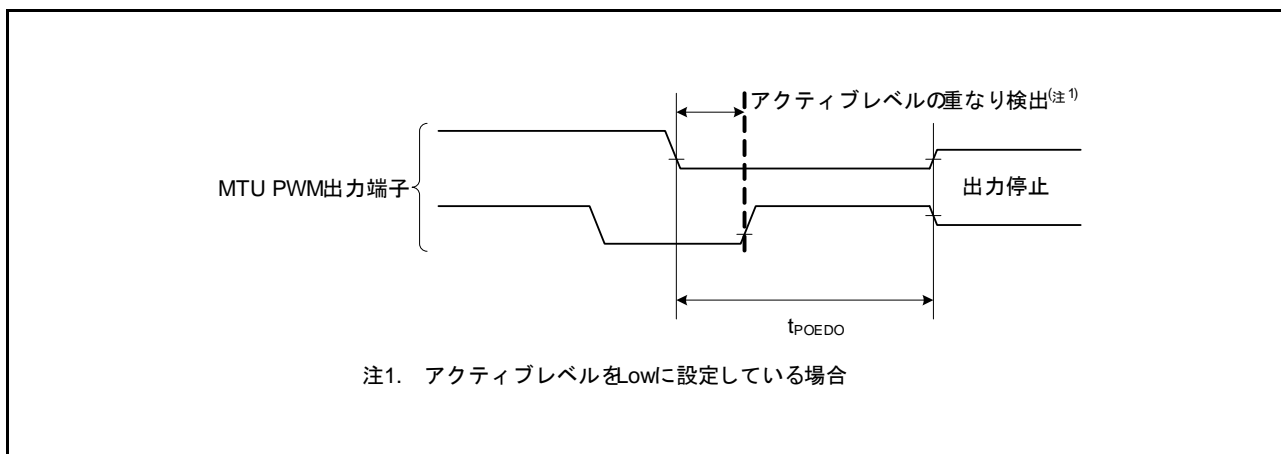


図 2.23 POE 出力ディセーブル時間 (出力端子の短絡)

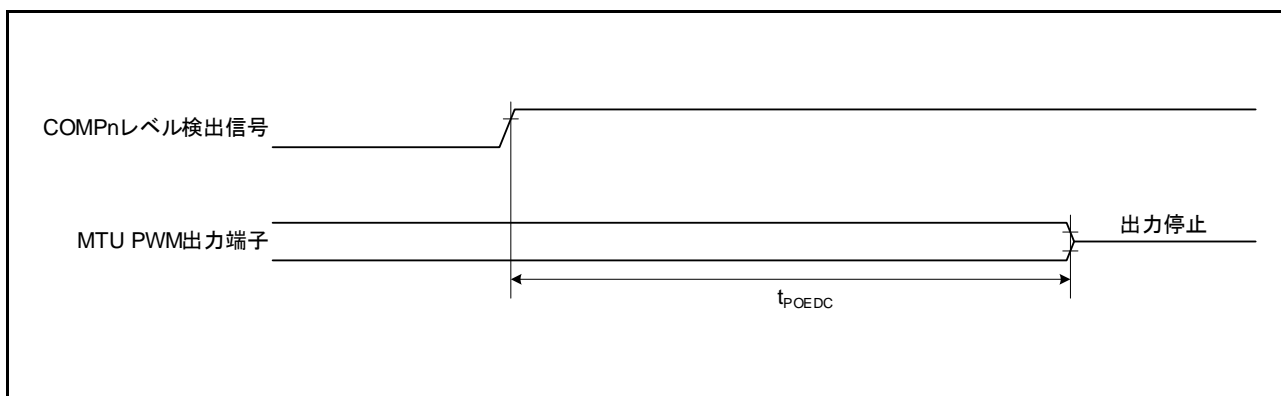


図 2.24 POE 出力ディセーブル時間 (コンパレータ出力検出) (n = 0 ~ 2)

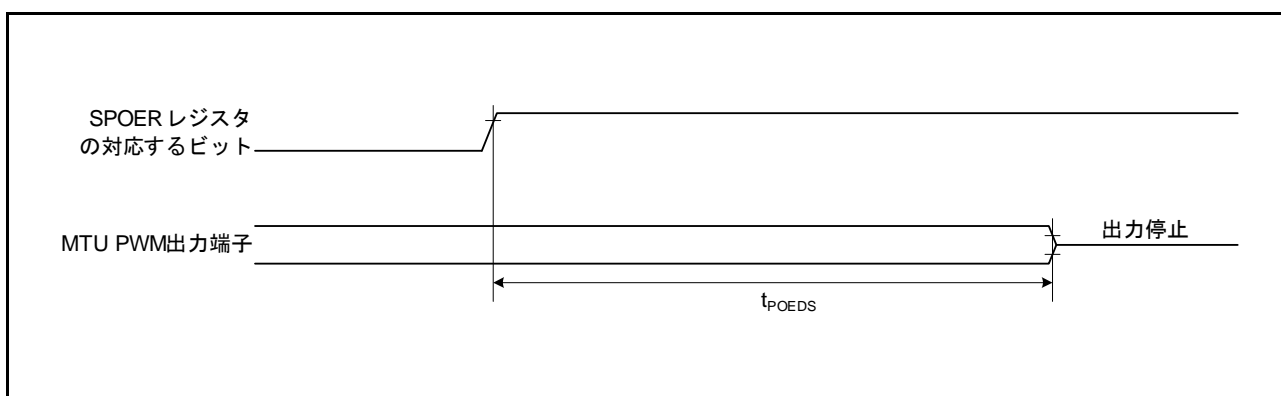


図 2.25 POE 出力ディセーブル時間 (レジスタ設定)

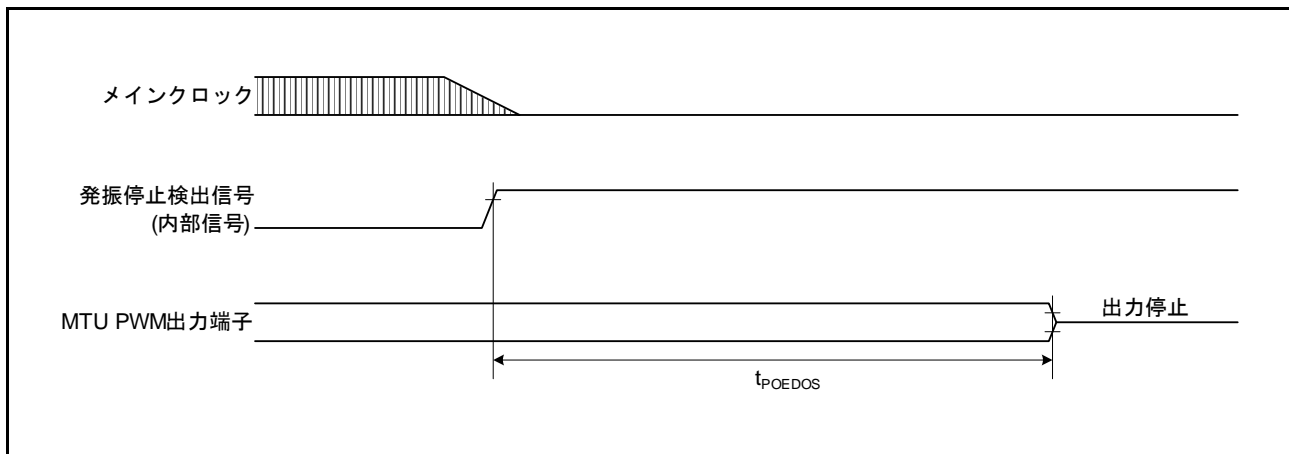


図 2.26 POE 出力ディセーブル時間 (発振停止検出)

2.4.5.4 SCI

表2.31 SCIタイミング

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目			記号	min	max	単位 (注1)	測定条件
SCI	入カクロックサイクル	調歩同期	$t_{S_{cyc}}$	4	—	$t_{P_{cyc}}$	図2.27
		クロック同期		6	—		
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	$t_{S_{cyc}}$	
	入カクロック立ち上がり時間		t_{SCKr}	—	20	ns	
	入カクロック立ち下がり時間		t_{SCKf}	—	20		
出カクロックサイクル	調歩同期	$t_{S_{cyc}}$	16	—	$t_{P_{cyc}}$	図2.28 C = 30pF	
	クロック同期		4	—			
出カクロックパルス幅		t_{SCKW}	0.4	0.6	$t_{S_{cyc}}$		
出カクロック立ち上がり時間		t_{SCKr}	—	20	ns		
出カクロック立ち下がり時間		t_{SCKf}	—	20			
送信データ遅延時間 (マスタ)	クロック同期		t_{TXD}	—	40		
送信データ遅延時間 (スレーブ)	クロック同期	VCC 4.0 V以上		—	40		
		VCC 2.7 V以上	—	65			
受信データセットアップ 時間(マスタ)	クロック同期	VCC 4.0 V以上	t_{RXS}	40	—		
		VCC 2.7 V以上		65	—		
受信データセットアップ 時間(スレーブ)	クロック同期			40	—		
受信データホールド時間	クロック同期		t_{RXH}	40	—		

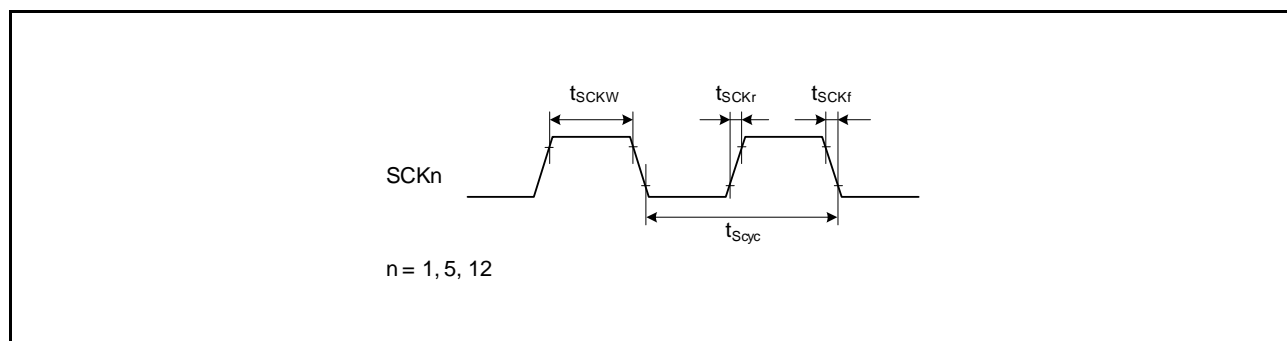
注1. $t_{P_{cyc}}$: PCLKの周期

図2.27 SCKクロック入カタイミング

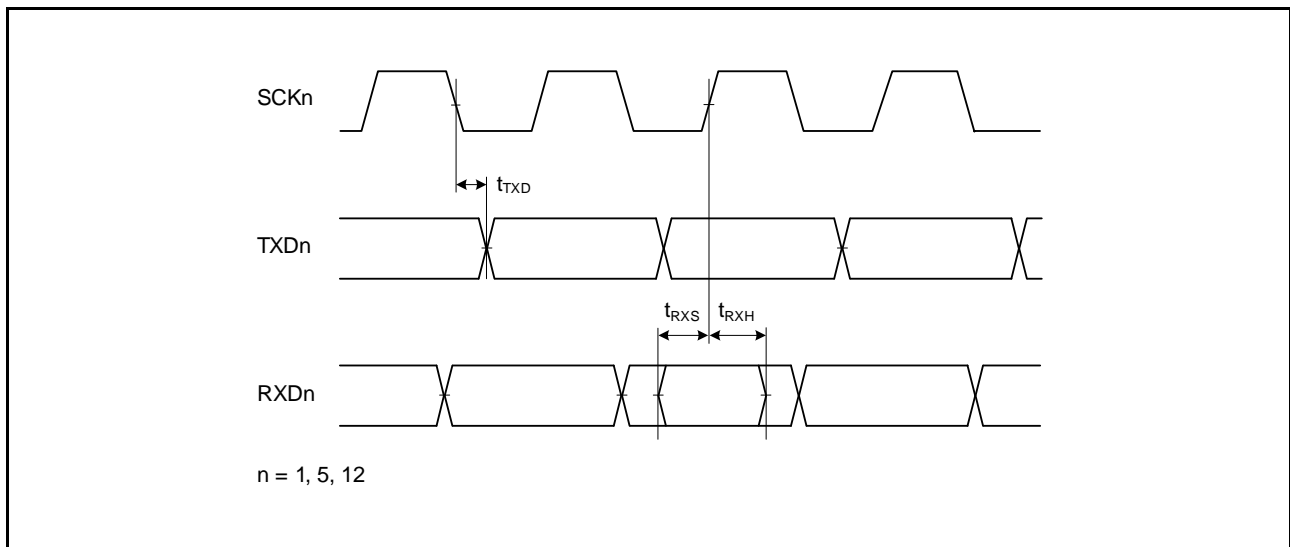


図 2.28 SCI 入出カタイミング/クロック同期式モード

表 2.32 簡易 I²C タイミング
 条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	max	単位	測定条件
簡易 I ² C (スタンダード モード)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	1000	ns	図 2.29
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300		
	SSCL、SSDA入カスパイクパルス除去 時間	t _{SP}	0	4 × t _{Pcyc} (注 1)		
	データ入力セットアップ時間	t _{SDAS}	250	—		
	データ入力ホールド時間	t _{SDAH}	0	—		
	SSCL、SSDAの容量性負荷	C _b (注 2)	—	400		
簡易 I ² C (ファストモード)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	300	ns	図 2.29
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300		
	SSCL、SSDA入カスパイクパルス除去 時間	t _{SP}	0	4 × t _{Pcyc} (注 1)		
	データ入力セットアップ時間	t _{SDAS}	100	—		
	データ入力ホールド時間	t _{SDAH}	0	—		
	SSCL、SSDAの容量性負荷	C _b (注 2)	—	400		

注 1. t_{Pcyc} : PCLKの周期
 注 2. C_b はバスラインの容量総計です。

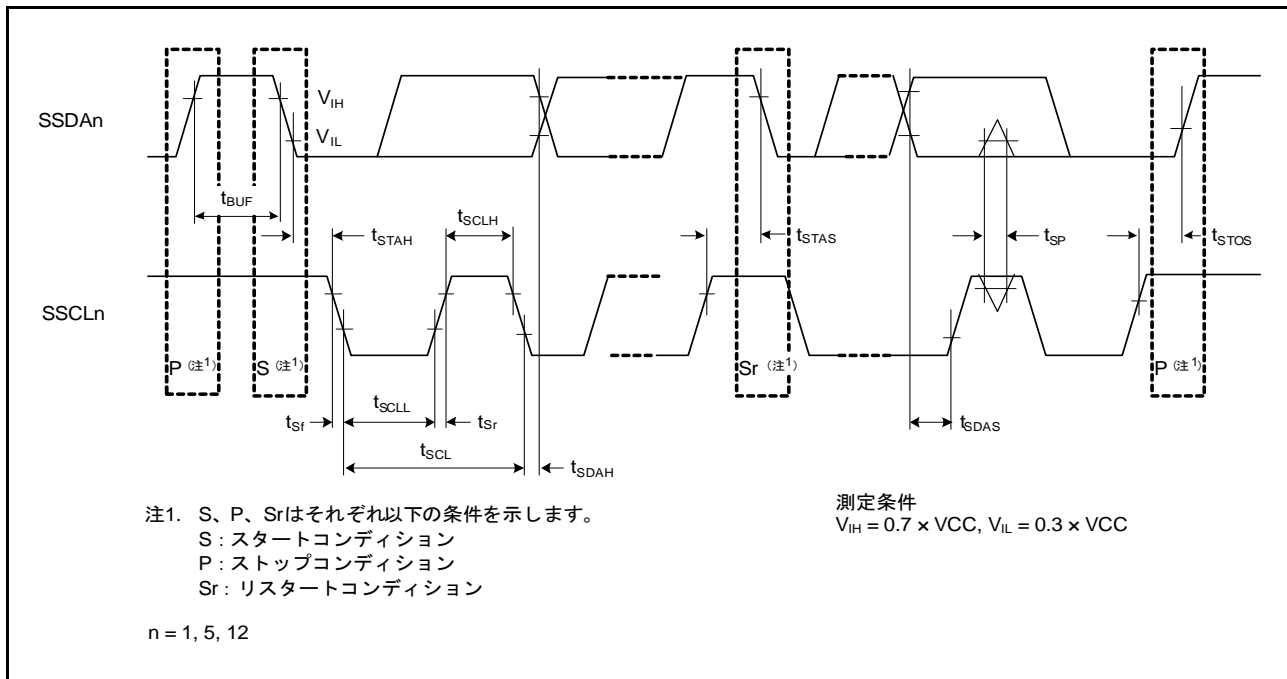


図 2.29 簡易 I²C バスインタフェース入出力タイミング

表2.33 簡易SPIタイミング

条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C, C = 30pF

項目		記号	min	max	単位 (注1)	測定条件
簡易SPI	SCKクロックサイクル出力(マスタ)	t_{SPCyc}	4	65536	t_{PCyc}	図2.30
	SCKクロックサイクル入力(スレーブ)		6	—		
	SCKクロックHighレベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}	
	SCKクロックLowレベルパルス幅	t_{SPCKWL}	0.4	0.6		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr}, t_{SPCKf}	—	20	ns	
データ入力セットアップ時間(マスタ)	VCC 4.0 V以上	t_{SU}	40	—	ns	図2.31、 図2.32
	VCC 2.7 V以上		65	—		
データ入力セットアップ時間(スレーブ)			40	—		
データ入力ホールド時間		t_H	40	—		
SS入力セットアップ時間		t_{LEAD}	3	—	t_{SPCyc}	
SS入力ホールド時間		t_{LAG}	3	—		
データ出力遅延時間(マスタ)		t_{OD}	—	40	ns	
データ出力遅延時間(スレーブ)	VCC 4.0 V以上		—	40		
	VCC 2.7 V以上		—	65		
データ出力ホールド時間	マスタ	t_{OH}	-10	—		
	スレーブ		-10	—		
データ立ち上がり/立ち下がり時間		t_{Dr}, t_{Df}	—	20		
SS入力立ち上がり/立ち下がり時間		t_{SSLr}, t_{SSLf}	—	20		
スレーブアクセス時間		t_{SA}	—	6	t_{PCyc}	図2.33、 図2.34
スレーブ出力開放時間		t_{REL}	—	6		

注1. t_{PCyc} : PCLKの周期

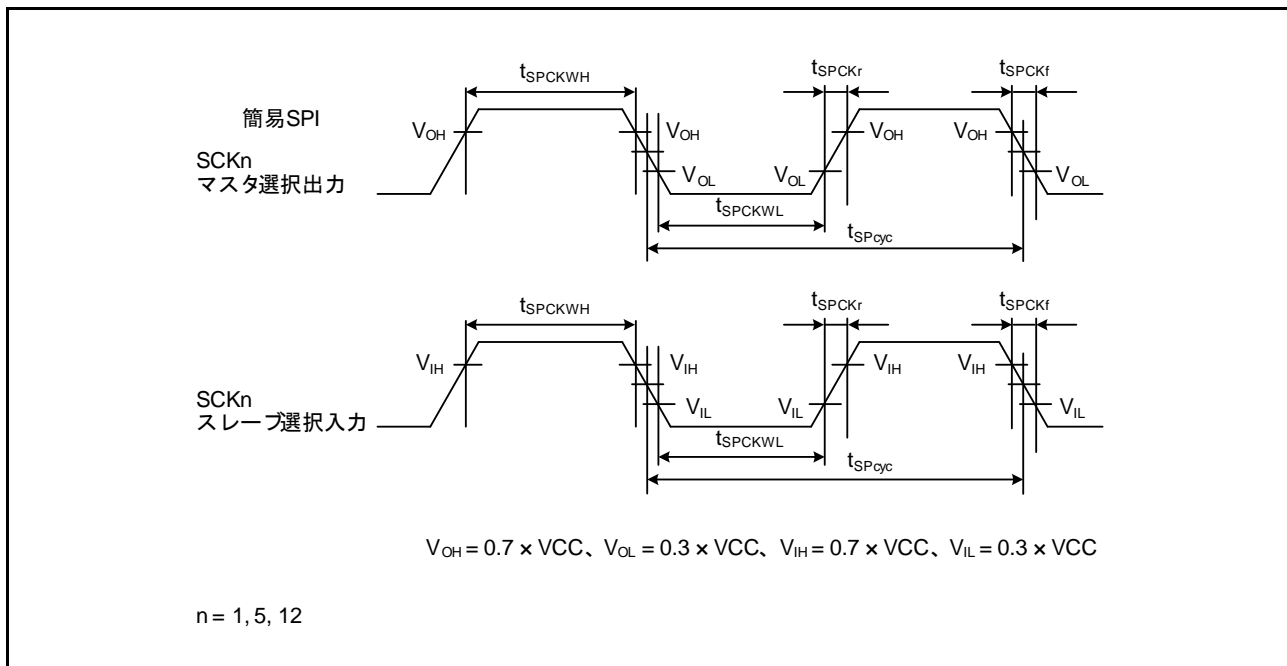


図2.30 簡易SPIクロックタイミング

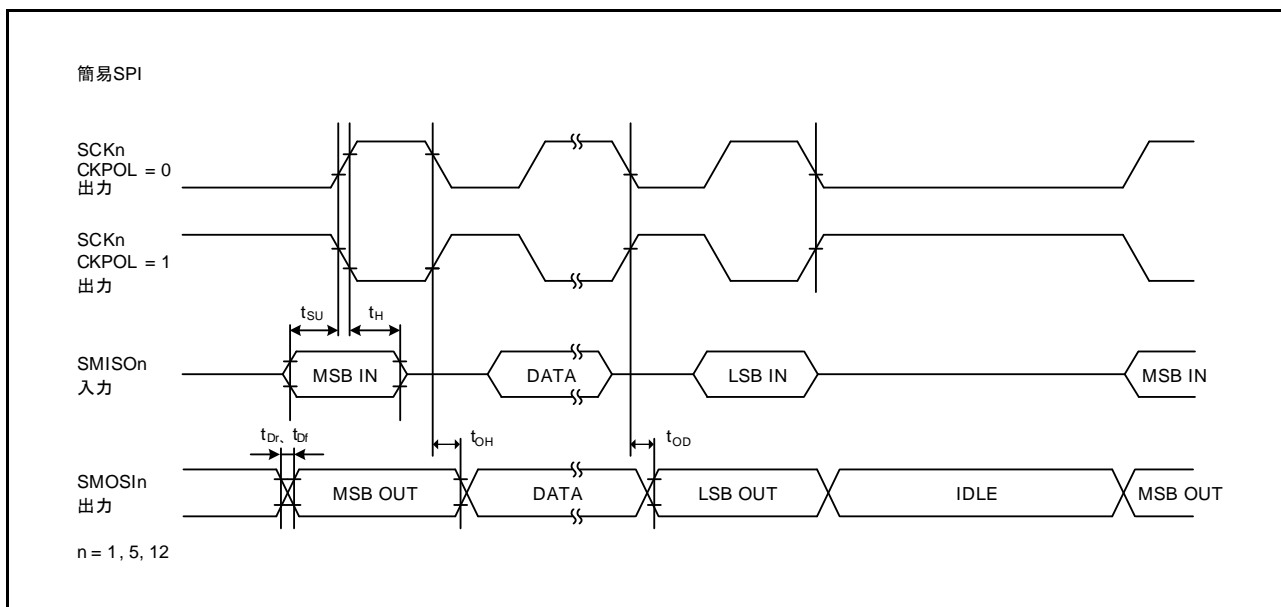


図 2.31 簡易 SPI タイミング (マスタ、CKPH = 1)

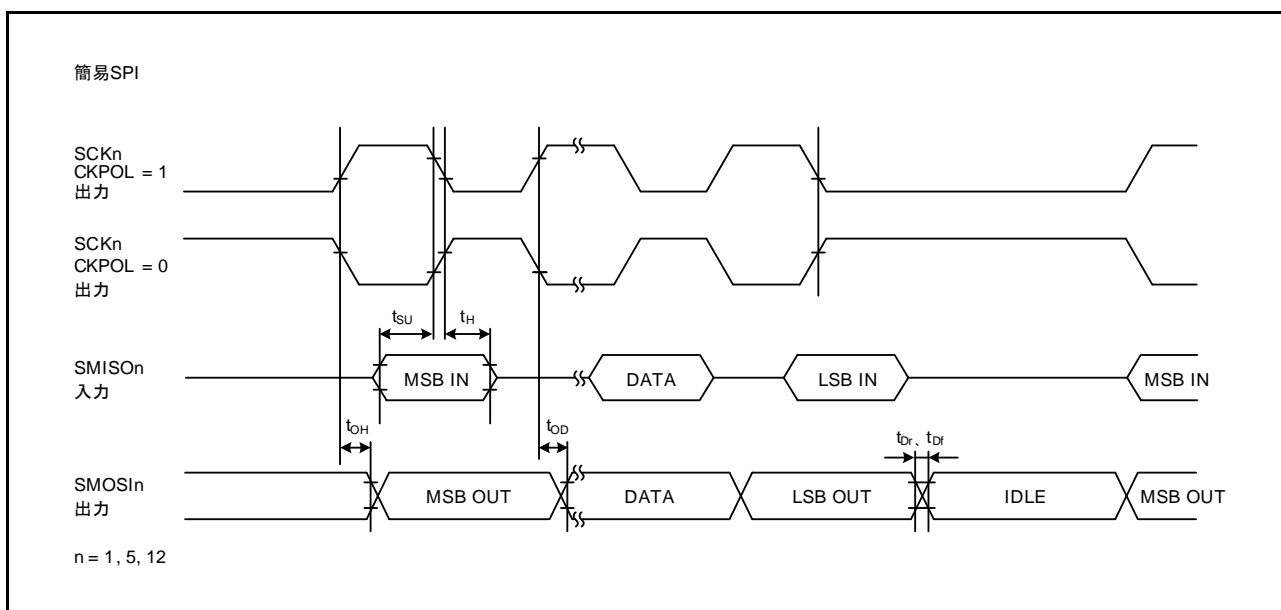


図 2.32 簡易 SPI タイミング (マスタ、CKPH = 0)

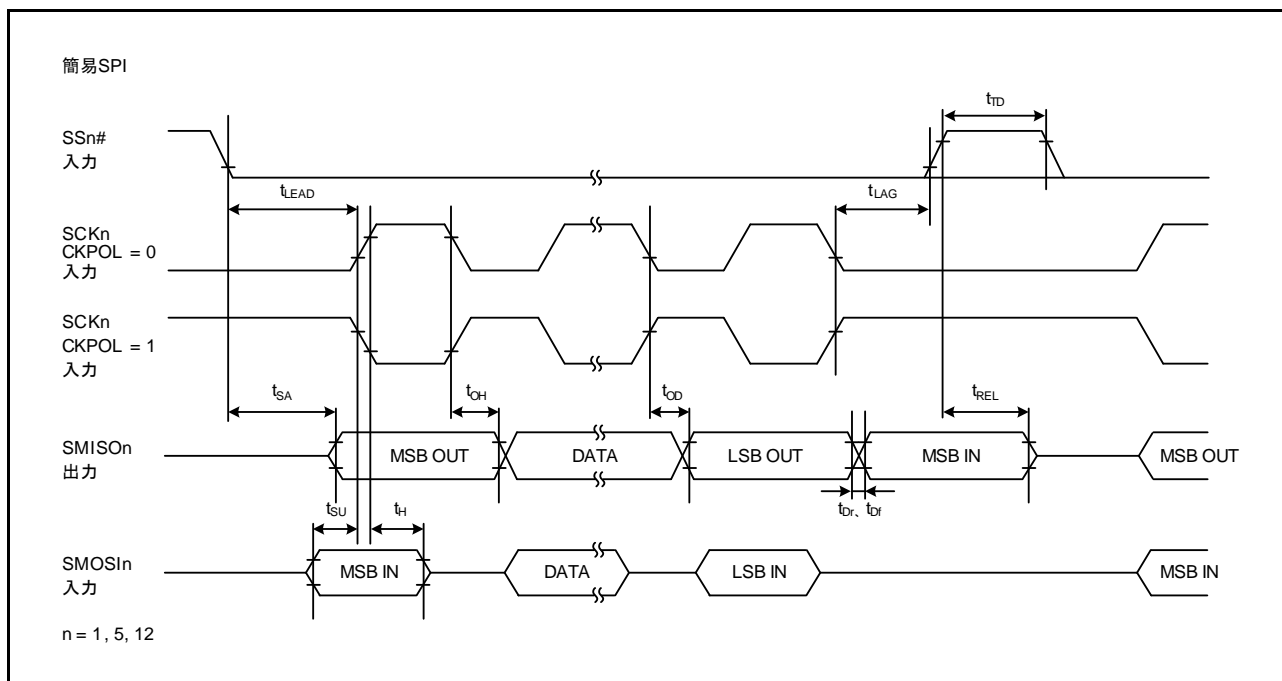


図 2.33 簡易 SPI タイミング (スレーブ、CKPH = 1)

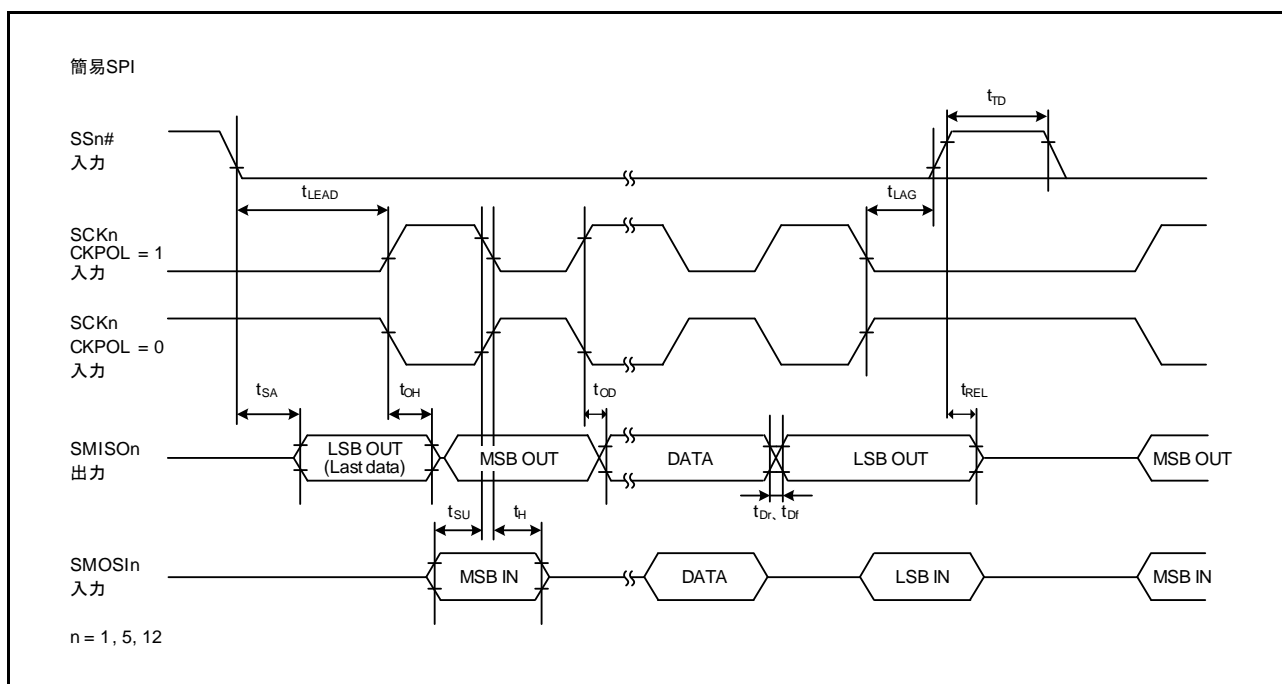


図 2.34 簡易 SPI タイミング (スレーブ、CKPH = 0)

2.4.5.5 A/Dコンバータ

表2.34 A/Dコンバータタイミング

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件
A/Dコンバータ	トリガ入力パルス幅	t _{TRGW}	1.5	—	t _{Pcyc}	図2.35

注1. t_{Pcyc} : PCLKの周期

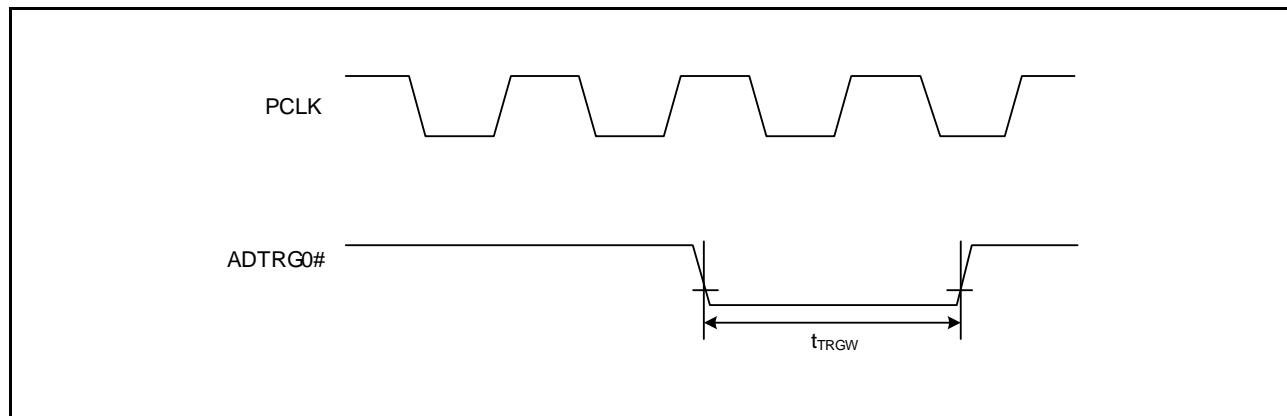


図 2.35 A/Dコンバータ外部トリガ入力タイミング

2.4.5.6 CAC

表2.35 CACタイミング

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min	max	単位	測定条件
CAC	CACREF入力パルス幅	t _{CACREF}	t _{Pcyc} ≤ t _{cac}	4.5 t _{cac} + 3 t _{Pcyc}	—	ns
			t _{Pcyc} > t _{cac}	5 t _{cac} + 6.5 t _{Pcyc}		

注. t_{Pcyc} : PCLKの周期

注. t_{cac} : CACカウントクロックソースの周期

2.4.5.7 RIIC

表2.36 RIICタイミング

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図2.36
	SCL Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—		
	SCL Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—		
	SCL、SDA立ち上がり時間	t_{Sr}	—	1000		
	SCL、SDA立ち下がり時間	t_{Sf}	—	300		
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$		
	SDAバスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—		
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—		
	再送開始条件セットアップ時間	t_{STAS}	1000	—		
	停止条件セットアップ時間	t_{STOS}	1000	—		
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—		
	データホールド時間	t_{SDAH}	0	—		
	SCL、SDAの容量性負荷	C_b (注3)	—	400		
RIIC (ファストモード)	SCLサイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	図2.36
	SCL Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—		
	SCL Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—		
	SCL、SDA立ち上がり時間	t_{Sr}	—	300		
	SCL、SDA立ち下がり時間	t_{Sf}	—	300		
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$		
	SDAバスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—		
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—		
	再送開始条件セットアップ時間	t_{STAS}	300	—		
	停止条件セットアップ時間	t_{STOS}	300	—		
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—		
	データホールド時間	t_{SDAH}	0	—		
	SCL、SDAの容量性負荷	C_b (注3)	—	400		

注1. t_{IICcyc} : RIICの内部基準クロック(IICφ)の周期

注2. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注3. C_b はバスラインの容量総計です。

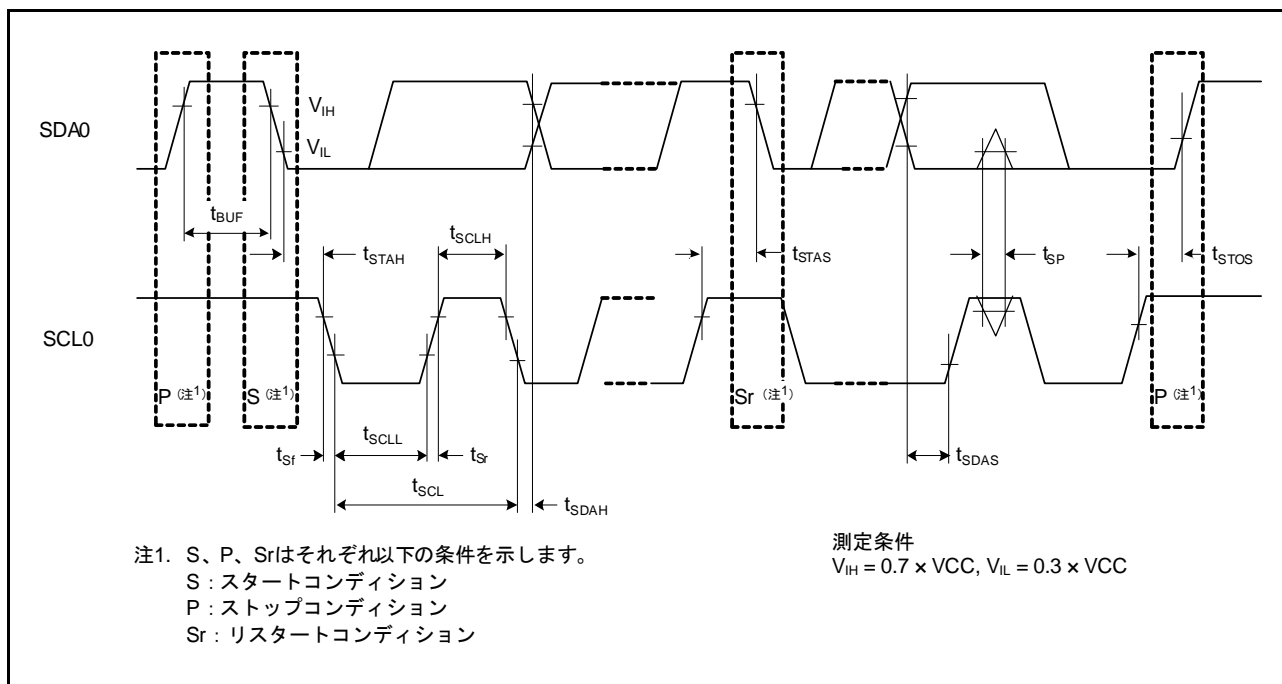


図 2.36 RIIC バスインタフェース入出力タイミング

2.5 A/D 変換特性

表 2.37 A/D変換特性(1)

条件 : VCC = 4.5 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, T_a = -40 ~ +105°C, 信号源インピーダンス = 1.0 kΩ

項目		min	typ	max	単位	測定条件
周波数		1	—	32	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 32 MHz時)	サンプルホールド回路 未使用時	1.41	—	—	μs	高精度チャネル ADSSTRn.SST[7:0]ビット = 0Dh
	サンプルホールド回路 使用時	2.16	—	—		高精度チャネル ADSSTRn.SST[7:0]ビット = 0Dh ADSHCR.SSTSH[7:0]ビット = 0Bh AN000 ~ 002 = 0.25 V ~ AVCC0 - 0.25 V
アナログ入力容量		—	—	12	pF	
オフセット誤差	サンプルホールド回路 未使用時	—	±0.5	±4.5	LSB	
	サンプルホールド回路 使用時	—	±1.5	±6.5		
フルスケール誤差	サンプルホールド回路 未使用時	—	±0.75	±4.5	LSB	
	サンプルホールド回路 使用時	—	±1.5	±6.5		
量子化誤差		—	±0.5	—	LSB	
絶対精度	サンプルホールド回路 未使用時	—	±1.25	±5.0	LSB	
	サンプルホールド回路 使用時	—	±3.0	±8.0		AN000 ~ 002 = 0.25 V ~ AVCC0 - 0.25
DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	
INL 積分非直線性誤差		—	±1.5	±4.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 2.38 A/D変換特性(2)

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, T_a = -40 ~ +105°C, 信号源インピーダンス = 1.0 kΩ

項目		min	typ	max	単位	測定条件
周波数		1	—	32	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 32 MHz時)	サンプルホールド回路 未使用時	1.41	—	—	μs	高精度チャンネル ADSSTRn.SST[7:0]ビット = 0Dh
	サンプルホールド回路 使用時	2.25	—	—		高精度チャンネル ADSSTRn.SST[7:0]ビット = 0Dh ADSHCR.SSTSH[7:0]ビット = 0Eh AN000 ~ 002 = 0.25 V ~ AVCC0 - 0.25 V
アナログ入力容量		—	—	12	pF	
オフセット誤差	サンプルホールド回路 未使用時	—	±0.5	±4.5	LSB	
	サンプルホールド回路 使用時	—	±1.5	±6.5		
フルスケール誤差	サンプルホールド回路 未使用時	—	±0.75	±4.5	LSB	
	サンプルホールド回路 使用時	—	±1.5	±6.5		
量子化誤差		—	±0.5	—	LSB	
絶対精度	サンプルホールド回路 未使用時	—	±1.25	±5.0	LSB	AN000 ~ 002 = 0.25 V ~ AVCC0 - 0.25
	サンプルホールド回路 使用時	—	±3.0	±8.0		
DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	
INL 積分非直線性誤差		—	±1.5	±4.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 2.39 A/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
高精度チャンネル	AN000 ~ AN007	AVCC0 = 2.7 ~ 5.5 V	A/Dコンバータ使用時、AN000 ~ AN007端子をデジタル出力として使用することはできません
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 2.7 ~ 5.5 V	

表 2.40 A/D内部基準電圧特性

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャンネル(注1)	1.36	1.43	1.50	V	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

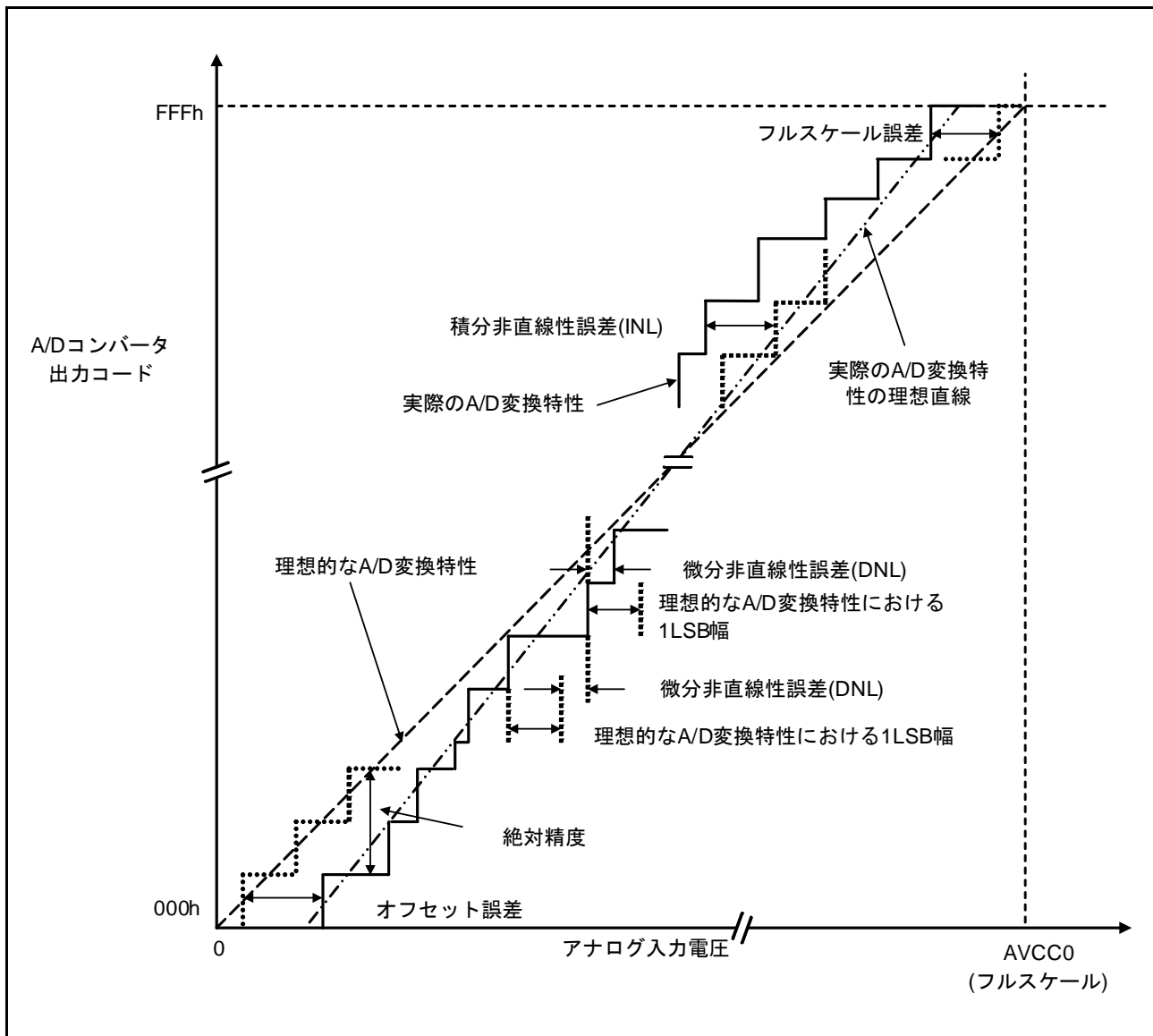


図 2.37 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。

例えば分解能 12 ビット、基準電圧 (AVCC0) が 3.072 V の場合、1LSB 幅は 0.75 mV で、アナログ入力電圧には 0 mV、0.75 mV、1.5 mV... を使用します。

絶対精度 ± 5 LSB とは、アナログ入力電圧が 6 mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.6 プログラマブルゲインアンプ特性

表2.41 プログラマブルゲインアンプ特性

条件 : VCC = 2.7 V ~ AVCC0, AVCC0 = 4.5 V ~ 5.5 V, VSS = AVSS0 = 0 V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V _{poff}	—	—	8	mV	
入力電圧範囲	V _{pin}	V _{pout} (min)/G	—	V _{pout} (max)/G	V	
出力電圧範囲	V _{pout}	G = 2.000, 2.500, 3.077	—	0.9 × AVCC0	V	
		G = 5.000, 8.000, 10.000	0.15 × AVCC0	0.85 × AVCC0		
ゲイン	G	2.000	—	10.000		
ゲインエラー	G _{err}	G = 2.000, 2.500, 3.077	—	±1.0	±1.5	%
		G = 5.000, 8.000, 10.000	—	±1.5	±2.5	
スルーレート	SR	10	—	—	V/μs	
動作安定待ち時間	t _{start}	—	—	5.0	μs	

2.7 コンパレータ特性

表2.42 コンパレータ特性

条件 : $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $AV_{CC0} = V_{CC} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS0} = 0\text{ V}$, $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{cioff}	—	—	20	mV	
リファレンス入力電圧範囲	V_{cref}	0	—	AV_{CC0}	V	
応答時間	t_{cr}	—	—	200	ns	VOD = 100 mV CMPCTL.CDFS = 0
	t_{cf}	—	—	200		
入力切替時の安定待ち時間	t_{cwait}	300	—	—	ns	
動作安定待ち時間	t_{cmp}	—	—	1	μs	

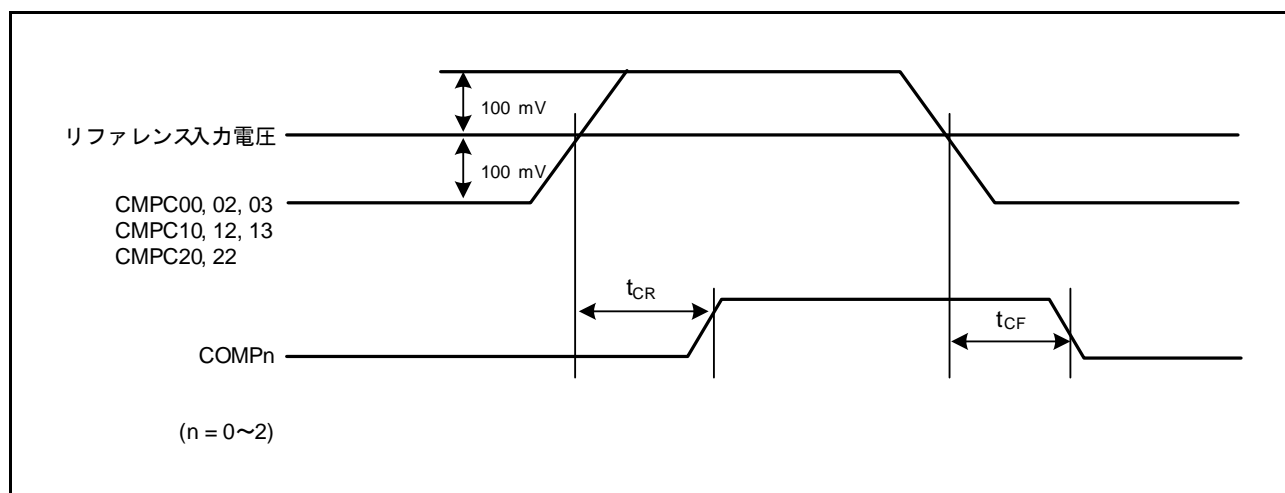


図 2.38 コンパレータ応答時間

2.8 D/A 変換特性

表 2.43 D/A変換特性

条件 : $VCC = 2.7\text{ V} \sim 5.5\text{ V}$, $AVCC0 = VCC \sim 5.5\text{ V}$, $VSS = AVSS0 = 0\text{ V}$, $Ta = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	t_{DCONV}	—	—	3.0	μs	
絶対精度	—	—	± 1.0	± 3.0	LSB	

2.9 パワーオンリセット回路、電圧検出回路特性

表2.44 パワーオンリセット回路、電圧検出回路特性(1)

条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.35	1.50	1.65	V	図2.39、図2.40
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.84	3.97		図2.41 VCC立ち下がり時
		V _{det0_1}	2.70	2.82	3.00		
		V _{det0_2}	2.37	2.51	2.67		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42		図2.42 VCC立ち下がり時
		V _{det1_1}	3.98	4.14	4.28		
		V _{det1_2}	3.86	4.02	4.16		
		V _{det1_3}	3.68	3.84	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.79	2.98		
	電圧検出回路 (LVD2) (注3)	V _{det2_0}	4.08	4.29	4.48		図2.43 VCC立ち下がり時
		V _{det2_1}	3.95	4.14	4.35		
		V _{det2_2}	3.82	4.02	4.22		
		V _{det2_3}	3.62	3.84	4.02		

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD2)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号Vdet0_nのnは、OFS1.VDSEL[1:0]ビットの値です。

注2. 記号Vdet1_nのnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注3. 記号Vdet2_nのnは、LVDLVLR.LVD2LVL[1:0]ビットの値です。

表2.45 パワーオンリセット回路、電圧検出回路特性(2)

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	t_{POR}	—	28.4	—	ms	図2.40
電圧監視0リセット解除後待機時間	t_{LVD0}	—	568	—	μ s	図2.41
電圧監視1リセット解除後待機時間	t_{LVD1}	—	100	—	μ s	図2.42
電圧監視2リセット解除後待機時間	t_{LVD2}	—	100	—	μ s	図2.43
応答遅延時間	t_{det}	—	—	350	μ s	図2.39
最小VCC低下時間(注1)	t_{VOFF}	350	—	—	μ s	図2.39、VCC = 1.0 V以上
パワーオンリセット有効時間	t_W (POR)	1	—	—	ms	図2.40、VCC = 1.0 V未満
LVD動作安定時間(LVD有効切り替え時)	T_d (E-A)	—	—	300	μ s	図2.42、図2.43
ヒステリシス幅(パワーオンリセット(POR))	V_{PORH}	—	110	—	mV	
ヒステリシス幅 (電圧検出回路(LVD0, LVD1, LVD2))	V_{LVH}	—	70	—	mV	Vdet0_0 ~ 2選択時 Vdet1_0 ~ 4選択時
		—	60	—		Vdet1_5 ~ 8、LVD2選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

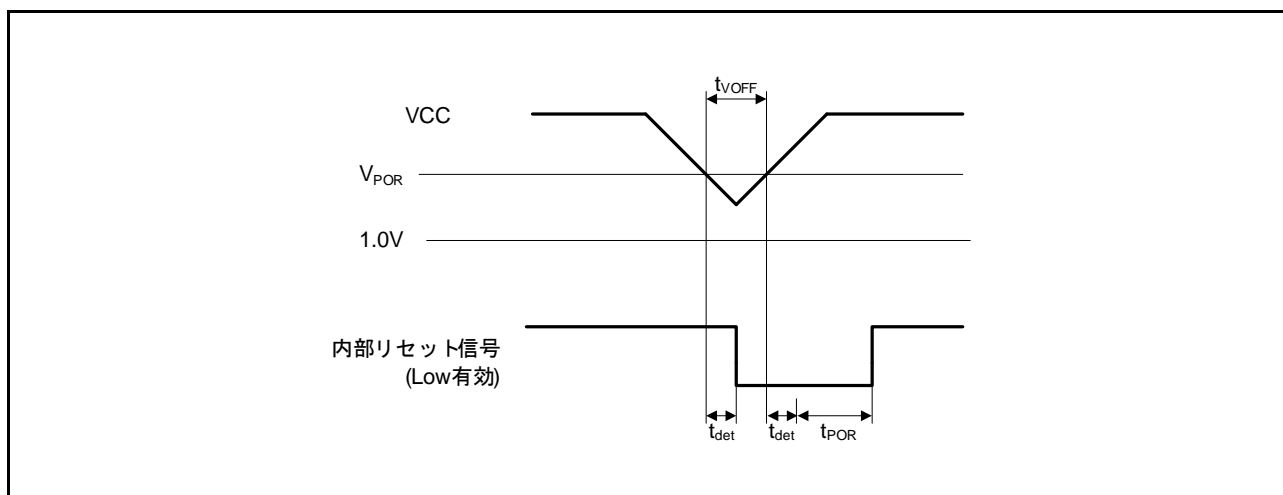


図 2.39 電圧検出しリセットタイミング

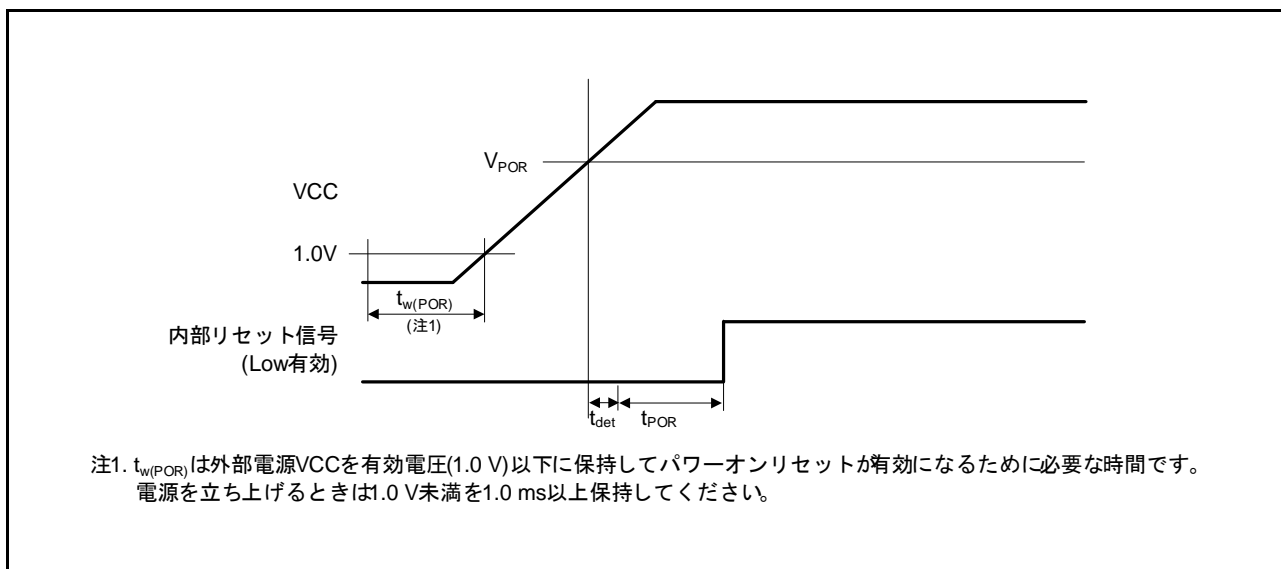


図 2.40 パワーオンリセットタイミング

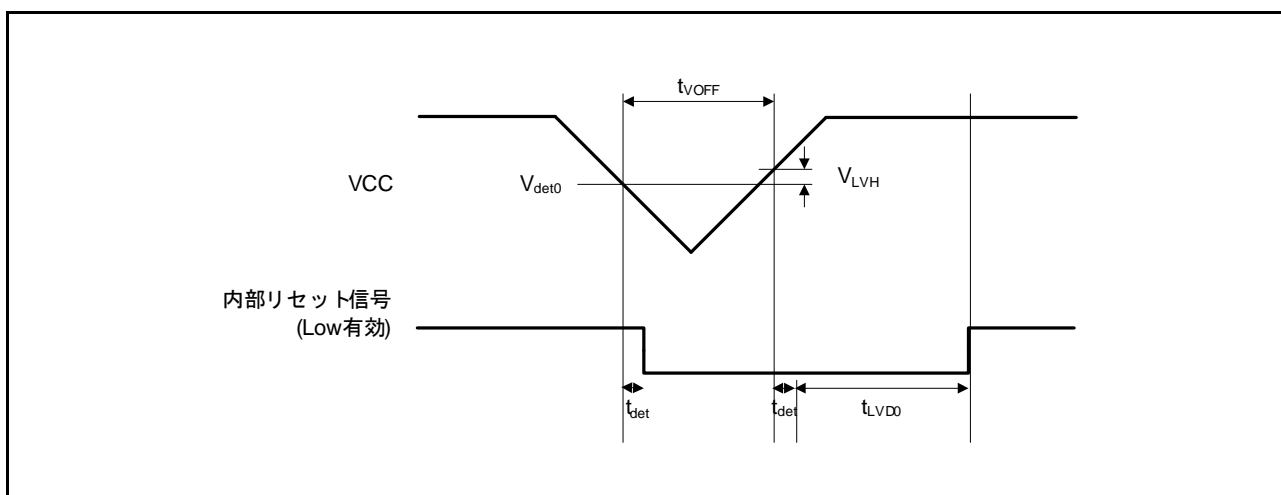


図 2.41 電圧検出回路タイミング (V_{det0})

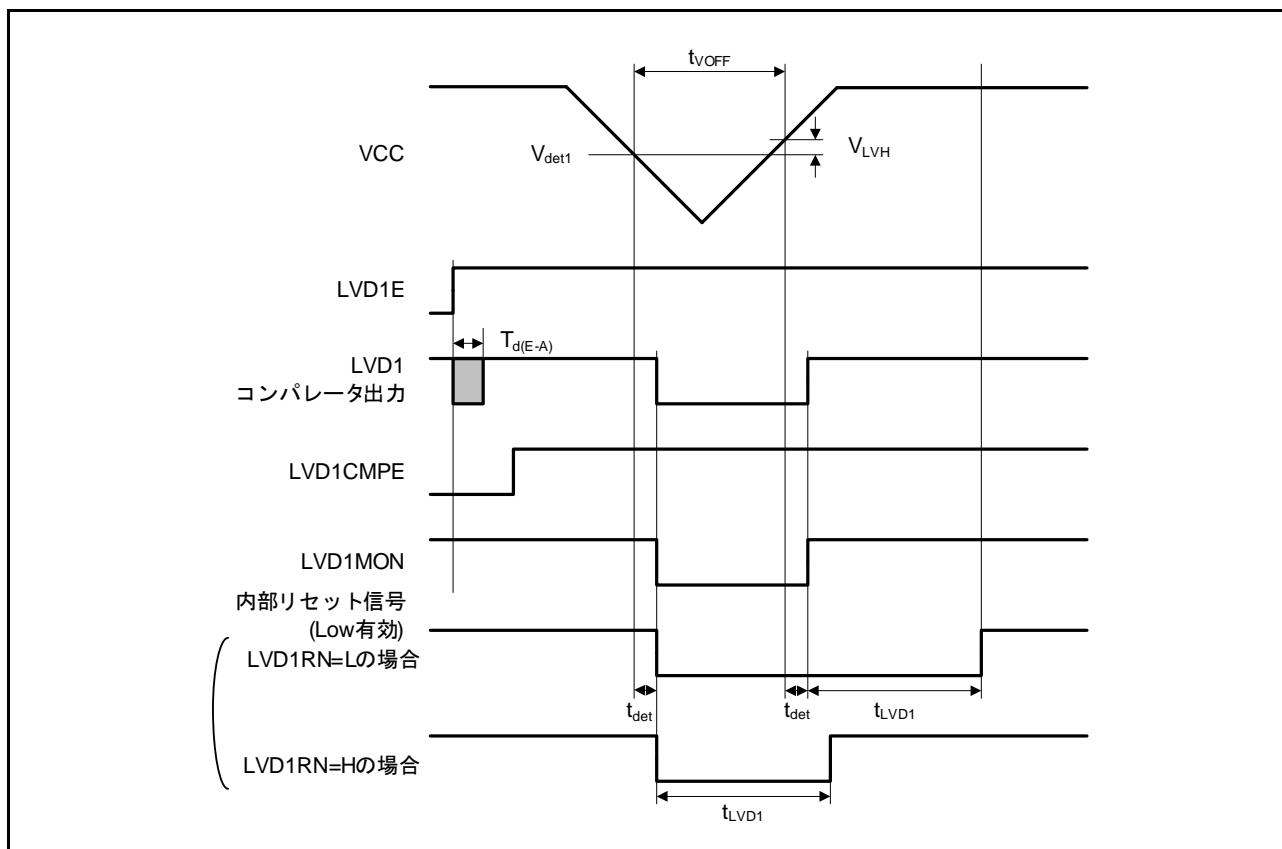


図 2.42 電圧検出回路タイミング (V_{det1})

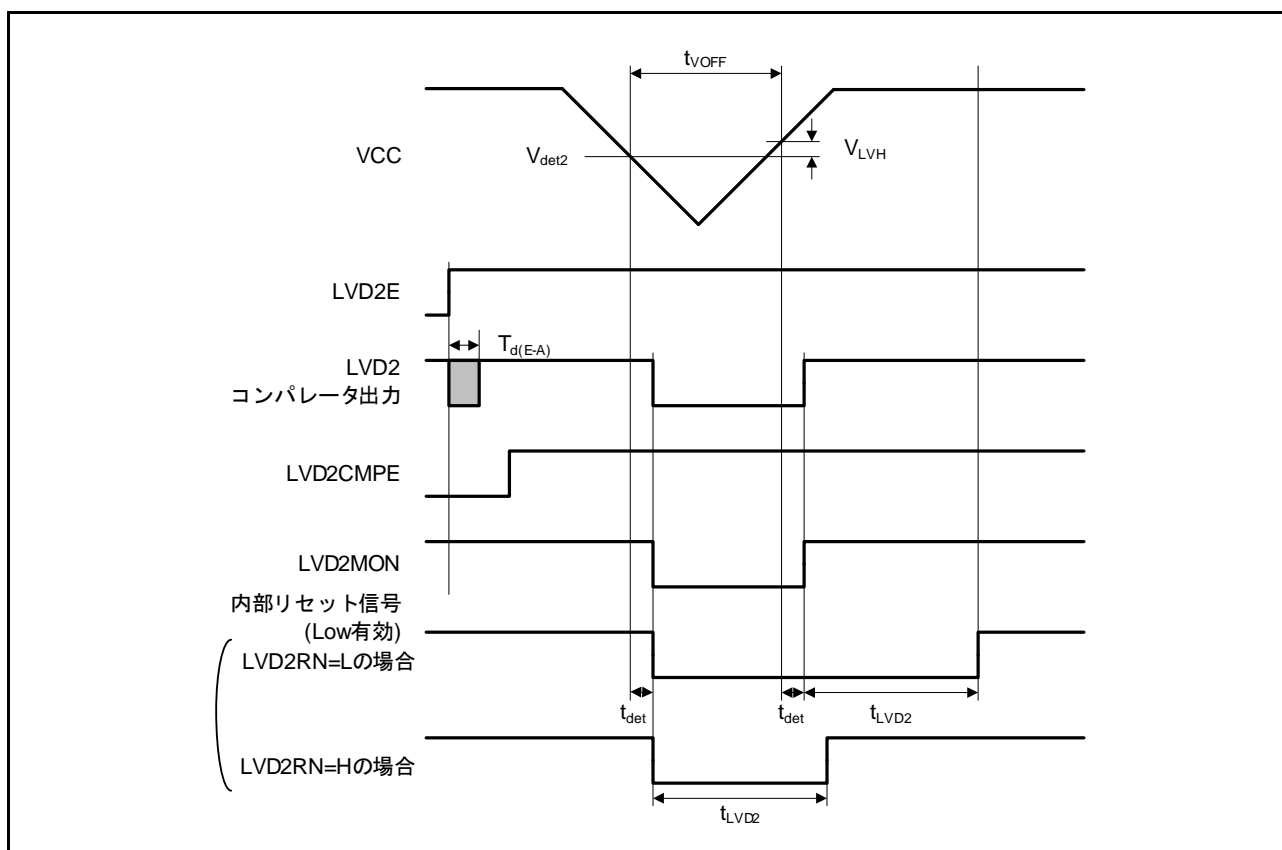


図 2.43 電圧検出回路タイミング (V_{det2})

2.10 発振停止検出タイミング

表 2.46 発振停止検出回路特性

条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.44

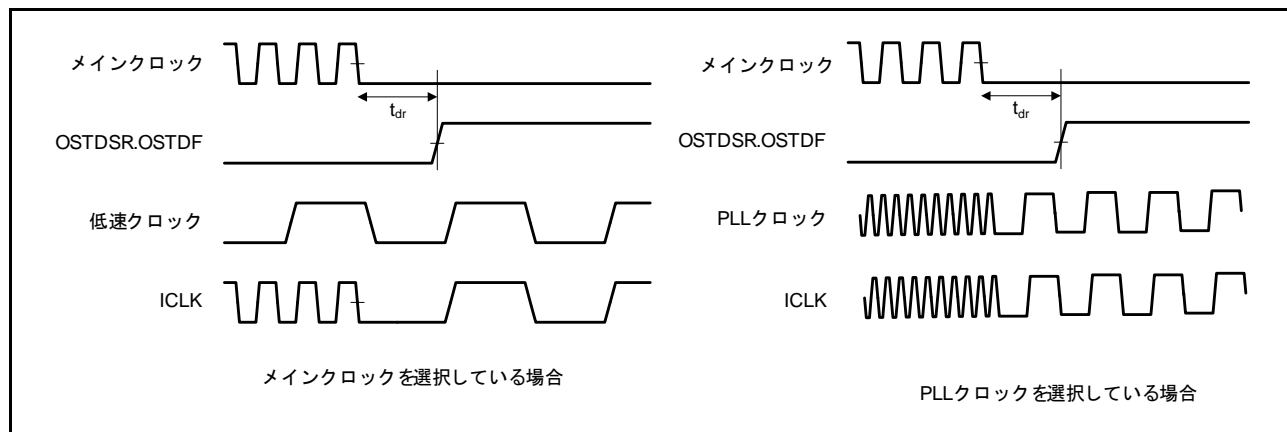


図 2.44 発振停止検出タイミング

2.11 ROM (コードフラッシュメモリ) 特性

表2.47 ROM (コードフラッシュメモリ) 特性(1)

項目	記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)	N _{PEC}	1000	—	—	回	
データ保持時間	イレーズ1000回後	t _{DRP}	20 (注2、注3)	—	年	T _a = +85°C

注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、1Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを256回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません（上書き禁止）。

注2. フラッシュプログラマを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表2.48 ROM (コードフラッシュメモリ) 特性(2) 高速動作モード

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1 MHz			FCLK = 32 MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	4バイト	t _{P4}	—	103	931	—	52	489	μs
イレーズ時間	1Kバイト	t _{E1K}	—	8.23	267	—	5.48	214	ms
	128Kバイト	t _{E128K}	—	203	463	—	20	228	
ブランクチェック時間	4バイト	t _{BC4}	—	—	48	—	—	15.9	μs
	1Kバイト	t _{BC1K}	—	—	1.58	—	—	0.127	ms
イレーズ処理強制停止時間	t _{SED}	—	—	21.6	—	—	12.8	μs	
スタートアップ領域入れ替え設定時間	t _{SAS}	—	12.6	543	—	6.16	432	ms	
アクセスウィンドウ設定時間	t _{AWS}	—	12.6	543	—	6.16	432	ms	
ROMモード遷移待ち時間1	t _{DIS}	2	—	—	2	—	—	μs	
ROMモード遷移待ち時間2	t _{MS}	5	—	—	5	—	—	μs	

注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. プログラム/イレーズ時、FCLKの下限周波数は1 MHzです。FCLKを4 MHz未満で使用する場合は、設定可能な周波数は1 MHz、2 MHz、3 MHzです。たとえば1.5 MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

表2.49 ROM (コードフラッシュメモリ) 特性 (3) 中速動作モード
 条件 : VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V
 プログラム/イレーズ時の動作温度範囲 : T_a = -40 ~ +85°C

項目	記号	FCLK = 1 MHz			FCLK = 8 MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	4バイト	t _{P4}	—	143	1330	—	96.8	932	μs
イレーズ時間	1Kバイト	t _{E1K}	—	8.3	269	—	5.85	219	ms
	128Kバイト	t _{E128K}	—	203	464	—	46	260	
ブランクチェック時間	4バイト	t _{BC4}	—	—	78	—	—	50	μs
	1Kバイト	t _{BC1K}	—	—	1.61	—	—	0.369	ms
イレーズ処理強制停止時間	t _{SED}	—	—	33.6	—	—	25.6	μs	
スタートアップ領域入れ替え設定時間	t _{SAS}	—	13.2	549	—	7.6	445	ms	
アクセスウィンドウ設定時間	t _{AWS}	—	13.2	549	—	7.6	445	ms	
ROMモード遷移待ち時間1	t _{DIS}	2	—	—	2	—	—	μs	
ROMモード遷移待ち時間2	t _{MS}	3	—	—	3	—	—	μs	

- 注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
 注. プログラム/イレーズ時、FCLKの下限周波数は1 MHzです。FCLKを4 MHz未満で使用する場合は、設定可能な周波数は1 MHz、2 MHz、3 MHzです。たとえば1.5 MHzのように整数値でない周波数は設定できません。
 注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

2.12 E2 データフラッシュ (データフラッシュメモリ) 特性

表2.50 E2データフラッシュ特性(1)

項目		記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)		N _{DPEC}	100000	1000000	—	回	
データ保持時間	イレーズ10000回後	t _{DDRP}	20 (注2、注3)	—	—	年	T _a = +85°C
	イレーズ100000回後		5 (注2、注3)	—	—		
	イレーズ1000000回後		—	1 (注2、注3)	—		T _a = +25°C

注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、1Kバイトのブロックについて、それぞれ異なる番地に1バイトプログラムを1000回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. フラッシュプログラマを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表2.51 E2データフラッシュ特性(2) 高速動作モード

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目		記号	FCLK = 1 MHz			FCLK = 32 MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	86	761	—	40.5	374	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	17.4	456	—	6.15	228	ms
	4Kバイト	t _{DE4K}	—	35.8	474	—	7.5	229	
ブランクチェック時間	1バイト	t _{DBC1}	—	—	48	—	—	15.9	μs
	1Kバイト	t _{DBC1K}	—	—	1.58	—	—	0.127	ms
イレーズ処理強制停止時間		t _{DSED}	—	—	21.5	—	—	12.8	μs
データフラッシュ STOP解除時間		t _{DSTOP}	5.0	—	—	5	—	—	μs

注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. プログラム/イレーズ時、FCLKの下限周波数は1 MHzです。FCLKを4 MHz未満で使用する場合は、設定可能な周波数は1 MHz、2 MHz、3 MHzです。たとえば1.5 MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表2.52 E2データフラッシュ特性(3) 中速動作モード

条件：VCC = 2.7 V ~ 5.5 V, AVCC0 = VCC ~ 5.5 V, VSS = AVSS0 = 0 V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目		記号	FCLK = 1 MHz			FCLK = 8 MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	126	1160	—	85.4	818	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	17.5	457	—	7.76	259	ms
	4Kバイト	t _{DE4K}	—	35.9	476	—	9.0	260	
ブランクチェック時間	1バイト	t _{DBC1}	—	—	78	—	—	50	μs
	1Kバイト	t _{DBC1K}	—	—	1.61	—	—	0.369	ms
イレーズ処理強制停止時間		t _{DSED}	—	—	33.5	—	—	25.5	μs
データフラッシュ STOP解除時間		t _{DSTOP}	720	—	—	720	—	—	ns

注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. プログラム/イレーズ時、FCLKの下限周波数は1 MHzです。FCLKを4 MHz未満で使用する場合は、設定可能な周波数は1 MHz、2 MHz、3 MHzです。たとえば1.5 MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

2.13 使用上の注意事項

2.13.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μF を接続する必要があります。外付けコンデンサ接続方法を図 2.45 ～ 図 2.48 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μF (推奨値) を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「26. 12 ビット A/D コンバータ (S12ADF)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

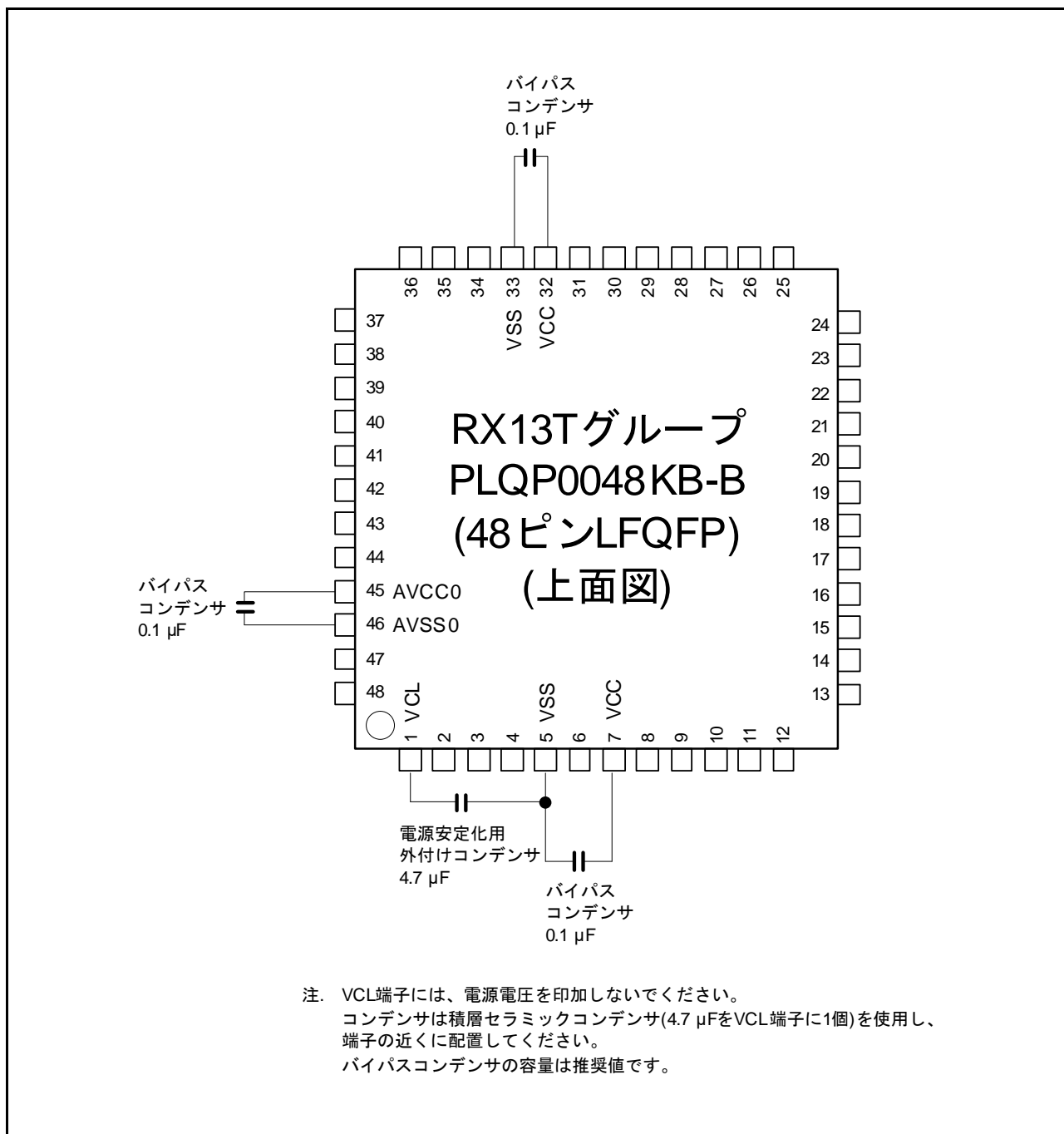


図 2.45 コンデンサ接続方法 (48 ピン LQFP)

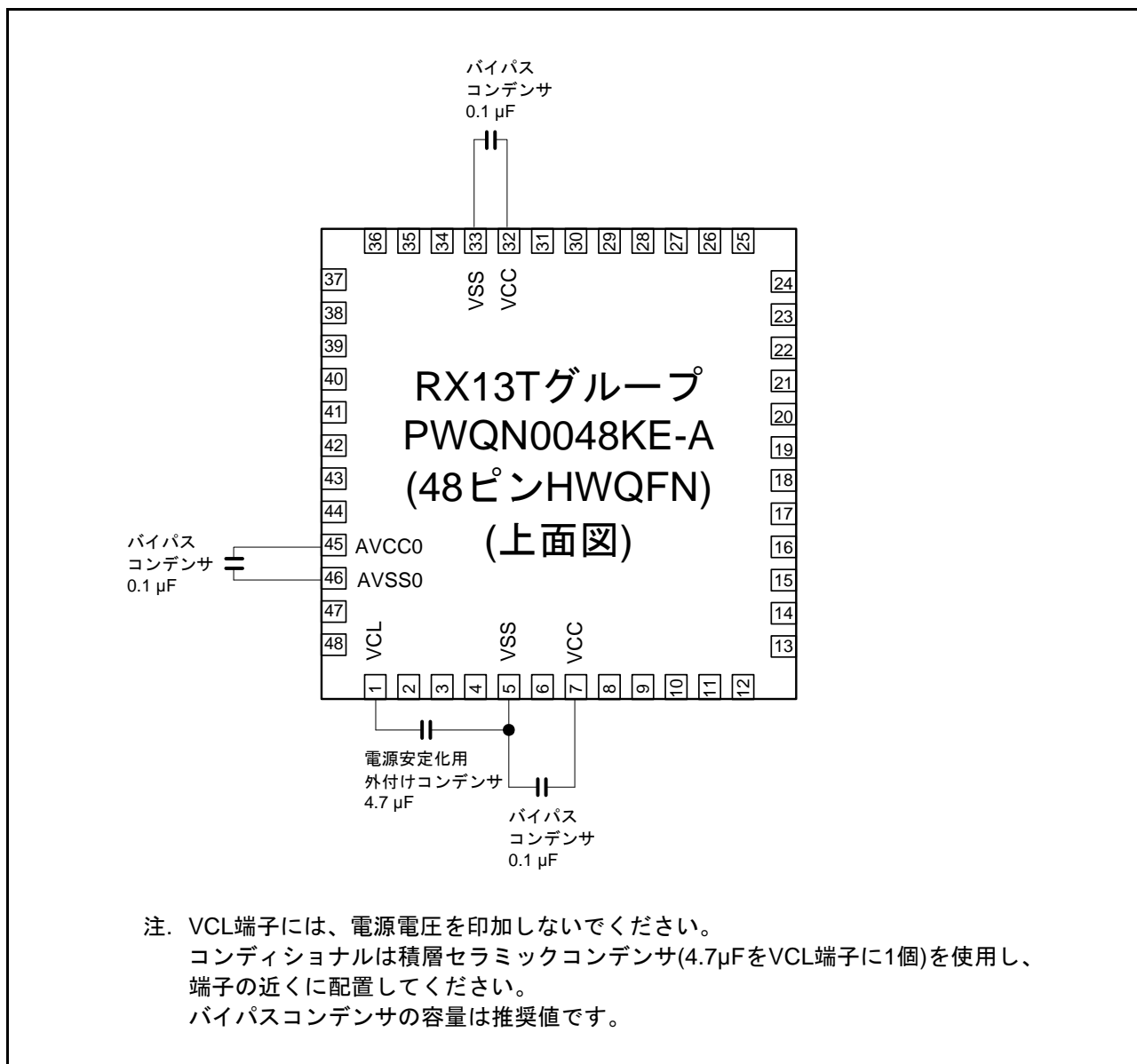


図 2.46 コンデンサ接続方法 (48 ピン HWQFN)

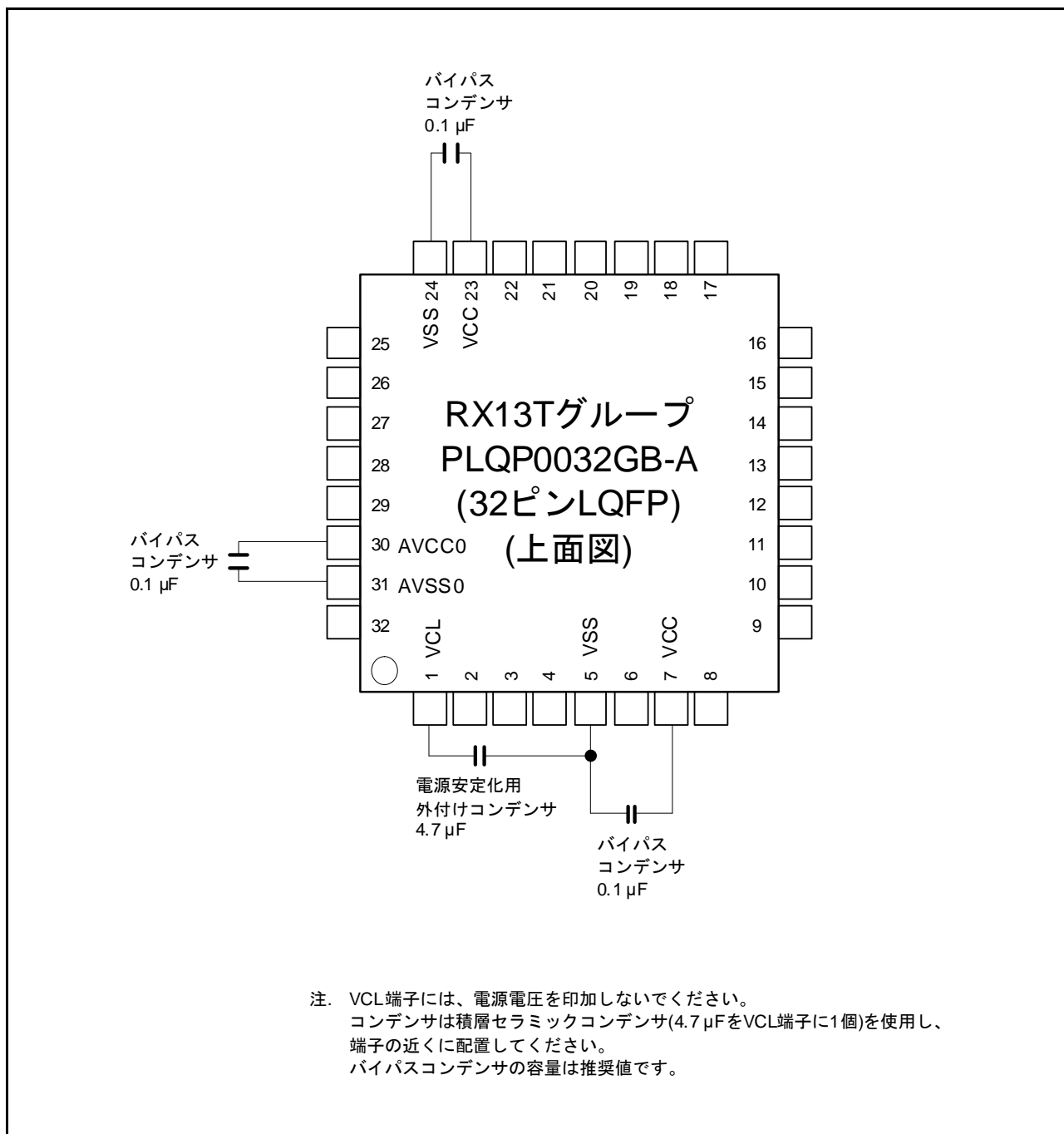


図 2.47 コンデンサ接続方法 (32 ピン LQFP)

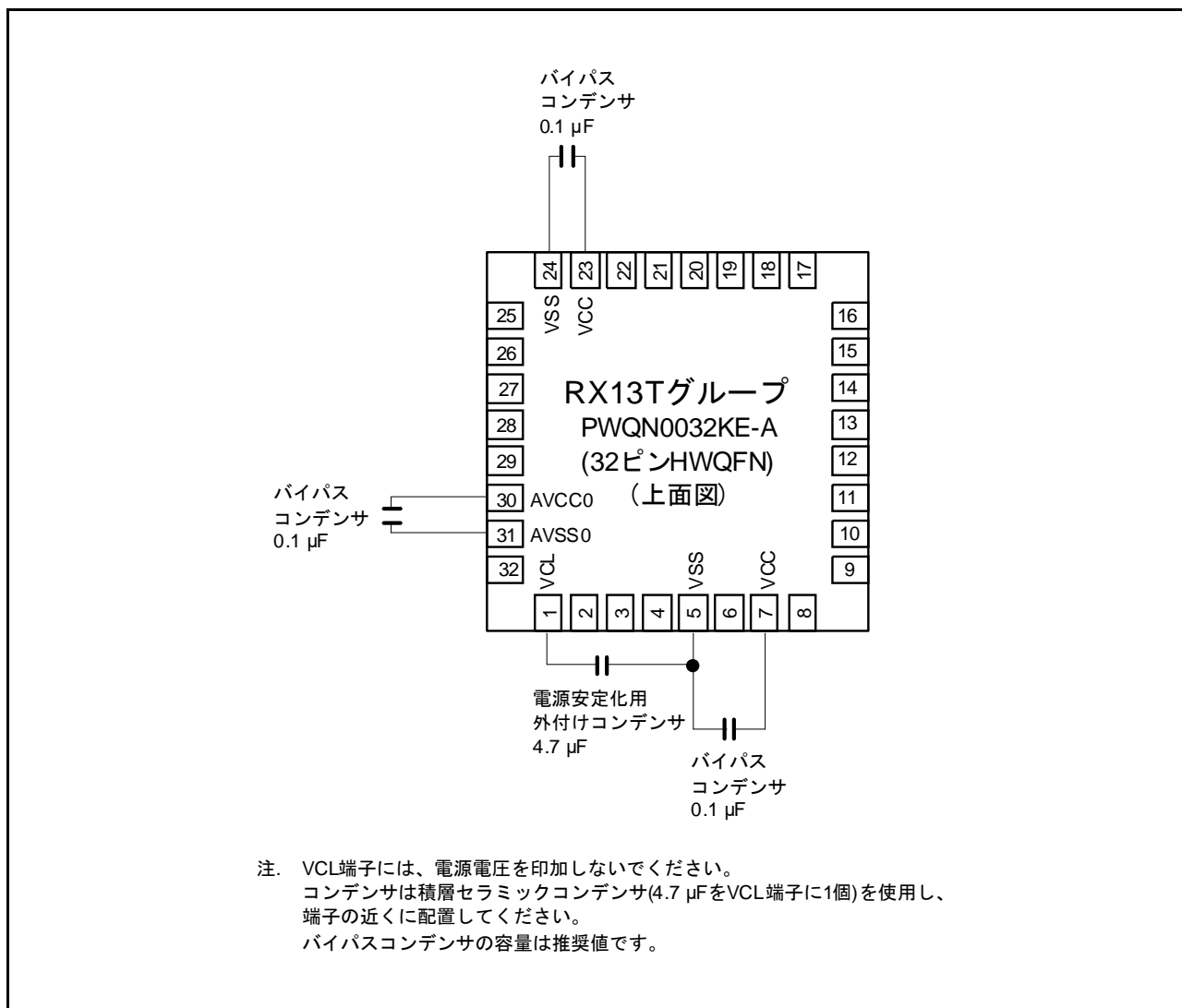


図 2.48 コンデンサ接続方法 (32 ピン HWQFN)

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

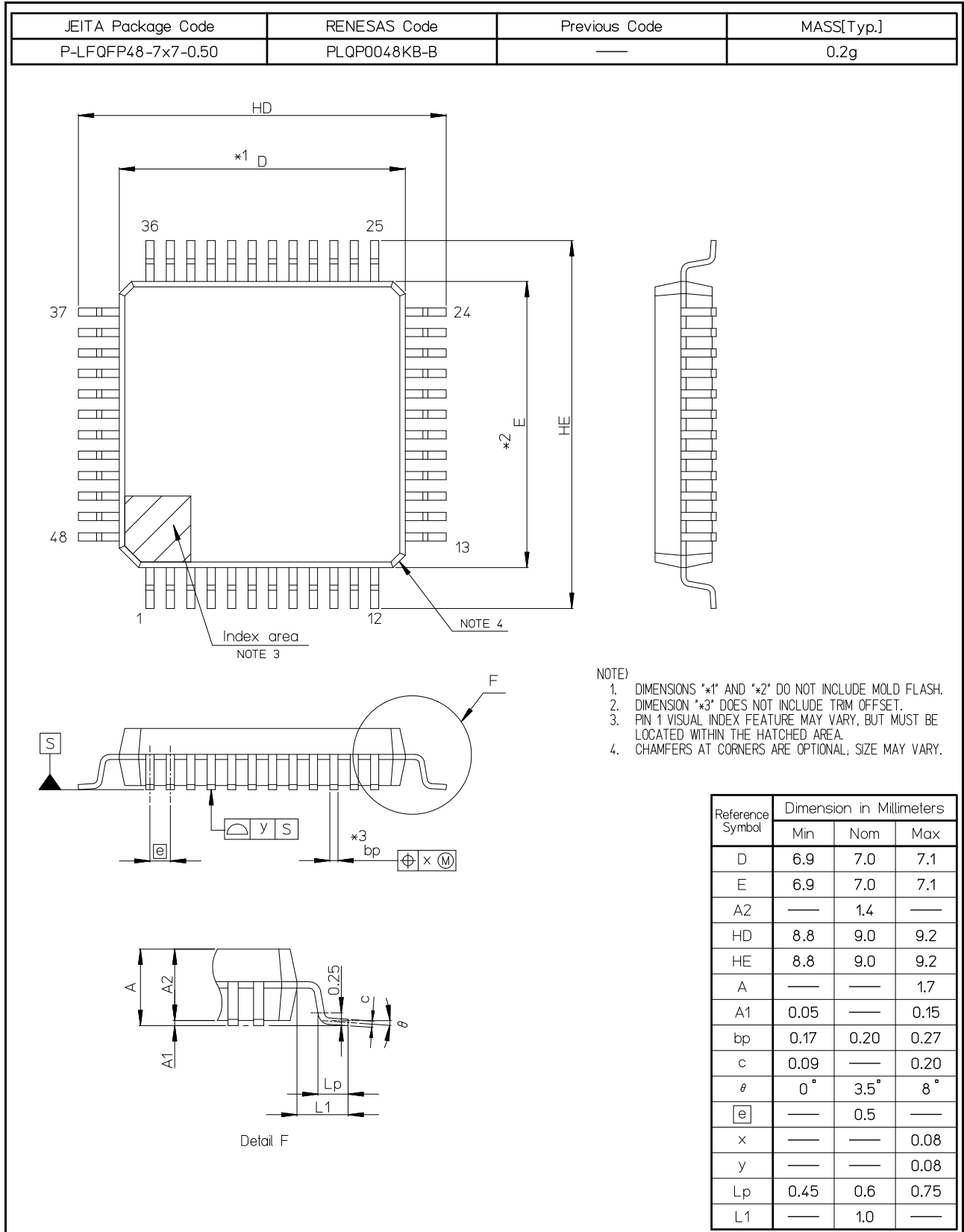
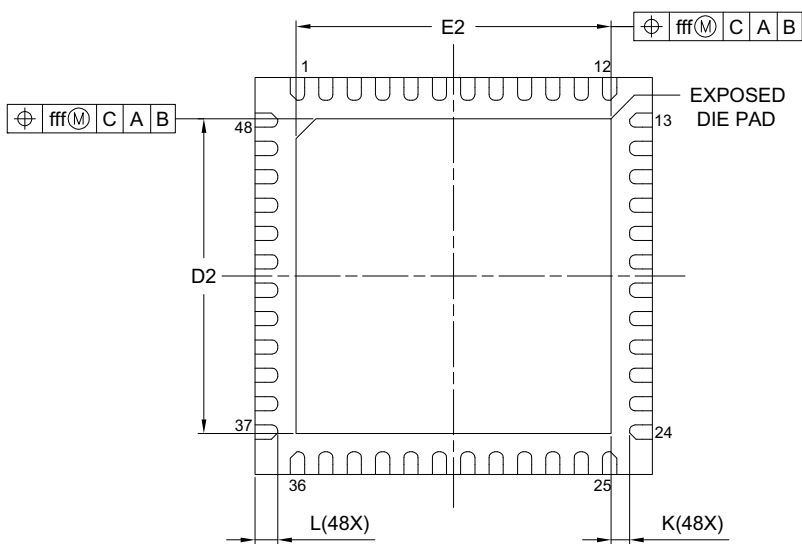
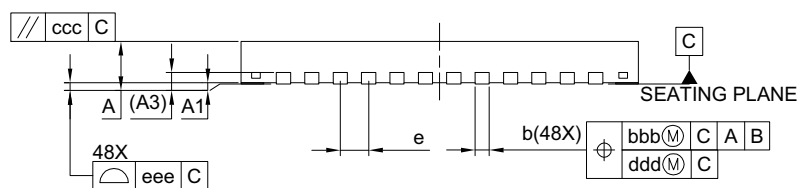
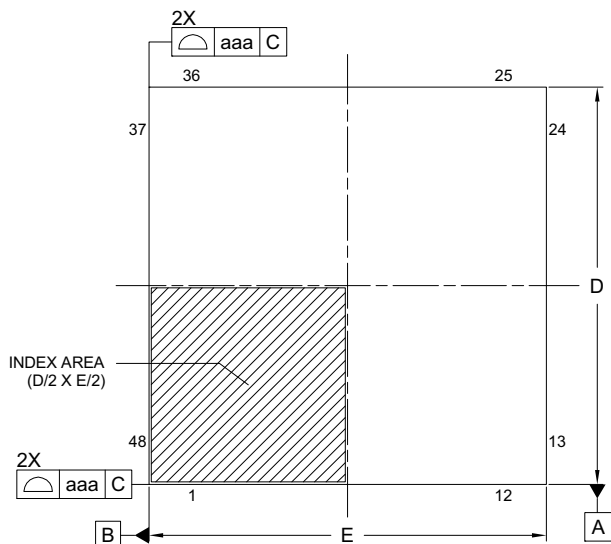


図 A. 48ピン LFQFP (PLQP0048KB-B)

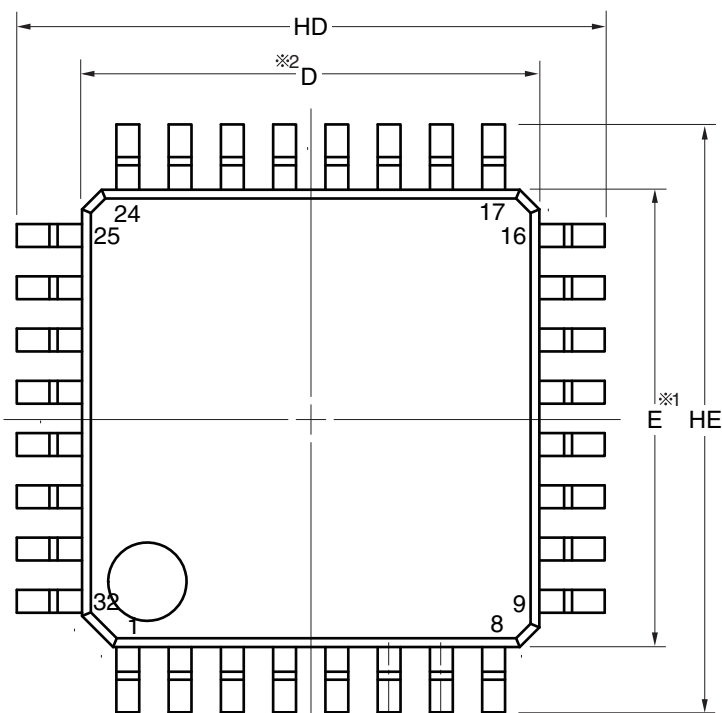
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KE-A	0.13



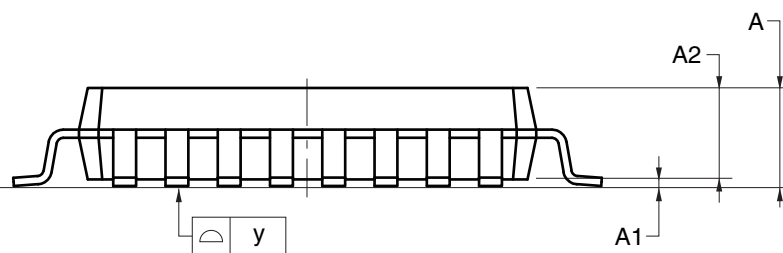
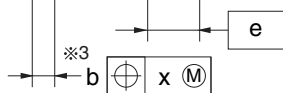
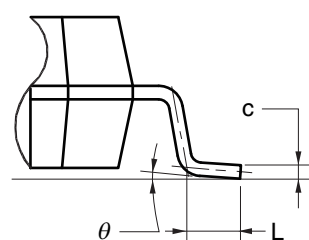
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.50	5.55	5.60
E ₂	5.50	5.55	5.60
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 B. 48ピン HWQFN (PWQN0048KE-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

NOTE

1. Dimensions " $\ast 1$ " and " $\ast 2$ " do not include mold flash.
2. Dimension " $\ast 3$ " does not include trim offset.

図 C. 32 ピン LQFP (PLQP0032GB-A)

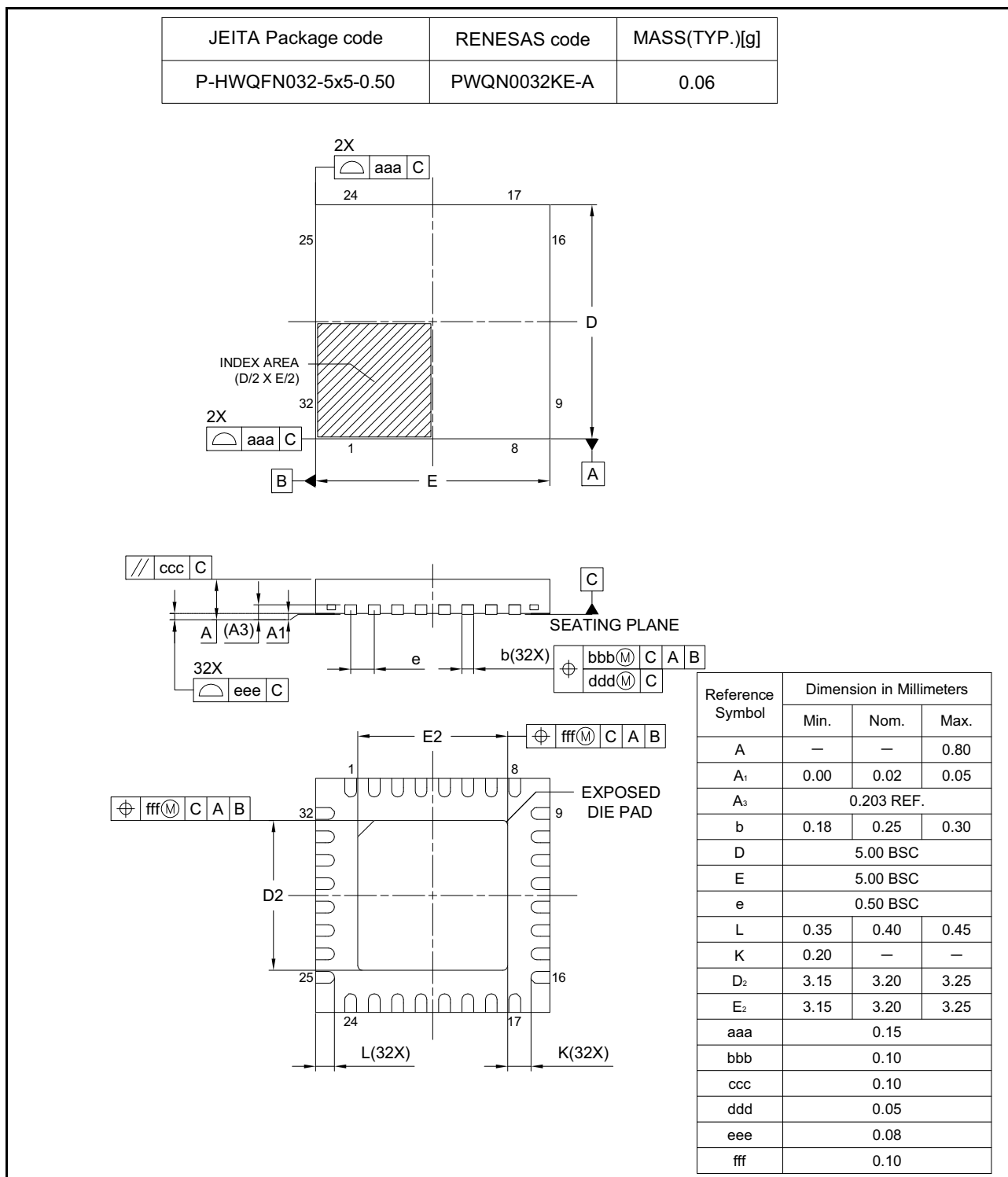


図 D. 32ピン HWQFN (PWQN0032KE-A)

改訂記録	RX13T グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2019.08.20	—	初版発行	
1.10	2021.03.16	特長		
		1	48ピンHWQFN、32ピンHWQFNパッケージイメージ図 追加	
		1. 概要		
		全体	48ピンHWQFN、32ピンHWQFNの仕様 追加	
		2. 電気的特性		
		37～50	2.4.5 内蔵周辺モジュールタイミング 表の順番変更	

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。