

RX23E-B グループ

ルネサスマイクロコンピュータ

R01DS0402JJ0100

Rev.1.00

2023.08.31

32MHz、32ビットRX MCU、最大256Kバイトフラッシュメモリ、
低ノイズ、低ドリフト、高速(最大125kSPS)の24ビット Δ - Σ A/Dコンバータ 1ユニット、
レールtoレールプログラマブルゲイン計装アンプ付き、 $\pm 10V$ 入力、
低ドリフト基準電圧源、励起電流源搭載

特長

■ 32ビットRXv2 CPU コア内蔵

- 最大動作周波数 32MHz
64DMIPS の性能 (32MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISC ハードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■ 消費電力低減機能

- 1.8V ~ 5.5V 動作の単一電源
- 3種類の低消費電力モード
- ソフトウェアスタンバイ中でも動作する LPT (ローパワータイマ)

■ 内蔵コードフラッシュメモリ (ウェイトなし)

- 32MHz 動作、31.25ns 読み出しサイクル
- CPU フルスPEED読み出し時、ウェイトなし
- 128K、256K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み
- 1.8V で書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イネーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵SRAM (ウェイトなし)

- 16K、32K バイトの容量

■ データ転送機能

- DMAC: 4チャンネル内蔵
- DTC: 4種類の転送方式

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など7種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- メインクロック発振子周波数: 1MHz ~ 20MHz
- 外部クロック入力周波数: ~ 20MHz
- サブクロック発振子周波数: 32.768kHz
- PLL 回路入力: 4MHz ~ 8MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵
- クロック周波数精度測定回路 (CAC) 内蔵

■ リアルタイムクロック内蔵

- 補正機能 (30秒、うるう年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能

■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

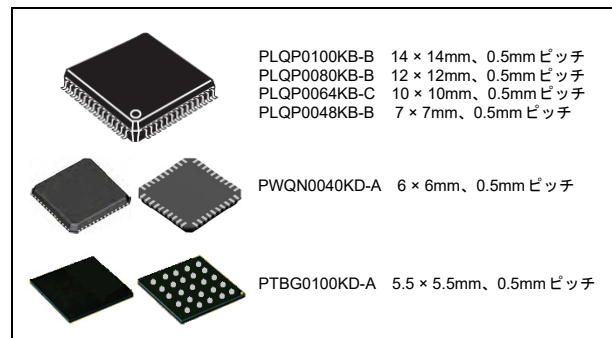
- A/Dコンバータ自己診断機能/断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOCによるRAMテストアシスト機能など

■ MPC

- 周辺機能の入出力端子を複数箇所から選択可能

■ 最大8本の通信機能を内蔵

- ISO11898-1 準拠のCAN (1チャンネル) 最大1Mbps 転送
- 多彩な機能に対応したSCI (最大7チャンネル) 調歩同期モード/クロック同期モード/スマートカードインタフェースモード/ビットレートモジュレーション機能による通信誤差低減
- I²C バスインタフェース: 最大400kbps 転送、SMBus に対応 (1チャンネル)
- RSPI (1チャンネル): 最大16Mbps 転送



■ 最大12本の拡張タイマ機能

- 16ビットMTU: インプットキャプチャ、アウトプットコンペア、相補PWM出力、位相計数モード (6チャンネル)
- 8ビットTMR (4チャンネル)
- 16ビットCMT (2チャンネル)

■ アナログ機能

- 24ビット Δ - Σ A/Dコンバータを1ユニット搭載
- 最大24ビット有効分解能のA/Dコンバータ (ゲイン=1、出力データレート=3.8SPS)
- 高精度プログラマブルゲイン計装アンプ搭載
11nV_{RMS} (ゲイン=128、出力データレート=3.8SPS)
- レールtoレールプログラマブルゲイン計装アンプ (ゲイン=1~128)
- プログラマブルデータレート: 3.8SPS ~ 125kSPS (f_{MOD} = 4MHz)
- オフセットドリフト 4nV/°C (ゲイン=64 ~ 128)
- ゲインドリフト 1ppm/°C (ゲイン=1 ~ 16 (PGA有効))
- 最大8差動入力、16シングルエンド入力
- 4種類のデジタルフィルタから選択可能
4次Sincフィルタ
4次Sincフィルタ+4次Sincフィルタ
5次Sincフィルタ
5次Sincフィルタ+1次Sincフィルタ
- 50Hz/60Hz同時除去 (出力データレート=10SPS, 54SPS)
- オフセットエラー、ゲインエラー補正
- $\pm 10V$ 入力端子搭載
- Δ - Σ A/D入力断線検知アシスト
- Δ - Σ A/D基準電圧外部入力
- 基準電圧源: 出力電圧2.5V、温度ドリフト8ppm/°C (T_a = -40 ~ +85°C)、出力電流 $\pm 10mA$
- 励起電流源: 出力2チャンネル、出力電流50 μA ~ 1000 μA 、電流マッチング $\pm 0.2%$ 、ドリフトマッチング5ppm/°C
- バイアス電圧生成回路: 出力電圧 (AVCC0 + AVSS0)/2
- 温度センサ: 精度 $\pm 5^\circ C$
- ローサイドスイッチ: オン抵抗10 Ω
- 低電源電圧検出回路
- Δ - Σ A/D入力電圧異常検出回路
- Δ - Σ A/D基準電圧異常検出回路、断線検出回路
- 励起電流源断線検出回路
- 高耐圧アナログコモン入力断線検出回路

■ 12ビットA/Dコンバータ内蔵

- 最小1.4 μs 変換が可能
- 8チャンネル
- チャンネルごとにサンプリング時間を設定可能
- 自己診断機能/アナログ入力断線検出アシスト機能内蔵

■ 16ビットD/Aコンバータ内蔵

- 1チャンネル
- DNL = $\pm 1LSB$ 、INL = $\pm 5LSB$ (max, VREFH $\geq 4.5V$)

■ 汎用入出力ポート内蔵

- 5Vトレナント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 動作周囲温度

- 40°C ~ +85°C
- 40°C ~ +105°C

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/6)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：32MHz 32ビットRX CPU (RX v2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 可変長命令形式 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット メモリプロテクションユニット(MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点 (32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：128K/256Kバイト 32MHz、ノーウェイトアクセス 書き換え方法：シリアルライタープログラミング (調歩同期式シリアル通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：16K/32Kバイト 32MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：1,000,000回 (typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路 (CAC)：あり システムクロック (ICLK)、周辺モジュールクロック (PCLK)、FlashIFクロック (FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 32MHz MTU2aはPCLKA同期：Max 32MHz DSADの動作クロックはPCLKC同期：Max 16MHz S12ADの動作クロック (ADCLK)はPCLKD同期：Max 32MHz MTU2a、DSADおよびS12AD以外の周辺モジュールはPCLKB同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路 (LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を4レベルから選択可能 電圧検出1は検出電圧を14レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能 電圧検出2はCMPA2端子からの入力電圧の監視が可能

表 1.1 仕様概要 (2/6)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード ソフトウェアスタンバイ中でも動作可能なローパワータイマーを搭載
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード、低速動作モード
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：256 外部割り込み：要因数 9 (NMI、IRQ0～IRQ7端子) ノンマスクابل割り込み：要因数 5 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、IWDTC割り込み) 16レベルの割り込み優先順位を設定可能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> 4チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファ コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> イベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能

表 1.1 仕様概要 (3/6)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> • 100 ピン TFBGA、100 ピン LQFP (高耐圧入力端子なし) 入出力：58 入力：1 プルアップ抵抗：59 オープンドレイン出力：58 5Vトレラント：6 • 100 ピン TFBGA、100 ピン LQFP (高耐圧入力端子あり) 入出力：58 入力：1 プルアップ抵抗：59 オープンドレイン出力：58 5Vトレラント：4 • 80 ピン LQFP 入出力：43 入力：1 プルアップ抵抗：44 オープンドレイン出力：43 5Vトレラント：2 • 64 ピン (高耐圧入力端子あり) 入出力：30 入力：1 プルアップ抵抗：31 オープンドレイン出力：30 5Vトレラント：2 • 64 ピン (高耐圧入力端子なし) 入出力：27 入力：1 プルアップ抵抗：28 オープンドレイン出力：27 5Vトレラント：2 • 48 ピン LQFP 入出力：17 入力：1 プルアップ抵抗：18 オープンドレイン出力：17 5Vトレラント：2 • 40 ピン HWQFN (高耐圧入力端子あり) 入出力：13 入力：1 プルアップ抵抗：14 オープンドレイン出力：13 5Vトレラント：2 • 40 ピン HWQFN (高耐圧入力端子なし) 入出力：14 入力：1 プルアップ抵抗：15 オープンドレイン出力：14 5Vトレラント：2
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能

表 1.1 仕様概要 (4/6)

分類	モジュール/機能	説明
タイマ	マルチファンクションタイマパルスユニット2 (MTU2a)	<ul style="list-style-type: none"> • (16ビット×6チャンネル)×1ユニット • 16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能 • チャンネルごとにカウントクロック (PCLK/1, PCLK/4, PCLK/16, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD)を8種類または7種類選択可能 (チャンネル5は4種類) • インพุットキャプチャ機能 • 21本のアウトプットコンペアレジスタ兼インพุットキャプチャレジスタ • パルス出力モード • 相補PWM出力モード • リセット同期PWMモード • 位相計数モード • A/Dコンバータの変換開始トリガを生成可能
	ポートアウトプットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル)×1ユニット • 4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512)を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウントクロック: IWDTC専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイムクロック (RTCc)	<ul style="list-style-type: none"> • クロックソース: サブクロックにて動作 • カレンダカウントモード/バイナリカウントモードを選択可能 • 割り込み: アラーム割り込み、周期割り込み、桁上げ割り込み
	ローパワータイマ (LPT)	<ul style="list-style-type: none"> • 16ビット×1チャンネル • クロックソース: サブクロック、IWDTC専用低速オンチップオシレータ 2分周、4分周、8分周、16分周、32分周
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> • (8ビット×2チャンネル)×2ユニット • 7種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192)と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能

表 1.1 仕様概要 (5/6)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCIg, SC1h)	<ul style="list-style-type: none"> 7チャンネル (チャンネル0、1、5、6、8、9 : SCIg、チャンネル12 : SC1h) SCIg シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5, SCI6, SCI12) スタートビット検出 : レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート SC1h (SCIgに以下の機能を付加) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I ² Cバスインタフェース (R1ICa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース (RSPIC)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIC Clock)信号を使用して、SPI動作 (4線式)/クロック同期式動作 (3線式)でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット)を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ 送信/受信データをバイト単位でスワップ可能 マスタ受信時、RSPCKは受信バッファフルで自動停止可能
	CANモジュール (RSCAN)	<ul style="list-style-type: none"> 1チャンネル ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) 16メッセージボックス
LCDコントローラ/ドライバ (LCDC)	<ul style="list-style-type: none"> 内部昇圧/容量分割/外部抵抗分割の切り替えが可能 セグメント信号出力×コモン信号出力 : 40×4本、36×8本 	
24ビットΔ-Σ A/Dコンバータ (DSADB)	<ul style="list-style-type: none"> 24ビット (8チャンネル×1ユニット) A/D変換方式 : Δ-Σ型 デジタルフィルタ : 4次Sincフィルタ、4次Sincフィルタ+4次Sincフィルタ、5次Sincフィルタ、5次Sincフィルタ+1次Sincフィルタ 分解能 : 24ビット データレート : 3.8SPS~125kSPS 入力モード : 差動入力/疑似差動入力/シングルエンド入力 モジュレータクロック : typ. 4MHz (低速動作対応 125kHz~) 総合オーバーサンプリング比 : 32~1,048,576 プログラマブルゲイン計装アンプ (PGA) 付属 ゲイン設定 : x1, x2, x4, x8, x16, x32, x64, x128 PGAバイパス機能 : アナログ入力バッファあり/なし チャンネルごとのコンフィグ設定 A/D変換開始条件 ソフトウェアトリガ、ELC 断線検知アシスト機能 基準電圧選択機能 	
16ビットD/Aコンバータ (R16DA)	<ul style="list-style-type: none"> 16ビット (1チャンネル) 出力バッファ内蔵 (外部出力対応) 基準電圧選択機能 (外部基準入力対応) D/A変換開始条件 ソフトウェアトリガ、ELC 	

表 1.1 仕様概要 (6/6)

分類	モジュール/機能	説明
アナログフロントエンド(AFEA)		<ul style="list-style-type: none"> 基準電圧源 (VREF) 出力電圧 : 2.5V バイアス電圧生成回路 (VBIAS) 出力電圧 : (AVCC0 + AVSS0)/2 内部温度センサ (TEMPS) 励起電流源 (IEXC) 2チャンネル (Max 1000μA) 出力電流設定 : 50μA, 100μA, 250μA, 500μA, 750μA, 1000μA アナログマルチプレクサ (AMUX) 外部端子/バイアス電圧生成回路/内部温度センサ/励起電流源/16ビットD/Aコンバータより選択 +/-10V入力 (HVAIN) 4チャンネル ローサイドスイッチ (LSW) オン抵抗 : Max 10Ω 許容電流 : Max 30mA 電圧検出回路 (VDET) AVCC0の電圧低下を検出 DSAD入力の電圧異常を検出 DSAD基準電圧の電圧異常を検出、および断線検出アシスト 励起電流源の断線検出アシスト HVCOMの電圧異常を検出
12ビットA/Dコンバータ (S12ADE)		<ul style="list-style-type: none"> 12ビット (8チャンネル×1ユニット) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり 1.4μs (ADCLK = 32MHz動作時) 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 自己診断機能 ダブルトリガモード (A/D変換データ2重化機能) アナログ入力断線検出機能 A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU)のトリガ、外部トリガ、ELC
CRC演算器 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 1.8~2.4V : 8MHz、VCC = 2.4~2.7V : 16MHz、VCC = 2.7~5.5V : 32MHz AVCC0 = 4.5~5.5V (S12ADのみ動作の場合は1.8~5.5V)
動作周囲温度		Dバージョン : -40~+85°C、 Gバージョン : -40~+105°C
パッケージ		100ピンLFQFP (PLQP0100KB-B) 14×14mm、0.5mmピッチ 100ピンTFBGA (PTBG0100KD-A) 5.5×5.5mm、0.5mmピッチ 80ピンLFQFP (PLQP0080KB-B) 12×12mm、0.5mmピッチ 64ピンLFQFP (PLQP0064KB-C) 10×10mm、0.5mmピッチ 48ピンLFQFP (PLQP0048KB-B) 7×7mm、0.5mmピッチ 40ピンHWQFN (PWQN0040KD-A) 6×6mm、0.5mmピッチ
オンチップデバッキングシステム		E1エミュレータ (FINEインタフェース)

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX23E-B								
		100ピン	80ピン	64ピン	48ピン	40ピン	100ピン/HV	64ピン/HV	40ピン/HV	
割り込み	外部割り込み	NMI, IRQ0 ~ 7						NMI, IRQ0 ~ 7		
DMA	DMAコントローラ	4チャンネル (DMAC0 ~ DMAC3)						4チャンネル (DMAC0 ~ DMAC3)		
	データトランスファコントローラ	あり						あり		
タイマ	マルチファンクションタイマバルスユニット2	6チャンネル (MTU0 ~ MTU5)						6チャンネル (MTU0 ~ MTU5)		
	ポートアウトプットインエーブル2	POE0# ~ POE3#, POE8#						POE0# ~ POE3#, POE8#		
	8ビットタイマ	2チャンネル×2ユニット						2チャンネル×2ユニット		
	コンペアマッチタイマ	2チャンネル×1ユニット						2チャンネル×1ユニット		
	リアルタイムクロック	あり			なし			あり		なし
	ローパワータイマ	1チャンネル						1チャンネル		
	独立ウォッチドッグタイマ	あり						あり		
通信機能	シリアルコミュニケーションインタフェース (SCIg)	6チャンネル (SCI0, 1, 5, 6, 8, 9)	5チャンネル (SCI1, 5, 6, 8, 9)	4チャンネル (SCI1, 5, 6, 8)	3チャンネル (SCI1, 5, 6)	2チャンネル (SCI1, 5)	6チャンネル (SCI0, 1, 5, 6, 8, 9)	3チャンネル (SCI1, 5, 6, 8)	2チャンネル (SCI1, 5)	
	シリアルコミュニケーションインタフェース (SCIh)	1チャンネル (SCI12)						1チャンネル (SCI12)		
	I ² Cバスインタフェース	1チャンネル						1チャンネル		
	CANモジュール	1チャンネル						1チャンネル		
	シリアルペリフェラルインタフェース	1チャンネル						1チャンネル		
LCDコントローラ/ドライバ	40 SEG × 4 COM 36 SEG × 8 COM	31 SEG × 4 COM 27 SEG × 8 COM	なし			40 SEG × 4 COM 36 SEG × 8 COM	なし			
24ビットΔΣ A/Dコンバータ	1ユニット、差動入力 8チャンネル				1ユニット、差動入力 6チャンネル	1ユニット、差動入力 4チャンネル	1ユニット、差動入力 8チャンネル	1ユニット、差動入力 6チャンネル	1ユニット、差動入力 4チャンネル	
16ビットD/Aコンバータ	1チャンネル						1チャンネル			
アナログフロントエンド	基準電圧源	あり						あり		
	励起電流源	2チャンネル						2チャンネル		
	アナログマルチプレクサ	AIN : 8チャンネル (16入力)			AIN : 6チャンネル (12入力)	AIN : 4チャンネル (8入力)	AIN : 8チャンネル (16入力) HVAIN : 2チャンネル (4入力)	AIN : 4チャンネル (8入力) HVAIN : 2チャンネル (4入力)	AIN : 2チャンネル (4入力) HVAIN : 2チャンネル (4入力)	
	温度センサ	あり						あり		
	電圧検知回路	あり						あり		
12ビットA/Dコンバータ (内高精度チャンネル)	8チャンネル (8チャンネル)				6チャンネル (6チャンネル)	8チャンネル (8チャンネル)	6チャンネル (6チャンネル)	2チャンネル (2チャンネル)		
CRC演算器	あり						あり			
イベントリンクコントローラ	あり						あり			
パッケージ	100ピン TFBGA 100ピン LFQFP	80ピン LFQFP	64ピン LFQFP	48ピン LFQFP	40ピン HWQFN	100ピン TFBGA 100ピン LFQFP	64ピン LFQFP	40ピン HWQFN		

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1/2)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	24ビットΔΣA/Dコンバータサンプリングレート(max)	アナログ入力範囲(max)	LCD	動作周囲温度
RX23E-B (Dバージョン)	R5F523E6LDBS	PTBG0100KD-A	256Kバイト	32Kバイト	8Kバイト	32MHz	125Ksps	10V	あり	-40 ~ +85°C
	R5F523E6NDBS	PTBG0100KD-A					31.25Ksps	5V	あり	
	R5F523E6LDFP	PLQP0100KB-B					125Ksps	10V	あり	
	R5F523E6NDFP	PLQP0100KB-B					31.25Ksps	5V	あり	
	R5F523E6JDFN	PLQP0080KB-B					125Ksps	5V	あり	
	R5F523E6NDFN	PLQP0080KB-B					31.25Ksps	5V	あり	
	R5F523E6BDFM	PLQP0064KB-C					125Ksps	5V	なし	
	R5F523E6KDFM	PLQP0064KB-C						10V	なし	
	R5F523E6MDFM	PLQP0064KB-C					31.25Ksps	5V	なし	
	R5F523E6BDFL	PLQP0048KB-B					125Ksps	5V	なし	
	R5F523E6MDFL	PLQP0048KB-B					31.25Ksps	5V	なし	
	R5F523E6BDNF	PWQN0040KD-A					125Ksps	5V	なし	
	R5F523E6KDNF	PWQN0040KD-A	10V	なし						
	R5F523E6MDNF	PWQN0040KD-A	31.25Ksps	5V	なし					
	R5F523E5LDBS	PTBG0100KD-A	128Kバイト	16Kバイト	8Kバイト	32MHz	125Ksps	10V	あり	
	R5F523E5NDBS	PTBG0100KD-A					31.25Ksps	5V	あり	
	R5F523E5LDFP	PLQP0100KB-B					125Ksps	10V	あり	
	R5F523E5NDFP	PLQP0100KB-B					31.25Ksps	5V	あり	
	R5F523E5JDFN	PLQP0080KB-B					125Ksps	5V	あり	
	R5F523E5NDFN	PLQP0080KB-B					31.25Ksps	5V	あり	
	R5F523E5BDFM	PLQP0064KB-C					125Ksps	5V	なし	
	R5F523E5KDFM	PLQP0064KB-C						10V	なし	
	R5F523E5MDFM	PLQP0064KB-C					31.25Ksps	5V	なし	
	R5F523E5BDFL	PLQP0048KB-B					125Ksps	5V	なし	
R5F523E5MDFL	PLQP0048KB-B	31.25Ksps					5V	なし		
R5F523E5BDNF	PWQN0040KD-A	125Ksps					5V	なし		
R5F523E5KDNF	PWQN0040KD-A		10V	なし						
R5F523E5MDNF	PWQN0040KD-A	31.25Ksps	5V	なし						
RX23E-B (Gバージョン)	R5F523E6LGBS	PTBG0100KD-A	256Kバイト	32Kバイト	8Kバイト	32MHz	125Ksps	10V	あり	-40 ~ +105°C
	R5F523E6NGBS	PTBG0100KD-A					31.25Ksps	5V	あり	
	R5F523E6LGFP	PLQP0100KB-B					125Ksps	10V	あり	
	R5F523E6NGFP	PLQP0100KB-B					31.25Ksps	5V	あり	
	R5F523E6JGFN	PLQP0080KB-B					125Ksps	5V	あり	
	R5F523E6NGFN	PLQP0080KB-B					31.25Ksps	5V	あり	
	R5F523E6BGFM	PLQP0064KB-C					125Ksps	5V	なし	
	R5F523E6KGFM	PLQP0064KB-C						10V	なし	
	R5F523E6MGFM	PLQP0064KB-C					31.25Ksps	5V	なし	
	R5F523E6BGFL	PLQP0048KB-B					125Ksps	5V	なし	
	R5F523E6MGFL	PLQP0048KB-B					31.25Ksps	5V	なし	

表1.3 製品一覧表 (2/2)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数 (max)	24ビット $\Delta\Sigma/A/D$ コンバータ サンプルングレート (max)	アナログ入力範囲 (max)	LCD	動作周囲温度	
RX23E-B (Gバージョン)	R5F523E6BGNF	PWQN0040KD-A	256Kバイト	32Kバイト	8Kバイト	32MHz	125Ksps	5V	なし	-40 ~ +105°C	
	R5F523E6KGNF	PWQN0040KD-A						10V	なし		
	R5F523E6MGNF	PWQN0040KD-A						31.25Ksps	5V		なし
	R5F523E5LGBS	PTBG0100KD-A	128Kバイト	16Kバイト	8Kバイト	32MHz	125Ksps	10V	あり		
	R5F523E5NGBS	PTBG0100KD-A						5V	あり		
	R5F523E5LGFP	PLQP0100KB-B						125Ksps	10V		あり
	R5F523E5NGFP	PLQP0100KB-B						31.25Ksps	5V		あり
	R5F523E5JGFN	PLQP0080KB-B						125Ksps	5V		あり
	R5F523E5NGFN	PLQP0080KB-B						31.25Ksps	5V		あり
	R5F523E5BGFM	PLQP0064KB-C						125Ksps	5V		なし
	R5F523E5KGFM	PLQP0064KB-C							10V		なし
	R5F523E5MGFM	PLQP0064KB-C						31.25Ksps	5V		なし
	R5F523E5BGFL	PLQP0048KB-B						125Ksps	5V		なし
	R5F523E5MGFL	PLQP0048KB-B						31.25Ksps	5V		なし
	R5F523E5BGNF	PWQN0040KD-A						125Ksps	5V		なし
	R5F523E5KGNF	PWQN0040KD-A							10V		なし
	R5F523E5MGNF	PWQN0040KD-A							31.25Ksps		5V
5V										なし	

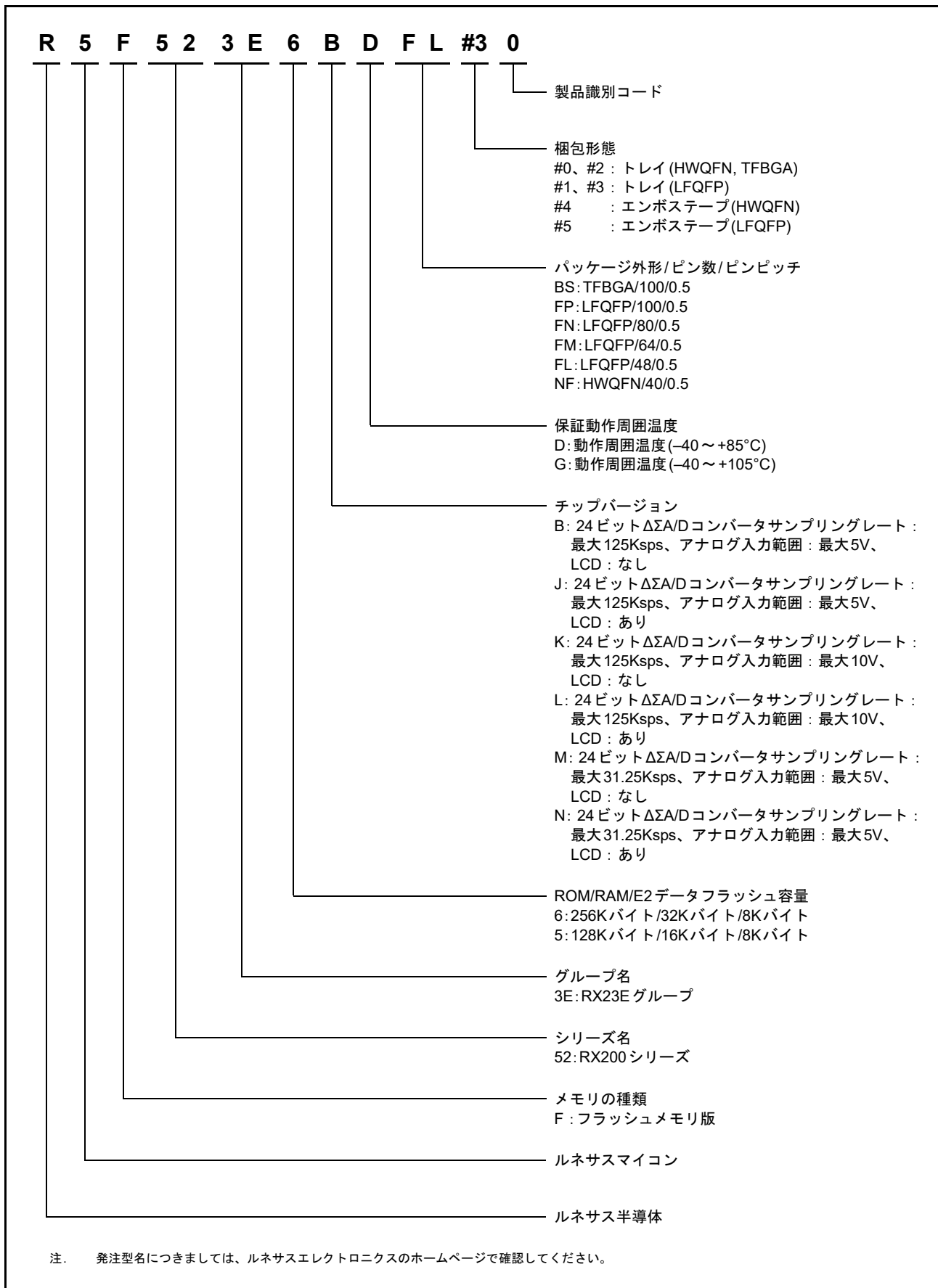


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

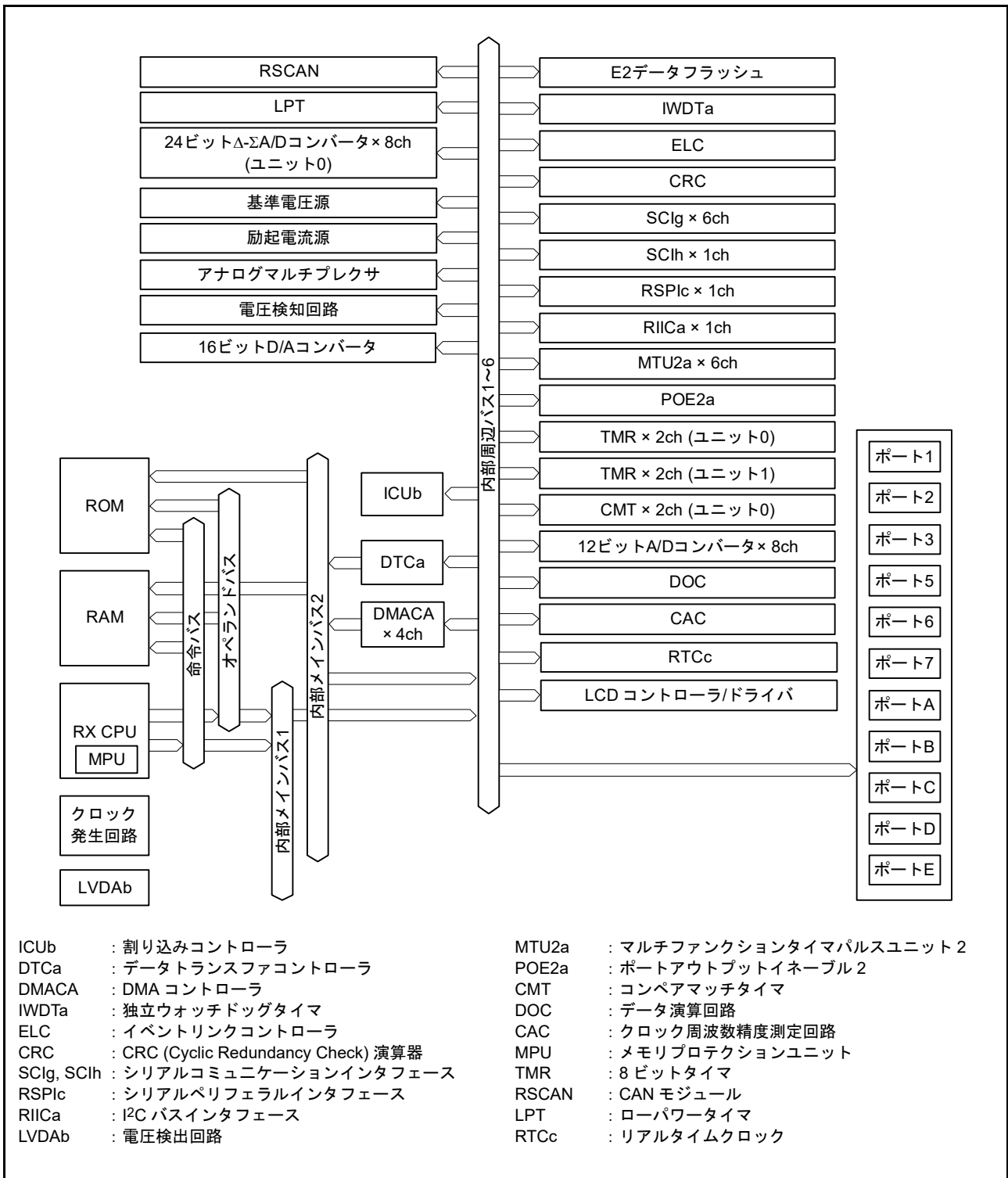


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ(4.7 μ F)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
LVD	CMPA2	入力	電圧検出2用検出対象電圧端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0~IRQ7	入力	割り込み要求端子
マルチファンクション タイムパルスユニット2	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
ポートアウトプット イネーブル2	POE0#~POE3#, POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMCI0~TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI3	入力	カウンタリセット入力端子
シリアル コミュニケーション インタフェース(SCI _g)	● 調歩同期式モード/クロック同期式モード		
	SCK0, SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	RXD0, RXD1, RXD5, RXD6, RXD8, RXD9	入力	受信データ入力端子
	TXD0, TXD1, TXD5, TXD6, TXD8, TXD9	出力	送信データ出力端子
CTS0#, CTS1#, CTS5#, CTS6#, CTS8#, CTS9#	入力	送受信開始制御用入力端子	

表 1.4 端子機能一覧 (2/3)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIg)	RTS0#, RTS1#, RTS5#, RTS6#, RTS8#, RTS9#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL0, SSCL1, SSCL5, SSCL6, SSCL8, SSCL9	入出力	I ² Cクロック入出力端子
	SSDA0, SSDA1, SSDA5, SSDA6, SSDA8, SSDA9	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK0, SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	SMISO0, SMISO1, SMISO5, SMISO6, SMISO8, SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI0, SMOSI1, SMOSI5, SMOSI6, SMOSI8, SMOSI9	入出力	マスタ送出データ入出力端子
SS0#, SS1#, SS5#, SS6#, SS8#, SS9#	入力	スレーブセレクト入力端子	
シリアルコミュニケー ションインタフェース (SCIh)	• 調歩同期モード/クロック同期モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	スレーブセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	SCIh受信データ入力端子
TXDX12	出力	SCIh送信データ出力端子	
SIOX12	入出力	SCIh送受信データ入出力端子	
I ² Cバスインタフェース	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1 ~ SSLA3	出力	RSPIのスレーブセレクト出力端子
CANモジュール	CRXD0	入力	入力端子
	CTXD0	出力	出力端子

表 1.4 端子機能一覧 (3/3)

分類	端子名	入出力	機能
12ビットA/Dコンバータ	AN000～AN007	入力	12ビットA/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
16ビットD/Aコンバータ	DA0	出力	16ビットD/Aコンバータのアナログ出力端子。16ビットD/Aコンバータを使用しない場合は、開放してください。
アナログフロントエンド	REF0P, REF1P	入力	24ビット Δ - Σ A/Dコンバータの基準電圧 + 入力端子
	REF0N, REF1N	入力	24ビット Δ - Σ A/Dコンバータの基準電圧 - 入力端子
	REFOUT	出力	内部基準電圧出力端子 内部基準電圧安定用のコンデンサ(0.47 μ F)を介してAVSS0に接続してください。コンデンサは端子近くに配置してください
	IEXC0, IEXC1	出力	励起電流源出力端子
	AIN0, AIN1, AIN4～AIN7, AIN11～AIN15	入力	アナログ入力端子
	AIN2, AIN3, AIN8～AIN10	入出力	アナログ入出力端子
	HVAIN0～HVAIN3	入力	高耐圧 \pm 10Vアナログ入力端子
	HVCOM	入力	高耐圧アナログGND
	LSW	出力	ローサイドスイッチ出力端子
アナログ電源	AVCC0	入力	アナログ電源端子。アナログ機能を使用しない場合は、VCCに接続してください
	AVSS0	入力	アナロググランド端子。アナログ機能を使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
	VREFH	入力	16ビットD/Aコンバータの基準電源端子。16ビットD/Aコンバータを使用しない場合は、開放してください。
	VREFL	入力	16ビットD/Aコンバータの基準グランド端子。16ビットD/Aコンバータを使用しない場合は、直接、または抵抗を介してAVSS0に接続してください。
LCD	VL1, VL2, VL3, VL4	入出力	LCD駆動用電圧端子
	CAPH, CAPL	入出力	LCDコントローラ/ドライバ用コンデンサ接続端子
	COM0～COM7	出力	LCDコントローラ/ドライバの共通信号出力端子
	SEG00～SEG39	出力	LCDコントローラ/ドライバのセグメント信号出力端子
I/Oポート	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30, P31, P35～P37	入出力	5ビットの入出力端子(P35は入力端子)
	P54, P55	入出力	2ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P74	入出力	5ビットの入出力端子
	PA0～PA4	入出力	5ビットの入出力端子
	PB0, PB1	入出力	2ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD4	入出力	5ビットの入出力端子
	PE0～PE4	入出力	5ビットの入出力端子

1.5 ピン配置図

1.5.1 100ピンLFQFP (高耐圧入力端子あり)

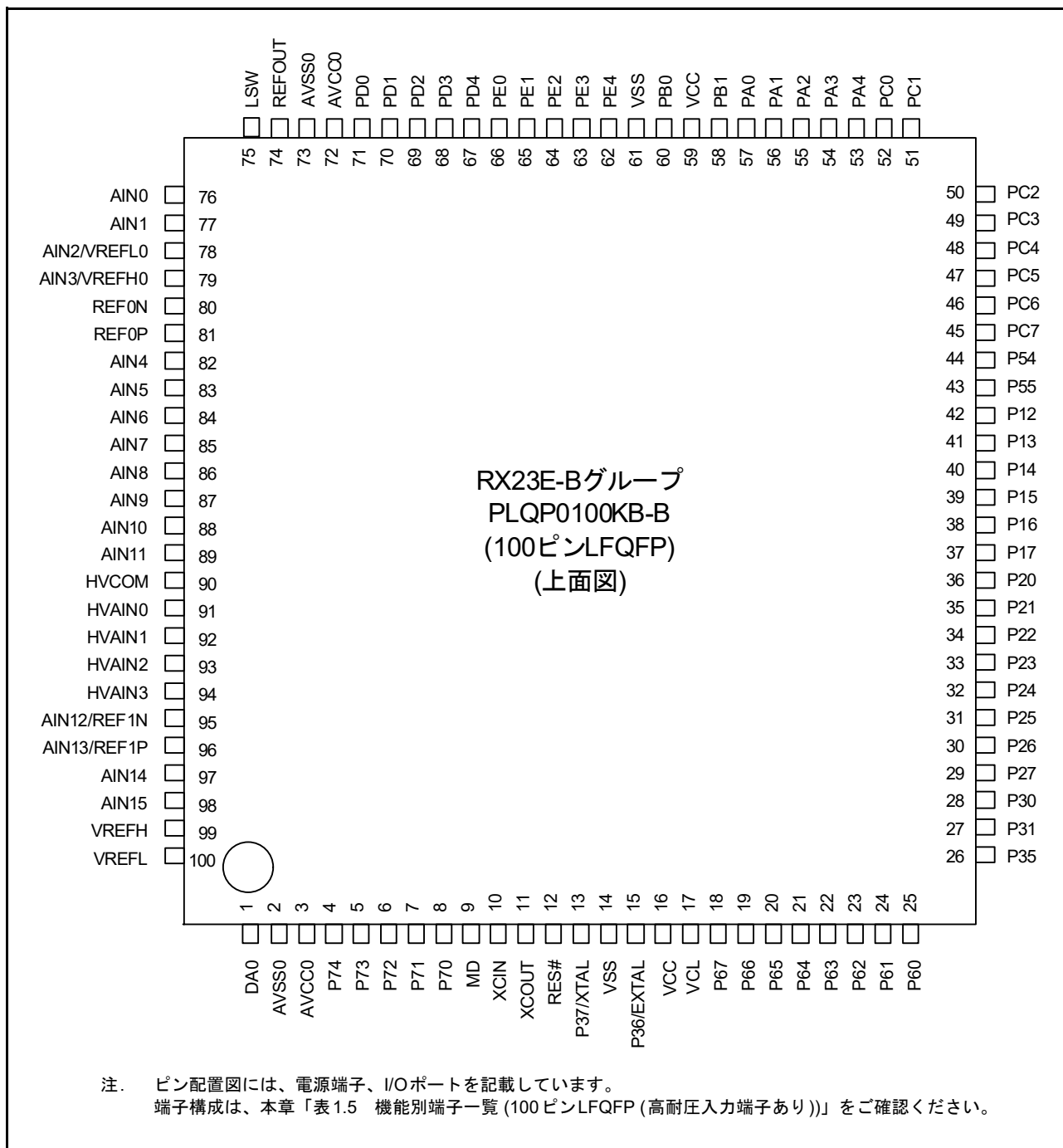


図 1.3 ピン配置図 (100ピンLFQFP (高耐圧入力端子あり))

1.5.2 100ピン L F Q F P (高耐圧入力端子なし)

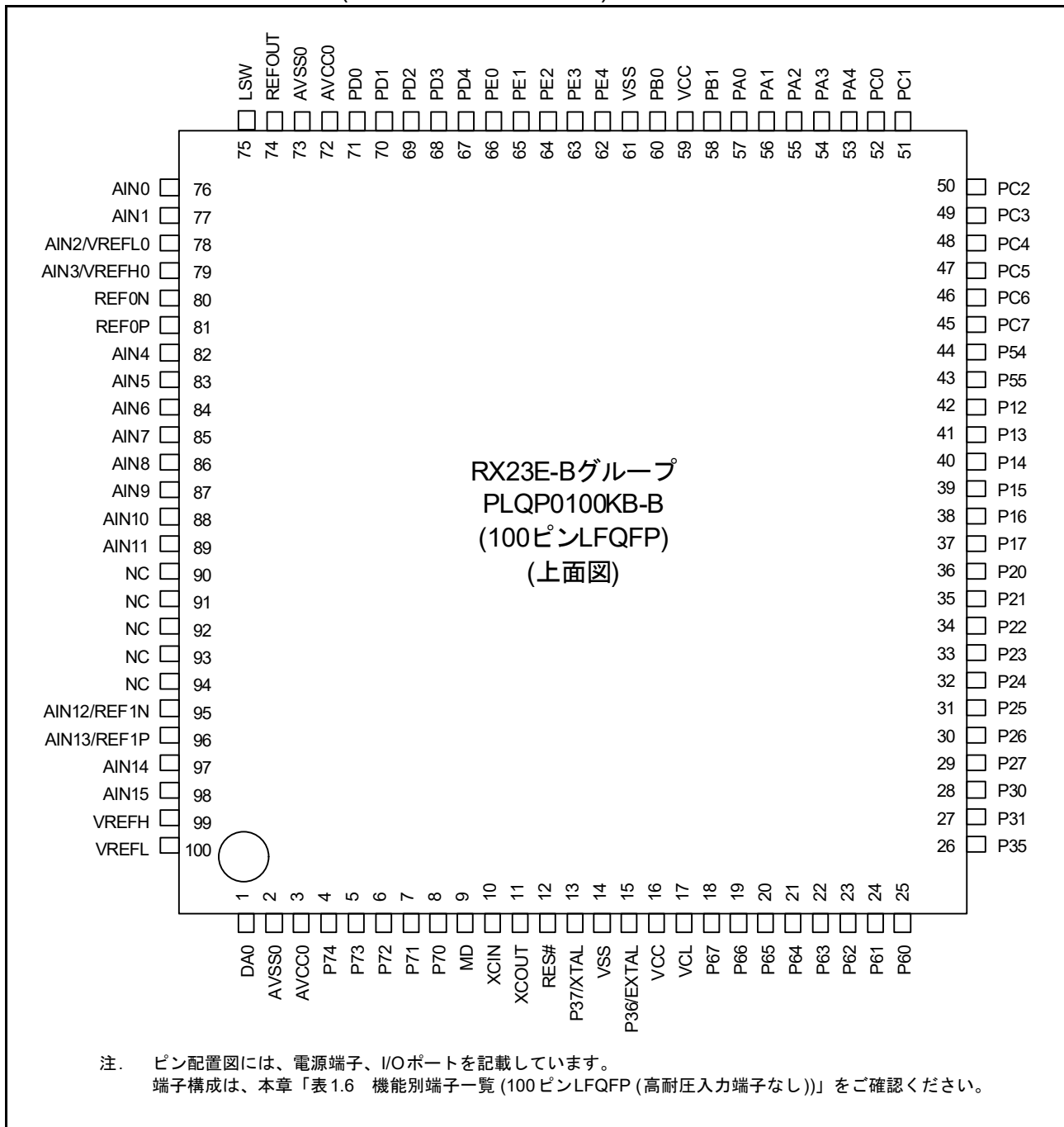


図 1.4 ピン配置図 (100ピン L F Q F P (高耐圧入力端子なし))

1.5.3 100ピン TFBGA (高耐圧入力端子あり)

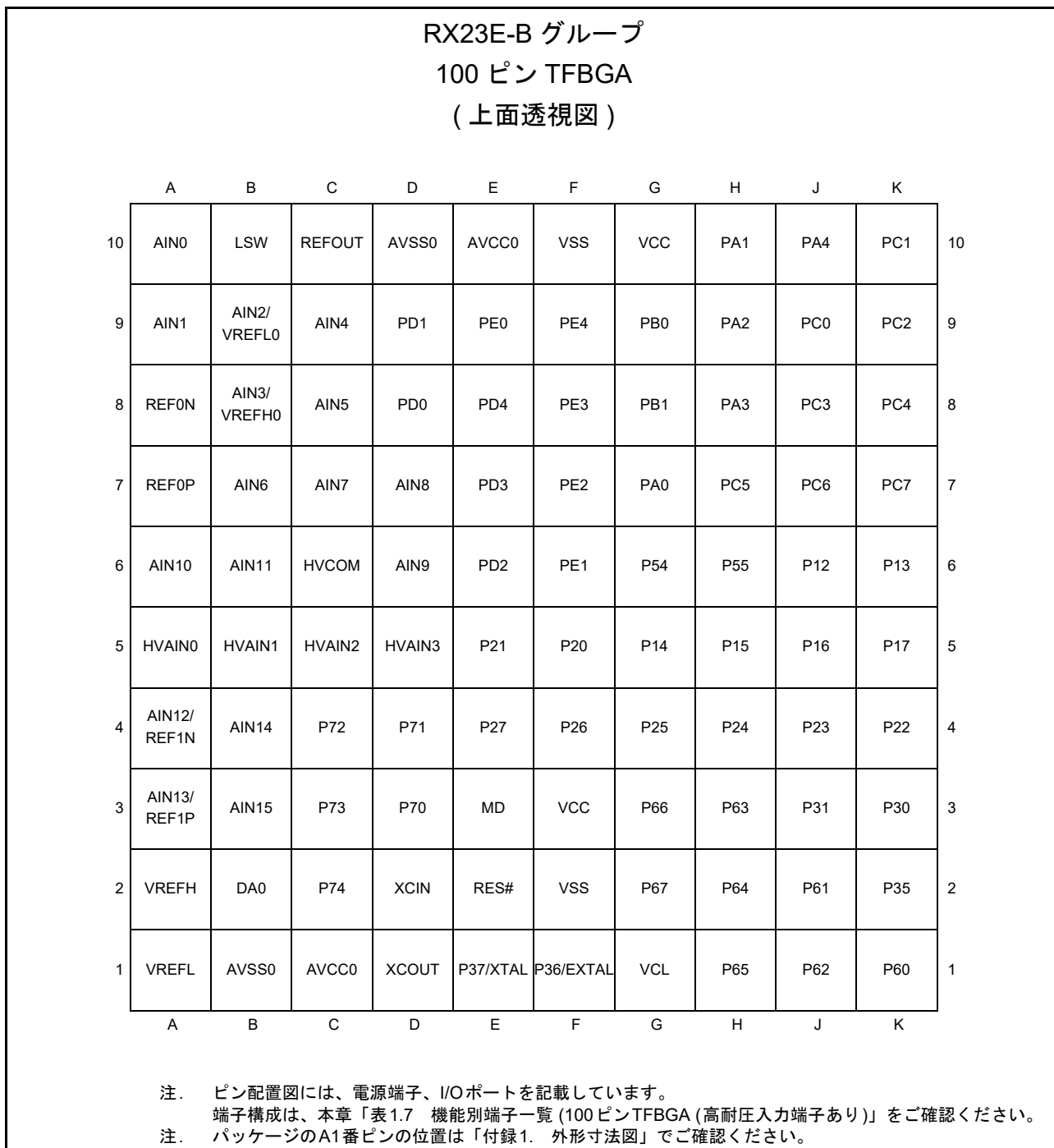


図 1.5 ピン配置図 (100ピン TFBGA (高耐圧入力端子あり))

1.5.4 100ピン TFBGA (高耐圧入力端子なし)

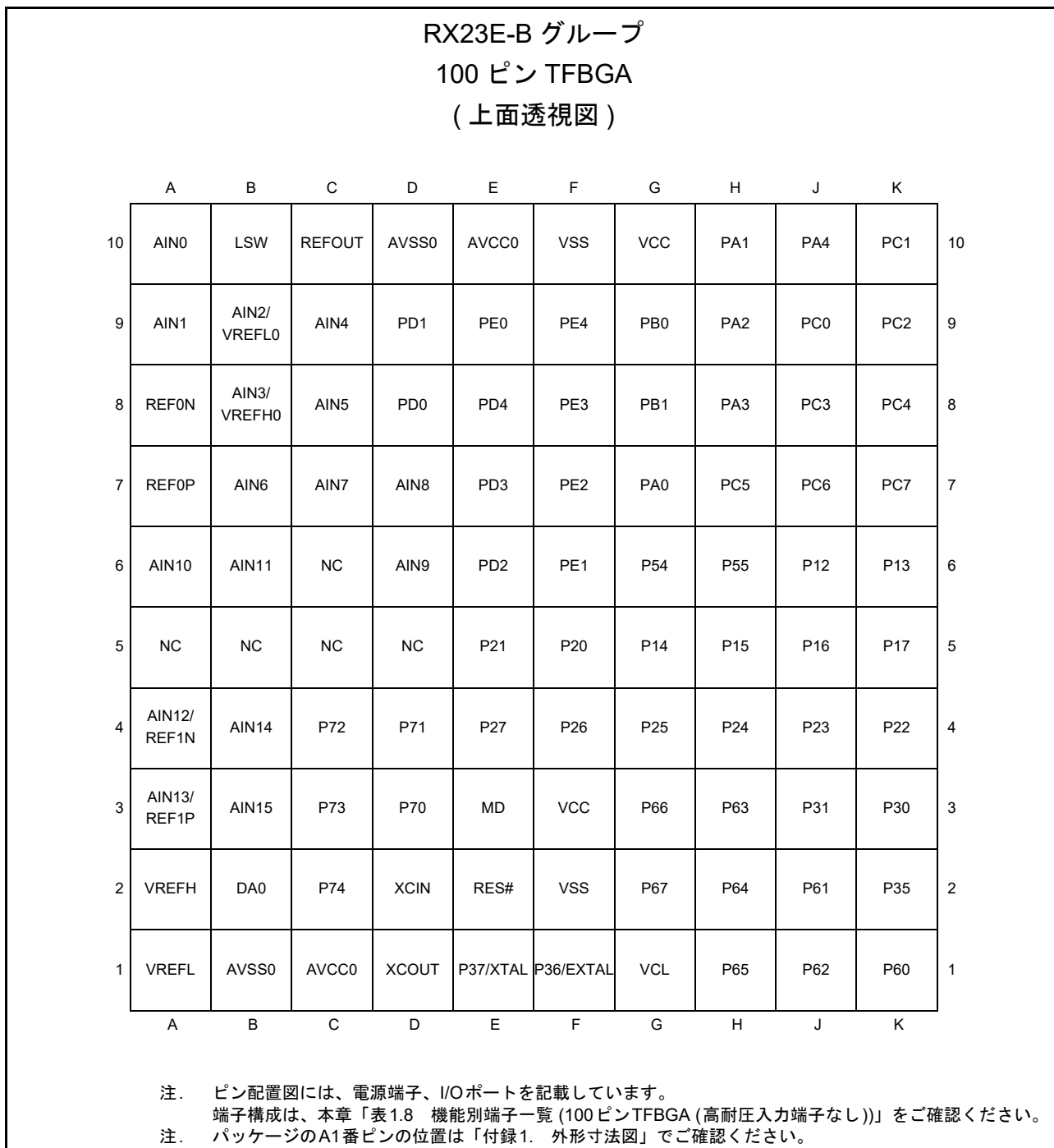


図 1.6 ピン配置図 (100ピン TFBGA (高耐圧入力端子なし))

1.5.5 80ピンLFQFP

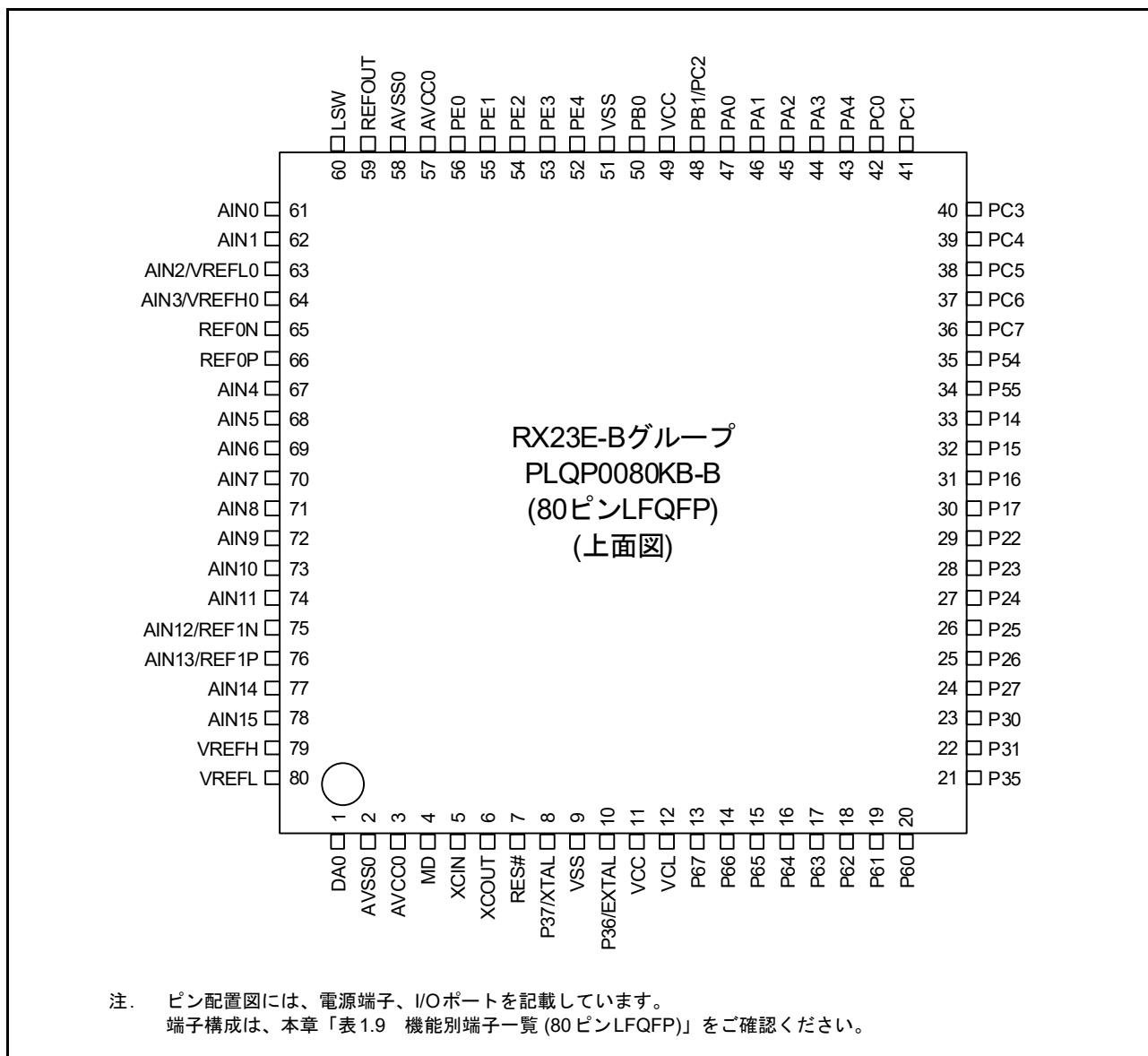


図 1.7 ピン配置図 (80ピンLFQFP)

1.5.6 64ピンLFQFP (高耐圧入力端子あり)

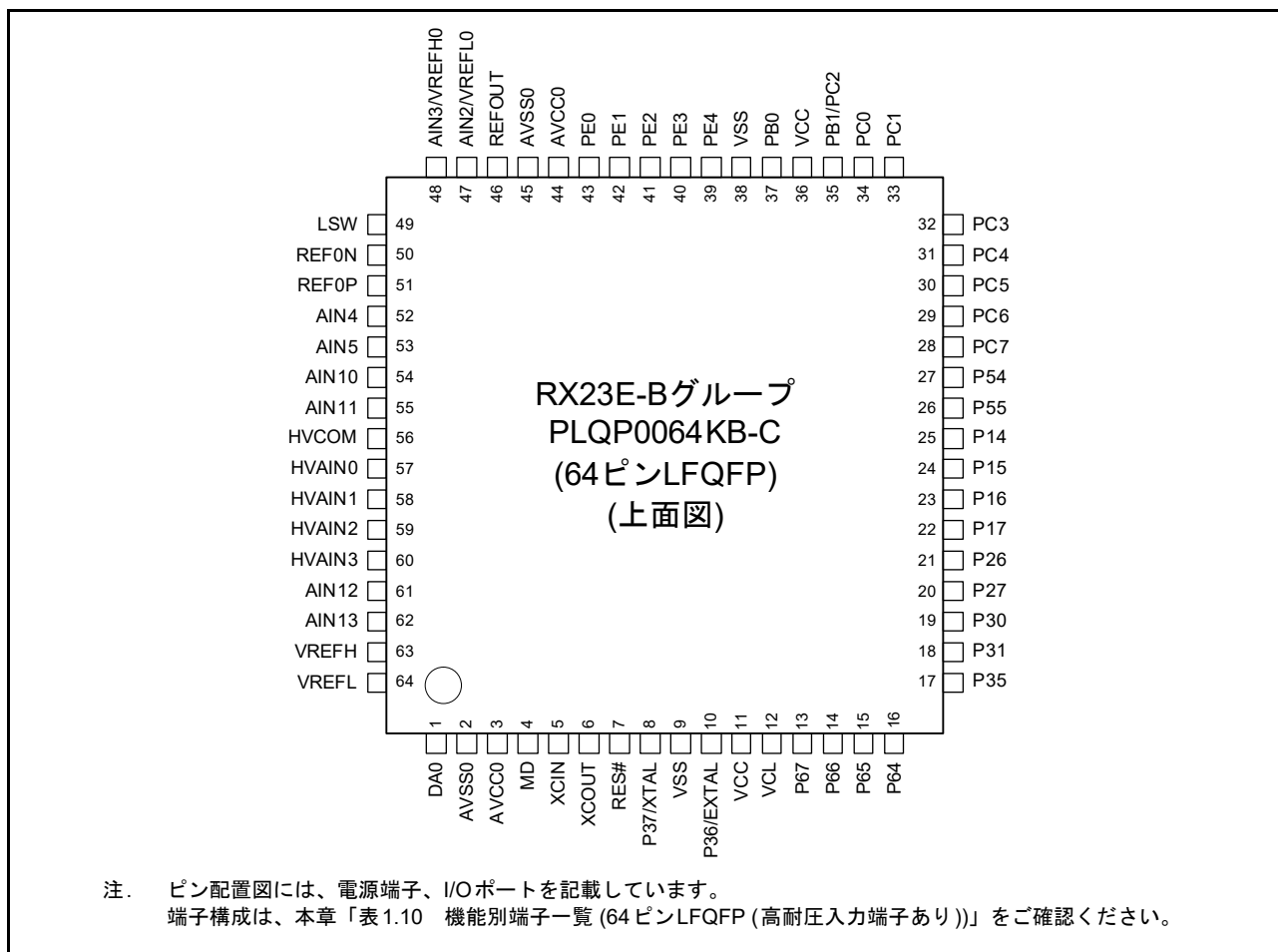


図 1.8 ピン配置図 (64ピンLFQFP (高耐圧入力端子あり))

1.5.7 64ピンLFQFP (高耐圧入力端子なし)

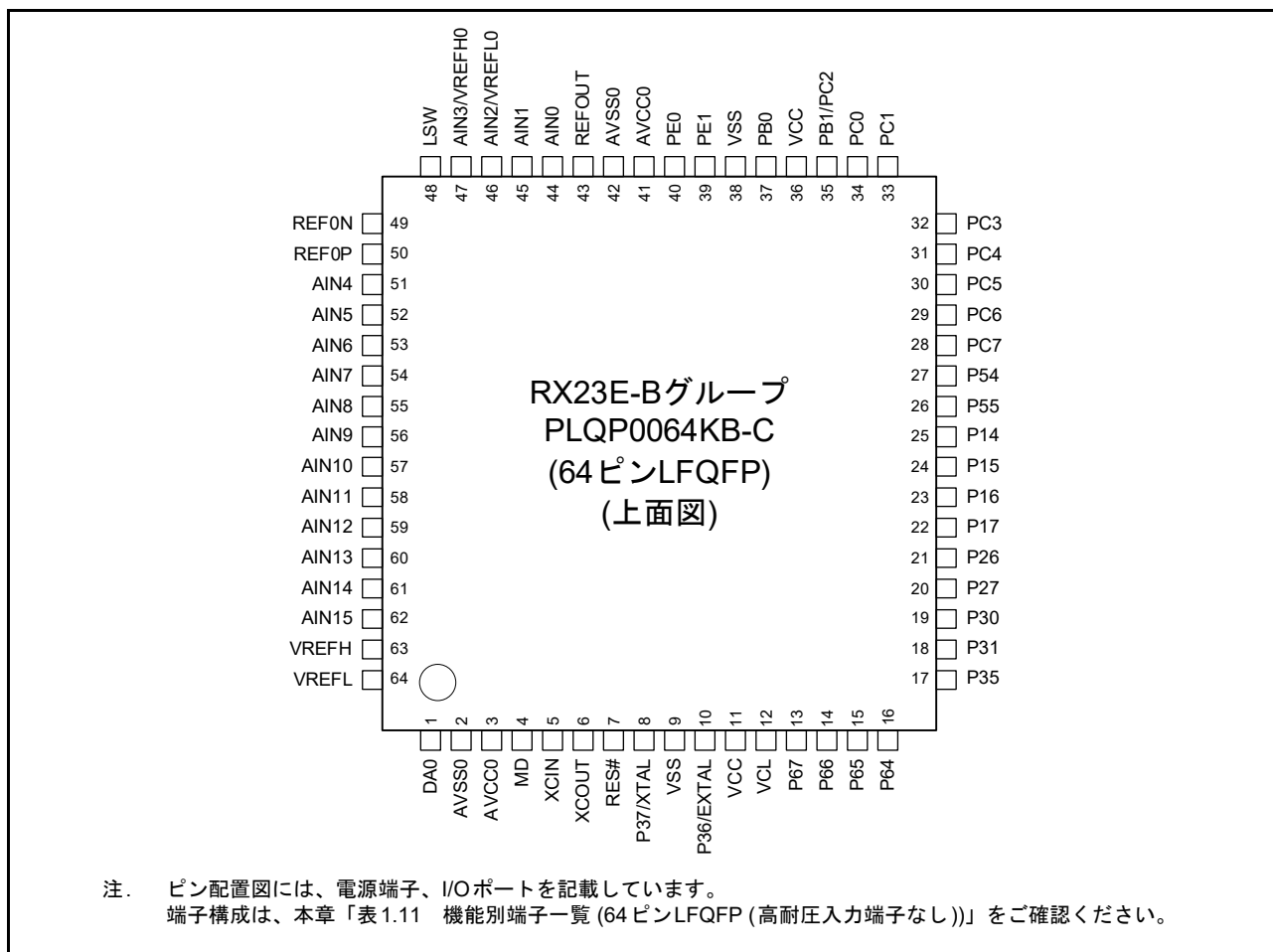


図 1.9 ピン配置図 (64ピンLFQFP (高耐圧入力端子なし))

1.5.8 48ピンLFQFP

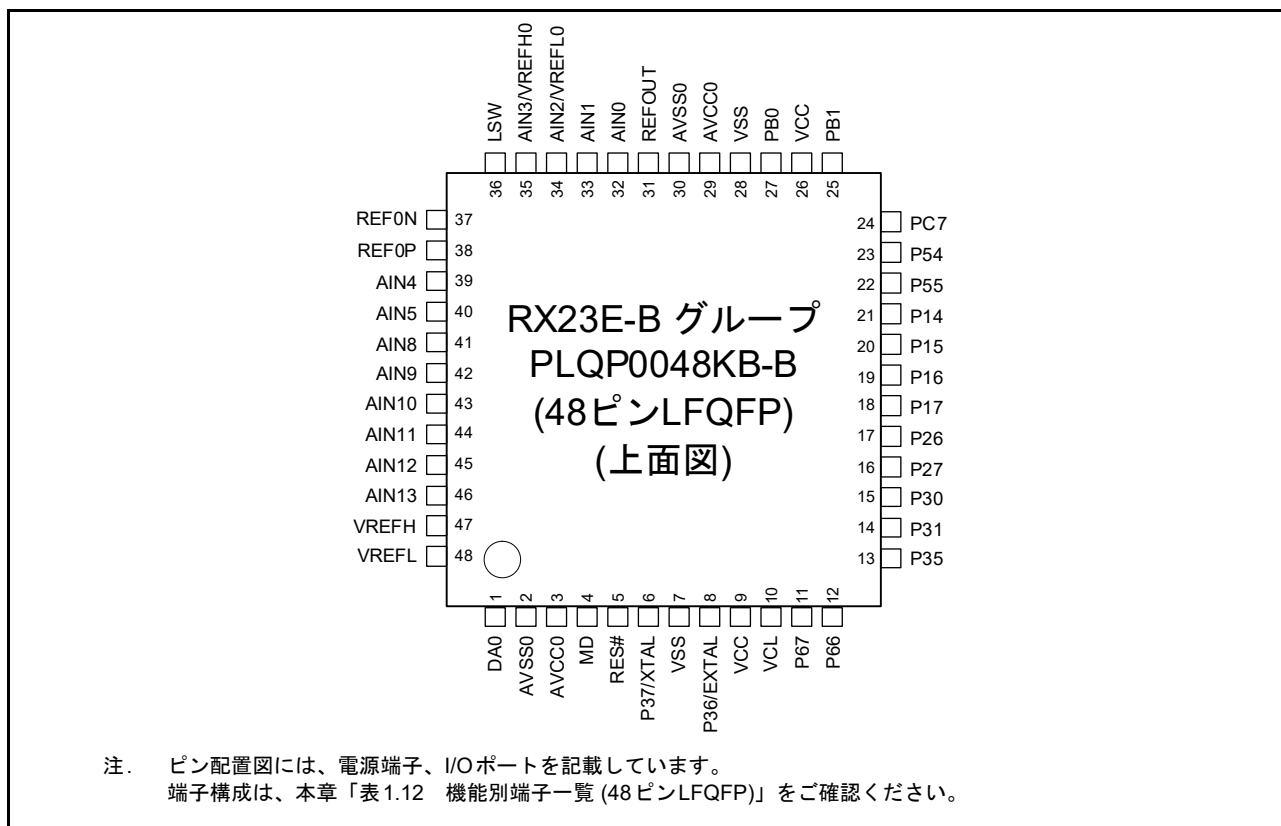


図 1.10 ピン配置図 (48ピンLFQFP)

1.5.10 40 ピン HWQFN (高耐圧入力端子なし)

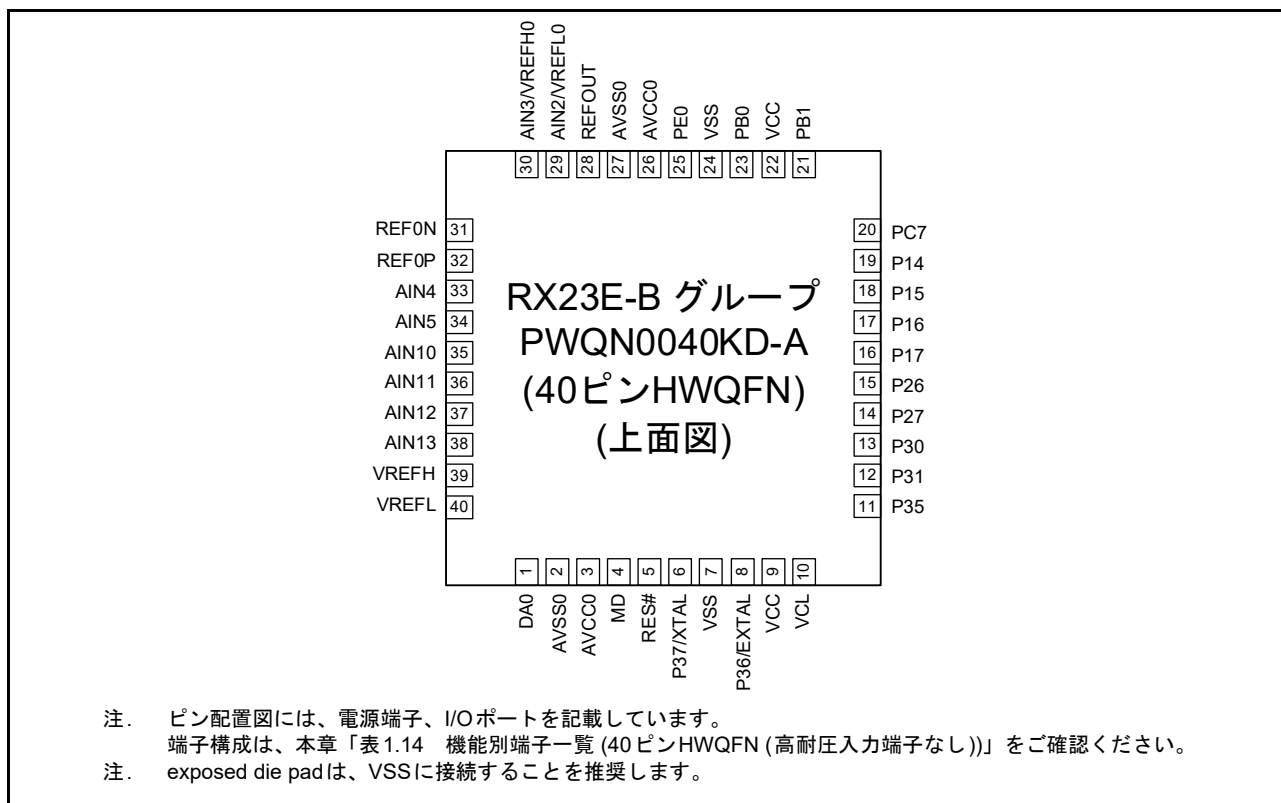


図 1.12 ピン配置図 (40 ピン HWQFN (高耐圧入力端子なし))

1.6 機能別端子一覧

1.6.1 100 ピン LQFP (高耐圧入力端子あり)

表 1.5 機能別端子一覧 (100 ピン LQFP (高耐圧入力端子あり)) (1/3)

ピン番号 100ピン LQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SCIf, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
1						DA0	
2	AVSS0						
3	AVCC0						
4		P74	TMO3/CACREF	SDA			
5		P73	MTIOC3A/TMCI3	CTS0#/RTS0#/SS0#/ SSLA0/SCL			IRQ3
6		P72	MTIOC3C/TMRI3	TXD0/SMOSI0/SSDA0/ MISOA			IRQ2
7		P71	MTIOC3B/MTCLKD	RXD0/SMISO0/SSCL0/ MOSIA			IRQ1
8		P70	MTIOC3D/MTCLKC	SCK0/RSPCKA		CLKOUT	IRQ0
9	MD						FINED
10	XCIN						
11	XCOU						
12	RES#						
13	XTAL	P37					
14	VSS						
15	EXTAL	P36					
16	VCC						
17	VCL						
18		P67	MTIOC4A/TMRI2	TXD6/SMOSI6/SSDA6	CAPH		
19		P66	MTIOC4C/TMCI2	RXD6/SMISO6/SSCL6	CAPL		
20		P65	MTIOC4B/MTCLKD/ TMO2/POE0#	CTS6#/RTS6#/SS6#	VL1		
21		P64	MTIOC4D/MTCLKC/ RTCOU	SCK6	VL2	ADTRG0#	
22		P63	MTIOC0A/MTIOC1A/ MTCLKB	SCK8	VL3		
23		P62	MTIOC0C/MTIOC1B/ MTCLKA/TMO1	CTS8#/RTS8#/SS8#	VL4		
24		P61	MTIOC0B/TMCI1	TXD8/SMOSI8/SSDA8/ MISOA/SDA	SEG00		
25		P60	MTIOC0D/TMRI1	RXD8/SMISO8/SSCL8/ MOSIA/SCL	SEG01		
26		P35					NMI
27		P31	MTIOC1A/MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/SSDA5/ RSPCKA	SEG02		IRQ1
28		P30	MTIOC2A/MTIOC4B/ MTCLKD/TMCI3/POE8#	RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5	SEG03		IRQ0
29		P27	MTIOC2B/MTIOC4A/ TMRI3/POE2#	SCK5/CTS12#/RTS12#/ SS12#	SEG04		IRQ3
30		P26	MTIOC0A/MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/ SCK12	SEG05		IRQ2
31		P25	TMCI0	TXD9/SMOSI9/SSDA9/ TXD12/SMOSI12/ SSDA12/TXD12/ SIOX12	SEG06		IRQ7
32		P24	MTIC5U/TMRI0	RXD9/SMISO9/SSCL9/ RXD12/SMISO12/ SSCL12/RXD12	SEG07		IRQ6

表 1.5 機能別端子一覧 (100ピンLQFP (高耐圧入力端子あり)) (2/3)

ピン 番号 100ピン LQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
33		P23	MTIC5V	CTS9#/RTS9#/SS9#	SEG08		IRQ5
34		P22	MTIC5W	SCK9	SEG09		IRQ4
35		P21	MTIOC1A/RTCOUT	CTS12#/RTS12#/SS12#	SEG10		
36		P20	MTIOC1B	SCK12/RSPCKA	SEG11		
37		P17	MTIOC0D/MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/MISOA/SDA	SEG12		IRQ7
38		P16	MTIOC3C/MTIOC3D/ TMO2	RXD12/SMISO12/ SSCL12/RXDX12/ MOSIA/SCL	SEG13	ADTRG0#	IRQ6
39		P15	MTIOC0C/MTIOC4D/ MTCLKB/TMCI2	CTS1#/RTS1#/SS1#/ SSLA0/CRXD0	SEG14		IRQ5
40		P14	MTIOC0B/MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	SEG15	CLKOUT	IRQ4
41		P13	MTIOC2A	TXD6/SMOSI6/SSDA6	SEG16		
42		P12	MTIOC2B	RXD6/SMISO6/SSCL6	SEG17		
43		P55	MTIC5W/TMO0	CTS6#/RTS6#/SS6#	SEG18		
44		P54	MTIC5V/TMRI0	SCK6/SSLA3	SEG19		
45		PC7	MTIOC4B/MTIOC3D/ MTIC5U/TMCI0/POE0#	TXD1/SMOSI1/SSDA1/ SSLA1	SEG20		IRQ7
46		PC6	MTIOC4A/POE1#	RXD1/SMISO1/SSCL1	SEG21		IRQ6
47		PC5	MTIOC4C/POE2#	TXD8/SMOSI8/SSDA8	SEG22		IRQ5
48		PC4	MTIOC4B/POE3#	RXD8/SMISO8/SSCL8	SEG23		IRQ4
49		PC3	MTIOC4D/POE8#	CTS8#/RTS8#/SS8#	SEG24		IRQ3
50		PC2		CTS1#/RTS1#/SS1#/ SCK8	SEG25		IRQ2
51		PC1	TMO0	SCK1/SCK8/CRXD0	COM0		IRQ1
52		PC0	MTIOC4A/MTIC5U/ TMCI0	TXD1/SMOSI1/SSDA1/ CTXD0	COM1		IRQ0
53		PA4	MTIOC2A/MTIOC4A	MISOA	COM2		
54		PA3	MTIOC2B/MTIOC4C	TXD9/SMOSI9/SSDA9/ MOSIA	COM3		
55		PA2	MTIOC4B/TMO2	RXD9/SMISO9/SSCL9/ SSLA0	SEG26/COM4		
56		PA1	MTIOC4D/TMCI2	CTS9#/RTS9#/SS9#/ SSLA1	SEG27/COM5		
57		PA0	TMRI2/RTCOUT	SCK9/SSLA3	SEG28/COM6		
58		PB1	MTIOC4C/MTIOC3A/ MTIC5V/TMRI0/TMCI1/ POE1#	RXD1/SMISO1/SSCL1/ SSLA2	SEG29/COM7		
59	VCC						
60		PB0	MTIOC1B/MTIOC3C/ MTIC5W/TMRI1/POE3#	RSPCKA	SEG30	CMPA2	
61	VSS						
62		PE4	MTIOC3A/MTCLKB/ TMO3	TXD5/SMOSI5/SSDA5/ SSLA2	SEG31		IRQ7
63		PE3	MTIOC3C/MTCLKA/ TMCI3	RXD5/SMISO5/SSCL5	SEG32		IRQ6
64		PE2	MTIOC3B/MTCLKD/ TMRI3	CTS5#/RTS5#/SS5#	SEG33		IRQ5
65		PE1	MTIOC3D/MTCLKC	SCK5	SEG34		IRQ4
66		PE0	MTCLKA/CACREF	SSLA3	SEG35		
67		PD4	MTIOC0A/TMO1/POE0#	TXD0/SMOSI0/SSDA0	SEG36		
68		PD3	MTIOC0D/TMCI1/POE1#	RXD0/SMISO0/SSCL0	SEG37		

表 1.5 機能別端子一覧 (100ピンLQFP (高耐圧入力端子あり)) (3/3)

ピン 番号 100ピン LQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
69		PD2	MTIOC0C/TMR11/POE2#	CTS0#/RTS0#/SS0#	SEG38		
70		PD1	MTIOC0B/POE3#	SCK0	SEG39		
71		PD0	POE8#			ADTRG0#	
72	AVCC0						
73	AVSS0						
74						REFOUT	
75						LSW	
76						AIN0/AN000	
77						AIN1/AN001	
78	VREFL0					AIN2/IEXC0/VBIAS	
79	VREFH0					AIN3/IEXC1	
80						REF0N	
81						REF0P	
82						AIN4/AN002	
83						AIN5/AN003	
84						AIN6	
85						AIN7	
86						AIN8/IEXC0	
87						AIN9/IEXC1	
88						AIN10/AN004/VBIAS	
89						AIN11/AN005	
90						HVCOM	
91						HVAIN0	
92						HVAIN1	
93						HVAIN2	
94						HVAIN3	
95						AIN12/AN006/REF1N	
96						AIN13/AN007/REF1P	
97						AIN14	
98						AIN15	
99	VREFH						
100	VREFL						

1.6.2 100 ピン LQFP (高耐圧入力端子なし)

表 1.6 機能別端子一覧 (100 ピン LQFP (高耐圧入力端子なし)) (1/3)

ピン番号 100ピン LQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SCiH, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
1						DA0	
2	AVSS0						
3	AVCC0						
4		P74	TMO3/CACREF	SDA			
5		P73	MTIOC3A/TMCI3	CTS0#/RTS0#/SS0#/ SSLA0/SCL			IRQ3
6		P72	MTIOC3C/TMRI3	TXD0/SMOSI0/SSDA0/ MISOA			IRQ2
7		P71	MTIOC3B/MTCLKD	RXD0/SMISO0/SSCL0/ MOSIA			IRQ1
8		P70	MTIOC3D/MTCLKC	SCK0/RSPCKA		CLKOUT	IRQ0
9	MD						FINED
10	XCIN						
11	XCOUT						
12	RES#						
13	XTAL	P37					
14	VSS						
15	EXTAL	P36					
16	VCC						
17	VCL						
18		P67	MTIOC4A/TMRI2	TXD6/SMOSI6/SSDA6	CAPH		
19		P66	MTIOC4C/TMCI2	RXD6/SMISO6/SSCL6	CAPL		
20		P65	MTIOC4B/MTCLKD/ TMO2/POE0#	CTS6#/RTS6#/SS6#	VL1		
21		P64	MTIOC4D/MTCLKC/ RTCOUT	SCK6	VL2	ADTRG0#	
22		P63	MTIOC0A/MTIOC1A/ MTCLKB	SCK8	VL3		
23		P62	MTIOC0C/MTIOC1B/ MTCLKA/TMO1	CTS8#/RTS8#/SS8#	VL4		
24		P61	MTIOC0B/TMCI1	TXD8/SMOSI8/SSDA8/ MISOA/SDA	SEG00		
25		P60	MTIOC0D/TMRI1	RXD8/SMISO8/SSCL8/ MOSIA/SCL	SEG01		
26		P35					NMI
27		P31	MTIOC1A/MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/SSDA5/ RSPCKA	SEG02		IRQ1
28		P30	MTIOC2A/MTIOC4B/ MTCLKD/TMCI3/POE8#	RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5	SEG03		IRQ0
29		P27	MTIOC2B/MTIOC4A/ TMRI3/POE2#	SCK5/CTS12#/RTS12#/ SS12#	SEG04		IRQ3
30		P26	MTIOC0A/MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/ SCK12	SEG05		IRQ2
31		P25	TMCI0	TXD9/SMOSI9/SSDA9/ TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	SEG06		IRQ7
32		P24	MTIC5U/TMRI0	RXD9/SMISO9/SSCL9/ RXD12/SMISO12/ SSCL12/RXDX12	SEG07		IRQ6
33		P23	MTIC5V	CTS9#/RTS9#/SS9#	SEG08		IRQ5
34		P22	MTIC5W	SCK9	SEG09		IRQ4

表 1.6 機能別端子一覧 (100ピンLFQFP (高耐圧入力端子なし)) (2/3)

ピン 番号 100ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SClh, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
35		P21	MTIOC1A/RTCOUT	CTS12#/RTS12#/SS12#	SEG10		
36		P20	MTIOC1B	SCK12/RSPCKA	SEG11		
37		P17	MTIOC0D/MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXD12/ SIOX12/MISO/SDA	SEG12		IRQ7
38		P16	MTIOC3C/MTIOC3D/ TMO2	RXD12/SMISO12/ SSCL12/RXD12/ MOSIA/SCL	SEG13	ADTRG0#	IRQ6
39		P15	MTIOC0C/MTIOC4D/ MTCLKB/TMCI2	CTS1#/RTS1#/SS1#/ SSLA0/CRXD0	SEG14		IRQ5
40		P14	MTIOC0B/MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	SEG15	CLKOUT	IRQ4
41		P13	MTIOC2A	TXD6/SMOSI6/SSDA6	SEG16		
42		P12	MTIOC2B	RXD6/SMISO6/SSCL6	SEG17		
43		P55	MTIC5W/TMO0	CTS6#/RTS6#/SS6#	SEG18		
44		P54	MTIC5V/TMRI0	SCK6/SSLA3	SEG19		
45		PC7	MTIOC4B/MTIOC3D/ MTIC5U/TMCI0/POE0#	TXD1/SMOSI1/SSDA1/ SSLA1	SEG20		IRQ7
46		PC6	MTIOC4A/POE1#	RXD1/SMISO1/SSCL1	SEG21		IRQ6
47		PC5	MTIOC4C/POE2#	TXD8/SMOSI8/SSDA8	SEG22		IRQ5
48		PC4	MTIOC4B/POE3#	RXD8/SMISO8/SSCL8	SEG23		IRQ4
49		PC3	MTIOC4D/POE8#	CTS8#/RTS8#/SS8#	SEG24		IRQ3
50		PC2		CTS1#/RTS1#/SS1#/ SCK8	SEG25		IRQ2
51		PC1	TMO0	SCK1/SCK8/CRXD0	COM0		IRQ1
52		PC0	MTIOC4A/MTIC5U/ TMCI0	TXD1/SMOSI1/SSDA1/ CTXD0	COM1		IRQ0
53		PA4	MTIOC2A/MTIOC4A	MISOA	COM2		
54		PA3	MTIOC2B/MTIOC4C	TXD9/SMOSI9/SSDA9/ MOSIA	COM3		
55		PA2	MTIOC4B/TMO2	RXD9/SMISO9/SSCL9/ SSLA0	SEG26/COM4		
56		PA1	MTIOC4D/TMCI2	CTS9#/RTS9#/SS9#/ SSLA1	SEG27/COM5		
57		PA0	TMRI2/RTCOUT	SCK9/SSLA3	SEG28/COM6		
58		PB1	MTIOC4C/MTIOC3A/ MTIC5V/TMRI0/TMCI1/ POE1#	RXD1/SMISO1/SSCL1/ SSLA2	SEG29/COM7		
59	VCC						
60		PB0	MTIOC1B/MTIOC3C/ MTIC5W/TMRI1/POE3#	RSPCKA	SEG30	CMPA2	
61	VSS						
62		PE4	MTIOC3A/MTCLKB/ TMO3	TXD5/SMOSI5/SSDA5/ SSLA2	SEG31		IRQ7
63		PE3	MTIOC3C/MTCLKA/ TMCI3	RXD5/SMISO5/SSCL5	SEG32		IRQ6
64		PE2	MTIOC3B/MTCLKD/ TMRI3	CTS5#/RTS5#/SS5#	SEG33		IRQ5
65		PE1	MTIOC3D/MTCLKC	SCK5	SEG34		IRQ4
66		PE0	MTCLKA/CACREF	SSLA3	SEG35		
67		PD4	MTIOC0A/TMO1/POE0#	TXD0/SMOSI0/SSDA0	SEG36		
68		PD3	MTIOC0D/TMCI1/POE1#	RXD0/SMISO0/SSCL0	SEG37		
69		PD2	MTIOC0C/TMRI1/POE2#	CTS0#/RTS0#/SS0#	SEG38		
70		PD1	MTIOC0B/POE3#	SCK0	SEG39		

表 1.6 機能別端子一覧 (100ピンLQFP (高耐圧入力端子なし)) (3/3)

ピン 番号 100ピン LQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
71		PD0	POE8#			ADTRG0#	
72	AVCC0						
73	AVSS0						
74						REFOUT	
75						LSW	
76						AIN0/AN00	
77						AIN1/AN001	
78	VREFL0					AIN2/IEXC0/VBIAS	
79	VREFH0					AIN3/IEXC1	
80						REF0N	
81						REF0P	
82						AIN4/AN002	
83						AIN5/AN003	
84						AIN6	
85						AIN7	
86						AIN8/IEXC0	
87						AIN9/IEXC1	
88						AIN10/AN004/VBIAS	
89						AIN11/AN005	
90	NC						
91	NC						
92	NC						
93	NC						
94	NC						
95						AIN12/AN006/REF1N	
96						AIN13/AN007/REF1P	
97						AIN14	
98						AIN15	
99	VREFH						
100	VREFL						

1.6.3 100 ピン TFBGA (高耐圧入力端子あり)

表 1.7 機能別端子一覧 (100 ピン TFBGA (高耐圧入力端子あり) (1/3))

ピン 番号 100ピン TFBGA	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SCiH, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
A1	VREFL						
A2	VREFH						
A3						AIN13/AN007/REF1P	
A4						AIN12/AN006/REF1N	
A5						HVAIN0	
A6						AIN10/AN004/VBIAS	
A7						REF0P	
A8						REF0N	
A9						AIN1/AN001	
A10						AIN0/AN000	
B1	AVSS0						
B2						DA0	
B3						AIN15	
B4						AIN14	
B5						HVAIN1	
B6						AIN11/AN005	
B7						AIN6	
B8	VREFH0					AIN3/IEXC1	
B9	VREFL0					AIN2/IEXC0/VBIAS	
B10						LSW	
C1	AVCC0						
C2		P74	TMO3/CACREF	SDA			
C3		P73	MTIOC3A/TMCi3	CTS0#/RTS0#/SS0#/ SSLA0/SCL			IRQ3
C4		P72	MTIOC3C/TMRi3	TXD0/SMOSi0/SSDA0/ MISOA			IRQ2
C5						HVAIN2	
C6						HVCOM	
C7						AIN7	
C8						AIN5/AN003	
C9						AIN4/AN002	
C10						REFOUT	
D1	XCOUT						
D2	XCIN						
D3		P70	MTIOC3D/MTCLKC	SCK0/RSPCKA		CLKOUT	IRQ0
D4		P71	MTIOC3B/MTCLKD	RXD0/SMISO0/SSCL0/ MOSIA			IRQ1
D5						HVAIN3	
D6						AIN9/IEXC1	
D7						AIN8/IEXC0	
D8		PD0	POE8#			ADTRG0#	
D9		PD1	MTIOC0B/POE3#	SCK0	SEG39		
D10	AVSS0						
E1	XTAL	P37					
E2	RES#						
E3	MD						FINED

表 1.7 機能別端子一覧 (100ピンTFBGA (高耐圧入力端子あり) (2/3))

ピン 番号 100ピン TFBGA	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
E4		P27	MTIOC2B/MTIOC4A/ TMRI3/POE2#	SCK5/CTS12#/RTS12#/ SS12#	SEG04		IRQ3
E5		P21	MTIOC1A/RTCOUT	CTS12#/RTS12#/SS12#	SEG10		
E6		PD2	MTIOC0C/TMRI1/POE2#	CTS0#/RTS0#/SS0#	SEG38		
E7		PD3	MTIOC0D/TMCI1/POE1#	RXD0/SMISO0/SSCL0	SEG37		
E8		PD4	MTIOC0A/TMO1/POE0#	TXD0/SMOSI0/SSDA0	SEG36		
E9		PE0	MTCLKA/CACREF	SSLA3	SEG35		
E10	AVCC0						
F1	EXTAL	P36					
F2	VSS						
F3	VCC						
F4		P26	MTIOC0A/MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/ SCK12	SEG05		IRQ2
F5		P20	MTIOC1B	SCK12/RSPCKA	SEG11		
F6		PE1	MTIOC3D/MTCLKC	SCK5	SEG34		IRQ4
F7		PE2	MTIOC3B/MTCLKD/ TMRI3	CTS5#/RTS5#/SS5#	SEG33		IRQ5
F8		PE3	MTIOC3C/MTCLKA/ TMCI3	RXD5/SMISO5/SSCL5	SEG32		IRQ6
F9		PE4	MTIOC3A/MTCLKB/ TMO3	TXD5/SMOSI5/SSDA5/ SSLA2	SEG31		IRQ7
F10	VSS						
G1	VCL						
G2		P67	MTIOC4A/TMRI2	TXD6/SMOSI6/SSDA6	CAPH		
G3		P66	MTIOC4C/TMCI2	RXD6/SMISO6/SSCL6	CAPL		
G4		P25	TMCI0	TXD9/SMOSI9/SSDA9/ TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	SEG06		IRQ7
G5		P14	MTIOC0B/MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	SEG15	CLKOUT	IRQ4
G6		P54	MTIC5V/TMRI0	SCK6/SSLA3	SEG19		
G7		PA0	TMRI2/RTCOUT	SCK9/SSLA3	SEG28/COM6		
G8		PB1	MTIOC4C/MTIOC3A/ MTIC5V/TMRI0/TMCI1/ POE1#	RXD1/SMISO1/SSCL1/ SSLA2	SEG29/COM7		
G9		PB0	MTIOC1B/MTIOC3C/ MTIC5W/TMRI1/POE3#	RSPCKA	SEG30	CMPA2	
G10	VCC						
H1		P65	MTIOC4B/MTCLKD/ TMO2/POE0#	CTS6#/RTS6#/SS6#	VL1		
H2		P64	MTIOC4D/MTCLKC/ RTCOUT	SCK6	VL2	ADTRG0#	
H3		P63	MTIOC0A/MTIOC1A/ MTCLKB	SCK8	VL3		
H4		P24	MTIC5U/TMRI0	RXD9/SMISO9/SSCL9/ RXD12/SMISO12/ SSCL12/RXDX12	SEG07		IRQ6
H5		P15	MTIOC0C/MTIOC4D/ MTCLKB/TMCI2	CTS1#/RTS1#/SS1#/ SSLA0/CRXD0	SEG14		IRQ5
H6		P55	MTIC5W/TMO0	CTS6#/RTS6#/SS6#	SEG18		
H7		PC5	MTIOC4C/POE2#	TXD8/SMOSI8/SSDA8	SEG22		IRQ5
H8		PA3	MTIOC2B/MTIOC4C	TXD9/SMOSI9/SSDA9/ MOSIA	COM3		

表 1.7 機能別端子一覧 (100ピンTFBGA (高耐圧入力端子あり) (3/3))

ピン 番号 100ピン TFBGA	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SClh, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
H9		PA2	MTIOC4B/TMO2	RXD9/SMISO9/SSCL9/ SSLA0	SEG26/COM4		
H10		PA1	MTIOC4D/TMCI2	CTS9#/RTS9#/SS9#/ SSLA1	SEG27/COM5		
J1		P62	MTIOC0C/MTIOC1B/ MTCLKA/TMO1	CTS8#/RTS8#/SS8#	VL4		
J2		P61	MTIOC0B/TMCI1	TXD8/SMOSI8/SSDA8/ MISOA/SDA	SEG00		
J3		P31	MTIOC1A/MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/SSDA5/ RSPCKA	SEG02		IRQ1
J4		P23	MTIC5V	CTS9#/RTS9#/SS9#	SEG08		IRQ5
J5		P16	MTIOC3C/MTIOC3D/ TMO2	RXD12/SMISO12/ SSCL12/RDX12/ MOSIA/SCL	SEG13	ADTRG0#	IRQ6
J6		P12	MTIOC2B	RXD6/SMISO6/SSCL6	SEG17		
J7		PC6	MTIOC4A/POE1#	RXD1/SMISO1/SSCL1	SEG21		IRQ6
J8		PC3	MTIOC4D/POE8#	CTS8#/RTS8#/SS8#	SEG24		IRQ3
J9		PC0	MTIOC4A/MTIC5U/ TMCI0	TXD1/SMOSI1/SSDA1/ CTXD0	COM1		IRQ0
J10		PA4	MTIOC2A/MTIOC4A	MISOA	COM2		
K1		P60	MTIOC0D/TMRI1	RXD8/SMISO8/SSCL8/ MOSIA/SCL	SEG01		
K2		P35					NMI
K3		P30	MTIOC2A/MTIOC4B/ MTCLKD/TMCI3/POE8#	RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5	SEG03		IRQ0
K4		P22	MTIC5W	SCK9	SEG09		IRQ4
K5		P17	MTIOC0D/MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXD12/ SIOX12/MISOA/SDA	SEG12		IRQ7
K6		P13	MTIOC2A	TXD6/SMOSI6/SSDA6	SEG16		
K7		PC7	MTIOC4B/MTIOC3D/ MTIC5U/TMCI0/POE0#	TXD1/SMOSI1/SSDA1/ SSLA1	SEG20		IRQ7
K8		PC4	MTIOC4B/POE3#	RXD8/SMISO8/SSCL8	SEG23		IRQ4
K9		PC2		CTS1#/RTS1#/SS1#/ SCK8	SEG25		IRQ2
K10		PC1	TMO0	SCK1/SCK8/CRXD0	COM0		IRQ1

1.6.4 100 ピン TFBGA (高耐圧入力端子なし)

表 1.8 機能別端子一覧 (100 ピン TFBGA (高耐圧入力端子なし)) (1/3)

ピン番号 100ピン TFBGA	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SCiH, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
A1	VREFL						
A2	VREFH						
A3						AIN13/AN007/REF1P	
A4						AIN12/AN006/REF1N	
A5	NC						
A6						AIN10/AN004/VBIAS	
A7						REF0P	
A8						REF0N	
A9						AIN1/AN001	
A10						AIN0/AN000	
B1	AVSS0						
B2						DA0	
B3						AIN15	
B4						AIN14	
B5	NC						
B6						AIN11/AN005	
B7						AIN6	
B8	VREFH0					AIN3/IEXC1	
B9	VREFL0					AIN2/IEXC0/VBIAS	
B10						LSW	
C1	AVCC0						
C2		P74	TMO3/CACREF	SDA			
C3		P73	MTIOC3A/TMCI3	CTS0#/RTS0#/SS0#/ SSLA0/SCL			IRQ3
C4		P72	MTIOC3C/TMRI3	TXD0/SMOSI0/SSDA0/ MISOA			IRQ2
C5	NC						
C6	NC						
C7						AIN7	
C8						AIN5/AN003	
C9						AIN4/AN002	
C10						REFOUT	
D1	XCOUT						
D2	XCIN						
D3		P70	MTIOC3D/MTCLKC	SCK0/RSPCKA		CLKOUT	IRQ0
D4		P71	MTIOC3B/MTCLKD	RXD0/SMISO0/SSCL0/ MOSIA			IRQ1
D5	NC						
D6						AIN9/IEXC1	
D7						AIN8/IEXC0	
D8		PD0	POE8#			ADTRG0#	
D9		PD1	MTIOC0B/POE3#	SCK0	SEG39		
D10	AVSS0						
E1	XTAL	P37					
E2	RES#						
E3	MD						FINED

表 1.8 機能別端子一覧 (100ピンTFBGA (高耐圧入力端子なし)) (2/3)

ピン 番号 100ピン TFBGA	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
E4		P27	MTIOC2B/MTIOC4A/ TMRI3/POE2#	SCK5/CTS12#/RTS12#/ SS12#	SEG04		IRQ3
E5		P21	MTIOC1A/RTCOUT	CTS12#/RTS12#/SS12#	SEG10		
E6		PD2	MTIOC0C/TMRI1/POE2#	CTS0#/RTS0#/SS0#	SEG38		
E7		PD3	MTIOC0D/TMCI1/POE1#	RXD0/SMISO0/SSCL0	SEG37		
E8		PD4	MTIOC0A/TMO1/POE0#	TXD0/SMOSI0/SSDA0	SEG36		
E9		PE0	MTCLKA/CACREF	SSLA3	SEG35		
E10	AVCC0						
F1	EXTAL	P36					
F2	VSS						
F3	VCC						
F4		P26	MTIOC0A/MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/ SCK12	SEG05		IRQ2
F5		P20	MTIOC1B	SCK12/RSPCKA	SEG11		
F6		PE1	MTIOC3D/MTCLKC	SCK5	SEG34		IRQ4
F7		PE2	MTIOC3B/MTCLKD/ TMRI3	CTS5#/RTS5#/SS5#	SEG33		IRQ5
F8		PE3	MTIOC3C/MTCLKA/ TMCI3	RXD5/SMISO5/SSCL5	SEG32		IRQ6
F9		PE4	MTIOC3A/MTCLKB/ TMO3	TXD5/SMOSI5/SSDA5/ SSLA2	SEG31		IRQ7
F10	VSS						
G1	VCL						
G2		P67	MTIOC4A/TMRI2	TXD6/SMOSI6/SSDA6	CAPH		
G3		P66	MTIOC4C/TMCI2	RXD6/SMISO6/SSCL6	CAPL		
G4		P25	TMCI0	TXD9/SMOSI9/SSDA9/ TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	SEG06		IRQ7
G5		P14	MTIOC0B/MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	SEG15	CLKOUT	IRQ4
G6		P54	MTIC5V/TMRI0	SCK6/SSLA3	SEG19		
G7		PA0	TMRI2/RTCOUT	SCK9/SSLA3	SEG28/COM6		
G8		PB1	MTIOC4C/MTIOC3A/ MTIC5V/TMRI0/TMCI1/ POE1#	RXD1/SMISO1/SSCL1/ SSLA2	SEG29/COM7		
G9		PB0	MTIOC1B/MTIOC3C/ MTIC5W/TMRI1/POE3#	RSPCKA	SEG30	CMPA2	
G10	VCC						
H1		P65	MTIOC4B/MTCLKD/ TMO2/POE0#	CTS6#/RTS6#/SS6#	VL1		
H2		P64	MTIOC4D/MTCLKC/ RTCOUT	SCK6	VL2	ADTRG0#	
H3		P63	MTIOC0A/MTIOC1A/ MTCLKB	SCK8	VL3		
H4		P24	MTIC5U/TMRI0	RXD9/SMISO9/SSCL9/ RXD12/SMISO12/ SSCL12/RXDX12	SEG07		IRQ6
H5		P15	MTIOC0C/MTIOC4D/ MTCLKB/TMCI2	CTS1#/RTS1#/SS1#/ SSLA0/CRXD0	SEG14		IRQ5
H6		P55	MTIC5W/TMO0	CTS6#/RTS6#/SS6#	SEG18		
H7		PC5	MTIOC4C/POE2#	TXD8/SMOSI8/SSDA8	SEG22		IRQ5
H8		PA3	MTIOC2B/MTIOC4C	TXD9/SMOSI9/SSDA9/ MOSIA	COM3		

表 1.8 機能別端子一覧 (100ピンTFBGA (高耐圧入力端子なし)) (3/3)

ピン 番号 100ピン TFBGA	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
H9		PA2	MTIOC4B/TMO2	RXD9/SMISO9/SSCL9/ SSLA0	SEG26/COM4		
H10		PA1	MTIOC4D/TMCI2	CTS9#/RTS9#/SS9#/ SSLA1	SEG27/COM5		
J1		P62	MTIOC0C/MTIOC1B/ MTCLKA/TMO1	CTS8#/RTS8#/SS8#	VL4		
J2		P61	MTIOC0B/TMCI1	TXD8/SMOSI8/SSDA8/ MISOA/SDA	SEG00		
J3		P31	MTIOC1A/MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/SSDA5/ RSPCKA	SEG02		IRQ1
J4		P23	MTIC5V	CTS9#/RTS9#/SS9#	SEG08		IRQ5
J5		P16	MTIOC3C/MTIOC3D/ TMO2	RXD12/SMISO12/ SSCL12/RDX12/ MOSIA/SCL	SEG13	ADTRG0#	IRQ6
J6		P12	MTIOC2B	RXD6/SMISO6/SSCL6	SEG17		
J7		PC6	MTIOC4A/POE1#	RXD1/SMISO1/SSCL1	SEG21		IRQ6
J8		PC3	MTIOC4D/POE8#	CTS8#/RTS8#/SS8#	SEG24		IRQ3
J9		PC0	MTIOC4A/MTIC5U/ TMCI0	TXD1/SMOSI1/SSDA1/ CTXD0	COM1		IRQ0
J10		PA4	MTIOC2A/MTIOC4A	MISOA	COM2		
K1		P60	MTIOC0D/TMRI1	RXD8/SMISO8/SSCL8/ MOSIA/SCL	SEG01		
K2		P35					NMI
K3		P30	MTIOC2A/MTIOC4B/ MTCLKD/TMCI3/POE8#	RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5	SEG03		IRQ0
K4		P22	MTIC5W	SCK9	SEG09		IRQ4
K5		P17	MTIOC0D/MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXD12/ SIOX12/MISOA/SDA	SEG12		IRQ7
K6		P13	MTIOC2A	TXD6/SMOSI6/SSDA6	SEG16		
K7		PC7	MTIOC4B/MTIOC3D/ MTIC5U/TMCI0/POE0#	TXD1/SMOSI1/SSDA1/ SSLA1	SEG20		IRQ7
K8		PC4	MTIOC4B/POE3#	RXD8/SMISO8/SSCL8	SEG23		IRQ4
K9		PC2		CTS1#/RTS1#/SS1#/ SCK8	SEG25		IRQ2
K10		PC1	TMO0	SCK1/SCK8/CRXD0	COM0		IRQ1

1.6.5 80 ピン LFQFP

表 1.9 機能別端子一覧 (80ピンLFQFP) (1/3)

ピン 番号 80ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SCIf, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
1						DA0	
2	AVSS0						
3	AVCC0						
4	MD						FINED
5	XCIN						
6	XCOUT						
7	RES#						
8	XTAL	P37					
9	VSS						
10	EXTAL	P36					
11	VCC						
12	VCL						
13		P67	MTIOC4A/TMRI2	TXD6/SMOSI6/SSDA6	CAPH		
14		P66	MTIOC4C/TMCI2	RXD6/SMISO6/SSCL6	CAPL		
15		P65	MTIOC4B/MTCLKD/ TMO2/POE0#	CTS6#/RTS6#/SS6#	VL1		
16		P64	MTIOC4D/MTCLKC/ RTCOUT	SCK6	VL2	ADTRG0#	
17		P63	MTIOC0A/MTIOC1A/ MTCLKB	SCK8	VL3		
18		P62	MTIOC0C/MTIOC1B/ MTCLKA/TMO1	CTS8#/RTS8#/SS8#	VL4		
19		P61	MTIOC0B/TMCI1	TXD8/SMOSI8/SSDA8/ MISOA/SDA	SEG00		
20		P60	MTIOC0D/TMRI1	RXD8/SMISO8/SSCL8/ MOSIA/SCL	SEG01		
21		P35					NMI
22		P31	MTIOC1A/MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/SSDA5/ RSPCKA	SEG02		IRQ1
23		P30	MTIOC2A/MTIOC4B/ MTCLKD/TMCI3/POE8#	RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5	SEG03		IRQ0
24		P27	MTIOC2B/MTIOC4A/ TMRI3/POE2#	SCK5/CTS12#/RTS12#/ SS12#	SEG04		IRQ3
25		P26	MTIOC0A/MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/ SCK12	SEG05		IRQ2
26		P25	TMCI0	TXD9/SMOSI9/SSDA9/ TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	SEG06		IRQ7
27		P24	MTIC5U/TMRI0	RXD9/SMISO9/SSCL9/ RXD12/SMISO12/ SSCL12/RXDX12	SEG07		IRQ6
28		P23	MTIC5V	CTS9#/RTS9#/SS9#	SEG08		IRQ5
29		P22	MTIC5W	SCK9	SEG09		IRQ4
30		P17	MTIOC0D/MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/MISOA/SDA	SEG12		IRQ7
31		P16	MTIOC3C/MTIOC3D/ TMO2	RXD12/SMISO12/ SSCL12/RXDX12/ MOSIA/SCL	SEG13	ADTRG0#	IRQ6
32		P15	MTIOC0C/MTIOC4D/ MTCLKB/TMCI2	CTS1#/RTS1#/SS1#/ SSLA0/CRXD0	SEG14		IRQ5

表 1.9 機能別端子一覧 (80ピンLQFP) (2/3)

ピン 番号 80ピン LQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
33		P14	MTIOC0B/MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	SEG15	CLKOUT	IRQ4
34		P55	MTIC5W/TMO0	CTS6#/RTS6#/SS6#	SEG18		
35		P54	MTIC5V/TMRI0	SCK6/SSLA3	SEG19		
36		PC7	MTIOC4B/MTIOC3D/ MTIC5U/TMCI0/POE0#	TXD1/SMOS11/SSDA1/ SSLA1	SEG20		IRQ7
37		PC6	MTIOC4A/POE1#	RXD1/SMISO1/SSCL1	SEG21		IRQ6
38		PC5	MTIOC4C/POE2#	TXD8/SMOS8/SSDA8	SEG22		IRQ5
39		PC4	MTIOC4B/POE3#	RXD8/SMISO8/SSCL8	SEG23		IRQ4
40		PC3	MTIOC4D/POE8#	CTS8#/RTS8#/SS8#	SEG24		IRQ3
41		PC1	TMO0	SCK1/SCK8/CRXD0	COM0		IRQ1
42		PC0	MTIOC4A/MTIC5U/ TMCI0	TXD1/SMOS11/SSDA1/ CTXD0	COM1		IRQ0
43		PA4	MTIOC2A/MTIOC4A	MISOA	COM2		
44		PA3	MTIOC2B/MTIOC4C	TXD9/SMOS9/SSDA9/ MOSIA	COM3		
45		PA2	MTIOC4B/TMO2	RXD9/SMISO9/SSCL9/ SSLA0	SEG26/COM4		
46		PA1	MTIOC4D/TMCI2	CTS9#/RTS9#/SS9#/ SSLA1	SEG27/COM5		
47		PA0	TMRI2/RTCOUT	SCK9/SSLA3	SEG28/COM6		
48		PB1	MTIOC4C/MTIOC3A/ MTIC5V/TMRI0/TMCI1/ POE1#	RXD1/SMISO1/SSCL1/ SSLA2	SEG29/COM7		
49	VCC						
50		PB0	MTIOC1B/MTIOC3C/ MTIC5W/TMRI1/POE3#	RSPCKA	SEG30	CMPA2	
51	VSS						
52		PE4	MTIOC3A/MTCLKB/ TMO3	TXD5/SMOS5/SSDA5/ SSLA2	SEG31		IRQ7
53		PE3	MTIOC3C/MTCLKA/ TMCI3	RXD5/SMISO5/SSCL5	SEG32		IRQ6
54		PE2	MTIOC3B/MTCLKD/ TMRI3	CTS5#/RTS5#/SS5#	SEG33		IRQ5
55		PE1	MTIOC3D/MTCLKC	SCK5	SEG34		IRQ4
56		PE0	MTCLKA/CACREF	SSLA3	SEG35		
57	AVCC0						
58	AVSS0						
59						REFOUT	
60						LSW	
61						AIN0/AN000	
62						AIN1/AN001	
63	VREFL0					AIN2/IEXC0/VBIAS	
64	VREFH0					AIN3/IEXC1	
65						REF0N	
66						REF0P	
67						AIN4/AN002	
68						AIN5/AN003	
69						AIN6	
70						AIN7	
71						AIN8/IEXC0	
72						AIN9/IEXC1	

表 1.9 機能別端子一覧 (80ピンLFQFP) (3/3)

ピン 番号 80ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	LCD	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
73						AIN10/AN004/VBIAS	
74						AIN11/AN005	
75						AIN12/AN006/REF1N	
76						AIN13/AN007/REF1P	
77						AIN14	
78						AIN15	
79	VREFH						
80	VREFL						

1.6.6 64ピンLFQFP(高耐圧入力端子あり)

表1.10 機能別端子一覧(64ピンLFQFP(高耐圧入力端子あり))(1/2)

ピン番号 64ピンLFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SClg, SCIn, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
1					DA0	
2	AVSS0					
3	AVCC0					
4	MD					FINED
5	XCIN					
6	XCOUT					
7	RES#					
8	XTAL	P37				
9	VSS					
10	EXTAL	P36				
11	VCC					
12	VCL					
13		P67	MTIOC4A/TMRI2	TXD6/SMOSI6/SSDA6		
14		P66	MTIOC4C/TMCI2	RXD6/SMISO6/SSCL6		
15		P65	MTIOC4B/MTCLKD/ TMO2/POE0#	CTS6#/RTS6#/SS6#		
16		P64	MTIOC4D/MTCLKC/ RTCOUT	SCK6	ADTRG0#	
17		P35				NMI
18		P31	MTIOC1A/MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/SSDA5/ RSPCKA		IRQ1
19		P30	MTIOC2A/MTIOC4B/ MTCLKD/TMCI3/POE8#	RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5		IRQ0
20		P27	MTIOC2B/MTIOC4A/ TMRI3/POE2#	SCK5/CTS12#/RTS12#/ SS12#		IRQ3
21		P26	MTIOC0A/MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/ SCK12		IRQ2
22		P17	MTIOC0D/MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/MISOA/SDA		IRQ7
23		P16	MTIOC3C/MTIOC3D/ TMO2	RXD12/SMISO12/ SSCL12/RXDX12/ MOSIA/SCL	ADTRG0#	IRQ6
24		P15	MTIOC0C/MTIOC4D/ MTCLKB/TMCI2	CTS1#/RTS1#/SS1#/ SSLA0/CRXD0		IRQ5
25		P14	MTIOC0B/MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	CLKOUT	IRQ4
26		P55	MTIC5W/TMO0	CTS6#/RTS6#/SS6#		
27		P54	MTIC5V/TMRI0	SCK6/SSLA3		
28		PC7	MTIOC4B/MTIOC3D/ MTIC5U/TMCI0/POE0#	TXD1/SMOSI1/SSDA1/ SSLA1		IRQ7
29		PC6	MTIOC4A/POE1#	RXD1/SMISO1/SSCL1		IRQ6
30		PC5	MTIOC4C/POE2#	TXD8/SMOSI8/SSDA8		IRQ5
31		PC4	MTIOC4B/POE3#	RXD8/SMISO8/SSCL8		IRQ4
32		PC3	MTIOC4D/POE8#	CTS8#/RTS8#/SS8#		IRQ3

表1.10 機能別端子一覧 (64ピンLFQFP (高耐圧入力端子あり)) (2/2)

ピン 番号 64ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
33		PC1	TMO0	SCK1/SCK8/CRXD0		IRQ1
34		PC0	MTIOC4A/MTIC5U/ TMCI0	TXD1/SMOSI1/SSDA1/ CTXD0		IRQ0
35		PB1	MTIOC4C/MTIOC3A/ MTIC5V/TMRI0/TMCI1/ POE1#	RXD1/SMISO1/SSCL1/ SSLA2		
36	VCC					
37		PB0	MTIOC1B/MTIOC3C/ MTIC5W/TMRI1/POE3#	RSPCKA	CMPA2	
38	VSS					
39		PE4	MTIOC3A/MTCLKB/ TMO3	TXD5/SMOSI5/SSDA5/ SSLA2		IRQ7
40		PE3	MTIOC3C/MTCLKA/ TMCI3	RXD5/SMISO5/SSCL5		IRQ6
41		PE2	MTIOC3B/MTCLKD/ TMRI3	CTS5#/RTS5#/SS5#		IRQ5
42		PE1	MTIOC3D/MTCLKC	SCK5		IRQ4
43		PE0	MTCLKA/CACREF	SSLA3		
44	AVCC0					
45	AVSS0					
46					REFOUT	
47	VREFL0				AIN2/IEXC0/VBIAS	
48	VREFH0				AIN3/IEXC1	
49					LSW	
50					REF0N	
51					REF0P	
52					AIN4/AN002	
53					AIN5/AN003	
54					AIN10/AN004/VBIAS	
55					AIN11/AN005	
56					HVCOM	
57					HVAIN0	
58					HVAIN1	
59					HVAIN2	
60					HVAIN3	
61					AIN12/AN006/REF1N	
62					AIN13/AN007/REF1P	
63	VREFH					
64	VREFL					

1.6.7 64ピンLFQFP (高耐圧入力端子なし)

表1.11 機能別端子一覧 (64ピンLFQFP (高耐圧入力端子なし)) (1/2)

ピン番号 64ピンLFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SClg, SCln, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
1					DA0	
2	AVSS0					
3	AVCC0					
4	MD					FINED
5	XCIN					
6	XCOUT					
7	RES#					
8	XTAL	P37				
9	VSS					
10	EXTAL	P36				
11	VCC					
12	VCL					
13		P67	MTIOC4A/TMRI2	TXD6/SMOSI6/SSDA6		
14		P66	MTIOC4C/TMC12	RXD6/SMISO6/SSCL6		
15		P65	MTIOC4B/MTCLKD/ TMO2/POE0#	CTS6#/RTS6#/SS6#		
16		P64	MTIOC4D/MTCLKC/ RTCOUT	SCK6	ADTRG0#	
17		P35				NMI
18		P31	MTIOC1A/MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/SSDA5/ RSPCKA		IRQ1
19		P30	MTIOC2A/MTIOC4B/ MTCLKD/TMC13/POE8#	RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5		IRQ0
20		P27	MTIOC2B/MTIOC4A/ TMRI3/POE2#	SCK5/CTS12#/RTS12#/ SS12#		IRQ3
21		P26	MTIOC0A/MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/ SCK12		IRQ2
22		P17	MTIOC0D/MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/MISOA/SDA		IRQ7
23		P16	MTIOC3C/MTIOC3D/ TMO2	RXD12/SMISO12/ SSCL12/RXDX12/ MOSIA/SCL	ADTRG0#	IRQ6
24		P15	MTIOC0C/MTIOC4D/ MTCLKB/TMC12	CTS1#/RTS1#/SS1#/ SSLA0/CRXD0		IRQ5
25		P14	MTIOC0B/MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	CLKOUT	IRQ4
26		P55	MTIC5W/TMO0	CTS6#/RTS6#/SS6#		
27		P54	MTIC5V/TMRI0	SCK6/SSLA3		
28		PC7	MTIOC4B/MTIOC3D/ MTIC5U/TMC10/POE0#	TXD1/SMOSI1/SSDA1/ SSLA1		IRQ7
29		PC6	MTIOC4A/POE1#	RXD1/SMISO1/SSCL1		IRQ6
30		PC5	MTIOC4C/POE2#	TXD8/SMOSI8/SSDA8		IRQ5
31		PC4	MTIOC4B/POE3#	RXD8/SMISO8/SSCL8		IRQ4
32		PC3	MTIOC4D/POE8#	CTS8#/RTS8#/SS8#		IRQ3
33		PC1	TMO0	SCK1/SCK8/CRXD0		IRQ1
34		PC0	MTIOC4A/MTIC5U/ TMC10	TXD1/SMOSI1/SSDA1/ CTXD0		IRQ0
35		PB1	MTIOC4C/MTIOC3A/ MTIC5V/TMRI0/TMC11/ POE1#	RXD1/SMISO1/SSCL1/ SSLA2		

表1.11 機能別端子一覧 (64ピンLFQFP (高耐圧入力端子なし)) (2/2)

ピン 番号 64ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SClg, SC1h, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
36	VCC					
37		PB0	MTIOC1B/MTIOC3C/ MTIC5W/TMR1/POE3#	RSPCKA	CMPA2	
38	VSS					
39		PE1	MTIOC3D/MTCLKC	SCK5		IRQ4
40		PE0	MTCLKA/CACREF	SSLA3		
41	AVCC0					
42	AVSS0					
43					REFOUT	
44					AIN0/AN000	
45					AIN1/AN001	
46	VREFL0				AIN2/IEXC0/VBIAS	
47	VREFH0				AIN3/IEXC1	
48					LSW	
49					REF0N	
50					REF0P	
51					AIN4/AN002	
52					AIN5/AN003	
53					AIN6	
54					AIN7	
55					AIN8/IEXC0	
56					AIN9/IEXC1	
57					AIN10/AN004/VBIAS	
58					AIN11/AN005	
59					AIN12/AN006/REF1N	
60					AIN13/AN007/REF1P	
61					AIN14	
62					AIN15	
63	VREFH					
64	VREFL					

1.6.8 48 ピン LFQFP

表 1.12 機能別端子一覧 (48ピンLFQFP) (1/2)

ピン 番号 48ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SClg, SCln, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
1					DA0	
2	AVSS0					
3	AVCC0					
4	MD					FINED
5	RES#					
6	XTAL	P37				
7	VSS					
8	EXTAL	P36				
9	VCC					
10	VCL					
11		P67	MTIOC4A/TMRI2	TXD6/SMOSI6/SSDA6		
12		P66	MTIOC4C/TMC12	RXD6/SMISO6/SSCL6		
13		P35				NMI
14		P31	MTIOC1A/MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/SSDA5/ RSPCKA		IRQ1
15		P30	MTIOC2A/MTIOC4B/ MTCLKD/TMC13/POE8#	RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5		IRQ0
16		P27	MTIOC2B/MTIOC4A/ TMRI3/POE2#	SCK5/CTS12#/RTS12#/ SS12#		IRQ3
17		P26	MTIOC0A/MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/ SCK12		IRQ2
18		P17	MTIOC0D/MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/MISOA/SDA		IRQ7
19		P16	MTIOC3C/MTIOC3D/ TMO2	RXD12/SMISO12/ SSCL12/RXDX12/ MOSIA/SCL	ADTRG0#	IRQ6
20		P15	MTIOC0C/MTIOC4D/ MTCLKB/TMC12	CTS1#/RTS1#/SS1#/ SSLA0/CRXD0		IRQ5
21		P14	MTIOC0B/MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	CLKOUT	IRQ4
22		P55	MTIC5W/TMO0	CTS6#/RTS6#/SS6#		
23		P54	MTIC5V/TMRI0	SCK6/SSLA3		
24		PC7	MTIOC4B/MTIOC3D/ MTIC5U/TMC10/POE0#	TXD1/SMOSI1/SSDA1/ SSLA1		IRQ7
25		PB1	MTIOC4C/MTIOC3A/ MTIC5V/TMRI0/TMC11/ POE1#	RXD1/SMISO1/SSCL1/ SSLA2		
26	VCC					
27		PB0	MTIOC1B/MTIOC3C/ MTIC5W/TMRI1/POE3#	RSPCKA	CMPA2	
28	VSS					
29	AVCC0					
30	AVSS0					
31					REFOUT	
32					AIN0/AN000	
33					AIN1/AN001	
34	VREFL0				AIN2/IEXC0/VBIAS	
35	VREFH0				AIN3/IEXC1	
36					LSW	

表 1.12 機能別端子一覧 (48ピンLFQFP) (2/2)

ピン 番号 48ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SClg, SC1h, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
37					REF0N	
38					REF0P	
39					AIN4/AN002	
40					AIN5/AN003	
41					AIN8/IEXC0	
42					AIN9/IEXC1	
43					AIN10/AN004/VBIAS	
44					AIN11/AN005	
45					AIN12/AN006/REF1N	
46					AIN13/AN007/REF1P	
47	VREFH					
48	VREFL					

1.6.9 40ピン HWQFN (高耐圧入力端子あり)

表 1.13 機能別端子一覧 (40ピンHWQFN (高耐圧入力端子あり)) (1/2)

ピン 番号 40ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SClg, SCln, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
1					DA0	
2	AVSS0					
3	AVCC0					
4	MD					FINED
5	RES#					
6	XTAL	P37				
7	VSS					
8	EXTAL	P36				
9	VCC					
10	VCL					
11		P35				NMI
12		P31	MTIOC1A/MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/SSDA5/ RSPCKA		IRQ1
13		P30	MTIOC2A/MTIOC4B/ MTCLKD/TMC13/POE8#	RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5		IRQ0
14		P27	MTIOC2B/MTIOC4A/ TMRI3/POE2#	SCK5/CTS12#/RTS12#/ SS12#		IRQ3
15		P26	MTIOC0A/MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/ SCK12		IRQ2
16		P17	MTIOC0D/MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/MISOA/SDA		IRQ7
17		P16	MTIOC3C/MTIOC3D/ TMO2	RXD12/SMISO12/ SSCL12/RXDX12/ MOSIA/SCL	ADTRG0#	IRQ6
18		P15	MTIOC0C/MTIOC4D/ MTCLKB/TMC12	CTS1#/RTS1#/SS1#/ SSLA0/CRXD0		IRQ5
19		P14	MTIOC0B/MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	CLKOUT	IRQ4
20		PC7	MTIOC4B/MTIOC3D/ MTIC5U/TMC10/POE0#	TXD1/SMOSI1/SSDA1/ SSLA1		IRQ7
21		PB1	MTIOC4C/MTIOC3A/ MTIC5V/TMRI0/TMC11/ POE1#	RXD1/SMISO1/SSCL1/ SSLA2		
22	VCC					
23		PB0	MTIOC1B/MTIOC3C/ MTIC5W/TMRI1/POE3#	RSPCKA	CMPA2	
24	VSS					
25	AVCC0					
26	AVSS0					
27					REFOUT	
28					AIN0/AN000	
29					AIN1/AN001	
30	VREFL0				AIN2/IEXC0/VBIAS	
31	VREFH0				AIN3/IEXC1	
32					REF0N	
33					REF0P	
34					HVCOM	
35					HVAIN0	
36					HVAIN1	

表 1.13 機能別端子一覧 (40ピンHWQFN (高耐圧入力端子あり)) (2/2)

ピン 番号 40ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SClg, SC1h, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
37					HVAIN2	
38					HVAIN3	
39	VREFH					
40	VREFL					

1.6.10 40ピン HWQFN (高耐圧入力端子なし)

表 1.14 機能別端子一覧 (40ピン HWQFN (高耐圧入力端子なし)) (1/2)

ピン番号 40ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
1					DA0	
2	AVSS0					
3	AVCC0					
4	MD					FINED
5	RES#					
6	XTAL	P37				
7	VSS					
8	EXTAL	P36				
9	VCC					
10	VCL					
11		P35				NMI
12		P31	MTIOC1A/ MTIOC4D/ MTCLKB/TMO3/ CACREF	TXD5/SMOSI5/ SSDA5/RSPCKA		IRQ1
13		P30	MTIOC2A/ MTIOC4B/ MTCLKD/TMCI3/ POE8#	RXD1/SMISO1/ SSCL1/RXD5/ SMISO5/SSCL5		IRQ0
14		P27	MTIOC2B/ MTIOC4A/TMRI3/ POE2#	SCK5/CTS12#/ RTS12#/SS12#		IRQ3
15		P26	MTIOC0A/ MTIOC4C/ MTCLKC/TMO0	TXD1/SMOSI1/ SSDA1/CTS5#/ RTS5#/SS5#/ SCK12		IRQ2
16		P17	MTIOC0D/ MTIOC3A/ MTIOC3B/TMO1	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/MISOA/ SDA		IRQ7
17		P16	MTIOC3C/ MTIOC3D/TMO2	RXD12/SMISO12/ SSCL12/RXDX12/ MOSIA/SCL	ADTRG0#	IRQ6
18		P15	MTIOC0C/ MTIOC4D/ MTCLKB/TMCI2	CTS1#/RTS1#/ SS1#/SSLA0/ CRXD0		IRQ5
19		P14	MTIOC0B/ MTIOC3B/ MTCLKA/TMRI2	SCK1/CTXD0	CLKOUT	IRQ4
20		PC7	MTIOC4B/ MTIOC3D/ MTIC5U/TMCI0/ POE0#	TXD1/SMOSI1/ SSDA1/SSLA1		IRQ7
21		PB1	MTIOC4C/ MTIOC3A/MTIC5V/ TMRI0/TMCI1/ POE1#	RXD1/SMISO1/ SSCL1/SSLA2		
22	VCC					
23		PB0	MTIOC1B/ MTIOC3C/ MTIC5W/TMRI1/ POE3#	RSPCKA	CMPA2	
24	VSS					
25		PE0	MTCLKA/CACREF	SSLA3		
26	AVCC0					
27	AVSS0					
28					REFOUT	

表 1.14 機能別端子一覧 (40ピンHWQFN (高耐圧入力端子なし)) (2/2)

ピン 番号 40ピン LFQFP	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, RTC, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	アナログ (S12AD, R16DA, VREF, IEXC, DSAD, AMUX)	その他
29	VREFL0				AIN2/IEXC0/VBIAS	
30	VREFH0				AIN3/IEXC1	
31					REF0N	
32					REF0P	
33					AIN4/AN002	
34					AIN5/AN003	
35					AIN10/AN004/ VBIAS	
36					AIN11/AN005	
37					AIN12/AN006/ REF1N	
38					AIN13/AN007/ REF1P	
39	VREFH					
40	VREFL					

2. 電気的特性

2.1 絶対最大定格

表 2.1 絶対最大定格

条件 : VSS = AVSS0 = VREFL0 = VREFL = HVCOM = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	P16, P17, P60, P61, P73, P74 (5Vトレラント)	V_{in}	-0.3 ~ +6.5	V
	上記以外		-0.3 ~ VCC + 0.3	
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3	V
		VREFH		
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	HVAIN0 ~ 3	V_{HVA}	-15 ~ +15	V
	上記以外	V_{AN}	-0.3 ~ AVCC0 + 0.3	V
24ビット Δ - Σ A/Dコンバータ基準電圧		REF0P, REF1P	-0.3 ~ AVCC0 + 0.3	V
		REF0N, REF1N	-0.3 ~ AVCC0 + 0.3	
LCD電圧	V_{L1} 電圧	V_{L1}	-0.3 ~ +6.5	V
	V_{L2} 電圧	V_{L2}	-0.3 ~ +6.5	
	V_{L3} 電圧	V_{L3}	-0.3 ~ +6.5	
	V_{L4} 電圧	V_{L4}	-0.3 ~ +6.5	
ジャンクション温度	Dバージョン	T_j	-40 ~ +105	°C
	Gバージョン		-40 ~ +112	
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間、VREFH端子とVREFL間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。詳細は「2.15.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

MCUの電源がOFFのときに、5Vトレラントポート以外のポートに入力信号を入れないでください。入力信号からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

2.2 推奨動作条件

表 2.2 推奨動作条件(1)

項目		記号	min	typ	max	単位
電源電圧		VCC (注1、注2)	1.8	—	5.5	V
		VSS	—	0	—	
アナログ電源電圧		AVCC0 (注1、注2)	1.8	—	5.5	V
		AVSS0	—	0	—	
		VREFH0	1.8	—	5.5	
		VREFL0	—	0	—	
		VREFH	2.5	—	AVCC0	
		VREFL	—	0	—	
入力電圧	5Vトレラント対応ポート： P16, P17, P60, P61, P73, P74	V_{in}	-0.3	—	5.8	V
	AIN0 ~ AIN15, REF0N, REF0P, REF1N, REF1P		-0.3	—	AVCC0 + 0.3	
	HVCOM		—	0	—	
	HVAIN0 ~ 3		-10	—	10	
	上記以外		-0.3	—	VCC + 0.3	
動作温度	Dバージョン	T_{opr}	-40	—	85	°C
	Gバージョン		-40	—	105	

注1. AVCC0とVCCは次の条件で使用してください。

VCC > 2.4Vのとき：AVCC0 ≥ 2.4Vの場合にAVCC0はVCCと独立して設定可能

VCC ≤ 2.4Vのとき：AVCC0 ≥ VCCの場合にAVCC0はVCCと独立して設定可能

注2. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

表 2.3 推奨動作条件(2)

項目	記号	規格値
VCL端子外付け容量	C_{VCL}	4.7μF ± 30% (注1)

注1. 静電容量の公称値が4.7μF、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が±30%以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表2.4 DC特性(1)

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く)	V _{IH}	0.7 × VCC	—	—	V	
		V _{IL}	—	—	0.3 × VCC		
		ΔV _T	0.05 × VCC	—	—		
	IRQ入力端子、MTU2入力端子、 POE2入力端子、TMR入力端子、 SCI入力端子、RSPI入力端子、 CAC入力端子、CAN入力端子、 ADTRG0#入力端子、 RES#、NMI	V _{IH}	0.8 × VCC	—	—		
		V _{IL}	—	—	0.2 × VCC		
		ΔV _T	0.1 × VCC	—	—		
入力レベル電圧(シュミット トリガ入力端子 を除く)	MD	V _{IH}	0.9 × VCC	—	—	V	
		V _{IL}	—	—	0.1 × VCC		
	EXTAL (外部クロック入力)	V _{IH}	0.8 × VCC	—	—		
		V _{IL}	—	—	0.2 × VCC		
	RIIC入力端子(SMBus)	V _{IH}	2.1	—	—		
		V _{IL}	—	—	0.8		
	P12 ~ P17, P20 ~ P27, P30, P31, P35 ~ P37, P54, P55, P60 ~ P67, P70 ~ P74, PA0 ~ PA4, PB0, PB1, PC0 ~ PC7, PD0 ~ PD4, PE0 ~ PE4	V _{IH}	0.8 × VCC	—	—		
		V _{IL}	—	—	0.2 × VCC		

表2.5 DC特性(2)

条件：1.8V ≤ VCC ≤ 2.7V, 1.8V ≤ AVCC0 ≤ 2.7V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	IRQ入力端子、MTU2入力端子、 POE2入力端子、TMR入力端子、 SCI入力端子、RSPI入力端子、 CAC入力端子、CAN入力端子、 ADTRG0#入力端子、 RES#、NMI	V _{IH}	0.8 × VCC	—	—	V	
		V _{IL}	—	—	0.2 × VCC		
		ΔV _T	0.01 × VCC	—	—		
入力レベル電圧(シュミット トリガ入力端子 を除く)	MD	V _{IH}	0.9 × VCC	—	—	V	
		V _{IL}	—	—	0.1 × VCC		
	EXTAL (外部クロック入力)	V _{IH}	0.8 × VCC	—	—		
		V _{IL}	—	—	0.2 × VCC		
	P12 ~ P17, P20 ~ P27, P30, P31, P35 ~ P37, P54, P55, P60 ~ P67, P70 ~ P74, PA0 ~ PA4, PB0, PB1, PC0 ~ PC7, PD0 ~ PD4, PE0 ~ PE4	V _{IH}	0.8 × VCC	—	—		
		V _{IL}	—	—	0.2 × VCC		

表 2.6 DC 特性(3)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD, P35	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V, VCC$
スリーステートリーク電流 (オフ状態)	P16, P17, P60, P61, P73, P74	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V, 5.8V$
	P16, P17, P60, P61, P73, P74 以外		—	—	0.2		$V_{in} = 0V, VCC$
入力容量	P12 ~ P17, P20 ~ P27, P30, P31, P36, P37, P54, P55, P60 ~ P67, P70 ~ P74, PA0 ~ PA4, PB0, PB1, PC0 ~ PC7, PD0 ~ PD4, PE0 ~ PE4, MD, RES#	C_{in}	—	—	15	pF	$V_{in} = 20mV,$ $f = 1MHz,$ $T_a = 25^\circ C$
	P35		—	—	30		
VCL 端子出力電圧		V_{CL}	—	2.12	—	V	

表 2.7 DC 特性(4)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (P35 以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

表 2.8 DC特性(5) (1/2)
 条件 : 1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40~+105°C

項目				記号	typ (注4)	max	単位	測定条件					
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし(注2)	ICLK = 32MHz	I _{CC}	3.7	—	mA					
				ICLK = 16MHz		2.6	—						
				ICLK = 8MHz		2.0	—						
				ICLK = 4MHz		1.7	—						
			全周辺動作 通常動作	ICLK = 32MHz(注3)		17.1	—						
				ICLK = 16MHz(注3)		9.7	—						
				ICLK = 8MHz(注3)		5.7	—						
				ICLK = 4MHz(注3)		3.6	—						
			全周辺動作 最大動作	ICLK = 32MHz		—	30.9						
				スリープモード			周辺動作なし(注2)			ICLK = 32MHz	2.2	—	
										ICLK = 16MHz	1.7	—	
										ICLK = 8MHz	1.5	—	
					ICLK = 4MHz	1.3				—			
					全周辺動作 通常動作	ICLK = 32MHz(注3)				10.0	—		
						ICLK = 16MHz(注3)				6.0	—		
						ICLK = 8MHz(注3)				3.7	—		
						ICLK = 4MHz(注3)				2.5	—		
					ディープ スリープモード	周辺動作なし(注2)				ICLK = 32MHz	1.4	—	
										ICLK = 16MHz	1.2	—	
										ICLK = 8MHz	1.1	—	
										ICLK = 4MHz	1.0	—	
						全周辺動作 通常動作	ICLK = 32MHz(注3)			8.4	—		
							ICLK = 16MHz(注3)			5.1	—		
							ICLK = 8MHz(注3)			3.1	—		
			ICLK = 4MHz(注3)	2.1			—						
BGO動作時の増加分(注5)					2.5	—							

表 2.8 DC特性(5) (2/2)
 条件 : 1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目				記号	typ (注4)	max	単位	測定条件
消費電流 (注1)	中速動作モード	通常動作モード	周辺動作なし(注6)	ICLK = 12MHz	I _{CC}	1.9	—	mA
				ICLK = 8MHz		1.5	—	
				ICLK = 4MHz		1.2	—	
				ICLK = 1MHz		0.9	—	
			全周辺動作 通常動作(注7)	ICLK = 12MHz		7.2	—	
				ICLK = 8MHz		5.1	—	
				ICLK = 4MHz		3.1	—	
				ICLK = 1MHz		1.4	—	
		全周辺動作 最大動作(注7)	ICLK = 12MHz	—	13.8			
			スリープモード					
			周辺動作なし(注6)	ICLK = 12MHz	1.3	—		
				ICLK = 8MHz	1.0	—		
		ICLK = 4MHz		0.9	—			
		ICLK = 1MHz		0.8	—			
		全周辺動作 通常動作(注7)	ICLK = 12MHz	4.5	—			
			ICLK = 8MHz	3.2	—			
	ICLK = 4MHz		2.1	—				
	ICLK = 1MHz		1.2	—				
	ディープ スリープモード		周辺動作なし(注6)	ICLK = 12MHz	0.9	—		
				ICLK = 8MHz	0.8	—		
				ICLK = 4MHz	0.7	—		
				ICLK = 1MHz	0.7	—		
	全周辺動作 通常動作(注7)	ICLK = 12MHz	3.8	—				
		ICLK = 8MHz	2.8	—				
		ICLK = 4MHz	1.8	—				
		ICLK = 1MHz	1.0	—				
	BGO動作時の増加分(注5)				2.5	—		
	低速動作モード	通常動作モード	周辺動作なし(注8)	ICLK = 32kHz	I _{CC}	4.3	—	μA
全周辺動作 通常動作(注9、注10)				ICLK = 32kHz		16.1	—	
全周辺動作 最大動作(注9、注10)			ICLK = 32kHz	—		78.5		
スリープモード		周辺動作なし(注8)	ICLK = 32kHz	2.6		—		
			全周辺動作 通常動作(注9)	ICLK = 32kHz		9.1	—	
ディープ スリープモード		周辺動作なし(注8)	ICLK = 32kHz	2.0		—		
			全周辺動作 通常動作(注9)	ICLK = 32kHz		7.8	—	

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップ抵抗を無効にした場合の値です。
- 注2. 周辺機能はクロック停止状態です。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態です。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC = 3.3V、T_a = 25°Cの値です。
- 注5. プログラム実行中に、ROMまたはE2データフラッシュをプログラム/イレーズした場合の増加分です。
- 注6. 周辺機能はクロック停止状態です。クロックソースはICLK = 12MHzのときはPLL、その他はHOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態です。クロックソースはICLK = 12MHzのときはPLL、その他はHOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態です。クロックソースはサブ発振回路です。FCLK、PCLKは64分周設定です。

注9. 周辺機能はクロック供給状態です。クロックソースはサブ発振回路です。FCLK、PCLKはICLKと同じ周波数です。

注10. MSTPCRA.MSTPA17 (12ビットA/Dコンバータモジュールストップ設定ビット)とMSTPCRA.MSTPA25 (24ビット Δ - Σ A/Dコンバータモジュールストップ設定ビット)をモジュールストップ状態に設定した時の値です。

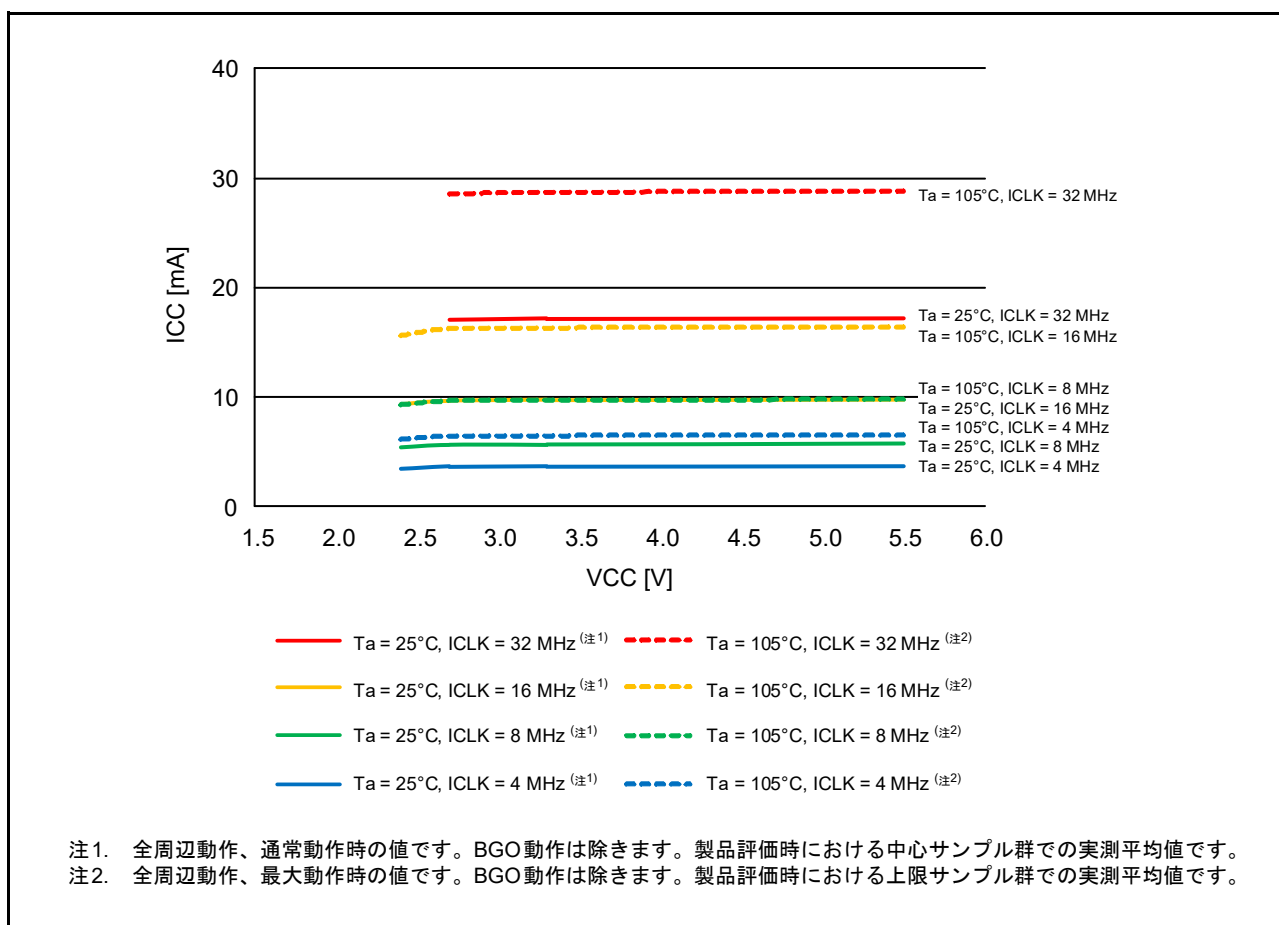


図 2.1 高速動作モードの電圧依存性 (参考データ)

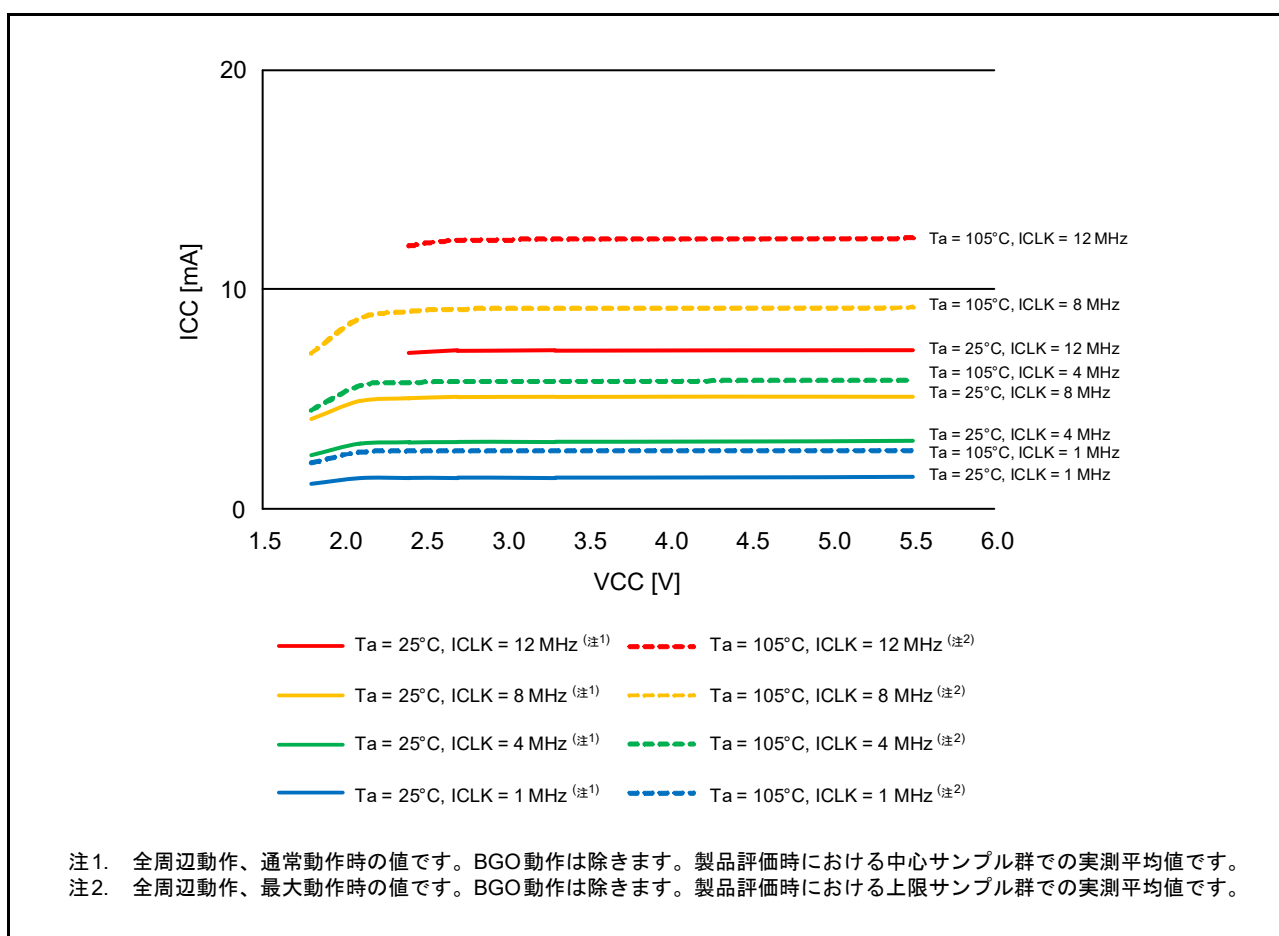


図 2.2 中速動作モードの電圧依存性 (参考データ)

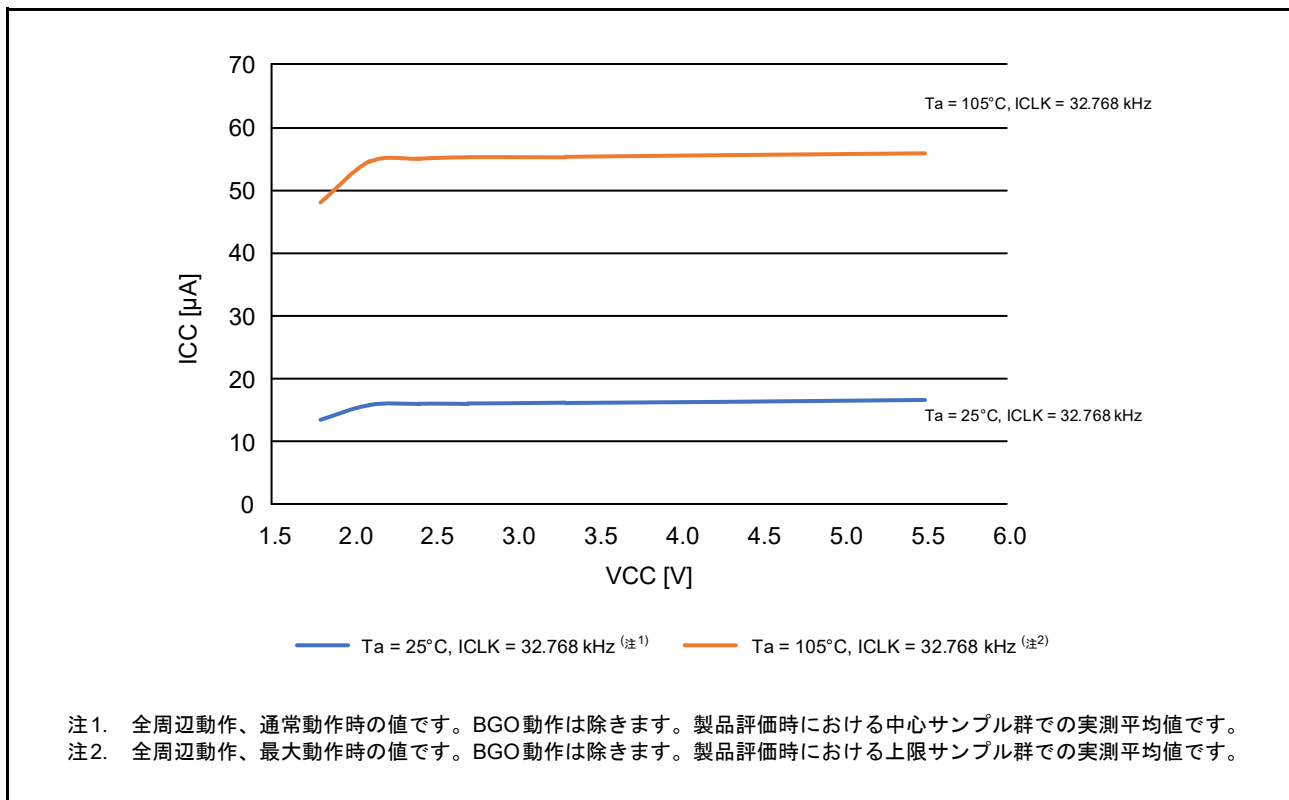


図 2.3 低速動作モードの電圧依存性 (参考データ)

表 2.9 DC特性(6)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	Ta = 25°C	I _{CC}	0.5	1.2	μA	
		Ta = 55°C		0.9	3.1		
		Ta = 85°C		2.5	13.7		
		Ta = 105°C		6.1	36.7		
	IWDT動作の増加分			0.4	—		
	LPT動作の増加分			0.4	—		
	RTC動作の増加分(注4)			0.4	—		
		1.2	—				
							クロックソースはIWDT専用オンチップオシレータを使用
							RCR3.RTCDV[2:0]はドライブ能力低設定
							RCR3.RTCDV[2:0]はドライブ能力標準設定

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3. VCC = 3.3Vの場合です。

注4. 発振回路を含みます。

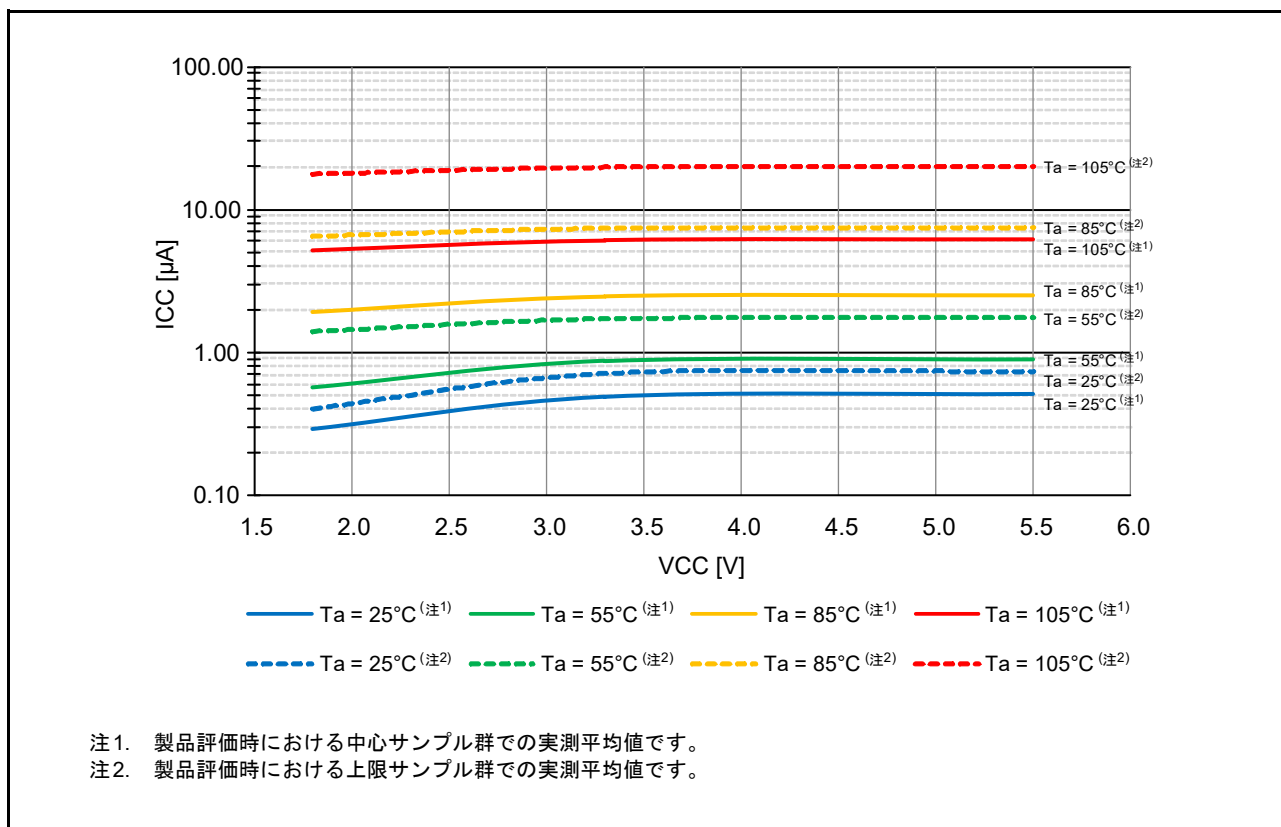


図 2.4 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

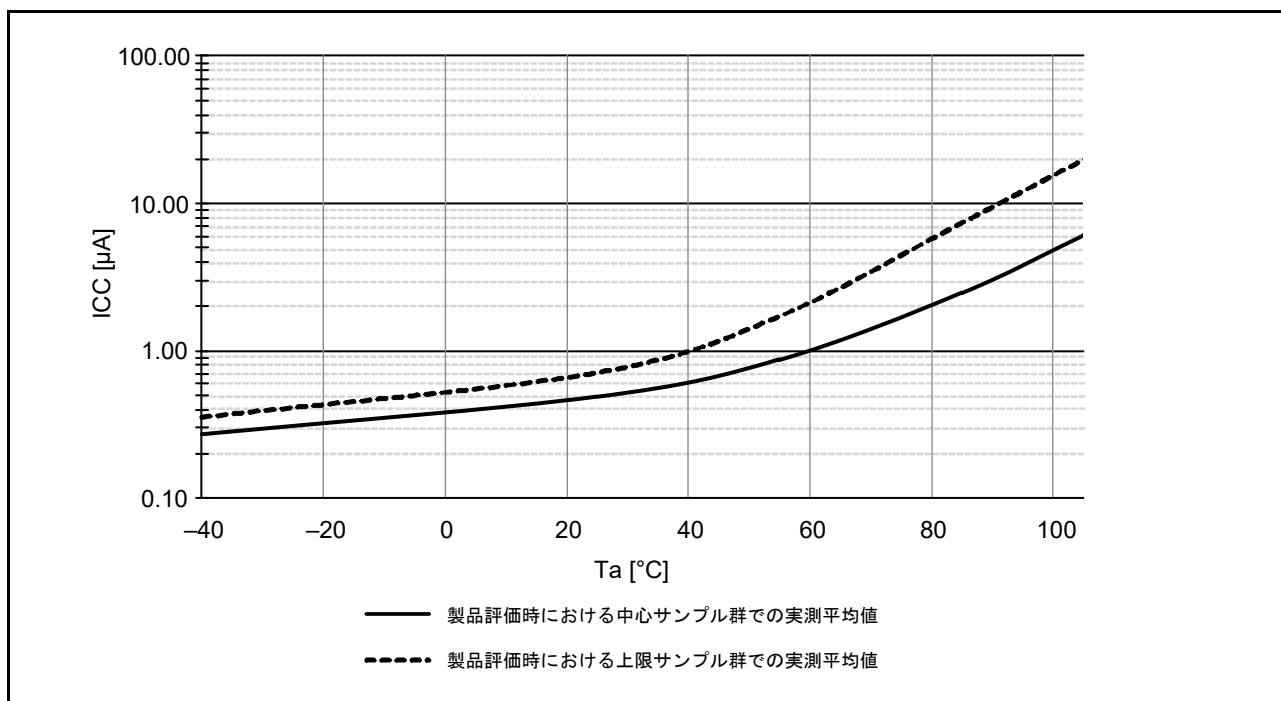


図 2.5 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 2.10 DC 特性(7)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ (注1)	max	単位	測定条件
LVD	LVD0	I _{LVD}	—	0.10	—	μA	
	LVD1		—	0.10	—		
	LVD2		—	0.20	—		

注1. VCC = AVCC0 = 3.3V, T_a = 25°C のとき。

表 2.11 DC 特性(8)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
RAM 保持電圧	V _{RAM}	1.8	—	—	V	

表 2.12 DC 特性(9)

条件：0V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC 立ち上がり勾配	通常起動時 (注1)	SrVCC	0.02	—	20.00	ms/V	
	起動時間短縮時 (注2)		0.02	—	2.00		
	起動時電圧監視0リセット 有効時 (注3、注4)		0.02	—	—		

注1. OFS1.LVDAS ビット = 1, OFS1.FASTSTUP ビット = 1 の場合です。

注2. OFS1.LVDAS ビット = 1, OFS1.FASTSTUP ビット = 0 の場合です。

注3. OFS1.LVDAS ビット = 0 の場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 2.13 DC 特性(10)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C電源リップルは、VCC の上限と下限は超えない範囲で許容電源リップル周波数 $f_{r(VCC)}$ を満たしてください。VCC 変動が VCC ± 10% を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図 2.6 $V_{r(VCC)} \leq 0.2 \times VCC$ の場合
		—	—	1	MHz	図 2.6 $V_{r(VCC)} \leq 0.08 \times VCC$ の場合
		—	—	10	MHz	図 2.6 $V_{r(VCC)} \leq 0.06 \times VCC$ の場合
許容電源変動立ち上がり/立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が VCC ± 10% を超える場合

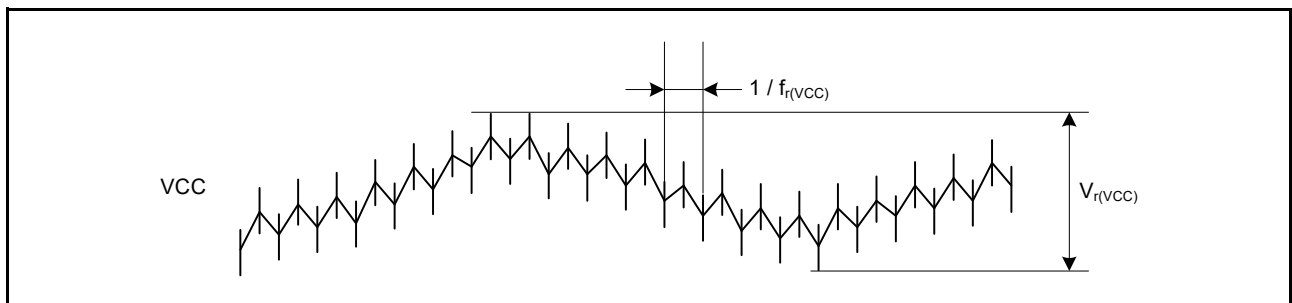


図 2.6 電源リップル波形

表 2.14 DC 特性 (11)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ (注3)	max	単位	
LCD動作電流 (注2)	外部抵抗分割方式 (注4) fLCD = fSUB = 128Hz、1/3バイアス、4時分割	I_{LCD1} (注1)	—	0.04	—	μA
	内部昇圧方式 (VLCD.VLCD = 04) fLCD = fSUB = 128Hz、1/3バイアス、4時分割	I_{LCD2} (注1)	—	0.85	—	μA
	内部昇圧方式 (VLCD.VLCD = 12) fLCD = fSUB = 128Hz、1/3バイアス、4時分割	I_{LCD2} (注1)	—	1.55	—	μA
	容量分割方式 fLCD = fSUB = 128Hz、1/3バイアス、4時分割	I_{LCD3} (注1)	—	0.20	—	μA

注1. LCDモジュールのみの消費電流です。LCDパネル未接続時の電流です。

注2. 電源(VCC)の消費電流です。

注3. $VCC = AVCC0 = 3.3V$ 、 $T_a = 25^\circ C$ のとき。

注4. 外部分割抵抗に流れる電流は含みません。

表 2.15 DC 特性 (12)

条件 : $1.8V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
24ビット Δ - Σ A/D コンバータ動作電流	Gain = 1 (PGA無効、BUF無効)	I_{AVCC0} (DSAD)	—	7.5	9.1	mA	図2.7、図2.8 1ユニット、 外部リファレンス使 用、リファレンスバッ ファ無効 $VCC \geq 2.4V$
	Gain = 1 ~ 128 (PGA有効)		—	17.1	20.2		
基準電圧源動作電流	I_{AVCC0} (VREF)	—	45	75	μA	図2.9	
温度センサ動作電流	I_{AVCC0} (TEMPS)	—	15	40	μA	図2.10	
バイアス電圧生成回路動作電流	I_{AVCC0} (VBIAS)	—	15	25	μA	図2.11	
励起電流源動作電流	I_{AVCC0} (IEXC)	—	30	50	μA	図2.12	
アナログ入力バッファ動作電流	I_{AVCC0} (BUF)	—	2.6	4.5	mA	図2.13 1ユニット $VCC \geq 2.4V$	
リファレンスバッファ動作電流	I_{AVCC0} (REFBUF)	—	2.8	4.6			
電圧検出回路動作 電流	低電源電圧検出回路	I_{AVCC0} (LVDET)	—	5	9	μA	1ユニット
	励起電流源断線検出回路	I_{AVCC0} (IEXCDET)	—	2	4		
	DSAD入力電圧異常検出回路	I_{AVCC0} (DSIDET)	—	5	7		
	DSAD基準電圧異常検出回路	I_{AVCC0} (DSRDET)	—	10	15		
	高電圧アナログコモン入力断 線検出回路	I_{AVCC0} (HVCOMDET)	—	10	15		
16ビットD/Aコンバータ動作電流	I_{V5dc}	—	200	300	μA	図2.15 $AVCC0$ 端子とVREFH 端子の電流	

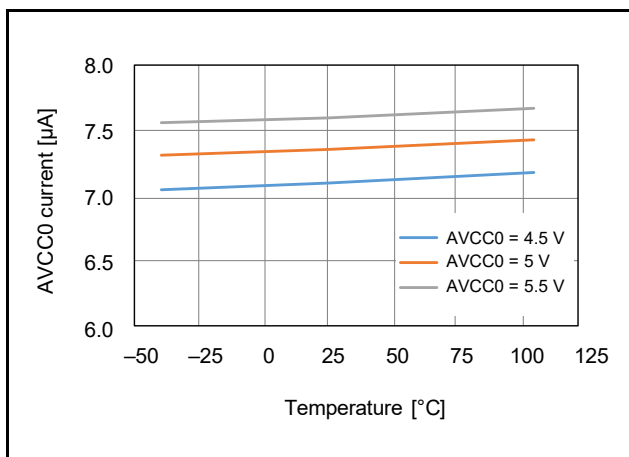


図 2.7 24 ビット Δ - Σ A/D コンバータ動作電流の温度依存性 (PGA 無効、BUF 無効)

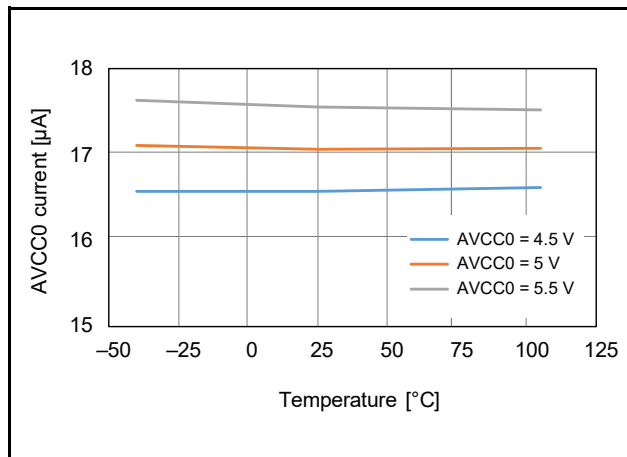


図 2.8 24 ビット Δ - Σ A/D コンバータ動作電流の温度依存性 (PGA 有効)

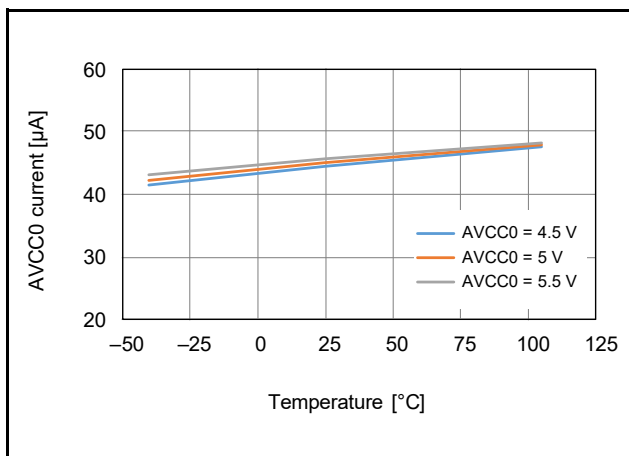


図 2.9 基準電圧源動作電流の温度依存性

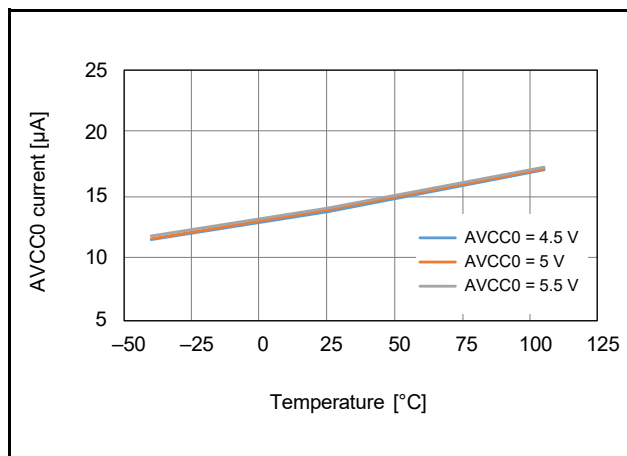


図 2.10 温度センサ動作電流の温度依存性

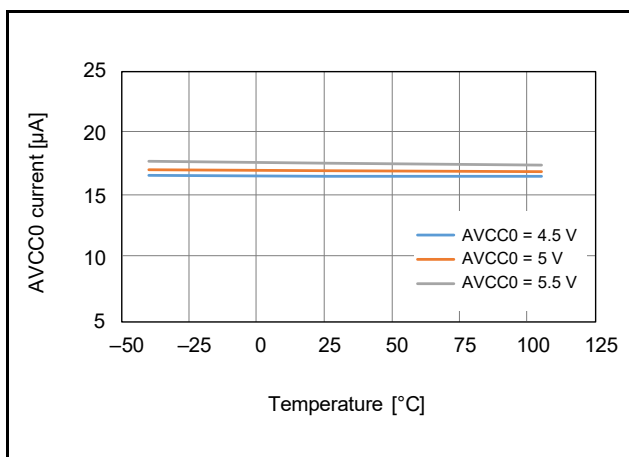


図 2.11 バイアス電圧生成回路動作電流の温度依存性

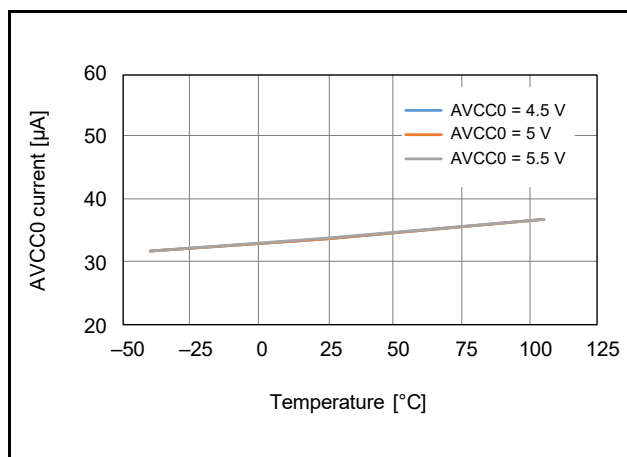


図 2.12 励起電流源動作電流の温度依存性

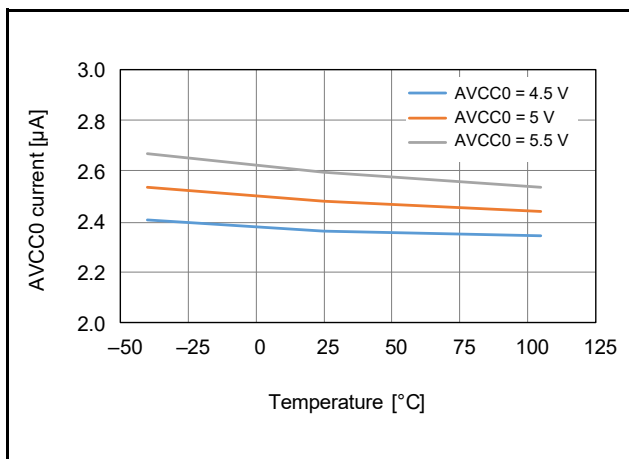


図 2.13 アナログ入力バッファ動作電流の温度依存性

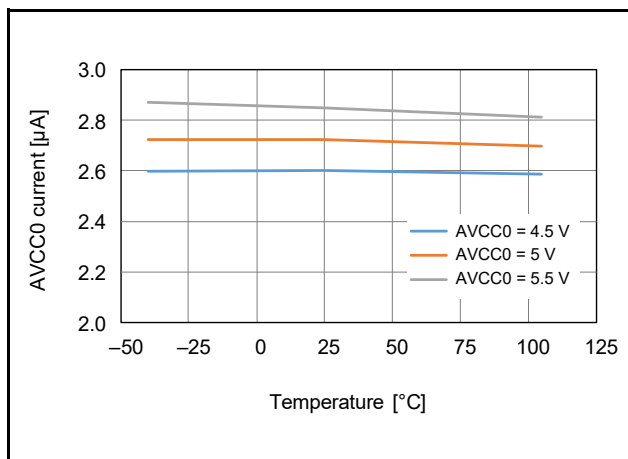


図 2.14 リファレンスバッファ動作電流の温度依存性

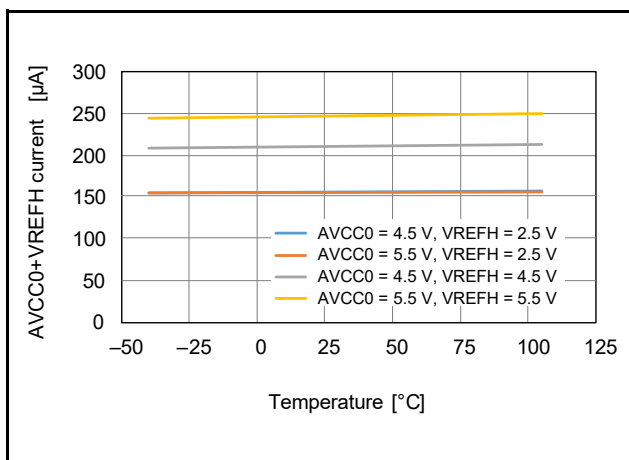


図 2.15 16 ビット D/A コンバータ動作電流の温度依存性

表2.16 DC特性(13)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ (注1)	max	単位	測定条件
12ビットA/D コンバータ動作電流	A/D変換中 (高速変換時)	I _{AVCC0} (S12AD)	—	1.1	1.8	mA	
	A/D変換中 (低電流モード)		—	0.6	1.1		
リファレンス電源電 流	A/D変換中 (高速変換時)	I _{REFH0}	—	74	122	μA	
	A/D変換時待機電流 (全ユニット)		—	—	60	nA	
AVCC0パワーダウン電流		I _{STBY}	—	—	2.4	μA	

注1. AVCC0 = 5.0V、T_a = 25°Cのとき。

表2.17 出力許容電流値(1)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +85°C

項目		記号	max	単位	
Lowレベル出力許容電流 (1端子あたりの平均値)	P36, P37	I _{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
Lowレベル出力許容電流 (1端子あたりの最大値)	P36, P37	I _{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
Lowレベル出力許容電流	PD0 ~ PD4, PE0 ~ PE4の合計	ΣI _{OL}	40	mA	
	P12 ~ P17, PA0 ~ PA4, PB0, PB1, PC0 ~ PC7の合計		40		
	P20 ~ P27, P30, P31, P36, P37, P60 ~ P67の合計		40		
	P70 ~ P74の合計		40		
	全出力端子の総和		80		
Highレベル出力許容電流 (1端子あたりの平均値)	P36, P37	I _{OH}	-4.0	mA	
	P16, P17, P60, P61, P70 ~ P74, PD0		通常出力時		-4.0
			高駆動出力時		-8.0
	それ以外のポート (注1)		-4.0		
Highレベル出力許容電流 (1端子あたりの最大値)	P36, P37	I _{OH}	-4.0	mA	
	P16, P17, P60, P61, P70 ~ P74, PD0		通常出力時		-4.0
			高駆動出力時		-8.0
	それ以外のポート (注1)		-4.0		
Highレベル出力許容電流	PD0 ~ PD4, PE0 ~ PE4の合計	ΣI _{OH}	-40	mA	
	P12 ~ P17, PA0 ~ PA4, PB0, PB1, PC0 ~ PC7の合計		-40		
	P20 ~ P27, P30, P31, P36, P37, P60 ~ P67の合計		-40		
	P70 ~ P74の合計		-40		
	全出力端子の総和		-80		

注1. 5Vトレラント対応ポートを除く、LCD機能が割り当てられているポートも駆動能力切り替え可能ですが、通常出力時と高駆動出力時のI_{OH}特性は変化しません。

表 2.18 出力許容電流値(2)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	max	単位	
Lowレベル出力許容電流 (1端子あたりの平均値)	P36, P37	I _{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
Lowレベル出力許容電流 (1端子あたりの最大値)	P36, P37	I _{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
Lowレベル出力許容電流	PD0 ~ PD4, PE0 ~ PE4の合計	ΣI _{OL}	30	mA	
	P12 ~ P17, PA0 ~ PA4, PB0, PB1, PC0 ~ PC7の合計		30		
	P20 ~ P27, P30, P31, P36, P37, P60 ~ P67の合計		30		
	P70 ~ P74の合計		30		
	全出力端子の総和		60		
Highレベル出力許容電流 (1端子あたりの平均値)	P36, P37	I _{OH}	-4.0	mA	
	P16, P17, P60, P61, P70 ~ P74, PD0		通常出力時		-4.0
			高駆動出力時		-8.0
	それ以外のポート(注1)		-4.0		
Highレベル出力許容電流 (1端子あたりの最大値)	P36, P37	I _{OH}	-4.0	mA	
	P16, P17, P60, P61, P70 ~ P74, PD0		通常出力時		-4.0
			高駆動出力時		-8.0
	それ以外のポート(注1)		-4.0		
Highレベル出力許容電流	PD0 ~ PD4, PE0 ~ PE4の合計	ΣI _{OH}	-30	mA	
	P12 ~ P17, PA0 ~ PA4, PB0, PB1, PC0 ~ PC7の合計		-30		
	P20 ~ P27, P30, P31, P36, P37, P60 ~ P67の合計		-30		
	P70 ~ P74の合計		-30		
	全出力端子の総和		-60		

注1. 5Vトレラント対応ポートを除く、LCD機能が割り当てられているポートも駆動能力切り替え可能ですが、通常出力時と高駆動出力時のI_{OH}特性は変化しません。

表 2.19 出力電圧値(1)

条件：1.8V ≤ VCC = AVCC0 ≤ 2.7V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位	測定条件
Lowレベル 出力電圧	全出力端子	V _{OL}	—	0.3	V	I _{OL} = 0.5mA
			—	0.3		I _{OL} = 1.0mA
Highレベル 出力電圧	P16, P17, P60, P61, P70 ~ P74, PD0	V _{OH}	VCC - 0.3	—	V	I _{OH} = -0.5mA
			VCC - 0.3	—		I _{OH} = -1.0mA
	その他の出力端子(注1)	VCC - 0.3	—	I _{OH} = -0.5mA		

注1. 5Vトレラント対応ポートを除く、LCD機能が割り当てられているポートも駆動能力切り替え可能ですが、通常出力時と高駆動出力時のV_{OH}特性は変化しません。

表2.20 出力電圧値(2)

条件: $2.7V \leq VCC = AVCC0 \leq 4.0V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
Lowレベル 出力電圧	全出力端子 (RIIC端子以外)	通常出力時	V_{OL}	—	0.5	V	$I_{OL} = 1.0mA$
		高駆動出力時		—	0.5		$I_{OL} = 2.0mA$
	RIIC端子	通常出力時		—	0.4		$I_{OL} = 3.0mA$
		高駆動出力時		—	0.6		$I_{OL} = 6.0mA$
Highレベル 出力電圧	P16, P17, P60, P61, P70~P74, PD0	通常出力時	V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -1.0mA$
		高駆動出力時		$VCC - 0.5$	—		$I_{OH} = -2.0mA$
	その他の出力端子(注1)	$VCC - 0.5$		—	$I_{OH} = -1.0mA$		

注1. 5Vトレラント対応ポートを除く、LCD機能が割り当てられているポートも駆動能力切り替え可能ですが、通常出力時と高駆動出力時の V_{OH} 特性は変化しません。

表2.21 出力電圧値(3)

条件: $4.0V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
Lowレベル 出力電圧	全出力端子 (RIIC端子以外)	通常出力時	V_{OL}	—	0.8	V	$I_{OL} = 2.0mA$
		高駆動出力時		—	0.8		$I_{OL} = 4.0mA$
	RIIC端子	通常出力時		—	0.4		$I_{OL} = 3.0mA$
		高駆動出力時		—	0.6		$I_{OL} = 6.0mA$
Highレベル 出力電圧	P16, P17, P60, P61, P70~P74, PD0	通常出力時	V_{OH}	$VCC - 0.8$	—	V	$I_{OH} = -2.0mA$
		高駆動出力時		$VCC - 0.8$	—		$I_{OH} = -4.0mA$
	その他の出力端子(注1)	$VCC - 0.8$		—	$I_{OH} = -2.0mA$		

注1. 5Vトレラント対応ポートを除く、LCD機能が割り当てられているポートも駆動能力切り替え可能ですが、通常出力時と高駆動出力時の V_{OH} 特性は変化しません。

表2.22 熱抵抗値(参考値)

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	100ピンTFBGA (PTBG0100KD-A)	θ_{ja}	—	—	26.0	°C/W	JESD51-2および JESD51-9準拠
	100ピンLFQFP (PLQP0100KB-B)		—	—	40.2		
	80ピンLFQFP (PLQP0080KB-B)		—	—	40.0		
	64ピンLFQFP (PLQP0064KB-C)		—	—	41.4		
	48ピンLFQFP (PLQP0048KB-B)		—	—	49.0		
	40ピンHWQFN (PWQN0040KD-A)		—	—	19.8(注1)		
	100ピンTFBGA (PTBG0100KD-A)		Ψ_{jt}	—	—		
	100ピンLFQFP (PLQP0100KB-B)	—		—	0.59		
	80ピンLFQFP (PLQP0080KB-B)	—		—	0.59		
	64ピンLFQFP (PLQP0064KB-C)	—		—	0.59		
	48ピンLFQFP (PLQP0048KB-B)	—		—	1.08		
	40ピンHWQFN (PWQN0040KD-A)	—	—	0.07(注1)			

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

注1. exposed die padにVSSを接続したときの値です。

2.4 標準 I/O 端子出力特性

表 2.23 標準 I/O 端子通常出力 V_{OH} 電圧特性 (参考値)
条件 : $V_{CC} = AV_{CC0} = 2.0V$, $V_{SS} = AV_{SS0} = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V_{OH}	—	VCC-0.05	—	V	$I_{OH} = -0.5mA$
			—	VCC-0.11	—		$I_{OH} = -1.0mA$
			—	VCC-0.23	—		$I_{OH} = -2.0mA$
			—	VCC-0.55	—		$I_{OH} = -4.0mA$

表 2.24 標準 I/O 端子通常出力 V_{OH} 電圧特性 (参考値)
条件 : $V_{CC} = AV_{CC0} = 3.3V$, $V_{SS} = AV_{SS0} = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V_{OH}	—	VCC-0.03	—	V	$I_{OH} = -0.5mA$
			—	VCC-0.07	—		$I_{OH} = -1.0mA$
			—	VCC-0.13	—		$I_{OH} = -2.0mA$
			—	VCC-0.27	—		$I_{OH} = -4.0mA$

表 2.25 標準 I/O 端子通常出力 V_{OH} 電圧特性 (参考値)
条件 : $V_{CC} = AV_{CC0} = 5.0V$, $V_{SS} = AV_{SS0} = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V_{OH}	—	VCC-0.03	—	V	$I_{OH} = -0.5mA$
			—	VCC-0.05	—		$I_{OH} = -1.0mA$
			—	VCC-0.10	—		$I_{OH} = -2.0mA$
			—	VCC-0.20	—		$I_{OH} = -4.0mA$

表 2.26 標準 I/O 端子通常出力 V_{OL} 電圧特性 (参考値)
条件 : $V_{CC} = AV_{CC0} = 2.0V$, $V_{SS} = AV_{SS0} = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V_{OL}	—	0.05	—	V	$I_{OL} = 0.5mA$
			—	0.11	—		$I_{OL} = 1.0mA$
			—	0.24	—		$I_{OL} = 2.0mA$
			—	0.70	—		$I_{OL} = 4.0mA$

表 2.27 標準 I/O 端子通常出力 V_{OL} 電圧特性 (参考値)
条件 : $V_{CC} = AV_{CC0} = 3.3V$, $V_{SS} = AV_{SS0} = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V_{OL}	—	0.03	—	V	$I_{OL} = 0.5mA$
			—	0.06	—		$I_{OL} = 1.0mA$
			—	0.12	—		$I_{OL} = 2.0mA$
			—	0.25	—		$I_{OL} = 4.0mA$

表 2.28 標準 I/O 端子通常出力 V_{OL} 電圧特性 (参考値)
 条件 : $VCC = AVCC0 = 5.0V$, $VSS = AVSS0 = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V_{OL}	—	0.02	—	V	$I_{OL} = 0.5mA$
			—	0.04	—		$I_{OL} = 1.0mA$
			—	0.09	—		$I_{OL} = 2.0mA$
			—	0.18	—		$I_{OL} = 4.0mA$

表 2.29 標準 I/O 端子高駆動出力 V_{OH} 電圧特性 (参考値)
 条件 : $VCC = AVCC0 = 2.0V$, $VSS = AVSS0 = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	P16, P17, P60, P61, P70~P74, PD0	V_{OH}	—	$VCC-0.03$	—	V	$I_{OH} = -0.5mA$
			—	$VCC-0.05$	—		$I_{OH} = -1.0mA$
			—	$VCC-0.10$	—		$I_{OH} = -2.0mA$
			—	$VCC-0.22$	—		$I_{OH} = -4.0mA$
			—	$VCC-0.48$	—		$I_{OH} = -8.0mA$
	その他の出力端子	V_{OH}	—	$VCC-0.05$	—	V	$I_{OH} = -0.5mA$
			—	$VCC-0.10$	—		$I_{OH} = -1.0mA$
			—	$VCC-0.20$	—		$I_{OH} = -2.0mA$
			—	$VCC-0.45$	—		$I_{OH} = -4.0mA$

表 2.30 標準 I/O 端子高駆動出力 V_{OH} 電圧特性 (参考値)
 条件 : $VCC = AVCC0 = 3.3V$, $VSS = AVSS0 = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	P16, P17, P60, P61, P70~P74, PD0	V_{OH}	—	$VCC-0.02$	—	V	$I_{OH} = -0.5mA$
			—	$VCC-0.04$	—		$I_{OH} = -1.0mA$
			—	$VCC-0.07$	—		$I_{OH} = -2.0mA$
			—	$VCC-0.14$	—		$I_{OH} = -4.0mA$
			—	$VCC-0.28$	—		$I_{OH} = -8.0mA$
	その他の出力端子	V_{OH}	—	$VCC-0.03$	—	V	$I_{OH} = -0.5mA$
			—	$VCC-0.06$	—		$I_{OH} = -1.0mA$
			—	$VCC-0.12$	—		$I_{OH} = -2.0mA$
			—	$VCC-0.24$	—		$I_{OH} = -4.0mA$

表 2.31 標準 I/O 端子高駆動出力 V_{OH} 電圧特性 (参考値)
条件 : $V_{CC} = AV_{CC0} = 5.0V$, $V_{SS} = AV_{SS0} = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	P16, P17, P60, P61, P70~P74, PD0	V_{OH}	—	VCC-0.02	—	V	$I_{OH} = -0.5mA$
			—	VCC-0.03	—		$I_{OH} = -1.0mA$
			—	VCC-0.06	—		$I_{OH} = -2.0mA$
			—	VCC-0.11	—		$I_{OH} = -4.0mA$
			—	VCC-0.23	—		$I_{OH} = -8.0mA$
	その他の出力端子	V_{OH}	—	VCC-0.02	—	V	$I_{OH} = -0.5mA$
			—	VCC-0.05	—		$I_{OH} = -1.0mA$
			—	VCC-0.09	—		$I_{OH} = -2.0mA$
			—	VCC-0.18	—		$I_{OH} = -4.0mA$
			—	VCC-0.18	—		$I_{OH} = -4.0mA$

表 2.32 標準 I/O 端子高駆動出力 V_{OL} 電圧特性 (参考値)
条件 : $V_{CC} = AV_{CC0} = 2.0V$, $V_{SS} = AV_{SS0} = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V_{OL}	—	0.02	—	V	$I_{OL} = 0.5mA$
			—	0.05	—		$I_{OL} = 1.0mA$
			—	0.10	—		$I_{OL} = 2.0mA$
			—	0.21	—		$I_{OL} = 4.0mA$
			—	0.49	—		$I_{OL} = 8.0mA$

表 2.33 標準 I/O 端子高駆動出力 V_{OL} 電圧特性 (参考値)
条件 : $V_{CC} = AV_{CC0} = 3.3V$, $V_{SS} = AV_{SS0} = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V_{OL}	—	0.01	—	V	$I_{OL} = 0.5mA$
			—	0.03	—		$I_{OL} = 1.0mA$
			—	0.06	—		$I_{OL} = 2.0mA$
			—	0.12	—		$I_{OL} = 4.0mA$
			—	0.25	—		$I_{OL} = 8.0mA$

表 2.34 標準 I/O 端子高駆動出力 V_{OL} 電圧特性 (参考値)
条件 : $V_{CC} = AV_{CC0} = 5.0V$, $V_{SS} = AV_{SS0} = 0V$, $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V_{OL}	—	0.01	—	V	$I_{OL} = 0.5mA$
			—	0.02	—		$I_{OL} = 1.0mA$
			—	0.05	—		$I_{OL} = 2.0mA$
			—	0.10	—		$I_{OL} = 4.0mA$
			—	0.20	—		$I_{OL} = 8.0mA$

2.5 AC 特性

2.5.1 クロックタイミング

表 2.35 動作周波数 (高速動作モード)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC			単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$		
最高動作周波数 (注3)	システムクロック (ICLK)	f _{max}	8	16	32	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	16	32	
	周辺モジュールクロック (PCLKA)		8	16	32	
	周辺モジュールクロック (PCLKB)		8	16	32	
	周辺モジュールクロック (PCLKC)		8	16	32	
	周辺モジュールクロック (PCLKD)		8	16	32	

注1. フラッシュメモリのプログラム/イレーズを行う場合、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%以下である必要があります。

注3. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表2.38 クロックタイミング」を参照してください。

表 2.36 動作周波数 (中速動作モード)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC			単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$		
最高動作周波数 (注3)	システムクロック (ICLK)	f _{max}	8	12	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	12	12	
	周辺モジュールクロック (PCLKA)		8	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	
	周辺モジュールクロック (PCLKC)		8	12	12	
	周辺モジュールクロック (PCLKD)		8	12	12	

注1. フラッシュメモリのプログラム/イレーズを行う場合、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%以下である必要があります。

注3. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表2.38 クロックタイミング」を参照してください。

表 2.37 動作周波数 (低速動作モード)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	VCC			単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$		
最大動作周波数 (注4)	システムクロック (ICLK)	f _{max}	32.768			kHz
	FlashIFクロック (FCLK) (注1)		32.768			
	周辺モジュールクロック (PCLKA)		32.768			
	周辺モジュールクロック (PCLKB)		32.768			
	周辺モジュールクロック (PCLKC) (注2)		32.768			
	周辺モジュールクロック (PCLKD) (注3)		32.768			

注1. フラッシュメモリのP/Eはできません。

注2. 24ビット Δ - Σ A/Dコンバータは使用できません。

注3. 12ビットA/Dコンバータは使用できません。

注4. 記載している最高動作周波数には、外部発振子の誤差を含めず表記しています。動作保証範囲については、「表2.38 クロックタイミング」を参照してください。

表2.38 クロックタイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	t_{xcyc}	50	—	—	ns	図2.16	
EXTAL外部クロック入力Highレベルパルス幅	t_{xH}	20	—	—	ns		
EXTAL外部クロック入力Lowレベルパルス幅	t_{xL}	20	—	—	ns		
EXTAL外部クロック立ち上がり時間	t_{xr}	—	—	5	ns		
EXTAL外部クロック立ち下がり時間	t_{xf}	—	—	5	ns		
EXTAL外部クロック入力待機時間(注1)	t_{xWT}	0.5	—	—	μs	図2.17	
メインクロック発振器発振周波数(注2)	f_{MAIN}	$2.4 \leq VCC \leq 5.5$	1	—	20		MHz
		$1.8 \leq VCC < 2.4$	1	—	8		
メインクロック発振安定時間(水晶振動子)(注2)	$t_{MAINOSC}$	—	3	—	ms		図2.17
メインクロック発振安定時間(セラミック共振子)(注2)	$t_{MAINOSC}$	—	50	—	μs		
LOCOクロック発振周波数	f_{LOCO}	3.44	4.00	4.56	MHz	図2.18	
LOCOクロック発振安定時間	t_{LOCO}	—	—	0.5	μs		
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15.00	17.25	kHz	図2.19	
IWDT専用クロック発振安定時間	t_{ILOCO}	—	—	50	μs		
HOCOクロック発振周波数	f_{HOCO}		31.52	32.00	32.48	MHz	$T_a = -40 \sim +85^\circ C$
			31.68	32.00	32.32		$T_a = -20 \sim +85^\circ C$
			31.36	32.00	32.64		$T_a = -40 \sim +105^\circ C$
HOCOクロック発振安定時間	t_{HOCO}	—	—	41.3	μs	図2.21	
PLL入力周波数(注3)	f_{PLLIN}	4	—	8	MHz	図2.22	
PLL回路発振周波数(注3)	f_{PLL}	24	—	32	MHz		
PLLクロック発振安定時間	t_{PLL}	—	—	74.4	μs	図2.22	
PLL自動発振周波数	f_{PLLFR}	—	8	—	MHz		
サブクロック発振器発振周波数(注4)	f_{SUB}	—	32.768	—	kHz	図2.23	
サブクロック発振安定時間(注5)	t_{SUBOSC}	—	0.5	—	s		

- 注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。
- 注2. 8MHzの発振子を使用した場合の参考値です。
メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。
MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。
- 注3. PLLを使用する場合、VCCは2.4~5.5Vにしてください。
- 注4. 32.768kHzのみ使用可能です。
- 注5. 32.768kHzの発振子を使用した参考値です。
SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

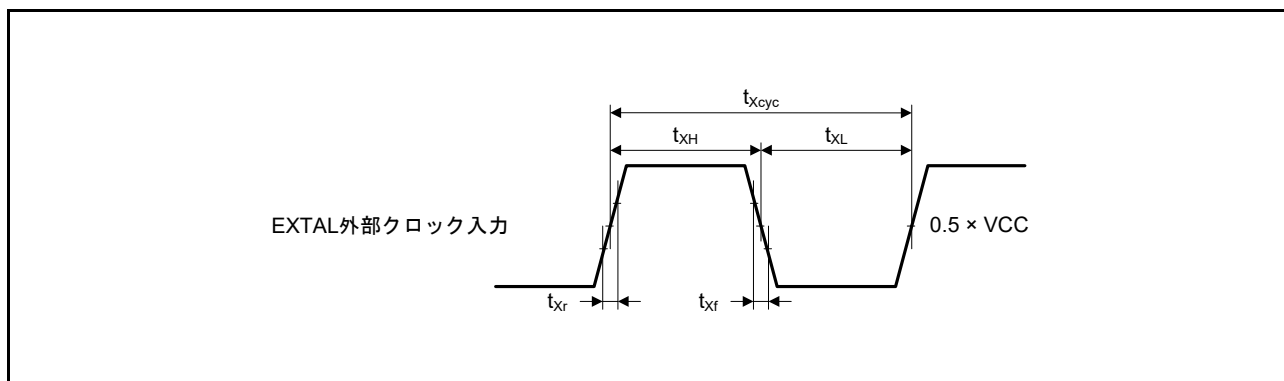


図 2.16 EXTAL 外部クロック入力タイミング

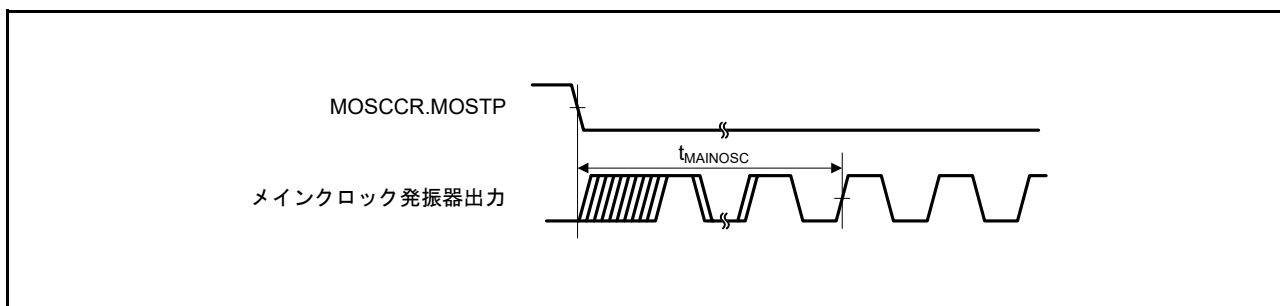


図 2.17 メインクロック発振開始タイミング

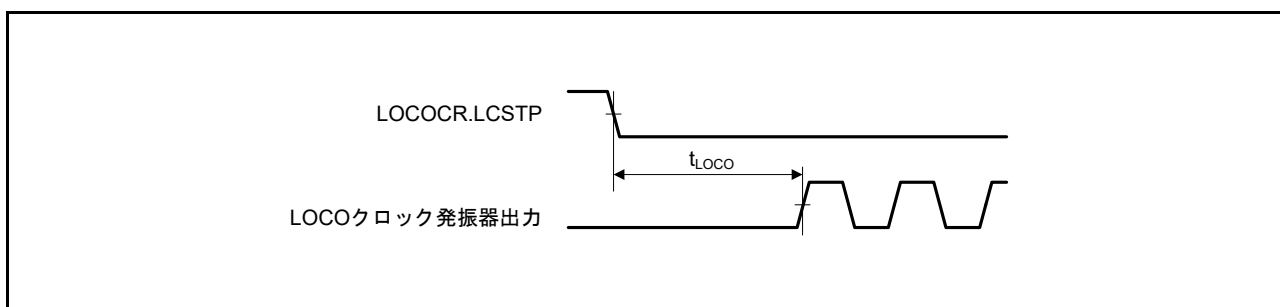


図 2.18 LOCO クロック発振開始タイミング

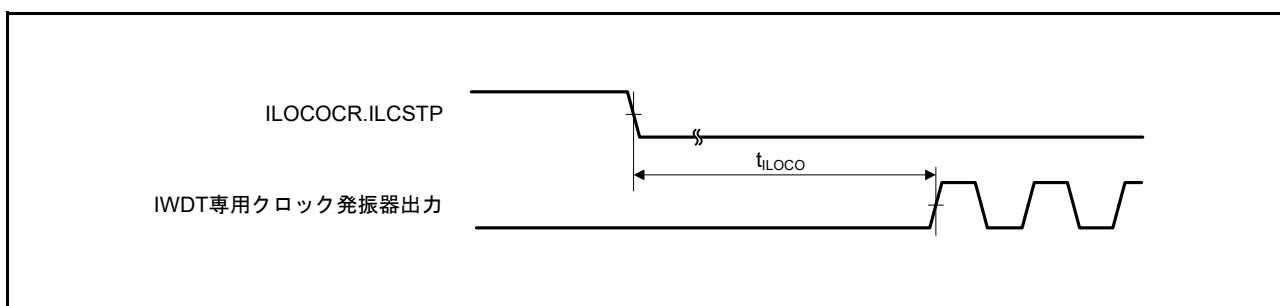


図 2.19 IWDW 専用クロック発振開始タイミング

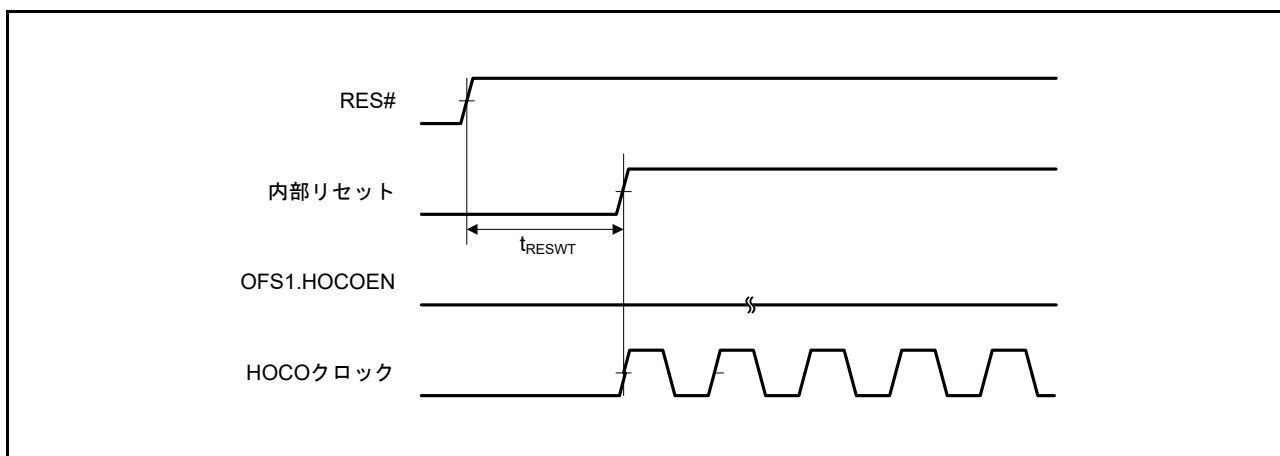


図 2.20 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット “0” 設定時のリセット解除後)

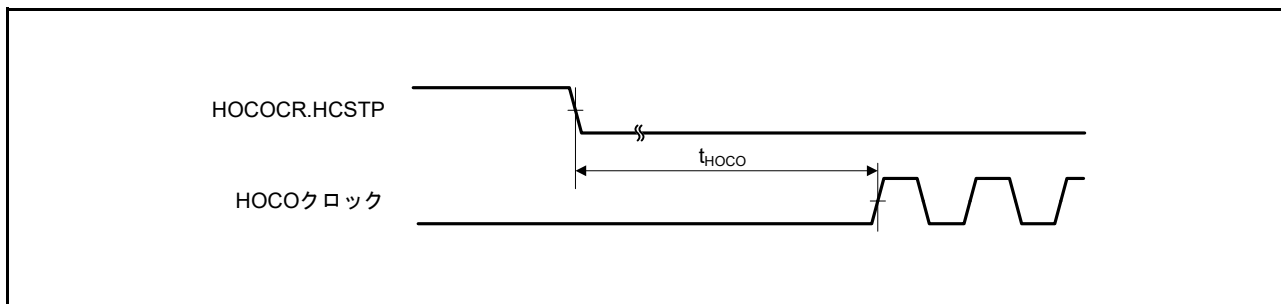


図 2.21 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

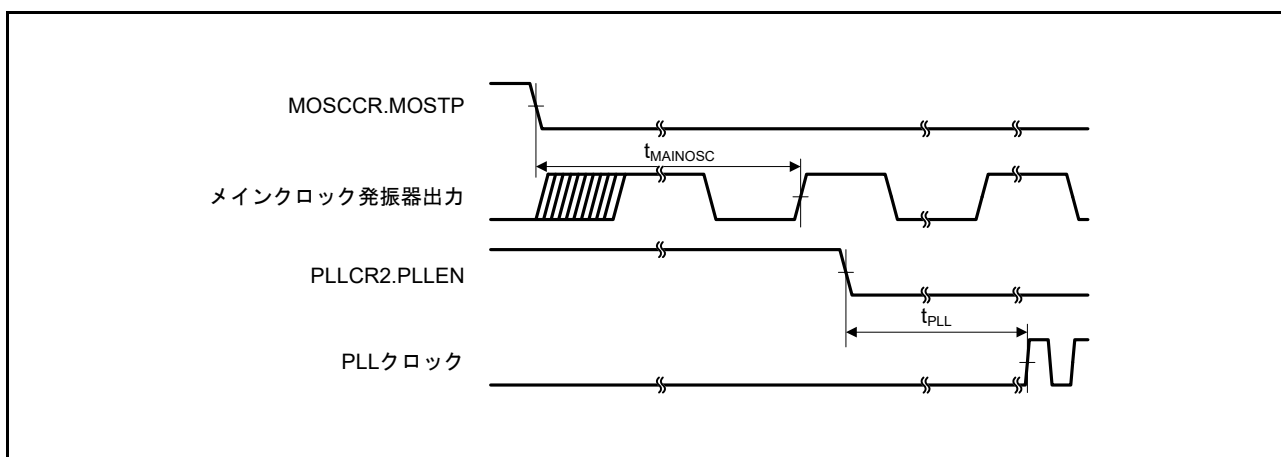


図 2.22 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

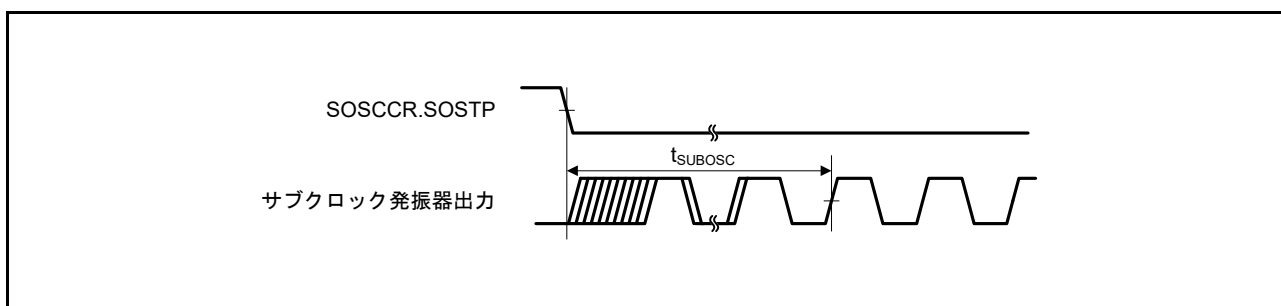


図 2.23 サブクロック発振開始タイミング

2.5.2 リセットタイミング

表 2.39 リセットタイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	3	—	—	ms	図 2.24
	上記以外	t _{RESW}	30	—	—	μs	図 2.25
RES#解除後待機時間 (電源投入時)	通常起動時(注1)	t _{RESWT}	—	8.5	—	ms	図 2.24
	起動時間短縮時(注2)	t _{RESWT}	—	650	—	μs	
RES#解除後待機時間(ウォームスタート時)		t _{RESWT}	—	310	—	μs	図 2.25
独立ウォッチドッグタイマリセット期間		t _{RESWIW}	—	1	—	IWDT clock cycle	図 2.26
ソフトウェアリセット期間		t _{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間(注3)		t _{RESWT2}	—	350	—	μs	
ソフトウェアリセット解除後待機時間		t _{RESWT2}	—	220	—	μs	

注1. OFS1.LVDASビット = 1、OFS1.FASTSTUPビット = 1の場合です。

注2. OFS1.LVDASビット、OFS1.FASTSTUPビットのいずれか、または両方が“0”の場合です。

注3. IWDCR.CKS[3:0]ビット = 0000bを設定した場合です。

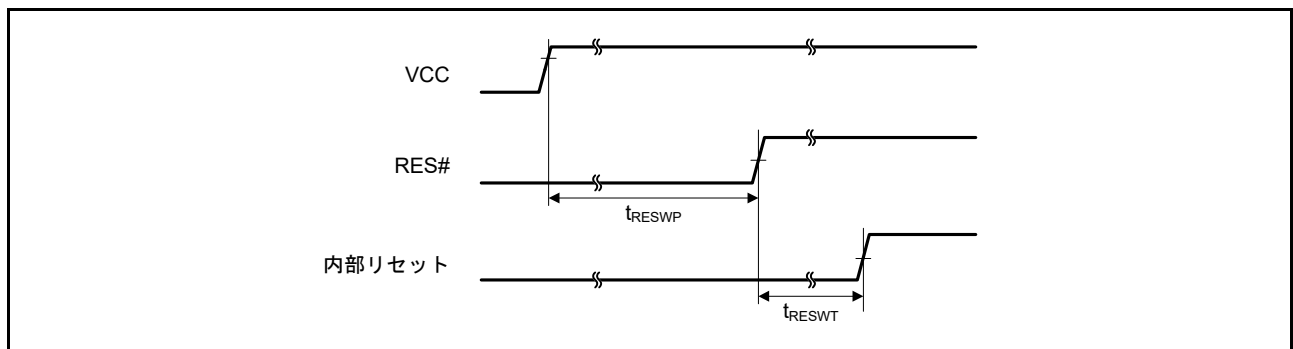


図 2.24 電源投入時リセット入カタイミング

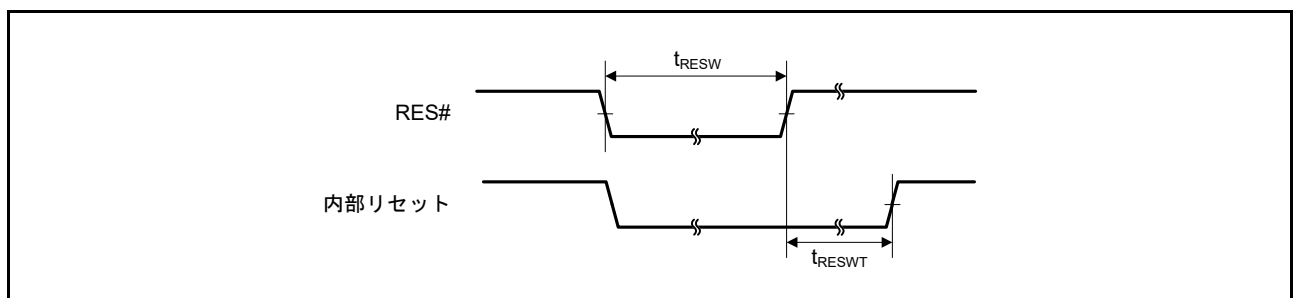


図 2.25 リセット入カタイミング (1)

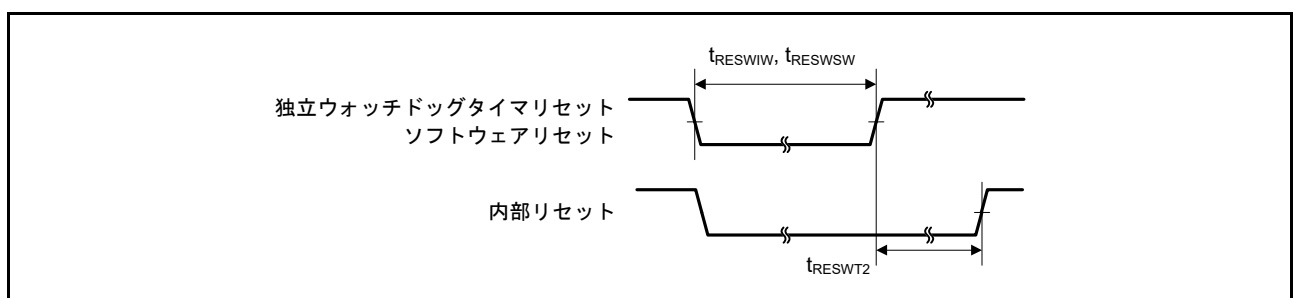


図 2.26 リセット入カタイミング (2)

2.5.3 低消費電力状態からの復帰タイミング

表2.40 低消費電力状態からの復帰タイミング(1)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間(注1)	高速モード	メインクロック発振器に水晶振動子を接続	t _{SBYMC}	—	2	3	ms	図2.27
		メインクロック発振器に外部クロックを入力	t _{SBYEX}	—	35	50	μs	
		サブクロック発振器動作	t _{SBYSC}	—	650	800	μs	
		HOCOクロック動作	t _{SBYHO}	—	40	55	μs	
		LOCOクロック動作	t _{SBYLO}	—	40	55	μs	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。

注3. 外部クロックの周波数が20MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。

表2.41 低消費電力状態からの復帰タイミング(2)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間(注1)	中速モード	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作(注2)	t _{SBYMC}	—	2	3	ms	図2.27
			メインクロック発振器、PLL回路動作(注3)	t _{SBYPC}	—	2	3	ms	
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作(注4)	t _{SBYEX}	—	3	4	μs	
			メインクロック発振器、PLL回路動作(注5)	t _{SBYPE}	—	65	85	μs	
		サブクロック発振器動作	t _{SBYSC}	—	600	750	μs		
		HOCOクロック動作(注6)	t _{SBYHO}	—	40	50	μs		
LOCOクロック動作	t _{SBYLO}	—	5	7	μs				

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。

注3. システムクロックにPLLを選択し12MHzとなるように分周設定した場合です。

注4. 外部クロックの周波数が12MHzの場合です。

注5. メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。

注6. システムクロックにPLLを選択し12MHzとなるように分周設定した場合です。

注7. メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。

注8. システムクロックにHOCOを選択し8MHzとなるように分周設定した場合です。

表2.42 低消費電力状態からの復帰タイミング(3)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間(注1)	低速モード	サブクロック発振器動作	t _{SBYSC}	—	600	750	μs	図 2.27

注1. 低速モード時のソフトウェアスタンバイモードではサブクロックは発振を継続します。

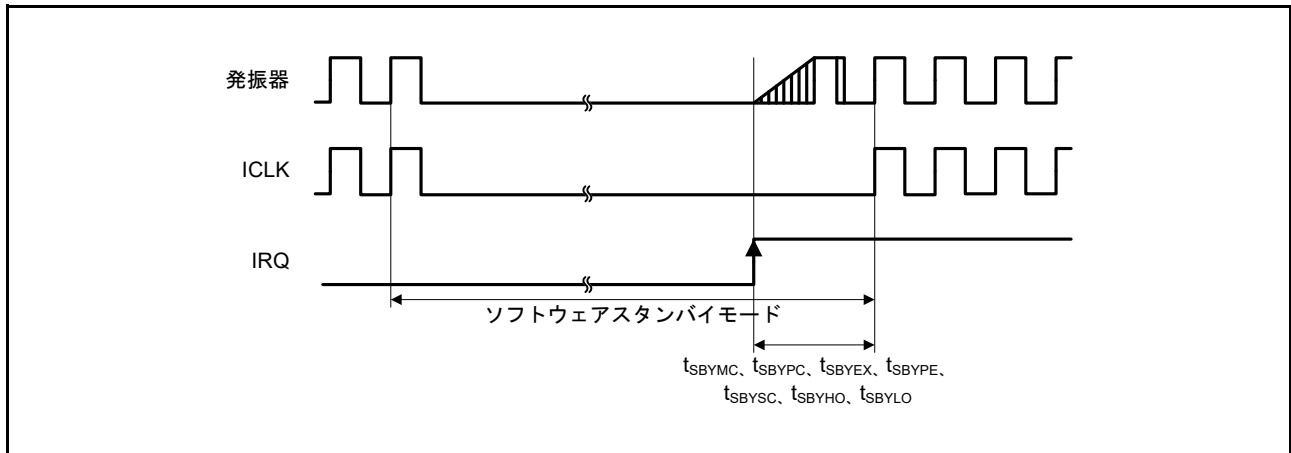


図 2.27 ソフトウェアスタンバイモード復帰タイミング

表2.43 低消費電力状態からの復帰タイミング(4)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
ディープスリープモード解除後復帰時間(注1)	高速モード(注2)	t _{DSL} P	—	2.0	3.5	μs	図 2.28
	中速モード(注3)	t _{DSL} P	—	3.0	4.0	μs	
	低速モード(注4)	t _{DSL} P	—	400	500	μs	

- 注1. ディープスリープモードでは発振器は発振を継続します。
- 注2. システムクロック周波数が32MHzの場合です。
- 注3. システムクロック周波数が12MHzの場合です。
- 注4. システムクロック周波数が32kHzの場合です。

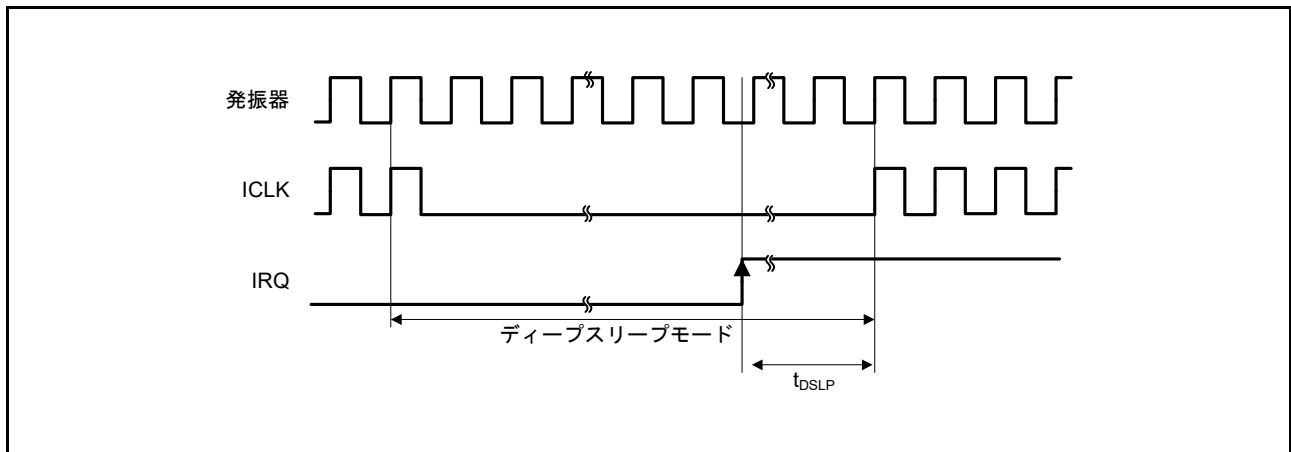


図 2.28 ディープスリープモード解除タイミング

表2.44 動作モード遷移時間

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10.0	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs
低速動作モード	中速動作・高速動作モード	32.768kHz	—	215	—	μs
中速動作・高速動作モード	低速動作モード	32.768kHz	—	185	—	μs

注. PCLKA、PCLKB、PCLKD、FCLKを分周していない設定時の値です。

2.5.4 制御信号タイミング

表2.45 制御信号タイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t _{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	2 × t _{PCYC} ≤ 200ns
		2 × t _{PCYC} (注1)	—	—			2 × t _{PCYC} > 200ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	3 × t _{NMICK} ≤ 200ns
		3.5 × t _{NMICK} (注2)	—	—			3 × t _{NMICK} > 200ns
IRQパルス幅	t _{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	2 × t _{PCYC} ≤ 200ns
		2 × t _{PCYC} (注1)	—	—			2 × t _{PCYC} > 200ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	3 × t _{IRQCK} ≤ 200ns
		3.5 × t _{IRQCK} (注3)	—	—			3 × t _{IRQCK} > 200ns

注. ソフトウェアスタンバイモード時は最小200nsです。

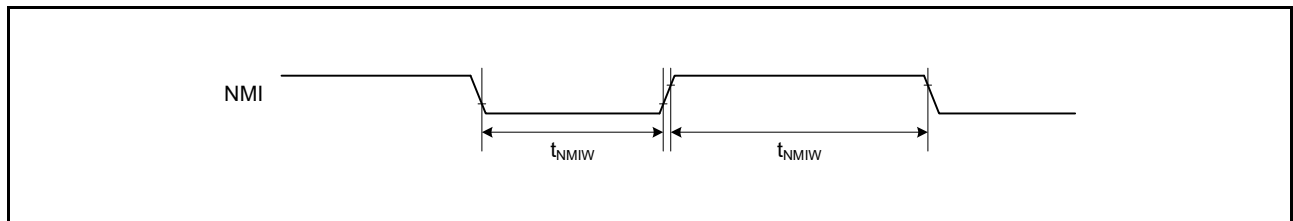
注1. t_{PCYC}はPCLKBの周期を指します。注2. t_{NMICK}はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK}はIRQiデジタルフィルタサンプリングクロック(i = 0~7)の周期を指します。

図 2.29 NMI 割り込み入カタイミング

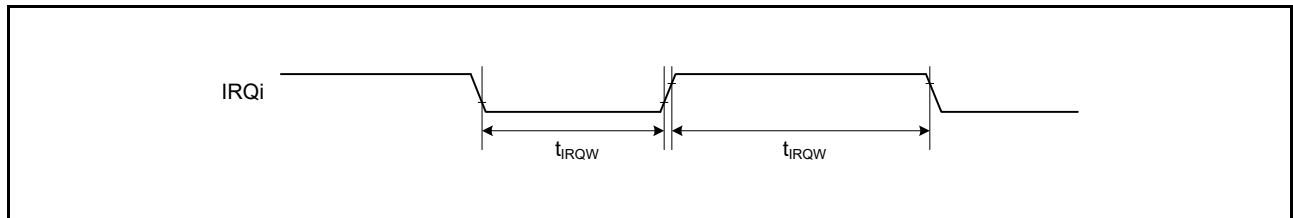


図 2.30 IRQ 割り込み入カタイミング

2.5.5 内蔵周辺モジュールタイミング

2.5.5.1 I/Oポート

表2.46 I/Oポートタイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t _{PRW}	1.5	—	—	t _{Pcyc}	図2.31

注1. t_{Pcyc} : PCLKの周期

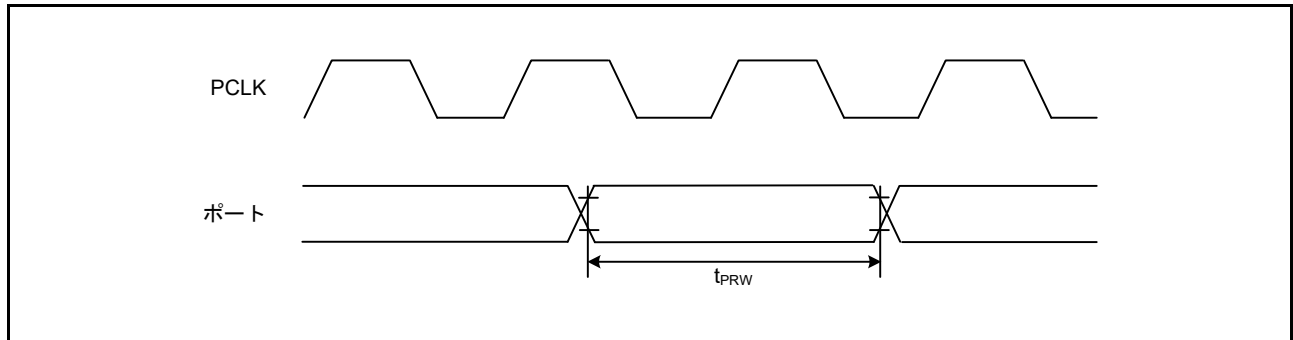


図 2.31 I/Oポート入力タイミング

2.5.5.2 MTU

表2.47 MTUタイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位 (注1)	測定条件	
MTU	インプットキャプチャ入力パルス幅	単エッジ指定	t _{TICW}	1.5	—	—	t _{Pcyc}	図2.32
		両エッジ指定		2.5	—	—		
	インプットキャプチャ入力立ち上がり/立ち下がり時間	t _{TICr} , t _{TICf}	—	—	0.1	μs/V		
MTU	タイマクロックパルス幅	単エッジ指定	t _{TCKWH} , t _{TCKWL}	1.5	—	—	t _{Pcyc}	図2.33
		両エッジ指定		2.5	—	—		
		位相計数モード		2.5	—	—		
	タイマクロック立ち上がり/立ち下がり時間	t _{TCKr} , t _{TCKf}	—	—	0.1	μs/V		

注1. t_{Pcyc} : PCLKの周期

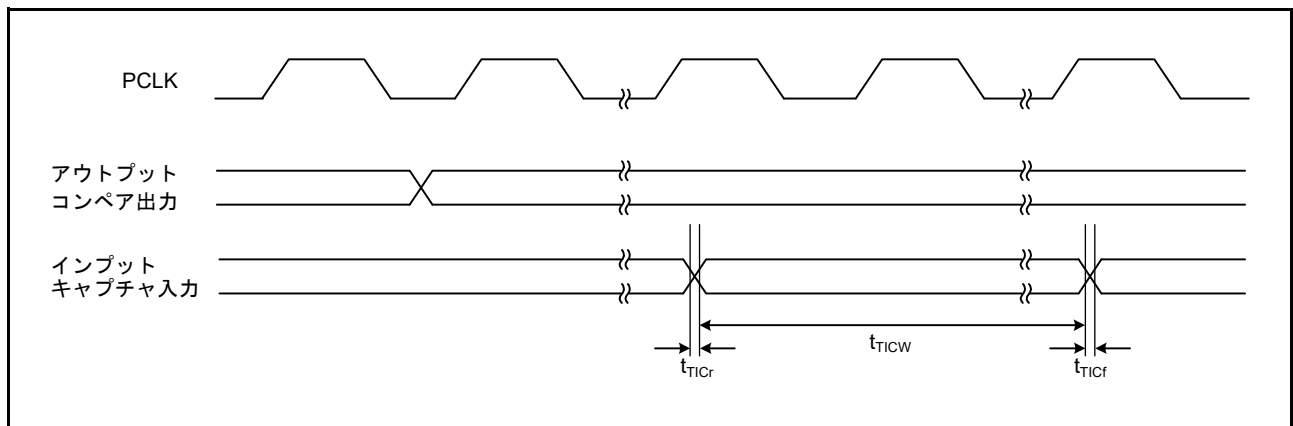


図 2.32 MTU 入出力タイミング

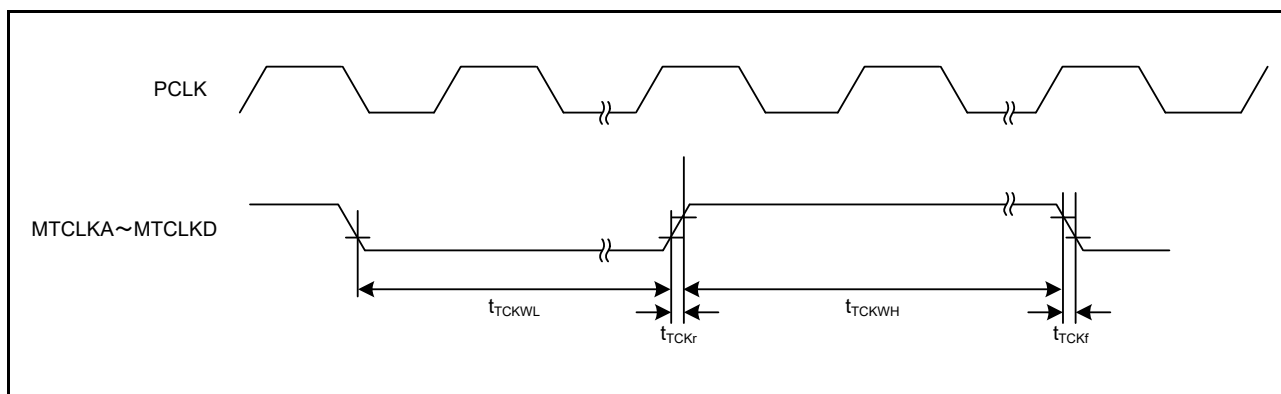


図 2.33 MTU クロック入力タイミング

2.5.5.3 POE

表 2.48 POE タイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位 (注1)	測定条件		
POE	POE#入力パルス幅	t_{POEW}	1.5	—	—	t_{Pcyc}	図 2.34		
	POE#立ち上がり/立ち下がり時間	t_{POEr} t_{POEf}	—	—	0.1	$\mu s/V$			
	出力ディセーブル時間	POE#端子の変化	t_{POEDI}	—	—	5 PCLKB + 0.24	μs	図 2.35 立ち下がリエッジ検出時 (ICSRm.POE _n M [1:0] = 00b (m = 1, 2, n = 0 ~ 3, 8))	
		出力端子の短絡	t_{POEDO}	—	—	3 PCLKB + 0.2	μs		図 2.36
		レジスタ設定	t_{POEDS}	—	—	1 PCLKB + 0.2	μs		図 2.37 レジスタアクセス時間は除く
	発振停止検出	t_{POEDOS}	—	—	21	μs	図 2.38		

注1. t_{Pcyc} : PCLKの周期

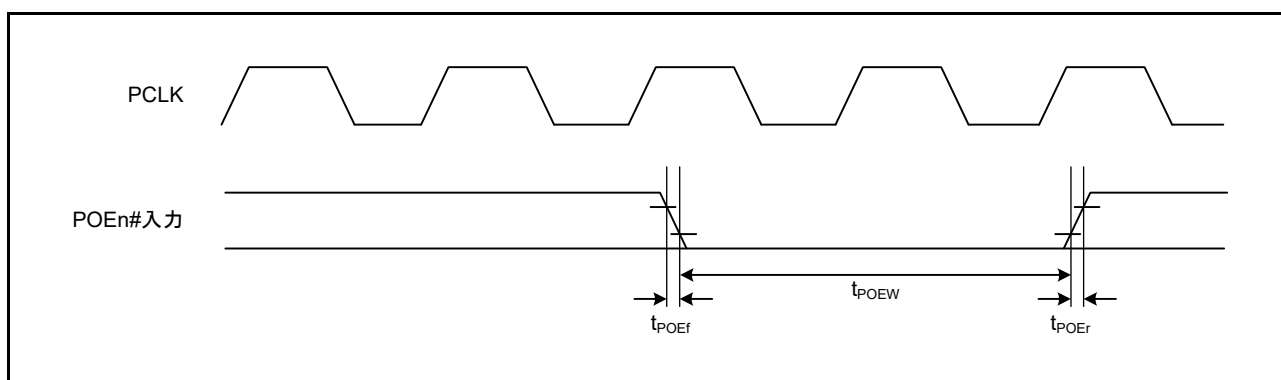


図 2.34 POE 入力タイミング (n = 0 ~ 3, 8)

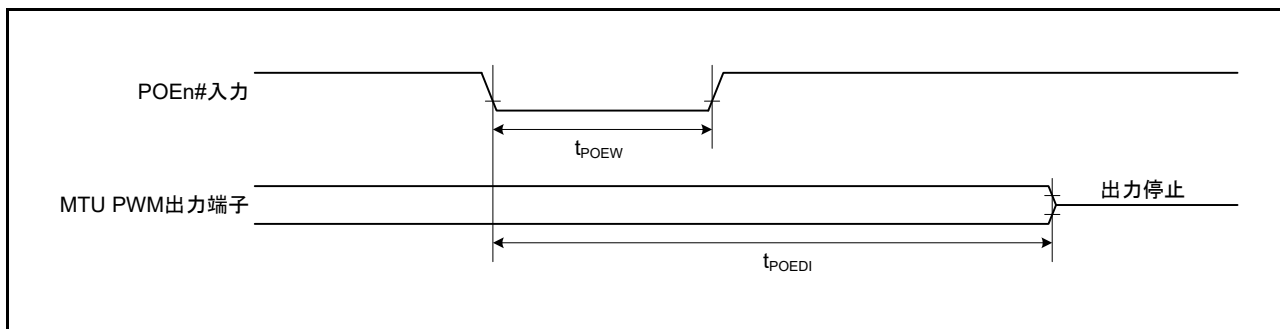


図 2.35 POE 出力ディセーブル時間 (POEn# 端子の変化)

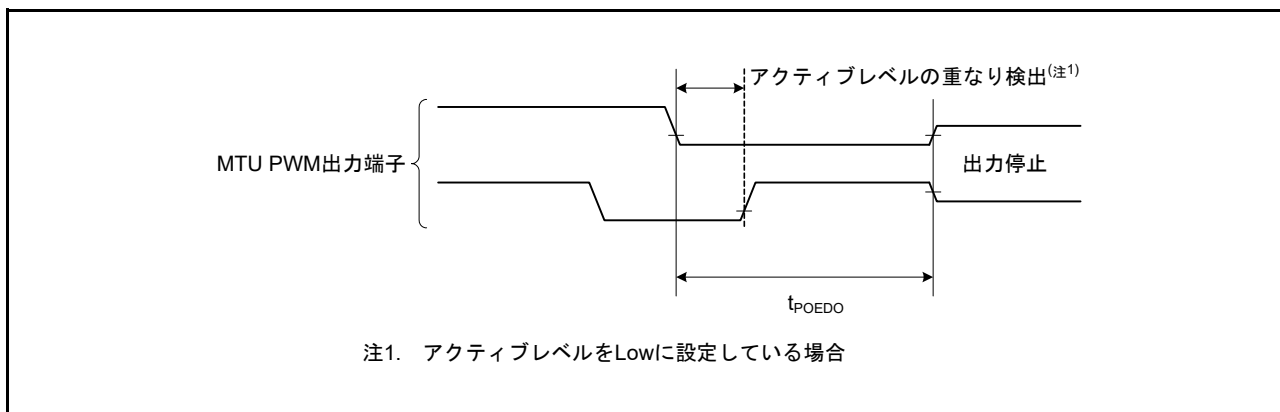


図 2.36 POE 出力ディセーブル時間 (出力端子の短絡)

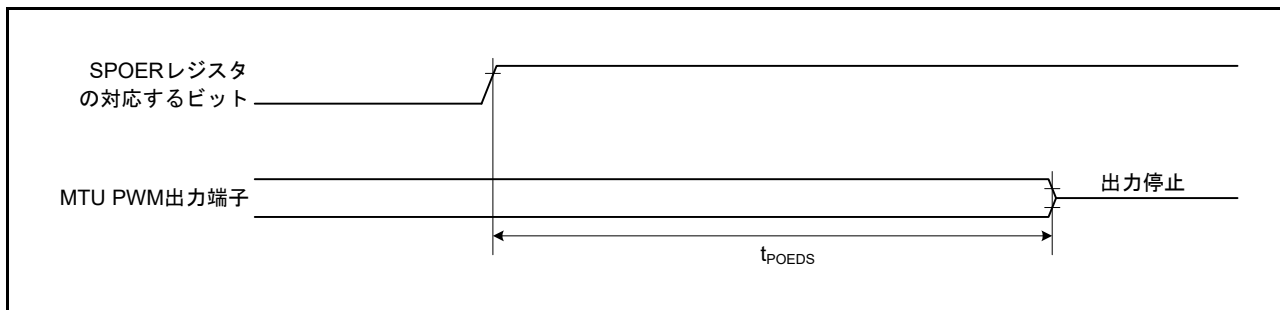


図 2.37 POE 出力ディセーブル時間 (レジスタ設定)

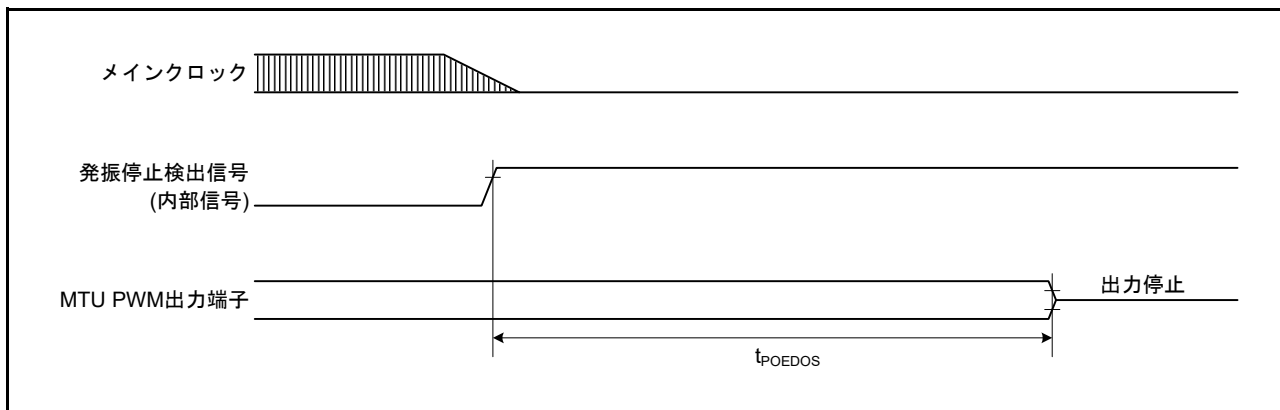


図 2.38 POE 出力ディセーブル時間 (発振停止検出)

2.5.5.4 TMR

表2.49 TMRタイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	1.5	—	—	t _{Pcyc}	図2.39
		両エッジ指定	2.5	—	—		
タイマクロック立ち上がり/立ち下がり時間		t _{TMCr} , t _{TMCf}	—	—	0.1	μs/V	

注1. t_{Pcyc} : PCLKの周期

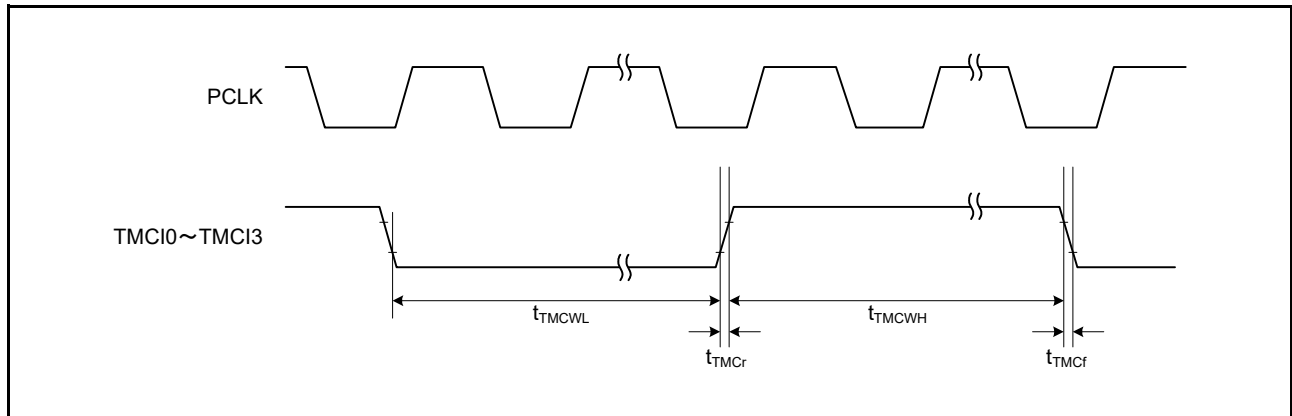


図 2.39 TMR クロック入力タイミング

2.5.5.5 SCI

表2.50 SCIタイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位 (注1)	測定条件	
SCI	入カクロックサイクル時間	調歩同期	4	—	—	t _{Pcyc}	図2.40	
		クロック同期	6	—	—			
	入カクロックパルス幅		t _{SCKW}	0.4	—	0.6		t _{Scyc}
	入カクロック立ち上がり時間		t _{SCKr}	—	—	20		ns
	入カクロック立ち下がり時間		t _{SCKf}	—	—	20		ns
	出カクロックサイクル時間	調歩同期	t _{Scyc}	16	—	—		t _{Pcyc}
		クロック同期		4	—	—		
	出カクロックパルス幅		t _{SCKW}	0.4	—	0.6		t _{Scyc}
出カクロック立ち上がり時間		t _{SCKr}	—	—	20	ns		
出カクロック立ち下がり時間		t _{SCKf}	—	—	20	ns		
送信データ遅延時間 (マスタ)	クロック同期	t _{TXD}	—	—	40	ns	図2.41	
送信データ遅延時間 (スレーブ)	クロック同期		VCC ≥ 2.7V	—	—	65		ns
		VCC < 2.7V	—	—	100	ns		
受信データセットアップ時間 (マスタ)	クロック同期	t _{RXS}	VCC ≥ 2.7V	65	—	—		ns
			VCC < 2.7V	90	—	—		ns
受信データセットアップ時間 (スレーブ)	クロック同期	t _{RXS}	40	—	—	ns		
受信データホールド時間	クロック同期	t _{RXH}	40	—	—	ns		

注1. t_{Pcyc} : PCLKの周期

表 2.51 簡易I²C タイミング条件：2.7V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA立ち上がり時間	t _{Sr}	—	1000	ns	図 2.42
	SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
簡易I ² C (ファストモード)	SDA立ち上がり時間	t _{Sr}	—	300	ns	図 2.42
	SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注1)	—	400	pF	

注. t_{Pcyc} : PCLKの周期注1. C_bはバスラインの容量総計です。

表 2.52 簡易SPI タイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力(マスタ)	t _{SPcyc}	4	65536	t _{Pcyc}	図 2.43	
	SCKクロックサイクル入力(スレーブ)		6	—	t _{Pcyc}		
	SCKクロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPcyc}		
	SCKクロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間	t _{SPCKr} , t _{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	t _{SU}	VCC ≥ 2.7V	65	—	ns	図 2.44、図 2.45
			VCC < 2.7V	95	—		
	データ入力セットアップ時間(スレーブ)		40	—			
	データ入力ホールド時間	t _{HI}	40	—	ns		
	SSL入力セットアップ時間	t _{LEAD}	3	—	t _{SPcyc}		
	SSL入力ホールド時間	t _{LAG}	3	—	t _{SPcyc}		
	データ出力遅延時間(マスタ)	t _{OD}	—	40	ns		
	データ出力遅延時間(スレーブ)		VCC ≥ 2.7V	—		65	
			VCC < 2.7V	—		100	
	データ出力ホールド時間 (マスタ)	t _{OH}	VCC ≥ 2.7V	-10	—	ns	
			VCC < 2.7V	-20	—		
	データ出力ホールド時間(スレーブ)		-10	—			
	データ立ち上がり/立ち下がり時間	t _{Dr} , t _{Df}	—	20	ns		
SSL入力立ち上がり/立ち下がり時間	t _{SSLr} , t _{SSLf}	—	20	ns			
スレーブアクセス時間	t _{SA}	—	6	t _{Pcyc}	図 2.46、図 2.47		
スレーブ出力開放時間	t _{REL}	—	6	t _{Pcyc}			

注1. t_{Pcyc} : PCLKの周期

2.5.5.6 RIIC

表2.53 RIICタイミング

条件：2.7V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min (注1)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL サイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 1300	—	ns	図 2.42
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA 立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA 立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA スパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
	SDA バスフリー時間	t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件セットアップ時間	t _{STOS}	1000	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注2)	—	400	pF	
RIIC (ファストモード)	SCL サイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 600	—	ns	図 2.42
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA 立ち上がり時間	t _{Sr}	—	300	ns	
	SCL、SDA 立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA スパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
	SDA バスフリー時間	t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	300	—	ns	
	停止条件セットアップ時間	t _{STOS}	300	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注2)	—	400	pF	

注. t_{IIcCyc} : RIICの内部基準クロック (IICφ)の周期

注1. ()内の数値は、ICFER.NFEビット=1でデジタルフィルタを有効にした状態でICMR3.NF[1:0]ビット=11bの場合を示します。

注2. C_bはバスラインの容量総計です。

2.5.5.7 RSPI

表2.54 RSPIタイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C, C = 30pF

駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
RSPI	RSPCKクロック サイクル	マスタ	t _{SPcyc}	2	4096	t _{Pcyc}	図2.43 図2.44 ~ 図 2.47	
		スレーブ		4	—			
	RSPCKクロック Highレベルパルス幅	マスタ	t _{SPCKWH}	(t _{SPcyc} - t _{SPCKr} - t _{SPCKf})/2 - 3	—	ns		
		スレーブ		(t _{SPcyc} - t _{SPCKr} - t _{SPCKf})/2	—			
	RSPCKクロック Lowレベルパルス幅	マスタ	t _{SPCKWL}	(t _{SPcyc} - t _{SPCKr} - t _{SPCKf})/2 - 3	—	ns		
		スレーブ		(t _{SPcyc} - t _{SPCKr} - t _{SPCKf})/2	—			
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	VCC ≥ 2.7V	t _{SPCKr}	—	10		ns
			VCC < 2.7V	t _{SPCKf}	—	15		
		入力		—	0.1	μs/V		
	データ入力セット アップ時間	マスタ	VCC ≥ 2.7V	t _{SU}	10	—		ns
			VCC < 2.7V		30	—		
		スレーブ		10	—			
	データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t _H	t _{Pcyc}	—		ns
			RSPCKをPCLKB の2分周に設定	t _{HF}	0	—		
		スレーブ		t _H	20	—		
	SSLセットアップ 時間	マスタ		t _{LEAD}	-30 + N (注2) × t _{SPcyc}	—		ns
		スレーブ			6	—		t _{Pcyc}
	SSLホールド時間	マスタ		t _{LAG}	-30 + N (注3) × t _{SPcyc}	—		ns
		スレーブ			6	—		t _{Pcyc}
	データ出力遅延時間	マスタ	VCC ≥ 2.7V	t _{OD}	—	14		ns
VCC < 2.7V				—	30			
スレーブ		VCC ≥ 2.7V		—	50			
		VCC < 2.7V		—	85			
データ出力ホールド 時間	マスタ		t _{OH}	0	—	ns		
	スレーブ			0	—			
連続送信遅延時間	マスタ		t _{TD}	t _{SPcyc} + 2 × t _{Pcyc}	8 × t _{SPcyc} + 2 × t _{Pcyc}	ns		
	スレーブ			6 × t _{Pcyc}	—			
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	VCC ≥ 2.7V	t _{Dr} , t _{Df}	—	10	ns		
		VCC < 2.7V		—	15			
	入力			—	1		μs	
SSL立ち上がり/ 立ち下がり時間	出力	VCC ≥ 2.7V	t _{SSLr}	—	10	ns		
		VCC < 2.7V	t _{SSLf}	—	15	ns		
	入力			—	1	μs		
RSPI	スレーブアクセス時間	VCC ≥ 2.7V	t _{SA}	—	6	t _{Pcyc}	図2.46、図 2.47	
		VCC < 2.7V		—	7			
	スレーブ出力開放時間	VCC ≥ 2.7V	t _{REL}	—	5			t _{Pcyc}
		VCC < 2.7V		—	6			

注1. t_{Pcyc} : PCLKの周期

注2. N : RSPIクロック遅延レジスタ (SPCKD)にて設定可能な1~8の整数

注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND)にて設定可能な1~8の整数

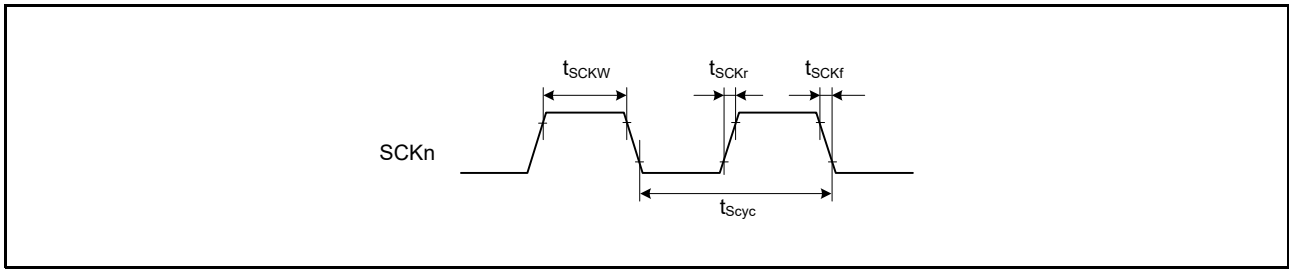


図 2.40 SCK クロック入カタイミング (n = 0, 1, 5, 6, 8, 9, 12)

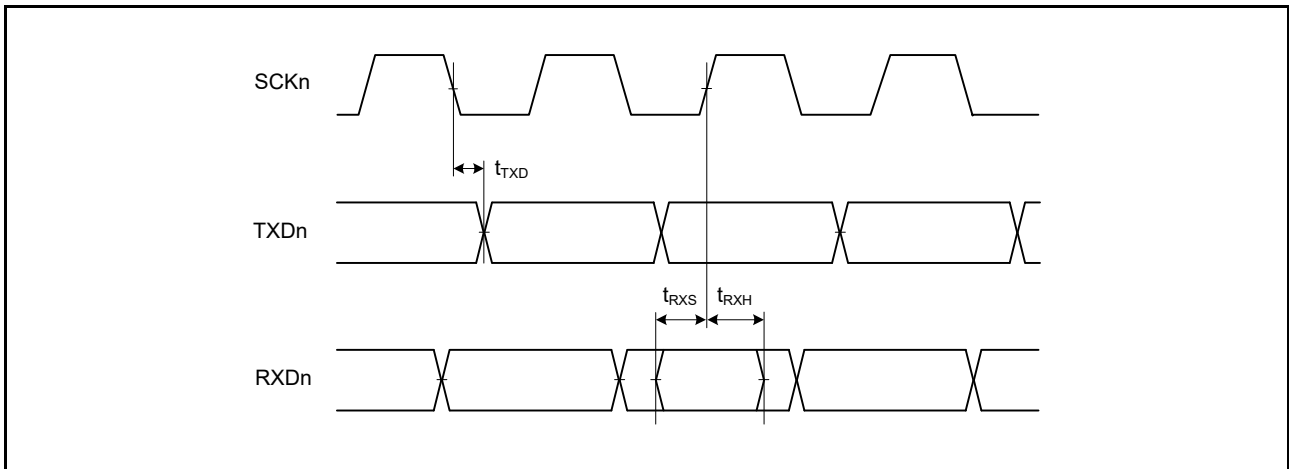


図 2.41 SCI 入出カタイミング / クロック同期式モード (n = 0, 1, 5, 6, 8, 9, 12)

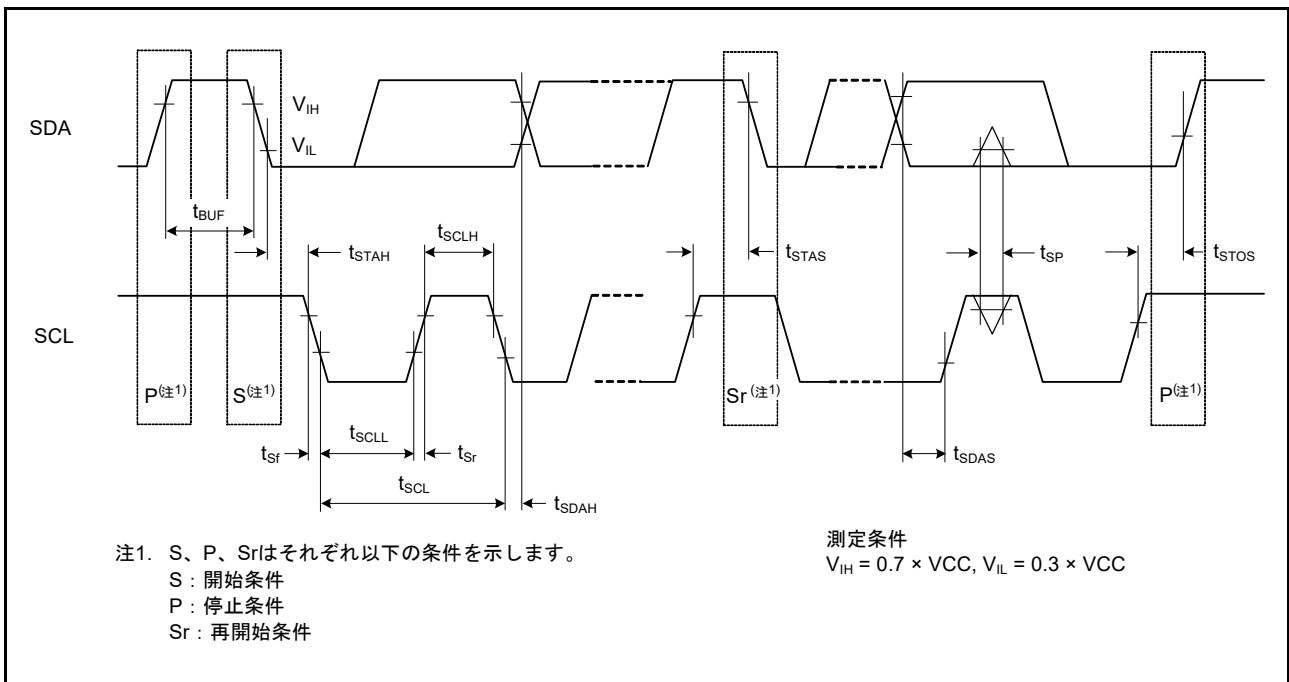


図 2.42 RIIC バスインタフェース入出カタイミング / 簡易 I2C バスインタフェース入出カタイミング

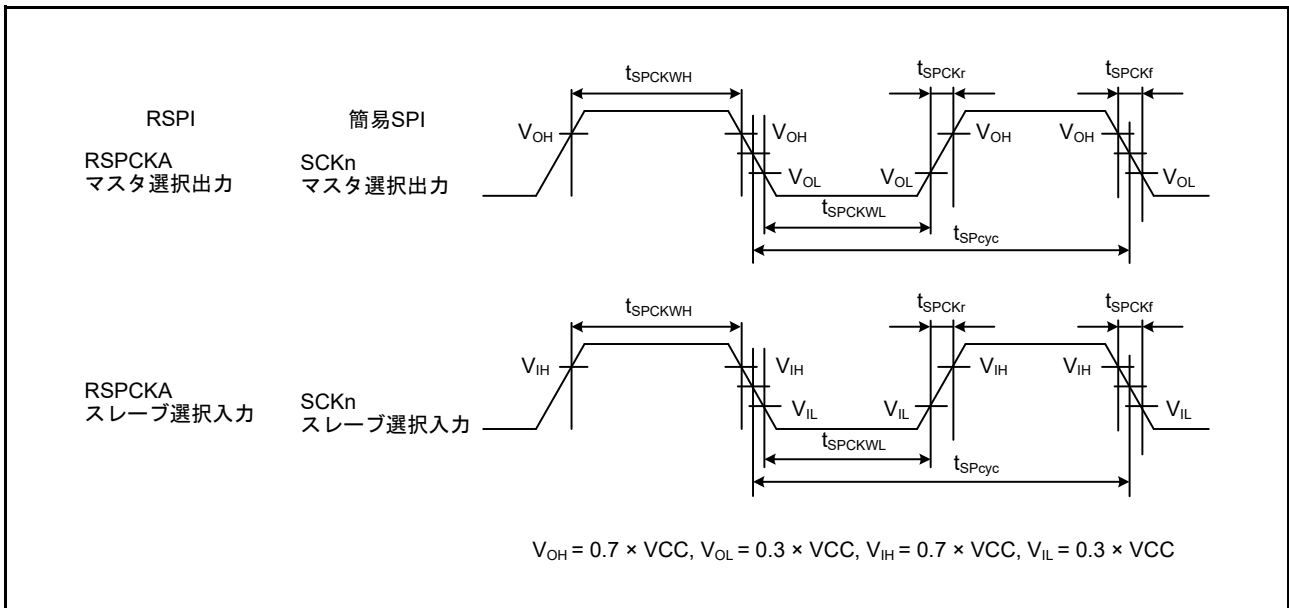


図 2.43 RSPI クロックタイミング / 簡易 SPI クロックタイミング (n = 0, 1, 5, 6, 8, 9, 12)

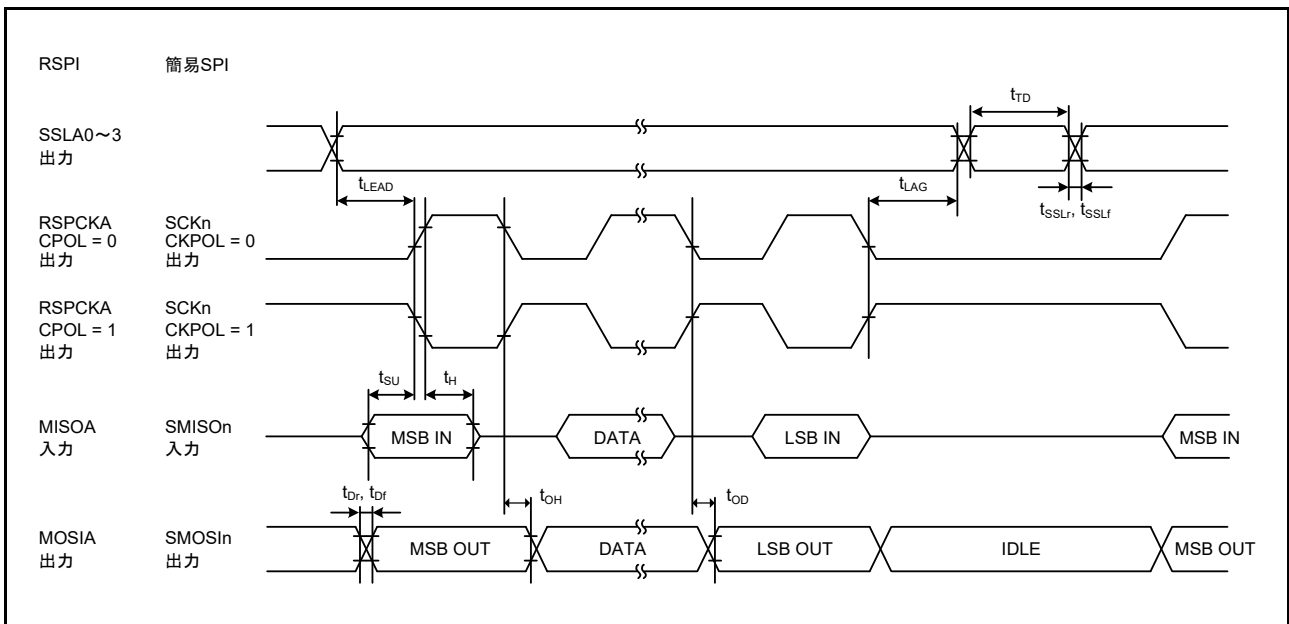


図 2.44 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI クロックタイミング (マスタ、CKPH = 1)
(n = 0, 1, 5, 6, 8, 9, 12)

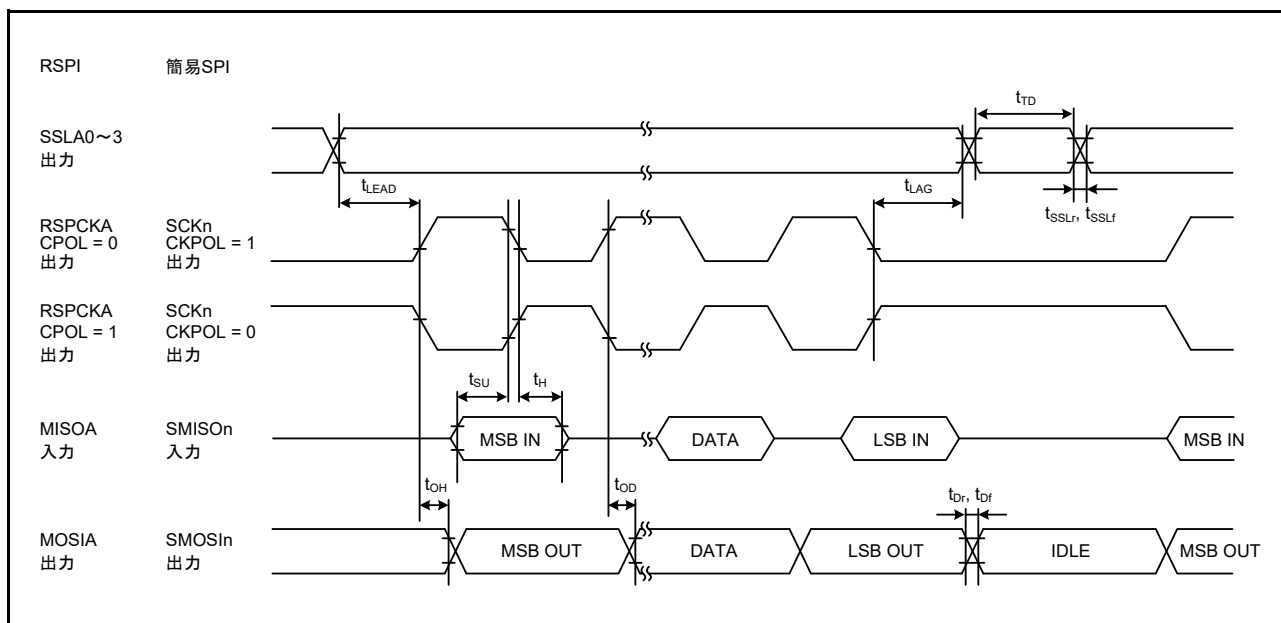


図 2.45 RSPI タイミング (マスタ、CPHA = 1)/ 簡易 SPI クロックタイミング (マスタ、CKPH = 0) (n = 0, 1, 5, 6, 8, 9, 12)

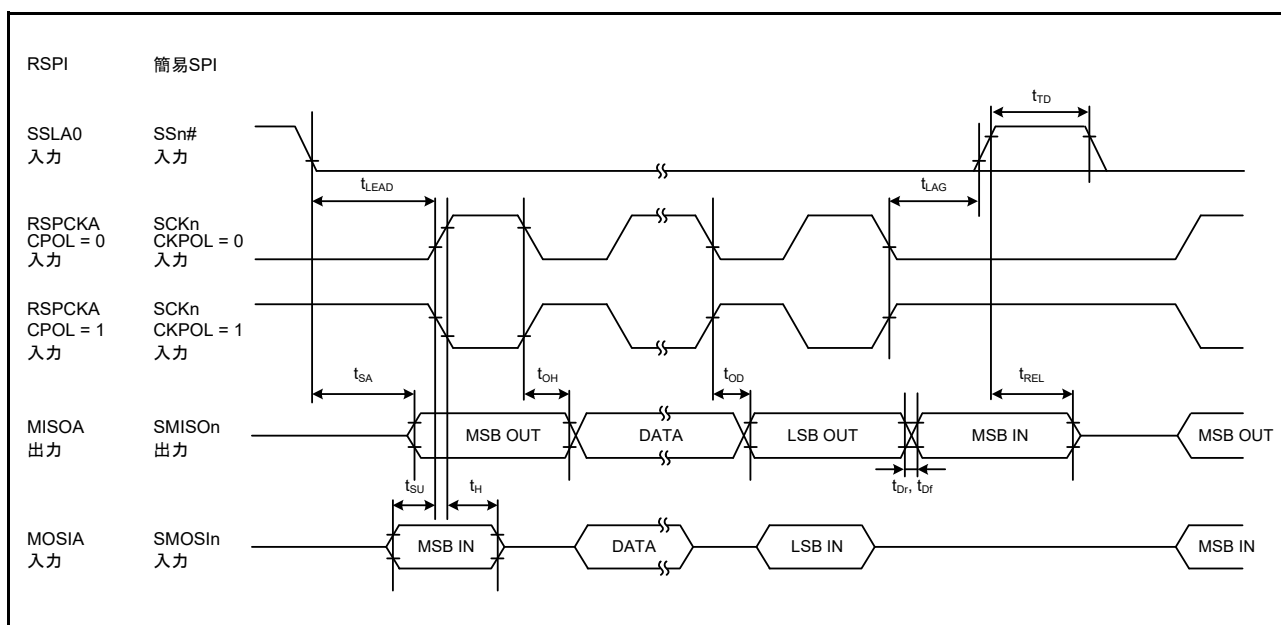


図 2.46 RSPI タイミング (スレーブ、CPHA = 0)/ 簡易 SPI クロックタイミング (スレーブ、CKPH = 1) (n = 0, 1, 5, 6, 8, 9, 12)

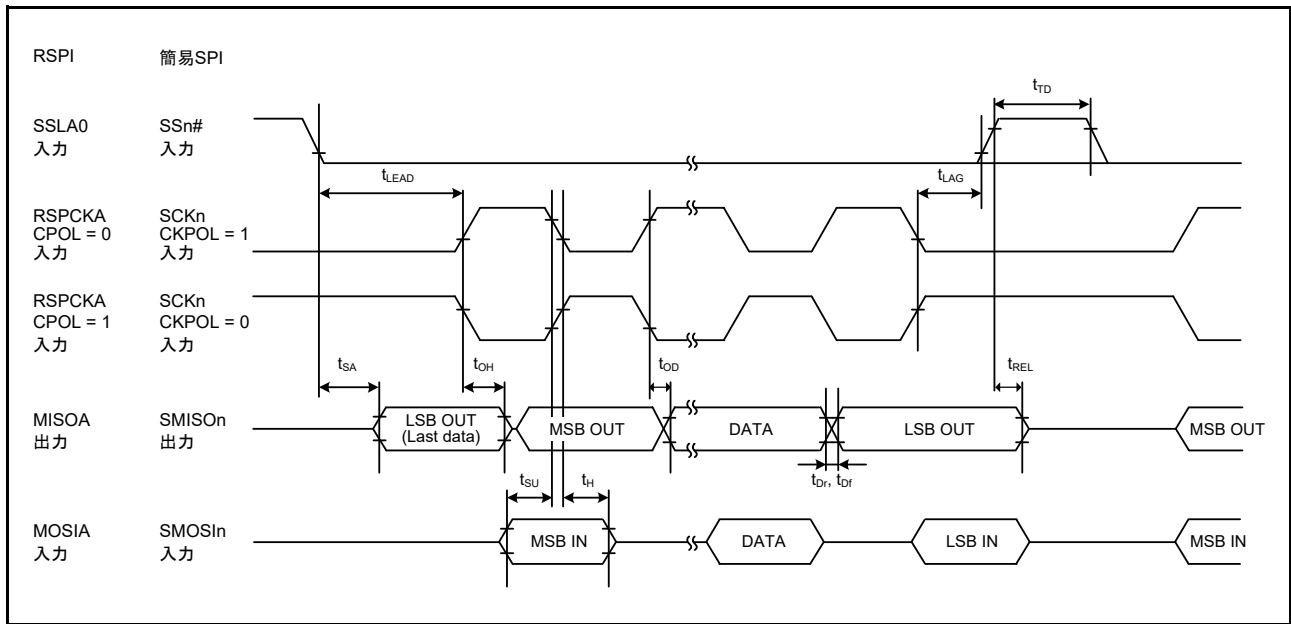


図 2.47 RSPI タイミング (スレーブ、CPHA = 1)/ 簡易 SPI クロックタイミング (スレーブ、CKPH = 0) (n = 0, 1, 5, 6, 8, 9, 12)

2.5.5.8 A/D コンバータトリガ

表 2.55 A/D コンバータトリガタイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位 (注1)	測定条件
A/D コンバータ	トリガ入力パルス幅	1.5	—	—	t_{Pcyc}	図 2.48

注 1. t_{Pcyc} : PCLK の周期

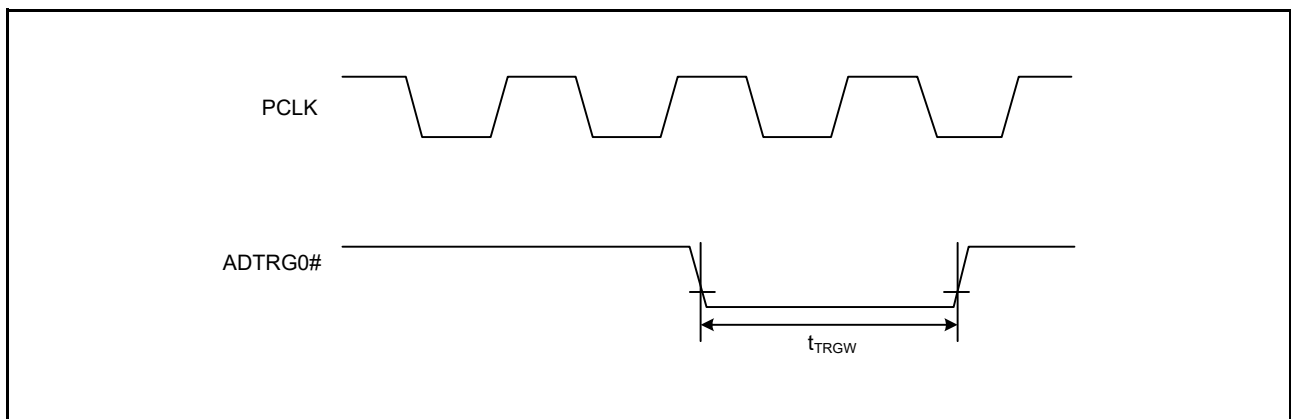


図 2.48 A/D コンバータ外部トリガ入力タイミング

2.5.5.9 CAC

表2.56 CAC タイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位 (注1)	測定条件
CAC	CACREF 入力パルス幅	t_{CACREF}	$t_{\text{Pcyc}} \leq t_{\text{cac}}$ (注2)	—	—	ns	
			$t_{\text{Pcyc}} > t_{\text{cac}}$ (注2)	$4.5 t_{\text{cac}} + 3 t_{\text{Pcyc}}$	—		
CACREF 立ち上がり/立ち下がり時間		$t_{\text{CACREFr}}, t_{\text{CACREFf}}$	—	—	0.1	μs/V	

注1. t_{Pcyc} : PCLKの周期注2. t_{cac} : CACカウンタクロックソースの周期

2.5.5.10 CLKOUT

表2.57 CLKOUT タイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位 (注1)	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注3)	t_{Cyc}	VCC ≥ 2.7V	62.5	—	—	ns	図2.49
			VCC < 2.7V	125	—			
	CLKOUT 端子 High レベルパルス幅 (注2)	t_{CH}	VCC ≥ 2.7V	15	—	—	ns	
			VCC < 2.7V	30	—			
	CLKOUT 端子 Low レベルパルス幅 (注2)	t_{CL}	VCC ≥ 2.7V	15	—	—	ns	
			VCC < 2.7V	30	—			
	CLKOUT 端子出力立ち上がり時間	t_{Cr}	VCC ≥ 2.7V	—	—	12	ns	
			VCC < 2.7V	—	—	25		
	CLKOUT 端子出力立ち下がり時間	t_{Cf}	VCC ≥ 2.7V	—	—	12	ns	
			VCC < 2.7V	—	—	25		

注1. t_{Pcyc} : PCLKの周期

注2. クロック出力ソースに LOCO 選択 (CKOCR.CKOSSEL[2:0] ビット = 000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

注3. EXTAL 外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSSEL[2:0] ビット = 010b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT より出力する場合は、入力デューティ比45~55%で上記を満たします。

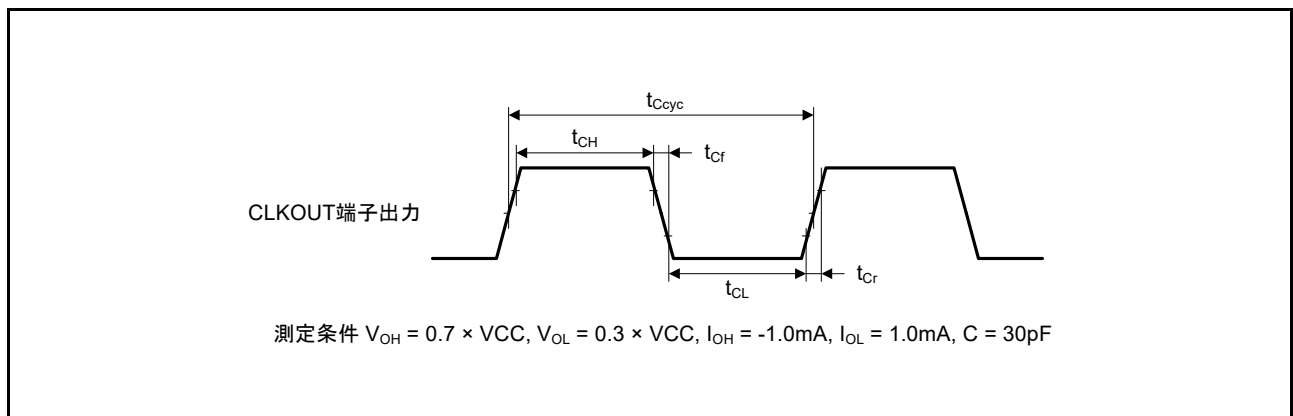


図2.49 CLKOUT 出力タイミング

2.6 LCD 特性

2.6.1 外部抵抗分割方式

(1) スタティック・モード

表 2.58 LCD 特性

条件：2.0V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
LCD駆動電圧	V _{L4}	2.0	—	VCC	V	

(2) 1/2 バイアス、1/4 バイアス

表 2.59 LCD 特性

条件：2.7V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
LCD駆動電圧	V _{L4}	2.7	—	VCC	V	

(3) 1/3 バイアス

表 2.60 LCD 特性

条件：2.5V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
LCD駆動電圧	V _{L4}	2.5	—	VCC	V	

2.6.2 内部昇圧方式

表 2.61 内部昇圧方式

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	規格値	測定条件
CAPH-CAPL端子間外付け容量	0.47μF ±30%	
V _{L1} ~ V _{L4} 端子外付け容量	0.47μF ±30%	

(1) 1/3 バイアス

表 2.62 内部昇圧方式 LCD 特性

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
LCD出力電圧可変範囲	V_{L1}	0.9	1.0	1.08	V	VLCD = 04h
		0.95	1.05	1.13	V	VLCD = 05h
		1	1.1	1.18	V	VLCD = 06h
		1.05	1.15	1.23	V	VLCD = 07h
		1.1	1.2	1.28	V	VLCD = 08h
		1.15	1.25	1.33	V	VLCD = 09h
		1.2	1.3	1.38	V	VLCD = 0Ah
		1.25	1.35	1.43	V	VLCD = 0Bh
		1.3	1.4	1.48	V	VLCD = 0Ch
		1.35	1.45	1.53	V	VLCD = 0Dh
		1.4	1.5	1.58	V	VLCD = 0Eh
		1.45	1.55	1.63	V	VLCD = 0Fh
		1.5	1.6	1.68	V	VLCD = 10h
		1.55	1.65	1.73	V	VLCD = 11h
		1.6	1.70	1.78	V	VLCD = 12h
1.65	1.75	1.83	V	VLCD = 13h		
ダブラ出力電圧	V_{L2}	$2V_{L1} - 0.10$	$2V_{L1}$	$2V_{L1}$	V	
トリブラ出力電圧	V_{L4}	$3V_{L1} - 0.15$	$3V_{L1}$	$3V_{L1}$	V	
基準電圧セットアップ時間(注1)	t_{VL1S}	5	—	—	ms	
昇圧ウェイト時間(注2)	t_{VLWT}	500	—	—	ms	

注1. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式を選択してから(LCDM0.MDSET1, MDSET0 = 01b)), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注2. 昇圧を開始してから(VLCON = 1)、表示が可能になる(LCDON = 1)までのウェイト時間です。

(2) 1/4 バイアス

表 2.63 内部昇圧方式 LCD 特性

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
LCD出力電圧可変範囲	V_{L1}	0.9	1.0	1.08	V	VLCD = 04h
		0.95	1.05	1.13	V	VLCD = 05h
		1	1.1	1.18	V	VLCD = 06h
		1.05	1.15	1.23	V	VLCD = 07h
		1.1	1.2	1.28	V	VLCD = 08h
		1.15	1.25	1.33	V	VLCD = 09h
		1.2	1.3	1.38	V	VLCD = 0Ah
ダブラ出力電圧	V_{L2}	$2V_{L1} - 0.08$	$2V_{L1}$	$2V_{L1}$	V	
トリブラ出力電圧	V_{L3}	$3V_{L1} - 0.12$	$3V_{L1}$	$3V_{L1}$	V	
クアドロブラ出力電圧	V_{L4}	$4V_{L1} - 0.16$	$4V_{L1}$	$4V_{L1}$	V	
基準電圧セットアップ時間(注1)	t_{VL1S}	5	—	—	ms	
昇圧ウェイト時間(注2)	t_{VLWT}	500	—	—	ms	

注1. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式を選択してから(LCDM0.MDSET1, MDSET0 = 01b)), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注2. 昇圧を開始してから(VLCON = 1)、表示が可能になる(LCDON = 1)までのウェイト時間です。

2.6.3 容量分割方式

表 2.64 容量分割方式

条件 : $2.2V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	規格値	測定条件
CAPH-CAPL 端子間外付け容量	0.47 μ F \pm 30%	
V _{L1} 端子外付け容量	0.47 μ F \pm 30%	
V _{L2} 端子外付け容量	0.47 μ F \pm 30%	
V _{L4} 端子外付け容量	0.47 μ F \pm 30%	

(1) 1/3 バイアス

表 2.65 容量分割方式 LCD 特性

条件 : $2.2V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
V _{L4} 電圧	V _{L4}	—	VCC	—	V	
V _{L2} 電圧	V _{L2}	$2/3V_{L4} - 0.07$	$2/3V_{L4}$	$2/3V_{L4} + 0.07$	V	
V _{L1} 電圧	V _{L1}	$1/3V_{L4} - 0.08$	$1/3V_{L4}$	$1/3V_{L4} + 0.08$	V	
容量分割ウェイト時間(注1)	t _{WAIT}	100	—	—	ms	

注1. 降圧を開始してから (VLCON = 1)、表示が可能になる (LCDON = 1) までのウェイト時間です。

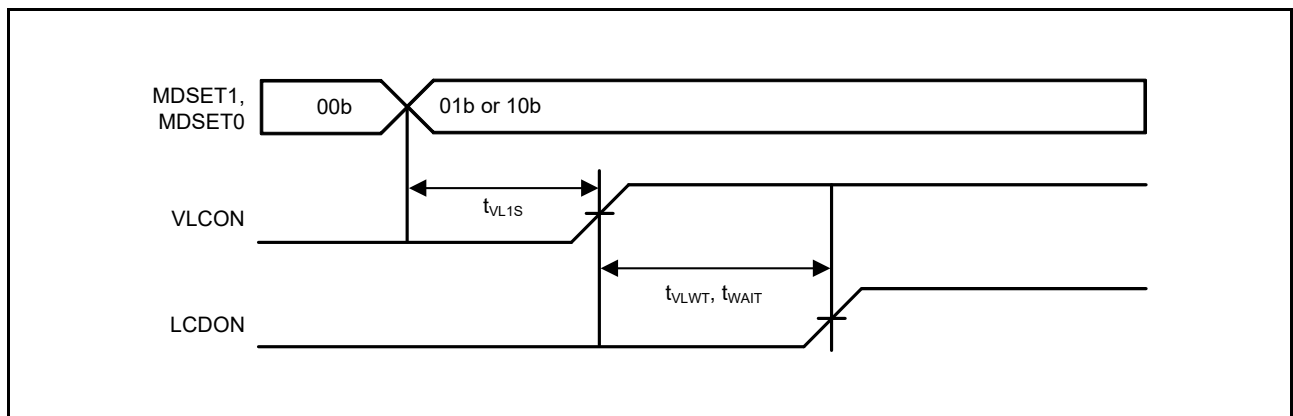


図 2.50 LCD 基準電圧セットアップ時間と昇圧ウェイト時間と容量分割ウェイト時間

2.7 パワーオンリセット回路、電圧検出回路特性

表2.66 パワーオンリセット回路、電圧検出回路特性(1)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V_{POR}	1.35	1.50	1.65	V	図2.51、図2.52
	電圧検出回路 (LVD0) (注1)	V_{det0_0}	3.67	3.84	3.97	V	図2.53 VCC立ち下がり時
		V_{det0_1}	2.70	2.82	3.00		
		V_{det0_2}	2.37	2.51	2.67		
		V_{det0_3}	1.80	1.90	1.99		
	電圧検出回路 (LVD1) (注2)	V_{det1_0}	4.12	4.29	4.42	V	図2.54 VCC立ち下がり時
		V_{det1_1}	3.98	4.14	4.28		
		V_{det1_2}	3.86	4.02	4.16		
		V_{det1_3}	3.68	3.84	3.98		
		V_{det1_4}	2.99	3.10	3.29		
		V_{det1_5}	2.89	3.00	3.19		
		V_{det1_6}	2.79	2.90	3.09		
		V_{det1_7}	2.68	2.79	2.98		
		V_{det1_8}	2.57	2.68	2.87		
		V_{det1_9}	2.47	2.58	2.67		
		V_{det1_A}	2.37	2.48	2.57		
		V_{det1_B}	2.10	2.20	2.30		
		V_{det1_C}	1.86	1.96	2.06		
	電圧検出回路 (LVD2) (注3)	V_{det2_0}	4.08	4.29	4.48	V	図2.55 VCC立ち下がり時
		V_{det2_1}	3.95	4.14	4.35		
V_{det2_2}		3.82	4.02	4.22			
V_{det2_3}		3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD2)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号 V_{det0_n} のnは、OFS1.VDSEL[1:0]ビットの値です。

注2. 記号 V_{det1_n} のnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注3. 記号 V_{det2_n} のnは、LVDLVLR.LVD2LVL[1:0]ビットの値です。

表2.67 パワーオンリセット回路、電圧検出回路特性(2)
 条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
パワーオンリセット 解除後待機時間	通常起動時	t _{POR}	—	9.1	—	ms	図2.52
	起動時間短縮時	t _{POR}	—	1.6	—		
電圧監視0リセット解除後待機時間	t _{LVD0}	—	600	—	μs	図2.53	
電圧監視1リセット解除後待機時間	t _{LVD1}	—	150	—	μs	図2.54	
電圧監視2リセット解除後待機時間	t _{LVD2}	—	150	—	μs	図2.55	
応答遅延時間	t _{det}	—	—	350	μs	図2.51	
最小VCC低下時間(注1)	t _{VOFF}	350	—	—	μs	図2.51、VCC = 1.0V以上	
パワーオンリセット有効時間	t _{W(POR)}	1	—	—	ms	図2.52、VCC = 1.0V未満	
LVD動作安定時間(LVD有効切り替え時)	T _{d(E-A)}	—	—	300	μs	図2.54、図2.55	
ヒステリシス幅(パワーオンリセット(POR))	V _{PORH}	—	110	—	mV		
ヒステリシス幅 (電圧検出回路(LVD0, LVD1, LVD2))	V _{LVH}	—	70	—	mV	Vdet1_0 ~ 4選択時	
		—	60	—		Vdet1_5 ~ 9選択時	
		—	50	—		Vdet1_A ~ B選択時	
		—	40	—		Vdet1_C ~ D選択時	
		—	60	—		LVD0, LVD2選択時	

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。
 注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{det0}、V_{det1}、V_{det2}のmin値を下回っている時間です。

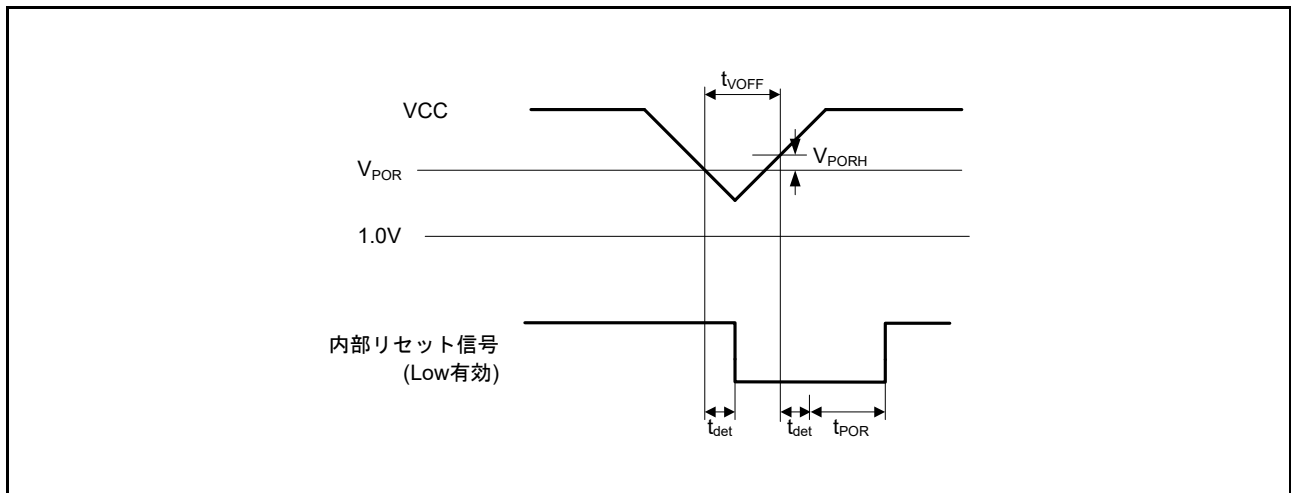


図 2.51 電圧検出リセットタイミング

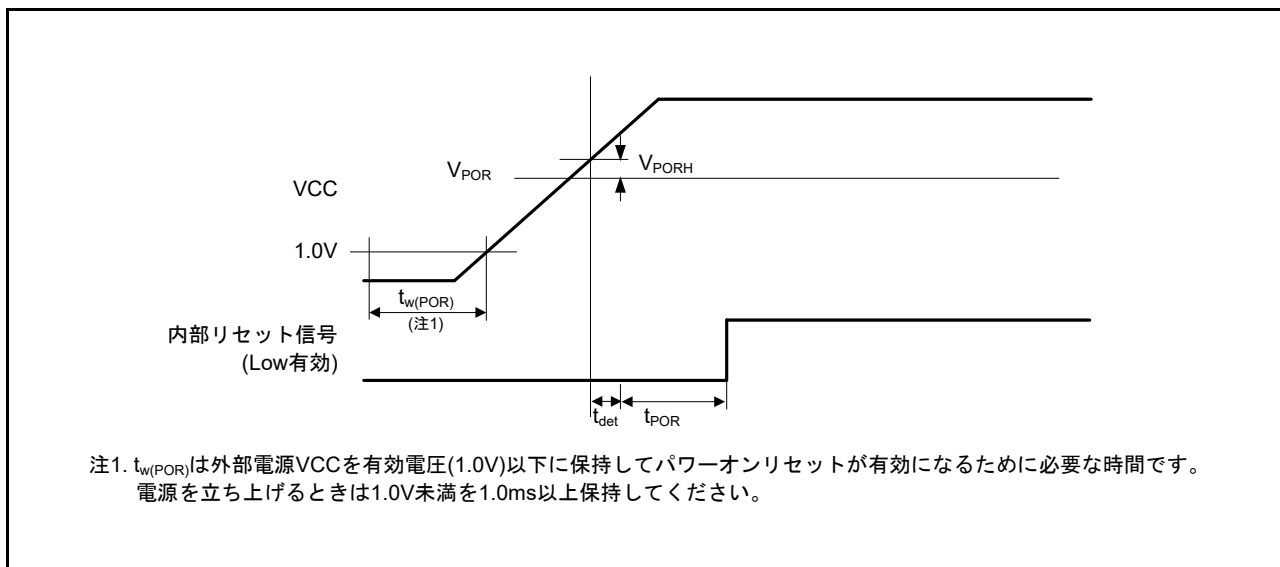


図 2.52 パワーオンリセットタイミング

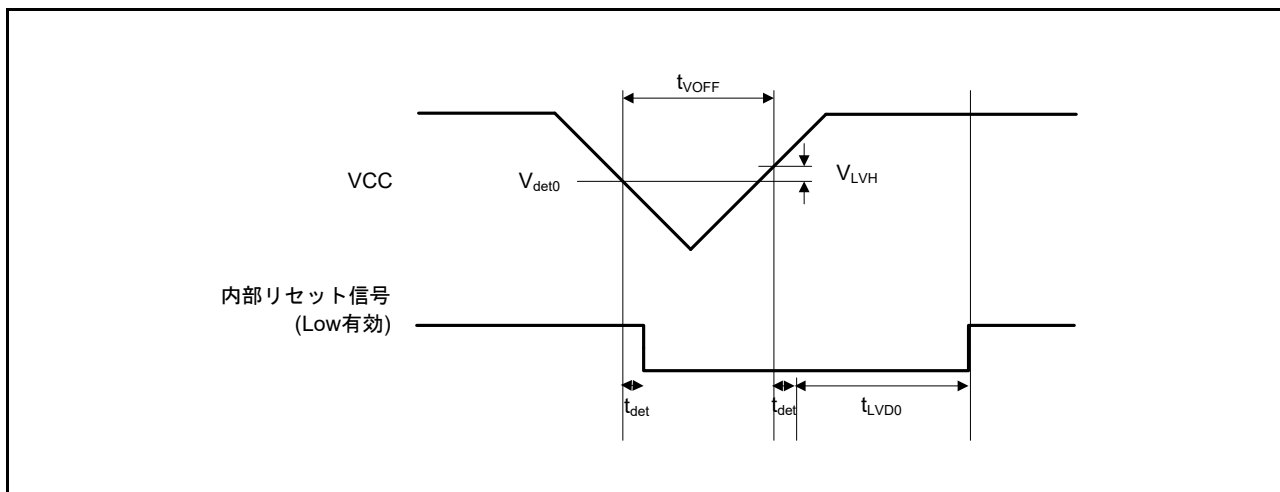


図 2.53 電圧検出回路タイミング (Vdet0)

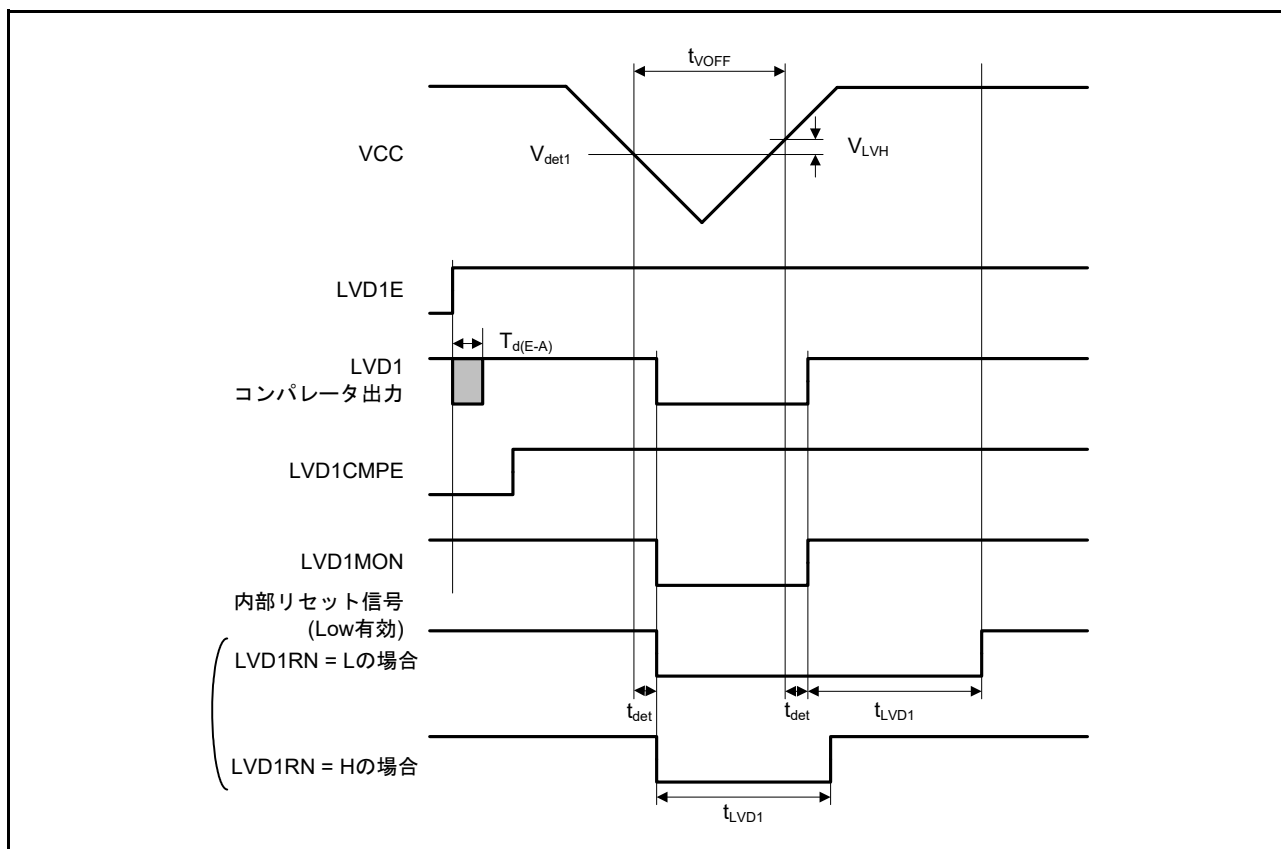


図 2.54 電圧検出回路タイミング (V_{det1})

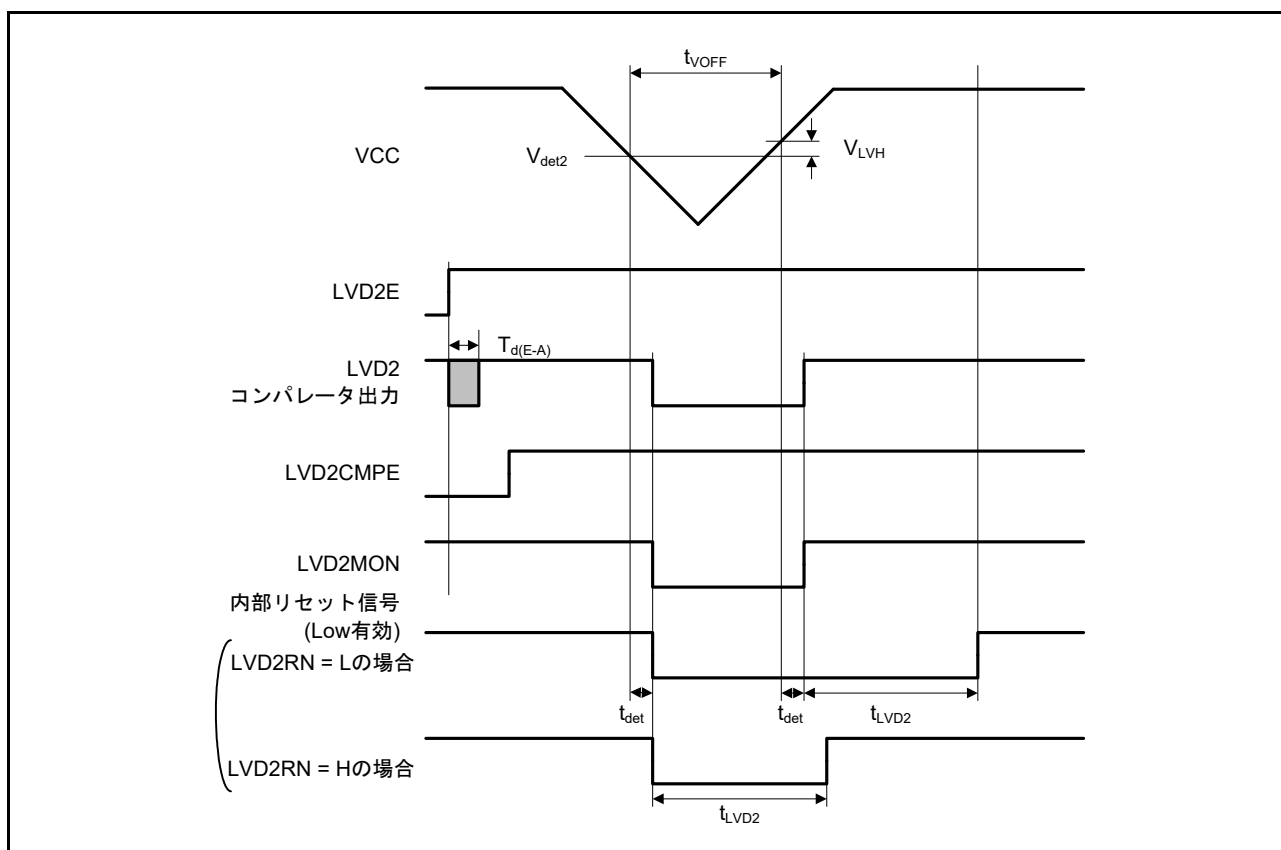


図 2.55 電圧検出回路タイミング (V_{det2})

2.8 発振停止検出タイミング

表 2.68 発振停止検出回路特性

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^{\circ}C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.56

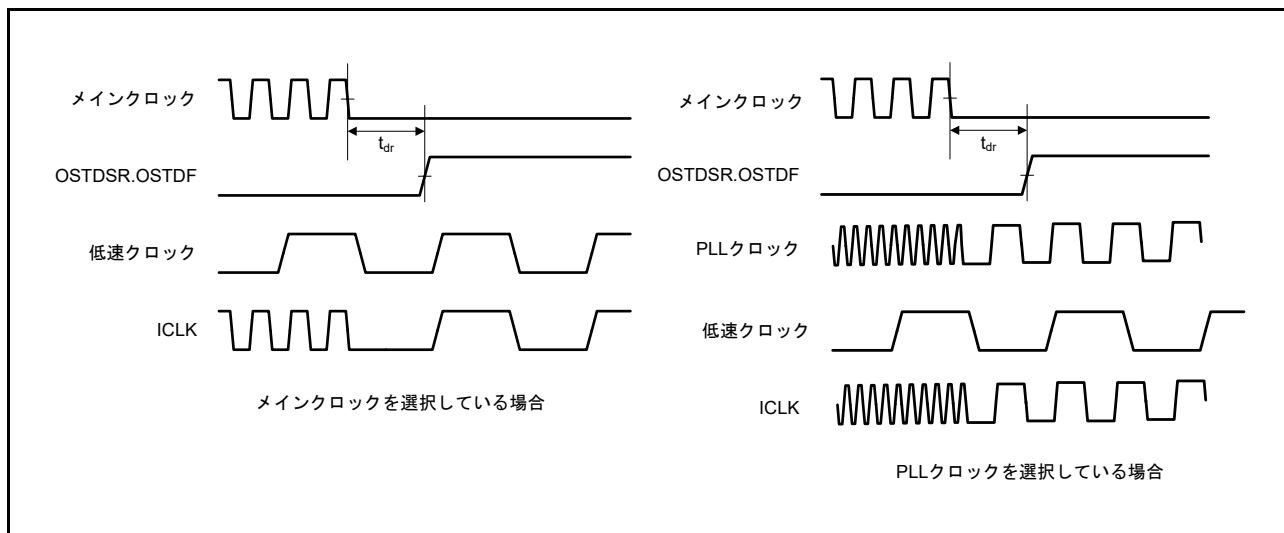


図 2.56 発振停止検出タイミング

2.9 ROM (コードフラッシュメモリ) 特性

表2.69 ROM (コードフラッシュメモリ) 特性(1)

項目	記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)	N _{PEC}	1000	—	—	回	
データ保持時間	イレーズ1000回後	t _{DRP}	20 (注2、注3)	—	年	T _a = 85°C

- 注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、1Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを256回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. フラッシュプログラム使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。
- 注3. 信頼性試験から得られた結果です。

表2.70 ROM (コードフラッシュメモリ) 特性(2) (高速動作モード)

条件：2.7V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{P8}	—	112.0	967.0	—	52.3	490.5	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.7	278.1	—	5.5	214.6	ms
	256Kバイト (ブロックイレーズ コマンド使用時)	t _{E256K}	—	469.1	9813.6	—	41.2	1049.2	ms
	256Kバイト (全ブロックイレーズ コマンド使用時)	t _{EA256K}	—	463.9	9609.0	—	36.0	839.5	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト	t _{BC2K}	—	—	1840.0	—	—	135.7	μs
イレーズ処理強制停止時間	t _{SED}	—	—	18.0	—	—	10.7	μs	
スタートアップ領域入れ替え設定時間	t _{SAS}	—	12.3	566.5	—	6.2	433.5	ms	
アクセスウィンドウ設定時間	t _{AWS}	—	12.3	566.5	—	6.2	433.5	ms	
ROMモード遷移待ち時間1	t _{DIS}	2.0	—	—	2.0	—	—	μs	
ROMモード遷移待ち時間2	t _{MS}	5.0	—	—	5.0	—	—	μs	

- 注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLKの周波数精度は±3.5%以下である必要があります。

表2.71 ROM (コードフラッシュメモリ)特性(3) (中速動作モード)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$ プログラム/イレーズ時の動作温度範囲 : $T_a = -40 \sim +85^\circ C$

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t_{P8}	—	152.0	1367.0	—	97.9	936.0	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.8	279.7	—	5.9	220.8	ms
	256Kバイト (ブロックイレーズ コマンド使用時)	t_{E256K}	—	469.2	9816.9	—	100.5	2260.1	ms
	256Kバイト (全ブロックイレーズ コマンド使用時)	t_{EA256K}	—	464.0	9610.7	—	95.3	2053.7	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	85.0	—	—	50.9	μs
	2Kバイト	t_{BC2K}	—	—	1870.0	—	—	401.5	μs
イレーズ処理強制停止時間		t_{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	13.0	573.3	—	7.7	450.1	ms
アクセスウィンドウ設定時間		t_{AWS}	—	13.0	573.3	—	7.7	450.1	ms
ROMモード遷移待ち時間1		t_{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t_{MS}	3.0	—	—	3.0	—	—	μs

注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

2.10 E2 データフラッシュ (データフラッシュメモリ) 特性

表2.72 E2データフラッシュ特性(1)

項目		記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)		N_{DPEC}	100000	1000000	—	回	
データ保持時間	イレーズ10000回後	t_{DDRP}	20 (注2、注3)	—	—	年	$T_a = 85^\circ\text{C}$
	イレーズ100000回後		5 (注2、注3)	—	—	年	
	イレーズ1000000回後		—	1 (注2、注3)	—	年	$T_a = 25^\circ\text{C}$

- 注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、1Kバイトのブロックについて、それぞれ異なる番地に1バイトプログラムを1000回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. フラッシュプログラマ使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。
- 注3. 信頼性試験から得られた結果です。

表2.73 E2データフラッシュ特性(2) (高速動作モード)

条件： $2.7\text{V} \leq V_{CC} = AV_{CC0} \leq 5.5\text{V}$, $V_{SS} = AV_{SS0} = 0\text{V}$
 プログラム/イレーズ時の動作温度範囲： $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	FCLK = 1MHz			FCLK = 32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	1バイト	t_{DP1}	—	95.0	797.0	—	40.8	375.5	μs
イレーズ時間	1Kバイト	t_{DE1K}	—	19.5	498.5	—	6.2	229.4	ms
	8Kバイト	t_{DE8K}	—	119.8	2555.7	—	12.9	367.2	ms
ブランクチェック時間	1バイト	t_{DBC1}	—	—	55.0	—	—	16.1	μs
	1Kバイト	t_{DBC1K}	—	—	7216.0	—	—	495.7	μs
イレーズ処理強制停止時間		t_{DSED}	—	—	16.0	—	—	10.7	μs
データフラッシュ STOP解除時間		t_{DSTOP}	5.0	—	—	5.0	—	—	μs

- 注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

表2.74 E2データフラッシュ特性(3) (中速動作モード)

条件： $1.8\text{V} \leq V_{CC} = AV_{CC0} \leq 5.5\text{V}$, $V_{SS} = AV_{SS0} = 0\text{V}$
 プログラム/イレーズ時の動作温度範囲： $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	FCLK = 1MHz			FCLK = 8MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	1バイト	t_{DP1}	—	135.0	1197.0	—	86.5	822.5	μs
イレーズ時間	1Kバイト	t_{DE1K}	—	19.6	500.1	—	8.0	264.1	ms
	8Kバイト	t_{DE8K}	—	119.9	2557.4	—	27.7	668.2	ms
ブランクチェック時間	1バイト	t_{DBC1}	—	—	85.0	—	—	50.9	μs
	1Kバイト	t_{DBC1K}	—	—	7246.0	—	—	1457.5	μs
イレーズ処理強制停止時間		t_{DSED}	—	—	28.0	—	—	21.3	μs
データフラッシュ STOP解除時間		t_{DSTOP}	0.72	—	—	0.72	—	—	μs

- 注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

2.11 24ビット Δ - Σ A/D コンバータ特性表2.75 24ビット Δ - Σ A/D コンバータ特性(1)条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
ゲイン		Gain	1, 2, 4, 8, 16, 32, 64, 128			—	
出力データレート		f_{DR}	3.8	—	125000	SPS	$f_{MOD} = 4MHz$
分解能(ノーミッシングコード)		—	24	—	—	ビット	
RMSノイズ		V_N	—	表 2.83、表 2.85	—	—	図 2.57 ~ 図 2.68
ノーマルモード 除去比	外部クロック、50 Hz、60 Hz	NMRR	120	—	—	dB	10 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz, 60±1 Hz
			75	—	—		54 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz, 60±1 Hz
	外部クロック、50 Hz		120	—	—		50 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz
	外部クロック、60 Hz		120	—	—		60 SPS, Sinc ⁴ +Sinc ⁴ 60±1 Hz
	内部クロック (HOCO)、 50 Hz、60 Hz		110	—	—		10 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz, 60±1 Hz
			70	—	—		54 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz, 60±1 Hz
	内部クロック (HOCO)、50 Hz		110	—	—		50 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz
内部クロック (HOCO)、60 Hz	110	—	—	60 SPS, Sinc ⁴ +Sinc ⁴ 60±1 Hz			
断線検出アシスト電流		—	0.5, 2, 4, 20			μA	
モジュレータクロック		f_{MOD}	100	4000	4100	kHz	

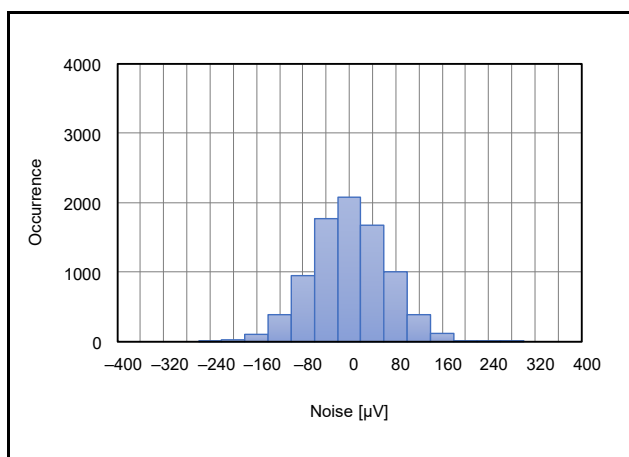


図 2.57 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 125\text{k SPS}$ 、Sinc⁵ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

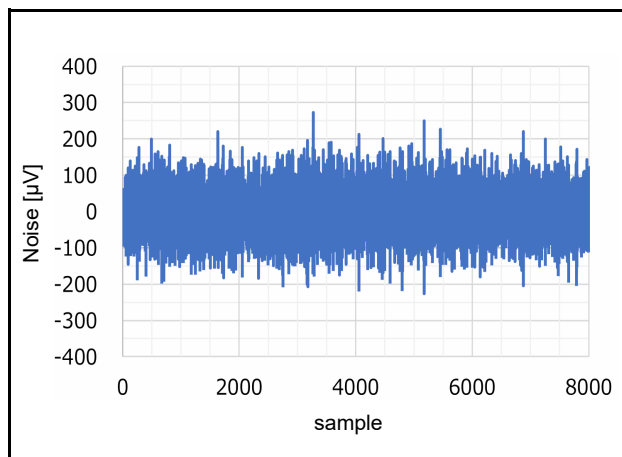


図 2.58 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 125\text{k SPS}$ 、Sinc⁵ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

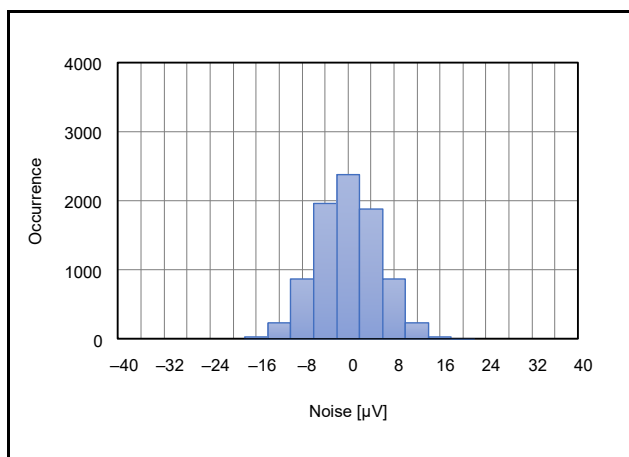


図 2.59 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 64、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 125\text{k SPS}$ 、Sinc⁵ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

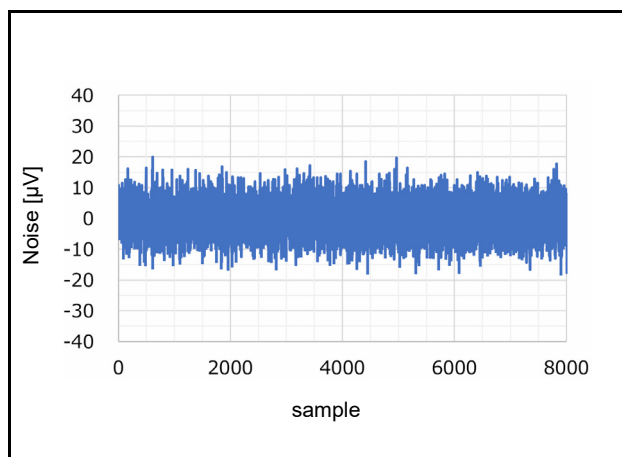


図 2.60 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 64、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 125\text{k SPS}$ 、Sinc⁵ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

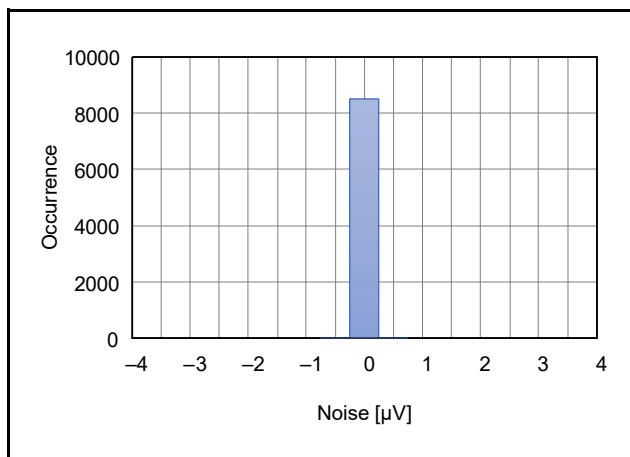


図 2.61 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 3.8\text{ SPS}$ 、Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

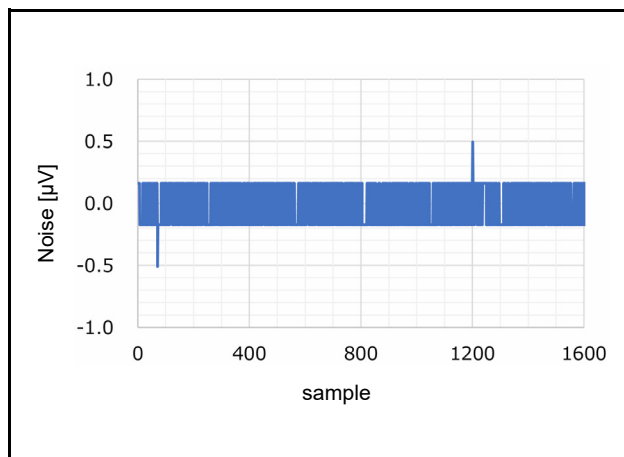


図 2.62 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 3.8\text{ SPS}$ 、Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

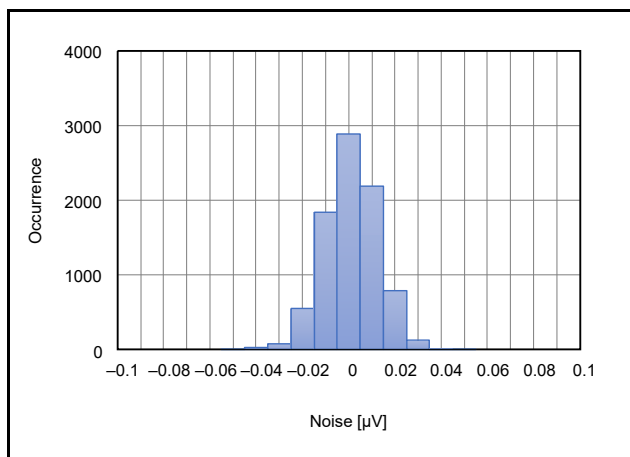


図 2.63 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 64、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 3.8\text{ SPS}$ 、Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

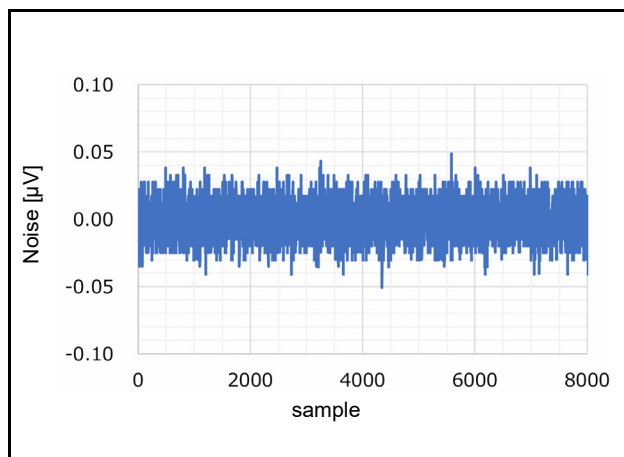


図 2.64 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 64、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 3.8\text{ SPS}$ 、Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

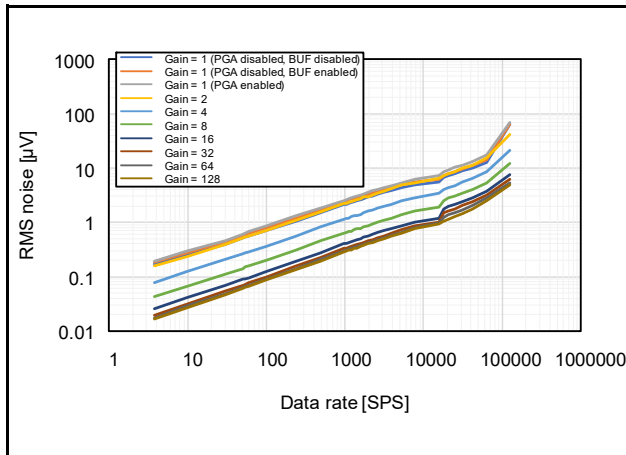


図 2.65 RMS ノイズのデータレート依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 4\text{MHz}$ 、Sinc⁵ フィルタまたは Sinc⁵+Sinc¹ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

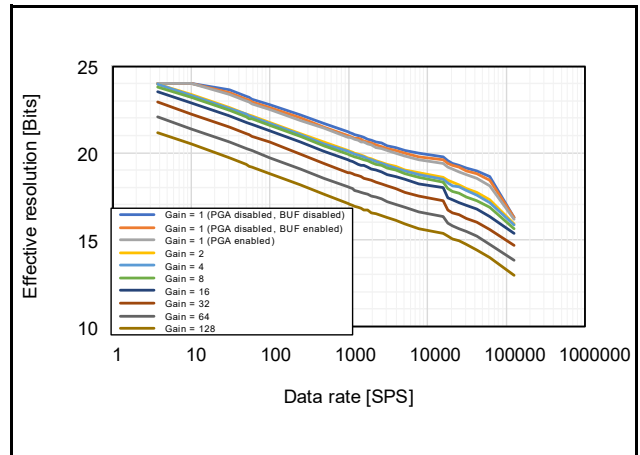


図 2.66 有効分解能のデータレート依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 4\text{MHz}$ 、Sinc⁵ フィルタまたは Sinc⁵+Sinc¹ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

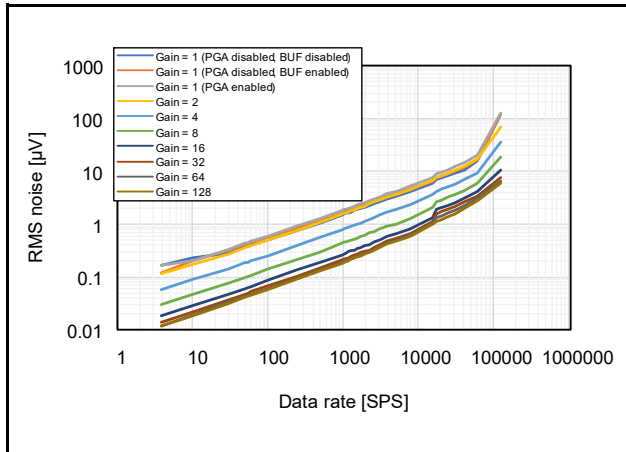


図 2.67 RMS ノイズのデータレート依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 4\text{MHz}$ 、Sinc⁴ フィルタまたは Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

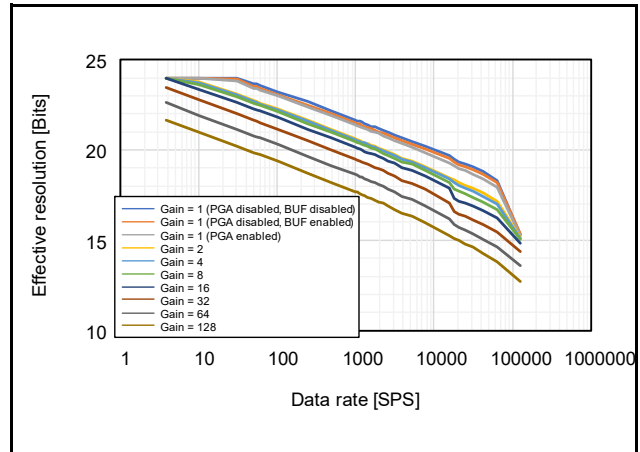


図 2.68 有効分解能のデータレート依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 4\text{MHz}$ 、Sinc⁴ フィルタまたは Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

表 2.76 24ビット Δ - Σ A/D コンバータ 特性 (2)

条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $VREF = 2.5V$, $f_{MOD} = 4MHz$, $OSR \geq 1024$ (Sinc⁴+Sinc⁴), $OSR \geq 8192$ (Sinc⁵+Sinc¹), $T_a = -40 \sim +105^\circ C$, DS0mISR.RSEL[1:0] = 00b (m = 0 ~ 7)

項目	記号	min	typ	max	単位	測定条件	
積分非直線性誤差	Gain = 1 ~ 64 (PGA 有効)	INL	—	±10	±18	ppmFSR	図 2.69
	Gain = 128 (PGA 有効)	—	±12	±20			
	Gain = 1 (PGA 無効、BUF 無効)	—	±6	±8			
	Gain = 1 (PGA 無効、BUF 有効)	—	±5	±8			
オフセット誤差	補正前	E _O	—	—	±70	μV	図 2.70 AVCC0 = 5.0V、 T _a = 25°C、Gain = 2
	補正後	—	On the level of the noise	—			
オフセットドリフト	Gain = 1, 2 (PGA 有効)	dE _O	—	70	335	nV/°C	図 2.70 V _{IC} = 2.5V、 V (VR0P) = 2.5V、 V (VR0N) = 0V
	Gain = 4 ~ 8	—	33	150			
	Gain = 16 ~ 32	—	7	36			
	Gain = 64 ~ 128	—	4	15			
	Gain = 1 (PGA 無効、BUF 無効)	—	25	130			
	Gain = 1 (PGA 無効、BUF 有効)	—	50	215			
ゲイン誤差	Gain = 1 ~ 64 (PGA 有効)	E _G	—	±0.030	±0.060	%	図 2.71 AVCC0 = 5.0V、 T _a = 25°C、 V _{IC} = 2.5V、 V (VR0P) = 2.5V、 V (VR0N) = 0V
	Gain = 128		—	±0.030	±0.075		
	Gain = 1 (PGA 無効、BUF 無効)		—	±0.010	±0.022		
	Gain = 1 (PGA 無効、BUF 有効)		—	±0.010	±0.020		
	ゲイン誤差補正後		—	On the level of the noise	—		
ゲインドリフト	Gain = 1 ~ 16 (PGA 有効)	dE _G	—	1.0	3.0	ppm/°C	図 2.71 V _{IC} = 2.5V V (VR0P) = 2.5V、 V (VR0N) = 0V
	Gain = 32 ~ 128 (PGA 有効)		—	1.2	4.0		
	Gain = 1 (PGA 無効、BUF 無効)		—	0.8	1.8		
	Gain = 1 (PGA 無効、BUF 有効)		—	0.8	2.2		
電源電圧除去比	Gain = 1 ~ 8 (PGA 有効)	PSRR	72	85	—	dB	V _{ID} = 1 V/Gain (DC)
	Gain = 16 ~ 64		90	100	—		
	Gain = 128		—	105	—		
	Gain = 1 (PGA 無効、BUF 無効)		75	92	—	dB	V _{ID} = 1V (DC)
	Gain = 1 (PGA 無効、BUF 有効)		75	92	—		
同相信号除去比	Gain = 1 ~ 8 (PGA 有効)	CMRR	88	95	—	dB	V _{ID} = 1 V/Gain (DC)
	Gain = 16 ~ 32		105	115	—		
	Gain = 64 ~ 128		105	120	—		
	Gain = 1 (PGA 無効、BUF 無効)		84	95	—	dB	V _{ID} = 1V (DC)
	Gain = 1 (PGA 無効、BUF 有効)		84	95	—		

項目		記号	min	typ	max	単位	測定条件
SN比(注1)	Gain = 1 (PGA無効、BUF無効)	SNR	—	120	—	dB	Sinc ⁴ +Sinc ⁴ , f _{DR} = 977 SPS
	Gain = 64		—	100	—		
全高調波歪	Gain = 1 (PGA無効、BUF無効)	THD	—	100	—	dB	fin = 50Hz V _{ID} = -0.5 dBFS, Sinc ⁴ +Sinc ⁴ , f _{DR} = 977 SPS
	Gain = 64		—	95	—		
信号と(ノイズ+歪み)の比	Gain = 1 (PGA無効、BUF無効)	SINAD	—	100	—	dB	fin = 50Hz V _{ID} = -0.5 dBFS, Sinc ⁴ +Sinc ⁴ , f _{DR} = 977 SPS
	Gain = 64		—	95	—		
スプリアスフリー・ダイナミックレンジ	Gain = 1 (PGA無効、BUF無効)	SFDR	—	100	—	dB	fin = 50Hz V _{ID} = -0.5 dBFS, Sinc ⁴ +Sinc ⁴ , f _{DR} = 977 SPS
	Gain = 64		—	100	—		

注1. 0入力時のNoiseとFullScale入力時の信号比

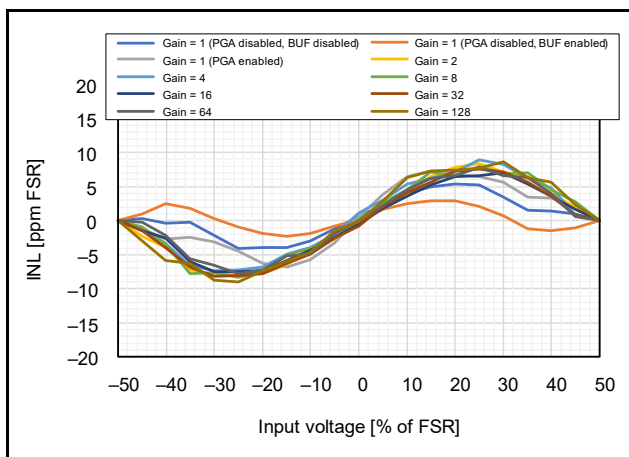


図 2.69 積分非直線性誤差の入力電圧依存性 (AVCC0 = 5.0V、 $T_a = 25\text{ }^\circ\text{C}$ 、 $f_{\text{MOD}} = 4\text{MHz}$ 、総合 OSR = 4096、 $V_{\text{REF}} = 2.5\text{V}$)

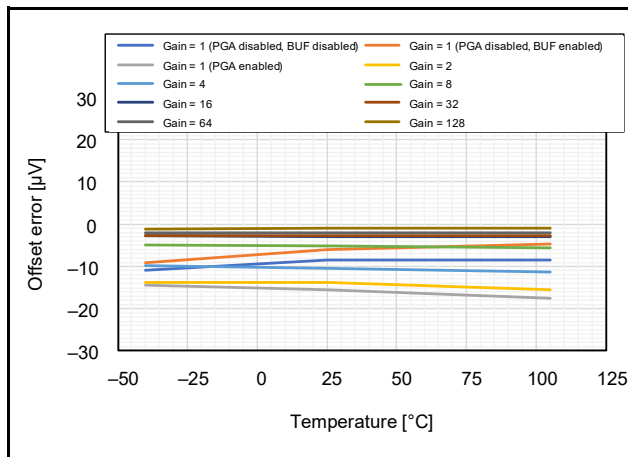


図 2.70 オフセット誤差の温度依存性 (AVCC0 = 5.0V、 $V_{\text{ID}} = 0\text{V}$ 、 $f_{\text{MOD}} = 4\text{MHz}$ 、総合 OSR = 4096、 $V_{\text{REF}} = 2.5\text{V}$)

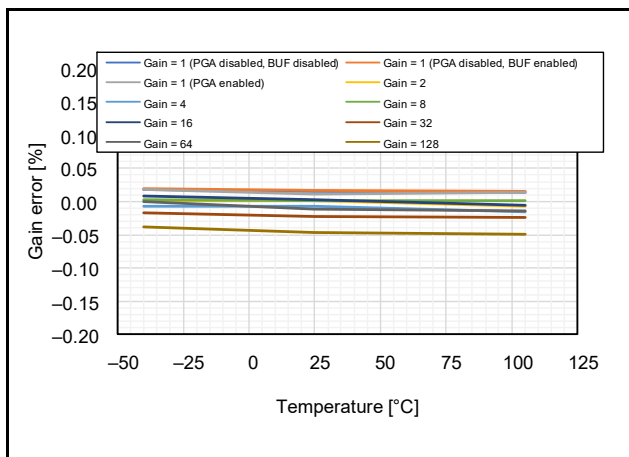


図 2.71 ゲイン誤差の温度依存性 (AVCC0 = 5.0V、 $f_{\text{MOD}} = 4\text{MHz}$ 、総合 OSR = 4096、 $V_{\text{REF}} = 2.5\text{V}$)

表 2.77 24ビット Δ - Σ A/D コンバータ 特性 (3)

条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $VREF = 2.5V$, $f_{MOD} = 4MHz$, $256 \leq OSR \leq 768$
 $(Sinc^4+Sinc^4)$, $256 \leq OSR \leq 7936$ ($Sinc^5+Sinc^1$), $T_a = -40 \sim +105^\circ C$, $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

項目	記号	min	typ	max	単位	測定条件
積分非直線性誤差	Gain = 1 ~ 64 (PGA 有効)	INL	—	± 15	± 25	ppmFSR
	Gain = 128 (PGA 有効)	—	± 15	± 30		
	Gain = 1 (PGA無効、BUF無効)	—	± 6	± 8		
	Gain = 1 (PGA無効、BUF有効)	—	± 5	± 8		
オフセット誤差	補正前	E_O	—	—	± 90	μV AVCC0 = 5.0V、 $T_a = 25^\circ C$ 、 Gain = 2
	補正後	—	On the level of the noise	—		
オフセットドリフト	Gain = 1, 2 (PGA有効)	dE_O	—	95	385	$nV/^\circ C$ $V_{IC} = 2.5V$ 、 $V(VR0P) = 2.5V$ 、 $V(VR0N) = 0V$
	Gain = 4, 8	—	40	170		
	Gain = 16, 32	—	9	40		
	Gain = 64, 128	—	4	15		
	Gain = 1 (PGA無効、BUF無効)	—	37	165		
	Gain = 1 (PGA無効、BUF有効)	—	37	205		
ゲイン誤差	Gain = 1 ~ 64 (PGA有効)	E_G	—	± 0.030	± 0.060	%
	Gain = 128	—	± 0.040	± 0.080		
	Gain = 1 (PGA無効、BUF無効)	—	± 0.010	± 0.022		
	Gain = 1 (PGA無効、BUF有効)	—	± 0.010	± 0.020		
	ゲイン誤差補正後	—	On the level of the noise	—		
ゲインドリフト	Gain = 1 ~ 16 (PGA有効)	dE_G	—	1.0	3.0	$ppm/^\circ C$ $V_{IC} = 2.5V$ 、 $V(VR0P) = 2.5V$ 、 $V(VR0N) = 0V$
	Gain = 32 ~ 128 (PGA有効)	—	1.2	4.0		
	Gain = 1 (PGA無効、BUF無効)	—	0.8	1.8		
	Gain = 1 (PGA無効、BUF有効)	—	0.8	2.2		
電源電圧除去比	Gain = 1 ~ 8 (PGA有効)	PSRR	72	82	—	dB $V_{ID} = 1 V/Gain$ (DC)
	Gain = 16 ~ 64		90	100	—	
	Gain = 128		—	100	—	
	Gain = 1 (PGA無効、BUF無効)		75	92	—	$V_{ID} = 1V$ (DC)
	Gain = 1 (PGA無効、BUF有効)		75	92	—	
同相信号除去比	Gain = 1 ~ 8 (PGA有効)	CMRR	88	95	—	dB $V_{ID} = 1 V/Gain$ (DC)
	Gain = 16 ~ 32		105	115	—	
	Gain = 64 ~ 128		105	120	—	
	Gain = 1 (PGA無効、BUF無効)		84	95	—	$V_{ID} = 1V$ (DC)
	Gain = 1 (PGA無効、BUF有効)		84	95	—	

項目		記号	min	typ	max	単位	測定条件
SN比(注1)	Gain = 1 (PGA無効、BUF無効)	SNR	—	110	—	dB	Sinc ⁴ +Sinc ⁴ , f _{DR} = 15.6k SPS
	Gain = 64		—	85	—		
全高調波歪	Gain = 1 (PGA無効、BUF無効)	THD	—	100	—	dB	fin = 50Hz V _{ID} = -0.5 dBFS, Sinc ⁴ +Sinc ⁴ , f _{DR} = 15.6k SPS
	Gain = 64		—	95	—		
信号と(ノイズ+歪み)の比	Gain = 1 (PGA無効、BUF無効)	SINAD	—	95	—	dB	fin = 50Hz V _{ID} = -0.5 dBFS, Sinc ⁴ +Sinc ⁴ , f _{DR} = 15.6k SPS
	Gain = 64		—	85	—		
スプリアスフリー・ダイナミックレンジ	Gain = 1 (PGA無効、BUF無効)	SFDR	—	100	—	dB	fin = 50Hz V _{ID} = -0.5 dBFS, Sinc ⁴ +Sinc ⁴ , f _{DR} = 15.6k SPS
	Gain = 64		—	95	—		

注1. 0入力時のNoiseとFullScale入力時の信号比

表2.78 24ビットΔ-Σ A/Dコンバータ特性(4)

条件: 2.4V ≤ VCC ≤ 5.5V, 4.5V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, VREF = 2.5V, f_{MOD} = 4MHz, OSR ≤ 224 (Sinc⁴+Sinc⁴, Sinc⁵+Sinc¹), T_a = -40 ~ +105°C, DS0mISR.RSEL[1:0] = 00b (m = 0 ~ 7)

項目		記号	min	typ	max	単位	測定条件
積分非直線性誤差	Gain = 1 ~ 64 (PGA有効)	INL	—	±10	±18	ppmFSR	
	Gain = 128 (PGA有効)		—	±10	±20		
	Gain = 1 (PGA無効、BUF無効)		—	±6	±8		
	Gain = 1 (PGA無効、BUF有効)		—	±5	±8		
オフセット誤差	補正前	E _O	—	—	±110	μV	AVCC0 = 5.0V, T _a = 25°C, Gain = 2
	補正後		—	On the level of the noise	—		
オフセットドリフト	Gain = 1, 2 (PGA有効)	dE _O	—	80	415	nV/°C	V _{IC} = 2.5V, V (VR0P) = 2.5V, V (VR0N) = 0V
	Gain = 4, 8		—	40	196		
	Gain = 16, 32		—	12	48		
	Gain = 64, 128		—	6	18		
	Gain = 1 (PGA無効、BUF無効)		—	80	305		
	Gain = 1 (PGA無効、BUF有効)		—	90	340		
ゲイン誤差	Gain = 1 ~ 64 (PGA有効)	E _G	—	±0.030	±0.060	%	AVCC0 = 5.0V, T _a = 25°C, V _{IC} = 2.5V, V (VR0P) = 2.5V, V (VR0N) = 0V
	Gain = 128		—	±0.030	±0.070		
	Gain = 1 (PGA無効、BUF無効)		—	±0.010	±0.022		
	Gain = 1 (PGA無効、BUF有効)		—	±0.010	±0.020		
	ゲイン誤差補正後		—	On the level of the noise	—		

項目		記号	min	typ	max	単位	測定条件
ゲインドリフト	Gain = 1 ~ 16 (PGA 有効)	dE _G	—	1.0	3.0	ppm/°C	V _{IC} = 2.5V、 V (VR0P) = 2.5V、 V (VR0N) = 0V
	Gain = 32 ~ 128 (PGA 有効)		—	1.2	4.0		
	Gain = 1 (PGA 無効、BUF 無効)		—	0.8	1.8		
	Gain = 1 (PGA 無効、BUF 有効)		—	0.8	2.2		
電源電圧除去比	Gain = 1 ~ 8 (PGA 有効)	PSRR	72	82	—	dB	V _{ID} = 1 V/Gain (DC)
	Gain = 16 ~ 64		90	100	—		
	Gain = 128		—	100	—		
	Gain = 1 (PGA 無効、BUF 無効)		72	92	—	dB	V _{ID} = 1V (DC)
	Gain = 1 (PGA 無効、BUF 有効)		72	90	—		
同相信号除去比	Gain = 1 ~ 8 (PGA 有効)	CMRR	88	95	—	dB	V _{ID} = 1 V/Gain (DC)
	Gain = 16 ~ 32		105	115	—		
	Gain = 64 ~ 128		110	120	—		
	Gain = 1 (PGA 無効、BUF 無効)		84	95	—	dB	V _{ID} = 1V (DC)
	Gain = 1 (PGA 無効、BUF 有効)		84	95	—		
SN比 (注1)	Gain = 1 (PGA 無効、BUF 無効)	SNR	—	105	—	dB	Sinc ⁴ +Sinc ⁴ , f _{DR} = 17.9 SPS
	Gain = 64		—	85	—		
全高調波歪	Gain = 1 (PGA 無効、BUF 無効)	THD	—	100	—	dB	f _{in} = 50Hz V _{ID} = -0.5 dBFS, Sinc ⁴ +Sinc ⁴ , f _{DR} = 17.9 SPS
	Gain = 64		—	95	—		
信号と(ノイズ+歪み)の比	Gain = 1 (PGA 無効、BUF 無効)	SINAD	—	95	—	dB	f _{in} = 50Hz V _{ID} = -0.5 dBFS, Sinc ⁴ +Sinc ⁴ , f _{DR} = 17.9 SPS
	Gain = 64		—	80	—		
スプリアスフリー・ダイナミックレンジ	Gain = 1 (PGA 無効、BUF 無効)	SFDR	—	100	—	dB	f _{in} = 50Hz V _{ID} = -0.5 dBFS, Sinc ⁴ +Sinc ⁴ , f _{DR} = 17.9 SPS
	Gain = 64		—	95	—		

注1. 0入力時のNoiseとFullScale入力時の信号比

表 2.79 24ビット Δ - Σ A/D コンバータアナログ入力特性(1)
 条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $VREF = 2.5V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
差動電圧入力範囲	Gain = 1 (PGA無効)	$-V_{REF}$	—	$+V_{REF}$	V	$V_{REF} = V_{(VR0P)} - V_{(VR0N)}$
	Gain = 1 (PGA有効)	$-V_{REF}$ または $(AVCC0 - AVSS0 - 0.5V)$ の 大きい値	—	$+V_{REF}$ または $+(AVCC0 - AVSS0 - 0.5V)$ の 小さい値		
	Gain ≥ 2	$-V_{REF} /$ Gain	—	$+V_{REF} /$ Gain		
絶対入力電圧範囲	Gain = 1 (PGA無効、BUF無効)	$AVSS0 + 0.2$	—	$AVCC0 - 0.2$	V	Specified Performance
		$AVSS0 - 0.05$	—	$AVCC0 + 0.05$		Functional
	Gain = 1 (PGA無効、BUF有効)	$AVSS0 + 0.2$	—	$AVCC0 - 0.2$		
	Gain = 1 ~ 128 (PGA有効)	$AVSS0 + 0.2$	—	$AVCC0 - 0.2$		Specified Performance
		$AVSS0 - 0.05$	—	$AVCC0 + 0.05$		Functional

表 2.80 24ビットΔ-Σ A/Dコンバータアナログ入力特性(2)

条件: $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $VREF = 2.5V$, $f_{MOD} = 4MHz$, $OSR \geq 1024$ (Sinc⁴+Sinc⁴), $OSR \geq 8192$ (Sinc⁵+Sinc¹), $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
入力バイアス電流	Gain = 1~128 (PGA有効)	—	±8	±35	nA	図 2.72 $T_a = 25^\circ C$, $V_{ID} = 0V$
	Gain = 1 (PGA無効、BUF有効)	—	±9	±40		
	Gain = 1 (PGA無効、BUF無効)	—	±3	±15		
入力オフセット電流	Gain = 1~128 (PGA有効)	—	±30	±150	nA	図 2.73 $T_a = 25^\circ C$, $V_{ID} = 2.5V/Gain$
	Gain = 1 (PGA無効、BUF有効)	—	±20	±80		
	Gain = 1 (PGA無効、BUF無効)	—	55	75	μA/V	
入力バイアス電流ドリフト	Gain = 1~16 (PGA有効)	—	250	800	pA/°C	図 2.72
	Gain = 32~128	—	250	850		
	Gain = 1 (PGA無効、BUF有効)	—	200	600		
	Gain = 1 (PGA無効、BUF無効)	—	200	700		
入力オフセット電流ドリフト	Gain = 1 (PGA有効)	—	1000	3500	pA/°C	図 2.73
	Gain = 2~16 (PGA有効)	—	600	2500		
	Gain = 32~128 (PGA有効)	—	300	1500		
	Gain = 1 (PGA無効、BUF有効)	—	750	3000		
	Gain = 1 (PGA無効、BUF無効)	—	1500	3000	pA/V/°C	

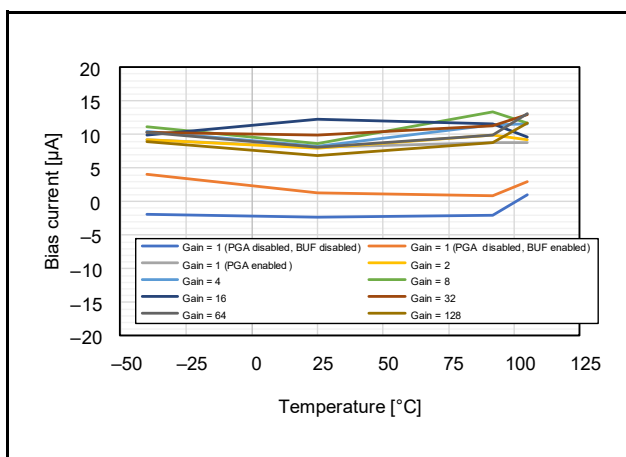


図 2.72 アナログ入力バイアス電流の温度依存性 (AVCC0 = 5.0V、 $f_{MOD} = 4MHz$ 、総合 OSR = 4096)

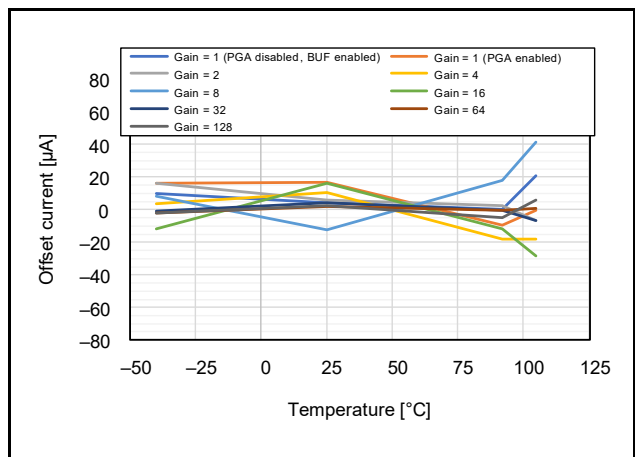


図 2.73 アナログ入力オフセット電流の温度依存性 (AVCC0 = 5.0V、 $f_{MOD} = 4MHz$ 、総合 OSR = 4096)

表2.81 24ビット Δ - Σ A/Dコンバータアナログ入力特性(3)

条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $VREF = 2.5V$, $f_{MOD} = 4MHz$, $256 \leq OSR \leq 768$
 (Sinc⁴+Sinc⁴), $256 \leq OSR \leq 7936$ (Sinc⁵+Sinc¹), $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
入力バイアス電流	Gain = 1 ~ 128 (PGA有効)	—	±8	±35	nA	$T_a = 25^\circ C$, $V_{ID} = 0V$
	Gain = 1 (PGA無効、BUF有効)	—	±9	±40		
	Gain = 1 (PGA無効、BUF無効)	—	±3	±15		
入力オフセット電流	Gain = 1 ~ 128 (PGA有効)	—	±30	±150	nA	$T_a = 25^\circ C$, $V_{ID} = 2.5V/Gain$
	Gain = 1 (PGA無効、BUF有効)	—	±20	±80		
	Gain = 1 (PGA無効、BUF無効)	—	55	80	$\mu A/V$	
入力バイアス電流ドリフト	Gain = 1 ~ 16 (PGA有効)	—	250	800	$pA/^\circ C$	
	Gain = 32 ~ 128	—	250	850		
	Gain = 1 (PGA無効、BUF有効)	—	200	600		
	Gain = 1 (PGA無効、BUF無効)	—	200	700		
入力オフセット電流ドリフト	Gain = 1 (PGA有効)	—	1000	3500	$pA/^\circ C$	
	Gain = 2 ~ 16 (PGA有効)	—	600	2500		
	Gain = 32 ~ 128 (PGA有効)	—	300	1500		
	Gain = 1 (PGA無効、BUF有効)	—	750	3000		
	Gain = 1 (PGA無効、BUF無効)	—	1500	3000	$pA/V/^\circ C$	

表 2.82 24ビット Δ - Σ A/D コンバータアナログ入力特性(4)

条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $VREF = 2.5V$, $f_{MOD} = 4MHz$, $OSR \leq 224$ (Sinc⁴+Sinc⁴, Sinc⁵+Sinc¹), $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力バイアス電流	Gain = 1 ~ 128 (PGA 有効)	I_{IB}	—	± 25	± 65	nA	$T_a = 25^\circ C$, $V_{ID} = 0V$
	Gain = 1 (PGA 無効、BUF 有効)		—	± 8.5	± 40		
	Gain = 1 (PGA 無効、BUF 無効)		—	± 4	± 15		
入力オフセット電流	Gain = 1 ~ 128 (PGA 有効)	I_{IO}	—	± 75	± 350	nA	$T_a = 25^\circ C$, $V_{ID} = 2.5V/Gain$
	Gain = 1 (PGA 無効、BUF 有効)		—	± 35	± 150		
	Gain = 1 (PGA 無効、BUF 無効)		—	55	75	$\mu A/V$	
入力バイアス電流ドリフト	Gain = 1 ~ 16 (PGA 有効)	dI_{IB}	—	300	1500	pA/ $^\circ C$	
	Gain = 32 ~ 128		—	250	950		
	Gain = 1 (PGA 無効、BUF 有効)		—	150	600		
	Gain = 1 (PGA 無効、BUF 無効)		—	200	650		
入力オフセット電流ドリフト	Gain = 1 (PGA 有効)	dI_{IO}	—	2500	8000	pA/ $^\circ C$	
	Gain = 2 ~ 16 (PGA 有効)		—	2000	6500		
	Gain = 32 ~ 128 (PGA 有効)		—	500	2000		
	Gain = 1 (PGA 無効、BUF 有効)		—	600	3000		
	Gain = 1 (PGA 無効、BUF 無効)		—	1500	3000	pA/V/ $^\circ C$	

表 2.83 標準ノイズ特性

条件 : $2.4V \leq VCC \leq 5.5V$ 、 $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 4MHz$ 、 $V_{ID} = 0V$ 、 $V_{REF} = 2.5V$ 、 $Sinc^4+Sinc^4$ 、 $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
3.814	1048576	0.160 (0.50)	0.168 (1.00)	0.179 (1.00)	0.141 (0.92)	0.061 (0.42)	0.031 (0.23)	0.019 (0.14)	0.014 (0.10)	0.012 (0.09)	0.011 (0.09)
10.003	399872	0.192 (1.24)	0.252 (1.48)	0.236 (1.48)	0.177 (1.24)	0.094 (0.62)	0.047 (0.31)	0.030 (0.20)	0.022 (0.16)	0.019 (0.14)	0.018 (0.14)
50.1	79872	0.359 (2.43)	0.406 (2.73)	0.431 (3.03)	0.352 (2.58)	0.178 (1.29)	0.096 (0.72)	0.059 (0.42)	0.046 (0.34)	0.042 (0.30)	0.041 (0.31)
54	73728	0.346 (2.51)	0.390 (2.72)	0.421 (3.34)	0.352 (2.51)	0.182 (1.41)	0.098 (0.71)	0.062 (0.46)	0.048 (0.35)	0.044 (0.33)	0.042 (0.32)
60	66560	0.387 (2.52)	0.427 (3.15)	0.463 (3.15)	0.374 (2.67)	0.193 (1.34)	0.106 (0.75)	0.065 (0.47)	0.051 (0.37)	0.046 (0.34)	0.044 (0.33)
100	39936	0.470 (3.34)	0.523 (3.64)	0.572 (4.55)	0.469 (3.49)	0.242 (1.74)	0.133 (0.95)	0.083 (0.66)	0.065 (0.47)	0.059 (0.46)	0.057 (0.46)
977	4096	1.407 (10.9)	1.562 (12.9)	1.691 (12.4)	1.442 (11.1)	0.748 (5.90)	0.408 (3.10)	0.256 (1.98)	0.207 (1.54)	0.190 (1.40)	0.181 (1.43)
1953	2048	1.959 (15.9)	2.217 (16.7)	2.406 (17.2)	2.021 (17.0)	1.065 (7.99)	0.591 (4.56)	0.374 (3.00)	0.298 (2.12)	0.272 (2.09)	0.265 (2.06)
3906	1024	2.760 (21.4)	3.114 (22.9)	3.519 (27.1)	3.057 (22.1)	1.592 (11.6)	0.897 (6.78)	0.561 (4.19)	0.462 (3.92)	0.427 (3.18)	0.414 (3.21)
15625	256	5.579 (43.7)	6.185 (45.2)	7.339 (58.1)	6.490 (50.6)	3.422 (25.5)	1.930 (14.1)	1.250 (9.74)	1.070 (7.57)	1.001 (7.56)	0.971 (7.80)
17857	224	6.393 (46.8)	7.098 (52.2)	8.323 (63.1)	7.108 (52.0)	3.909 (30.1)	2.516 (19.5)	1.835 (13.9)	1.507 (11.7)	1.286 (9.67)	1.053 (7.86)
31250	128	8.509 (63.4)	9.342 (71.1)	11.25 (81.2)	9.657 (70.7)	5.429 (40.3)	3.435 (25.4)	2.502 (20.1)	2.084 (16.7)	1.778 (13.8)	1.511 (11.4)
41667	96	9.997 (80.7)	10.97 (81.7)	13.29 (98.6)	11.71 (85.9)	6.542 (49.6)	4.074 (30.6)	2.973 (23.3)	2.471 (18.7)	2.151 (16.2)	1.819 (14.0)
62500	64	14.59 (114)	15.73 (128)	19.50 (143)	16.09 (129)	8.891 (64.6)	5.504 (46.8)	3.850 (29.5)	3.277 (24.5)	2.968 (23.7)	2.613 (21.2)
125000	32	122.6 (851)	122.1 (904)	122.1 (909)	65.91 (489)	34.11 (264)	17.67 (126)	10.10 (72.7)	7.107 (53.2)	5.844 (44.9)	5.301 (40.1)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: RMSノイズ [μV_{RMS}]、(下段): Peak-to-Peakノイズ [μV_{PP}]

表 2.84 有効分解能

条件 : $2.4V \leq VCC \leq 5.5V$ 、 $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 4MHz$ 、 $V_{ID} = 0V$ 、 $V_{REF} = 2.5V$ 、 $Sinc^4+Sinc^4$ 、 $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
3.814	1048576	24.0 (23.2)	24.0 (22.2)	24.0 (22.2)	24.0 (21.4)	24.0 (21.5)	24.0 (21.4)	23.9 (21.1)	23.4 (20.5)	22.6 (19.7)	21.7 (18.8)
10.003	399872	24.0 (21.9)	24.0 (21.7)	24.0 (21.7)	23.8 (20.9)	23.7 (20.9)	23.6 (20.9)	23.3 (20.6)	22.8 (19.9)	22.0 (19.1)	21.0 (18.1)
50.1	79872	23.7 (21.0)	23.6 (20.8)	23.5 (20.7)	22.8 (19.9)	22.7 (19.9)	22.6 (19.7)	22.3 (19.5)	21.7 (18.8)	20.8 (18.0)	19.9 (16.9)
54	73728	23.8 (20.9)	23.6 (20.8)	23.5 (20.5)	22.8 (19.9)	22.7 (19.8)	22.6 (19.8)	22.3 (19.4)	21.6 (18.8)	20.8 (17.9)	19.8 (16.9)
60	66560	23.6 (20.9)	23.5 (20.6)	23.4 (20.6)	22.7 (19.8)	22.6 (19.8)	22.5 (19.7)	22.2 (19.3)	21.5 (18.7)	20.7 (17.8)	19.8 (16.9)
100	39936	23.3 (20.5)	23.2 (20.4)	23.1 (20.1)	22.3 (19.5)	22.3 (19.5)	22.2 (19.3)	21.8 (18.8)	21.2 (18.3)	20.3 (17.4)	19.4 (16.4)
977	4096	21.8 (18.8)	21.6 (18.6)	21.5 (18.6)	20.7 (17.8)	20.7 (17.7)	20.5 (17.6)	20.2 (17.3)	19.5 (16.6)	18.7 (15.8)	17.7 (14.7)
1953	2048	21.3 (18.3)	21.1 (18.2)	21.0 (18.1)	20.2 (17.2)	20.2 (17.3)	20.0 (17.1)	19.7 (16.7)	19.0 (16.2)	18.1 (15.2)	17.2 (14.2)
3906	1024	20.8 (17.8)	20.6 (17.7)	20.4 (17.5)	19.6 (16.8)	19.6 (16.7)	19.4 (16.5)	19.1 (16.2)	18.4 (15.3)	17.5 (14.6)	16.5 (13.6)
15625	256	19.8 (16.8)	19.6 (16.8)	19.4 (16.4)	18.6 (15.6)	18.5 (15.6)	18.3 (15.4)	17.9 (15.0)	17.2 (14.3)	16.3 (13.3)	15.3 (12.3)
17857	224	19.6 (16.7)	19.4 (16.5)	19.2 (16.3)	18.4 (15.6)	18.3 (15.3)	17.9 (15.0)	17.4 (14.5)	16.7 (13.7)	15.9 (13.0)	15.2 (12.3)
31250	128	19.2 (16.3)	19.0 (16.1)	18.8 (15.9)	18.0 (15.1)	17.8 (14.9)	17.5 (14.6)	16.9 (13.9)	16.2 (13.2)	15.4 (12.5)	14.7 (11.7)
41667	96	18.9 (15.9)	18.8 (15.9)	18.5 (15.6)	17.7 (14.8)	17.5 (14.6)	17.2 (14.3)	16.7 (13.7)	15.9 (13.0)	15.1 (12.2)	14.4 (11.4)
62500	64	18.4 (15.4)	18.3 (15.3)	18.0 (15.1)	17.2 (14.2)	17.1 (14.2)	16.8 (13.7)	16.3 (13.4)	15.5 (12.6)	14.7 (11.7)	13.9 (10.8)
125000	32	15.3 (12.5)	15.3 (12.4)	15.3 (12.4)	15.2 (12.3)	15.2 (12.2)	15.1 (12.3)	14.9 (12.1)	14.4 (11.5)	13.7 (10.8)	12.8 (9.9)

有効分解能 = \log_2 (フルスケール電圧 / RMS ノイズ)

ノイズフリー分解能 = \log_2 (フルスケール電圧 / Peak-to-Peak ノイズ)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: 有効分解能[Bits]、(下段): ノイズフリー分解能[Bits]

表 2.85 標準ノイズ特性

条件 : $2.4V \leq VCC \leq 5.5V$ 、 $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 4MHz$ 、 $V_{ID} = 0V$ 、 $V_{REF} = 2.5V$ 、 $Sinc^5+Sinc^1$ 、 $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
3.814	1048576	0.165 (1.00)	0.194 (1.34)	0.203 (1.34)	0.174 (1.17)	0.093 (0.67)	0.042 (0.33)	0.027 (0.19)	0.020 (0.15)	0.017 (0.13)	0.017 (0.13)
10.003	399872	0.243 (1.32)	0.268 (1.76)	0.284 (1.97)	0.234 (1.76)	0.121 (0.88)	0.067 (0.47)	0.040 (0.27)	0.030 (0.23)	0.027 (0.21)	0.027 (0.19)
50.1	79872	0.481 (3.29)	0.534 (3.84)	0.573 (3.84)	0.481 (3.71)	0.249 (1.79)	0.137 (1.10)	0.085 (0.62)	0.068 (0.47)	0.062 (0.46)	0.060 (0.44)
54	73728	0.502 (3.87)	0.561 (4.46)	0.597 (4.76)	0.500 (3.87)	0.263 (1.93)	0.141 (1.12)	0.089 (0.69)	0.070 (0.50)	0.064 (0.48)	0.062 (0.50)
60	66560	0.529 (3.95)	0.594 (3.95)	0.637 (4.61)	0.529 (3.95)	0.271 (2.14)	0.151 (1.11)	0.094 (0.72)	0.074 (0.55)	0.067 (0.51)	0.064 (0.48)
100	39936	0.663 (4.67)	0.732 (5.22)	0.788 (6.04)	0.675 (5.08)	0.348 (2.61)	0.191 (1.41)	0.120 (0.94)	0.094 (0.70)	0.087 (0.65)	0.084 (0.65)
977	4096	1.931 (14.1)	2.216 (15.9)	2.403 (18.7)	2.067 (15.5)	1.078 (8.33)	0.599 (4.50)	0.384 (2.89)	0.316 (2.51)	0.293 (2.22)	0.277 (2.06)
1953	2048	2.697 (20.1)	3.050 (23.1)	3.325 (27.6)	2.896 (22.9)	1.489 (10.7)	0.832 (6.59)	0.535 (4.00)	0.442 (3.27)	0.402 (2.89)	0.390 (2.98)
3906	1024	3.636 (27.9)	4.098 (31.8)	4.507 (31.6)	3.938 (30.7)	2.052 (15.4)	1.145 (8.83)	0.740 (5.53)	0.602 (4.63)	0.563 (4.03)	0.537 (4.26)
15625	256	5.226 (40.2)	5.936 (48.0)	6.801 (50.5)	5.927 (47.4)	3.170 (24.2)	1.791 (13.3)	1.154 (8.68)	0.988 (7.57)	0.921 (6.94)	0.884 (6.67)
17857	224	6.076 (45.4)	6.764 (48.9)	7.896 (59.1)	6.624 (47.8)	3.771 (28.9)	2.376 (17.4)	1.721 (12.8)	1.417 (11.3)	1.205 (9.54)	1.012 (7.93)
31250	128	8.214 (60.2)	8.876 (66.4)	10.65 (78.2)	9.046 (67.3)	5.059 (39.4)	3.158 (22.8)	2.311 (19.9)	1.936 (13.8)	1.661 (12.9)	1.399 (10.8)
41667	96	9.363 (67.5)	10.27 (78.1)	12.50 (95.7)	10.84 (83.0)	6.065 (45.2)	3.816 (28.4)	2.743 (20.7)	2.314 (16.7)	2.002 (15.5)	1.699 (13.5)
62500	64	11.76 (87.5)	13.09 (95.4)	16.36 (126)	14.50 (106)	8.139 (57.6)	4.996 (37.5)	3.531 (27.1)	3.071 (22.7)	2.638 (21.0)	2.364 (16.9)
125000	32	63.20 (468)	64.38 (472)	66.39 (495)	39.73 (320)	21.06 (156)	11.65 (88.4)	7.214 (58.2)	5.870 (48.2)	5.167 (40.5)	4.829 (39.9)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: RMSノイズ [μV_{RMS}]、(下段): Peak-to-Peakノイズ [μV_{PP}]

表 2.86 有効分解能

条件 : $2.4V \leq VCC \leq 5.5V$ 、 $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 4MHz$ 、 $V_{ID} = 0V$ 、 $V_{REF} = 2.5V$ 、 $Sinc^5+Sinc^1$ 、 $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
3.814	1048576	24.0 (22.2)	24.0 (21.8)	24.0 (21.8)	23.8 (21.0)	23.7 (20.8)	23.8 (20.8)	23.4 (20.7)	22.9 (20.0)	22.1 (19.2)	21.2 (18.2)
10.003	399872	24.0 (21.9)	24.0 (21.4)	24.0 (21.3)	23.3 (20.4)	23.3 (20.4)	23.2 (20.4)	22.9 (20.1)	22.3 (19.4)	21.4 (18.5)	20.5 (17.7)
50.1	79872	23.3 (20.5)	23.2 (20.3)	23.1 (20.3)	22.3 (19.4)	22.3 (19.4)	22.1 (19.1)	21.8 (18.9)	21.1 (18.3)	20.3 (17.4)	19.3 (16.4)
54	73728	23.2 (20.3)	23.1 (20.1)	23.0 (20.0)	22.3 (19.3)	22.2 (19.3)	22.1 (19.1)	21.7 (18.8)	21.1 (18.2)	20.2 (17.3)	19.3 (16.3)
60	66560	23.2 (20.3)	23.0 (20.3)	22.9 (20.0)	22.2 (19.3)	22.1 (19.2)	22.0 (19.1)	21.7 (18.7)	21.0 (18.1)	20.1 (17.2)	19.2 (16.3)
100	39936	22.8 (20.0)	22.7 (19.9)	22.6 (19.7)	21.8 (18.9)	21.8 (18.9)	21.6 (18.8)	21.3 (18.3)	20.7 (17.8)	19.8 (16.9)	18.8 (15.9)
977	4096	21.3 (18.4)	21.1 (18.3)	21.0 (18.0)	20.2 (17.3)	20.1 (17.2)	20.0 (17.1)	19.6 (16.7)	18.9 (15.9)	18.0 (15.1)	17.1 (14.2)
1953	2048	20.8 (17.9)	20.6 (17.7)	20.5 (17.5)	19.7 (16.7)	19.7 (16.8)	19.5 (16.5)	19.2 (16.3)	18.4 (15.5)	17.6 (14.7)	16.6 (13.7)
3906	1024	20.4 (17.4)	20.2 (17.3)	20.1 (17.3)	19.3 (16.3)	19.2 (16.3)	19.1 (16.1)	18.7 (15.8)	18.0 (15.0)	17.1 (14.2)	16.1 (13.2)
15625	256	19.9 (16.9)	19.7 (16.7)	19.5 (16.6)	18.7 (15.7)	18.6 (15.7)	18.4 (15.5)	18.0 (15.1)	17.3 (14.3)	16.4 (13.5)	15.4 (12.5)
17857	224	19.7 (16.8)	19.5 (16.6)	19.3 (16.4)	18.5 (15.7)	18.3 (15.4)	18.0 (15.1)	17.5 (14.6)	16.8 (13.8)	16.0 (13.0)	15.2 (12.3)
31250	128	19.2 (16.3)	19.1 (16.2)	18.8 (16.0)	18.1 (15.2)	17.9 (15.0)	17.6 (14.7)	17.0 (13.9)	16.3 (13.5)	15.5 (12.6)	14.8 (11.8)
41667	96	19.0 (16.2)	18.9 (16.0)	18.6 (15.7)	17.8 (14.9)	17.7 (14.8)	17.3 (14.4)	16.8 (13.9)	16.0 (13.2)	15.3 (12.3)	14.5 (11.5)
62500	64	18.7 (15.8)	18.5 (15.7)	18.2 (15.3)	17.4 (14.5)	17.2 (14.4)	16.9 (14.0)	16.4 (13.5)	15.6 (12.8)	14.9 (11.9)	14.0 (11.2)
125000	32	16.3 (13.4)	16.2 (13.4)	16.2 (13.3)	15.9 (12.9)	15.9 (13.0)	15.7 (12.8)	15.4 (12.4)	14.7 (11.7)	13.9 (10.9)	13.0 (9.9)

有効分解能 = \log_2 (フルスケール電圧 / RMS ノイズ)

ノイズフリー分解能 = \log_2 (フルスケール電圧 / Peak-to-Peak ノイズ)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: 有効分解能[Bits]、(下段): ノイズフリー分解能[Bits]

表 2.87 24ビット Δ - Σ A/Dコンバータ特性(高耐圧入力)(1)条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = HVCOM = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
ゲイン		Gain	0.1			—	Gain = Gain _{Voltage-divider} × Gain _{PGA} Gain _{Voltage-divider} : Voltage-dividerの利得 Gain _{PGA} : PGAの利得
出力データレート		f _{DR}	3.8	—	125000	SPS	f _{MOD} = 4MHz
分解能(ノーマルモード)		—	24	—	—	ビット	
RMSノイズ		V _N	—	表 2.92 ~ 表 2.94	—	—	図 2.74 ~ 図 2.79
ノーマルモード 除去比	外部クロック、50 Hz、60 Hz	NMRR	120	—	—	dB	10 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz, 60±1 Hz
			75	—	—		54 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz, 60±1 Hz
	外部クロック、50 Hz		120	—	—		50 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz
	外部クロック、60 Hz		120	—	—		60 SPS, Sinc ⁴ +Sinc ⁴ 60±1 Hz
	内部クロック (HOCO)、 50 Hz、60 Hz		110	—	—		10 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz, 60±1 Hz
			70	—	—		54 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz, 60±1 Hz
	内部クロック (HOCO)、50 Hz		110	—	—		50 SPS, Sinc ⁴ +Sinc ⁴ 50±1 Hz
	内部クロック (HOCO)、60 Hz		110	—	—		60 SPS, Sinc ⁴ +Sinc ⁴ 60±1 Hz
断線検出アシスト電流		—	0.5, 2, 4, 20			μA	
モジュレータクロック		f _{MOD}	100	4000	4100	kHz	

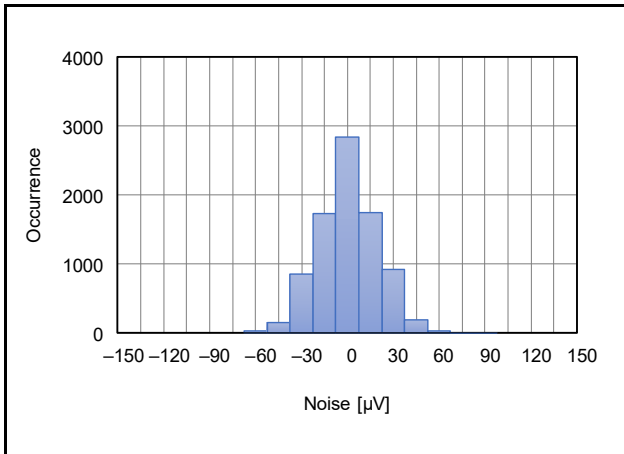


図 2.74 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 1 (PGA 無効、BUF 有効)、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 976.6\text{ SPS}$ 、Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

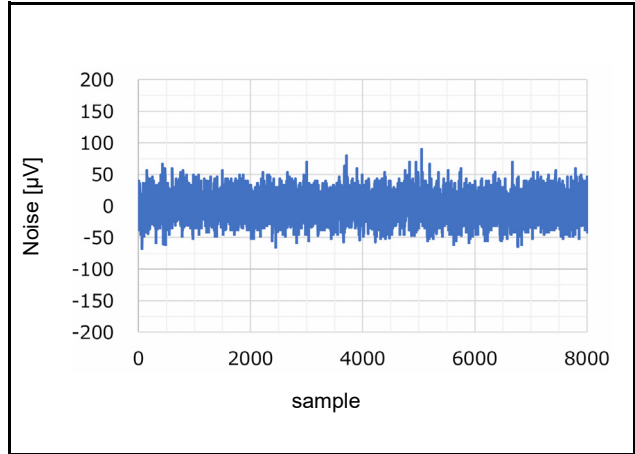


図 2.75 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 1 (PGA 無効、BUF 有効)、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 976.6\text{ SPS}$ 、Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

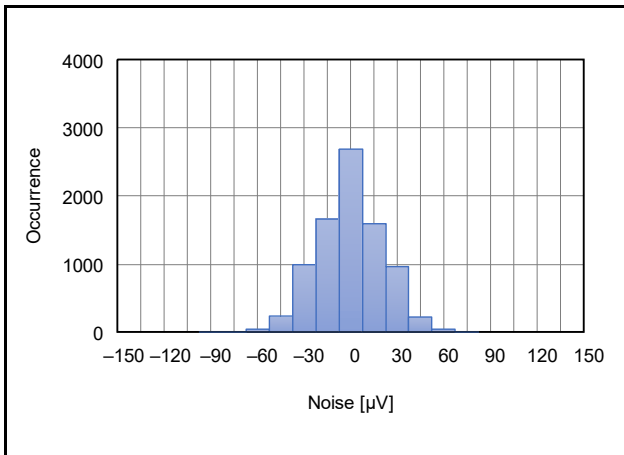


図 2.76 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 1 (PGA 有効、BUF 有効)、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 976.6\text{ SPS}$ 、Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

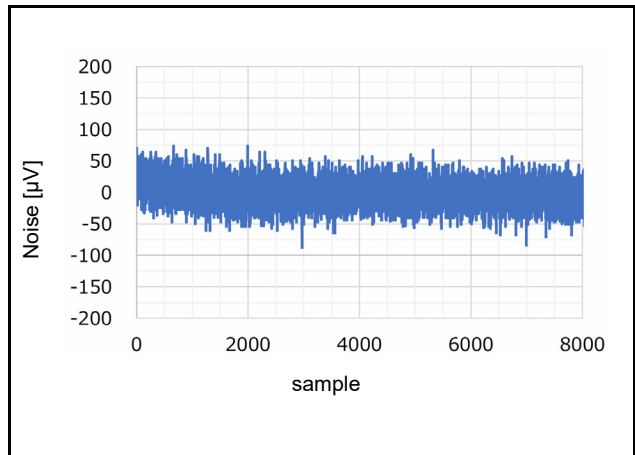


図 2.77 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、Gain = 1 (PGA 有効、BUF 有効)、 $f_{\text{MOD}} = 4\text{MHz}$ 、 $f_{\text{DR}} = 976.6\text{ SPS}$ 、Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

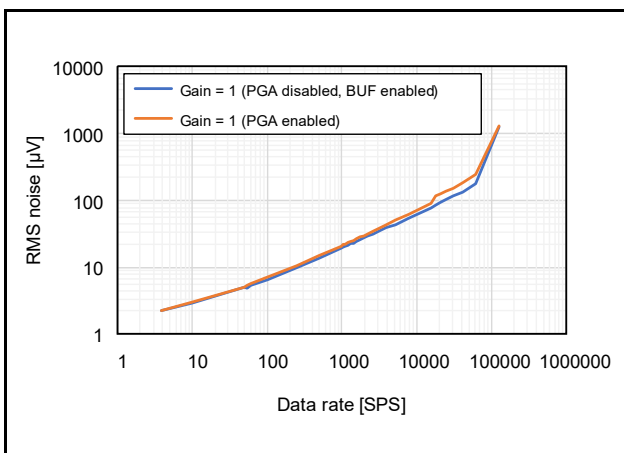


図 2.78 RMS ノイズのデータレート依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 4\text{MHz}$ 、Sinc⁴ フィルタまたは Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

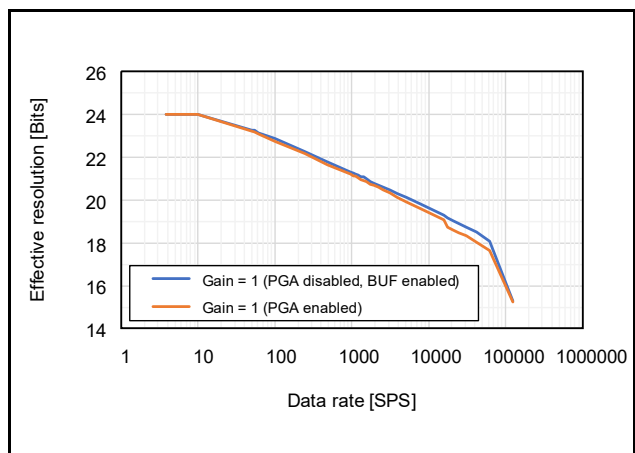


図 2.79 有効分解能のデータレート依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 4\text{MHz}$ 、Sinc⁴ フィルタまたは Sinc⁴+Sinc⁴ フィルタ、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ 、リファレンスバッファ無効)

表 2.88 24ビットΔ-Σ A/Dコンバータ特性(高耐圧入力)(2)

条件: $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = HVCOM = 0V$, $V_{REF} = 2.5V$, $f_{MOD} = 4MHz$, $OSR \geq 1024$
 $(Sinc^4+Sinc^4)$, $OSR \geq 8192$ ($Sinc^5+Sinc^1$), $T_a = -40 \sim +105^\circ C$, $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

項目		記号	min	typ	max	単位	測定条件
積分非直線性誤差	PGA有効、BUF有効	INL	—	±20	—	ppmFSR	図2.80
	PGA無効、BUF有効		—	±20	±80		
オフセット誤差	補正前	E _O	—	—	±50	mV	AVCC0 = 5.0V、 T _a = 25°C
	補正後		—	On the level of the noise	—		
オフセット ドリフト	PGA有効、BUF有効	dE _O	—	15	45	nV/°C	
	PGA無効、BUF有効		—	15	55		
ゲイン誤差	ゲイン誤差補正前	E _G	—	±0.8	±2.0	%	AVCC0 = 5.0V、 T _a = 25°C
	ゲイン誤差補正後		—	On the level of the noise	—		
ゲインドリフト	PGA有効、BUF有効	dE _G	—	3	15	ppm/°C	
	PGA無効、BUF有効		—	3	17		
電源電圧除去比	PGA有効、BUF有効	PSRR	—	50	—	dB	V _{ID} = 10V (DC)
	PGA無効、BUF有効		—	50	—		
同相信号除去比	PGA有効、BUF有効	CMRR	60	70	—	dB	V _{ID} = 10V (DC)
	PGA無効、BUF有効		55	65	—		

表 2.89 24ビットΔ-Σ A/Dコンバータ特性(高耐圧入力)(3)

条件: $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = HVCOM = 0V$, $V_{REF} = 2.5V$, $f_{MOD} = 4MHz$, $256 \leq OSR \leq 768$
 $(Sinc^4+Sinc^4)$, $256 \leq OSR \leq 7936$ ($Sinc^5+Sinc^1$), $T_a = -40 \sim +105^\circ C$, $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

項目		記号	min	typ	max	単位	測定条件
積分非直線性誤差	PGA有効、BUF有効	INL	—	±30	—	ppmFSR	
	PGA無効、BUF有効		—	±20	±80		
オフセット誤差	補正前	E _O	—	—	±50	mV	AVCC0 = 5.0V、 T _a = 25°C
	補正後		—	On the level of the noise	—		
オフセット ドリフト	PGA有効、BUF有効	dE _O	—	15	45	nV/°C	
	PGA無効、BUF有効		—	15	55		
ゲイン誤差	ゲイン誤差補正前	E _G	—	±0.8	±2.0	%	AVCC0 = 5.0V、 T _a = 25°C
	ゲイン誤差補正後		—	On the level of the noise	—		
ゲインドリフト	PGA有効、BUF有効	dE _G	—	6	25	ppm/°C	
	PGA無効、BUF有効		—	3	17		
電源電圧除去比	PGA有効、BUF有効	PSRR	—	50	—	dB	V _{ID} = 10V (DC)
	PGA無効、BUF有効		—	50	—		
同相信号除去比	PGA有効、BUF有効	CMRR	—	70	—	dB	V _{ID} = 10V (DC)
	PGA無効、BUF有効		55	65	—		

表 2.90 24ビット Δ - Σ A/Dコンバータ特性 (高耐圧入力) (4)

条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = HVCOM = 0V$, $V_{REF} = 2.5V$, $f_{MOD} = 4MHz$, $OSR \leq 224$
 ($Sinc^4+Sinc^4$, $Sinc^5+Sinc^1$), $T_a = -40 \sim +105^\circ C$, $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

項目		記号	min	typ	max	単位	測定条件
積分非直線性誤差	PGA有効、BUF有効	INL	—	± 70	—	ppmFSR	
	PGA無効、BUF有効		—	± 20	± 80		
オフセット誤差	補正前	E_O	—	—	± 50	mV	AVCC0 = 5.0V、 $T_a = 25^\circ C$
	補正後		—	On the level of the noise	—		
オフセットドリフト	PGA有効、BUF有効	dE_O	—	15	45	nV/ $^\circ C$	
	PGA無効、BUF有効		—	15	55		
ゲイン誤差	ゲイン誤差補正前	E_G	—	± 0.8	± 2.0	%	AVCC0 = 5.0V、 $T_a = 25^\circ C$
	ゲイン誤差補正後		—	On the level of the noise	—		
ゲインドリフト	PGA有効、BUF有効	dE_G	—	15	75	ppm/ $^\circ C$	
	PGA無効、BUF有効		—	3	17		
電源電圧除去比	PGA有効、BUF有効	PSRR	—	45	—	dB	$V_{ID} = 10V$ (DC)
	PGA無効、BUF有効		—	50	—		
同相信号除去比	PGA有効、BUF有効	CMRR	—	65	—	dB	$V_{ID} = 10V$ (DC)
	PGA無効、BUF有効		55	65	—		

表 2.91 24ビット Δ - Σ A/Dコンバータアナログ入力特性 (高耐圧入力) (5)

条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = HVCOM = 0V$, $V_{REF} = 2.5V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
差動電圧入力範囲	Gain = 0.1	V_{IDR}	-10	—	10	V	Specified Performance
			$-V_{REF}/Gain$ または -20 の大きい値	—	$+V_{REF}/Gain$ または +20 の小さい値	V	Functional $V_{REF} = V_{(VR0P)} - V_{(VR0N)}$
絶対入力電圧範囲		V_I	-10	—	10	V	
入力電流		I_{IB}	5	7	11	μA	図 2.81 $V_I = +10V$
			-17	-11	-8		$V_I = -10V$
入力電流ドリフト		dI_{IB}	—	0.7	2.3	pA/ $^\circ C$	
インピーダンス		—	0.9	1.4	2	M Ω	$V_I = +10V$
			0.6	0.9	1.25		$V_I = -10V$

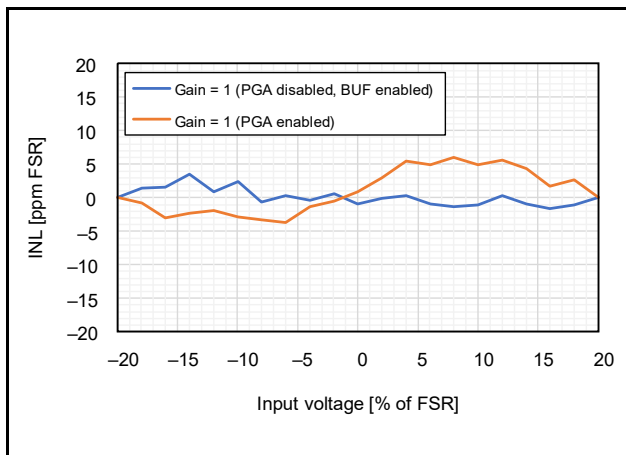


図 2.80 積分非直線性誤差の入力電圧依存性
($AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 4MHz$ 、
総合 $OSR = 4096$ 、 $V_{REF} = 2.5V$)

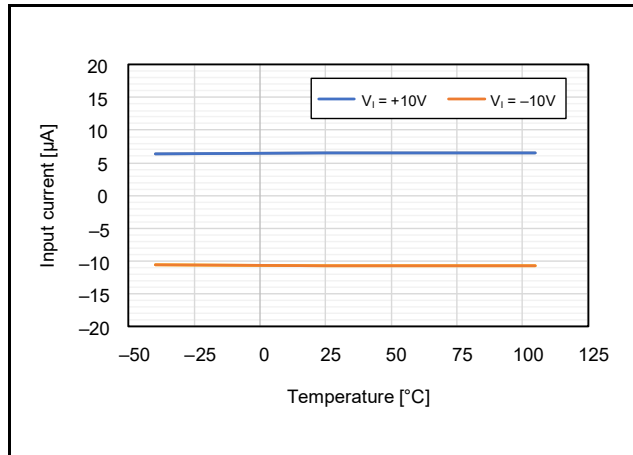


図 2.81 アナログ入力電流の温度依存性
($AVCC0 = 5.0V$ 、 $f_{MOD} = 4MHz$ 、総合 $OSR = 4096$)

表 2.92 標準ノイズ特性 (高耐圧入力)

条件 : $2.4V \leq VCC \leq 5.5V$ 、 $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 4MHz$ 、 $V_{ID} = 0V$ 、 $V_{REF} = 2.5V$ 、 $Sinc^4+Sinc^4$ 、 $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

f_{DR} (SPS)	OSR	Gain = 0.1 (BUF)	Gain = 0.1 (PGA)
3.814	1048576	2.285 (13.39)	2.173 (13.39)
10.003	399872	2.871 (19.78)	2.929 (17.31)
50.1	79872	4.815 (33.37)	5.029 (36.40)
54	73728	4.795 (35.52)	4.950 (35.52)
60	66560	5.151 (37.74)	5.404 (37.74)
100	39936	6.322 (48.54)	6.759 (48.54)
977	4096	18.29 (143.9)	19.53 (157.3)
1953	2048	25.45 (189.1)	27.80 (195.8)
3906	1024	36.36 (269.4)	40.47 (311.2)
15625	256	72.33 (547.2)	87.76 (676.0)
17857	224	81.57 (588.1)	110.7 (856.4)
31250	128	108.4 (809.9)	147.3 (1029)
41667	96	124.6 (909.7)	173.6 (1285)
62500	64	175.3 (1322)	233.3 (1760)
125000	32	1274 (8976)	1285 (9287)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: RMS ノイズ [μV_{RMS}]、(下段): Peak-to-Peak ノイズ [μV_{PP}]

表 2.93 有効分解能 (高耐圧入力)

条件 : $2.4V \leq VCC \leq 5.5V$ 、 $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 4MHz$ 、 $V_{ID} = 0V$ 、 $V_{REF} = 2.5V$ 、 $Sinc^4+Sinc^4$ 、 $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

f_{DR} (SPS)	OSR	Gain = 0.1 (BUF)	Gain = 0.1 (PGA)
3.814	1048576	24.0 (18.5)	24.0 (18.5)
10.003	399872	24.0 (17.9)	24.0 (18.1)
50.1	79872	23.3 (17.2)	23.2 (17.1)
54	73728	23.3 (17.1)	23.3 (17.1)
60	66560	23.2 (17.0)	23.1 (17.0)
100	39936	22.9 (16.7)	22.8 (16.7)
977	4096	21.4 (15.1)	21.3 (15.0)
1953	2048	20.9 (14.7)	20.8 (14.6)
3906	1024	20.4 (14.2)	20.2 (14.0)
15625	256	19.4 (13.2)	19.1 (12.9)
17857	224	19.2 (13.1)	18.8 (12.5)
31250	128	18.8 (12.6)	18.4 (12.2)
41667	96	18.6 (12.4)	18.1 (11.9)
62500	64	18.1 (11.9)	17.7 (11.5)
125000	32	15.3 (9.1)	15.2 (9.1)

有効分解能 = \log_2 (フルスケール電圧 /RMS ノイズ)

ノイズフリー分解能 = \log_2 (フルスケール電圧 /Peak-to-Peak ノイズ)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: 有効分解能[Bits]、(下段): ノイズフリー分解能[Bits]

表 2.94 標準ノイズ特性 (高耐圧入力)

条件 : $2.4V \leq VCC \leq 5.5V$ 、 $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 4MHz$ 、 $V_{ID} = 0V$ 、 $V_{REF} = 2.5V$ 、 $Sinc^5+Sinc^1$ 、 $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

f_{DR} (SPS)	OSR	Gain = 0.1 (BUF)	Gain = 0.1 (PGA)
3.814	1048576	2.656 (18.41)	2.791 (20.08)
10.003	399872	3.379 (24.13)	3.519 (24.13)
50.1	79872	6.349 (43.93)	6.763 (52.18)
54	73728	6.578 (50.57)	7.087 (47.59)
60	66560	7.099 (52.72)	7.519 (56.02)
100	39936	8.744 (63.15)	9.389 (68.66)
977	4096	25.69 (192.4)	29.47 (225.9)
1953	2048	35.69 (289.5)	40.31 (297.9)
3906	1024	47.88 (339.7)	55.15 (431.7)
15625	256	69.04 (513.7)	81.43 (622.5)
17857	224	77.43 (574.2)	103.7 (769.9)
31250	128	102.1 (801.6)	138.9 (1006)
41667	96	117.6 (914.9)	163.3 (1208)
62500	64	148.6 (1131)	208.7 (1504)
125000	32	648 (4767)	701 (5335)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: RMS ノイズ [μV_{RMS}]、(下段): Peak-to-Peak ノイズ [μV_{PP}]

表 2.95 有効分解能 (高耐圧入力)

条件 : $2.4V \leq VCC \leq 5.5V$ 、 $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 4MHz$ 、 $V_{ID} = 0V$ 、 $V_{REF} = 2.5V$ 、 $Sinc^5+Sinc^1$ 、 $DS0mISR.RSEL[1:0] = 00b$ ($m = 0 \sim 7$)

f_{DR} (SPS)	OSR	Gain = 0.1 (BUF)	Gain = 0.1 (PGA)
3.814	1048576	24.0 (18.1)	24.0 (17.9)
10.003	399872	23.8 (17.7)	23.8 (17.7)
50.1	79872	22.9 (16.8)	22.8 (16.5)
54	73728	22.9 (16.6)	22.8 (16.7)
60	66560	22.7 (16.5)	22.7 (16.4)
100	39936	22.4 (16.3)	22.3 (16.2)
977	4096	20.9 (14.7)	20.7 (14.4)
1953	2048	20.4 (14.1)	20.2 (14.0)
3906	1024	20.0 (13.8)	19.8 (13.5)
15625	256	19.5 (13.2)	19.2 (13.0)
17857	224	19.3 (13.1)	18.9 (12.7)
31250	128	18.9 (12.6)	18.5 (12.3)
41667	96	18.7 (12.4)	18.2 (12.0)
62500	64	18.4 (12.1)	17.9 (11.7)
125000	32	16.2 (10.0)	16.1 (9.9)

有効分解能 = \log_2 (フルスケール電圧 /RMS ノイズ)

ノイズフリー分解能 = \log_2 (フルスケール電圧 /Peak-to-Peak ノイズ)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: 有効分解能[Bits]、(下段): ノイズフリー分解能[Bits]

2.12 アナログフロントエンド特性

表2.96 基準電圧源特性

条件：1.8V ≤ VCC ≤ 5.5V, 4.5V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
出力電圧	V _{REFOUT}	—	2.5	—	V	図2.82	
初期精度	—	—	±0.04	±0.2	%	図2.83 T _a = 25°C	
温度ドリフト	—	—	8	30	ppm/°C	図2.82、図2.84 T _a = -40 ~ +85°C	
			—	10		30	T _a = -40 ~ +105°C
負荷電流	I _L	—	—	±10	mA		
ロードレギュレーション (40ピンHWQFN、48ピンLFQFP)	—	—	-35	-50	μV/mA	図2.85 I _L = 0 ~ +10mA	
			—	350		500	I _L = -10 ~ 0mA T _a = -40 ~ +85°C
			—	350		550	I _L = -10 ~ 0mA T _a = -40 ~ +105°C
ロードレギュレーション (64ピンLFQFP、80ピンLFQFP、 100ピンLFQFP、100ピンTFBGA)	—	—	-55	-70	μV/mA	図2.85 I _L = 0 ~ +10mA	
			—	350		500	I _L = -10 ~ 0mA T _a = -40 ~ +85°C
			—	350		550	I _L = -10 ~ 0mA T _a = -40 ~ +105°C
電源電圧除去比	PSRR	70	80	—	dB	DC	

表2.97 バイアス電圧生成回路特性

条件：1.8V ≤ VCC ≤ 5.5V, 4.5V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
出力電圧	V _{BIAS}	(AVCC0 + AVSS0)/2 - 0.02	(AVCC0 + AVSS0)/2	(AVCC0 + AVSS0)/2 + 0.02	V	
起動時間	t _{START}	—	—	20	μs/nF	

表2.98 温度センサ特性

条件：1.8V ≤ VCC ≤ 5.5V, 4.5V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
精度	—	—	—	±5	°C	図2.86
電圧感度係数	2次係数	TC _{SNS}	—	-6.37 × 10 ⁻¹³	—	°C/LSB ²
	1次係数		—	7.60 × 10 ⁻⁵	—	°C/LSB
	0次係数		—	-275.65	—	°C
出力コード	—	—	3E9464 (4101221)	—	—	

表 2.99 励起電流源特性

条件 : $1.8V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
出力電流	IEXC	50, 100, 250, 500, 750, 1000			μA	図 2.87
初期精度	—	—	± 1	± 5	%	図 2.88 $T_a = 25^\circ C$
温度ドリフト	—	—	25	60	ppm/ $^\circ C$	
電流マッチング	—	—	± 0.2	± 2.0	%	図 2.89、図 2.90 $T_a = 25^\circ C$
ドリフトマッチング	—	—	5	30	ppm/ $^\circ C$	IEXC0 と IEXC1 のマッチング
ラインレギュレーション	—	—	0.05	0.30	%/V	
ロードレギュレーション	—	—	0.1	0.5	%/V	
出力コンプライアンス電圧	V_{COMP}	$AVSS0 - 0.05$	—	$AVCC0 - 0.9$	V	図 2.91 出力電流誤差 = -2.0%

表 2.100 外部リファレンス入力特性

条件 : $2.4V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
差動入力電圧範囲	V_{REF}	1	2.5	$AVCC0$	V	$V_{REF} = V_{(VR0P)} - V_{(VR0N)}$	
絶対入力電圧範囲	リファレンスバッファ無効	$V_{(REF0P)}$, $V_{(REF1P)}$, $V_{(REF0N)}$, $V_{(REF1N)}$	$AVSS0$	—	$AVCC0$	V	Specified Performance
	リファレンスバッファ有効		$AVSS0 - 0.05$	—	$AVCC0 + 0.05$		Functional
	リファレンスバッファ有効		$AVSS0 + 0.2$	—	$AVCC0 - 0.2$		
入力電流	リファレンスバッファ無効、PGA Gain = 1	I_b	—	65	90	$\mu A/V$	図 2.92 $T_a = 25^\circ C$
	リファレンスバッファ無効、PGA Gain ≥ 2		—	40	50	$\mu A/V$	
	リファレンスバッファ有効		—	± 15	± 40	nA	図 2.93 $T_a = 25^\circ C$
入力電流ドリフト	リファレンスバッファ無効、PGA Gain = 1	dI_b	—	9	30	nA/ $^\circ C$	$T_a = -40 \sim +105^\circ C$
	リファレンスバッファ無効、PGA Gain ≥ 2		—	5.5	20	nA/ $^\circ C$	$T_a = -40 \sim +105^\circ C$
	リファレンスバッファ有効		—	150	550	pA/ $^\circ C$	$T_a = -40 \sim +105^\circ C$
同相信号除去比	リファレンスバッファ無効	CMRR	85	95	—	dB	$V_{ID} = 1V (DC)$
	リファレンスバッファ有効		75	90	—		

表 2.101 ローサイドスイッチ特性

条件：1.8V ≤ VCC ≤ 5.5V, 4.5V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
オン抵抗	R _{ON}	—	—	10	Ω	
オフリーク電流	I _{lkg}	—	—	0.1	μA	
許容電流	I _{LIMIT}	—	—	30	mA	

表 2.102 低電源電圧検出回路特性

条件：1.8V ≤ VCC ≤ 5.5V, 1.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
検出電圧 (LVDET0)	DET0LVL = 0	V _{DET0}	1.83	2.00	2.17	V	AVCC0立ち下がり時
	DET0LVL = 1		1.70	1.86	2.02		
不感応時間 (LVDET0)	t _{DET0}	—	—	20	μs		
検出電圧 (LVDET1)	DET1LVL[1:0] = 00b	V _{DET1}	3.50	3.80	4.10	V	AVCC0立ち下がり時
不感応時間 (LVDET1)	t _{DET1}	—	—	20	μs		

表 2.103 入力電圧異常検出回路特性

条件：1.8V ≤ VCC ≤ 5.5V, 4.5V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
アナログ入力上限検出電圧	V _{IDETH}	AVCC0 +0.05	AVCC0 +0.2	—	V	
アナログ入力下限検出電圧	V _{IDETL}	—	AVSS0 -0.2	AVSS0 -0.05	V	
不感応時間	t _{IDET}	—	—	20	μs	

表 2.104 基準電圧異常検出回路特性

条件：1.8V ≤ VCC ≤ 5.5V, 4.5V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
外部基準電圧検出電位差	V _{RDET}	0.65	0.85	1.05	V	
外部基準電圧上限検出電圧	V _{RDETH}	AVCC0 -0.7	AVCC0 -0.4	—	V	
外部基準電圧下限検出電圧	V _{RDETL}	—	AVSS0 +0.4	AVSS0 +0.7	V	
不感応時間	t _{RDET}	—	—	20	μs	

表 2.105 励起電流源断線検出回路特性

条件：1.8V ≤ VCC ≤ 5.5V, 4.5V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
励起電流源断線検出電圧	V _{IEXCDET}	AVCC0 - 0.35	AVCC0 - 0.06	—	V	
不感応時間	t _{IEXCDET}	—	—	20	μs	

表 2.106 高電圧アナログコモン入力断線検出回路特性

条件 : $1.8V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = HVCOM = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
高電圧アナログコモン入力上限検出電圧	$V_{HVCOMDETH}$	AVSS0 +0.05	AVSS0 +0.2	AVSS0 +0.4	V	
高電圧アナログコモン入力下限検出電圧	$V_{HVCOMDETL}$	AVSS0 -0.4	AVSS0 -0.2	AVSS0 -0.05	V	
不感応時間	$t_{HVCOMDET}$	—	—	20	μs	

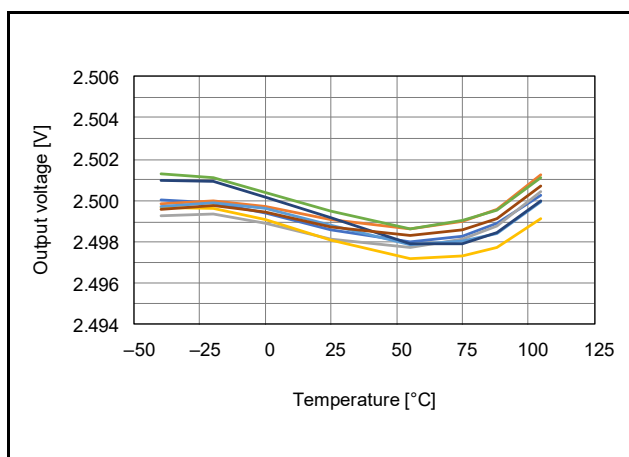


図 2.82 基準電圧源出力電圧の温度依存性 (AVCC0 = 5.0V)

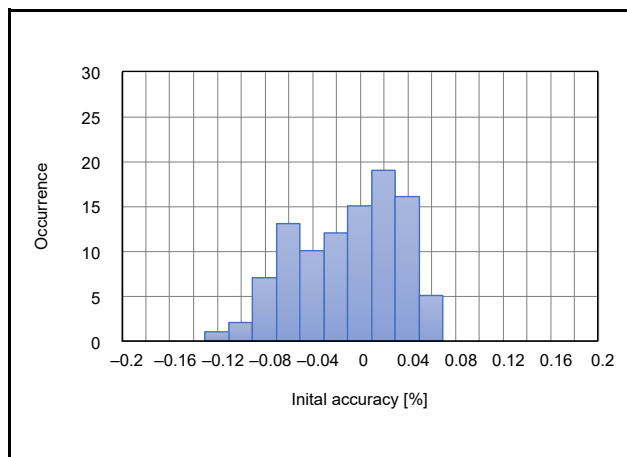


図 2.83 基準電圧源初期精度 (AVCC0 = 5.0V)

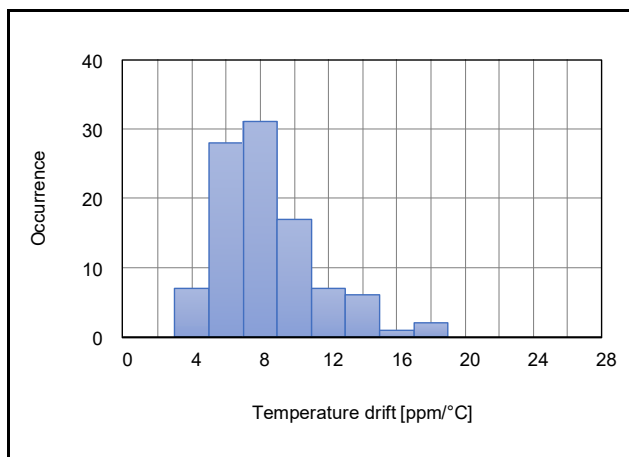


図 2.84 基準電圧源温度ドリフト (AVCC0 = 5.0V)

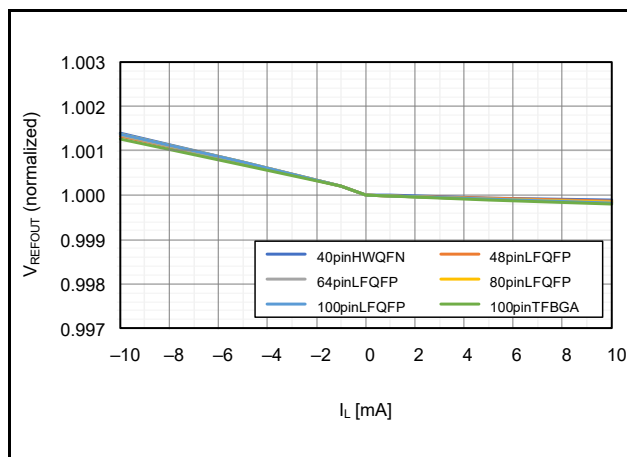


図 2.85 基準電圧源ロードレギュレーション (AVCC0 = 5V、 $T_a = 25^\circ\text{C}$)

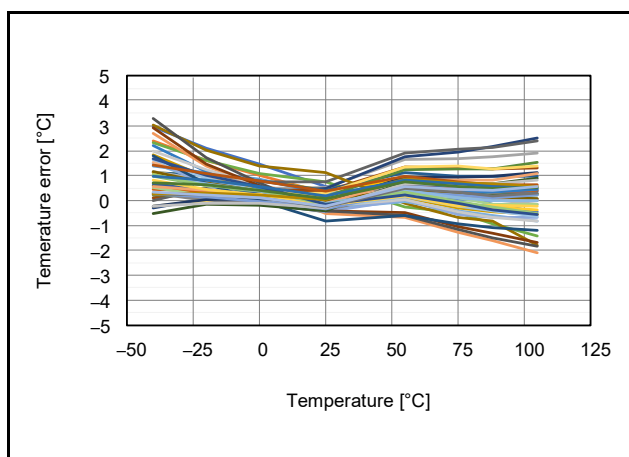


図 2.86 温度センサ精度 (AVCC0 = 5.0V)

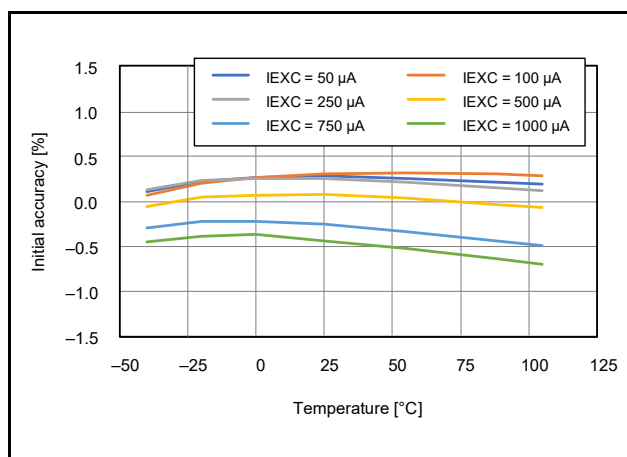


図 2.87 励起電流源出力電流の温度依存性 (AVCC0 = 5.0V)

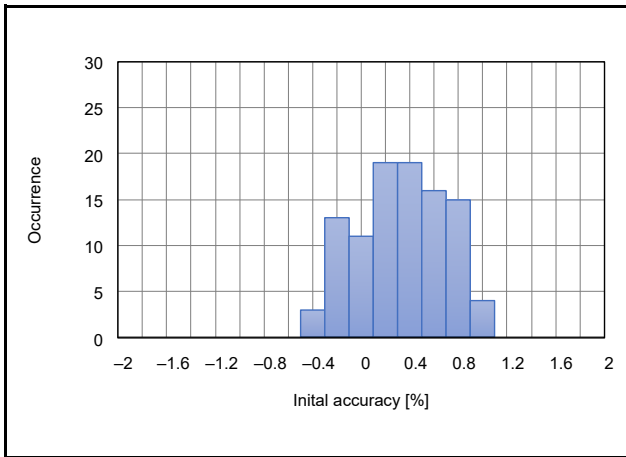


図 2.88 励起電流源出力電流初期精度 (AVCC0 = 5.0V)

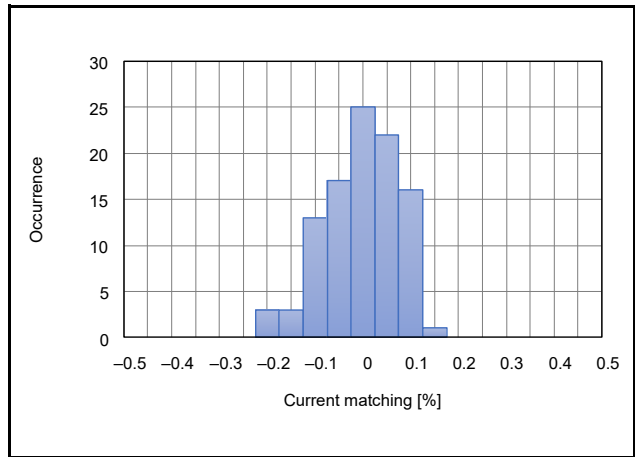


図 2.89 励起電流源出力電流マッチング (AVCC0 = 5.0V、I_{EXC} = 250 μA)

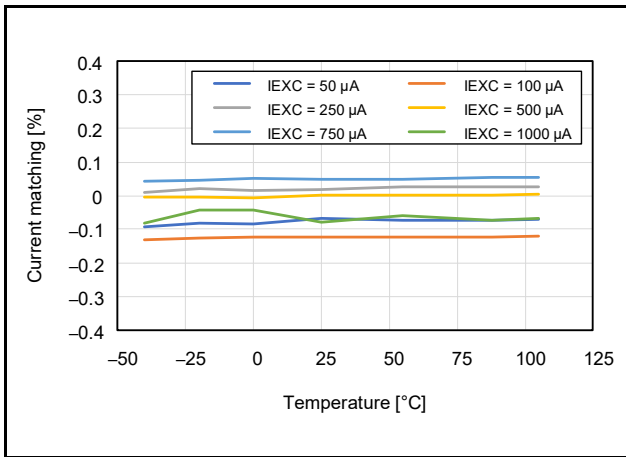


図 2.90 励起電流源出力電流マッチングの温度依存性 (AVCC0 = 5.0V)

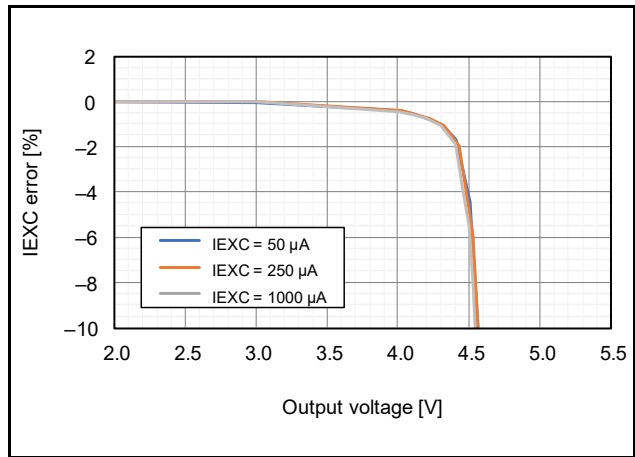


図 2.91 励起電流源出力コンプライアンス電圧 (AVCC0 = 5.0V、T_a = 25°C)

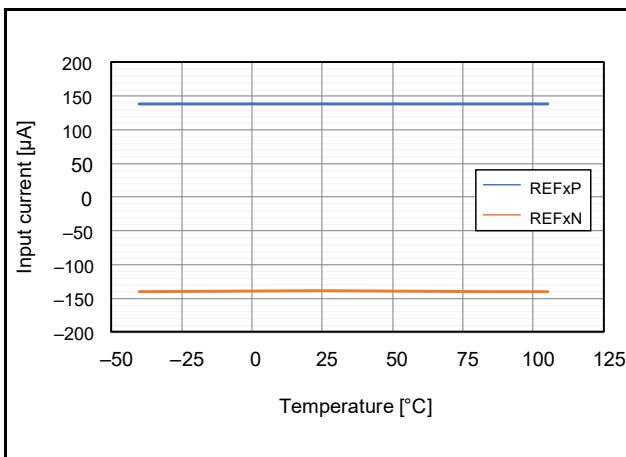


図 2.92 外部リファレンス入力電流の温度依存性 (AVCC0 = 5.0V、V_{REF} = 2.5V、リファレンスバッファ無効)

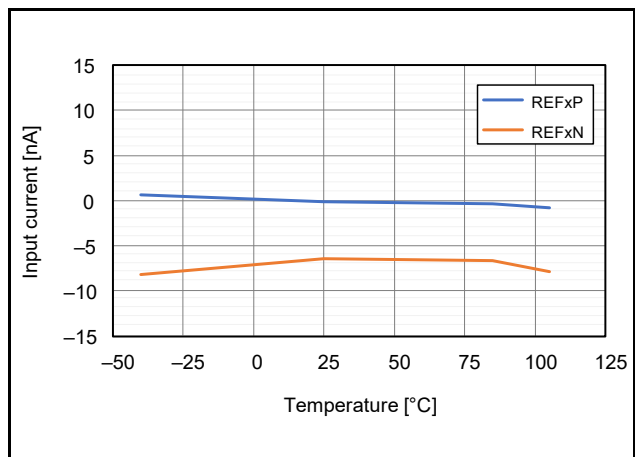


図 2.93 外部リファレンス入力電流の温度依存性 (AVCC0 = 5.0V、リファレンスバッファ有効)

2.13 12ビットA/Dコンバータ特性

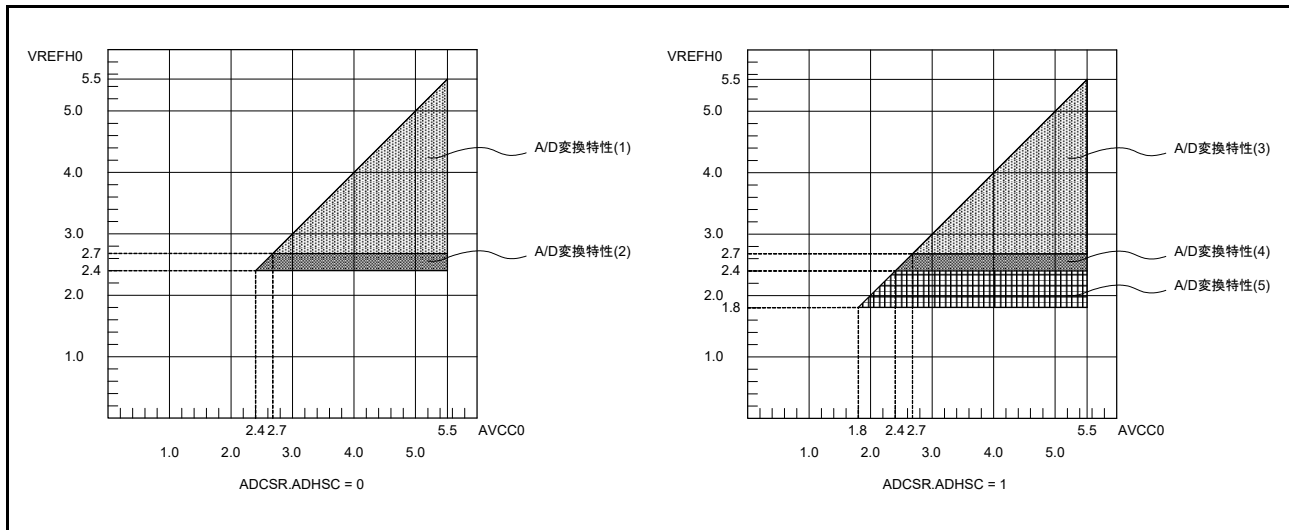


図 2.94 AVCC0-VREFH0 電圧範囲

表 2.107 12ビットA/Dコンバータ特性(1)

条件：2.7V ≤ VCC ≤ 5.5V、2.7V ≤ AVCC0 ≤ 5.5V、2.7V ≤ VREFH0 ≤ AVCC0、VREFH0を基準電圧にしたとき、
VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 、
信号源インピーダンス = 0.3kΩ

項目	min	typ	max	単位	測定条件
周波数	1	—	32	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 32MHz時)	1.41 (0.406)(注2)	—	—	μs	ADCSR.ADHSCビット=0 ADSSTRn = 0Dh
アナログ入力容量	Cs	—	g(注3)	pF	
アナログ入力抵抗	Rs	—	4.5(注3)	kΩ	
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±0.5	±4.5	LSB	
フルスケール誤差	—	±0.75	±4.50	LSB	
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±1.25	±5.00	LSB	
DNL 微分非直線性誤差	—	±1.0	—	LSB	
INL 積分非直線性誤差	—	±1.0	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.108 12ビット A/D コンバータ特性(2)

条件： $2.4V \leq VCC \leq 5.5V$ 、 $2.4V \leq AVCC0 \leq 5.5V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、
 信号源インピーダンス = 1.3k Ω

項目	min	typ	max	単位	測定条件
周波数	1	—	16	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 16MHz時)	2.82 (0.813)(注2)	—	—	μs	ADCSR.ADHSCビット=0 ADSSTRn = 0Dh
アナログ入力容量	Cs	—	—	g(注3)	pF
アナログ入力抵抗	Rs	—	—	4.5(注3)	k Ω
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	± 0.5	± 4.5	LSB	
フルスケール誤差	—	± 0.75	± 4.50	LSB	
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 1.25	± 5.00	LSB	
DNL 微分非直線性誤差	—	± 1.0	—	LSB	
INL 積分非直線性誤差	—	± 1.0	± 4.5	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.109 12ビット A/D コンバータ特性(3)

条件： $2.7V \leq VCC \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、
 信号源インピーダンス = 1.1k Ω

項目	min	typ	max	単位	測定条件
周波数	1	—	27	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 27MHz時)	3 (1.481)(注2)	—	—	μs	ADCSR.ADHSCビット=1 ADSSTRn = 28h
アナログ入力容量	Cs	—	—	g(注3)	pF
アナログ入力抵抗	Rs	—	—	4.5(注3)	k Ω
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	± 0.5	± 4.5	LSB	
フルスケール誤差	—	± 0.75	± 4.50	LSB	
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 1.25	± 5.00	LSB	
DNL 微分非直線性誤差	—	± 1.0	—	LSB	
INL 積分非直線性誤差	—	± 1.0	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.110 12ビット A/D コンバータ 特性 (4)

条件: $2.4V \leq VCC \leq 5.5V$ 、 $2.4V \leq AVCC0 \leq 5.5V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、
 信号源インピーダンス = 2.2k Ω

項目	min	typ	max	単位	測定条件
周波数	1	—	16	MHz	
分解能	—	—	12	ビット	
変換時間 (注1) (PCLKD = 16MHz時)	5.06 (2.5) (注2)	—	—	μs	ADCSR.ADHSC ビット = 1 ADSSTRn = 28h
アナログ入力容量	Cs	—	g (注3)	pF	
アナログ入力抵抗	Rs	—	4.5 (注3)	k Ω	
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	± 0.5	± 4.5	LSB	
フルスケール誤差	—	± 0.75	± 4.50	LSB	
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 1.25	± 5.00	LSB	
DNL 微分非直線性誤差	—	± 1.0	—	LSB	
INL 積分非直線性誤差	—	± 1.0	± 3.0	LSB	

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.111 12ビット A/D コンバータ 特性 (5)

条件: $1.8V \leq VCC \leq 5.5V$ 、 $1.8V \leq AVCC0 \leq 5.5V$ 、 $1.8V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、
 信号源インピーダンス = 5k Ω

項目	min	typ	max	単位	測定条件
周波数	1	—	8	MHz	
分解能	—	—	12	ビット	
変換時間 (注1) (PCLKD = 8MHz時)	10.13 (5.0) (注2)	—	—	μs	ADCSR.ADHSC ビット = 1 ADSSTRn = 28h
アナログ入力容量	Cs	—	g (注3)	pF	
アナログ入力抵抗	Rs	—	6 (注3)	k Ω	
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	± 1.0	± 7.5	LSB	
フルスケール誤差	—	± 1.5	± 7.5	LSB	
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 3.0	± 8.0	LSB	
DNL 微分非直線性誤差	—	± 1.0	—	LSB	
INL 積分非直線性誤差	—	± 1.25	± 3.00	LSB	

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.112 12ビットA/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
アナログ入力チャンネル	AN000～AN007	AVCC0 = 1.8～5.5V	

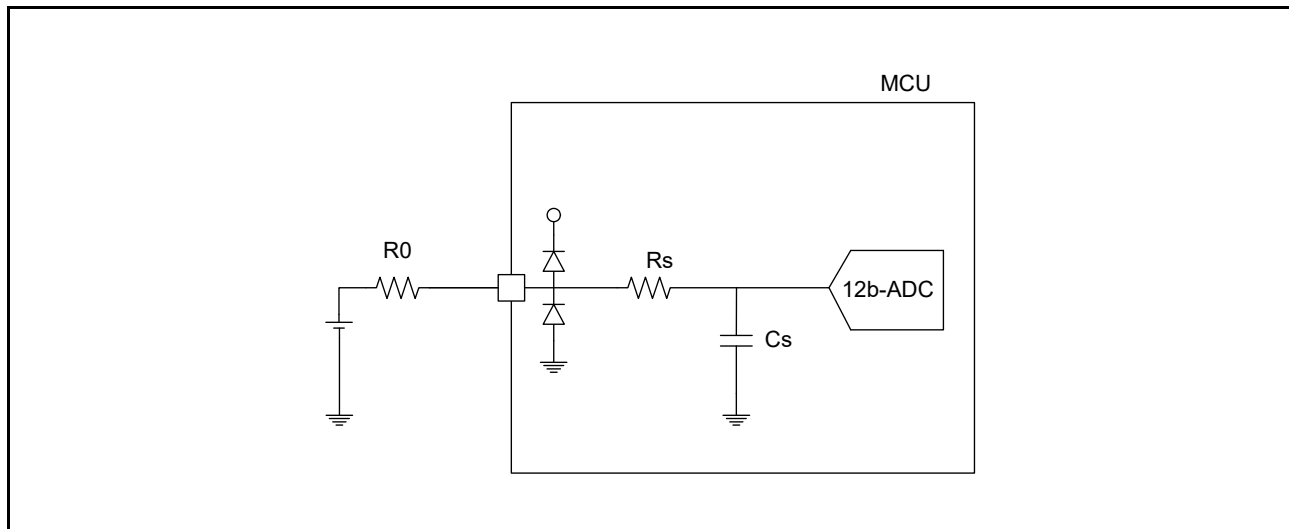


図 2.95 等価回路

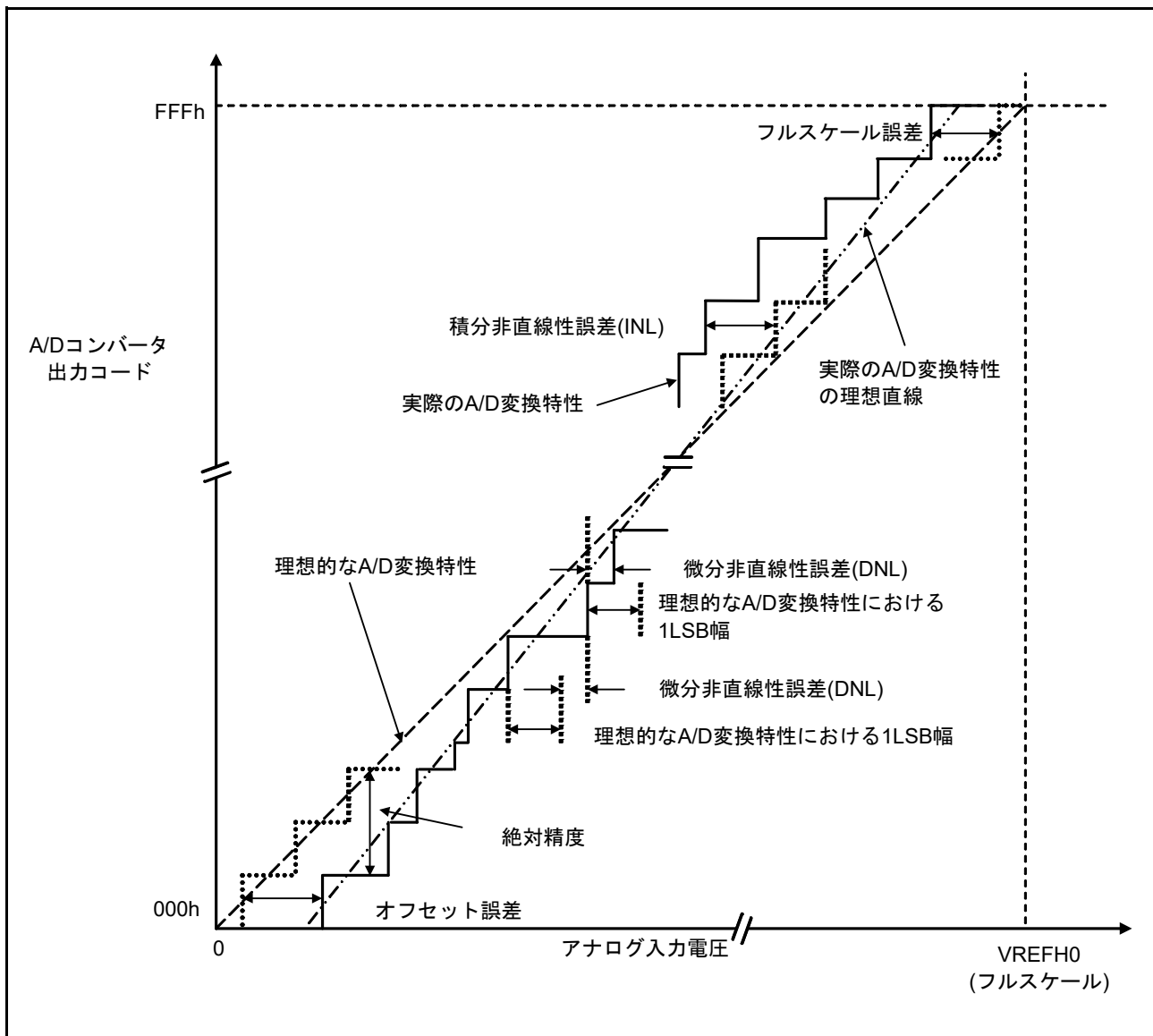


図 2.96 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば分解能 12 ビット、基準電圧 ($V_{REFH0} = 3.072V$) の場合、1LSB 幅は $0.75mV$ で、アナログ入力電圧には $0mV$ 、 $0.75mV$ 、 $1.5mV$... を使用します。

絶対精度 $\pm 5LSB$ とは、アナログ入力電圧が $6mV$ の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.14 16 ビット D/A コンバータ特性

表 2.113 D/A 変換特性

条件 : $1.8V \leq VCC \leq 5.5V$, $4.5V \leq AVCC0 \leq 5.5V$, $VSS = AVSS = 0V$, $VREFH \geq 2.5V$, $VREFL = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
分解能		—	—	—	16	ビット	
積分非直線性誤差 (注1)		INL	—	± 2	± 5	LSB	図 2.97 $VREFH \geq 4.5V$
			—	± 4	± 8		$2.5V \leq VREFH < 4.5V$
微分非直線性誤差 (注1)		DNL	—	± 0.5	± 1	LSB	図 2.98 $VREFH \geq 4.5V$
			—	± 1	± 2		$2.5V \leq VREFH < 4.5V$
オフセットエラー	センターコード	E_O	—	± 1	± 7	mV	図 2.99 $VREFH \geq 4.5V$
			—	± 2	± 7		$2.5V \leq VREFH < 4.5V$
オフセットエラー ドリフト	センターコード	dE_O	—	3	12	$\mu V/^\circ C$	図 2.99
ゲインエラー (注1)		E_G	—	± 0.5	± 1	%FSR	図 2.100
ゲインエラードリフト (注1)		dE_G	—	1	5	ppm/ $^\circ C$	図 2.100 $VREFH \geq 4.5V$
			—	2	10		$2.5V \leq VREFH < 4.5V$
電源電圧除去比	センターコード	PSRR	—	-70	-60	dB	DC
出力電圧範囲		V_O	0	—	AVCC0	V	
負荷容量		CL	—	—	90	pF	
負荷抵抗		RL	10	—	—	k Ω	
セトリング時間		t_{DCCONV}	—	10 + 1CLKB	15.5 + 1CLKB	μs	1/4 コード \leftrightarrow 3/4 コード遷移、 $\pm 2LSB$
スルーレート		—	0.25	0.5	—	V/ μs	$V_O : 0.2V \leftrightarrow$ AVCC0-0.2V 遷移 振幅 10%-90% の 変化
バッファ準備期間		$t_{startup}$	24	—	—	μs	
出力ノイズ密度	センターコード	—	—	85	125	nV \sqrt{Hz}	10kHz
出力積算ノイズ	センターコード	—	—	15	25	μV_{pp}	0.1Hz-10Hz
出力インピーダンス	センターコード	—	—	0.5	—	Ω	
リファレンス電圧範囲	特性保証範囲	VREF	2.5	—	AVCC0	V	VREF = VREFH- VREFL
	機能保証範囲		2.4	—	AVCC0		
リファレンス入インピーダンス		—	30	50	—	k Ω	

注1. 特性保証出力電圧範囲は $0.2V \leq V_O \leq AVCC-0.2V$

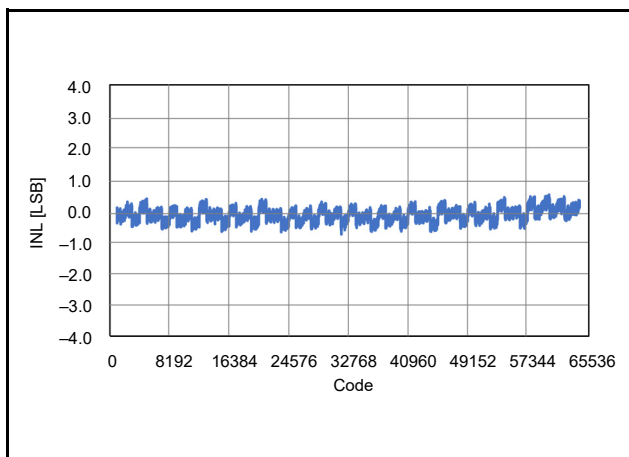


図 2.97 積分非直線性誤差のコード依存性
(AVCC0 = 5V, VREFH = 5V, $T_a = 25^\circ\text{C}$)

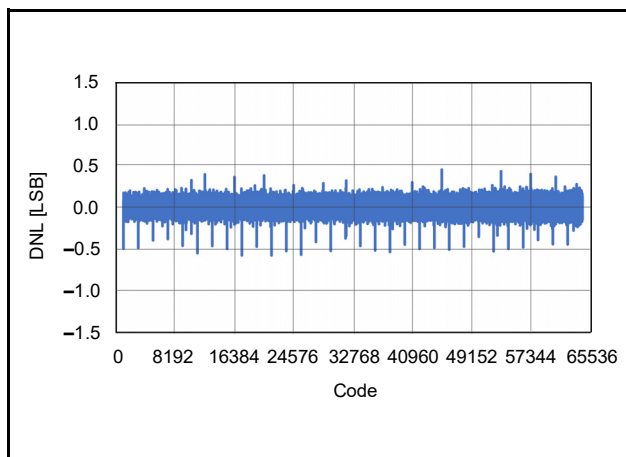


図 2.98 微分非直線性誤差のコード依存性
(AVCC0 = 5V, VREFH = 5V, $T_a = 25^\circ\text{C}$)

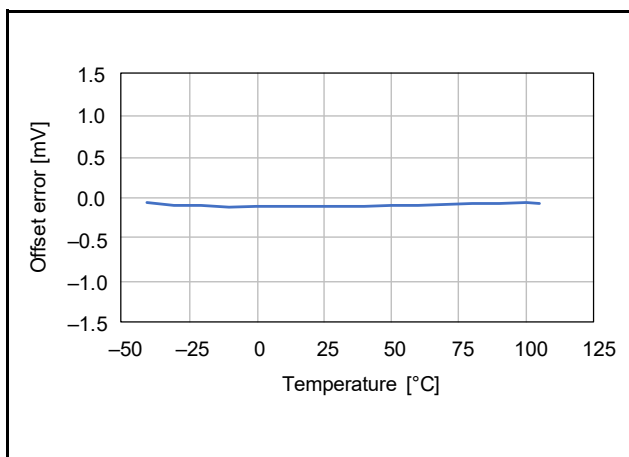


図 2.99 オフセットエラーの温度依存性
(AVCC0 = 5V, VREFH = 5V)

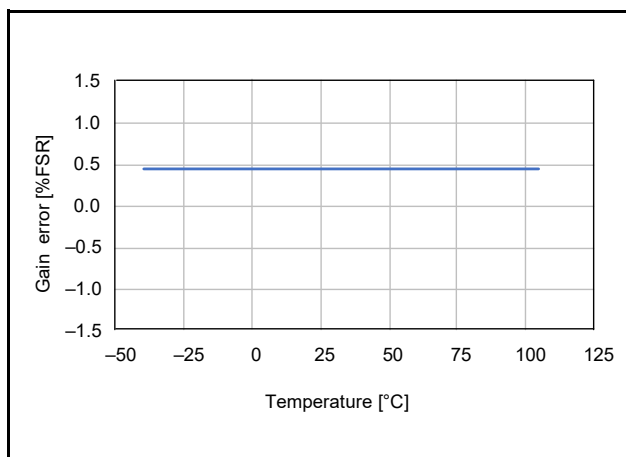


図 2.100 ゲインエラーの温度依存性
(AVCC0 = 5V, VREFH = 5V)

2.15 使用上の注意事項

2.15.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサ接続方法を図 2.101 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μ F (推奨値) を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「35. アナログフロントエンド (AFE)」、「37. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

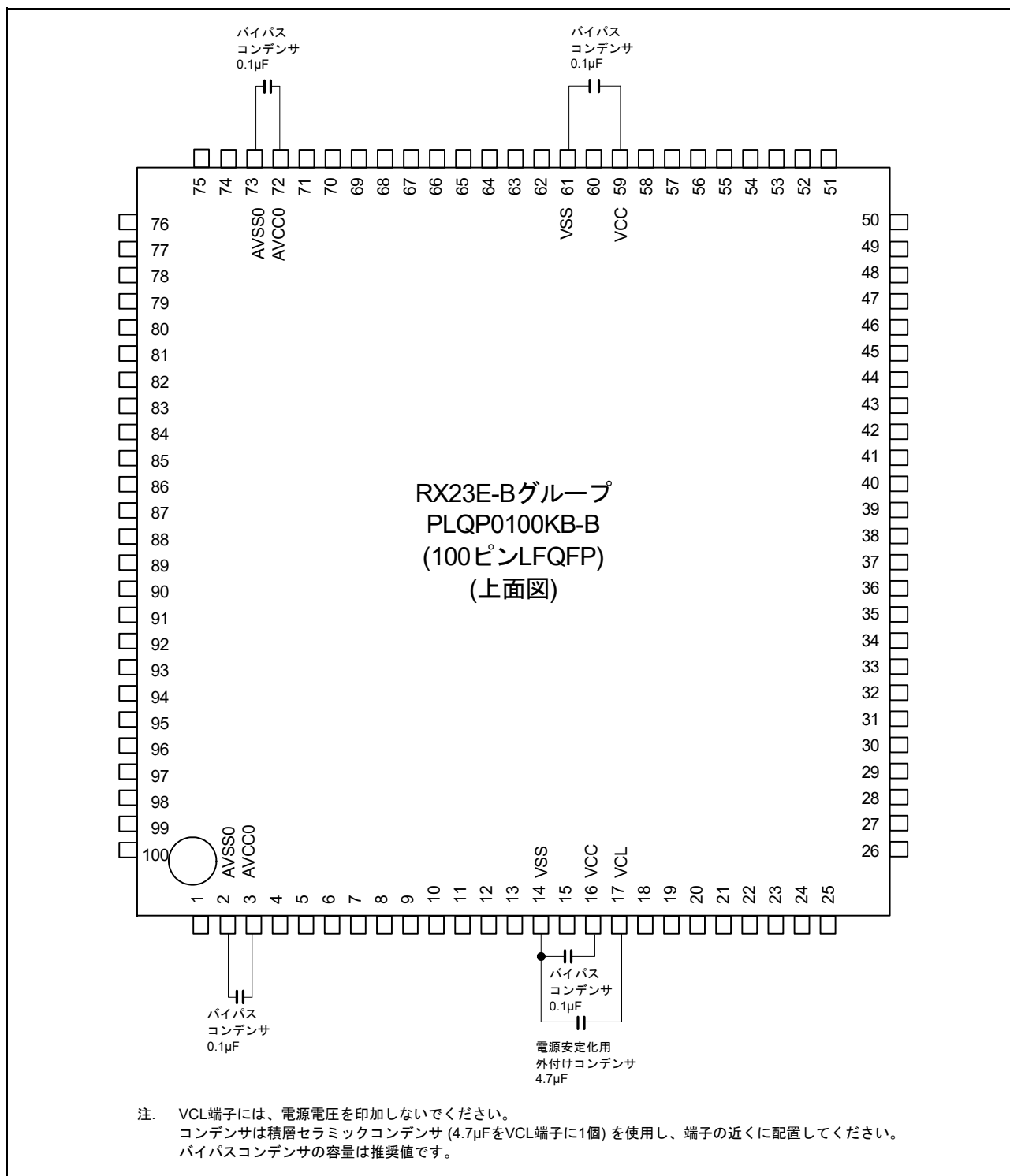


図 2.101 コンデンサ接続方法 (100ピン)

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

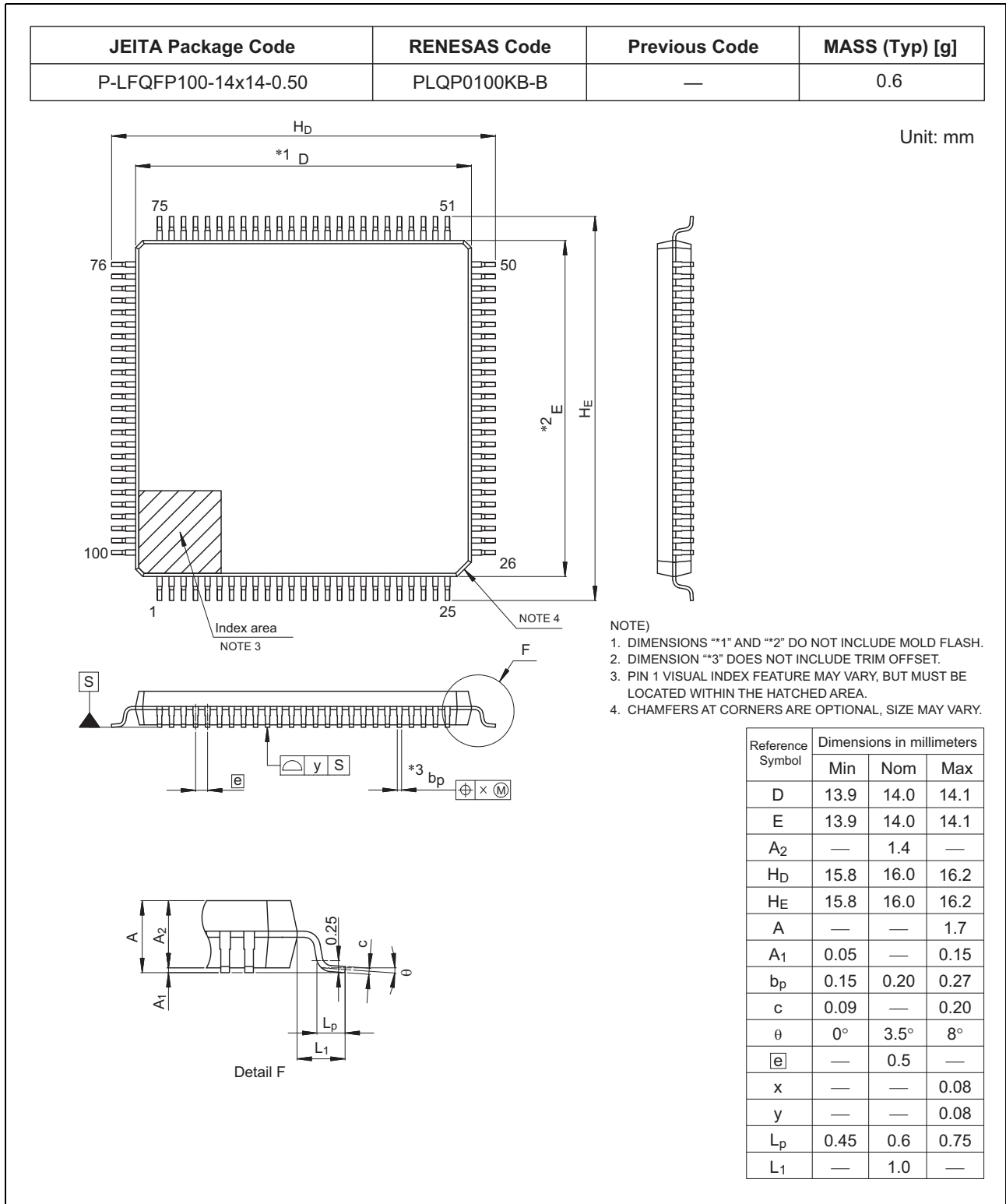


図 A. 100ピン LFQFP (PLQP0100KB-B)

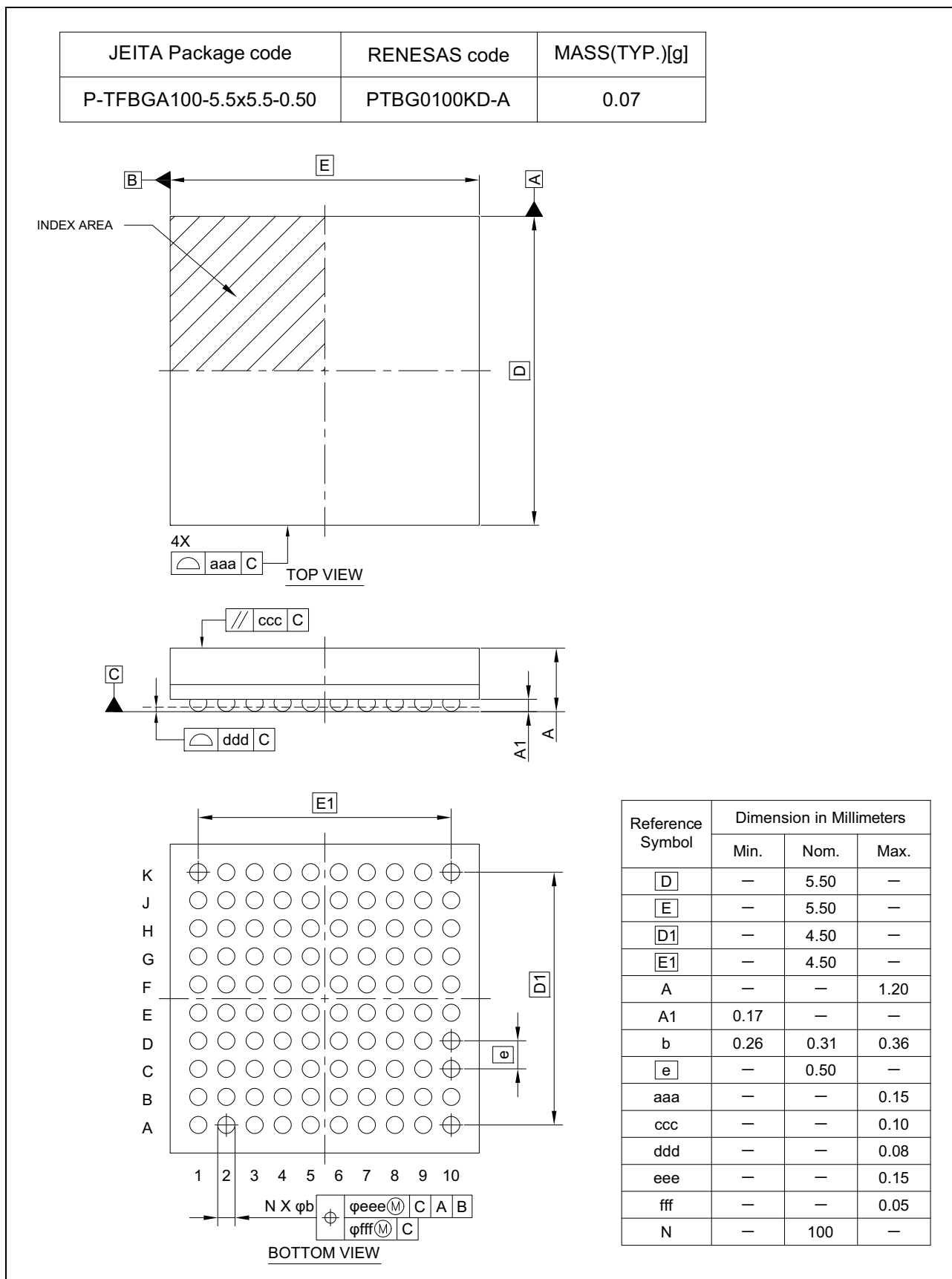
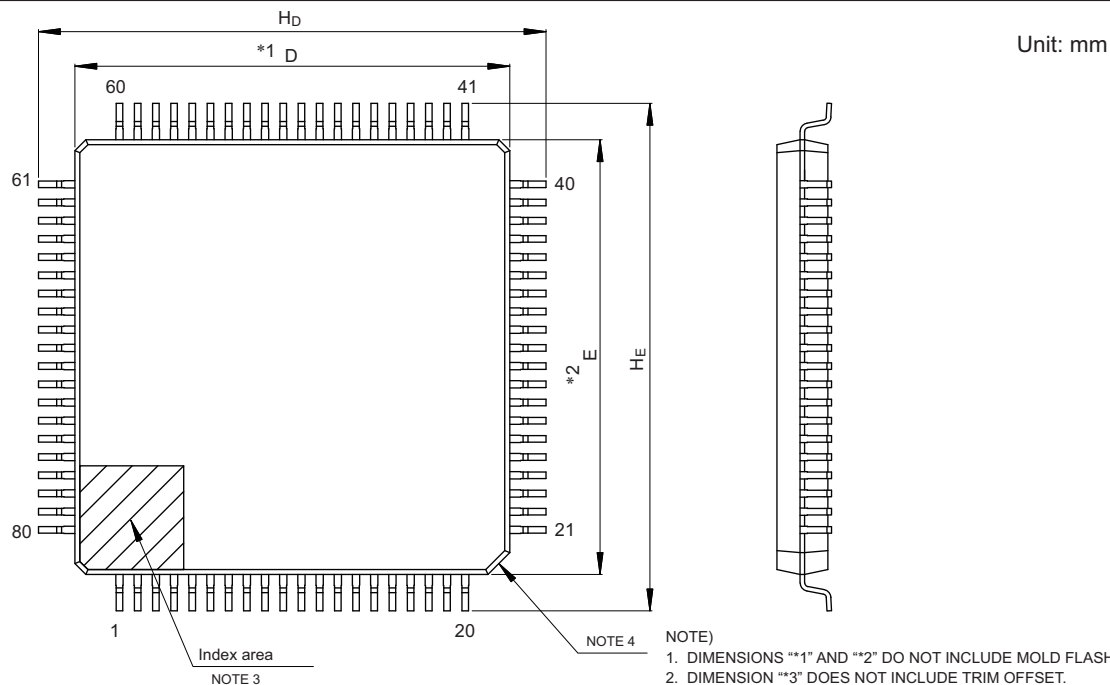
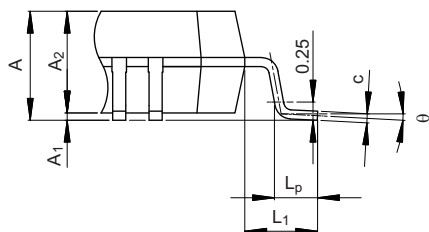
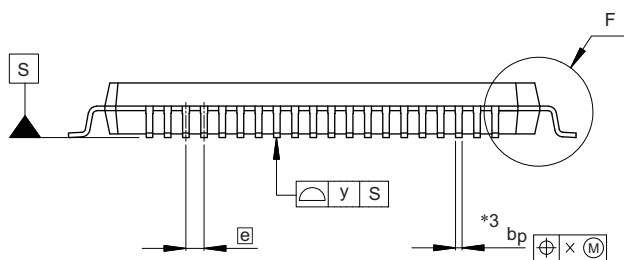


図 B. 100ピンTFBGA (PTBG0100KD-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS "**1" AND "**2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION "**3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

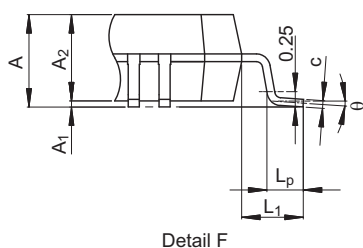
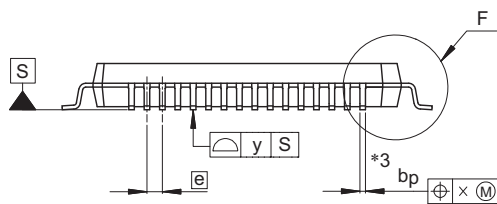
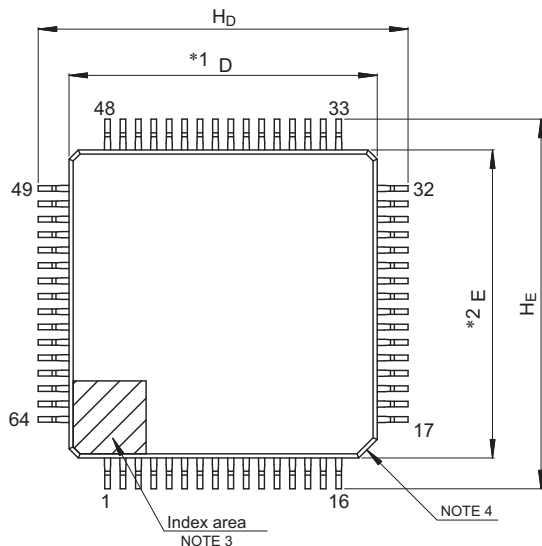


Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

☒ C. 80ピン LFQFP (PLQP0080KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm

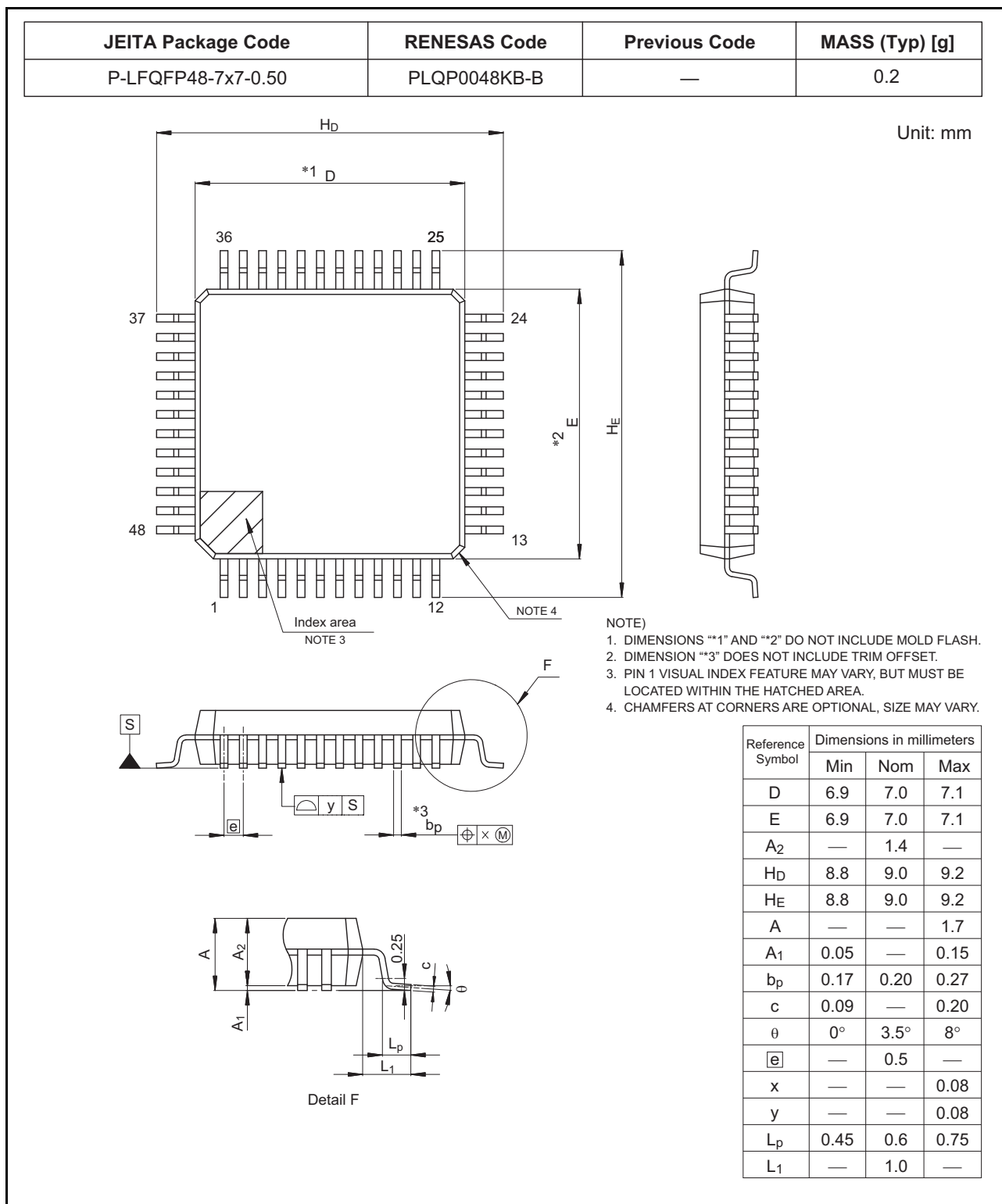


NOTE)

1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

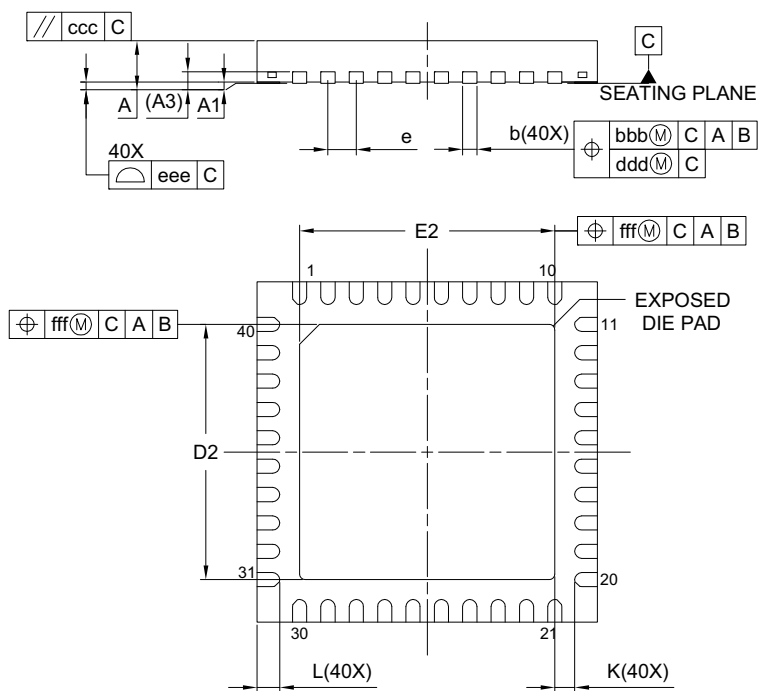
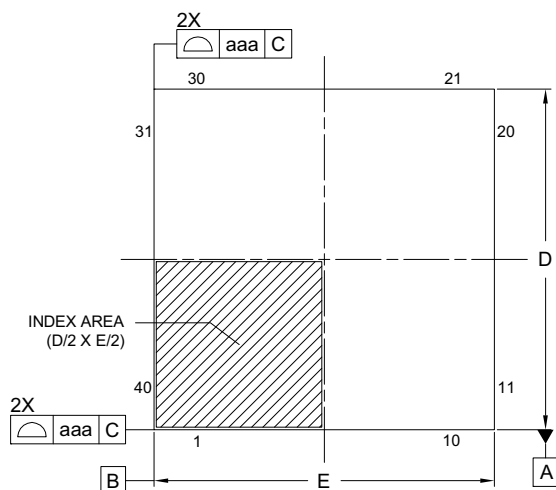
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 D. 64 ピン LFQFP (PLQP0064KB-C)



☒ E. 48ピンLFQFP (PLQP0048KB-B)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.45	4.50	4.55
E ₂	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 F. 40ピン HWQFN (PWQN0040KD-A)

改訂記録	RX23E-B グループ データシート
------	---------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2023.08.31	—	初版発行	

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash® は、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。