

RX23Wグループ

ルネサスマイクロコンピュータ

R01DS0342JJ0110

Rev.1.10

2021.03.30

54MHz、32ビットRX MCU、FPU内蔵、88.56 DMIPS、最大512Kバイトフラッシュメモリ、Bluetooth® 5.0、USB2.0 フルスピードホスト/ファンクション/OTG、CAN、SDホストインタフェース、シリアルサウンドインタフェースなどの多種多様な通信機能、静電容量式タッチセンサ、12ビットA/Dコンバータ、12ビットD/Aコンバータ、RTC、暗号機能

特長

■ 32ビットRXv2 CPU コア内蔵

- 最大動作周波数 54MHz
88.56 DMIPS の性能 (54MHz 動作時)
- DSP 強化: 32 ビット積和、16 ビット積差命令に対応
- FPU 搭載: 32 ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速 2 クロックで実行)
- 高速割り込み
- 5 段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■ 消費電力低減機能

- 1.8V ~ 3.6V 動作の単一電源
- バッテリバックアップ専用電源で動作可能な RTC
- 3 種類の低消費電力モード
- ソフトウェアスタンバイ中も動作する LPT (ローパワータイマ)

■ 内蔵コードフラッシュメモリ

- 384K ~ 512K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み
- 1.8V で書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 64K バイトの容量

■ データ転送機能

- DMAC: 4 チャンネル内蔵
- DTC: 4 種類の転送モード

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など 8 種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- メインクロック発振器周波数: 1 ~ 20MHz
- 外部クロック入力周波数: ~ 20MHz
- サブクロック用発振器周波数: 32.768kHz
- Bluetooth 専用クロック用発振器周波数: 32MHz
- PLL 回路入力 4MHz ~ 12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵
- USB 専用 PLL 回路: 4MHz、6MHz、8MHz、12MHz
システムクロック 54MHz USB クロック 48MHz の設定可能
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■ リアルタイムクロック内蔵

- 補正機能 (30 秒、うるう年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能
- 時間キャプチャ機能
- 外部端子のイベント入力力で時間をキャプチャ

■ 独立ウォッチドッグタイマ内蔵

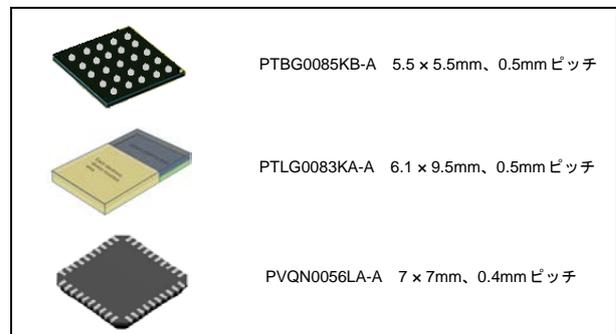
- 15kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能/断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■ 静電容量式タッチセンサ

- 自己容量方式: 1 端子 1 キー構成で最大 12 キーに対応
- 相互容量方式: 12 本の端子のマトリクス構成により最大 36 キーに対応



■ 最大 12 本の通信機能を内蔵

- Bluetooth Low Energy (1 チャンネル)
Bluetooth 5.0 に準拠した RF トランシーバおよび Link Layer を内蔵
LE 1M PHY、LE 2M PHY、LE Coded PHY (125kbps、500kbps)、LE Advertising Extensions に対応
Bluetooth 専用 AES-CCM (128 ビット) 暗号回路を内蔵
83 ピン LGA は電波法認定 (日本、北米、欧州) 取得済
83 ピン LGA は小型パターン・アンテナを内蔵
- USB2.0 ホスト/ファンクション/OTG (ON-The-Go) (1 チャンネル)、フルスピード (12Mbps)、ロースピード (1.5Mbps)、アイソクロナス転送、BC (バッテリーチャージャ) に対応
- ISO11898-1 準拠の CAN (1 チャンネル) 最大 1Mbps 転送
- 多彩な機能に対応した SCI (最大 4 チャンネル) 調歩同期モード/クロック同期モード/スマートカードインタフェースモード
ビットモジュレーション機能による通信誤差低減
- IrDA インタフェース (1 チャンネル、SCI5 と連携)
- I²C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1 チャンネル)
- RSPI (1 チャンネル) 最大 16Mbps 転送
- シリアルサウンドインタフェース (1 チャンネル)
- SD Host I/F (オプション: 1 チャンネル) SD メモリ /SDIO 1 or 4 ビット SD バスをサポート

■ 最大 19 本の拡張タイマ機能

- 16 ビット MTU: インพุットキャプチャ、アウトプットコンペア、相補 PWM 出力、位相計数モード (5 チャンネル)
- 16 ビット TPU: インพุットキャプチャ、アウトプットコンペア、位相計数モード (6 チャンネル)
- 8 ビット TMR (4 チャンネル)
- 16 ビット CMT (4 チャンネル)

■ 12 ビット A/D コンバータ内蔵

- 最小 0.83μs 変換が可能
- 14 チャンネル
- チャンネルごとにサンプリング時間を設定可能
- 自己診断機能/アナログ入力断線検出アシスト機能内蔵

■ 12 ビット D/A コンバータ内蔵

- 2 チャンネル

■ アナログコンパレータ内蔵

- 2 チャンネル × 1 ユニット

■ 汎用入出力ポート内蔵

- 5V トレラント、オーブンドレイン、入力プルアップ、駆動能力切り替え機能

■ 暗号機能 (TSIP-Lite)

- 暗号エンジンへの不正アクセスを禁止し、成りすまし、改ざんを防止
- 鍵の安全な管理を提供
- AES (鍵長 128/256 ビット) 内蔵。ECB、CBC、GCM 他に対応
- 真正乱数発生回路内蔵

■ 温度センサ内蔵

■ 動作周囲温度

- -40 ~ +85°C

■ 用途

- 85 ピン BGA、56 ピン QFN: 一般産業、民生機器
- 83 ピン LGA: 民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/5)

分類	モジュール／機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：54MHz 32ビットRX CPU (RX v2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 可変長命令形式 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン／ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット メモリプロテクションユニット (MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点 (32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：384K/512Kバイト 32MHz以下：ウェイトなし 32MHz～54MHz時はウェイトあり。ROMアクセラレータにヒットした命令はウェイトなしでのアクセスが可能。 書き換え方法：シリアルライタープログラミング (調歩同期式シリアル通信/USB通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：64Kバイト 54MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：1,000,000回 (typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、USB専用PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ、Bluetooth専用クロック発振器、Bluetooth専用低速オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路 (CAC)：あり システムクロック (ICLK)、周辺モジュールクロック (PCLK)、FlashIFクロック (FCLK) を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 54MHz MTU2aはPCLKA同期：Max 54MHz S12ADのADCLKはPCLKD同期：Max 54MHz MTU2aおよびS12ADE以外の周辺モジュールはPCLKB同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路 (LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を3レベルから選択可能 電圧検出1は検出電圧を10レベルから選択可能

表 1.1 仕様概要 (2/5)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード ソフトウェアスタンバイ中も動作可能なローパワータイマーを搭載
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード、低速動作モード
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：148 外部割り込み：要因数7 (NMI、IRQ0、IRQ1、IRQ4～IRQ7端子) ノンマスクابل割り込み：要因数6 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、WDT割り込み、IWDWT割り込み、VBATT電源監視割り込み) 16レベルの割り込み優先順位を設定可能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> 4チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファ コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	85ピン/83ピン/56ピン <ul style="list-style-type: none"> 入出力：43/43/29 入力：1/1/1 プルアップ抵抗：43/43/29 オープンドレイン出力：31/31/24 5Vトレラント：5/5/4
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 59種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	16ビットタイマ パルスユニット (TPUa)	<ul style="list-style-type: none"> (16ビット×6チャンネル) × 1ユニット 最大10本のパルス入出力が可能 チャンネルごとに7種類または8種類のカウンタクロックを選択可能 インプットキャプチャ/アウトプットコンペア機能をサポート 最大9相のPWM波形を出力するPWMモード チャンネルによりバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) をサポート A/Dコンバータの変換開始トリガを生成可能 インプットキャプチャ端子にデジタルフィルタあり クロック周波数測定機能
	マルチファンク ションタイマパルス ユニット2 (MTU2a)	<ul style="list-style-type: none"> (16ビット×6チャンネル) × 1ユニット 16ビットタイマ5チャンネルをベースに最大15本のパルス入出力が可能 チャンネルごとにカウンタクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 インプットキャプチャ機能 18本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ パルス出力モード 相補PWM出力モード リセット同期PWMモード 位相計数モード A/Dコンバータの変換開始トリガを生成可能

表 1.1 仕様概要 (3/5)

分類	モジュール/機能	説明
タイマ	ポートアウト ブッティネーブル2 (POE2a)	MTU 波形出力端子のハイインピーダンス制御
	コンペアマッチ タイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル) × 2ユニット • 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	ウォッチドッグ タイマ (WDTA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウンタクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能
	独立ウォッチドッグ タイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウンタクロック: IWDT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイム クロック (RTCe)	<ul style="list-style-type: none"> • クロックソース: サブクロックにて動作 • 時計/カレンダー機能 • 割り込み: アラーム割り込み、周期割り込み、桁上げ割り込み • 2値タイムキャプチャ機能
	ローパワータイマ (LPT)	<ul style="list-style-type: none"> • 16ビット×1チャンネル • クロックソース: サブクロック、IWDT専用低速オンチップオシレータ 2分周、4分周、8分周、16分周、32分周
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> • (8ビット×2チャンネル) × 2ユニット • 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能
通信機能	シリアルコミュニ ケーションインタ フェース (SCIg、SCIh)	<ul style="list-style-type: none"> • 4チャンネル (チャンネル1、5、8: SCIg、チャンネル12: SCIh) • SCIg シリアル通信方式: 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5、SCI12) スタートビット検出: レベルおよびエッジを選択可能 簡易I ² Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート ELCによるイベントリンク機能をサポート (チャンネル5のみ)
	IrDAインタフェース (IRDA)	<ul style="list-style-type: none"> • 1チャンネル (SCI5を使用) • IrDA規格バージョン1.0に準拠した波形のエンコード/デコードをサポート
	I ² Cバスインタ フェース (RIICa)	<ul style="list-style-type: none"> • 1チャンネル • 通信フォーマット: I²Cバスフォーマット/SMBusフォーマット • マスタ/スレーブを選択可能 • ファストモード対応
	シリアル ペリフェラル インタフェース (RSPIa)	<ul style="list-style-type: none"> • 1チャンネル • 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 • マスタ/スレーブモードを選択可能 • データフォーマット • LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 • 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) • 送信/受信バッファ構成はダブルバッファ

表 1.1 仕様概要 (4/5)

分類	モジュール/機能	説明
通信機能	USB2.0ホスト/ ファンクション モジュール (USBc)	<ul style="list-style-type: none"> • USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵 • ホスト/ファンクションモジュール: 1ポート • USBバージョン2.0準拠 • 転送スピード: フルスピード (12Mbps)、ロースピード (1.5Mbps) • OTG (ON-The-Go) に対応 • アイソクロナス転送に対応 • BC1.2 (Battery Charging Specification Revision 1.2) に対応
	CANモジュール (RSCAN)	<ul style="list-style-type: none"> • 1チャンネル • ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) • 16メッセージボックス
	シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> • 1チャンネル • 二重通信可能 • 多様なシリアルオーディオフォーマットをサポート • マスタ/スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • 8/16/18/20/22/24/32ビットデータフォーマットをサポート • 送受信用8段FIFO内蔵 • SSIWS信号を停止せず動作するWSコンティニューモードをサポート
	SDホスト インタフェース (SDHiA)	<ul style="list-style-type: none"> • 1チャンネル • 転送スピード: デフォルトスピードモード (8MB/s) • SDメモリ/IOカードインタフェース (1ビット/4ビットSDバス) • MMC、eMMC Backward-compatible 対応 • SD Specifications Part 1: Physical Layer Specification Ver.3.01準拠 (DDR未対応) Part E1: SDIO Specification Ver. 3.00 • エラーチェック機能: CRC7 (コマンド)、CRC16 (データ) • 割り込み要因: カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み、SDバッファアクセス割り込み • DMA転送要因: SD_BUFライト、SD_BUFリード • カード検出機能、ライトプロテクトをサポート
	Bluetooth low energy (BLE)	<ul style="list-style-type: none"> • Bluetooth 5.0に準拠したRFトランシーバおよびLink Layerを内蔵 • 通信レート: 1Mbps、2Mbps、500kbps、125kbps • LE Advertising Extensionsに対応 • RFトランシーバ用電源を内蔵 (DC-DCコンバータ、リニアレギュレータを選択可能) • 整合回路内蔵により外部部品を削減 • 送信電力は+4dBmに対応 • 小型パターン・アンテナを搭載 • 電波法認定を取得済み • Bluetooth専用クロック発振子を内蔵
暗号機能	<ul style="list-style-type: none"> • アクセスマネジメント回路搭載 • 暗号エンジン AES 鍵長:128bit/256bit 暗号利用モード: GCM、ECB、CBC、CMAC、XTS、CTR、GCTR • ハッシュ機能 • 真正乱数生成回路 • ユニークID 	
12ビットA/Dコンバータ (S12ADE)	<ul style="list-style-type: none"> • 12ビット (1ユニット×14チャンネル) • 分解能: 12ビット • 最小変換時間: 1チャンネル当たり0.83μs (ADCLK = 54MHz動作時) • 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) • サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 • 自己診断機能 • ダブルトリガモード (A/D変換データ二重化機能) • アナログ入力断線検出機能 • A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU、TPU) のトリガ、外部トリガ、ELC • ELCによるイベントリンク機能をサポート 	
温度センサ (TEMPSA)	<ul style="list-style-type: none"> • 1チャンネル • 温度を電圧に変換し12ビットA/Dコンバータでデジタル化 	

表 1.1 仕様概要 (5/5)

分類	モジュール/機能	説明
12ビットD/Aコンバータ (R12DAA)		<ul style="list-style-type: none"> 2チャンネル 分解能：12ビット 出力電圧：0.4V～AVCC0-0.5V
CRC演算器 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
コンパレータB (CMPBa)		<ul style="list-style-type: none"> 2チャンネル×1ユニット リファレンス電圧とアナログ入力電圧の比較機能 ウィンドウコンパレータ動作/基本コンパレータ動作の選択
静電容量式タッチセンサ (CTSU)		検出端子 12チャンネル
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 1.8～2.4V : 8MHz、VCC = 2.4～2.7V : 16MHz、VCC = 2.7～3.6V : 54MHz
動作周囲温度		Dバージョン：-40～+85°C
パッケージ		85ピンBGA (PTBG0085KB-A) 5.5×5.5mm、0.5mmピッチ 83ピンLGA (PTLG0083KA-A) 6.1×9.5mm、0.5mmピッチ 56ピンQFN (PVQN0056LA-A) 7×7mm、0.4mmピッチ
デバッグインタフェース		FINEインタフェース

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX23Wグループ		
		56ピン	83ピン	85ピン
外部バス	外部バス	サポートなし		
割り込み	外部割り込み	NMI、IRQ0、IRQ1、IRQ4～IRQ7		
DMA	DMAコントローラ	4チャンネル (DMAC0～DMAC3)		
	データトランスファコントローラ	あり		
タイマ	16ビットタイマパルスユニット	5チャンネル (TPU0～TPU3、TPU5)	6チャンネル (TPU0～TPU5)	
	マルチファンクションタイマパルスユニット2	5チャンネル (MTU0～MTU4)		
	ポートアウトブットイネーブル2	POE0#、POE8#	POE0#、POE1#、POE3#、POE8#	
	8ビットタイマ	2チャンネル×2ユニット		
	コンパッチタイマ	2チャンネル×2ユニット		
	ローパワータイマ	1チャンネル		
	リアルタイムクロック	あり		
	ウォッチドッグタイマ	あり		
	独立ウォッチドッグタイマ	あり		
通信機能	シリアルコミュニケーションインタフェース (SCIg)	3チャンネル (SCI1、5、8)		
	IrDAインタフェース	1チャンネル (SCI5)		
	シリアルコミュニケーションインタフェース (SCIh)	なし	1チャンネル (SCI12)	
	I ² Cバスインタフェース	1チャンネル		
	CANモジュール	1チャンネル		
	シリアルペリフェラルインタフェース	1チャンネル		
	USB2.0ホスト/ファンクションモジュール	1チャンネル		
	シリアルサウンドインタフェース	1チャンネル		
	SDホストインタフェース	なし	1チャンネル	
Bluetooth low energy	Bluetooth 5.0準拠RFトランシーバ、Link Layer			
静電容量式タッチセンサ	9チャンネル	12チャンネル		
12ビットA/Dコンバータ (内高精度チャンネル)	8チャンネル (4チャンネル)	14チャンネル (8チャンネル)		
温度センサ	あり			
D/Aコンバータ	1チャンネル	2チャンネル		
CRC演算器	あり			
イベントリンクコントローラ	あり			
コンパレータB	2チャンネル			
RFトランシーバ用電源	DC-DCコンバータ、リニアレギュレータを選択可能	リニアレギュレータ	DC-DCコンバータ、リニアレギュレータを選択可能	
小型パターン・アンテナ	なし	内蔵	なし	
Bluetooth専用水晶振動子32MHz	なし	内蔵	なし	
電波法認定 (技適、FCC、ISED、CE)	—	認定済み	—	
パッケージ	56ピンQFN	83ピンLGA	85ピンBGA	

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 Dバージョン (T_a = -40 ~ 85°C)

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数	暗号	アンテナ	動作周囲温度
RX23W	R5F523W8ADBL	R5F523W8ADBL#20	PTBG0085KB-A	512Kバイト	64K バイト	8Kバイト	54MHz	なし	非搭載	-40 ~ +85°C
	R5F523W8CDLN	R5F523W8CDLN#U0	PTLG0083KA-A					なし	搭載	
	R5F523W8ADNG	R5F523W8ADNG#30	PVQN0056LA-A					なし	非搭載	
	R5F523W8BDBL	R5F523W8BDBL#20	PTBG0085KB-A					あり	非搭載	
	R5F523W8DDLN	R5F523W8DDLN#U0	PTLG0083KA-A					あり	搭載	
	R5F523W8BDNG	R5F523W8BDNG#30	PVQN0056LA-A					あり	非搭載	
	R5F523W7ADBL	R5F523W7ADBL#20	PTBG0085KB-A	384Kバイト				なし	非搭載	
	R5F523W7ADNG	R5F523W7ADNG#30	PVQN0056LA-A					なし	非搭載	
	R5F523W7BDBL	R5F523W7BDBL#20	PTBG0085KB-A					あり	非搭載	
	R5F523W7BDNG	R5F523W7BDNG#30	PVQN0056LA-A					あり	非搭載	

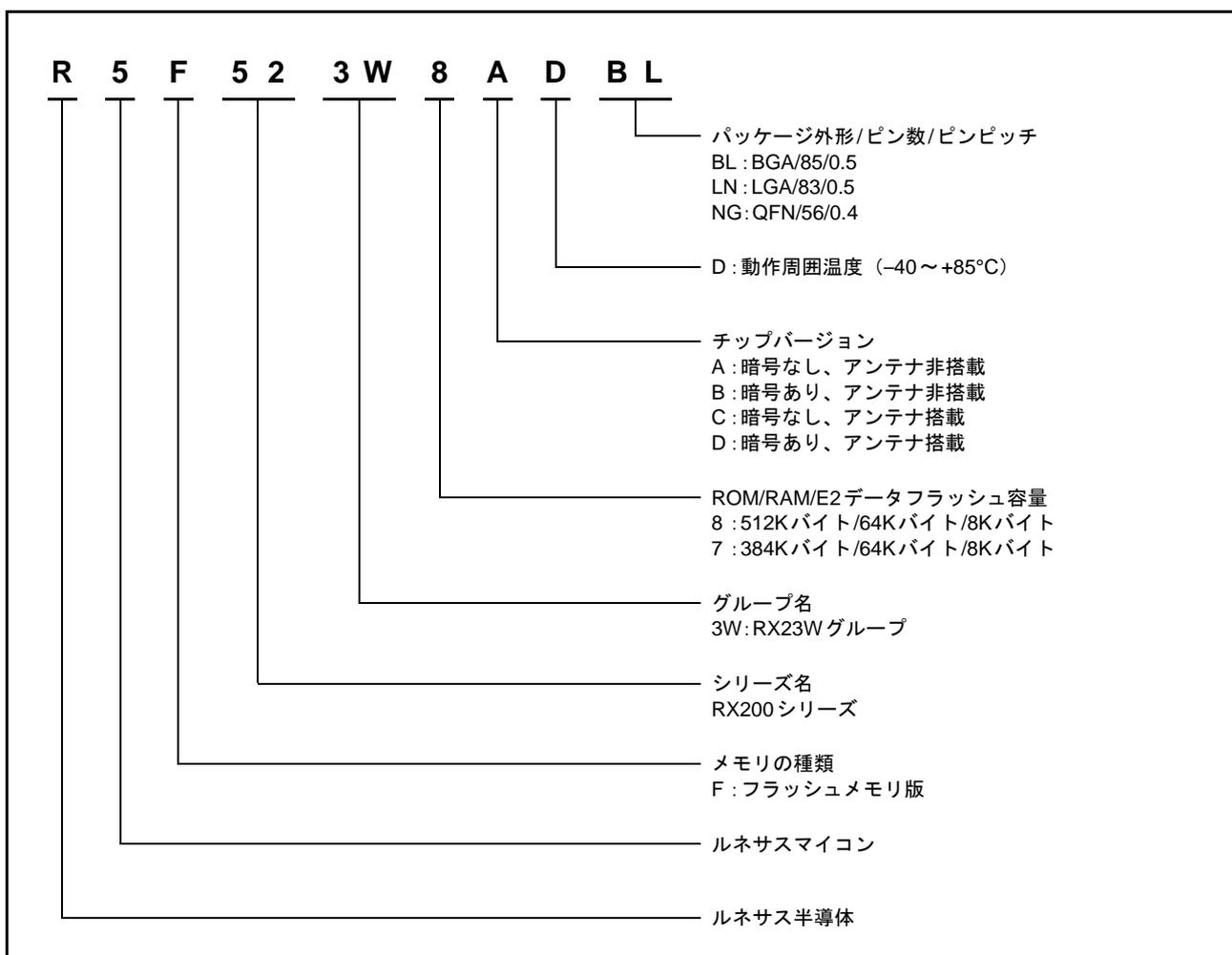


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図 (85 ピン BGA、56 ピン QFN) を示します。

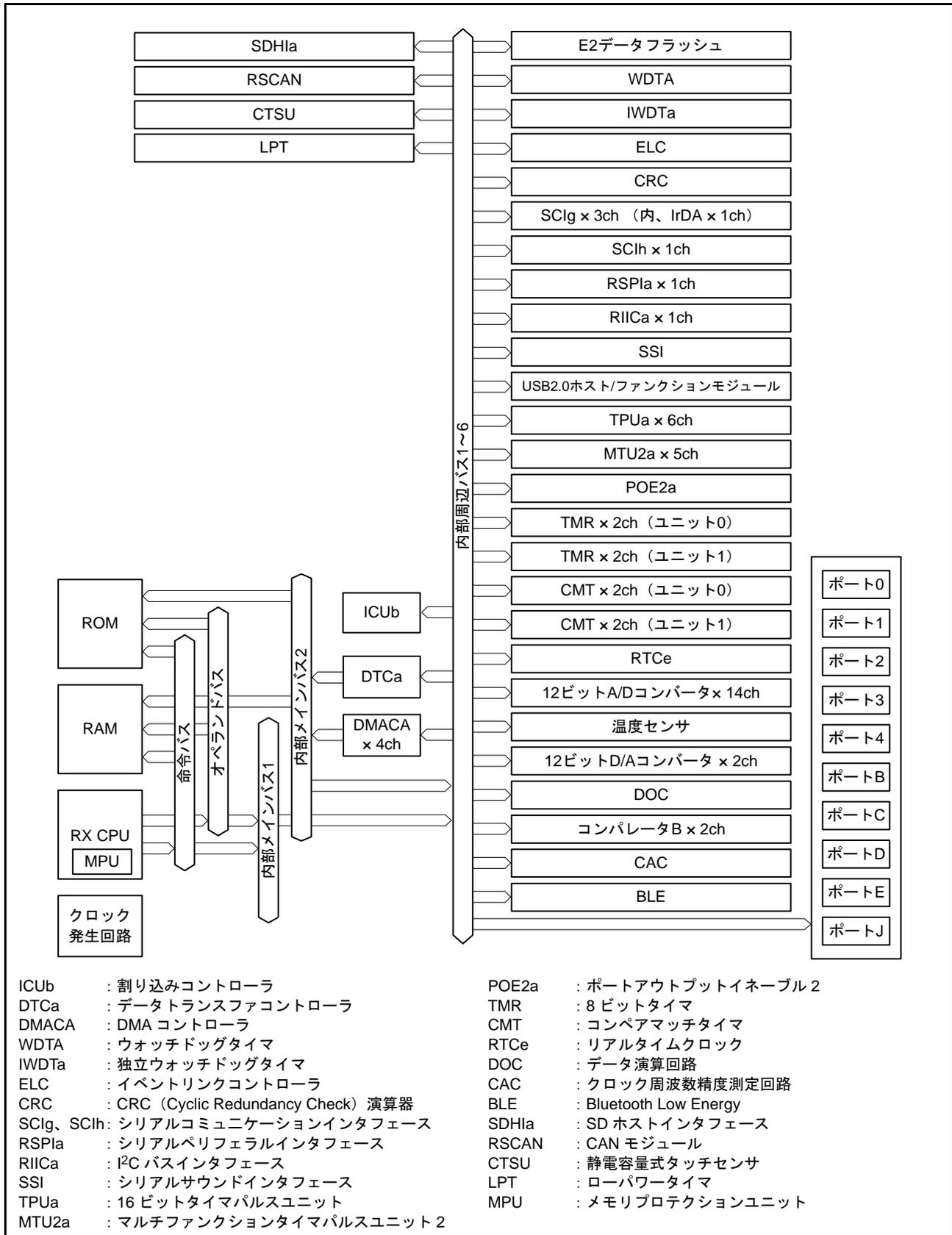


図 1.2 ブロック図 (85 ピン BGA、56 ピン QFN)

図 1.3 にブロック図 (83 ピン LGA) を示します。

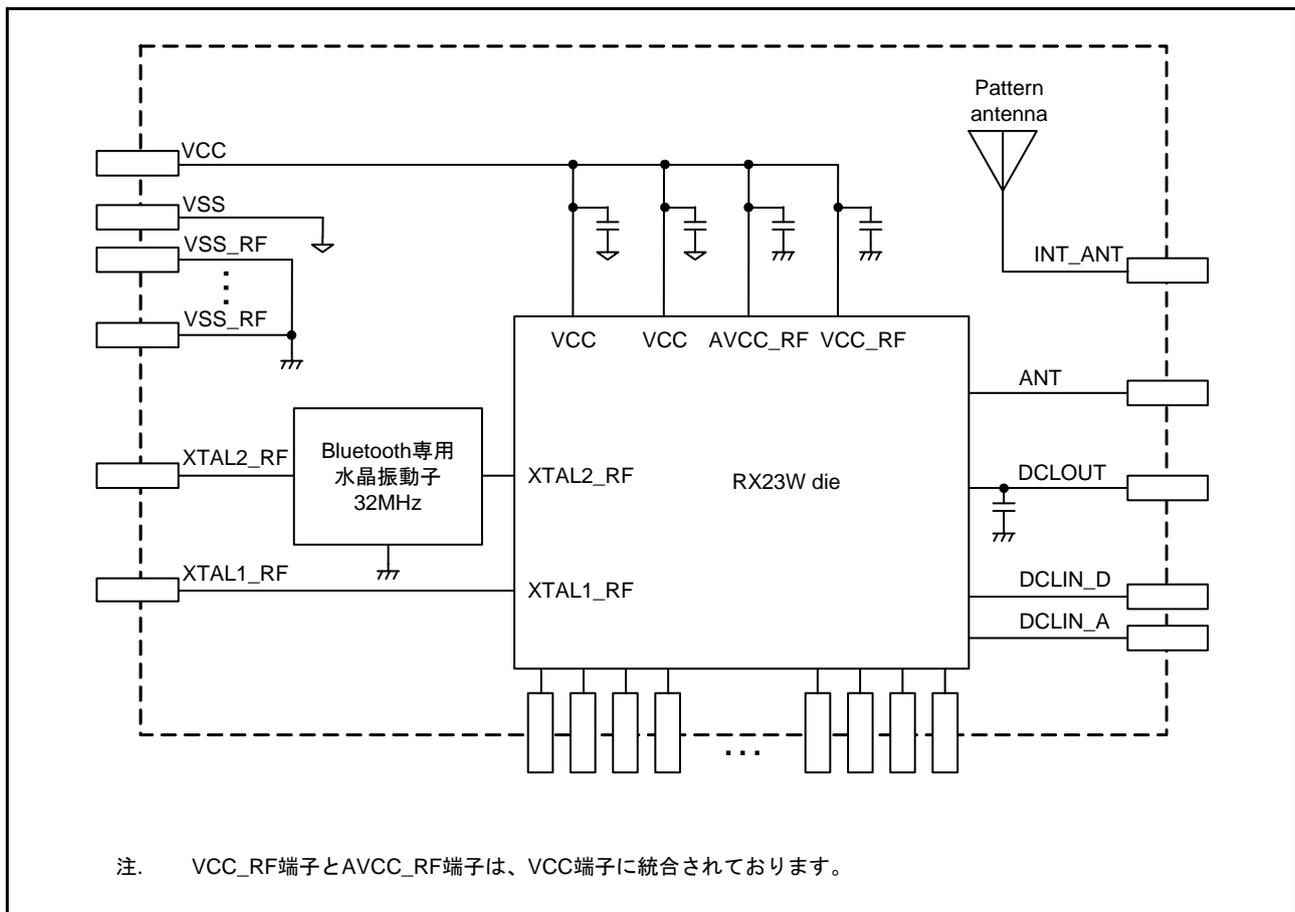


図 1.3 ブロック図 (83 ピン LGA)

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/5)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (4.7 μ F) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶発振子を接続してください
	XCOUT	出力	
	CLKOUT_RF	出力	4MHz、2MHz、1MHz Bluetooth専用クロック出力
	XTAL1_RF	入力	Bluetooth専用発振子接続端子。32MHzの発振子を接続してください。83ピンLGAは、32MHzの水晶振動子を内蔵しておりますので、XTAL1_RFとXTAL2_RFは、外部で接続してください
	XTAL2_RF	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
	UB	入力	ブートモード (USBインタフェース) で使用する端子
	UPSEL	入力	ブートモード (USBインタフェース) で使用する端子
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0、IRQ1、IRQ4~IRQ7	入力	割り込み要求端子
16ビットタイムパルスユニット	TIOCB0	入出力	TGRB0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB1	入出力	TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB2	入出力	TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3、TIOCC3、TIOCD3	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB5	入出力	TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA、TCLKB、TCLKC、TCLKD	入力	外部クロックを入力

表 1.4 端子機能一覧 (2/5)

分類	端子名	入出力	機能
マルチファンクション タイマパルスユニット2	MTIOC0A、MTIOC0B、 MTIOC0C	入出力	TGRA0～TGR0C0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B、 MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B、 MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプット イネーブル2	POE0#、POE1#、 POE3#、POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
	RTCIC0、RTCIC1	入力	時間キャプチャイベント入力端子
8ビットタイマ	TMO0～TMO2	出力	コンペアマッチ出力端子
	TMCIO～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI1～TMRI3	入力	カウンタリセット入力端子
シリアル コミュニケーション インタフェース (SCIg)	• 調歩同期モード/クロック同期モード		
	SCK1、SCK5、SCK8	入出力	クロック入出力端子
	RXD1、RXD5、RXD8	入力	受信データ入力端子
	TXD1、TXD5、TXD8	出力	送信データ出力端子
	CTS1#、CTS5#、 CTS8#	入力	送受信開始制御用入力端子
	RTS1#、RTS5#、RTS8#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL1、SSCL5、 SSCL8	入出力	I ² Cクロック入出力端子
	SSDA1、SSDA5、 SSDA8	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK1、SCK5、SCK8	入出力	クロック入出力端子
	SMISO1、SMISO5、SMI- SO8	入出力	スレーブ送出データ入出力端子
	SMOSI1、SMOSI5、 SMOSI8	入出力	マスタ送出データ入出力端子
SS1#、SS5#、SS8#	入力	スレーブセレクト入力端子	
IrDAインタフェース	IRTXD5	出力	IrDAフォーマットでのデータ出力端子
	IRRXD5	入力	IrDAフォーマットでのデータ入力端子

表 1.4 端子機能一覧 (3/5)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	スレーブセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	SCI受信データ入力端子
TXDX12	出力	SCI送信データ出力端子	
SIOX12	入出力	SCI送受信データ入出力端子	
I ² Cバスインタフェース	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できません
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できません
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1、SSLA3	出力	RSPIのスレーブセレクト出力端子
シリアルサウンド インタフェース	SSISCK0	入出力	SSIシリアルビットクロック端子
	SSIWS0	入出力	ワード選択端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_MCLK	入力	オーディオ用のマスタクロック端子
CANモジュール	CRXD0	入力	入力端子
	CTXD0	出力	出力端子
SDホストインタ フェース	SDHI_CLK	出力	SDクロック出力端子
	SDHI_CMD	入出力	SDコマンド出力、レスポンス入力信号端子
	SDHI_D3~SDHI_D0	入出力	SDデータバス端子
	SDHI_CD	入力	SDカード検出端子
	SDHI_WP	入力	SDライトプロテクト信号

表 1.4 端子機能一覧 (4/5)

分類	端子名	入出力	機能
USB2.0ホスト/ ファンクション モジュール	VCC_USB	入力	USB用電源端子。VCCまたは内部電源安定化用の平滑コンデンサ (0.33 μ F) を介してVSSに接続してください
	VSS_USB	入力	USB用グラウンド端子。VSSに接続してください
	USB0_DP	入出力	USB内蔵トランシーバD+ 入出力端子
	USB0_DM	入出力	USB内蔵トランシーバD- 入出力端子
	USB0_VBUS	入力	USBケーブル接続モニタ端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS (5V) の供給許可信号
	USB0_OVRCURA、 USB0_OVRCURB	入力	外部オーバカレント検出端子
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
12ビットA/Dコンバータ	AN000～AN007、 AN016～AN020、 AN027	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
12ビットD/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータB	CMPB2、CMPB3	入力	コンパレータB用のアナログ端子
	CVREFB2、CVREFB3	入力	コンパレータB用のリファレンス電圧端子
	CMPOB2、CMPOB3	出力	コンパレータB用出力端子
CTSU	TS2～TS4, TS7, TS8, TS12, TS13, TS22, TS23, TS27, TS30, TS35	出力	静電容量計測端子 (タッチ端子)
	TSCAP	出力	LPF接続用端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナログ電源端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナロググラウンド端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グラウンド端子
I/Oポート	P03、P05、P07	入出力	3ビットの入出力端子
	P14～P17	入出力	4ビットの入出力端子
	P21、P22、P25～P27	入出力	5ビットの入出力端子
	P30、P31、P35～P37	入出力	5ビットの入出力端子 (P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	PB0、PB1、PB3、PB5、 PB7	入出力	5ビットの入出力端子
	PC0、PC2～PC7	入出力	7ビットの入出力端子
	PD3	入出力	1ビットの入出力端子
	PE0～PE4	入出力	5ビットの入出力端子
	PJ3	入出力	1ビットの入出力端子

表 1.4 端子機能一覧 (5/5)

分類	端子名	入出力	機能
Bluetooth low energy	ANT	入出力	RFトランシーバのRF単一入出力端子 (信号ラインは50Ωインピーダンスにしてください)
	INT_ANT	入出力	内蔵アンテナ接続端子 ANT端子と外部で接続してください
	DCLOUT	出力	RFトランシーバ用電源出力端子
	DCLIN_A、DCLIN_D	入力	RFトランシーバ用電源出力接続端子 83ピンLGAは、DCLOUT端子と外部で接続してください
	VCC_RF	入力	RFトランシーバ用電源端子
	AVCC_RF	入力	RFトランシーバ用電源端子
	VSS_RF	入力	RFトランシーバ用グランド端子

1.5 ピン配置図

1.5.1 85ピンBGA

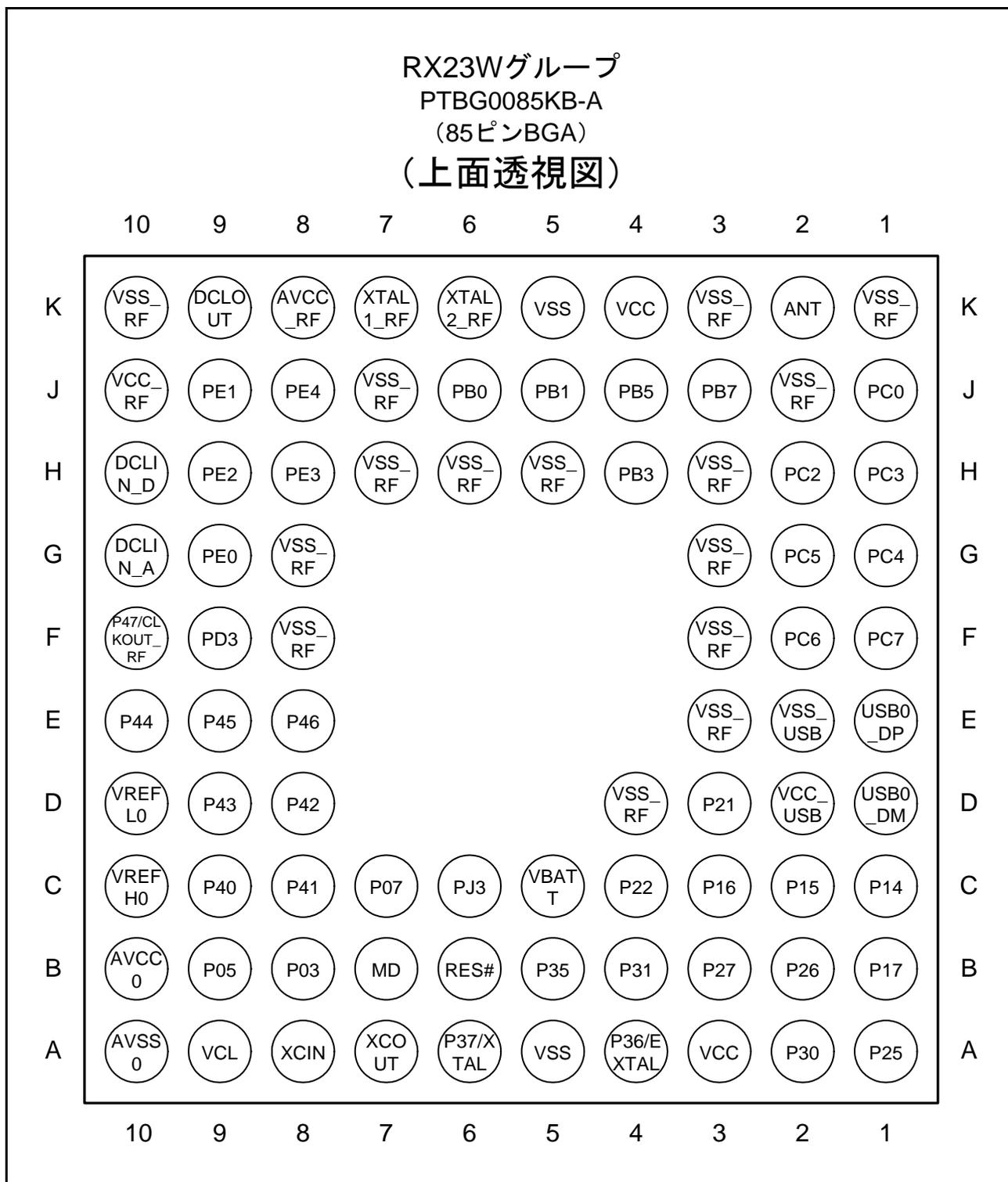


図 1.4 85ピンBGAピン配置図

1.5.2 83ピン LGA

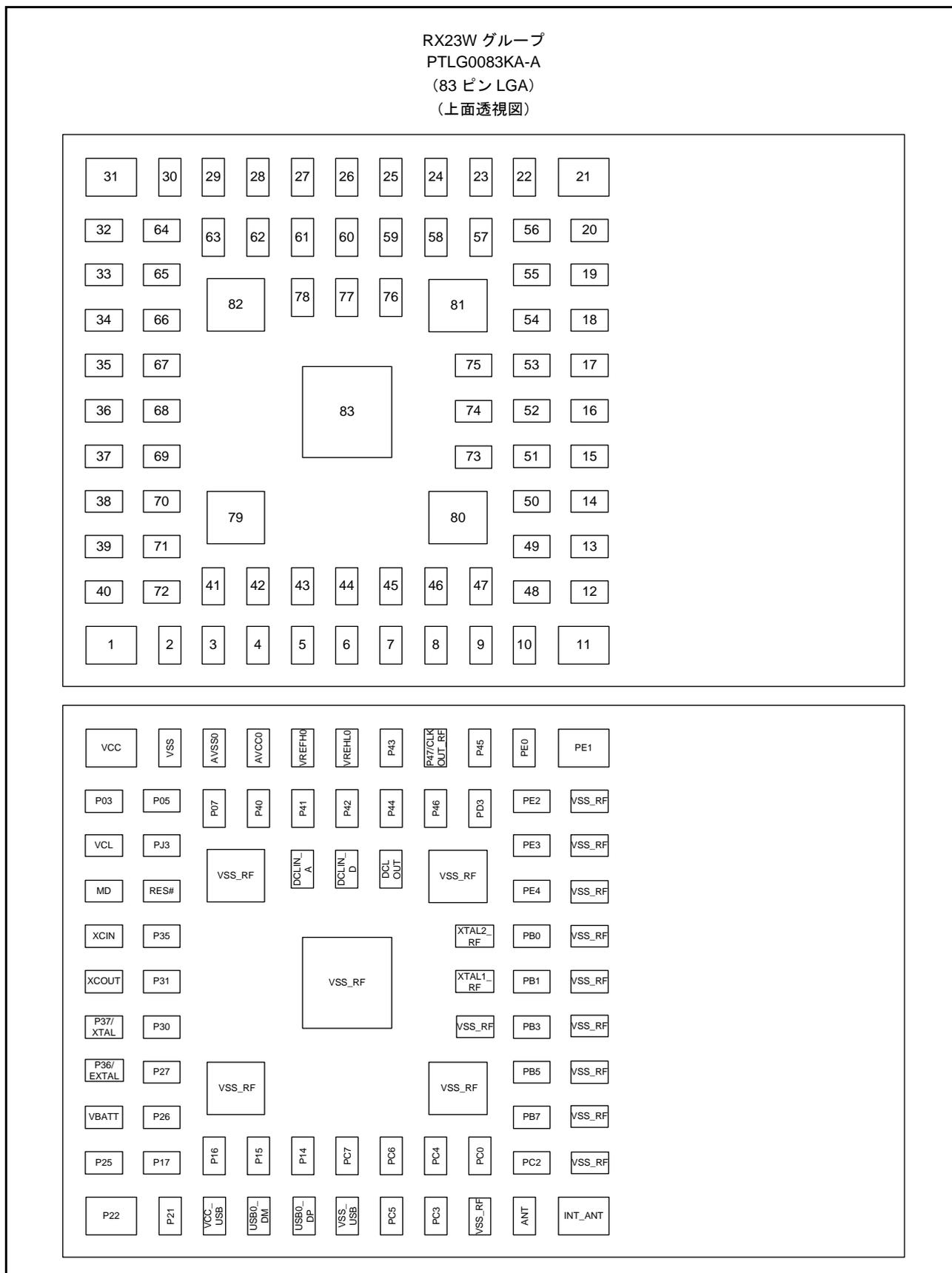


図 1.5 83ピン LGA ピン配置図

1.5.3 56ピンQFN

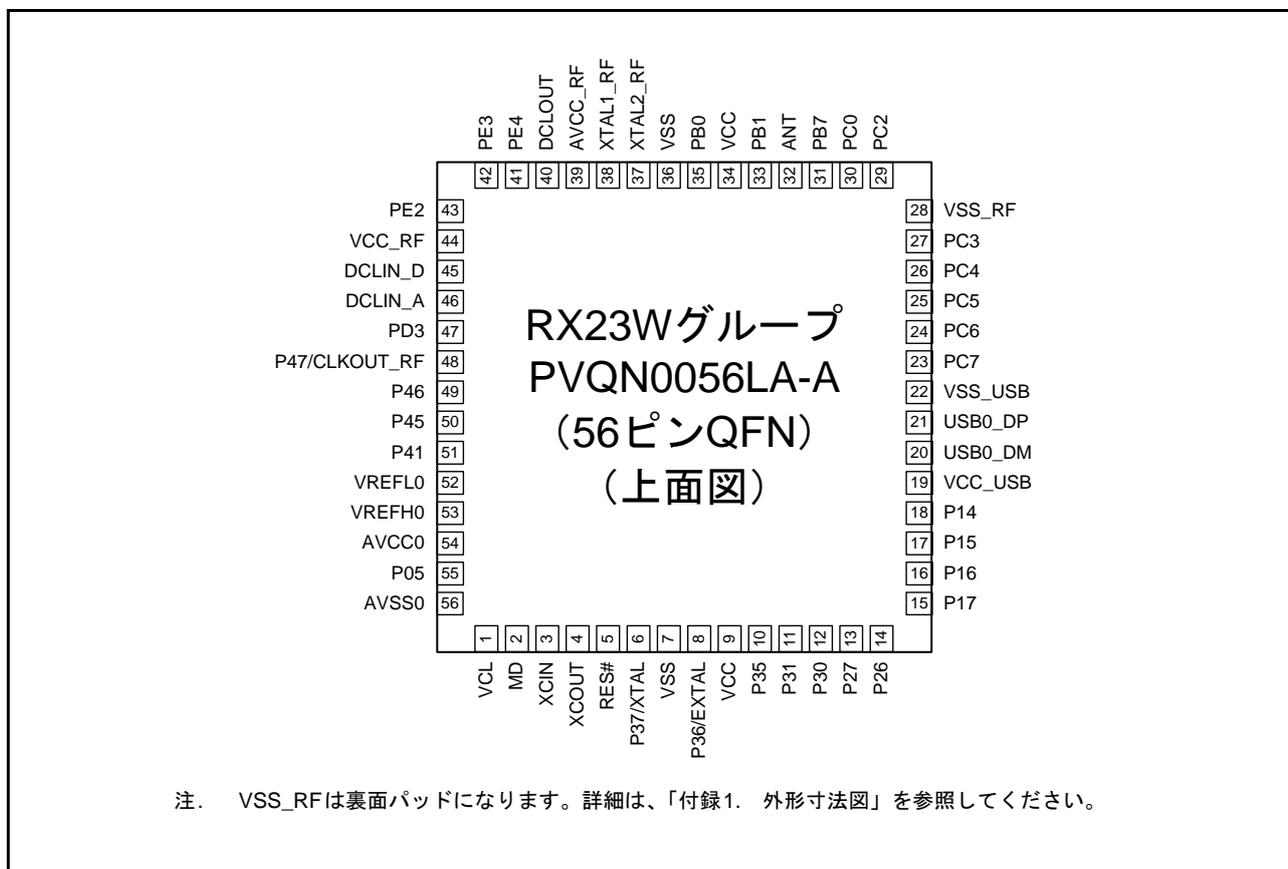


図 1.6 56ピンQFNピン配置図

1.6 機能端子一覧

1.6.1 85ピンBGA

表 1.5 機能別端子一覧 (85ピンBGA) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
A1		P25	MTIOC4C/MTCLKB/TIOCA4			TS4	ADTRG0#
A2		P30	MTIOC4B/TMRI3/POE8#/ RTCIC0	RXD1/SMISO1/SSCL1/ AUDIO_MCLK			IRQ0/ CMPOB3
A3	VCC						
A4	EXTAL	P36					
A5	VSS						
A6	XTAL	P37					
A7	XCOUT						
A8	XCIN						
A9	VCL						
A10	AVSS0						
B1		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA/SSITXD0			IRQ7/ CMPOB2
B2		P26	MTIOC2A/TMO1	TXD1/SMOS1/SSDA1/SSIRXD0/ USB0_VBUSEN		TS3	CMPB3
B3		P27	MTIOC2B/TMCi3	SCK1/SSIWS0		TS2	CVREFB3
B4		P31	MTIOC4D/TMCi2/RTCIC1	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
B5	UPSEL	P35					NMI
B6	RES#						
B7	MD						FINED
B8		P03					DA0
B9		P05					DA1
B10	AVCC0						
C1		P14	MTIOC3A/MTCLKA/TMRI2/ TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/CTXD0/ USB0_OVRCURA		TS13	IRQ4/ CVREFB2
C2		P15	MTIOC0B/MTCLKB/TMCi2/ TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/CRXD0		TS12	IRQ5/CMPB2
C3		P16	MTIOC3C/MTIOC3D/TMO2/ TIOCB1/TCLKC/RTCOUT	TXD1/SMOS1/SSDA1/MOSIA/SCL/ USB0_VBUS/USB0_VBUSEN/ USB0_OVRCURB			IRQ6/ ADTRG0#
C4		P22	MTIOC3B/MTCLKC/TMO0/ TIOCC3	USB0_OVRCURB/AUDIO_MCLK		TS7	
C5	VBATT						
C6		PJ3	MTIOC3C				
C7		P07					ADTRG0#
C8		P41					AN001
C9		P40					AN000
C10	VREFH0						
D1				USB0_DM			
D2	VCC_USB						
D3		P21	MTIOC1B/TMCi0/TIOCA3	USB0_EXICEN/SSIWS0		TS8	
D4	VSS_RF						
D8		P42					AN002
D9		P43					AN003
D10	VREFL0						
E1				USB0_DP			
E2	VSS_USB						
E3	VSS_RF						

表 1.5 機能別端子一覧 (85ピンBGA) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
E8		P46					AN006
E9		P45					AN005
E10		P44					AN004
F1	UB	PC7	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA			CACREF
F2		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA/ USB0_EXICEN		TS22	
F3	VSS_RF						
F8	VSS_RF						
F9		PD3	POE8#				AN027
F10		P47					AN007/ CLKOUT_RF
G1		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	CTS8#/RTS8#/SS8#/SSLA0/SCK5	SDHI_D1	TSCAP	
G2		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA/USB0_ID		TS23	
G3	VSS_RF						
G8	VSS_RF						
G9		PE0		SCK12			AN016
G10	DCLIN_A						
H1		PC3	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/IRTXD5	SDHI_D0	TS27	
H2		PC2	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/SSLA3/ IRRXD5	SDHI_D3	TS30	
H3	VSS_RF						
H4		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#/TIOCD3/TCLKD		SDHI_WP		
H5	VSS_RF						
H6	VSS_RF						
H7	VSS_RF						
H8		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/ AUDIO_MCLK			AN019/ CLKOUT
H9		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12			IRQ7/AN018
H10	DCLIN_D						
J1		PC0	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/SSLA1		TS35	
J2	VSS_RF						
J3		PB7	MTIOC3B/TIOCB5		SDHI_D2		
J4		PB5	MTIOC2A/MTIOC1B/TMRI1/ POE1#/TIOCB4	USB0_VBUS	SDHI_CD		
J5		PB1	MTIOC0C/MTIOC4C/TMCI0/ TIOCB3		SDHI_CLK		IRQ4
J6		PB0	TIOCA3	RSPCKA	SDHI_CMD		
J7	VSS_RF						
J8		PE4	MTIOC4D/MTIOC1A				AN020/ CLKOUT
J9		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/ SSDA12			AN017
J10	VCC_RF						
K1	VSS_RF						
K2							ANT
K3	VSS_RF						
K4	VCC						
K5	VSS						
K6	XTAL2_RF						
K7	XTAL1_RF						

表 1.5 機能別端子一覧 (85ピンBGA) (3/3)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、 CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、 USB、SSI)	メモリIF (SDHI)	タッチ	その他
K8	AVCC_RF						
K9	DCLOUT						
K10	VSS_RF						

1.6.2 83ピンLGA

表 1.6 機能別端子一覧(83ピンLGA) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TPU, TMR, RTC, CMT, POE, CAC)	通信 (SCI, RSPI, RIIC, RSCAN, USB, SSI)	メモリ IF(SDHI)	タッチ	その他
1		P22	MTIOC3B/MTCLKC/TMO0/TIOCC3	USB0_OVRCURB/AUDIO_MCLK		TS7	
2		P21	MTIOC1B/TMCI0/TIOCA3	USB0_EXICEN/SSIWS0		TS8	
3	VCC_USB						
4				USB0_DM			
5				USB0_DP			
6	VSS_USB						
7		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA/USB0_ID		TS23	
8		PC3	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/IRTXD5	SDHI_D0	TS27	
9	VSS_RF						
10							ANT
11							INT_ANT
12	VSS_RF						
13	VSS_RF						
14	VSS_RF						
15	VSS_RF						
16	VSS_RF						
17	VSS_RF						
18	VSS_RF						
19	VSS_RF						
20	VSS_RF						
21		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/SMOSI12/SSDA12			AN017
22		PE0		SCK12			AN016
23		P45					AN005
24		P47					AN007/ CLKOUT_RF
25		P43					AN003
26	VREFL0						
27	VREFH0						
28	AVCC0						
29	AVSS0						
30	VSS						
31	VCC						
32		P03					DA0
33	VCL						
34	MD						FINED
35	XCIN						
36	XCOUT						
37	XTAL	P37					
38	EXTAL	P36					
39	VBATT						
40		P25	MTIOC4C/MTCLKB/TIOCA4			TS4	ADTRG0#
41		P16	MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC/RTCOU	TXD1/SMOSI1/SSDA1/MOSIA/SCL/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB			IRQ6/ ADTRG0#
42		P15	MTIOC0B/MTCLKB/TMCI2/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/CRXD0		TS12	IRQ5/CMPB2

表 1.6 機能別端子一覧 (83ピンLGA) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TPU, TMR, RTC, CMT, POE, CAC)	通信 (SCI, RSPI, RIIC, RSCAN, USB, SSI)	メモリ IF(SDHI)	タッチ	その他
43		P14	MTIOC3A/MTCLKA/TMRI2/ TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/CTXD0/ USB0_OVRCURA		TS13	IRQ4/ CVREFB2
44	UB	PC7	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA			CACREF
45		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA/ USB0_EXICEN		TS22	
46		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	CTS8#/RTS8#/SS8#/SSLA0/SCK5	SDHI_D1	TSCAP	
47		PC0	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/SSLA1		TS35	
48		PC2	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/SSLA3/ IRRXD5	SDHI_D3	TS30	
49		PB7	MTIOC3B/TIOCB5		SDHI_D2		
50		PB5	MTIOC2A/MTIOC1B/TMRI1/ POE1#/TIOCB4	USB0_VBUS	SDHI_CD		
51		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#/TIOCD3/TCLKD		SDHI_WP		
52		PB1	MTIOC0C/MTIOC4C/TMCI0/ TIOCB3		SDHI_CLK		IRQ4
53		PB0	TIOCA3	RSPCKA	SDHI_CMD		
54		PE4	MTIOC4D/MTIOC1A				AN020/ CLKOUT
55		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/ AUDIO_MCLK			AN019/ CLKOUT
56		PE2	MTIOC4A	RXD12/RXDX12/SMISO12/SSCL12			IRQ7/AN018
57		PD3	POE8#				AN027
58		P46					AN006
59		P44					AN004
60		P42					AN002
61		P41					AN001
62		P40					AN000
63		P07					ADTRG0#
64		P05					DA1
65		PJ3	MTIOC3C				
66	RES#						
67	UPSEL	P35					NMI
68		P31	MTIOC4D/TMCI2/RTCIC1	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
69		P30	MTIOC4B/TMRI3/POE8#/ RTCIC0	RXD1/SMISO1/SSCL1/ AUDIO_MCLK			IRQ0/ CMPOB3
70		P27	MTIOC2B/TMCI3	SCK1/SSIWS0		TS2	CVREFB3
71		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/SSIRXD0/ USB0_VBUSEN		TS3	CMPB3
72		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA/SSITXD0			IRQ7/ CMPOB2
73	VSS_RF						
74	XTAL1_RF						
75	XTAL2_RF						
76	DCLOUT						
77	DCLIN_D						
78	DCLIN_A						
79	VSS_RF						
80	VSS_RF						
81	VSS_RF						
82	VSS_RF						
83	VSS_RF						

1.6.3 56ピンQFN

表 1.7 機能別端子一覧 (56ピンQFN) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	タッチ	その他
1	VCL					
2	MD					FINED
3	XCIN					
4	XCOUT					
5	RES#					
6	XTAL	P37				
7	VSS					
8	EXTAL	P36				
9	VCC					
10	UPSEL	P35				NMI
11		P31	MTIOC4D/TMCI2/RTCIC1	CTS1#/RTS1#/SS1#/SSISCK0		IRQ1
12		P30	MTIOC4B/TMRI3/POE8#/RTCIC0	RXD1/SMISO1/SSCL1/AUDIO_MCLK		IRQ0/CMPOB3
13		P27	MTIOC2B/TMCI3	SCK1/SSIWS0	TS2	CVREFB3
14		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/SSIRXD0/ USB0_VBUSEN	TS3	CMPB3
15		P17	MTIOC3A/MTIOC3B/TMO1/POE8#/ TIOCB0/TCLKD	SCK1/MISOA/SDA/SSITXD0		IRQ7/CMPOB2
16		P16	MTIOC3C/MTIOC3D/TMO2/TIOCB1/ TCLKC/RTCOU	TXD1/SMOSI1/SSDA1/MOSIA/SCL/ USB0_VBUS/USB0_VBUSEN/ USB0_OVRCURB		IRQ6/ADTRG0#
17		P15	MTIOC0B/MTCLKB/TMCI2/TIOCB2/ TCLKB	RXD1/SMISO1/SSCL1/CRXD0	TS12	IRQ5/CMPB2
18		P14	MTIOC3A/MTCLKA/TMRI2/TIOCB5/ TCLKA	CTS1#/RTS1#/SS1#/CTXD0/ USB0_OVRCURA	TS13	IRQ4/CVREFB2
19	VCC_USB					
20				USB0_DM		
21				USB0_DP		
22	VSS_USB					
23	UB	PC7	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA		CACREF
24		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA/ USB0_EXICEN	TS22	
25		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA/USB0_ID	TS23	
26		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	CTS8#/RTS8#/SS8#/SSLA0/SCK5	TSCAP	
27		PC3	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/IRTXD5	TS27	
28	VSS_RF					
29		PC2	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/SSLA3/IRRXD5	TS30	
30		PC0	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/SSLA1	TS35	
31		PB7	MTIOC3B/TIOCB5			
32						ANT
33		PB1	MTIOC0C/MTIOC4C/TMCI0/TIOCB3			IRQ4
34	VCC					
35		PB0	TIOCA3	RSPCKA		
36	VSS					
37	XTAL2_RF					
38	XTAL1_RF					
39	AVCC_RF					
40	DCLOUT					
41		PE4	MTIOC4D/MTIOC1A			AN020/CLKOUT
42		PE3	MTIOC4B/POE8#	AUDIO_MCLK		AN019/CLKOUT

表 1.7 機能別端子一覧 (56ピンQFN) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	タッチ	その他
43		PE2	MTIOC4A			IRQ7/AN018
44	VCC_RF					
45	DCLIN_D					
46	DCLIN_A					
47		PD3	POE8#			AN027
48		P47				AN007/ CLKOUT_RF
49		P46				AN006
50		P45				AN005
51		P41				AN001
52	VREFL0					
53	VREFH0					
54	AVCC0					
55		P05				DA1
56	AVSS0					

注. VSS_RFは裏面パッドになります。詳細は、「付録1. 外形寸法図」を参照してください。

2. 電気的特性

2.1 絶対最大定格

表 2.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = VSS_USB = VSS_RF = 0V

項目		記号	定格値	単位
電源電圧		VCC、VCC_USB	-0.3 ~ +4.0	V
VBATT電源電圧		VBATT	-0.3 ~ +4.0	V
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5	V
	ポート03、05、07、 ポート40~47		-0.3 ~ AVCC0+0.3	
	ANT		-1.0 ~ +1.4	
	XTAL1_RF、XTAL2_RF		-0.3 ~ +1.4	
	DCLIN_A、DCLIN_D		-0.3 ~ +2.2	
	上記以外		-0.3 ~ VCC+0.3	
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0+0.3	V
アナログ電源電圧		AVCC0	-0.3 ~ +4.0	V
		VCC_RF	-0.3 ~ +4.0	V
		AVCC_RF	-0.3 ~ +4.0	V
アナログ入力電圧	AN000 ~ AN007 使用時	V_{AN}	-0.3 ~ AVCC0+0.3	V
	AN016 ~ AN020、AN027 使用時		-0.3 ~ VCC+0.3	
動作温度		T_{opr}	-40 ~ +85	°C
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0端子間、VCC_USB端子とVSS_USB端子間、VREFH0端子とVREFL0端子間、VCC_RF端子とVSS_RF端子間、AVCC_RF端子とVSS_RF端子間には周波数特性の良いコンデンサを挿入してください。コンデンサはVCC_RF端子は2.2 μ F程度、それ以外は0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。詳細は「2.16.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポート16、17、30、31、B5は、5Vトレラント対応です。

表 2.2 推奨動作電圧条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC (注 1、注 2、注 3)	USB 未使用時	1.8	—	3.6	V
		USB 使用時	3.0	—	3.6	
	VSS		—	0	—	
USB電源電圧	VCC_USB	USB レギュレータ未使用時	—	VCC	—	V
	VSS_USB		—	0	—	
VBATT電源電圧	VBATT		1.8	—	3.6	V
アナログ電源電圧	AVCC0 (注 1、注 2)		1.8	—	3.6	V
	AVSS0		—	0	—	
	VREFH0		1.8	—	AVCC0	
	VREFL0		—	0	—	
BLE電源電圧	VCC_RF (注 3)		1.8	—	3.6	V
	AVCC_RF (注 3)		1.8	—	3.6	
	VSS_RF		—	0	—	

注1. P41、P47 : VCC = AVCC0で使用してください。

上記以外は次の条件で使用してください。

VCC > 2.4Vの時 : AVCC0 ≥ 2.4Vの場合にAVCC0はVCCと独立して設定可能。

VCC ≤ 2.4Vの時 : AVCC0 ≥ VCCの場合にAVCC0はVCCと独立して設定可能。

注2. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

注3. VCC=VCC_RF=AVCC_RFで使用して下さい。

2.2 DC 特性

表2.3 DC特性 (1)

条件：2.7V ≤ VCC = VCC_USB = VCC_RF = AVCC_RF ≤ 3.6V、2.7V ≤ AVCC0 ≤ 3.6V、
VSS = AVSS0 = VSS_USB = VSS_RF = 0V、T_a = -40 ~ +85°C

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V _{IH}	VCC × 0.7	—	5.8	V		
	ポート16、17、ポートB5 (5Vトレラント)		VCC × 0.8	—	5.8			
	ポート14、15、 ポート21、22、25~27、 ポート35~37、 ポートB0、B1、B3、B5、B7、 ポートC0、C2~C7、 ポートD3、 ポートE0~E4、 ポートJ3、 ポート30、31 (時間キャプチャイ ント入力非選択時)、RES#		VCC × 0.8	—	VCC + 0.3			
	ポート03、05、07、ポート40~47		AVCC0 × 0.8	—	AVCC0 + 0.3			
	ポート30、31 (時間キャプチャ イベント入力選択時)	VCC給電時	VCC × 0.8	—	VCC + 0.3			
		VBATT給電時	VBATT × 0.8	—	VBATT + 0.3			
	ポート03、05、07、ポート40~47	V _{IL}	-0.3	—	AVCC0 × 0.2			
	RIIC入力端子 (SMBusを除く)		-0.3	—	VCC × 0.3			
	RIIC入力端子以外、 ポート30、31以外		-0.3	—	VCC × 0.2			
	ポート30、31 (時間キャプチャ イベント入力選択時)		VCC給電時	-0.3	—			VCC × 0.3
			VBATT給電時	-0.3	—			VBATT × 0.3
	ポート03、05、07、ポート40~47		ΔV _T	AVCC0 × 0.1	—			—
	RIIC入力端子 (SMBusを除く)			VCC × 0.05	—			—
	ポート16、17、ポートB5			VCC × 0.05	—			—
RIIC入力端子以外	VCC × 0.1	—		—				
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V _{IH}	VCC × 0.9	—	VCC + 0.3	V		
	EXTAL (外部クロック入力)		VCC × 0.8	—	VCC + 0.3			
	RIIC入力端子 (SMBus)		2.1	—	VCC + 0.3			
	MD	V _{IL}	-0.3	—	VCC × 0.1			
	EXTAL (外部クロック入力)		-0.3	—	VCC × 0.2			
	RIIC入力端子 (SMBus)		-0.3	—	0.8			

表2.4 DC特性 (2)

条件: $1.8V \leq VCC = VCC_USB = VCC_RF = AVCC_RF \leq 2.7V$ 、 $1.8V \leq AVCC0 < 2.7V$ 、
 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	ポート16、17、 ポートB5 (5Vトレラント)	V_{IH}	$VCC \times 0.8$	—	5.8	V	
	ポート14、15、 ポート21、22、25~27、 ポート30、31、35~37、 ポートB0、B1、B3、B5、B7、 ポートC0、C2~C7、 ポートD3、 ポートE0~E4、 ポートJ3、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポート03、05、07、 ポート40~47		$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$		
	ポート03、05、07、 ポート40~47	V_{IL}	-0.3	—	$AVCC0 \times 0.2$		
	上記ポート以外		-0.3	—	$VCC \times 0.2$		
	ポート03、05、07、 ポート40~47	ΔV_T	$AVCC0 \times 0.01$	—	—		
	上記ポート以外		$VCC \times 0.01$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	EXTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		

表2.5 DC特性 (3)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、
 $T_a = -40 \sim +85^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#、MD、ポート35	I_{in}	—	—	1.0	μA	$V_{in} = 0V$ 、VCC
スリーステートリーク 電流 (オフ状態)	5Vトレラント対応ポート	I_{TSIL}	—	—	1.0	μA	$V_{in} = 0V$ 、5.8V
	5Vトレラント対応ポート以外		—	—	0.2		$V_{in} = 0V$ 、VCC
入力容量	全入力端子 (ポート35、USB0_DM、 USB0_DP以外)	C_{in}	—	—	15	pF	$V_{in} = 0mV$ 、 $f = 1MHz$ 、 $T_a = 25^\circ C$
	ポート35、USB0_DM、 USB0_DP		—	—	30		

表2.6 DC特性 (4)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、
 $T_a = -40 \sim +85^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (ポート35以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

表2.7 DC特性 (5)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目					記号	typ (注4)	max	単位	測定条件
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし(注2)	ICLK = 54MHz	I _{CC}	6.5	—	mA	
				ICLK = 32MHz		4.1	—		
				ICLK = 16MHz		2.9	—		
				ICLK = 8MHz		2.2	—		
				ICLK = 4MHz		1.9	—		
			全周辺動作 通常動作	ICLK = 54MHz(注11)		26.5	—		
				ICLK = 32MHz(注3)		21.0	—		
				ICLK = 16MHz(注3)		11.8	—		
				ICLK = 8MHz(注3)		6.6	—		
				ICLK = 4MHz(注3)		4.2	—		
		全周辺動作 最大動作	ICLK = 54MHz(注11)	—	53.3				
			ICLK = 32MHz(注3)	—	40.8				
		Trusted Secure IP 動作の増加分	PCLKB = 32MHz		—	2			
		スリープモード	周辺動作なし(注2)	ICLK = 54MHz	3.5	—			
				ICLK = 32MHz	2.4	—			
				ICLK = 16MHz	1.9	—			
				ICLK = 8MHz	1.6	—			
				ICLK = 4MHz	1.5	—			
			全周辺動作 通常動作	ICLK = 54MHz(注11)	13.4	—			
	ICLK = 32MHz(注3)			12.5	—				
	ICLK = 16MHz(注3)			7.3	—				
	ICLK = 8MHz(注3)			4.6	—				
	ICLK = 4MHz(注3)			3.3	—				
	ディープ スリープモード		周辺動作なし(注2)	ICLK = 54MHz	2.3	—			
				ICLK = 32MHz	1.5	—			
				ICLK = 16MHz	1.3	—			
		ICLK = 8MHz		1.2	—				
		全周辺動作 通常動作	ICLK = 54MHz(注11)	10.6	—				
			ICLK = 32MHz(注3)	9.9	—				
			ICLK = 16MHz(注3)	5.9	—				
			ICLK = 8MHz(注3)	3.8	—				
	BGO動作時の増加分(注5)			2.7	—				
中速動作モード	通常動作モード	周辺動作なし(注6)	ICLK = 12MHz	I _{CC}	2.7	—	mA		
			ICLK = 8MHz		1.8	—			
			ICLK = 4MHz		1.4	—			
			ICLK = 1MHz		1.1	—			
		全周辺動作 通常動作(注7)	ICLK = 12MHz		9.6	—			
			ICLK = 8MHz		6.2	—			
			ICLK = 4MHz		3.8	—			
			ICLK = 1MHz		2.3	—			
		全周辺動作 最大動作(注7)	ICLK = 12MHz		—	16.7			

項目					記号	typ (注4)	max	単位	測定条件			
消費電流 (注1)	中速動作モード	スリープモード	周辺動作なし(注6)	ICLK = 12MHz	I _{CC}	1.9	—	mA				
				ICLK = 8MHz		1.2	—					
				ICLK = 4MHz		1.1	—					
				ICLK = 1MHz		1.0	—					
			全周辺動作 通常動作(注7)	ICLK = 12MHz		6.1	—					
				ICLK = 8MHz		4.4	—					
				ICLK = 4MHz		3.0	—					
				ICLK = 1MHz		2.0	—					
		ディープ スリープモード	周辺動作なし(注6)	ICLK = 12MHz		1.6	—					
				ICLK = 8MHz		1.0	—					
				ICLK = 4MHz		0.9	—					
				ICLK = 1MHz		0.8	—					
	全周辺動作 通常動作(注7)	ICLK = 12MHz	5.1	—								
		ICLK = 8MHz	3.7	—								
		ICLK = 4MHz	2.6	—								
		ICLK = 1MHz	1.8	—								
	BGO動作時の増加分(注5)						2.5	—				
	低速動作モード	通常動作モード	周辺動作なし(注8)	ICLK = 32kHz	I _{CC}	5.2	—	μA				
				全周辺動作 通常動作(注9、注10)						ICLK = 32kHz	22.3	—
				全周辺動作 最大動作(注9、注10)						ICLK = 32kHz	—	74.4
スリープモード		周辺動作なし(注8)	ICLK = 32kHz	3.0					—			
			全周辺動作 通常動作(注9)	ICLK = 32kHz					13.1	—		
ディープ スリープモード		周辺動作なし(注8)	ICLK = 32kHz	2.4					—			
			全周辺動作 通常動作(注9)	ICLK = 32kHz					10.5	—		

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態です。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態です。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC=3.3Vの値です。
- 注5. プログラム実行中に、ROMまたはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態です。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態です。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態です。クロックソースはサブ発振回路です。FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態です。クロックソースはサブ発振回路です。FCLK、PCLKはICLKと同じ周波数です。
- 注10. MSTPCRA.MSTPA17 (12ビットA/Dコンバータモジュールストップ設定ビット) をモジュールストップ状態に設定した時の値です。
- 注11. 周辺機能はクロック供給状態です。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKBは2分周設定、PCLKA、PCLKDはICLKと同じ周波数です。

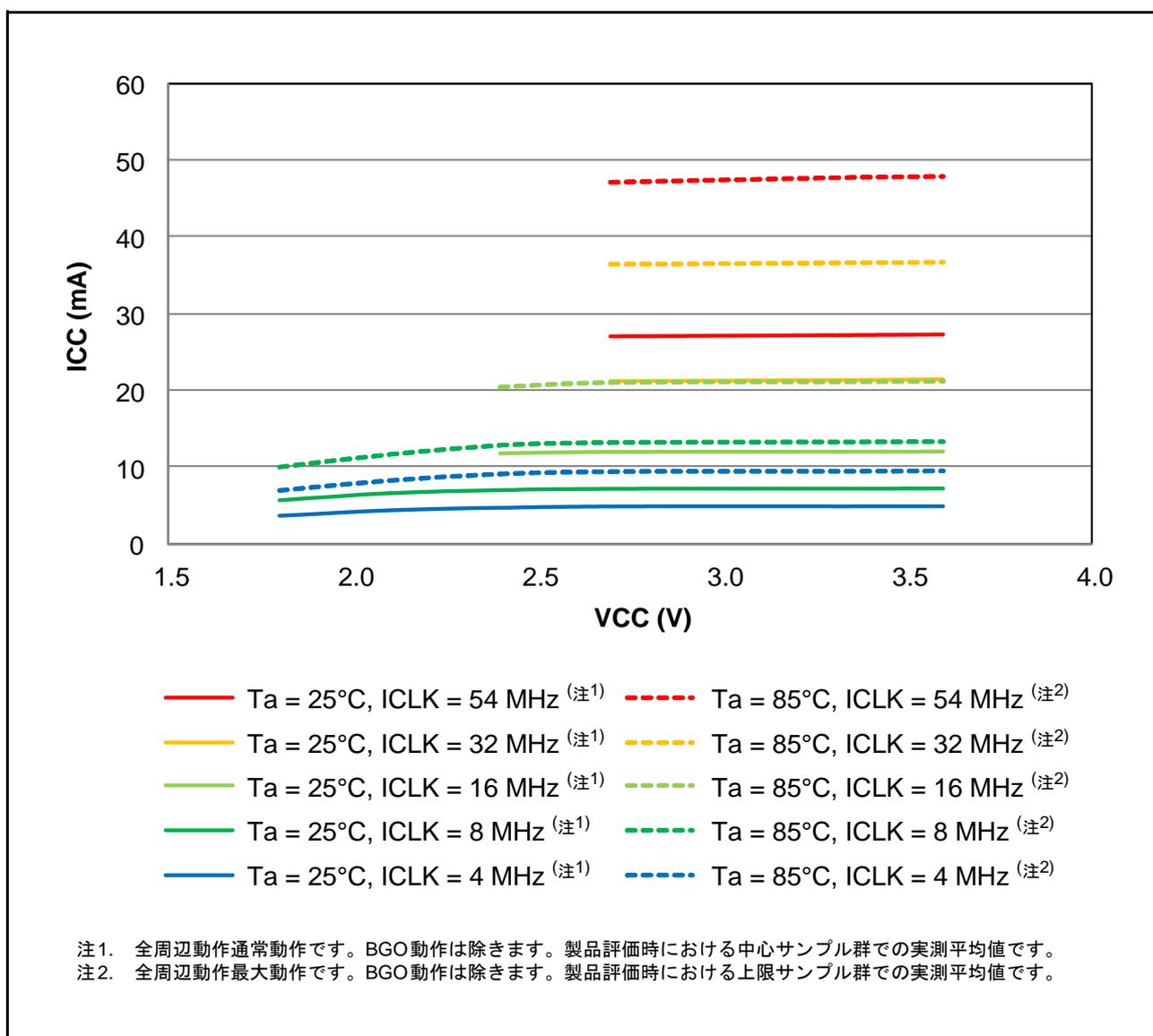


図 2.1 高速動作モードの電圧依存性 (参考データ)

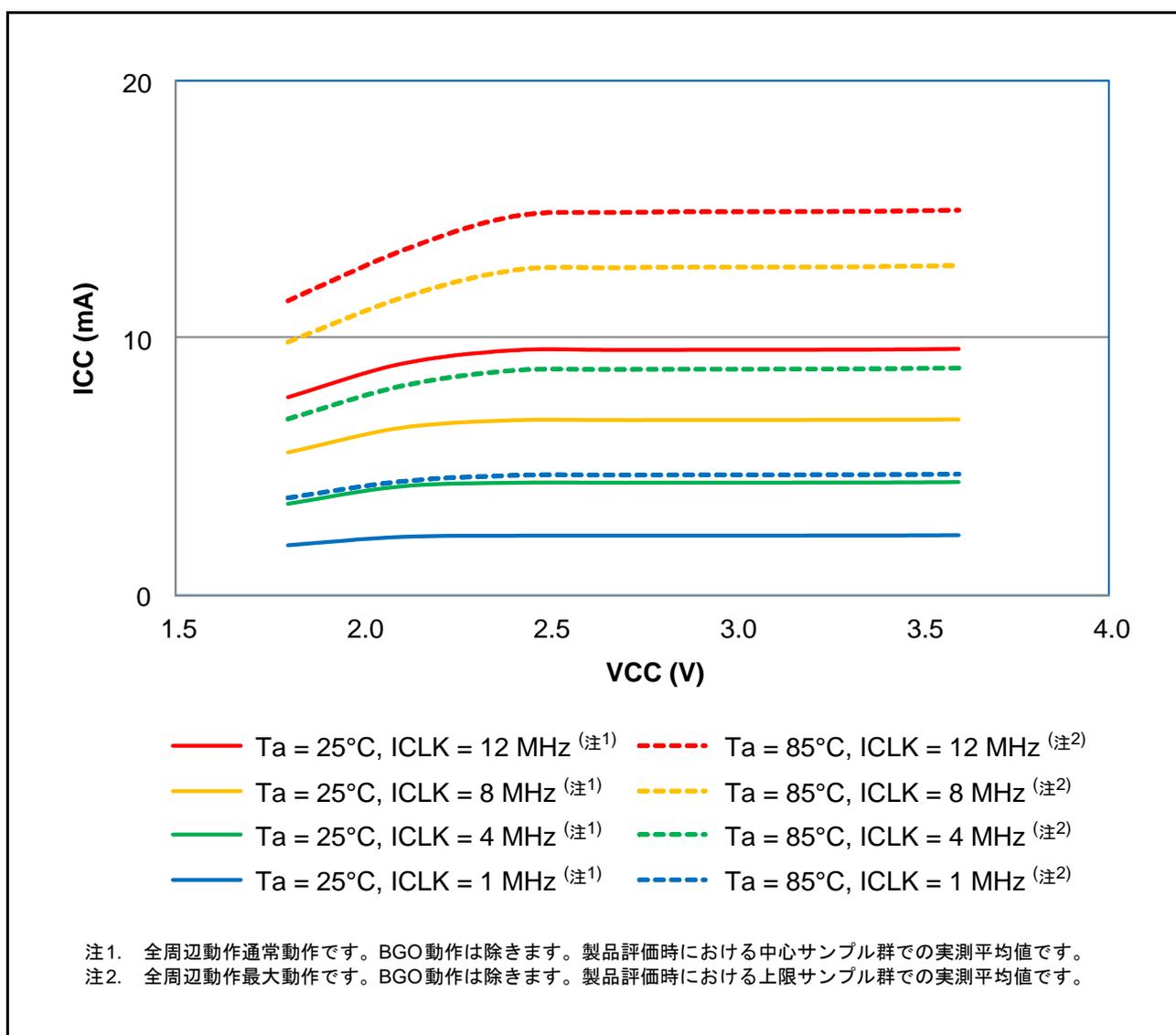


図 2.2 中速動作モードの電圧依存性 (参考データ)

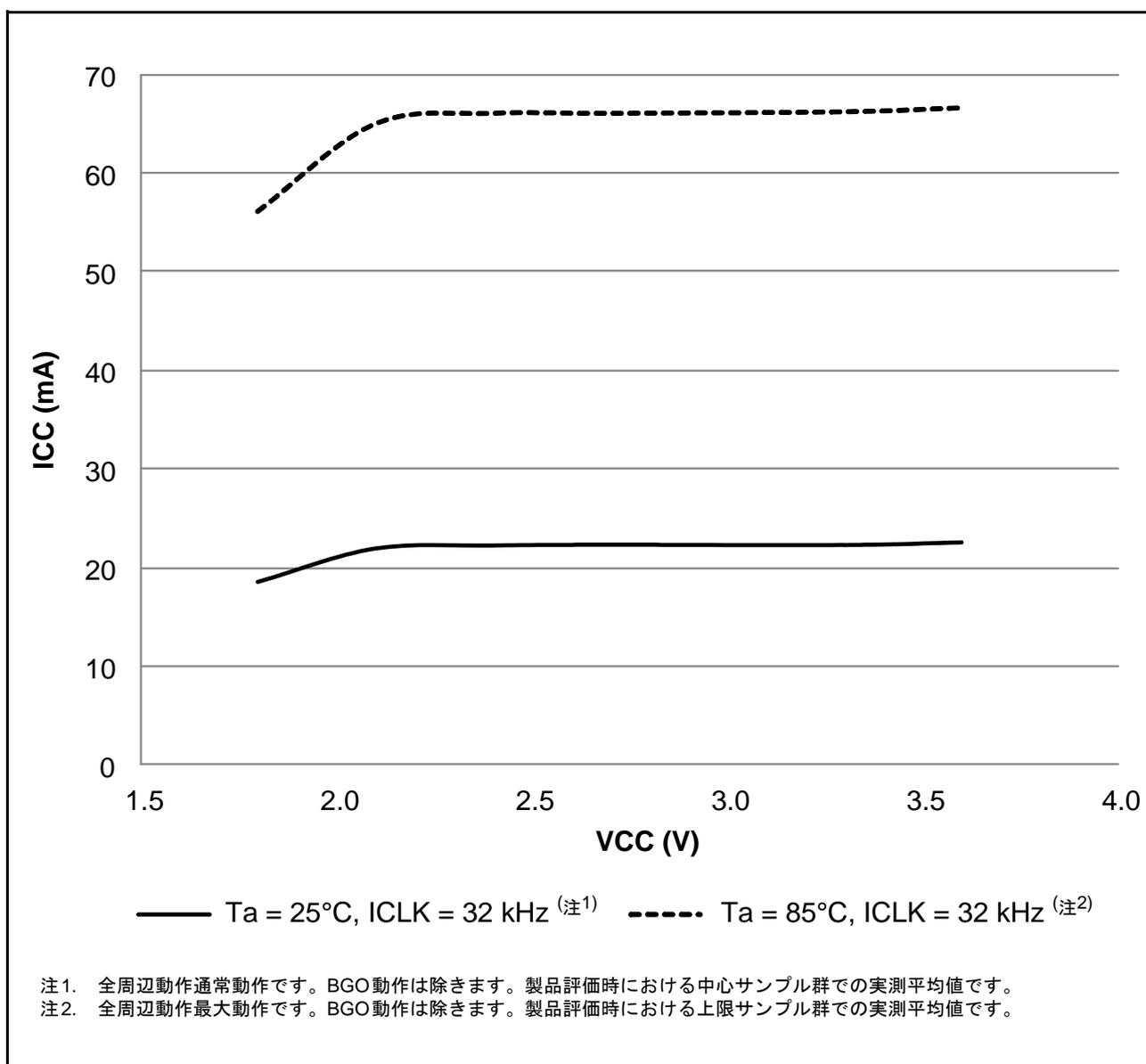


図 2.3 低速動作モードの電圧依存性（参考データ）

表2.8 DC特性 (6)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	$T_a = 25^\circ C$	I_{CC}	0.8	3.7	μA	クロックソースはIWDT専用オンチップオシレータを使用 RCR3.RTCDV[2:0]はドライブ能力低設定 RCR3.RTCDV[2:0]はドライブ能力標準設定
		$T_a = 55^\circ C$		1.2	4.3		
		$T_a = 85^\circ C$		3.5	18.6		
	IWDT動作の増加分			0.4	—		
	LPT動作の増加分			0.4	—		
	RTC動作の増加分 (注4)			0.4	—		
		1.2	—				

- 注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プリアップMOSをオフ状態にした場合の値です。
- 注2. IWDTとLVD、CMPBは動作停止です。
- 注3. $VCC = 3.3V$ の場合です。
- 注4. 発振回路を含みます。

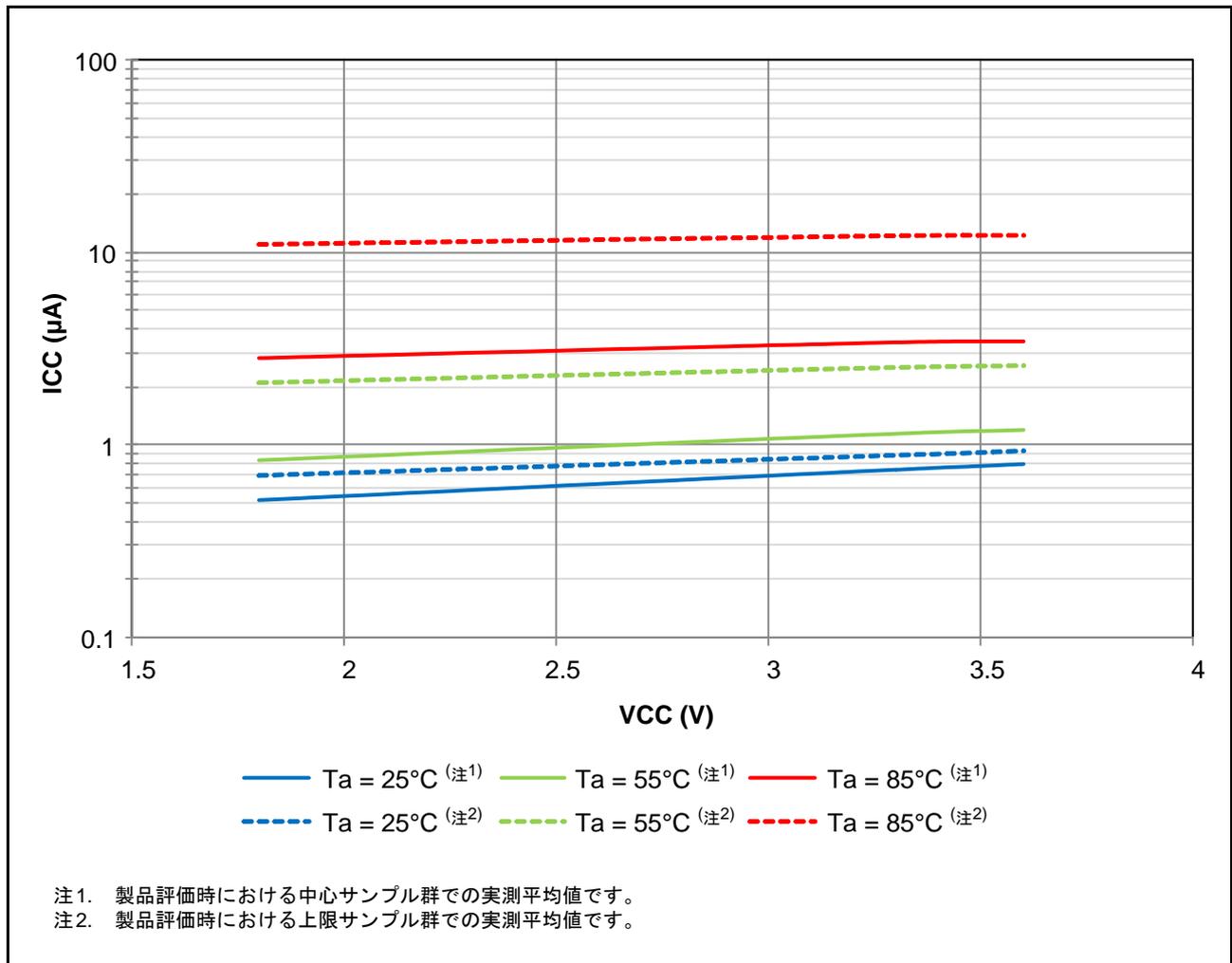


図 2.4 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

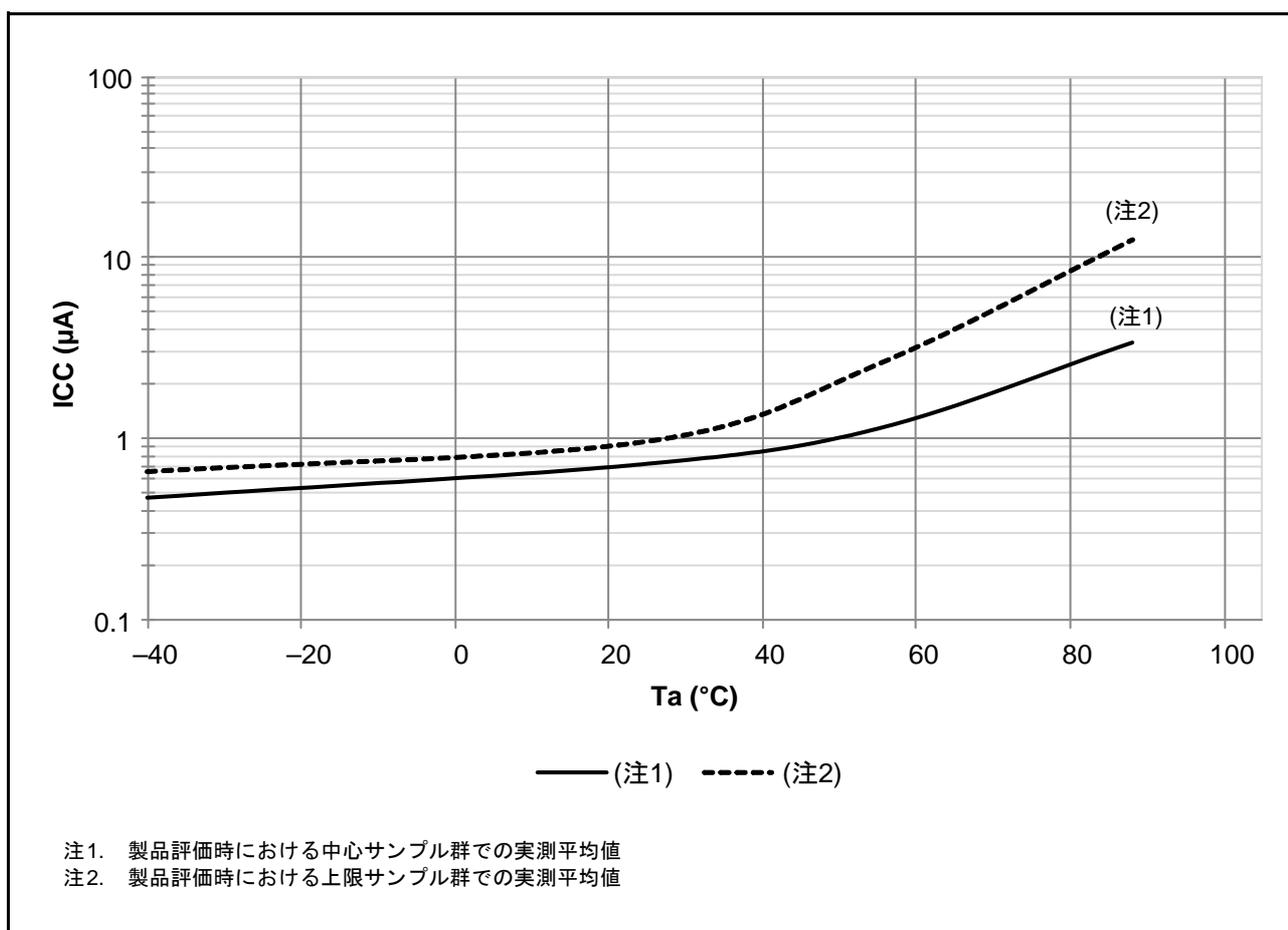


図 2.5 ソフトウェアスタンバイモード時の温度依存性（参考データ）

表 2.9 DC特性 (7)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
 Ta = -40 ~ +85°C

項目		記号	typ	max	単位	測定条件	
消費電流 (注1)	VCCオフ時の RTC動作	Ta = 25°C	I _{CC}	0.8	—	µA	VBATT = 2.0V RCR3.RTCDV[2:0]はドライブ能力低設定
		Ta = 55°C		0.9	—		
		Ta = 85°C		1.0	—		
		Ta = 25°C		0.9	—		VBATT = 3.3V RCR3.RTCDV[2:0]はドライブ能力低設定
		Ta = 55°C		1.0	—		
		Ta = 85°C		1.1	—		
		Ta = 25°C		1.5	—		VBATT = 2.0V RCR3.RTCDV[2:0]はドライブ能力標準設定
		Ta = 55°C		1.8	—		
		Ta = 85°C		2.1	—		
		Ta = 25°C		1.6	—		VBATT = 3.3V RCR3.RTCDV[2:0]はドライブ能力標準設定
		Ta = 55°C		1.9	—		
		Ta = 85°C		2.2	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

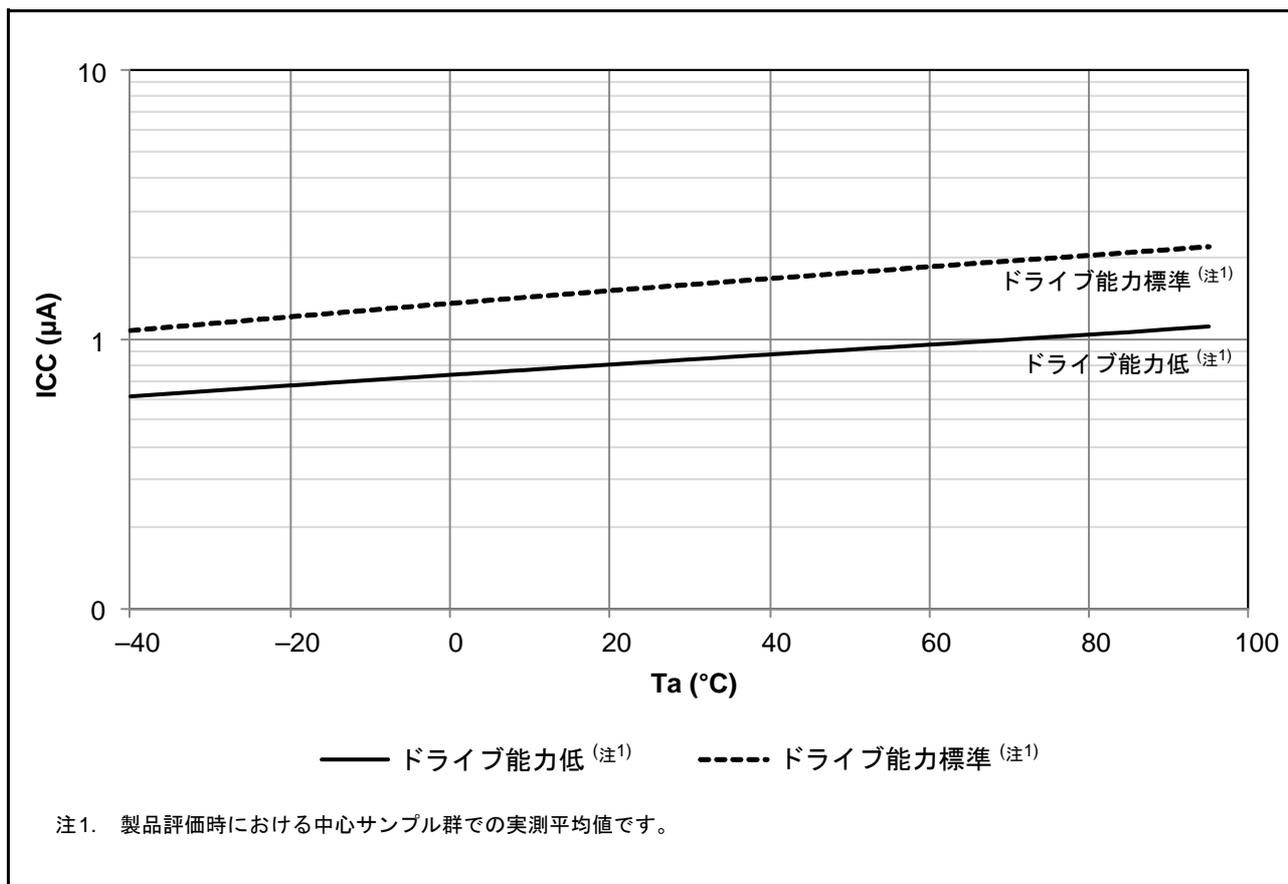


図 2.6 VCC オフ時の RTC 動作の温度依存性 (参考データ)

表 2.10 DC 特性 (8)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$, $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$

項目	記号	min	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	—	350	mW	Dバージョン製品

注1. チップ全体 (出力電流を含む) の総電力です。

表2.11 DC特性 (9)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目		記号	min	typ (注7)	max	単位	測定条件
アナログ電源電流	A/D変換中 (高速変換時)	I _{AVCC}	—	0.7	1.7	mA	
	A/D変換中 (低電流モード)		—	0.6	1.0		
	D/A変換中 (1チャンネル当り) (注1)		—	0.4	0.8		
	A/D、D/A変換待機時 (全ユニット)		—	—	0.4	μA	
リファレンス電源電流	A/D変換中 (高速変換時)	I _{REFH0}	—	25	150	μA	
	A/D変換待機時 (全ユニット)		—	—	60	nA	
	D/A変換中 (1チャンネル当り)	I _{REFH}	—	50	100	μA	
	D/A変換待機時 (全ユニット)		—	—	100	nA	
LVD1	—	I _{LVD}	—	0.15	—	μA	
温度センサ (注6)	—	I _{TEMP}	—	75	—	μA	
コンパレータB動作電流 (注6)	ウィンドウ機能有効	I _{CMP} (注5)	—	12.5	28.6	μA	
	コンパレータ高速モード (1チャンネル当り)		—	3.2	16.2	μA	
	コンパレータ低速モード (1チャンネル当り)		—	1.7	4.4	μA	
CTSU動作電流	<ul style="list-style-type: none"> 計測期間中 (CPUはスリープ) ベースクロック 2MHz 端子容量 50pF 	I _{CTSU}	—	150	—	μA	
USB動作電流 (注4)	以下の設定、条件におけるUSB通信動作時 <ul style="list-style-type: none"> フルスピードモードのホスト動作設定 バルクOUT転送 (64バイト) 1本、 バルクIN転送 (64バイト) 1本 USBポートからUSBケーブル (1m) を経由して周辺機器に接続 	I _{USBH} (注2)	—	4.3 (VCC) 0.9 (VCC_USB)	—	mA	
	以下の設定、条件におけるUSB通信動作時 <ul style="list-style-type: none"> フルスピードモードのファンクション動作設定 バルクOUT転送 (64バイト) 1本 バルクIN転送 (64バイト) 1本 USBポートからUSBケーブル (1m) を経由してホスト機器に接続 	I _{USBF} (注2)	—	3.6 (VCC) 1.1 (VCC_USB)	—	mA	
	以下の設定、条件におけるサスペンド時 <ul style="list-style-type: none"> フルスピードモードのファンクション動作設定 (USB0_DP端子をプルアップ) ソフトウェアスタンバイモード USBポートからUSBケーブル (1m) を経由してホスト機器に接続 	I _{SUSP} (注3)	—	0.35 (VCC) 170 (VCC_USB)	—	μA	

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. USBモジュールのみの消費電流です。

注3. サスペンド状態における本製品の自己消費電流に加えて、USB0_DP端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

注4. 電源 (VCC、VCC_USB) の消費電流です。

注5. コンパレータBモジュールのみの消費電流です。

注6. 電源 (VCC) の消費電流です。

注7. VCC = AVCC0 = VCC_USB = 3.3Vのとき。

表2.12 DC特性 (10)

条件 : VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF = 3.3V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、T_a = +25°C

項目	記号	typ		単位	測定条件	
		Transmit output power				
		0dBm	4dBm			
BLE動作電流 (DC-DCコンバータ選択時)	Idd_tx	4.3	8.7	mA	Transmit mode, 2Mbps	
						Transmit mode, 1Mbps
		4.5	8.7			Transmit mode, 500kbps
						Transmit mode, 125kbps
	Idd_rx	3.0	3.5	mA	Receive mode, 2Mbps Prf = -67dBm	
		3.0	3.4			Receive mode, 1Mbps Prf = -67dBm
		3.2	3.5			Receive mode, 500kbps Prf = -72dBm
		3.3	3.5			Receive mode, 125kbps Prf = -79dBm
	Idd_idle	0.5		mA	Idle mode	
	Idd_slp	1.5		μA	Deep sleep mode	
Idd_down	0.1		μA	Power down mode		
BLE動作電流 (リニアレギュレータ選択時)	Idd_tx	10.2	18.1	mA	Transmit mode, 2Mbps	
						Transmit mode, 1Mbps
						Transmit mode, 500kbps
						Transmit mode, 125kbps
	Idd_rx	6.9		mA	Receive mode, 2Mbps Prf = -67dBm	
		6.9				Receive mode, 1Mbps Prf = -67dBm
		6.9				Receive mode, 500kbps Prf = -72dBm
		7.1				Receive mode, 125kbps Prf = -79dBm
	Idd_idle	0.7		mA	Idle mode	
	Idd_slp	1.5		μA	Deep sleep mode	
Idd_down	0.1		μA	Power down mode		

表2.13 DC特性 (11)

条件 : 1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V _{RAM}	1.8	—	—	V	

表2.14 DC特性 (12)

条件： $0V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時(注1)	SrVCC	0.02	—	20	ms/V	
	起動時間短縮時(注2)		0.02	—	2		
	起動時電圧監視0リセット有効時(注3、注4)		0.02	—	—		

注1. OFS1.(FASTSTUP, LVDAS)ビット = 11bを設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS)ビット = 01bを設定した場合です。

注3. OFS1.LVDASビット = 0を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表2.15 DC特性 (13)

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

電源リップルは、VCCの上限と下限は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 2.7 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図 2.7 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図 2.7 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動が $VCC \pm 10\%$ を超える場合

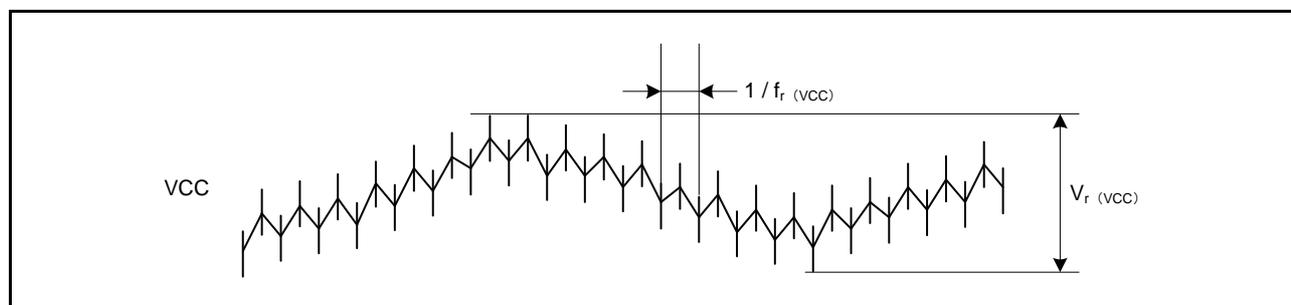


図 2.7 電源リップル波形

表2.16 DC特性 (14)

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量許容誤差	C_{VCL}	1.4	4.7	7.0	μF	

注. 推奨は4.7 μF です。端子容量のばらつきは、上記の範囲内になしてください。

表2.17 出力許容電流値

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目		記号	max	単位	
出力Lowレベル許容電流 (1端子あたりの平均値)	ポート03、05、07、ポート36、37、ポート40～47	I _{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流 (1端子あたりの最大値)	ポート03、05、07、ポート36、37、ポート40～47	I _{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流	ポート03、05、07、ポート40～47の合計	ΣI _{OL}	40	mA	
	ポート14～17、ポート21、22、25～27、 ポート30、31、35～37、ポートPJ3の合計		40		
	ポートB0、B1、B3、B5、B7、ポートC0、C2～C7の合計		40		
	ポートD3、ポートE0～E4の合計		40		
	全出力端子の総和		80		
出力Highレベル許容電流 (1端子あたりの平均値)	ポート03、05、07、ポート36、37、ポート40～47	I _{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流 (1端子あたりの最大値)	ポート03、05、07、ポート36、37、ポート40～47	I _{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流	ポート03、05、07、ポート40～47の合計	ΣI _{OH}	-40	mA	
	ポート14～17、ポート21、22、25～27、 ポート30、31、35～37、ポートPJ3の合計		-40		
	ポートB0、B1、B3、B5、B7、ポートC0、C2～C7の合計		-40		
	ポートD3、ポートE0～E4の合計		-40		
	全出力端子の総和		-80		

注. 許容総消費電流は超えないようにしてください。

表2.18 出力電圧値 (1)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 2.7V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位	測定条件
出力Lowレベル	全出力端子 (注1)	通常出力時	—	0.8	V	$I_{OL} = 0.5mA$
		高駆動出力時				$I_{OL} = 1.0mA$
出力Highレベル	全出力端子 (注1)	通常出力時	ポート03、05、07、 ポート40～47	V_{OH}	—	$AVCC0 - 0.5$
		高駆動出力時	$VCC - 0.5$	—	$I_{OH} = -1.0mA$	

注1. CLKOUT_RF端子を除く

表2.19 出力電圧値 (2)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位	測定条件
出力Lowレベル	全出力端子 (RIIC以外) (注1)	通常出力時	—	0.8	V	$I_{OL} = 1.0mA$
		高駆動出力時				$I_{OL} = 2.0mA$
	RIIC端子	スタンダードモード (通常駆動選択時)	—	0.4	$I_{OL} = 3.0mA$	
		ファストモード (高駆動出力選択時)	—	0.6	$I_{OL} = 6.0mA$	
出力Highレベル	全出力端子 (注1)	通常出力時	ポート03、05、07、 ポート40～47	V_{OH}	—	$AVCC0 - 0.8$
		高駆動出力時	$VCC - 0.8$	—	$I_{OH} = -2.0mA$	

注1. CLKOUT_RF端子を除く

表2.20 出力電圧値 (3)

条件: $3.0V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位	測定条件
出力Lowレベル	CLKOUT_RF	V_{OL}	—	0.3	V	$I_{OL} = 0.5mA$
出力Highレベル	CLKOUT_RF	V_{OH}	$VCC_RF - 0.3$	—	V	$I_{OH} = -0.5mA$

2.2.1 標準 I/O 端子出力特性 (1)

図 2.8 ~ 図 2.11 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

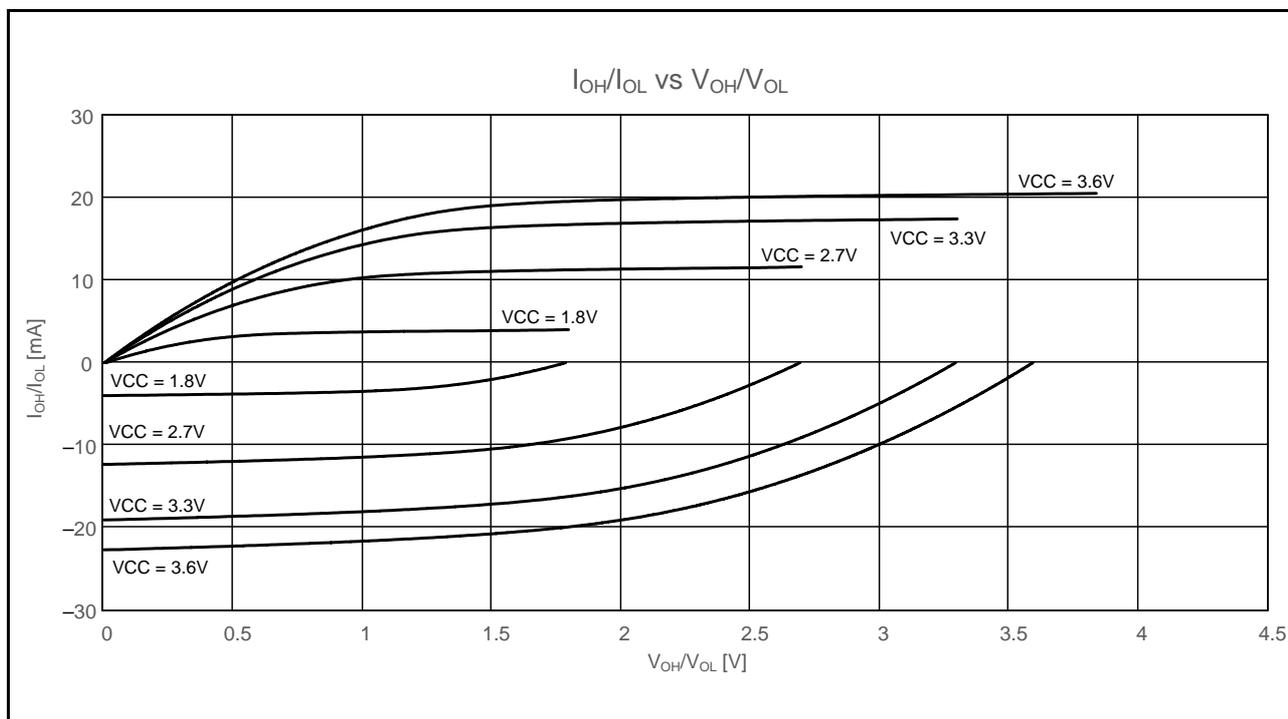


図 2.8 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ C$ (参考データ)

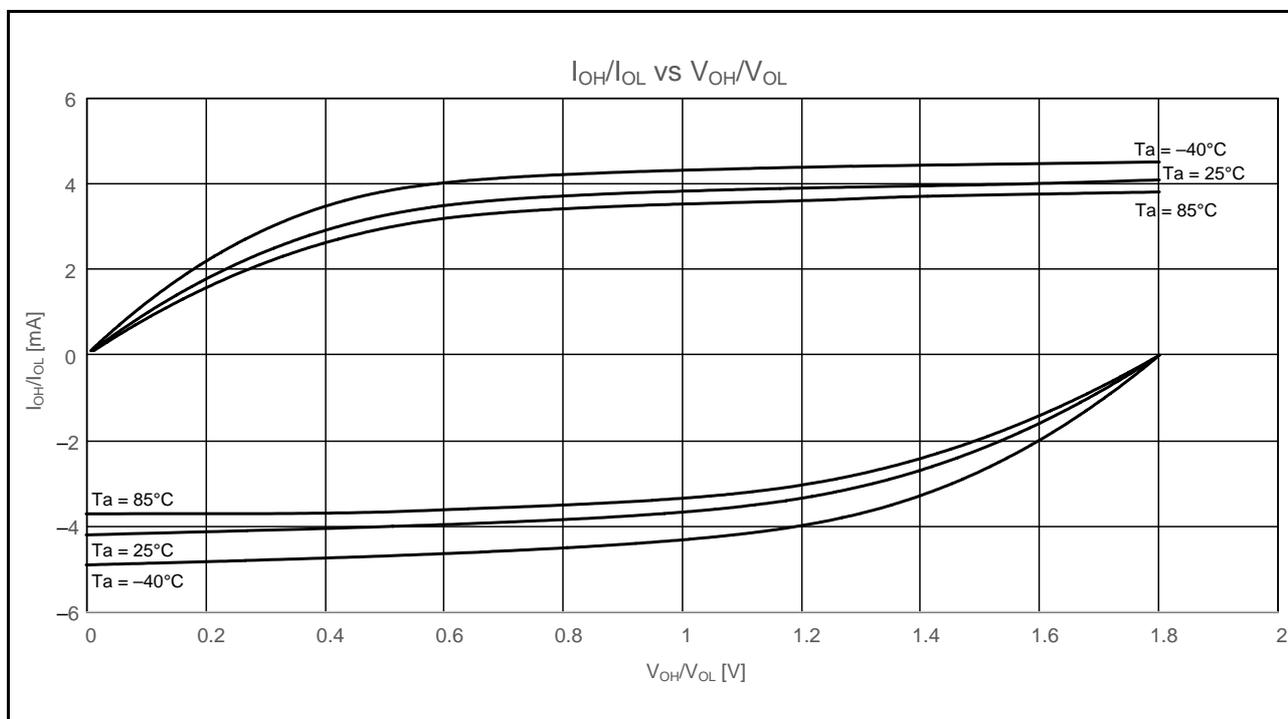


図 2.9 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8V$ (参考データ)

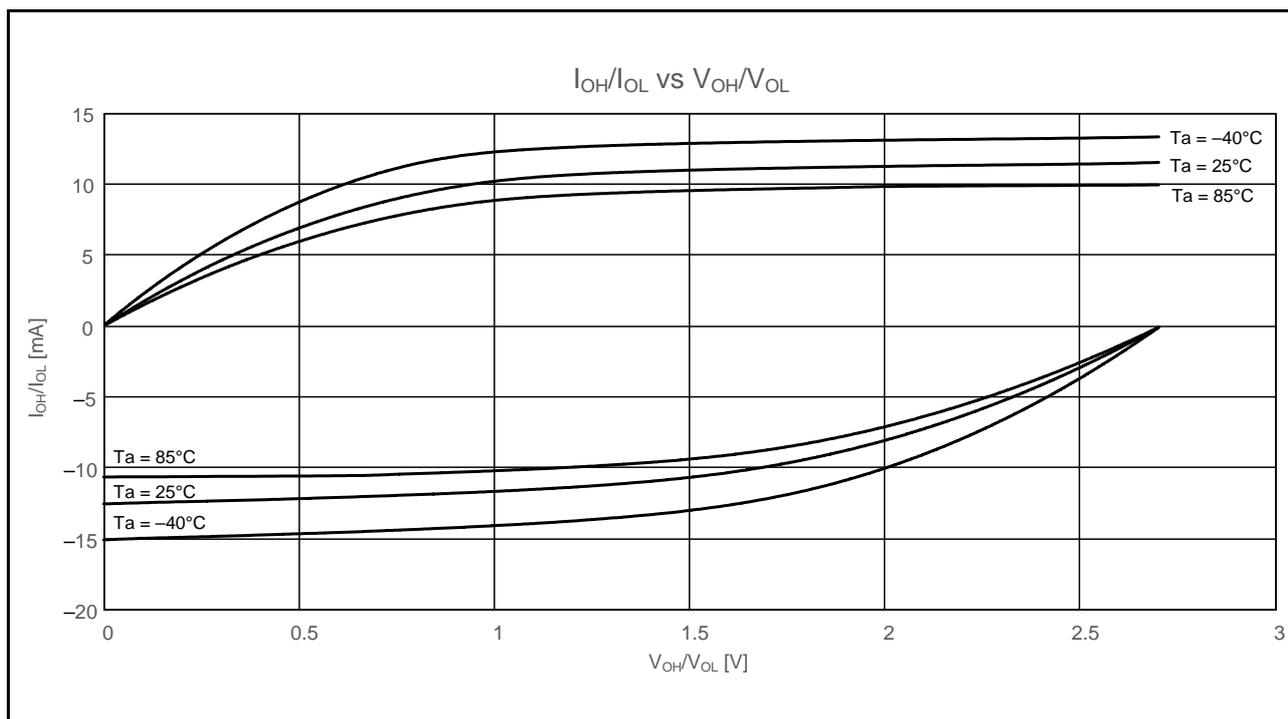


図 2.10 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

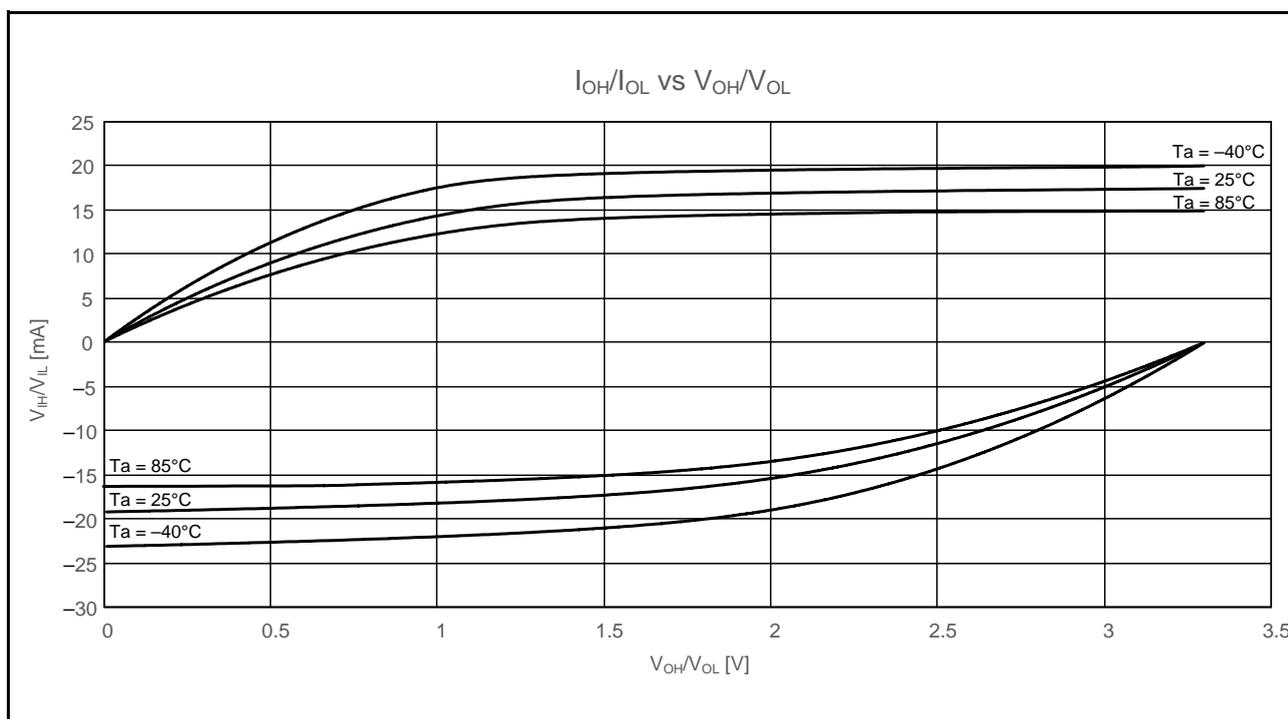


図 2.11 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

2.2.2 標準 I/O 端子出力特性 (2)

図 2.12 ~ 図 2.15 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

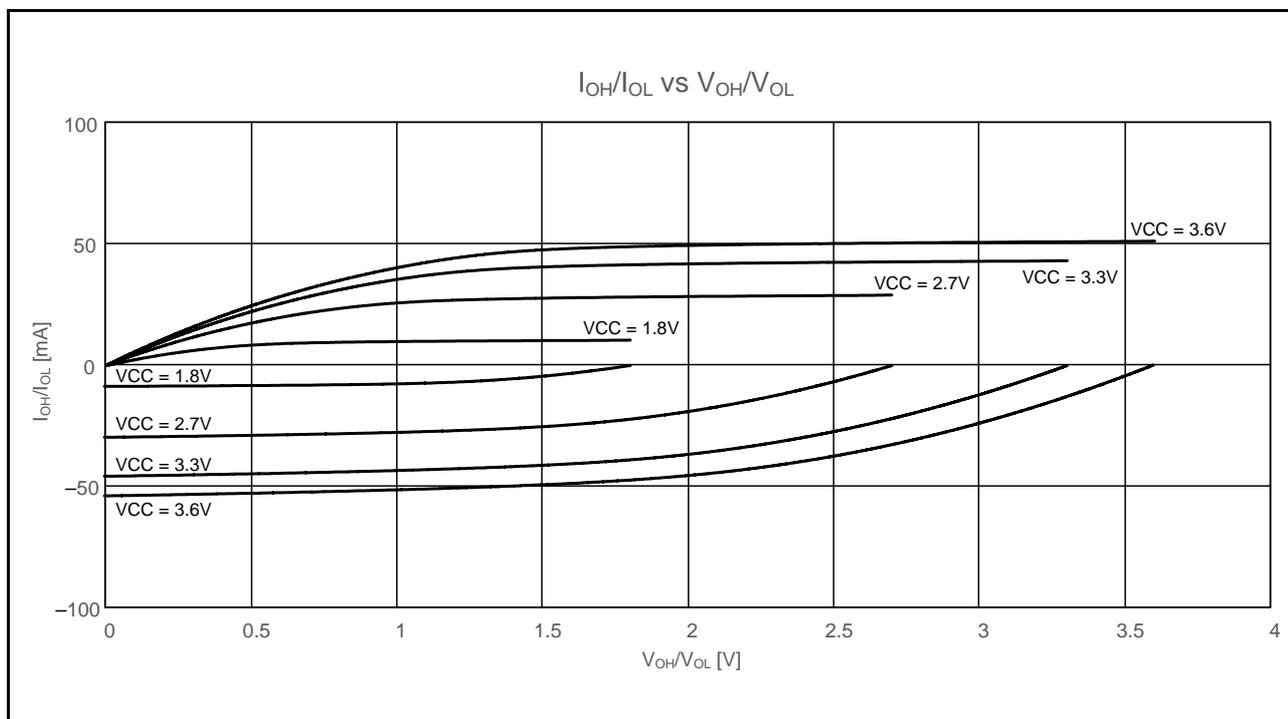


図 2.12 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ C$ (参考データ)

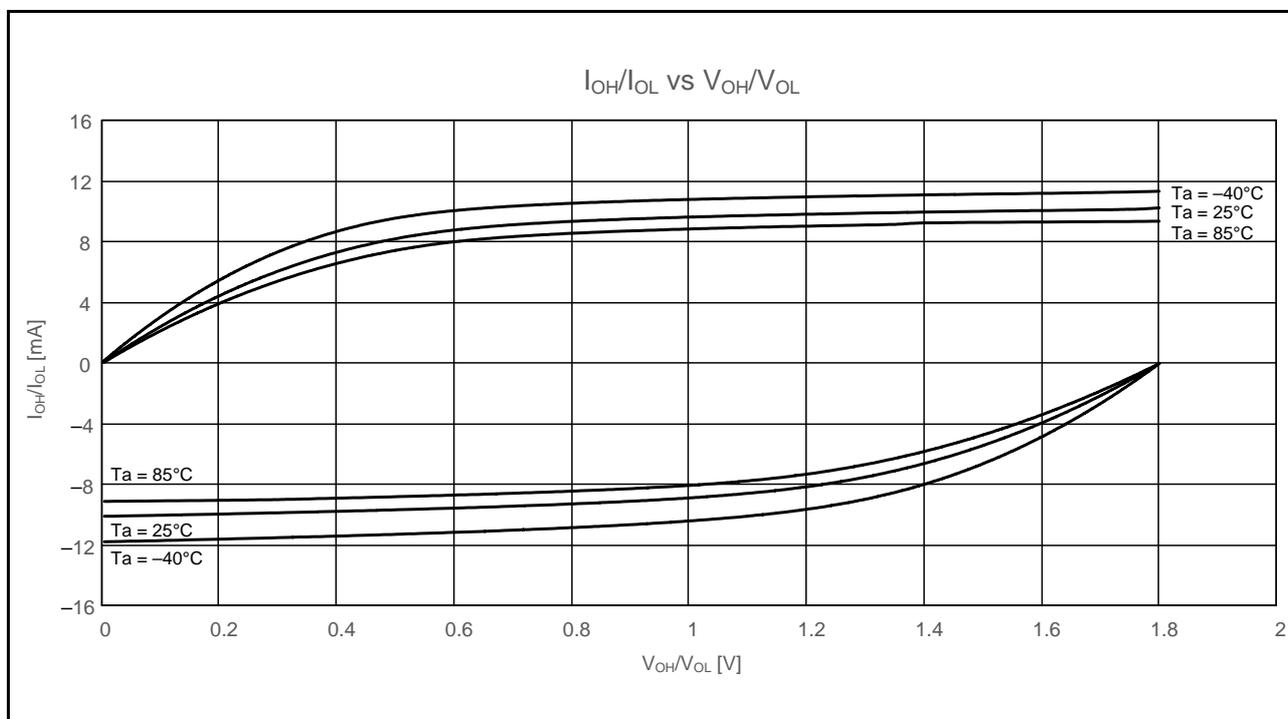


図 2.13 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8V$ (参考データ)

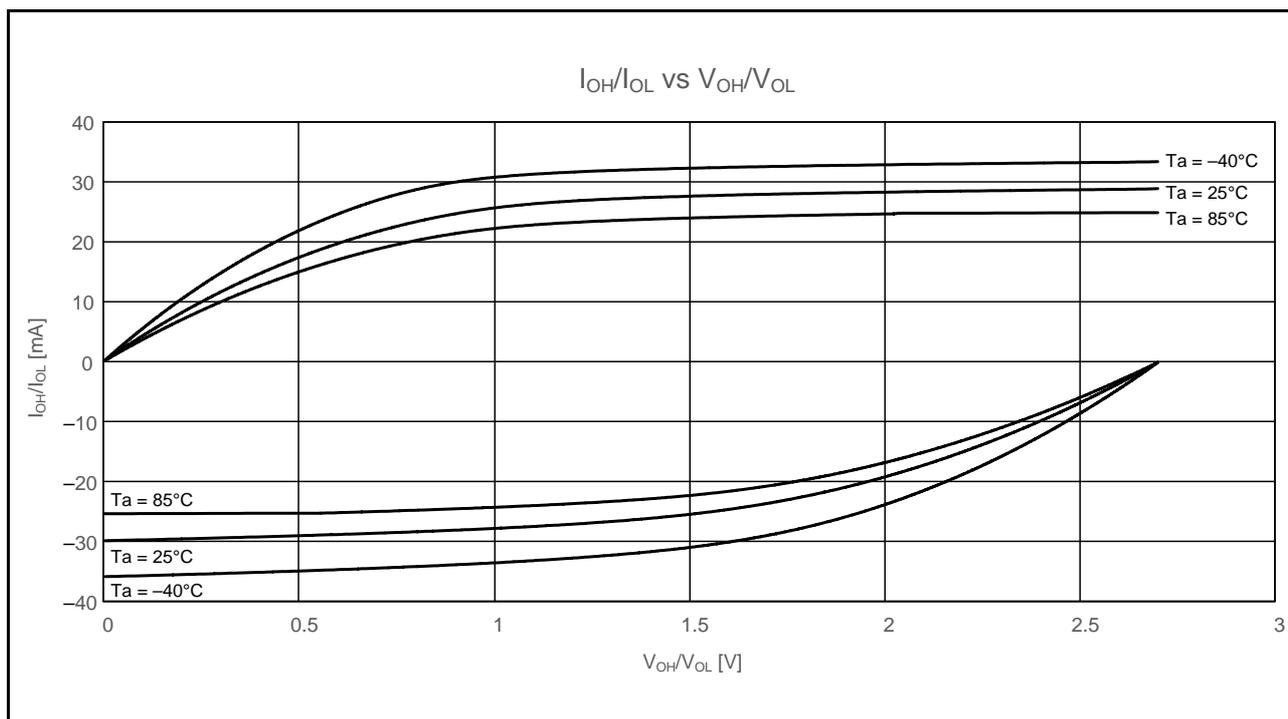


図 2.14 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

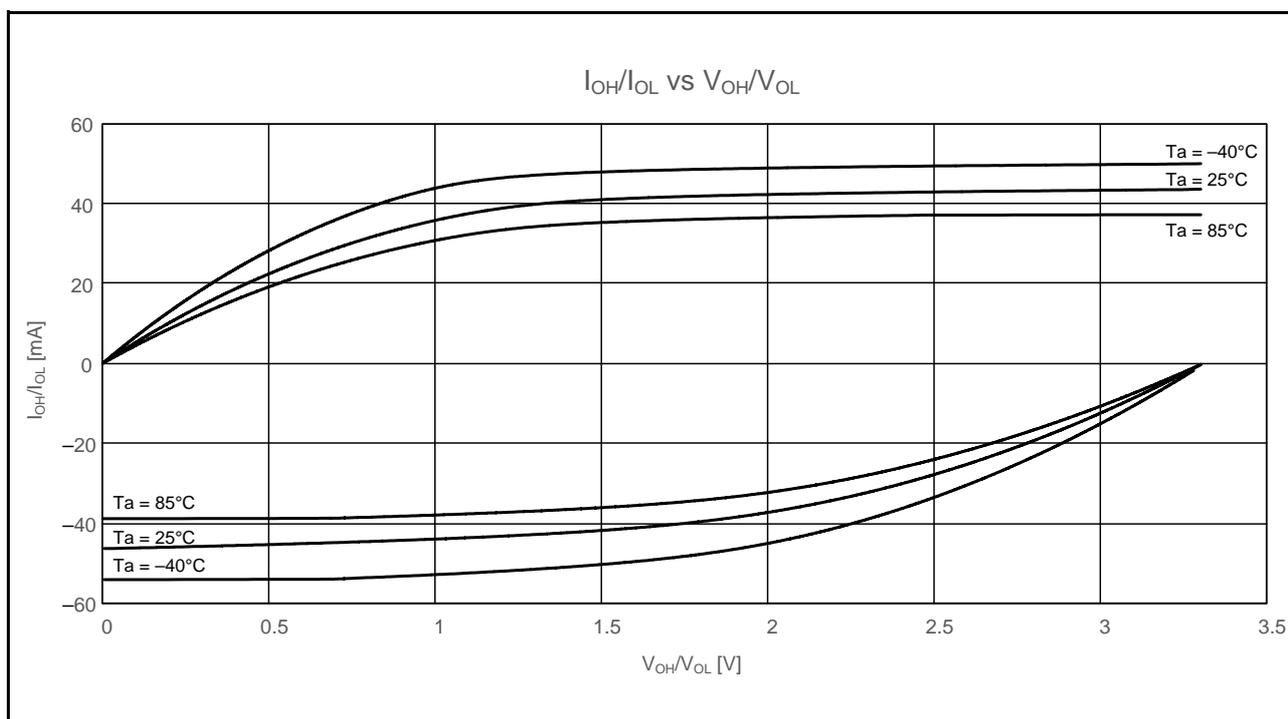


図 2.15 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

2.2.3 標準 I/O 端子出力特性 (3)

図 2.16 ~ 図 2.18 に RIIC 出力端子の特性を示します。

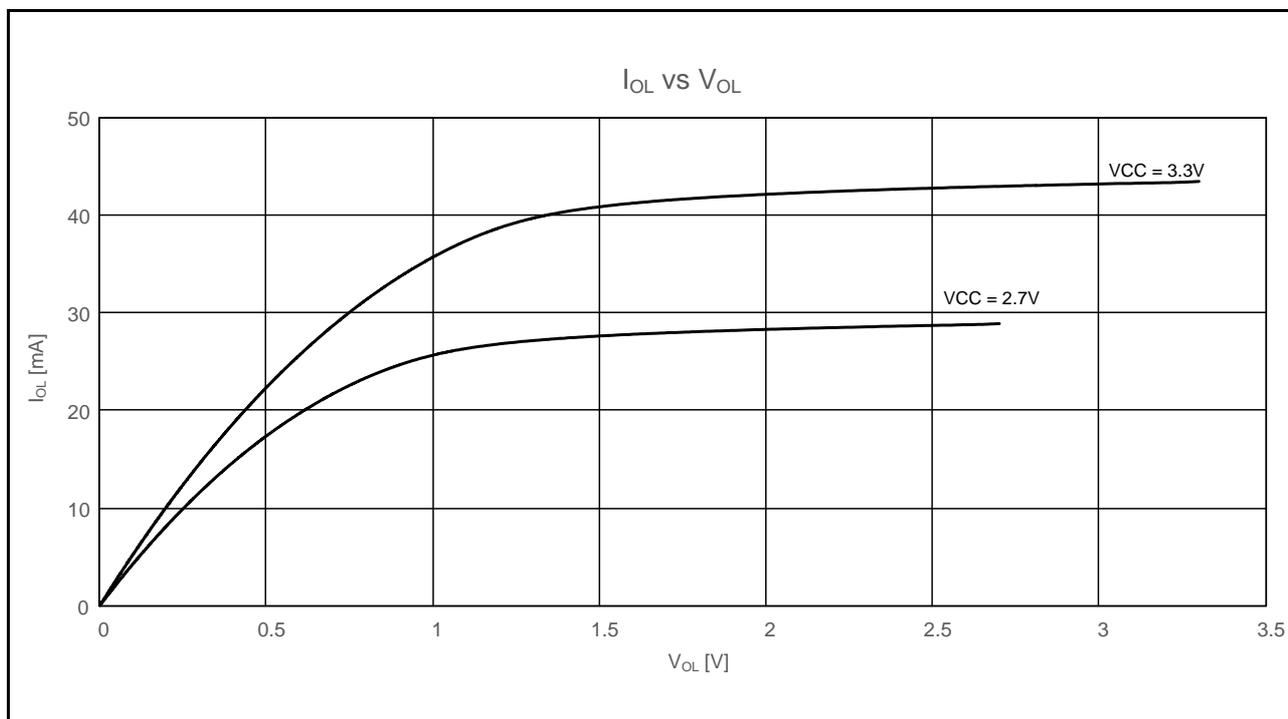


図 2.16 RIIC 出力端子の V_{OL} 、 I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

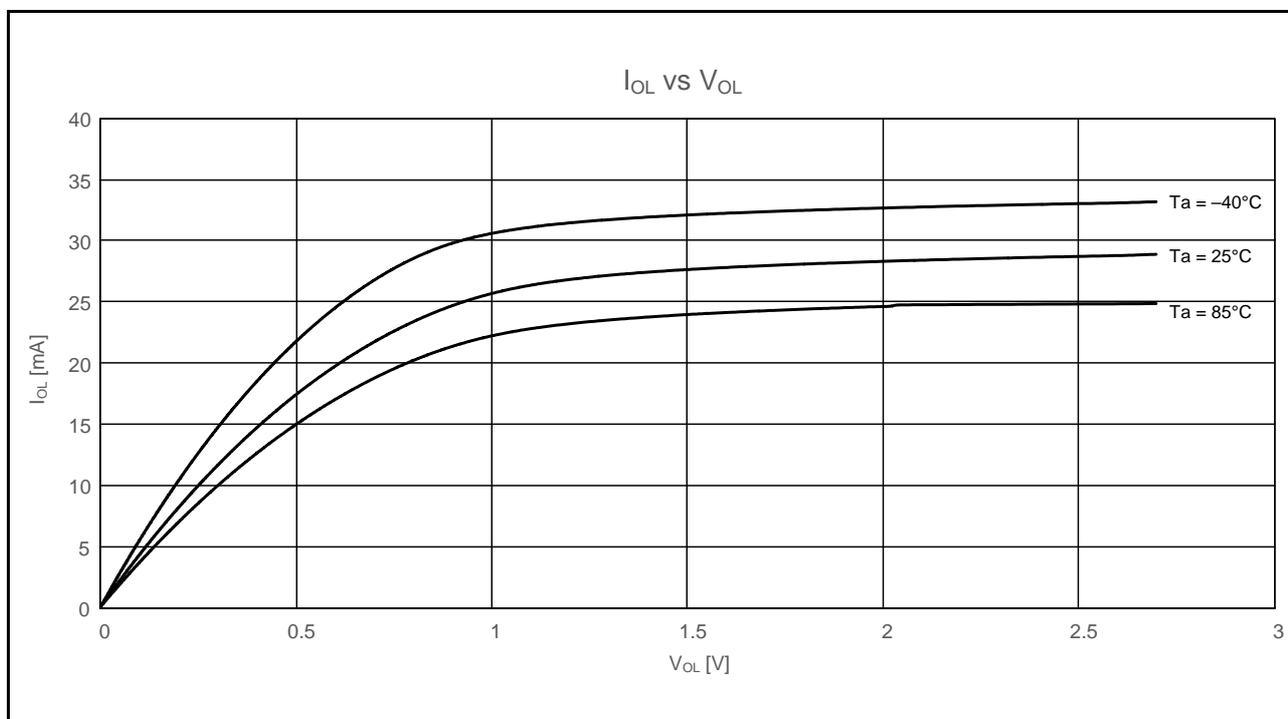


図 2.17 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 2.7\text{V}$ (参考データ)

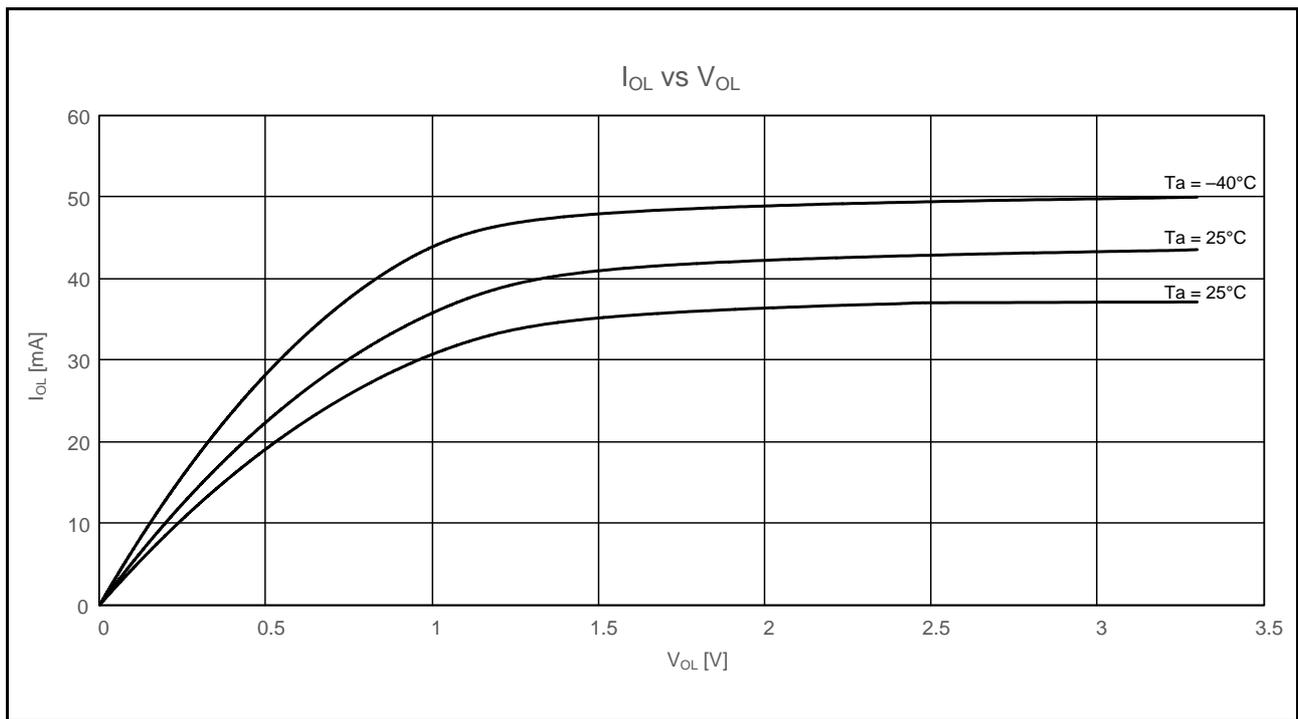


図 2.18 RIIC 出力端子の V_{OL}、I_{OL} 温度特性 VCC = 3.3V (参考データ)

2.3 AC 特性

2.3.1 クロックタイミング

表2.21 動作周波数（高速動作モード）

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目	記号	VCC				単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 3.6V$	USB使用時 (注3)		
最大動作周波数(注4)	システムクロック (ICLK)	f_{max}	8	16	54	54	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	16	32	32	
	周辺モジュールクロック (PCLKA)		8	16	54	54	
	周辺モジュールクロック (PCLKB)		8	16	32	32	
	周辺モジュールクロック (PCLKD)		8	32	54	54	
	USBクロック (UCLK)	f_{usb}	—	—	—	48	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. USBクロック使用時のVCC_USBは3.0~3.6Vです。

注4. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表2.24 クロックタイミング」を参照してください。

表2.22 動作周波数（中速動作モード）

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目	記号	VCC				単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 3.6V$	USB使用時 (注3)		
最大動作周波数(注4)	システムクロック (ICLK)	f_{max}	8	12	12	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	12	12	12	
	周辺モジュールクロック (PCLKA)		8	12	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	12	
	周辺モジュールクロック (PCLKD)		8	12	12	12	
	USBクロック (UCLK)	f_{usb}	—	—	—	48	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. USBクロック使用時のVCC_USBは3.0~3.6Vです。

注4. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表2.24 クロックタイミング」を参照してください。

表2.23 動作周波数（低速動作モード）

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目	記号	VCC			単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 3.6V$		
最大動作周波数 (注3)	システムクロック (ICLK)	f _{max}	32.768			kHz
	FlashIFクロック (FCLK) (注1)		32.768			
	周辺モジュールクロック (PCLKA)		32.768			
	周辺モジュールクロック (PCLKB)		32.768			
	周辺モジュールクロック (PCLKD) (注2)		32.768			

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

注3. 記載している最高動作周波数には、外部発振子の誤差を含めず表記しています。動作保証範囲については、「表2.24 クロックタイミング」を参照してください。

表2.24 クロックタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	t _{XCYC}	50	—	—	ns	図2.19	
EXTAL外部クロック入力パルス幅Highレベル	t _{XH}	20	—	—	ns		
EXTAL外部クロック入力パルス幅Lowレベル	t _{XL}	20	—	—	ns		
EXTAL外部クロック立ち上がり時間	t _{Xr}	—	—	5	ns		
EXTAL外部クロック立ち下がり時間	t _{Xf}	—	—	5	ns		
EXTAL外部クロック入力待機時間(注1)	t _{XWT}	0.5	—	—	μs	図2.20	
メインクロック発振器発振周波数(注2)	f _{MAIN}	2.4 ≤ VCC ≤ 3.6	1	—	20		MHz
		1.8 ≤ VCC < 2.4	1	—	8		
メインクロック発振安定時間(水晶振動子)(注2)	t _{MAINOSC}	—	3	—	ms		
メインクロック発振安定時間(セラミック共振子)(注2)	t _{MAINOSC}	—	50	—	μs		
LOCOクロック発振周波数	f _{LOCO}	3.44	4.0	4.56	MHz		
LOCOクロック発振安定時間	t _{LOCO}	—	—	0.5	μs	図2.21	
IWDT専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz		
IWDT専用クロック発振安定時間	t _{ILOCO}	—	—	50	μs	図2.22	
Bluetooth専用クロック発振周波数	f _{BLECK}	—	32	—	MHz		
Bluetooth専用低速オンチップオシレータ発振周波数	f _{BLELOCO}	—	32.768	—	kHz		
HOCOクロック発振周波数	f _{HOCO} (32MHz)	31.36	32	32.64	MHz	T _a = 0 ~ +85°C	
		31.04	32	32.96		T _a = -40 ~ +85°C	
	f _{HOCO} (54MHz)	52.92	54	55.08	MHz	T _a = 0 ~ +85°C	
		52.38	54	55.62		T _a = -40 ~ +85°C	
HOCOクロック発振安定時間	t _{HOCO}	—	—	30	μs	図2.24	
PLL入力周波数(注3)	f _{PLLIN}	4	—	12.5	MHz		
PLL回路発振周波数(注3)	f _{PLL}	24	—	54	MHz		
PLLクロック発振安定時間	t _{PLL}	—	—	50	μs	図2.25	
PLL自励発振周波数	f _{PLLFR}	—	8	—	MHz		
USBPLL入力周波数(注5)	f _{PLLIN}	—	4, 6, 8, 12	—	MHz		
USBPLL回路発振周波数(注5)	f _{PLL}	—	48(注6)	—	MHz		
USBPLLクロック発振安定時間	t _{PLL}	—	—	50	μs	図2.25	
サブクロック発振器発振周波数(注7)	f _{SUB}	—	32.768	—	kHz		
サブクロック発振安定時間(注4)	t _{SUBOSC}	—	0.5	—	s	図2.26	

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

注3. PLLを使用する場合、VCCは2.4~3.6Vにしてください。

注4. 32.768kHzの発振子を使用した参考値です。

SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

注5. USBPLL使用時のVCCは3.0~3.6Vです。

注6. 発振周波数は48MHzのみ設定可能です。

注7. 32.768kHzのみ使用可能です。

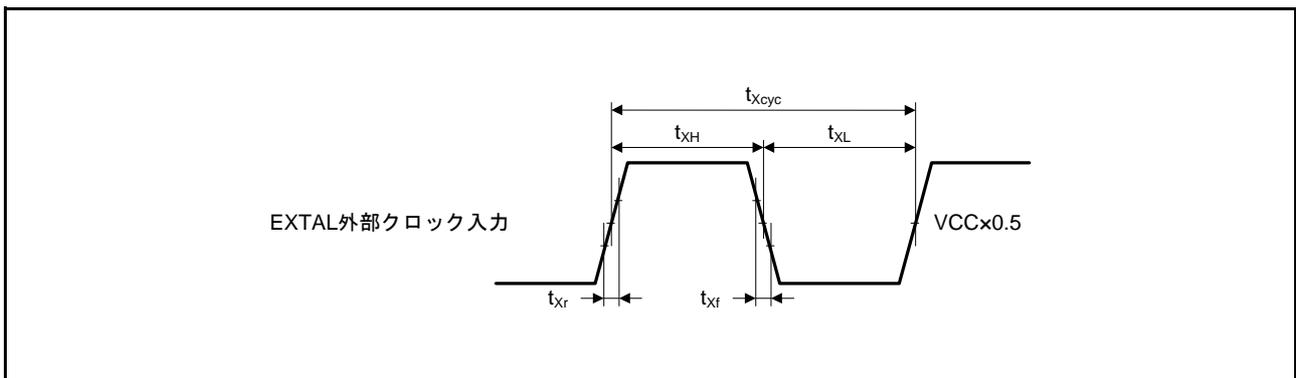


図 2.19 EXTERNAL 外部クロック入力タイミング

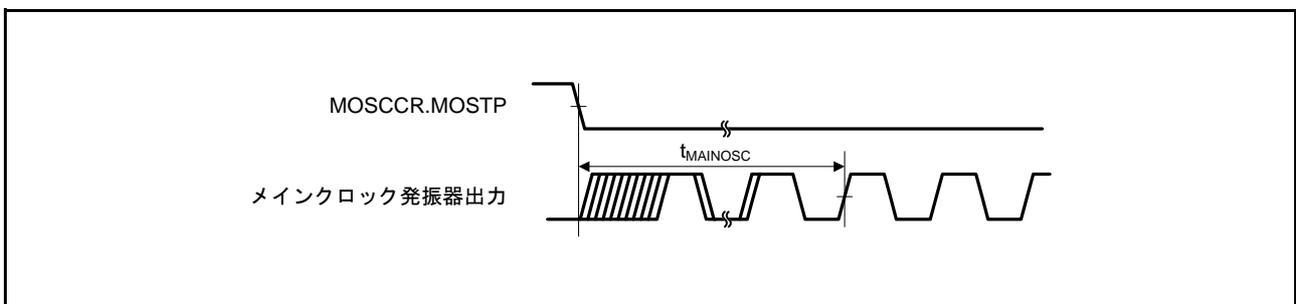


図 2.20 メインクロック発振開始タイミング

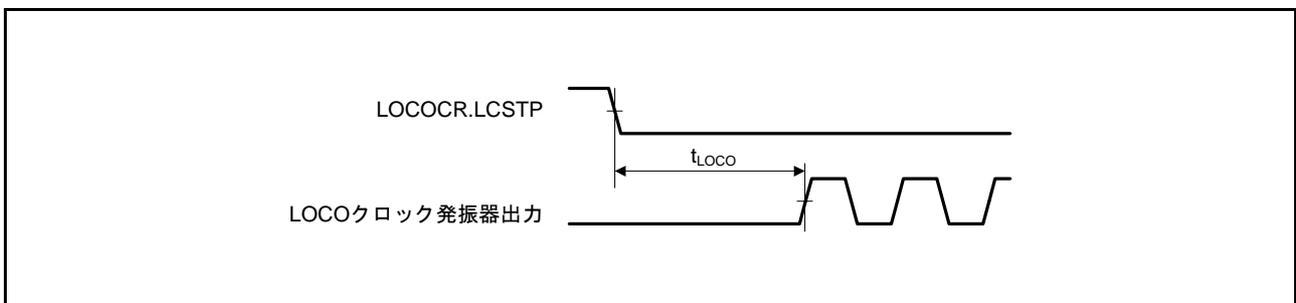


図 2.21 LOCO クロック発振開始タイミング

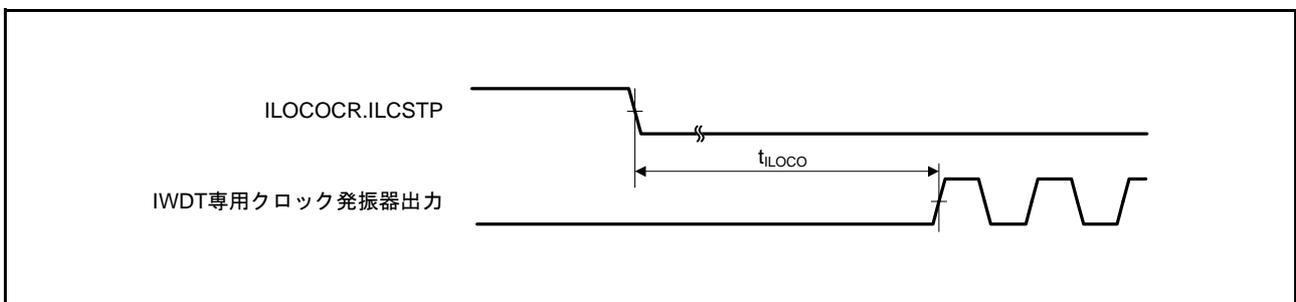


図 2.22 IWDT 専用クロック発振開始タイミング

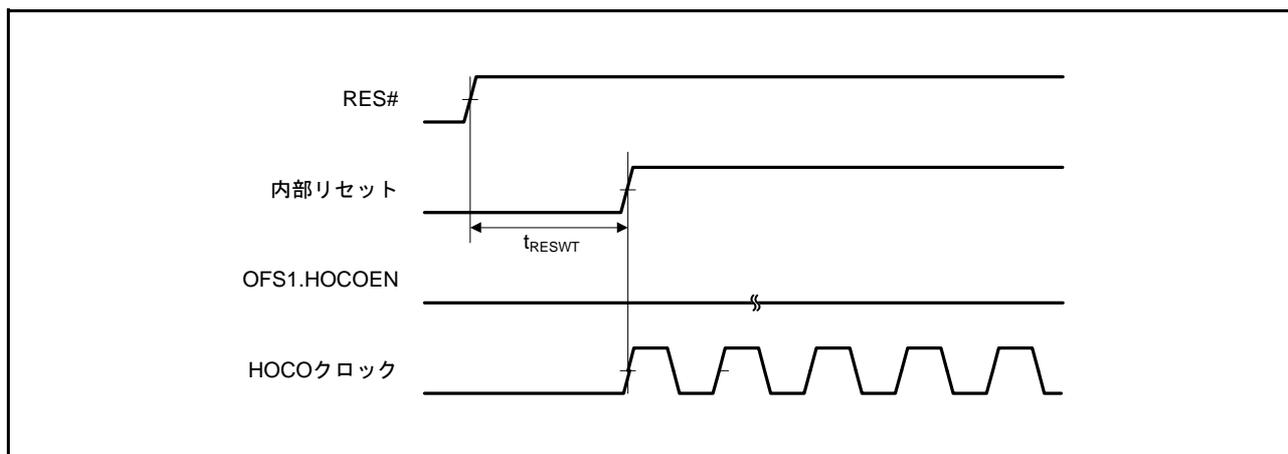


図 2.23 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

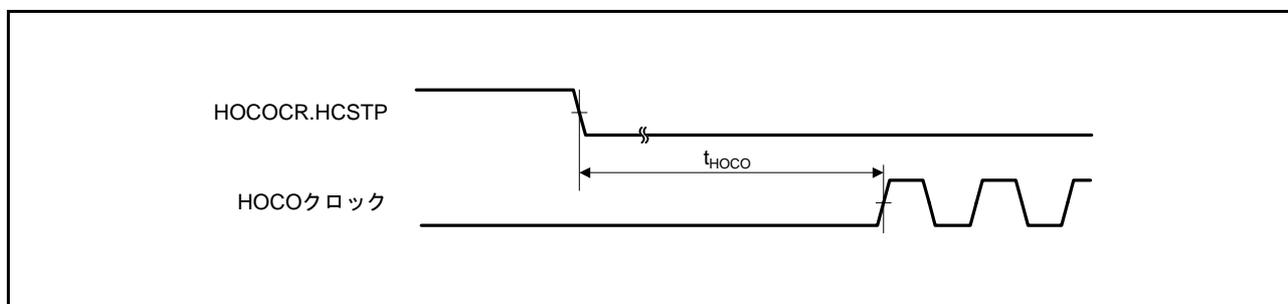


図 2.24 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

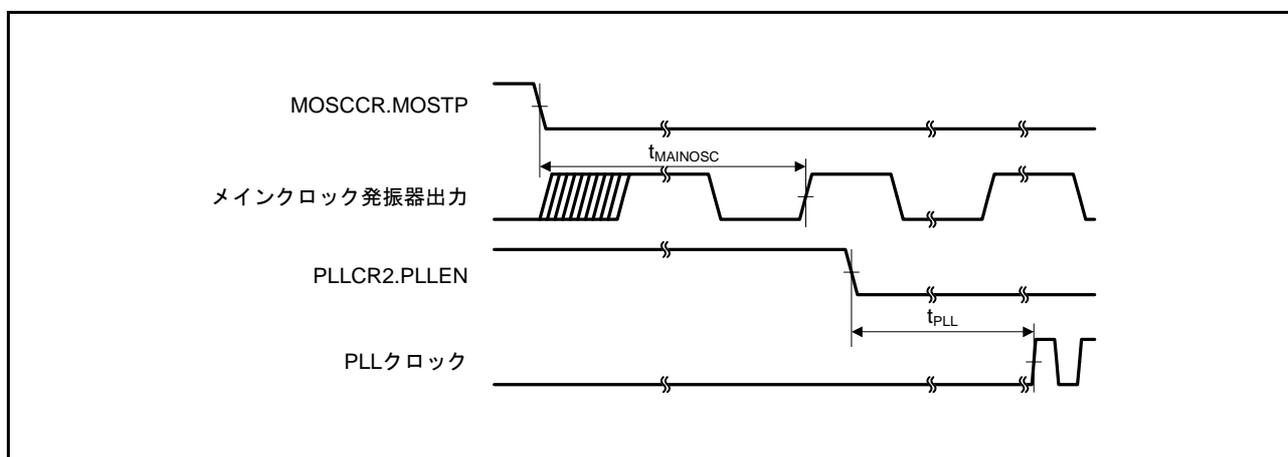


図 2.25 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

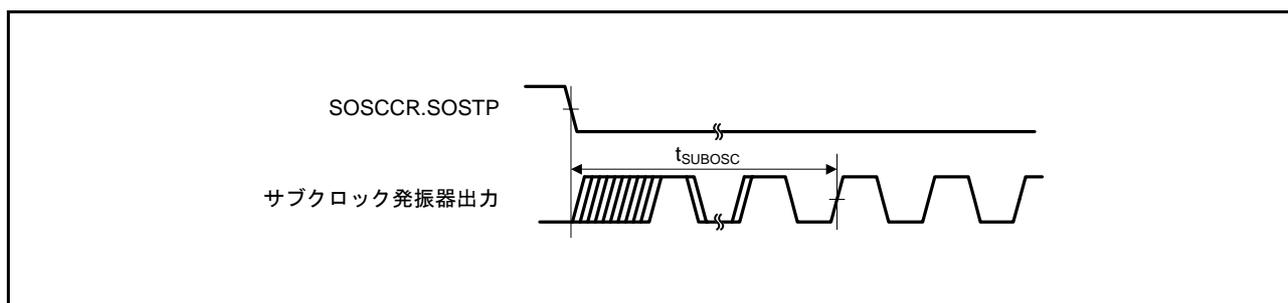


図 2.26 サブクロック発振開始タイミング

2.3.2 リセットタイミング

表2.25 リセットタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	3	—	—	ms	図 2.27
	上記以外	t _{RESW}	30	—	—	μs	図 2.28
RES#解除後待機時間 (電源投入時)	通常起動時(注1)	t _{RESWT}	—	8.5	—	ms	図 2.27
	起動時間短縮時(注2)	t _{RESWT}	—	560	—	μs	
RES#解除後待機時間 (電源立ち上がった状態)		t _{RESWT}	—	120	—	μs	図 2.28
独立ウォッチドッグタイマリセット期間		t _{RESWIW}	—	1	—	IWDT clock cycle	図 2.29
ウォッチドッグタイマリセット期間		t _{RESWWW}	—	4	—	PCLKB cycle	
ソフトウェアリセット期間		t _{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間(注3)		t _{RESWT2}	—	300	—	μs	
ウォッチドッグタイマリセット解除後待機時間(注4)		t _{RESWT2}	—	300	—	μs	
ソフトウェアリセット解除後待機時間		t _{RESWT2}	—	170	—	μs	

- 注1. OFS1.(LVDAS, FASTSTUP)ビット = 11bを設定した場合です。
- 注2. OFS1.(LVDAS, FASTSTUP)ビット = 11b以外を設定した場合です。
- 注3. IWDCR.CKS[3:0]ビット = 0000bを設定した場合です。
- 注4. WDCR.CKS[3:0]ビット = 0001bを設定した場合です。

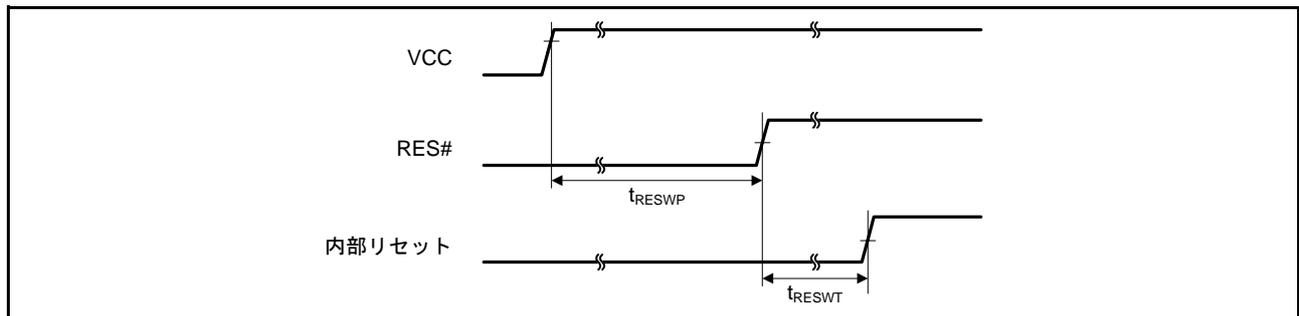


図 2.27 電源投入時リセット入力タイミング

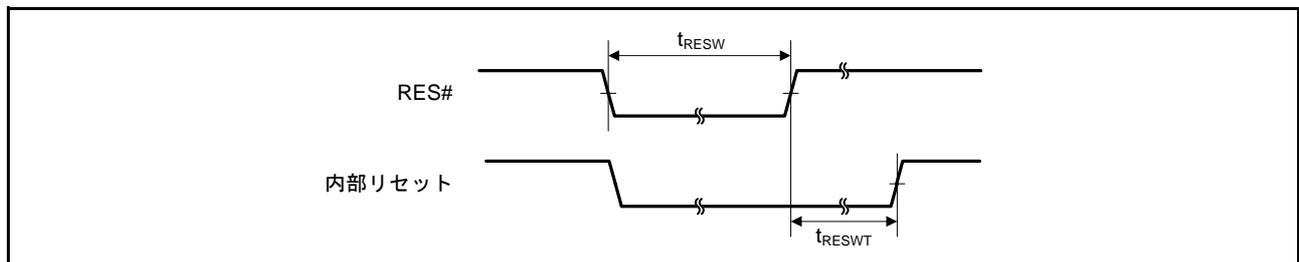


図 2.28 リセット入力タイミング (1)

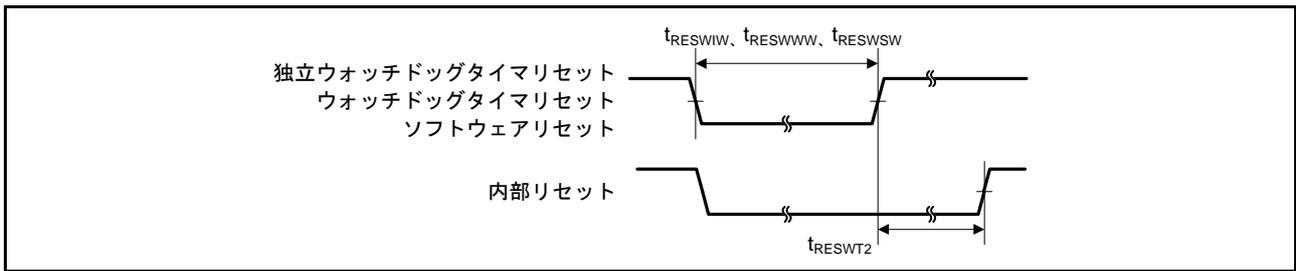


図 2.29 リセット入力タイミング (2)

2.3.3 低消費電力状態からの復帰タイミング

表2.26 低消費電力状態からの復帰タイミング (1)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目				記号	min	typ	max	単位	測定条件
ソフトウェア スタンバイ モード解除後 復帰時間(注1)	高速モード	メインクロック 発振器に水晶振 動子を接続	メインクロック発振器 動作(注2)	t _{SBYMC}	—	2	3	ms	図 2.30
		メインクロック 発振器に外部ク ロックを入力	メインクロック発振器 動作(注3)	t _{SBYEX}	—	35	50	μs	
		サブクロック発振器動作		t _{SBYSC}	—	650	800	μs	
		HOCOクロック動作		t _{SBYHO}	—	40	55	μs	
		LOCOクロック動作		t _{SBYLO}	—	40	55	μs	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. 外部クロックの周波数が20MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

表2.27 低消費電力状態からの復帰タイミング (2)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目				記号	min	typ	max	単位	測定条件
ソフトウェア スタンバイ モード解除後 復帰時間(注1)	中速モード	メインクロック 発振器に水晶振 動子を接続	メインクロック発振器動作 (注2)	t _{SBYMC}	—	2	3	ms	図 2.30
			メインクロック発振器、 PLL回路動作(注3)	t _{SBYPC}	—	2	3	ms	
		メインクロック 発振器に外部ク ロックを入力	メインクロック発振器動作 (注4)	t _{SBYEX}	—	3	4	μs	
			メインクロック発振器、 PLL回路動作(注5)	t _{SBYPE}	—	65	85	μs	
		サブクロック発振器動作		t _{SBYSC}	—	600	750	μs	
		HOCOクロック動作(注6)		t _{SBYHO}	—	40	50	μs	
		LOCOクロック動作		t _{SBYLO}	—	5	7	μs	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. PLLの周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注4. 外部クロックの周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注5. PLLの周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注6. システムクロックにHOCOを選択し8MHzとなるように分周設定した場合です。

表2.28 低消費電力状態からの復帰タイミング (3)

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間(注1)	低速モード	サブクロック発振器動作	t_{SBYSC}	—	600	750	μs	図 2.30

注1. 低速モード時のソフトウェアスタンバイモードではサブクロックは発振を継続します。

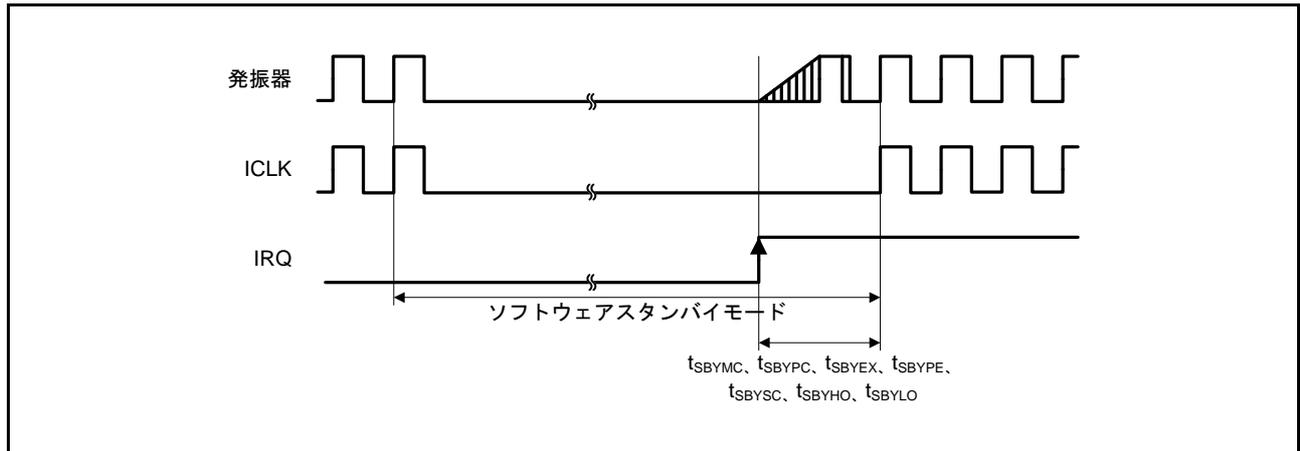


図 2.30 ソフトウェアスタンバイモード復帰タイミング

表2.29 低消費電力状態からの復帰タイミング (4)

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	typ	max	単位	測定条件
ディープスリープモード解除後復帰時間(注1)	高速モード(注2)	$t_{DSL P}$	—	2	3.5	μs	図 2.31
	中速モード(注3)	$t_{DSL P}$	—	3	4	μs	
	低速モード(注4)	$t_{DSL P}$	—	400	500	μs	

- 注1. ディープスリープモードでは発振器は発振を継続します。
 注2. システムクロック周波数が32MHzの場合です。
 注3. システムクロック周波数が12MHzの場合です。
 注4. システムクロック周波数が32kHzの場合です。

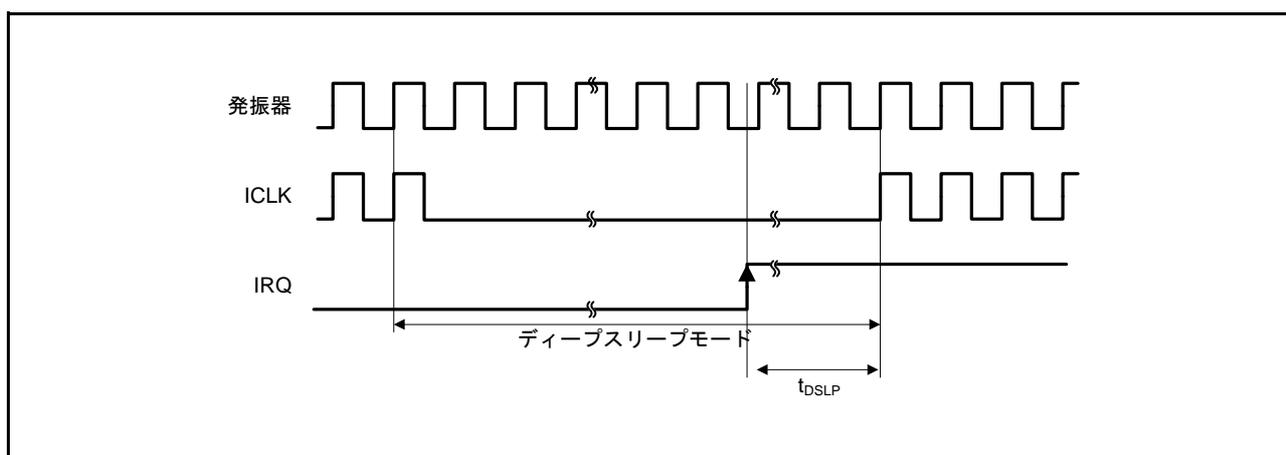


図 2.31 ディープスリープモード解除タイミング

表 2.30 動作モード遷移時間

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs
低速動作モード	中速動作・高速動作モード	32.768kHz	—	215	—	μs
中速動作・高速動作モード	低速動作モード	32.768kHz	—	185	—	μs

注. PCLKA、PCLKB、PCLKD、FCLKを分周していない設定時の値です。

2.3.4 制御信号タイミング

表 2.31 制御信号タイミング

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小200nsです。

注1. t_{Pcyc} はPCLKBの周期を指します。

注2. t_{NMICK} はNMIデジタルフィルタサンプリングクロックの周期です。

注3. t_{IRQCK} はIRQiデジタルフィルタサンプリングクロック ($i = 0 \sim 7$) の周期を指します。

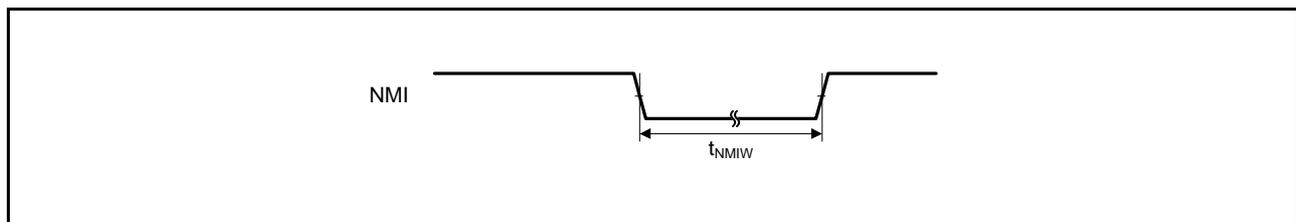


図 2.32 NMI 割り込み入力タイミング

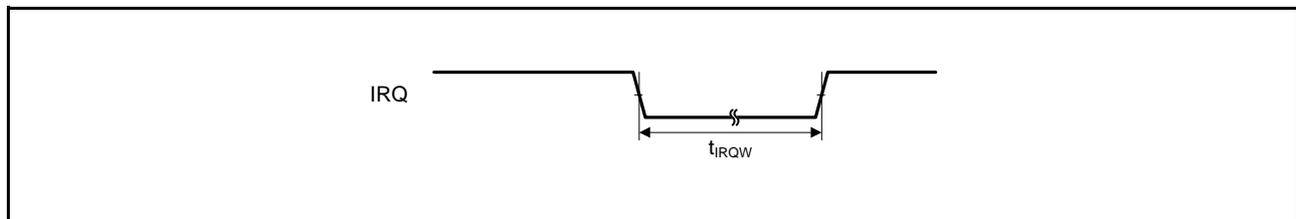


図 2.33 IRQ 割り込み入力タイミング

2.3.5 内蔵周辺モジュールタイミング

2.3.5.1 I/Oポート

表2.32 I/Oポートタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入カデータパルス幅	t _{PRW}	1.5	—	t _{Pcyc}	図2.34

注1. t_{Pcyc} : PCLKの周期

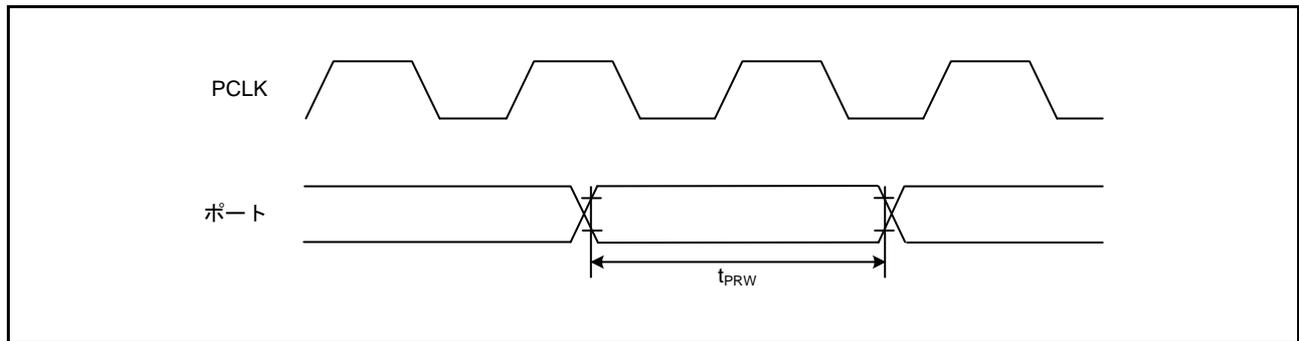


図 2.34 I/Oポート入力タイミング

2.3.5.2 MTU/TPU

表2.33 MTU/TPUタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目		記号	min	max	単位 (注1)	測定条件
MTU/TPU	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図2.35
		両エッジ指定	2.5	—		
MTU/TPU	タイマクロックパルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図2.36
		両エッジ指定	2.5	—		
		位相計数モード	2.5	—		

注1. t_{Pcyc} : PCLKの周期

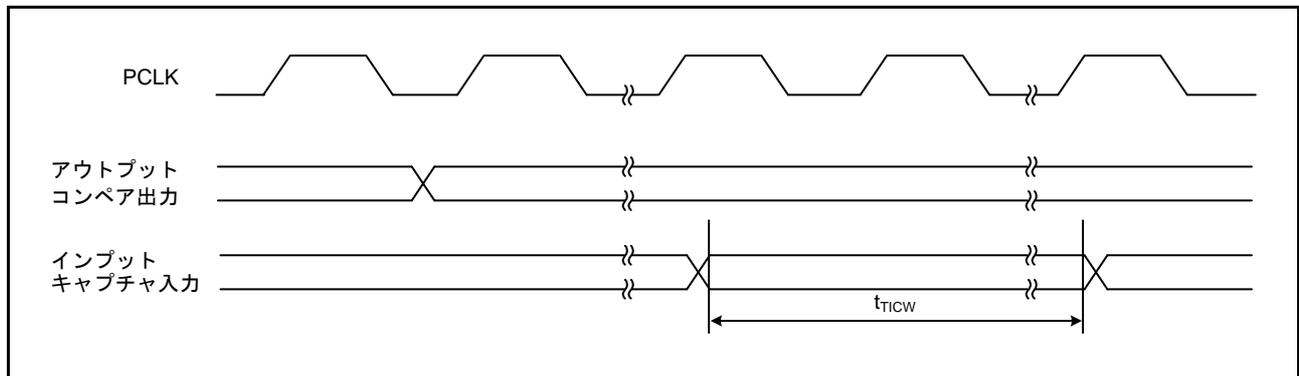


図 2.35 MTU入出力タイミング

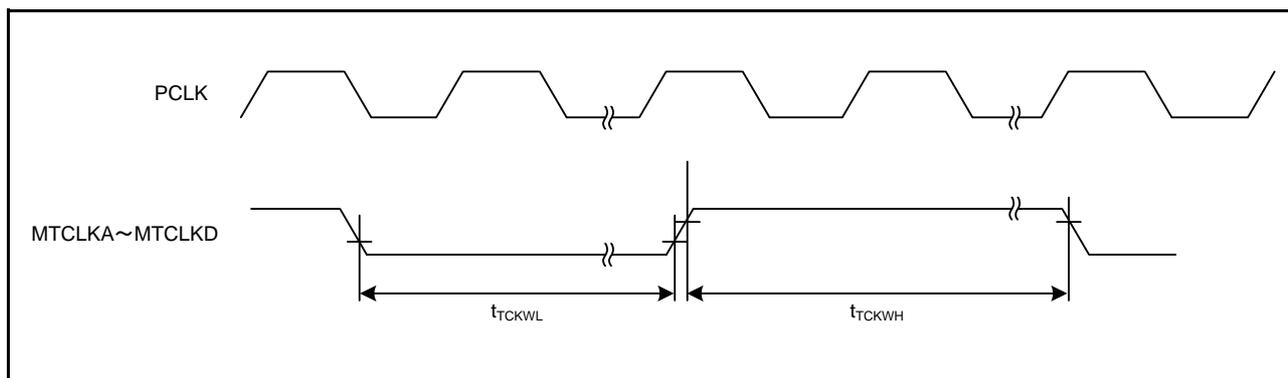


図 2.36 MTU クロック入力タイミング

2.3.5.3 POE

表 2.34 POE タイミング

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位 (注1)	測定条件
POE	POE# 入力パルス幅	t _{POEW}	1.5	—	t _{Pcyc}	図 2.37

注1. t_{Pcyc} : PCLKの周期

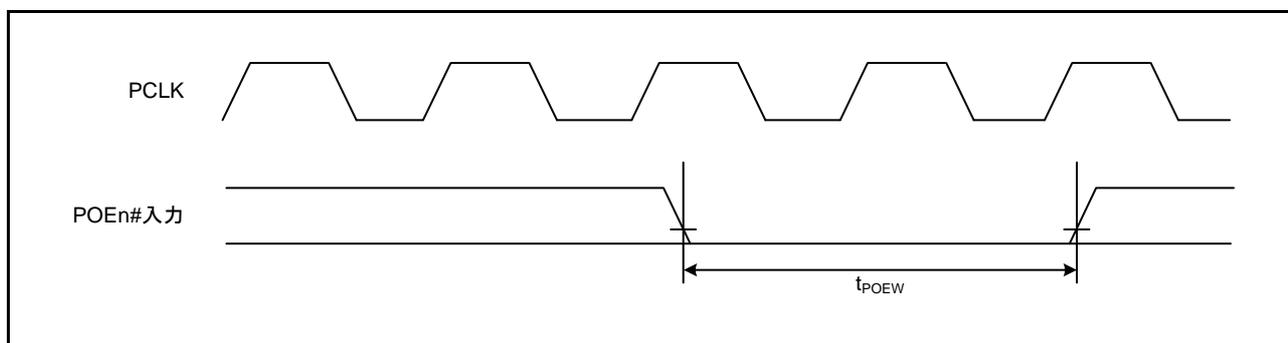


図 2.37 POE# 入力タイミング

2.3.5.4 TMR

表2.35 TMRタイミング

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	1.5	—	t_{Pcyc}	図2.38
		両エッジ指定	2.5	—		

注1. t_{Pcyc} : PCLKの周期

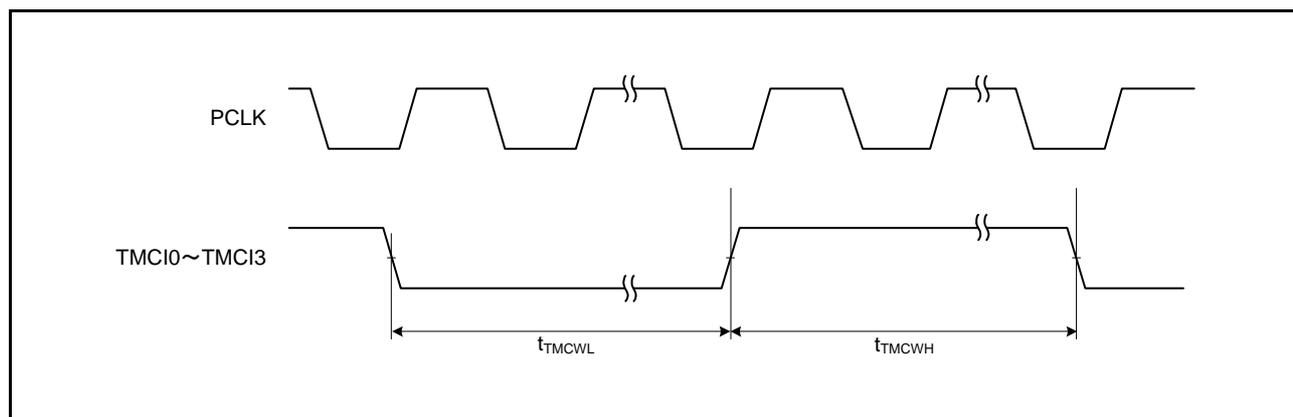


図 2.38 TMR クロック入力タイミング

2.3.5.5 SCI

表2.36 SCIタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
 Ta = -40 ~ +85°C

項目		記号	min	max	単位 (注1)	測定条件	
SCI	入カクロックサイクル時間	調歩同期	4	—	t _{Pcyc}	図2.39	
		クロック同期					
	入カクロックパルス幅		t _{SCKW}	0.4	0.6		t _{Sckyc}
	入カクロック立ち上がり時間		t _{SCKr}	—	20		ns
入カクロック立ち下がり時間		t _{SCKf}	—	20	ns	図2.40	
出カクロックサイクル時間	調歩同期	t _{Sckyc}	16	—	t _{Pcyc}		
	クロック同期						
出カクロックパルス幅		t _{SCKW}	0.4	0.6	t _{Sckyc}		
出カクロック立ち上がり時間		t _{SCKr}	—	20	ns		
出カクロック立ち下がり時間		t _{SCKf}	—	20	ns		
送信データ遅延時間 (マスタ)	クロック同期		—	40	ns		
	送信データ遅延時間 (スレーブ)	クロック同期					2.7V以上
1.8V以上			100	ns			
受信データセットアップ 時間 (マスタ)	クロック同期	t _{RXS}	2.7V以上	65	ns		
			1.8V以上	90	ns		
受信データセットアップ 時間 (スレーブ)	クロック同期		40	—	ns		
受信データホールド時間	クロック同期		t _{RXH}	40	—	ns	

注1. t_{Pcyc} : PCLKの周期

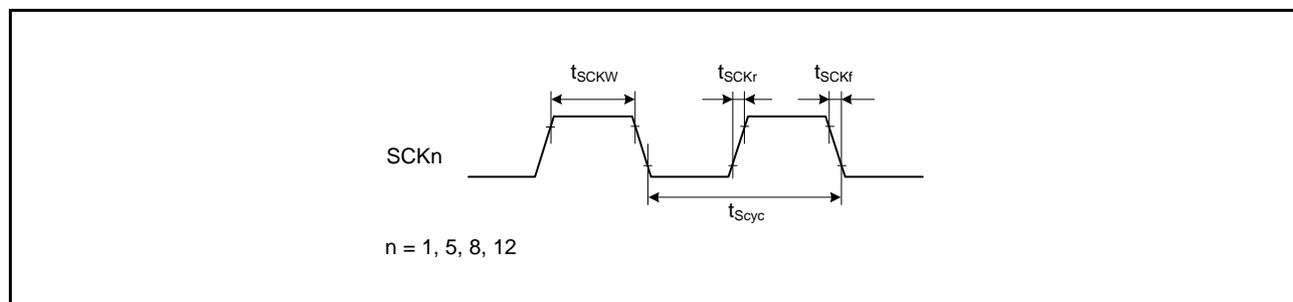


図 2.39 SCKクロック入力タイミング

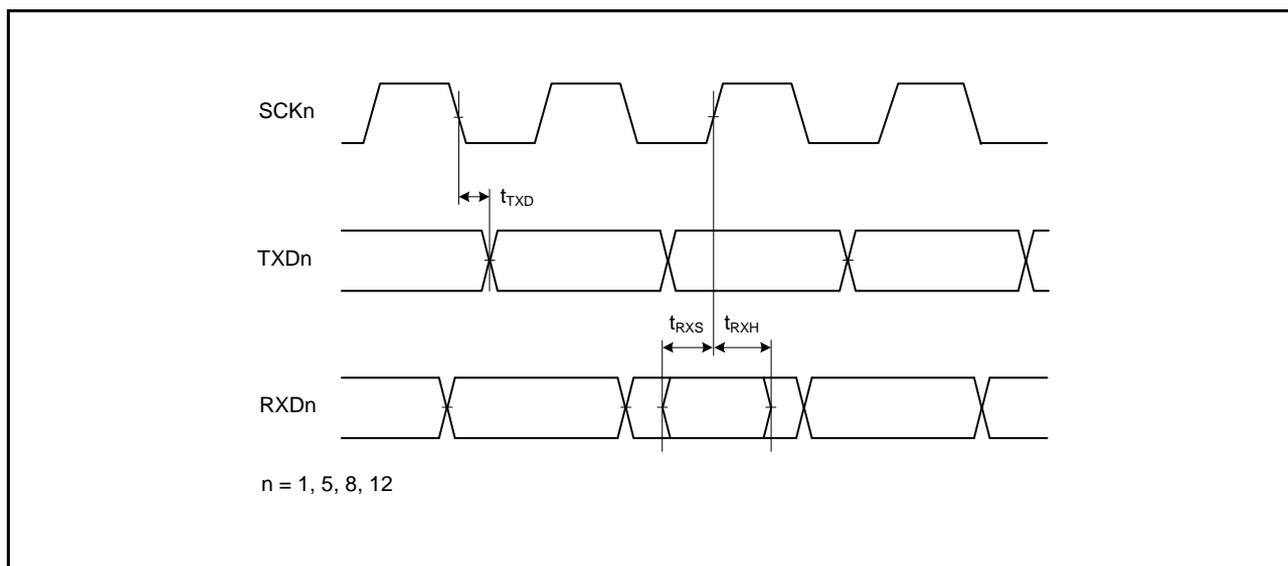


図 2.40 SCI 入出力タイミング / クロック同期式モード

表 2.37 簡易 I²C タイミング

条件 : 2.7V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
fPCLKB ≤ 32MHz、T_a = -40 ~ +85°C

項目		記号	min (注1)	max	単位	測定条件
簡易 I ² C (スタンダード モード)	SSDA 立ち上がり時間	t _{Sr}	—	1000	ns	図 2.41
	SSDA 立ち下がり時間	t _{Sf}	—	300	ns	
	SSDA スパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDA の容量性負荷	C _b	—	400	pF	
簡易 I ² C (ファストモード)	SSDA 立ち上がり時間	t _{Sr}	—	300	ns	図 2.41
	SSDA 立ち下がり時間	t _{Sf}	—	300	ns	
	SSDA スパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDA の容量性負荷	C _b	—	400	pF	

注. t_{Pcyc} : PCLK の周期

注1. C_b はバスラインの容量総計です。

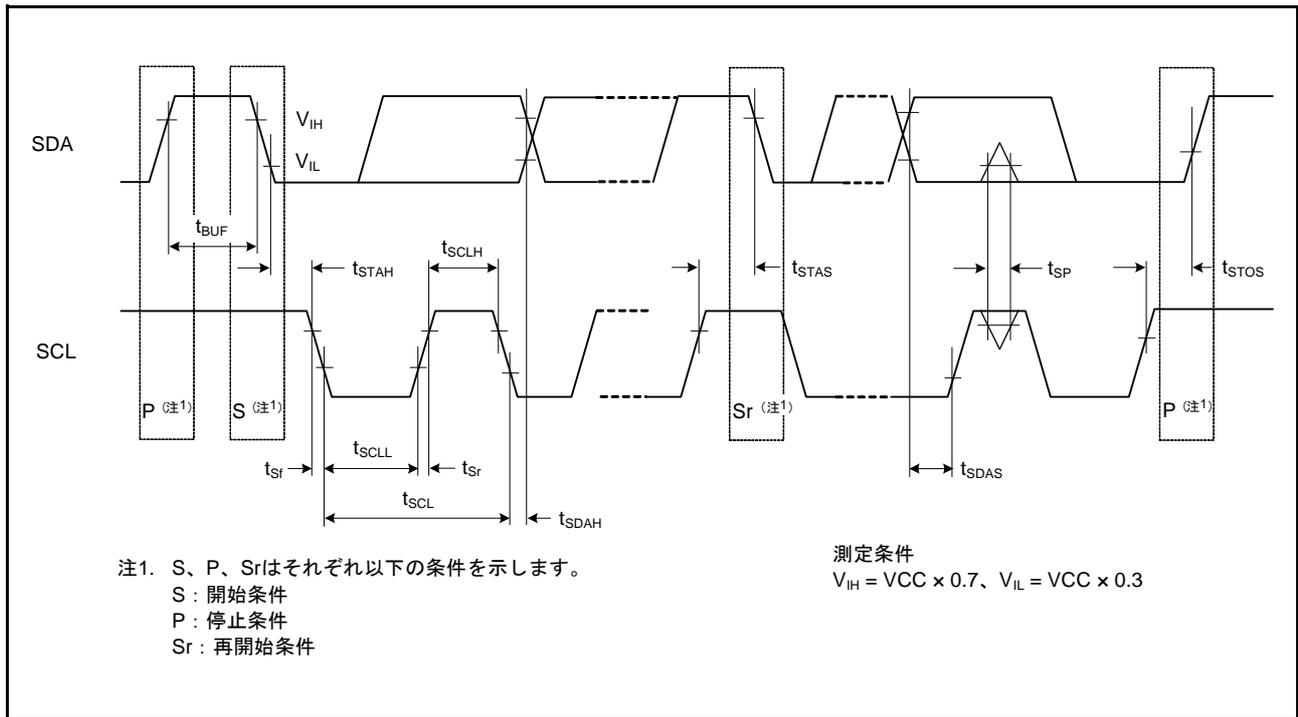


図 2.41 RIIC バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

表 2.38 簡易 SPI タイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
 Ta = -40 ~ +85°C

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t _{SPCyc}	4	65536	t _{Pcyc}	図 2.42
	SCKクロックサイクル入力 (スレーブ)		6	65536	t _{Pcyc}	
	SCKクロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPCyc}	
	SCKクロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPCyc}	
	SCKクロック立ち上がり/立ち下がり時間	t _{SPCKr} , t _{SPCKf}	—	20	ns	
データ入力セットアップ時間 (マスタ)	2.7V以上	t _{SU}	65	—	ns	図 2.43、 図 2.44
	1.8V以上		95	—		
データ入力セットアップ時間 (スレーブ)			40	—		
データ入力ホールド時間		t _H	40	—	ns	
SSL入力セットアップ時間		t _{LEAD}	3	—	t _{SPCyc}	
SSL入力ホールド時間		t _{LAG}	3	—	t _{SPCyc}	
データ出力遅延時間 (マスタ)		t _{OD}	—	40	ns	
データ出力遅延時間 (スレーブ)	2.7V以上		—	65		
	1.8V以上	—	100			
データ出力ホールド時間 (マスタ)	2.7V以上	t _{OH}	-10	—	ns	
	1.8V以上		-20	—		
データ出力ホールド時間 (スレーブ)			-10	—		
データ立ち上がり/立ち下がり時間		t _{Dr} , t _{Df}	—	20	ns	
SSL入力立ち上がり/立ち下がり時間		t _{SSLr} , t _{SSLf}	—	20	ns	
スレーブアクセス時間		t _{SA}	—	6	t _{Pcyc}	図 2.45、 図 2.46
スレーブ出力開放時間		t _{REL}	—	6	t _{Pcyc}	

注1. t_{Pcyc} : PCLKの周期

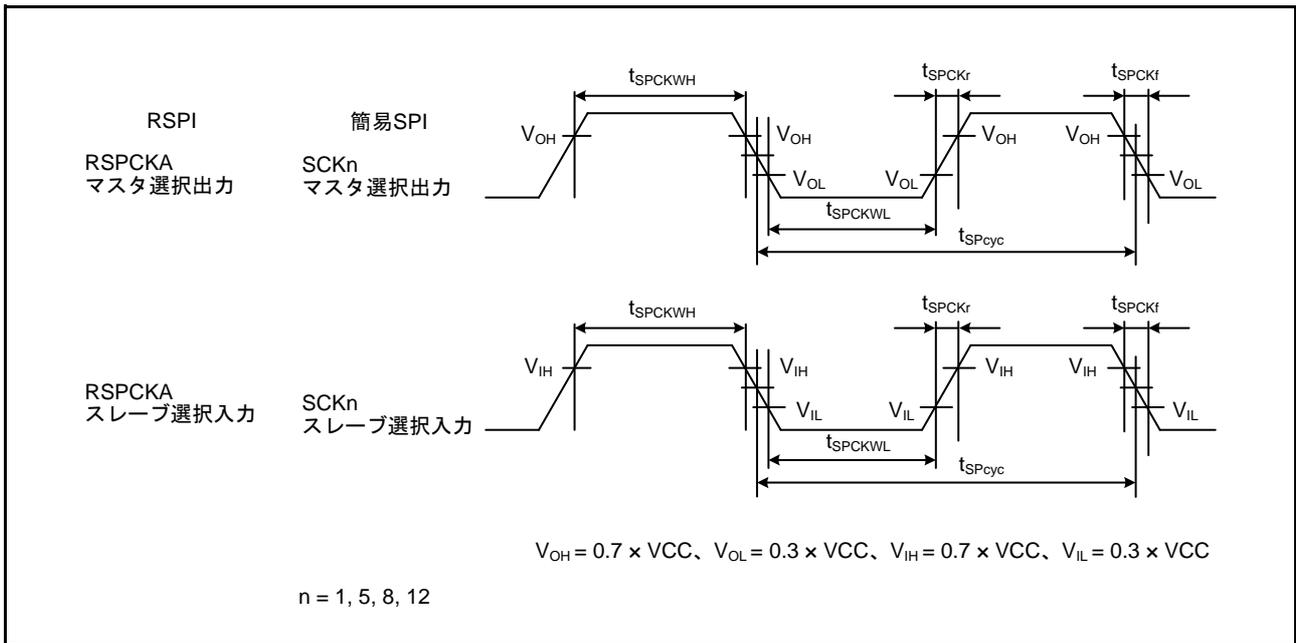


図 2.42 RSPCI クロックタイミング / 簡易 SPI クロックタイミング

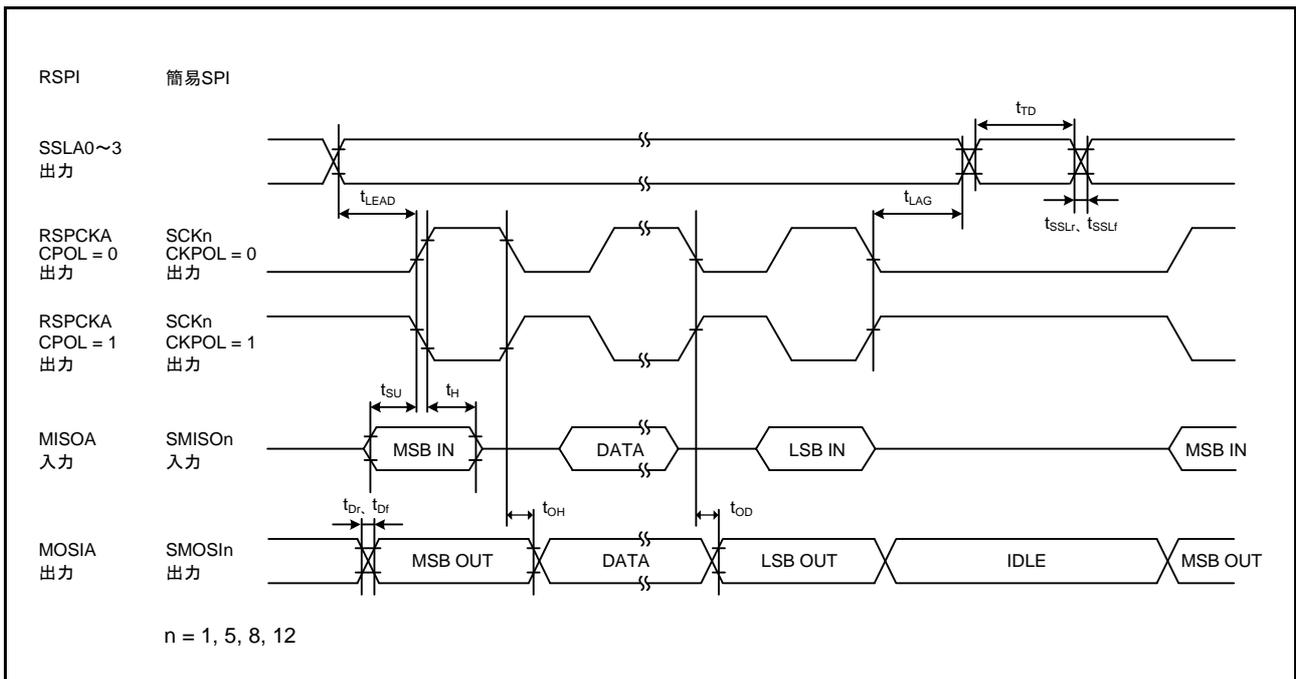


図 2.43 RSPCI タイミング (マスタ、CPHA = 0) / 簡易 SPI クロックタイミング (マスタ、CKPH = 1)

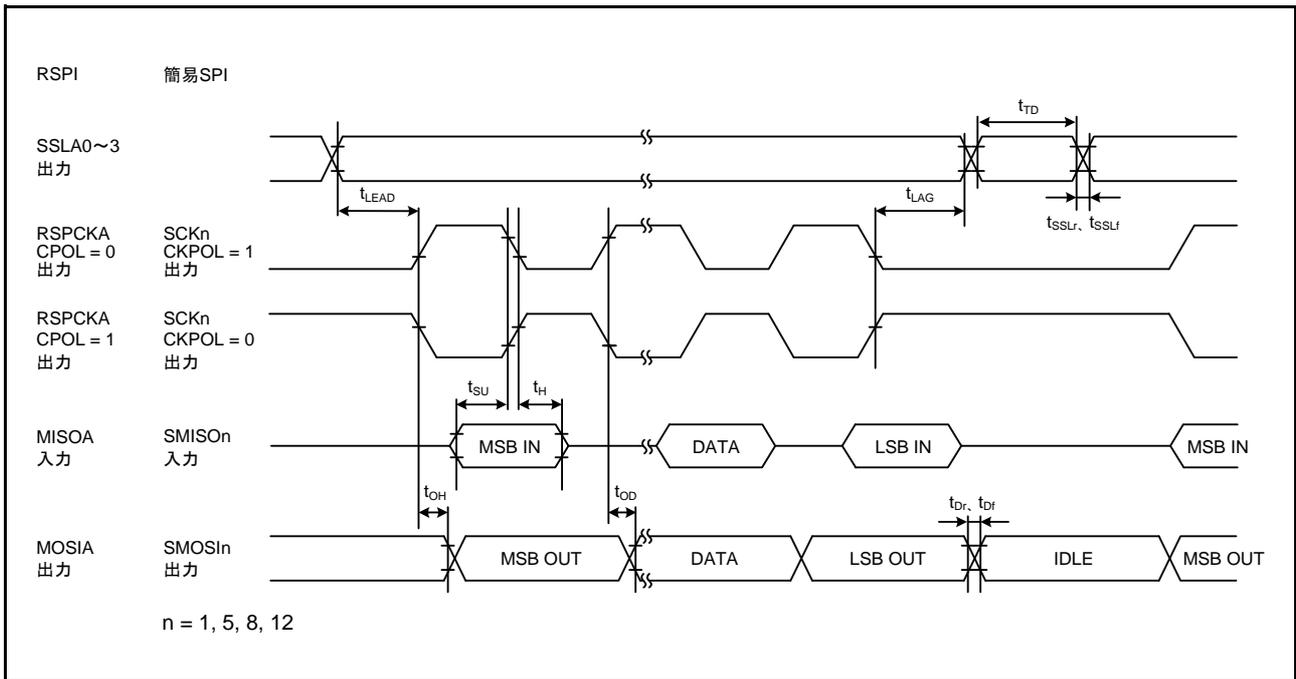


図 2.44 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI クロックタイミング (マスタ、CKPH = 0)

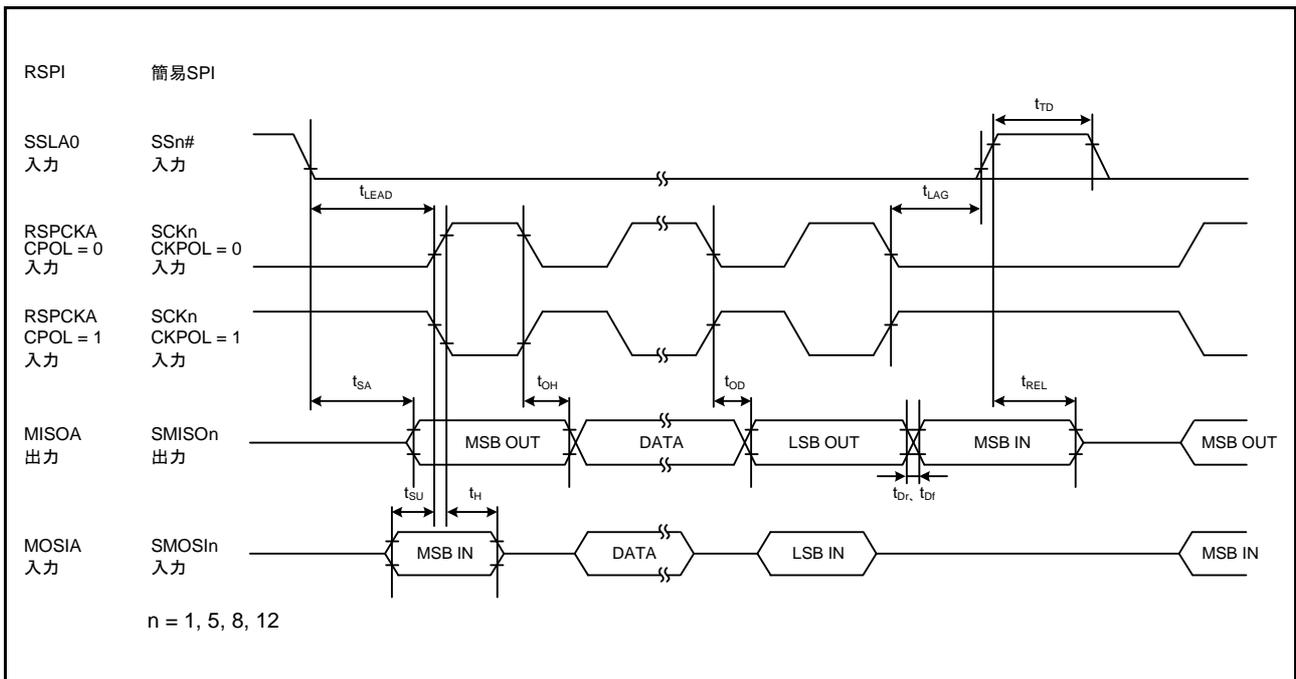


図 2.45 RSPI タイミング (スレーブ、CPHA=0) / 簡易 SPI クロックタイミング (スレーブ、CKPH=1)

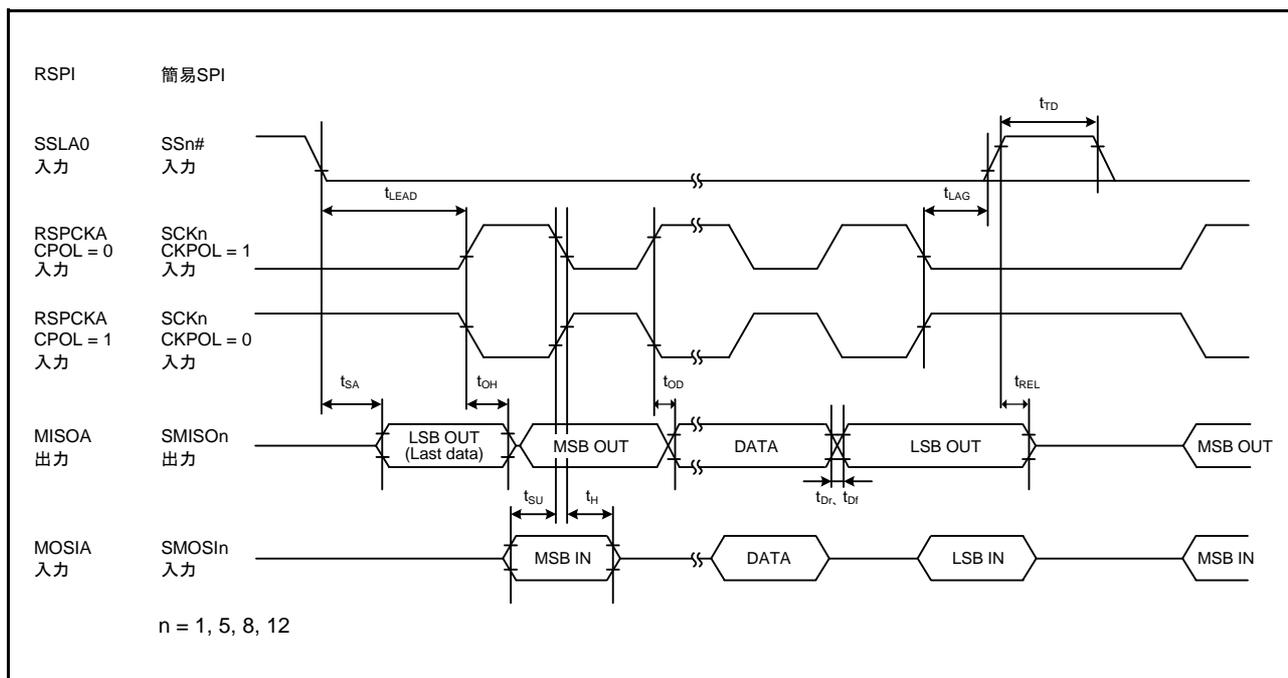


図 2.46 RSPI タイミング (スレーブ、CPHA=1) / 簡易 SPI クロックタイミング (スレーブ、CKPH=0)

2.3.5.6 RIIC

表2.39 RIICタイミング

条件：2.7V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
fPCLKB ≤ 32MHz、T_a = -40 ~ +85°C

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	t _{SCL}	6 (12) × t _{IICcyc} + 1300	—	ns	図2.47
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL、SDA立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IICcyc}	ns	
	SDAバスフリー時間	t _{BUF}	3 (6) × t _{IICcyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IICcyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件セットアップ時間	t _{STOS}	1000	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
RIIC (ファストモード)	SCLサイクル時間	t _{SCL}	6 (12) × t _{IICcyc} + 600	—	ns	図2.47
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL、SDA立ち上がり時間	t _{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IICcyc}	ns	
	SDAバスフリー時間	t _{BUF}	3 (6) × t _{IICcyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IICcyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	300	—	ns	
	停止条件セットアップ時間	t _{STOS}	300	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注. t_{IICcyc} : RIICの内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

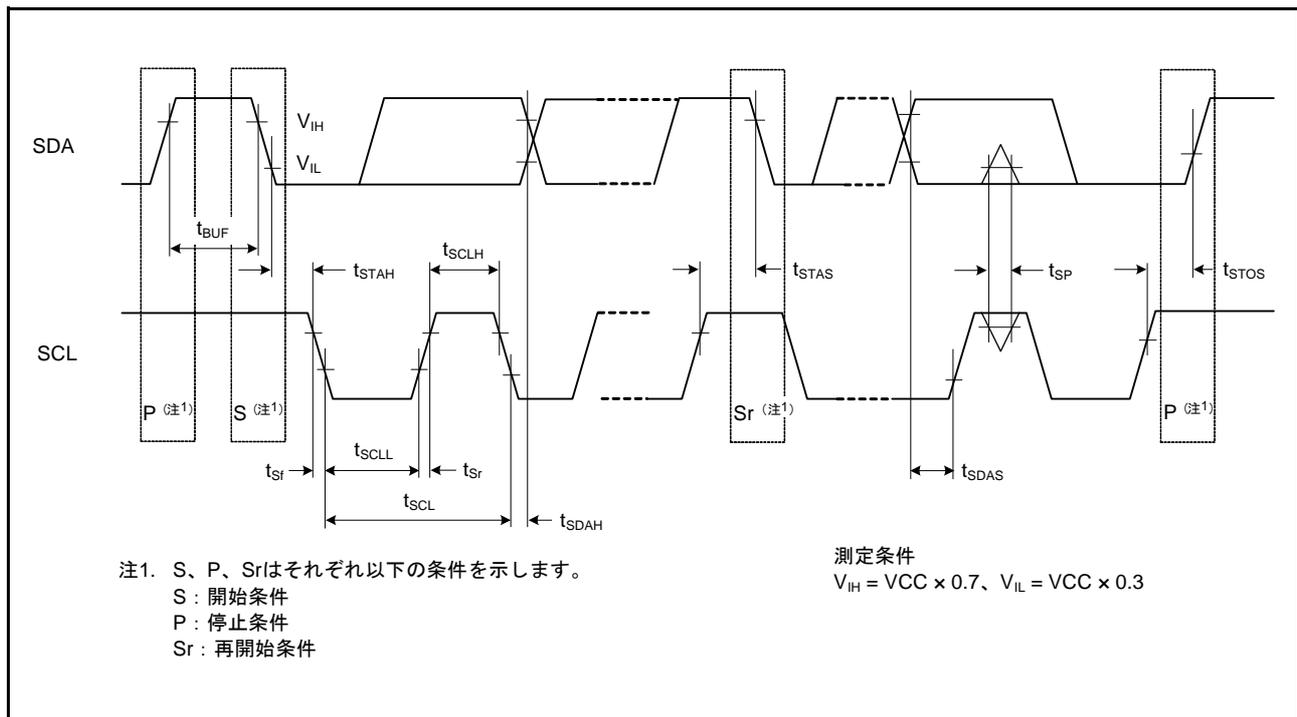


図 2.47 RIIC バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

2.3.5.7 RSPI

表2.40 RSPIタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、

T_a = -40 ~ +85°C、C = 30pF、

駆動能力制御レジスタで高駆動出力を選択時

項目			記号	min	max	単位	測定条件
RSPI	RSPCKクロック サイクル	マスタ	t _{SPcyc}	2	4096	t _{Pcyc} (注1)	図2.48
		スレーブ		8	4096		
	RSPCKクロック Highレベルパルス幅	マスタ	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
	RSPCKクロック Lowレベルパルス幅	マスタ	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	2.7V以上	t _{SPCKr} 、 t _{SPCKf}	—	10	ns	
		1.8V以上		—	15		
	入力	—	1	μs			
データ入力セット アップ時間	マスタ	2.7V以上	t _{SU}	10	—	ns	図2.49 ~ 図2.52
		1.8V以上		30	—		
	スレーブ	25 - t _{Pcyc}	—				
データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t _H	t _{Pcyc}	—	ns	
		RSPCKをPCLKB の2分周に設定		t _{HF}	0		
	スレーブ	t _H	20 + 2 × t _{Pcyc}	—			
SSLセットアップ 時間	マスタ		t _{LEAD}	-30 + N(注2) × t _{SPcyc}	—	ns	
	スレーブ			2	—		
SSLホールド時間	マスタ		t _{LAG}	-30 + N(注3) × t _{SPcyc}	—	ns	
	スレーブ			2	—		
データ出力遅延時間	マスタ	2.7V以上	t _{OD}	—	14	ns	
		1.8V以上		—	30		
	スレーブ	2.7V以上		—	3 × t _{Pcyc} + 65		
		1.8V以上		—	3 × t _{Pcyc} + 105		
データ出力ホールド 時間	マスタ		t _{OH}	0	—	ns	
	スレーブ			0	—		
連続送信遅延時間	マスタ		t _{TD}	t _{SPcyc} + 2 × t _{Pcyc}	8 × t _{SPcyc} + 2 × t _{Pcyc}	ns	
	スレーブ			4 × t _{Pcyc}	—		
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	2.7V以上	t _{Dr} 、t _{Df}	—	10	ns	
		1.8V以上		—	15		
	入力	—		1	μs		
SSL立ち上がり/ 立ち下がり時間	出力	2.7V以上	t _{SSLr} 、 t _{SSLf}	—	10	ns	
		1.8V以上		—	15		
	入力	—		1	μs		
スレーブアクセス時間		2.7V以上	t _{SA}	—	6	t _{Pcyc}	図2.51、 図2.52
		1.8V以上		—	7		
スレーブ出力開放時間		2.7V以上	t _{REL}	—	5	t _{Pcyc}	
		1.8V以上		—	6		

- 注1. t_{Pcyc} : PCLKの周期
- 注2. N : RSPIクロック遅延レジスタ (SPCKD) にて設定可能な1~8の整数
- 注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND) にて設定可能な1~8の整数

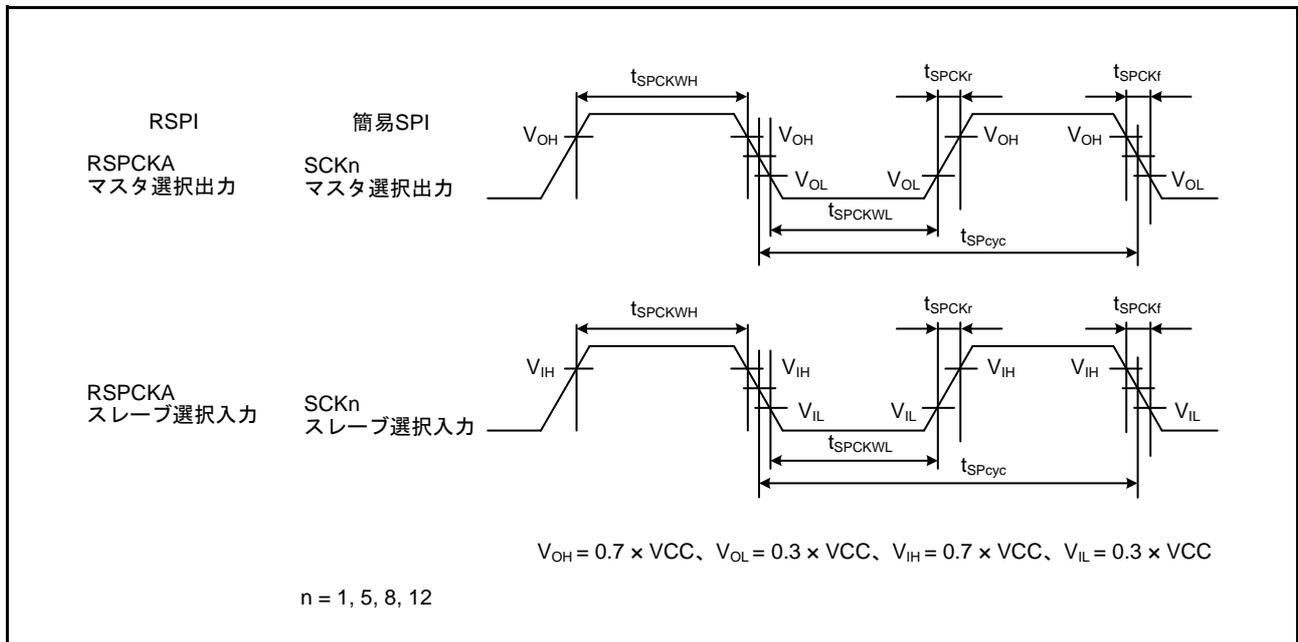


図 2.48 RSPI クロックタイミング / 簡易 SPI クロックタイミング

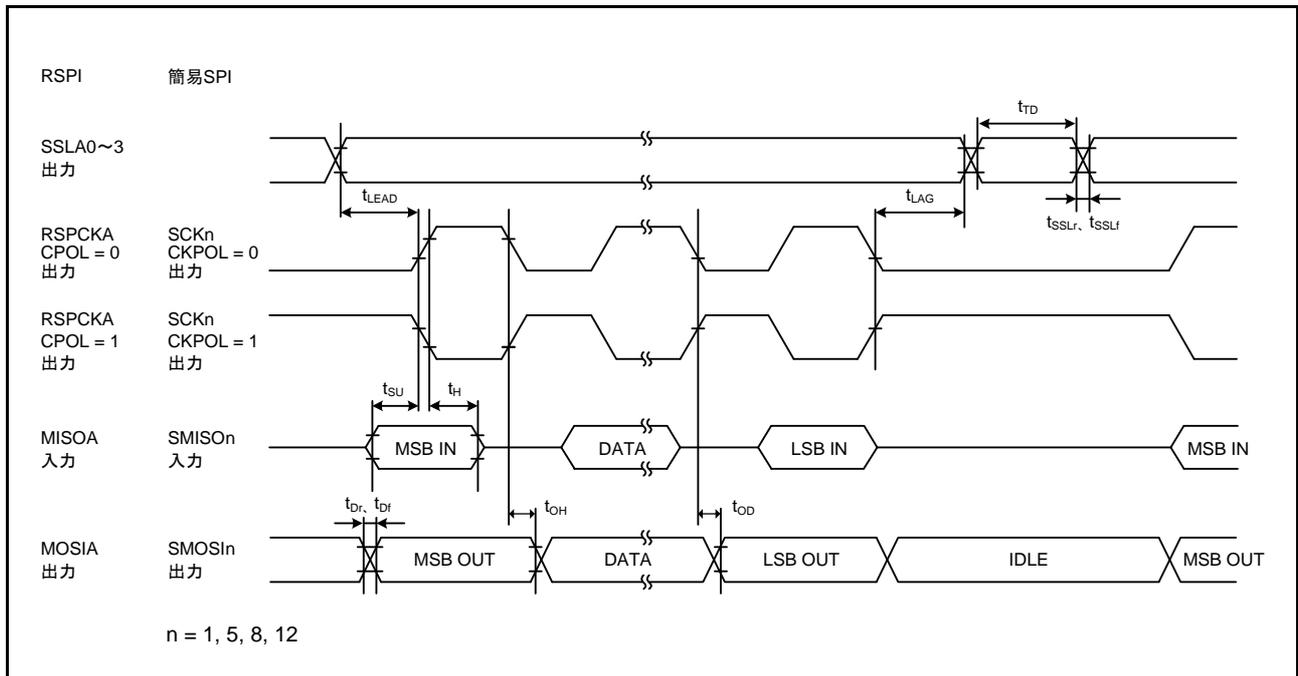


図 2.49 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI クロックタイミング (マスタ、CKPH = 1)

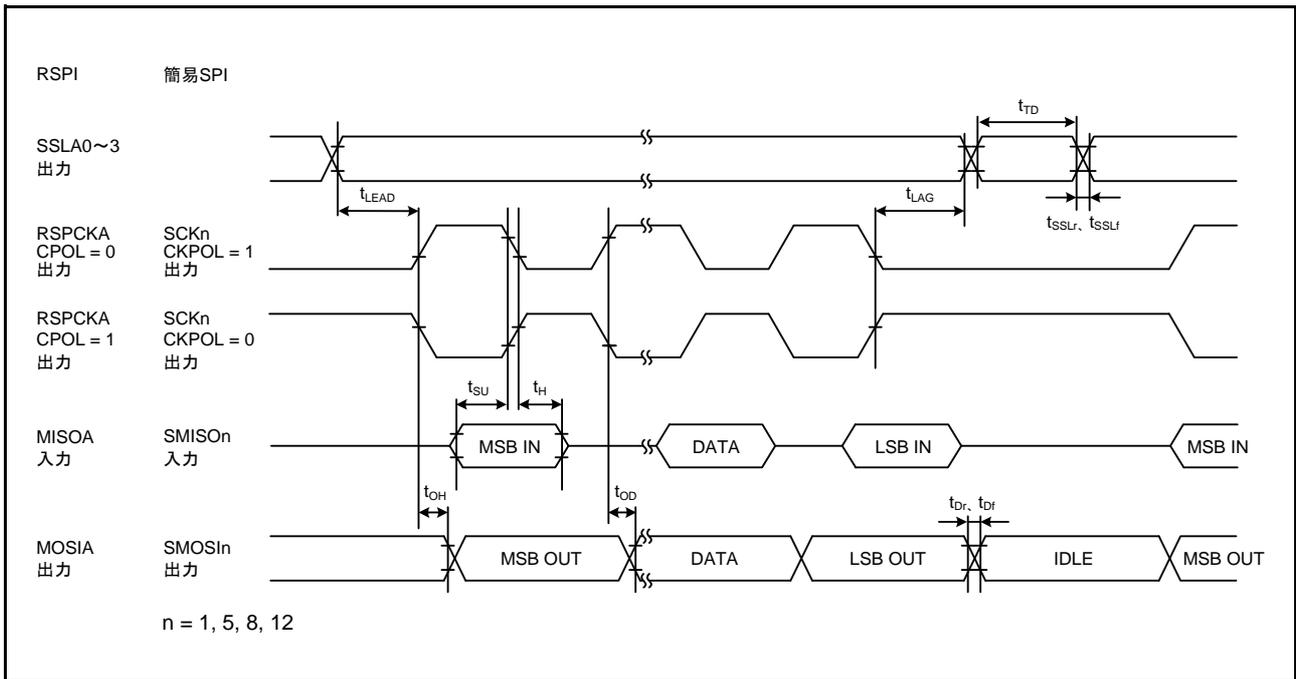


図 2.50 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI クロックタイミング (マスタ、CKPH = 0)

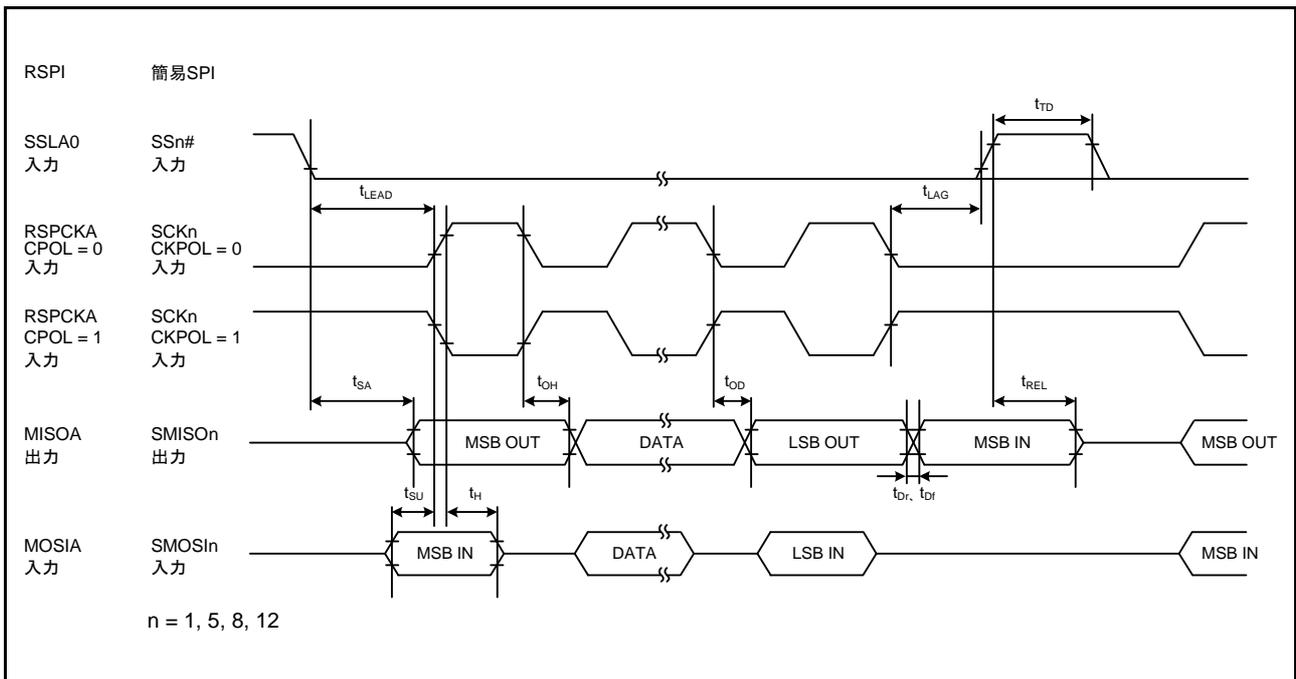


図 2.51 RSPI タイミング (スレーブ、CPHA=0) / 簡易 SPI クロックタイミング (スレーブ、CKPH=1)

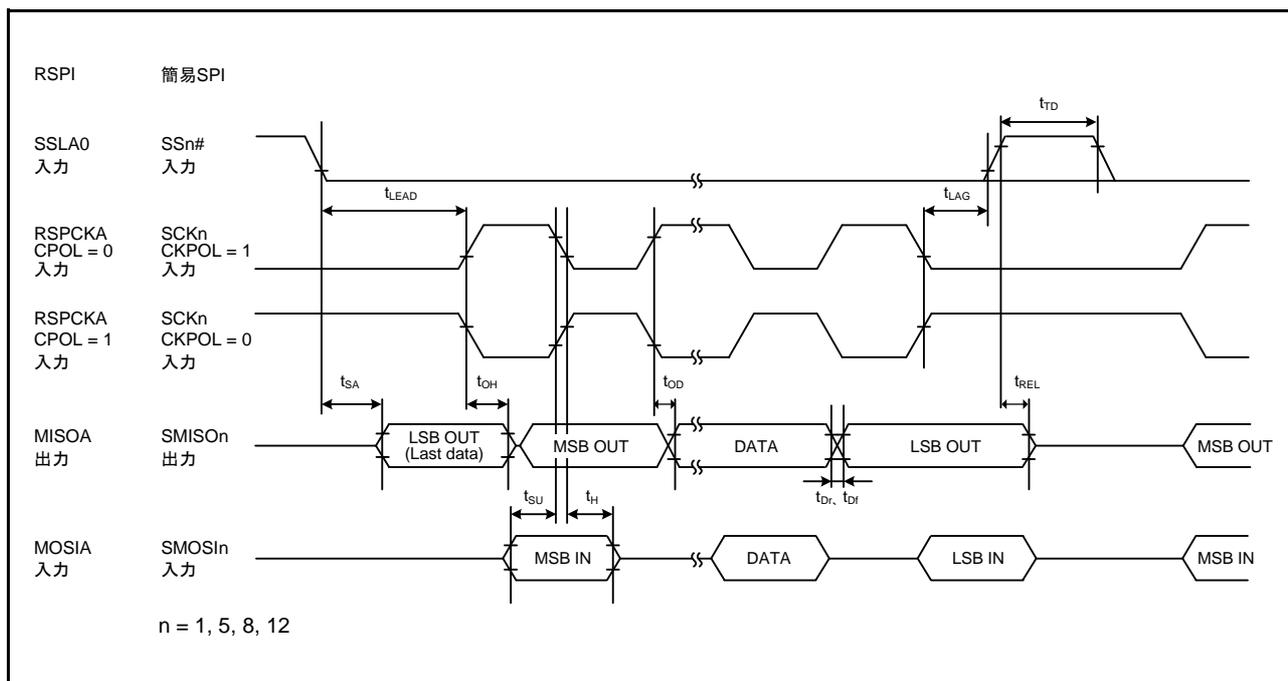


図 2.52 RSPI タイミング (スレーブ、CPHA=1) / 簡易 SPI クロックタイミング (スレーブ、CKPH=0)

2.3.5.8 SSI

表2.41 SSIタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
fPCLKB ≤ 32MHz、T_a = -40 ~ +85°C

項目		記号	min	max	単位	測定条件
SSI	AUDIO_MCLK入力周波数	t _{AUDIO}	2.7V以上	1	25	MHz
			1.8V以上	1	4	
出力クロック周期		t _O	250	—	ns	図2.53
入力クロック周期		t _I	250	—	ns	
クロックHighレベル		t _{HC}	0.4	0.6	t _O 、t _I	
クロックLowレベル		t _{LC}	0.4	0.6	t _O 、t _I	
クロック立ち上がり時間		t _{RC}	—	20	ns	
データ遅延時間		t _{DTR}	2.7V以上	—	65	
			1.8V以上	—	105	
セットアップ時間		t _{SR}	2.7V以上	65	—	ns
			1.8V以上	90	—	
ホールド時間		t _{HTR}	40	—	ns	図2.56
WS変化エッジSSIDATA出力遅延		t _{DTRW}	—	105	ns	

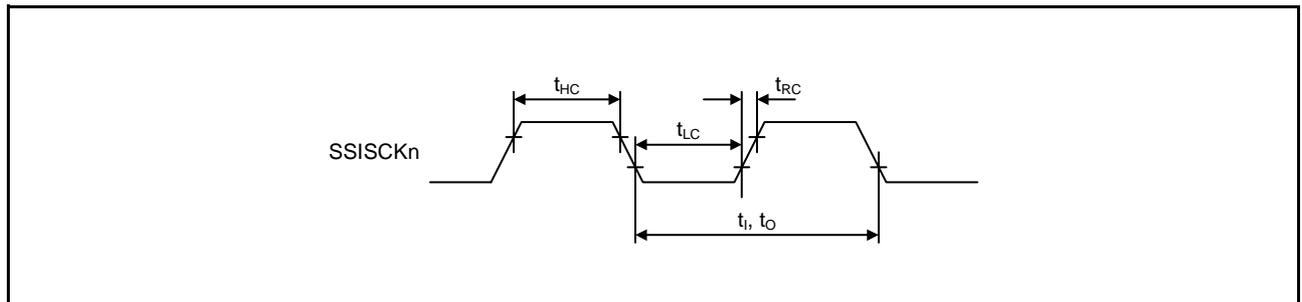


図 2.53 SSI クロック入出力タイミング

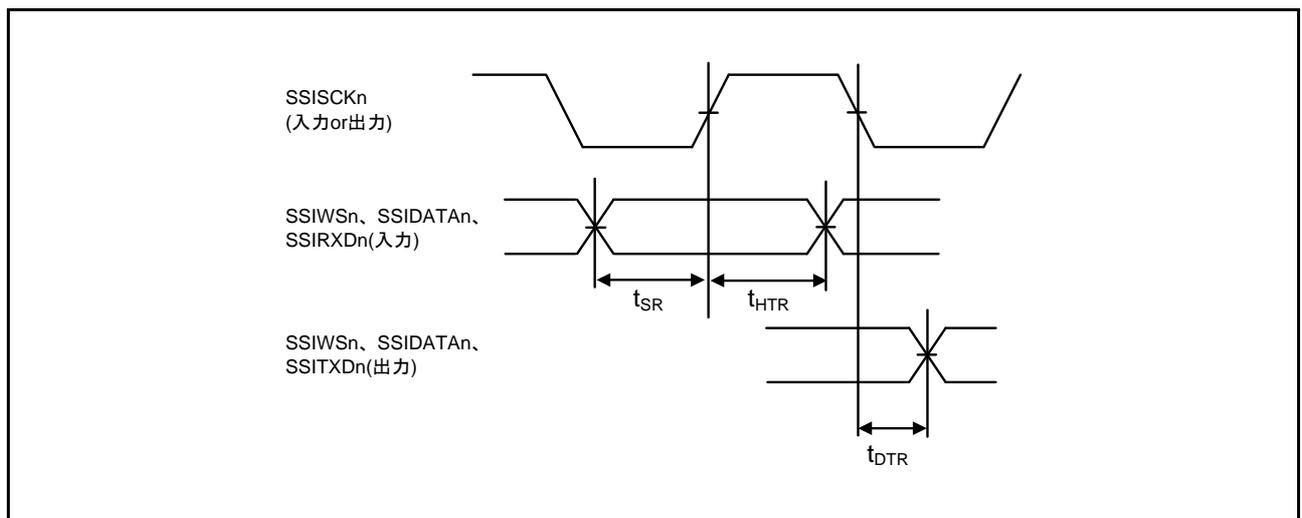


図 2.54 SSI 送受信タイミング (SSICR.SCKP=0)

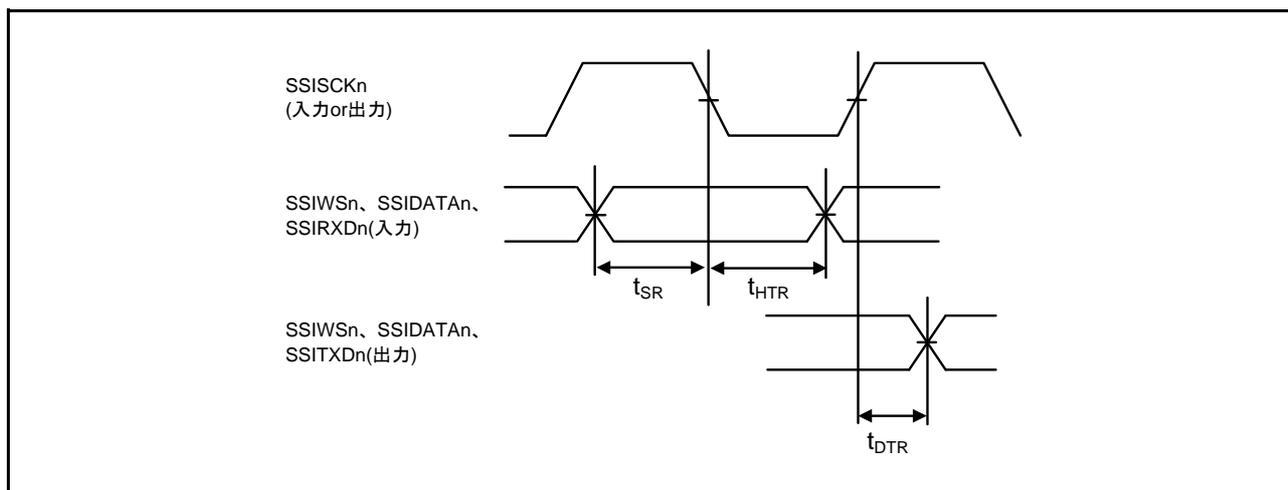


図 2.55 SSI 送受信タイミング (SSICR.SCKP=1)

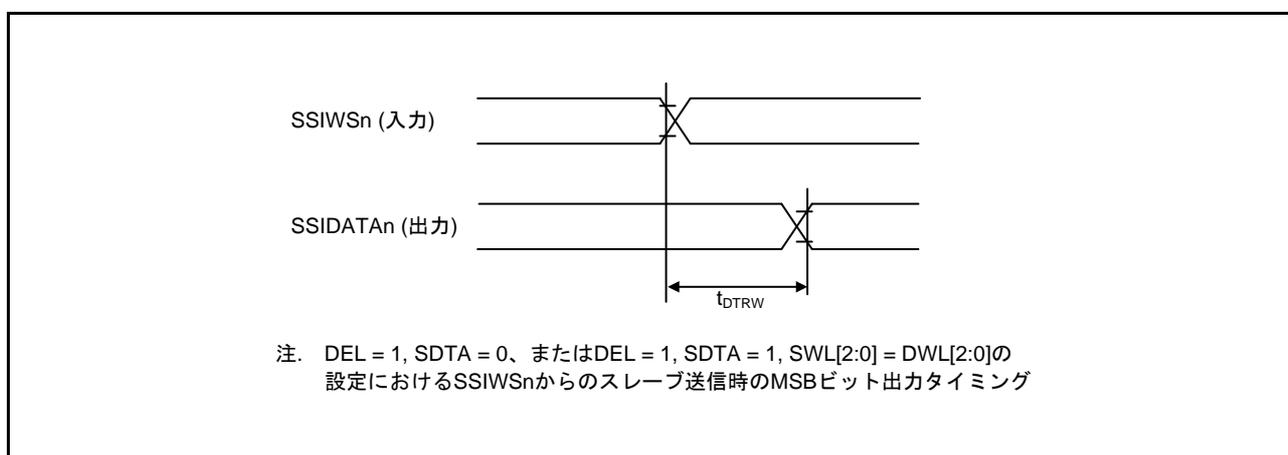


図 2.56 SSIWSn 変化エッジからの SSIDATA 出力遅延

2.3.5.9 SDHI

表2.42 SDHI タイミング

条件：2.7V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
fPCLKB ≤ 32MHz、T_a = -40 ~ +85°C、駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位	測定条件
SDHI	SDHI_CLK端子出力サイクル時間	t _{PP(SD)}	62.5	—	ns	図2.57
	SDHI_CLK端子出力Highレベルパルス幅	t _{WH(SD)}	18.25	—	ns	
	SDHI_CLK端子出力Lowレベルパルス幅	t _{WL(SD)}	18.25	—	ns	
	SDHI_CLK端子出力立ち上がり時間	t _{TLH(SD)}	—	10	ns	
	SDHI_CLK端子出力立ち下がり時間	t _{THL(SD)}	—	10	ns	
	SDHI_CMD、SDHI_D3~SDHI_D0端子出力データ遅延時間(データ転送モード)	t _{ODLY(SD)}	-18.25	18.25	ns	
	SDHI_CMD、SDHI_D3~SDHI_D0端子入力データセットアップ時間	t _{ISU(SD)}	9.25	—	ns	
	SDHI_CMD、SDHI_D3~SDHI_D0端子入力データホールド時間	t _{IH(SD)}	8.3	—	ns	

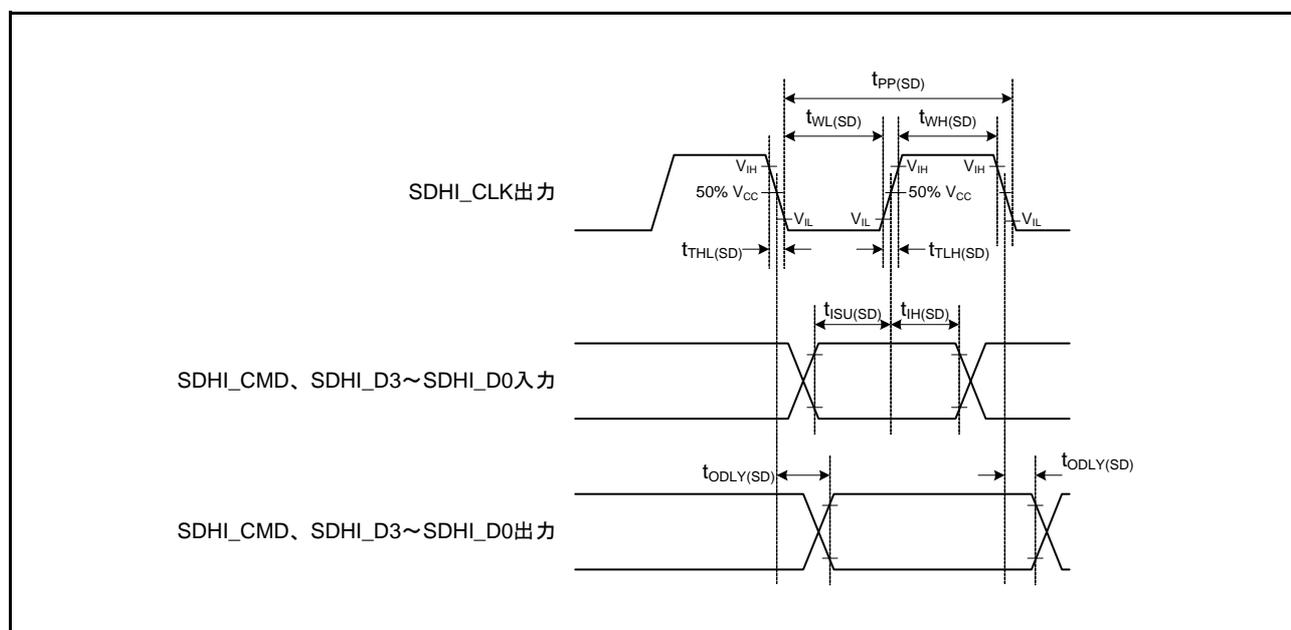


図 2.57 SD ホストインタフェース入出力信号タイミング

2.3.5.10 A/Dコンバータトリガ

表2.43 A/Dコンバータトリガタイミング

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位 (注1)	測定条件
A/Dコンバータ	トリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図2.58

注1. t_{Pcyc} : PCLKの周期

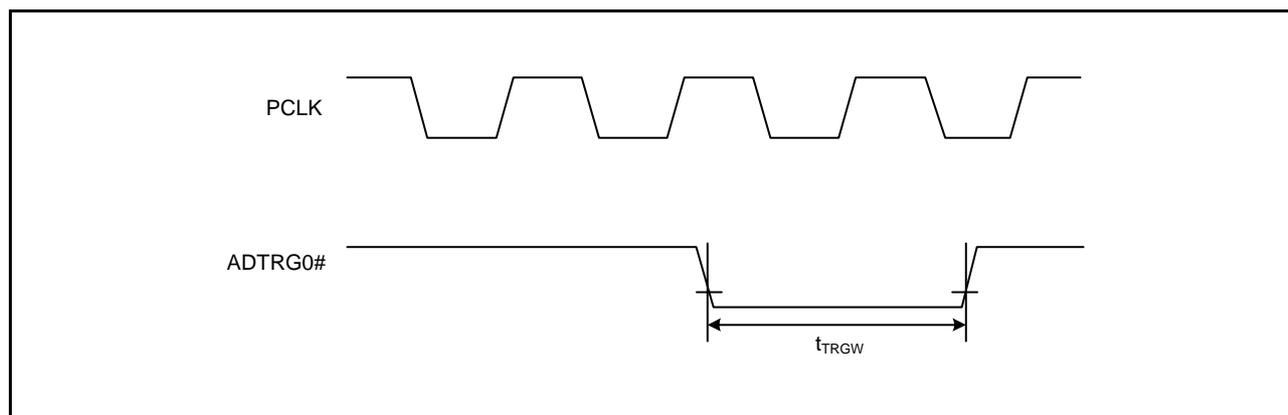


図 2.58 A/Dコンバータ外部トリガ入力タイミング

2.3.5.11 CAC

表2.44 CACタイミング

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位 (注1)	測定条件
CAC	CACREF入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	t_{CACREF}	—	ns	
		$t_{Pcyc} > t_{cac}$ (注2)				

注1. t_{Pcyc} : PCLKの周期

注2. t_{cac} : CACカウントクロックソースの周期

2.3.5.12 CLKOUT

表2.45 CLKOUT タイミング

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位 (注1)	測定条件	
CLKOUT	CLKOUT 端子出力サイクル(注3)	VCC = 2.7V 以上	t_{Cyc}	62.5	—	ns	図2.59
		VCC = 1.8V 以上		125			
	CLKOUT 端子 High レベルパルス幅 (注2)	VCC = 2.7V 以上	t_{CH}	15	—	ns	
		VCC = 1.8V 以上		30			
	CLKOUT 端子 Low レベルパルス幅 (注2)	VCC = 2.7V 以上	t_{CL}	15	—	ns	
		VCC = 1.8V 以上		30			
	CLKOUT 端子出力立ち上がり時間	VCC = 2.7V 以上	t_{Cr}	—	12	ns	
		VCC = 1.8V 以上			25		
	CLKOUT 端子出力立ち下がり時間	VCC = 2.7V 以上	t_{Cf}	—	12	ns	
		VCC = 1.8V 以上			25		

注1. t_{Pcyc} : PCLKの周期

注2. クロック出力ソースに LOCO 選択 (CKOCR.CKOSSEL[2:0] ビット = 000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

注3. EXTAL外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSSEL[2:0] ビット = 010b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT より出力する場合は、入力デューティ比45~55%で上記を満たします。

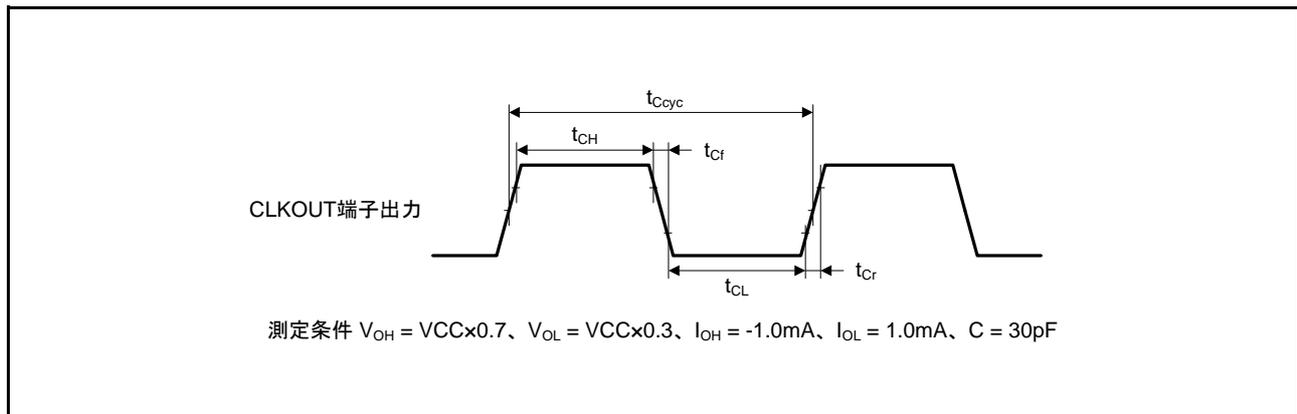


図 2.59 CLKOUT 出力タイミング

2.3.5.13 CLKOUT_RF

表2.46 CLKOUT_RF タイミング

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位 (注1)	測定条件
CLKOUT_RF (注2)	CLKOUT_RF 端子出力サイクル	$t_{CRF_{cyc}}$	250	—	ns	図2.60
	CLKOUT_RF 端子 High レベルパルス幅	t_{CRFH}	100	—	ns	
	CLKOUT_RF 端子 Low レベルパルス幅	t_{CRFL}	100	—	ns	
	CLKOUT_RF 端子出力立ち上がり時間	t_{CRF_r}	—	5	ns	
	CLKOUT_RF 端子出力立ち下がり時間	t_{CRF_f}	—	5	ns	

注1. $t_{P_{cyc}}$: PCLKの周期

注2. CLKOUT_RF使用時のVCC_RFは3.0~3.6Vです。

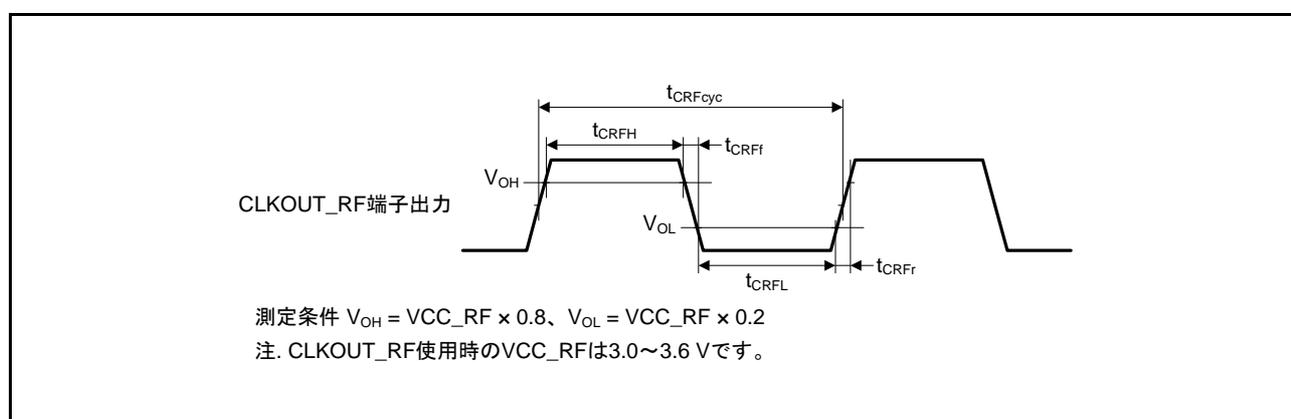


図 2.60 CLKOUT_RF 出力タイミング

2.4 USB 特性

表2.47 USB特性 (USB0_DP、USB0_DM端子特性)

条件 : $3.0V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF < 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位	測定条件	
入力特性	入力Highレベル電圧	V_{IH}	2.0	—	V		
	入力Lowレベル電圧	V_{IL}	—	0.8	V		
	差動入力感度	V_{DI}	0.2	—	V	$ USB0_DP - USB0_DM $	
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V		
出力特性	出力Highレベル電圧	V_{OH}	2.8	VCC_USB	V	$I_{OH} = -200\mu A$	
	出力Lowレベル電圧	V_{OL}	0.0	0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V	図2.61、 図2.62	
	立ち上がり時間	FS	t_r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t_f	4	20		ns
		LS		75	300		
	立ち上がり/ 立ち下がり時間比	FS	t_r/t_f	90	111.11		%
LS			80	125			
出力抵抗	Z_{DRV}	28	44	Ω	(外部素子による抵抗調整不要)		
VBUS特性	VBUS入力電圧	V_{IH}	$VCC \times 0.8$	—	V		
		V_{IL}	—	$VCC \times 0.2$	V		
プルアップ、 プルダウン	プルダウン抵抗	R_{PD}	14.25	24.80	k Ω		
	プルアップ抵抗	R_{PUI}	0.9	1.575	k Ω	アイドル時	
		R_{PUA}	1.425	3.09	k Ω	受信時	
バッテリー チャージング 規格 Ver1.2	D+シンク電流	I_{DP_SINK}	25	175	μA		
	D-シンク電流	I_{DM_SINK}	25	175	μA		
	DCDソース電流	I_{DP_SRC}	7	13	μA		
	データ検出電圧	V_{DAT_REF}	0.25	0.4	V		
	D+ソース電圧	V_{DP_SRC}	0.5	0.7	V	出力電流 = 250 μA	
	D-ソース電圧	V_{DM_SRC}	0.5	0.7	V	出力電流 = 250 μA	

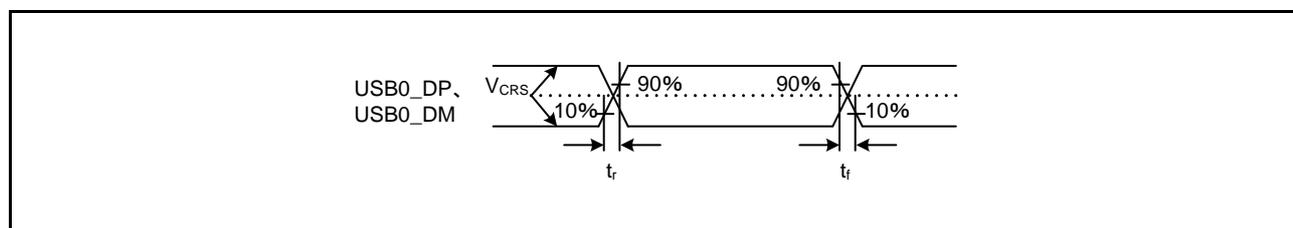


図 2.61 USB0_DP、USB0_DM 出力タイミング

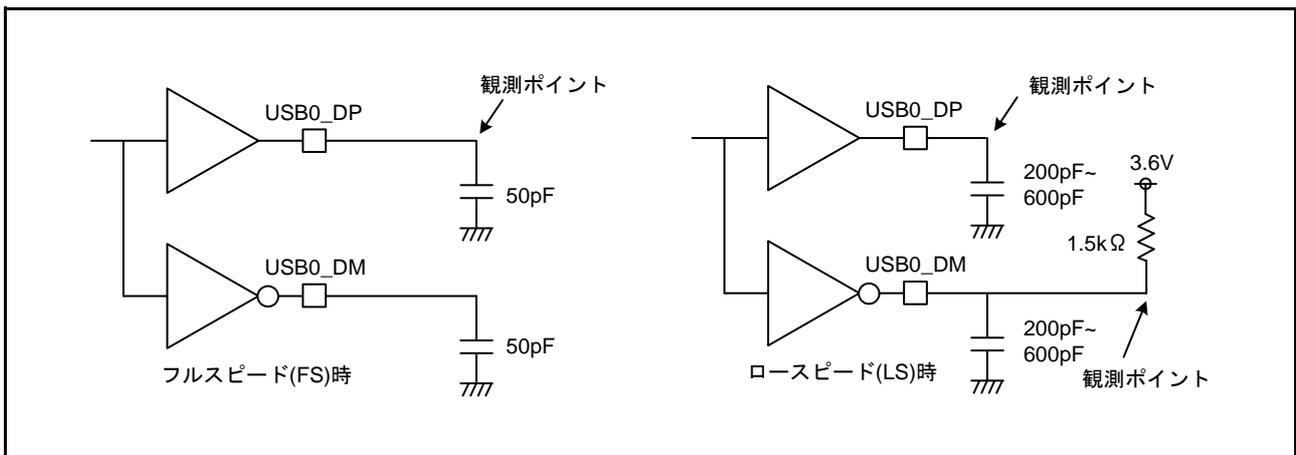


図 2.62 測定回路

2.5 A/D 変換特性

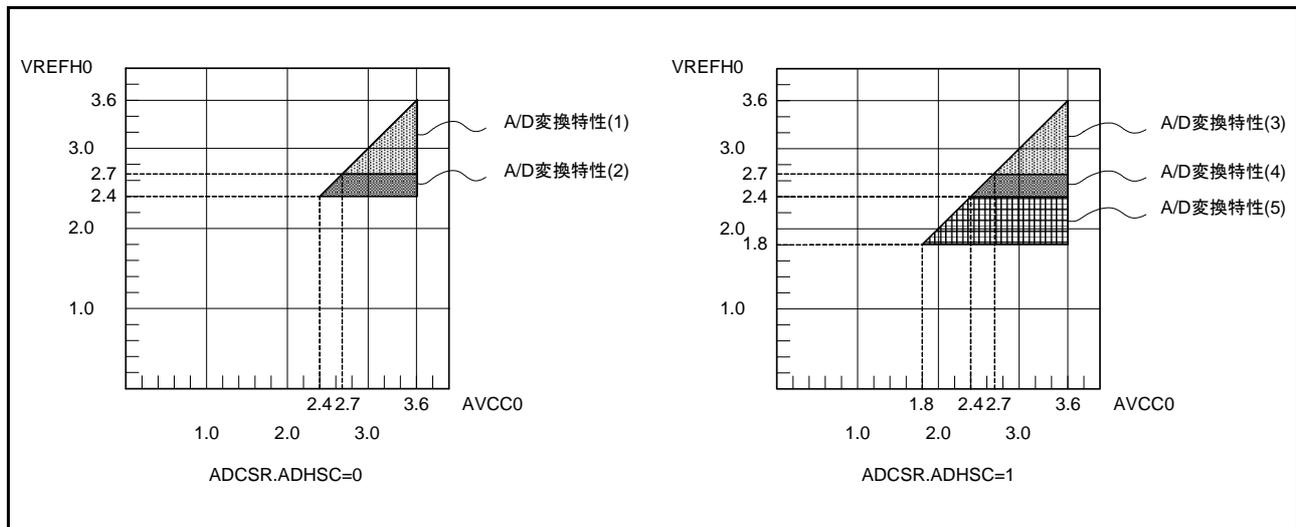


図 2.63 AVCC0-VREFH0 電圧範囲

表 2.48 A/D 変換特性 (1)

条件：2.7V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、2.7V ≤ VREFH0 ≤ AVCC0、
 VREFH0を基準電圧にしたとき、VSS = AVSS0 = VREFL0 = VSS_USB = VSS_RF = 0V、
 T_a = -40 ~ +85°C

項目	min	typ	max	単位	測定条件	
周波数	1	—	54	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 54MHz時)	許容信号源 インピーダンス max = 0.3kΩ	0.83	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRnレジスタ=0Dh
		1.33	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	15	pF	端子容量含む 図2.64	
アナログ入力抵抗	Rs	—	2.5	kΩ	図2.64	
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	
オフセット誤差	—	±0.5	±4.5	LSB	高精度チャンネル	
			±6.0	LSB	上記以外	
フルスケール誤差	—	±0.75	±4.5	LSB	高精度チャンネル	
			±6.0	LSB	上記以外	
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	±1.25	±5.0	LSB	高精度チャンネル	
			±8.0	LSB	上記以外	
DNL 微分非直線性誤差	—	±1.0	—	LSB		
INL 積分非直線性誤差	—	±1.0	±3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.49 A/D変換特性 (2)

条件： $2.4V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、
 $VREFH0$ を基準電圧にしたとき、 $VSS = AVSS0 = VREFL0 = VSS_USB = VSS_RF = 0V$ 、
 $T_a = -40 \sim +85^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1	—	32	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 32MHz時)	許容信号源 インピーダンス max = 1.3k Ω	1.41	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRnレジスタ=0Dh
		2.25	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図2.64
アナログ入力抵抗	Rs	—	—	2.5	k Ω	図2.64
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
				± 8.0	LSB	上記以外
DNL微分非直線性誤差		—	± 1.0	—	LSB	
INL積分非直線性誤差		—	± 1.0	± 4.5	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.50 A/D変換特性 (3)

条件： $2.7V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、
 $VREFH0$ を基準電圧にしたとき、 $VSS = AVSS0 = VREFL0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1	—	27	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 27MHz時)	許容信号源 インピーダンス max = 1.1k Ω	2	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=0Dh
		3	—	—		通常精度チャンネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図2.64
アナログ入力抵抗	Rs	—	—	2.5	k Ω	図2.64
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
				± 8.0	LSB	上記以外
DNL微分非直線性誤差		—	± 1.0	—	LSB	
INL積分非直線性誤差		—	± 1.0	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.51 A/D変換特性 (4)

条件：2.4V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、2.4V ≤ VREFH0 ≤ AVCC0、
VSS = AVSS0 = VSS_USB = VSS_RF = 0V、VREFH0を基準電圧にしたとき、T_a = -40 ~ +85°C

項目		min	typ	max	単位	測定条件
周波数		1	—	16	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 16MHz時)	許容信号源 インピーダンス max = 2.2kΩ	3.38	—	—	μs	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=0Dh
		5.06	—	—		通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図2.64
アナログ入力抵抗	Rs	—	—	2.5	kΩ	図2.64
オフセット誤差		—	±0.5	±4.5	LSB	
フルスケール誤差		—	±0.75	±4.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL微分非直線性誤差		—	±1.0	—	LSB	
INL積分非直線性誤差		—	±1.0	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.52 A/D変換特性 (5)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、1.8V ≤ VREFH0 ≤ AVCC0、
VSS = AVSS0 = VSS_USB = VSS_RF = 0V、VREFH0を基準電圧にしたとき、T_a = -40 ~ +85°C

項目		min	typ	max	単位	測定条件
周波数		1	—	8	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 8MHz時)	許容信号源 インピーダンス max = 5 kΩ	6.75	—	—	μs	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=0Dh
		10.13	—	—		通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図2.64
アナログ入力抵抗	Rs	—	—	2.5	kΩ	図2.64
オフセット誤差		—	±1	±7.5	LSB	
フルスケール誤差		—	±1.5	±7.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	±3.0	±8.0	LSB	
DNL微分非直線性誤差		—	±1.0	—	LSB	
INL積分非直線性誤差		—	±1.25	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.53 A/Dコンバータチャネル分類表

分類	対象チャネル	条件	備考
高精度チャネル	AN000～AN007	AVCC0 = 1.8～3.6V	A/Dコンバータ使用時、AN000～AN007端子をデジタル出力として使用することはできません
通常精度チャネル	AN016～AN020、AN027		
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 2.0～3.6V	
温度センサ入力チャネル	温度センサ出力	AVCC0 = 2.0～3.6V	

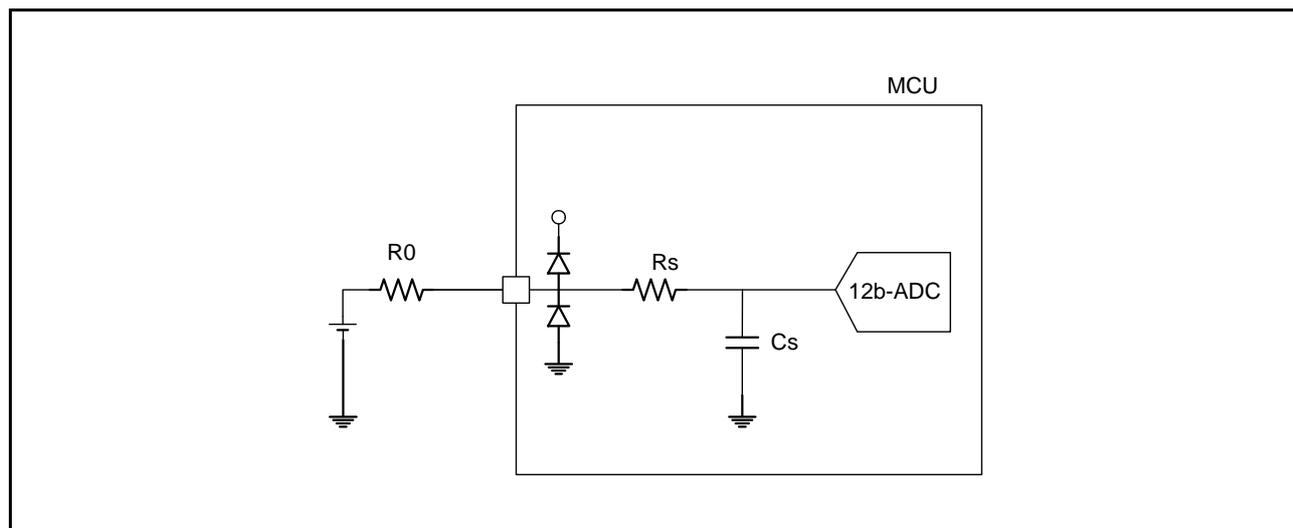


図 2.64 等価回路

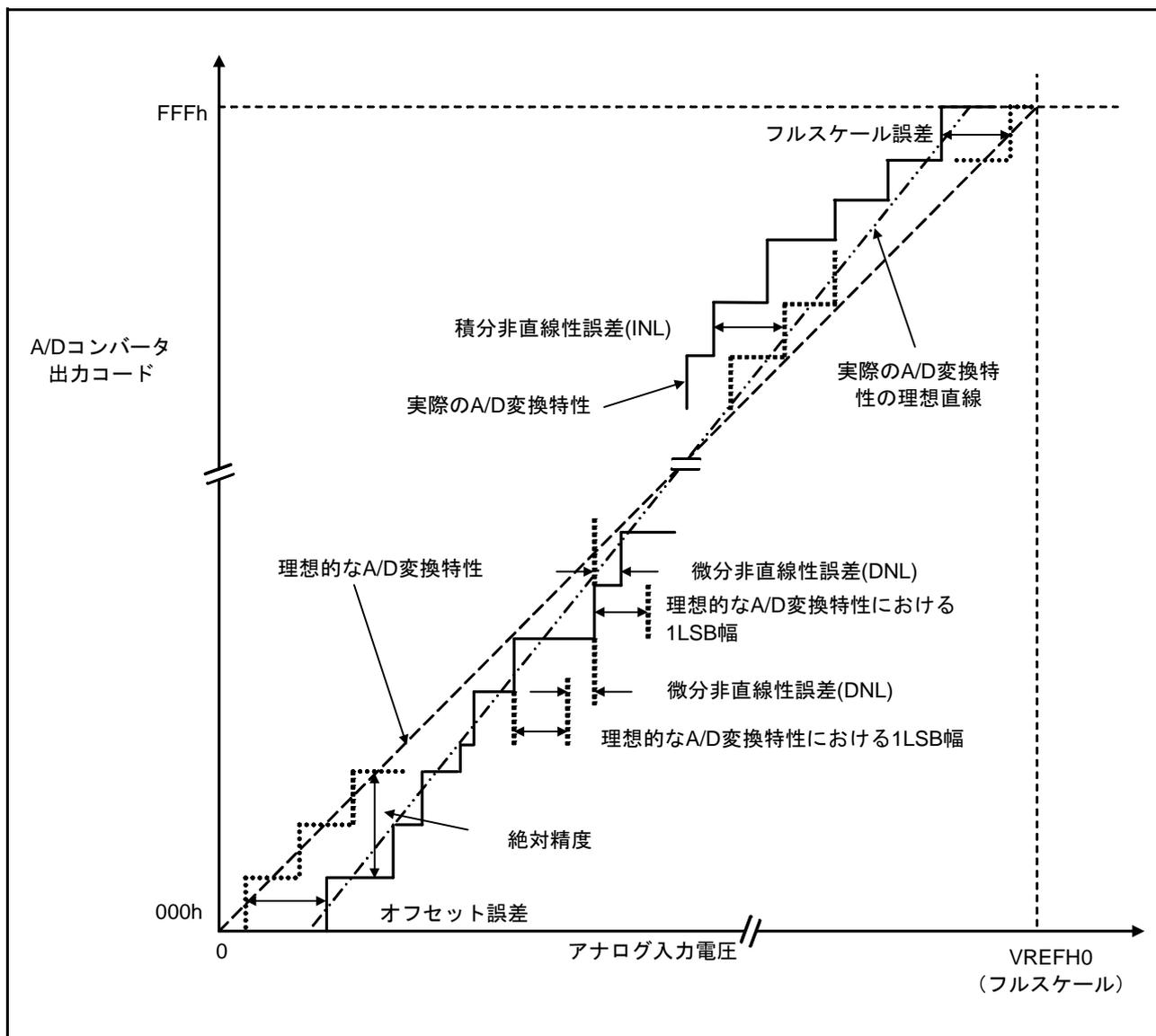


図 2.65 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 3.072V）の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード“008h”を期待できますが、実際の A/D 変換結果は“003h”～“00Dh”になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.6 D/A 変換特性

表 2.54 D/A 変換特性 (1)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$ 、基準電圧 = AVCC0、AVSS0 選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
負荷抵抗	30	—	—	k Ω	
負荷容量	—	—	50	pF	
出力電圧範囲	0.35	—	AVCC0 - 0.47	V	
DNL 微分非直線性誤差	—	± 0.5	± 2.0	LSB	
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	
オフセット誤差	—	—	± 30	mV	
フルスケール誤差	—	—	± 30	mV	
出力抵抗	—	5	—	Ω	
変換時間	—	—	30	μs	

表 2.55 D/A 変換特性 (2)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$ 、基準電圧 = 内部基準電圧選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
内部基準電圧 (Vbgr)	1.36	1.43	1.50	V	
負荷抵抗	30	—	—	k Ω	
負荷容量	—	—	50	pF	
出力電圧範囲	0.35	—	Vbgr	V	
DNL 微分非直線性誤差	—	± 2.0	± 16.0	LSB	
INL 積分非直線性誤差	—	± 8.0	± 16.0	LSB	
オフセット誤差	—	—	30	mV	
出力抵抗	—	5	—	Ω	
変換時間	—	—	30	μs	

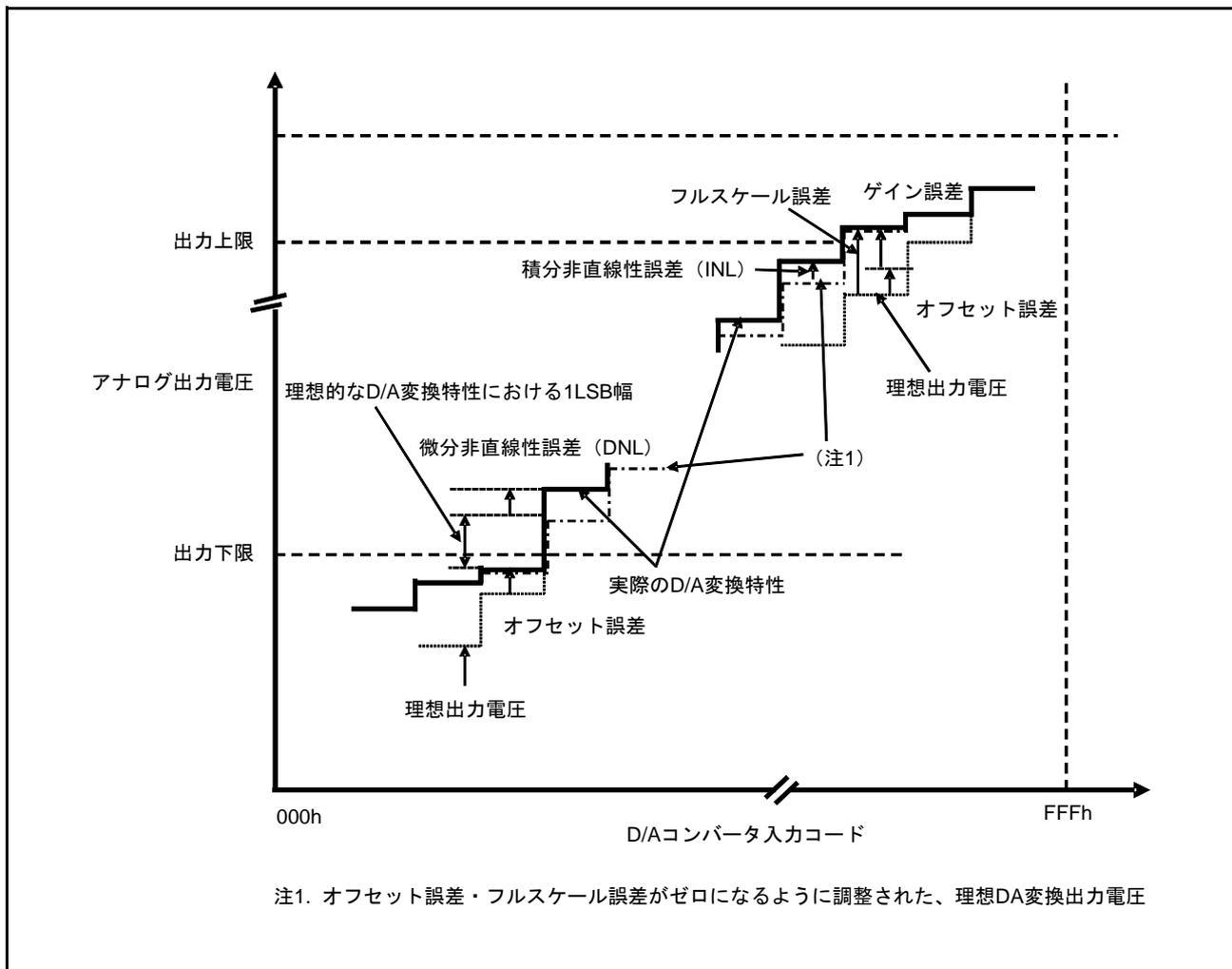


図 2.66 D/A コンバータ特性用語説明図

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な D/A 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.7 温度センサ特性

表2.56 温度センサ特性

条件：2.0V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4V以上
		—	±2.0	—		2.4V未満
温度傾斜	—	—	-3.65	—	mV/°C	
出力電位 (25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	
サンプリング時間	—	5	—	—	μs	

2.8 コンパレータ特性

表2.57 コンパレータ特性

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V、
T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件
CVREFB2、CVREFB3入力基準電圧	VREF	0	—	VCC - 1.4	V	
CMPB2、CMPB3入力電圧	VI	-0.3	—	VCC + 0.3	V	
オフセット	コンパレータ高速モード	—	—	50	mV	
	コンパレータ高速モード ウィンドウ機能有効	—	—	60	mV	
	コンパレータ低速モード	—	—	40	mV	
コンパレータ 出力遅延時間	コンパレータ高速モード	Td	—	1.2	μs	VCC = 3V、 入カスルーレート ≥ 50mV/μs
	コンパレータ高速モード ウィンドウ機能有効	Tdw	—	2.0	μs	
	コンパレータ低速モード	Td	—	5.0	μs	
高電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFH	—	0.76VCC	—	V	
低電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFL	—	0.24VCC	—	V	
動作安定待ち時間	Tcmp	100	—	—	μs	

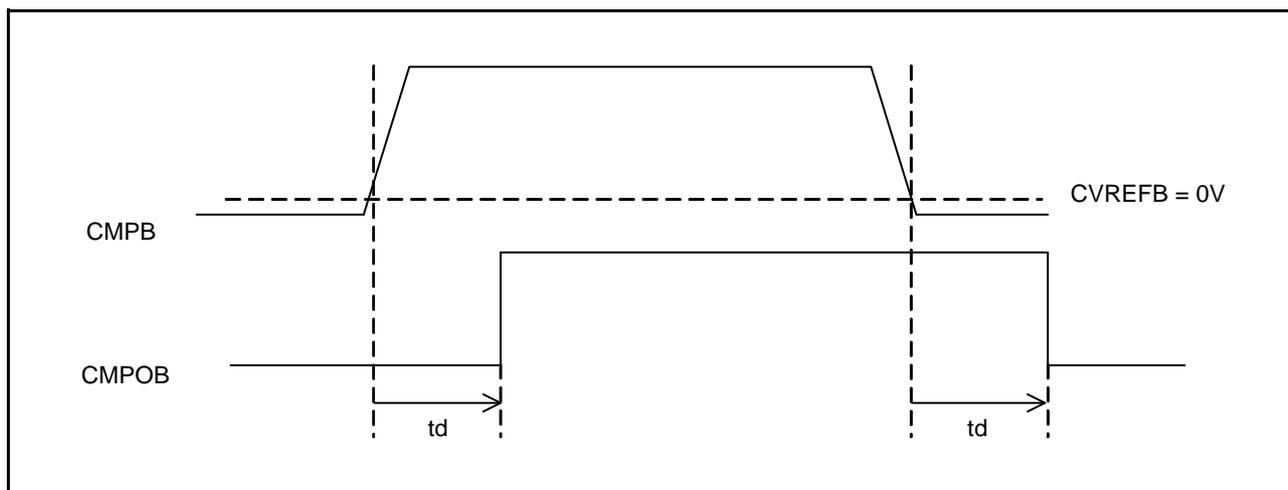


図 2.67 コンパレータ高速モード、低速モードのコンパレータ出力遅延時間

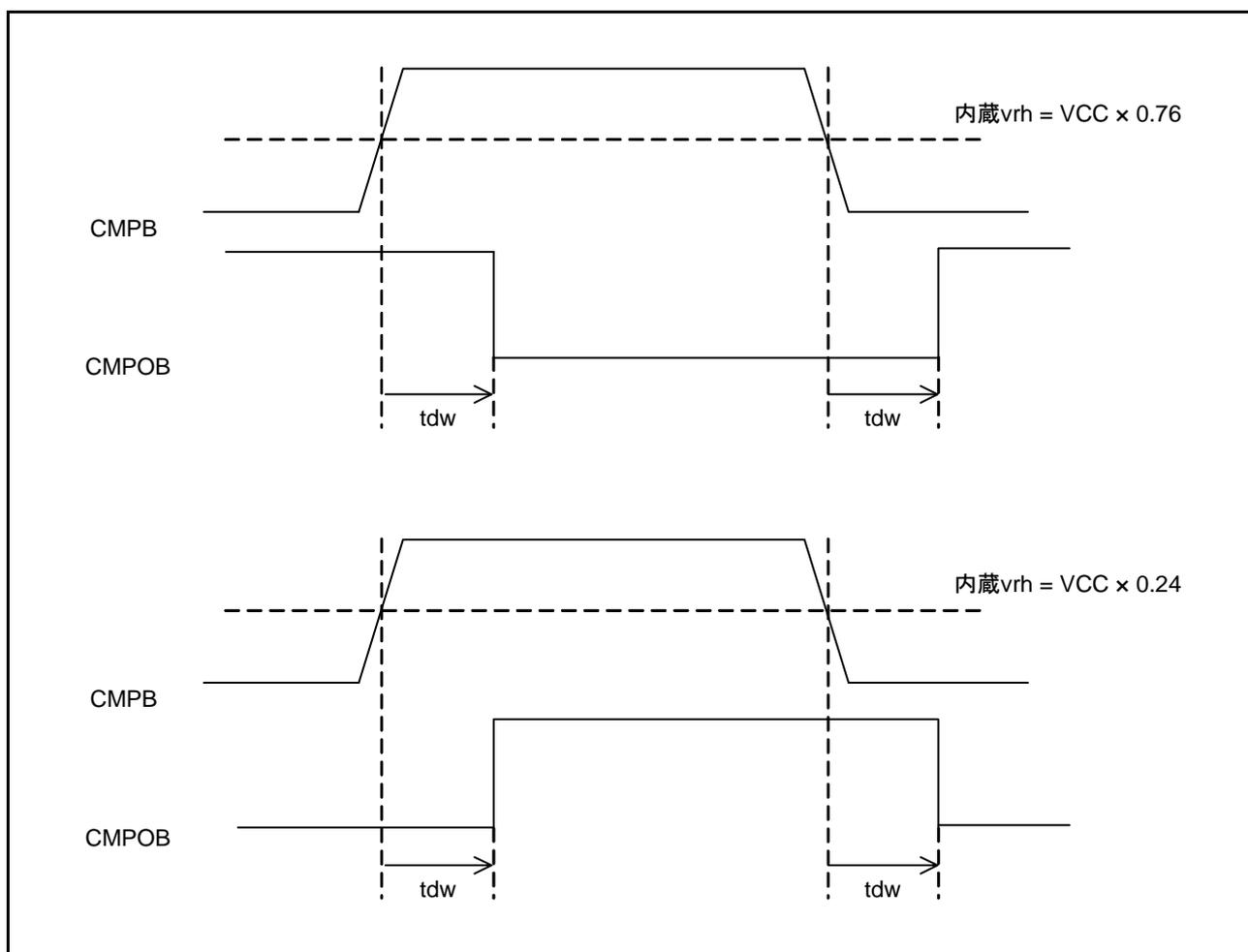


図 2.68 コンパレータ高速モードウィンドウ機能有効のコンパレータ出力遅延時間

2.9 CTSU 特性

表 2.58 CTSU 特性

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件
TSCAP 端子外付け容量	C_{tscap}	9	10	11	nF	
TS 端子負荷容量	C_{base}	—	—	50	pF	
出力 High レベル許容電流	ΣI_{OH}	—	—	-24	mA	相互容量方式で使用する場合

2.10 パワーオンリセット回路、電圧検出回路特性

表 2.59 パワーオンリセット回路、電圧検出回路特性 (1)

条件： $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V_{POR}	1.35	1.50	1.65	V	図 2.69、図 2.70
	電圧検出回路 (LVD0) (注1)	V_{det0_1}	2.70	2.82	3.00	V	図 2.71 VCC 立ち下がり時
V_{det0_2}		2.37	2.51	2.67			
V_{det0_3}		1.80	1.90	1.99			
電圧検出回路 (LVD1) (注2)	V_{det1_4}	2.99	3.10	3.29	V	図 2.72 VCC 立ち下がり時	
	V_{det1_5}	2.89	3.00	3.19			
	V_{det1_6}	2.79	2.90	3.09			
	V_{det1_7}	2.68	2.79	2.98			
	V_{det1_8}	2.57	2.68	2.87			
	V_{det1_9}	2.47	2.58	2.67			
	V_{det1_A}	2.37	2.48	2.57			
	V_{det1_B}	2.10	2.20	2.30			
	V_{det1_C}	1.86	1.96	2.06			
	V_{det1_D}	1.80	1.86	1.96			

注. 電源にノイズが重畳されていない状態での特性です。

注1. 記号 V_{det0_n} の n は、OFS1.VDSEL[1:0] ビットの値です。

注2. 記号 V_{det1_n} の n は、LVDLVLR.LVD1LVL[3:0] ビットの値です。

表 2.60 パワーオンリセット回路、電圧検出回路特性 (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件	
パワーオンリセット解除後待機時間	通常起動時 (注1)	t_{POR}	—	9.1	—	ms	図 2.70
	起動時間短縮時 (注2)	t_{POR}	—	1.6	—		
電圧監視0リセット解除後待機時間	起動時電圧監視0リセット無効時 (注1)	t_{LVDO}	—	568	—	μs	図 2.71
	起動時電圧監視0リセット有効時 (注2)		—	100	—		
電圧監視1リセット解除後待機時間	t_{LVD1}	—	100	—	μs	図 2.72	
応答遅延時間	t_{det}	—	—	350	μs	図 2.69	
最小VCC低下時間 (注3)	t_{VOFF}	350	—	—	μs	図 2.69、 $VCC = 1.0V$ 以上	
パワーオンリセット有効時間	t_W (POR)	1	—	—	ms	図 2.70、 $VCC = 1.0V$ 未満	
LVD動作安定時間 (LVD有効切り替え時)	T_d (E-A)	—	—	300	μs	図 2.72	
ヒステリシス幅 (パワーオンリセット (POR))	V_{PORH}	—	110	—	mV		
ヒステリシス幅 (電圧検出回路 (LVD1))	V_{LVH}	—	70	—	mV	Vdet1_4 選択時	
		—	60	—		Vdet1_5 ~ 9 選択時	
		—	50	—		Vdet1_A ~ B 選択時	
		—	40	—		Vdet1_C ~ D 選択時	

注. 電源にノイズが重畳されていない状態での特性です。

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} のmin値を下回っている時間です。

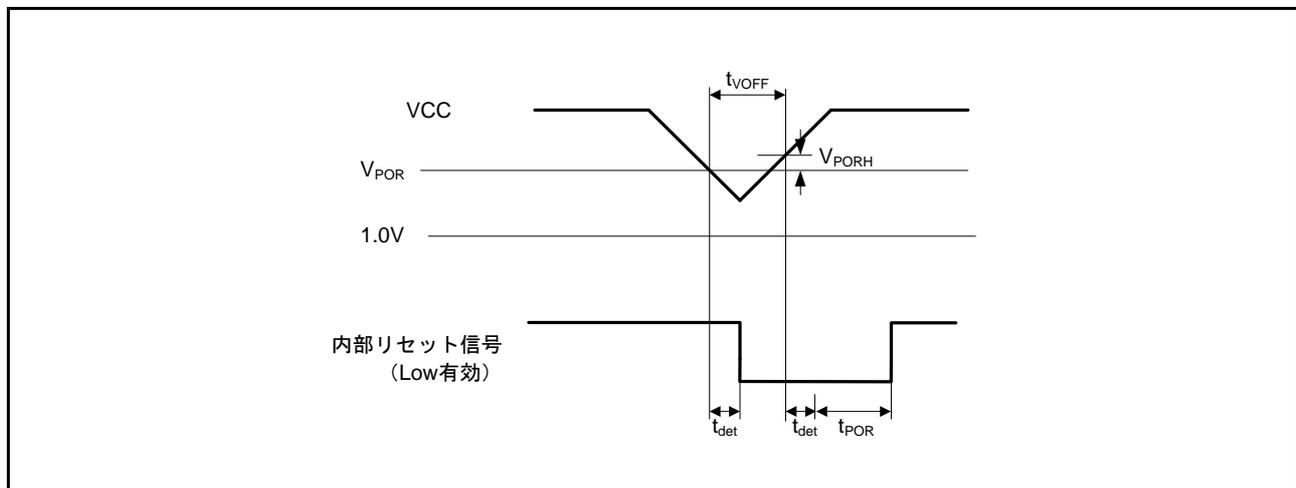


図 2.69 電圧検出リセットタイミング

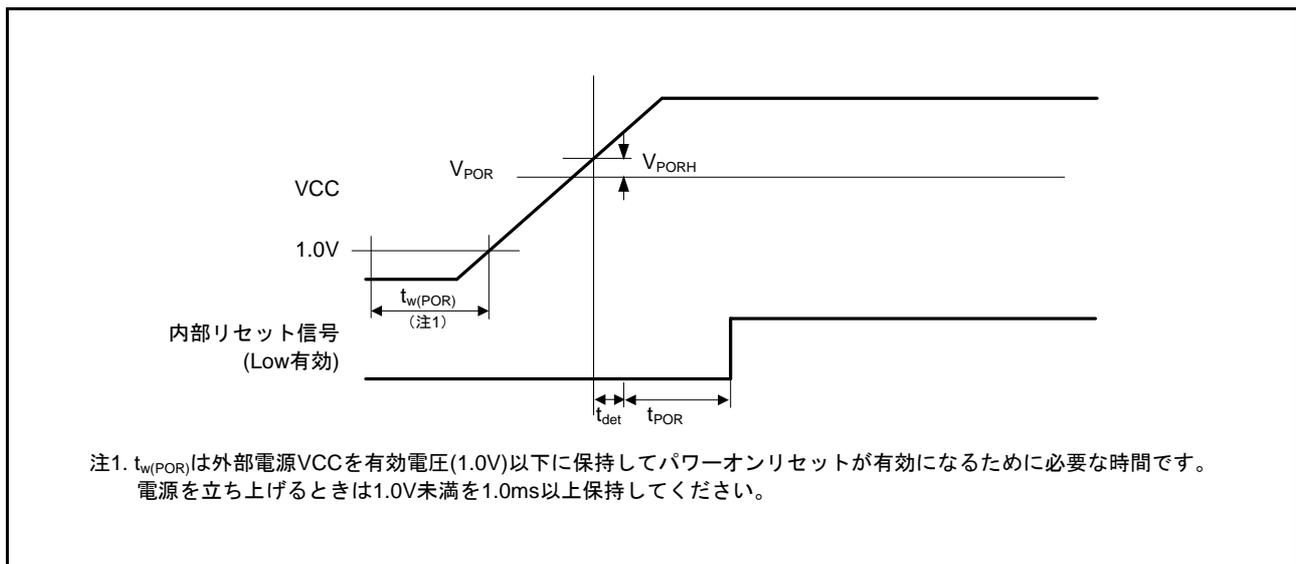


図 2.70 パワーオンリセットタイミング

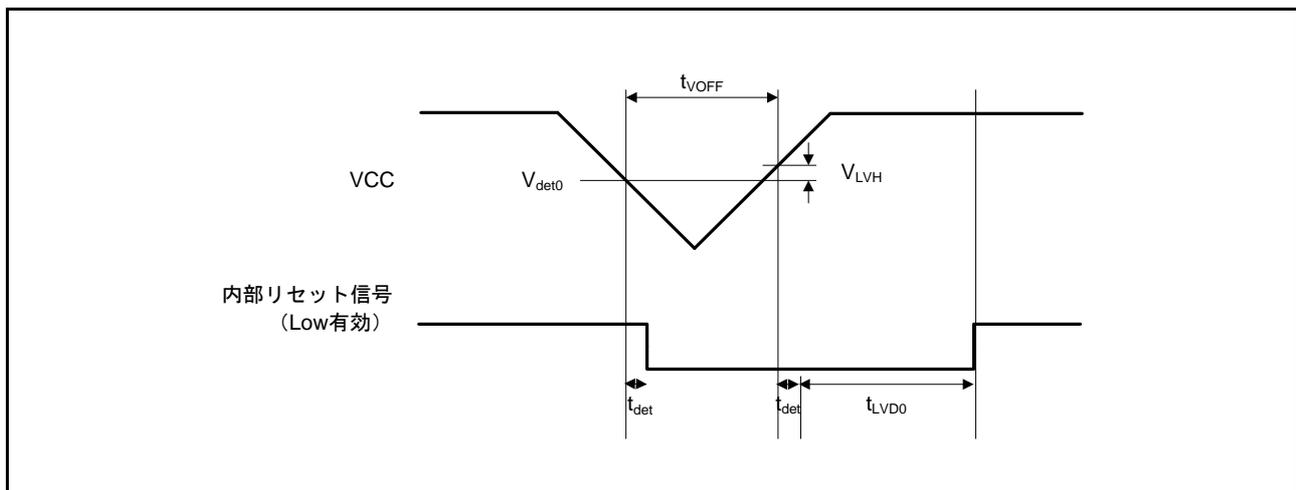


図 2.71 電圧検出回路タイミング (Vdet0)

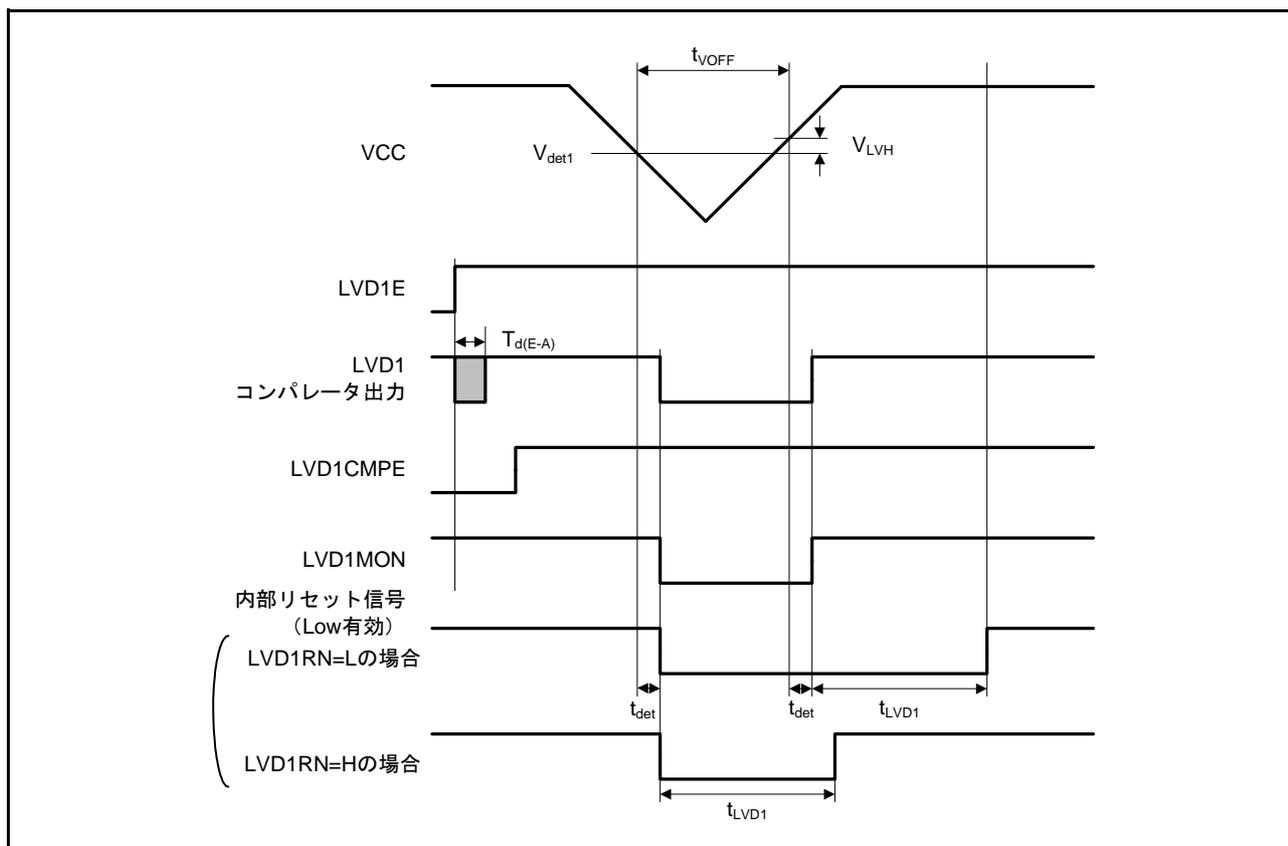


図 2.72 電圧検出回路タイミング (V_{det1})

2.11 発振停止検出タイミング

表 2.61 発振停止検出回路特性

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF \leq 3.6V$ 、
 $VSS = AVSS0 = VREFL0 = VSS_USB = VSS_RF = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.73

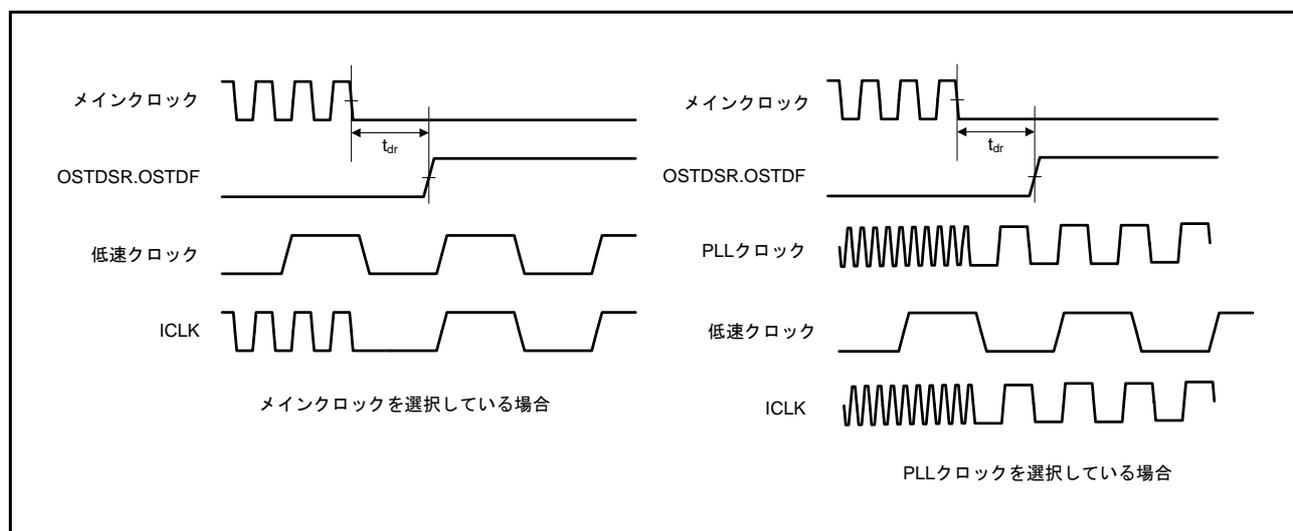


図 2.73 発振停止検出タイミング

2.12 バッテリバックアップ機能特性

表2.62 バッテリバックアップ機能特性

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、1.8V ≤ VBATT ≤ 3.6V、
VSS = AVSS0 = VREFL0 = VSS_USB = VSS_RF = 0V、T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件	
バッテリバックアップ切り替え電圧レベル (立ち下がり)	V _{DETBATT}	1.99	2.09	2.19	V	図 2.74	
ヒステリシス幅	V _{VBATTH}	—	100	—	mV		
切り替え可能VCCオフ期間	t _{VOFFBATT}	—	—	350	μs		
許容電源変動立ち上げ/立ち下り勾配	dt/dVCC	1.0	—	—	ms/V	図 2.7	
VBATT端子電圧低下検出レベル (立ち下がり)	VBTLVDLVL[1:0] = 10b	V _{DETBATLVD}	2.11	2.20	2.29	V	図 2.74
	VBTLVDLVL[1:0] = 11b		1.87	2.00	2.13	V	
VBATT端子電圧低下検出ヒステリシス幅	V _{BATLVDH}	—	50	—	mV		

注. 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベルV_{DETBATT}のmin値を下回っている時間です。

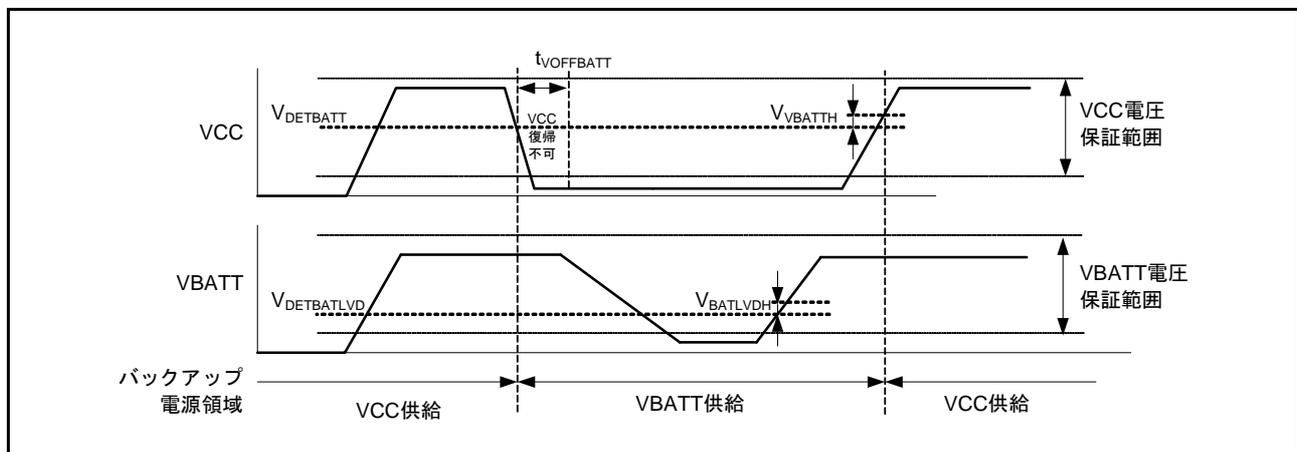


図 2.74 バッテリバックアップ機能特性

2.13 ROM（コード格納用フラッシュメモリ）特性

表2.63 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル(注1)	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20(注2、注3)	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表2.64 ROM（コード格納用フラッシュメモリ）特性（2）高速動作モード

条件：2.7V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V
プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{p8}	—	112	967	—	52.3	491	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.75	278	—	5.50	215	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t _{E512K}	—	928	19218	—	72.0	1679	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t _{EA512K}	—	923	19013	—	66.7	1469	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト	t _{BC2K}	—	—	1840	—	—	136	ms
イレーズ処理強制停止時間	t _{SED}	—	—	18.0	—	—	10.7	μs	
スタートアップ領域入れ替え設定時間	t _{SAS}	—	12.3	566.5	—	6.2	434	ms	
アクセスウィンドウ設定時間	t _{AWS}	—	12.3	566.5	—	6.2	434	ms	
ROMモード遷移待ち時間1	t _{DIS}	2.0	—	—	2.0	—	—	μs	
ROMモード遷移待ち時間2	t _{MS}	5.0	—	—	5.0	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表2.65 ROM（コード格納用フラッシュメモリ）特性（3）中速動作モード

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{P8}	—	152	1367	—	97.9	936	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.8	279.7	—	5.9	221	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t _{E512K}	—	928	19221	—	191	4108	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t _{EA512K}	—	923	19015	—	185	3901	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	85.0	—	—	50.88	μs
	2Kバイト	t _{BC2K}	—	—	1870	—	—	402	μs
イレーズ処理強制停止時間		t _{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	13.0	573.3	—	7.7	451	ms
アクセスウィンドウ設定時間		t _{AWS}	—	13.0	573.3	—	7.7	451	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	3.0	—	—	3.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

2.14 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表2.66 E2データフラッシュ特性（1）

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレースサイクル(注1)	N _{DPEC}	100000	1000000	—	回	
データ保持時間	N _{DPEC} 10000回後	20 (注2、注3)	—	—	年	T _a = +85°C
	N _{DPEC} 100000回後	5 (注2、注3)	—	—	年	
	N _{DPEC} 1000000回後	—	1 (注2、注3)	—	年	T _a = +25°C

注1. 再プログラム/イレースサイクルの定義：再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルがn回（n = 100000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表2.67 E2データフラッシュ特性（2）高速動作モード

条件：2.7V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V
プログラム/イレース時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	95.0	797	—	40.8	376	μs
イレース時間	1Kバイト	t _{DE1K}	—	19.5	498	—	6.2	230	ms
	8Kバイト	t _{DE8K}	—	119.8	2556	—	12.9	368	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	55.00	—	—	16.1	μs
	1Kバイト	t _{DBC1K}	—	—	0.72	—	—	0.50	ms
イレース処理強制停止時間	t _{DSED}	—	—	16.0	—	—	10.7	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	5.0	—	—	5.0	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表2.68 E2データフラッシュ特性（3）中速動作モード

条件：1.8V ≤ VCC = VCC_USB = AVCC0 = VCC_RF = AVCC_RF ≤ 3.6V、VSS = AVSS0 = VSS_USB = VSS_RF = 0V
プログラム/イレース時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	135	1197	—	86.5	823	μs
イレース時間	1Kバイト	t _{DE1K}	—	19.6	501	—	8.0	265	ms
	8Kバイト	t _{DE8K}	—	120	2558	—	27.7	669	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	85.0	—	—	50.9	μs
	1Kバイト	t _{DBC1K}	—	—	0.72	—	—	1.45	ms
イレース処理強制停止時間	t _{DSED}	—	—	28.0	—	—	21.3	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	0.72	—	—	0.72	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

2.15 BLE 特性

2.15.1 送信特性

表 2.69 送信特性

条件：VCC = VCC_RF = AVCC_RF = 3.3V、VSS = VSS_RF = 0V、T_a = +25°C

項目	記号	min	typ	max	単位	測定条件	
周波数範囲	RF _{CF}	2402	—	2480	MHz		
データレート	RF _{DATA_2M}	—	2	—	Mbps		
	RF _{DATA_1M}	—	1	—	Mbps		
	RF _{DATA_500k}	—	500	—	kbps		
	RF _{DATA_125k}	—	125	—	kbps		
最大送信出力電力	RF _{POWER}	—	0	2	dBm	0dBm 出力モード	
		—	4	6	dBm	4dBm 出力モード	
出力周波数誤差	85ピンBGA、56ピンQFN	RF _{TXFERR}	-10	—	10	ppm	(注1)
	83ピンLGA	RF _{MTXFERR}	-50	—	50	ppm	T _a : -40 ~ +85°C

注. BLE以外の端子、機能を使用していない場合の特性です。

注1. 水晶振動子の製造ばらつき、温度ドリフト、経年劣化などによる周波数誤差は含まない。

2.15.2 受信特性 (2Mbps)

表 2.70 受信特性

条件：VCC = VCC_RF = AVCC_RF = 3.3V、VSS = VSS_RF = 0V、T_a = +25°C

項目	記号	min	typ	max	単位	測定条件	
入力周波数	RF _{RXFIN_2M}	2402	—	2480	MHz		
最大入力レベル	RF _{LEVL_2M}	-10	4	—	dBm	(注1)	
受信感度	RF _{STY_2M}	—	-92	—	dBm	(注1)	
副次発射強度	RF _{RXSP_2M}	—	-72	-57	dBm	30MHz ~ 1GHz	
		—	-54	-47	dBm	1GHz ~ 12GHz	
同一チャンネル除去比	RF _{CCR_2M}	—	-8	—	dB	Prf = -67dBm (注1)	
隣接チャンネル除去比	RF _{ADCR_2M}	—	2	—	dB	Prf = -67dBm (注1)	
		—	35	—	dB		±2MHz
		—	39	—	dB		±4MHz ±6MHz
Blocking	RF _{BLK_2M}	—	-1	—	dBm	Prf = -67dBm (注1)	
		—	-25	—	dBm		30MHz ~ 2000MHz
		—	-21	—	dBm		2000MHz ~ 2399MHz
		—	-10	—	dBm		2484MHz ~ 3000MHz > 3000MHz
許容周波数偏差 (注2)	RF _{RXFER_2M}	-120	—	120	ppm	(注1)	
RSSI精度	RF _{RSSIS_2M}	—	±4	—	dB	-70dBm ≤ Prf ≤ -10dBm	

注. BLE以外の端子、機能を使用していない場合の特性です。

注1. PER ≤ 30.8%, 37byte payload

注2. RF入力信号のセンタ周波数とチップ内部で発生するキャリア周波数の差

2.15.3 受信特性 (1Mbps)

表2.71 受信特性

条件: VCC = VCC_RF = AVCC_RF = 3.3V、VSS = VSS_RF = 0V、T_a = +25°C

項目	記号	min	typ	max	単位	測定条件	
入力周波数	RF _{RXFIN_1M}	2402	—	2480	MHz		
最大入力レベル	RF _{LEVL_1M}	-10	4	—	dBm	(注1)	
受信感度	RF _{STY_1M}	—	-95	—	dBm	(注1)	
副次発射強度	RF _{RXSP_1M}	—	-72	-57	dBm	30MHz ~ 1GHz	
		—	-54	-47	dBm	1GHz ~ 12GHz	
同一チャネル除去比	RF _{CCR_1M}	—	-7	—	dB	Prf = -67dBm (注1)	
隣接チャネル除去比	RF _{ADCR_1M}	—	-1	—	dB	Prf = -67dBm (注1)	±1MHz
		—	34	—	dB		±2MHz
		—	35	—	dB		±3MHz
Blocking	RF _{BLK_1M}	—	0	—	dBm	Prf = -67dBm (注1)	30MHz ~ 2000MHz
		—	-24	—	dBm		2000MHz ~ 2399MHz
		—	-20	—	dBm		2484MHz ~ 3000MHz
		—	-4	—	dBm		> 3000MHz
許容周波数偏差 (注2)	RF _{RXFER_1M}	-120	—	120	ppm	(注1)	
RSSI精度	RF _{RSSIS_1M}	—	±4	—	dB	-70dBm ≤ Prf ≤ -10dBm	

注. BLE以外の端子、機能を使用していない場合の特性です。

注1. PER ≤ 30.8%, 37byte payload

注2. RF入力信号のセンタ周波数とチップ内部で発生するキャリア周波数の差

2.15.4 受信特性 (500kbps)

表2.72 受信特性

条件: VCC = VCC_RF = AVCC_RF = 3.3V、VSS = VSS_RF = 0V、T_a = +25°C

項目	記号	min	typ	max	単位	測定条件	
入力周波数	RF _{RXFIN_500k}	2402	—	2480	MHz		
最大入力レベル	RF _{LEVL_500k}	-10	4	—	dBm	(注1)	
受信感度	RF _{STY_500k}	—	-100	—	dBm	(注1)	
副次発射強度	RF _{RXSP_500k}	—	-72	-57	dBm	30MHz ~ 1GHz	
		—	-54	-47	dBm	1GHz ~ 12GHz	
同一チャネル除去比	RF _{CCR_500k}	—	-4	—	dB	Prf = -72dBm (注1)	
隣接チャネル除去比	RF _{ADCR_500k}	—	6	—	dB	Prf = -72dBm (注1)	±1MHz
		—	36	—	dB		±2MHz
		—	42	—	dB		±3MHz
Blocking	RF _{BLK_500k}	—	0	—	dBm	Prf = -72dBm (注1)	30MHz ~ 2000MHz
		—	-23	—	dBm		2000MHz ~ 2399MHz
		—	-20	—	dBm		2484MHz ~ 3000MHz
		—	-7	—	dBm		> 3000MHz
許容周波数偏差 (注2)	RF _{RXFER_500k}	-120	—	120	ppm	(注1)	
RSSI精度	RF _{RSSIS_500k}	—	±4	—	dB	-70dBm ≤ Prf ≤ -10dBm	

注. BLE以外の端子、機能を使用していない場合の特性です。

注1. PER ≤ 30.8%, 37byte payload

注2. RF入力信号のセンタ周波数とチップ内部で発生するキャリア周波数の差

2.15.5 受信特性 (125kbps)

表 2.73 受信特性

条件 : VCC = VCC_RF = AVCC_RF = 3.3V、VSS = VSS_RF = 0V、T_a = +25°C

項目	記号	min	typ	max	単位	測定条件
入力周波数	RF _{RXFIN_125k}	2402	—	2480	MHz	
最大入力レベル	RF _{LEVL_125k}	-10	4	—	dBm	(注1)
受信感度	RF _{STY_125k}	—	-105	—	dBm	(注1)
副次発射強度	RF _{RXSP_125k}	—	-72	-57	dBm	30MHz ~ 1GHz
		—	-54	-47	dBm	1GHz ~ 12GHz
同一チャネル除去比	RF _{CCR_125k}	—	-2	—	dB	Prf = -79dBm (注1)
隣接チャネル除去比	RF _{ADCR_125k}	—	12	—	dB	Prf = -79dBm (注1)
		—	39	—	dB	±1MHz
		—	45	—	dB	±2MHz
Blocking	RF _{BLK_125k}	—	0	—	dBm	Prf = -79dBm (注1)
		—	-23	—	dBm	30MHz ~ 2000MHz
		—	-20	—	dBm	2000MHz ~ 2399MHz
		—	-1	—	dBm	2484MHz ~ 3000MHz
許容周波数偏差 (注2)	RF _{RXFER_125k}	-120	—	120	ppm	> 3000MHz
RSSI精度	RF _{RSSIS_125k}	—	±4	—	dB	(注1)
						-70dBm ≤ Prf ≤ -10dBm

注. BLE以外の端子、機能を使用していない場合の特性です。

注1. PER ≤ 30.8%, 37byte payload

注2. RF入力信号のセンタ周波数とチップ内部で発生するキャリア周波数の差

2.16 使用上の注意事項

2.16.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は VCC_RF 端子は 2.2 μ F（推奨値）、それ以外は 0.1 μ F（推奨値）を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「44. 12ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ)でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

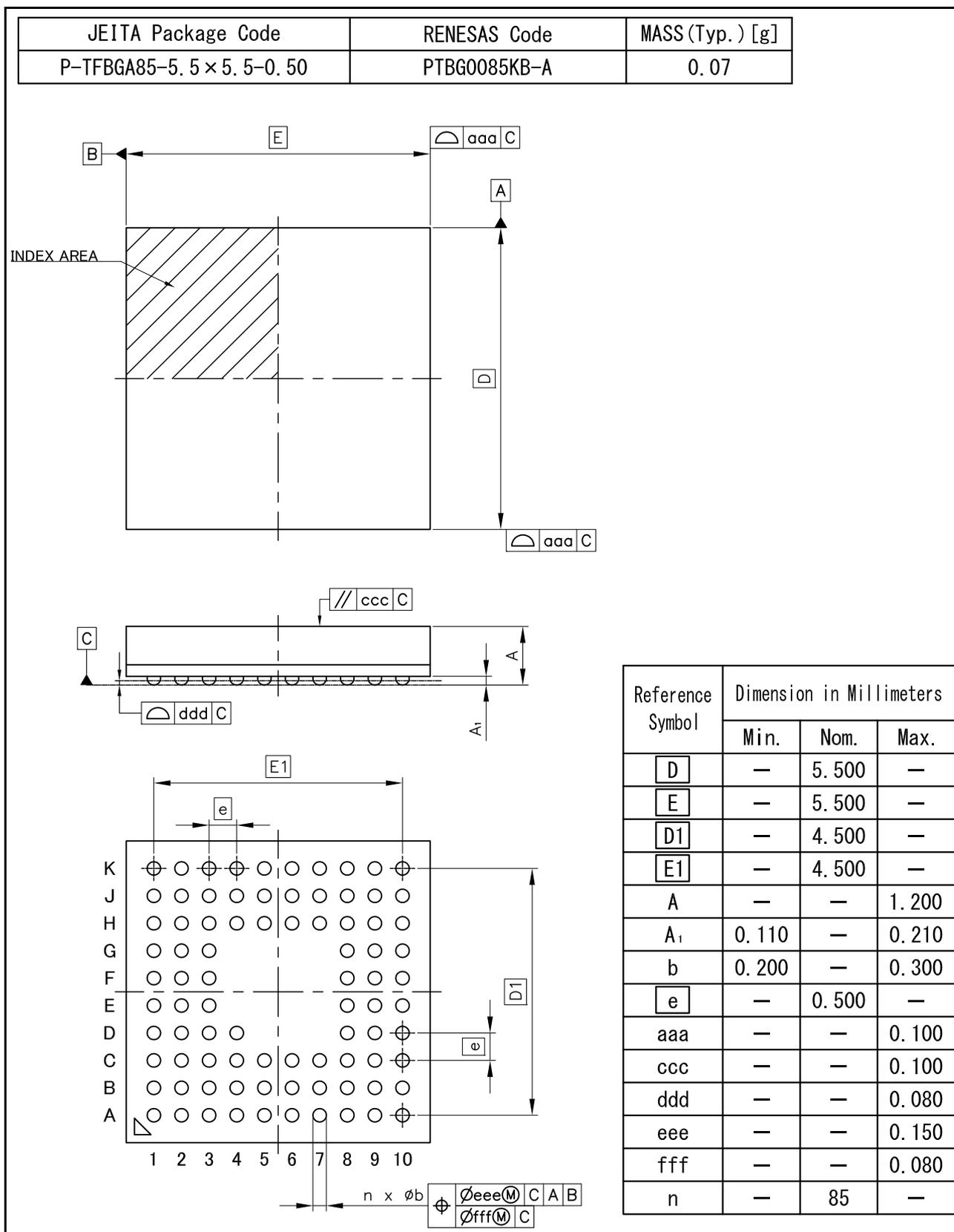


図 A. 85ピン BGA (PTBG0085KB-A)

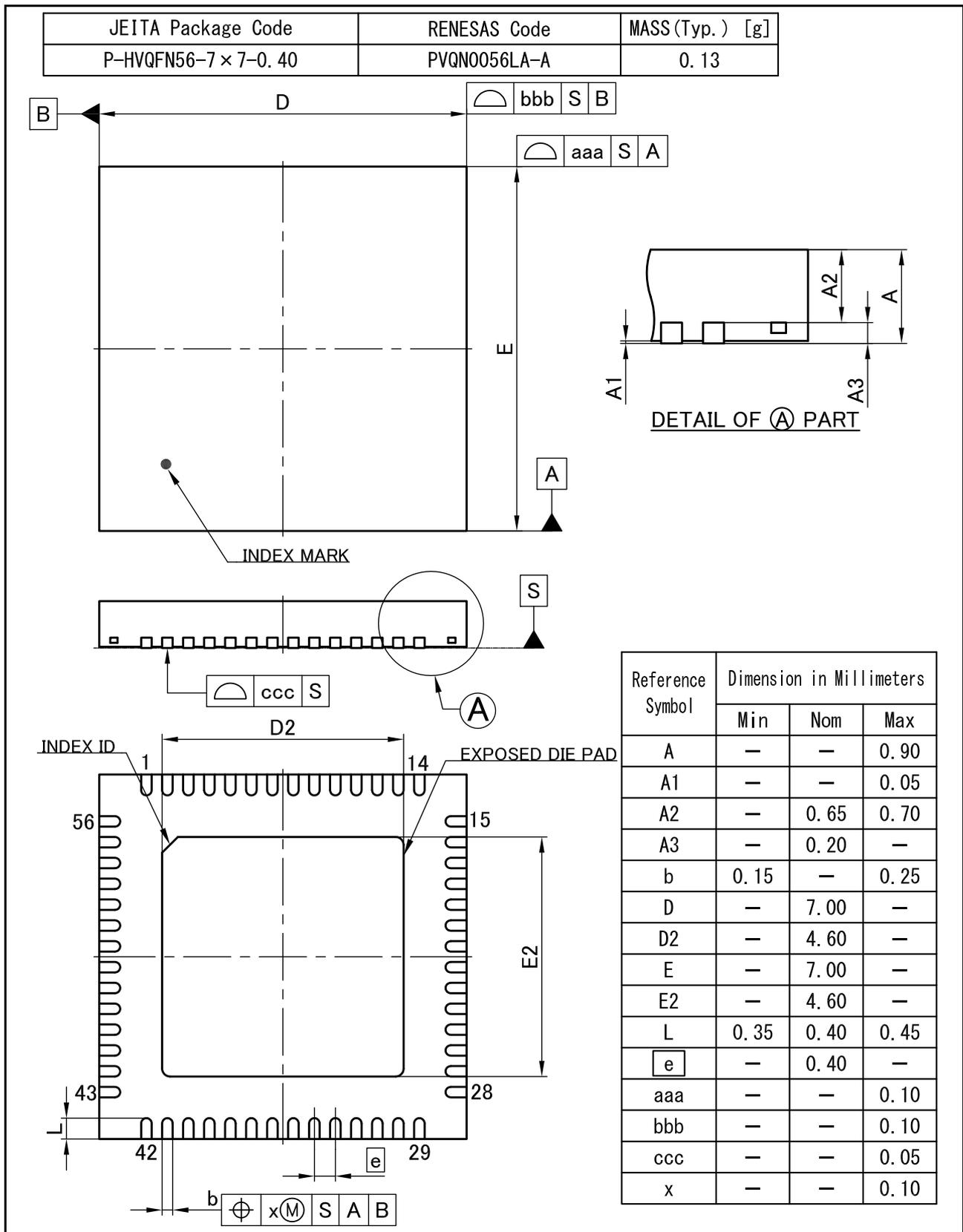


図 C. 56ピン QFN (PVQN0056LA-A)

改訂記録	RX23W グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2019.08.06	—	初版発行	
1.10	2021.03.30	特長		
		1	83ピンLGA仕様 追加	
		1. 概要		
		全体	83ピンLGA仕様 追加	
		2. 電気的特性		
		51	表2.24 クロックタイミング 注6 変更	TN-RX*-A0245A/J
		60～80	2.3.5 内蔵周辺モジュールタイミング レイアウト変更	
		付録1. 外形寸法図		
107	図B. 83ピンLGA (PTLG0083KA-A) 追加			

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。