

RX24T グループ

R01DS0257JJ0200

ルネサスマイクロコンピュータ

Rev.2.00

2017.04.14

80MHz、32ビットRX MCU、FPU内蔵、153.6 DMIPS、電源5V対応、
12ビットADC (3ch同時S/H回路、ダブルデータレジスタ、オペアンプ、コンパレータ) 3ユニット、
最大ADC 5ch同時サンプリング可能、CAN搭載、
80MHz PWM (三相相補2ch + 単相相補4ch もしくは三相相補3ch + 単相相補1ch)

特長

■ 32ビットRXv2 CPU コア内蔵

- 最大動作周波数 80MHz
153.6 DMIPS の性能 (80MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■消費電力低減機能

- 2.7V ~ 5.5V 動作の単一電源
- 3種類の低消費電力モード

■内蔵コードフラッシュメモリ

- 512K/384K/256K/128K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み
- 命令、オペランド用

■内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレーズ回数 1,000,000 回 (typ.))
- BGO (Back Ground Operation)

■内蔵SRAM (ウェイトなし)

- 32K/16K バイトの容量

■データ転送機能

- DTC: 4種類の転送モード

■リセットおよび電源電圧制御

- パワーオンリセット (POR) など7種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■クロック機能

- メインクロック発振子周波数: 1 ~ 20MHz
- 外部クロック入力周波数: ~ 20MHz
- PLL 回路入力 4MHz ~ 12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDTC 専用オンチップオシレータ内蔵
- クロック周波数精度測定回路 (CAC) 内蔵

■独立ウォッチドッグタイマ内蔵

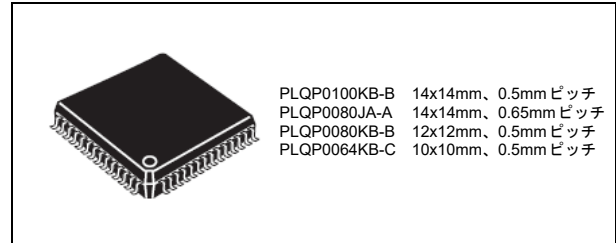
- 15kHz IWDTC 専用オンチップオシレータクロック動作

■IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■MPC

- 周辺機能の入出力端子を複数個所から選択可能



■最大6本の通信機能を内蔵

- CAN (ISO11898-1 準拠)、16 メッセージボックス内蔵 (1ch)
- 多彩な機能に対応した SCI (3ch)
- 調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- I²C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1ch)
- 高速通信可能な RSPI を搭載 最大 20Mbps 転送 (1ch)

■最大25本の16ビット拡張タイマ機能

- 16ビット MTU3: 80MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 2ch 出力、CPU に負担をかけない相補 PWM、位相計数モード (9ch)
- 16ビット GPT: 80MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形単相相補 4ch 出力もしくは三相相補 1ch + 単相相補 1ch 出力、コンパレータ連動 (カウント動作、PWM ネゲート制御) (4ch)
- 8ビット TMR (8ch)
- 16ビット CMT (4ch)

■12ビットA/Dコンバータ3ユニット計22ch内蔵

- サンプル&ホールド回路内蔵 12ビット×3ユニット (ユニット 0: 5ch、ユニット 1: 5ch、ユニット 2: 12ch)
- チャンネルごとにサンプリング時間を設定可能
- グループスキャン優先制御モード搭載 (3 レベル)
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵 (IEC60730 対応)
- プログラマブルゲインアンプによる入力信号増幅機能 (4ch)
- ADC: 3ch 同時サンプル & ホールド回路 (3shunt 方式)、ダブルデータレジスタ (1shunt 方式)、アンプ (4ch)、コンパレータ (4ch)

■8ビットD/Aコンバータ内蔵: 2ch

- コンパレータの基準電圧用として使用可能

■重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

■最大81本のGPIO内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■動作周囲温度

- 40°C ~ +85°C

■用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールおよび周辺モジュールのチャンネル数は、チップバージョンおよびパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/5)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：80MHz 32ビットRX CPU (RX v2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 可変長命令形式 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット ROMキャッシュ：2Kバイト (デフォルト無効)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点(32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：128K/256K/384K/512Kバイト 32MHz以下：ウェイトなし 32MHz～80MHz：ウェイトあり オフボードプログラミング 書き換え方法：シリアルライタープログラミング(調歩同期式シリアル通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：16K/32Kバイト 80MHz、ウェイトなし
	E2データフラッシュ	<ul style="list-style-type: none"> 容量8Kバイト プログラム/イレーズ回数：1,000,000回(typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDI専用オンチップオシレータ システムクロック(ICLK)、周辺モジュールクロック(PCLK)、FlashIFクロック(FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 80MHz MTU3、GPTはPCLKA同期：Max 80MHz MTU3、GPT以外の周辺モジュールはPCLKB同期：Max 40MHz S12ADのADCLKはPCLKD同期：Max 40MHz フラッシュメモリ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路(LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を3レベルから選択可能 電圧検出1は検出電圧を9レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2/5)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：163 外部割り込み：要因数 9 (NMI、IRQ0～IRQ7 端子) ノンマスクابل割り込み：要因数 5 (NMI 端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、IWDWT 割り込み) 16レベルの割り込み優先順位を設定可能
DMA	データ転送ファ コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	100/80/64ピン <ul style="list-style-type: none"> 入出力：80/60/48 入力：1/1/1 プルアップ抵抗：80/60/48 オープンドレイン出力：60/45/37 5Vトレラント：2/2/2
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンクシ ョ ン タイマパルスユ ニット3 (MTU3d)	<ul style="list-style-type: none"> 9チャンネル(16ビット×9チャンネル) 最大28本のパルス入出力と3本のパルス入力が可能 14種類のカウントクロック (PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/32, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A) を選択可能 (チャンネル1、3、4、6、7は11種類、チャンネル2は12種類、チャンネル5は10種類) 43本のジェネラルレジスタ (その内28本はアウトプットコンペアレジスタ兼インプットキャプチャレジスタ) カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ (TCNT) への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 45種類の割り込み要因 レジスタデータの自動転送 パルス出力モード トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 位相計数モード：16ビットモード (チャンネル1、2)/32ビットモード (チャンネル1、2) デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能 A/Dコンバータ開始間引き機能 インプットキャプチャ、外部カウントクロック端子にデジタルフィルタあり
	ポートアウトプット イネーブル3 (POE3b, POE3A)	<ul style="list-style-type: none"> POE3b MTU3波形出力端子のハイインピーダンス制御 POE0#、POE4#、POE8#、POE10#、POE11#、POE12#に6つの入力端子による起動 出力短絡検出 (PWM出力が同時にアクティブレベルになったことを検出) による起動 発振停止検出/コンパレータ検出/ソフトウェアによる起動 出力制御対象端子をプログラマブルに追加制御可能 POE3A (POE3bに以下の機能を付加) GPT波形出力端子のハイインピーダンス制御 MTU3/GPT波形出力端子の汎用入出力ポートへの切り替え制御 出力端子グループごとにコンパレータ検出要因設定可能

表 1.1 仕様概要 (3/5)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTB)	<ul style="list-style-type: none"> 16ビット×4チャンネル 2チャンネルをカスケード接続し32ビットタイマとして使用可能 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波)が選択可能 チャンネルごとに13種類のカウントクロック (PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/32, PCLK/64, PCLK/256, PCLK/1024, GTECLKA, GTECLKB, GTECLKC, GTECLKD)から選択可能 チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) それぞれのカウンタを同期動作可能 同期動作のモード(同時または任意のタイミングでずらす(位相シフトに対応)) PWM動作の際にデットタイム生成が可能 3つのカウンタを組み合わせて、デットタイム付きの3相PWM波形を生成可能 外部/内部トリガによりカウントスタート/クリア/ストップ可能 内部トリガ要因として、コンパレータ検出、MTU3カウントスタート、ソフトウェア、コンペアマッチ インプットキャプチャ、外部トリガ端子、外部カウントクロック端子におけるノイズフィルタ機能 A/Dコンバータの変換開始トリガを生成可能
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル)×2ユニット 4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) を選択可能
	独立ウォッチドッグタイマ (IWDtA)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDt専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> (8ビット×2チャンネル)×4ユニット 7種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192)と外部クロックを選択可能 任意のデューティのパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5、SCI6のポーレートクロック生成可能
通信機能	シリアルコミュニケーションインタフェース (SCIg)	<ul style="list-style-type: none"> 3チャンネル(チャンネル1、5、6：SCIg) SCIg シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5, SCI6) 簡易I²Cサポート 簡易SPIサポート マルチプロセッサ機能 スタートビット検出：レベルおよびエッジを選択可能 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット：I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	CANモジュール (RSCAN)	<ul style="list-style-type: none"> 1チャンネル ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 16メッセージボックス

表 1.1 仕様概要 (4/5)

分類	モジュール/機能	説明
通信機能	シリアルペリフェラルインタフェース (RSPIb)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長(8~16、20、24、32ビット)を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
12ビットA/Dコンバータ (S12ADF)		<ul style="list-style-type: none"> 12ビット(5チャンネル×2ユニット、12チャンネル×1ユニット) 分解能：12ビット 最小変換時間：1チャンネル当たり1.0μs (ADCLK = 40MHz動作時) 動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 自己診断機能 ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出アシスト機能 A/D変換開始条件 ソフトウェアトリガ、タイマ(MTU3, GPT, TMR)のトリガ、外部トリガ サンプルホールド機能 サンプル&ホールド回路を搭載(3チャンネル/ユニット1) プログラマブルゲインアンプによる入力信号増幅機能 (1チャンネル/ユニット0、3チャンネル/ユニット1) 増幅率：2.0倍、2.5倍、3.077倍、3.636倍、4.0倍、4.444倍(計6ステップ)
コンパレータC (CMPc)		<ul style="list-style-type: none"> 4チャンネル リファレンス電圧とアナログ入力電圧の比較機能 リファレンス電圧：2種類から選択可能 アナログ入力電圧：4入力から選択可能
8ビットD/Aコンバータ (DA, DAa)		<ul style="list-style-type: none"> DA 1チャンネル 分解能：8ビット 出力電圧：0V~VREF コンパレータCリファレンス電圧生成専用 DAa 2チャンネル 分解能：8ビット 出力電圧：0V~VREF 外部出力可能、コンパレータCリファレンス電圧として使用可能
セーフティ	メモリアプロテクションユニット(MPU)	<ul style="list-style-type: none"> プロテクションエリア：0000 0000h~FFFF FFFFh範囲内で最大8エリアを設定可能 最小保護単位：16バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アドレス例外が発生
	レジスタライトプロテクション	<ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器(CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止機能	<ul style="list-style-type: none"> メインクロック発振停止検出：あり
	クロック周波数精度測定回路(CAC)	<ul style="list-style-type: none"> メインクロック発振器、高速オンチップオシレータ、低速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能
	データ演算回路 (DOC)	16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 2.7~5.5V : 80MHz

表 1.1 仕様概要 (5/5)

分類	モジュール/機能	説明
パッケージ		100ピンLFQFP 0.5mmピッチ 80ピンLQFP 0.65mmピッチ 80ピンLFQFP 0.5mmピッチ 64ピンLFQFP 0.5mmピッチ
オンチップデバッキングシステム		E1エミュレータ(FINEインタフェース)

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX24Tグループ			
		チップバージョンB		チップバージョンA	
		100ピン	100ピン	80ピン	64ピン
メモリ	ROM	512K/384K/256Kバイト		256K/128Kバイト	
	RAM	32Kバイト		16Kバイト	
	E2データフラッシュ	8Kバイト			
割り込み	外部割り込み	NMI, IRQ0~7			
DTC	データトランスファコントローラ(DTCa)	あり			
タイマ	マルチファンクションタイマパルスユニット3(MTU3d)	9チャンネル			
	汎用PWMタイマ(GPTB)	4チャンネル	なし		
	ポートアウトプットイネーブル3(POE3b)	なし	あり		
	ポートアウトプットイネーブル3(POE3A)	あり	なし		
	8ビットタイマ(TMR)	2チャンネル×4ユニット			
	コンペアマッチタイマ(CMT)	2チャンネル×2ユニット			
	独立ウォッチドッグタイマ(IWDTa)	あり			
通信機能	シリアルコミュニケーションインタフェース(SCIg) [簡易I ² C、簡易SPI]	3チャンネル (SCI1, 5, 6)			
	I ² Cバスインタフェース(RIICa)	1チャンネル			
	シリアルペリフェラルインタフェース(RSPIb)	1チャンネル			
	CANモジュール(RSCAN)	1チャンネル	なし		
12ビットA/Dコンバータ(S12ADF) (内 高精度チャンネル)		5チャンネル×2ユニット、 12チャンネル×1ユニット (4チャンネル×2ユニット、 12チャンネル×1ユニット)	5チャンネル×2ユニット、 7チャンネル×1ユニット (4チャンネル×2ユニット、 7チャンネル×1ユニット)	3チャンネル×1ユニット、 4チャンネル×1ユニット、 5チャンネル×1ユニット (3チャンネル×1ユニット、 3チャンネル×1ユニット、 5チャンネル×1ユニット)	
	3チャンネル同時サンプリング機能	3チャンネル/ユニット1			
	プログラマブルゲインアンブ	1チャンネル/ユニット0、3チャンネル/ユニット1			
コンパレータC(CMPC)		4チャンネル			
		リファレンス電圧外部 入力なし	リファレンス電圧外部入力あり		
D/Aコンバータ(DA)		なし	あり		
D/Aコンバータ(DAa)		あり	なし		
CRC演算器(CRC)		あり			
パッケージ		100ピンLQFP	100ピンLQFP	80ピンLQFP/LQFP	64ピンLQFP

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	チップバージョン
RX24T	R5F524TEADFP	R5F524TEADFP#31	PLQP0100KB-B	512Kバイト	32Kバイト	8Kバイト	80MHz	B
	R5F524TCADFP	R5F524TCADFP#31	PLQP0100KB-B	384Kバイト				
	R5F524TBADFP	R5F524TBADFP#31	PLQP0100KB-B	256Kバイト				
	R5F524TAADFP	R5F524TAADFP#31	PLQP0100KB-B	256Kバイト	16Kバイト	8Kバイト	80MHz	A
	R5F524TAADFF	R5F524TAADFF#31	PLQP0080JA-A					
	R5F524TAADFN	R5F524TAADFN#31	PLQP0080KB-B					
	R5F524TAADFM	R5F524TAADFM#31	PLQP0064KB-C					
	R5F524T8ADFP	R5F524T8ADFP#31	PLQP0100KB-B	128Kバイト				
	R5F524T8ADFF	R5F524T8ADFF#31	PLQP0080JA-A					
	R5F524T8ADFN	R5F524T8ADFN#31	PLQP0080KB-B					
	R5F524T8ADFM	R5F524T8ADFM#31	PLQP0064KB-C					

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

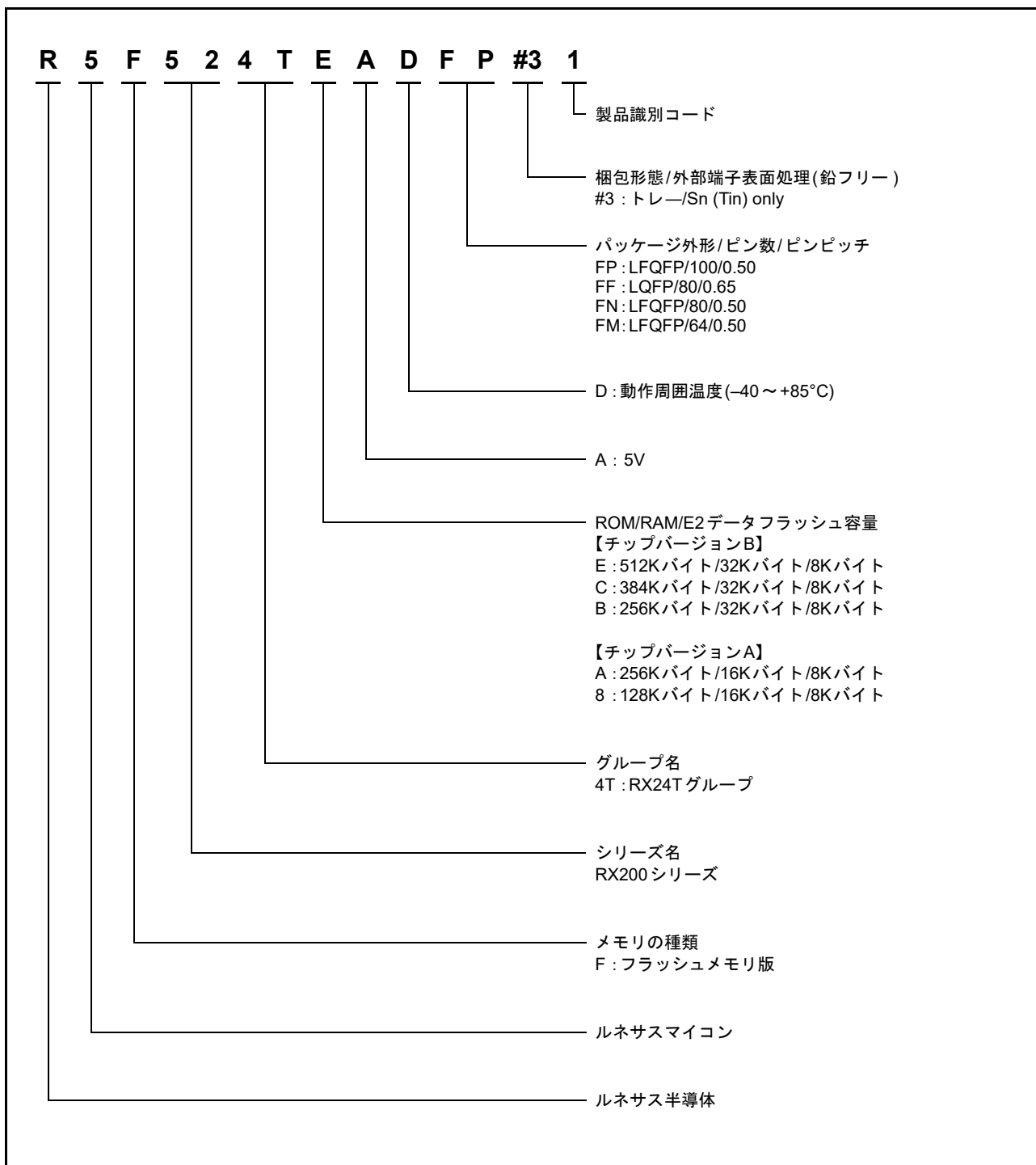


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

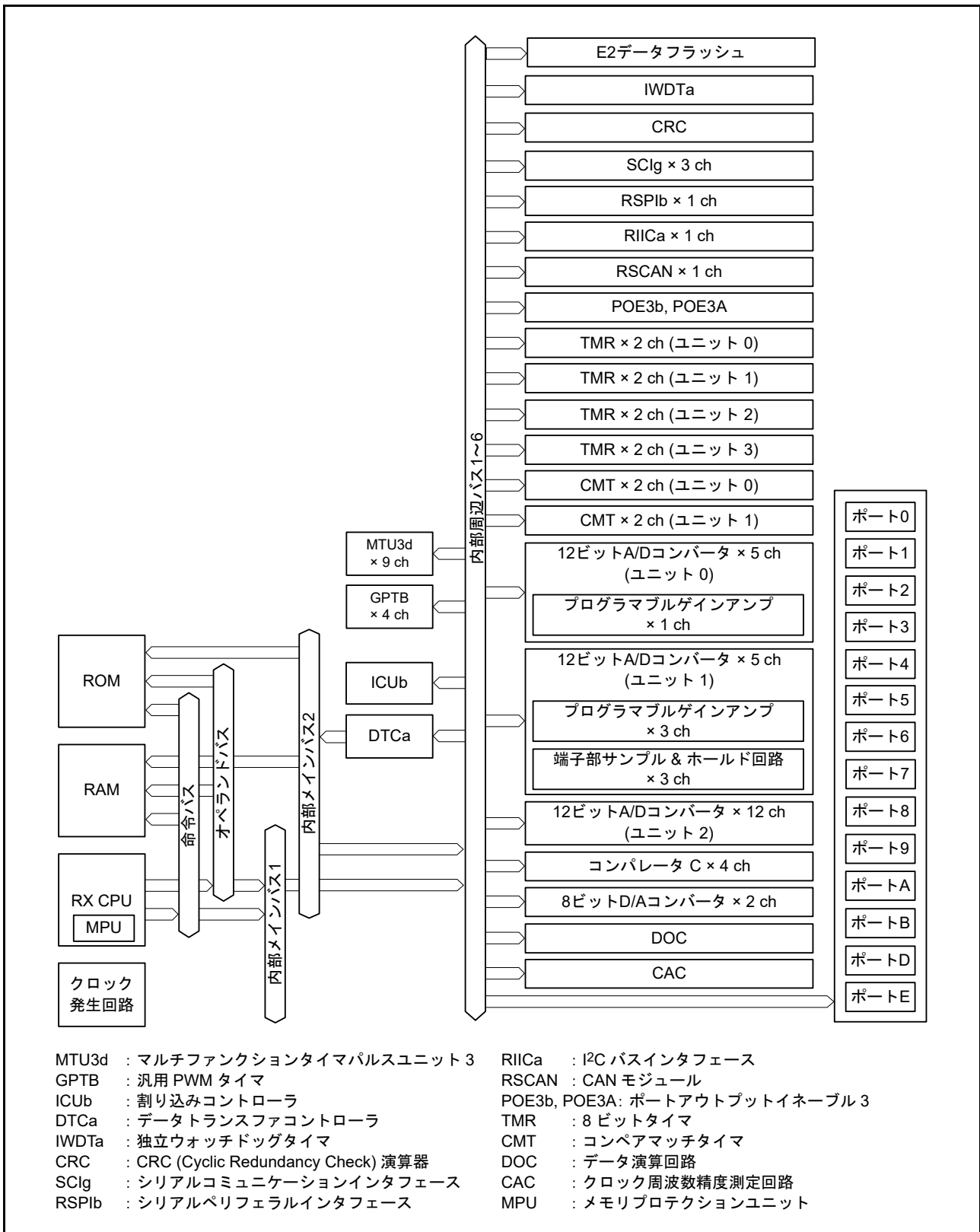


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/4)

分類	端子名	入出力	機能
電源	VCC	—	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ(4.7μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	—	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0~IRQ7	入力	割り込み要求端子
マルチファンクション タイムパルスユニット3 (MTU3d)	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0A#, MTIOC0B#, MTIOC0C#, MTIOC0D#	入出力	TGRA0~TGRD0のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A#, MTIOC1B#	入出力	TGRA1, TGRB1のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A#, MTIOC2B#	入出力	TGRA2, TGRB2のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A#, MTIOC3B#, MTIOC3C#, MTIOC3D#	入出力	TGRA3~TGRD3のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A#, MTIOC4B#, MTIOC4C#, MTIOC4D#	入出力	TGRA4~TGRD4のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5U#, MTIC5V#, MTIC5W#	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ反転入力/外部パルス反転入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6~TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6A#, MTIOC6B#, MTIOC6C#, MTIOC6D#	入出力	TGRA6~TGRD6のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7~TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A#, MTIOC7B#, MTIOC7C#, MTIOC7D#	入出力	TGRA7~TGRD7のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D	入出力	TGRA9~TGRD9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

表 1.4 端子機能一覧 (2/4)

分類	端子名	入出力	機能
マルチファンクションタイマパルスユニット3 (MTU3d)	MTIOC9A#, MTIOC9B#, MTIOC9C#, MTIOC9D#	入出力	TGRA9~TGRD9のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	MTCLKA#, MTCLKB#, MTCLKC#, MTCLKD#	入力	外部クロックの反転入力端子
	ADSM0, ADSM1	出力	A/Dトリガ出力端子
汎用PWMタイマ(GPTB)	GTIOC0A, GTIOC0B	入出力	GPT0.GTGRA, GPT0.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A#, GTIOC0B#	入出力	GPT0.GTGRA, GPT0.GTGRBのインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTIOC1A, GTIOC1B	入出力	GPT1.GTGRA, GPT1.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1A#, GTIOC1B#	入出力	GPT1.GTGRA, GPT1.GTGRBのインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTIOC2A, GTIOC2B	入出力	GPT2.GTGRA, GPT2.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2A#, GTIOC2B#	入出力	GPT2.GTGRA, GPT2.GTGRBのインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTIOC3A, GTIOC3B	入出力	GPT3.GTGRA, GPT3.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3A#, GTIOC3B#	入出力	GPT3.GTGRA, GPT3.GTGRBのインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTETRG	入力	GPT0~GPT3用の外部トリガ入力端子
	GTECLKA, GTECLKB, GTECLKC, GTECLKD	入力	外部クロックの入力端子A~D
8ビットタイマ(TMR)	GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子
	TMO0~TMO7	出力	コンペアマッチ出力端子
	TMCIO~TMCIO7	入力	カウンタに入力する外部クロックの入力端子
ポートアウトプットイネーブル3 (POE3b, POE3A)	TMRI0~TMRI7	入力	カウンタリセット入力端子
	POE0#, POE4#, POE8#, POE10#, POE11#, POE12#	入力	MTU, GPT用の端子をハイインピーダンスまたは汎用入出力ポートに切り替える要求信号の入力端子
	シリアルコミュニケーションインタフェース (SCIg)	<ul style="list-style-type: none"> 調歩同期モード/クロック同期モード 	
SCK1, SCK5, SCK6		入出力	クロック入出力端子
RXD1, RXD5, RXD6		入力	受信データ入力端子
TXD1, TXD5, TXD6		出力	送信データ出力端子
CTS1#, CTS5#, CTS6#		入力	送受信開始制御用入力端子
RTS1#, RTS5#, RTS6#		出力	送受信開始制御用出力端子
<ul style="list-style-type: none"> 簡易I²Cモード 			
SSCL1, SSCL5, SSCL6		入出力	I ² Cクロック入出力端子
SSDA1, SSDA5, SSDA6		入出力	I ² Cデータ入出力端子
<ul style="list-style-type: none"> 簡易SPIモード 			
SCK1, SCK5, SCK6		入出力	クロック入出力端子
SMISO1, SMISO5, SMISO6		入出力	スレーブ送出データ入出力端子
SMOSI1, SMOSI5, SMOSI6		入出力	マスタ送出データ入出力端子
SS1#, SS5#, SS6#		入力	チップセレクト入力端子

表 1.4 端子機能一覧 (3/4)

分類	端子名	入出力	機能
I ² Cバスインタフェース (R1ICa)	SCL0	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
シリアルペリフェラルインタフェース (RSPIb)	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
CANモジュール (RSCAN)	CRXD0	入力	入力端子
	CTXD0	出力	出力端子
12ビットA/Dコンバータ (S12ADF)	AN000~AN003, AN016, AN100~AN103, AN116, AN200~AN211	入力	A/Dコンバータのアナログ入力端子
	ADST0, ADST1, ADST2	出力	AD変換中を示すステータス出力端子
	ADTRG0#, ADTRG1#, ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
8ビットD/Aコンバータ (DAa)	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータC (CMPC)	COMP0~COMP3	出力	コンパレータ検出結果出力端子
	CVREFC0, CVREFC1	入力	コンパレータC用のリファレンス電圧端子
	CMPC00~CMPC03	入力	CMPC0用アナログ入力端子
	CMPC10~CMPC13	入力	CMPC1用アナログ入力端子
	CMPC20~CMPC23	入力	CMPC2用アナログ入力端子
	CMPC30~CMPC33	入力	CMPC3用アナログ入力端子
アナログ電源	AVCC0	—	12ビットA/Dコンバータユニット0のアナログ電源、基準電源端子。12ビットA/Dコンバータユニット0を使用しない場合、AVCC0端子はAVCC1、AVCC2、VREFのいずれかに接続してください。
	AVSS0	—	12ビットA/Dコンバータユニット0のアナロググランド、基準グランド端子。12ビットA/Dコンバータユニット0を使用しない場合、AVSS0端子はAVSS1、AVSS2のいずれかに接続してください。
	AVCC1	—	12ビットA/Dコンバータユニット1のアナログ電源、基準電源端子。12ビットA/Dコンバータユニット1を使用しない場合、AVCC1端子はAVCC0、AVCC2、VREFのいずれかに接続してください。
	AVSS1	—	12ビットA/Dコンバータユニット1のアナロググランド、基準グランド端子。12ビットA/Dコンバータユニット1を使用しない場合、AVSS1端子はAVSS0、AVSS2のいずれかに接続してください。
	AVCC2	—	12ビットA/Dコンバータユニット2のアナログ電源、基準電源端子。12ビットA/Dコンバータユニット2を使用しない場合、AVCC2端子はAVCC0、AVCC1、VREFのいずれかに接続してください。
	AVSS2	—	12ビットA/Dコンバータユニット2のアナロググランド、基準グランド端子。コンパレータCおよび8ビットD/Aコンバータのアナロググランド端子。12ビットA/Dコンバータユニット2、コンパレータCおよび8ビットD/Aコンバータを使用しない場合、AVSS2端子はAVSS0、AVSS1のいずれかに接続してください。
	VREF	—	コンパレータCおよび8ビットD/Aコンバータのアナログ電源端子。64ピンLFQFP版ではVREFは内部でAVCC2と接続され、端子は共通化されています。その他のパッケージでコンパレータCおよび8ビットD/Aコンバータを使用しない場合、VREF端子はAVCC0、AVCC1、AVCC2のいずれかに接続してください。

表 1.4 端子機能一覧 (4/4)

分類	端子名	入出力	機能
I/Oポート	P00～P02	入出力	3ビットの入出力端子
	P10, P11	入出力	2ビットの入出力端子
	P20～P24	入出力	5ビットの入出力端子
	P30～P33, P36, P37	入出力	6ビットの入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P50～P55	入出力	6ビットの入出力端子
	P60～P65	入出力	6ビットの入出力端子
	P70～P76	入出力	7ビットの入出力端子
	P80～P82	入出力	3ビットの入出力端子
	P90～P96	入出力	7ビットの入出力端子
	PA0～PA5	入出力	6ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE5	入出力	6ビットの入出力端子 (PE2は入力端子)

注. A/Dコンバータ、D/Aコンバータ、コンパレータCを使用しない場合、AVCC0、AVCC1、AVCC2、VREF端子はVCCに、AVSS0、AVSS1、AVSS2端子はVSSにそれぞれ接続してください。

1.5 ピン配置図

図 1.3 ~ 図 1.6 にピン配置図を示します。また、表 1.5 ~ 表 1.8 に機能別端子一覧を示します。

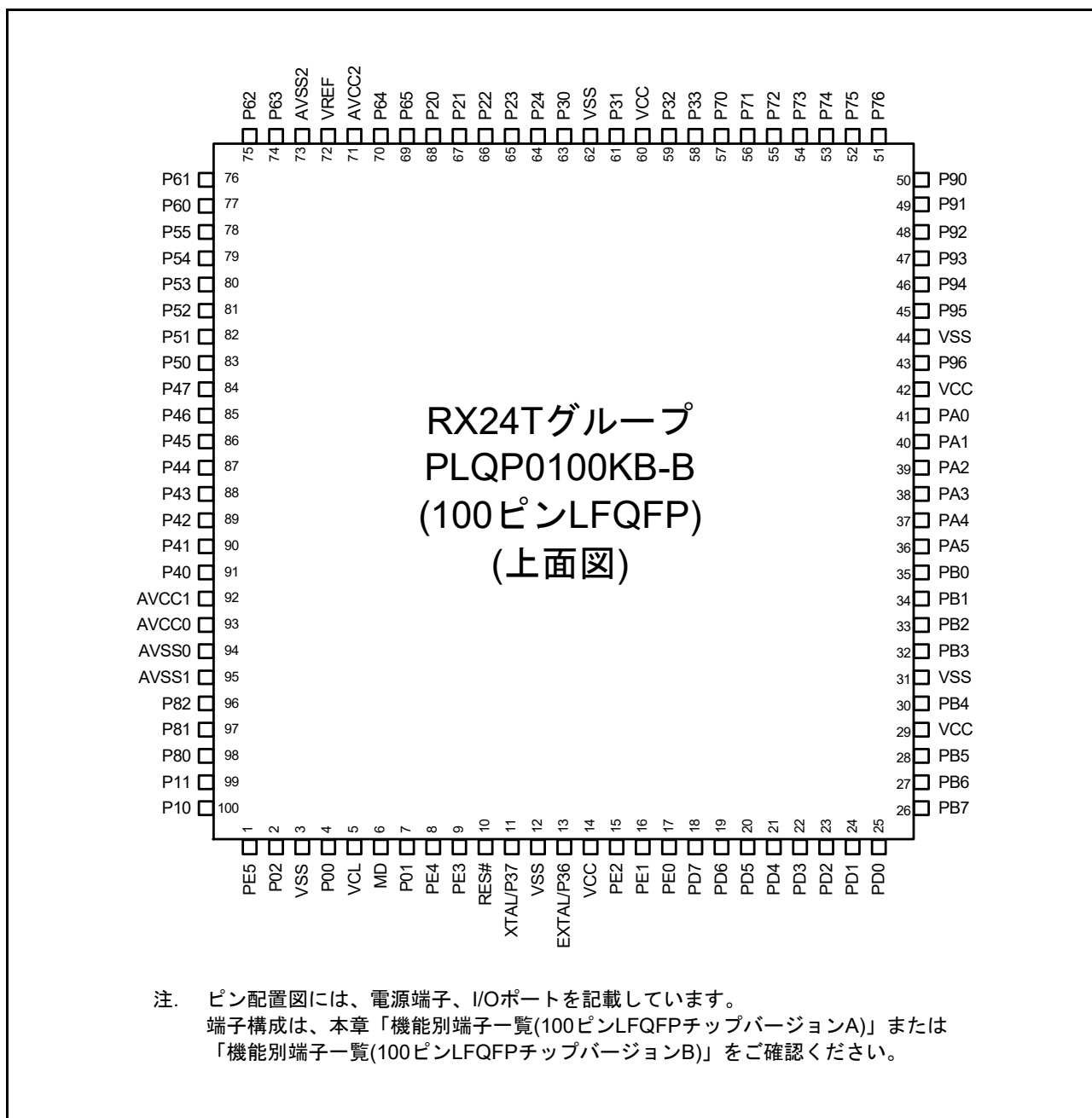


図 1.3 100ピンLQFPピン配置図(チップバージョンA、B共通)

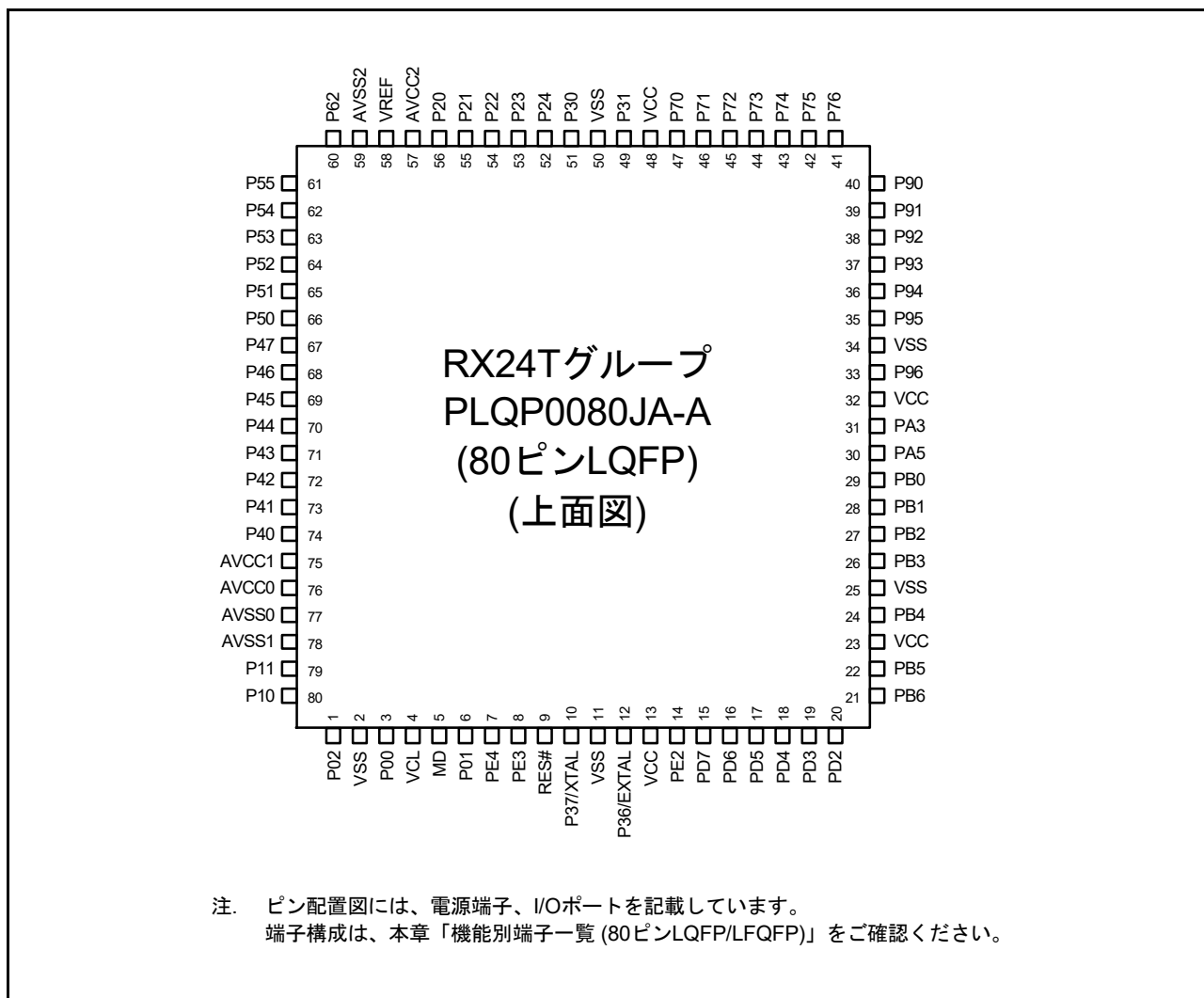


図 1.4 80 ピン LQFP ピン配置図

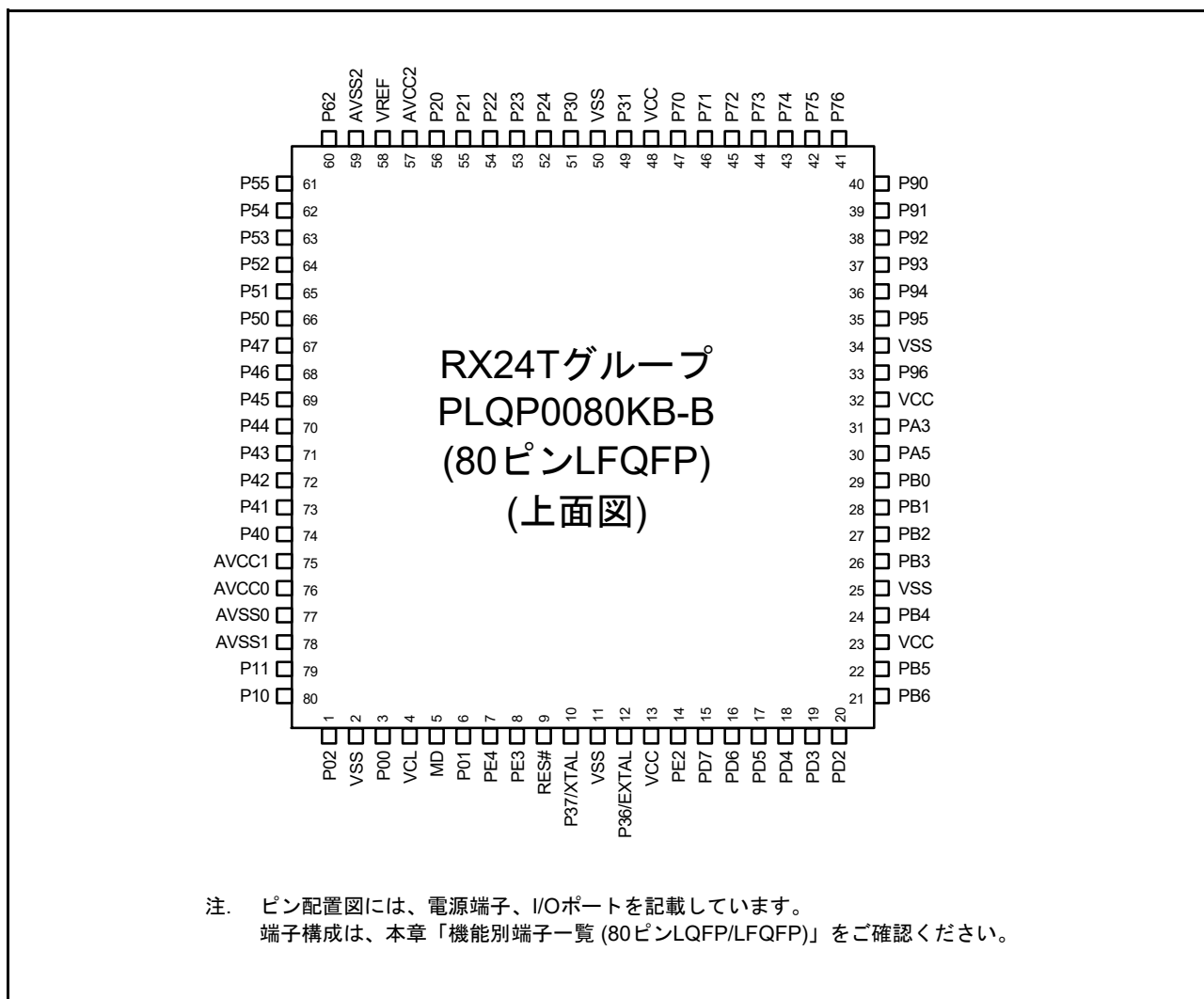


図 1.5 80ピンLFQFPピン配置図

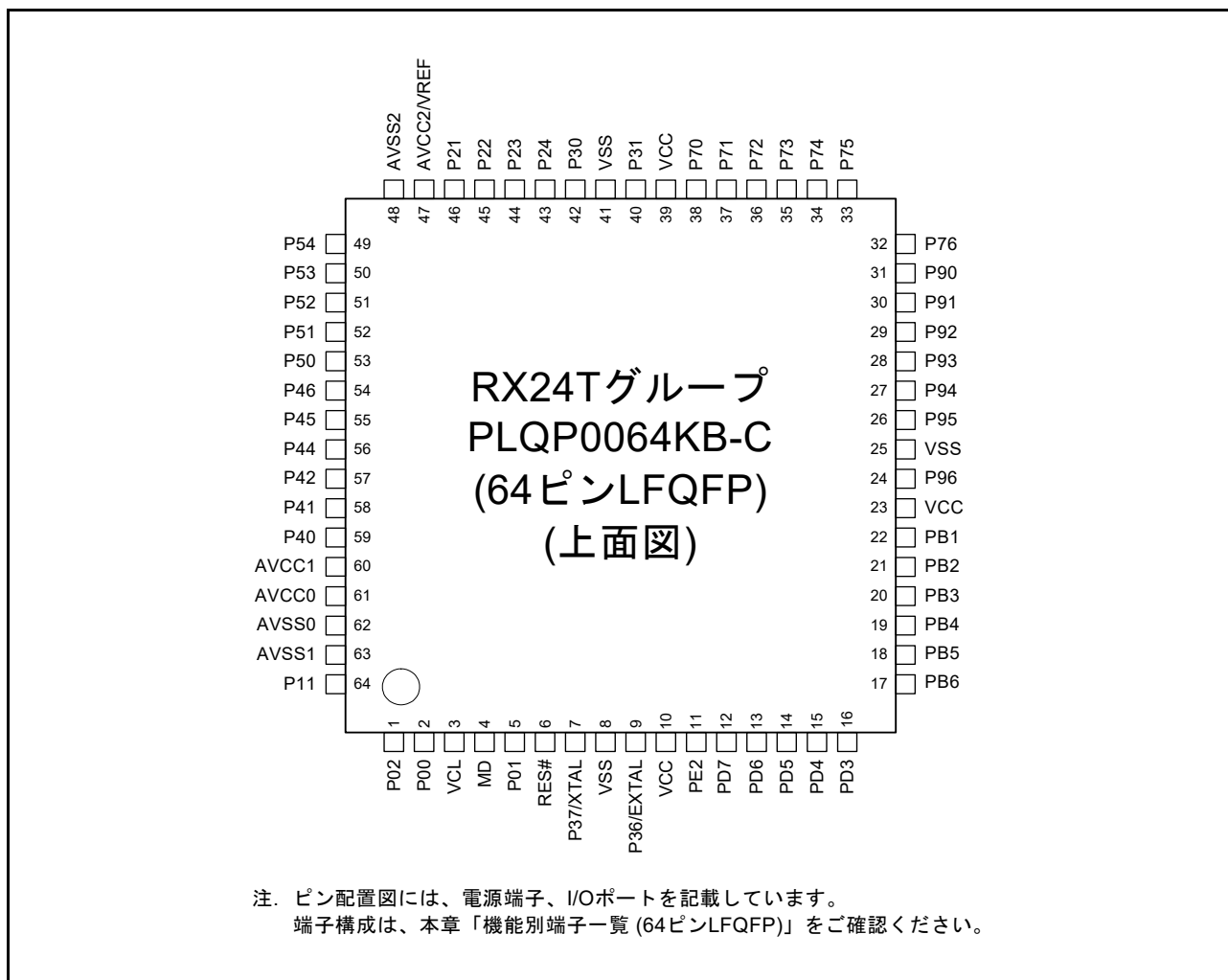


図 1.6 64ピンLFQFPピン配置図

表 1.5 機能別端子一覧(100ピンLQFP チップバージョンB) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (TMR, MTU, POE, CAC, GPT)	通信 (SCI, RSPI, RIIC, RSCAN)	その他
1		PE5			IRQ0
2		P02	MTIOC9D, MTIOC9D#	CTS1#, RTS1#, SS1#	IRQ5, ADST0
3	VSS				
4		P00			IRQ2, ADST1
5	VCL				
6	MD				FINED
7		P01	POE12#		IRQ4, ADST2
8		PE4	MTCLKC, MTCLKC#, POE10#		IRQ1
9		PE3	MTCLKD, MTCLKD#, POE11#		IRQ2
10	RES#				
11	XTAL	P37			
12	VSS				
13	EXTAL	P36			
14	VCC				
15		PE2	POE10#		NMI
16		PE1	MTIOC9D, MTIOC9D#, TMO5	CTS5#, RTS5#, SS5#, SSLA3	
17		PE0	MTIOC9B, MTIOC9B#, TMC11, TMC15	RXD5, SMISO5, SSCL5, SSLA2	
18		PD7	MTIOC9A, MTIOC9A#, TMR11, TMR15, GTIOC3A, GTIOC3A#	TXD5, SMOSI5, SSDA5, SSLA1	
19		PD6	MTIOC9C, MTIOC9C#, TMO1, GTIOC3B, GTIOC3B#	CTS1#, RTS1#, SS1#, SSLA0	IRQ5, ADST0
20		PD5	TMRI0, TMRI6, GTECLKA	RXD1, SMISO1, SSCL1	IRQ3
21		PD4	TMC10, TMC16, GTECLKB	SCK1	IRQ2
22		PD3	TMO0, GTECLKC	TXD1, SMOSI1, SSDA1	
23		PD2	TMC11, TMO4, GTIOC0A, GTIOC0A#	SCK5, MOSIA	
24		PD1	TMO2, GTIOC0B, GTIOC0B#	MISOA	
25		PD0	TMO6, GTIOC1A, GTIOC1A#	RSPCKA	
26		PB7	GTIOC1B, GTIOC1B#	SCK5	
27		PB6	GTIOC2A, GTIOC2A#	RXD5, SMISO5, SSCL5	IRQ5
28		PB5	GTIOC2B, GTIOC2B#	TXD5, SMOSI5, SSDA5	
29	VCC				
30		PB4	POE8#, GTETRG, GTECLKD	CTS5#, RTS5#, SS5#	IRQ3
31	VSS				
32		PB3	MTIOC0A, MTIOC0A#, CACREF	SCK6, RSPCKA	
33		PB2	MTIOC0B, MTIOC0B#, TMR10, ADSM0	TXD6, SMOSI6, SSDA6, SDA0	
34		PB1	MTIOC0C, MTIOC0C#, TMC10, ADSM1	RXD6, SMISO6, SSCL6, SCL0	
35		PB0	MTIOC0D, MTIOC0D#, TMO0	TXD6, SMOSI6, SSDA6, MOSIA	ADTRG2#
36		PA5	MTIOC1A, MTIOC1A#, TMC13	RXD6, SMISO6, SSCL6, MISOA	IRQ1, ADTRG1#
37		PA4	MTIOC1B, MTIOC1B#, TMC17	SCK6, RSPCKA	ADTRG0#
38		PA3	MTIOC2A, MTIOC2A#, TMR17, GTADSM0	SSLA0	
39		PA2	MTIOC2B, MTIOC2B#, TMO7, GTADSM1	CTS6#, RTS6#, SS6#, SSLA1	
40		PA1	MTIOC6A, MTIOC6A#, TMO4	SSLA2, CRXD0	ADTRG0#
41		PA0	MTIOC6C, MTIOC6C#, TMO2	SSLA3, CTXD0	
42	VCC				
43		P96	POE4#		IRQ4
44	VSS				
45		P95	MTIOC6B, MTIOC6B#		
46		P94	MTIOC7A, MTIOC7A#		

表 1.5 機能別端子一覧(100ピンLQFP チップバージョンB) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (TMR, MTU, POE, CAC, GPT)	通信 (SCI, RSPI, RIIC, RSCAN)	その他
47		P93	MTIOC7B, MTIOC7B#		
48		P92	MTIOC6D, MTIOC6D#		
49		P91	MTIOC7C, MTIOC7C#		
50		P90	MTIOC7D, MTIOC7D#		
51		P76	MTIOC4D, MTIOC4D#, GTIOC2B, GTIOC2B#		
52		P75	MTIOC4C, MTIOC4C#, GTIOC1B, GTIOC1B#		
53		P74	MTIOC3D, MTIOC3D#, GTIOC0B, GTIOC0B#		
54		P73	MTIOC4B, MTIOC4B#, GTIOC2A, GTIOC2A#		
55		P72	MTIOC4A, MTIOC4A#, GTIOC1A, GTIOC1A#		
56		P71	MTIOC3B, MTIOC3B#, GTIOC0A, GTIOC0A#		
57		P70	POE0#		IRQ5
58		P33	MTIOC3A, MTIOC3A#, MTCLKA, MTCLKA#, TMO0	SSLA3	
59		P32	MTIOC3C, MTIOC3C#, MTCLKB, MTCLKB#, TMO6	SSLA2	
60	VCC				
61		P31	MTIOC0A, MTIOC0A#, MTCLKC, MTCLKC#, TMR16	SSLA1	IRQ6
62	VSS				
63		P30	MTIOC0B, MTIOC0B#, MTCLKD, MTCLKD#, TMC16	SSLA0	IRQ7, COMP3
64		P24	MTIC5U, MTIC5U#, TMC12, TMO6	RSPCKA	COMP0, DA0
65		P23	MTIC5V, MTIC5V#, TMO2, CACREF	MOSIA	COMP1, DA1
66		P22	MTIC5W, MTIC5W#, TMR12, TMO4	MISOA	ADTRG2#, COMP2
67		P21	MTCLKA, MTCLKA#, MTIOC9A, MTIOC9A#, TMC14		IRQ6, ADTRG1#, AN116
68		P20	MTCLKB, MTCLKB#, MTIOC9C, MTIOC9C#, TMR14		IRQ7, ADTRG0#, AN016
69		P65			AN205
70		P64			AN204
71	AVCC2				
72	VREF				
73	AVSS2				
74		P63			AN203, IRQ7
75		P62			AN202, IRQ6
76		P61			AN201, IRQ5
77		P60			AN200, IRQ4
78		P55			AN211, IRQ3
79		P54			AN210, IRQ2
80		P53			AN209, IRQ1
81		P52			AN208, IRQ0
82		P51			AN207
83		P50			AN206
84		P47			AN103
85		P46			AN102, CMPC12, CMPC13, CMPC30, CMPC31
86		P45			AN101, CMPC02, CMPC03, CMPC20, CMPC21

表 1.5 機能別端子一覧(100ピンLFQFP チップバージョンB) (3/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (TMR, MTU, POE, CAC, GPT)	通信 (SCI, RSPI, RIIC, RSCAN)	その他
87		P44			AN100, CMPC10, CMPC11, CMPC32, CMPC33
88		P43			AN003
89		P42			AN002
90		P41			AN001
91		P40			AN000, CMPC00, CMPC01, CMPC22, CMPC23
92	AVCC1				
93	AVCC0				
94	AVSS0				
95	AVSS1				
96		P82	MTIC5U, MTIC5U#, TMO4	SCK6	
97		P81	MTIC5V, MTIC5V#, TMC14	TXD6, SMOSI6, SSDA6	
98		P80	MTIC5W, MTIC5W#, TMRI4	RXD6, SMISO6, SSCL6	
99		P11	MTIOC3A, MTIOC3A#, MTCLKC, MTCLKC#, TMO3		IRQ1
100		P10	MTIOC9B, MTIOC9B#, MTCLKD, MTCLKD#, TMRI3, POE12#	CTS6#, RTS6#, SS6#	IRQ0

表 1.6 機能別端子一覧(100ピンLQFP チップバージョンA) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
1		PE5			IRQ0
2		P02	MTIOC9D	CTS1#, RTS1#, SS1#	IRQ5, ADST0
3	VSS				
4		P00			IRQ2, ADST1
5	VCL				
6	MD				FINED
7		P01	POE12#		IRQ4, ADST2
8		PE4	MTCLKC, POE10#		IRQ1
9		PE3	MTCLKD, POE11#		IRQ2
10	RES#				
11	XTAL	P37			
12	VSS				
13	EXTAL	P36			
14	VCC				
15		PE2	POE10#		NMI
16		PE1	MTIOC9D, TMO5	CTS5#, RTS5#, SS5#, SSLA3	
17		PE0	MTIOC9B, TMC11, TMC15	SSLA2	
18		PD7	MTIOC9A, TMR11, TMR15	SSLA1	
19		PD6	MTIOC9C, TMO1	CTS1#, RTS1#, SS1#, SSLA0	IRQ5, ADST0
20		PD5	TMR10, TMR16	RXD1, SMISO1, SSCL1	IRQ3
21		PD4	TMC10, TMC16	SCK1	IRQ2
22		PD3	TMO0	TXD1, SMOS11, SSDA1	
23		PD2	TMC11, TMO4	SCK5, MOSIA	
24		PD1	TMO2	MISOA	
25		PD0	TMO6	RSPCKA	
26		PB7		SCK5	
27		PB6		RXD5, SMISO5, SSCL5	IRQ5
28		PB5		TXD5, SMOSI5, SSDA5	
29	VCC				
30		PB4	POE8#	CTS5#, RTS5#, SS5#	IRQ3
31	VSS				
32		PB3	MTIOC0A, CACREF	SCK6, RSPCKA	
33		PB2	MTIOC0B, TMR10, ADSM0	TXD6, SMOSI6, SSDA6, SDA0	
34		PB1	MTIOC0C, TMC10, ADSM1	RXD6, SMISO6, SSCL6, SCL0	
35		PB0	MTIOC0D, TMO0	TXD6, SMOSI6, SSDA6, MOSIA	ADTRG2#
36		PA5	MTIOC1A, TMC13	RXD6, SMISO6, SSCL6, MISOA	IRQ1, ADTRG1#
37		PA4	MTIOC1B, TMC17	SCK6, RSPCKA	ADTRG0#
38		PA3	MTIOC2A, TMR17	SSLA0	
39		PA2	MTIOC2B, TMO7	CTS6#, RTS6#, SS6#, SSLA1	
40		PA1	MTIOC6A, TMO4	SSLA2	ADTRG0#
41		PA0	MTIOC6C, TMO2	SSLA3	
42	VCC				
43		P96	POE4#		IRQ4
44	VSS				
45		P95	MTIOC6B		
46		P94	MTIOC7A		
47		P93	MTIOC7B		
48		P92	MTIOC6D		

表 1.6 機能別端子一覧(100ピンLQFP チップバージョンA) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
49		P91	MTIOC7C		
50		P90	MTIOC7D		
51		P76	MTIOC4D		
52		P75	MTIOC4C		
53		P74	MTIOC3D		
54		P73	MTIOC4B		
55		P72	MTIOC4A		
56		P71	MTIOC3B		
57		P70	POE0#		IRQ5
58		P33	MTIOC3A, MTCLKA, TMO0	SSLA3	
59		P32	MTIOC3C, MTCLKB, TMO6	SSLA2	
60	VCC				
61		P31	MTIOC0A, MTCLKC, TMRI6	SSLA1	IRQ6
62	VSS				
63		P30	MTIOC0B, MTCLKD, TMC16	SSLA0	IRQ7, COMP3
64		P24	MTIC5U, TMC12, TMO6	RSPCKA	COMP0
65		P23	MTIC5V, TMO2, CACREF	MOSIA	COMP1
66		P22	MTIC5W, TMRI2, TMO4	MISOA	ADTRG2#, COMP2
67		P21	MTCLKA, MTIOC9A, TMC14		IRQ6, ADTRG1#, AN116, CVREFC1
68		P20	MTCLKB, MTIOC9C, TMRI4		IRQ7, ADTRG0#, AN016, CVREFC0
69		P65			AN205
70		P64			AN204
71	AVCC2				
72	VREF				
73	AVSS2				
74		P63			AN203, IRQ7
75		P62			AN202, IRQ6
76		P61			AN201, IRQ5
77		P60			AN200, IRQ4
78		P55			AN211, IRQ3
79		P54			AN210, IRQ2
80		P53			AN209, IRQ1
81		P52			AN208, IRQ0
82		P51			AN207
83		P50			AN206
84		P47			AN103
85		P46			AN102, CMPC12, CMPC13, CMPC30, CMPC31
86		P45			AN101, CMPC02, CMPC03, CMPC20, CMPC21
87		P44			AN100, CMPC10, CMPC11, CMPC32, CMPC33
88		P43			AN003
89		P42			AN002
90		P41			AN001

表 1.6 機能別端子一覧(100ピンLFQFP チップバージョンA) (3/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
91		P40			AN000, CMPC00, CMPC01, CMPC22, CMPC23
92	AVCC1				
93	AVCC0				
94	AVSS0				
95	AVSS1				
96		P82	MTIC5U, TMO4	SCK6	
97		P81	MTIC5V, TMC14	TXD6, SMOSI6, SSSDA6	
98		P80	MTIC5W, TMRI4	RXD6, SMISO6, SSCL6	
99		P11	MTIOC3A, MTCLKC, TMO3		IRQ1
100		P10	MTIOC9B, MTCLKD, TMRI3, POE12#	CTS6#, RTS6#, SS6#	IRQ0

表 1.7 機能別端子一覧(80ピンLQFP/LFQFP) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
1		P02	MTIOC9D	CTS1#, RTS1#, SS1#	IRQ5, ADST0
2	VSS				
3		P00			IRQ2, ADST1
4	VCL				
5	MD				FINED
6		P01	POE12#		IRQ4, ADST2
7		PE4	MTCLKC, POE10#		IRQ1
8		PE3	MTCLKD, POE11#		IRQ2
9	RES#				
10	XTAL	P37			
11	VSS				
12	EXTAL	P36			
13	VCC				
14		PE2	POE10#		NMI
15		PD7	MTIOC9A, TMR1, TMR15	SSLA1	
16		PD6	MTIOC9C, TMO1	CTS1#, RTS1#, SS1#, SSLA0	IRQ5, ADST0
17		PD5	TMRI0, TMRI6	RXD1, SMISO1, SSCL1	IRQ3
18		PD4	TMCIO, TMC16	SCK1	IRQ2
19		PD3	TMO0	TXD1, SMOS1, SDA1	
20		PD2	TMC1, TMO4	SCK5, MOSIA	
21		PB6		RXD5, SMISO5, SSCL5	IRQ5
22		PB5		TXD5, SMOS5, SDA5	
23	VCC				
24		PB4	POE8#	CTS5#, RTS5#, SS5#	IRQ3
25	VSS				
26		PB3	MTIOC0A, CACREF	SCK6, RSPCKA	
27		PB2	MTIOC0B, TMRI0, ADSM0	TXD6, SMOS6, SDA6, SDA0	
28		PB1	MTIOC0C, TMCIO, ADSM1	RXD6, SMISO6, SSCL6, SCL0	
29		PB0	MTIOC0D, TMO0	TXD6, SMOS6, SDA6, MOSIA	ADTRG2#
30		PA5	MTIOC1A, TMC13	RXD6, SMISO6, SSCL6, MISOA	IRQ1, ADTRG1#
31		PA3	MTIOC2A, TMR17	SSLA0	
32	VCC				
33		P96	POE4#		IRQ4
34	VSS				
35		P95	MTIOC6B		
36		P94	MTIOC7A		
37		P93	MTIOC7B		
38		P92	MTIOC6D		
39		P91	MTIOC7C		
40		P90	MTIOC7D		
41		P76	MTIOC4D		
42		P75	MTIOC4C		
43		P74	MTIOC3D		
44		P73	MTIOC4B		
45		P72	MTIOC4A		
46		P71	MTIOC3B		
47		P70	POE0#		IRQ5
48	VCC				

表 1.7 機能別端子一覧(80ピンLQFP/LFQFP) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
49		P31	MTIOC0A, MTCLKC, TMRI6	SSLA1	IRQ6
50	VSS				
51		P30	MTIOC0B, MTCLKD, TMCI6	SSLA0	IRQ7, COMP3
52		P24	MTIC5U, TMCI2, TMO6	RSPCKA	COMP0
53		P23	MTIC5V, TMO2, CACREF	MOSIA	COMP1
54		P22	MTIC5W, TMRI2, TMO4	MISOA	ADTRG2#, COMP2
55		P21	MTCLKA, MTIOC9A, TMCI4		IRQ6, ADTRG1#, AN116, CVREFC1
56		P20	MTCLKB, MTIOC9C, TMRI4		IRQ7, ADTRG0#, AN016, CVREFC0
57	AVCC2				
58	VREF				
59	AVSS2				
60		P62			AN202, IRQ6
61		P55			AN211, IRQ3
62		P54			AN210, IRQ2
63		P53			AN209, IRQ1
64		P52			AN208, IRQ0
65		P51			AN207
66		P50			AN206
67		P47			AN103
68		P46			AN102, CMPC12, CMPC13, CMPC30, CMPC31
69		P45			AN101, CMPC02, CMPC03, CMPC20, CMPC21
70		P44			AN100, CMPC10, CMPC11, CMPC32, CMPC33
71		P43			AN003
72		P42			AN002
73		P41			AN001
74		P40			AN000, CMPC00, CMPC01, CMPC22, CMPC23
75	AVCC1				
76	AVCC0				
77	AVSS0				
78	AVSS1				
79		P11	MTIOC3A, MTCLKC, TMO3		IRQ1
80		P10	MTIOC9B, MTCLKD, TMRI3, POE12#	CTS6#, RTS6#, SS6#	IRQ0

表 1.8 機能別端子一覧(64ピンLFQFP) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
1		P02	MTIOC9D	CTS1#, RTS1#, SS1#	IRQ5, ADST0
2		P00			IRQ2, ADST1
3	VCL				
4	MD				FINED
5		P01	POE12#		IRQ4, ADST2
6	RES#				
7	XTAL	P37			
8	VSS				
9	EXTAL	P36			
10	VCC				
11		PE2	POE10#		NMI
12		PD7	MTIOC9A, TMRI1, TMRI5	SSLA1	
13		PD6	MTIOC9C, TMO1	CTS1#, RTS1#, SS1#	
14		PD5	TMRI0, TMRI6	RXD1, SMISO1, SSCL1	
15		PD4	TMCi0, TMCi6	SCK1	IRQ2
16		PD3	TMO0	TXD1, SMOSI1, SDA1	
17		PB6		RXD5, SMISO5, SSCL5	IRQ5
18		PB5		TXD5, SMOSI5, SDA5	
19		PB4	POE8#	CTS5#, RTS5#, SS5#	IRQ3
20		PB3	MTIOC0A, CACREF	SCK6, RSPCKA	
21		PB2	MTIOC0B, TMRI0, ADSM0	TXD6, SMOSI6, SDA6, SDA0	
22		PB1	MTIOC0C, TMCi0, ADSM1	RXD6, SMISO6, SSCL6, SCL0	
23	VCC				
24		P96	POE4#		IRQ4
25	VSS				
26		P95	MTIOC6B		
27		P94	MTIOC7A		
28		P93	MTIOC7B		
29		P92	MTIOC6D		
30		P91	MTIOC7C		
31		P90	MTIOC7D		
32		P76	MTIOC4D		
33		P75	MTIOC4C		
34		P74	MTIOC3D		
35		P73	MTIOC4B		
36		P72	MTIOC4A		
37		P71	MTIOC3B		
38		P70	POE0#		IRQ5
39	VCC				
40		P31	MTIOC0A, MTCLKC, TMRI6	SSLA1	IRQ6
41	VSS				
42		P30	MTIOC0B, MTCLKD, TMCi6	SSLA0	IRQ7, COMP3
43		P24	MTIC5U, TMCi2, TMO6	RSPCKA	COMP0
44		P23	MTIC5V, TMO2, CACREF	MOSIA	COMP1
45		P22	MTIC5W, TMRI2, TMO4	MISOA	ADTRG2#, COMP2
46		P21	MTCLKA, MTIOC9A, TMCi4		IRQ6, ADTRG1#, AN116, CVREFC1
47	AVCC2/VREF				
48	AVSS2				

表 1.8 機能別端子一覧(64ピンLFQFP) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
49		P54			AN210, IRQ2
50		P53			AN209, IRQ1
51		P52			AN208, IRQ0
52		P51			AN207
53		P50			AN206
54		P46			AN102, CMPC12, CMPC13, CMPC30, CMPC31
55		P45			AN101, CMPC02, CMPC03, CMPC20, CMPC21
56		P44			AN100, CMPC10, CMPC11, CMPC32, CMPC33
57		P42			AN002
58		P41			AN001
59		P40			AN000, CMPC00, CMPC01, CMPC22, CMPC23
60	AVCC1				
61	AVCC0				
62	AVSS0				
63	AVSS1				
64		P11	MTIOC3A, MTCLKC, TMO3		IRQ1

2. CPU

図 2.1 に CPU のレジスタ構成を示します。



図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本(R0 ~ R15)あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP)/ ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 例外テーブルレジスタ (EXTB)

例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

EXTB に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(3) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

INTB に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(4) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(5) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

(6) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(7) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

(8) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

(9) 浮動小数点ステータスワード (FPSW)

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j = 1$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 ($E_j = 0$) した場合は、一連の処理の最後に E_j フラグをチェックし、例外発生の有無を確認することができます。 E_j フラグは蓄積フラグです。 $(j = X, U, Z, O, V)$

2.3 アキュムレータ

アキュムレータ (ACC0, ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの $b_{95} \sim b_{72}$ の扱いは、読み出し時に b_{71} の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL, EMULU, FMUL, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は ($b_{95} \sim b_{64}$) に、「MVTACHI 命令」は上位側 32 ビット ($b_{63} \sim b_{32}$) に、「MVTACLO 命令」は下位側 32 ビット ($b_{31} \sim b_0$) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット ($b_{95} \sim b_{64}$)、「MVFACHI 命令」で上位側 32 ビット ($b_{63} \sim b_{32}$)、「MVFACMI 命令」で中央の 32 ビット ($b_{47} \sim b_{16}$)、「MVFACLO 命令」で下位側 32 ビット ($b_{31} \sim b_0$) のデータをそれぞれ読み出します。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 にメモリマップを示します。

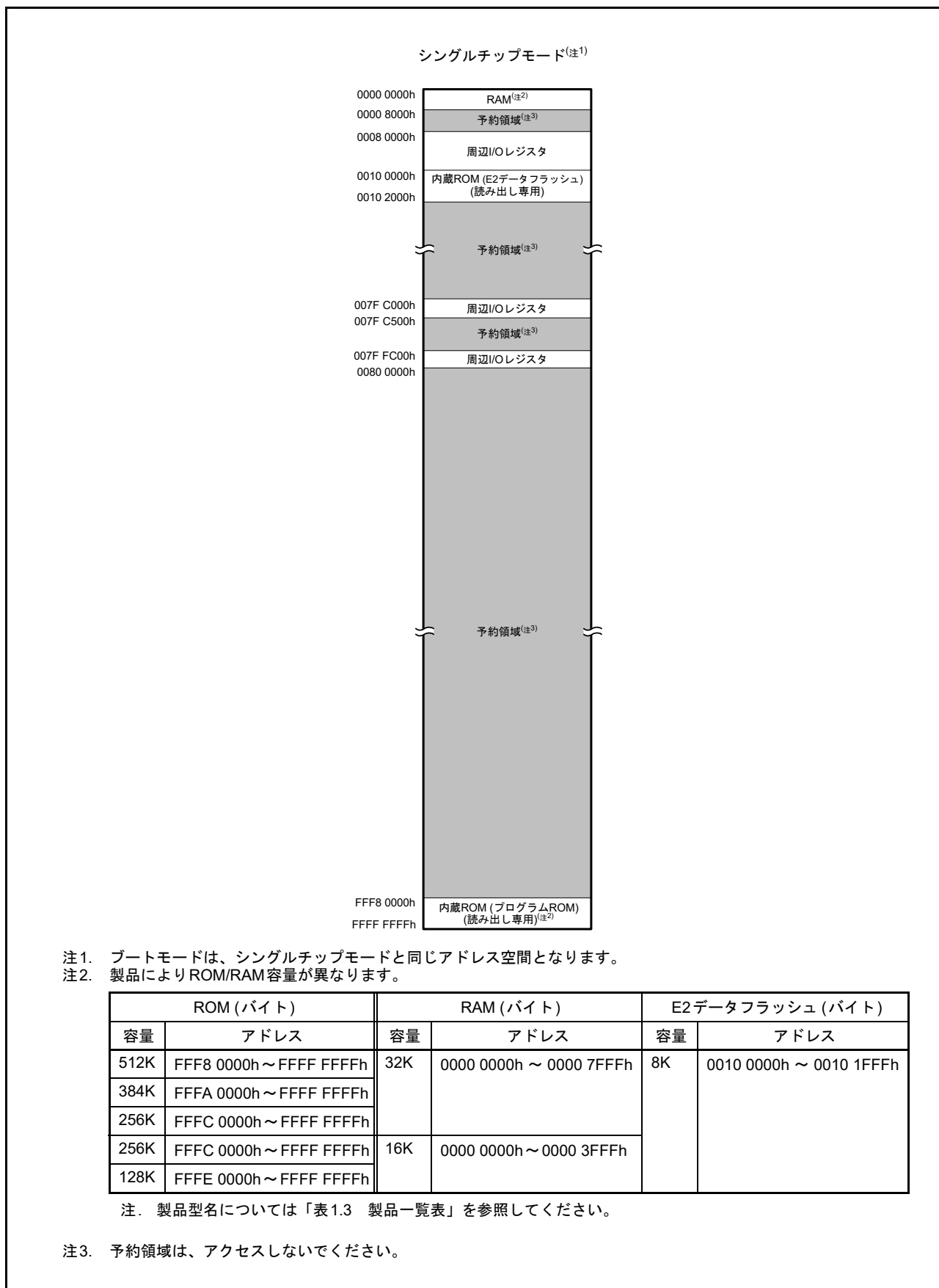


図 3.1 各動作モードのメモリマップ

4. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット(ICU.IERn.IENjビット)のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 4.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～6のバスサイクル数}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能へアクセスする場合には、分周クロック同期化サイクルが追加されます。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK) の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、 PCLK (または FCLK) で最大1サイクルとなるため、表 4.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

注1. CPUからのレジスタアクセスが、異なるバスマスタ(DTC)のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA命令、ストリング操作命令に関する制約事項

RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ(「表 4.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。

4.1 I/Oレジスタアドレス一覧(アドレス順)

表4.1 I/Oレジスタアドレス一覧(1/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK
0008 0031h	SYSTEM	メモリウェイトサイクル設定レジスタ	MEMWAIT	8	8	3ICLK
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK
0008 00A5h	SYSTEM	高速オンチップオシレータウェイトコントロールレジスタ	HOCOWTCR	8	8	3ICLK
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK
0008 1000h	FLASH	ROMキャッシュ許可レジスタ	ROMCE	16	16	3ICLK
0008 1004h	FLASH	ROMキャッシュ無効化レジスタ	ROMCIV	16	16	3ICLK
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK

表4.1 I/Oレジスタアドレス一覧 (2/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK
0008 6520h	MPU	領域サーチャドレスレジスタ	MPSA	32	32	1ICLK
0008 6524h	MPU	領域サーチャオベーションレジスタ	MPOPS	16	16	1ICLK
0008 6526h	MPU	領域インバリデートオベーションレジスタ	MPOPI	16	16	1ICLK
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK
0008 7028h	ICU	割り込み要求レジスタ 040(注2)	IR040	8	8	2ICLK
0008 7029h	ICU	割り込み要求レジスタ 041(注2)	IR041	8	8	2ICLK
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK
0008 7030h	ICU	割り込み要求レジスタ 048(注2)	IR048	8	8	2ICLK
0008 7031h	ICU	割り込み要求レジスタ 049(注2)	IR049	8	8	2ICLK
0008 7032h	ICU	割り込み要求レジスタ 050(注2)	IR050	8	8	2ICLK
0008 7033h	ICU	割り込み要求レジスタ 051(注2)	IR051	8	8	2ICLK
0008 7034h	ICU	割り込み要求レジスタ 052(注2)	IR052	8	8	2ICLK
0008 7035h	ICU	割り込み要求レジスタ 053(注2)	IR053	8	8	2ICLK
0008 7036h	ICU	割り込み要求レジスタ 054(注2)	IR054	8	8	2ICLK
0008 7037h	ICU	割り込み要求レジスタ 055(注2)	IR055	8	8	2ICLK
0008 7038h	ICU	割り込み要求レジスタ 056(注2)	IR056	8	8	2ICLK
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK
0008 703Bh	ICU	割り込み要求レジスタ 059(注2)	IR059	8	8	2ICLK
0008 703Ch	ICU	割り込み要求レジスタ 060(注2)	IR060	8	8	2ICLK
0008 703Dh	ICU	割り込み要求レジスタ 061(注2)	IR061	8	8	2ICLK
0008 703Eh	ICU	割り込み要求レジスタ 062(注2)	IR062	8	8	2ICLK
0008 703Fh	ICU	割り込み要求レジスタ 063(注2)	IR063	8	8	2ICLK
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (3/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK
0008 7062h	ICU	割り込み要求レジスタ 098(注2)	IR098	8	8	2ICLK
0008 7063h	ICU	割り込み要求レジスタ 099(注2)	IR099	8	8	2ICLK
0008 7064h	ICU	割り込み要求レジスタ 100(注2)	IR100	8	8	2ICLK
0008 7065h	ICU	割り込み要求レジスタ 101(注2)	IR101	8	8	2ICLK
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK
0008 7068h	ICU	割り込み要求レジスタ 104	IR104	8	8	2ICLK
0008 7069h	ICU	割り込み要求レジスタ 105	IR105	8	8	2ICLK
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK
0008 706Ch	ICU	割り込み要求レジスタ 108	IR108	8	8	2ICLK
0008 706Dh	ICU	割り込み要求レジスタ 109	IR109	8	8	2ICLK
0008 706Eh	ICU	割り込み要求レジスタ 110	IR110	8	8	2ICLK
0008 706Fh	ICU	割り込み要求レジスタ 111	IR111	8	8	2ICLK
0008 7070h	ICU	割り込み要求レジスタ 112	IR112	8	8	2ICLK
0008 7071h	ICU	割り込み要求レジスタ 113	IR113	8	8	2ICLK
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (4/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2ICLK
0008 70A9h	ICU	割り込み要求レジスタ 169	IR169	8	8	2ICLK
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK
0008 70ACh	ICU	割り込み要求レジスタ 172	IR172	8	8	2ICLK
0008 70ADh	ICU	割り込み要求レジスタ 173	IR173	8	8	2ICLK
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK
0008 70BFh	ICU	割り込み要求レジスタ 191	IR191	8	8	2ICLK
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2ICLK
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2ICLK
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2ICLK
0008 70C5h	ICU	割り込み要求レジスタ 197	IR197	8	8	2ICLK
0008 70CAh	ICU	割り込み要求レジスタ 202(注2)	IR202	8	8	2ICLK
0008 70CBh	ICU	割り込み要求レジスタ 203(注2)	IR203	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (5/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 70CCh	ICU	割り込み要求レジスタ 204(注2)	IR204	8	8	2ICLK
0008 70CDh	ICU	割り込み要求レジスタ 205(注2)	IR205	8	8	2ICLK
0008 70CEh	ICU	割り込み要求レジスタ 206(注2)	IR206	8	8	2ICLK
0008 70CFh	ICU	割り込み要求レジスタ 207(注2)	IR207	8	8	2ICLK
0008 70D0h	ICU	割り込み要求レジスタ 208(注2)	IR208	8	8	2ICLK
0008 70D1h	ICU	割り込み要求レジスタ 209(注2)	IR209	8	8	2ICLK
0008 70D2h	ICU	割り込み要求レジスタ 210(注2)	IR210	8	8	2ICLK
0008 70D3h	ICU	割り込み要求レジスタ 211(注2)	IR211	8	8	2ICLK
0008 70D4h	ICU	割り込み要求レジスタ 212(注2)	IR212	8	8	2ICLK
0008 70D5h	ICU	割り込み要求レジスタ 213(注2)	IR213	8	8	2ICLK
0008 70D6h	ICU	割り込み要求レジスタ 214(注2)	IR214	8	8	2ICLK
0008 70D7h	ICU	割り込み要求レジスタ 215(注2)	IR215	8	8	2ICLK
0008 70D8h	ICU	割り込み要求レジスタ 216(注2)	IR216	8	8	2ICLK
0008 70D9h	ICU	割り込み要求レジスタ 217(注2)	IR217	8	8	2ICLK
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK
0008 70EEh	ICU	割り込み要求レジスタ 238(注2)	IR238	8	8	2ICLK
0008 70EFh	ICU	割り込み要求レジスタ 239(注2)	IR239	8	8	2ICLK
0008 70F0h	ICU	割り込み要求レジスタ 240(注2)	IR240	8	8	2ICLK
0008 70F1h	ICU	割り込み要求レジスタ 241(注2)	IR241	8	8	2ICLK
0008 70F2h	ICU	割り込み要求レジスタ 242(注2)	IR242	8	8	2ICLK
0008 70F3h	ICU	割り込み要求レジスタ 243(注2)	IR243	8	8	2ICLK
0008 70F4h	ICU	割り込み要求レジスタ 244(注2)	IR244	8	8	2ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK
0008 711Bh	ICU	DTC転送要求許可レジスタ 027	DT CER027	8	8	2ICLK
0008 711Ch	ICU	DTC転送要求許可レジスタ 028	DT CER028	8	8	2ICLK
0008 711Dh	ICU	DTC転送要求許可レジスタ 029	DT CER029	8	8	2ICLK
0008 711Eh	ICU	DTC転送要求許可レジスタ 030	DT CER030	8	8	2ICLK
0008 711Fh	ICU	DTC転送要求許可レジスタ 031	DT CER031	8	8	2ICLK
0008 712Dh	ICU	DTC転送要求許可レジスタ 045	DT CER045	8	8	2ICLK
0008 712Eh	ICU	DTC転送要求許可レジスタ 046	DT CER046	8	8	2ICLK
0008 7130h	ICU	DTC転送要求許可レジスタ 048(注2)	DT CER048	8	8	2ICLK
0008 7131h	ICU	DTC転送要求許可レジスタ 049(注2)	DT CER049	8	8	2ICLK
0008 7132h	ICU	DTC転送要求許可レジスタ 050(注2)	DT CER050	8	8	2ICLK
0008 7133h	ICU	DTC転送要求許可レジスタ 051(注2)	DT CER051	8	8	2ICLK
0008 7135h	ICU	DTC転送要求許可レジスタ 053(注2)	DT CER053	8	8	2ICLK
0008 7136h	ICU	DTC転送要求許可レジスタ 054(注2)	DT CER054	8	8	2ICLK
0008 7137h	ICU	DTC転送要求許可レジスタ 055(注2)	DT CER055	8	8	2ICLK

表4.1 I/Oレジスタアドレス一覧 (6/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 7138h	ICU	DTC転送要求許可レジスタ 056(注2)	DTCER056	8	8	2ICLK
0008 713Bh	ICU	DTC転送要求許可レジスタ 059(注2)	DTCER059	8	8	2ICLK
0008 7140h	ICU	DTC転送要求許可レジスタ 064	DTCER064	8	8	2ICLK
0008 7141h	ICU	DTC転送要求許可レジスタ 065	DTCER065	8	8	2ICLK
0008 7142h	ICU	DTC転送要求許可レジスタ 066	DTCER066	8	8	2ICLK
0008 7143h	ICU	DTC転送要求許可レジスタ 067	DTCER067	8	8	2ICLK
0008 7144h	ICU	DTC転送要求許可レジスタ 068	DTCER068	8	8	2ICLK
0008 7145h	ICU	DTC転送要求許可レジスタ 069	DTCER069	8	8	2ICLK
0008 7146h	ICU	DTC転送要求許可レジスタ 070	DTCER070	8	8	2ICLK
0008 7147h	ICU	DTC転送要求許可レジスタ 071	DTCER071	8	8	2ICLK
0008 7162h	ICU	DTC転送要求許可レジスタ 098(注2)	DTCER098	8	8	2ICLK
0008 7163h	ICU	DTC転送要求許可レジスタ 099(注2)	DTCER099	8	8	2ICLK
0008 7164h	ICU	DTC転送要求許可レジスタ 100(注2)	DTCER100	8	8	2ICLK
0008 7165h	ICU	DTC転送要求許可レジスタ 101(注2)	DTCER101	8	8	2ICLK
0008 7166h	ICU	DTC転送要求許可レジスタ 102	DTCER102	8	8	2ICLK
0008 7167h	ICU	DTC転送要求許可レジスタ 103	DTCER103	8	8	2ICLK
0008 7168h	ICU	DTC転送要求許可レジスタ 104	DTCER104	8	8	2ICLK
0008 7169h	ICU	DTC転送要求許可レジスタ 105	DTCER105	8	8	2ICLK
0008 716Ah	ICU	DTC転送要求許可レジスタ 106	DTCER106	8	8	2ICLK
0008 716Bh	ICU	DTC転送要求許可レジスタ 107	DTCER107	8	8	2ICLK
0008 716Ch	ICU	DTC転送要求許可レジスタ 108	DTCER108	8	8	2ICLK
0008 716Dh	ICU	DTC転送要求許可レジスタ 109	DTCER109	8	8	2ICLK
0008 716Eh	ICU	DTC転送要求許可レジスタ 110	DTCER110	8	8	2ICLK
0008 716Fh	ICU	DTC転送要求許可レジスタ 111	DTCER111	8	8	2ICLK
0008 7170h	ICU	DTC転送要求許可レジスタ 112	DTCER112	8	8	2ICLK
0008 7171h	ICU	DTC転送要求許可レジスタ 113	DTCER113	8	8	2ICLK
0008 7172h	ICU	DTC転送要求許可レジスタ 114	DTCER114	8	8	2ICLK
0008 7173h	ICU	DTC転送要求許可レジスタ 115	DTCER115	8	8	2ICLK
0008 7174h	ICU	DTC転送要求許可レジスタ 116	DTCER116	8	8	2ICLK
0008 7175h	ICU	DTC転送要求許可レジスタ 117	DTCER117	8	8	2ICLK
0008 7179h	ICU	DTC転送要求許可レジスタ 121	DTCER121	8	8	2ICLK
0008 717Ah	ICU	DTC転送要求許可レジスタ 122	DTCER122	8	8	2ICLK
0008 717Dh	ICU	DTC転送要求許可レジスタ 125	DTCER125	8	8	2ICLK
0008 717Eh	ICU	DTC転送要求許可レジスタ 126	DTCER126	8	8	2ICLK
0008 7181h	ICU	DTC転送要求許可レジスタ 129	DTCER129	8	8	2ICLK
0008 7182h	ICU	DTC転送要求許可レジスタ 130	DTCER130	8	8	2ICLK
0008 7183h	ICU	DTC転送要求許可レジスタ 131	DTCER131	8	8	2ICLK
0008 7184h	ICU	DTC転送要求許可レジスタ 132	DTCER132	8	8	2ICLK
0008 7186h	ICU	DTC転送要求許可レジスタ 134	DTCER134	8	8	2ICLK
0008 7187h	ICU	DTC転送要求許可レジスタ 135	DTCER135	8	8	2ICLK
0008 7188h	ICU	DTC転送要求許可レジスタ 136	DTCER136	8	8	2ICLK
0008 7189h	ICU	DTC転送要求許可レジスタ 137	DTCER137	8	8	2ICLK
0008 718Ah	ICU	DTC転送要求許可レジスタ 138	DTCER138	8	8	2ICLK
0008 718Bh	ICU	DTC転送要求許可レジスタ 139	DTCER139	8	8	2ICLK
0008 718Ch	ICU	DTC転送要求許可レジスタ 140	DTCER140	8	8	2ICLK
0008 718Dh	ICU	DTC転送要求許可レジスタ 141	DTCER141	8	8	2ICLK
0008 718Eh	ICU	DTC転送要求許可レジスタ 142	DTCER142	8	8	2ICLK
0008 718Fh	ICU	DTC転送要求許可レジスタ 143	DTCER143	8	8	2ICLK
0008 7190h	ICU	DTC転送要求許可レジスタ 144	DTCER144	8	8	2ICLK
0008 7191h	ICU	DTC転送要求許可レジスタ 145	DTCER145	8	8	2ICLK
0008 7195h	ICU	DTC転送要求許可レジスタ 149	DTCER149	8	8	2ICLK

表4.1 I/Oレジスタアドレス一覧 (7/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 7196h	ICU	DTC転送要求許可レジスタ 150	DTCER150	8	8	2ICLK
0008 7197h	ICU	DTC転送要求許可レジスタ 151	DTCER151	8	8	2ICLK
0008 7198h	ICU	DTC転送要求許可レジスタ 152	DTCER152	8	8	2ICLK
0008 7199h	ICU	DTC転送要求許可レジスタ 153	DTCER153	8	8	2ICLK
0008 719Fh	ICU	DTC転送要求許可レジスタ 159	DTCER159	8	8	2ICLK
0008 71A0h	ICU	DTC転送要求許可レジスタ 160	DTCER160	8	8	2ICLK
0008 71A1h	ICU	DTC転送要求許可レジスタ 161	DTCER161	8	8	2ICLK
0008 71A2h	ICU	DTC転送要求許可レジスタ 162	DTCER162	8	8	2ICLK
0008 71ADh	ICU	DTC転送要求許可レジスタ 173	DTCER173	8	8	2ICLK
0008 71AEh	ICU	DTC転送要求許可レジスタ 174	DTCER174	8	8	2ICLK
0008 71AFh	ICU	DTC転送要求許可レジスタ 175	DTCER175	8	8	2ICLK
0008 71B1h	ICU	DTC転送要求許可レジスタ 177	DTCER177	8	8	2ICLK
0008 71B2h	ICU	DTC転送要求許可レジスタ 178	DTCER178	8	8	2ICLK
0008 71B4h	ICU	DTC転送要求許可レジスタ 180	DTCER180	8	8	2ICLK
0008 71B5h	ICU	DTC転送要求許可レジスタ 181	DTCER181	8	8	2ICLK
0008 71B7h	ICU	DTC転送要求許可レジスタ 183	DTCER183	8	8	2ICLK
0008 71B8h	ICU	DTC転送要求許可レジスタ 184	DTCER184	8	8	2ICLK
0008 71BAh	ICU	DTC転送要求許可レジスタ 186	DTCER186	8	8	2ICLK
0008 71BBh	ICU	DTC転送要求許可レジスタ 187	DTCER187	8	8	2ICLK
0008 71BDh	ICU	DTC転送要求許可レジスタ 189	DTCER189	8	8	2ICLK
0008 71BEh	ICU	DTC転送要求許可レジスタ 190	DTCER190	8	8	2ICLK
0008 71C0h	ICU	DTC転送要求許可レジスタ 192	DTCER192	8	8	2ICLK
0008 71C1h	ICU	DTC転送要求許可レジスタ 193	DTCER193	8	8	2ICLK
0008 71C3h	ICU	DTC転送要求許可レジスタ 195	DTCER195	8	8	2ICLK
0008 71C4h	ICU	DTC転送要求許可レジスタ 196	DTCER196	8	8	2ICLK
0008 71CBh	ICU	DTC転送要求許可レジスタ 203(注2)	DTCER203	8	8	2ICLK
0008 71CCh	ICU	DTC転送要求許可レジスタ 204(注2)	DTCER204	8	8	2ICLK
0008 71CDh	ICU	DTC転送要求許可レジスタ 205(注2)	DTCER205	8	8	2ICLK
0008 71CEh	ICU	DTC転送要求許可レジスタ 206(注2)	DTCER206	8	8	2ICLK
0008 71CFh	ICU	DTC転送要求許可レジスタ 207(注2)	DTCER207	8	8	2ICLK
0008 71D0h	ICU	DTC転送要求許可レジスタ 208(注2)	DTCER208	8	8	2ICLK
0008 71D1h	ICU	DTC転送要求許可レジスタ 209(注2)	DTCER209	8	8	2ICLK
0008 71D2h	ICU	DTC転送要求許可レジスタ 210(注2)	DTCER210	8	8	2ICLK
0008 71D4h	ICU	DTC転送要求許可レジスタ 212(注2)	DTCER212	8	8	2ICLK
0008 71D5h	ICU	DTC転送要求許可レジスタ 213(注2)	DTCER213	8	8	2ICLK
0008 71D6h	ICU	DTC転送要求許可レジスタ 214(注2)	DTCER214	8	8	2ICLK
0008 71D7h	ICU	DTC転送要求許可レジスタ 215(注2)	DTCER215	8	8	2ICLK
0008 71D8h	ICU	DTC転送要求許可レジスタ 216(注2)	DTCER216	8	8	2ICLK
0008 71D9h	ICU	DTC転送要求許可レジスタ 217(注2)	DTCER217	8	8	2ICLK
0008 71DBh	ICU	DTC転送要求許可レジスタ 219	DTCER219	8	8	2ICLK
0008 71DCh	ICU	DTC転送要求許可レジスタ 220	DTCER220	8	8	2ICLK
0008 71DFh	ICU	DTC転送要求許可レジスタ 223	DTCER223	8	8	2ICLK
0008 71E0h	ICU	DTC転送要求許可レジスタ 224	DTCER224	8	8	2ICLK
0008 71E3h	ICU	DTC転送要求許可レジスタ 227	DTCER227	8	8	2ICLK
0008 71E4h	ICU	DTC転送要求許可レジスタ 228	DTCER228	8	8	2ICLK
0008 71EEh	ICU	DTC転送要求許可レジスタ 238(注2)	DTCER238	8	8	2ICLK
0008 71EFh	ICU	DTC転送要求許可レジスタ 239(注2)	DTCER239	8	8	2ICLK
0008 71F1h	ICU	DTC転送要求許可レジスタ 241(注2)	DTCER241	8	8	2ICLK
0008 71F2h	ICU	DTC転送要求許可レジスタ 242(注2)	DTCER242	8	8	2ICLK
0008 71F3h	ICU	DTC転送要求許可レジスタ 243(注2)	DTCER243	8	8	2ICLK
0008 71F4h	ICU	DTC転送要求許可レジスタ 244(注2)	DTCER244	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (8/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 71F7h	ICU	DTC転送要求許可レジスタ 247	DT CER247	8	8	2ICLK
0008 71F8h	ICU	DTC転送要求許可レジスタ 248	DT CER248	8	8	2ICLK
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK
0008 7206h	ICU	割り込み要求許可レジスタ 06(注2)	IER06	8	8	2ICLK
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK
0008 7219h	ICU	割り込み要求許可レジスタ 19(注2)	IER19	8	8	2ICLK
0008 721Ah	ICU	割り込み要求許可レジスタ 1A(注2)	IER1A	8	8	2ICLK
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK
0008 721Dh	ICU	割り込み要求許可レジスタ 1D(注2)	IER1D	8	8	2ICLK
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK
0008 7328h	ICU	割り込み要因プライオリティレジスタ 040(注2)	IPR040	8	8	2ICLK
0008 7329h	ICU	割り込み要因プライオリティレジスタ 041(注2)	IPR041	8	8	2ICLK
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK
0008 7330h	ICU	割り込み要因プライオリティレジスタ 048(注2)	IPR048	8	8	2ICLK
0008 7331h	ICU	割り込み要因プライオリティレジスタ 049(注2)	IPR049	8	8	2ICLK
0008 7332h	ICU	割り込み要因プライオリティレジスタ 050(注2)	IPR050	8	8	2ICLK
0008 7333h	ICU	割り込み要因プライオリティレジスタ 051(注2)	IPR051	8	8	2ICLK
0008 7334h	ICU	割り込み要因プライオリティレジスタ 052(注2)	IPR052	8	8	2ICLK
0008 7335h	ICU	割り込み要因プライオリティレジスタ 053(注2)	IPR053	8	8	2ICLK

表4.1 I/Oレジスタアドレス一覧 (9/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 7336h	ICU	割り込み要因プライオリティレジスタ054(注2)	IPR054	8	8	2ICLK
0008 7337h	ICU	割り込み要因プライオリティレジスタ055(注2)	IPR055	8	8	2ICLK
0008 7338h	ICU	割り込み要因プライオリティレジスタ056(注2)	IPR056	8	8	2ICLK
0008 7339h	ICU	割り込み要因プライオリティレジスタ057	IPR057	8	8	2ICLK
0008 733Bh	ICU	割り込み要因プライオリティレジスタ059(注2)	IPR059	8	8	2ICLK
0008 733Ch	ICU	割り込み要因プライオリティレジスタ060(注2)	IPR060	8	8	2ICLK
0008 733Dh	ICU	割り込み要因プライオリティレジスタ061(注2)	IPR061	8	8	2ICLK
0008 733Eh	ICU	割り込み要因プライオリティレジスタ062(注2)	IPR062	8	8	2ICLK
0008 733Fh	ICU	割り込み要因プライオリティレジスタ063(注2)	IPR063	8	8	2ICLK
0008 7340h	ICU	割り込み要因プライオリティレジスタ064	IPR064	8	8	2ICLK
0008 7341h	ICU	割り込み要因プライオリティレジスタ065	IPR065	8	8	2ICLK
0008 7342h	ICU	割り込み要因プライオリティレジスタ066	IPR066	8	8	2ICLK
0008 7343h	ICU	割り込み要因プライオリティレジスタ067	IPR067	8	8	2ICLK
0008 7344h	ICU	割り込み要因プライオリティレジスタ068	IPR068	8	8	2ICLK
0008 7345h	ICU	割り込み要因プライオリティレジスタ069	IPR069	8	8	2ICLK
0008 7346h	ICU	割り込み要因プライオリティレジスタ070	IPR070	8	8	2ICLK
0008 7347h	ICU	割り込み要因プライオリティレジスタ071	IPR071	8	8	2ICLK
0008 7358h	ICU	割り込み要因プライオリティレジスタ088	IPR088	8	8	2ICLK
0008 7359h	ICU	割り込み要因プライオリティレジスタ089	IPR089	8	8	2ICLK
0008 7362h	ICU	割り込み要因プライオリティレジスタ098(注2)	IPR098	8	8	2ICLK
0008 7363h	ICU	割り込み要因プライオリティレジスタ099(注2)	IPR099	8	8	2ICLK
0008 7364h	ICU	割り込み要因プライオリティレジスタ100(注2)	IPR100	8	8	2ICLK
0008 7365h	ICU	割り込み要因プライオリティレジスタ101(注2)	IPR101	8	8	2ICLK
0008 7366h	ICU	割り込み要因プライオリティレジスタ102	IPR102	8	8	2ICLK
0008 7367h	ICU	割り込み要因プライオリティレジスタ103	IPR103	8	8	2ICLK
0008 7368h	ICU	割り込み要因プライオリティレジスタ104	IPR104	8	8	2ICLK
0008 7369h	ICU	割り込み要因プライオリティレジスタ105	IPR105	8	8	2ICLK
0008 736Ah	ICU	割り込み要因プライオリティレジスタ106	IPR106	8	8	2ICLK
0008 736Bh	ICU	割り込み要因プライオリティレジスタ107	IPR107	8	8	2ICLK
0008 736Ch	ICU	割り込み要因プライオリティレジスタ108	IPR108	8	8	2ICLK
0008 736Dh	ICU	割り込み要因プライオリティレジスタ109	IPR109	8	8	2ICLK
0008 736Eh	ICU	割り込み要因プライオリティレジスタ110	IPR110	8	8	2ICLK
0008 736Fh	ICU	割り込み要因プライオリティレジスタ111	IPR111	8	8	2ICLK
0008 7370h	ICU	割り込み要因プライオリティレジスタ112	IPR112	8	8	2ICLK
0008 7371h	ICU	割り込み要因プライオリティレジスタ113	IPR113	8	8	2ICLK
0008 7372h	ICU	割り込み要因プライオリティレジスタ114	IPR114	8	8	2ICLK
0008 7376h	ICU	割り込み要因プライオリティレジスタ118	IPR118	8	8	2ICLK
0008 7379h	ICU	割り込み要因プライオリティレジスタ121	IPR121	8	8	2ICLK
0008 737Bh	ICU	割り込み要因プライオリティレジスタ123	IPR123	8	8	2ICLK
0008 737Dh	ICU	割り込み要因プライオリティレジスタ125	IPR125	8	8	2ICLK
0008 737Fh	ICU	割り込み要因プライオリティレジスタ127	IPR127	8	8	2ICLK
0008 7381h	ICU	割り込み要因プライオリティレジスタ129	IPR129	8	8	2ICLK
0008 7385h	ICU	割り込み要因プライオリティレジスタ133	IPR133	8	8	2ICLK
0008 7386h	ICU	割り込み要因プライオリティレジスタ134	IPR134	8	8	2ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ138	IPR138	8	8	2ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ139	IPR139	8	8	2ICLK
0008 738Eh	ICU	割り込み要因プライオリティレジスタ142	IPR142	8	8	2ICLK
0008 7392h	ICU	割り込み要因プライオリティレジスタ146	IPR146	8	8	2ICLK
0008 7395h	ICU	割り込み要因プライオリティレジスタ149	IPR149	8	8	2ICLK
0008 7397h	ICU	割り込み要因プライオリティレジスタ151	IPR151	8	8	2ICLK
0008 7399h	ICU	割り込み要因プライオリティレジスタ153	IPR153	8	8	2ICLK

表4.1 I/Oレジスタアドレス一覧 (10/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 739Fh	ICU	割り込み要因プライオリティレジスタ 159	IPR159	8	8	2ICLK
0008 73A3h	ICU	割り込み要因プライオリティレジスタ 163	IPR163	8	8	2ICLK
0008 73A8h	ICU	割り込み要因プライオリティレジスタ 168	IPR168	8	8	2ICLK
0008 73ADh	ICU	割り込み要因プライオリティレジスタ 173	IPR173	8	8	2ICLK
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2ICLK
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2ICLK
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2ICLK
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK
0008 73BAh	ICU	割り込み要因プライオリティレジスタ 186	IPR186	8	8	2ICLK
0008 73BDh	ICU	割り込み要因プライオリティレジスタ 189	IPR189	8	8	2ICLK
0008 73C0h	ICU	割り込み要因プライオリティレジスタ 192	IPR192	8	8	2ICLK
0008 73C3h	ICU	割り込み要因プライオリティレジスタ 195	IPR195	8	8	2ICLK
0008 73CAh	ICU	割り込み要因プライオリティレジスタ 202(注2)	IPR202	8	8	2ICLK
0008 73CBh	ICU	割り込み要因プライオリティレジスタ 203(注2)	IPR203	8	8	2ICLK
0008 73CCh	ICU	割り込み要因プライオリティレジスタ 204(注2)	IPR204	8	8	2ICLK
0008 73CDh	ICU	割り込み要因プライオリティレジスタ 205(注2)	IPR205	8	8	2ICLK
0008 73CEh	ICU	割り込み要因プライオリティレジスタ 206(注2)	IPR206	8	8	2ICLK
0008 73CFh	ICU	割り込み要因プライオリティレジスタ 207(注2)	IPR207	8	8	2ICLK
0008 73D0h	ICU	割り込み要因プライオリティレジスタ 208(注2)	IPR208	8	8	2ICLK
0008 73D1h	ICU	割り込み要因プライオリティレジスタ 209(注2)	IPR209	8	8	2ICLK
0008 73D2h	ICU	割り込み要因プライオリティレジスタ 210(注2)	IPR210	8	8	2ICLK
0008 73D3h	ICU	割り込み要因プライオリティレジスタ 211(注2)	IPR211	8	8	2ICLK
0008 73D4h	ICU	割り込み要因プライオリティレジスタ 212(注2)	IPR212	8	8	2ICLK
0008 73D5h	ICU	割り込み要因プライオリティレジスタ 213(注2)	IPR213	8	8	2ICLK
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214(注2)	IPR214	8	8	2ICLK
0008 73D7h	ICU	割り込み要因プライオリティレジスタ 215(注2)	IPR215	8	8	2ICLK
0008 73D8h	ICU	割り込み要因プライオリティレジスタ 216(注2)	IPR216	8	8	2ICLK
0008 73D9h	ICU	割り込み要因プライオリティレジスタ 217(注2)	IPR217	8	8	2ICLK
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2ICLK
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238(注2)	IPR238	8	8	2ICLK
0008 73EFh	ICU	割り込み要因プライオリティレジスタ 239(注2)	IPR239	8	8	2ICLK
0008 73F0h	ICU	割り込み要因プライオリティレジスタ 240(注2)	IPR240	8	8	2ICLK
0008 73F1h	ICU	割り込み要因プライオリティレジスタ 241(注2)	IPR241	8	8	2ICLK
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242(注2)	IPR242	8	8	2ICLK
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243(注2)	IPR243	8	8	2ICLK
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244(注2)	IPR244	8	8	2ICLK
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK

表4.1 I/Oレジスタアドレス一覧 (11/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK
0008 8000h	CMT	コンペアマッチタイムスタートレジスタ0	CMSTR0	16	16	2~3PCLKB
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ1	CMSTR1	16	16	2~3PCLKB
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLKB
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLKB
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLKB
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2~3PCLKB
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2~3PCLKB
0008 80C0h	DA	D/Aデータレジスタ0	DADR0	16	16	2~3PCLKB
0008 80C2h	DA	D/Aデータレジスタ1(注2)	DADR1	16	16	2~3PCLKB
0008 80C4h	DA	D/A制御レジスタ	DACR	8	8	2~3PCLKB
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2~3PCLKB
0008 80C6h	DA	D/A A/D同期スタート制御レジスタ(注2)	DAADSCR	8	8	2~3PCLKB
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8(注1)	2~3PCLKB
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8(注1)	2~3PCLKB
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2~3PCLKB
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8(注1)	2~3PCLKB
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2~3PCLKB
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8(注1)	2~3PCLKB
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8(注1)	2~3PCLKB

表4.1 I/Oレジスタアドレス一覧 (12/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8(注1)	2 ~ 3PCLKB
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2 ~ 3PCLKB
0008 8220h	TMR4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8221h	TMR5	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8222h	TMR4	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8223h	TMR5	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8224h	TMR4	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB
0008 8225h	TMR5	タイムコンスタントレジスタA	TCORA	8	8(注1)	2 ~ 3PCLKB
0008 8226h	TMR4	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB
0008 8227h	TMR5	タイムコンスタントレジスタB	TCORB	8	8(注1)	2 ~ 3PCLKB
0008 8228h	TMR4	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB
0008 8229h	TMR5	タイマカウンタ	TCNT	8	8(注1)	2 ~ 3PCLKB
0008 822Ah	TMR4	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB
0008 822Bh	TMR5	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2 ~ 3PCLKB
0008 8230h	TMR6	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8231h	TMR7	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8232h	TMR6	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8233h	TMR7	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8234h	TMR6	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB
0008 8235h	TMR7	タイムコンスタントレジスタA	TCORA	8	8(注1)	2 ~ 3PCLKB
0008 8236h	TMR6	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB
0008 8237h	TMR7	タイムコンスタントレジスタB	TCORB	8	8(注1)	2 ~ 3PCLKB
0008 8238h	TMR6	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB
0008 8239h	TMR7	タイマカウンタ	TCNT	8	8(注1)	2 ~ 3PCLKB
0008 823Ah	TMR6	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB
0008 823Bh	TMR7	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2 ~ 3PCLKB
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (13/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16, 32	2 ~ 3PCLKB
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB
0008 9004h	S12AD	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2 ~ 3PCLKB
0008 9006h	S12AD	A/Dチャンネル選択レジスタA1	ADANSA1	16	16	2 ~ 3PCLKB
0008 9008h	S12AD	A/D 変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2 ~ 3PCLKB
0008 900Ah	S12AD	A/D 変換値加算/平均機能チャンネル選択レジスタ1	ADADS1	16	16	2 ~ 3PCLKB
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB
0008 9010h	S12AD	A/D 変換開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB
0008 9014h	S12AD	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2 ~ 3PCLKB
0008 9016h	S12AD	A/Dチャンネル選択レジスタB1	ADANSB1	16	16	2 ~ 3PCLKB
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADBLDR	16	16	2 ~ 3PCLKB
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2 ~ 3PCLKB
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2 ~ 3PCLKB
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2 ~ 3PCLKB
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2 ~ 3PCLKB
0008 9040h	S12AD	A/Dデータレジスタ16	ADDR16	16	16	2 ~ 3PCLKB
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB
0008 9080h	S12AD	A/Dグループキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB
0008 9084h	S12AD	A/Dデータ二重化レジスタA	ADBLDRA	16	16	2 ~ 3PCLKB
0008 9086h	S12AD	A/Dデータ二重化レジスタB	ADBLDRB	16	16	2 ~ 3PCLKB
0008 90D4h	S12AD	A/Dチャンネル選択レジスタC0	ADANSC0	16	16	2 ~ 3PCLKB
0008 90D6h	S12AD	A/Dチャンネル選択レジスタC1	ADANSC1	16	16	2 ~ 3PCLKB
0008 90D9h	S12AD	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2 ~ 3PCLKB
0008 90DDh	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2 ~ 3PCLKB
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2 ~ 3PCLKB
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2 ~ 3PCLKB
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2 ~ 3PCLKB
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2 ~ 3PCLKB
0008 91A0h	S12AD	A/Dプログラマブルゲインアンプコントロールレジスタ	ADPGACR	16	16	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (14/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 91A2h	S12AD	A/D プログラマブルゲインアンブゲイン設定レジスタ0	ADPGAGS0	16	16	2 ~ 3PCLKB
0008 9200h	S12AD1	A/D コントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB
0008 9204h	S12AD1	A/D チャネル選択レジスタA0	ADANSA0	16	16	2 ~ 3PCLKB
0008 9206h	S12AD1	A/D チャネル選択レジスタA1	ADANSA1	16	16	2 ~ 3PCLKB
0008 9208h	S12AD1	A/D 変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2 ~ 3PCLKB
0008 920Ah	S12AD1	A/D 変換値加算/平均機能チャネル選択レジスタ1	ADADS1	16	16	2 ~ 3PCLKB
0008 920Ch	S12AD1	A/D 変換値加算/平均回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB
0008 920Eh	S12AD1	A/D コントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB
0008 9210h	S12AD1	A/D 変換開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB
0008 9214h	S12AD1	A/D チャネル選択レジスタB0	ADANSB0	16	16	2 ~ 3PCLKB
0008 9216h	S12AD1	A/D チャネル選択レジスタB1	ADANSB1	16	16	2 ~ 3PCLKB
0008 9218h	S12AD1	A/D データ二重化レジスタ	ADDBLDR	16	16	2 ~ 3PCLKB
0008 921Eh	S12AD1	A/D 自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB
0008 9220h	S12AD1	A/D データレジスタ0	ADDR0	16	16	2 ~ 3PCLKB
0008 9222h	S12AD1	A/D データレジスタ1	ADDR1	16	16	2 ~ 3PCLKB
0008 9224h	S12AD1	A/D データレジスタ2	ADDR2	16	16	2 ~ 3PCLKB
0008 9226h	S12AD1	A/D データレジスタ3	ADDR3	16	16	2 ~ 3PCLKB
0008 9240h	S12AD1	A/D データレジスタ16	ADDR16	16	16	2 ~ 3PCLKB
0008 9266h	S12AD1	A/D サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2 ~ 3PCLKB
0008 927Ah	S12AD1	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB
0008 9280h	S12AD1	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB
0008 9284h	S12AD1	A/D データ二重化レジスタA	ADDBLDRA	16	16	2 ~ 3PCLKB
0008 9286h	S12AD1	A/D データ二重化レジスタB	ADDBLDRB	16	16	2 ~ 3PCLKB
0008 92D4h	S12AD1	A/D チャネル選択レジスタC0	ADANSC0	16	16	2 ~ 3PCLKB
0008 92D6h	S12AD1	A/D チャネル選択レジスタC1	ADANSC1	16	16	2 ~ 3PCLKB
0008 92D9h	S12AD1	A/D グループCトリガ選択レジスタ	ADGCTRGR	8	8	2 ~ 3PCLKB
0008 92DDh	S12AD1	A/D サンプリングステートレジスタL	ADSSTRL	8	8	2 ~ 3PCLKB
0008 92E0h	S12AD1	A/D サンプリングステートレジスタ0	ADSSTR0	8	8	2 ~ 3PCLKB
0008 92E1h	S12AD1	A/D サンプリングステートレジスタ1	ADSSTR1	8	8	2 ~ 3PCLKB
0008 92E2h	S12AD1	A/D サンプリングステートレジスタ2	ADSSTR2	8	8	2 ~ 3PCLKB
0008 92E3h	S12AD1	A/D サンプリングステートレジスタ3	ADSSTR3	8	8	2 ~ 3PCLKB
0008 93A0h	S12AD1	A/D プログラマブルゲインアンブコントロールレジスタ	ADPGACR	16	16	2 ~ 3PCLKB
0008 93A2h	S12AD1	A/D プログラマブルゲインアンブゲイン設定レジスタ0	ADPGAGS0	16	16	2 ~ 3PCLKB
0008 9400h	S12AD2	A/D コントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB
0008 9404h	S12AD2	A/D チャネル選択レジスタA0	ADANSA0	16	16	2 ~ 3PCLKB
0008 9408h	S12AD2	A/D 変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2 ~ 3PCLKB
0008 940Ch	S12AD2	A/D 変換値加算/平均回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB
0008 940Eh	S12AD2	A/D コントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB
0008 9410h	S12AD2	A/D 変換開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB
0008 9412h	S12AD2	A/D 変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ~ 3PCLKB
0008 9414h	S12AD2	A/D チャネル選択レジスタB0	ADANSB0	16	16	2 ~ 3PCLKB
0008 9418h	S12AD2	A/D データ二重化レジスタ	ADDBLDR	16	16	2 ~ 3PCLKB
0008 941Ch	S12AD2	A/D 内部基準電圧データレジスタ	ADOCDR	16	16	2 ~ 3PCLKB
0008 941Eh	S12AD2	A/D 自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB
0008 9420h	S12AD2	A/D データレジスタ0	ADDR0	16	16	2 ~ 3PCLKB
0008 9422h	S12AD2	A/D データレジスタ1	ADDR1	16	16	2 ~ 3PCLKB
0008 9424h	S12AD2	A/D データレジスタ2	ADDR2	16	16	2 ~ 3PCLKB
0008 9426h	S12AD2	A/D データレジスタ3	ADDR3	16	16	2 ~ 3PCLKB
0008 9428h	S12AD2	A/D データレジスタ4	ADDR4	16	16	2 ~ 3PCLKB
0008 942Ah	S12AD2	A/D データレジスタ5	ADDR5	16	16	2 ~ 3PCLKB
0008 942Ch	S12AD2	A/D データレジスタ6	ADDR6	16	16	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (15/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 942Eh	S12AD2	A/Dデータレジスタ7	ADDR7	16	16	2 ~ 3PCLKB
0008 9430h	S12AD2	A/Dデータレジスタ8	ADDR8	16	16	2 ~ 3PCLKB
0008 9432h	S12AD2	A/Dデータレジスタ9	ADDR9	16	16	2 ~ 3PCLKB
0008 9434h	S12AD2	A/Dデータレジスタ10	ADDR10	16	16	2 ~ 3PCLKB
0008 9436h	S12AD2	A/Dデータレジスタ11	ADDR11	16	16	2 ~ 3PCLKB
0008 947Ah	S12AD2	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB
0008 9480h	S12AD2	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB
0008 9484h	S12AD2	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2 ~ 3PCLKB
0008 9486h	S12AD2	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2 ~ 3PCLKB
0008 94D4h	S12AD2	A/Dチャンネル選択レジスタC0	ADANSC0	16	16	2 ~ 3PCLKB
0008 94D9h	S12AD2	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2 ~ 3PCLKB
0008 94DFh	S12AD2	A/DサンプリングステートレジスタO	ADSSTRO	8	8	2 ~ 3PCLKB
0008 94E0h	S12AD2	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2 ~ 3PCLKB
0008 94E1h	S12AD2	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2 ~ 3PCLKB
0008 94E2h	S12AD2	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2 ~ 3PCLKB
0008 94E3h	S12AD2	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2 ~ 3PCLKB
0008 94E4h	S12AD2	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2 ~ 3PCLKB
0008 94E5h	S12AD2	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2 ~ 3PCLKB
0008 94E6h	S12AD2	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2 ~ 3PCLKB
0008 94E7h	S12AD2	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2 ~ 3PCLKB
0008 94E8h	S12AD2	A/Dサンプリングステートレジスタ8	ADSSTR8	8	8	2 ~ 3PCLKB
0008 94E9h	S12AD2	A/Dサンプリングステートレジスタ9	ADSSTR9	8	8	2 ~ 3PCLKB
0008 94EAh	S12AD2	A/Dサンプリングステートレジスタ10	ADSSTR10	8	8	2 ~ 3PCLKB
0008 94EBh	S12AD2	A/Dサンプリングステートレジスタ11	ADSSTR11	8	8	2 ~ 3PCLKB
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4 ~ 5PCLKB
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2 ~ 3PCLKB
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4 ~ 5PCLKB
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (16/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB
0008 A0AEh	SCI5	トランスミッターデータレジスタHL	TDRHL	16	16	4 ~ 5PCLKB
0008 A0AEh	SCI5	トランスミッターデータレジスタH	TDRH	8	8	2 ~ 3PCLKB
0008 A0AFh	SCI5	トランスミッターデータレジスタL	TDRL	8	8	2 ~ 3PCLKB
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4 ~ 5PCLKB
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB
0008 A0B2h	SCI5	モジュレーションデュリティレジスタ	MDDR	8	8	2 ~ 3PCLKB
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB
0008 A0C3h	SCI6	トランスミッターデータレジスタ	TDR	8	8	2 ~ 3PCLKB
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB
0008 A0CEh	SCI6	トランスミッターデータレジスタHL	TDRHL	16	16	4 ~ 5PCLKB
0008 A0CEh	SCI6	トランスミッターデータレジスタH	TDRH	8	8	2 ~ 3PCLKB
0008 A0CFh	SCI6	トランスミッターデータレジスタL	TDRL	8	8	2 ~ 3PCLKB
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	4 ~ 5PCLKB
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB
0008 A0D2h	SCI6	モジュレーションデュリティレジスタ	MDDR	8	8	2 ~ 3PCLKB
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2 ~ 3PCLKB
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2 ~ 3PCLKB
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2 ~ 3PCLKB
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2 ~ 3PCLKB
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2 ~ 3PCLKB
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2 ~ 3PCLKB
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2 ~ 3PCLKB
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2 ~ 3PCLKB
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2 ~ 3PCLKB
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2 ~ 3PCLKB
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2 ~ 3PCLKB
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (17/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C026h	PORT6	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C027h	PORT7	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C028h	PORT8	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C029h	PORT9	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C02Dh	PORTD	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C045h	PORT5	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C046h	PORT6	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C047h	PORT7	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C048h	PORT8	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C049h	PORT9	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C04Ah	PORTA	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C04Bh	PORTB	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C04Dh	PORTD	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C04Eh	PORTE	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (18/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C090h	PORT8	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C093h	PORT9	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C09Bh	PORTD	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C6h	PORT6	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C8h	PORT8	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ~ 3PCLKB
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2 ~ 3PCLKB
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2 ~ 3PCLKB
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2 ~ 3PCLKB
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2 ~ 3PCLKB
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2 ~ 3PCLKB
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2 ~ 3PCLKB
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2 ~ 3PCLKB
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2 ~ 3PCLKB
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (19/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 C154h	MPC	P24 端子機能制御レジスタ	P24PFS	8	8	2 ~ 3PCLKB
0008 C158h	MPC	P30 端子機能制御レジスタ	P30PFS	8	8	2 ~ 3PCLKB
0008 C159h	MPC	P31 端子機能制御レジスタ	P31PFS	8	8	2 ~ 3PCLKB
0008 C15Ah	MPC	P32 端子機能制御レジスタ	P32PFS	8	8	2 ~ 3PCLKB
0008 C15Bh	MPC	P33 端子機能制御レジスタ	P33PFS	8	8	2 ~ 3PCLKB
0008 C160h	MPC	P40 端子機能制御レジスタ	P40PFS	8	8	2 ~ 3PCLKB
0008 C161h	MPC	P41 端子機能制御レジスタ	P41PFS	8	8	2 ~ 3PCLKB
0008 C162h	MPC	P42 端子機能制御レジスタ	P42PFS	8	8	2 ~ 3PCLKB
0008 C163h	MPC	P43 端子機能制御レジスタ	P43PFS	8	8	2 ~ 3PCLKB
0008 C164h	MPC	P44 端子機能制御レジスタ	P44PFS	8	8	2 ~ 3PCLKB
0008 C165h	MPC	P45 端子機能制御レジスタ	P45PFS	8	8	2 ~ 3PCLKB
0008 C166h	MPC	P46 端子機能制御レジスタ	P46PFS	8	8	2 ~ 3PCLKB
0008 C167h	MPC	P47 端子機能制御レジスタ	P47PFS	8	8	2 ~ 3PCLKB
0008 C168h	MPC	P50 端子機能制御レジスタ	P50PFS	8	8	2 ~ 3PCLKB
0008 C169h	MPC	P51 端子機能制御レジスタ	P51PFS	8	8	2 ~ 3PCLKB
0008 C16Ah	MPC	P52 端子機能制御レジスタ	P52PFS	8	8	2 ~ 3PCLKB
0008 C16Bh	MPC	P53 端子機能制御レジスタ	P53PFS	8	8	2 ~ 3PCLKB
0008 C16Ch	MPC	P54 端子機能制御レジスタ	P54PFS	8	8	2 ~ 3PCLKB
0008 C16Dh	MPC	P55 端子機能制御レジスタ	P55PFS	8	8	2 ~ 3PCLKB
0008 C170h	MPC	P60 端子機能制御レジスタ	P60PFS	8	8	2 ~ 3PCLKB
0008 C171h	MPC	P61 端子機能制御レジスタ	P61PFS	8	8	2 ~ 3PCLKB
0008 C172h	MPC	P62 端子機能制御レジスタ	P62PFS	8	8	2 ~ 3PCLKB
0008 C173h	MPC	P63 端子機能制御レジスタ	P63PFS	8	8	2 ~ 3PCLKB
0008 C174h	MPC	P64 端子機能制御レジスタ	P64PFS	8	8	2 ~ 3PCLKB
0008 C175h	MPC	P65 端子機能制御レジスタ	P65PFS	8	8	2 ~ 3PCLKB
0008 C178h	MPC	P70 端子機能制御レジスタ	P70PFS	8	8	2 ~ 3PCLKB
0008 C179h	MPC	P71 端子機能制御レジスタ	P71PFS	8	8	2 ~ 3PCLKB
0008 C17Ah	MPC	P72 端子機能制御レジスタ	P72PFS	8	8	2 ~ 3PCLKB
0008 C17Bh	MPC	P73 端子機能制御レジスタ	P73PFS	8	8	2 ~ 3PCLKB
0008 C17Ch	MPC	P74 端子機能制御レジスタ	P74PFS	8	8	2 ~ 3PCLKB
0008 C17Dh	MPC	P75 端子機能制御レジスタ	P75PFS	8	8	2 ~ 3PCLKB
0008 C17Eh	MPC	P76 端子機能制御レジスタ	P76PFS	8	8	2 ~ 3PCLKB
0008 C180h	MPC	P80 端子機能制御レジスタ	P80PFS	8	8	2 ~ 3PCLKB
0008 C181h	MPC	P81 端子機能制御レジスタ	P81PFS	8	8	2 ~ 3PCLKB
0008 C182h	MPC	P82 端子機能制御レジスタ	P82PFS	8	8	2 ~ 3PCLKB
0008 C188h	MPC	P90 端子機能制御レジスタ	P90PFS	8	8	2 ~ 3PCLKB
0008 C189h	MPC	P91 端子機能制御レジスタ	P91PFS	8	8	2 ~ 3PCLKB
0008 C18Ah	MPC	P92 端子機能制御レジスタ	P92PFS	8	8	2 ~ 3PCLKB
0008 C18Bh	MPC	P93 端子機能制御レジスタ	P93PFS	8	8	2 ~ 3PCLKB
0008 C18Ch	MPC	P94 端子機能制御レジスタ	P94PFS	8	8	2 ~ 3PCLKB
0008 C18Dh	MPC	P95 端子機能制御レジスタ	P95PFS	8	8	2 ~ 3PCLKB
0008 C18Eh	MPC	P96 端子機能制御レジスタ	P96PFS	8	8	2 ~ 3PCLKB
0008 C190h	MPC	PA0 端子機能制御レジスタ	PA0PFS	8	8	2 ~ 3PCLKB
0008 C191h	MPC	PA1 端子機能制御レジスタ	PA1PFS	8	8	2 ~ 3PCLKB
0008 C192h	MPC	PA2 端子機能制御レジスタ	PA2PFS	8	8	2 ~ 3PCLKB
0008 C193h	MPC	PA3 端子機能制御レジスタ	PA3PFS	8	8	2 ~ 3PCLKB
0008 C194h	MPC	PA4 端子機能制御レジスタ	PA4PFS	8	8	2 ~ 3PCLKB
0008 C195h	MPC	PA5 端子機能制御レジスタ	PA5PFS	8	8	2 ~ 3PCLKB
0008 C198h	MPC	PB0 端子機能制御レジスタ	PB0PFS	8	8	2 ~ 3PCLKB
0008 C199h	MPC	PB1 端子機能制御レジスタ	PB1PFS	8	8	2 ~ 3PCLKB
0008 C19Ah	MPC	PB2 端子機能制御レジスタ	PB2PFS	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (20/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2 ~ 3PCLKB
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2 ~ 3PCLKB
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2 ~ 3PCLKB
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2 ~ 3PCLKB
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2 ~ 3PCLKB
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2 ~ 3PCLKB
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2 ~ 3PCLKB
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2 ~ 3PCLKB
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2 ~ 3PCLKB
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2 ~ 3PCLKB
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2 ~ 3PCLKB
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2 ~ 3PCLKB
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2 ~ 3PCLKB
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2 ~ 3PCLKB
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2 ~ 3PCLKB
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2 ~ 3PCLKB
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2 ~ 3PCLKB
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2 ~ 3PCLKB
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2 ~ 3PCLKB
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTR0	8	8	4 ~ 5PCLKB
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTR1	8	8	4 ~ 5PCLKB
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4 ~ 5PCLKB
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4 ~ 5PCLKB
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4 ~ 5PCLKB
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4 ~ 5PCLKB
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4 ~ 5PCLKB
0008 C4C0h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8, 16	2 ~ 3PCLKB
0008 C4C2h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8, 16	2 ~ 3PCLKB
0008 C4C4h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8, 16	2 ~ 3PCLKB
0008 C4C6h	POE	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	8, 16	2 ~ 3PCLKB
0008 C4C8h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8, 16	2 ~ 3PCLKB
0008 C4CAh	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2 ~ 3PCLKB
0008 C4Cbh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2 ~ 3PCLKB
0008 C4CCh	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	16	16	2 ~ 3PCLKB
0008 C4CEh	POE	ポートアウトブッティネーブルコントロールレジスタ3(注2)	POECR3	16	16	2 ~ 3PCLKB
0008 C4D0h	POE	ポートアウトブッティネーブルコントロールレジスタ4	POECR4	16	16	2 ~ 3PCLKB
0008 C4D2h	POE	ポートアウトブッティネーブルコントロールレジスタ5	POECR5	16	16	2 ~ 3PCLKB
0008 C4D4h	POE	ポートアウトブッティネーブルコントロールレジスタ6(注2)	POECR6	16	16	2 ~ 3PCLKB
0008 C4D6h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	8, 16	2 ~ 3PCLKB
0008 C4D8h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	8, 16	2 ~ 3PCLKB
0008 C4DAh	POE	アクティブレベルレジスタ1	ALR1	16	8, 16	2 ~ 3PCLKB
0008 C4DCh	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2 ~ 3PCLKB
0008 C4DEh	POE	アクティブレベルレジスタ2	ALR2	16	8, 16	2 ~ 3PCLKB
0008 C4E0h	POE	入力レベルコントロール/ステータスレジスタ7	ICSR7	16	8, 16	2 ~ 3PCLKB
0008 C4E2h	POE	ポートアウトブッティネーブルコントロールレジスタ7	POECR7	16	16	2 ~ 3PCLKB
0008 C4E4h	POE	ポートアウトブッティネーブルコントロールレジスタ8	POECR8	16	16	2 ~ 3PCLKB
0008 C4E6h	POE	ポートアウトブッティネーブルコンパレータ出力検出フラグレジスタ	POECMPFR	16	16	2 ~ 3PCLKB
0008 C4E8h	POE	ポートアウトブッティネーブルコンパレータ要求選択レジスタ	POECMPSEL	16	16	2 ~ 3PCLKB
0008 C4F0h	POE	ポートモードマスクコントロールレジスタ0(注2)	PMMCRO	8	8	2 ~ 3PCLKB
0008 C4F2h	POE	ポートモードマスクコントロールレジスタ1(注2)	PMMCR1	16	16	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (21/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 C4F4h	POE	ポートモードマスクコントロールレジスタ2(注2)	PMMCR2	16	16	2 ~ 3PCLKB
0008 C4F6h	POE	ポートモードマスクコントロールレジスタ3(注2)	PMMCR3	16	16	2 ~ 3PCLKB
0008 C4F8h	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ0(注2)	POECMPEX0	8	8	2 ~ 3PCLKB
0008 C4F9h	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ1(注2)	POECMPEX1	8	8	2 ~ 3PCLKB
0008 C4FAh	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ2(注2)	POECMPEX2	8	8	2 ~ 3PCLKB
0008 C4FCh	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ4(注2)	POECMPEX4	8	8	2 ~ 3PCLKB
0008 C4FDh	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ5(注2)	POECMPEX5	8	8	2 ~ 3PCLKB
000A 0C80h	CMPC0	コンパレータ制御レジスタ0	CMPCTL	8	8	1 ~ 2PCLKB
000A 0C84h	CMPC0	コンパレータ入力切り替えレジスタ0	CMPSEL0	8	8	1 ~ 2PCLKB
000A 0C88h	CMPC0	コンパレータ基準電圧選択レジスタ0	CMPSEL1	8	8	1 ~ 2PCLKB
000A 0C8Ch	CMPC0	コンパレータ出力モニタレジスタ0	CMPMON	8	8	1 ~ 2PCLKB
000A 0C90h	CMPC0	コンパレータ外部出力許可レジスタ0	CMPIOC	8	8	1 ~ 2PCLKB
000A 0CA0h	CMPC1	コンパレータ制御レジスタ1	CMPCTL	8	8	1 ~ 2PCLKB
000A 0CA4h	CMPC1	コンパレータ入力切り替えレジスタ1	CMPSEL0	8	8	1 ~ 2PCLKB
000A 0CA8h	CMPC1	コンパレータ基準電圧選択レジスタ1	CMPSEL1	8	8	1 ~ 2PCLKB
000A 0CACh	CMPC1	コンパレータ出力モニタレジスタ1	CMPMON	8	8	1 ~ 2PCLKB
000A 0CB0h	CMPC1	コンパレータ外部出力許可レジスタ1	CMPIOC	8	8	1 ~ 2PCLKB
000A 0CC0h	CMPC2	コンパレータ制御レジスタ2	CMPCTL	8	8	1 ~ 2PCLKB
000A 0CC4h	CMPC2	コンパレータ入力切り替えレジスタ2	CMPSEL0	8	8	1 ~ 2PCLKB
000A 0CC8h	CMPC2	コンパレータ基準電圧選択レジスタ2	CMPSEL1	8	8	1 ~ 2PCLKB
000A 0CCCh	CMPC2	コンパレータ出力モニタレジスタ2	CMPMON	8	8	1 ~ 2PCLKB
000A 0CD0h	CMPC2	コンパレータ外部出力許可レジスタ2	CMPIOC	8	8	1 ~ 2PCLKB
000A 0CE0h	CMPC3	コンパレータ制御レジスタ3	CMPCTL	8	8	1 ~ 2PCLKB
000A 0CE4h	CMPC3	コンパレータ入力切り替えレジスタ3	CMPSEL0	8	8	1 ~ 2PCLKB
000A 0CE8h	CMPC3	コンパレータ基準電圧選択レジスタ3	CMPSEL1	8	8	1 ~ 2PCLKB
000A 0CECh	CMPC3	コンパレータ出力モニタレジスタ3	CMPMON	8	8	1 ~ 2PCLKB
000A 0CF0h	CMPC3	コンパレータ外部出力許可レジスタ3	CMPIOC	8	8	1 ~ 2PCLKB
000A 8300h	RSCAN0	ビットコンフィグレーションレジスタL(注2)	CFGFL	16	16	2 ~ 3PCLKB
000A 8302h	RSCAN0	ビットコンフィグレーションレジスタH(注2)	CFGH	16	16	2 ~ 3PCLKB
000A 8304h	RSCAN0	制御レジスタL(注2)	CTRL	16	16	2 ~ 3PCLKB
000A 8306h	RSCAN0	制御レジスタH(注2)	CTRH	16	16	2 ~ 3PCLKB
000A 8308h	RSCAN0	ステータスレジスタL(注2)	STSL	16	16	2 ~ 3PCLKB
000A 830Ah	RSCAN0	ステータスレジスタH(注2)	STSH	16	16	2 ~ 3PCLKB
000A 830Ch	RSCAN0	エラーフラグレジスタL(注2)	ERFLL	16	16	2 ~ 3PCLKB
000A 830Eh	RSCAN0	エラーフラグレジスタH(注2)	ERFLH	16	16	2 ~ 3PCLKB
000A 8322h	RSCAN	グローバル設定レジスタL(注2)	GCFGL	16	16	2 ~ 3PCLKB
000A 8324h	RSCAN	グローバル設定レジスタH(注2)	GCFGH	16	16	2 ~ 3PCLKB
000A 8326h	RSCAN	グローバル制御レジスタL(注2)	GCTRL	16	16	2 ~ 3PCLKB
000A 8328h	RSCAN	グローバル制御レジスタH(注2)	GCTRH	16	16	2 ~ 3PCLKB
000A 832Ah	RSCAN	グローバルステータスレジスタ(注2)	GSTS	16	16	2 ~ 3PCLKB
000A 832Ch	RSCAN	グローバルエラーフラグレジスタ(注2)	GERFLL	8	8	1 ~ 2PCLKB
000A 832Eh	RSCAN	タイムスタンプレジスタ(注2)	GTSC	16	16	2 ~ 3PCLKB
000A 8330h	RSCAN	受信ルール数設定レジスタ(注2)	GAFLCFG	16	16	2 ~ 3PCLKB
000A 8332h	RSCAN	受信バッファ数設定レジスタ(注2)	RMNB	16	16	2 ~ 3PCLKB
000A 8334h	RSCAN	受信バッファ受信完了フラグレジスタ(注2)	RMND0	16	16	2 ~ 3PCLKB
000A 8338h	RSCAN	受信FIFO制御レジスタ0(注2)	RFCC0	16	16	2 ~ 3PCLKB
000A 833Ah	RSCAN	受信FIFO制御レジスタ1(注2)	RFCC1	16	16	2 ~ 3PCLKB
000A 8340h	RSCAN	受信FIFOステータスレジスタ0(注2)	RFSTS0	16	16	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (22/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000A 8342h	RSCAN	受信FIFOステータスレジスタ1(注2)	RFSTS1	16	16	2~3PCLKB
000A 8348h	RSCAN	受信FIFOポインタ制御レジスタ0(注2)	RFPCTR0	16	16	2~3PCLKB
000A 834Ah	RSCAN	受信FIFOポインタ制御レジスタ1(注2)	RFPCTR1	16	16	2~3PCLKB
000A 8350h	RSCAN0	送受信FIFO制御レジスタ0L(注2)	CFCCL0	16	16	2~3PCLKB
000A 8352h	RSCAN0	送受信FIFO制御レジスタ0H(注2)	CFCCH0	16	16	2~3PCLKB
000A 8358h	RSCAN0	送受信FIFOステータスレジスタ0(注2)	CFSTS0	16	16	2~3PCLKB
000A 835Ch	RSCAN0	送受信FIFOポインタ制御レジスタ0(注2)	CFPCTR0	16	16	2~3PCLKB
000A 8360h	RSCAN	受信FIFOメッセージロスステータスレジスタ(注2)	RFMSTS	8	8	1~2PCLKB
000A 8361h	RSCAN0	送受信FIFOメッセージロスステータスレジスタ(注2)	CFMSTS	8	8	1~2PCLKB
000A 8362h	RSCAN	受信FIFO割り込みステータスレジスタ(注2)	RFISTS	8	8	1~2PCLKB
000A 8363h	RSCAN	送受信FIFO受信割り込みステータスレジスタ(注2)	CFISTS	8	8	1~2PCLKB
000A 8364h	RSCAN0	送信バッファ制御レジスタ0(注2)	TMC0	8	8	1~2PCLKB
000A 8365h	RSCAN0	送信バッファ制御レジスタ1(注2)	TMC1	8	8	1~2PCLKB
000A 8366h	RSCAN0	送信バッファ制御レジスタ2(注2)	TMC2	8	8	1~2PCLKB
000A 8367h	RSCAN0	送信バッファ制御レジスタ3(注2)	TMC3	8	8	1~2PCLKB
000A 836Ch	RSCAN0	送信バッファステータスレジスタ0(注2)	TMSTS0	8	8	1~2PCLKB
000A 836Dh	RSCAN0	送信バッファステータスレジスタ1(注2)	TMSTS1	8	8	1~2PCLKB
000A 836Eh	RSCAN0	送信バッファステータスレジスタ2(注2)	TMSTS2	8	8	1~2PCLKB
000A 836Fh	RSCAN0	送信バッファステータスレジスタ3(注2)	TMSTS3	8	8	1~2PCLKB
000A 8374h	RSCAN0	送信バッファ送信要求ステータスレジスタ(注2)	TMTRSTS	16	16	2~3PCLKB
000A 8376h	RSCAN0	送信バッファ送信完了ステータスレジスタ(注2)	TMCSTS	16	16	2~3PCLKB
000A 8378h	RSCAN0	送信バッファ送信アポートステータスレジスタ(注2)	TMASTS	16	16	2~3PCLKB
000A 837Ah	RSCAN0	送信バッファ割り込み許可レジスタ(注2)	TMIEC	16	16	2~3PCLKB
000A 837Ch	RSCAN0	送信履歴バッファ制御レジスタ(注2)	THLCC0	16	16	2~3PCLKB
000A 8380h	RSCAN0	送信履歴バッファステータスレジスタ(注2)	THLSTS0	16	16	2~3PCLKB
000A 8384h	RSCAN0	送信履歴バッファポインタ制御レジスタ(注2)	THLPCTR0	16	16	2~3PCLKB
000A 8388h	RSCAN	グローバル送信割り込みステータスレジスタ(注2)	GTINTSTS	16	16	2~3PCLKB
000A 838Ah	RSCAN	グローバルRAMウィンドウ制御レジスタ(注2)	GRWCR	16	16	2~3PCLKB
000A 838Ch	RSCAN	グローバルテスト設定レジスタ(注2)	GTSTCFG	16	16	2~3PCLKB
000A 838Eh	RSCAN	グローバルテスト制御レジスタ(注2)	GTSTCTRL	8	8	1~2PCLKB
000A 8394h	RSCAN	グローバルテストプロテクト解除レジスタ(注2)	GLOCKK	16	16	2~3PCLKB
000A 83A0h	RSCAN	受信ルール登録レジスタ0AL(注2)	GAFLIDL0	16	16	2~3PCLKB
000A 83A0h	RSCAN	受信バッファレジスタ0AL(注2)	RMIDL0	16	16	2~3PCLKB
000A 83A2h	RSCAN	受信ルール登録レジスタ0AH(注2)	GAFLIDH0	16	16	2~3PCLKB
000A 83A2h	RSCAN	受信バッファレジスタ0AH(注2)	RMIDH0	16	16	2~3PCLKB
000A 83A4h	RSCAN	受信ルール登録レジスタ0BL(注2)	GAFLML0	16	16	2~3PCLKB
000A 83A4h	RSCAN	受信バッファレジスタ0BL(注2)	RMTS0	16	16	2~3PCLKB
000A 83A6h	RSCAN	受信ルール登録レジスタ0BH(注2)	GAFLMH0	16	16	2~3PCLKB
000A 83A6h	RSCAN	受信バッファレジスタ0BH(注2)	RMPTR0	16	16	2~3PCLKB
000A 83A8h	RSCAN	受信ルール登録レジスタ0CL(注2)	GAFLPL0	16	16	2~3PCLKB
000A 83A8h	RSCAN	受信バッファレジスタ0CL(注2)	RMDF00	16	16	2~3PCLKB
000A 83AAh	RSCAN	受信ルール登録レジスタ0CH(注2)	GAFLPH0	16	16	2~3PCLKB
000A 83AAh	RSCAN	受信バッファレジスタ0CH(注2)	RMDF10	16	16	2~3PCLKB
000A 83ACh	RSCAN	受信ルール登録レジスタ1AL(注2)	GAFLIDL1	16	16	2~3PCLKB
000A 83ACh	RSCAN	受信バッファレジスタ0DL(注2)	RMDF20	16	16	2~3PCLKB
000A 83AEh	RSCAN	受信ルール登録レジスタ1AH(注2)	GAFLIDH1	16	16	2~3PCLKB
000A 83AEh	RSCAN	受信バッファレジスタ0DH(注2)	RMDF30	16	16	2~3PCLKB
000A 83B0h	RSCAN	受信ルール登録レジスタ1BL(注2)	GAFLML1	16	16	2~3PCLKB
000A 83B0h	RSCAN	受信バッファレジスタ1AL(注2)	RMIDL1	16	16	2~3PCLKB
000A 83B2h	RSCAN	受信ルール登録レジスタ1BH(注2)	GAFLMH1	16	16	2~3PCLKB
000A 83B2h	RSCAN	受信バッファレジスタ1AH(注2)	RMIDH1	16	16	2~3PCLKB

表4.1 I/Oレジスタアドレス一覧 (23/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000A 83B4h	RSCAN	受信ルール登録レジスタ1CL(注2)	GAFLPL1	16	16	2~3PCLKB
000A 83B4h	RSCAN	受信バッファレジスタ1BL(注2)	RMST1	16	16	2~3PCLKB
000A 83B6h	RSCAN	受信ルール登録レジスタ1CH(注2)	GAFLPH1	16	16	2~3PCLKB
000A 83B6h	RSCAN	受信バッファレジスタ1BH(注2)	RMPTR1	16	16	2~3PCLKB
000A 83B8h	RSCAN	受信ルール登録レジスタ2AL(注2)	GAFLIDL2	16	16	2~3PCLKB
000A 83B8h	RSCAN	受信バッファレジスタ1CL(注2)	RMDF01	16	16	2~3PCLKB
000A 83BAh	RSCAN	受信ルール登録レジスタ2AH(注2)	GAFLIDH2	16	16	2~3PCLKB
000A 83BAh	RSCAN	受信バッファレジスタ1CH(注2)	RMDF11	16	16	2~3PCLKB
000A 83BCh	RSCAN	受信ルール登録レジスタ2BL(注2)	GAFLML2	16	16	2~3PCLKB
000A 83BCh	RSCAN	受信バッファレジスタ1DL(注2)	RMDF21	16	16	2~3PCLKB
000A 83BEh	RSCAN	受信ルール登録レジスタ2BH(注2)	GAFLMH2	16	16	2~3PCLKB
000A 83BEh	RSCAN	受信バッファレジスタ1DH(注2)	RMDF31	16	16	2~3PCLKB
000A 83C0h	RSCAN	受信ルール登録レジスタ2CL(注2)	GAFLPL2	16	16	2~3PCLKB
000A 83C0h	RSCAN	受信バッファレジスタ2AL(注2)	RMIDL2	16	16	2~3PCLKB
000A 83C2h	RSCAN	受信ルール登録レジスタ2CH(注2)	GAFLPH2	16	16	2~3PCLKB
000A 83C2h	RSCAN	受信バッファレジスタ2AH(注2)	RMIDH2	16	16	2~3PCLKB
000A 83C4h	RSCAN	受信ルール登録レジスタ3AL(注2)	GAFLIDL3	16	16	2~3PCLKB
000A 83C4h	RSCAN	受信バッファレジスタ2BL(注2)	RMST2	16	16	2~3PCLKB
000A 83C6h	RSCAN	受信ルール登録レジスタ3AH(注2)	GAFLIDH3	16	16	2~3PCLKB
000A 83C6h	RSCAN	受信バッファレジスタ2BH(注2)	RMPTR2	16	16	2~3PCLKB
000A 83C8h	RSCAN	受信ルール登録レジスタ3BL(注2)	GAFLML3	16	16	2~3PCLKB
000A 83C8h	RSCAN	受信バッファレジスタ2CL(注2)	RMDF02	16	16	2~3PCLKB
000A 83CAh	RSCAN	受信ルール登録レジスタ3BH(注2)	GAFLMH3	16	16	2~3PCLKB
000A 83CAh	RSCAN	受信バッファレジスタ2CH(注2)	RMDF12	16	16	2~3PCLKB
000A 83CCh	RSCAN	受信ルール登録レジスタ3CL(注2)	GAFLPL3	16	16	2~3PCLKB
000A 83CCh	RSCAN	受信バッファレジスタ2DL(注2)	RMDF22	16	16	2~3PCLKB
000A 83CEh	RSCAN	受信ルール登録レジスタ3CH(注2)	GAFLPH3	16	16	2~3PCLKB
000A 83CEh	RSCAN	受信バッファレジスタ2DH(注2)	RMDF32	16	16	2~3PCLKB
000A 83D0h	RSCAN	受信ルール登録レジスタ4AL(注2)	GAFLIDL4	16	16	2~3PCLKB
000A 83D0h	RSCAN	受信バッファレジスタ3AL(注2)	RMIDL3	16	16	2~3PCLKB
000A 83D2h	RSCAN	受信ルール登録レジスタ4AH(注2)	GAFLIDH4	16	16	2~3PCLKB
000A 83D2h	RSCAN	受信バッファレジスタ3AH(注2)	RMIDH3	16	16	2~3PCLKB
000A 83D4h	RSCAN	受信ルール登録レジスタ4BL(注2)	GAFLML4	16	16	2~3PCLKB
000A 83D4h	RSCAN	受信バッファレジスタ3BL(注2)	RMST3	16	16	2~3PCLKB
000A 83D6h	RSCAN	受信ルール登録レジスタ4BH(注2)	GAFLMH4	16	16	2~3PCLKB
000A 83D6h	RSCAN	受信バッファレジスタ3BH(注2)	RMPTR3	16	16	2~3PCLKB
000A 83D8h	RSCAN	受信ルール登録レジスタ4CL(注2)	GAFLPL4	16	16	2~3PCLKB
000A 83D8h	RSCAN	受信バッファレジスタ3CL(注2)	RMDF03	16	16	2~3PCLKB
000A 83DAh	RSCAN	受信ルール登録レジスタ4CH(注2)	GAFLPH4	16	16	2~3PCLKB
000A 83DAh	RSCAN	受信バッファレジスタ3CH(注2)	RMDF13	16	16	2~3PCLKB
000A 83DCh	RSCAN	受信ルール登録レジスタ5AL(注2)	GAFLIDL5	16	16	2~3PCLKB
000A 83DCh	RSCAN	受信バッファレジスタ3DL(注2)	RMDF23	16	16	2~3PCLKB
000A 83DEh	RSCAN	受信ルール登録レジスタ5AH(注2)	GAFLIDH5	16	16	2~3PCLKB
000A 83DEh	RSCAN	受信バッファレジスタ3DH(注2)	RMDF33	16	16	2~3PCLKB
000A 83E0h	RSCAN	受信ルール登録レジスタ5BL(注2)	GAFLML5	16	16	2~3PCLKB
000A 83E0h	RSCAN	受信バッファレジスタ4AL(注2)	RMIDL4	16	16	2~3PCLKB
000A 83E2h	RSCAN	受信ルール登録レジスタ5BH(注2)	GAFLMH5	16	16	2~3PCLKB
000A 83E2h	RSCAN	受信バッファレジスタ4AH(注2)	RMIDH4	16	16	2~3PCLKB
000A 83E4h	RSCAN	受信ルール登録レジスタ5CL(注2)	GAFLPL5	16	16	2~3PCLKB
000A 83E4h	RSCAN	受信バッファレジスタ4BL(注2)	RMST4	16	16	2~3PCLKB
000A 83E6h	RSCAN	受信ルール登録レジスタ5CH(注2)	GAFLPH5	16	16	2~3PCLKB

表4.1 I/Oレジスタアドレス一覧 (24/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000A 83E6h	RSCAN	受信バッファレジスタ4BH(注2)	RMPTR4	16	16	2 ~ 3PCLKB
000A 83E8h	RSCAN	受信ルール登録レジスタ6AL(注2)	GAFLIDL6	16	16	2 ~ 3PCLKB
000A 83E8h	RSCAN	受信バッファレジスタ4CL(注2)	RMDF04	16	16	2 ~ 3PCLKB
000A 83EAh	RSCAN	受信ルール登録レジスタ6AH(注2)	GAFLIDH6	16	16	2 ~ 3PCLKB
000A 83EAh	RSCAN	受信バッファレジスタ4CH(注2)	RMDF14	16	16	2 ~ 3PCLKB
000A 83ECh	RSCAN	受信ルール登録レジスタ6BL(注2)	GAFLML6	16	16	2 ~ 3PCLKB
000A 83ECh	RSCAN	受信バッファレジスタ4DL(注2)	RMDF24	16	16	2 ~ 3PCLKB
000A 83EEh	RSCAN	受信ルール登録レジスタ6BH(注2)	GAFLMH6	16	16	2 ~ 3PCLKB
000A 83EEh	RSCAN	受信バッファレジスタ4DH(注2)	RMDF34	16	16	2 ~ 3PCLKB
000A 83F0h	RSCAN	受信ルール登録レジスタ6CL(注2)	GAFLPL6	16	16	2 ~ 3PCLKB
000A 83F0h	RSCAN	受信バッファレジスタ5AL(注2)	RMIDL5	16	16	2 ~ 3PCLKB
000A 83F2h	RSCAN	受信ルール登録レジスタ6CH(注2)	GAFLPH6	16	16	2 ~ 3PCLKB
000A 83F2h	RSCAN	受信バッファレジスタ5AH(注2)	RMIDH5	16	16	2 ~ 3PCLKB
000A 83F4h	RSCAN	受信ルール登録レジスタ7AL(注2)	GAFLIDL7	16	16	2 ~ 3PCLKB
000A 83F4h	RSCAN	受信バッファレジスタ5BL(注2)	RMTS5	16	16	2 ~ 3PCLKB
000A 83F6h	RSCAN	受信ルール登録レジスタ7AH(注2)	GAFLIDH7	16	16	2 ~ 3PCLKB
000A 83F6h	RSCAN	受信バッファレジスタ5BH(注2)	RMPTR5	16	16	2 ~ 3PCLKB
000A 83F8h	RSCAN	受信ルール登録レジスタ7BL(注2)	GAFLML7	16	16	2 ~ 3PCLKB
000A 83F8h	RSCAN	受信バッファレジスタ5CL(注2)	RMDF05	16	16	2 ~ 3PCLKB
000A 83FAh	RSCAN	受信ルール登録レジスタ7BH(注2)	GAFLMH7	16	16	2 ~ 3PCLKB
000A 83FAh	RSCAN	受信バッファレジスタ5CH(注2)	RMDF15	16	16	2 ~ 3PCLKB
000A 83FCh	RSCAN	受信ルール登録レジスタ7CL(注2)	GAFLPL7	16	16	2 ~ 3PCLKB
000A 83FCh	RSCAN	受信バッファレジスタ5DL(注2)	RMDF25	16	16	2 ~ 3PCLKB
000A 83FEh	RSCAN	受信ルール登録レジスタ7CH(注2)	GAFLPH7	16	16	2 ~ 3PCLKB
000A 83FEh	RSCAN	受信バッファレジスタ5DH(注2)	RMDF35	16	16	2 ~ 3PCLKB
000A 8400h	RSCAN	受信ルール登録レジスタ8AL(注2)	GAFLIDL8	16	16	2 ~ 3PCLKB
000A 8400h	RSCAN	受信バッファレジスタ6AL(注2)	RMIDL6	16	16	2 ~ 3PCLKB
000A 8402h	RSCAN	受信ルール登録レジスタ8AH(注2)	GAFLIDH8	16	16	2 ~ 3PCLKB
000A 8402h	RSCAN	受信バッファレジスタ6AH(注2)	RMIDH6	16	16	2 ~ 3PCLKB
000A 8404h	RSCAN	受信ルール登録レジスタ8BL(注2)	GAFLML8	16	16	2 ~ 3PCLKB
000A 8404h	RSCAN	受信バッファレジスタ6BL(注2)	RMTS6	16	16	2 ~ 3PCLKB
000A 8406h	RSCAN	受信ルール登録レジスタ8BH(注2)	GAFLMH8	16	16	2 ~ 3PCLKB
000A 8406h	RSCAN	受信バッファレジスタ6BH(注2)	RMPTR6	16	16	2 ~ 3PCLKB
000A 8408h	RSCAN	受信ルール登録レジスタ8CL(注2)	GAFLPL8	16	16	2 ~ 3PCLKB
000A 8408h	RSCAN	受信バッファレジスタ6CL(注2)	RMDF06	16	16	2 ~ 3PCLKB
000A 840Ah	RSCAN	受信ルール登録レジスタ8CH(注2)	GAFLPH8	16	16	2 ~ 3PCLKB
000A 840Ah	RSCAN	受信バッファレジスタ6CH(注2)	RMDF16	16	16	2 ~ 3PCLKB
000A 840Ch	RSCAN	受信ルール登録レジスタ9AL(注2)	GAFLIDL9	16	16	2 ~ 3PCLKB
000A 840Ch	RSCAN	受信バッファレジスタ6DL(注2)	RMDF26	16	16	2 ~ 3PCLKB
000A 840Eh	RSCAN	受信ルール登録レジスタ9AH(注2)	GAFLIDH9	16	16	2 ~ 3PCLKB
000A 840Eh	RSCAN	受信バッファレジスタ6DH(注2)	RMDF36	16	16	2 ~ 3PCLKB
000A 8410h	RSCAN	受信ルール登録レジスタ9BL(注2)	GAFLML9	16	16	2 ~ 3PCLKB
000A 8410h	RSCAN	受信バッファレジスタ7AL(注2)	RMIDL7	16	16	2 ~ 3PCLKB
000A 8412h	RSCAN	受信ルール登録レジスタ9BH(注2)	GAFLMH9	16	16	2 ~ 3PCLKB
000A 8412h	RSCAN	受信バッファレジスタ7AH(注2)	RMIDH7	16	16	2 ~ 3PCLKB
000A 8414h	RSCAN	受信ルール登録レジスタ9CL(注2)	GAFLPL9	16	16	2 ~ 3PCLKB
000A 8414h	RSCAN	受信バッファレジスタ7BL(注2)	RMTS7	16	16	2 ~ 3PCLKB
000A 8416h	RSCAN	受信ルール登録レジスタ9CH(注2)	GAFLPH9	16	16	2 ~ 3PCLKB
000A 8416h	RSCAN	受信バッファレジスタ7BH(注2)	RMPTR7	16	16	2 ~ 3PCLKB
000A 8418h	RSCAN	受信ルール登録レジスタ10AL(注2)	GAFLIDL10	16	16	2 ~ 3PCLKB
000A 8418h	RSCAN	受信バッファレジスタ7CL(注2)	RMDF07	16	16	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (25/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000A 841Ah	RSCAN	受信ルール登録レジスタ 10AH(注2)	GAFLIDH10	16	16	2 ~ 3PCLKB
000A 841Ah	RSCAN	受信バッファレジスタ 7CH(注2)	RMDF17	16	16	2 ~ 3PCLKB
000A 841Ch	RSCAN	受信ルール登録レジスタ 10BL(注2)	GAFLML10	16	16	2 ~ 3PCLKB
000A 841Ch	RSCAN	受信バッファレジスタ 7DL(注2)	RMDF27	16	16	2 ~ 3PCLKB
000A 841Eh	RSCAN	受信ルール登録レジスタ 10BH(注2)	GAFLMH10	16	16	2 ~ 3PCLKB
000A 841Eh	RSCAN	受信バッファレジスタ 7DH(注2)	RMDF37	16	16	2 ~ 3PCLKB
000A 8420h	RSCAN	受信ルール登録レジスタ 10CL(注2)	GAFLPL10	16	16	2 ~ 3PCLKB
000A 8420h	RSCAN	受信バッファレジスタ 8AL(注2)	RMIDL8	16	16	2 ~ 3PCLKB
000A 8422h	RSCAN	受信ルール登録レジスタ 10CH(注2)	GAFLPH10	16	16	2 ~ 3PCLKB
000A 8422h	RSCAN	受信バッファレジスタ 8AH(注2)	RMIDH8	16	16	2 ~ 3PCLKB
000A 8424h	RSCAN	受信ルール登録レジスタ 11AL(注2)	GAFLIDL11	16	16	2 ~ 3PCLKB
000A 8424h	RSCAN	受信バッファレジスタ 8BL(注2)	RMTS8	16	16	2 ~ 3PCLKB
000A 8426h	RSCAN	受信ルール登録レジスタ 11AH(注2)	GAFLIDH11	16	16	2 ~ 3PCLKB
000A 8426h	RSCAN	受信バッファレジスタ 8BH(注2)	RMPTR8	16	16	2 ~ 3PCLKB
000A 8428h	RSCAN	受信ルール登録レジスタ 11BL(注2)	GAFLML11	16	16	2 ~ 3PCLKB
000A 8428h	RSCAN	受信バッファレジスタ 8CL(注2)	RMDF08	16	16	2 ~ 3PCLKB
000A 842Ah	RSCAN	受信ルール登録レジスタ 11BH(注2)	GAFLMH11	16	16	2 ~ 3PCLKB
000A 842Ah	RSCAN	受信バッファレジスタ 8CH(注2)	RMDF18	16	16	2 ~ 3PCLKB
000A 842Ch	RSCAN	受信ルール登録レジスタ 11CL(注2)	GAFLPL11	16	16	2 ~ 3PCLKB
000A 842Ch	RSCAN	受信バッファレジスタ 8DL(注2)	RMDF28	16	16	2 ~ 3PCLKB
000A 842Eh	RSCAN	受信ルール登録レジスタ 11CH(注2)	GAFLPH11	16	16	2 ~ 3PCLKB
000A 842Eh	RSCAN	受信バッファレジスタ 8DH(注2)	RMDF38	16	16	2 ~ 3PCLKB
000A 8430h	RSCAN	受信ルール登録レジスタ 12AL(注2)	GAFLIDL12	16	16	2 ~ 3PCLKB
000A 8430h	RSCAN	受信バッファレジスタ 9AL(注2)	RMIDL9	16	16	2 ~ 3PCLKB
000A 8432h	RSCAN	受信ルール登録レジスタ 12AH(注2)	GAFLIDH12	16	16	2 ~ 3PCLKB
000A 8432h	RSCAN	受信バッファレジスタ 9AH(注2)	RMIDH9	16	16	2 ~ 3PCLKB
000A 8434h	RSCAN	受信ルール登録レジスタ 12BL(注2)	GAFLML12	16	16	2 ~ 3PCLKB
000A 8434h	RSCAN	受信バッファレジスタ 9BL(注2)	RMTS9	16	16	2 ~ 3PCLKB
000A 8436h	RSCAN	受信ルール登録レジスタ 12BH(注2)	GAFLMH12	16	16	2 ~ 3PCLKB
000A 8436h	RSCAN	受信バッファレジスタ 9BH(注2)	RMPTR9	16	16	2 ~ 3PCLKB
000A 8438h	RSCAN	受信ルール登録レジスタ 12CL(注2)	GAFLPL12	16	16	2 ~ 3PCLKB
000A 8438h	RSCAN	受信バッファレジスタ 9CL(注2)	RMDF09	16	16	2 ~ 3PCLKB
000A 843Ah	RSCAN	受信ルール登録レジスタ 12CH(注2)	GAFLPH12	16	16	2 ~ 3PCLKB
000A 843Ah	RSCAN	受信バッファレジスタ 9CH(注2)	RMDF19	16	16	2 ~ 3PCLKB
000A 843Ch	RSCAN	受信ルール登録レジスタ 13AL(注2)	GAFLIDL13	16	16	2 ~ 3PCLKB
000A 843Ch	RSCAN	受信バッファレジスタ 9DL(注2)	RMDF29	16	16	2 ~ 3PCLKB
000A 843Eh	RSCAN	受信ルール登録レジスタ 13AH(注2)	GAFLIDH13	16	16	2 ~ 3PCLKB
000A 843Eh	RSCAN	受信バッファレジスタ 9DH(注2)	RMDF39	16	16	2 ~ 3PCLKB
000A 8440h	RSCAN	受信ルール登録レジスタ 13BL(注2)	GAFLML13	16	16	2 ~ 3PCLKB
000A 8440h	RSCAN	受信バッファレジスタ 10AL(注2)	RMIDL10	16	16	2 ~ 3PCLKB
000A 8442h	RSCAN	受信ルール登録レジスタ 13BH(注2)	GAFLMH13	16	16	2 ~ 3PCLKB
000A 8442h	RSCAN	受信バッファレジスタ 10AH(注2)	RMIDH10	16	16	2 ~ 3PCLKB
000A 8444h	RSCAN	受信ルール登録レジスタ 13CL(注2)	GAFLPL13	16	16	2 ~ 3PCLKB
000A 8444h	RSCAN	受信バッファレジスタ 10BL(注2)	RMTS10	16	16	2 ~ 3PCLKB
000A 8446h	RSCAN	受信ルール登録レジスタ 13CH(注2)	GAFLPH13	16	16	2 ~ 3PCLKB
000A 8446h	RSCAN	受信バッファレジスタ 10BH(注2)	RMPTR10	16	16	2 ~ 3PCLKB
000A 8448h	RSCAN	受信ルール登録レジスタ 14AL(注2)	GAFLIDL14	16	16	2 ~ 3PCLKB
000A 8448h	RSCAN	受信バッファレジスタ 10CL(注2)	RMDF010	16	16	2 ~ 3PCLKB
000A 844Ah	RSCAN	受信ルール登録レジスタ 14AH(注2)	GAFLIDH14	16	16	2 ~ 3PCLKB
000A 844Ah	RSCAN	受信バッファレジスタ 10CH(注2)	RMDF110	16	16	2 ~ 3PCLKB
000A 844Ch	RSCAN	受信ルール登録レジスタ 14BL(注2)	GAFLML14	16	16	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (26/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000A 844Ch	RSCAN	受信バッファレジスタ 10DL(注2)	RMDF210	16	16	2 ~ 3PCLKB
000A 844Eh	RSCAN	受信ルール登録レジスタ 14BH(注2)	GAFLMH14	16	16	2 ~ 3PCLKB
000A 844Eh	RSCAN	受信バッファレジスタ 10DH(注2)	RMDF310	16	16	2 ~ 3PCLKB
000A 8450h	RSCAN	受信ルール登録レジスタ 14CL(注2)	GAFLPL14	16	16	2 ~ 3PCLKB
000A 8450h	RSCAN	受信バッファレジスタ 11AL(注2)	RMIDL11	16	16	2 ~ 3PCLKB
000A 8452h	RSCAN	受信ルール登録レジスタ 14CH(注2)	GAFLPH14	16	16	2 ~ 3PCLKB
000A 8452h	RSCAN	受信バッファレジスタ 11AH(注2)	RMIDH11	16	16	2 ~ 3PCLKB
000A 8454h	RSCAN	受信ルール登録レジスタ 15AL(注2)	GAFLIDL15	16	16	2 ~ 3PCLKB
000A 8454h	RSCAN	受信バッファレジスタ 11BL(注2)	RMTS11	16	16	2 ~ 3PCLKB
000A 8456h	RSCAN	受信ルール登録レジスタ 15AH(注2)	GAFLIDH15	16	16	2 ~ 3PCLKB
000A 8456h	RSCAN	受信バッファレジスタ 11BH(注2)	RMPTR11	16	16	2 ~ 3PCLKB
000A 8458h	RSCAN	受信ルール登録レジスタ 15BL(注2)	GAFLML15	16	16	2 ~ 3PCLKB
000A 8458h	RSCAN	受信バッファレジスタ 11CL(注2)	RMDF011	16	16	2 ~ 3PCLKB
000A 845Ah	RSCAN	受信ルール登録レジスタ 15BH(注2)	GAFLMH15	16	16	2 ~ 3PCLKB
000A 845Ah	RSCAN	受信バッファレジスタ 11CH(注2)	RMDF111	16	16	2 ~ 3PCLKB
000A 845Ch	RSCAN	受信ルール登録レジスタ 15CL(注2)	GAFLPL15	16	16	2 ~ 3PCLKB
000A 845Ch	RSCAN	受信バッファレジスタ 11DL(注2)	RMDF211	16	16	2 ~ 3PCLKB
000A 845Eh	RSCAN	受信ルール登録レジスタ 15CH(注2)	GAFLPH15	16	16	2 ~ 3PCLKB
000A 845Eh	RSCAN	受信バッファレジスタ 11DH(注2)	RMDF311	16	16	2 ~ 3PCLKB
000A 8460h	RSCAN	受信バッファレジスタ 12AL(注2)	RMIDL12	16	16	2 ~ 3PCLKB
000A 8462h	RSCAN	受信バッファレジスタ 12AH(注2)	RMIDH12	16	16	2 ~ 3PCLKB
000A 8464h	RSCAN	受信バッファレジスタ 12BL(注2)	RMTS12	16	16	2 ~ 3PCLKB
000A 8466h	RSCAN	受信バッファレジスタ 12BH(注2)	RMPTR12	16	16	2 ~ 3PCLKB
000A 8468h	RSCAN	受信バッファレジスタ 12CL(注2)	RMDF012	16	16	2 ~ 3PCLKB
000A 846Ah	RSCAN	受信バッファレジスタ 12CH(注2)	RMDF112	16	16	2 ~ 3PCLKB
000A 846Ch	RSCAN	受信バッファレジスタ 12DL(注2)	RMDF212	16	16	2 ~ 3PCLKB
000A 846Eh	RSCAN	受信バッファレジスタ 12DH(注2)	RMDF312	16	16	2 ~ 3PCLKB
000A 8470h	RSCAN	受信バッファレジスタ 13AL(注2)	RMIDL13	16	16	2 ~ 3PCLKB
000A 8472h	RSCAN	受信バッファレジスタ 13AH(注2)	RMIDH13	16	16	2 ~ 3PCLKB
000A 8474h	RSCAN	受信バッファレジスタ 13BL(注2)	RMTS13	16	16	2 ~ 3PCLKB
000A 8476h	RSCAN	受信バッファレジスタ 13BH(注2)	RMPTR13	16	16	2 ~ 3PCLKB
000A 8478h	RSCAN	受信バッファレジスタ 13CL(注2)	RMDF013	16	16	2 ~ 3PCLKB
000A 847Ah	RSCAN	受信バッファレジスタ 13CH(注2)	RMDF113	16	16	2 ~ 3PCLKB
000A 847Ch	RSCAN	受信バッファレジスタ 13DL(注2)	RMDF213	16	16	2 ~ 3PCLKB
000A 847Eh	RSCAN	受信バッファレジスタ 13DH(注2)	RMDF313	16	16	2 ~ 3PCLKB
000A 8480h	RSCAN	受信バッファレジスタ 14AL(注2)	RMIDL14	16	16	2 ~ 3PCLKB
000A 8482h	RSCAN	受信バッファレジスタ 14AH(注2)	RMIDH14	16	16	2 ~ 3PCLKB
000A 8484h	RSCAN	受信バッファレジスタ 14BL(注2)	RMTS14	16	16	2 ~ 3PCLKB
000A 8486h	RSCAN	受信バッファレジスタ 14BH(注2)	RMPTR14	16	16	2 ~ 3PCLKB
000A 8488h	RSCAN	受信バッファレジスタ 14CL(注2)	RMDF014	16	16	2 ~ 3PCLKB
000A 848Ah	RSCAN	受信バッファレジスタ 14CH(注2)	RMDF114	16	16	2 ~ 3PCLKB
000A 848Ch	RSCAN	受信バッファレジスタ 14DL(注2)	RMDF214	16	16	2 ~ 3PCLKB
000A 848Eh	RSCAN	受信バッファレジスタ 14DH(注2)	RMDF314	16	16	2 ~ 3PCLKB
000A 8490h	RSCAN	受信バッファレジスタ 15AL(注2)	RMIDL15	16	16	2 ~ 3PCLKB
000A 8492h	RSCAN	受信バッファレジスタ 15AH(注2)	RMIDH15	16	16	2 ~ 3PCLKB
000A 8494h	RSCAN	受信バッファレジスタ 15BL(注2)	RMTS15	16	16	2 ~ 3PCLKB
000A 8496h	RSCAN	受信バッファレジスタ 15BH(注2)	RMPTR15	16	16	2 ~ 3PCLKB
000A 8498h	RSCAN	受信バッファレジスタ 15CL(注2)	RMDF015	16	16	2 ~ 3PCLKB
000A 849Ah	RSCAN	受信バッファレジスタ 15CH(注2)	RMDF115	16	16	2 ~ 3PCLKB
000A 849Ch	RSCAN	受信バッファレジスタ 15DL(注2)	RMDF215	16	16	2 ~ 3PCLKB
000A 849Eh	RSCAN	受信バッファレジスタ 15DH(注2)	RMDF315	16	16	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (27/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000A 8580h ~ 000A 859Fh	RSCAN	RAMテストレジスタ0~15(注2)	RPGACC0~15	16	16	2~3PCLKB
000A 85A0h	RSCAN	受信FIFOアクセスレジスタ0AL(注2)	RFIDL0	16	16	2~3PCLKB
000A 85A0h	RSCAN	RAMテストレジスタ16(注2)	RPGACC16	16	16	2~3PCLKB
000A 85A2h	RSCAN	受信FIFOアクセスレジスタ0AH(注2)	RFIDH0	16	16	2~3PCLKB
000A 85A2h	RSCAN	RAMテストレジスタ17(注2)	RPGACC17	16	16	2~3PCLKB
000A 85A4h	RSCAN	受信FIFOアクセスレジスタ0BL(注2)	RFTS0	16	16	2~3PCLKB
000A 85A4h	RSCAN	RAMテストレジスタ18(注2)	RPGACC18	16	16	2~3PCLKB
000A 85A6h	RSCAN	受信FIFOアクセスレジスタ0BH(注2)	RFPTR0	16	16	2~3PCLKB
000A 85A6h	RSCAN	RAMテストレジスタ19(注2)	RPGACC19	16	16	2~3PCLKB
000A 85A8h	RSCAN	受信FIFOアクセスレジスタ0CL(注2)	RFDF00	16	16	2~3PCLKB
000A 85A8h	RSCAN	RAMテストレジスタ20(注2)	RPGACC20	16	16	2~3PCLKB
000A 85AAh	RSCAN	受信FIFOアクセスレジスタ0CH(注2)	RFDF10	16	16	2~3PCLKB
000A 85AAh	RSCAN	RAMテストレジスタ21(注2)	RPGACC21	16	16	2~3PCLKB
000A 85ACh	RSCAN	受信FIFOアクセスレジスタ0DL(注2)	RFDF20	16	16	2~3PCLKB
000A 85ACh	RSCAN	RAMテストレジスタ22(注2)	RPGACC22	16	16	2~3PCLKB
000A 85AEh	RSCAN	受信FIFOアクセスレジスタ0DH(注2)	RFDF30	16	16	2~3PCLKB
000A 85AEh	RSCAN	RAMテストレジスタ23(注2)	RPGACC23	16	16	2~3PCLKB
000A 85B0h	RSCAN	受信FIFOアクセスレジスタ1AL(注2)	RFIDL1	16	16	2~3PCLKB
000A 85B0h	RSCAN	RAMテストレジスタ24(注2)	RPGACC24	16	16	2~3PCLKB
000A 85B2h	RSCAN	受信FIFOアクセスレジスタ1AH(注2)	RFIDH1	16	16	2~3PCLKB
000A 85B2h	RSCAN	RAMテストレジスタ25(注2)	RPGACC25	16	16	2~3PCLKB
000A 85B4h	RSCAN	受信FIFOアクセスレジスタ1BL(注2)	RFTS1	16	16	2~3PCLKB
000A 85B4h	RSCAN	RAMテストレジスタ26(注2)	RPGACC26	16	16	2~3PCLKB
000A 85B6h	RSCAN	受信FIFOアクセスレジスタ1BH(注2)	RFPTR1	16	16	2~3PCLKB
000A 85B6h	RSCAN	RAMテストレジスタ27(注2)	RPGACC27	16	16	2~3PCLKB
000A 85B8h	RSCAN	受信FIFOアクセスレジスタ1CL(注2)	RFDF01	16	16	2~3PCLKB
000A 85B8h	RSCAN	RAMテストレジスタ28(注2)	RPGACC28	16	16	2~3PCLKB
000A 85BAh	RSCAN	受信FIFOアクセスレジスタ1CH(注2)	RFDF11	16	16	2~3PCLKB
000A 85BAh	RSCAN	RAMテストレジスタ29(注2)	RPGACC29	16	16	2~3PCLKB
000A 85BCh	RSCAN	受信FIFOアクセスレジスタ1DL(注2)	RFDF21	16	16	2~3PCLKB
000A 85BCh	RSCAN	RAMテストレジスタ30(注2)	RPGACC30	16	16	2~3PCLKB
000A 85BEh	RSCAN	受信FIFOアクセスレジスタ1DH(注2)	RFDF31	16	16	2~3PCLKB
000A 85BEh	RSCAN	RAMテストレジスタ31(注2)	RPGACC31	16	16	2~3PCLKB
000A 85C0h ~ 000A 85DEh	RSCAN	RAMテストレジスタ32~47(注2)	RPGACC32~47	16	16	2~3PCLKB
000A 85E0h	RSCAN0	送受信FIFOアクセスレジスタ0AL(注2)	CFIDL0	16	16	2~3PCLKB
000A 85E0h	RSCAN	RAMテストレジスタ48(注2)	RPGACC48	16	16	2~3PCLKB
000A 85E2h	RSCAN0	送受信FIFOアクセスレジスタ0AH(注2)	CFIDH0	16	16	2~3PCLKB
000A 85E2h	RSCAN	RAMテストレジスタ49(注2)	RPGACC49	16	16	2~3PCLKB
000A 85E4h	RSCAN0	送受信FIFOアクセスレジスタ0BL(注2)	CFTS0	16	16	2~3PCLKB
000A 85E4h	RSCAN	RAMテストレジスタ50(注2)	RPGACC50	16	16	2~3PCLKB
000A 85E6h	RSCAN0	送受信FIFOアクセスレジスタ0BH(注2)	CFPTR0	16	16	2~3PCLKB
000A 85E6h	RSCAN	RAMテストレジスタ51(注2)	RPGACC51	16	16	2~3PCLKB
000A 85E8h	RSCAN0	送受信FIFOアクセスレジスタ0CL(注2)	CFDF00	16	16	2~3PCLKB
000A 85E8h	RSCAN	RAMテストレジスタ52(注2)	RPGACC52	16	16	2~3PCLKB
000A 85EAh	RSCAN0	送受信FIFOアクセスレジスタ0CH(注2)	CFDF10	16	16	2~3PCLKB
000A 85EAh	RSCAN	RAMテストレジスタ53(注2)	RPGACC53	16	16	2~3PCLKB
000A 85ECh	RSCAN0	送受信FIFOアクセスレジスタ0DL(注2)	CFDF20	16	16	2~3PCLKB
000A 85ECh	RSCAN	RAMテストレジスタ54(注2)	RPGACC54	16	16	2~3PCLKB
000A 85EEh	RSCAN0	送受信FIFOアクセスレジスタ0DH(注2)	CFDF30	16	16	2~3PCLKB

表4.1 I/Oレジスタアドレス一覧 (28/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000A 85EEh	RSCAN	RAMテストレジスタ 55(注2)	RPGACC55	16	16	2 ~ 3PCLKB
000A 85F0h ~ 000A 85FEh	RSCAN	RAMテストレジスタ 56 ~ 63(注2)	RPGACC56 ~ 63	16	16	2 ~ 3PCLKB
000A 8600h	RSCAN0	送信バッファレジスタ 0AL(注2)	TMIDL0	16	16	2 ~ 3PCLKB
000A 8600h	RSCAN	RAMテストレジスタ 64(注2)	RPGACC64	16	16	2 ~ 3PCLKB
000A 8602h	RSCAN0	送信バッファレジスタ 0AH(注2)	TMIDH0	16	16	2 ~ 3PCLKB
000A 8602h	RSCAN	RAMテストレジスタ 65(注2)	RPGACC65	16	16	2 ~ 3PCLKB
000A 8604h	RSCAN	RAMテストレジスタ 66(注2)	RPGACC66	16	16	2 ~ 3PCLKB
000A 8606h	RSCAN0	送信バッファレジスタ 0BH(注2)	TMPTR0	16	16	2 ~ 3PCLKB
000A 8606h	RSCAN	RAMテストレジスタ 67(注2)	RPGACC67	16	16	2 ~ 3PCLKB
000A 8608h	RSCAN0	送信バッファレジスタ 0CL(注2)	TMDF00	16	16	2 ~ 3PCLKB
000A 8608h	RSCAN	RAMテストレジスタ 68(注2)	RPGACC68	16	16	2 ~ 3PCLKB
000A 860Ah	RSCAN0	送信バッファレジスタ 0CH(注2)	TMDF10	16	16	2 ~ 3PCLKB
000A 860Ah	RSCAN	RAMテストレジスタ 69(注2)	RPGACC69	16	16	2 ~ 3PCLKB
000A 860Ch	RSCAN0	送信バッファレジスタ 0DL(注2)	TMDF20	16	16	2 ~ 3PCLKB
000A 860Ch	RSCAN	RAMテストレジスタ 70(注2)	RPGACC70	16	16	2 ~ 3PCLKB
000A 860Eh	RSCAN0	送信バッファレジスタ 0DH(注2)	TMDF30	16	16	2 ~ 3PCLKB
000A 860Eh	RSCAN	RAMテストレジスタ 71(注2)	RPGACC71	16	16	2 ~ 3PCLKB
000A 8610h	RSCAN0	送信バッファレジスタ 1AL(注2)	TMIDL1	16	16	2 ~ 3PCLKB
000A 8610h	RSCAN	RAMテストレジスタ 72(注2)	RPGACC72	16	16	2 ~ 3PCLKB
000A 8612h	RSCAN0	送信バッファレジスタ 1AH(注2)	TMIDH1	16	16	2 ~ 3PCLKB
000A 8612h	RSCAN	RAMテストレジスタ 73(注2)	RPGACC73	16	16	2 ~ 3PCLKB
000A 8614h	RSCAN	RAMテストレジスタ 74(注2)	RPGACC74	16	16	2 ~ 3PCLKB
000A 8616h	RSCAN0	送信バッファレジスタ 1BH(注2)	TMPTR1	16	16	2 ~ 3PCLKB
000A 8616h	RSCAN	RAMテストレジスタ 75(注2)	RPGACC75	16	16	2 ~ 3PCLKB
000A 8618h	RSCAN0	送信バッファレジスタ 1CL(注2)	TMDF01	16	16	2 ~ 3PCLKB
000A 8618h	RSCAN	RAMテストレジスタ 76(注2)	RPGACC76	16	16	2 ~ 3PCLKB
000A 861Ah	RSCAN0	送信バッファレジスタ 1CH(注2)	TMDF11	16	16	2 ~ 3PCLKB
000A 861Ah	RSCAN	RAMテストレジスタ 77(注2)	RPGACC77	16	16	2 ~ 3PCLKB
000A 861Ch	RSCAN0	送信バッファレジスタ 1DL(注2)	TMDF21	16	16	2 ~ 3PCLKB
000A 861Ch	RSCAN	RAMテストレジスタ 78(注2)	RPGACC78	16	16	2 ~ 3PCLKB
000A 861Eh	RSCAN0	送信バッファレジスタ 1DH(注2)	TMDF31	16	16	2 ~ 3PCLKB
000A 861Eh	RSCAN	RAMテストレジスタ 79(注2)	RPGACC79	16	16	2 ~ 3PCLKB
000A 8620h	RSCAN0	送信バッファレジスタ 2AL(注2)	TMIDL2	16	16	2 ~ 3PCLKB
000A 8620h	RSCAN	RAMテストレジスタ 80(注2)	RPGACC80	16	16	2 ~ 3PCLKB
000A 8622h	RSCAN0	送信バッファレジスタ 2AH(注2)	TMIDH2	16	16	2 ~ 3PCLKB
000A 8622h	RSCAN	RAMテストレジスタ 81(注2)	RPGACC81	16	16	2 ~ 3PCLKB
000A 8624h	RSCAN	RAMテストレジスタ 82(注2)	RPGACC82	16	16	2 ~ 3PCLKB
000A 8626h	RSCAN0	送信バッファレジスタ 2BH(注2)	TMPTR2	16	16	2 ~ 3PCLKB
000A 8626h	RSCAN	RAMテストレジスタ 83(注2)	RPGACC83	16	16	2 ~ 3PCLKB
000A 8628h	RSCAN0	送信バッファレジスタ 2CL(注2)	TMDF02	16	16	2 ~ 3PCLKB
000A 8628h	RSCAN	RAMテストレジスタ 84(注2)	RPGACC84	16	16	2 ~ 3PCLKB
000A 862Ah	RSCAN0	送信バッファレジスタ 2CH(注2)	TMDF12	16	16	2 ~ 3PCLKB
000A 862Ah	RSCAN	RAMテストレジスタ 85(注2)	RPGACC85	16	16	2 ~ 3PCLKB
000A 862Ch	RSCAN0	送信バッファレジスタ 2DL(注2)	TMDF22	16	16	2 ~ 3PCLKB
000A 862Ch	RSCAN	RAMテストレジスタ 86(注2)	RPGACC86	16	16	2 ~ 3PCLKB
000A 862Eh	RSCAN0	送信バッファレジスタ 2DH(注2)	TMDF32	16	16	2 ~ 3PCLKB
000A 862Eh	RSCAN	RAMテストレジスタ 87(注2)	RPGACC87	16	16	2 ~ 3PCLKB
000A 8630h	RSCAN0	送信バッファレジスタ 3AL(注2)	TMIDL3	16	16	2 ~ 3PCLKB
000A 8630h	RSCAN	RAMテストレジスタ 88(注2)	RPGACC88	16	16	2 ~ 3PCLKB
000A 8632h	RSCAN0	送信バッファレジスタ 3AH(注2)	TMIDH3	16	16	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧 (29/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000A 8632h	RSCAN	RAMテストレジスタ 89(注2)	RPGACC89	16	16	2 ~ 3PCLKB
000A 8634h	RSCAN	RAMテストレジスタ 90(注2)	RPGACC90	16	16	2 ~ 3PCLKB
000A 8636h	RSCAN0	送信バッファレジスタ 3BH(注2)	TMPTR3	16	16	2 ~ 3PCLKB
000A 8636h	RSCAN	RAMテストレジスタ 91(注2)	RPGACC91	16	16	2 ~ 3PCLKB
000A 8638h	RSCAN0	送信バッファレジスタ 3CL(注2)	TMDf03	16	16	2 ~ 3PCLKB
000A 8638h	RSCAN	RAMテストレジスタ 92(注2)	RPGACC92	16	16	2 ~ 3PCLKB
000A 863Ah	RSCAN0	送信バッファレジスタ 3CH(注2)	TMDf13	16	16	2 ~ 3PCLKB
000A 863Ah	RSCAN	RAMテストレジスタ 93(注2)	RPGACC93	16	16	2 ~ 3PCLKB
000A 863Ch	RSCAN0	送信バッファレジスタ 3DL(注2)	TMDf23	16	16	2 ~ 3PCLKB
000A 863Ch	RSCAN	RAMテストレジスタ 94(注2)	RPGACC94	16	16	2 ~ 3PCLKB
000A 863Eh	RSCAN0	送信バッファレジスタ 3DH(注2)	TMDf33	16	16	2 ~ 3PCLKB
000A 863Eh	RSCAN	RAMテストレジスタ 95(注2)	RPGACC95	16	16	2 ~ 3PCLKB
000A 8640h ~ 000A 867Eh	RSCAN	RAMテストレジスタ 96 ~ 127(注2)	RPGACC96 ~ 127	16	16	2 ~ 3PCLKB
000A 8680h	RSCAN0	送信履歴バッファアクセスレジスタ(注2)	THLACC0	16	16	2 ~ 3PCLKB
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4 ~ 5PCLKA
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8, 16	4 ~ 5PCLKA
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32	4 ~ 5PCLKA
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4 ~ 5PCLKA
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	4 ~ 5PCLKA
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8	4 ~ 5PCLKA
000C 120Dh	MTU	タイマゲートコントロールレジスタ	TGCRA	8	8	4 ~ 5PCLKA
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8, 16	4 ~ 5PCLKA
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8	4 ~ 5PCLKA
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16, 32	4 ~ 5PCLKA
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA
000C 1214h	MTU	タイマ周期データレジスタA	TCDRA	16	16, 32	4 ~ 5PCLKA
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	4 ~ 5PCLKA
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 1220h	MTU	タイマサバカウンタA	TCNTSA	16	16, 32	4 ~ 5PCLKA
000C 1222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16	4 ~ 5PCLKA
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8, 16	4 ~ 5PCLKA
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8, 16	4 ~ 5PCLKA
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4 ~ 5PCLKA
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	4 ~ 5PCLKA
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4 ~ 5PCLKA
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	4 ~ 5PCLKA
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧 (30/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4 ~ 5PCLKA
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	4 ~ 5PCLKA
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	4 ~ 5PCLKA
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4 ~ 5PCLKA
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4 ~ 5PCLKA
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4 ~ 5PCLKA
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4 ~ 5PCLKA
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4 ~ 5PCLKA
000C 124Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 124Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	4 ~ 5PCLKA
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	4 ~ 5PCLKA
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8, 16	4 ~ 5PCLKA
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	4 ~ 5PCLKA
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4 ~ 5PCLKA
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	4 ~ 5PCLKA
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ0	NFCR0	8	8	4 ~ 5PCLKA
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ1	NFCR1	8	8	4 ~ 5PCLKA
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ2	NFCR2	8	8	4 ~ 5PCLKA
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ3	NFCR3	8	8	4 ~ 5PCLKA
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ4	NFCR4	8	8	4 ~ 5PCLKA
000C 1296h	MTU9	ノイズフィルタコントロールレジスタ9	NFCR9	8	8	4 ~ 5PCLKA
000C 1299h	MTU0	ノイズフィルタコントロールレジスタC	NFCRC	8	8	4 ~ 5PCLKA
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA
000C 1308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 130Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 130Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA
000C 130Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA
000C 1320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16, 32	4 ~ 5PCLKA
000C 1322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16	4 ~ 5PCLKA
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA
000C 1328h	MTU0	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8, 16	4 ~ 5PCLKA
000C 1381h	MTU1	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4 ~ 5PCLKA
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA
000C 1388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 138Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧 (31/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000C 1391h	MTU1	タイマモードレジスタ3	TMDR3	8	8	4 ~ 5PCLKA
000C 1394h	MTU1	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 13A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32	4 ~ 5PCLKA
000C 13A4h	MTU1	タイマロングワードジェネラルレジスタ	TGRALW	32	32	4 ~ 5PCLKA
000C 13A8h	MTU1	タイマロングワードジェネラルレジスタ	TGRBLW	32	32	4 ~ 5PCLKA
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8, 16	4 ~ 5PCLKA
000C 1401h	MTU2	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA
000C 1402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	4 ~ 5PCLKA
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA
000C 1408h	MTU2	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 140Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 140Ch	MTU2	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 1580h	MTU9	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA
000C 1581h	MTU9	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA
000C 1582h	MTU9	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA
000C 1583h	MTU9	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA
000C 1584h	MTU9	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA
000C 1586h	MTU9	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA
000C 1588h	MTU9	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 158Ah	MTU9	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 158Ch	MTU9	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA
000C 158Eh	MTU9	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA
000C 15A0h	MTU9	タイマジェネラルレジスタE	TGRE	16	16, 32	4 ~ 5PCLKA
000C 15A2h	MTU9	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA
000C 15A4h	MTU9	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16	4 ~ 5PCLKA
000C 15A6h	MTU9	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA
000C 15A8h	MTU9	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	4 ~ 5PCLKA
000C 1A02h	MTU6	タイマモードレジスタ1	TMDR1	8	8, 16	4 ~ 5PCLKA
000C 1A03h	MTU7	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA
000C 1A04h	MTU6	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32	4 ~ 5PCLKA
000C 1A05h	MTU6	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA
000C 1A06h	MTU7	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA
000C 1A07h	MTU7	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4 ~ 5PCLKA
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	4 ~ 5PCLKA
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタB	TOERB	8	8	4 ~ 5PCLKA
000C 1A0Dh	MTU	タイマゲートコントロールレジスタ	TGCRB	8	8	4 ~ 5PCLKA
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ1B	TOCR1B	8	8, 16	4 ~ 5PCLKA
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ2B	TOCR2B	8	8	4 ~ 5PCLKA
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16, 32	4 ~ 5PCLKA
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA
000C 1A14h	MTU	タイマ周期データレジスタB	TCDRB	16	16, 32	4 ~ 5PCLKA
000C 1A16h	MTU	タイマデッドタイムデータレジスタB	TDDRb	16	16	4 ~ 5PCLKA
000C 1A18h	MTU6	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 1A1Ah	MTU6	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 1A1Ch	MTU7	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 1A1Eh	MTU7	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧 (32/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000C 1A20h	MTU	タイマサブカウンタB	TCNTSB	16	16, 32	4 ~ 5PCLKA
000C 1A22h	MTU	タイマ周期バッファレジスタB	TCBRB	16	16	4 ~ 5PCLKA
000C 1A24h	MTU6	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA
000C 1A26h	MTU6	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA
000C 1A28h	MTU7	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA
000C 1A2Ah	MTU7	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8, 16	4 ~ 5PCLKA
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ1B	TITCR1B	8	8, 16	4 ~ 5PCLKA
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	8	8	4 ~ 5PCLKA
000C 1A32h	MTU	タイマバッファ転送設定レジスタB	TBTERB	8	8	4 ~ 5PCLKA
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタB	TDERB	8	8	4 ~ 5PCLKA
000C 1A36h	MTU	タイマアウトプットレベルバッファレジスタB	TOLBRB	8	8	4 ~ 5PCLKA
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4 ~ 5PCLKA
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタB	TITMRB	8	8	4 ~ 5PCLKA
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	8	8	4 ~ 5PCLKA
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	8	8	4 ~ 5PCLKA
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4 ~ 5PCLKA
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4 ~ 5PCLKA
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4 ~ 5PCLKA
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4 ~ 5PCLKA
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4 ~ 5PCLKA
000C 1A4Ch	MTU6	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 1A4Dh	MTU7	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 1A50h	MTU6	タイマシンクロクリアレジスタ	TSYCR	8	8	4 ~ 5PCLKA
000C 1A60h	MTU	タイマ波形コントロールレジスタB	TWCRB	8	8	4 ~ 5PCLKA
000C 1A70h	MTU	タイマモードレジスタ2B	TMDR2B	8	8	4 ~ 5PCLKA
000C 1A72h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA
000C 1A74h	MTU7	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA
000C 1A76h	MTU7	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8, 16	4 ~ 5PCLKA
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	4 ~ 5PCLKA
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	4 ~ 5PCLKA
000C 1A93h	MTU6	ノイズフィルタコントロールレジスタ6	NFCR6	8	8	4 ~ 5PCLKA
000C 1A94h	MTU7	ノイズフィルタコントロールレジスタ7	NFCR7	8	8	4 ~ 5PCLKA
000C 1A95h	MTU5	ノイズフィルタコントロールレジスタ5	NFCR5	8	8	4 ~ 5PCLKA
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16, 32	4 ~ 5PCLKA
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	4 ~ 5PCLKA
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	4 ~ 5PCLKA
000C 1C85h	MTU5	タイマコントロールレジスタ2U	TCR2U	8	8	4 ~ 5PCLKA
000C 1C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	4 ~ 5PCLKA
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16, 32	4 ~ 5PCLKA
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	4 ~ 5PCLKA
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	4 ~ 5PCLKA
000C 1C95h	MTU5	タイマコントロールレジスタ2V	TCR2V	8	8	4 ~ 5PCLKA
000C 1C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	4 ~ 5PCLKA
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16, 32	4 ~ 5PCLKA
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	4 ~ 5PCLKA
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	4 ~ 5PCLKA
000C 1CA5h	MTU5	タイマコントロールレジスタ2W	TCR2W	8	8	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧 (33/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	4 ~ 5PCLKA
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	4 ~ 5PCLKA
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	4 ~ 5PCLKA
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4 ~ 5PCLKA
000C 1D30h	MTU	A/D変換開始要求選択レジスタ0	TADSTRGR0	8	8	4 ~ 5PCLKA
000C 1D32h	MTU	A/D変換開始要求選択レジスタ1	TADSTRGR1	8	8	4 ~ 5PCLKA
000C 2000h	GPT	汎用PWMタイマソフトウェアスタートレジスタ(注2)	GTSTR	16	8, 16, 32	4 ~ 5PCLKA
000C 2002h	GPT	ノイズフィルタ制御レジスタ(注2)	NFCR	16	16, 32	4 ~ 5PCLKA
000C 2004h	GPT	汎用PWMタイマハードウェア要因スタートコントロールレジスタ(注2)	GTHSCR	16	8, 16, 32	4 ~ 5PCLKA
000C 2006h	GPT	汎用PWMタイマハードウェア要因クリアコントロールレジスタ(注2)	GTHCCR	16	8, 16, 32	4 ~ 5PCLKA
000C 2008h	GPT	汎用PWMタイマハードウェアスタート要因セレクトレジスタ(注2)	GTHSSR	16	8, 16, 32	4 ~ 5PCLKA
000C 200Ah	GPT	汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ(注2)	GTHPSR	16	8, 16, 32	4 ~ 5PCLKA
000C 200Ch	GPT	汎用PWMタイマ書き込み保護レジスタ(注2)	GTWP	16	8, 16, 32	4 ~ 5PCLKA
000C 200Eh	GPT	汎用PWMタイマシンクロレジスタ(注2)	GTSYNC	16	8, 16, 32	4 ~ 5PCLKA
000C 2010h	GPT	汎用PWMタイマ外部トリガ入力割り込みレジスタ(注2)	GTETINT	16	8, 16, 32	4 ~ 5PCLKA
000C 2014h	GPT	汎用PWMタイマバッファ動作禁止レジスタ(注2)	GTBDR	16	8, 16, 32	4 ~ 5PCLKA
000C 2018h	GPT	汎用PWMタイマスタート書き込み保護レジスタ(注2)	GTSWP	16	8, 16, 32	4 ~ 5PCLKA
000C 201Ch	GPT	汎用PWMタイマクリア書き込み保護レジスタ(注2)	GTCWP	16	8, 16, 32	4 ~ 5PCLKA
000C 2020h	GPT	汎用PWMタイマ共通レジスタ書き込み保護レジスタ(注2)	GTCMNWP	16	8, 16, 32	4 ~ 5PCLKA
000C 2024h	GPT	汎用PWMタイマモードレジスタ(注2)	GTMDR	16	8, 16, 32	4 ~ 5PCLKA
000C 2028h	GPT	汎用PWMタイマ外部クロックノイズフィルタコントロールレジスタ(注2)	GTECNFCR	32	8, 16, 32	4 ~ 5PCLKA
000C 202Ch	GPT	汎用PWMタイマA/D変換開始要求信号モニタレジスタ(注2)	GTADSMR	32	8, 16, 32	4 ~ 5PCLKA
000C 2100h	GPT0	汎用PWMタイマI/Oコントロールレジスタ(注2)	GTIOR	16	8, 16, 32	4 ~ 5PCLKA
000C 2102h	GPT0	汎用PWMタイマ割り込み出力設定レジスタ(注2)	GTINTAD	16	8, 16, 32	4 ~ 5PCLKA
000C 2104h	GPT0	汎用PWMタイマコントロールレジスタ(注2)	GTCR	16	8, 16, 32	4 ~ 5PCLKA
000C 2106h	GPT0	汎用PWMタイマバッファイネーブルレジスタ(注2)	GTBER	16	8, 16, 32	4 ~ 5PCLKA
000C 2108h	GPT0	汎用PWMタイマカウント方向レジスタ(注2)	GTUDC	16	8, 16, 32	4 ~ 5PCLKA
000C 210Ah	GPT0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ(注2)	GTITC	16	8, 16, 32	4 ~ 5PCLKA
000C 210Ch	GPT0	汎用PWMタイマステータスレジスタ(注2)	GTST	16	8, 16, 32	4 ~ 5PCLKA
000C 210Eh	GPT0	汎用PWMタイマカウンタ(注2)	GTCNT	16	16	4 ~ 5PCLKA
000C 2110h	GPT0	汎用PWMタイマコンペアキャプチャレジスタA(注2)	GTCCRA	16	16, 32	4 ~ 5PCLKA
000C 2112h	GPT0	汎用PWMタイマコンペアキャプチャレジスタB(注2)	GTCCRB	16	16, 32	4 ~ 5PCLKA
000C 2114h	GPT0	汎用PWMタイマコンペアキャプチャレジスタC(注2)	GTCCRC	16	16, 32	4 ~ 5PCLKA
000C 2116h	GPT0	汎用PWMタイマコンペアキャプチャレジスタD(注2)	GTCCRD	16	16, 32	4 ~ 5PCLKA
000C 2118h	GPT0	汎用PWMタイマコンペアキャプチャレジスタE(注2)	GTCCRE	16	16, 32	4 ~ 5PCLKA
000C 211Ah	GPT0	汎用PWMタイマコンペアキャプチャレジスタF(注2)	GTCCRF	16	16, 32	4 ~ 5PCLKA
000C 211Ch	GPT0	汎用PWMタイマ周期設定レジスタ(注2)	GTPR	16	16, 32	4 ~ 5PCLKA
000C 211Eh	GPT0	汎用PWMタイマ周期設定バッファレジスタ(注2)	GTPBR	16	16, 32	4 ~ 5PCLKA
000C 2120h	GPT0	汎用PWMタイマ周期設定ダブルバッファレジスタ(注2)	GTPDBR	16	16, 32	4 ~ 5PCLKA
000C 2124h	GPT0	A/D変換開始要求タイミングレジスタA(注2)	GTADTRA	16	16, 32	4 ~ 5PCLKA
000C 2126h	GPT0	A/D変換開始要求タイミングバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 2128h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 212Ch	GPT0	A/D変換開始要求タイミングレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 212Eh	GPT0	A/D変換開始要求タイミングバッファレジスタB(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 2130h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 2134h	GPT0	汎用PWMタイマ出力ネゲートコントロールレジスタ(注2)	GTONCR	16	16, 32	4 ~ 5PCLKA
000C 2136h	GPT0	汎用PWMタイマデッドタイムコントロールレジスタ(注2)	GTDTCR	16	16, 32	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧 (34/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000C 2138h	GPT0	汎用PWMタイマデッドタイム値レジスタU(注2)	GTDVU	16	16, 32	4 ~ 5PCLKA
000C 213Ah	GPT0	汎用PWMタイマデッドタイム値レジスタD(注2)	GTDVD	16	16, 32	4 ~ 5PCLKA
000C 213Ch	GPT0	汎用PWMタイマデッドタイムバッファレジスタU(注2)	GTDBU	16	16, 32	4 ~ 5PCLKA
000C 213Eh	GPT0	汎用PWMタイマデッドタイムバッファレジスタD(注2)	GTDBD	16	16, 32	4 ~ 5PCLKA
000C 2140h	GPT0	汎用PWMタイマ出力保護機能ステータスレジスタ(注2)	GTSOS	16	16, 32	4 ~ 5PCLKA
000C 2142h	GPT0	汎用PWMタイマ出力保護一時解除レジスタ(注2)	GTSOTR	16	16, 32	4 ~ 5PCLKA
000C 2180h	GPT1	汎用PWMタイマI/Oコントロールレジスタ(注2)	GTIOR	16	8, 16, 32	4 ~ 5PCLKA
000C 2182h	GPT1	汎用PWMタイマ割り込み出力設定レジスタ(注2)	GTINTAD	16	8, 16, 32	4 ~ 5PCLKA
000C 2184h	GPT1	汎用PWMタイマコントロールレジスタ(注2)	GTCR	16	8, 16, 32	4 ~ 5PCLKA
000C 2186h	GPT1	汎用PWMタイマバッファイネーブルレジスタ(注2)	GTBER	16	8, 16, 32	4 ~ 5PCLKA
000C 2188h	GPT1	汎用PWMタイマカウント方向レジスタ(注2)	GTUDC	16	8, 16, 32	4 ~ 5PCLKA
000C 218Ah	GPT1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ(注2)	GTITC	16	8, 16, 32	4 ~ 5PCLKA
000C 218Ch	GPT1	汎用PWMタイマステータスレジスタ(注2)	GTST	16	8, 16, 32	4 ~ 5PCLKA
000C 218Eh	GPT1	汎用PWMタイマカウンタ(注2)	GTCNT	16	16	4 ~ 5PCLKA
000C 2190h	GPT1	汎用PWMタイマコンペアキャプチャレジスタA(注2)	GTCCRA	16	16, 32	4 ~ 5PCLKA
000C 2192h	GPT1	汎用PWMタイマコンペアキャプチャレジスタB(注2)	GTCCRB	16	16, 32	4 ~ 5PCLKA
000C 2194h	GPT1	汎用PWMタイマコンペアキャプチャレジスタC(注2)	GTCCRC	16	16, 32	4 ~ 5PCLKA
000C 2196h	GPT1	汎用PWMタイマコンペアキャプチャレジスタD(注2)	GTCCRD	16	16, 32	4 ~ 5PCLKA
000C 2198h	GPT1	汎用PWMタイマコンペアキャプチャレジスタE(注2)	GTCCRE	16	16, 32	4 ~ 5PCLKA
000C 219Ah	GPT1	汎用PWMタイマコンペアキャプチャレジスタF(注2)	GTCCRF	16	16, 32	4 ~ 5PCLKA
000C 219Ch	GPT1	汎用PWMタイマ周期設定レジスタ(注2)	GTPR	16	16, 32	4 ~ 5PCLKA
000C 219Eh	GPT1	汎用PWMタイマ周期設定バッファレジスタ(注2)	GTPBR	16	16, 32	4 ~ 5PCLKA
000C 21A0h	GPT1	汎用PWMタイマ周期設定ダブルバッファレジスタ(注2)	GTPDBR	16	16, 32	4 ~ 5PCLKA
000C 21A4h	GPT1	A/D変換開始要求タイミングレジスタA(注2)	GTADTRA	16	16, 32	4 ~ 5PCLKA
000C 21A6h	GPT1	A/D変換開始要求タイミングバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 21A8h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 21ACh	GPT1	A/D変換開始要求タイミングレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 21AEh	GPT1	A/D変換開始要求タイミングバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 21B0h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 21B4h	GPT1	汎用PWMタイマ出力ネゲートコントロールレジスタ(注2)	GTONCR	16	16, 32	4 ~ 5PCLKA
000C 21B6h	GPT1	汎用PWMタイマデッドタイムコントロールレジスタ(注2)	GTDCR	16	16, 32	4 ~ 5PCLKA
000C 21B8h	GPT1	汎用PWMタイマデッドタイム値レジスタU(注2)	GTDVU	16	16, 32	4 ~ 5PCLKA
000C 21BAh	GPT1	汎用PWMタイマデッドタイム値レジスタD(注2)	GTDVD	16	16, 32	4 ~ 5PCLKA
000C 21BCh	GPT1	汎用PWMタイマデッドタイムバッファレジスタU(注2)	GTDBU	16	16, 32	4 ~ 5PCLKA
000C 21BEh	GPT1	汎用PWMタイマデッドタイムバッファレジスタD(注2)	GTDBD	16	16, 32	4 ~ 5PCLKA
000C 21C0h	GPT1	汎用PWMタイマ出力保護機能ステータスレジスタ(注2)	GTSOS	16	16, 32	4 ~ 5PCLKA
000C 21C2h	GPT1	汎用PWMタイマ出力保護一時解除レジスタ(注2)	GTSOTR	16	16, 32	4 ~ 5PCLKA
000C 2200h	GPT2	汎用PWMタイマI/Oコントロールレジスタ(注2)	GTIOR	16	8, 16, 32	4 ~ 5PCLKA
000C 2202h	GPT2	汎用PWMタイマ割り込み出力設定レジスタ(注2)	GTINTAD	16	8, 16, 32	4 ~ 5PCLKA
000C 2204h	GPT2	汎用PWMタイマコントロールレジスタ(注2)	GTCR	16	8, 16, 32	4 ~ 5PCLKA
000C 2206h	GPT2	汎用PWMタイマバッファイネーブルレジスタ(注2)	GTBER	16	8, 16, 32	4 ~ 5PCLKA
000C 2208h	GPT2	汎用PWMタイマカウント方向レジスタ(注2)	GTUDC	16	8, 16, 32	4 ~ 5PCLKA
000C 220Ah	GPT2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ(注2)	GTITC	16	8, 16, 32	4 ~ 5PCLKA
000C 220Ch	GPT2	汎用PWMタイマステータスレジスタ(注2)	GTST	16	8, 16, 32	4 ~ 5PCLKA
000C 220Eh	GPT2	汎用PWMタイマカウンタ(注2)	GTCNT	16	16	4 ~ 5PCLKA
000C 2210h	GPT2	汎用PWMタイマコンペアキャプチャレジスタA(注2)	GTCCRA	16	16, 32	4 ~ 5PCLKA
000C 2212h	GPT2	汎用PWMタイマコンペアキャプチャレジスタB(注2)	GTCCRB	16	16, 32	4 ~ 5PCLKA
000C 2214h	GPT2	汎用PWMタイマコンペアキャプチャレジスタC(注2)	GTCCRC	16	16, 32	4 ~ 5PCLKA
000C 2216h	GPT2	汎用PWMタイマコンペアキャプチャレジスタD(注2)	GTCCRD	16	16, 32	4 ~ 5PCLKA
000C 2218h	GPT2	汎用PWMタイマコンペアキャプチャレジスタE(注2)	GTCCRE	16	16, 32	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧 (35/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000C 221Ah	GPT2	汎用PWMタイマコンペアキャプチャレジスタF(注2)	GTCCRf	16	16, 32	4 ~ 5PCLKA
000C 221Ch	GPT2	汎用PWMタイマ周期設定レジスタ(注2)	GTPR	16	16, 32	4 ~ 5PCLKA
000C 221Eh	GPT2	汎用PWMタイマ周期設定バッファレジスタ(注2)	GTPBR	16	16, 32	4 ~ 5PCLKA
000C 2220h	GPT2	汎用PWMタイマ周期設定ダブルバッファレジスタ(注2)	GTPDBR	16	16, 32	4 ~ 5PCLKA
000C 2224h	GPT2	A/D 変換開始要求タイミングレジスタA(注2)	GTADTRA	16	16, 32	4 ~ 5PCLKA
000C 2226h	GPT2	A/D 変換開始要求タイミングバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 2228h	GPT2	A/D 変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 222Ch	GPT2	A/D 変換開始要求タイミングレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 222Eh	GPT2	A/D 変換開始要求タイミングバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 2230h	GPT2	A/D 変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 2234h	GPT2	汎用PWMタイマ出力ネゲートコントロールレジスタ(注2)	GTONCR	16	16, 32	4 ~ 5PCLKA
000C 2236h	GPT2	汎用PWMタイマデッドタイムコントロールレジスタ(注2)	GTDCR	16	16, 32	4 ~ 5PCLKA
000C 2238h	GPT2	汎用PWMタイマデッドタイム値レジスタU(注2)	GTUVU	16	16, 32	4 ~ 5PCLKA
000C 223Ah	GPT2	汎用PWMタイマデッドタイム値レジスタD(注2)	GTDVD	16	16, 32	4 ~ 5PCLKA
000C 223Ch	GPT2	汎用PWMタイマデッドタイムバッファレジスタU(注2)	GTDBU	16	16, 32	4 ~ 5PCLKA
000C 223Eh	GPT2	汎用PWMタイマデッドタイムバッファレジスタD(注2)	GTDBD	16	16, 32	4 ~ 5PCLKA
000C 2240h	GPT2	汎用PWMタイマ出力保護機能ステータスレジスタ(注2)	GTSOS	16	16, 32	4 ~ 5PCLKA
000C 2242h	GPT2	汎用PWMタイマ出力保護一時解除レジスタ(注2)	GTSOTR	16	16, 32	4 ~ 5PCLKA
000C 2280h	GPT3	汎用PWMタイマI/O コントロールレジスタ(注2)	GTIOR	16	8, 16, 32	4 ~ 5PCLKA
000C 2282h	GPT3	汎用PWMタイマ割り込み出力設定レジスタ(注2)	GTINTAD	16	8, 16, 32	4 ~ 5PCLKA
000C 2284h	GPT3	汎用PWMタイマコントロールレジスタ(注2)	GTCR	16	8, 16, 32	4 ~ 5PCLKA
000C 2286h	GPT3	汎用PWMタイマバッファインプットレジスタ(注2)	GTBER	16	8, 16, 32	4 ~ 5PCLKA
000C 2288h	GPT3	汎用PWMタイマカウント方向レジスタ(注2)	GTUDC	16	8, 16, 32	4 ~ 5PCLKA
000C 228Ah	GPT3	汎用PWMタイマ割り込み、A/D 変換開始要求間引き設定レジスタ(注2)	GTITC	16	8, 16, 32	4 ~ 5PCLKA
000C 228Ch	GPT3	汎用PWMタイマステータスレジスタ(注2)	GTST	16	8, 16, 32	4 ~ 5PCLKA
000C 228Eh	GPT3	汎用PWMタイマカウンタ(注2)	GTCNT	16	16	4 ~ 5PCLKA
000C 2290h	GPT3	汎用PWMタイマコンペアキャプチャレジスタA(注2)	GTCCRA	16	16, 32	4 ~ 5PCLKA
000C 2292h	GPT3	汎用PWMタイマコンペアキャプチャレジスタB(注2)	GTCCRB	16	16, 32	4 ~ 5PCLKA
000C 2294h	GPT3	汎用PWMタイマコンペアキャプチャレジスタC(注2)	GTCCRC	16	16, 32	4 ~ 5PCLKA
000C 2296h	GPT3	汎用PWMタイマコンペアキャプチャレジスタD(注2)	GTCCRD	16	16, 32	4 ~ 5PCLKA
000C 2298h	GPT3	汎用PWMタイマコンペアキャプチャレジスタE(注2)	GTCCRE	16	16, 32	4 ~ 5PCLKA
000C 229Ah	GPT3	汎用PWMタイマコンペアキャプチャレジスタF(注2)	GTCCRf	16	16, 32	4 ~ 5PCLKA
000C 229Ch	GPT3	汎用PWMタイマ周期設定レジスタ(注2)	GTPR	16	16, 32	4 ~ 5PCLKA
000C 229Eh	GPT3	汎用PWMタイマ周期設定バッファレジスタ(注2)	GTPBR	16	16, 32	4 ~ 5PCLKA
000C 22A0h	GPT3	汎用PWMタイマ周期設定ダブルバッファレジスタ(注2)	GTPDBR	16	16, 32	4 ~ 5PCLKA
000C 22A4h	GPT3	A/D 変換開始要求タイミングレジスタA(注2)	GTADTRA	16	16, 32	4 ~ 5PCLKA
000C 22A6h	GPT3	A/D 変換開始要求タイミングバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 22A8h	GPT3	A/D 変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA
000C 22ACh	GPT3	A/D 変換開始要求タイミングレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 22AEh	GPT3	A/D 変換開始要求タイミングバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 22B0h	GPT3	A/D 変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA
000C 22B4h	GPT3	汎用PWMタイマ出力ネゲートコントロールレジスタ(注2)	GTONCR	16	16, 32	4 ~ 5PCLKA
000C 22B6h	GPT3	汎用PWMタイマデッドタイムコントロールレジスタ(注2)	GTDCR	16	16, 32	4 ~ 5PCLKA
000C 22B8h	GPT3	汎用PWMタイマデッドタイム値レジスタU(注2)	GTUVU	16	16, 32	4 ~ 5PCLKA
000C 22BAh	GPT3	汎用PWMタイマデッドタイム値レジスタD(注2)	GTDVD	16	16, 32	4 ~ 5PCLKA
000C 22BCh	GPT3	汎用PWMタイマデッドタイムバッファレジスタU(注2)	GTDBU	16	16, 32	4 ~ 5PCLKA
000C 22BEh	GPT3	汎用PWMタイマデッドタイムバッファレジスタD(注2)	GTDBD	16	16, 32	4 ~ 5PCLKA
000C 22C0h	GPT3	汎用PWMタイマ出力保護機能ステータスレジスタ(注2)	GTSOS	16	16, 32	4 ~ 5PCLKA
000C 22C2h	GPT3	汎用PWMタイマ出力保護一時解除レジスタ(注2)	GTSOTR	16	16, 32	4 ~ 5PCLKA
000C 2300h	GPT01	汎用PWMタイマログワードカウンタ(注2)	GTCNTLW	32	32	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧 (36/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000C 2304h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタA(注2)	GTCCRALW	32	32	4 ~ 5PCLKA
000C 2308h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタB(注2)	GTCCRBLW	32	32	4 ~ 5PCLKA
000C 230Ch	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタC(注2)	GTCCRCLW	32	32	4 ~ 5PCLKA
000C 2310h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタD(注2)	GTCCRDW	32	32	4 ~ 5PCLKA
000C 2314h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタE(注2)	GTCCRELW	32	32	4 ~ 5PCLKA
000C 2318h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタF(注2)	GTCCRFLW	32	32	4 ~ 5PCLKA
000C 231Ch	GPT01	汎用PWMタイマロングワード周期設定レジスタ(注2)	GTPRLW	32	32	4 ~ 5PCLKA
000C 2320h	GPT01	汎用PWMタイマロングワード周期設定バッファレジスタ(注2)	GTPBRLW	32	32	4 ~ 5PCLKA
000C 2324h	GPT01	汎用PWMタイマロングワード周期設定ダブルバッファレジスタ(注2)	GTPDBRLW	32	32	4 ~ 5PCLKA
000C 2328h	GPT01	ロングワードA/D 変換開始要求タイミングレジスタA(注2)	GTADTRALW	32	32	4 ~ 5PCLKA
000C 232Ch	GPT01	ロングワードA/D 変換開始要求タイミングバッファレジスタA(注2)	GTADTBRAW	32	32	4 ~ 5PCLKA
000C 2330h	GPT01	ロングワードA/D 変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTDBRALW	32	32	4 ~ 5PCLKA
000C 2334h	GPT01	ロングワードA/D 変換開始要求タイミングレジスタB(注2)	GTADTRBLW	32	32	4 ~ 5PCLKA
000C 2338h	GPT01	ロングワードA/D 変換開始要求タイミングバッファレジスタB(注2)	GTADTBRBLW	32	32	4 ~ 5PCLKA
000C 233Ch	GPT01	ロングワードA/D 変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTDBRBLW	32	32	4 ~ 5PCLKA
000C 2340h	GPT01	汎用PWMタイマロングワードデッドタイム値レジスタU(注2)	GTDVULW	32	32	4 ~ 5PCLKA
000C 2344h	GPT01	汎用PWMタイマロングワードデッドタイム値レジスタD(注2)	GTDVDLW	32	32	4 ~ 5PCLKA
000C 2348h	GPT01	汎用PWMタイマロングワードデッドタイムバッファレジスタU(注2)	GTDBULW	32	32	4 ~ 5PCLKA
000C 234Ch	GPT01	汎用PWMタイマロングワードデッドタイムバッファレジスタD(注2)	GTDBDLW	32	32	4 ~ 5PCLKA
000C 2380h	GPT23	汎用PWMタイマロングワードカウンタ(注2)	GTCNTLW	32	32	4 ~ 5PCLKA
000C 2384h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタA(注2)	GTCCRALW	32	32	4 ~ 5PCLKA
000C 2388h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタB(注2)	GTCCRBLW	32	32	4 ~ 5PCLKA
000C 238Ch	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタC(注2)	GTCCRCLW	32	32	4 ~ 5PCLKA
000C 2390h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタD(注2)	GTCCRDW	32	32	4 ~ 5PCLKA
000C 2394h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタE(注2)	GTCCRELW	32	32	4 ~ 5PCLKA
000C 2398h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタF(注2)	GTCCRFLW	32	32	4 ~ 5PCLKA
000C 239Ch	GPT23	汎用PWMタイマロングワード周期設定レジスタ(注2)	GTPRLW	32	32	4 ~ 5PCLKA
000C 23A0h	GPT23	汎用PWMタイマロングワード周期設定バッファレジスタ(注2)	GTPBRLW	32	32	4 ~ 5PCLKA
000C 23A4h	GPT23	汎用PWMタイマロングワード周期設定ダブルバッファレジスタ(注2)	GTPDBRLW	32	32	4 ~ 5PCLKA
000C 23A8h	GPT23	ロングワードA/D 変換開始要求タイミングレジスタA(注2)	GTADTRALW	32	32	4 ~ 5PCLKA
000C 23ACh	GPT23	ロングワードA/D 変換開始要求タイミングバッファレジスタA(注2)	GTADTBRAW	32	32	4 ~ 5PCLKA
000C 23B0h	GPT23	ロングワードA/D 変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTDBRALW	32	32	4 ~ 5PCLKA
000C 23B4h	GPT23	ロングワードA/D 変換開始要求タイミングレジスタB(注2)	GTADTRBLW	32	32	4 ~ 5PCLKA
000C 23B8h	GPT23	ロングワードA/D 変換開始要求タイミングバッファレジスタB(注2)	GTADTBRBLW	32	32	4 ~ 5PCLKA
000C 23BCh	GPT23	ロングワードA/D 変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTDBRBLW	32	32	4 ~ 5PCLKA
000C 23C0h	GPT23	汎用PWMタイマロングワードデッドタイム値レジスタU(注2)	GTDVULW	32	32	4 ~ 5PCLKA
000C 23C4h	GPT23	汎用PWMタイマロングワードデッドタイム値レジスタD(注2)	GTDVDLW	32	32	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧 (37/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000C 23C8h	GPT23	汎用PWMタイマロングワードデッドタイムバッファレジスタU(注2)	GTDBULW	32	32	4 ~ 5PCLKA
000C 23CCh	GPT23	汎用PWMタイマロングワードデッドタイムバッファレジスタD(注2)	GTDBDLW	32	32	4 ~ 5PCLKA
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2 ~ 3FCLK
007F C100h	FLASH	フラッシュ P/E モード制御レジスタ	FPMCR	8	8	2 ~ 3FCLK
007F C104h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2 ~ 3FCLK
007F C108h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2 ~ 3FCLK
007F C110h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	16	16	2 ~ 3FCLK
007F C114h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2 ~ 3FCLK
007F C118h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2 ~ 3FCLK
007F C120h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	16	16	2 ~ 3FCLK
007F C124h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2 ~ 3FCLK
007F C12Ch	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2 ~ 3FCLK
007F C130h	FLASH	フラッシュライトバッファ0レジスタ	FWB0	16	16	2 ~ 3FCLK
007F C138h	FLASH	フラッシュライトバッファ1レジスタ	FWB1	16	16	2 ~ 3FCLK
007F C140h	FLASH	フラッシュライトバッファ2レジスタ	FWB2	16	16	2 ~ 3FCLK
007F C144h	FLASH	フラッシュライトバッファ3レジスタ	FWB3	16	16	2 ~ 3FCLK
007F C180h	FLASH	プロテクト解除レジスタ	FPR	8	8	2 ~ 3FCLK
007F C184h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2 ~ 3FCLK
007F C1C0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2 ~ 3FCLK
007F C1C8h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2 ~ 3FCLK
007F C1D0h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2 ~ 3FCLK
007F C1D8h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2 ~ 3FCLK
007F C1DCh	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2 ~ 3FCLK
007F C1E0h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2 ~ 3FCLK
007F C1E8h	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	16	16	2 ~ 3FCLK
007F C1F0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ~ 3FCLK
007F C350h	FLASHCO NST	ユニークIDレジスタ0	UIDR0	32	32	2 ~ 3FCLK
007F C354h	FLASHCO NST	ユニークIDレジスタ1	UIDR1	32	32	2 ~ 3FCLK
007F C358h	FLASHCO NST	ユニークIDレジスタ2	UIDR2	32	32	2 ~ 3FCLK
007F C35Ch	FLASHCO NST	ユニークIDレジスタ3	UIDR3	32	32	2 ~ 3FCLK
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2 ~ 3FCLK

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0, TMR2, TMR4, TMR6のレジスタのアドレスへアクセスしてください。「ユーザーズマニュアルハードウェア編」の表23.5に16ビットアクセスのレジスタ配置を示します。

注2. テックバージョンAにはありません。

5. 電気的特性

5.1 絶対最大定格

表5.1 絶対最大定格
条件：VSS = AVSS0 = AVSS1 = AVSS2 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	ポート4、ポート5、ポート6	V_{in}	-0.3 ~ VREF+0.3	V
	5Vトレラント対応ポート(注1)、 ポート4、ポート5、ポート6以外		-0.3 ~ VCC+0.3	V
	5Vトレラント対応ポート(注1)		-0.3 ~ +6.5	V
アナログ電源電圧		AVCC0, AVCC1, AVCC2, VREF	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN003、 AN100 ~ AN103、 AN200 ~ AN211使用時	V_{AN}	-0.3 ~ VREF+0.3	V
	AN016、AN116、 CVREFC0、CVREFC1使用時		-0.3 ~ VCC+0.3	
動作温度		T_{opr}	-40 ~ +85	°C
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0端子間、AVCC1端子とAVSS1端子間、AVCC2端子とAVSS2端子間、VREF端子とAVSS2端子間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポートB1、B2は、5Vトレラント対応です。

表5.2 推奨動作電圧条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC(注1、注2)		2.7	—	5.5	V
	VSS		—	0	—	
アナログ電源電圧	AVCC0, AVCC1, AVCC2, VREF (注1、注2)		VCC	—	5.5	V
	AVSS0, AVSS1, AVSS2		—	0	—	

注1. AVCC0/AVCC1/AVCC2/VREFとVCCは使用範囲内で独立に設定可能です。

注2. VCC端子とAVCC0/AVCC1/AVCC2/VREF端子の電源投入順序は、同時もしくはVCC端子、AVCC0/AVCC1/AVCC2/VREF端子の順になるように投入してください。

5.2 DC 特性

表5.3 DC特性(1)

条件 : $VCC = 2.7V \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = VREF = VCC \sim 5.5V$, $VSS = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V_{IH}	$VCC \times 0.7$	—	5.8	V	
	ポートB1、B2 (5Vトレラント)		$VCC \times 0.8$	—	5.8		
	ポート00～02、ポート10～11、 ポート20～24、 ポート30～33、ポート36～37、 ポート70～76、 ポート80～82、 ポート90～96、 ポートA0～A5、 ポートB0、ポートB3～B7、 ポートD0～D7、 ポートE0～E5、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポート40～47、 ポート50～55、 ポート60～65		$VREF \times 0.8$	—	$VREF + 0.3$		
	RIIC入力端子(SMBusを除く)	V_{IL}	-0.3	—	$VCC \times 0.3$		
	ポート40～47、 ポート50～55、 ポート60～65		-0.3	—	$VREF \times 0.2$		
	RIIC入力端子、 ポート40～47、 ポート50～55、 ポート60～65以外		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子(SMBusを除く)	ΔV_T	$VCC \times 0.05$	—	—		
	ポート40～47、 ポート50～55、 ポート60～65		$VREF \times 0.1$	—	—		
	RIIC入力端子、 ポート40～47、 ポート50～55、 ポート60～65以外		$VCC \times 0.1$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	RIIC入力端子(SMBus)		2.1	—	$VCC + 0.3$		
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	EXTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子(SMBus)		-0.3	—	0.8		$VCC \leq 5.2V$

表5.4 DC特性(2)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V, Ta = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD, ポートE2	I_{in}	—	—	1.0	μA Vin = 0V, VCC
スリーステートリーク電流 (オフ状態)	ポート4、ポート5、ポート6	I_{TSI}	—	—	1.0	μA Vin = 0V, VREF
	5Vトレラント対応ポートとポート4、ポート5、ポート6以外		—	—	0.2	μA Vin = 0V, VCC
	5Vトレラント対応ポート		—	—	1.0	μA Vin = 0V, 5.8V
入力容量	全入力端子	C _{in}	—	4	15	pF Vin = 0mV, f = 1MHz, Ta = 25°C
入力プルアップ抵抗	全入力端子 (ポートE2以外)	R _U	10	20	50	kΩ Vin = 0V

表5.5 DC特性(3)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V, Ta = -40 ~ +85°C

項目	記号	チップバージョンA		チップバージョンB		単位	測定条件			
		typ (注7)	max	typ (注7)	max					
消費電流 (注1)	I _{CC}	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 80MHz	26.0	—	26.0	—	mA
					ICLK = 64MHz	20.7	—	20.7	—	
					ICLK = 32MHz	11.8	—	11.8	—	
					ICLK = 16MHz	7.0	—	7.0	—	
					ICLK = 8MHz	4.7	—	4.7	—	
				全周辺動作通常動作	ICLK = 80MHz(注3)	35.0	—	40.5	—	
					ICLK = 64MHz(注4)	28.5	—	32.5	—	
					ICLK = 32MHz(注5)	18.5	—	20.9	—	
					ICLK = 16MHz(注5)	10.5	—	11.7	—	
					ICLK = 8MHz(注5)	6.4	—	7.0	—	
		全周辺動作最大動作	ICLK = 80MHz(注3)	—	70.0	—	80.0			
			ICLK = 64MHz(注4)	—	60.0	—	70.0			
			ICLK = 32MHz(注5)	—	40.0	—	45.0			
			スリープモード	周辺動作なし (注2)	ICLK = 80MHz	7.2	—	7.2	—	
					ICLK = 64MHz	6.1	—	6.1	—	
		ICLK = 32MHz			4.4	—	4.4	—		
		ICLK = 16MHz			3.4	—	3.4	—		
		ICLK = 8MHz			2.9	—	2.9	—		
		全周辺動作通常動作	ICLK = 80MHz(注3)	22.4	—	26.9	—			
			ICLK = 64MHz(注4)	18.4	—	21.9	—			
ICLK = 32MHz(注5)	13.5		—	15.5	—					
ICLK = 16MHz(注5)	8.0		—	9.0	—					
ICLK = 8MHz(注5)	5.2		—	5.7	—					

項目					記号	チップバージョンA		チップバージョンB		単位	測定条件	
						typ (注7)	max	typ (注7)	max			
消費電流 (注1)	高速動作モード	ディープスリープモード	周辺動作なし(注2)	ICLK = 80MHz	I _{CC}	3.4	—	3.4	—	mA		
				ICLK = 64MHz		2.9	—	2.9	—			
				ICLK = 32MHz		2.5	—	2.5	—			
				ICLK = 16MHz		2.3	—	2.3	—			
				ICLK = 8MHz		2.2	—	2.2	—			
		全周辺動作通常動作	ICLK = 80MHz(注3)	17.7		—	22.2	—				
			ICLK = 64MHz(注4)	14.4		—	17.9	—				
			ICLK = 32MHz(注5)	10.9		—	12.9	—				
			ICLK = 16MHz(注5)	6.6		—	7.6	—				
			ICLK = 8MHz(注5)	4.3		—	4.8	—				
		BGO動作時の増加分(注6)				2.5	—	2.5	—			
	中速動作モード	通常動作モード	周辺動作なし(注8)	ICLK = 12MHz(注10)	I _{CC}	5.3	—	5.3	—	mA		
				ICLK = 8MHz		4.5	—	4.5	—			
				ICLK = 1MHz		2.5	—	2.5	—			
			全周辺動作通常動作(注9)	ICLK = 12MHz(注10)		7.8	—	8.7	—			
				ICLK = 8MHz		6.3	—	6.9	—			
				ICLK = 1MHz		2.7	—	2.7	—			
			全周辺動作最大動作(注9)	ICLK = 12MHz(注10)		—	17.0	—	18.0			
				スリープモード		周辺動作なし(注8)	ICLK = 12MHz(注10)	2.6	—		2.6	—
							ICLK = 8MHz	2.7	—		2.7	—
			ICLK = 1MHz				2.2	—	2.2		—	
			全周辺動作通常動作(注9)	ICLK = 12MHz(注10)		6.0	—	6.7	—			
		ICLK = 8MHz		5.1	—	5.6	—					
ICLK = 1MHz		2.5		—	2.5	—						
ディープスリープモード		周辺動作なし(注8)		ICLK = 12MHz(注10)	1.8	—	1.8	—				
				ICLK = 8MHz	2.1	—	2.1	—				
				ICLK = 1MHz	2.1	—	2.1	—				
全周辺動作通常動作(注9)		ICLK = 12MHz(注10)	5.0	—	5.7	—						
		ICLK = 8MHz	4.3	—	4.8	—						
		ICLK = 1MHz	2.3	—	2.3	—						
BGO動作時の増加分(注6)				2.5	—	2.5	—					

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKA、PCLKB、PCLKDは64分周設定です。

注3. 周辺機能はクロック供給状態。クロックソースはPLLです。FCLKは4分周設定です。PCLKAは1分周設定です。PCLKB、PCLKDは2分周設定です。

注4. 周辺機能はクロック供給状態。クロックソースはPLLです。PCLKAは1分周設定です。FCLK、PCLKB、PCLKDは2分周設定です。

注5. 周辺機能はクロック供給状態。クロックソースはPLLです。FCLK、PCLKA、PCLKB、PCLKDはICLKと同じ周波数です。

注6. プログラム実行中に、ROMまたはデータ格納用データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

注7. VCC = 5Vの値です。

注8. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKA、PCLKB、PCLKDは64分周設定です。

注9. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKA、PCLKB、PCLKDはICLKと同じ周波数です。

注10. PLLの周波数が48MHzの場合です。

表 5.6 DC特性(4)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V, Ta = -40 ~ +85°C

項目			記号	チップバージョン A		チップバージョン B		単位	測定条件
				typ(注3)	max	typ(注3)	max		
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	Ta = 25°C	I _{CC}	1.0	55.0	1.5	15.0	μA	
		Ta = 55°C		1.5	60.0	3.0	38.0		
		Ta = 85°C		5.5	260.0	13.0	135.0		

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プリアップMOSをオフ状態にした場合の値です。

注2. IWDТとLVDは動作停止です。

注3. VCC = 5Vの場合です。

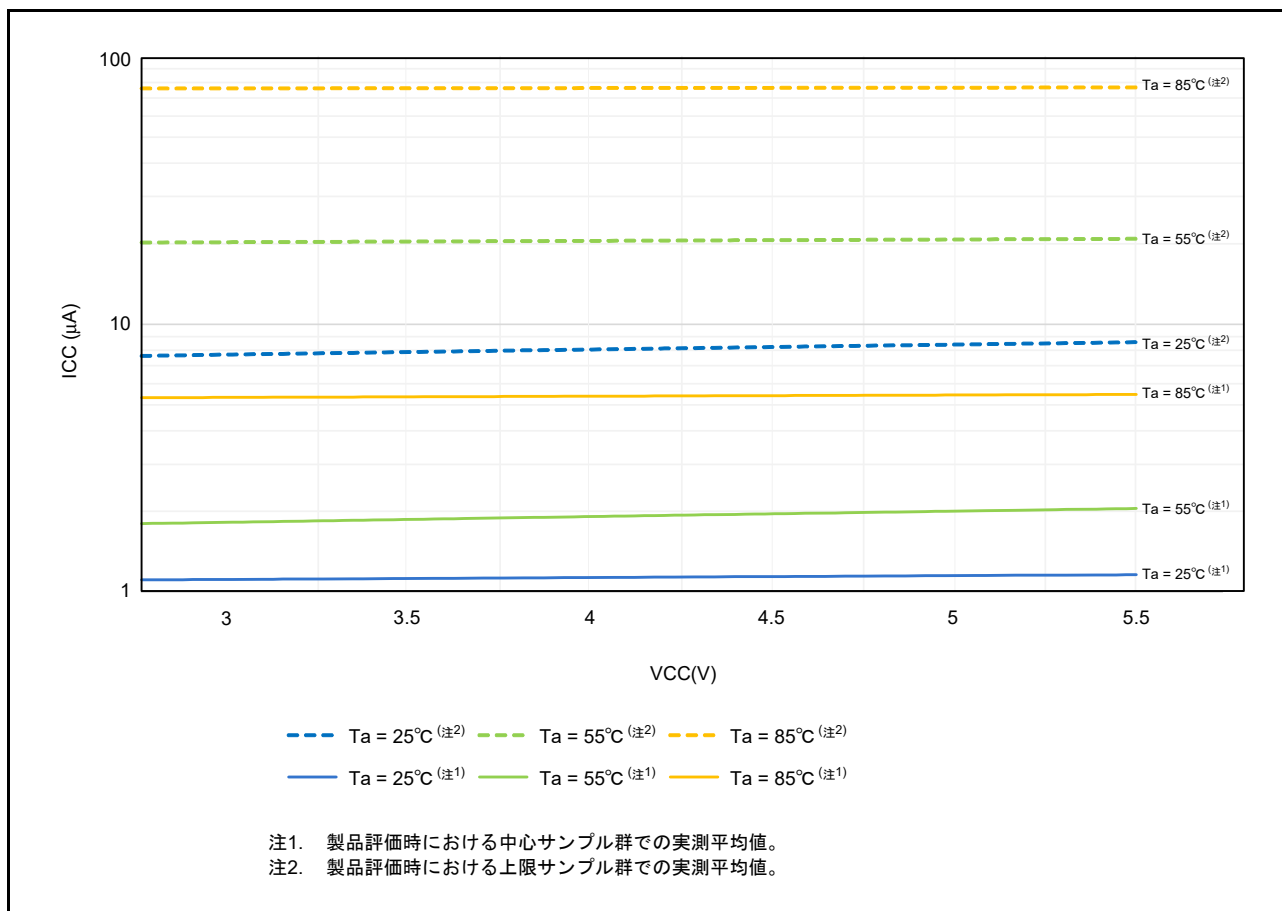


図 5.1 ソフトウェアスタンバイモード時の電圧依存性 (チップバージョン A の場合) (参考データ)

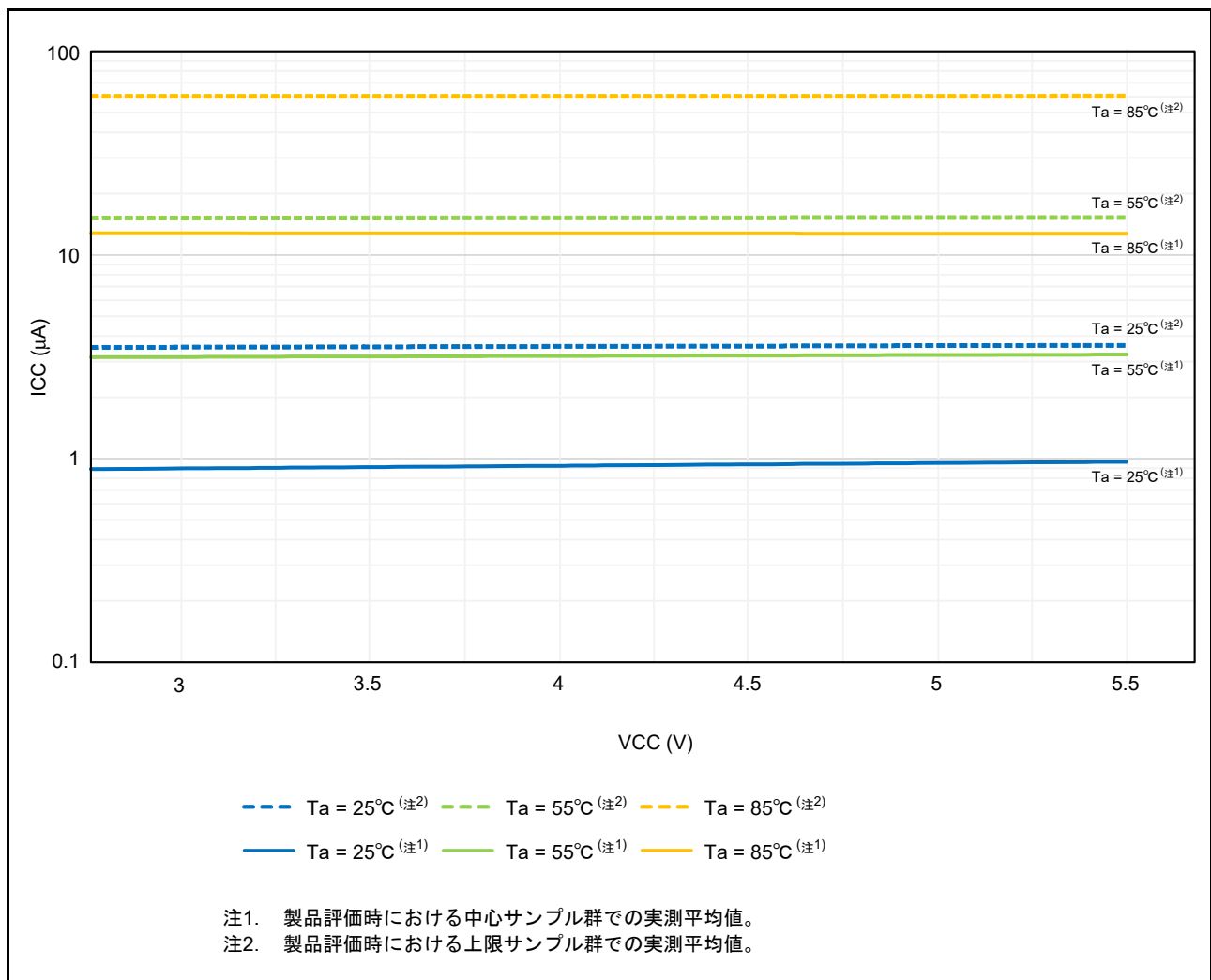


図 5.2 ソフトウェアスタンバイモード時の電圧依存性 (チップバージョン B の場合) (参考データ)

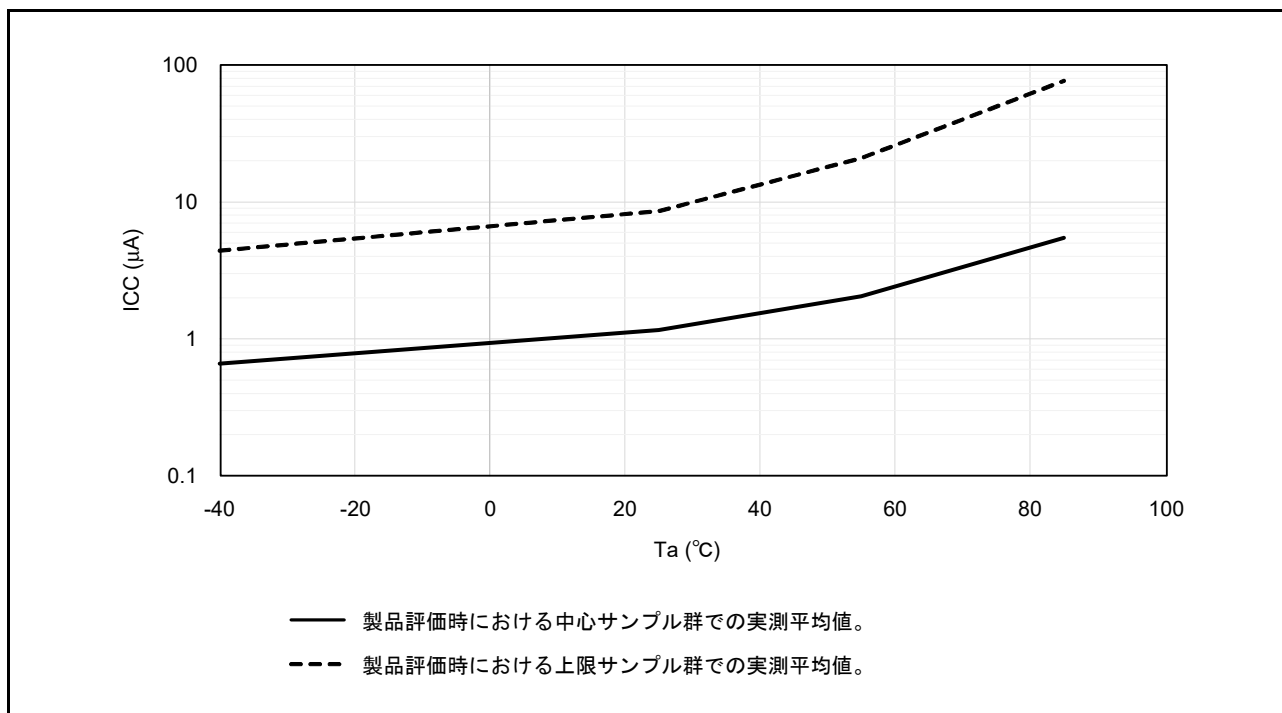


図 5.3 ソフトウェアスタンバイモード時の温度依存性 (チップバージョン A の場合) (参考データ)

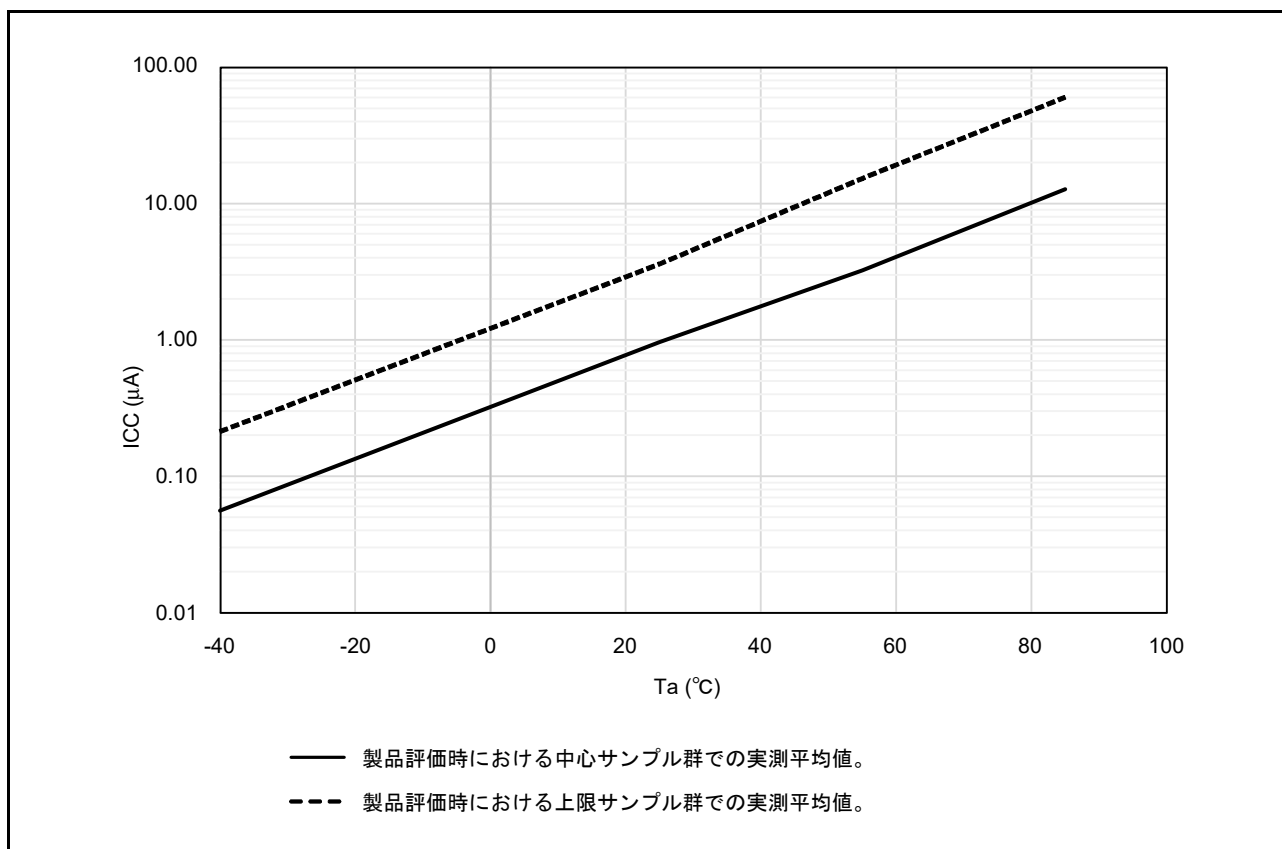


図 5.4 ソフトウェアスタンバイモード時の温度依存性 (チップバージョン B の場合) (参考データ)

表5.7 DC特性(5)

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	typ	max	単位	測定条件
許容総消費電力(注1)	Pd	—	570	mW	

注1. チップ全体(出力電流を含む)の総電力です。

表5.8 DC特性(6)

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ(注2)	max	単位	測定条件		
アナログ電源電流	A/Dユニット0	A/D変換中(プログラマブルゲインアンプ使用時)	I _{AVCC}	—	1.5	2.5	mA		
		A/D変換中(プログラマブルゲインアンプ未使用時)		—	1.0	1.8			
	A/Dユニット1	A/D変換中(サンプルホールド回路使用、プログラマブルゲインアンプ使用時)		—	4.6	6.9			
		A/D変換中(サンプルホールド回路使用、プログラマブルゲインアンプ未使用時)		—	3.1	4.8			
		A/D変換中(サンプルホールド回路未使用、プログラマブルゲインアンプ使用時)		—	2.5	3.9			
		A/D変換中(サンプルホールド回路未使用、プログラマブルゲインアンプ未使用時)		—	1.0	1.8			
	A/Dユニット2			—	1.0	1.8			
	D/A変換中(1チャンネルあたり)(注1)			—	0.7	1.0			
	A/D、D/A変換待機時(全ユニット)			—	—	2.2			μA
	A/D変換待機時(全ユニット)			—	—	1.2			μA
コンパレータC動作電流(注3)	コンパレータ有効	I _{CMP}	—	40.0	60.0	μA			

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. VCC = AVCC0 = AVCC1 = AVCC2 = VREF = 5Vのとき。

注3. コンパレータCモジュールのみの消費電流です。

表5.9 DC特性(7)

条件：VCC = 0V ~ AVCC0, AVCC0 = AVCC1 = AVCC2 = VREF = 0V ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時	SrVCC	0.02	—	20	ms/V	
	起動時電圧監視0リセット有効時(注1、注2)		0.02	—	—		

注1. OFS1.LVDAS = 0を設定した場合です。

注2. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 5.10 DC 特性(8)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

電源リップルは、VCCの上限(5.5V)と下限(2.7V)は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 5.5 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図 5.5 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図 5.5 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

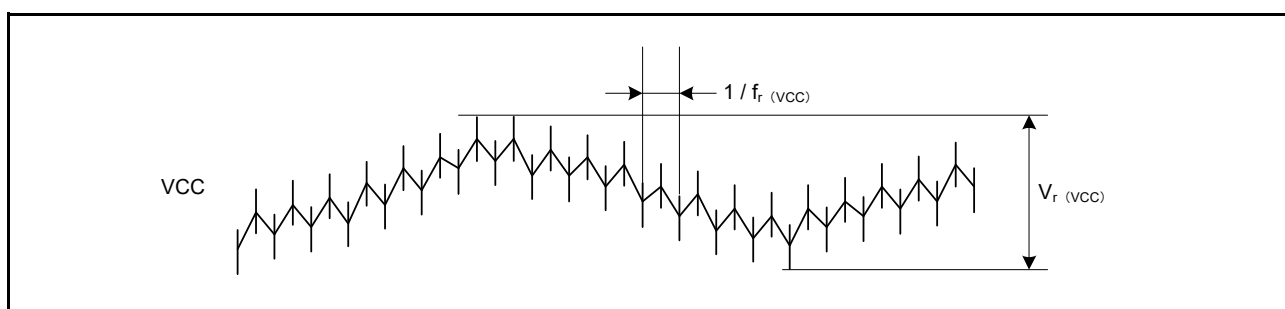


図 5.5 電源リップル波形

表 5.11 DC 特性(9)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量	C_{VCL}	3.3	4.7	6.1	μF	

注. 推奨は4.7 μF です。接続するコンデンサのばらつきは、上記の範囲内にしてください。

表5.12 出力許容電流値

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	max	単位	
出力Lowレベル許容電流	ポート71~76、ポート81、ポート90~95、ポートB5、 ポートD3	I_{OL}	10.0	mA	
	RIIC入力端子		6.0		
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流	全出力端子の総和	ΣI_{OL}	110.0		
	ポート40~47、ポート50~55、ポート60~65の合計		50.0		
	ポート02、ポートE5、ポート10~11、ポート80~82 の合計		50.0		
	ポートB4~B7、ポートD0~D7、ポートE0~E1の合計		55.0		
	ポート71~76の合計		30.0		
	ポート90~95の合計		30.0		
出力Highレベル許容電流	ポート71~76、ポート81、ポート90~95、ポートB5、 ポートD3	I_{OH}	-5.0		
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
	出力Highレベル許容電流		全出力端子の総和		ΣI_{OH}
ポート40~47、ポート50~55、ポート60~65の合計		-25.0			

注. 許容総消費電流は超えないようにしてください。

表5.13 出力電圧値

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	max	単位	測定条件	
出力Low レベル	ポート71~76、ポート81、ポート90~95、 ポートB5、ポートD3	V_{OL}	—	0.8	V	$I_{OL} = 10.0\text{mA}$	
	RIIC端子		スタンダードモード	—		0.4	$I_{OL} = 3.0\text{mA}$
			ファストモード	—		0.6	$I_{OL} = 6.0\text{mA}$
	上記以外の出 力端子		通常出力時	—		0.8	$I_{OL} = 1.0\text{mA}$
			高駆動出力時	—		0.8	$I_{OL} = 2.0\text{mA}$
出力High レベル	ポート71~76、ポート81、ポート90~95、 ポートB5、ポートD3	V_{OH}	$VCC - 0.8$	—	V	$I_{OH} = -5.0\text{mA}$	
	ポート40~47、ポート50~55、ポート60 ~65		$VREF - 0.8$	—		$I_{OH} = -2.0\text{mA}$	
	上記以外の 出力端子		通常出力時	$VCC - 0.8$		—	$I_{OH} = -2.0\text{mA}$
			高駆動出力時	$VCC - 0.8$		—	$I_{OH} = -4.0\text{mA}$

5.2.1 標準 I/O 端子出力特性 (1)

図 5.6 ~ 図 5.9 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

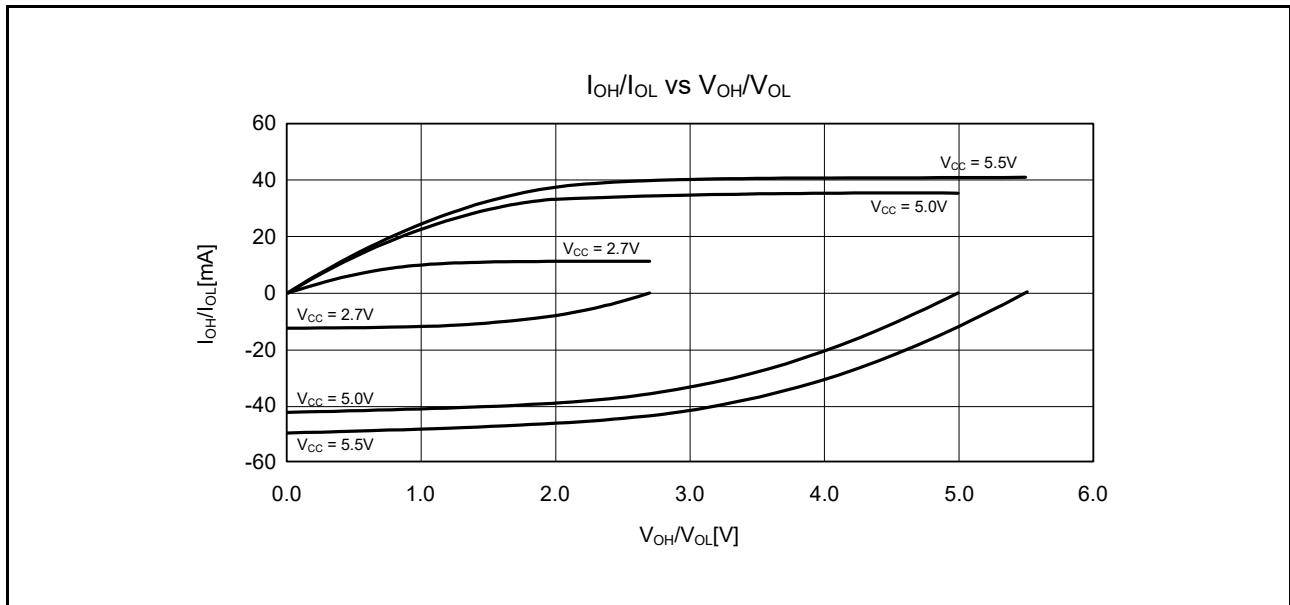


図 5.6 通常出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 電圧特性 T_a = 25°C (参考データ)

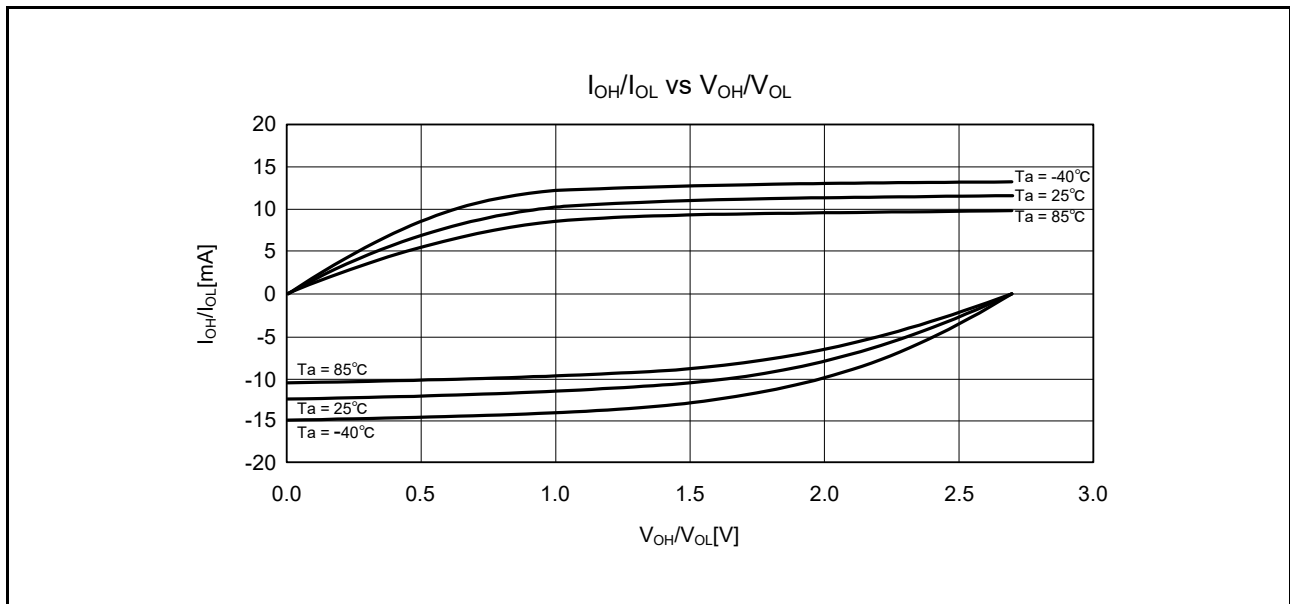


図 5.7 通常出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 V_{CC} = 2.7V (参考データ)

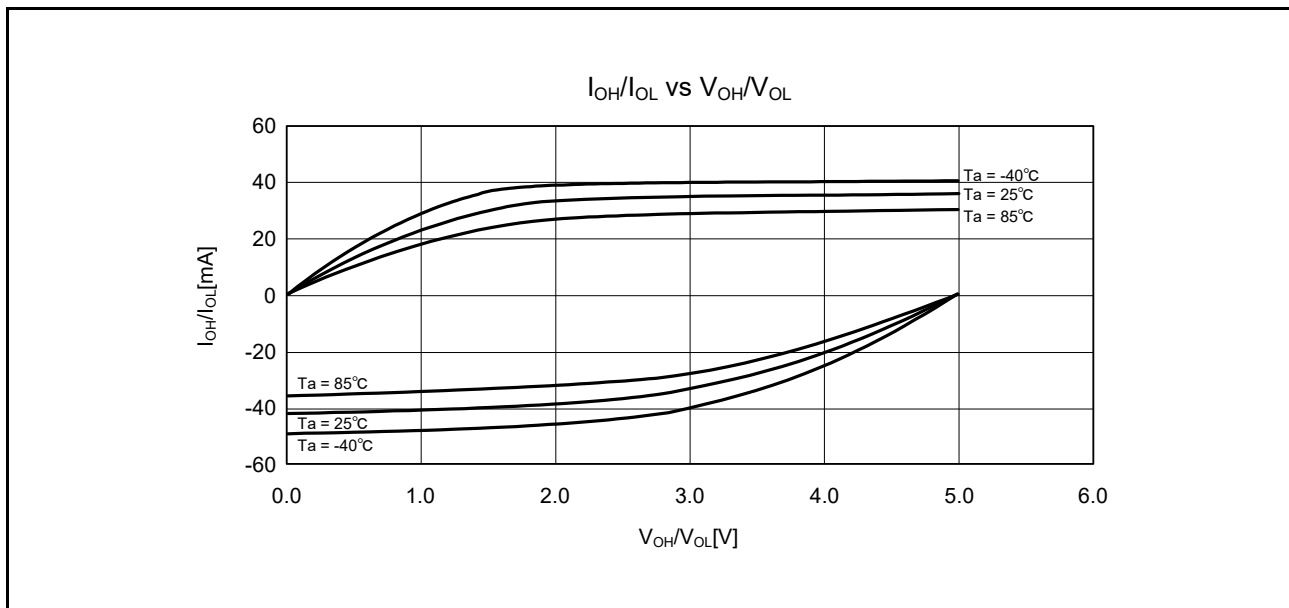


図 5.8 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

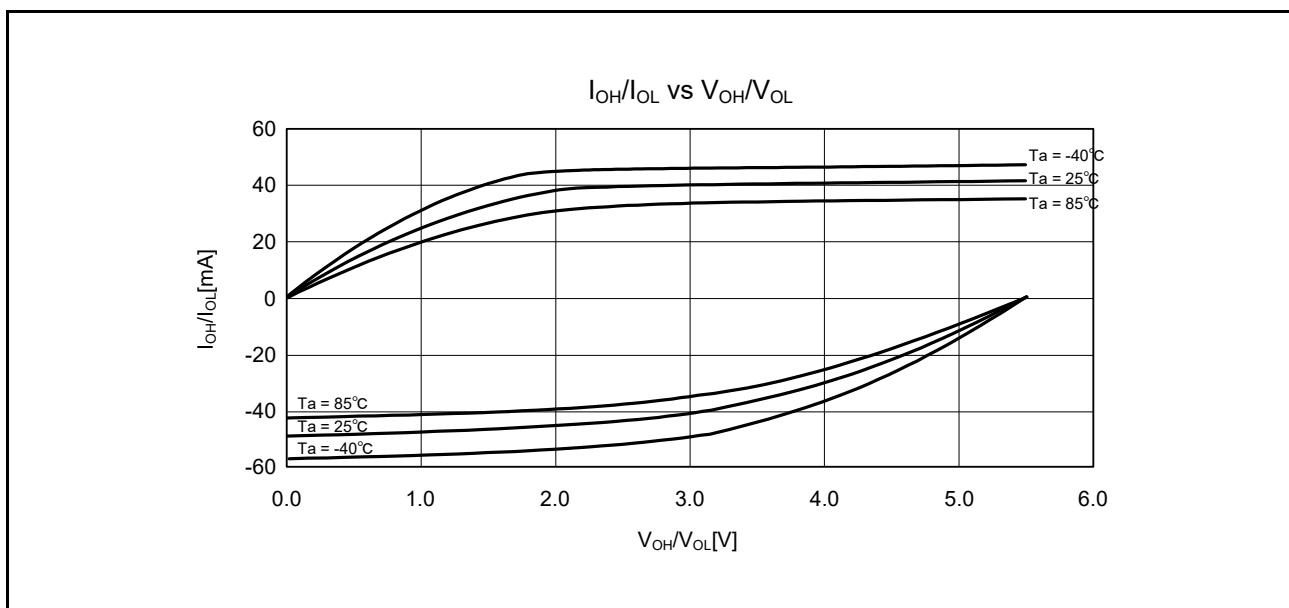


図 5.9 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5V$ (参考データ)

5.2.2 標準 I/O 端子出力特性 (2)

図 5.10 ~ 図 5.13 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

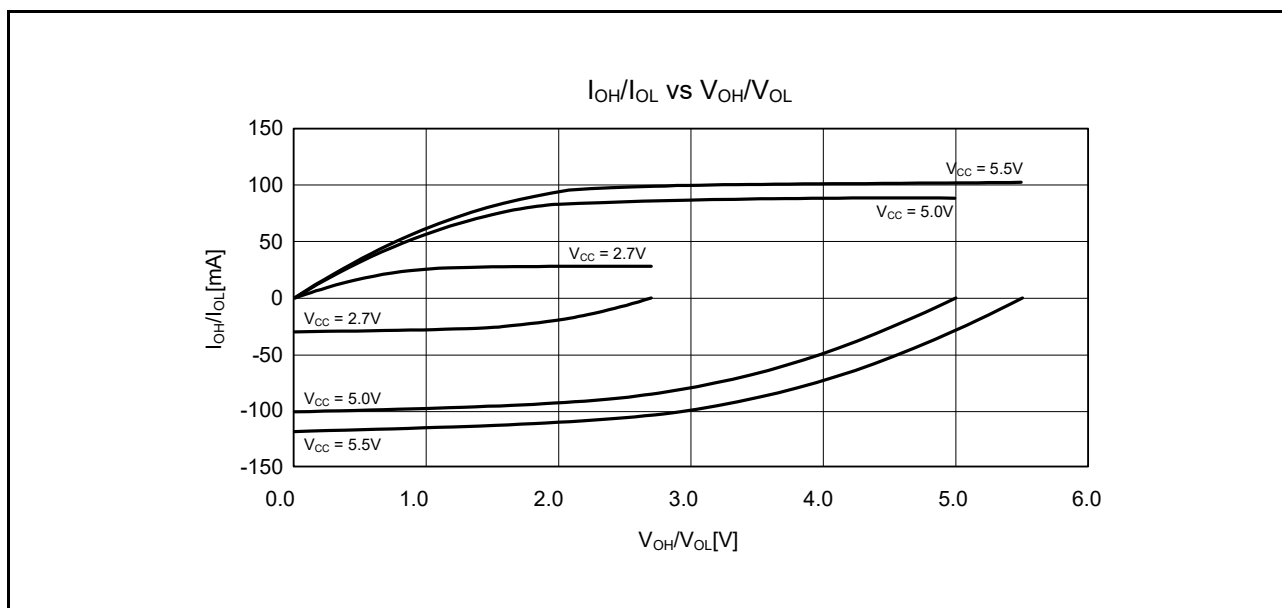


図 5.10 通常出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25°C (参考データ)

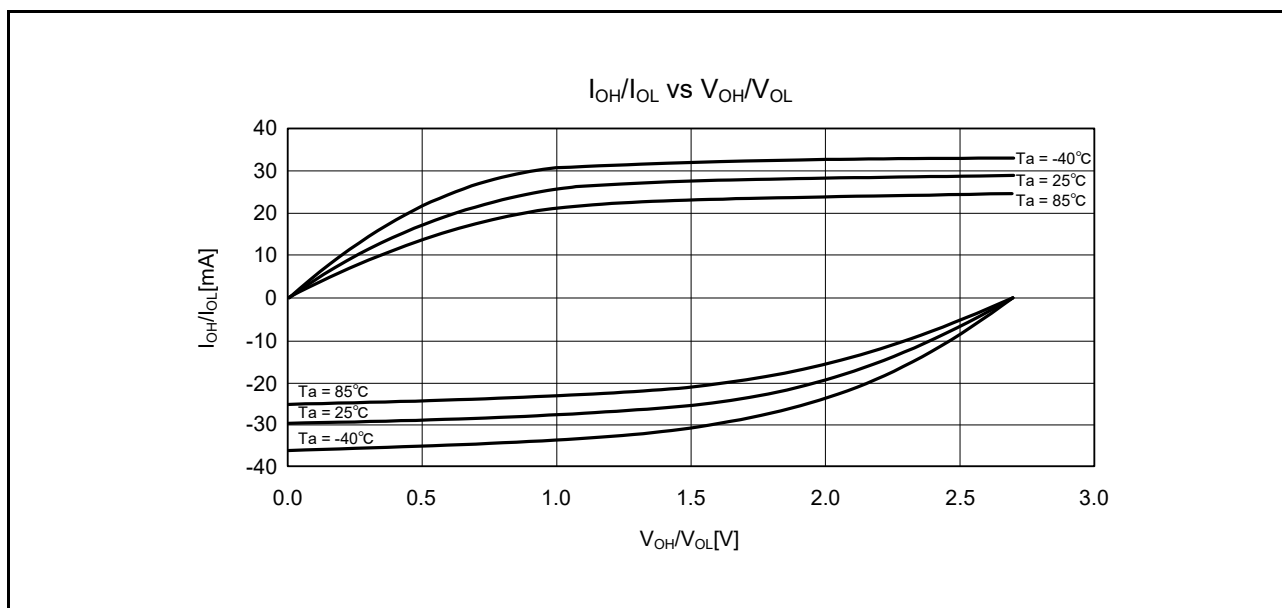


図 5.11 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 2.7V (参考データ)

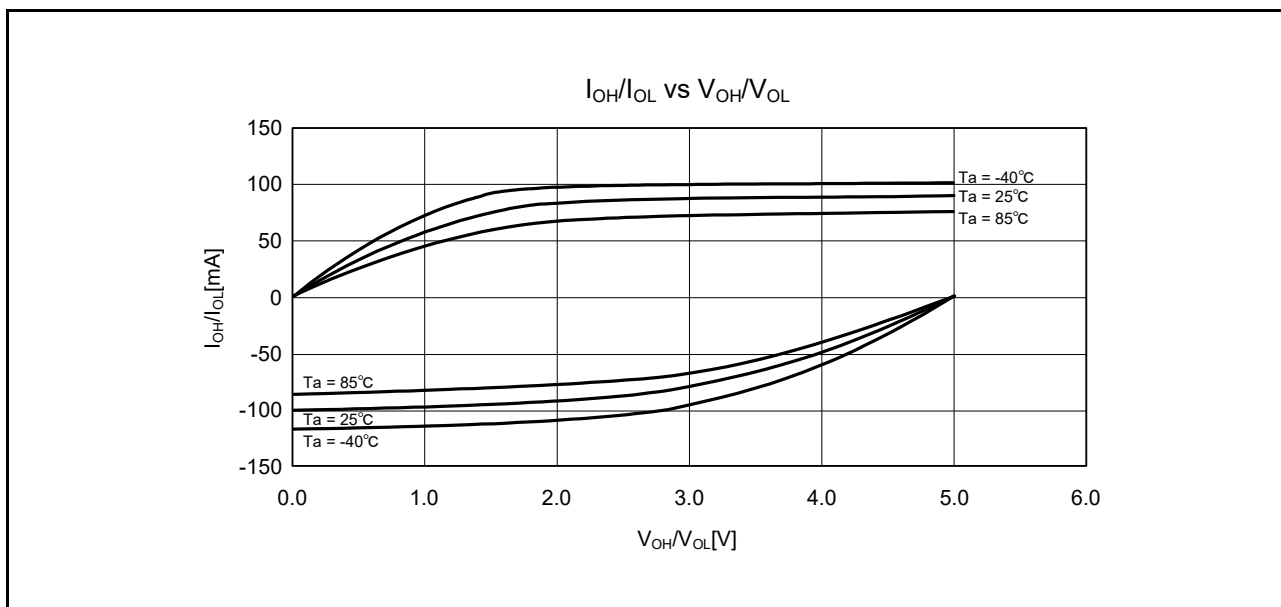


図 5.12 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0\text{V}$ (参考データ)

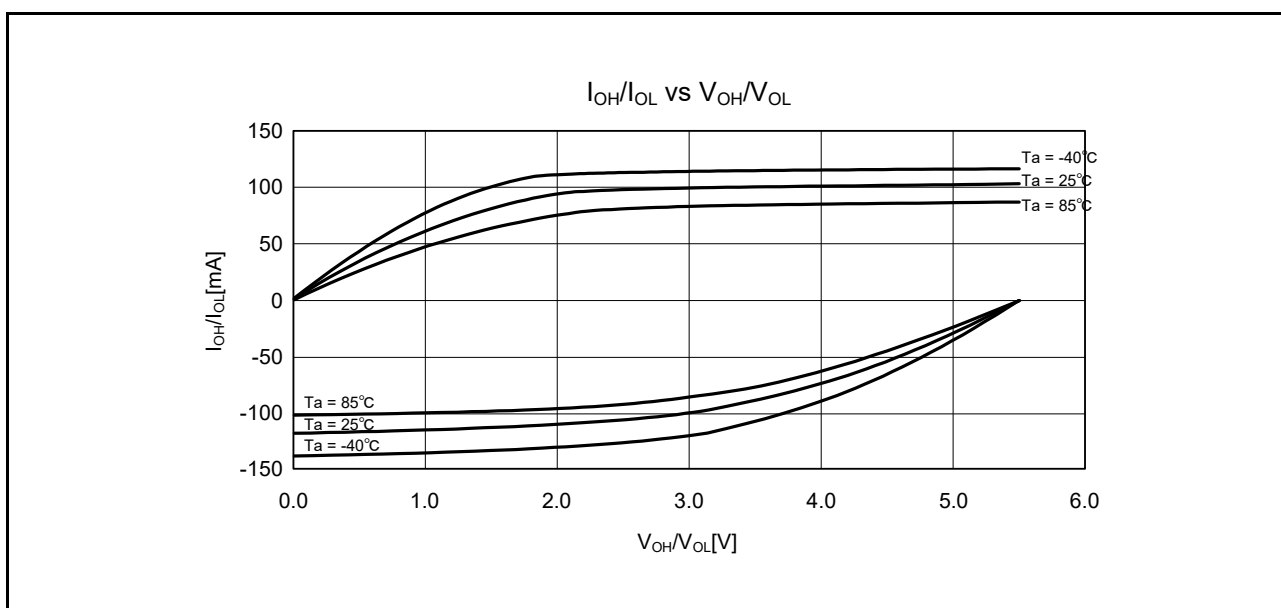


図 5.13 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

5.2.3 標準 I/O 端子出力特性 (3)

図 5.14 ~ 図 5.17 に大電流端子の出力特性を示します。

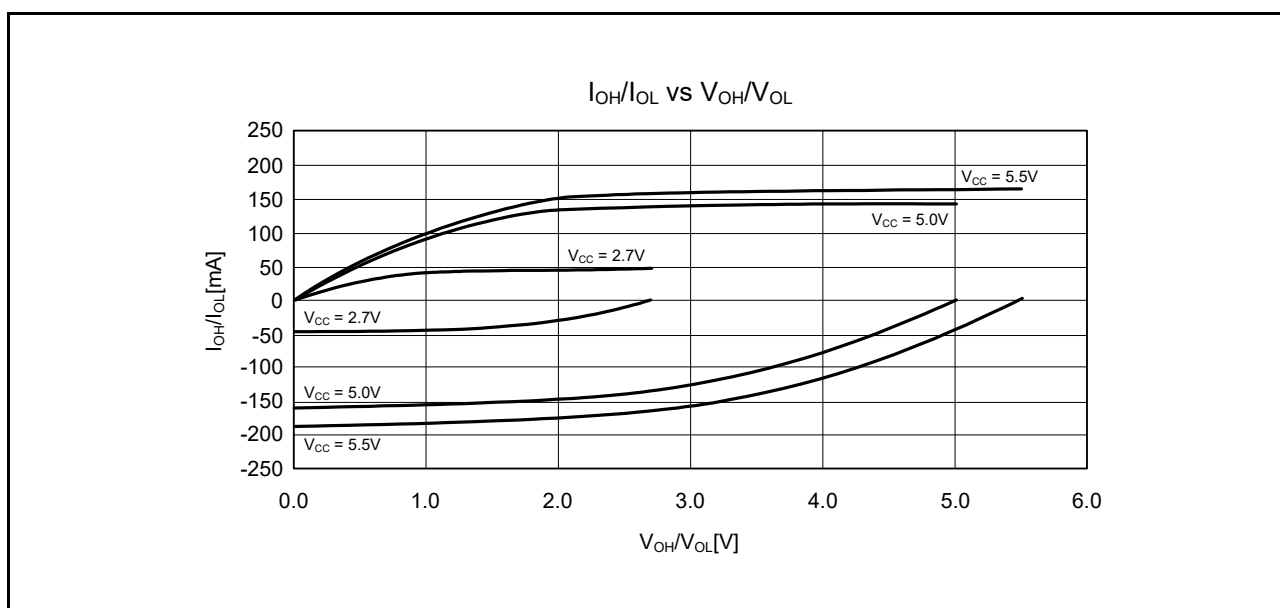


図 5.14 大電流端子の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

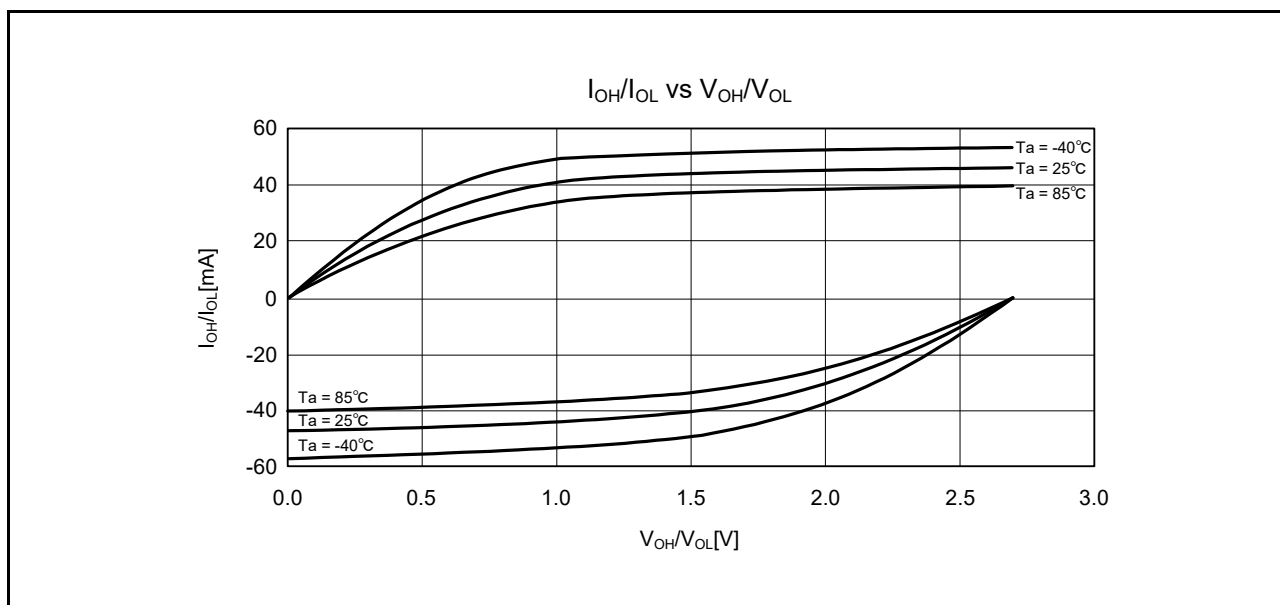


図 5.15 大電流端子の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7\text{V}$ (参考データ)

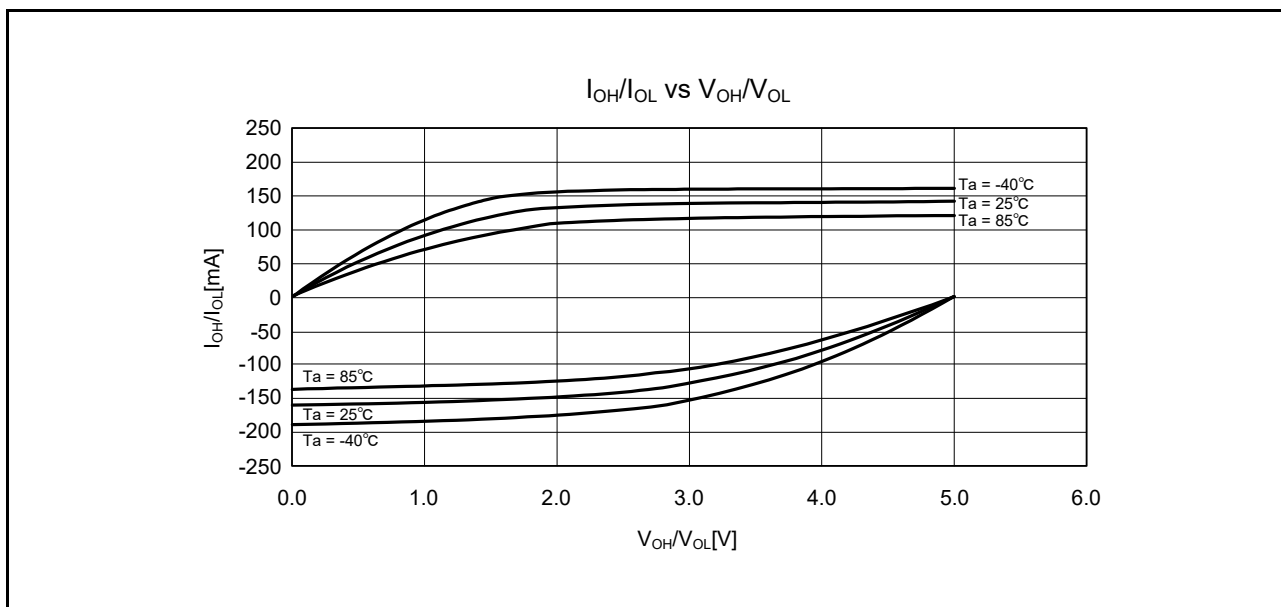


図 5.16 大電流端子の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

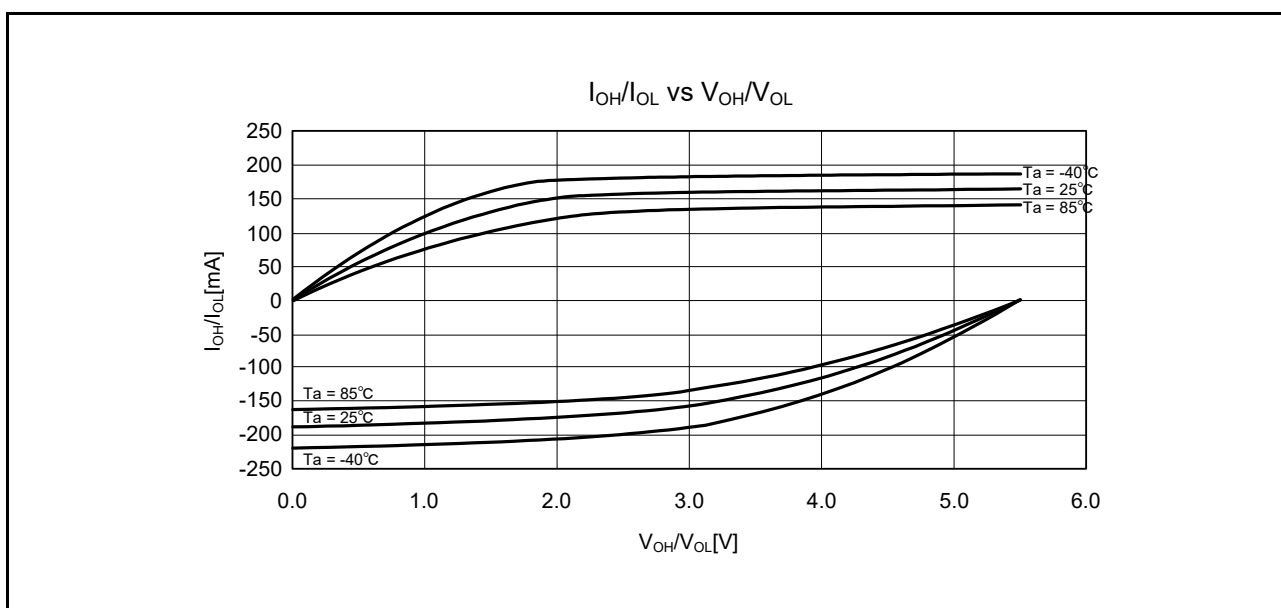


図 5.17 大電流端子の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5V$ (参考データ)

5.2.4 RIIC 端子出力特性

図 5.18 ~ 図 5.21 に RIIC 端子の出力特性を示します。

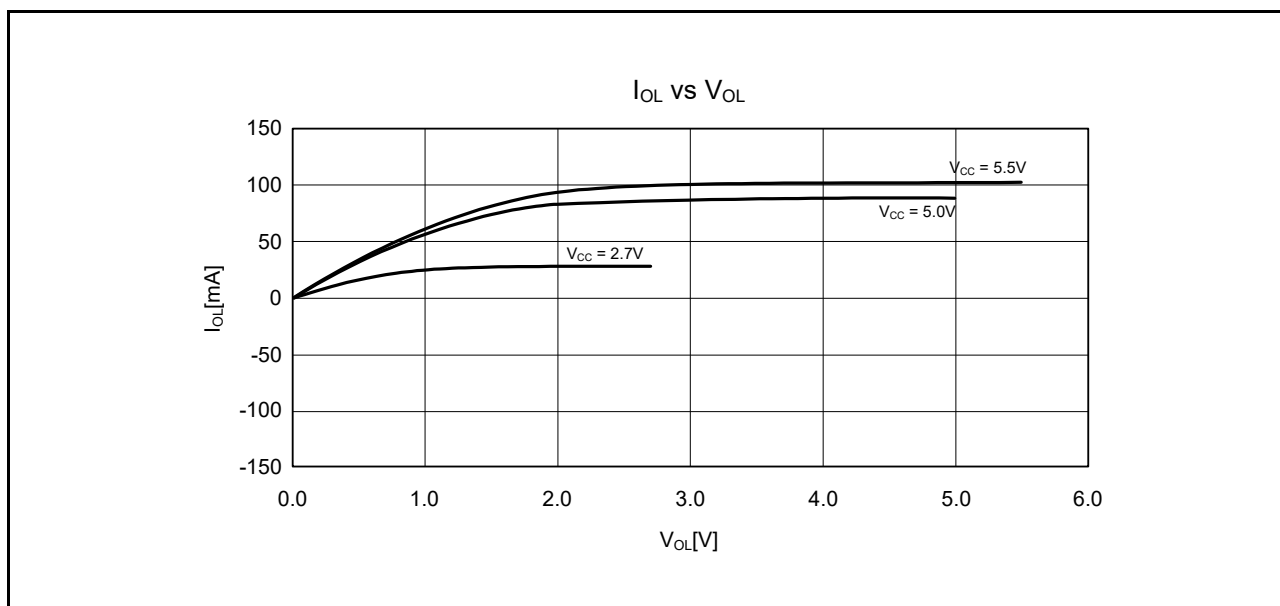


図 5.18 RIIC 出力端子の V_{OL}、I_{OL} 電圧特性 T_a = 25°C (参考データ)

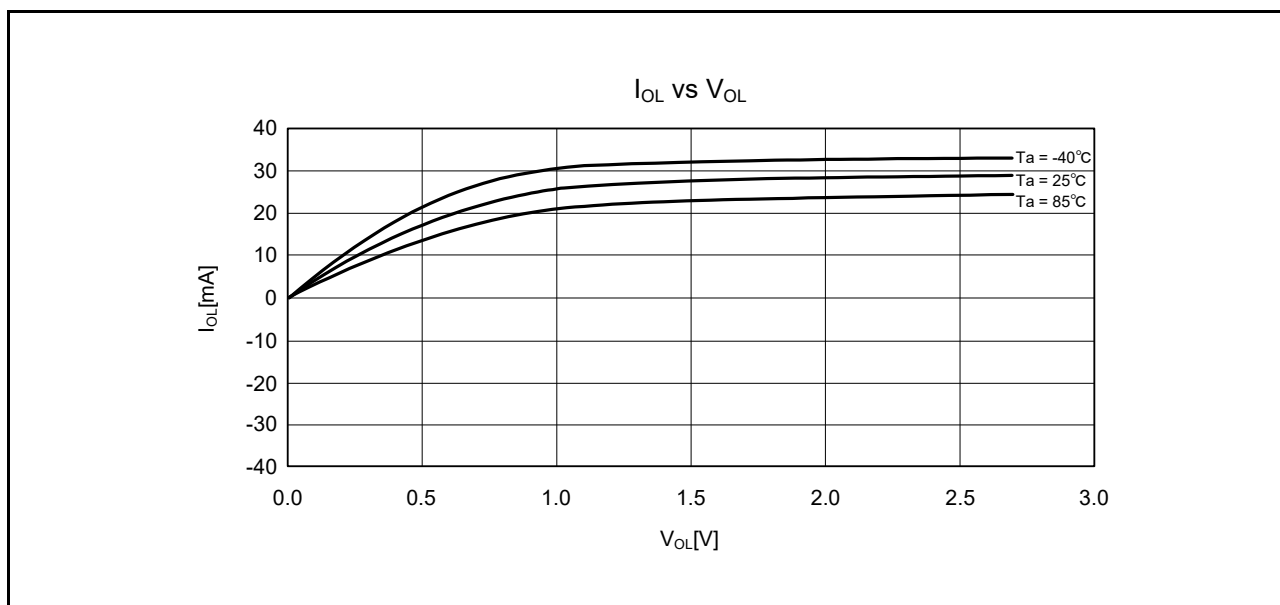


図 5.19 RIIC 出力端子の V_{OL}、I_{OL} 温度特性 V_{CC} = 2.7V (参考データ)

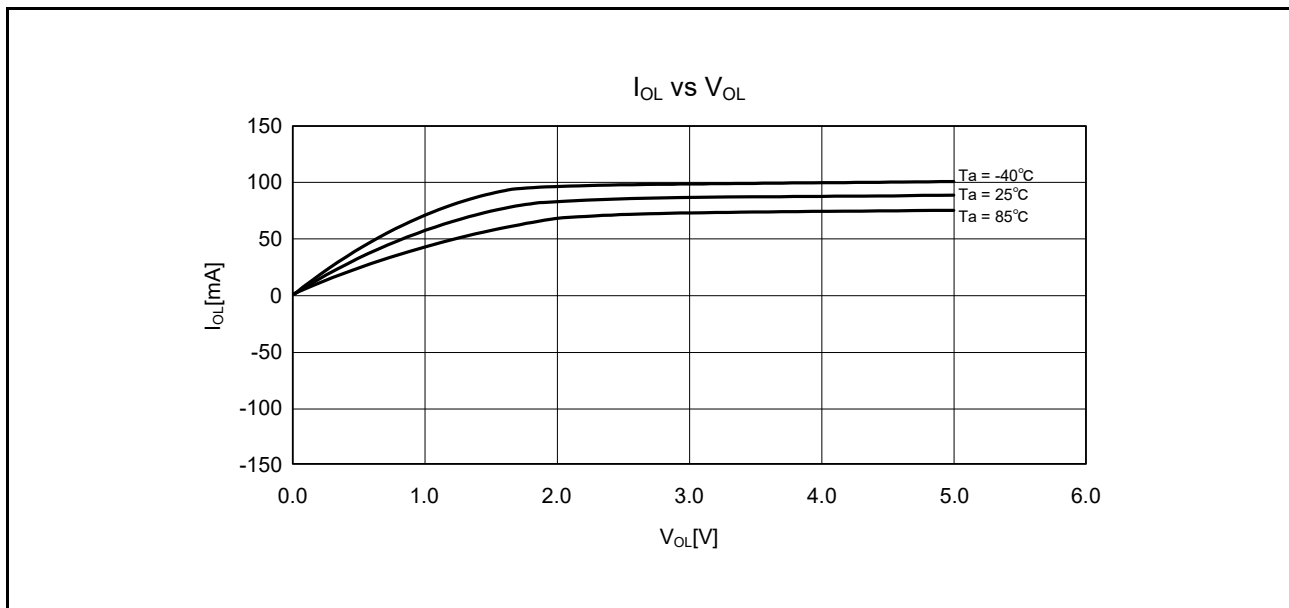


図 5.20 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

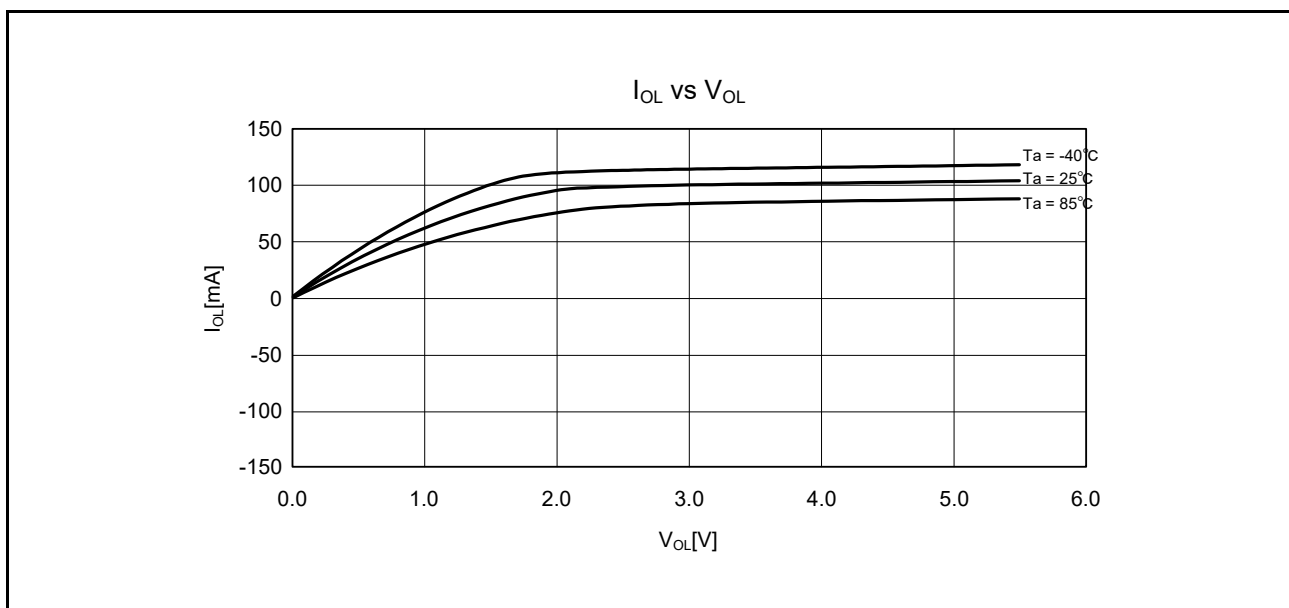


図 5.21 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 5.5V$ (参考データ)

5.3 AC 特性

5.3.1 クロックタイミング

表5.14 動作周波数(高速動作モード)

条件: VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min.	typ.	max.	単位
動作周波数	システムクロック (ICLK)	f_{max}	—	—	80	MHz
	FlashIFクロック (FCLK)(注1、注2)		—	—	32	
	周辺モジュールクロック (PCLKA)		—	—	80	
	周辺モジュールクロック (PCLKB)		—	—	40	
	周辺モジュールクロック (PCLKD)		—	—	40	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

表5.15 動作周波数(中速動作モード)

条件: VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min.	typ.	max.	単位
動作周波数	システムクロック (ICLK)	f_{max}	—	—	12	MHz
	FlashIFクロック (FCLK)(注1、注2)		—	—	12	
	周辺モジュールクロック (PCLKA)		—	—	12	
	周辺モジュールクロック (PCLKB)		—	—	12	
	周辺モジュールクロック (PCLKD)		—	—	12	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

表5.16 クロックタイミング

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t _{Xcyc}	50	—	—	ns	図 5.22
EXTAL外部クロック入力パルス幅Highレベル	t _{XH}	20	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル	t _{XL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t _{Xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t _{Xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間(注1)	t _{XWT}	0.5	—	—	μs	図 5.23
メインクロック発振器発振周波数	f _{MAIN}	1	—	20	MHz	
メインクロック発振安定時間(水晶振動子)(注2)	t _{MAINOSC}	—	3	—	ms	図 5.23
メインクロック発振安定時間(セラミック共振子)(注2)	t _{MAINOSC}	—	50	—	μs	
LOCOクロック発振周波数	f _{LOCO}	3.44	4.0	4.56	MHz	図 5.24
LOCOクロック発振安定時間	t _{LOCO}	—	—	0.5	μs	
HOCOクロック発振周波数	f _{HOCO} (32MHz)	31.52	32	32.48	MHz	T _a = -40 ~ -20°C
		31.68	32	32.32	MHz	T _a = -20 ~ +75°C
		31.52	32	32.48	MHz	T _a = +75 ~ +85°C
	f _{HOCO} (64MHz)	63.04	64	64.96	MHz	T _a = -40 ~ -20°C
		63.36	64	64.64	MHz	T _a = -20 ~ +75°C
		63.04	64	64.96	MHz	T _a = +75 ~ +85°C
HOCOクロック発振安定時間	t _{HOCO} (32MHz)	—	—	37.1	μs	図 5.26
	t _{HOCO} (64MHz)	—	—	80.6	μs	図 5.26
IWDT専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	図 5.27
IWDT専用クロック発振安定時間	t _{ILOCO}	—	—	50	μs	
PLL回路発振周波数	f _{PLL}	40	—	80	MHz	図 5.28
PLLクロック発振安定時間	t _{PLL}	—	—	50	μs	
PLL自励発振周波数	f _{PLLFR}	—	8	—	MHz	

注1. 外部クロックが安定している場合に、メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

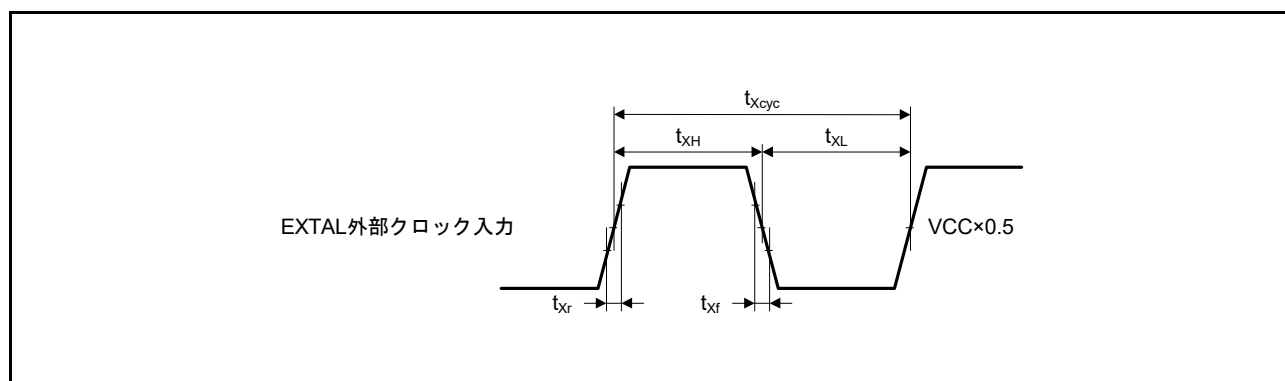


図 5.22 EXTAL 外部クロック入力タイミング

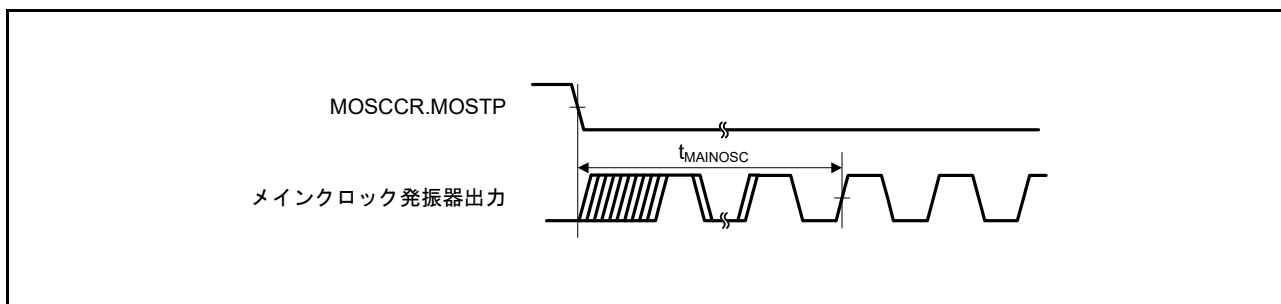


図 5.23 メインクロック発振開始タイミング

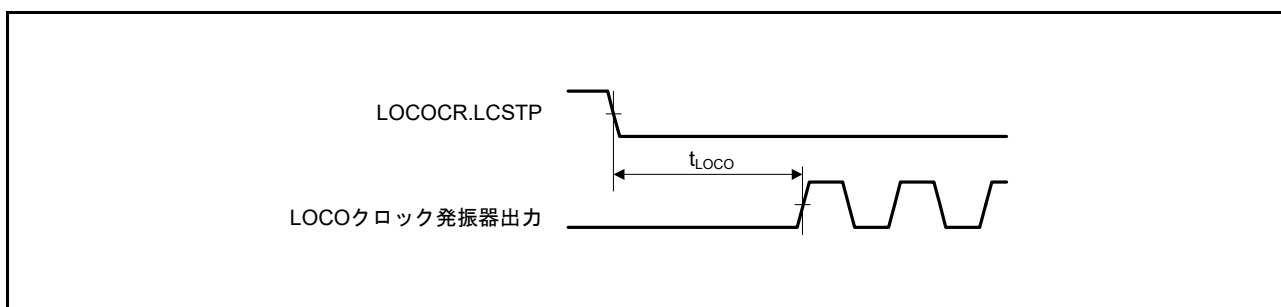


図 5.24 LOCO クロック発振開始タイミング

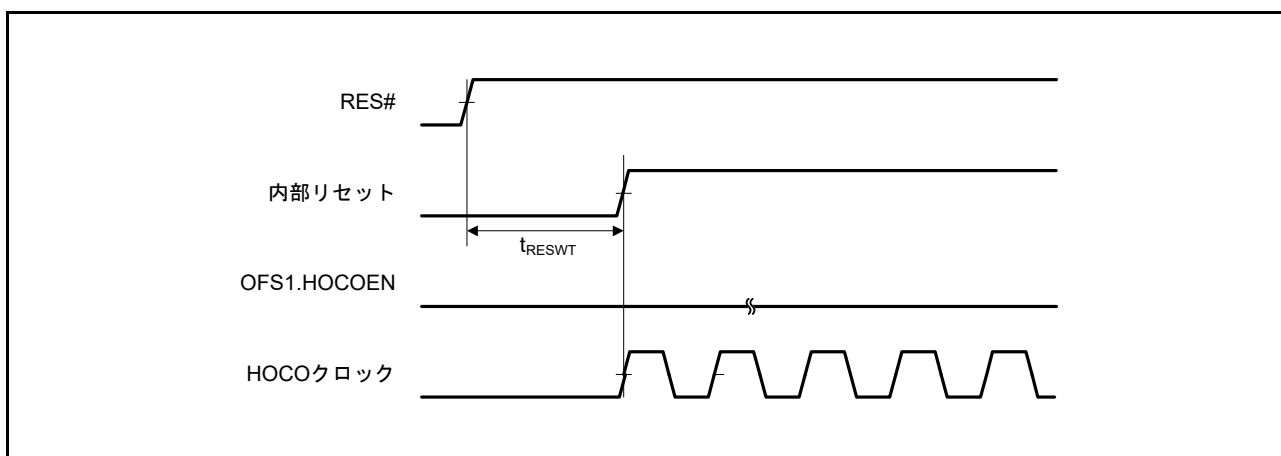


図 5.25 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット “0” 設定時のリセット解除後)

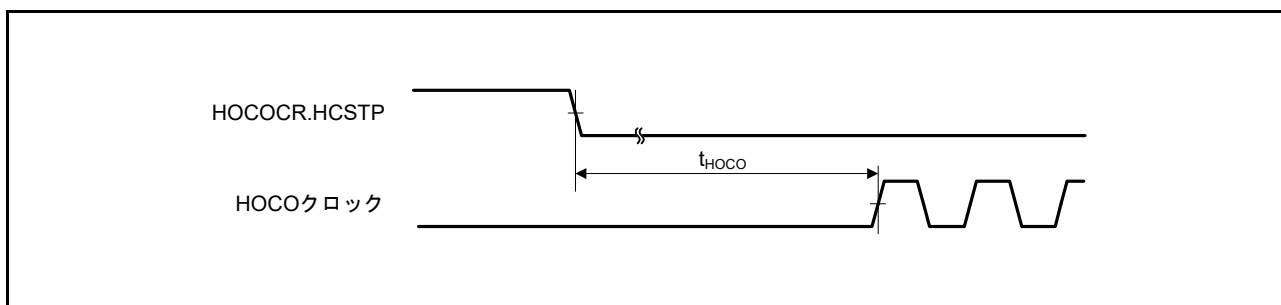


図 5.26 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

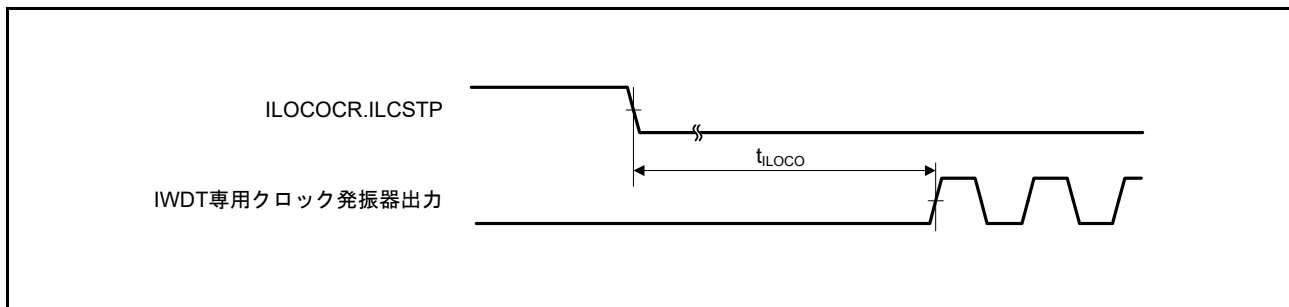


図 5.27 IWDW 専用クロック発振開始タイミング

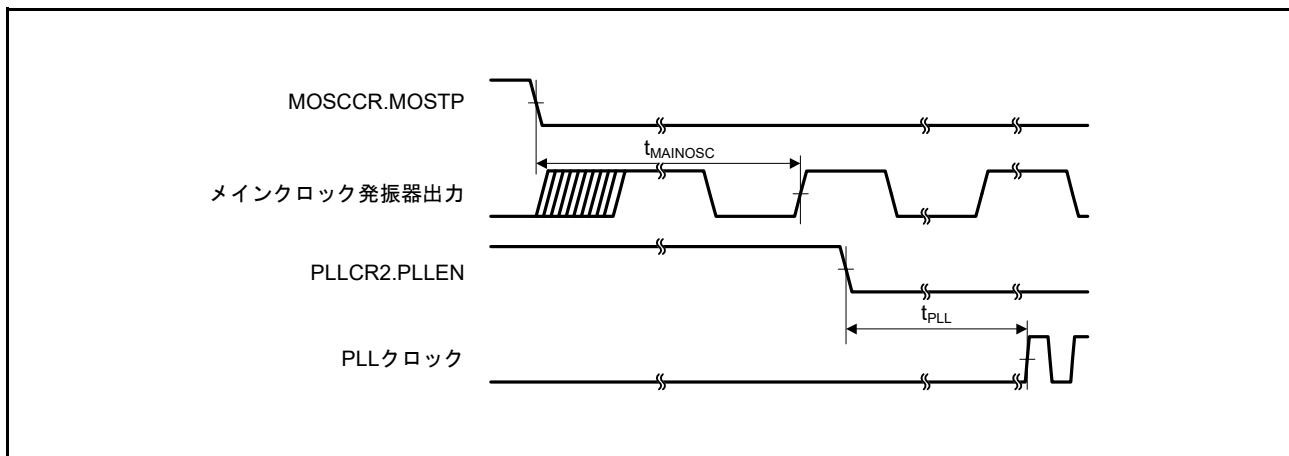


図 5.28 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

5.3.2 リセットタイミング

表5.17 リセットタイミング

条件 : VCC = 2.7V~5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC~5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V, Ta = -40~+85°C

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	3	—	—	ms	図 5.29
	上記以外	t_{RESW}	30	—	—	μs	図 5.30
RES#解除後待機時間(電源投入時)	通常起動時	t_{RESWT}	—	27.5	—	ms	図 5.29
RES#解除後待機時間(電源立ち上がった状態)		t_{RESWT}	—	114	—	μs	図 5.30
独立ウォッチドッグタイマリセット期間		t_{RESWIW}	—	1	—	IWDT clock cycle	図 5.31
ソフトウェアリセット期間		t_{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間(注1)		t_{RESW2}	—	300	—	μs	
ソフトウェアリセット解除後待機時間		t_{RESW2}	—	168	—	μs	

注1. IWDCR.CKS[3:0] = 0000bを設定した場合です。

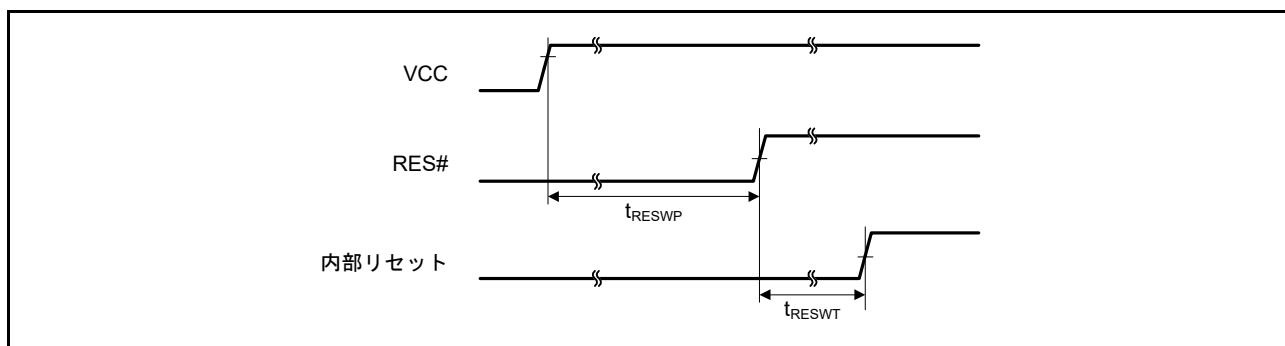


図 5.29 電源投入時リセット入カタイミング

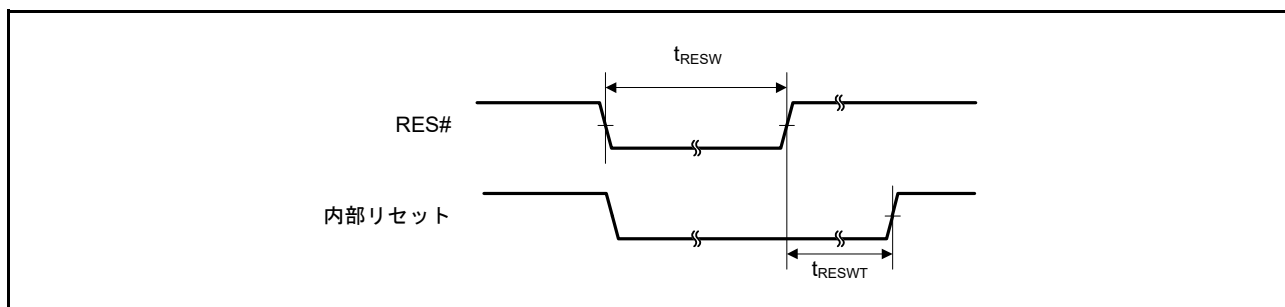


図 5.30 リセット入カタイミング (1)

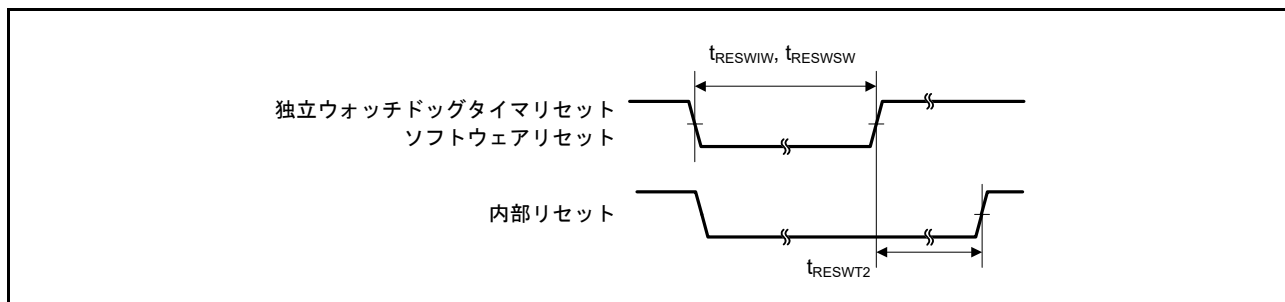


図 5.31 リセット入カタイミング (2)

5.3.3 低消費電力状態からの復帰タイミング

表5.18 低消費電力状態からの復帰タイミング(1)

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = -40 ~ +85°C

項目		記号	min	typ	max	単位	測定条件		
ソフトウェアスタンバイモード解除後復帰時間(注1)	高速モード メインクロック発振器に水晶振動子を接続	メインクロック発振器動作(注2)	t _{SBYMC}	—	2	3	ms	図 5.32	
		メインクロック発振器、PLL回路動作(注3)	t _{SBYPC}	—	2	3	ms		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作(注4)	t _{SBYEX}	—	35	50	μs		
		メインクロック発振器、PLL回路動作(注5)	t _{SBYPE}	—	70	95	μs		
	HOCOクロック動作	HOCOクロック発振器動作1(注6)	t _{SBYHO}	—	40	55	μs		
		HOCOクロック発振器動作2(注7)	t _{SBYHO}	—	75	90	μs		
		HOCOクロック発振器、PLL回路動作(注8)	t _{SBYPH}	—	110	130	μs		
	LOCOクロック動作(注9)		t _{SBYLO}	—	40	55	μs		

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。
ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

注3. PLLの周波数が80MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。
ICLK、PCLKAの周波数を80MHz、PCLKB、PCLKDの周波数を40MHz、FCLKの周波数を20MHzに設定した場合です。

注4. 外部クロックの周波数が20MHzの場合です。
ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

注5. PLLの周波数が80MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。
ICLK、PCLKAの周波数を80MHz、PCLKB、PCLKDの周波数を40MHz、FCLKの周波数を20MHzに設定した場合です。

注6. 高速オンチップオシレータの周波数が32MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“05h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

注7. 高速オンチップオシレータの周波数が64MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“06h”を設定した場合です。ICLK、PCLKAの周波数を64MHz、PCLKB、PCLKD、FCLKの周波数を32MHzに設定した場合です。

注8. 高速オンチップオシレータの周波数が32MHz、PLLの周波数が80MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“05h”を設定した場合です。ICLK、PCLKAの周波数を80MHz、PCLKB、PCLKDの周波数を40MHz、FCLKの周波数を20MHzに設定した場合です。

注9. ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

表 5.19 低消費電力状態からの復帰タイミング(2)

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間(注1)	中速モード メインクロック発振器に水晶振動子を接続	メインクロック発振器動作(注2)	t _{SBYMC}	—	2	3	ms	図 5.32
		メインクロック発振器、PLL回路動作(注3)	t _{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作(注4)	t _{SBYEX}	—	3	4	μs	
		メインクロック発振器、PLL回路動作(注5)	t _{SBYPE}	—	65	85	μs	
	HOCOクロック動作	HOCOクロック発振器動作1(注6)	t _{SBYHO}	—	40	50	μs	
		HOCOクロック発振器動作2(注7)	t _{SBYHO}	—	75	85	μs	
		HOCOクロック発振器、PLL回路動作(注8)	t _{SBYPH}	—	110	125	μs	
	LOCOクロック動作(注9)	t _{SBYLO}	—	5	7	μs		

- 注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。
- 注2. 水晶振動子の周波数が12MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ(MOSWCWTCR)に“04h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。
- 注3. PLLの周波数が48MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ(MOSWCWTCR)に“04h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を12MHzに設定した場合です。
- 注4. 外部クロックの周波数が12MHzの場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。
- 注5. PLLの周波数が48MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ(MOSWCWTCR)に“00h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を12MHzに設定した場合です。
- 注6. 高速オンチップオシレータの周波数が32MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“05h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を8MHz設定した場合です。
- 注7. 高速オンチップオシレータの周波数が64MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“06h”を設定します。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を8MHzに設定した場合です。
- 注8. 高速オンチップオシレータの周波数が32MHz、PLLの周波数が80MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“05h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を10MHzに設定した場合です。
- 注9. ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

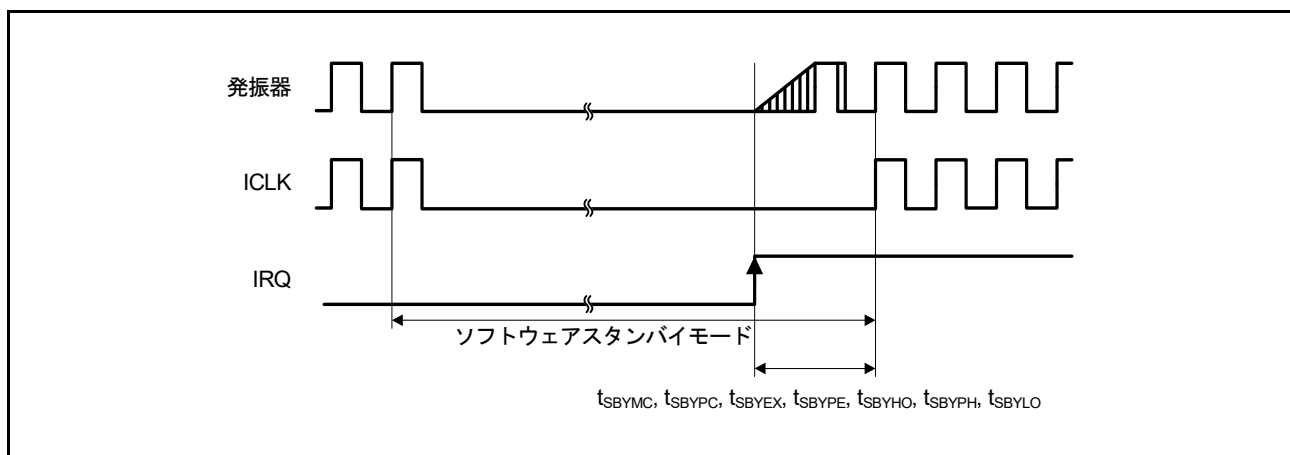


図 5.32 ソフトウェアスタンバイモード復帰タイミング

表5.20 低消費電力状態からの復帰タイミング(3)

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
ディープスリープモード 解除後復帰時間(注1)	高速モード(注2)	$t_{\text{DSL P}}$	—	2	3.5	μs
	中速モード(注3)	$t_{\text{DSL P}}$	—	3	4	μs

注1. ディープスリープモードでは発振器は発振を継続します。

注2. ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数が32MHzの場合です。

注3. ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数が12MHzの場合です。

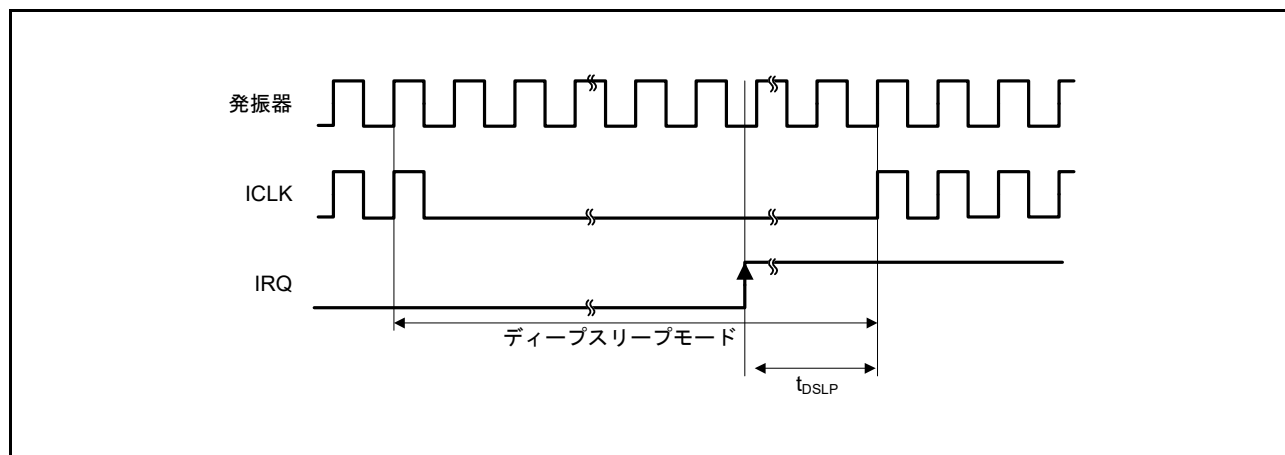


図 5.33 ディープスリープモード解除タイミング

表5.21 動作モード遷移時間

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs

注. PCLKA、PCLKB、PCLKD、FCLKを分周していない設定時の値です。

5.3.4 制御信号タイミング

表5.22 制御信号タイミング

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$t_{\text{Pcyc}} \times 2 \leq 200\text{ns}$
		$t_{\text{Pcyc}} \times 2$ (注1)	—	—			$t_{\text{Pcyc}} \times 2 > 200\text{ns}$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$t_{\text{NMICK}} \times 3 \leq 200\text{ns}$
		$t_{\text{NMICK}} \times 3.5$ (注2)	—	—			$t_{\text{NMICK}} \times 3 > 200\text{ns}$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$t_{\text{Pcyc}} \times 2 \leq 200\text{ns}$
		$t_{\text{Pcyc}} \times 2$ (注1)	—	—			$t_{\text{Pcyc}} \times 2 > 200\text{ns}$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$t_{\text{IRQCK}} \times 3 \leq 200\text{ns}$
		$t_{\text{IRQCK}} \times 3.5$ (注3)	—	—			$t_{\text{IRQCK}} \times 3 > 200\text{ns}$

注. ソフトウェアスタンバイモード時は最小200nsです。

注1. t_{Pcyc} : PCLKBの周期

注2. t_{NMICK} : NMIデジタルフィルタサンプリングクロックの周期

注3. t_{IRQCK} : IRQiデジタルフィルタサンプリングクロック(i = 0~7)の周期

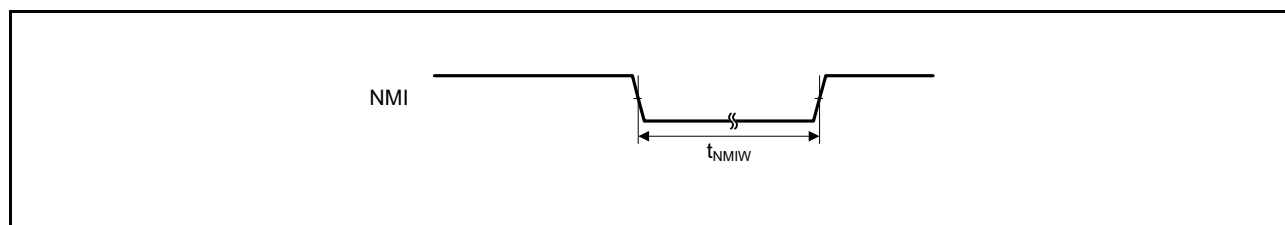


図 5.34 NMI 割り込み入力タイミング

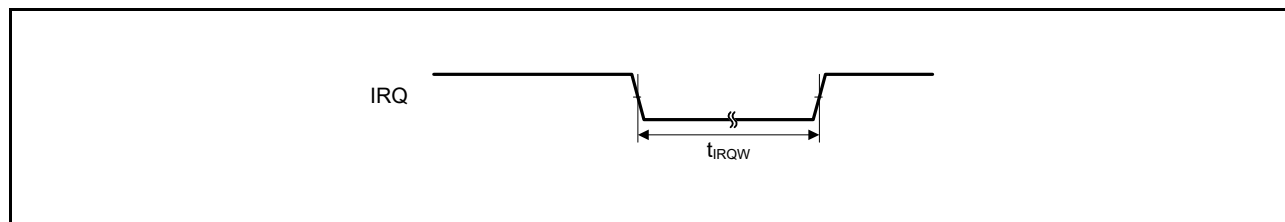


図 5.35 IRQ 割り込み入力タイミング

5.3.5 内蔵周辺モジュールタイミング

表5.23 内蔵周辺モジュールタイミング(1)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図5.36	
MTU3	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{TICW}	3	—	t_{PAcyc}	図5.37
		両エッジ指定		5	—		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} , t_{TCKWL}	3	—	t_{PAcyc}	図5.38
		両エッジ指定		5	—		
位相計数モード		5		—			
POE3	POE#入力パルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図5.39	
GPT	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{GTICW}	1.5	—	t_{PAcyc}	図5.40
		両エッジ指定		2.5	—		
	外部トリガ入力パルス幅	単エッジ指定	t_{GTETW}	1.5	—	t_{PAcyc}	図5.41
		両エッジ指定		2.5	—		
タイマクロックパルス幅		t_{GTCKWH}	1.5	—	t_{PAcyc}	図5.42	
		t_{GTCKWL}					
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH} , t_{TMCWL}	1.5	—	t_{Pcyc}	図5.43
		両エッジ指定		2.5	—		
SCI	入カクロックサイクル	調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図5.44
		クロック同期		6	—		
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カクロック立ち上がり時間		t_{SCKr}	—	20	ns	
	入カクロック立ち下がり時間		t_{SCKf}	—	20	ns	
	出カクロックサイクル	調歩同期	t_{Scyc}	16	—	t_{Pcyc}	図5.45
		クロック同期		4	—		
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出カクロック立ち上がり時間		t_{SCKr}	—	20	ns	
	出カクロック立ち下がり時間		t_{SCKf}	—	20	ns	
	送信データ遅延時間 (マスタ)	クロック同期	t_{TXD}	—	40	ns	
	送信データ遅延時間 (スレーブ)	クロック 同期		4.0V以上	—	40	ns
				2.7V以上	—	65	ns
	受信データセットアップ 時間(マスタ)	クロック 同期	t_{RXS}	4.0V以上	40	—	ns
2.7V以上				65	—	ns	
受信データセットアップ 時間(スレーブ)	クロック同期		40	—	ns		
受信データホールド時間	クロック同期	t_{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図5.46	
CAC	CACREF入力パルス幅	t_{CACREF}	$t_{Pcyc} \leq t_{cac}$ (注2)	$4.5 t_{cac} + 3 t_{Pcyc}$	—	ns	
			$t_{Pcyc} > t_{cac}$ (注2)	$5 t_{cac} + 6.5 t_{Pcyc}$			

注1. t_{Pcyc} : PCLKの周期、 t_{PAcyc} : PCLKAの周期

注2. t_{cac} : CACカウントクロックソースの周期

表5.24 内蔵周辺モジュールタイミング(2)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim 85^\circ\text{C}$, C = 30pF

項目		記号	min	max	単位 (注1)	測定条件		
RSPI	RSPCKクロック サイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc}	図5.47	
		スレーブ		6	—			
	RSPCKクロック Highレベルパルス幅	マスタ (4.0V以上)	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 5$	—	ns		
		マスタ (2.7V以上)		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 8$	—			
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2$	—			
	RSPCKクロック Lowレベルパルス幅	マスタ (4.0V以上)	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 5$	—	ns		
		マスタ (2.7V以上)		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 8$	—			
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2$	—			
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	t_{SPCKr} , t_{SPCKf}	4.0V以上	—	6		ns
		2.7V以上		—	10			
	データ入力セット アップ時間	入力		—	0.1	$\mu\text{s}/\text{V}$		
		マスタ	t_{SU}	4.0V以上	10	—		ns
2.7V以上	26	—						
データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t_H	t_{Pcyc}	—	ns		
			RSPCKをPCLKB の2分周に設定	t_{HF}	0	—		
	スレーブ	t_H	0	—				
SSLセットアップ 時間	マスタ	t_{LEAD}	$-30 + N(\text{注2}) \times t_{SPcyc}$	—	ns			
	スレーブ		6	—	t_{Pcyc}			
SSLホールド時間	マスタ	t_{LAG}	$-30 + N(\text{注3}) \times t_{SPcyc}$	—	ns			
	スレーブ		6	—	t_{Pcyc}			
データ出力遅延時間	マスタ	4.0V以上	t_{OD}	—	10	ns		
				2.7V以上	—		14	
	スレーブ	—		65				
データ出力ホールド 時間	マスタ	t_{OH}	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns			
	スレーブ		$6 \times t_{Pcyc}$	—				
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	t_{Dr} , t_{Df}	—	10	ns			
	入力		—	1	μs			
SSL立ち上がり/ 立ち下がり時間	出力	t_{SSLr}	—	10	ns			
	入力	t_{SSLf}	—	1	μs			
スレーブアクセス時間		t_{SA}	—	6	t_{Pcyc}	図5.50、 図5.51		
スレーブ出力開放時間		t_{REL}	—	5	t_{Pcyc}			

注1. t_{Pcyc} : PCLKの周期

注2. N : RSPCKクロック遅延レジスタ (SPCKD)にて設定可能な1~8の整数

注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND)にて設定可能な1~8の整数

表5.25 内蔵周辺モジュールタイミング(3)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$, C = 30pF

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	4	65536	t_{Pcyc}	図 5.47	
	SCKクロックサイクル入力(スレーブ)		6	—	t_{Pcyc}		
	SCKクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCKクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	4.0V以上	t_{SU}	40	—	ns	図 5.48、 図 5.49
		2.7V以上		65	—		
	データ入力セットアップ時間(スレーブ)	40		—			
	データ入力ホールド時間	t_H	40	—	ns		
	SS入力セットアップ時間	t_{LEAD}	3	—	t_{SPcyc}		
	SS入力ホールド時間	t_{LAG}	3	—	t_{SPcyc}		
	データ出力遅延時間(マスタ)	t_{OD}	—	40	ns		
	データ出力遅延時間(スレーブ)		4.0V以上	—		40	
			2.7V以上	—		65	
	データ出力ホールド時間	マスタ	t_{OH}	-10	—	ns	
スレーブ		-10		—			
データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	20	ns			
SS入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	20	ns			
スレーブアクセス時間	t_{SA}	—	6	t_{Pcyc}	図 5.50、 図 5.51		
スレーブ出力開放時間	t_{REL}	—	6	t_{Pcyc}			

注1. t_{Pcyc} : PCLKの周期

表5.26 内蔵周辺モジュールタイミング(4)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min(注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	t_{SCL}	$6(12) \times t_{\text{IICcyc}} + 1300$	—	ns	図5.52
	SCL Highパルス幅	t_{SCLH}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{\text{IICcyc}}$	ns	
	SDAバスフリー時間	t_{BUF}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{\text{IICcyc}} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件セットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{\text{IICcyc}} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (ファストモード)	SCLサイクル時間	t_{SCL}	$6(12) \times t_{\text{IICcyc}} + 600$	—	ns	図5.52
	SCL Highパルス幅	t_{SCLH}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{\text{IICcyc}}$	ns	
	SDAバスフリー時間	t_{BUF}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{\text{IICcyc}} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	300	—	ns	
	停止条件セットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{\text{IICcyc}} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注1. t_{IICcyc} : RIICの内部基準クロック(IICφ)の周期

注2. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

表5.27 内蔵周辺モジュールタイミング(5)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 Ta = -40 ~ +85°C

項目		記号	min	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA立ち上がり時間	t _{Sr}	—	1000	ns	図5.52
	SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注1)	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
簡易I ² C (ファストモード)	SDA立ち上がり時間	t _{Sr}	—	300	ns	図5.52
	SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注1)	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注1. t_{pcyc} : PCLKBの周期

注2. C_bはバスラインの容量総計です。

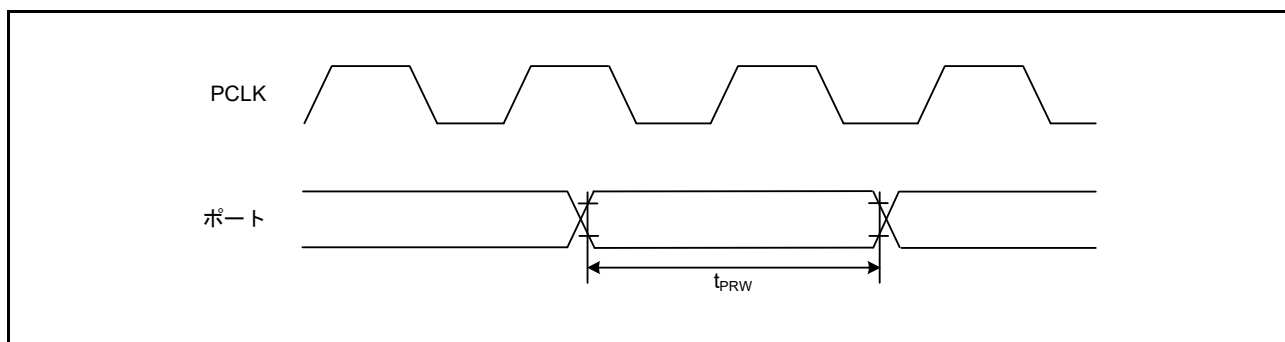


図 5.36 I/O ポート入力タイミング

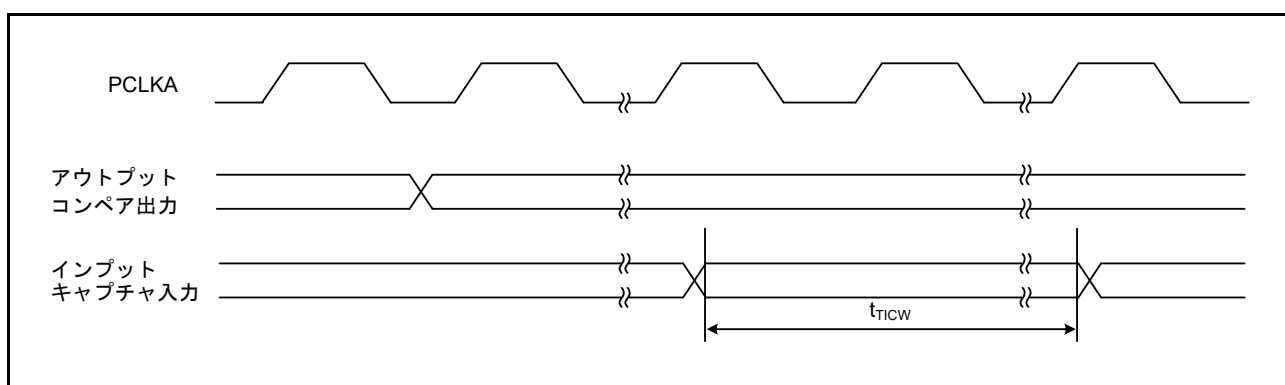


図 5.37 MTU3 入出力タイミング

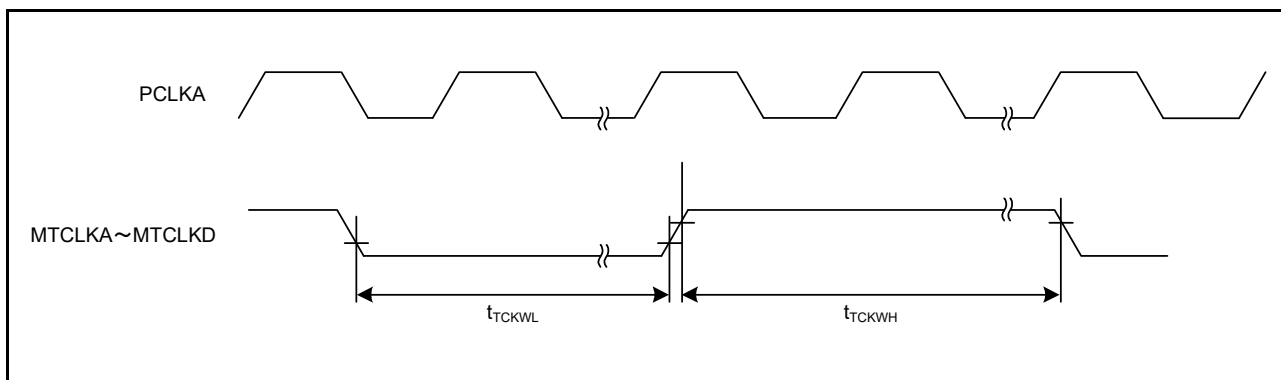


図 5.38 MTU3 クロック入力タイミング

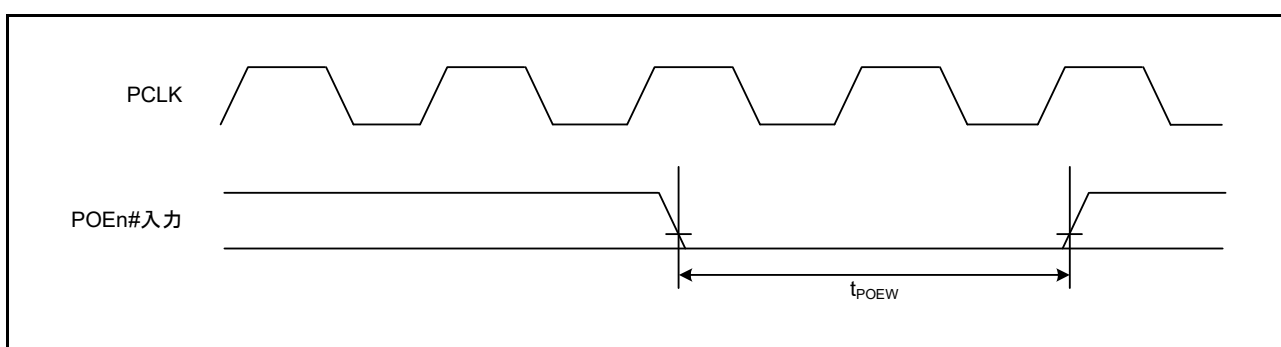


図 5.39 POE# 入力タイミング

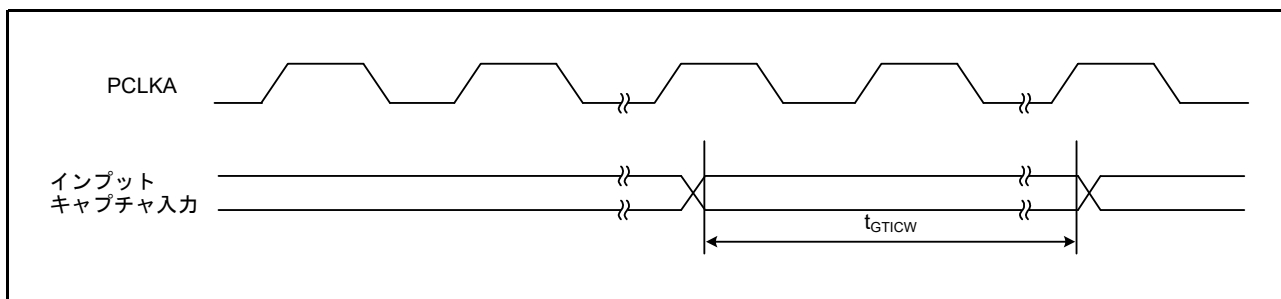


図 5.40 GPT インプットキャプチャ入力タイミング

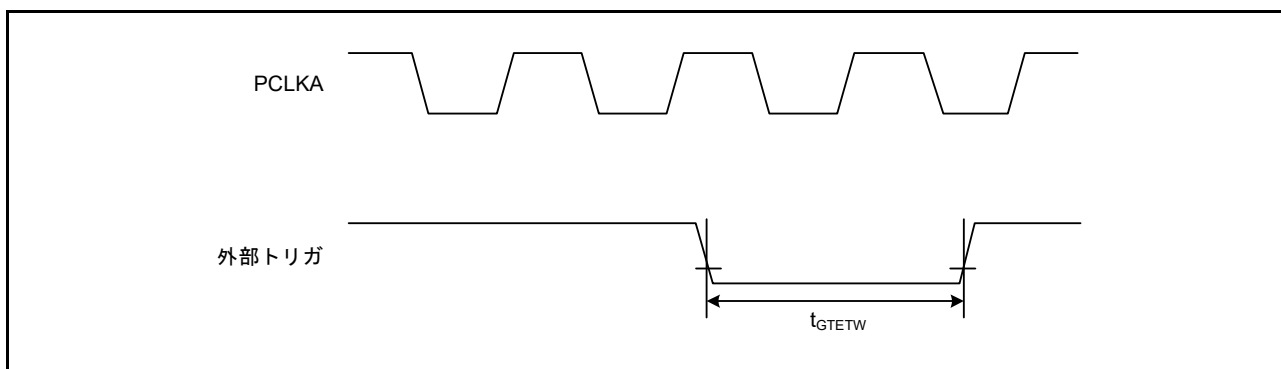


図 5.41 GPT 外部トリガ入力タイミング

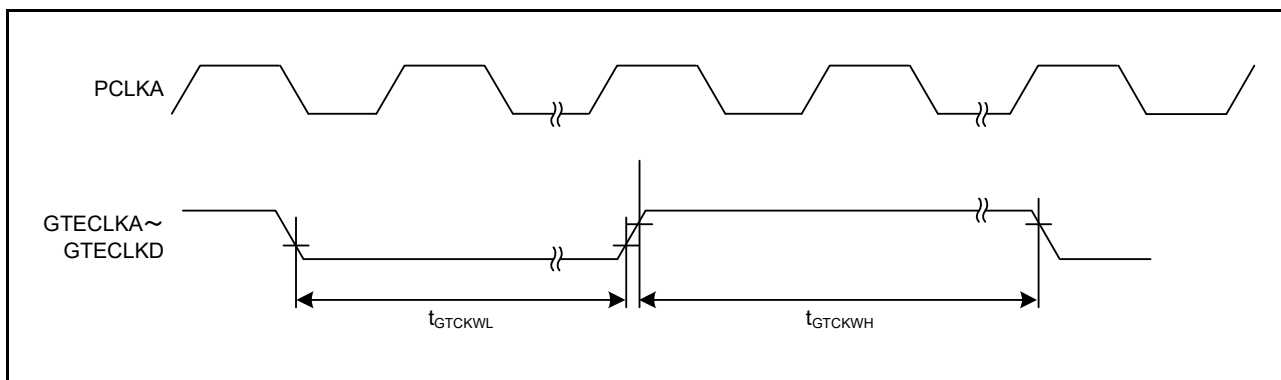


図 5.42 GPT クロック入力タイミング

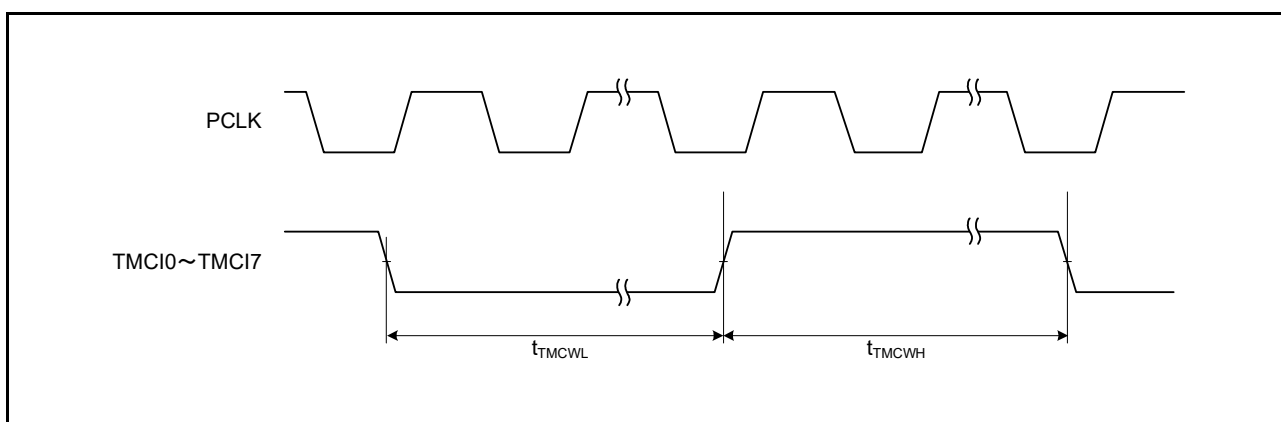


図 5.43 TMR クロック入力タイミング

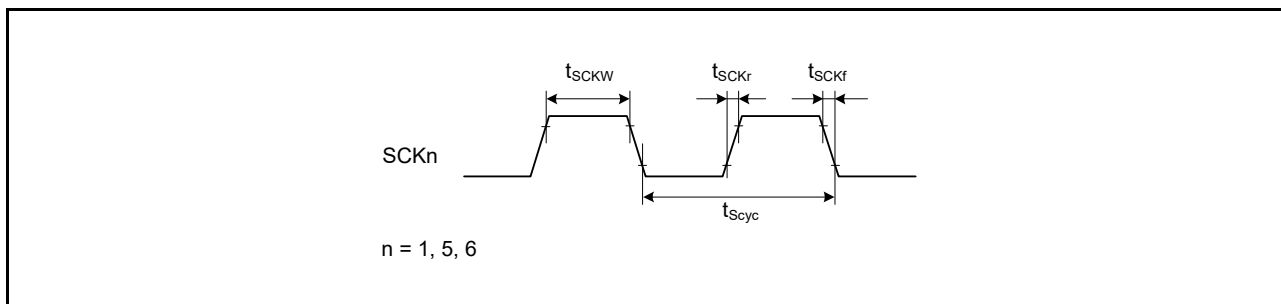


図 5.44 SCK クロック入力タイミング

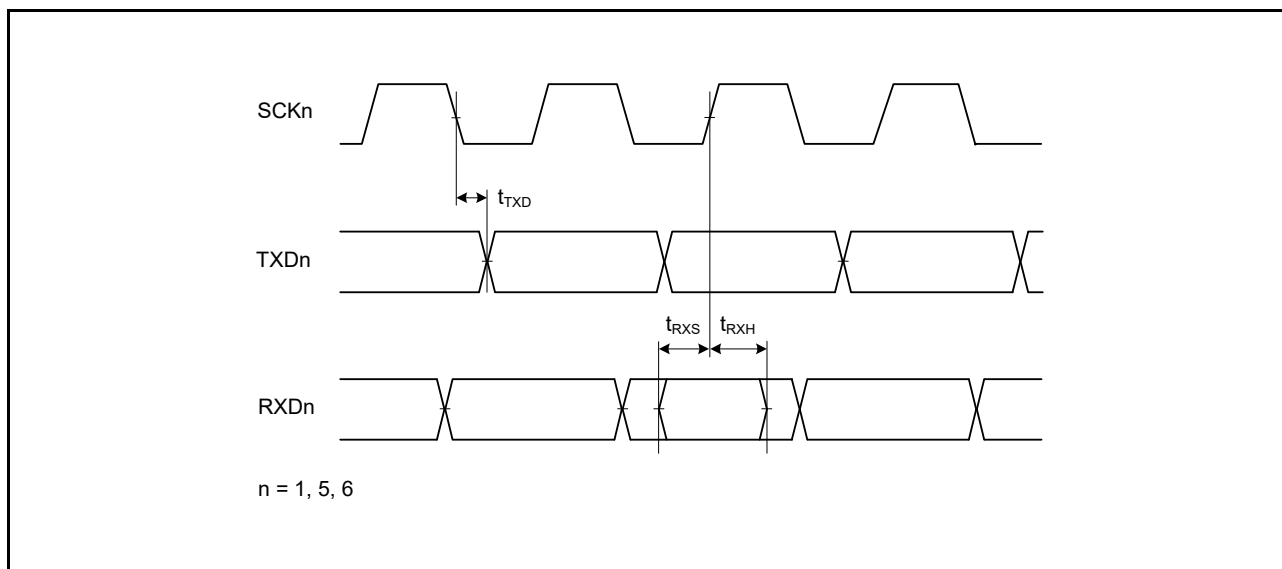


図 5.45 SCI 入出力タイミング / クロック同期式モード

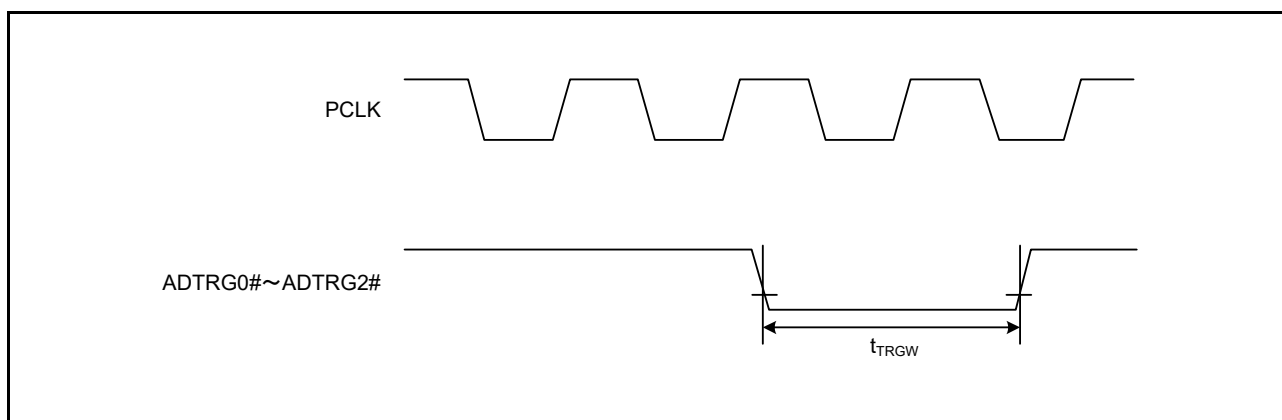


図 5.46 A/D コンバータ外部トリガ入力タイミング

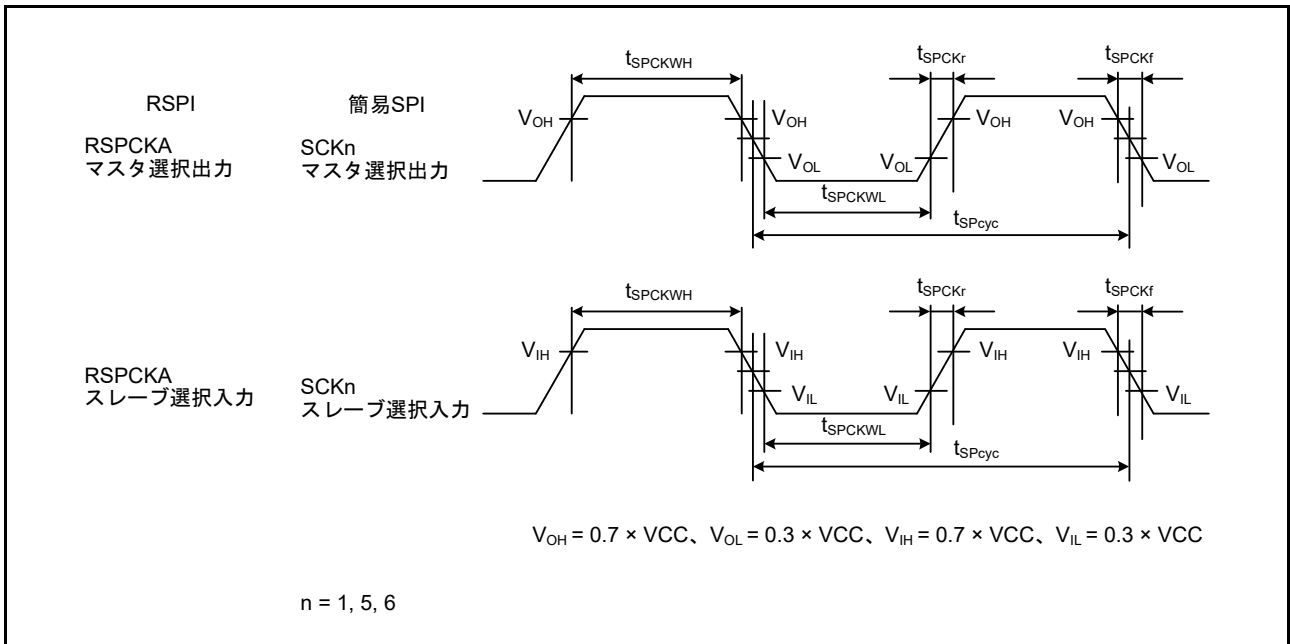


図 5.47 RSPI クロックタイミング / 簡易 SPI クロックタイミング

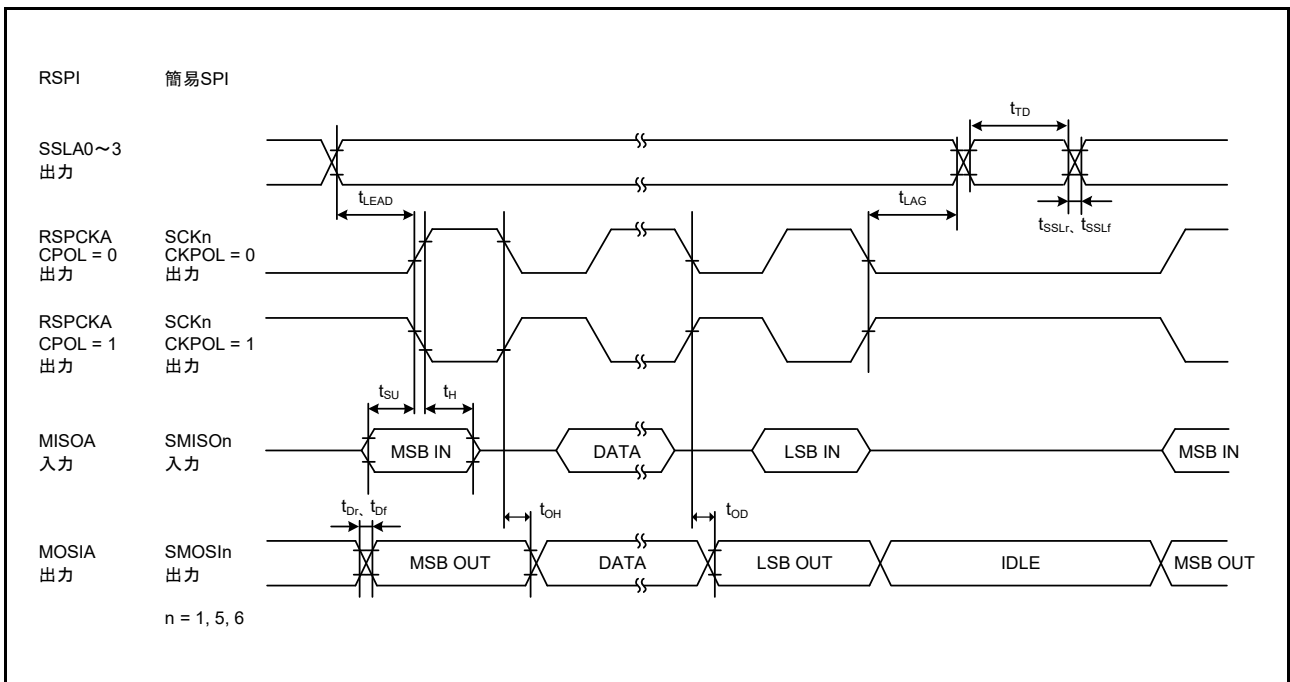


図 5.48 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI タイミング (マスタ、CKPH = 1)

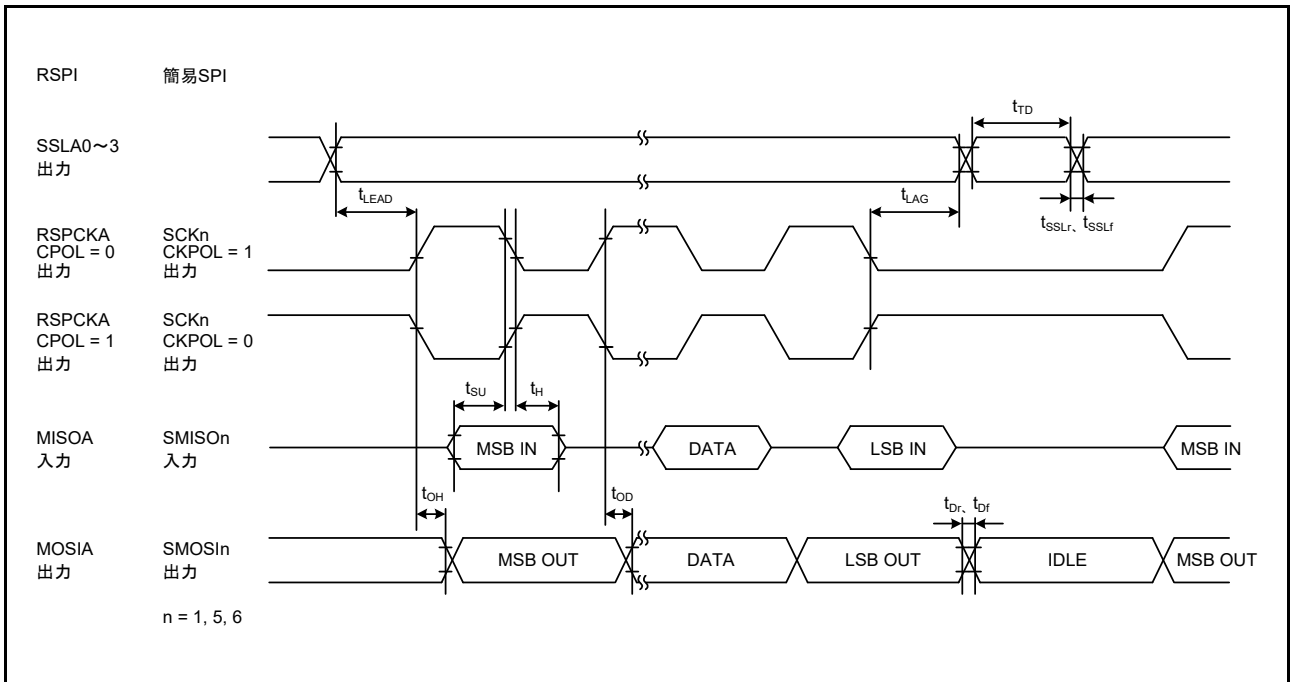


図 5.49 RSPi タイミング (マスタ、CPHA = 1)/ 簡易 SPI タイミング (マスタ、CKPH = 0)

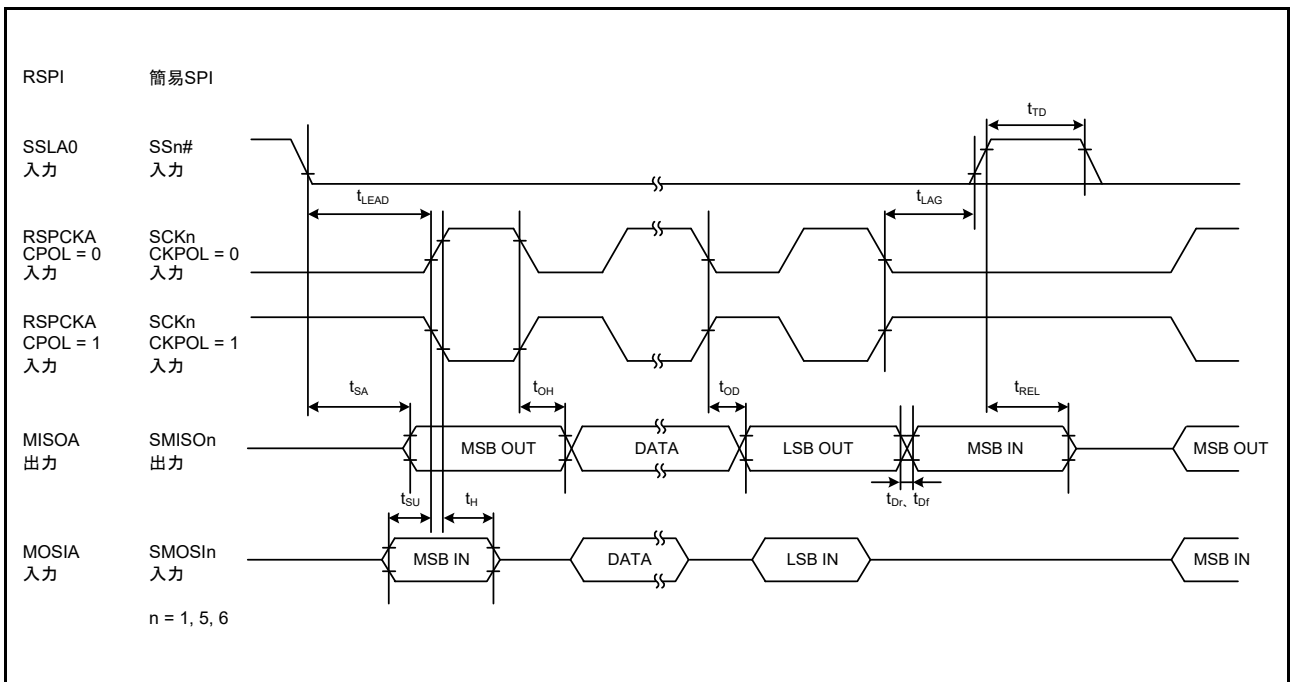


図 5.50 RSPi タイミング (スレーブ、CPHA = 0)/ 簡易 SPI タイミング (スレーブ、CKPH = 1)

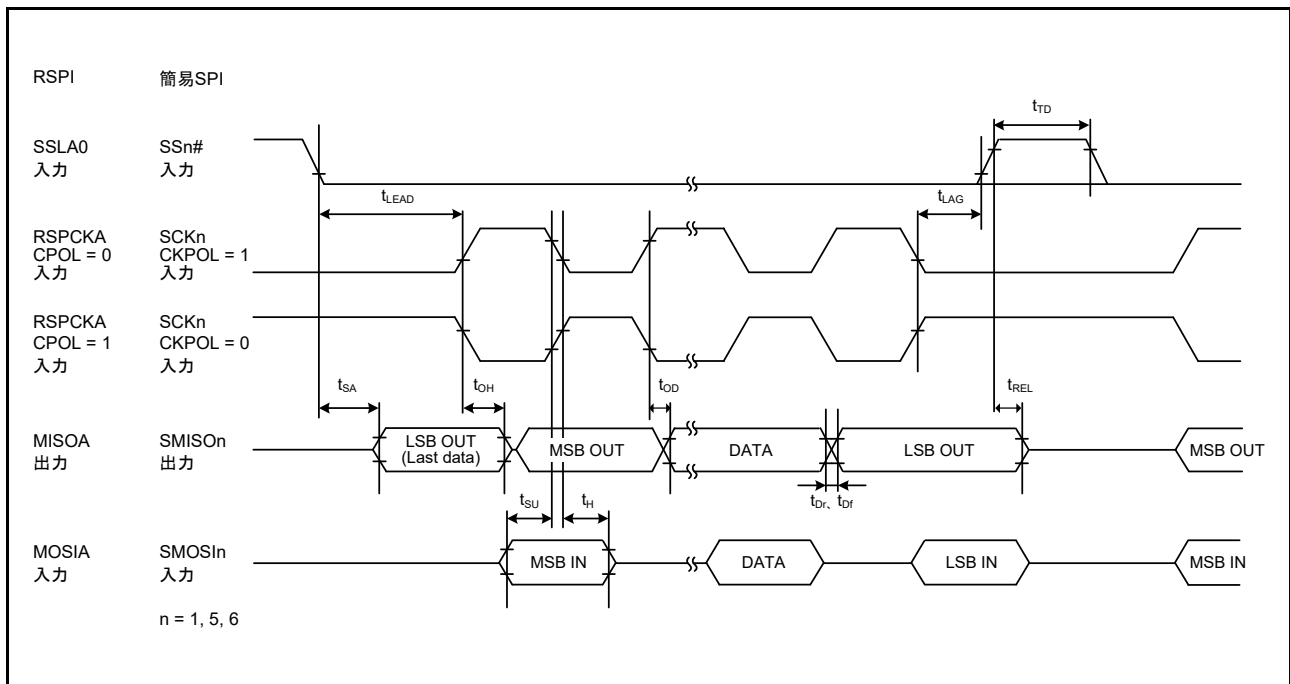


図 5.51 RSPI タイミング (スレーブ、CPHA = 1)/ 簡易 SPI タイミング (スレーブ、CKPH = 0)

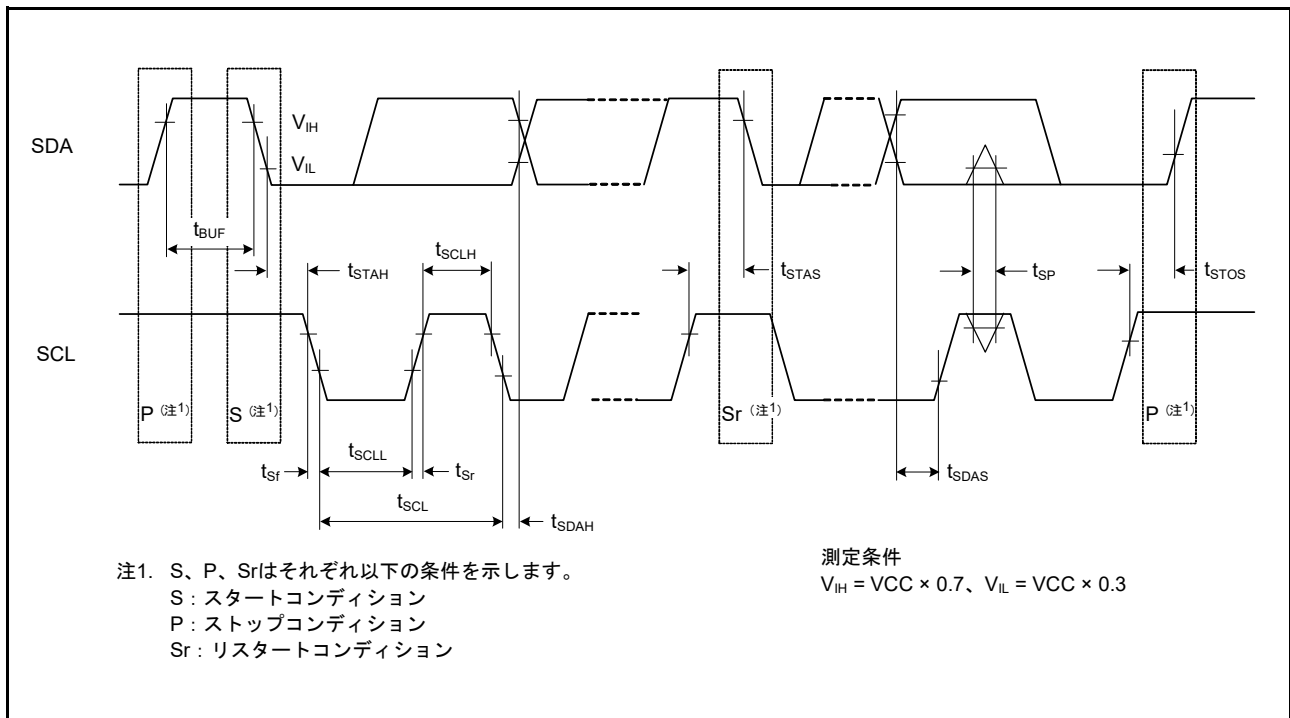


図 5.52 I²C バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

5.4 A/D 変換特性

表5.28 A/D変換特性(1)

条件 : VCC = 4.5V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		min	typ	max	単位	測定条件
周波数		1	—	40	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 40MHz時)	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 未使用時	1.0	—	—	μs	高精度チャネル ADSSTRn.SST[7:0] ビット = 08h
	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 未使用時	1.25	—	—	μs	通常精度チャネル ADSSTRn.SST[7:0] ビット = 12h
	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 使用時	1.65	—	—	μs	高精度チャネル ADSSTRn.SST[7:0] ビット = 08h ADSHCR.SSTSH[7:0] ビット = 0Dh AN100 ~ 102 = 0.25V ~ AVCC1 - 0.25V
アナログ入力容量		—	—	12	pF	
オフセット誤差		—	± 2.0	± 6.5	LSB	
フルスケール誤差		—	± 2.0	± 6.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度	サンプルホールド回路 使用時	—	± 2.5	± 8.0	LSB	AN100 ~ 102 = 0.25V ~ AVCC1 - 0.25
	サンプルホールド回路 未使用時	—	± 3.0	± 8.0	LSB	
DNL 微分非直線性誤差		—	± 0.5	± 1.5	LSB	
INL 積分非直線性誤差		—	± 1.5	± 4.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 5.29 A/D変換特性(2)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	min	typ	max	単位	測定条件	
周波数	1	—	40	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 40MHz時)	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 未使用時	1.15	—	—	μs	高精度チャンネル ADSSTRn.SST[7:0]ビット = 0Eh
		1.30	—	—	μs	通常精度チャンネル ADSSTRn.SST[7:0]ビット = 14h
	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 使用時	1.90	—	—	μs	高精度チャンネル ADSSTRn.SST[7:0]ビット = 0Eh ADSHCR.SSTSH[7:0]ビット = 11h AN100 ~ 102 = 0.25V ~ AVCC1 - 0.25V
アナログ入力容量	—	—	12	pF		
オフセット誤差	—	± 2.0	± 6.5	LSB		
フルスケール誤差	—	± 2.0	± 6.5	LSB		
量子化誤差	—	± 0.5	—	LSB		
絶対精度	—	± 3.0	± 8.0	LSB		
DNL 微分非直線性誤差	—	± 0.5	± 1.5	LSB		
INL 積分非直線性誤差	—	± 1.5	± 4.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 5.30 A/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
高精度チャンネル	AN000 ~ AN003, AN100 ~ AN103, AN200 ~ AN211	AVCC0 = AVCC1 = AVCC2 = VREF = 2.7 ~ 5.5V	
通常精度チャンネル	AN016, AN116	VCC = AVCC0 = AVCC1 = AVCC2 = VREF = 2.7 ~ 5.5V	
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = AVCC1 = AVCC2 = VREF = 2.7 ~ 5.5V	

表 5.31 A/D内部基準電圧特性

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャンネル(注1)	1.35	1.43	1.50	V	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

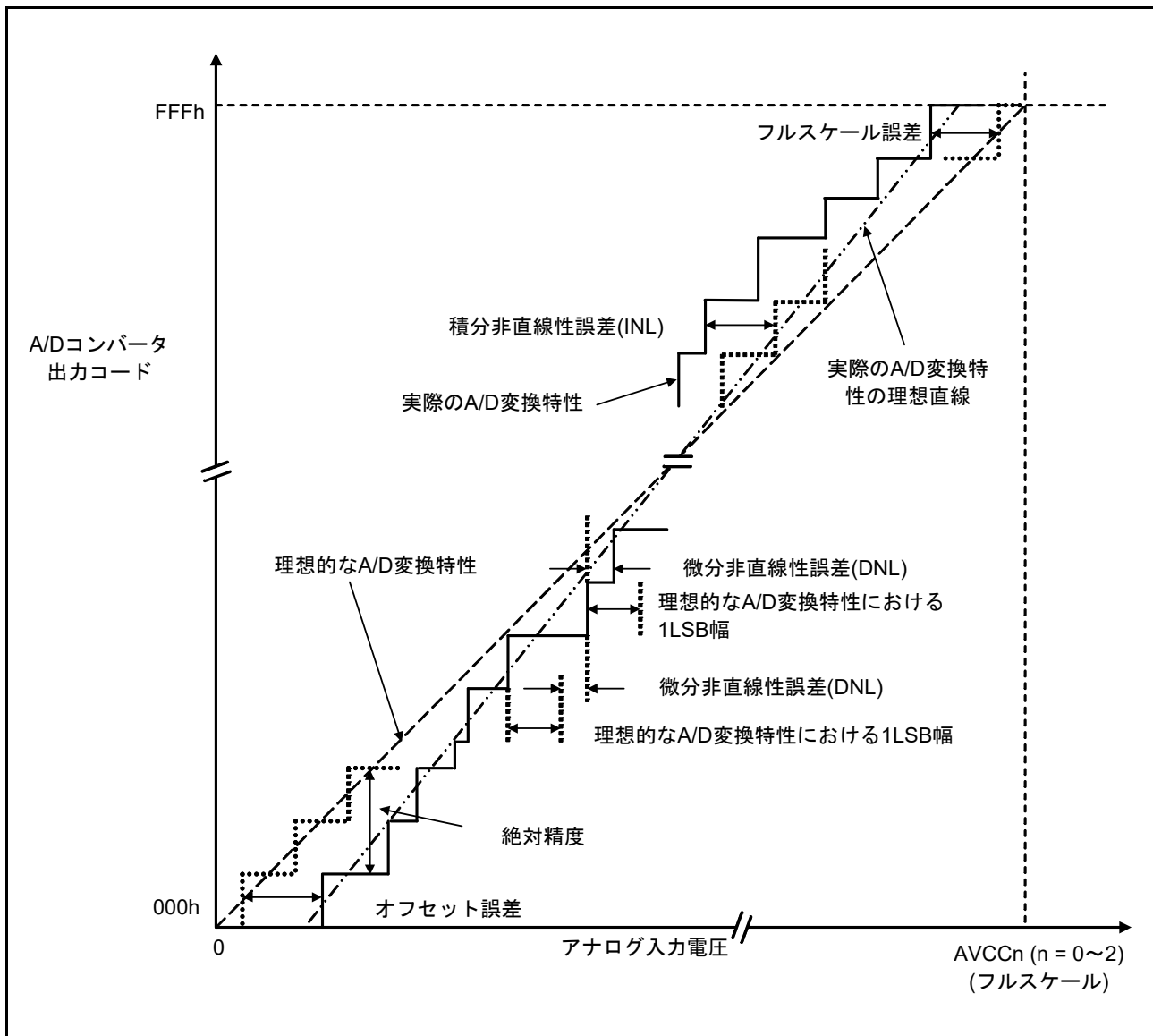


図 5.53 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。

例えば分解能 12 ビット、基準電圧 (AVCCn (n = 0 ~ 2)) が 3.072V の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

5.5 プログラマブルゲインアンプ特性

表5.32 プログラマブルゲインアンプ特性

条件 : VCC = 2.7V ~ AVCC0, AVCC0 = AVCC1 = AVCC2 = VREF = 4.5V ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{poff}	—	—	8	mV	
入力電圧範囲	V_{pin}	V_{pout} (min)/G	—	V_{pout} (max)/G	V	
出力電圧範囲	V_{pout}	$0.1 \times$ AVCC	—	$0.9 \times$ AVCC	V	
ゲイン	G	2.000	—	4.444		
ゲインエラー	G_{err}	—	± 1.0	± 2.0	%	G = 2.000, 2.500, 3.077
		—	± 1.5	± 3.0	%	G = 3.636, 4.000, 4.444
スルーレート	SR	10	—	—	V/ μs	
動作安定待ち時間	t_{start}	—	—	5.0	μs	

5.6 コンパレータ特性

表5.33 コンパレータ特性

条件 : $V_{CC} = 2.7V \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = V_{REF} = V_{CC} \sim 5.5V$, $V_{SS} = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{cioff}	—	—	40	mV	
リファレンス入力電圧範囲	V_{cref}	0	—	VREF	V	
応答時間	t_{cr}	—	—	200	ns	VOD = 100mV CMPCTL.CDFS = 0
	t_{cf}	—	—	200	ns	
入力切替時の安定待ち時間	t_{cwait}	300	—	—	ns	
動作安定待ち時間	t_{cmp}	—	—	1	μs	

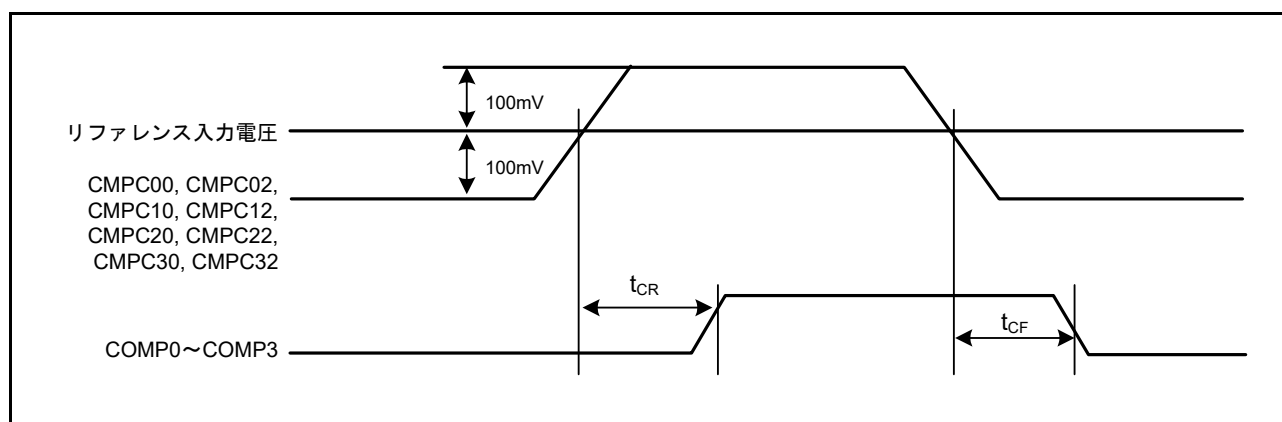


図 5.54 コンパレータ応答時間

5.7 D/A 変換特性

表5.34 D/A変換特性(チップバージョンA)

条件 : $V_{CC} = 2.7V \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = VREF = VCC \sim 5.5V$, $VSS = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	t_{DCONV}	—	—	3.0	μs	
絶対精度	—	—	—	± 3.0	LSB	

表5.35 D/A変換特性(チップバージョンB)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = VREF = VCC \sim 5.5V$, $VSS = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	t_{DCONV}	—	—	3.0	μs	
絶対精度	—	—	—	± 3.0	LSB	
出力負荷抵抗	—	4	—	—	$M\Omega$	
出力負荷容量	—	—	—	35	pF	
出力抵抗	—	—	9.0	—	$k\Omega$	

注. ポート23、24をDA0、DA1出力として使用する場合、 $V_{CC} \geq DA$ 出力電圧になるようにしてください。

5.8 パワーオンリセット回路、電圧検出回路特性

表5.36 パワーオンリセット回路、電圧検出回路特性(1)

条件：VCC = 0V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = -40 ~ +85°C

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.35	1.50	1.65	V	図 5.55、図 5.56
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.84	3.97	V	
		V _{det0_1}	2.70	2.82	3.00		
		V _{det0_2}	2.37	2.51	2.67		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42	V	図 5.58 VCC 立ち下がり時
		V _{det1_1}	3.98	4.14	4.28		
		V _{det1_2}	3.86	4.02	4.16		
		V _{det1_3}	3.68	3.84	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.79	2.98		
	電圧検出回路 (LVD2) (注3)	V _{det2_0}	4.08	4.29	4.48		図 5.59 VCC 立ち下がり時
		V _{det2_1}	3.95	4.14	4.35		
		V _{det2_2}	3.82	4.02	4.22		
		V _{det2_3}	3.62	3.84	4.02		

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD2)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号V_{det0_n}のnは、LVDS0[1:0]ビットの値です。

注2. 記号V_{det1_n}のnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注3. 記号V_{det2_n}のnは、LVDLVLR.LVD2LVL[3:0]ビットの値です。

表5.37 パワーオンリセット回路、電圧検出回路特性(2)

条件：VCC = 0V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = -40 ~ +85°C

項目		記号	min	typ	max	単位	測定条件
パワーオンリセット 解除後待機時間	通常起動時	t _{POR}	—	28.4	—	ms	図 5.56
電圧監視0リセット解除後待機時間		t _{LVD0}	—	568	—	μs	図 5.57
電圧監視1リセット解除後待機時間		t _{LVD1}	—	100	—	μs	図 5.58
電圧監視2リセット解除後待機時間		t _{LVD2}	—	100	—	μs	図 5.59
応答遅延時間		t _{det}	—	—	350	μs	図 5.55
最小VCC低下時間(注1)		t _{VOFF}	350	—	—	μs	図 5.55、VCC = 1.0V以上
パワーオンリセット有効時間		t _{W(POR)}	1	—	—	ms	図 5.56、VCC = 1.0V未満
LVD動作安定時間(LVD有効切り替え時)		T _{d(E-A)}	—	—	300	μs	図 5.58、図 5.59
ヒステリシス幅 (電圧検出回路(LVD0, LVD1, LVD2))		V _{LVH}	—	70	—	mV	V _{det1_0} ~ 4選択時
			—	60	—		V _{det0_0} ~ 2選択時、 V _{det1_5} ~ 8選択時、 LVD2選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{det0}、V_{det1}、V_{det2}のmin値を下回っている時間です。

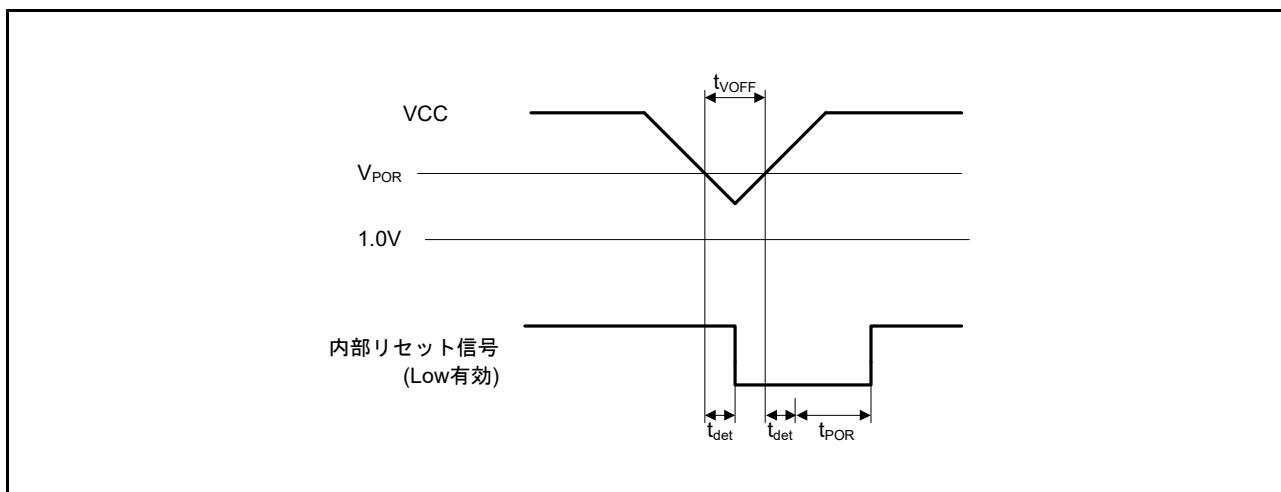


図 5.55 電圧検出リセットタイミング

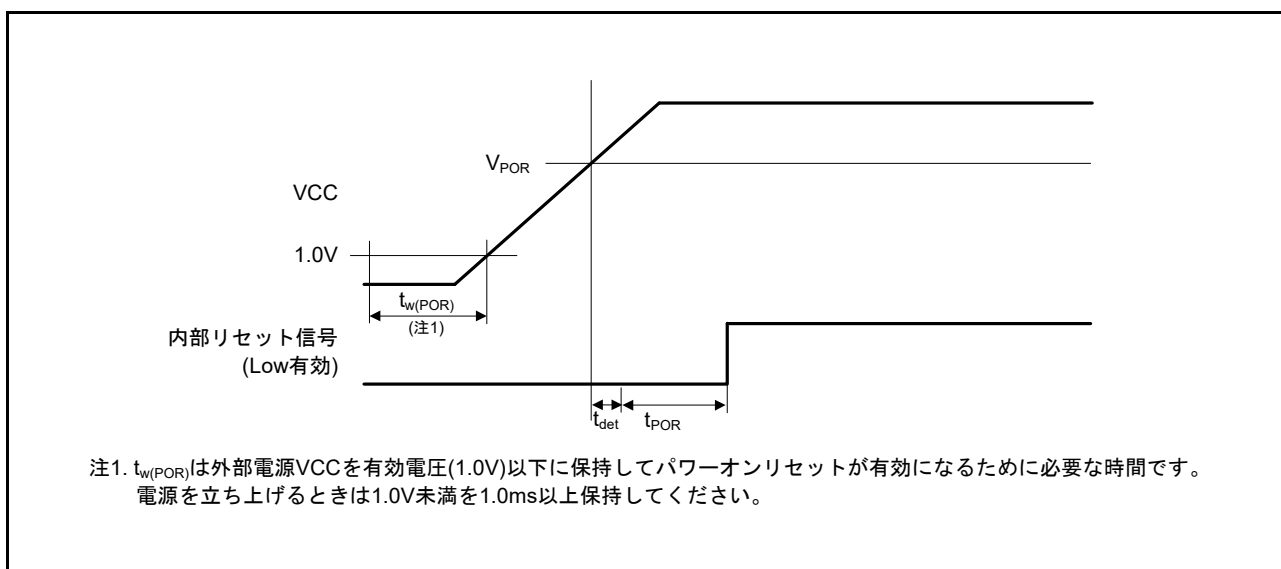


図 5.56 パワーオンリセットタイミング

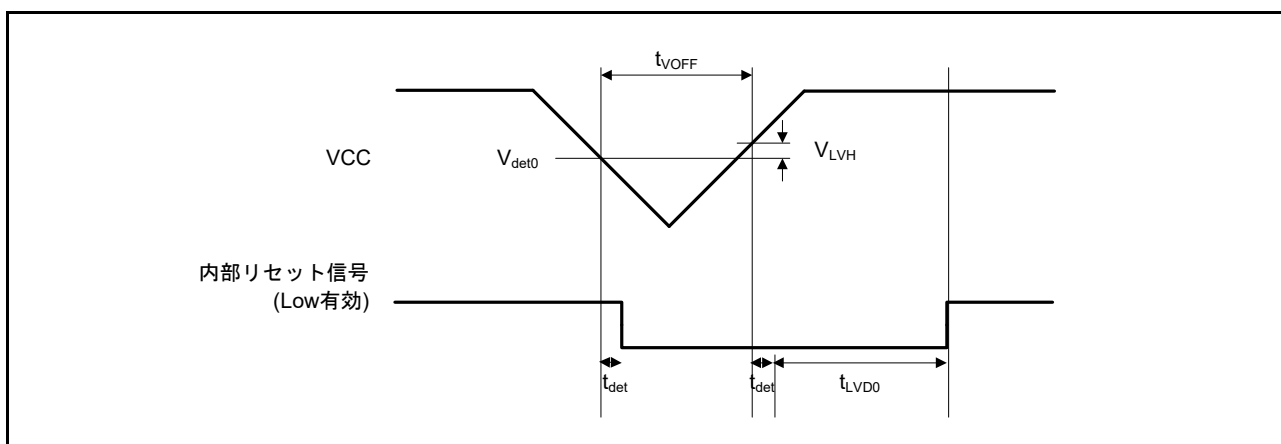


図 5.57 電圧検出回路タイミング (V_{det0})

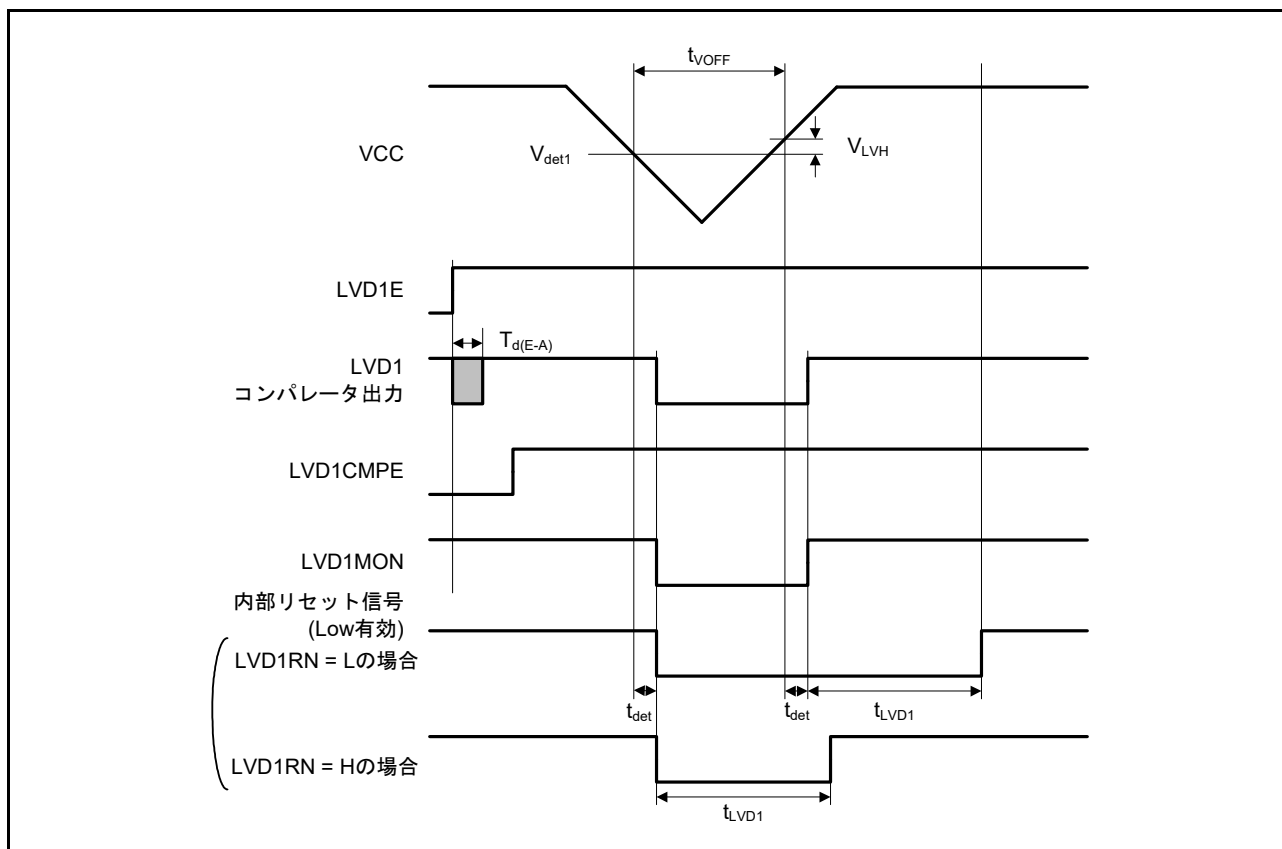


図 5.58 電圧検出回路タイミング (V_{det1})

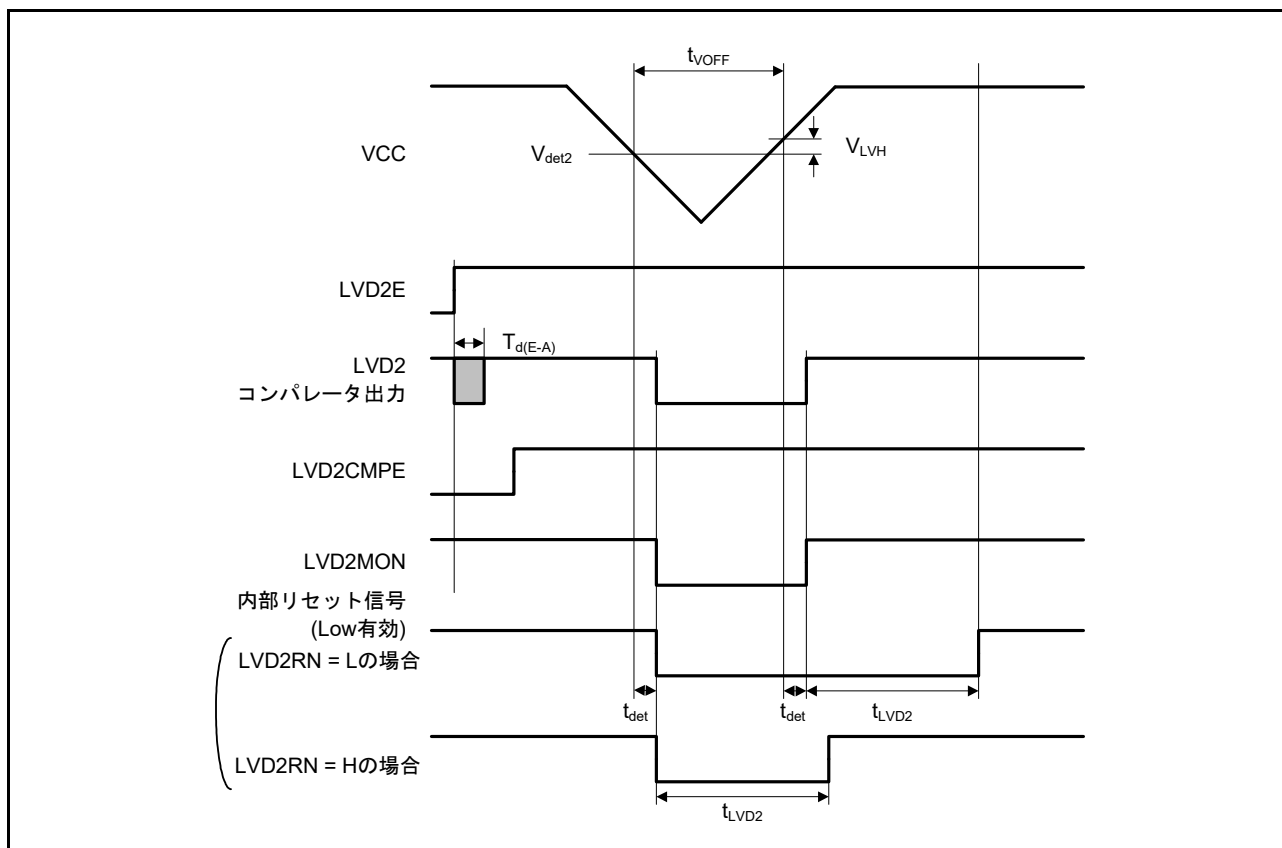


図 5.59 電圧検出回路タイミング (V_{det2})

5.9 発振停止検出タイミング

表 5.38 発振停止検出回路特性

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 Ta = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 5.60

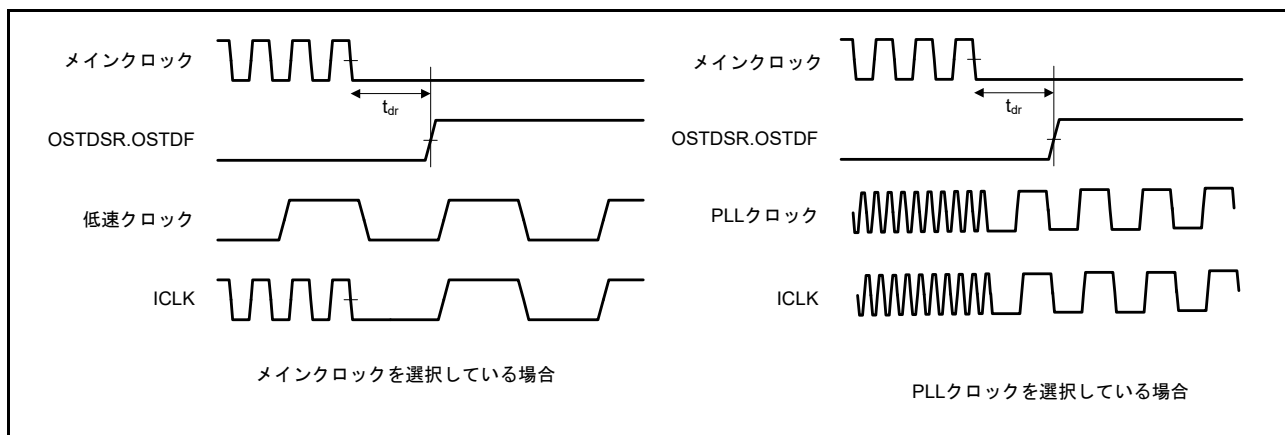


図 5.60 発振停止検出タイミング

5.10 ROM (コード格納用フラッシュメモリ) 特性

表5.39 ROM (コード格納用フラッシュメモリ) 特性(1)

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル(注1)	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20(注2、注3)	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n = 1000回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表5.40 ROM (コード格納用フラッシュメモリ) 特性(2) 高速動作モード

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{p8}	—	112.0	967.0	—	52.3	490.5	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.7	278.1	—	5.5	214.6	ms
	256Kバイト (ブロックイレーズコマンド使用時)	t _{E256K}	—	469.1	9813.6	—	41.2	1049.2	ms
	256Kバイト (全ブロックイレーズコマンド使用時)	t _{EA256K}	—	463.9	9609.0	—	36.0	839.5	ms
	512Kバイト (ブロックイレーズコマンド使用時)	t _{E512K}	—	927.8	19218.0	—	72.0	1678.9	ms
	512Kバイト (全ブロックイレーズコマンド使用時)	t _{EA512K}	—	922.7	19013.4	—	66.7	1469.2	ms
ブランクチェック	8バイト	t _{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト	t _{BC2K}	—	—	1840.0	—	—	135.7	μs
イレーズ処理強制停止時間	t _{SED}	—	—	18.0	—	—	10.7	μs	
スタートアップ領域入れ替え設定時間	t _{SAS}	—	12.3	566.5	—	6.2	433.5	ms	
アクセスウィンドウ設定時間	t _{AWS}	—	12.3	566.5	—	6.2	433.5	ms	
ROMモード遷移待ち時間1	t _{DIS}	2.0	—	—	2.0	—	—	μs	
ROMモード遷移待ち時間2	t _{MS}	5.0	—	—	5.0	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表5.41 ROM (コード格納用フラッシュメモリ)特性(3)中速動作モード

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V
 プログラム/イレーズ時の動作温度範囲 : T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{P8}	—	152.0	1367.0	—	97.9	936.0	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.8	279.7	—	5.9	220.8	ms
	256Kバイト (ブロックイレーズコマンド使用時)	t _{E256K}	—	469.2	9816.9	—	100.5	2260.1	ms
	256Kバイト (全ブロックイレーズコマンド使用時)	t _{EA256K}	—	464.0	9610.7	—	95.3	2053.7	ms
	512Kバイト (ブロックイレーズコマンド使用時)	t _{E512K}	—	928.0	19221.2	—	190.6	4107.3	ms
	512Kバイト (全ブロックイレーズコマンド使用時)	t _{EA512K}	—	922.7	19015.0	—	185.4	3901.0	ms
ブランクチェック	8バイト	t _{BC8}	—	—	85.0	—	—	50.9	μs
	2Kバイト	t _{BC2K}	—	—	1870.0	—	—	401.5	μs
イレーズ処理強制停止時間		t _{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	13.0	573.3	—	7.7	450.1	ms
アクセスウィンドウ設定時間		t _{AWS}	—	13.0	573.3	—	7.7	450.1	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	3.0	—	—	3.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

5.11 E2 データフラッシュ (データ格納用フラッシュメモリ) 特性

表5.42 E2データフラッシュ特性(1)

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル(注1)	N _{DPEC}	100000	1000000	—	回	
データ保持時間	N _{DPEC} 10000回後	t _{DDR} P 20 (注2、注3)	—	—	年	T _a = +85°C
	N _{DPEC} 100000回後	5 (注2、注3)	—	—	年	
	N _{DPEC} 1000000回後	—	1 (注2、注3)	—	年	T _a = +25°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消回数です。再プログラム/イレーズサイクルがn回(n = 100000回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表5.43 E2データフラッシュ特性(2)高速動作モード

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	95.0	797.0	—	40.8	375.5	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	19.5	498.5	—	6.2	229.4	ms
	8Kバイト	t _{DE8K}	—	119.8	2555.7	—	12.9	367.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	55.0	—	—	16.1	μs
	1Kバイト	t _{DBC1K}	—	—	7216.0	—	—	495.7	μs
イレーズ処理強制停止時間	t _{DSED}	—	—	16.0	—	—	—	10.7	μs
データフラッシュ STOP解除時間	t _{DSTOP}	5.0	—	—	5.0	—	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含まれません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表5.44 E2データフラッシュ特性(3)中速動作モード

条件：VCC = VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	135.0	1197.0	—	86.5	822.5	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	19.6	500.1	—	8.0	264.1	ms
	8Kバイト	t _{DE8K}	—	119.9	2557.4	—	27.7	668.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	85.0	—	—	50.9	μs
	1Kバイト	t _{DBC1K}	—	—	7246.0	—	—	1457.5	μs
イレーズ処理強制停止時間	t _{DSED}	—	—	28.0	—	—	—	21.3	μs
データフラッシュ STOP解除時間	t _{DSTOP}	0.72	—	—	0.72	—	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含まれません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

5.12 使用上の注意事項

5.12.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ $4.7\mu\text{F}$ を接続する必要があります。外付けコンデンサ接続方法を図 5.61、図 5.62 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は $0.1\mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「31. 12ビット A/D コンバータ (S12ADF)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

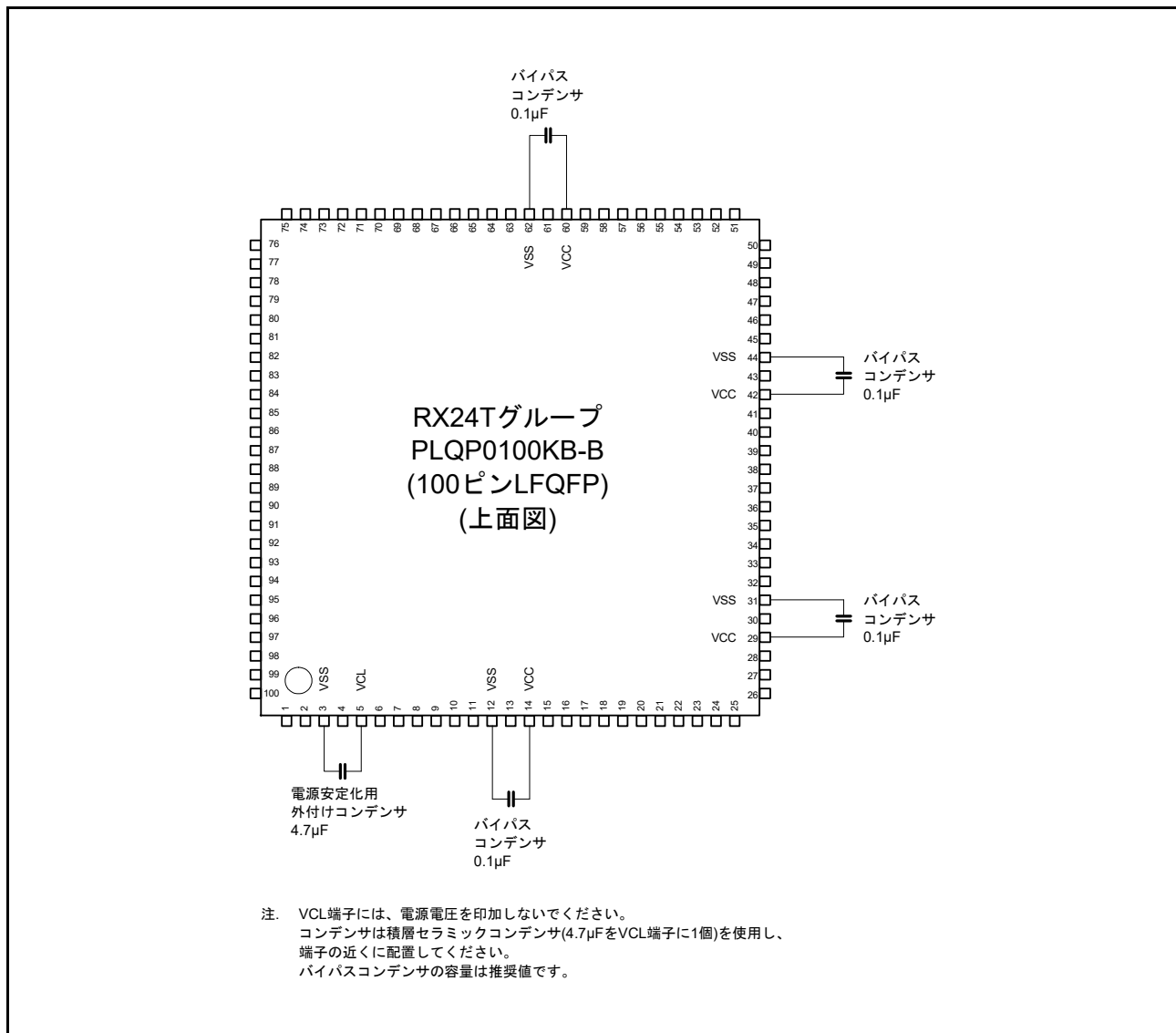


図 5.61 コンデンサ接続方法 (100ピン)

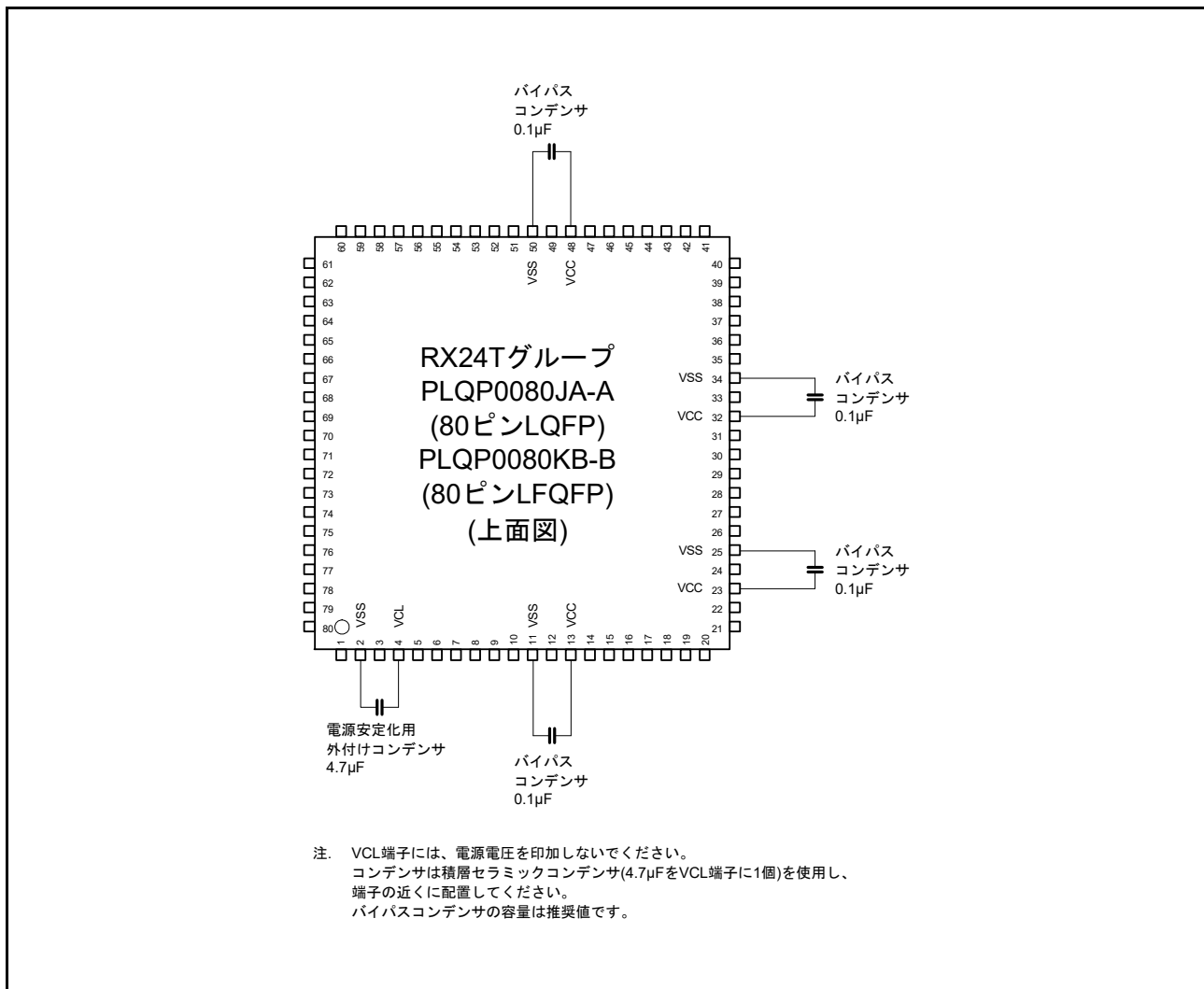


図 5.62 コンデンサ接続方法 (80ピン)

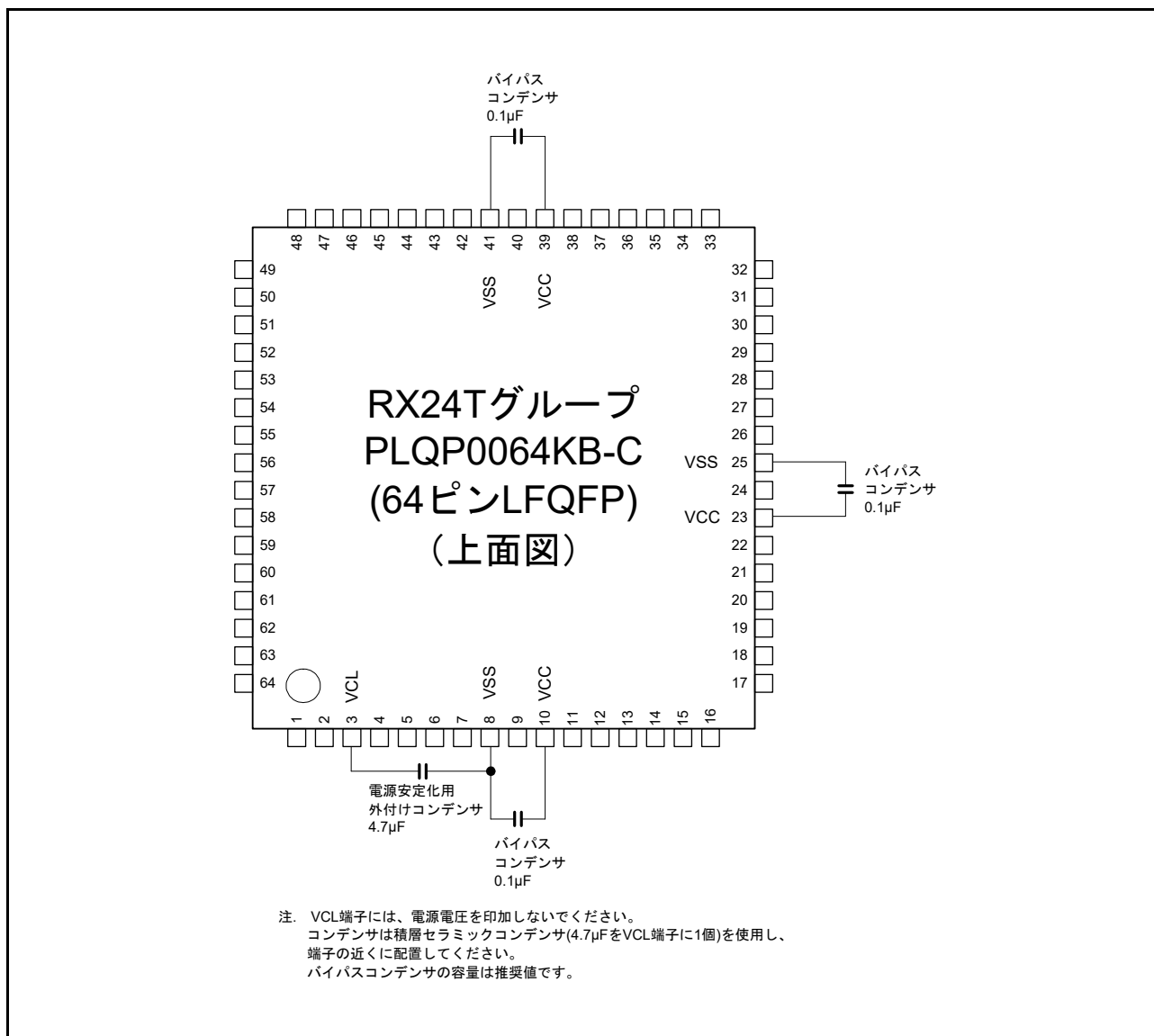


図 5.63 コンデンサ接続方法 (64 ピン)

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

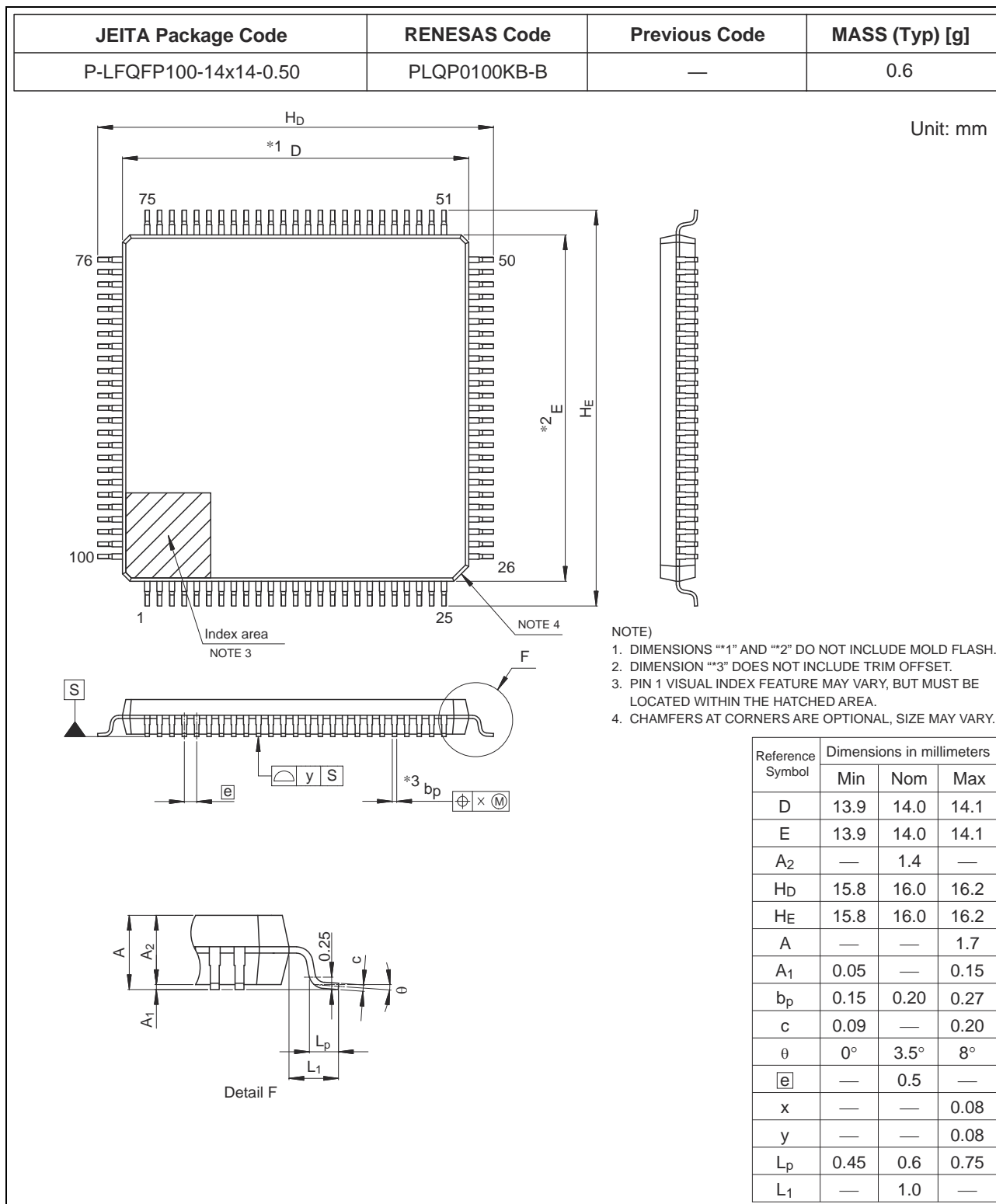


図 A. 100ピン LFQFP (PLQP0100KB-B)

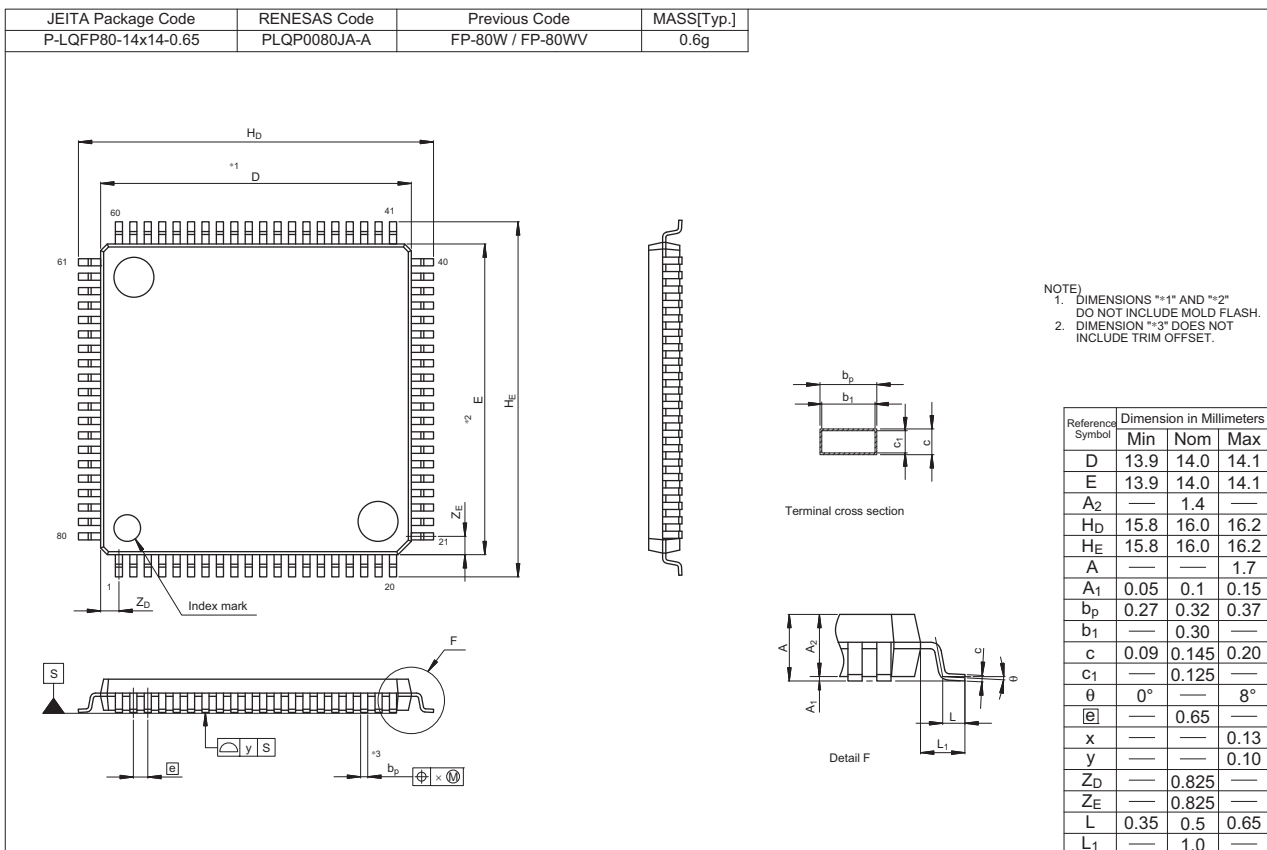


図 B. 80ピン LQFP (PLQP0080JA-A)

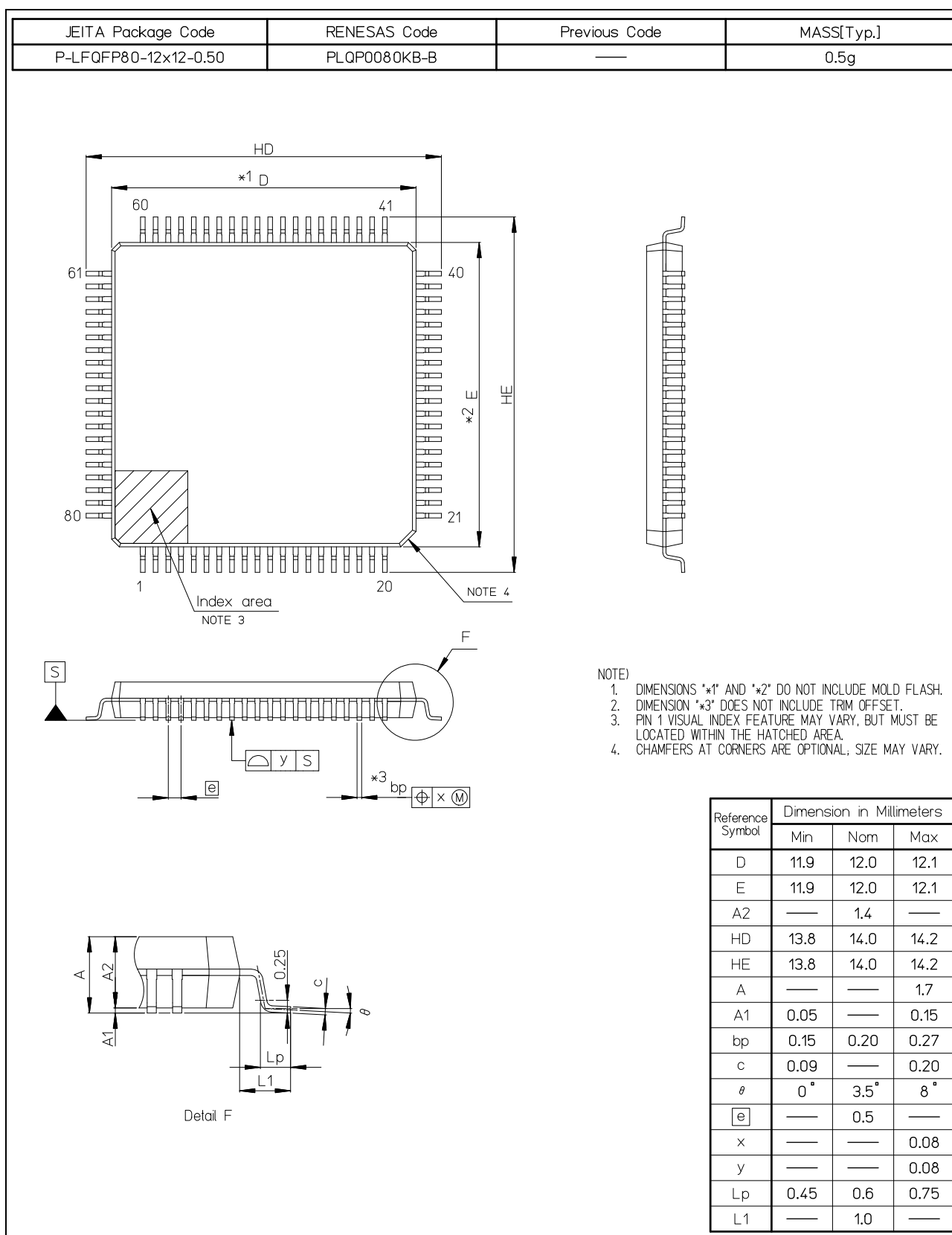


図 C. 80ピン LFQFP (PLQP0080KB-B)

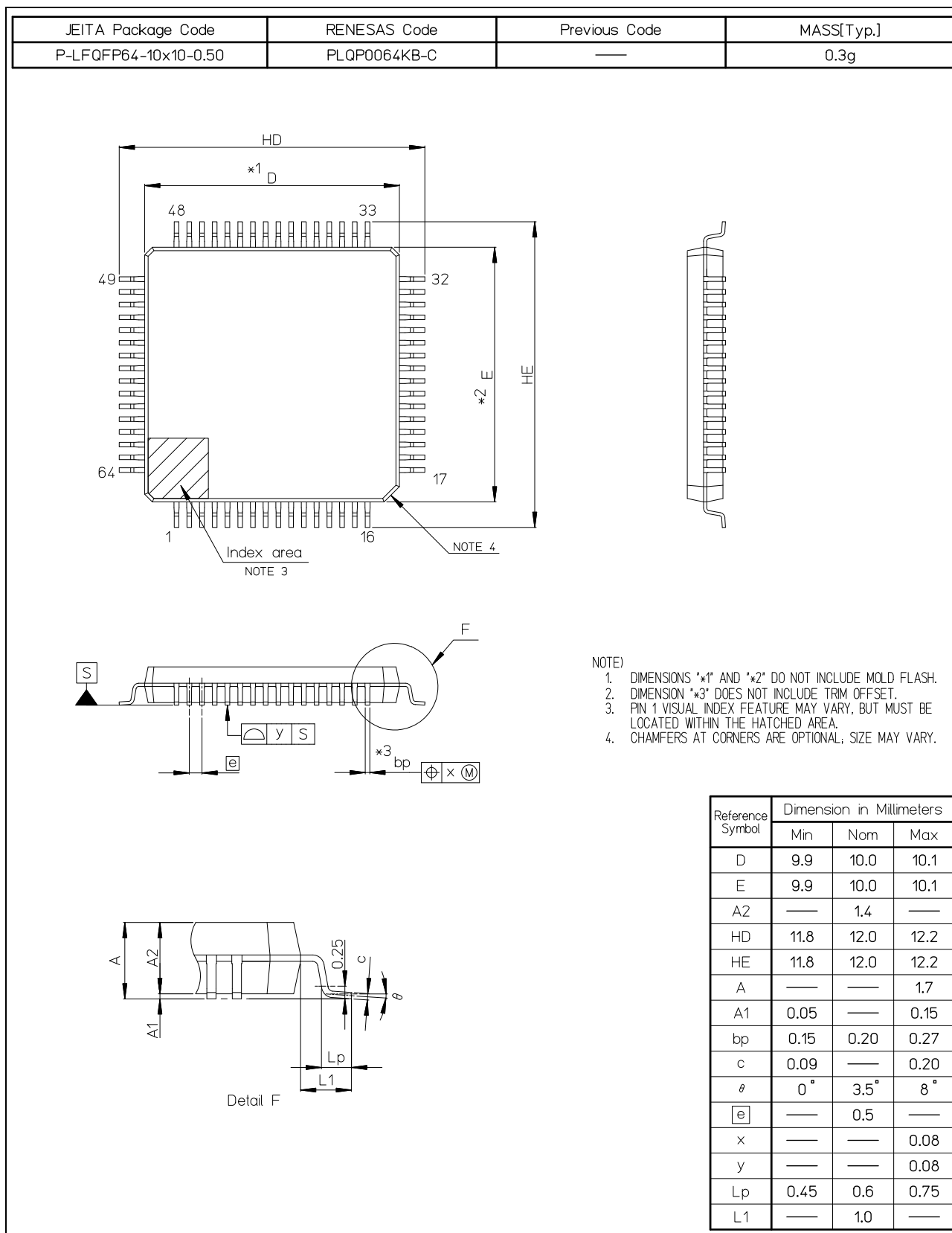


図 D. 64 ピン LFQFP (PLQP0064KB-C)

改訂記録	RX24T グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.00	2015.11.24	—	初版発行		
2.00	2017.04.14	全体	チップバージョンBを追加 それに伴い従来製品をチップバージョンAに変更 HOCOの仕様を追加 64ピン製品を追加 電圧検出0レベル選択ビットの仕様を変更	TN-RX*-A171A/J	
		5. 電気的特性			
		—	HOCO関連特性、GPT関連特性、RSCAN関連特性、チップバージョンBの特性 追加		
		74	表5.3 DC特性(1) 「ポート36～37」を追加		
		80	表5.8 DC特性(6) 変更		
		102	表5.25 内蔵周辺モジュールタイミング(3) 変更	TN-RX*-A170A/J	
		117	表5.34 D/A変換特性(チップバージョンA) 変更	TN-RX*-A170A/J	
		127	図5.63 コンデンサ接続方法(64ピン) 追加		
		付録1. 外形寸法図			
		128	図A. 100ピンLQFP(PLQP0100KB-B) パッケージ型名変更		
		130	図C. 80ピンLQFP(PLQP0080KB-B) パッケージ型名変更		
		131	図D. 64ピンLQFP(PLQP0064KB-C) 追加		

すべての商標および登録商標は、それぞれの所有者に帰属します。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれかに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 - 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 - 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 - 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
 - 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 - 当社製品をご使用の際は、最新の製品情報（データシート、ユーザズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 - 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 - 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 - 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 - お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
 - 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 - 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.3.0-1 2016.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記どうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>